

**UNIVERSIDADE FEDERAL DE SANTA CATARINA  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

Adriano Ruseler

**CONVERSOR CC-CC ZETA-SEPIC BIDIRECIONAL ISOLADO COM  
GRAMPEAMENTO ATIVO E *INTERLEAVING***

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do Grau de Mestre em Engenharia Elétrica.

Orientador: Prof. Ivo Barbi,  
Dr. Ing.

Florianópolis

2011

Catálogo na fonte pela Biblioteca Universitária  
da  
Universidade Federal de Santa Catarina

R951c Ruseler, Adriano

Conversor CC-CC Zeta-Sepic bidirecional isolado com grampeamento ativo e interleaving [dissertação] / Adriano Ruseler ; orientador, Ivo Barbi. - Florianópolis, SC, 2011. 233 p.: il., grafs., tabs.

Dissertação (mestrado) - Universidade Federal de Santa Catarina, Centro Tecnológico. Programa de Pós-Graduação em Engenharia Elétrica.

Inclui referências

1. Engenharia elétrica. 2. Conversores CC-CC - Teses. 3. Identificação de sistemas. 4. Eletrônica de potência. I. Barbi, Ivo. II. Universidade Federal de Santa Catarina Programa de Pós-Graduação em Engenharia Elétrica. III. Título.

CDU 621.3

Adriano Ruseler

**CONVERSOR CC-CC ZETA-SEPIC BIDIRECIONAL ISOLADO COM  
GRAMPEAMENTO ATIVO E *INTERLEAVING***

Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, na área de concentração em Eletrônica de Potência e Acionamento Elétrico, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.

Florianópolis, 17 de Junho de 2011.

---

Prof. Patrick Kuo Peng, Dr.

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

---

Prof. Ivo Barbi, Dr. Ing.

Orientador

Universidade Federal de Santa Catarina

---

Prof. Ivan Eidt Colling, Dr.

Universidade Federal do Paraná

---

Prof. Enio Valmor Kassik, Dr.

Universidade Federal de Santa Catarina

---

Prof. Marcelo Lobo Heldwein, Dr.

Universidade Federal de Santa Catarina



Dedico este trabalho ao povo Brasileiro.



## AGRADECIMENTOS

Antes de tudo, agradeço à minha família, em especial aos meus pais Alcides e Anita Ruseler e ao meu querido irmão, Alan Ruseler. Muito obrigado por tudo que recebi de vocês.

Ao meu orientador, professor Doutor Ivo Barbi. Sinto-me honrado por tê-lo tido como orientador. O sucesso deste trabalho está diretamente relacionado ao seu conhecimento, sua disciplina, paciência, organização, liderança e a sua maneira de orientar a pesquisa.

Aos professores da banca examinadora, Ivan Eidt Colling, Enio Valmor Kassick e Marcelo Lobo Heldwein, pelas contribuições para a melhoria do trabalho e por todo o conhecimento compartilhado.

Aos demais professores do INEP, Arnaldo José Perin, Denizar Cruz Martins, João Carlos dos Santos Fagundes, Hari Bruno Mohr e Samir Armad Mussa, pelos conhecimentos transmitidos.

À minha turma de mestrado, Jackson Lago, Daniel Córdova Roth, Paulo Augusto Garcia Tatim, Marcos Tadeu Coelho, Walbemark Marques dos Santos, Guilherme Brunel Martins e Daniel Augusto Figueiredo Collier pela convivência e amizade.

Aos demais amigos e colegas que dividiram sala comigo durante o mestrado, Antonio José Bento Bottion, Franciéli Lima de Sá, Gabriel Tibola, Gleyson Luiz Piazza, Silvia Helena Pini e Felipe Tureck. Obrigado pelo convívio.

Aos doutorandos José Augusto da Matta Guedes e Mateus Felzke Shonardie, pelo aprendizado adquirido durante a iniciação científica. Agradeço também ao Márcio Silveira Ortmann pelos ensinamentos em programação no DSP TMS320F2812.

Aos demais amigos e colegas de iniciação científica, Felipe Martins D'Aquino, André Rodigheri, Fernando Schumacher dos Santos, André Luis Pesco Alcalde, Rafael Eduardo Schneider Ristow, Guilherme Bauer, Marcello Costa Maccarini, Alan Dorneless Callegaro e Sérgio Andrade, pelos mais diversos motivos.

À CAPES por ter financiado meus estudos.

À Universidade Federal de Santa Catarina e ao programa de Pós-Graduação em Engenharia Elétrica pela oportunidade de estudar numa universidade pública, gratuita e de excelente qualidade.

A todos os funcionários do INEP, por proporcionarem as condições para a realização deste trabalho.

Finalizo agradecendo ao povo brasileiro, toda a minha formação escolar advém de recursos públicos.

Muito Obrigado!





“A verdadeira ciência ensina sobretudo a duvidar e a ser ignorante.”

Miguel Unamuno



## RESUMO

### CONVERSOR CC-CC ZETA-SEPIC BIDIRECIONAL ISOLADO COM GRAMPEAMENTO ATIVO E *INTERLEAVING*

Adriano Ruseler

Junho de 2011

Orientador: Ivo Barbi, Dr. Ing.

Área de concentração: Eletrônica de Potência e Acionamento Elétrico.

Palavras-chave: Conversor CC-CC, Grampeamento Ativo, *Interleaving*, Bidirecional, Isolação galvânica, Zeta-Sepic, Valores médios instantâneos, Espaço de estados, Identificação de sistemas.

Número de páginas: 233.

RESUMO: Nesta dissertação de mestrado realiza-se o estudo teórico e experimental do conversor CC-CC Zeta-Sepic bidirecional isolado com grampeamento ativo e *interleaving*. O estudo se desenvolve na subdivisão do conversor em três topologias que fragmentam os desafios de pesquisa e formam o corpo do presente trabalho.

A primeira subdivisão constitui do estudo teórico e experimental do conversor CC-CC Zeta-Sepic bidirecional não isolado. Utiliza-se a modelagem por valores médios instantâneos em espaço de estados cujas resistências série dos componentes são consideradas resultando em um sistema amortecido. Um protótipo é construído. Baterias são utilizadas como fontes bidirecionais em corrente, sendo o controle implementado no DSP TMS320F2812.

A isolamento galvânica é adicionada, trazendo o problema da indutância de dispersão, que é resolvido propondo uma topologia com grampeamento ativo. O estudo do comportamento dinâmico do conversor é realizado via ferramentas de identificação de sistemas. Um protótipo de 1 kW é implementado em laboratório com o objetivo de validar o estudo realizado.

Por fim, três unidades são associadas em paralelo na fonte de menor tensão e em série na de maior tensão resultando na topologia com *interleaving*. A ondulação de corrente é reduzida, o ganho estático é multiplicado assim como a frequência das correntes nas fontes.



## ABSTRACT

### **BIDIRECTIONAL ZETA-SEPIC DC-DC ISOLATED CONVERTER WITH ACTIVE CLAMPING AND INTERLEAVING**

Adriano Ruseler

June 2011

Advisor: Prof. Ivo Barbi, Dr. Ing.

Area of concentration: Power Electronics and Electrical Drives.

Keywords: DC-DC Converter, Active Clamping, Interleaving, Bidirectional, Galvanic isolation, Zeta-Sepic, State Space Averaging Technique, System identification.

Number of pages: 233.

**ABSTRACT:** This master's degree thesis presents a theoretical and experimental study of the Bidirectional Zeta-Sepic DC-DC Isolated Converter with Active Clamping and Interleaving. The work is divided in to three main topologies which fragments the research challenges and builds up the body of this work.

The first topology is a non isolated version of the dc-dc converter. The approach includes a static and dynamic behavior model. State space averaging technique is used in order to obtain the dynamic model. Resistances are considered as an attempt of reducing controller complexity design. A prototype is build, using batteries as bidirectional current sources. The control strategy is implemented in the TMS320F2812 DSP with fixed point arithmetic.

Galvanic isolation comes with inductance leakage. This is solved here with active clamping techniques. The Bidirectional Zeta-Sepic DC-DC Converter with Active Clamping is proposed. Defining a simple modulation strategy, the work sequence follows the same steps of the non isolated version. The dynamic behavior is analyzed using system identification tools due to its high complexity.

Finally, three converters with active clamping are connected in parallel at the low voltage source side and in series at the high voltage side resulting in an interleaving topology with high static gain, low current ripple and multiplied frequency in the sources.



## LISTA DE FIGURAS

Figura 1.1 - Configuração série de um sistema HEV. Adaptado de [4].	38
Figura 1.2 – Conversor Buck-Boost (Meia-Ponte) bidirecional.....	39
Figura 1.3 - Conversor Buck-Boost bidirecional em cascata .....	39
Figura 1.4 - Conversor Cúk bidirecional.....	39
Figura 1.5 - Conversor Zeta-Sepic bidirecional .....	39
Figura 1.6 - Conversor Zeta-Sepic Bidirecional não isolado .....	40
Figura 1.7 - Conversor Zeta-Sepic Isolado .....	41
Figura 1.8 - Conversor Zeta-Sepic isolado com Grampeamento Ativo.	41
Figura 1.9 - Conversor Zeta-Sepic com Grampeamento Ativo e <i>Interleaving</i> .....	42
Figura 2.1 - Conversor Zeta-Sepic Bidirecional não isolado e seus modos de operação.....	46
Figura 2.2 - Etapa Ds de operação do conversor Zeta-Sepic não isolado. .....	47
Figura 2.3 - Etapa Ds de operação do conversor Zeta-Sepic não isolado considerando as resistências série dos componentes. ....	47
Figura 2.4 - Sub-etapa Ds modo Zeta.....	48
Figura 2.5 – Sub-etapa Ds modo Sepic. ....	49
Figura 2.6 - Etapa Dz de operação do conversor Zeta-Sepic não isolado. .....	49
Figura 2.7 - Etapa Dz de operação do conversor Zeta-Sepic não isolado considerando as resistências série dos componentes. ....	49
Figura 2.8 – Sub-etapa Dz para o conversor operando no modo Zeta. .	50
Figura 2.9 - Sub-etapa Dz para o conversor operando no modo Sepic.	51
Figura 2.10 – Formas de onda do conversor Zeta-Sepic não isolado operando no modo Zeta. ....	53
Figura 2.11 - Formas de onda do conversor Zeta-Sepic não isolado operando no modo Sepic.....	54
Figura 2.12 - Movimentação dos zeros da planta de corrente em função da corrente $i_{Lb}$ .....	63
Figura 2.13 - Configuração utilizada para validar o modelo do Zeta- Sepic com perdas. ....	67
Figura 2.14 – Diagrama de Bode $i_{La}(s)/d(s)$ do conversor Zeta-Sepic não isolado operando no modo Zeta.....	68
Figura 2.15 - Diagrama de Bode $i_{Lb}(s)/d(s)$ do conversor Zeta-Sepic não isolado operando no modo Zeta.....	68
Figura 2.16 - Diagrama de Bode $v_{Cab}(s)/d(s)$ do conversor Zeta-Sepic não isolado operando no modo Zeta. ....	69

Figura 2.17 - Diagrama de Bode $i_{La}(s)/d(s)$ do conversor Zeta-Sepic não isolado operando no modo Sepic.....	69
Figura 2.18 - Diagrama de Bode $i_{Lb}(s)/d(s)$ do conversor Zeta-Sepic não isolado operando no modo Sepic.....	70
Figura 2.19 - Diagrama de Bode $v_{Cab}(s)/d(s)$ do conversor Zeta-Sepic não isolado operando no modo Sepic.....	70
Figura 2.20 – Comparação entre modelos da planta para malha de corrente $i_{Lb}$ do conversor Zeta-Sepic operando no modo Zeta.....	71
Figura 2.21 – Comparação entre modelos da planta para malha de corrente $i_{Lb}$ do conversor Zeta-Sepic operando no modo Sepic.....	71
Figura 2.22 - Estabilidade do sistema em função da localização dos autovalores da matriz de estados no plano complexo.....	72
Figura 2.23 - Simulação do comportamento dos estados para o sistema ideal com entrada nula e ponto de equilíbrio localizado no modo Sepic.....	73
Figura 2.24 - Simulação do sistema ideal no modo Sepic para tensões de entrada nominais e um decréscimo de 0,05 na razão cíclica.....	73
Figura 2.25 - Simulação do sistema não ideal para entrada nula com ponto de equilíbrio localizado no modo Sepic.....	74
Figura 2.26 - Simulação do sistema não ideal no modo Sepic para tensões de entrada nominais e um decréscimo de 0,05 na razão cíclica.....	74
Figura 2.27 - Topologia do filtro MFB.....	76
Figura 2.28 - Sensor de corrente utilizado.....	77
Figura 2.29 - Sensor de tensão utilizado.....	77
Figura 2.30 - Circuito inversor com <i>offset</i> de tensão.....	78
Figura 2.31 - Circuito de condicionamento de sinais.....	78
Figura 2.32 - <i>Layout</i> da camada inferior da placa de condicionamento de sinais.....	79
Figura 2.33 - Diagrama de blocos para projeto da malha de corrente $i_{Lb}$ .....	80
Figura 2.34 - Arquitetura de controle utilizada para o projeto do controlador de corrente $i_{Lb}$ .....	81
Figura 2.35 - Diagrama de Bode do condicionamento de sinal.....	82
Figura 2.36 - Lugar das raízes e diagrama de Bode para malha de controle da corrente $i_{Lb}$ do conversor Zeta-Sepic no modo Zeta.....	83



Figura 2.37 - Resposta ao degrau de referência $i_{Lb}$ do conversor Zeta-Sepic não isolado no modo Zeta. ....	83
Figura 2.38 - Lugar das raízes e diagrama de Bode para malha de controle da corrente $i_{Lb}$ do conversor Zeta-Sepic no modo Sepic. ....	84
Figura 2.39 - Resposta ao degrau de referência $i_{Lb}$ do conversor Zeta-Sepic não isolado no modo Sepic. ....	85
Figura 2.40 - Arquitetura do sistema de controle utilizada para projeto da malha interna de corrente e da malha externa de tensão. ....	86
Figura 2.41 - Lugar das raízes e diagrama de Bode para malha interna e externa do conversor Zeta-Sepic operando como conversor Zeta. ....	87
Figura 2.42 - Resposta ao degrau de referência $v_{Cb}$ do conversor Zeta-Sepic não isolado operando como conversor Zeta. ....	88
Figura 2.43 - Lugar das raízes e diagrama de Bode para malha interna e externa do conversor Zeta-Sepic operando como conversor Sepic. ....	90
Figura 2.44 - Resposta ao degrau de referência $v_{Ca}$ do conversor Zeta-Sepic não isolado operando como conversor Sepic. ....	91
Figura 2.45 - Elementos da notação de ponto fixo Qm.n. ....	92
Figura 2.46 - Lógica de conversão numérica utilizando a notação Qn. ....	92
Figura 2.47 - Simulação da malha de controle no conversor Zeta-Sepic Bidirecional não isolado. ....	97
Figura 2.48 - Resultado da simulação do degrau de referência $i_{Lb}$ para o conversor Zeta-Sepic bidirecional não isolado no ponto de operação do modo Zeta. ....	97
Figura 2.49 - Esquemático da simulação numérica do conversor Zeta-Sepic operando como Sepic. ....	98
Figura 2.50 - Resultado da simulação da resposta ao degrau de referência $v_{Ca}$ do conversor Zeta-Sepic operando como Sepic. ....	99
Figura 2.51 - Corrente nas indutâncias para a condição de corrente média nula. ....	100
Figura 2.52 - Corrente e tensão no capacitor de transferência $Cab$ para o conversor operando no limiar dos modos de operação, ( $I_{Lb}=0$ ). ....	101
Figura 2.53 - Tensão e corrente no interruptor $Sb$ para o conversor operando no ponto intermediário entre os modos de operação. ....	102

Figura 2.54 - Tensão e corrente no interruptor $S_a$ para o conversor operando no modo Zeta. ....	102
Figura 2.55 - Tensão e corrente no interruptor $S_b$ para o conversor operando no modo Zeta. ....	103
Figura 2.56 - Degrau de 200% na corrente $i_{Lb}$ de 10A para -10A.....	104
Figura 2.57 - Degrau de 200% na corrente $i_{Lb}$ de -10A para 10A.....	104
Figura 3.1- Nomenclatura utilizada para descrever o conversor Zeta-Sepic isolado com grampeamento ativo. ....	108
Figura 3.2 - Referenciando o circuito para um dos lados do conversor. ....	109
Figura 3.4 - Medição indireta da indutância mútua. ....	110
Figura 3.3 - Medição dos parâmetros dos indutores acoplados. ....	111
Figura 3.5- Conversor Zeta-Sepic isolado bidirecional referenciado ao lado Sepic. ....	111
Figura 3.6 - Pulso de comando dos interruptores.....	112
Figura 3.31 - Principais formas de onda do conversor CC-CC Zeta-Sepic com grampeamento ativo operando no modo Zeta.....	113
Figura 3.32 -- Principais formas de onda do conversor CC-CC Zeta-Sepic com grampeamento ativo operando no modo Sepic ....	114
Figura 3.29 - Comando do conversor Zeta-Sepic com GA no Modo Sepic. ....	116
Figura 3.30 - Comando do conversor Zeta-Sepic com GA no Modo Zeta. ....	116
Figura 3.7 - Etapa Dp conversor Zeta-Sepic isolado com GA.....	117
Figura 3.8 - Etapa Dp conversor Zeta-Sepic isolado com GA considerando resistências. ....	118
Figura 3.15 - Etapa Ds do conversor Zeta-Sepic isolado com GA. ....	118
Figura 3.16 - Etapa Ds do conversor Zeta-Sepic isolado com GA considerando resistências. ....	119
Figura 3.22 - Etapa Dz do conversor Zeta-Sepic isolado com GA. ....	119
Figura 3.23 - Etapa Dz do conversor Zeta-Sepic isolado com GA considerando resistências. ....	120
Figura 3.9 – Sub-etapa 1 da etapa Dp do conversor Zeta-Sepic isolado com GA operando no modo Zeta. ....	123
Figura 3.10 - Sub-etapa 2 da etapa Dp do conversor Zeta-Sepic isolado com GA operando no modo Zeta. ....	123
Figura 3.11 - Sub-etapa 3 da etapa Dp do conversor Zeta-Sepic isolado com GA operando no modo Zeta. ....	124
Figura 3.17 - Sub-etapa 1 da etapa Ds do conversor Zeta-Sepic isolado com GA operando no modo Zeta. ....	124

Figura 3.18 – Sub-etapa 2 da etapa Ds do conversor Zeta-Sepic isolado com GA operando no modo Zeta.....	125
Figura 3.24 - Sub-etapa 1 da etapa Dz do conversor Zeta-Sepic isolado com GA operando no modo Zeta.....	125
Figura 3.25 – Sub-etapa 2 da etapa Dz do conversor Zeta-Sepic isolado com GA operando no modo Zeta.....	126
Figura 3.26 – Sub-etapa 3 da etapa Dz do conversor Zeta-Sepic isolado com GA operando no modo Zeta.....	126
Figura 3.19 - Sub-etapa 1 da etapa Ds do conversor Zeta-Sepic isolado com GA operando no modo Sepic.....	127
Figura 3.20 - Sub-etapa 2 da etapa Ds do conversor Zeta-Sepic isolado com GA operando no modo Sepic.....	128
Figura 3.21 - Sub-etapa 3 da etapa Ds do conversor Zeta-Sepic isolado com GA operando no modo Sepic.....	128
Figura 3.12 – Sub-etapa 1 da etapa Dp do conversor Zeta-Sepic isolado com GA operando no modo Sepic.....	129
Figura 3.13 - Sub-etapa 2 da etapa Dp do conversor Zeta-Sepic isolado com GA operando no modo Sepic.....	129
Figura 3.14 - Sub-etapa 3 da etapa Dp do conversor Zeta-Sepic isolado com GA operando no modo Sepic.....	130
Figura 3.27 – Sub-etapa 1 da etapa Dz do conversor Zeta-Sepic isolado com GA operando no modo Sepic.....	130
Figura 3.28 - Sub-etapa 2 da etapa Dz do conversor Zeta-Sepic isolado com GA operando no modo Sepic.....	131
Figura 3.33 - <i>Toolbox</i> utilizado para identificar o sistema, adaptado de [25].....	141
Figura 3.34 - Circuito simulado do conversor Zeta-Sepic isolado com grameamento ativo no PSIM.....	143
Figura 3.35 – Comparação do diagrama de Bode da corrente $i_{Lb}$ pela razão cíclica entre o modelo estimado utilizando no MATLAB e a resposta dinâmica simulada no PSIM.....	145
Figura 3.36 - Comparação do diagrama de Bode da corrente $v_{Cb}$ pela razão cíclica entre o modelo estimado utilizando no MATLAB e a resposta dinâmica simulada no PSIM.....	145
Figura 3.37 - Comparação entre os modelos para a planta da malha de tensão $v_{Cb}$ .....	146
Figura 3.38 - Diagrama de Bode comparando a função de transferência da corrente $i_{Lb}$ pela razão cíclica $d$ .....	148
Figura 3.39 - Diagrama de Bode comparando a função de transferência da corrente $v_{Ca}''$ pela razão cíclica $d$ .....	148

Figura 3.40 - Função de transferência relacionando a tensão $v_{Ca}''$ com a corrente $i_{Lb}$ .	149
Figura 3.41 - Lugar das raízes e diagrama de Bode da malha interna de corrente.	151
Figura 3.42 - Resposta ao degrau de referência $i_{Lb}$ da malha interna de corrente.	151
Figura 3.43 - Lugar das raízes e diagrama de Bode para malha interna e externa do conversor Zeta-Sepic isolado com grampeamento ativo operando no modo Zeta.	152
Figura 3.44 - Resposta ao degrau de referência da tensão $v_{Cb}$ .	152
Figura 3.45 - Resposta ao degrau de referência $i_{Lb}$ para o conversor Zeta-Sepic operando no modo Sepic com o controlador projetado no modo Zeta.	153
Figura 3.46 - Diagrama de Bode e lugar das raízes para o controlador ajustado.	153
Figura 3.47 - Resposta ao degrau de referência $i_{Lb}$ com o controlador reprojetoado no modo Sepic.	154
Figura 3.48 - Resposta ao degrau de referência imposta pelo controlador reprojetoado no modo Sepic para o conversor operando no modo Zeta.	154
Figura 3.49 - Comparação entre os diagramas de Bode das plantas de corrente para ambos os modos de operação.	155
Figura 3.50 - Resposta ao degrau de referência $v_{Ca}''$ .	155
Figura 3.51 - Lugar das raízes e diagrama de Bode das malhas de controle para o conversor Zeta-Sepic operando no modo Sepic.	156
Figura 3.52 - Resposta obtida por simulação no PSIM para degrau de referência na tensão $v_{Cb}$ do conversor Zeta-Sepic isolado com grampeamento ativo.	159
Figura 3.53 - Resposta para perturbação de carga de 50% para 100%.	159
Figura 3.54 - Resultado da simulação do degrau de referência de tensão para o conversor Zeta-Sepic operando no modo Sepic.	160
Figura 3.55 - Resultado da simulação do degrau de referência de corrente para o conversor Zeta-Sepic bidirecional isolado com Grampeamento Ativo.	160
Figura 3.56 - Resultado da simulação do degrau de referência de corrente para o conversor Zeta-Sepic bidirecional isolado com Grampeamento Ativo sem a indutância de comutação.	161

Figura 3.57 - Comando dos interruptores do conversor Zeta-Sepic bidirecional isolado com grampeamento Ativo. ....	165
Figura 3.58- Corrente na indutância de comutação e comando dos interruptores $S_a$ e $S_c$ para o conversor operando no modo Zeta. ....	165
Figura 3.59 - Corrente na célula de comutação Sepic e comando dos interruptores $S_b$ e $S_d$ para o conversor operando no modo Sepic. ....	166
Figura 3.60 - Corrente na indutância de comutação, corrente no interruptor de grampeamento Zeta e comando dos interruptores $S_a$ e $S_c$ para o conversor operando no modo Zeta. ....	166
Figura 3.61 - Corrente na célula de comutação Sepic, corrente no interruptor de grampeamento Sepic e comando dos interruptores $S_b$ e $S_d$ para o conversor operando no modo Sepic. ....	167
Figura 3.62 - Corrente na célula de comutação Sepic, corrente no capacitor de acoplamento e comando dos interruptores $S_a$ e $S_c$ para o conversor operando no modo Zeta. ....	167
Figura 3.63 - Corrente na célula de comutação Zeta, corrente no capacitor de grampeamento Zeta e comando dos interruptores $S_a$ e $S_c$ para o conversor operando no modo Sepic. ....	168
Figura 3.64 – Corrente na indutância de comutação, corrente no capacitor de grampeamento Zeta, tensão no capacitor de grampeamento Zeta e Sepic, para o conversor operando no modo Zeta. ....	168
Figura 3.65 – Tensão e corrente no capacitor de grampeamento Zeta e corrente na célula de comutação Sepic para o conversor operando no modo Sepic.....	169
Figura 3.66 - Tensão e corrente no capacitor de grampeamento Sepic e corrente na célula de comutação Zeta para o conversor operando no modo Sepic.....	169
Figura 3.67 – Corrente e tensão na indutância $L_b$ , comando do interruptor $S_b$ e corrente de comutação Sepic para o conversor operando no modo Sepic. ....	170
Figura 3.68 – Corrente e tensão na indutância de comutação $L_c$ e comando do interruptor $S_b$ para o conversor operando no modo Sepic. ....	170
Figura 4.1 - Conversor CC-CC Zeta-Sepic isolado com Grampeamento Ativo e <i>interleaving</i> . ....	174

Figura 4.2 - Circuito equivalente do conversor CC-CC Zeta-Sepic Isolado com Grampeamento Ativo e <i>interleaving</i> .....	175
Figura 4.3 - Organização dos estados topológicos para o conversor operando no modo Zeta. ....	177
Figura 4.4 - Organização dos estados topológicos para o conversor operando no modo Sepic. ....	177
Figura 4.5 - Estado topológico Dpzs; $(t_0, t_1)$ – Modo Zeta.....	178
Figura 4.6 - Estado topológico Dzps; $(t_7, t_8)$ – Modo Sepic.....	179
Figura 4.7 - Estado topológico Dszs; $(t_1, t_2)$ – Modo Zeta; $(t_0, t_1)$ – Modo Sepic. ....	180
Figura 4.8 - Estado topológico Dszz; $(t_2, t_3)$ – Modo Zeta; $(t_2, t_3)$ – Modo Sepic. ....	181
Figura 4.9 – Estado topológico Dspz; $(t_3, t_4)$ – Modo Zeta.....	182
Figura 4.10 - Estado topológico Dpsz; $(t_4, t_5)$ – Modo Sepic.....	183
Figura 4.11 - Estado topológico Dssz; $(t_4, t_5)$ – Modo Zeta; $(t_3, t_4)$ – Modo Sepic. ....	184
Figura 4.12 – Estado topológico DzsZ; $(t_5, t_6)$ – Modo Zeta; $(t_5, t_6)$ – Modo Sepic.....	185
Figura 4.13 - Estado topológico Dzsp; $(t_6, t_7)$ – Modo Zeta.....	186
Figura 4.14 - Estado topológico Dszp; $(t_1, t_2)$ – Modo Sepic.....	187
Figura 4.15 - Estado topológico Dzss; $(t_7, t_8)$ – Modo Zeta; $(t_6, t_7)$ – Modo Sepic. ....	188
Figura 4.16 - Estado topológico Dzzs; $(t_8, t_9)$ – Modo Zeta; $(t_8, t_9)$ – Modo Sepic. ....	189
Figura 4.17 – Principais formas de onda para o conversor CC-CC Zeta- Sepic operando com <i>interleaving</i> no modo Zeta. ....	191
Figura 4.18 - Principais formas de onda para o conversor CC-CC Zeta- Sepic operando com <i>interleaving</i> no modo Sepic. ....	192
Figura 4.19 - Duração dos estados topológicos para o conversor CC-CC Zeta-Sepic com GA e <i>interleaving</i> operando no modo Zeta. .....	193
Figura 4.20 - Duração dos estados topológicos para o conversor CC-CC Zeta-Sepic com GA e <i>interleaving</i> operando no modo Sepic. ....	194
Figura 4.21 - Lugar das raízes e diagrama de Bode das malhas de controle do conversor Zeta-Sepic com <i>interleaving</i> . ....	200
Figura 4.22 - Resposta ao degrau referência da tensão $v_{Cb}$ do conversor Zeta-Sepic com <i>interleaving</i> .....	201
Figura 4.23 - Resposta ao degrau de referência $v_{Cb}$ obtida por simulação para o conversor Zeta-Sepic com GA e <i>interleaving</i> operando no modo Zeta. ....	202

Figura 4.24 - Resposta ao degrau de carga 100% → 50% → 100% para o conversor Zeta-Sepic com GA e <i>interleaving</i> operando no modo Zeta. ....	202
Figura 4.25 - Resposta ao degrau de referência $v_{Cb}$ obtida por simulação para o conversor Zeta-Sepic com GA e <i>interleaving</i> operando em ambos os modos. ....	203
Figura 4.26 – Diagrama esquemático da ligação da fonte SKHI PS2 com os transformadores auxiliares. ....	204
Figura 4.27 – Diagrama esquemático das conexões com o <i>driver</i> SKHI 20op .....	205
Figura 4.28 –Diagrama esquemático da interface entre o controlador digital e a entrada PWM do <i>driver</i> SKHI 20op .....	205
Figura 4.29 – Diagrama esquemático para reset dos <i>drivers</i> .....	205
Figura 4.30 - <i>Layout</i> da camada inferior da placa de comando.....	206
Figura 4.31 – Sinais de gatilho defasados entre si de 120 graus ( $D=0,5$ ). ....	208
Figura 4.32 - Comando dos interruptores por conversor.....	209
Figura 4.33 - Correntes de comutação Zeta para operação em <i>interleaving</i> no modo Zeta ( $D=0,5$ , $V_a = 100V$ , $V_b=410 V$ ). ....	209
Figura 4.34 - Correntes de comutação Sepic e pulso de gatilho $Sa_1$ para o conversor operando com <i>interleaving</i> no modo Zeta ( $D=0,5$ , $V_a = 100V$ , $V_b=410 V$ ).....	210
Figura 4.35 - Correntes nos capacitores de grampeamento Zeta e pulsos no gatilho de $Sa_2$ e para o conversor operando com <i>interleaving</i> no modo Zeta.....	210
Figura 4.36 - Pulsos no gatilho de $Sa_2$ e correntes nos capacitores de grampeamento Sepic, para o conversor operando com <i>interleaving</i> no modo Zeta ( $D=0,5$ , $V_a = 100V$ , $V_b=410 V$ ). ....	211
Figura 4.37 - Corrente zeta ( $i_a$ ), corrente zeta na unidade 1 ( $i_{CM1a1}$ ) e corrente na indutância $Lb$ para o conversor operando com <i>interleaving</i> no modo Zeta ( $D=0,433$ , $V_a = 100V$ , $V_b=340 V$ ). ....	212
Figura 4.38 – Corrente de entrada, tensão e corrente na indutância $Lb$ para o conversor operando com <i>interleaving</i> no modo Zeta ( $V_a = 100V$ , $V_b=410 V$ , $D=0,5$ ).....	212
Figura 4.39 - Corrente de entrada, tensão e corrente na indutância $Lb$ para o conversor operando com <i>interleaving</i> no modo Zeta ( $D=0,567$ , $V_a = 50V$ , $V_b=250 V$ ).....	213

Figura 4.40 - Correntes de comutação Sepic para operação em <i>interleaving</i> no modo Sepic ( $D=0,375$ , $V_a=400$ V, $V_b=88$ V e $R_a=6,6$ $\Omega$ ). .....	214
Figura 4.41 - Pulso no gatilho de $Sb_1$ e correntes nos capacitores de Grampeamento Sepic, para o conversor operando com <i>interleaving</i> no modo Sepic ( $D=0,375$ , $V_a=400$ V, $V_b=88$ V e $R_a=6,6$ $\Omega$ ). .....	214
Figura 4.42 - Correntes de comutação Zeta para operação em <i>interleaving</i> no modo Sepic ( $D=0,375$ , $V_a=400$ V, $V_b=88$ V e $R_a=6,6$ $\Omega$ ). .....	215
Figura 4.43 - Pulso no gatilho de $Sb_1$ e correntes nos capacitores de Grampeamento Zeta, para o conversor operando com <i>interleaving</i> no modo Sepic ( $D=0,375$ , $V_a=400$ V, $V_b=88$ V e $R_a=6,6$ $\Omega$ ). .....	216
Figura 4.44 - Corrente de entrada, tensão e corrente na indutância $L_b$ para o conversor operando com <i>interleaving</i> no modo Sepic ( $D=0,375$ , $V_a=400$ V, $V_b=88$ V e $R_a=6,6$ $\Omega$ ). .....	217
Figura 4.45 - Corrente de entrada, tensão e corrente na indutância $L_b$ para o conversor operando com <i>interleaving</i> no modo Sepic ( $D=0,5$ , $V_a=400$ V, $V_b=58$ V e $R_a=6,6$ $\Omega$ ). .....	217



## LISTA DE TABELAS

Tabela 2.1 - Especificação para o conversor Zeta-Sepic não isolado....	58
Tabela 2.2 - Parâmetros do Conversor Zeta-Sepic não isolado implementado em laboratório. ....	65
Tabela 2.3 - Valores do ponto de operação para o conversor Zeta-Sepic não isolado com resistências série dos componentes.....	66
Tabela 2.4 - Parâmetros utilizados para o condicionamento de sinal do conversor Zeta-Sepic não isolado. ....	80
Tabela 2.5 - Comparação entre as respostas ao degrau de referência $i_{Lb}$ para o conversor Zeta-Sepic não isolado operando no modo Zeta e no modo Sepic.....	85
Tabela 2.6 - Detalhes construtivos do indutor $L_a$ .....	99
Tabela 2.7 – Detalhes construtivos do indutor $L_b$ .....	100
Tabela 3.1 - Limites para os tempos de comando dos interruptores de grampeamento.....	137
Tabela 3.2 - Parâmetros do Conversor Zeta-Sepic Isolado com GA implementado em laboratório .....	139
Tabela 3.3 - Valores do ponto de operação para o conversor Zeta-Sepic isolado com GA considerando as resistências série dos componentes. ....	140
Tabela 3.4 - Parâmetros utilizados para o condicionamento de sinal do conversor Zeta-Sepic isolado com grampeamento ativo. ....	150
Tabela 3.5 - Detalhes construtivos dos indutores acoplados. ....	162
Tabela 3.6 - Valores construtivos do indutor de comutação. ....	163
Tabela 3.7 – Detalhes construtivos do indutor $L_b$ .....	163
Tabela 3.8 – Configuração do tempo morto no Driver SKHI 20op. ...	164
Tabela 4.1 - Parâmetros utilizados para o condicionamento de sinal do conversor Zeta-Sepic isolado com grampeamento ativo e <i>interleaving</i> .....	199
Tabela 4.2 - Mapeamento dos pinos do conector flat presente na placa de comando dos interruptores .....	206
Tabela 4.3 – Configuração dos pulsos PWM para operação com <i>interleaving</i> .....	207



## LISTA DE ABREVIATURAS E SIGLAS

<b>Abr/Sig</b>	<b>Descrição</b>
DSP	<i>Digital Signal Processor</i>
GA	Grampeamento Ativo
INEP	Instituto de Eletrônica de Potência
MFB	<i>Multiple Feedback</i>
SEPIC	<i>Single-Ended Primary-Inductor Converter</i>
SSA	State-Space Averaging
ADC	<i>Analog-to-Digital Converter</i>
PWM	<i>Pulse Width Modulation</i>
BEV	<i>Battery Electric Vehicle</i>
HEV	<i>Hybrid Electric Vehicle</i>
FCEV	<i>Fuel-Cell Electric Vehicle</i>
VSI	<i>Voltage Source Inverter</i>
CC	Corrente Contínua
ZVS	<i>Zero Voltage Switching</i>
IGBT	<i>Isolated gate bipolar transistor</i>
RMS	<i>Root Mean Square</i>



## LISTA DE SÍMBOLOS

Forma Geral	Descrição	Unidade
$X$	Valor médio de uma variável $X$ em regime permanente	-
$x$	Valor em função de tempo $x(t)$	-
$\hat{x}$	Valor médio instantâneo de uma variável $x$ qualquer	-
$\vec{x}$	Vetor $x$ qualquer	-
$\mathbf{X}$	Matriz $\mathbf{X}$ qualquer	-
$x''$	Variável $x$ qualquer referenciada ao lado Sepic	-
$x'$	Variável $x$ qualquer referenciada ao lado Zeta	-
$Y_{x,rms}$	Valor RMS de $Y$ no componente $x$	-
$Y_{x,avg}$	Valor Médio de $Y$ no componente $x$	-
$Y_{x,max}$	Valor máximo de $Y$ no componente $x$	-
$Y_{x,min}$	Valor mínimo de $Y$ no componente $x$	-
$Y_{x,itm}$	Valor intermediário entre máximo e mínimo de $Y$ no componente $x$	-

Símbolo	Descrição	Unidade
$Ca$	Capacitância Sepic	F
$Cb$	Capacitância Zeta	F
$Cab$	Capacitância de transferência	F
$Cca$	Capacitância grampeamento Zeta	F
$Ccb$	Capacitância grampeamento Sepic	F
$La$	Indutância de magnetização	H
$Lb$	Indutância de Saída no conversor Zeta	H
$Lc$	Indutância de Comutação	H
$Ld$	Indutância de Dispersão	H
$Ra$	Resistência de carga no Conversor Sepic	$\Omega$
$Rb$	Resistência de carga no Conversor Zeta	$\Omega$
$Sa$	Interruptor Zeta	-
$Sb$	Interruptor Sepic	-
$Sc$	Interruptor de grampeamento Zeta	-
$Sd$	Interruptor de grampeamento Sepic	-
$Va$	Tensão da fonte Zeta	V
$Vb$	Tensão da fonte Sepic	V

$Da$	Diodo Sepic	-
$Db$	Diodo Zeta	-
$Dc$	Diodo de grampeamento Zeta	-
$Dd$	Diodo de grampeamento Sepic	-
$R_{Cab}$	Resistência série equivalente de $Cab$	$\Omega$
$R_{Cca}$	Resistência série de equivalente $Cca$	$\Omega$
$R_{Ccb}$	Resistência série de equivalente $Ccb$	$\Omega$
$R_{La}$	Resistência série de $La$	$\Omega$
$R_{Lb}$	Resistência série de $Lb$	$\Omega$
$R_{Lc}$	Resistência série de $Lc$	$\Omega$
$i_{CMTa}$	Corrente de comutação Zeta	A
$i_{CMTb}$	Corrente de comutação Sepic	A
$v_a$	Tensão na fonte Zeta	V
$v_b$	Tensão na fonte Sepic	V
$La''$	Indutância de magnetização referenciada ao lado Sepic	H
$Ld''$	Indutância de dispersão referenciada ao lado Sepic	H

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO GERAL .....</b>	<b>37</b>
1.1	CONTEXTUALIZAÇÃO E MOTIVAÇÃO.....	37
1.2	APRESENTAÇÃO DA TOPOLOGIA ESCOLHIDA PARA ESTUDO ....	40
<b>2</b>	<b>CONVERTOR CC-CC ZETA-SEPIC BIDIRECIONAL NÃO ISOLADO</b>	<b>45</b>
2.1	INTRODUÇÃO.....	45
2.2	ANÁLISE INICIAL DO CONVERTOR.....	45
2.2.1	<b>Princípio de funcionamento .....</b>	<b>46</b>
2.2.2	<b>Etapa Ds <math>\rightarrow 0 &lt; t \leq DTs</math>.....</b>	<b>47</b>
2.2.2.1	Sub-etapa Ds Modo Zeta.....	48
2.2.2.2	Sub-etapa Ds Modo Sepic.....	48
2.2.3	<b>Etapa Dz <math>\rightarrow DTs &lt; t \leq Ts</math> .....</b>	<b>49</b>
2.2.3.1	Sub-etapa Dz Modo Zeta .....	50
2.2.3.2	Sub-etapa Dz Modo Sepic.....	50
2.2.4	<b>Equações dos estados topológicos na forma matricial</b>	<b>51</b>
2.2.4.1	Etapa Ds.....	51
2.2.4.2	Etapa Dz.....	52
2.2.5	<b>Formas de onda do conversor Zeta-Sepic não isolado</b>	<b>52</b>
2.3	EQUACIONAMENTO E PROJETO DO ESTÁGIO DE POTÊNCIA.....	54
2.3.1	<b>Ponto de operação do conversor Zeta-Sepic não isolado. ....</b>	<b>54</b>
2.3.2	<b>Especificação dos componentes .....</b>	<b>56</b>
2.3.2.1	Indutores .....	56
2.3.2.2	Capacitores.....	56
2.3.2.3	Semicondutores.....	57
2.3.2.4	Exemplo de projeto de um protótipo de 1 kW .....	57
2.4	MODELO DINÂMICO DE PEQUENOS SINAIS COM VALORES MÉDIOS INSTANTÂNEOS EM ESPAÇO DE ESTADOS (SSA).....	59
2.4.1	<b>Introdução à técnica de modelagem com valores médios instantâneos em Espaço de Estados (SSA).....</b>	<b>59</b>
2.4.2	<b>Obtendo as funções de transferência via espaço de estados.....</b>	<b>61</b>
2.4.3	<b>Modelo ideal do conversor Zeta-Sepic não isolado.....</b>	<b>61</b>
2.4.4	<b>Modelo com resistências do conversor Zeta-Sepic não isolado .....</b>	<b>63</b>
2.5	VALIDAÇÃO DO MODELO VIA SIMULAÇÃO NUMÉRICA .....	64
2.5.1	<b>Zeta-Sepic bidirecional não isolado com perdas .....</b>	<b>65</b>
2.5.1.1	Operando no modo Zeta.....	67

2.5.1.2	Operando no modo Sepic.....	69
2.5.1.3	Comparação entre os modelos obtidos .....	70
2.5.1.4	Reflexão sobre a estabilidade do sistema.....	71
2.6	PROJETO DO CONDICIONAMENTO DE SINAIS .....	75
<b>2.6.1</b>	<b>Projeto do estágio de filtragem analógica.....</b>	<b>75</b>
<b>2.6.2</b>	<b>Ganho dos sensores de corrente e de tensão.....</b>	<b>76</b>
2.6.2.1	Sensor de corrente.....	76
2.6.2.2	Sensor de tensão .....	77
<b>2.6.3</b>	<b>Etapa inversora e <i>offset</i> de tensão .....</b>	<b>77</b>
<b>2.6.4</b>	<b>Circuito de condicionamento .....</b>	<b>78</b>
2.6.4.1	Função de transferência do condicionamento de sinal para leitura de corrente .....	78
2.6.4.2	Função de transferência do condicionamento de sinal para leitura de tensão .....	79
2.7	PROJETO DA MALHA DE CONTROLE DA CORRENTE $I_{LB}$ .....	79
<b>2.7.1</b>	<b>Conversor Zeta-Sepic não isolado operando no modo Zeta .....</b>	<b>82</b>
<b>2.7.2</b>	<b>Conversor Zeta-Sepic não isolado operando no modo Sepic.....</b>	<b>83</b>
2.8	PROJETO DAS MALHAS DE CONTROLE DAS TENSÕES $V_{CA}$ E $V_{CB}$ 85	
<b>2.8.1</b>	<b>Conversor Zeta-Sepic não isolado operando no modo Zeta .....</b>	<b>86</b>
<b>2.8.2</b>	<b>Conversor Zeta-Sepic não isolado operando no modo Sepic.....</b>	<b>88</b>
2.9	IMPLEMENTAÇÃO VIA CONTROLADOR DIGITAL DE SINAIS.....	91
<b>2.9.1</b>	<b>Representação dos números reais .....</b>	<b>91</b>
2.9.1.1	Aritmética de ponto fixo e notação fracionária Qn91	
2.9.1.2	Biblioteca de ponto flutuante virtual.....	93
<b>2.9.2</b>	<b>Ganho do Módulo ADC .....</b>	<b>93</b>
<b>2.9.3</b>	<b>Configuração dos temporizadores (<i>Timers</i>) .....</b>	<b>93</b>
<b>2.9.4</b>	<b>Ganho e resolução do Módulo PWM.....</b>	<b>94</b>
<b>2.9.5</b>	<b>Implementação dos Controladores .....</b>	<b>94</b>
2.9.5.1	Controlador de corrente $i_{Lb}$ .....	95
2.9.5.2	Controlador de tensão $v_{Ca}$ .....	95
2.9.5.3	Controlador de tensão $v_{Cb}$ .....	95
<b>2.9.6</b>	<b>Circuito de Comando .....</b>	<b>96</b>
2.10	SIMULAÇÃO NUMÉRICA .....	96
<b>2.10.1</b>	<b>Conversor Zeta-Sepic bidirecional não isolado .....</b>	<b>96</b>
<b>2.10.2</b>	<b>Conversor Zeta-Sepic bidirecional não isolado operando como Sepic.....</b>	<b>98</b>
2.11	RESULTADOS EXPERIMENTAIS.....	99



2.11.1	Indutor <i>La</i> .....	99
2.11.2	Indutor <i>Lb</i> .....	100
2.11.3	Formas de onda experimentais do conversor CC-CC Zeta-Sepic não isolado .....	100
2.11.4	Validação da bidirecionalidade do conversor Zeta-Sepic não isolado .....	103
2.12	CONCLUSÃO .....	105
<b>3</b>	<b>CONVERSOR CC-CC ZETA-SEPIC BIDIRECIONAL ISOLADO COM GRAMPEAMENTO ATIVO .....</b>	<b>107</b>
3.1	INTRODUÇÃO.....	107
3.2	ANÁLISE INICIAL DO CONVERSOR.....	108
3.2.1	Lógica de comando dos interruptores.....	111
3.2.2	Formas de onda do conversor CC-CC Zeta-Sepic com GA .....	112
3.3	ETAPAS DE OPERAÇÃO DO CONVERSOR ZETA-SEPIC COM GA.....	115
3.3.1	Ordem e duração das etapas de operação .....	115
3.3.1.1	Conversor operando no modo Sepic .....	115
3.3.1.2	Conversor operando no modo Zeta.....	116
3.3.2	Etapa Dp – Perda de razão cíclica.....	116
3.3.3	Etapa Ds – Definida por D no modo Sepic .....	118
3.3.4	Etapa Dz – Definida por (1-D) no modo Zeta.....	119
3.3.5	Equações dos estados topológicos na forma matricial .....	120
3.3.5.1	Etapa Dp.....	121
3.3.5.2	Etapa Ds.....	121
3.3.5.3	Etapa Dz.....	122
3.4	SUB-ETAPAS DE OPERAÇÃO DO CONVERSOR ZETA-SEPIC COM GRAMPEAMENTO ATIVO .....	122
3.4.1	Conversor Zeta-Sepic operando no modo Zeta.....	122
3.4.1.1	Sub-etapa 1 da etapa Dp no modo Zeta .....	122
3.4.1.2	Sub-etapa 2 da etapa Dp no modo Zeta .....	123
3.4.1.3	Sub-etapa 3 da etapa Dp no modo Zeta .....	123
3.4.1.4	Sub-etapa 1 da etapa Ds no modo Zeta.....	124
3.4.1.5	Sub-etapa 2 da etapa Ds no modo Zeta.....	124
3.4.1.6	Sub-etapa 1 da etapa Dz no modo Zeta.....	125
3.4.1.7	Sub-etapa 2 da etapa Dz no modo Zeta.....	125
3.4.1.8	Sub-etapa 3 da etapa Dz no modo Zeta.....	126
3.4.2	Conversor Zeta-Sepic operando no modo Sepic .....	126
3.4.2.1	Sub-etapa 1 da etapa Ds no modo Sepic .....	127
3.4.2.2	Sub-etapa 2 da etapa Ds no modo Sepic .....	127
3.4.2.3	Sub-etapa 3 da etapa Ds no modo Sepic .....	128

3.4.2.4	Sub-etapa 1 da etapa Dp no modo Sepic .....	128
3.4.2.5	Sub-etapa 2 da etapa Dp no modo Sepic .....	129
3.4.2.6	Sub-etapa 3 da etapa Dp no modo Sepic .....	129
3.4.2.7	Sub-etapa 1 da etapa Dz no modo Sepic.....	130
3.4.2.8	Sub-etapa 2 da etapa Dz no modo Sepic.....	130
3.5	EQUACIONAMENTO E PROJETO DO ESTÁGIO DE POTÊNCIA ....	131
<b>3.5.1</b>	<b>Ponto de operação.....</b>	<b>131</b>
<b>3.5.2</b>	<b>Cálculo do tempo das etapas de operação em função da razão cíclica do sistema .....</b>	<b>132</b>
3.5.2.1	Conversor operando no modo Sepic.....	132
3.5.2.2	Conversor operando no modo Zeta.....	134
<b>3.5.3</b>	<b>Tempo morto nos interruptores de grampeamento...137</b>	
<b>3.5.4</b>	<b>Especificação dos componentes .....</b>	<b>138</b>
3.5.4.1	Indutores .....	138
3.5.4.2	Capacitores .....	139
<b>3.5.5</b>	<b>Parâmetros do conversor implementado em laboratório .....</b>	<b>139</b>
3.6	IDENTIFICAÇÃO DO MODELO DINÂMICO DE PEQUENOS SINAIS	140
3.6.1	Zeta-Sepic Isolado com GA operando no modo Zeta	142
3.6.2	Zeta-Sepic Isolado com GA operando no modo Sepic .....	147
3.7	PROJETO DAS MALHAS DE CONTROLE.....	149
3.7.1	Ajuste do condicionamento de sinais .....	149
3.7.2	Zeta-Sepic Isolado com GA operando no modo Zeta	150
3.7.3	Zeta-Sepic Isolado com GA operando no modo Sepic .....	153
3.7.4	Inclusão do isolamento .....	156
3.8	DISCRETIZAÇÃO DOS CONTROLADORES .....	157
3.8.1	Conversor operando no modo Zeta.....	157
3.8.2	Conversor operando no modo Sepic .....	158
3.9	SIMULAÇÃO NUMÉRICA .....	158
3.9.1	Conversor operando no modo Zeta.....	158
3.9.2	Conversor operando no modo Sepic .....	159
3.9.3	Conversor operando em ambos os modos .....	160
3.10	RESULTADOS EXPERIMENTAIS.....	161
3.10.1	Indutores acoplados.....	162
3.10.2	Indutor de comutação $L_c$ .....	163
3.10.3	Indutor $L_b$ .....	163
3.10.4	Carga RC.....	163
3.10.5	Configurando o driver SKHI 20op .....	164

3.10.6 Formas de onda.....	164
3.11 CONCLUSÃO .....	171
<b>4 CONVERSOR CC-CC ZETA-SEPIC BIDIRECIONAL ISOLADO COM GRAMPEAMENTO ATIVO E <i>INTERLEAVING</i> .....</b>	<b>173</b>
4.1 INTRODUÇÃO.....	173
4.2 CIRCUITO EQUIVALENTE DO CONVERSOR CC-CC ZETA-SEPIC OPERANDO EM <i>INTERLEAVING</i> .....	174
4.3 ESTADOS TOPOLÓGICOS PARA <i>INTERLEAVING</i> DE TRÊS CONVERSORES ZETA-SEPIC BIDIRECIONAIS ISOLADOS COM GRAMPEAMENTO ATIVO .....	176
4.3.1 Estado topológico Dpzs (Modo Zeta) .....	178
4.3.2 Estado topológico Dzps (Modo Sepic).....	179
4.3.3 Estado topológico Dszs .....	180
4.3.4 Estado topológico Dszz .....	181
4.3.5 Estado topológico Dspz (Modo Zeta) .....	182
4.3.6 Estado topológico Dpsz (Modo Sepic).....	183
4.3.7 Estado topológico Dssz .....	184
4.3.8 Estado topológico Dzzs .....	185
4.3.9 Estado topológico Dzsp (Modo Zeta) .....	186
4.3.10 Estado topológico Dszp (Modo Sepic).....	187
4.3.11 Estado topológico Dzss .....	188
4.3.12 Estado topológico Dzzs .....	189
4.4 FORMAS DE ONDA DO CONVERSOR ZETA-SEPIC COM GA E <i>INTERLEAVING</i> .....	190
4.5 DURAÇÃO DOS ESTADOS TOPOLÓGICOS .....	193
4.5.1 Conversor Zeta-Sepic com <i>interleaving</i> operando no modo Zeta .....	193
4.5.2 Conversor Zeta-Sepic com <i>interleaving</i> operando no modo Sepic.....	193
4.6 EQUACIONAMENTO DO CONVERSOR CC-CC ZETA-SEPIC COM <i>INTERLEAVING</i> .....	195
4.6.1 Ganho estático do conversor CC-CC Zeta-Sepic com <i>interleaving</i> .....	195
4.6.2 Reflexão sobre o equilíbrio de potência entre os conversores.....	196
4.6.3 Limitação da razão cíclica devido ao <i>interleaving</i> .....	197
4.7 PROJETO DA MALHA DE CONTROLE.....	199
4.7.1 Ajuste do condicionamento de sinais.....	199
4.7.2 Conversor Zeta-Sepic Isolado com GA e <i>Interleaving</i> operando no modo Zeta.....	199
4.7.2.1 Reajuste do controlador de tensão.....	199

4.8	DISCRETIZAÇÃO DOS CONTROLADORES .....	201
4.9	SIMULAÇÃO NUMÉRICA .....	201
4.9.1	<b>Conversor Zeta-Sepic com <i>Interleaving</i> operando no modo Zeta.....</b>	<b>202</b>
4.9.2	<b>Conversor Zeta-Sepic com <i>Interleaving</i> operando em ambos os modos .....</b>	<b>203</b>
4.10	CIRCUITO DE COMANDO .....	204
4.10.1	<b>Configuração do DSP TMS320F2812 no kit ezDSP™ 2812 .....</b>	<b>207</b>
4.11	RESULTADOS EXPERIMENTAIS.....	208
4.11.1	<b>Conversor CC-CC Zeta-Sepic isolado com Grampeamento ativo e <i>interleaving</i> operando no Modo Zeta .....</b>	<b>208</b>
4.11.2	<b>Conversor CC-CC Zeta-Sepic isolado com Grampeamento ativo e <i>interleaving</i> operando no Modo Sepic.....</b>	<b>213</b>
4.12	CONCLUSÃO.....	218
5	<b>CONSIDERAÇÕES FINAIS .....</b>	<b>219</b>
5.1	CONCLUSÃO GERAL.....	219
5.2	RECOMENDAÇÕES PARA TRABALHOS FUTUROS.....	221
6	<b>REFERÊNCIAS.....</b>	<b>223</b>
7	<b>APÊNDICE A – ROTINA PARA OBTENÇÃO DO MODELO DINÂMICO DO CONVERSOR ZETA-SEPIC NÃO ISOLADO.....</b>	<b>227</b>
7.1	ARQUIVO PARA ENTRADA DOS PARÂMETROS DO CONVERSOR.....	227
7.2	CÁLCULO DO PONTO DE OPERAÇÃO .....	228
7.2.1	<b>Função para o calculo do ponto de operação no modo Zeta .....</b>	<b>229</b>
7.2.2	<b>Função para o calculo do ponto de operação no modo Sepic.....</b>	<b>229</b>
7.3	MODELO EM ESPAÇO DE ESTADOS .....	230
8	<b>APÊNDICE B – ESQUEMÁTICO DO CIRCUITO DE POTÊNCIA DO CONVERSOR ZETA-SEPIC COM GA.....</b>	<b>231</b>
9	<b>APÊNDICE C – ESQUEMÁTICO DO CIRCUITO DE COMANDO DO CONVERSOR ZETA-SEPIC COM GA.....</b>	<b>232</b>
10	<b>APÊNDICE D – ESQUEMÁTICO DO CIRCUITO DE CONDICIONAMENTO DE SINAIS .....</b>	<b>233</b>

---

---

# 1 INTRODUÇÃO GERAL

---

---

### 1.1 CONTEXTUALIZAÇÃO E MOTIVAÇÃO.

Atualmente é crescente a preocupação mundial com os recursos naturais disponíveis e com a degradação do meio ambiente em função da ação humana, resultando em um aquecimento nas áreas de pesquisa envolvendo o uso de energias renováveis. O esforço em reduzir a emissão de dióxido de carbono ( $\text{CO}_2$ ), aliada ao uso de energias renováveis e a crescente necessidade de meios de transporte impulsionam pesquisas em veículos elétricos.

Entende-se por veículo elétrico qualquer meio de transporte que utilize propulsão elétrica. Com esta definição em mente, os veículos elétricos podem ser divididos em [1]:

- ✓ Veículos Puramente Elétricos (BEVs)
- ✓ Veículos Híbridos (HEVs)
- ✓ Veículos a Célula-combustível (FCEVs)

A autonomia compromete os veículos puramente elétricos enquanto o custo compromete os veículos a célula-combustível em comparação aos híbridos, tornando-os como principal foco de estudo no escopo de veículos elétricos.

A arquitetura dos veículos híbridos atualmente pode ser classificada em quatro grupos [1]:

- ✓ Híbrido Série
- ✓ Híbrido Paralelo
- ✓ Híbrido Série-Paralelo
- ✓ Híbrido Complexo

As configurações série e paralelo são as mais populares [2]. Em termos de eficiência energética, a configuração paralela é mais adequada para operação em velocidade alta e constante, já a configuração série

apresenta melhores resultados em situações de paradas constantes, tais como o transporte urbano [3].

A Figura 1.1 detalha a configuração de um veículo híbrido série, e introduz o foco de estudo do presente trabalho.

O motor de combustão interna é utilizado como fonte primária do gerador elétrico e opera em seu ponto de máximo rendimento. Um estágio de retificação transfere a energia gerada a um barramento de corrente contínua (CC) que é interligado ao estágio de tração e também ao estágio de estocagem de energia. A energia proveniente de frenagem pode ser aproveitada devido à bidirecionalidade dos estágios de tração e estocagem.

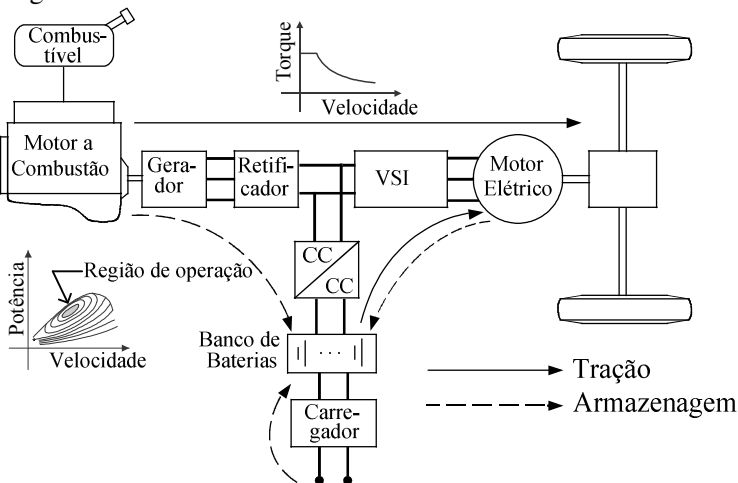


Figura 1.1 - Configuração série de um sistema HEV. Adaptado de [4].

Geralmente a energia proveniente da frenagem é formada por altos níveis de corrente com pouca duração, condição crítica para o caso em que a estocagem é realizada com baterias reduzindo a vida útil das mesmas. Esta condição pode ser resolvida com o uso de supercapacitores [5], exercendo a função de absorver grandes quantidades de energia em pouco espaço de tempo.

O presente trabalho estuda uma proposta para o conversor CC-CC presente no estágio de estocagem de energia, para uma tensão de estocagem inferior a 100 V e tensão no barramento CC acima de 400 V, ou seja, alta taxa de conversão de tensão.

Listam-se assim os principais requisitos do conversor CC-CC:

- ✓ Bidirecionalidade
- ✓ Elevado Ganho Estático em tensão
- ✓ Potência elevada (Ônibus Híbrido)

✓ Reduzida ondulação de corrente.

A ondulação reduzida de corrente implica capacitores com capacitâncias menores.

As topologias utilizadas em veículos híbridos são basicamente formadas por quatro configurações topológicas [5], [6] e [7].

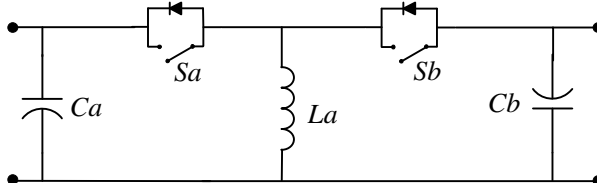


Figura 1.2 – Conversor Buck-Boost (Meia-Ponte) bidirecional

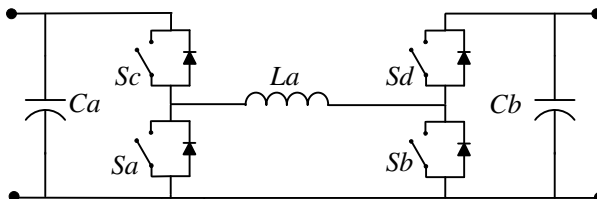


Figura 1.3 - Conversor Buck-Boost bidirecional em cascata

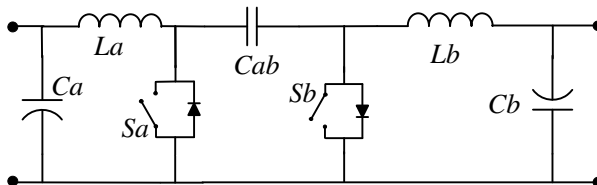


Figura 1.4 - Conversor Cùk bidirecional

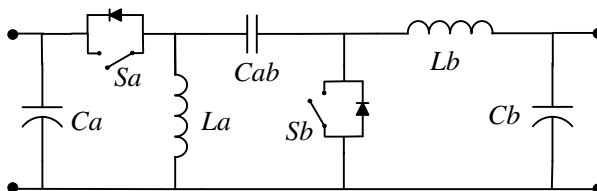


Figura 1.5 - Conversor Zeta-Sepic bidirecional

Dentre as topologias apresentadas, todas atendem o requisito de bidirecionalidade. As topologias Buck-Boost apresentam a desvantagem da corrente pulsada nos capacitores, não atendendo assim ao requisito de baixa ondulação de corrente. O acoplamento magnético dos indutores na topologia Cùk, contribui tanto na ondulação de corrente, podendo elimi-

ná-la, quanto no volume físico dos indutores [8] e [9]. Técnicas de *interleaving* também contribuem na redução da ondulação de corrente [10].

Em uma comparação direta entre as topologias Cúk e Zeta-Sepic, a grande vantagem da topologia Zeta-Sepic está na redução da tensão sobre o capacitor de transferência e a desvantagem está na descontinuidade de corrente em uma das fontes [7].

Busca-se uma topologia adequada a grandes potências, o que torna a utilização de técnicas de *interleaving* promissoras, aliado a informação de que utilizando o *interleaving* na topologia Sepic elimina-se a descontinuidade de corrente [10], inicia-se um estudo aprofundado da aplicação do *interleaving* na topologia Zeta-Sepic.

Em conformidade com o estudo investigativo e introdutório realizado, define-se o principal objetivo deste trabalho: Estudar a topologia Zeta-Sepic bidirecional com isolamento galvânica e *interleaving*.

## 1.2 APRESENTAÇÃO DA TOPOLOGIA ESCOLHIDA PARA ESTUDO

Encontrada a topologia candidata a atender os requisitos do conversor CC-CC presente na Figura 1.1, inicia-se a organização do trabalho em si.

O ponto de partida é o estudo do conversor Zeta-Sepic bidirecional não isolado, apresentado na Figura 1.6. Este estudo inicial inclui os seguintes passos:

- ✓ Etapas de operação e formas de onda
- ✓ Análise estática e dinâmica
- ✓ Dimensionamento de um protótipo
- ✓ Estratégia de controle do fluxo de potência
- ✓ Validação experimental do estudo teórico realizado.

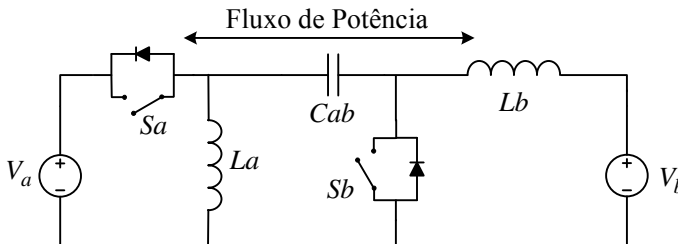


Figura 1.6 - Conversor Zeta-Sepic Bidirecional não isolado

O passo seguinte é incluir a isolamento galvânica, como ilustrado na Figura 1.7.



É possível encontrar na literatura o conversor Zeta-Sepic bidirecional não isolado com comutação em tensão nula (ZVS) [11] e [12], citando a possibilidade de isolamento galvânica, porém sem maiores detalhes.

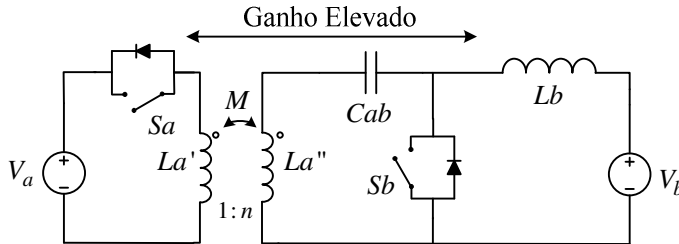


Figura 1.7 - Conversor Zeta-Sepic Isolado

Uma das grandes dificuldades em incluir a isolamento galvânica está relacionada à dispersão magnética. Técnicas de grampeamento são utilizadas para impedir a destruição dos semicondutores devido à energia presente na indutância de dispersão.

Técnicas de grampeamento ativo (GA) no conversor Zeta [13] e no conversor Sepic [14] apresentam bons resultados.

Existem diversas topologias possíveis para concepção da célula de grampeamento ativo [15], das quais se opta pela célula proveniente das topologias Buck e Boost, resultando na topologia apresentada na Figura 1.8.

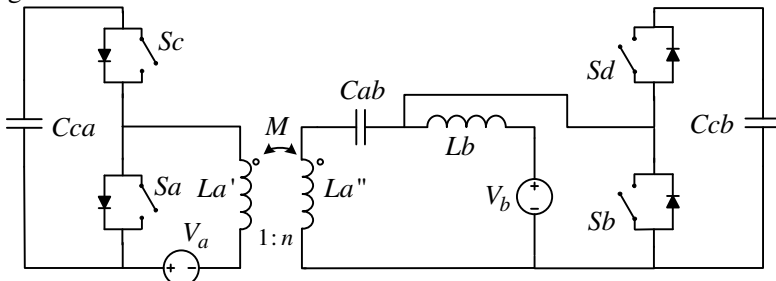


Figura 1.8 - Conversor Zeta-Sepic isolado com Grampeamento Ativo.

A indutância de dispersão que antes era o principal problema passa a ser algo benéfico com a aplicação de técnicas de comutação suave, que por vezes requer a inclusão de uma indutância com a função de aumentar a faixa de operação do ZVS.

A sequência lógica de análise é mantida:

- ✓ Etapas de operação e formas de onda
- ✓ Análise estática e dinâmica
- ✓ Dimensionamento de um protótipo

- ✓ Estratégia de controle do fluxo de potência
- ✓ Validação experimental do estudo teórico realizado.

Por fim, inclui-se o *interleaving* associando em paralelo no lado Zeta, e assim aumentando a capacidade de corrente e eliminando a descontinuidade de corrente na fonte Zeta ( $V_a$ ). O lado Sepic é associado em série contribuindo com um aumento no ganho estático em tensão. A topologia formada com o *interleaving* é apresentada na Figura 1.9. Normalmente, a sequência lógica de estudo é mantida.

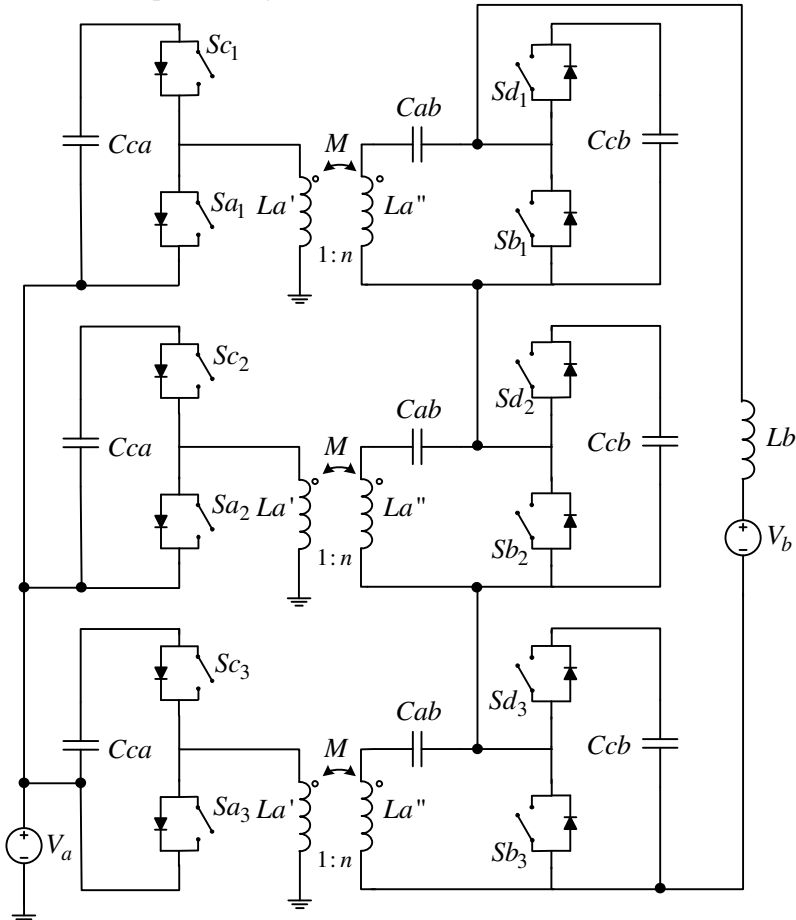


Figura 1.9 - Conversor Zeta-Sepic com Grampeamento Ativo e *Interleaving*

Diante do estudo inicial realizado, os capítulos subsequentes que compõem o presente trabalho podem ser divididos em:

- ✓ Capítulo 2: Estudo do conversor CC-CC Zeta-Sepic bi-direcional não isolado
- ✓ Capítulo 3: Estudo do conversor CC-CC Zeta-Sepic bi-direcional isolado com Grampeamento Ativo
- ✓ Capítulo 4: Estudo do conversor CC-CC Zeta-Sepic bi-direcional isolado com Grampeamento Ativo e *interleaving*
- ✓ Capítulo 5: Considerações Finais



---

---

### 2 CONVERSOR CC-CC ZETA-SEPIC BIDIRECIONAL NÃO ISOLADO

---

---

#### 2.1 INTRODUÇÃO

Este capítulo apresenta o estudo do conversor CC-CC Zeta-Sepic não isolado. O principal objetivo desta análise é validar a característica bidirecional deste conversor.

Utiliza-se a modelagem em espaço de estados devido à sua forma compacta de representar o sistema. As resistências parasitas dos componentes são consideradas na modelagem, que resulta em um sistema assintoticamente estável e por esta razão, reduz a complexidade de projeto do controlador de corrente.

A consistência da análise teórica é verificada previamente através de simulação numérica e de forma definitiva através de resultados experimentais.

#### 2.2 ANÁLISE INICIAL DO CONVERSOR

O ponto de partida para o estudo deste capítulo são duas topologias muito conhecidas, o conversor Zeta e o conversor Sepic.

O conversor Zeta-Sepic surge da fusão das topologias do conversor Zeta e do conversor Sepic, ambas as topologias com característica unidirecional de potência, formam uma topologia bidirecional em potência.

Com base no sentido do fluxo de potência, o conversor Zeta-Sepic é dividido em dois modos de operação: Modo Zeta, cujo fluxo é o mesmo do conversor Zeta equivalente, e Modo Sepic, com fluxo de potência no sentido inverso. A Figura 2.1 ilustra a nomenclatura utilizada para definir os modos de operação do conversor Zeta-Sepic, assim,

diz-se que o conversor está no modo Zeta quando o valor médio da corrente na indutância  $L_b$  for positivo. Quando o valor médio for negativo, o conversor está operando no modo Sepic.

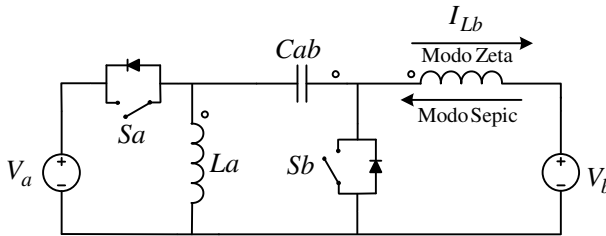


Figura 2.1 - Conversor Zeta-Sepic Bidirecional não isolado e seus modos de operação.

### 2.2.1 Princípio de funcionamento

Com a topologia estabelecida, basta definir a lógica de comando dos interruptores para determinar o funcionamento do conversor.

Define-se o interruptor  $S_a$  como referência para o comando, ou seja, a razão cíclica do interruptor  $S_a$  é a razão cíclica do sistema. O interruptor  $S_b$  é comandado de forma complementar ao interruptor  $S_a$ .

Analogamente ao conversor Zeta e ao conversor Sepic, o conversor Zeta-Sepic não isolado apresenta duas etapas de operação.

Para um dado instante de operação do conversor idealizado, é possível equacionar um conjunto de equações que descrevam o comportamento das grandezas elétricas para um intervalo de tempo específico. Este intervalo de tempo em que o conjunto de equações se mantém constante chama-se de etapa de operação. Chama-se de sub-etapa de operação o intervalo de tempo dentro da etapa de operação na qual o sentido das correntes nos componentes se mantém constante.

A convenção de corrente nos componentes é adotada a partir da polaridade das tensões indicadas por círculos e pelas equações que relacionam tensão e corrente nos componentes.

Nesta análise, o valor médio em regime permanente das tensões nas fontes é igual ao seu valor instantâneo.

Os interruptores são considerados ideais, pois o seu comportamento depende do sentido da corrente, contribuindo para um aumento da complexidade do modelo sem grandes benefícios.

A etapa pelo qual seu tempo é definido pela razão cíclica do sistema é chamada de etapa  $D_s$ . A etapa pelo qual seu tempo é definido pela razão cíclica complementar do sistema é chamada de etapa  $D_z$ .

### 2.2.2 Etapa Ds $\rightarrow 0 < t \leq DT_s$

Durante esta etapa, o interruptor Sa está conduzindo e o interruptor Sb se encontra bloqueado com uma tensão reversa de  $V_a + V_b$ .

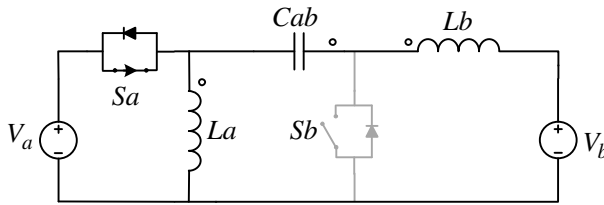


Figura 2.2 - Etapa Ds de operação do conversor Zeta-Sepic não isolado.

Como um pré-equacionamento do conversor, determinam-se as tensões sobre as indutâncias e a corrente na capacitância.

$$\begin{cases} v_{La} = v_a \\ v_{Lb} = v_a + v_{Cab} - v_b \\ i_{Cab} = -i_{Lb} \end{cases} \quad (2.1)$$

Na Figura 2.3 consideram-se as resistências série dos componentes do circuito, cuja análise será realizada mais a frente.

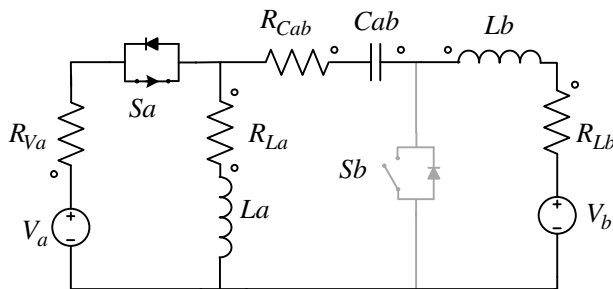


Figura 2.3 - Etapa Ds de operação do conversor Zeta-Sepic não isolado considerando as resistências série dos componentes.

As novas tensões sobre as indutâncias são calculadas em (2.2).

$$\begin{cases} v_{La} = v_a - R_{V_a}(i_{L_a} + i_{L_b}) - R_{L_a} \cdot i_{L_a} \\ v_{Lb} = v_a + v_{Cab} - v_b - R_{V_a}(i_{L_a} + i_{L_b}) - (R_{C_{ab}} + R_{L_b})i_{L_b} \\ i_{Cab} = -i_{L_b} \end{cases} \quad (2.2)$$

Os esforços nos semicondutores, desconsiderando-se as resistências série dos componentes, para esta etapa de operação são listados em (2.3).

$$\begin{cases} v_{Sa} = 0 \\ v_{Sb} = v_a + v_b \\ i_{Sa} = i_{La} + i_{Lb} \\ i_{Sb} = 0 \end{cases} \quad (2.3)$$

### 2.2.2.1 Sub-etapa Ds Modo Zeta

Para a condição de operação no modo Zeta, esta sub-etapa se inicia quando o interruptor  $Sa$  é comandado a conduzir e termina quando for comandado a abrir, ou seja, duração definida pela razão cíclica do conversor.

A capacitância  $Cab$  fornece energia e as indutâncias  $La$  e  $Lb$  acumulam energia. O interruptor  $Sa$  está submetido a uma corrente equivalente ao somatório das correntes nas indutâncias  $La$  e  $Lb$ , enquanto o interruptor  $Sb$  está submetido a um esforço de tensão equivalente ao somatório das tensões das fontes  $V_a$  e  $V_b$ .

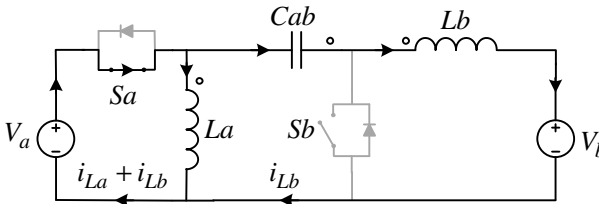


Figura 2.4 - Sub-etapa Ds modo Zeta.

### 2.2.2.2 Sub-etapa Ds Modo Sepic

Para a condição de operação no modo Sepic, esta sub-etapa se inicia quando o interruptor  $Sb$  é comandado a abrir e termina quando for comandado a fechar, ou seja, duração definida pela razão cíclica do conversor.

A capacitância  $Cab$  armazena energia e as indutâncias  $La$  e  $Lb$  devolvem energia ao sistema. O interruptor  $Sa$  está submetido a uma corrente equivalente ao somatório das correntes nas indutâncias  $La$  e  $Lb$ , enquanto interruptor  $Sb$  está submetido a um esforço de tensão equivalente ao somatório das tensões das fontes  $V_a$  e  $V_b$ .



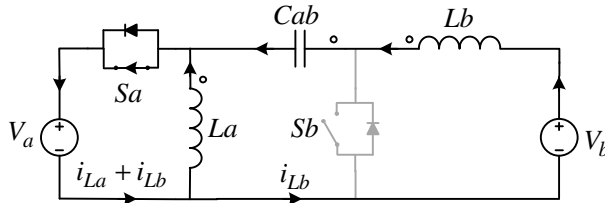


Figura 2.5 – Sub-estágio Ds modo Sepic.

### 2.2.3 Etapa Dz → $DT_s < t \leq T_s$

Durante esta etapa, o interruptor  $S_b$  está conduzindo e o interruptor  $S_a$  se encontra bloqueado com uma tensão reversa de  $V_a + V_b$ .

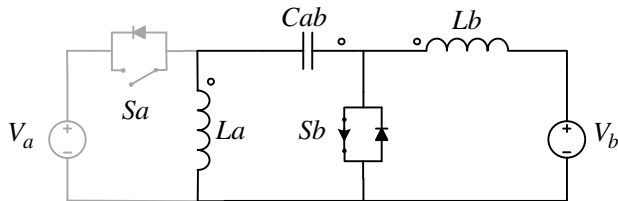


Figura 2.6 - Etapa Dz de operação do conversor Zeta-Sepic não isolado.

As tensões sobre as indutâncias e a corrente na capacitância  $C_{ab}$  para esta etapa são apresentados em (2.4).

$$\begin{cases} v_{La} = -v_{Cab} \\ v_{Lb} = -v_b \\ i_{Cab} = i_{La} \end{cases} \quad (2.4)$$

Analogamente, a Figura 2.7 mostra o circuito em que são consideradas as resistências parasitas.

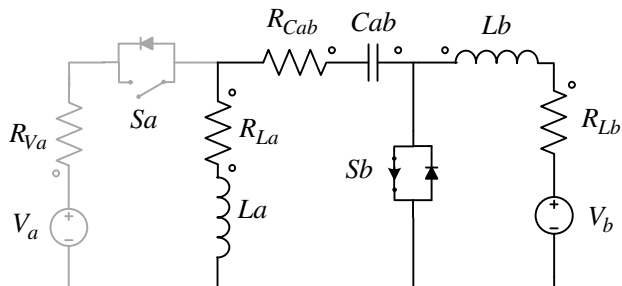


Figura 2.7 - Etapa Dz de operação do conversor Zeta-Sepic não isolado considerando as resistências série dos componentes.

Corrigindo os valores das tensões sobre as indutâncias:

$$\begin{cases} v_{La} = -v_{Cab} - (R_{Cab} + R_{La})i_{La} \\ v_{Lb} = -v_b - R_{Lb} \cdot i_{Lb} \\ i_{Cab} = i_{La} \end{cases} \quad (2.5)$$

Os esforços nos semicondutores para esta etapa de operação são listados em (2.6)

$$\begin{cases} v_{Sa} = v_a + v_b \\ v_{Sb} = 0 \\ i_{Sa} = 0 \\ i_{Sb} = i_{La} + i_{Lb} \end{cases} \quad (2.6)$$

### 2.2.3.1 Sub-etapa Dz Modo Zeta

Para a condição de operação no modo Zeta, esta sub-etapa se inicia quando o interruptor  $Sa$  é comandado a abrir e termina quando for comandado a fechar, ou seja, duração definida pelo complementar da razão cíclica do conversor.

A capacitância  $Cab$  armazena energia e as indutâncias  $La$  e  $Lb$  fornecem energia. O interruptor  $Sa$  está submetido a uma tensão equivalente ao somatório das tensões das fontes  $V_a$  e  $V_b$ , enquanto que o interruptor  $Sb$  está submetido a um esforço de corrente equivalente ao somatório das correntes nas indutâncias  $La$  e  $Lb$ .

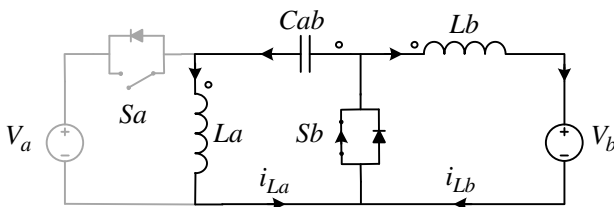


Figura 2.8 – Sub-etapa Dz para o conversor operando no modo Zeta.

### 2.2.3.2 Sub-etapa Dz Modo Sepic

Para a condição de operação no modo Sepic, esta sub-etapa se inicia quando o interruptor  $Sb$  é comandado a conduzir e termina quando for comandado a abrir, ou seja, duração definida pelo complementar da razão cíclica do conversor.

A capacitância  $Cab$  fornece energia e as indutâncias  $La$  e  $Lb$  recebem energia. O interruptor  $Sa$  está submetido a uma tensão equivalente ao somatório das tensões das fontes  $V_a$  e  $V_b$ , enquanto que o interrup-

tor  $S_b$  está submetido a um esforço de corrente equivalente ao somatório das correntes nas indutâncias  $L_a$  e  $L_b$ .

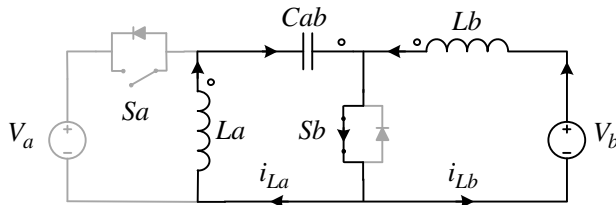


Figura 2.9 - Sub-etapa Dz para o conversor operando no modo Sepic.

## 2.2.4 Equações dos estados topológicos na forma matricial

As equações volt-ampère dos indutores e do capacitor  $C_{ab}$  são agrupadas na forma matricial. A razão para esta representação se deve a forma como o conversor será modelado, assim, por questão de objetividade, as equações são agrupadas desde já na forma matricial. Primeiramente se define a matriz  $\mathbf{K}$ , que contém as indutâncias e capacitâncias do conversor.

$$\mathbf{K} = \begin{bmatrix} L_a & 0 & 0 \\ 0 & L_b & 0 \\ 0 & 0 & C_{ab} \end{bmatrix} \quad (2.7)$$

### 2.2.4.1 Etapa Ds

As equações que relacionam a tensão e a corrente nas indutâncias e capacitância  $C_{ab}$  em função do tempo para a etapa Ds são agrupadas na forma matricial em (2.8).

$$\mathbf{K} \begin{bmatrix} \frac{di_{L_a}}{dt} \\ \frac{di_{L_b}}{dt} \\ \frac{dv_{C_{ab}}}{dt} \end{bmatrix} = \underbrace{\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 1 \\ 0 & -1 & 0 \end{bmatrix}}_{\mathbf{A}_s} \begin{bmatrix} i_{L_a} \\ i_{L_b} \\ v_{C_{ab}} \end{bmatrix} + \underbrace{\begin{bmatrix} 1 & 0 \\ 1 & -1 \\ 0 & 0 \end{bmatrix}}_{\mathbf{B}_s} \begin{bmatrix} v_a \\ v_b \end{bmatrix} \quad (2.8)$$

Para a condição em que são consideradas as resistências parasitas, no sistema de equações (2.8) são alterados apenas quatro elementos da matriz  $\mathbf{A}_s$  (2.9).

$$\mathbf{As} = \begin{bmatrix} -(R_{Va} + R_{La}) & -R_{Va} & 0 \\ -R_{Va} & -(R_{Va} + R_{Cab} + R_{Lb}) & 1 \\ 0 & -1 & 0 \end{bmatrix} \quad (2.9)$$

#### 2.2.4.2 Etapa Dz

Da mesma maneira, as equações da etapa Dz são agrupadas na forma matricial (2.10).

$$\mathbf{K} \begin{bmatrix} \frac{di_{La}}{dt} \\ \frac{di_{Lb}}{dt} \\ \frac{dv_{Cab}}{dt} \end{bmatrix} = \underbrace{\begin{bmatrix} 0 & 0 & -1 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix}}_{\mathbf{Az}} \begin{bmatrix} i_{La} \\ i_{Lb} \\ v_{Cab} \end{bmatrix} + \underbrace{\begin{bmatrix} 0 & 0 \\ 0 & -1 \\ 0 & 0 \end{bmatrix}}_{\mathbf{Bz}} \begin{bmatrix} v_a \\ v_b \end{bmatrix} \quad (2.10)$$

Para a condição em que são consideradas as resistências parasitas, atualiza-se o sistema acima pela matriz  $\mathbf{Az}$  (2.11).

$$\mathbf{Az} = \begin{bmatrix} -(R_{Cab} + R_{La}) & 0 & -1 \\ 0 & -R_{Lb} & 0 \\ 1 & 0 & 0 \end{bmatrix} \quad (2.11)$$

#### 2.2.5 Formas de onda do conversor Zeta-Sepic não isolado

As formas de onda para o conversor Zeta-Sepic operando no modo Zeta são apresentadas na Figura 2.10. Observa-se que são idênticas as formas de onda do conversor Zeta operando em condução contínua.

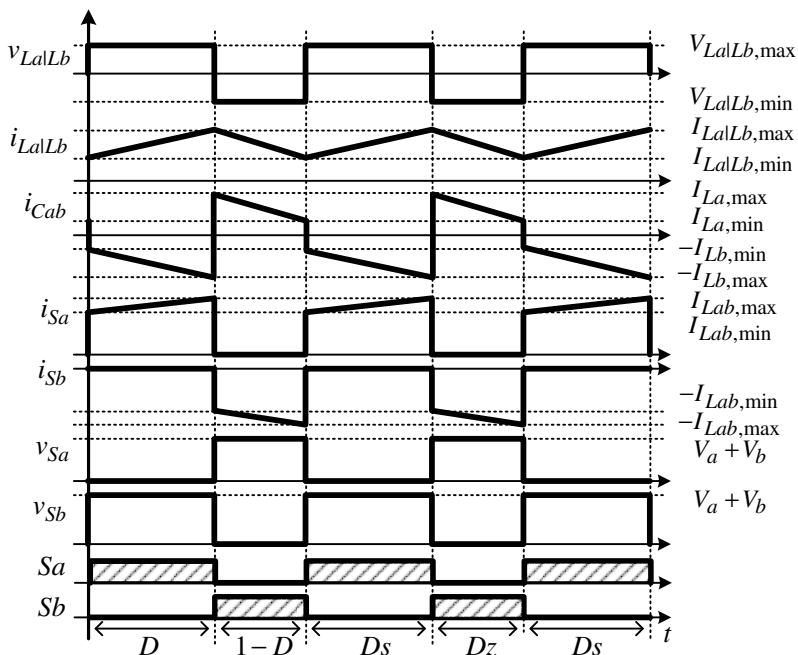


Figura 2.10 – Formas de onda do conversor Zeta-Sepic não isolado operando no modo Zeta.

As formas de onda para o conversor Zeta-Sepic operando no modo Sepic são apresentadas na Figura 2.11. Observa-se que são semelhantes às formas de onda do conversor Sepic operando em condução contínua.

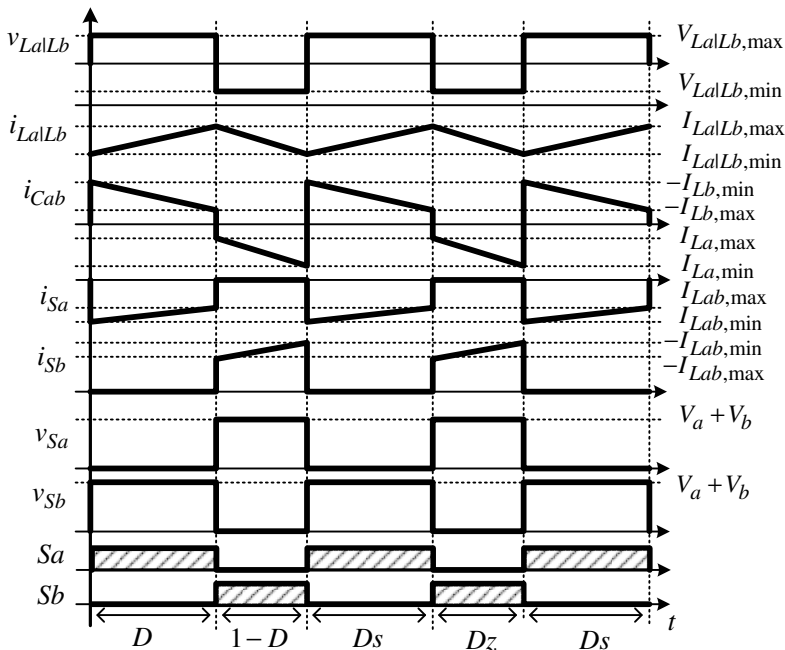


Figura 2.11 - Formas de onda do conversor Zeta-Sepic não isolado operando no modo Sepic.

### 2.3 EQUACIONAMENTO E PROJETO DO ESTÁGIO DE POTÊNCIA

Entendida a forma como o conversor opera, segue-se adiante com o equacionamento do conversor em regime permanente. Este estudo possibilita o projeto do estágio de potência, além de ser uma pré-etapa para o projeto das malhas de controle.

#### 2.3.1 Ponto de operação do conversor Zeta-Sepic não isolado.

O ponto de operação do conversor Zeta-Sepic é obtido ponderando as matrizes referentes aos estados topológicos pela razão cíclica correspondente.

$$\mathbf{A} = \mathbf{A}_s \cdot D + \mathbf{A}_z \cdot (1 - D) \quad (2.12)$$

Substituindo em (2.12) as matrizes correspondentes:

$$\mathbf{A} = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 1 \\ 0 & -1 & 0 \end{bmatrix} \cdot D + \begin{bmatrix} 0 & 0 & -1 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix} \cdot (1 - D) \quad (2.13)$$

A matriz (2.14) resultante é a matriz de estados para o conversor Zeta-Sepic não isolado sem os elementos da matriz  $\mathbf{K}$ .

$$\mathbf{A} = \begin{bmatrix} 0 & 0 & -(1-D) \\ 0 & 0 & D \\ (1-D) & -D & 0 \end{bmatrix} \quad (2.14)$$

A matriz de entrada sem os elementos da matriz  $\mathbf{K}$  é formada pela relação (2.15).

$$\mathbf{B}\mathbf{u} = \mathbf{B}\mathbf{s} \cdot D + \mathbf{B}\mathbf{z} \cdot (1-D) \quad (2.15)$$

Substituindo os termos pertinentes:

$$\mathbf{B}\mathbf{u} = \begin{bmatrix} 1 & 0 \\ 1 & -1 \\ 0 & 0 \end{bmatrix} \cdot D + \begin{bmatrix} 0 & 0 \\ 0 & -1 \\ 0 & 0 \end{bmatrix} \cdot (1-D) = \begin{bmatrix} D & 0 \\ D & -1 \\ 0 & 0 \end{bmatrix} \quad (2.16)$$

O ponto de operação é obtido por:

$$0 = \mathbf{A} \cdot \bar{\mathbf{X}} + \mathbf{B}\mathbf{u} \cdot \bar{\mathbf{U}} \quad (2.17)$$

Substituindo em (2.17) as matrizes (2.14) e (2.16):

$$0 = \begin{bmatrix} 0 & 0 & -(1-D) \\ 0 & 0 & D \\ (1-D) & -D & 0 \end{bmatrix} \cdot \begin{bmatrix} I_{La} \\ I_{Lb} \\ V_{Cab} \end{bmatrix} + \begin{bmatrix} D & 0 \\ D & -1 \\ 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} V_a \\ V_b \end{bmatrix} \quad (2.18)$$

Expandindo o sistema (2.18), geram-se as equações que regem o ponto de operação do conversor.

$$0 = \begin{bmatrix} (D-1)V_{Cab} + D \cdot V_a \\ D \cdot V_{Cab} + D \cdot V_a - V_b \\ (1-D)I_{La} - D \cdot I_{Lb} \end{bmatrix} \quad (2.19)$$

Resolvendo a primeira linha de (2.19):

$$V_{Cab} = V_a \frac{D}{1-D} \quad (2.20)$$

Substituindo (2.20) na segunda linha de (2.19):

$$V_b = V_a \frac{D}{1-D} \quad (2.21)$$

Implicando que:

$$V_{Cab} = V_b \quad (2.22)$$

Obtém-se desta forma o ganho estático do conversor Zeta-Sepic não isolado:

$$\frac{V_b}{V_a} = \frac{D}{1-D} = G \quad (2.23)$$

Resolvendo a terceira linha em (2.19), obtém-se a relação entre as correntes em regime permanente.

$$\frac{I_{La}}{I_{Lb}} = \frac{D}{1-D} = G \quad (2.24)$$

### 2.3.2 Especificação dos componentes

Determinam-se as expressões para o cálculo das indutâncias  $L_a$  e  $L_b$ , assim como a capacitância  $C_{ab}$ .

#### 2.3.2.1 Indutores

A indutância é calculada com base na máxima ondulação de corrente desejada. Durante a etapa  $D_s$ , a tensão sobre as indutâncias  $L_a$  e  $L_b$  é igual a  $V_a$ , assim:

$$V_a = L_a \frac{\Delta i_{La}}{\Delta t} = L_a \frac{\Delta i_{La}}{D \cdot T_s} \quad (2.25)$$

$$V_a = L_b \frac{\Delta i_{Lb}}{\Delta t} = L_b \frac{\Delta i_{Lb}}{D \cdot T_s} \quad (2.26)$$

Especificando a máxima ondulação de corrente desejada, calculam-se as indutâncias  $L_a$  (2.27) e  $L_b$  (2.28).

$$L_a = \frac{V_a \cdot D \cdot T_s}{\Delta i_{La}} \quad (2.27)$$

$$L_b = \frac{V_a \cdot D \cdot T_s}{\Delta i_{Lb}} \quad (2.28)$$

#### 2.3.2.2 Capacitores

Da mesma forma, a capacitância é calculada (2.30) com base na ondulação de tensão desejada.

$$I_{Lb} = C_{ab} \frac{\Delta v_{Cab}}{\Delta t} = C_{ab} \frac{\Delta v_{Cab}}{D \cdot T_s} \quad (2.29)$$

$$C_{ab} = \frac{I_{Lb} \cdot D \cdot T_s}{\Delta v_{Cab}} \quad (2.30)$$

Desconsiderando a ondulação de corrente nos indutores, o valor eficaz da corrente na capacitância de transferência pode ser calculado por:



$$I_{Cab,rms} = I_{Lb} \sqrt{\frac{D}{1-D}} \quad (2.31)$$

### 2.3.2.3 Semicondutores

Para o cálculo dos esforços de corrente nos semicondutores, define-se a indutância equivalente como sendo:

$$L_{ab} = \frac{L_a \cdot L_b}{L_a + L_b} \quad (2.32)$$

A ondulação de corrente na indutância equivalente é definida por:

$$\Delta I_{Lab} = \Delta I_{La} + \Delta I_{Lb} \quad (2.33)$$

O valor médio das correntes nos semicondutores é igual à corrente média nos indutores adjacentes:

$$I_{SalDa,avg} = I_{La} = \frac{P_o}{V_a} \quad (2.34)$$

$$I_{SblDb,avg} = I_{Lb} = \frac{P_o}{V_b} \quad (2.35)$$

O valor eficaz das correntes nos semicondutores para ambos os modos de operação pode ser calculada por:

$$I_{SalDa,rms} = \sqrt{\frac{I_{La}^2}{D} + \frac{D\Delta I_{Lab}^2}{12}} \quad (2.36)$$

$$I_{SblDb,rms} = \sqrt{\frac{I_{Lb}^2}{1-D} + \frac{(1-D)\Delta I_{Lab}^2}{12}} \quad (2.37)$$

A tensão reversa que os semicondutores devem suportar é igual à soma das tensões da fonte Zeta e da fonte Sepic.

$$V_{Sa} = V_{Sb} = V_a + V_b \quad (2.38)$$

### 2.3.2.4 Exemplo de projeto de um protótipo de 1 kW

Apresenta-se aqui um exemplo de dimensionamento e especificação de um protótipo do conversor Zeta-Sepic bidirecional não isolado.

Tabela 2.1 - Especificação para o conversor Zeta-Sepic não isolado.

Parâmetro	Valor	Descrição
$V_a$	48 V	Tensão da Fonte Zeta
$V_b$	48 V	Tensão da Fonte Sepic
$f_s$	50 kHz	Frequência de comutação
$P_o$	1000 W	Potência do conversor
$\Delta I_{La Lb}$	2 A (10%)	Ondulação de corrente
$\Delta V_{Cab}$	5 V (10%)	Ondulação de tensão em Cab

Sendo a tensão de entrada igual à tensão de saída, o ganho estático do conversor é unitário e utilizando (2.23) obtém-se  $D=0,5$ .

As correntes médias nos indutores são:

$$I_{La|Lb,avg} = \frac{P_o}{V_a} = \frac{P_o}{V_b} = \frac{1\text{kW}}{48\text{V}} = 20,833\text{ A} \quad (2.39)$$

Os indutores são calculados por (2.27) e (2.28):

$$L_a | L_b = \frac{(48\text{V}) \cdot (0,5) \cdot (20\mu\text{s})}{(2\text{A})} = 240\mu\text{H} \quad (2.40)$$

O capacitor de transferência Cab é calculado por (2.30)

$$C_{ab} = \frac{(20,833\text{A}) \cdot (0,5) \cdot (20\mu\text{s})}{(5\text{V})} = 41,667\mu\text{F} \quad (2.41)$$

$$I_{Cab,rms} = I_{Lb} = 20,833\text{ A} \quad (2.42)$$

Para o dimensionamento dos semicondutores, calcula-se o valor eficaz de corrente que os mesmos devem suportar.

$$I_{S1Da,rms} = \sqrt{\frac{(20,833\text{A})^2}{(0,5)} + \frac{(0,5)(4\text{A})^2}{12}} = 29,474\text{ A} \quad (2.43)$$

$$I_{S1Db,rms} = \sqrt{\frac{(20,833\text{A})^2}{1-(0,5)} + \frac{[1-(0,5)](4\text{A})^2}{12}} = 29,474\text{ A} \quad (2.44)$$

A tensão reversa é calculada por (2.38):

$$V_{Sa} = V_{Sb} = (48\text{V}) + (48\text{V}) = 96\text{V} \quad (2.45)$$

## 2.4 MODELO DINÂMICO DE PEQUENOS SINAIS COM VALORES MÉDIOS INSTANTÂNEOS EM ESPAÇO DE ESTADOS (SSA)

Um breve resumo da modelagem em espaço de estados [16] é apresentado, com o intuito de familiarizar o leitor a técnica de modelagem utilizada neste trabalho.

### 2.4.1 Introdução à técnica de modelagem com valores médios instantâneos em Espaço de Estados (SSA)

A modelagem por valores médios quase-instantâneos em espaços de estados consiste em representar as equações dos estados de cada etapa de operação na forma matricial, obter os valores médios quase-instantâneos e linearizar o sistema em um ponto de operação obtendo o modelo dinâmico de pequenos sinais.

Levantadas as equações dos estados para cada etapa, o próximo passo é representar na forma matricial (2.46). Onde  $\mathbf{K}$  representa a matriz contendo as capacitâncias e indutâncias do sistema. Os estados são representados pelo vetor  $\bar{x}$ , as variáveis de entrada pelo vetor  $\bar{u}$  e a saída por  $\bar{y}$ . A matriz  $\mathbf{K}^{-1}\mathbf{A}_n$  é a matriz de estados,  $\mathbf{K}^{-1}\mathbf{B}_n$  é a matriz de entrada,  $\mathbf{C}_n$  é a matriz de saída e  $\mathbf{E}_n$  é a matriz entrada para saída do sistema.

$$\begin{aligned}\mathbf{K} \frac{d\bar{x}}{dt} &= \mathbf{A}_n \bar{x} + \mathbf{B}_n \bar{u} \\ \bar{y} &= \mathbf{C}_n \bar{x} + \mathbf{E}_n \bar{u}\end{aligned}\quad (2.46)$$

O passo seguinte é ponderar as matrizes pela razão cíclica da etapa correspondente, onde  $d_n$  denota a razão cíclica da etapa  $n$ :

$$\begin{aligned}\mathbf{A} &= \mathbf{A}_1 d_1 + \mathbf{A}_2 d_2 + \dots + \mathbf{A}_n d_n \\ \mathbf{B}\mathbf{u} &= \mathbf{B}_1 d_1 + \mathbf{B}_2 d_2 + \dots + \mathbf{B}_n d_n \\ \mathbf{C} &= \mathbf{C}_1 d_1 + \mathbf{C}_2 d_2 + \dots + \mathbf{C}_n d_n \\ \mathbf{E} &= \mathbf{E}_1 d_1 + \mathbf{E}_2 d_2 + \dots + \mathbf{E}_n d_n\end{aligned}\quad (2.47)$$

O modelo dinâmico a ser obtido representa as baixas frequências comparadas à frequência de comutação do conversor, isto é realizado calculando o valor médio no período de comutação (2.48), ou valor médio quase-instantâneo.

$$\langle x \rangle_{T_s} = \frac{1}{T_s} \int_t^{t+T_s} x(\tau) d\tau \quad (2.48)$$

Substituindo (2.47) e (2.48) em (2.46), obtém-se o modelo que descreve o comportamento dinâmico do conversor.

$$\begin{aligned}\mathbf{K} \frac{d\langle \bar{x} \rangle_{Ts}}{dt} &= \mathbf{A} \langle \bar{x} \rangle_{Ts} + \mathbf{B} \mathbf{u} \langle \bar{u} \rangle_{Ts} \\ \langle \bar{y} \rangle_{Ts} &= \mathbf{C} \langle \bar{x} \rangle_{Ts} + \mathbf{E} \langle \bar{u} \rangle_{Ts}\end{aligned}\quad (2.49)$$

Aplicando o valor de regime para os estados, as entradas e as saídas em (2.49), o ponto de operação é definido pelo sistema de equações (2.50).

$$\begin{aligned}0 &= \mathbf{A} \bar{X} + \mathbf{B} \bar{U} \\ \bar{Y} &= \mathbf{C} \bar{X} + \mathbf{E} \bar{U}\end{aligned}\quad (2.50)$$

As variáveis do sistema são colocadas no ponto de operação e perturbadas por um sinal de pequena amplitude (2.51).

$$\begin{aligned}\langle d \rangle_{Ts} &= D + \hat{d} \\ \langle \bar{x} \rangle_{Ts} &= \bar{X} + \hat{x} \\ \langle \bar{u} \rangle_{Ts} &= \bar{U} + \hat{u} \\ \langle \bar{y} \rangle_{Ts} &= \bar{Y} + \hat{y}\end{aligned}\quad (2.51)$$

Assim, na forma matricial tem-se:

$$\begin{aligned}\mathbf{K} \frac{d(\bar{X} + \hat{x})}{dt} &= \mathbf{A}(\bar{X} + \hat{x}) + \mathbf{B}(\bar{U} + \hat{u}) \\ \bar{Y} + \hat{y} &= \mathbf{C}(\bar{X} + \hat{x}) + \mathbf{E}(\bar{U} + \hat{u})\end{aligned}\quad (2.52)$$

Expandindo (2.52), obtém-se o modelo DC agrupando os termos de ordem zero, e o modelo AC do conversor agrupando os termos de primeira ordem. Os termos de segunda ordem são desconsiderados, por se tratar de perturbações de pequena amplitude.

Neste trabalho, por questão de simplicidade, as variáveis de saída são os próprios estados ( $y = x$ ), ou seja, as correntes nos indutores e as tensões nos capacitores. Isto torna a matriz  $\mathbf{C}$  igual à matriz identidade, e a matriz  $\mathbf{E}$  nula, simplificando o sistema de equações (2.52), como mostrado em (2.53).

$$\mathbf{K} \frac{d(\hat{x})}{dt} = \mathbf{A}(\bar{X} + \hat{x}) + \mathbf{B}(\bar{U} + \hat{u}) \quad (2.53)$$

Considerando a simplificação (2.53), o modelo de pequenos sinais é obtido coletando os termos de primeira ordem. Observe que a razão cíclica do sistema está presente na ponderação (2.47), sendo uma variável de entrada. Assim, os termos multiplicando a razão cíclica são agrupados formando a matriz de entrada  $\mathbf{B}_d$ , como mostrado em (2.54).

$$\mathbf{K} \frac{d(\vec{\hat{x}})}{dt} = \mathbf{A}\vec{\hat{x}} + \mathbf{B}\mathbf{u}\vec{\hat{u}} + \mathbf{B}\mathbf{d}\hat{d} \quad (2.54)$$

As variáveis de entrada são agrupadas formando a matriz de entrada  $\mathbf{B}$  resultante:

$$\mathbf{K} \frac{d(\vec{\hat{x}})}{dt} = \mathbf{A}\vec{\hat{x}} + \underbrace{[\mathbf{B}\mathbf{d} : \mathbf{B}\mathbf{u}]}_{\mathbf{B}} \begin{bmatrix} \hat{d} \\ \vec{\hat{u}} \end{bmatrix} \quad (2.55)$$

#### 2.4.2 Obtendo as funções de transferência via espaço de estados

As funções de transferência são obtidas primeiramente aplicando a transformada de Laplace em (2.55).

$$\mathbf{K}\overline{\hat{x}(s)} \cdot s = \mathbf{A}\overline{\hat{x}(s)} + \mathbf{B} \begin{bmatrix} \hat{d}(s) \\ \overline{\hat{u}(s)} \end{bmatrix} \quad (2.56)$$

A função de transferência é uma relação entre as saídas do sistema pelas suas entradas no domínio da frequência, sendo a saída do sistema os próprios estados, de forma geral as funções de transferência podem ser obtidas por:

$$\overline{\hat{x}(s)} = (\mathbf{K} \cdot s - \mathbf{A})^{-1} \mathbf{B} \begin{bmatrix} \hat{d}(s) \\ \overline{\hat{u}(s)} \end{bmatrix} \quad (2.57)$$

Considerando que a entrada do sistema seja apenas a razão cíclica, e que as saídas sejam os estados, o vetor contendo as funções de transferência dos estados pela razão cíclica pode ser obtido por (2.58).

$$\mathbf{H}(s) = \frac{\overline{\hat{x}(s)}}{\hat{d}(s)} = (\mathbf{K} \cdot s - \mathbf{A})^{-1} \mathbf{B}\mathbf{d} \quad (2.58)$$

#### 2.4.3 Modelo ideal do conversor Zeta-Sepic não isolado

O objetivo desta parte do trabalho é de encontrar o modelo dinâmico de pequenos sinais do conversor Zeta-Sepic cuja entrada é a razão cíclica, ou seja, encontrar as matrizes  $\mathbf{A}$  e  $\mathbf{B}$  do sistema (2.55).

Parte-se das matrizes (2.8) e (2.10) que descrevem os estados topológicos do conversor, calcula-se o valor médio instantâneo (2.48) dos estados e das variáveis de entrada e aplica-se a condição de regime permanente juntamente com a perturbação de pequeno sinal (2.51) formando o sistema (2.59).

$$\mathbf{K} \frac{d(\vec{X} + \vec{\hat{x}})}{dt} = \left[ \mathbf{As}(D + \hat{d}) + \mathbf{Az}\{1 - (D + \hat{d})\} \right] (\vec{X} + \vec{\hat{x}}) + \left[ \mathbf{Bs}(D + \hat{d}) + \mathbf{Bz}\{1 - (D + \hat{d})\} \right] (\vec{U} + \vec{\hat{u}}) \quad (2.59)$$

O modelo dinâmico é obtido agrupando-se os termos de primeira ordem do sistema (2.59) e os organizando na forma (2.54). Desta forma, tem-se:

$$\mathbf{A} = \mathbf{As} \cdot D + \mathbf{Az}(1 - D) \quad (2.60)$$

$$\mathbf{Bu} = \mathbf{Bs} \cdot D + \mathbf{Bz}(1 - D) \quad (2.61)$$

$$\mathbf{Bd} = (\mathbf{As} - \mathbf{Az})\vec{X} + (\mathbf{Bs} - \mathbf{Bz})\vec{U} \quad (2.62)$$

Representando na forma (2.55):

$$\mathbf{K} \frac{d(\vec{\hat{x}})}{dt} = \begin{bmatrix} 0 & 0 & -(1-D) \\ 0 & 0 & D \\ (1-D) & -D & 0 \end{bmatrix} \begin{bmatrix} \vec{\hat{x}} \end{bmatrix} + \begin{bmatrix} V_a + V_b & D & 0 \\ V_a + V_b & D & -1 \\ -(I_{La} + I_{Lb}) & 0 & 0 \end{bmatrix} \begin{bmatrix} \hat{d} \\ \hat{u} \end{bmatrix} \quad (2.63)$$

A função de transferência utilizada para projeto dos controladores possui como entrada a razão cíclica do sistema, e pode ser obtida por (2.58). Desta forma se obtém as funções de transferência  $i_{La}(s)/d(s)$ ,  $i_{Lb}(s)/d(s)$  e  $v_{Cab}(s)/d(s)$ .

Pelo fato de o conversor ser bidirecional e as tensões das fontes serem fixas, o estado a ser controlado é a corrente na indutância  $L_b$ , assim, apresenta-se em (2.64) a função de transferência da corrente  $i_{Lb}$  pela razão cíclica do sistema para o conversor Zeta-Sepic bidirecional não isolado.

$$\frac{\hat{i}_{Lb}(s)}{\hat{d}(s)} = \frac{V_a(1+G)}{s \cdot L_b} \cdot \frac{s^2 - \frac{G \cdot I_{Lb}}{V_a(1+G)Cab} s + \frac{1}{(1+G)Cab \cdot La}}{s^2 + \frac{Lb + La \cdot G^2}{Cab \cdot La \cdot Lb \cdot (1+G)^2}} \quad (2.64)$$

Um ponto importante é observar como os polos de malha fechada se comportam com a variação da corrente  $i_{Lb}$ . Esta análise pode ser realizada via lugar das raízes isolando  $I_{Lb}$  em (2.65) e colocando na forma (2.66).

$$1 + k \frac{\hat{i}_{Lb}(s)}{\hat{d}(s)} = 0 \quad (2.65)$$

$$1 + I_{Lb} \cdot G(s) = 0 \quad (2.66)$$

Observa-se pela Figura 2.12 que os zeros da planta de corrente se situam no semi-plano direito para o conversor operando modo Zeta e no semi-plano esquerdo para operação no modo Sepic.

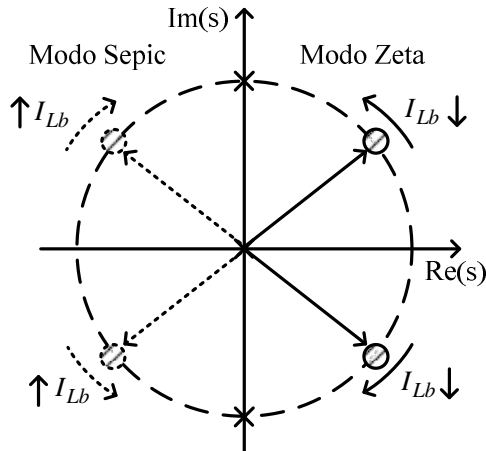


Figura 2.12 - Movimentação dos zeros da planta de corrente em função da corrente  $i_{Lb}$ .

#### 2.4.4 Modelo com resistências do conversor Zeta-Sepic não isolado

O procedimento é o mesmo do descrito anteriormente, com a diferença de se utilizar as matrizes (2.9) e (2.11), contendo as resistências do conversor.

Para a determinação do modelo considerando as resistências série dos componentes, deve-se primeiramente determinar o novo ponto de operação seguindo os passos anteriores na determinação do modelo ideal.

As equações para a determinação do ponto de operação são retiradas de (2.67), onde a matriz de estado é formada ponderando as matrizes (2.9) e (2.11).

$$0 = [\mathbf{A}s \cdot D + \mathbf{A}z(1-D)] \cdot \begin{bmatrix} I_{La} \\ I_{Lb} \\ V_{Cab} \end{bmatrix} + [\mathbf{B}s \cdot D + \mathbf{B}z(1-D)] \cdot \begin{bmatrix} V_a \\ V_b \end{bmatrix} \quad (2.67)$$

Neste caso, a razão cíclica se torna uma incógnita, resultando em um sistema não linear de equações, pois ocorre a multiplicação entre incógnitas. A forma clássica de se resolver (2.67) é por meio de manipulação algébrica.

O ponto de operação depende principalmente das tensões das fontes e da potência processada. Assim para o conversor operando no modo Zeta e sendo  $P_o$  a potência processada, têm-se três incógnitas:

$$\text{incógnitas} \begin{cases} D \Leftrightarrow x(1) \\ I_{La} \Leftrightarrow x(2) \\ V_{Cab} \Leftrightarrow x(3) \end{cases} \quad (2.68)$$

Substituindo em (2.67) as incógnitas (2.68) para o conversor operando no modo Zeta, obtêm-se o sistema (2.69) a ser resolvido.

$$0 = [\mathbf{As} \cdot x(1) + \mathbf{Az}(1-x(1))] \cdot \begin{bmatrix} x(2) \\ I_{Lb} \\ x(3) \end{bmatrix} + [\mathbf{Bs} \cdot x(1) + \mathbf{Bz}(1-x(1))] \cdot \begin{bmatrix} V_a \\ V_b \end{bmatrix} \quad (2.69)$$

Para o conversor operando no modo Sepic e sendo  $-P_o$  a potência processada, tem-se três incógnitas:

$$\text{incógnitas} \begin{cases} D \Leftrightarrow x(1) \\ I_{Lb} \Leftrightarrow x(2) \\ V_{Cab} \Leftrightarrow x(3) \end{cases} \quad (2.70)$$

Substituindo em (2.67) as incógnitas (2.70) para o conversor operando no modo Sepic, obtêm-se o sistema (2.71) a ser resolvido.

$$0 = [\mathbf{As} \cdot x(1) + \mathbf{Az}(1-x(1))] \cdot \begin{bmatrix} I_{La} \\ x(2) \\ x(3) \end{bmatrix} + [\mathbf{Bs} \cdot x(1) + \mathbf{Bz}(1-x(1))] \cdot \begin{bmatrix} V_a \\ V_b \end{bmatrix} \quad (2.71)$$

Obtido o ponto de operação do conversor em ambos os modos, o próximo passo é calcular a matriz de estados via (2.60):

$$\mathbf{A} = \begin{bmatrix} (D-1) \cdot R_{Cab} - D \cdot R_{Va} - R_{La} & -D \cdot R_{Va} & -1+D \\ -D \cdot R_{Va} & -D \cdot (R_{Va} + R_{Cab}) - R_{Lb} & D \\ 1-D & -D & 0 \end{bmatrix} \quad (2.72)$$

A matriz  $\mathbf{Bu}$  permanece igual e a matriz de entrada com relação à razão cíclica  $\mathbf{Bd}$  é calculada via (2.62).

$$\mathbf{Bd} = \begin{bmatrix} (R_{Cab} - R_{Va}) I_{La} - R_{Va} \cdot I_{Lb} + V_{Cab} + V_a \\ -R_{Va} \cdot I_{La} - (R_{Va} + R_{La}) I_{Lb} + V_{Cab} + V_a \\ -I_{La} - I_{Lb} \end{bmatrix} \quad (2.73)$$

## 2.5 VALIDAÇÃO DO MODELO VIA SIMULAÇÃO NUMÉRICA

A validação do modelo é realizada via simulação numérica no software PSIM utilizando a ferramenta AC SWEEP [17], da qual é pos-



sível se obter o diagrama de Bode do comportamento dinâmico do conversor para perturbações de pequenos sinais. A análise AC é realizada em um ponto de operação do conversor, portanto antes da simulação via AC SWEEP devem-se ajustar os valores iniciais dos componentes como sendo seus valores de regime permanente para o ponto de operação especificado inicialmente.

A configuração da ferramenta de análise AC consiste basicamente em:

- ✓ Especificar as frequências de análise, iniciando por frequências da ordem de dezenas de Hz e finalizando em aproximadamente um quarto da frequência de comutação do conversor.
- ✓ Especificar a amplitude da perturbação, lembrando que deve ser de pequena amplitude com relação ao sinal de regime permanente. Neste trabalho, esta perturbação é realizada na razão cíclica através da inserção de uma fonte AC.
- ✓ Especificar o número de pontos simulados.
- ✓ Pode-se também especificar frequências extras, recomendado nos pontos de ressonâncias.

O diagrama de Bode fornece uma relação entrada-saída no domínio da frequência, sendo utilizada na maioria dos casos para o projeto da malha de controle, por isso a razão cíclica do conversor é a entrada e a variável de controle a saída. Esta configuração é realizada pela inserção de sondas para a medição das variáveis de saída (corrente nos indutores, tensão nos capacitores) e uma fonte AC na variável de entrada (Razão cíclica).

### 2.5.1 Zeta-Sepic bidirecional não isolado com perdas

A Tabela 2.2 mostra os parâmetros utilizados nas simulações, na modelagem e validação dos modelos, assim como no projeto dos controladores. Estes valores são obtidos por medição dos componentes projetados e construídos em laboratório.

Tabela 2.2 - Parâmetros do Conversor Zeta-Sepic não isolado implementado em laboratório.

Parâmetro	Valor	Resistência	Detalhes
$L_a$	347 $\mu$ H	0,17 $\Omega$	Thornton - IP12
$L_b$	233 $\mu$ H	0,197 $\Omega$	Thornton - IP12
$C_{ab}$	58 $\mu$ F	0,003 $\Omega$	Vishay Type 735P
$V_a$	48 V	0,2 $\Omega$	Moura 12MF36
$V_b$	48 V	0,2 $\Omega$	Moura 12MF36

$C_a$	80 $\mu\text{F}$	-	Vishay Type 735P
$C_b$	80 $\mu\text{F}$	-	Vishay Type 735P

Valores em regime permanente para potência processada de 500 watt e frequência de comutação de 50 kHz são apresentados na Tabela 2.3.

Tabela 2.3 - Valores do ponto de operação para o conversor Zeta-Sepic não isolado com resistências série dos componentes.

Parâmetro	Modo Zeta	Modo Sepic
$I_{La}$	12,6537 A	-10,4167 A
$I_{Lb}$	10,4167 A	-12,4356 A
$V_{Cab}$	47,9010 V	47,3210 V
$D$	0,5485	0,4558

Matriz de entrada (2.75) e matriz de estados (2.74) para o conversor Zeta-Sepic operando no modo Zeta.

$$\begin{array}{ccc}
 & \hat{i}_{La} & \hat{i}_{Lb} & \hat{v}_{Cab} \\
 \hat{i}_{La} & -809,9 & -316,1 & -1301 \\
 \hat{i}_{Lb} & -470,8 & -1323 & 2354 \\
 \hat{v}_{Cab} & 7785 & -9457 & 0
 \end{array} \quad (2.74)$$

$$\begin{array}{ccc}
 & \hat{d} & \hat{v}_a & \hat{v}_b \\
 \hat{i}_{La} & 2,632\text{e}+005 & 1581 & 0 \\
 \hat{i}_{Lb} & 3,917\text{e}+005 & 2354 & -4292 \\
 \hat{v}_{Cab} & -3,978\text{e}+005 & 0 & 0
 \end{array} \quad (2.75)$$

Matriz de entrada (2.77) e matriz de estados (2.76) para o conversor Zeta-Sepic operando no modo Sepic.

$$\begin{array}{ccc}
 & \hat{i}_{La} & \hat{i}_{Lb} & \hat{v}_{Cab} \\
 \hat{i}_{La} & -757,3 & -262,7 & -1568 \\
 \hat{i}_{Lb} & -391,3 & -1243 & 1956 \\
 \hat{v}_{Cab} & 9382 & -7859 & 0
 \end{array} \quad (2.76)$$

$$\begin{array}{ccc}
 & \hat{d} & \hat{v}_a & \hat{v}_b \\
 \hat{i}_{La} & 2,878\text{e}+005 & 1314 & 0 \\
 \hat{i}_{Lb} & 4,289\text{e}+005 & 1956 & -4292 \\
 \hat{v}_{Cab} & 3,94\text{e}+005 & 0 & 0
 \end{array} \quad (2.77)$$

Os pontos simulados são importados para o MATLAB, e comparados com o modelo obtido. A Figura 2.13 fornece mais detalhes da simulação realizada. Ambos os modos são simulados e todas as respostas têm a razão cíclica como entrada.

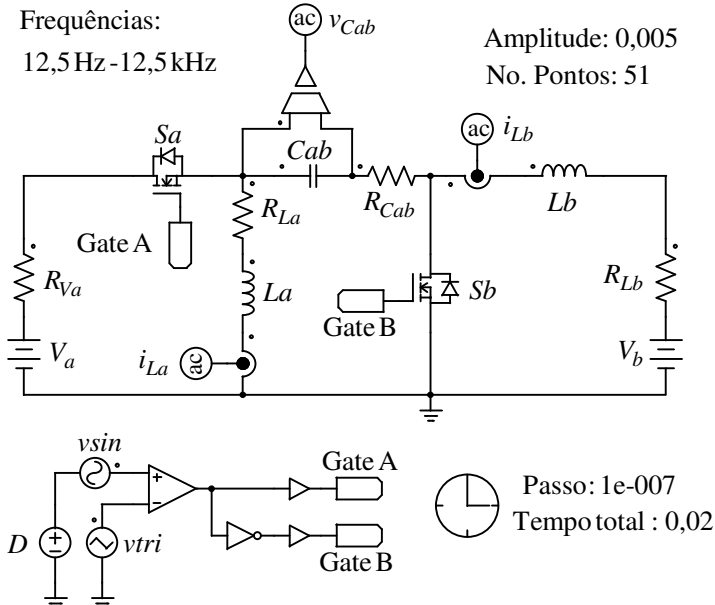


Figura 2.13 - Configuração utilizada para validar o modelo do Zeta-Sepic com perdas.

### 2.5.1.1 Operando no modo Zeta

A comparação da Figura 2.14 valida o modelo da corrente  $i_{La}$  pela razão cíclica do conversor Zeta-Sepic não isolado no modo Zeta.

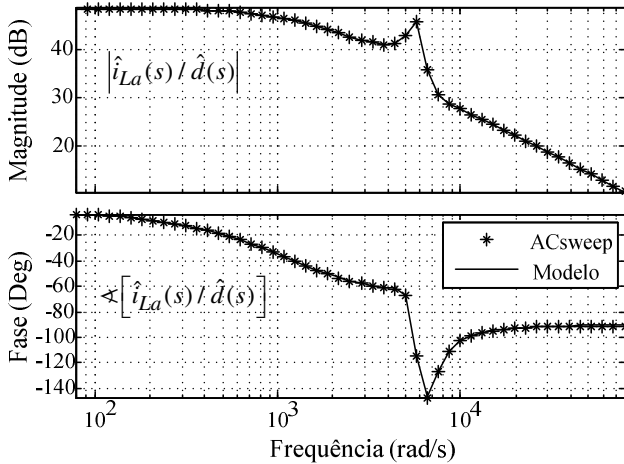


Figura 2.14 – Diagrama de Bode  $i_{La}(s)/d(s)$  do conversor Zeta-Sepic não isolado operando no modo Zeta.

A comparação da Figura 2.15 valida o modelo da corrente  $i_{Lb}$  pela razão cíclica do conversor Zeta-Sepic não isolado no modo Zeta.

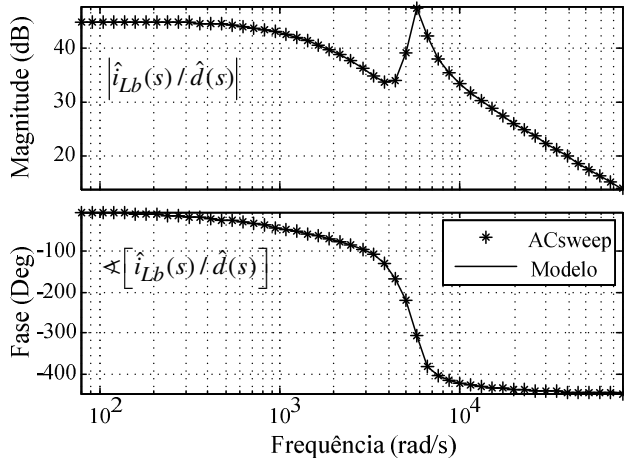


Figura 2.15 - Diagrama de Bode  $i_{Lb}(s)/d(s)$  do conversor Zeta-Sepic não isolado operando no modo Zeta.

A comparação da Figura 2.16 valida o modelo da tensão  $v_{Cab}$  pela razão cíclica do conversor Zeta-Sepic não isolado no modo Zeta.

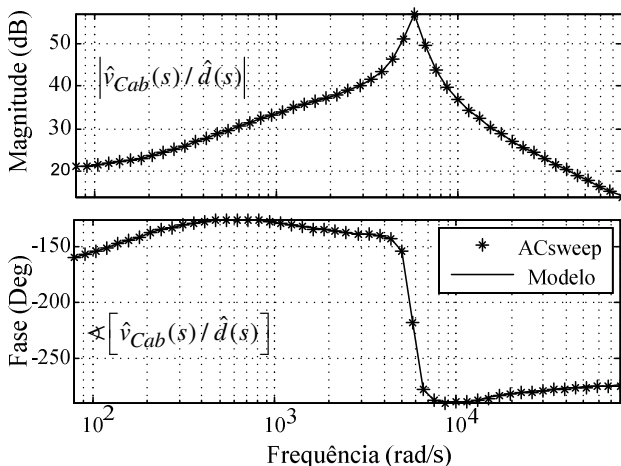


Figura 2.16 - Diagrama de Bode  $v_{Cab}(s)/d(s)$  do conversor Zeta-Sepic não isolado operando no modo Zeta.

### 2.5.1.2 Operando no modo Sepic

A comparação da Figura 2.17 Figura 2.16 valida o modelo da corrente  $i_{La}$  pela razão cíclica do conversor Zeta-Sepic não isolado no modo Sepic.

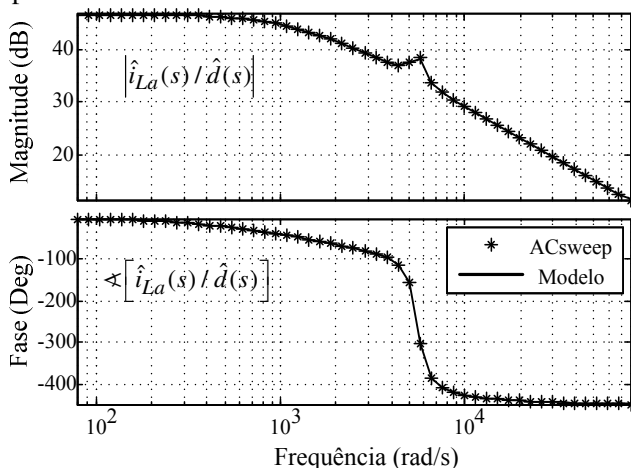


Figura 2.17 - Diagrama de Bode  $i_{La}(s)/d(s)$  do conversor Zeta-Sepic não isolado operando no modo Sepic.

A comparação da Figura 2.18 valida o modelo da corrente  $i_{Lb}$  pela razão cíclica do conversor Zeta-Sepic não isolado no modo Sepic.

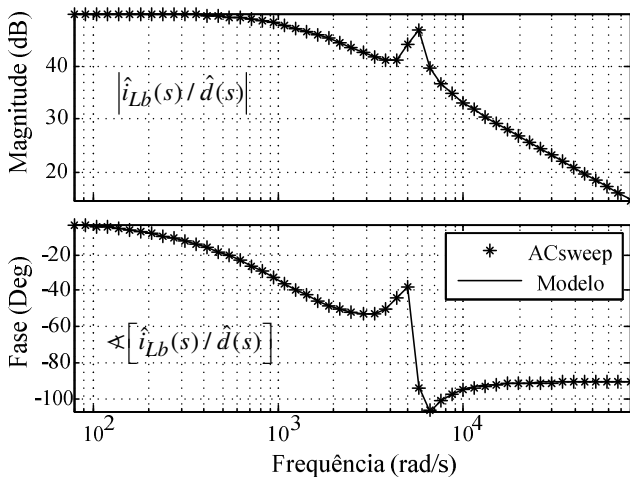


Figura 2.18 - Diagrama de Bode  $i_{Lb}(s)/d(s)$  do conversor Zeta-Sepic não isolado operando no modo Sepic.

A comparação da Figura 2.19 valida o modelo da tensão  $v_{Cab}$  pela razão cíclica do conversor Zeta-Sepic não isolado no modo Sepic.

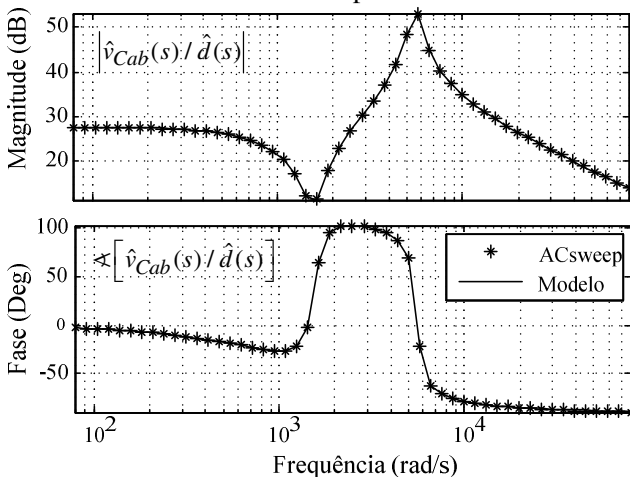


Figura 2.19 - Diagrama de Bode  $v_{Cab}(s)/d(s)$  do conversor Zeta-Sepic não isolado operando no modo Sepic.

### 2.5.1.3 Comparação entre os modelos obtidos

A comparação entre os modelos obtidos é realizada com o intuito de verificar o amortecimento introduzido pela modelagem das resistências série dos componentes. Pelo fato de se desejar controlar apenas a corrente  $i_{Lb}$ , os outros modelos são desconsiderados nesta análise.

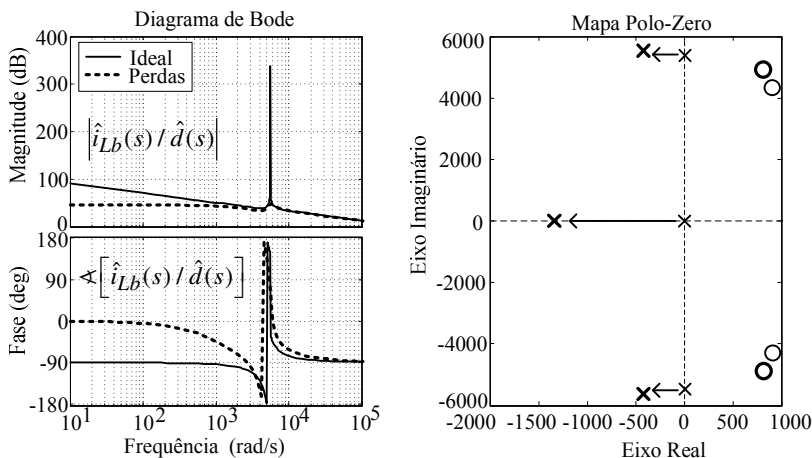


Figura 2.20 – Comparação entre modelos da planta para malha de corrente  $i_{Lb}$  do conversor Zeta-Sepic operando no modo Zeta.

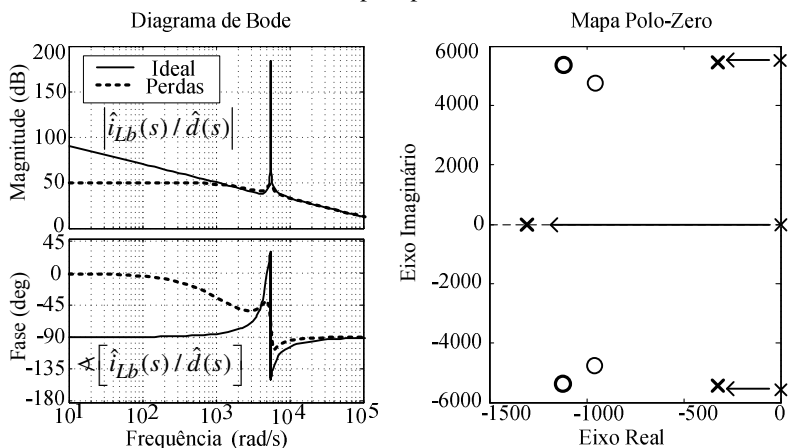


Figura 2.21 – Comparação entre modelos da planta para malha de corrente  $i_{Lb}$  do conversor Zeta-Sepic operando no modo Sepic.

#### 2.5.1.4 Reflexão sobre a estabilidade do sistema

A estabilidade do sistema pode ser observada através dos autovalores da matriz de estados. Caso a matriz  $\mathbf{A}$  possua autovalores com parte real positiva, o sistema é instável. Para autovalores com a parte real nula e as partes imaginárias distintas, o sistema é dito marginalmente estável. Para autovalores com parte real negativa, o sistema é dito assintoticamente estável. Estes pontos podem ser observados na Figura 2.22.

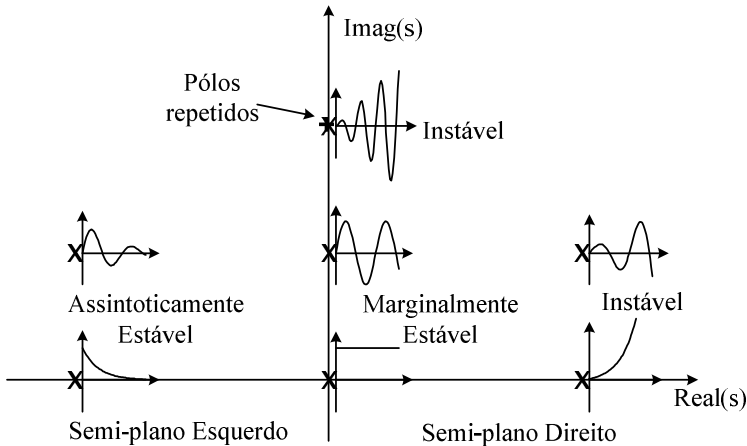


Figura 2.22 - Estabilidade do sistema em função da localização dos autovalores da matriz de estados no plano complexo.

Calculando os autovalores da matriz de estados para o sistema ideal, tem-se  $0$ ,  $0 + 5560,7i$  e  $0 - 5560,7i$ , logo o sistema é marginalmente estável.

A verificação da condição de estabilidade marginal é feita simulando o sistema no ponto de operação Sepic para entradas nulas. Pela Figura 2.23 se observa que o sistema oscila indefinidamente, comprovando a estabilidade marginal.

Porém para uma perturbação limitada na razão cíclica o sistema diverge, como verificado na Figura 2.24.

Calculando os autovalores do sistema não ideal tem-se  $-1317,8$ ,  $-341,1 + 5469,1i$  e  $-341,1 - 5469,1i$ , cujas partes reais são negativas, resultando em um sistema assintoticamente estável (Figura 2.25). Para o sistema assintoticamente estável, uma perturbação na razão cíclica leva o sistema para outro ponto de equilíbrio, como mostrado na Figura 2.26.



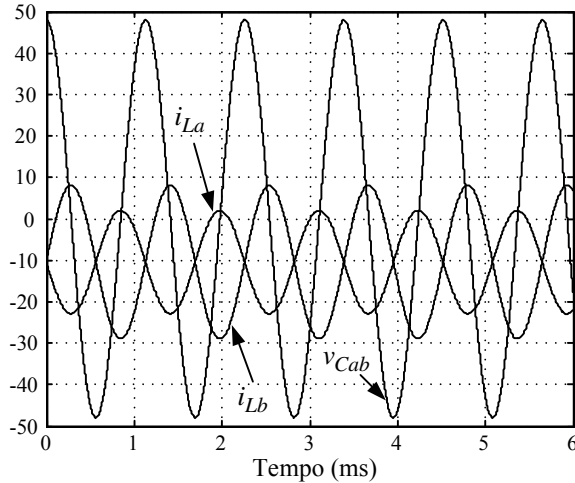


Figura 2.23 - Simulação do comportamento dos estados para o sistema ideal com entrada nula e ponto de equilíbrio localizado no modo Sepic.

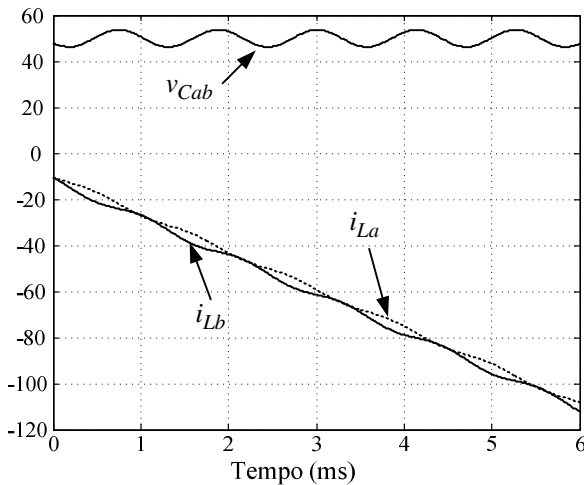


Figura 2.24 - Simulação do sistema ideal no modo Sepic para tensões de entrada nominais e um decréscimo de 0,05 na razão cíclica.

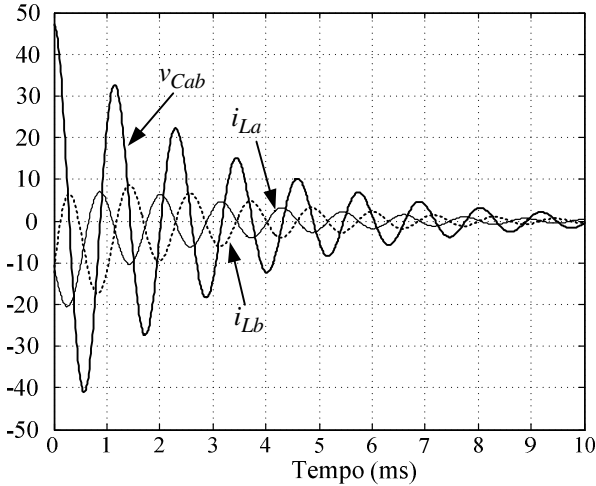


Figura 2.25 - Simulação do sistema não ideal para entrada nula com ponto de equilíbrio localizado no modo Sepic.

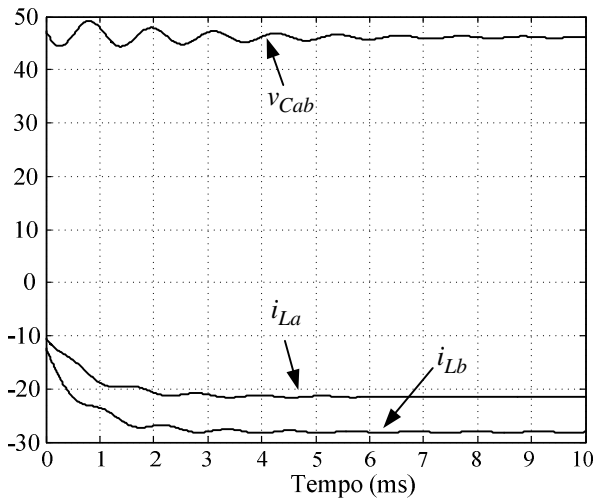


Figura 2.26 - Simulação do sistema não ideal no modo Sepic para tensões de entrada nominais e um decréscimo de 0,05 na razão cíclica.

## 2.6 PROJETO DO CONDICIONAMENTO DE SINAIS

O circuito de condicionamento tem por objetivo adequar os sinais de controle ao controlador digital, que consiste basicamente em filtrar, multiplicar e somar de forma a adequar o sinal a faixa de leitura do conversor analógico-digital e a faixa de operação da malha de controle.

### 2.6.1 Projeto do estágio de filtragem analógica

O sinal lido pelo sensor pode ser reconstituído como um somatório de infinitos sinais senoidais de amplitude e frequências variadas. O teorema da amostragem estabelece um limite em frequência e a faixa de tensão admissível pelo conversor analógico digital, um limite em amplitude. Fica assim claro uma das razões de se utilizar a filtragem analógica.

O projeto do filtro é realizado com o auxílio do programa chamado *FilterPro* [18] fornecido pela *Texas Instrument*. Neste contexto, as etapas para a realização de um filtro analógico ativo podem ser divididas em [18].

- ✓ Tipo do filtro
  - Passa-baixa
  - Passa-alta
  - Passa-faixa
  - Rejeita-faixa/*Notch*
- ✓ Resposta em frequência
  - Banda de passagem
  - Ganho em frequência nula
  - Riple permissível na banda de passagem
  - Ordem do filtro
- ✓ Aproximação
  - Butterworth
  - Chebyshev
  - Bessel
  - Gaussiana
  - Linear-Phase
- ✓ Implementação em circuito
  - Multiple Feedback (MFB)
  - Sallen-Key

Considerando a malha de controle e o sistema de amostragem, implementa-se um filtro passa-baixa utilizando a aproximação *butterworth* por apresentar a resposta mais plana em magnitude dentre as demais aproximações. Para a realização via circuito a topologia MFB é utilizada pelo fato de apresentar baixa sensibilidade a variação dos componentes [18].

A topologia MFB com a nomenclatura dos componentes utilizada no software *FilterPro* é apresentada na Figura 2.27.

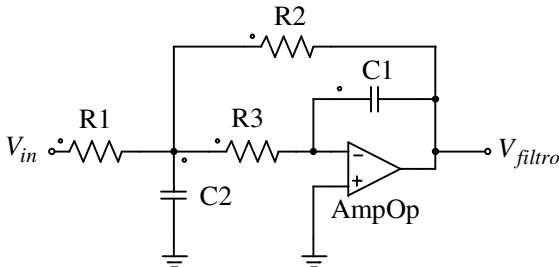


Figura 2.27 - Topologia do filtro MFB

A função de transferência do filtro MFB obtida de [19] é apresentada em (2.78).

$$MFB(s) = \frac{-1}{s^2 + s \frac{1}{C2R1R3} \left( R1 + R3 \left( 1 + \frac{R1}{R2} \right) \right) + \frac{1}{C1C2R2R3}} \quad (2.78)$$

O ganho em frequência nula é dado por:

$$MFB(0) = \frac{V_{filtro}(0)}{V_{in}(0)} = -\frac{R2}{R1} \quad (2.79)$$

## 2.6.2 Ganho dos sensores de corrente e de tensão

Para a medição das variáveis de controle são utilizados sensores de efeito Hall. Duas características se mostram muito atrativas, disponibilidade no laboratório e saída com característica de fonte de corrente. A característica de fonte de corrente é desejável uma vez que o comprimento do cabo utilizado para levar o sinal do sensor à placa de condicionamento de sinais não influencia na medição.

### 2.6.2.1 Sensor de corrente

A Figura 2.28 apresenta o diagrama de funcionamento do sensor de corrente, tendo como principais características saída com característica de fonte de corrente e relação de conversão de 1:1000 (saída:entrada).

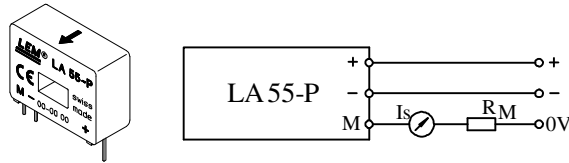


Figura 2.28 - Sensor de corrente utilizado.

### 2.6.2.2 Sensor de tensão

A Figura 2.29 ilustra de forma simplificada a operação do sensor de tensão. O resistor  $R_t$  deve ser ajustado para permitir um corrente máxima de 14 mA. A relação de conversão é de 2500:1000 (secundário:primário).

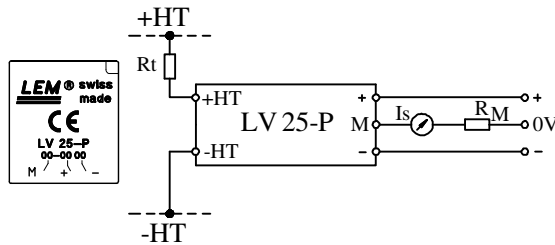


Figura 2.29 - Sensor de tensão utilizado.

Cálculo do resistor de medição:

$$R_t = \frac{+HT - -HT}{I_{PN}} \quad (2.80)$$

A potência dissipada pelo resistor  $R_t$ :

$$P_{R_t} = R_t \cdot I_{PN}^2 \quad (2.81)$$

### 2.6.3 Etapa inversora e *offset* de tensão

O filtro da Figura 2.27 possui ganho inversor, assim mais uma etapa inversora é acrescentada de forma a anular este efeito. Pelo fato de a entrada analógica do módulo ADC aceitar somente tensões positivas, é adicionada uma tensão de *offset* neste mesmo estágio.

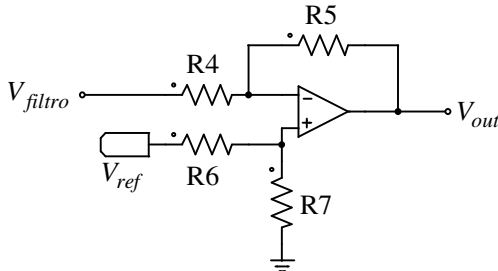


Figura 2.30 - Circuito inversor com *offset* de tensão.

Pela análise do circuito da Figura 2.30 obtem-se a expressão (2.82) que permite calcular os resistores para o ajuste do ganho inversor e da tensão de *offset*.

$$V_{out} = -\frac{R5}{R4} V_{in} + \frac{R6}{R4} \left( \frac{R4 + R5}{R6 + R7} \right) V_{ref} \quad (2.82)$$

Para o caso em que a tensão de *offset* é igual a metade da tensão de referência e o ganho inversor é unitário, tem-se  $R4=R5$  e  $R7=3R6$ .

#### 2.6.4 Circuito de condicionamento

O circuito completo de condicionamento de sinais é mostrado na Figura 2.31, cujas partes adicionais consistem em um resistor de amostragem  $R_a$  e um circuito de grameamento de tensão (TL 7726) com a finalidade de proteger o módulo ADC grameando a tensão  $V_{out}$  entre  $V_{ref}$  e 0 volts.

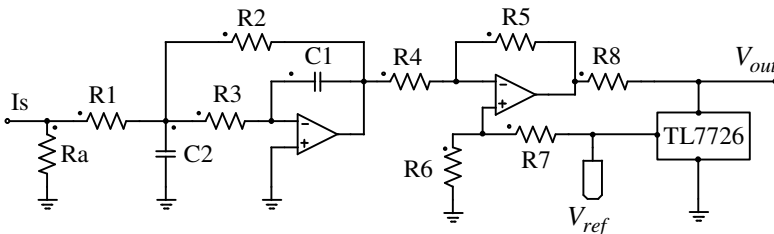


Figura 2.31 - Circuito de condicionamento de sinais.

##### 2.6.4.1 Função de transferência do condicionamento de sinal para leitura de corrente

Sendo  $I_{in}$  a corrente a ser lida e  $V_{out}$  a tensão na entrada do conversor analógico digital sem o *offset*, o ganho em frequência nula é calculado por:

$$\frac{V_{out}}{I_{in}} = \frac{R_a \cdot R_2 \cdot R_5}{R_1 \cdot R_4} \cdot \frac{1}{1000} \quad (2.83)$$

A função de transferência do condicionamento de corrente é descrita por (2.84).

$$Cond_I(s) = \frac{1}{s^2 + s \frac{1}{C2R1R3} \left( R1 + R3 \left( 1 + \frac{R1}{R2} \right) \right) + \frac{1}{C1C2R2R3}} \frac{R5}{C1C2R1R3} \frac{Ra}{R4} \frac{1000}{1} \quad (2.84)$$

#### 2.6.4.2 Função de transferência do condicionamento de sinal para leitura de tensão

Sendo  $V_{in}$  a tensão a ser lida e  $V_{out}$  a tensão na entrada do conversor analógico digital sem o offset, o ganho em frequência nula é calculado por:

$$\frac{V_{out}}{V_{in}} = \frac{Ra \cdot R2 \cdot R5}{Rt \cdot R1 \cdot R4} \cdot \frac{2500}{1000} \quad (2.85)$$

A função de transferência do circuito de condicionamento de tensão é descrita por (2.86).

$$Cond_V(s) = \frac{1}{s^2 + s \frac{1}{C2R1R3} \left( R1 + R3 \left( 1 + \frac{R1}{R2} \right) \right) + \frac{1}{C1C2R2R3}} \frac{R5}{C1C2R1R3} \frac{2500}{R4} \frac{Ra}{Rt} \quad (2.86)$$

A Figura 2.32 apresenta o *layout* da placa de condicionamento de sinais construída, formada de três circuitos da Figura 2.31 em paralelo.

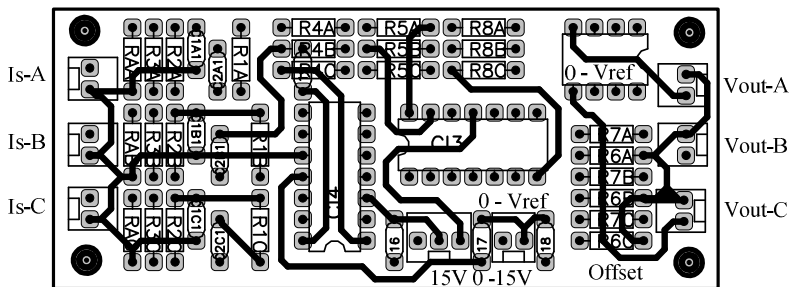


Figura 2.32 - *Layout* da camada inferior da placa de condicionamento de sinais.

## 2.7 PROJETO DA MALHA DE CONTROLE DA CORRENTE $I_{Lb}$

A Figura 2.33 ilustra em diagrama de blocos a estrutura implementada em laboratório para o controle da corrente  $i_{Lb}$ . O projeto do controlador é realizado no domínio contínuo e discretizado em seguida

utilizando o *toolbox* apropriado presente no MATLAB. O objetivo aqui é encontrar o mais simples controlador possível, que atenda as especificações de estabilidade, erro nulo a referência e robustez em ambos os modos de operação.

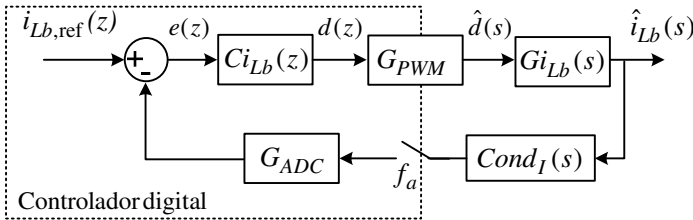


Figura 2.33 - Diagrama de blocos para projeto da malha de corrente  $i_{Lb}$ .

Aplicando a matriz de entrada (2.75) e a matriz de estados (2.74) na relação (2.58) obtém-se a função de transferência (2.87) relacionando a corrente  $i_{Lb}$  pela razão cíclica do conversor Zeta-Sepic não isolado no modo Zeta.

$$G_{i_{Lb},zeta}(s) = \frac{3,917e005s^2 - 7,43e008s + 7,788e012}{s^3 + 2133s^2 + 3,331e007s + 4,302e010} \quad (2.87)$$

Aplicando a matriz de entrada (2.77) e a matriz de estados (2.76) na relação (2.58) obtém-se a função de transferência (2.88) relacionando a corrente  $i_{Lb}$  pela razão cíclica do conversor Zeta-Sepic não isolado no modo Sepic.

$$G_{i_{Lb},sepic}(s) = \frac{4,289e005s^2 + 9,83e008s + 1,242e013}{s^3 + 2000s^2 + 3,093e007s + 3,957e010} \quad (2.88)$$

Tabela 2.4 - Parâmetros utilizados para o condicionamento de sinal do conversor Zeta-Sepic não isolado.

Parâmetro	Condicionamento da corrente $i_{Lb}$	Condicionamento da tensão $v_{Cd}/v_{Cb}$
$Ra$	150 $\Omega$	330 $\Omega$
$R1$	390 $\Omega$	390 $\Omega$
$R2$	390 $\Omega$	390 $\Omega$
$R3$	2,2 k $\Omega$	2,2 k $\Omega$
$R4$	470 $\Omega$	470 $\Omega$
$R5$	470 $\Omega$	470 $\Omega$
$R6$	350 $\Omega$	350 $\Omega$
$R7$	1 k $\Omega$	-
$R8$	100 $\Omega$	100 $\Omega$
$Rt$	-	10 k $\Omega$
$C1$	22 nF	22 nF



C2	330 nF	330 nF
----	--------	--------

Substituindo os valores da Tabela 2.4 na função de transferência (2.84) obtém-se a função de transferência do filtro utilizado para o condicionamento da corrente  $i_{Lb}$  (2.89).

$$Cond_I(s) = \frac{2,408e007}{s^2 + 1,692e004s + 1,605e008} \quad (2.89)$$

Substituindo os valores da Tabela 2.4 na função de transferência (2.86) obtém-se a função de transferência do filtro utilizado para o condicionamento das tensões  $v_{Ca}$  e  $v_{Cb}$  (2.90).

$$Cond_V(s) = \frac{1,324e007}{s^2 + 1,692e004s + 1,605e008} \quad (2.90)$$

A Figura 2.35 compara o diagrama de Bode de (2.89) e (2.90).

Para o projeto do controlador de corrente, deve-se primeiramente adequar o sistema da Figura 2.33 à arquitetura de controle presente no *Control System Toolbox*<sup>TM</sup> [20] que é apresentada na Figura 2.34.

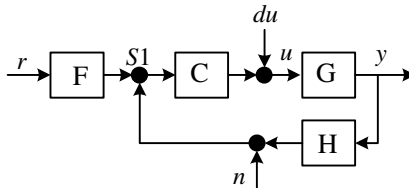


Figura 2.34 - Arquitetura de controle utilizada para o projeto do controlador de corrente  $i_{Lb}$ .

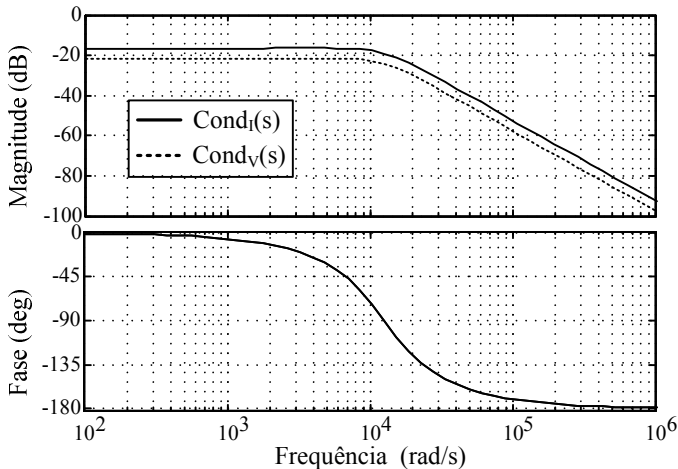


Figura 2.35 - Diagrama de Bode do condicionamento de sinal.

O filtro de referência é desconsiderado, ou seja,  $F=1$ . A função de transferência  $H$  é representada pelo ganho do módulo ADC (2.103) multiplicada pela função de transferência do condicionamento do sinal de corrente (2.89).  $G$  representa a planta de corrente  $i_{Lb}$  pela razão cíclica multiplicada pelo ganho do módulo PWM (2.109). Busca-se um único controlador que opere de forma adequada em ambos os modos de operação do conversor Zeta-Sepic.

### 2.7.1 Conversor Zeta-Sepic não isolado operando no modo Zeta

A estrutura do controlador inicialmente testada é o PI (Proporcional-Integral) principalmente por ter erro nulo ao degrau de referência de corrente. Sendo o objetivo principal desta parte do trabalho testar o comportamento bidirecional do conversor, prioriza-se a robustez e o amortecimento resultando em uma resposta lenta, porém adequada para o presente estudo.

Sendo o parâmetro  $G$  da estrutura apresentada na Figura 2.34 a multiplicação entre o ganho do módulo PWM (2.109) e a função de transferência (2.87), o controlador PI é sintonizado colocando-se o zero perto dos polos do condicionamento de sinal e o ganho é ajustado de forma a levar dois dos polos de malha fechada ao eixo real, resultando em uma resposta sem sobressinal.

O controlador de corrente  $i_{Lb}$  (2.91) obtido leva o sistema a uma resposta em frequência apresentada na Figura 2.36 e uma resposta ao degrau de referência  $i_{Lb}$  mostrada na Figura 2.37.

$$C_{i_{Lb,zeta}}(s) = \frac{0,0025482 (s+1,138e004)}{s} \quad (2.91)$$

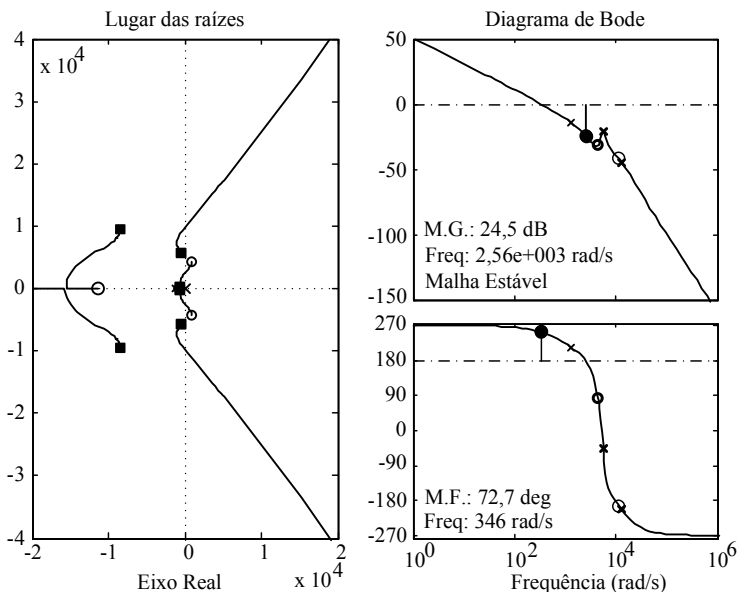


Figura 2.36 - Lugar das raízes e diagrama de Bode para malha de controle da corrente  $i_{Lb}$  do conversor Zeta-Sepic no modo Zeta.

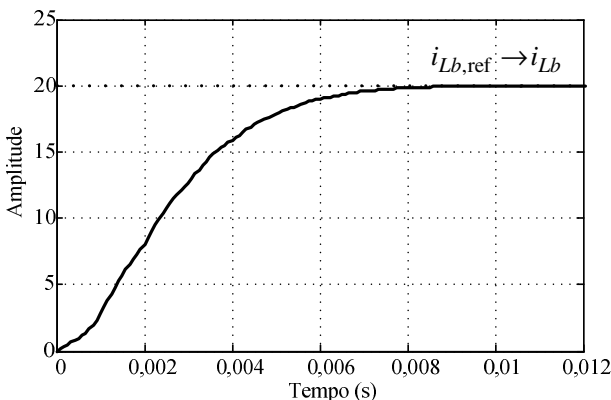


Figura 2.37 - Resposta ao degrau de referência  $i_{Lb}$  do conversor Zeta-Sepic não isolado no modo Zeta.

### 2.7.2 Conversor Zeta-Sepic não isolado operando no modo Sepic

Modifica-se o parâmetro  $G$  da estrutura apresentada na Figura 2.34 pela multiplicação entre o ganho do módulo PWM (2.109) e a fun-

ção de transferência (2.88) para o conversor operando no modo Sepic. Como o objetivo é controlar o sistema com um único controlador, teste-se aqui o controlador anteriormente projetado.

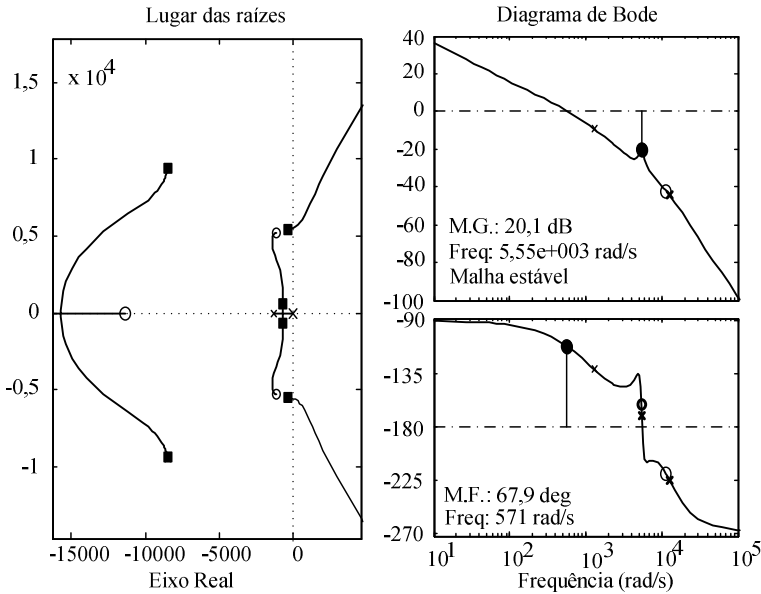


Figura 2.38 - Lugar das raízes e diagrama de Bode para malha de controle da corrente  $i_{Lb}$  do conversor Zeta-Sepic no modo Sepic.

A Figura 2.38 mostra o lugar das raízes e o diagrama de Bode com o controlador de corrente projetado para operar no modo Sepic. Observa-se que o sistema permanece estável com uma resposta mais rápida e um leve sobressinal.

A Figura 2.39 mostra a resposta ao degrau de referência  $i_{Lb}$  para o conversor operando no modo Sepic com o controlador projetado no modo Zeta e a Tabela 2.5 compara as respostas em ambos os modos de operação. Conclui-se que o controlador projetado leva o sistema a uma resposta similar em ambos os modos de operação, e sendo por isso adequado para o teste principal desta etapa, a característica bidirecional do conversor.

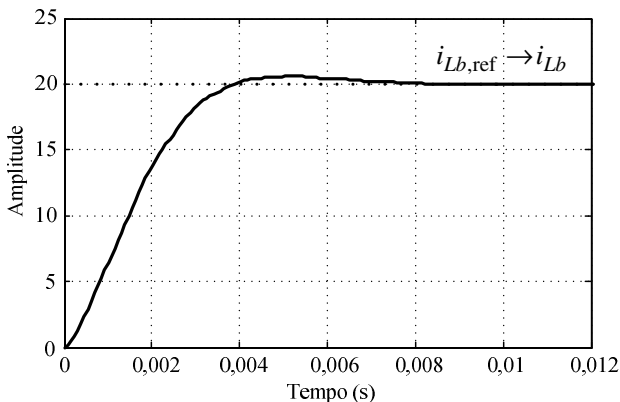


Figura 2.39 - Resposta ao degrau de referência  $i_{Lb}$  do conversor Zeta-Sepic não isolado no modo Sepic.

A Tabela 2.5 compara as respostas ao degrau de referência entre os modos de operação. Nota-se que ambas as respostas são bem próximas, indicando que o controlador projetado é adequado para controlar o conversor bidirecional.

Tabela 2.5 - Comparação entre as respostas ao degrau de referência  $i_{Lb}$  para o conversor Zeta-Sepic não isolado operando no modo Zeta e no modo Sepic.

Especificação	Modo Zeta	Modo Sepic
Tempo de subida (5%-95%)	0,0055 s	0,0030 s
Tempo de acomodação (5%)	0,0060 s	0,0033 s
Acomodação mínima	19,0115 A	19,0960 A
Acomodação máxima	20,0196 A	20,6104 A
Sobressinal	0,0979 %	3,0520 %
Valor de pico	20,0196 A	20,6104 A
Tempo de pico	0,0113 s	0,0053 s

## 2.8 PROJETO DAS MALHAS DE CONTROLE DAS TENSÕES $V_{CA}$ E $V_{CB}$

Terminado o projeto da malha de controle da corrente  $i_{Lb}$  para ambos modos de operação do conversor, objetiva-se obter resultados experimentais.

A ideia aqui é colocar o conversor Zeta-Sepic para funcionar como conversor Zeta e como conversor Sepic, incluindo uma malha para o controle da tensão e mantendo a malha para o controle da corrente inicialmente projetada. Com este procedimento, testam-se vários pon-

tos críticos, tais como, sensores, condicionamento, rotina executada no controlador digital, entre outros aspectos.

A Figura 2.40 ilustra a nova estrutura para o projeto do controlador de tensão. C2, G1 e H1 constituem os elementos anteriormente analisados e que serão mantidos. Novamente busca-se o PI como controlador alvo. Usualmente projeta-se a malha interna com uma resposta em torno de 10 vezes mais rápida que a malha externa simplificando o projeto, pois desta forma pode-se desconsiderar a malha interna no projeto da malha externa. Pelo fato do projeto ser realizado no MATLAB e neste momento não há a necessidade de encontrar uma expressão que calcule o controlador de tensão, a malha interna é considerada para o projeto da malha externa.

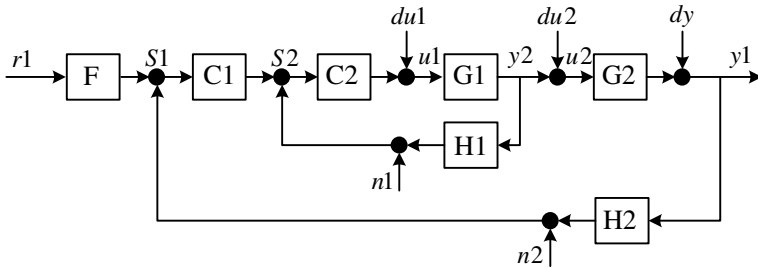


Figura 2.40 - Arquitetura do sistema de controle utilizada para projeto da malha interna de corrente e da malha externa de tensão.

H2 inclui o condicionamento de tensão (2.90) multiplicado pelo ganho do módulo ADC (2.103). Filtro de referência é desconsiderado,  $F=1$ .

### 2.8.1 Conversor Zeta-Sepic não isolado operando no modo Zeta

Para o projeto da malha de tensão  $v_{Cb}$ , precisa-se encontrar a função de transferência que relaciona a tensão  $v_{Cb}$  com a corrente  $i_{Lb}$ . Substituindo a fonte  $v_b$  por uma resistência  $Rb$  em paralelo com uma capacitância  $Cb$ , a função de transferência é facilmente determinada por (2.92).

$$G2 = \frac{v_{Cb}(s)}{i_{Lb}(s)} = \frac{Rb}{1 + s \cdot Cb \cdot Rb} \quad (2.92)$$

Substituindo em (2.92) a capacitância  $Cb$  de 80  $\mu\text{F}$  e a resistência  $Rb$  de 4,6  $\Omega$ , determina-se a função de transferência (2.93).

$$\frac{v_{Cb}(s)}{i_{Lb}(s)} = \frac{12500}{(s+2713)} \quad (2.93)$$

Da mesma forma, o zero do controlador é colocado próximo aos polos do filtro MFB presente no condicionamento da tensão  $v_{Cb}$ , e o ganho é simplesmente ajustado de forma a estabilizar o sistema com uma resposta ao degrau de referência sem sobressinal.

O controlador PI de tensão obtido (2.94), impõe no sistema uma resposta ao degrau de referência da tensão apresentado na Figura 2.42.

$$Cv_{Cb}(s) = \frac{0,0094552 (s+1,097e004)}{s} \quad (2.94)$$

A Figura 2.41 mostra o comportamento das malhas de controle, observe que foi utilizado o mesmo controlador de corrente projetado anteriormente e projetado um novo controlador de tensão fazendo com que as malhas operem com dinâmicas próximas.

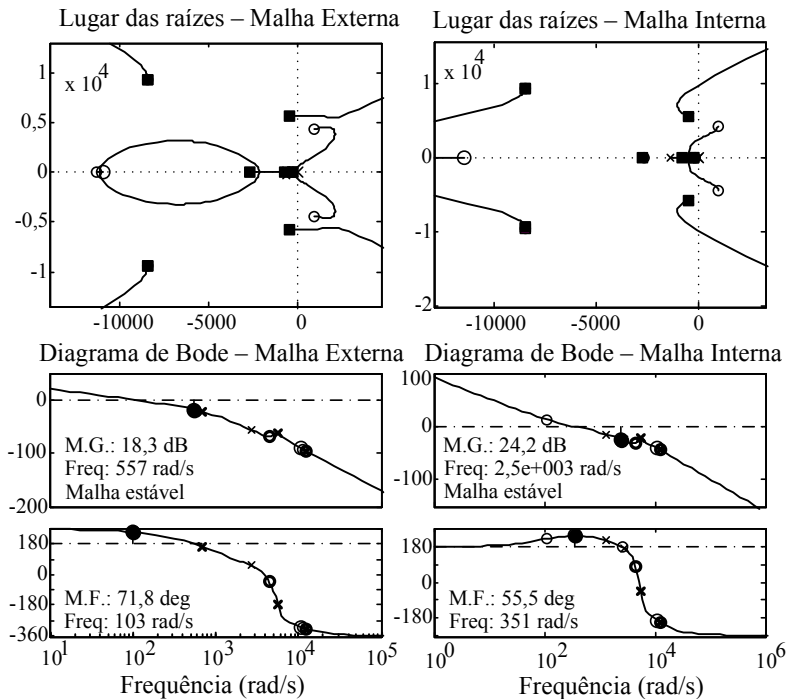


Figura 2.41 - Lugar das raízes e diagrama de Bode para malha interna e externa do conversor Zeta-Sepic operando como conversor Zeta.

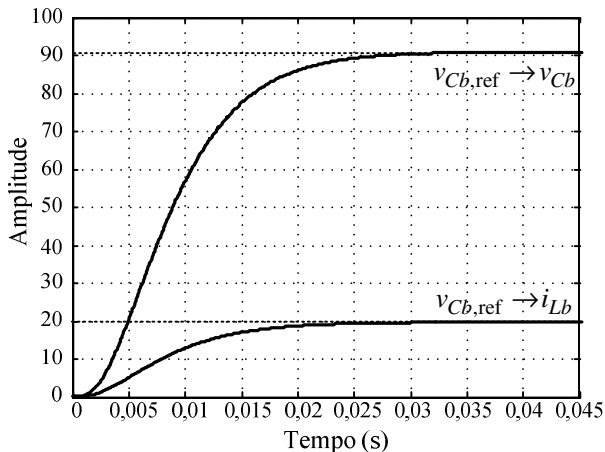


Figura 2.42 - Resposta ao degrau de referência  $v_{Cb}$  do conversor Zeta-Sepic não isolado operando como conversor Zeta.

### 2.8.2 Conversor Zeta-Sepic não isolado operando no modo Sepic

A obtenção da função de transferência que relaciona a tensão  $v_{Ca}$  pela corrente  $i_{Lb}$  requer uma metodologia mais elaborada, e pode representar um trabalho extra que não se justifique, pelo fato de ser utilizada apenas para um teste intermediário de operação do conversor. Por esta razão será apresentado de forma breve.

O primeiro passo é substituir a fonte  $v_a$  por uma resistência  $Ra$  em paralelo com uma capacitância  $Ca$ . Assim os estados topológicos devem ser reescritos (2.95), incluindo um novo estado representado pela tensão no capacitor  $Ca$ .

$$\underbrace{\begin{bmatrix} La & 0 & 0 & 0 \\ 0 & Lb & 0 & 0 \\ 0 & 0 & Cab & 0 \\ 0 & 0 & 0 & Ca \end{bmatrix}}_{\mathbf{K}} \begin{bmatrix} i_{La} \\ i_{Lb} \\ \dot{v}_{Cab} \\ \dot{v}_{Ca} \end{bmatrix} = \mathbf{A} \begin{bmatrix} i_{La} \\ i_{Lb} \\ v_{Cab} \\ v_{Ca} \end{bmatrix} + \mathbf{B}[v_b] \quad (2.95)$$

O sistema (2.95) apresenta apenas a tensão da fonte  $v_b$  como entrada. Sendo que a entrada da malha externa é a saída da malha interna, que no caso é a corrente  $i_{Lb}$ , manipula-se o sistema (2.95) de forma a tornar a corrente  $i_{Lb}$  uma das entrada do sistema (2.96). Na prática está se substituindo o indutor  $Lb$  por uma fonte de corrente  $i_{Lb}$  e a tensão  $v_a$  por uma carga RC cuja tensão é  $v_{Ca}$ . O sistema resultante é modelado com o objetivo de obter a função de transferência  $v_{Ca}$  por  $i_{Lb}$ .



$$\underbrace{\begin{bmatrix} La & 0 & 0 \\ 0 & Cab & 0 \\ 0 & 0 & Ca \end{bmatrix}}_{\mathbf{K}} \begin{bmatrix} \dot{i}_{La} \\ \dot{v}_{Cab} \\ \dot{v}_{Ca} \end{bmatrix} = \mathbf{A} \begin{bmatrix} i_{La} \\ v_{Cab} \\ v_{Ca} \end{bmatrix} + \mathbf{B} \begin{bmatrix} i_{Lb} \\ v_b \end{bmatrix} \quad (2.96)$$

Seguindo os passos descritos anteriormente para modelar o conversor e substituindo os valores numéricos dos parâmetros do conversor, gera-se a matriz de estados (2.97) e a matriz de entrada (2.98) para o conversor operando como Sepic.

$$\begin{array}{cccc} & \hat{i}_{La} & \hat{v}_{Cab} & \hat{v}_{Ca} \\ \hat{i}_{La} & -490,7 & -1568 & 1314 \\ \hat{v}_{Cab} & 9382 & 0 & 0 \\ \hat{v}_{Ca} & -5698 & 0 & -1237 \end{array} \quad (2.97)$$

$$\begin{array}{cccc} & \hat{d} & \hat{i}_{Lb} & \hat{v}_b \\ \hat{i}_{La} & 2,868e+005 & -529,3 & 0 \\ \hat{v}_{Cab} & 3,94e+005 & -7859 & 0 \\ \hat{v}_{Ca} & 1,554e+005 & -5698 & 0 \end{array} \quad (2.98)$$

Aplicando as matrizes (2.97) e (2.98) em (2.58) encontra-se a função de transferência da tensão  $v_{Ca}$  pela corrente  $i_{Lb}$ .

$$G2 = \frac{\hat{v}_{Ca}(s)}{\hat{i}_{Lb}(s)} = -\frac{5698s^2 - 2,198e005s + 1,541e011}{s^3 + 1727s^2 + 2,281e007s + 1,819e010} \quad (2.99)$$

A malha interna é mantida, a planta G2 da Figura 2.40 é atualizada por (2.99). O ganho do controlador (2.94) da malha externa é multiplicado por -1, pois G2 possui ganho negativo, e em seguida ajustado de forma a se obter uma resposta ao degrau de referência sem nenhum sobressinal.

O controlador obtido (2.100), impõe uma resposta ao degrau de referência  $v_{Ca}$  apresentado na Figura 2.44.

$$Cv_{Ca}(s) = -0,0059212 \frac{(s + 1,097e004)}{s} \quad (2.100)$$

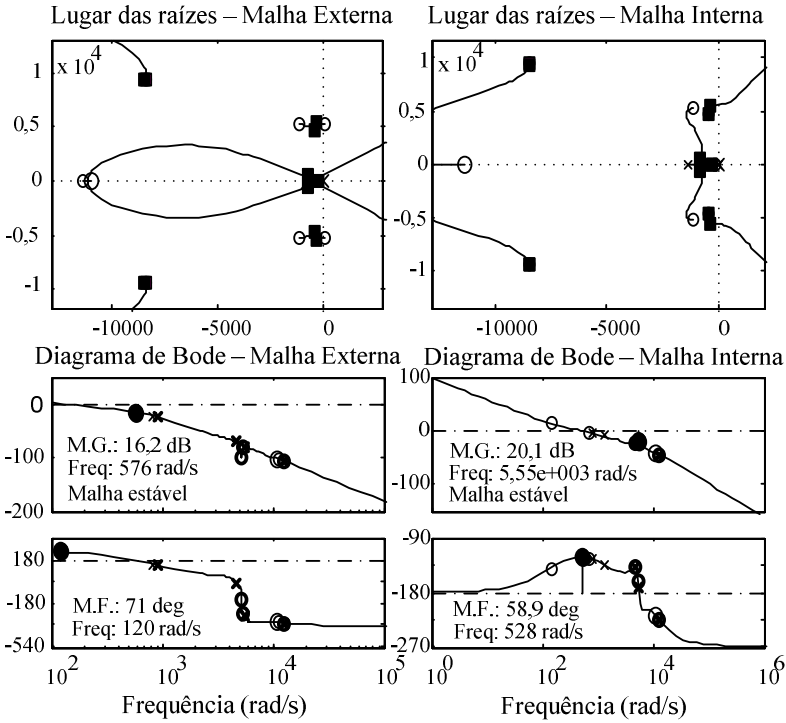


Figura 2.43 - Lugar das raízes e diagrama de Bode para malha interna e externa do conversor Zeta-Sepic operando como conversor Sepic.

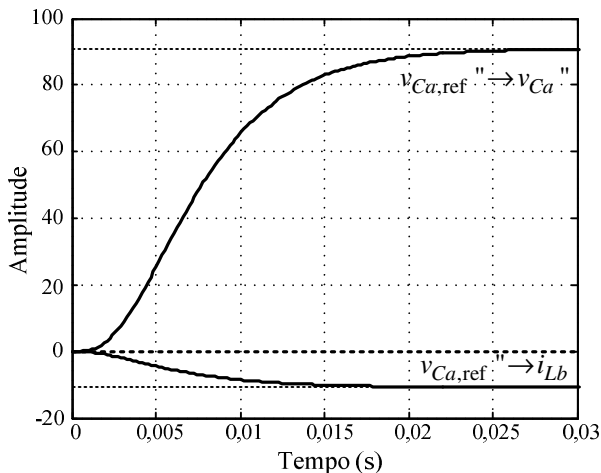


Figura 2.44 - Resposta ao degrau de referência  $v_{Ca}$  do conversor Zeta-Sepic não isolado operando como conversor Sepic.

## 2.9 IMPLEMENTAÇÃO VIA CONTROLADOR DIGITAL DE SINAIS

Uma das principais vantagens da implementação digital está na sua versatilidade, ou seja, pode-se facilmente modificar parâmetros ou estruturas de controle pela simples alteração no código fonte do *firmware*. Seguindo a idéia de praticidade, utiliza-se um processador já conhecido, no caso o DSP TMS320F2812 da Texas. Neste item do trabalho, são abordados alguns aspectos relevantes ao programador assim como para o projeto das malhas de controle, tais como o ganho do módulo ADC e do módulo PWM.

### 2.9.1 Representação dos números reais

A representação numérica especifica a forma como os números reais são armazenados e codificados por um conjunto de dígitos binários chamados também de palavras binárias. A aritmética define um conjunto de ações realizadas com as palavras binárias de forma a simular as operações aritméticas clássicas. O processador utilizado possui arquitetura com aritmética de ponto fixo, sendo por este motivo detalhada a seguir.

#### 2.9.1.1 Aritmética de ponto fixo e notação fracionária Qn

A Figura 2.45 ilustra os principais elementos na notação de ponto fixo, sendo  $n$  o número de bits da parte fracionária,  $m$  o número

de bits da parte inteira,  $s$  representa o bit de sinal e  $p$  o comprimento da palavra binária. A precisão da representação numérica depende do comprimento da palavra binária, que geralmente é uma função do número de bits dos registradores do processador utilizado, assumindo valores de potências de 2 (8,16 ou 32 bits). Por questão de simplificação apenas o comprimento da parte fracionária é utilizado na notação, uma vez que geralmente o comprimento da palavra se mantém constante durante rotina de interrupção, assim ao invés de Q1.14 utiliza-se Q14.

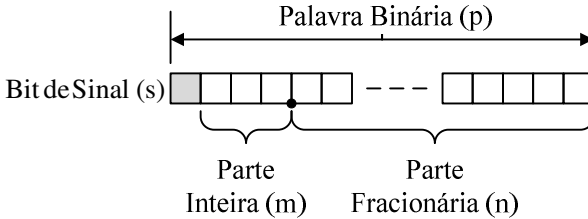


Figura 2.45 - Elementos da notação de ponto fixo Qm.n.

A Figura 2.46 exemplifica a conversão numérica utilizando a notação Qn. Observa-se que o programador deve ficar atento com a representação utilizada, uma vez que a precisão numérica pode ser um fator decisivo para o funcionamento adequado do sistema.

Durante a escrita do código fonte, tanto variáveis inteiras (valores lidos pelo ADC, por exemplo) quanto fracionárias (ganho dos controladores) são encontradas, recomenda-se por questão de uniformidade e praticidade converter para um único tipo de variável, ou seja, programar com números inteiros, convertendo X para Y, ou trabalhar com números fracionários convertendo Y para X.

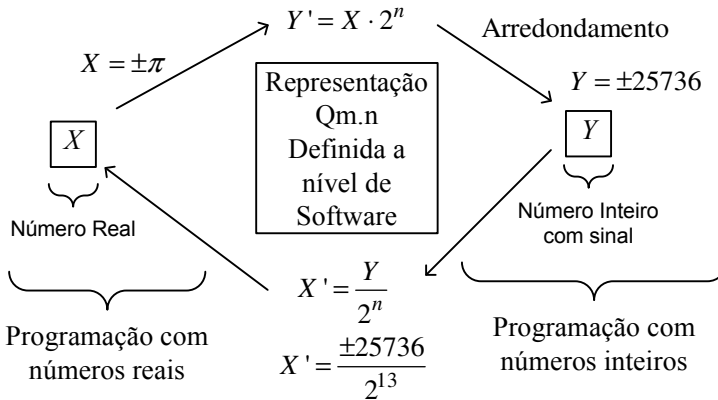


Figura 2.46 - Lógica de conversão numérica utilizando a notação Qn.

### 2.9.1.2 Biblioteca de ponto flutuante virtual

Outra boa prática é utilizar as bibliotecas fornecidas pelo fabricante do DSP [21]. O uso das funções presentes nesta biblioteca permite a abstração do programador de certas peculiaridades da notação Qn, tais como mudança de formato, por exemplo, Q12 para Q15. Outra característica é a facilidade de se trabalhar com palavras binárias de 32 bits. Em trabalhos mais complexos, que utilizam transformadas ou filtros digitais, o uso destas bibliotecas se torna inevitável.

### 2.9.2 Ganho do Módulo ADC

O Módulo ADC presente no DSP TMS320F2812 [22] possui uma faixa de tensão de entrada entre zero e três volts (0-3V) e uma resolução de 12 bits, assim, tem-se 4096 (0-4095 em valor inteiro) palavras binárias para representar o sinal de entrada. A equação (2.101) descreve a relação do valor analógico para o valor digital.

$$Valor_{Digital} = 4095 \frac{Valor_{Analógico}}{3} \quad (2.101)$$

Os registradores do módulo ADC são de 16 bits, deve-se observar que o valor resultante da conversão analógico para digital é armazenado nos 12 primeiros bits do registrador.

O próximo passo é converter o valor lido utilizando a notação Qn e obter desta forma um valor fracionário que entrará no algoritmo de controle. A base Qn utilizada implica em um ganho na malha de controle e pode ser calculada por (2.102), em que n representa o número de bits da parte fracionária.

$$G_{ADC} = \frac{(2^{12} - 1)}{3} \frac{1}{2^n} \quad (2.102)$$

Por exemplo, supomos que as variáveis lidas são representadas em Q12, assim o ganho do módulo ADC é dado por (2.103).

$$G_{ADC} = \frac{(2^{12} - 1)}{3} \frac{1}{2^{12}} = \frac{4095}{3 \cdot 4096} \cong \frac{1}{3} \quad (2.103)$$

### 2.9.3 Configuração dos temporizadores (*Timers*)

A configuração dos temporizadores é realizada no módulo de gerenciamento de eventos [23].

Neste trabalho, as frequências de amostragem e de execução da malha de controle estão diretamente relacionadas a configuração do registrador de período (TxPR) e ao modo de contagem dos *timers* (portadora triangular). O período do *timer* é configurado por (2.104) com

base na frequência da portadora triangular e na frequência de operação dos temporizadores (150 MHz).

$$TxPR = \frac{150 \text{ MHz}}{2 \times (\text{Frequência da portadora Triangular})} \quad (2.104)$$

Exemplo: PWM com frequência de 50kHz.

$$TxPR = \frac{150 \text{ MHz}}{2 \times (50 \text{ kHz})} = 1500 \quad (2.105)$$

Observe que TxPR deve ser um número inteiro e positivo.

#### 2.9.4 Ganho e resolução do Módulo PWM

A resolução do PWM é calculada com base na configuração dos temporizadores por (2.106) definindo a notação  $Q_n$  das variáveis de comparação ou do sinal modulante.

$$PWM_{bits} = \log_2(TxPR) \quad (2.106)$$

O valor de pico da triangular é definido por TxPR, e o ganho do módulo PWM é calculado por (2.107).

$$G_{PWM} = \frac{2^{Q_n}}{TxPR} \quad (2.107)$$

Como exemplo, para TxPR igual a 1500, tem-se:

$$PWM_{bits} = \log_2(1500) = 10,5507 \quad (2.108)$$

Assim a notação  $Q_n$  escolhida é Q11.

$$G_{PWM} = \frac{2^{11}}{1500} = 1,365333 \quad (2.109)$$

#### 2.9.5 Implementação dos Controladores

O mapeamento entre o plano  $s$  e o plano  $z$  é realizado por (2.110) no sentido  $z \rightarrow s$ , e por (2.111) no sentido  $s \rightarrow z$ .

$$z = e^{s \cdot Ta} = \frac{e^{s \cdot \frac{Ta}{2}}}{e^{-s \cdot \frac{Ta}{2}}} = \frac{1 + s \cdot \frac{Ta}{2}}{1 - s \cdot \frac{Ta}{2}} \quad (2.110)$$

$$s = \frac{1}{Ta} \ln z \approx \frac{2}{Ta} \cdot \frac{z-1}{z+1} \quad (2.111)$$

A discretização é realizada no MATLAB com o uso do comando `c2d()` presente no *Control System Toolbox*<sup>TM</sup> [20], que requer três parâmetros:

- ✓ Controlador em tempo contínuo

- ✓ Período de amostragem ( $T_a=10 \mu\text{s}$ )
- ✓ Método de discretização (tustin)

A frequência de amostragem utilizada é duas vezes a frequência de comutação, ou seja,  $f_a=100 \text{ kHz}$  e  $T_a=10 \mu\text{s}$ .

O método utilizado para discretizar os controladores é o método de tustin, que implementa as aproximações (2.111) e (2.110).

#### 2.9.5.1 Controlador de corrente $i_{Lb}$

Discretizando o controlador (2.91) com  $T_a=10 \mu\text{s}$  e utilizando o método de tustin, obtém-se (2.112).

$$C_{i_{Lb,zeta}}(z) = \frac{0,002693 z - 0,002403}{z - 1} \quad (2.112)$$

O comando  $filt()$  representa o controlador em uma forma mais apropriada para implementação digital.

$$\frac{u(z)}{\text{erro}(z)} = \frac{0,002693 - 0,002403z^{-1}}{1 - z^{-1}} \quad (2.113)$$

De (2.113) obtém-se a expressão (2.114) que implementa o controlador  $C_{i_{Lb}}$  no processador digital de sinais.

$$u(z) = 0,002693 \cdot \text{erro}(z) - 0,002403 \cdot \text{erro}(z - 1) + u(z - 1) \quad (2.114)$$

#### 2.9.5.2 Controlador de tensão $v_{Ca}$

Discretizando o controlador (2.100) com  $T_a=10 \mu\text{s}$  e utilizando o método de tustin, obtém-se .

$$C_{v_{Ca}}(z) = \frac{-0,006246 (z-0,896)}{z - 1} \quad (2.115)$$

O comando  $filt()$  representa o controlador em uma forma mais apropriada para implementação digital.

$$\frac{u(z)}{\text{erro}(z)} = \frac{-0,006246 + 0,005596 \cdot z^{-1}}{1 - z^{-1}} \quad (2.116)$$

De (2.116) obtém-se a expressão (2.117) que implementa o controlador  $C_{v_{Ca}}(z)$  no processador digital de sinais.

$$u(z) = -0,006246 \cdot \text{erro}(z) - 0,005596 \cdot \text{erro}(z - 1) + u(z - 1) \quad (2.117)$$

#### 2.9.5.3 Controlador de tensão $v_{Cb}$

Discretizando o controlador (2.94) com  $T_a=10 \mu\text{s}$  e utilizando o método de tustin, obtém-se.

$$C_{v_{Cb}}(z) = \frac{0,009974 z - 0,008937}{z - 1} \quad (2.118)$$

O comando  $filt()$  representa o controlador em uma forma mais apropriada para implementação digital.

$$\frac{u(z)}{\text{erro}(z)} = \frac{0,009974 - 0,008937 \cdot z^{-1}}{1 - z^{-1}} \quad (2.119)$$

Analogamente, de (2.119) obtém-se a expressão (2.120) que implementa o controlador  $Cv_{Cb}(z)$  no processador digital de sinais.

$$u(z) = 0,009974 \cdot \text{erro}(z) - 0,008937 \cdot \text{erro}(z-1) + u(z-1) \quad (2.120)$$

## 2.9.6 Circuito de Comando

O circuito de comando utilizado impõem um atraso no sistema proveniente do *driver* SKHI20op da ordem de 1,25  $\mu\text{s}$ . Este atraso pode ser modelado pela aproximação de *pade* de primeira ordem, cujo comando no MATLAB é *pade(1.25e-6,1)*.

$$SKHI20op(s) = \frac{-s + 1,6e006}{s + 1,6e006} \quad (2.121)$$

## 2.10 SIMULAÇÃO NUMÉRICA

A simulação numérica é realizada no PSIM, com o objetivo de validar o projeto dos controladores.

### 2.10.1 Conversor Zeta-Sepic bidirecional não isolado

A Figura 2.47 apresenta o diagrama esquemático utilizado para validar o controlador de corrente  $Ci_{Lb}$ . A Figura 2.48 mostra o resultado da simulação validando a característica de bidirecionalidade do conversor, o qual opera no modo Zeta e no modo Sepic com a resposta prevista na Figura 2.37.



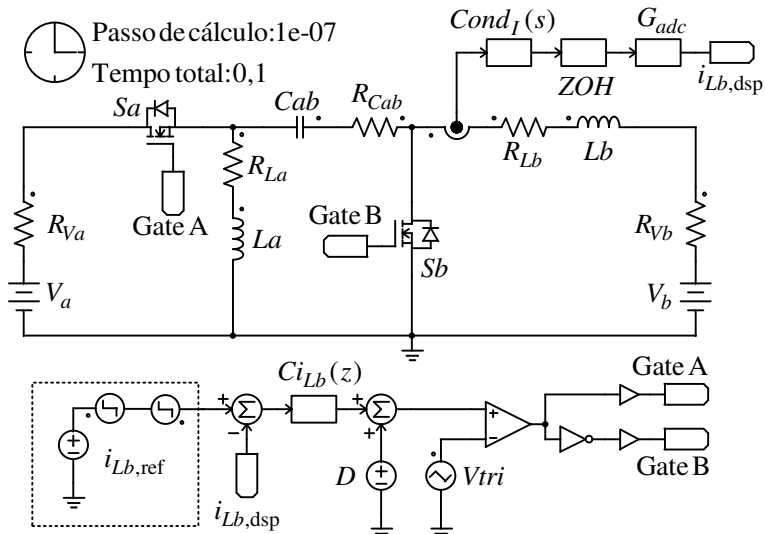


Figura 2.47 - Simulação da malha de controle no conversor Zeta-Sepic Bidirecional não isolado.

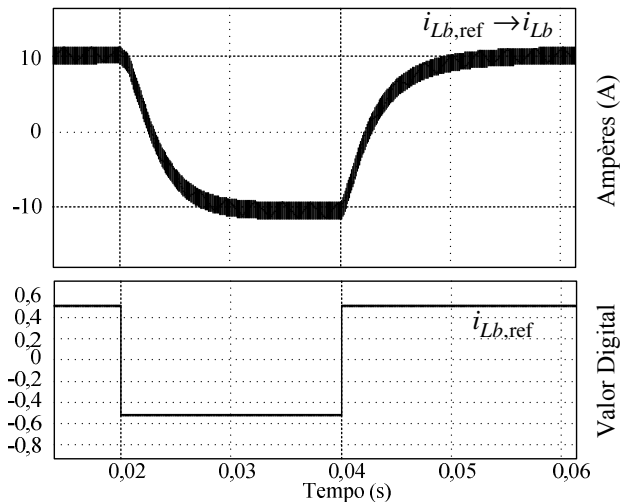


Figura 2.48 - Resultado da simulação do degrau de referência  $i_{Lb}$  para o conversor Zeta-Sepic bidirecional não isolado no ponto de operação do modo Zeta.

**2.10.2 Conversor Zeta-Sepic bidirecional não isolado operando como Sepic**

De forma análoga, as condições de teste podem ser simuladas. Aqui é mostrado apenas o conversor operando como Sepic.

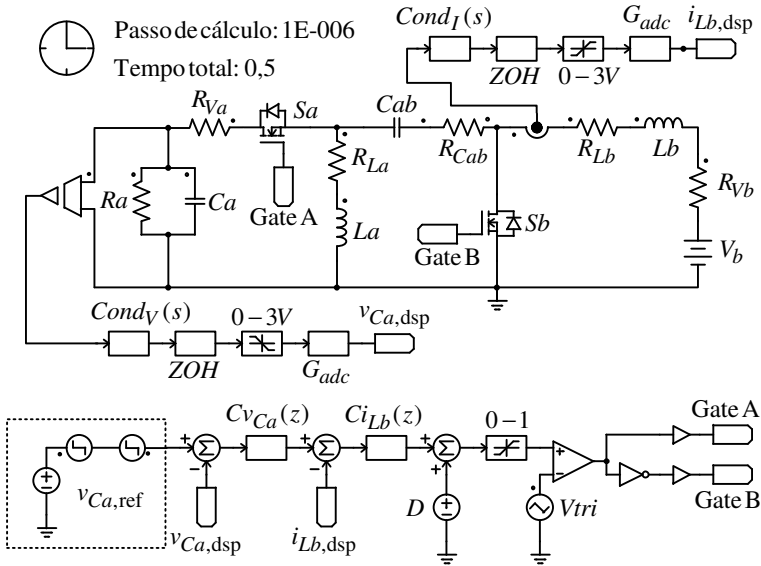


Figura 2.49 – Esquemático da simulação numérica do conversor Zeta-Sepic operando como Sepic.

Verifica-se na Figura 2.50 o comportamento da resposta ao degrau de referência de tensão previsto anteriormente pela Figura 2.44.

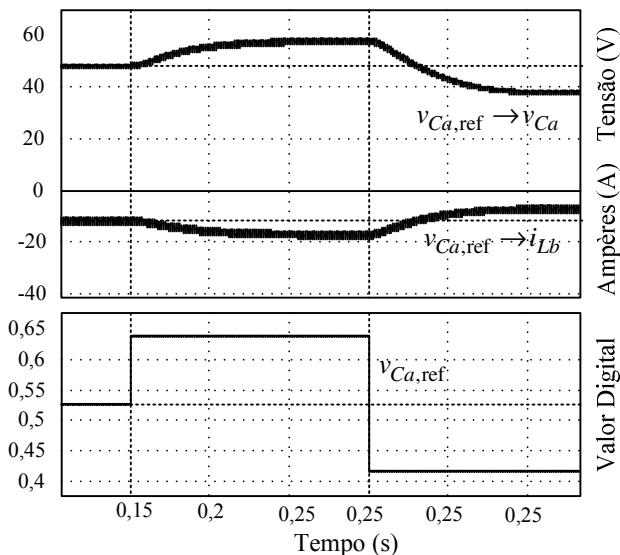


Figura 2.50 – Resultado da simulação da resposta ao degrau de referência  $v_{Ca}$  do conversor Zeta-Sepic operando como Sepic.

## 2.11 RESULTADOS EXPERIMENTAIS

Os resultados experimentais têm por objetivo principal validar o estudo teórico realizado. Nesta parte do trabalho, mostra-se apenas o resultado mais relevante, ou seja, o conversor Zeta-Sepic não isolado operando de forma bidirecional.

### 2.11.1 Indutor $L_a$

A Tabela 2.6 lista as características construtivas do indutor  $L_a$ .

Tabela 2.6 - Detalhes construtivos do indutor  $L_a$

Parâmetro	Valor
Densidade máxima de fluxo	0,25 T
Densidade máxima de corrente	400 A/cm <sup>2</sup>
Núcleo IP12 da Thornton	EE 65/26
Indutância	230 $\mu$ H
Condutor utilizado	AWG 22
Número de espiras	37
Condutores em paralelo	17
Comprimento do chicote	5,483 m
Entreferro	1,986 mm

### 2.11.2 Indutor $L_b$

A Tabela 2.7 lista os principais detalhes construtivos do indutor  $L_b$ .

Tabela 2.7 – Detalhes construtivos do indutor  $L_b$

Parâmetro	Valor
Densidade máxima de fluxo	0,3 T
Densidade máxima de corrente	450 A/cm <sup>2</sup>
Núcleo IP12 da Thornton	EE 65/26
Indutância	230 $\mu$ H
Condutor utilizado	AWG 22
Número de espiras	32
Condutores em paralelo	15
Comprimento do chicote	4,742 m
Entreferro	1,486 mm

### 2.11.3 Formas de onda experimentais do conversor CC-CC Zeta-Sepic não isolado

A Figura 2.51 mostra a corrente nos indutores para a condição em que a corrente média é nula, ou seja, o conversor está operando no limiar dos modos de operação. Observe que o conversor não entra no modo de condução descontínua, característica dos conversores bidirecionais.

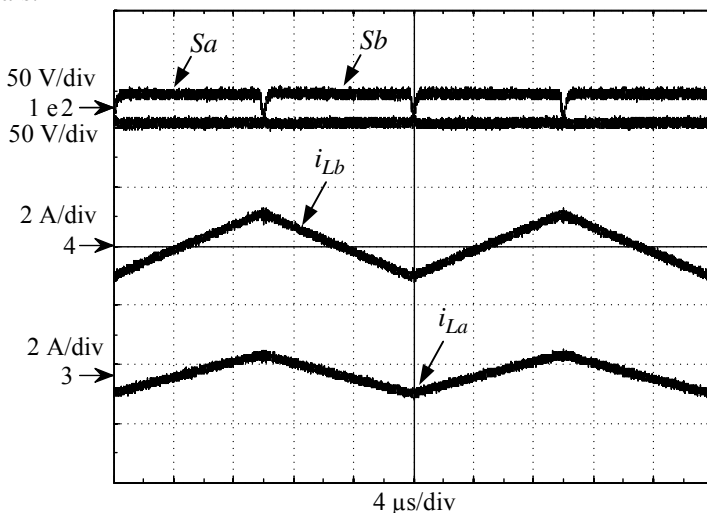


Figura 2.51 - Corrente nas indutâncias para a condição de corrente média nula.

A Figura 2.52 apresenta a tensão e a corrente no capacitor de transferência para a condição de transferência nula de energia.

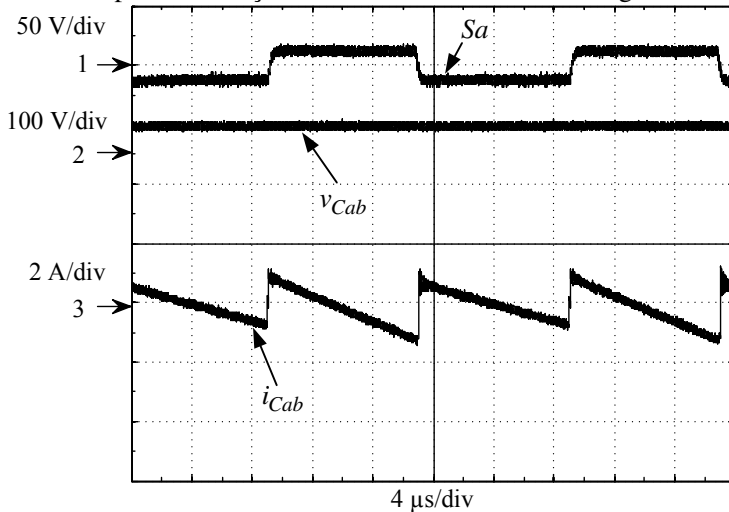


Figura 2.52 - Corrente e tensão no capacitor de transferência  $C_{ab}$  para o conversor operando no limiar dos modos de operação, ( $I_{Lb}=0$ ).

No mesmo ponto de operação, apresenta-se a tensão e corrente no interruptor  $S_b$ .

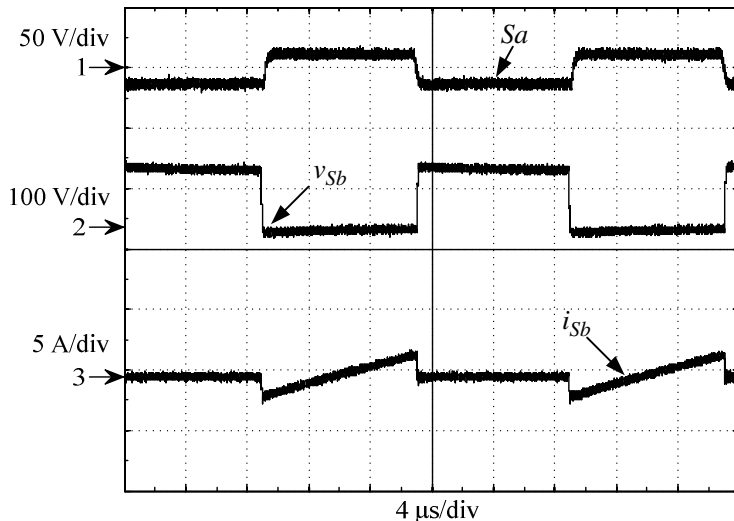


Figura 2.53 - Tensão e corrente no interruptor  $S_b$  para o conversor operando no ponto intermediário entre os modos de operação.

Utiliza-se a função matemática do osciloscópio para obter a corrente nos semicondutores para o conversor operando no modo Zeta.

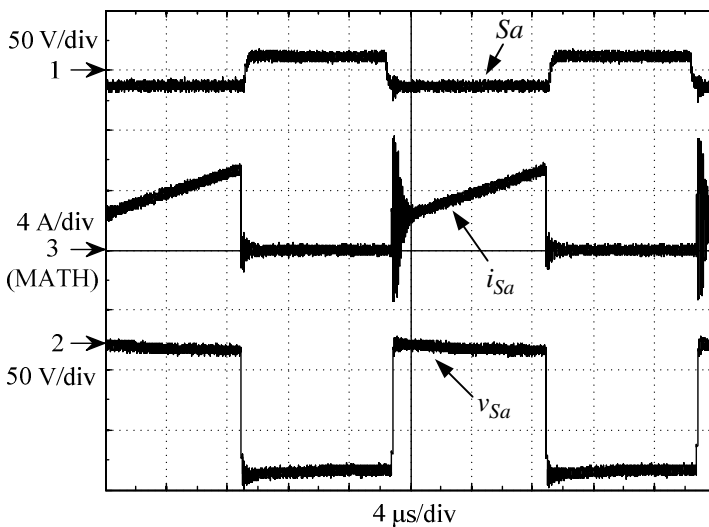


Figura 2.54 - Tensão e corrente no interruptor  $S_a$  para o conversor operando no modo Zeta.

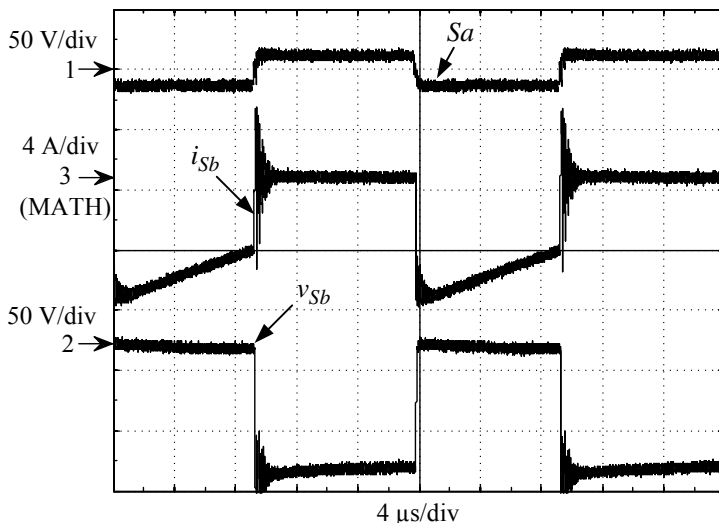


Figura 2.55 - Tensão e corrente no interruptor  $S_b$  para o conversor operando no modo Zeta.

#### 2.11.4 Validação da bidirecionalidade do conversor Zeta-Sepic não isolado

A validação experimental da bidirecionalidade do conversor Zeta-Sepic não isolado é realizada colocando o conversor a operar fornecendo potência em um sentido, e em seguida é aplicado um degrau de referência de forma a inverter o sentido do fluxo de potência. Pela forma como foram definidos os modos de operação do conversor, inverter o fluxo de potência significa trocar o modo de operação do conversor.

A Figura 2.56 apresenta a inversão do fluxo de potência do modo Zeta para modo Sepic. Ou seja, da fonte  $V_a$  fornecendo potência para a fonte  $V_b$  fornecendo potência.

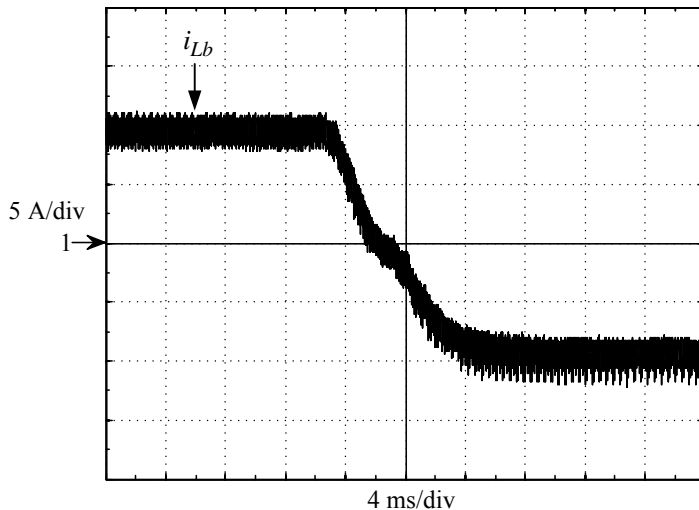


Figura 2.56 - Degrau de 200% na corrente  $i_{Lb}$  de 10A para -10A.

A Figura 2.57 apresenta a inversão do fluxo de potência do modo Sepic para modo Zeta. Ou seja, da fonte  $V_b$  fornecendo potência para a fonte  $V_a$  fornecendo potência.

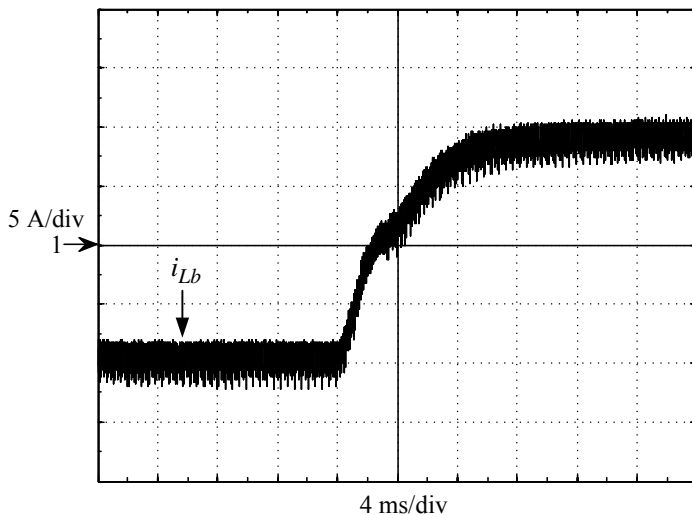


Figura 2.57 - Degrau de 200% na corrente  $i_{Lb}$  de -10A para 10A.



## 2.12 CONCLUSÃO

Este capítulo apresentou um estudo completo da versão não isolada do conversor CC-CC Zeta-Sepic, desde as etapas de operação até a comprovação experimental.

A utilização da técnica de modelagem em espaço de estados se mostrou bastante apropriada principalmente pela facilidade em obtenção dos modelos para o conversor operando em ambos os sentidos do fluxo de potência, além da praticidade em obter o modelo não ideal, no qual apenas parte da matriz de estados é modificada, reduzindo a probabilidade de erro durante o equacionamento.

A modelagem do conversor incluindo as resistências parasitas tem o efeito de tornar um sistema marginalmente estável em um sistema assintoticamente estável, reduzindo em muito a complexidade do projeto do controlador de corrente.

Os resultados experimentais obtidos validam a análise teórica realizada comprovando que o objetivo inicial foi alcançado.



---

---

### 3 CONVERSOR CC-CC ZETA-SEPIC BIDIRECIONAL ISOLADO COM GRAMPEAMENTO ATIVO

---

---

#### 3.1 INTRODUÇÃO

Estando finalizada a etapa de estudo do conversor CC-CC Zeta-Sepic não isolado, inicia-se o estudo da versão isolada do conversor.

Juntamente com a isolação, tem-se a indutância de dispersão do transformador, cuja energia armazenada deve ser processada de forma adequada, caso contrário, tem-se a destruição dos semicondutores.

Uma das formas de se processar esta energia é através de técnicas de grampeamento passivo. Pelo fato desta técnica dissipar a energia e por isso contribuir para um rendimento menor do conversor, neste trabalho, busca-se uma solução utilizando técnicas de grampeamento ativo.

Parte-se então das topologias Zeta e Sepic com grampeamento ativo. Da mesma forma, admite-se que a fusão das topologias é possível, e busca-se uma forma de comandar o conversor resultante desta fusão.

Definida a topologia e o comando dos interruptores, o caminho a ser seguido encontra as mesmas etapas do estudo realizado para a versão não isolada.

A modelagem em espaço de estados realizada no capítulo anterior não pode ser aproveitada para modelar o conversor com grampeamento ativo. A razão para isto está no fato de a corrente na indutância de dispersão ser descontínua no modo Sepic. Esta característica não impede a modelagem do conversor em espaço de estados, porém o torna mais complexo [24].

Diante do aumento na complexidade em se modelar o conversor, opta-se por uma metodologia baseada em identificação de sistemas, permitindo o estudo em malha fechada do conversor sem investir muito

tempo na obtenção do modelo dinâmico da planta de corrente ou de tensão.

Novamente, a comprovação da consistência do estudo em andamento é realizada através da construção de um protótipo.

### 3.2 ANÁLISE INICIAL DO CONVERSOR

A Figura 3.1, tem por objetivo atribuir nomes aos elementos da topologia proposta com base nas estruturas já conhecidas. Opta-se em chamar o elemento magnético responsável pela isolamento do conversor de indutores acoplados ao invés de transformador, devido à característica de acúmulo de energia.

Os indutores acoplados dividem o circuito em duas partes, chamadas de lado Zeta e lado Sepic. As fontes  $V_a$  e  $V_b$  são chamadas respectivamente de fonte Zeta e fonte Sepic.

Os interruptores (Chave+Diodo) principais ( $S_a$  e  $S_b$ ) seguem a mesma lógica, assim como os interruptores de grampeamento ( $S_c$  e  $S_d$ ).

Ao conjunto interruptor principal, mais interruptor de grampeamento, mais capacitor de grampeamento ( $C_{ca}$  ou  $C_{cb}$ ) atribui-se o nome de célula de grampeamento.  $L_c$  é a indutância de auxílio à comutação.

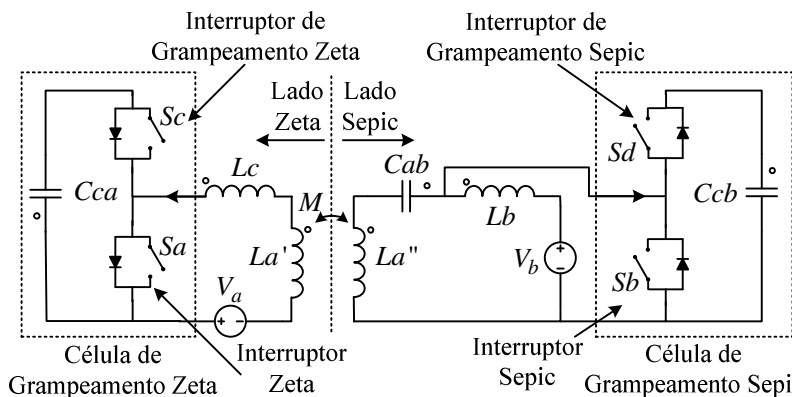


Figura 3.1- Nomenclatura utilizada para descrever o conversor Zeta-Sepic isolado com grampeamento ativo.

A partir da topologia apresentada e detalhada na Figura 3.1, o estudo subsequente é iniciado com a simplificação dos indutores acoplados, que consiste em referenciar para um dos lados, fato ilustrado na Figura 3.2. Por ser uma topologia bidirecional, evita-se a utilização de

termos tais como primário ou secundário e opta-se por atribuir nomes que remetem aos principais componentes das topologias bases.

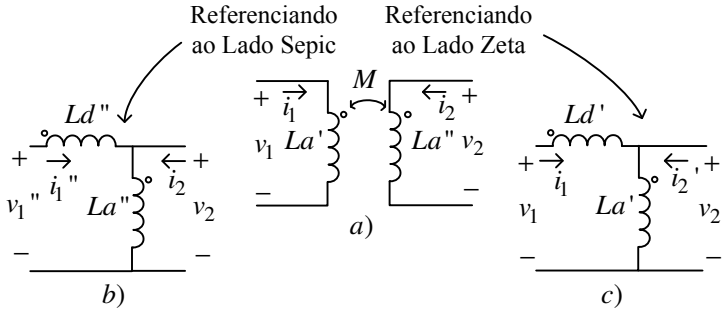


Figura 3.2 - Referenciando o circuito para um dos lados do conversor.

Equacionando o acoplamento magnético da Figura 3.2 a), tem-se:

$$v_1 = La' \frac{di_1}{dt} + M \frac{di_2}{dt} \quad (3.1)$$

$$v_2 = M \frac{di_1}{dt} + La'' \frac{di_2}{dt} \quad (3.2)$$

Para a configuração apresentada na Figura 3.3 a), as condições de tensão e corrente nos enrolamentos são:

$$\begin{aligned} v_1 + v_2 &= v \\ i_1 &= i_2 = i \end{aligned} \quad (3.3)$$

Substituindo (3.3) em (3.1) e (3.2):

$$v = \underbrace{(La' + La'' + 2M)}_{L_x} \frac{di}{dt} \quad (3.4)$$

Assim a indutância mutua é calculada por:

$$M = \frac{L_x - (La' + La'')}{2} \quad (3.5)$$

Para a configuração apresentada na Figura 3.3 b), as condições de tensão e corrente nos enrolamentos são:

$$\begin{aligned} v_2 - v_1 &= v \\ -i_1 &= i_2 = i \end{aligned} \quad (3.6)$$

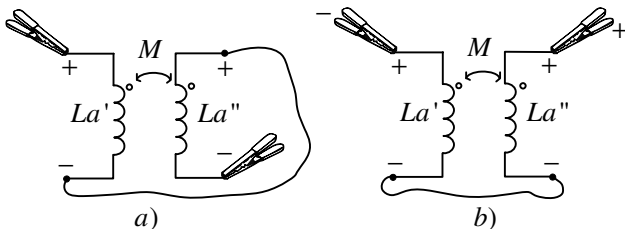


Figura 3.3 - Medição indireta da indutância mútua. Levando (3.1) e (3.2) em (3.6):

$$v = \underbrace{(La' + La'' - 2M)}_{L_y} \frac{di}{dt} \quad (3.7)$$

Assim a indutância mútua é calculada por:

$$M = \frac{La' + La'' - L_y}{2} \quad (3.8)$$

O fator de acoplamento é determinado por:

$$k = \frac{M}{\sqrt{La' \cdot La''}} \quad (3.9)$$

A relação de transformação Zeta para Sepic é obtida via equação (3.10).

$$n_{zs} = \sqrt{\frac{La''}{La'}} \quad (3.10)$$

As ilustrações na Figura 3.4 mostram como medir os parâmetros dos indutores acoplados, sendo similar à medição dos parâmetros dos transformadores monofásicos ou de dois enrolamentos. A vantagem desta metodologia de medição está em obter diretamente os valores aproximados das indutâncias referidas.

Na Figura 3.4, é apresentada uma maneira de medir de forma indireta a indutância mútua, servindo também para verificar a polaridade dos enrolamentos.

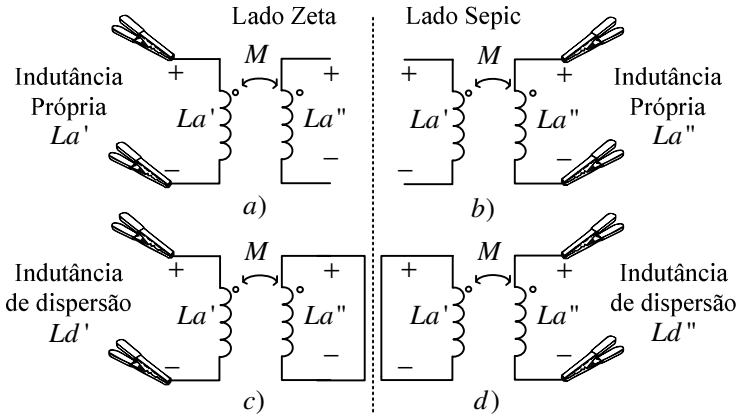


Figura 3.4 - Medição dos parâmetros dos indutores acoplados.

Pelo fato da principal variável de controle ser a corrente média na indutância  $L_b$  que pertence ao lado Sepic, refere-se o conversor ao lado Sepic. Definem-se como correntes de comutação as correntes que entram nas células de grampeamento ( $i_{CMTa}$  e  $i_{CMTb}$ ).

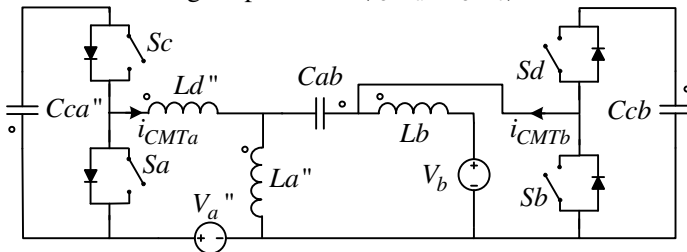


Figura 3.5- Conversor Zeta-Sepic isolado bidirecional referenciado ao lado Sepic.

### 3.2.1 Lógica de comando dos interruptores

A lógica de comando dos interruptores é definida tomando-se o interruptor  $S_a$  como referência, ou seja, sua razão de operação é a razão cíclica  $D$  do conversor. O interruptor  $S_b$  opera de forma complementar ao interruptor  $S_a$ , assim, a razão de operação de  $S_b$  é  $1-D$ . Define-se como tempo morto dos interruptores de grampeamento como sendo o tempo entre a abertura do interruptor principal ( $S_a$  ou  $S_b$ ) e o fechamento do interruptor de grampeamento correspondente ( $S_d$  ou  $S_c$ ). A Figura 3.6 detalha o comando dos interruptores e a área hachurada indica o tempo morto dos interruptores de grampeamento.

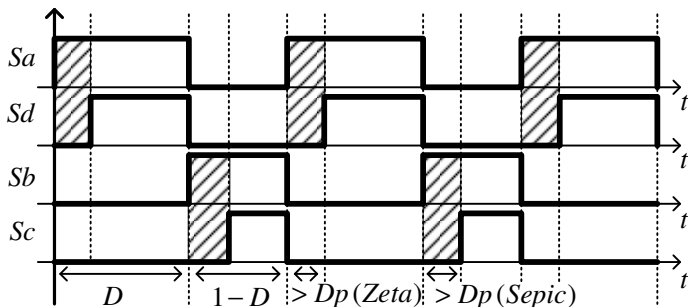


Figura 3.6 - Pulso de comando dos interruptores.

Os interruptores de grampeamento devem ser comandados com um tempo morto superior ao tempo da etapa de perda de razão cíclica.

### 3.2.2 Formas de onda do conversor CC-CC Zeta-Sepic com GA

A Figura 3.7 mostra as principais formas de onda do conversor Zeta-Sepic bidirecional não isolado operando no modo Zeta. Dentre elas, a principal é a corrente na indutância de dispersão, ou, corrente na célula de grampeamento Zeta.

A Figura 3.8 mostra as principais formas de onda do conversor Zeta-Sepic bidirecional não isolado operando no modo Sepic.



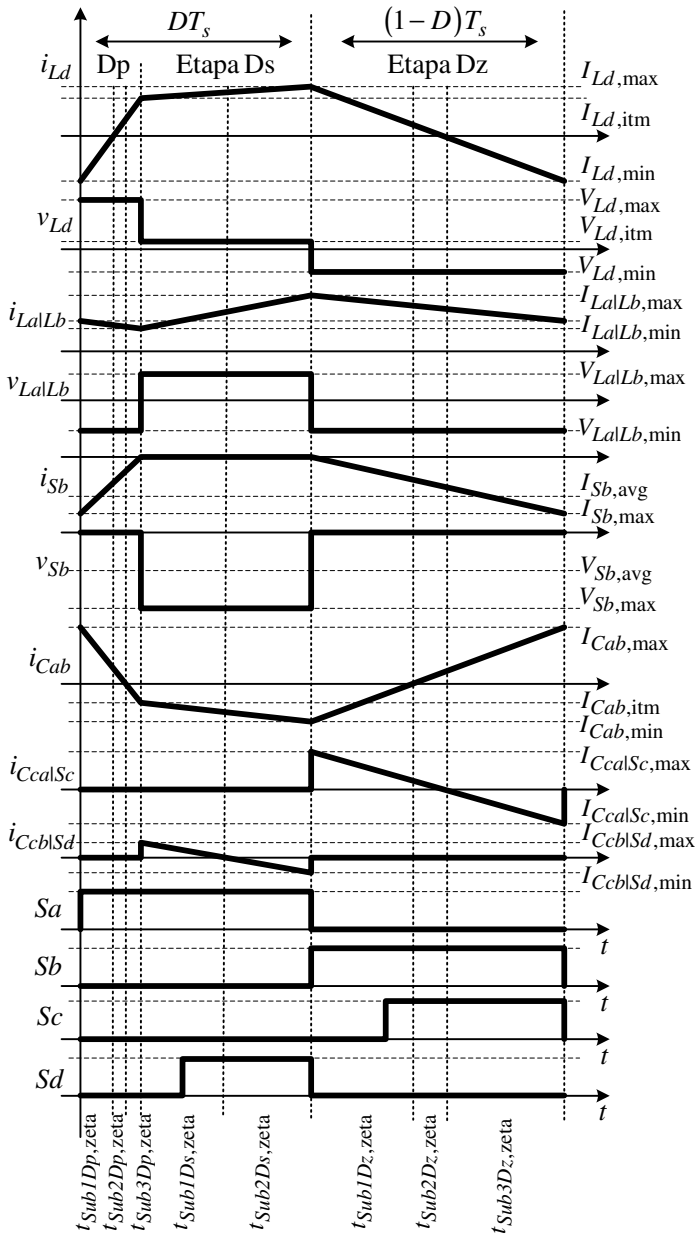


Figura 3.7 - Principais formas de onda do conversor CC-CC Zeta-Sepic com grameamento ativo operando no modo Zeta

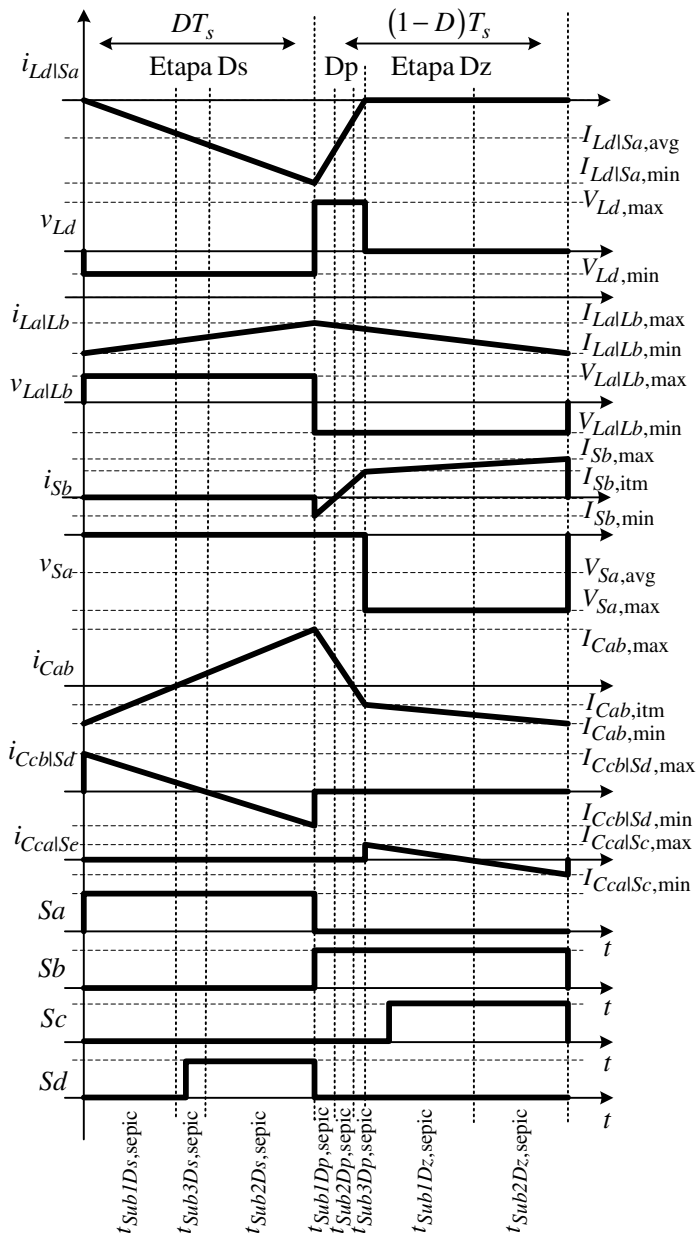


Figura 3.8 -- Principais formas de onda do conversor CC-CC Zeta-Sepic com grameamento ativo operando no modo Sepic

### 3.3 ETAPAS DE OPERAÇÃO DO CONVERSOR ZETA-SEPIC COM GA

Para um dado instante de operação do conversor idealizado, é possível equacionar um conjunto de equações que descrevam o comportamento das grandezas elétricas para um intervalo de tempo específico. Este intervalo de tempo em que o conjunto de equações se mantém constante chama-se de etapa de operação. Chama-se de sub-etapa de operação, o intervalo de tempo dentro da etapa de operação na qual o sentido das correntes nos componentes se mantém constante. Esta classificação permite simplificar e fragmentar o estudo de configurações mais complexas, por exemplo, o *interleaving*, que será estudado no próximo capítulo.

O estudo das etapas de operação é semelhante ao apresentado para a versão não isolada. Assim, mantém-se o conceito do conversor operando no modo Zeta ou no modo Sepic. Desconsiderando o tempo morto entre os pulsos complementares, ambos os modos de operação possuem três estados topológicos distintos.

O nome de cada etapa de operação é definido com base na razão cíclica do sistema e da corrente  $i_{Lb}$ .

A etapa pelo qual seu tempo é definido pela perda de razão cíclica é chamada de etapa  $Dp$ , cujo tempo percentual ao período de comutação é  $Dp$ .

A etapa pelo qual seu tempo é definido pela razão cíclica do sistema no modo Sepic é chamada de etapa  $Ds$ , cujo tempo percentual ao período de comutação é  $Ds$ .

A etapa pelo qual seu tempo é definido pela razão cíclica complementar do sistema no modo Zeta é chamada de etapa  $Dz$ , cujo tempo percentual ao período de comutação é  $Dz$ .

#### 3.3.1 Ordem e duração das etapas de operação

Dependendo do sentido do fluxo de potência, o conversor Zeta-Sepic opera de forma similar ao conversor Sepic com grameamento ativo (fonte  $V_b$  fornecendo energia) ou ao conversor Zeta com grameamento ativo (fonte  $V_a$  fornecendo energia).

O ciclo de operação apresenta três etapas, assim o somatório das razões cíclicas de cada etapa é unitário.

$$Dp + Ds + Dz = 1 \quad (3.11)$$

##### 3.3.1.1 Conversor operando no modo Sepic

A Figura 3.9 detalha o comando dos interruptores para o conversor operando no modo Sepic. A sequência das etapas é  $Ds$ - $Dp$ - $Dz$ ,

isso significa que tendo o pulso em  $S_a$  como referência, a etapa  $D_s$  é seguida da etapa  $D_p$  e esta seguida pela etapa  $D_z$ .

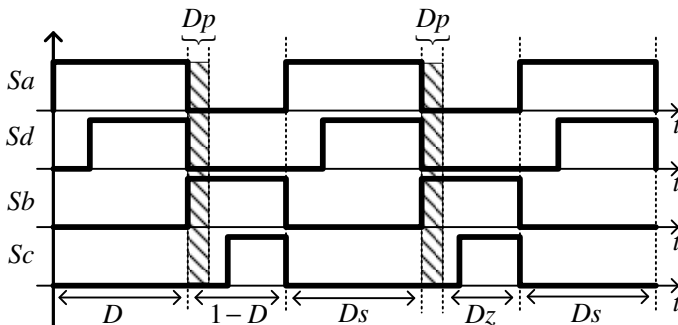


Figura 3.9 - Comando do conversor Zeta-Sepic com GA no Modo Sepic.

### 3.3.1.2 Conversor operando no modo Zeta

A Figura 3.10 detalha o comando dos interruptores para o conversor operando no modo Zeta. A sequência das etapas é  $D_p$ - $D_s$ - $D_z$ , isso significa que tendo o pulso em  $S_a$  como referência, a etapa  $D_p$  é seguida da etapa  $D_s$  e esta seguida pela etapa  $D_z$ .

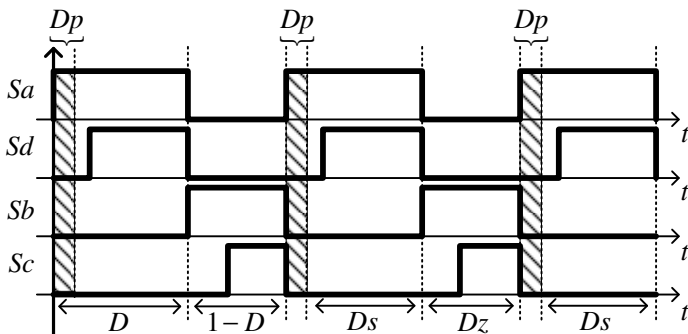


Figura 3.10 - Comando do conversor Zeta-Sepic com GA no Modo Zeta.

### 3.3.2 Etapa $D_p$ – Perda de razão cíclica

Esta etapa é uma etapa comum dos conversores com grampeamento ativo, chamada de etapa de perda de razão cíclica. Para o conversor Zeta-Sepic não isolado, o ganho efetivo é calculado pela relação entre razão cíclica e o seu complementar. Com o grampeamento ativo, este ganho sofre um decréscimo, ou uma perda de razão cíclica que depende dos parâmetros do circuito e do ponto de operação do conversor.

Durante esta etapa, os interruptores  $S_a$  e  $S_b$  estão conduzindo enquanto os interruptores  $S_c$  e  $S_d$  estão bloqueados e submetidos a uma tensão reversa igual a tensão de grameamento dos capacitores  $C_{ca}$  e  $C_{cb}$  respectivamente.

As derivadas de corrente nas indutâncias  $L_a$  e  $L_b$  assim como na capacitância  $C_{ab}$  são negativas, enquanto que a derivada da corrente na indutância de dispersão é positiva.

Observe que no desenho dos interruptores  $S_a$  e  $S_b$  ambos os elementos (Chave e diodo) estão conduzindo, servindo apenas para ilustrar a etapa de operação, sendo esta uma sobreposição das sub-etapas correspondentes para ambos os modos de operação do conversor.

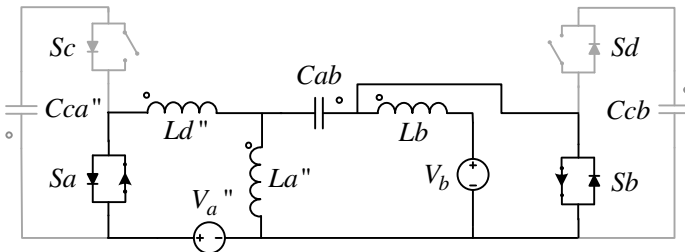


Figura 3.11 - Etapa Dp conversor Zeta-Sepic isolado com GA.

As tensões sobre as indutâncias e a corrente nas capacitâncias:

$$\begin{cases} v_{L_a}'' = -v_{C_{ab}} \\ v_{L_d}'' = v_a'' + v_{C_{ab}} \\ v_{L_b} = -v_b \\ i_{C_{ab}} = i_{L_a}'' - i_{L_d}'' \\ i_{C_{ca}}'' = 0 \\ i_{C_{cb}} = 0 \end{cases} \quad (3.12)$$

As resistências são novamente consideradas, e os valores das tensões sobre as indutâncias são atualizadas em (3.13).

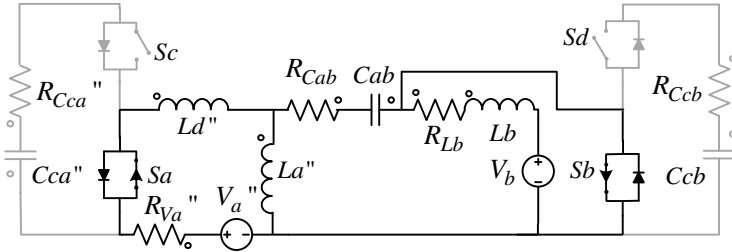


Figura 3.12 - Etapa Dp conversor Zeta-Sepic isolado com GA considerando resistências.

$$\begin{cases} v_{La}'' = -v_{Cab} - (i_{La}'' - i_{Ld}'') \cdot R_{Cab} \\ v_{Ld}'' = v_a'' + v_{Cab} - i_{Ld}'' \cdot R_{Va}'' + (i_{La}'' - i_{Ld}'') \cdot R_{Cab} \\ v_{Lb} = -v_b - i_{Lb} \cdot R_{Lb} \end{cases} \quad (3.13)$$

### 3.3.3 Etapa Ds – Definida por D no modo Sepic

Durante esta etapa, os interruptores *Sa* e *Sd* estão conduzindo enquanto os interruptores *Sc* e *Sb* estão bloqueados e submetidos a uma tensão reversa igual a tensão de grampeamento dos capacitores *Cca* e *Ccb* respectivamente.

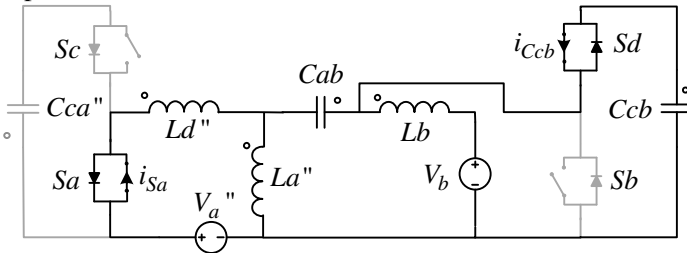


Figura 3.13 - Etapa Ds do conversor Zeta-Sepic isolado com GA.

As tensões sobre as indutâncias e correntes nas capacitâncias:

$$\begin{cases} v_{La}'' = v_{Ccb} - v_{Cab} \\ v_{Ld}'' = v_a'' + v_{Cab} - v_{Ccb} \\ v_{Lb} = v_{Ccb} - v_b \\ i_{Cab} = i_{La}'' - i_{Ld}'' \\ i_{Cca}'' = 0 \\ i_{Ccb} = i_{Ld}'' - i_{La}'' - i_{Lb} \end{cases} \quad (3.14)$$

A Figura 3.14 apresenta as resistências parasitas envolvidas nesta etapa de operação.

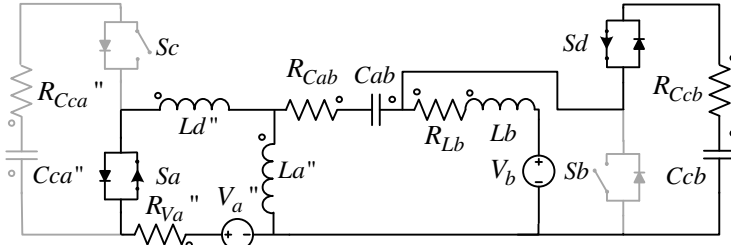


Figura 3.14 - Etapa Ds do conversor Zeta-Sepic isolado com GA considerando resistências.

Em (3.15), tem-se os valores atualizados para as tensões sobre as indutâncias.

$$\begin{cases}
 v_{La}'' = v_{Ccb} + R_{Ccb} \cdot i_{Ccb} - v_{Cab} - i_{Cab} \cdot R_{Cab} \\
 v_{Ld}'' = v_a'' + v_{Cab} - v_{Ccb} - i_{Ld} \cdot R_{Va}'' + \\
 \quad + i_{Cab} \cdot R_{Cab} - R_{Ccb} \cdot i_{Ccb} \\
 v_{Lb} = v_{Ccb} - v_b - i_{Lb} \cdot R_{Lb} + R_{Ccb} \cdot i_{Ccb}
 \end{cases} \quad (3.15)$$

### 3.3.4 Etapa Dz – Definida por (1-D) no modo Zeta

Os interruptores  $S_b$  e  $S_c$  estão conduzindo enquanto os interruptores  $S_a$  e  $S_d$  estão bloqueados e submetidos a uma tensão reversa igual a tensão de grampeamento dos capacitores  $C_{ca}$  e  $C_{cb}$  respectivamente.

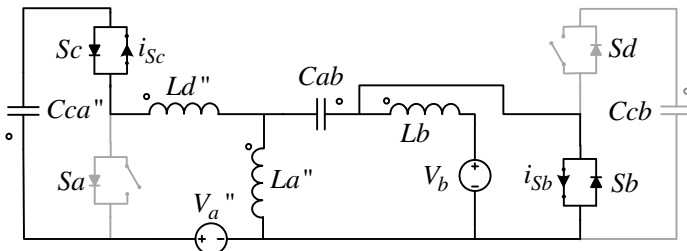


Figura 3.15 - Etapa Dz do conversor Zeta-Sepic isolado com GA.

As tensões sobre as indutâncias e correntes nas capacitâncias para a etapa Dz de operação, são listadas em (3.16).

$$\begin{cases} v_{La}'' = -v_{Cab} \\ v_{Ld}'' = v_a'' + v_{Cab} - v_{Cca}'' \\ v_{Lb} = -v_b \\ i_{Cab} = i_{La}'' - i_{Ld}'' \\ i_{Cca}'' = i_{Ld}'' \\ i_{Ccb} = 0 \end{cases} \quad (3.16)$$

A figura abaixo mostra o circuito equivalente da etapa Dz considerando as resistências dos componentes.

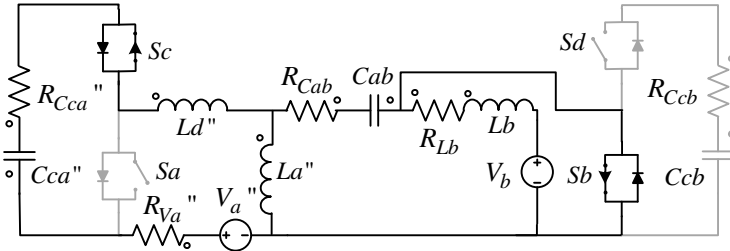


Figura 3.16 - Etapa Dz do conversor Zeta-Sepic isolado com GA considerando resistências.

Atualizando apenas o valor das tensões em (3.16) tem-se (3.17).

$$\begin{cases} v_{La}'' = -v_{Cab} - i_{Cab} \cdot R_{Cab} \\ v_{Ld}'' = v_a'' + v_{Cab} - i_{Ld} \cdot R_{Va}'' + \\ + i_{Cab} \cdot R_{Cab} - v_{Cca}'' - R_{Cca}'' \cdot i_{Ld}'' \\ v_{Lb} = -v_b - i_{Lb} \cdot R_{Lb} \end{cases} \quad (3.17)$$

### 3.3.5 Equações dos estados topológicos na forma matricial

Mantendo a forma matricial de se representar as equações do sistema, define-se a matriz  $\mathbf{K}$  em (3.18) contendo as indutâncias e capacitâncias do sistema.

$$\mathbf{K} = \begin{bmatrix} La'' & 0 & 0 & 0 & 0 & 0 \\ 0 & Ld'' & 0 & 0 & 0 & 0 \\ 0 & 0 & Lb & 0 & 0 & 0 \\ 0 & 0 & 0 & Cab & 0 & 0 \\ 0 & 0 & 0 & 0 & Cca'' & 0 \\ 0 & 0 & 0 & 0 & 0 & Ccb \end{bmatrix} \quad (3.18)$$



Observe que a matriz (3.18) pode ser dividida em 4 sub matrizes, uma contendo as indutâncias em sua diagonal com demais elementos nulos, outra contendo as capacitâncias com demais elementos nulos, e as duas sub matrizes restantes são nulas. Esta subdivisão também é válida para matriz de estados, cuja subdivisão é apresentada em (3.19).

$$\mathbf{Ax}_{6 \times 6} = \underbrace{\begin{bmatrix} [\mathbf{Ax}_1]_{3 \times 3} & [\mathbf{Ax}_2]_{3 \times 3} \\ [\mathbf{Ax}_3]_{3 \times 3} & [\mathbf{Ax}_4]_{3 \times 3} \end{bmatrix}}_{\mathbf{Ax}} \quad (3.19)$$

### 3.3.5.1 Etapa Dp

Agrupando as equações (3.12) sob a forma matricial, obtém-se (3.20).

$$\mathbf{K} \frac{d}{dt} \begin{bmatrix} i_{La}'' \\ i_{Ld}'' \\ i_{Lb}'' \\ v_{Cab}'' \\ v_{Cca}'' \\ v_{Ccb}'' \end{bmatrix} = \underbrace{\begin{bmatrix} 0 & 0 & 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}}_{\mathbf{Ap}} \begin{bmatrix} i_{La}'' \\ i_{Ld}'' \\ i_{Lb}'' \\ v_{Cab}'' \\ v_{Cca}'' \\ v_{Ccb}'' \end{bmatrix} + \underbrace{\begin{bmatrix} 0 & 0 \\ 1 & 0 \\ 0 & -1 \\ 0 & 0 \\ 0 & 0 \\ 0 & 0 \end{bmatrix}}_{\mathbf{Bp}} \begin{bmatrix} v_a'' \\ v_b'' \end{bmatrix} \quad (3.20)$$

Considerando-se as perdas, apenas a sub-matriz  $\mathbf{Ap}_1$  é modificada:

$$\mathbf{Ap}_1 = \begin{bmatrix} -R_{Cab} & R_{Cab} & 0 \\ R_{Cab} & -R_{Cab} - R_{Va}'' & 0 \\ 0 & 0 & -R_{Lb} \end{bmatrix} \quad (3.21)$$

### 3.3.5.2 Etapa Ds

Da mesma maneira, agrupando-se as equações (3.14) sob a forma matricial, obtém-se (3.22).

$$\mathbf{K} \frac{d}{dt} \begin{bmatrix} i_{La}'' \\ i_{Ld}'' \\ i_{Lb}'' \\ v_{Cab}'' \\ v_{Cca}'' \\ v_{Ccb}'' \end{bmatrix} = \underbrace{\begin{bmatrix} 0 & 0 & 0 & -1 & 0 & 1 \\ 0 & 0 & 0 & 1 & 0 & -1 \\ 0 & 0 & 0 & 0 & 0 & 1 \\ 1 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ -1 & 1 & -1 & 0 & 0 & 0 \end{bmatrix}}_{\mathbf{As}} \begin{bmatrix} i_{La}'' \\ i_{Ld}'' \\ i_{Lb}'' \\ v_{Cab}'' \\ v_{Cca}'' \\ v_{Ccb}'' \end{bmatrix} + \underbrace{\begin{bmatrix} 0 & 0 \\ 1 & 0 \\ 0 & -1 \\ 0 & 0 \\ 0 & 0 \\ 0 & 0 \end{bmatrix}}_{\mathbf{Bs}} \begin{bmatrix} v_a'' \\ v_b'' \end{bmatrix}$$

Para o caso com perdas, atualiza-se (3.22) com (3.23).

$$\mathbf{As}_1 = \begin{bmatrix} -R_{Ccb} - R_{Cab} & R_{Ccb} + R_{Cab} & -R_{Ccb} \\ R_{Ccb} + R_{Cab} & -R_{Cab} - R_{Va}'' - R_{Ccb} & R_{Ccb} \\ -R_{Ccb} & -R_{Ccb} & -R_{Ccb} - R_{Lb} \end{bmatrix} \quad (3.23)$$

### 3.3.5.3 Etapa Dz

Analogamente, agrupando-se as equações (3.16) sob a forma matricial, obtém-se (3.24).

$$\mathbf{K} \frac{d}{dt} \begin{bmatrix} i_{La}'' \\ i_{Ld}'' \\ i_{Lb} \\ v_{Cab} \\ v_{Cca}'' \\ v_{Ccb} \end{bmatrix} = \underbrace{\begin{bmatrix} 0 & 0 & 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & 1 & -1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}}_{\mathbf{Az}} \begin{bmatrix} i_{La}'' \\ i_{Ld}'' \\ i_{Lb} \\ v_{Cab} \\ v_{Cca}'' \\ v_{Ccb} \end{bmatrix} + \underbrace{\begin{bmatrix} 0 & 0 \\ 1 & 0 \\ 0 & -1 \\ 0 & 0 \\ 0 & 0 \\ 0 & 0 \end{bmatrix}}_{\mathbf{Bz}} \begin{bmatrix} v_a'' \\ v_b \end{bmatrix} \quad (3.24)$$

Para o caso com perdas, atualiza-se (3.24) com (3.25).

$$\mathbf{Az}_1 = \begin{bmatrix} -R_{Cab} & R_{Cab} & 0 \\ R_{Cab} & -R_{Cab} - R_{Va}'' - R_{Cca} & 0 \\ 0 & 0 & -R_{Lb} \end{bmatrix} \quad (3.25)$$

## 3.4 SUB-ETAPAS DE OPERAÇÃO DO CONVERSOR ZETA-SEPIC COM GRAMPEAMENTO ATIVO

### 3.4.1 Conversor Zeta-Sepic operando no modo Zeta

Apresenta-se as sub-etapas relativas ao conversor Zeta-Sepic com grameamento ativo operando no modo Zeta.

#### 3.4.1.1 Sub-etapa 1 da etapa Dp no modo Zeta

Esta sub-etapa se inicia no instante em que o interruptor de grameamento  $Sc$  é comandado a abrir. Para a condição de inexistência de tempo morto entre os pulsos  $Sa$  e  $Sb$ , este instante se confunde com o instante em que o interruptor  $Sa$  é comandado a conduzir. Esta sub-etapa termina no instante em que a corrente se anula na indutância de dispersão. Observe que o tempo morto configurado entre os interruptores  $Sa$  e  $Sb$  deve ser menor que o tempo desta sub-etapa.

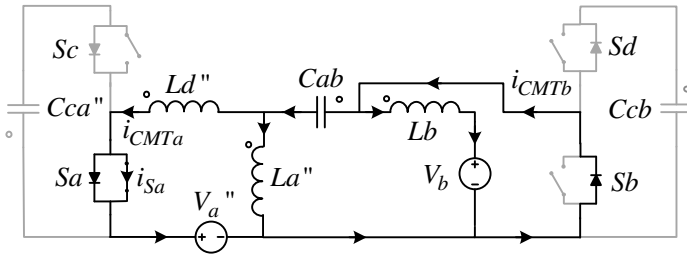


Figura 3.17 – Sub-etape 1 da etapa Dp do conversor Zeta-Sepic isolado com GA operando no modo Zeta.

#### 3.4.1.2 Sub-etape 2 da etapa Dp no modo Zeta

Esta sub-etape se inicia no instante em que a indutância de dispersão para a ser magnetizada. Esta sub-etape termina no instante em que o valor da corrente de magnetização da indutância de dispersão se iguala ao valor da corrente presente na indutância  $L_a$ .

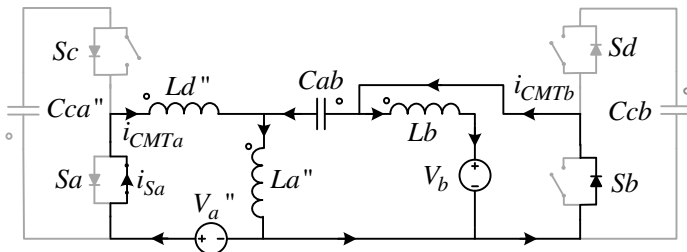


Figura 3.18 - Sub-etape 2 da etapa Dp do conversor Zeta-Sepic isolado com GA operando no modo Zeta.

#### 3.4.1.3 Sub-etape 3 da etapa Dp no modo Zeta

Esta sub-etape se inicia no instante em que o valor da corrente na indutância de dispersão se torna maior que o valor da corrente na indutância  $L_a$ . Esta sub-etape termina no instante em que o valor da corrente na indutância de dispersão se torna igual a soma do valor das correntes nas indutâncias  $L_a$  e  $L_b$  ou no instante em que a corrente  $i_{Sb}$  se anula.

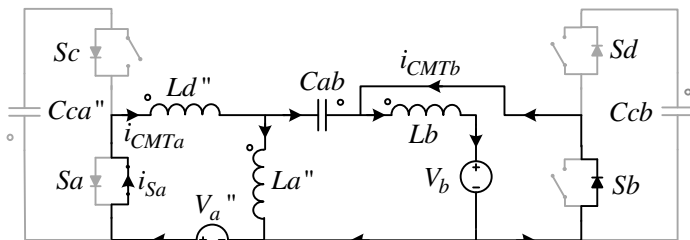


Figura 3.19 - Sub-etapa 3 da etapa Dp do conversor Zeta-Sepic isolado com GA operando no modo Zeta.

### 3.4.1.4 Sub-etapa 1 da etapa Ds no modo Zeta

Esta sub-etapa se inicia no instante em que o valor da corrente na indutância de dispersão se torna igual que o somatório do valor das correntes nos indutores  $L_a$  e  $L_b$ , invertendo o sentido da corrente no interruptor  $S_b$  que se encontra aberto e polarizando diretamente o diodo do interruptor de grampeamento  $S_d$ . Esta sub-etapa termina no instante em que a corrente se anula no diodo do interruptor de grampeamento  $S_d$ . Observe que o tempo morto configurado entre os interruptores  $S_a$  e  $S_d$  deve ser menor que o tempo desta sub-etapa.

As derivadas de corrente nas indutâncias são positivas, enquanto que a derivada da corrente na capacitância  $Cab$  é negativa.

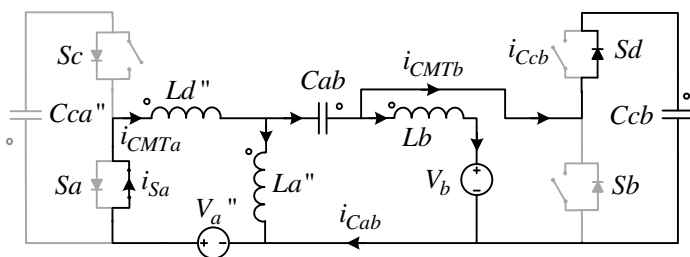


Figura 3.20 - Sub-etapa 1 da etapa Ds do conversor Zeta-Sepic isolado com GA operando no modo Zeta.

### 3.4.1.5 Sub-etapa 2 da etapa Ds no modo Zeta

Esta sub-etapa se inicia no instante em que o valor da corrente na indutância de dispersão se torna menor que o somatório do valor das correntes nos indutores  $L_a$  e  $L_b$ , invertendo o sentido da corrente no interruptor de grampeamento  $S_d$ . Esta sub-etapa termina no instante em que o interruptor  $S_a$  é comandado a abrir.

As derivadas de corrente nas indutâncias são positivas, enquanto que a derivada da corrente na capacitância  $C_{ab}$  é negativa.

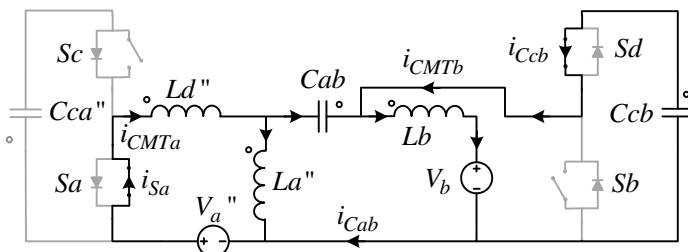


Figura 3.21 – Sub-etapa 2 da etapa Ds do conversor Zeta-Sepic isolado com GA operando no modo Zeta.

#### 3.4.1.6 Sub-etapa 1 da etapa Dz no modo Zeta

Esta sub-etapa se inicia no instante em que o interruptor  $S_a$  é comandado a abrir, polarizando diretamente o diodo do interruptor de grameamento Zeta  $S_c$ . Observe que devido ao fato dos interruptores  $S_a$  e  $S_d$  serem descomandados ao mesmo tempo, o diodo do interruptor  $S_b$  é polarizado diretamente e passa a conduzir. Esta sub-etapa termina no instante em que a corrente na indutância de dispersão se iguala a corrente na indutância  $L_a$ .

Durante esta sub-etapa ocorre a carga do capacitor de grameamento Zeta  $C_{ca}$ . A derivada de corrente nas indutâncias é negativa, enquanto que a capacitância  $C_{ab}$  é positiva.

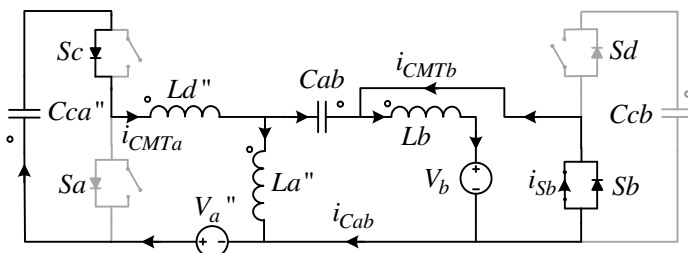


Figura 3.22 - Sub-etapa 1 da etapa Dz do conversor Zeta-Sepic isolado com GA operando no modo Zeta.

#### 3.4.1.7 Sub-etapa 2 da etapa Dz no modo Zeta

Esta sub-etapa se inicia no instante em que a corrente na indutância de dispersão se iguala a corrente na indutância  $L_a$ . Esta sub-etapa

termina no instante em que a corrente na indutância de dispersão se anula.

Durante esta sub-etapa ocorre a carga do capacitor de grampeamento Zeta  $Cca$ . A derivada de corrente nas indutâncias é negativa, enquanto que a capacitância  $Cab$  é positiva.

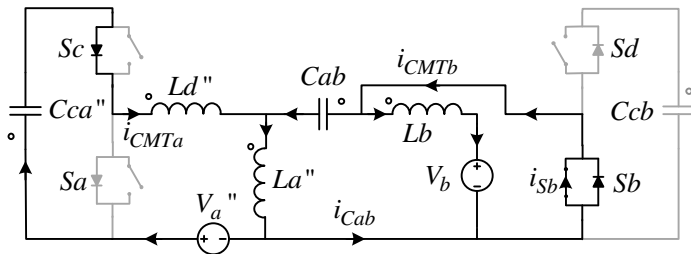


Figura 3.23 – Sub-etapa 2 da etapa Dz do conversor Zeta-Sepic isolado com GA operando no modo Zeta.

### 3.4.1.8 Sub-etapa 3 da etapa Dz no modo Zeta

Esta sub-etapa se inicia no instante em que a corrente na indutância de dispersão se anula. Esta sub-etapa termina no instante em que o interruptor de grampeamento Zeta  $Sc$  é comandado a abrir.

Durante esta sub-etapa ocorre a descarga do capacitor de grampeamento Zeta  $Cca$ . A derivada de corrente nas indutâncias é negativa, enquanto que a da capacitância  $Cab$  é positiva.

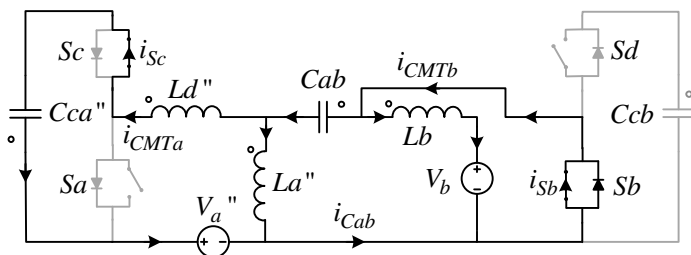


Figura 3.24 – Sub-etapa 3 da etapa Dz do conversor Zeta-Sepic isolado com GA operando no modo Zeta.

## 3.4.2 Conversor Zeta-Sepic operando no modo Sepic

Apresenta-se as sub-etapas relativas ao conversor Zeta-Sepic com grampeamento ativo operando no modo Sepic.

### 3.4.2.1 Sub-etapa 1 da etapa Ds no modo Sepic

Esta sub-etapa se inicia no instante em que o interruptor  $S_b$  é comandado a abrir, polarizando diretamente o diodo do interruptor de grameamento Sepic  $S_d$ . Esta sub-etapa termina no instante em que a corrente no capacitor de transferência  $C_{ab}$  se anula.

As derivadas de corrente nas indutâncias  $L_a$  e  $L_b$  assim como na capacitância  $C_{ab}$  são positivas, enquanto que a derivada da corrente na indutância de dispersão é negativa.

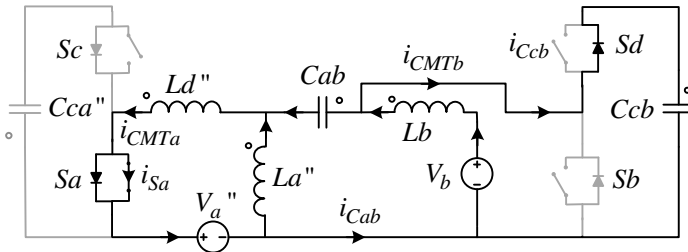


Figura 3.25 - Sub-etapa 1 da etapa Ds do conversor Zeta-Sepic isolado com GA operando no modo Sepic.

### 3.4.2.2 Sub-etapa 2 da etapa Ds no modo Sepic

Esta sub-etapa se inicia no instante em que a corrente no capacitor de transferência  $C_{ab}$  se anula que equivale ao instante em que o valor da corrente na indutância de dispersão se iguala ao valor da corrente no indutor  $L_a$ . Esta sub-etapa termina no instante em que a corrente no capacitor de grameamento Sepic  $C_{cb}$  se anula.

Durante esta etapa ocorre a carga do capacitor de grameamento Sepic  $C_{cb}$ . As indutâncias fornecem energia assim como a capacitância  $C_{ab}$ .

As derivadas de corrente nas indutâncias  $L_a$  e  $L_b$  assim como na capacitância  $C_{ab}$  são positivas, enquanto que a derivada da corrente na indutância de dispersão é negativa.

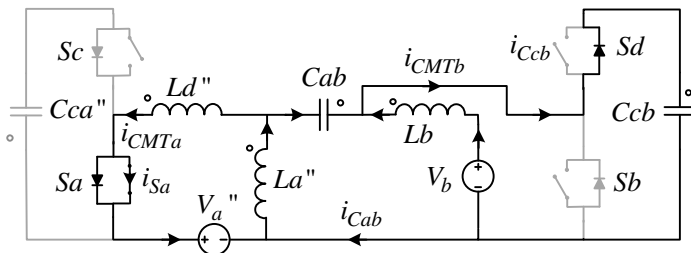


Figura 3.26 - Sub-etapa 2 da etapa Ds do conversor Zeta-Sepic isolado com GA operando no modo Sepic.

### 3.4.2.3 Sub-etapa 3 da etapa Ds no modo Sepic

Esta sub-etapa se inicia no instante em que a corrente na indutância de dispersão se iguala ao somatório da corrente nos indutores  $L_a$  e  $L_b$ , sendo equivalente ao instante em que a corrente no capacitor de grampeamento Sepic  $C_{cb}$  se anula. Esta sub-etapa termina no instante em que o interruptor de grampeamento Sepic  $S_d$ , é comandado a abrir.

Durante esta sub-etapa ocorre a descarga do capacitor de grampeamento Sepic  $C_{cb}$ . As indutâncias fornecem energia assim como a capacitância  $C_{ab}$ .

As derivadas de corrente nas indutâncias  $L_a$  e  $L_b$  assim como na capacitância  $C_{ab}$  são positivas, enquanto que a derivada da corrente na indutância de dispersão é negativa.

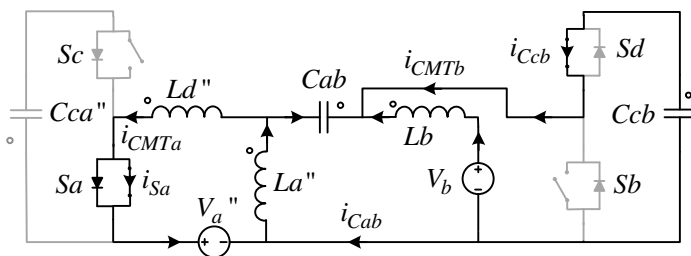


Figura 3.27 - Sub-etapa 3 da etapa Ds do conversor Zeta-Sepic isolado com GA operando no modo Sepic.

### 3.4.2.4 Sub-etapa 1 da etapa Dp no modo Sepic

Esta sub-etapa se inicia no instante em que o interruptor de grampeamento  $S_d$  é comandado a abrir. Para a condição de inexistência de tempo morto entre os pulsos  $S_a$  e  $S_b$ , este instante se confunde com o instante em que o interruptor  $S_b$  é comandado a conduzir. Esta sub-etapa



termina no instante em que a corrente se anula no interruptor  $S_b$ . Observe que o tempo morto configurado entre os interruptores  $S_a$  e  $S_b$  deve ser menor que o tempo desta sub-etapa.

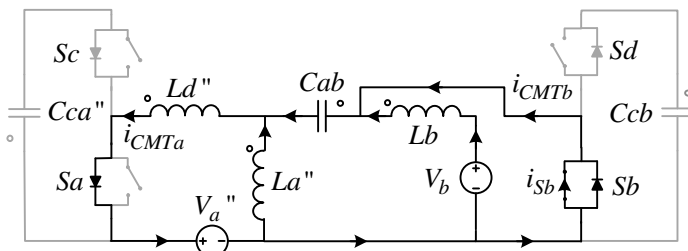


Figura 3.28 – Sub-etapa 1 da etapa Dp do conversor Zeta-Sepic isolado com GA operando no modo Sepic.

#### 3.4.2.5 Sub-etapa 2 da etapa Dp no modo Sepic

Esta sub-etapa se inicia no instante em que o valor da corrente na indutância de dispersão se equipara ao somatório do valor das correntes nas indutâncias  $L_a$  e  $L_b$ , ou seja, quando a corrente no interruptor  $S_b$  se torna positiva. Esta sub-etapa termina no instante em que o valor da corrente de desmagnetização da indutância de dispersão se iguala ao valor da corrente na indutância  $L_a$ .

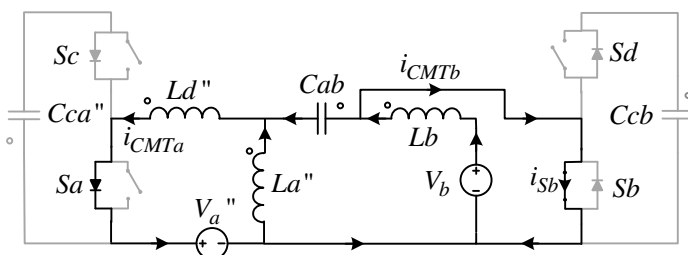


Figura 3.29 - Sub-etapa 2 da etapa Dp do conversor Zeta-Sepic isolado com GA operando no modo Sepic.

#### 3.4.2.6 Sub-etapa 3 da etapa Dp no modo Sepic

Esta sub-etapa se inicia no instante em que o valor da corrente na indutância de dispersão se equipara ao valor da corrente na indutância  $L_a$ , ou seja, quando a corrente no capacitor  $Cab$  se torna positiva. Esta sub-etapa termina no instante em que o valor da corrente de desmagnetização da indutância de dispersão se anula.

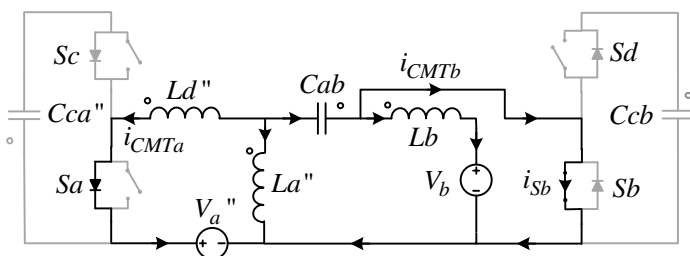


Figura 3.30 - Sub-etapa 3 da etapa Dp do conversor Zeta-Sepic isolado com GA operando no modo Sepic.

### 3.4.2.7 Sub-etapa 1 da etapa Dz no modo Sepic

Esta sub-etapa se inicia no instante em que a corrente na indutância de dispersão se anula, polarizando diretamente o diodo do interruptor de grameamento Zeta  $Cca$ . Esta sub-etapa termina no instante em que a corrente interruptor de grameamento Zeta  $Sc$  se torna positiva.

As derivadas de corrente nas indutâncias assim como na capacitância  $Cab$  são negativas.

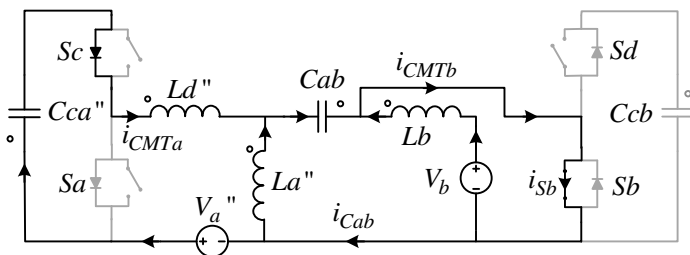


Figura 3.31 – Sub-etapa 1 da etapa Dz do conversor Zeta-Sepic isolado com GA operando no modo Sepic.

### 3.4.2.8 Sub-etapa 2 da etapa Dz no modo Sepic

Esta sub-etapa se inicia no instante em que a corrente interruptor de grameamento Zeta  $Sc$  se torna positiva. Esta sub-etapa termina no instante em que o interruptor  $Sb$  é comandado a abrir, polarizando o diodo do interruptor de grameamento Sepic.

As derivadas de corrente nas indutâncias assim como na capacitância  $Cab$  são negativas.

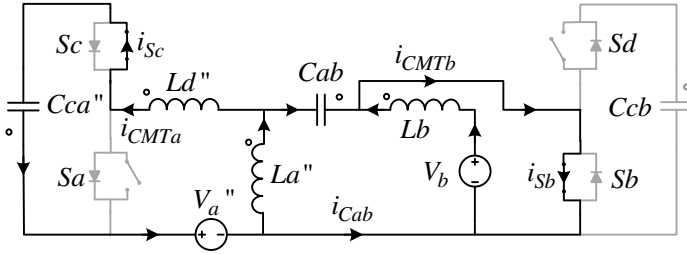


Figura 3.32 - Sub-etapa 2 da etapa Dz do conversor Zeta-Sepic isolado com GA operando no modo Sepic.

### 3.5 EQUACIONAMENTO E PROJETO DO ESTÁGIO DE POTÊNCIA

Com a topologia, as etapas de operação e o comando dos interruptores definidos, inicia-se o estudo do ponto de operação do conversor.

#### 3.5.1 Ponto de operação

A tensão média em regime permanente nas indutâncias é nula, assim como a corrente média nas capacitâncias. Aplicando-se as leis dos nós e das malhas de Kirchhoff, determina-se:

- Tensão média no capacitor de grampeamento Sepic - Ccb:

$$V_{Ccb} = \frac{V_b}{D_s} \quad (3.26)$$

- Tensão média no capacitor de grampeamento Zeta - Cca:

$$V_{Cca} = \frac{V_a}{D_z} \quad (3.27)$$

- Tensão média no capacitor de transferência - Cab:

$$V_{Cab} = V_b \quad (3.28)$$

Durante todo o período, verifica-se que a corrente média na indutância de dispersão é igual à corrente média na indutância magnetizante:

$$I_{La} = I_{Ld} \quad (3.29)$$

Sendo também verificadas as relações:

$$I_a = I_{Ld} = I_{La} \quad (3.30)$$

Durante a etapa Dz, o valor médio da corrente na indutância de dispersão é nulo.

Durante a etapa Ds, o valor médio da corrente na indutância de dispersão é a soma da corrente média em  $I_{La}$  e em  $I_{Lb}$  neste mesmo intervalo.

$$I_{Ld}'' = I_{La}'' + I_{Lb}'' \quad (3.31)$$

Definindo a razão cíclica efetiva do sistema:

$$\frac{V_b}{V_a''} = \frac{D_{ef}}{1 - D_{ef}} \quad (3.32)$$

$$\frac{I_a''}{I_b} = \frac{I_{La}''}{I_{Lb}} = \frac{D_{ef}}{1 - D_{ef}} \quad (3.33)$$

Ou seja:

$$D_{ef} = \frac{V_b}{V_b + V_a''} = \frac{I_{La}''}{I_{La}'' + I_{Lb}} \quad (3.34)$$

### 3.5.2 Cálculo do tempo das etapas de operação em função da razão cíclica do sistema

Para o cálculo do tempo de cada etapa de operação, inicia-se analisando a corrente na indutância de dispersão. Define-se a nomenclatura para indicar os pontos de quebra entre as etapas. Por exemplo, o valor da corrente na indutância  $Ld$  no ponto de quebra da etapa Ds para a etapa Dp é definida como  $i_{LdDsp}$ , e assim sucessivamente.

#### 3.5.2.1 Conversor operando no modo Sepic

No modo Sepic, a etapa inicial é a etapa Ds, em que se verifica (3.35).

$$Ld'' \frac{di_{Ld}''}{dt} = v_a'' + v_{Cab} - v_{Ccb} \quad (3.35)$$

A relação (3.35) pode ser aproximada por (3.36).

$$Ld'' \frac{\Delta i_{Ld}''}{\Delta t} = v_a'' + v_{Cab} - v_{Ccb} \quad (3.36)$$

Substituindo em (3.36) os valores pertinentes para a variação da corrente e variação do tempo durante a etapa Ds, a expressão (3.37) é obtida isolando a variação de corrente.

$$i_{Ld}''_{Dsp} - i_{Ld}''_{Dzs} = \frac{(v_a'' + v_{Cab} - v_{Ccb}) Ds \cdot T_s}{Ld''} \quad (3.37)$$

Da mesma forma são obtidas as expressões (3.38) e (3.39).

$$i_{Ld}''_{Dpz} - i_{Ld}''_{Dsp} = \frac{(v_a'' + v_{Cab}) Dp \cdot T_s}{Ld''} \quad (3.38)$$

$$i_{Ld}''_{Dzs} - i_{Ld}''_{Dpz} = \frac{(v_a'' + v_{Cab} - v_{Cca}'') D_z \cdot T_s}{L_d''} \quad (3.39)$$

Por análise direta das formas de onda do conversor operando no modo Sepic, a corrente na indutância de dispersão permanece nula, assim na etapa Dz, a corrente inicial (3.40) e final (3.41) são nulas.

$$i_{Ld}''_{Dpz} = 0 \quad (3.40)$$

$$i_{Ld}''_{Dzs} = 0 \quad (3.41)$$

Aplicando (3.40) e (3.41) em (3.39), ou seja, tensão nula na indutância  $L_d$  durante o intervalo da etapa Dz:

$$\frac{\left( v_a'' + v_{Cab} - \frac{v_a''}{D_z} \right) D_z \cdot T_s}{L_d''} = 0 \quad (3.42)$$

Manipulando a equação acima:

$$D_z = \frac{v_a''}{v_a'' + v_b} \quad (3.43)$$

Expressando em função da razão efetiva do sistema:

$$D_z = 1 - D_{ef} \quad (3.44)$$

O valor médio da corrente na indutância  $L_d$  é igual ao valor médio da corrente de carga, cujo valor de pico é calculado por (3.45).

$$i_{Ld}''_{Dsp} = \frac{2 \cdot I_{La}''}{D_s + D_p} \quad (3.45)$$

Aplicando (3.40) e (3.45) em (3.38):

$$-\frac{2 \cdot I_{La}''}{1 - D_z} = \frac{(v_a'' + v_b) D_p \cdot T_s}{L_d''} \quad (3.46)$$

Resolvendo, obtém-se a perda de razão cíclica para o modo Sepic:

$$D_p = \frac{-2 \cdot L_d'' \cdot I_{La}''}{V_b \cdot T_s} \quad (3.47)$$

A variação de corrente em  $L_d$  no intervalo  $D_s$  é igual ao valor de pico, substituindo (3.45) e (3.41) em (3.37) tem-se:

$$\frac{2 \cdot I_{La}''}{1 - D_z} = \frac{\left( v_a'' + v_b - \frac{v_b}{D_s} \right) D_s \cdot T_s}{L_d''} \quad (3.48)$$

Substituindo (3.43) em (3.48):

$$\frac{2 \cdot I_{La}''(v_a'' + v_b)Ld''}{v_b} = \left( v_a'' + v_b - \frac{v_b}{D_s} \right) D_s \cdot T_s \quad (3.49)$$

Logo:

$$D_s = \frac{2 \cdot I_{La}'' \cdot Ld''}{v_b \cdot T_s} + \frac{v_b}{v_a'' + v_b} \quad (3.50)$$

Relação dos tempos percentuais de cada etapa com a razão cíclica do sistema

$$\begin{cases} Dp + Ds + Dz = 1 \\ D = D_s \\ 1 - D = Dp + Dz \end{cases} \quad (3.51)$$

De (3.50):

$$ds = d(t) \quad (3.52)$$

A razão cíclica efetiva é definida por:

$$D_{ef} = \frac{V_b}{V_a'' + V_b} \quad (3.53)$$

$$D_{ef} = D - \frac{2 \cdot I_{La}'' \cdot Ld''}{V_b \cdot T_s} \quad (3.54)$$

Substituindo (3.53) e (3.47) em (3.50):

$$D_s = -Dp + D_{ef} \quad (3.55)$$

$$dp = \frac{v_b}{v_a'' + v_b} - d(t) \quad (3.56)$$

Substituindo (3.47) em (3.51), obtém-se:

$$dz = 1 - d(t) + \frac{2 \cdot I_{La}'' \cdot Ld''}{V_b \cdot T_s} \quad (3.57)$$

### 3.5.2.2 Conversor operando no modo Zeta

Seguindo o mesmo procedimento descrito anteriormente:

$$i_{Ld}''_{Dps} - i_{Ld}''_{Dzp} = \frac{(v_a'' + v_{Cab}) Dp \cdot T_s}{Ld''} \quad (3.58)$$

$$i_{Ld}''_{Dsz} - i_{Ld}''_{Dps} = \frac{(v_a'' + v_{Cab} - v_{Ccb}) Ds \cdot T_s}{Ld''} \quad (3.59)$$

$$i_{Ld}''_{Dzp} - i_{Ld}''_{Dsz} = \frac{(v_a'' + v_{Cab} - v_{Cca}) Dz \cdot T_s}{Ld''} \quad (3.60)$$

A soma do valor da corrente na indutância de dispersão nos pontos de quebra entre a etapa Dz (3.61) é nulo, isso se deve ao fato de que durante esta etapa, a corrente passa pelo capacitor de grampeamento.

$$i_{Ld}''_{Dsz} + i_{Ld}''_{Dzp} = 0 \quad (3.61)$$

Durante a etapa Ds, o valor médio da corrente na indutância de dispersão é a soma da corrente média em  $I_{La}$  e em  $I_{Lb}$  neste mesmo intervalo.

$$\frac{i_{Ld}''_{Dps} + i_{Ld}''_{Dsz}}{2} Ds = I_{La}'' \cdot Ds + I_{Lb} \cdot Ds \quad (3.62)$$

$$i_{Ld}''_{Dps} + i_{Ld}''_{Dsz} = 2(I_{La}'' + I_{Lb}) \quad (3.63)$$

Substituindo as expressões (3.61) e (3.63) em (3.58):

$$2(I_{La}'' + I_{Lb}) = \frac{(v_a'' + v_{Cab}) Dp \cdot T_s}{Ld''} \quad (3.64)$$

Isolando Dp da expressão acima:

$$Dp = \frac{2(I_{La}'' + I_{Lb}) Ld''}{(v_a'' + v_b) T_s} \quad (3.65)$$

Sendo:

$$I_{La}'' = \frac{v_b \cdot I_{Lb}}{v_a''} \quad (3.66)$$

Aplicando (3.66) em (3.65):

$$Dp = \frac{2 \cdot I_{Lb} \cdot Ld''}{v_a'' \cdot T_s} \quad (3.67)$$

Durante a etapa Ds, a corrente na indutância de dispersão é igual à soma das correntes nas demais indutâncias ( $La$  e  $Lb$ ).

$$La'' \frac{\Delta i_{La}''}{Ds \cdot T_s} = \frac{v_b}{Ds} - v_b \quad (3.68)$$

$$Lb \frac{\Delta i_{Lb}}{Ds \cdot T_s} = \frac{v_b}{Ds} - v_b \quad (3.69)$$

$$\Delta i_{Ld}'' = \Delta i_{La}'' + \Delta i_{Lb} \quad (3.70)$$

Substituindo (3.68) e (3.69) em (3.70):

$$\Delta i_{Ld}'' = \left( \frac{v_b}{Ds} - v_b \right) \frac{Ds \cdot T_s}{La''} + \left( \frac{v_b}{Ds} - v_b \right) \frac{Ds \cdot T_s}{Lb} \quad (3.71)$$

Simplificando a expressão acima:

$$\Delta i_{Ld''} = v_b(1 - D_s) \left( \frac{1}{L_a''} + \frac{1}{L_b} \right) T_s \quad (3.72)$$

Sendo válida a relação:

$$\Delta i_{Ld''} = i_{Ld''} D_{sz} - i_{Ld''} D_{ps} \quad (3.73)$$

Igualando-se (3.72) com (3.59)

$$v_b(1 - D_s) \left( \frac{1}{L_a''} + \frac{1}{L_b} \right) T_s = \frac{\left( v_a'' + v_b - \frac{v_b}{D_s} \right) D_s \cdot T_s}{L_d''} \quad (3.74)$$

Resolvendo a expressão (3.74):

$$D_s = D_{ef} \left( \frac{1 + \frac{L_d''(L_a'' + L_b)}{L_a \cdot L_b}}{1 + D_{ef} \frac{L_d''(L_a'' + L_b)}{L_a \cdot L_b}} \right) \quad (3.75)$$

Considerando a indutância  $L_d''$  muito menor que as indutâncias  $L_a$  e  $L_b$ , a condição (3.76) é verificada, a expressão (3.77) torna-se uma boa aproximação.

$$\frac{L_d''(L_a'' + L_b)}{L_a \cdot L_b} \cong 0 \quad (3.76)$$

$$D_s \cong D_{ef} \quad (3.77)$$

Sendo o somatório das razões cíclicas unitário:

$$D_z = 1 - D_p - D_s \quad (3.78)$$

$$D_z = 1 - \frac{2 \cdot I_{L_b} \cdot L_d''}{V_a'' \cdot T_s} - D_{ef} \left( \frac{1 + \frac{L_d''(L_a'' + L_b)}{L_a \cdot L_b}}{1 + D_{ef} \frac{L_d''(L_a'' + L_b)}{L_a \cdot L_b}} \right) \quad (3.79)$$

Utilizando a simplificação (3.77):

$$D_z = 1 - \left( \frac{2 \cdot I_{L_b} \cdot L_d''}{V_a'' \cdot T_s} + D_{ef} \right) \quad (3.80)$$

Relação com a razão cíclica do sistema

$$dz = 1 - d(t) \quad (3.81)$$

$$dp = d(t) - D_{ef} \left( \frac{1 + \frac{L_d''(L_a'' + L_b)}{L_a \cdot L_b}}{1 + D_{ef} \frac{L_d''(L_a'' + L_b)}{L_a \cdot L_b}} \right) = d(t) - \frac{v_b}{v_a'' + v_b} \quad (3.82)$$



$$d_s = d(t) - \frac{2 \cdot I_{Lb} \cdot Ld''}{V_a'' \cdot T_s} \quad (3.83)$$

Relação dos tempos com a razão cíclica do sistema

$$\begin{cases} Dp + Ds + Dz = 1 \\ D = Ds + Dp \\ 1 - D = Dz \end{cases} \quad (3.84)$$

Razão cíclica do sistema.

$$D_{ef} = D - \frac{2 \cdot I_{Lb} \cdot Ld''}{V_a'' \cdot T_s} \quad (3.85)$$

### 3.5.3 Tempo morto nos interruptores de grampeamento

Entende-se por tempo morto dos interruptores de grampeamento como sendo o atraso temporal entre os instantes em que os mesmos são comandados a conduzir com base ao seu interruptor de referência. O interruptor de grampeamento  $Sd$  possui como interruptor de referência o interruptor  $Sa$ . O interruptor de grampeamento  $Sc$  possui como referência o interruptor  $Sb$ . Observa-se que os interruptores de grampeamento são comandados a bloquear no mesmo instante em que seus respectivos interruptores de referência.

O tempo morto citado não deve ser confundido com o tempo morto dos interruptores principais,  $Sa$  e  $Sb$ .

Após a etapa de perda de razão cíclica, o diodo de grampeamento entra em condução, assim, o tempo morto dos interruptores de grampeamento é tal que permita a ocorrência da etapa de perda de razão cíclica e coloque o interruptor a conduzir antes que a sua corrente inverta de sentido. A Tabela 3.2 relaciona estes limites.

Tabela 3.1 - Limites para os tempos de comando dos interruptores de grampeamento.

Tempo morto	Modo Zeta	Modo Sepic
$Sa \rightarrow Sd$	$> Dp \cdot T_s$	$< \frac{Ds \cdot T_s}{2}$
$Sb \rightarrow Sc$	$< \frac{Dz \cdot T_s}{2}$	$> Dp \cdot T_s$

Define-se o tempo morto dos interruptores de grampeamento, como sendo o tempo da etapa de perda de razão cíclica mais um quarto do tempo da etapa subsequente.

$$Tm_{ad} = \left( DP_{ZETA} + \frac{Ds_{SEPIC}}{4} \right) \cdot T_s \quad (3.86)$$

Substituindo em (3.86) os valores da Tabela 3.1:

$$Tm_{ad} = \frac{2 \cdot I_{Lb} \cdot Ld''}{V_a''} + \frac{\frac{2 \cdot I_{La}'' \cdot Ld''}{V_b \cdot T_s} + \frac{V_b}{V_a'' + V_b}}{4} T_s \quad (3.87)$$

Simplificando a expressão acima, e colocando em função dos parâmetros de entrada das malhas de controle, encontra-se (3.88).

$$Tm_{ad}(i_{Lb}, v_{Ca}'', v_{Cb}) = \frac{5 |i_{Lb}| \cdot Ld''}{2 v_{Ca}''} + \frac{1}{4} \frac{v_{Cb}}{v_{Ca}'' + v_{Cb}} T_s \quad (3.88)$$

Analogamente:

$$Tm_{bc} = \left( DP_{SEPIC} + \frac{Dz_{ZETA}}{4} \right) \cdot T_s \quad (3.89)$$

Substituindo em (3.89) os valores da Tabela 3.1:

$$Tm_{bc} = \frac{-2 \cdot Ld'' \cdot I_{La}''}{V_b} + \frac{1 - \left( \frac{2 \cdot I_{Lb} \cdot Ld''}{V_a'' \cdot T_s} + \frac{V_b}{V_a'' + V_b} \right)}{4} T_s \quad (3.90)$$

A função (3.91) determina o tempo morto do interruptor de grampeamento  $Sc$  referente ao interruptor principal  $Sb$ .

$$Tm_{bc}(i_{Lb}, v_{Ca}'', v_{Cb}) = \frac{5 |i_{Lb}| \cdot Ld''}{2 v_{Ca}''} + \frac{1}{4} \left( 1 - \frac{v_{Cb}}{v_{Ca}'' + v_{Cb}} \right) \cdot T_s \quad (3.91)$$

As expressões (3.88) e (3.91) são facilmente programáveis em um controlador digital tendo como parâmetros de entrada as variáveis de controle, contudo requer um controlador digital que permita a atualização do tempo morto durante ou entre a execução das rotinas de interrupção.

Observa-se que erros no cálculo do tempo morto não inviabilizam a operação do conversor.

### 3.5.4 Especificação dos componentes

O cálculo dos componentes do conversor é realizado com base na ondulação de corrente e de tensão desejados.

#### 3.5.4.1 Indutores

O valor de indutância dos indutores é calculado com base na ondulação máxima de corrente desejada.

$$L_a'' \frac{\Delta i_{L_a}''}{D_s \cdot T_s} = v_{C_{cb}} - v_{C_{ab}} \quad (3.92)$$

Substituindo as relações (3.26) e (3.28) em (3.92):

$$L_a'' = \frac{V_b(1 - D_s)T_s}{\Delta i_{L_a}''} \quad (3.93)$$

Para a condição de ondulação máxima,  $D_s = D_{ef}$ :

$$L_a'' = \frac{V_b \cdot V_a'' \cdot T_s}{(V_a'' + V_b) \Delta i_{L_a}''} \quad (3.94)$$

O mesmo pode ser feito para a indutância  $L_b$ :

$$L_b = \frac{V_b \cdot V_a'' \cdot T_s}{(V_a'' + V_b) \Delta i_{L_b}} \quad (3.95)$$

### 3.5.4.2 Capacitores

O valor de capacitância dos capacitores é calculado com base na ondulação máxima de tensão desejada.

Capacitor de grampeamento Sepic:

$$C_{cb} \frac{\Delta v_{C_{cb}}}{D_s \cdot T_s} = i_{L_d}'' - i_{L_a}'' - i_{L_b} \quad (3.96)$$

Para a condição de ondulação máxima,  $D_s = D_{ef}$ :

$$C_{cb} = \frac{I_{L_b} \cdot D_{ef} \cdot T_s}{\Delta v_{C_{cb}}} \quad (3.97)$$

Capacitor de grampeamento Zeta:

$$C_{ca}'' \frac{\Delta v_{C_{ca}}''}{D_z \cdot T_s} = i_{L_d}'' \quad (3.98)$$

Aplicando-se a relação (3.80) em (3.98) calcula-se a capacitância de grampeamento Zeta.

$$C_{ca}'' = \frac{I_{L_a}'' \cdot D_z \cdot T_s}{\Delta v_{C_{ca}}''} \quad (3.99)$$

### 3.5.5 Parâmetros do conversor implementado em laboratório

Realizado o estudo inicial do conversor, parte-se para a montagem de um protótipo de 1 kW. A Tabela 3.2 lista os componentes utilizados. O objetivo principal nesta etapa é de verificar a consistência do estudo feito até então.

Tabela 3.2 - Parâmetros do Conversor Zeta-Sepic Isolado com GA implementado em laboratório

Parâmetro	Valor	Resistência	Detalhes
-----------	-------	-------------	----------

$Lm'$	284 $\mu$ H	9,7 m $\Omega$	EE 65/39 Thornton - IP12
$Lm''$	76,8 $\mu$ H	42 m $\Omega$	EE 65/39 Thornton - IP12
$Lb$	233 $\mu$ H	23 m $\Omega$	Thornton - IP12
$Ld'$	2,12 $\mu$ H	-	Dispersão no lado Zeta
$Ld''$	8,17 $\mu$ H	-	Dispersão no lado Sepic
$Lc$	6,68 $\mu$ H	3 m $\Omega$	EE 42/15 Thornton - IP12
$Cab$	28,6 $\mu$ F	3 m $\Omega$	Vishay Type 735P
$V_a$	100 V	0,2 $\Omega$	Moura 12MF36
$V_b$	133,3 V	0,2 $\Omega$	Moura 12MF36
$Cca$	10 $\mu$ F	43 m $\Omega$	EPCOS - B32669
$Ccb$	12 $\mu$ F	15 m $\Omega$	EPCOS - B32669
$Ca$	50 $\mu$ F	-	10 x SPRAGUE 730P148
$Cb$	50 $\mu$ F	-	10 x SPRAGUE 730P148

O estudo inicial não leva em consideração as resistências parasitas, assim, o ponto de equilíbrio é obtido via simulação.

Tabela 3.3 - Valores do ponto de operação para o conversor Zeta-Sepic isolado com GA considerando as resistências série dos componentes.

Parâmetro	Modo Zeta	Modo Sepic
$I_{La}''$	5,6343799 A	-5,0016627 A
$I_{Lb}$	7,5001027 A	-8,1822477 A
$V_{Cab}$	135,00584 V	131,50834 V
$V_{Cca}''$	475,42994 V	331,62714 V
$V_{Ccb}$	291,83866 V	511,18178 V
$D$	0,58909443	0,25676805

### 3.6 IDENTIFICAÇÃO DO MODELO DINÂMICO DE PEQUENOS SINAIS

O modelo do conversor Zeta-Sepic bidirecional com grampeamento ativo é obtido através da estimação da planta com base na resposta simulada utilizando a ferramenta AC Sweep do PSIM.

Os pontos simulados são, por conseguinte importados no MATLAB, o qual possui ferramentas adequadas para estimação da planta.

Os passos utilizados para obtenção do modelo dinâmico são:

- Simulação para obter regime permanente
- AC Sweep no PSIM
- Abrir o *toolbox* de identificação de sistemas ( $\gg$ ident)

- Importar a resposta em frequência do conversor
- Estimar a planta

Com a resposta em frequência obtida do PSIM via AC Sweep, os dados são importados utilizando a rotina *psimread()*, a qual retorna um objeto contendo os pontos simulados no PSIM. Estes pontos são importados acessando o campo A da Figura 3.33 escolhendo a opção *data object* e escrevendo o nome do objeto criado anteriormente pela função *psimread()*.

No campo G da Figura 3.33 escolhe-se o modelo linear paramétrico para a estrutura em espaço de estados, colocando a ordem do sistema. A ordem do modelo é igual à ordem do conversor simulado. O método é o PEM (*prediction-error minimization*) e o foco é simulação. Ajustam-se os critérios de parada das iterações de forma a obter melhores aproximações.

Com o modelo estimado, é possível fazer comparações via campo I para verificar se o modelo estimado é apropriado ou não.

Finalizada a etapa de estimação, o modelo é exportado para o *workspace* do MATLAB.

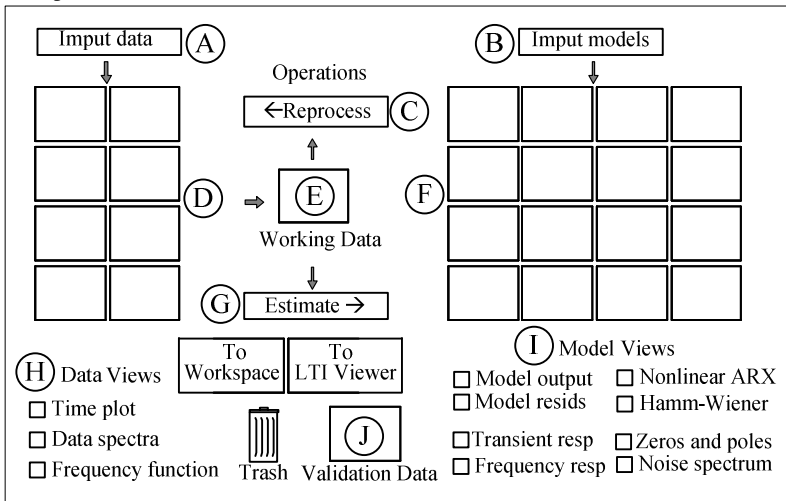


Figura 3.33 - *Toolbox* utilizado para identificar o sistema, adaptado de [25].

O modelo obtido está no domínio discreto, o modelo no domínio contínuo é obtido com o uso da função *d2c()*. Para o caso em que a ordem do modelo é igual à ordem do conversor simulado e as variáveis de saída são os próprios estados do sistema, pode-se aplicar uma transformação de coordenadas de forma a tornar a matriz de C igual à matriz

identidade. Para fazer isto, basta utilizar a função  $ss2ss()$  e utilizar a própria matriz  $C$  como matriz de transformação.

### 3.6.1 Zeta-Sepic Isolado com GA operando no modo Zeta

Simulando a resposta dinâmica do conversor Zeta-Sepic isolado com GA operando no modo Zeta (ver Figura 3.34), e estimando o modelo de sétima ordem em espaço de estados com o uso da ferramenta descrita anteriormente, obtém-se o modelo na forma (3.100).

$$\begin{aligned}\frac{d\vec{x}}{dt} &= \mathbf{A} \vec{x} + \mathbf{B} \vec{u} + \mathbf{K} \vec{e} \\ \vec{y} &= \mathbf{C} \vec{x} + \mathbf{D} \vec{u} + \vec{e}\end{aligned}\quad (3.100)$$

As matrizes  $\mathbf{D}$  e  $\mathbf{K}$  são nulas, e pela transformação realizada, a matriz  $\mathbf{C}$  é igual à matriz identidade.

A ordenação dos estados no vetor  $x(t)$  depende da forma como foi realizada a simulação. O vetor (3.101) relaciona a ordem obtida.

$$\vec{x} = \left[ \hat{i}_{Lb} \quad \hat{v}_{Ccb} \quad \hat{i}_{La} \quad \hat{v}_{Cca} \quad \hat{i}_{Ld} \quad \hat{v}_{Cab} \quad \hat{v}_{Cb} \right] \quad (3.101)$$

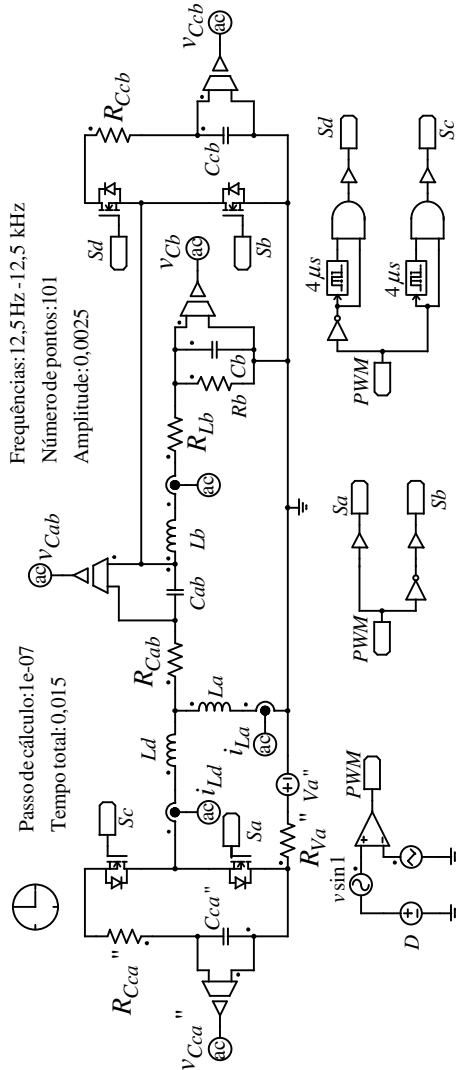


Figura 3.34 - Circuito simulado do conversor Zeta-Sepic isolado com grameamento ativo no PSIM.

A matriz de estados é (3.102).

$$A = \begin{bmatrix} -6883,5 & -712,18 & -10877 & -995,28 & 6054,5 & 3157,9 & -3630,4 \\ -2239,2 & -8297 & -6823,8 & -270,02 & 849,42 & 7046 & 1624,7 \\ -4073,4 & 1768,8 & -2663,2 & -249,88 & 2206,8 & -2048,5 & -549,52 \\ 6992,4 & -7700,5 & -4316 & -1213 & 6378,7 & 6419,2 & 2273,4 \\ 2316,6 & -20749 & -33522 & -2605,1 & 13293 & 15955 & 7238 \\ -18022 & 3745,4 & 14798 & 1537,3 & -7027,4 & -5216,1 & 1070,7 \\ 20982 & 135,37 & 1829,2 & -69,174 & -2045,9 & 69,28 & -1360,6 \end{bmatrix} \quad (3.102)$$

A matriz de entrada é (3.103).

$$B = \begin{bmatrix} 1,6854e+006 \\ 1,3486e+005 \\ 6,7412e+005 \\ 5,82e+005 \\ 1,9038e+006 \\ -1,2826e+006 \\ 74149 \end{bmatrix} \quad (3.103)$$

A partir do modelo em espaço de estados, obtêm-se a função de transferência da corrente na indutância  $Lb$  pela razão cíclica do sistema.

$$\frac{\hat{i}_{Lb}(s)}{\hat{d}(s)} = \frac{1685358,5318(s^2 + 3138s + 2,667e6)(s^2 - 960,9s + 5,517e6)(s^2 + 2805s + 9,281e6)}{(s + 1237)(s^2 + 1757s + 4,927e6)(s^2 + 2772s + 1,245e7)(s^2 + 6575s + 1,642e8)} \quad (3.104)$$

A Figura 3.35 compara o diagrama de Bode das respostas obtidas por simulação e por estimação do modelo dinâmico de pequenos sinais. Pode-se observar que o modelo representa muito bem a dinâmica do conversor.



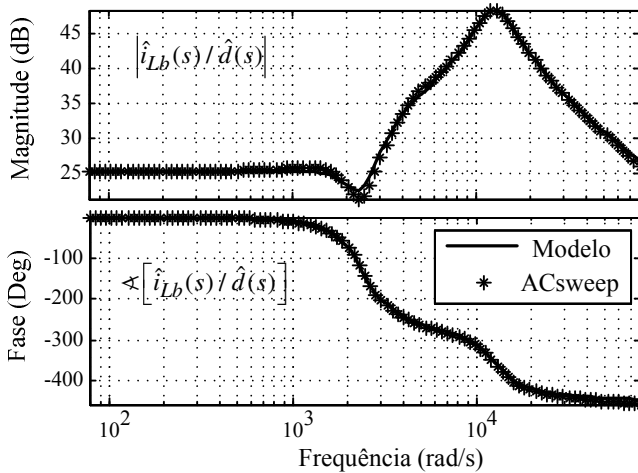


Figura 3.35 – Comparação do diagrama de Bode da corrente  $i_{Lb}$  pela razão cíclica entre o modelo estimado utilizando no MATLAB e a resposta dinâmica simulada no PSIM.

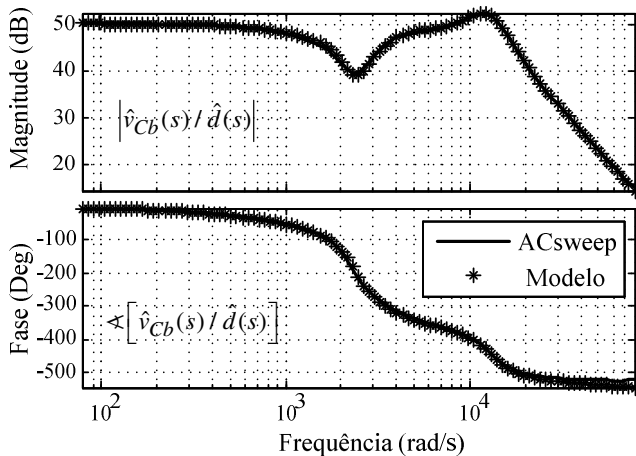


Figura 3.36 - Comparação do diagrama de Bode da corrente  $v_{Cb}$  pela razão cíclica entre o modelo estimado utilizando no MATLAB e a resposta dinâmica simulada no PSIM.

A Figura 3.36 compara a simulação com o modelo (3.105) da tensão  $v_{Cb}$  pela razão cíclica.

$$\frac{\hat{v}_{Cb}(s)}{\hat{d}(s)} = \frac{74148,8345(s + 4,463e5)(s + 2719)(s^2 - 900s + 5,5e6)(s^2 + 2423s + 8,217e6)}{(s + 1237)(s^2 + 1757s + 4,927e6)(s^2 + 2772s + 1,245e7)(s^2 + 6575s + 1,642e8)} \quad (3.105)$$

Seguindo os passos realizados na versão não isolada, o controle da tensão  $v_{Cb}$  consistirá em duas malhas de controle, uma da corrente  $i_{Lb}$  e outra da tensão  $v_{Cb}$ . Para a malha interna de corrente, tem-se a função de transferência (3.104). A planta para a malha externa de tensão pode ser obtida dividindo a função de transferência (3.105) pela função de transferência (3.104).

$$\frac{\hat{v}_{Cb}(s)}{\hat{i}_{Lb}(s)} = \frac{0,043996(s+4,463e5)(s+2719)(s^2-900s+5,5e6)(s^2+2423s+8,217e6)}{(s^2+3138s+2,667e6)(s^2-960,9s+5,517e6)(s^2+2805s+9,281e6)}$$

A função de transferência da planta de tensão para a malha externa pode ser obtida por (2.92), resultando em uma função de transferência (3.107) de primeira ordem.

$$\frac{\hat{v}_{Cb}(s)}{\hat{i}_{Lb}(s)} = \frac{20000}{s+1125} \quad (3.107)$$

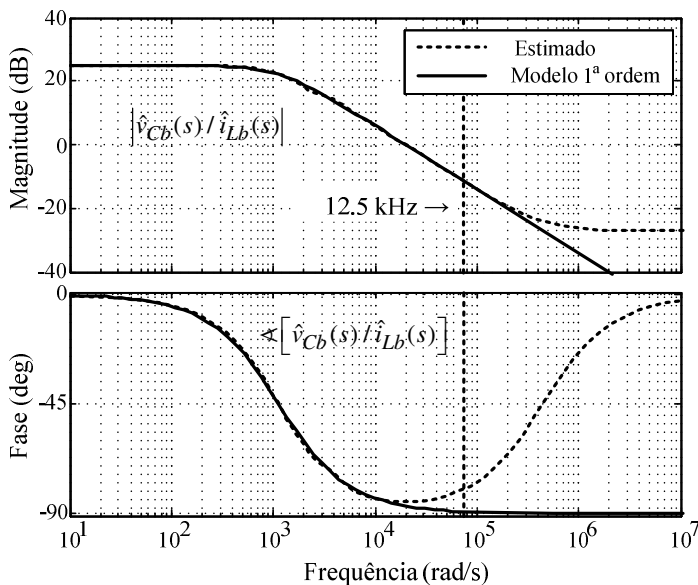


Figura 3.37 - Comparação entre os modelos para a planta da malha de tensão

$v_{Cb}$ .  
A Figura 3.37 compara o modelo obtido pela estimação (3.106) com o modelo de primeira ordem (3.107). Observe que para a frequência de até 12,5 kHz ambos os modelos são equivalentes, validando a estimação da planta (3.106).

### 3.6.2 Zeta-Sepic Isolado com GA operando no modo Sepic

Repetindo o procedimento realizado para o conversor operando no modo Zeta, obtém-se a matriz de estados (3.108), e a matriz de entrada (3.109).

$$\mathbf{A} = \begin{bmatrix} -1295 & 465,74 & -807,96 & -1415,8 & -486,22 & 2300 & 2237,6 \\ -17883 & -8429,9 & -31378 & -19913 & 36782 & 31708 & 31391 \\ -263,91 & 518,56 & 375,4 & 77,189 & -1882,8 & -2048,6 & -143,84 \\ 1873,4 & -3927,9 & -3560,3 & -9689,5 & 18830 & 15682 & 15467 \\ 1331,8 & -4423 & -8322,9 & -11338 & 17963 & 17603 & 18457 \\ -4631,6 & 9810,3 & 43959 & 23094 & -44866 & -37533 & -37049 \\ -10045 & 20987 & 18517 & 49433 & -98986 & -80355 & -81301 \end{bmatrix} \quad (3.108)$$

$$\mathbf{B} = \begin{bmatrix} 8,9932e+005 \\ -1,6637e+007 \\ 1,0872e+006 \\ -8,9848e+006 \\ -9,3763e+006 \\ 2,0944e+007 \\ 4,4759e+007 \end{bmatrix} \quad (3.109)$$

É importante lembrar que a ordenação dos estados depende da forma pela qual a simulação foi montada. Como a simulação anterior foi reaproveitada, os estados aparecem na mesma ordem.

$$\tilde{\mathbf{x}} = \left[ \hat{i}_{Lb} \quad \hat{v}_{Ccb} \quad \hat{i}_{La} \quad \hat{v}_{Cca} \quad \hat{i}_{Ld} \quad \hat{v}_{Cab} \quad \hat{v}_{Ca} \right] \quad (3.110)$$

Esta ordenação é de vital importância para a obtenção das funções de transferência.

$$\frac{\hat{i}_{Lb}(s)}{\hat{d}(s)} = \frac{899316,2894(s+2,884e5)(s+3199)(s^2+936,2s+2,899e5)(s^2+642,4s+4,893e7)}{(s+1,126e5)(s+3987)(s+253,8)(s^2+1615s+1,861e7)(s^2+1464s+5,522e7)} \quad (3.111)$$

$$\frac{\hat{v}_{Ca}(s)}{\hat{d}(s)} = \frac{44758818,0515(s-3960)(s+2987)(s^2+6332s+2,075e7)(s^2-1091s+1,342e7)}{(s+1,126e5)(s+3987)(s+253,8)(s^2+1615s+1,861e7)(s^2+1464s+5,522e7)} \quad (3.112)$$

Obtidas as funções de transferência da corrente  $i_{Lb}$  e da tensão  $v_{Ca}$  pela razão cíclica, divide-se uma pela outra de forma a obter a função de transferência que relaciona a tensão  $v_{Ca}$  pela corrente  $i_{Lb}$ , permitindo assim o controle com duas malhas.

$$\frac{\hat{v}_{Ca}(s)}{\hat{i}_{Lb}(s)} = \frac{49,7698(s+2987)(s-3960)(s^2+6332s+2,075e7)(s^2-1091s+1,342e7)}{(s+2,884e5)(s+3199)(s^2+936,2s+2,899e5)(s^2+642,4s+4,893e7)} \quad (3.113)$$

A Figura 3.38 assim como a Figura 3.39 comparam o modelo estimado com a resposta dinâmica obtida por simulação. Nota-se uma pequena discrepância nas altas frequências, porém na região de atuação dos controladores, as curvas praticamente se sobrepõem.

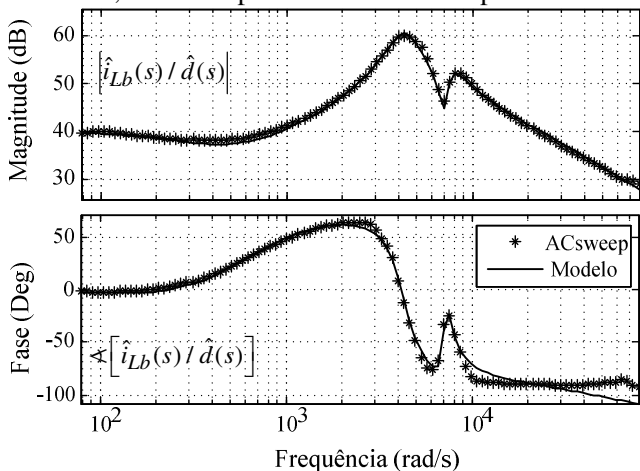


Figura 3.38 - Diagrama de Bode comparando a função de transferência da corrente  $i_{Lb}$  pela razão cíclica  $d$ .

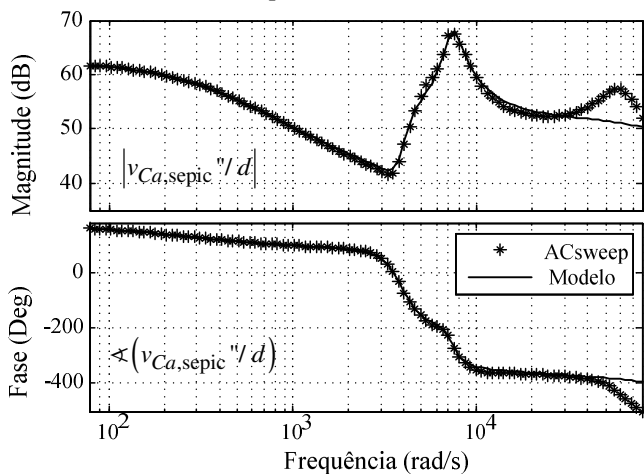


Figura 3.39 - Diagrama de Bode comparando a função de transferência da corrente  $v_{Ca}''$  pela razão cíclica  $d$ .

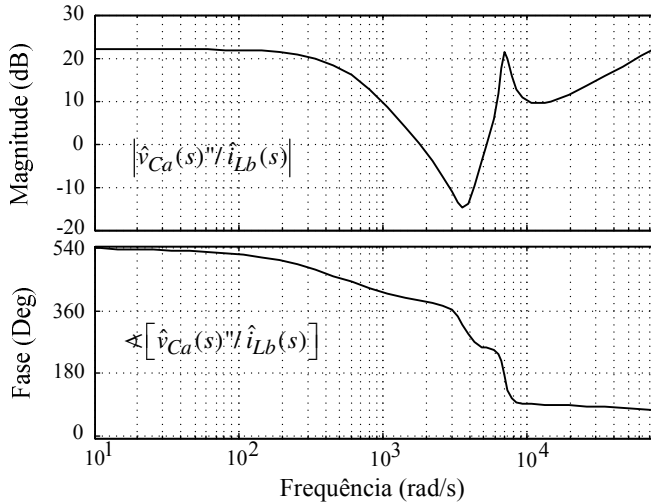


Figura 3.40 - Função de transferência relacionando a tensão  $v_{Ca}''$  com a corrente  $i_{Lb}$ .

### 3.7 PROJETO DAS MALHAS DE CONTROLE

O conversor CC-CC Zeta-Sepic é bidirecional em corrente, estando neste trabalho situado entre duas fontes bidirecionais com tensões fixas. O controle do fluxo de potência pode ser realizado por apenas uma malha de controle de corrente, porém, na prática, é necessário testar bem o conversor antes de conectá-lo a duas fontes bidirecionais em corrente. Assim testa-se primeiramente com uma única fonte e uma carga RC, impondo o fluxo em um determinado sentido. Para este teste, é preciso uma malha adicional para o controle da tensão.

O objetivo neste tópico é encontrar um controlador de corrente que opere de forma satisfatória, ou seja, sem sobressinal e com erro nulo a referência em ambos os modos de operação do conversor.

#### 3.7.1 Ajuste do condicionamento de sinais

Nesta etapa, mantém-se a resposta em frequência projetada para o condicionamento de sinais do conversor Zeta-Sepic não isolado e ajusta-se apenas o ganho CC.

O ajuste do ganho CC do condicionamento de sinais para os sensores de corrente e de tensão, é definido pelos limites de operação do conversor e tensão de entrada do módulo ADC.

A corrente  $i_{Lb}$  máxima é definida como sendo 12 A, e a tensão máxima como sendo 150 V. Utilizando as relações (2.83) e (2.85) respectivamente, se obtêm os valores para os resistores de amostragem  $Ra$ .

Tabela 3.4 - Parâmetros utilizados para o condicionamento de sinal do conversor Zeta-Sepic isolado com grampeamento ativo.

Parâmetro	Condicionamento da corrente $i_{Lb}$	Condicionamento da tensão $v_{Cd}/v_{Cb}$
$Ra$	120 $\Omega$	100 $\Omega$
$R1$	390 $\Omega$	390 $\Omega$
$R2$	390 $\Omega$	390 $\Omega$
$R3$	2,2 k $\Omega$	2,2 k $\Omega$
$R4$	470 $\Omega$	470 $\Omega$
$R5$	470 $\Omega$	470 $\Omega$
$R6$	350 $\Omega$	350 $\Omega$
$R7$	1 k $\Omega$	-
$R8$	100 $\Omega$	100 $\Omega$
$Rt$	-	12 k $\Omega$
$C1$	22 nF	22 nF
$C2$	330 nF	330 nF
Ganho DC	0,1200	0,0208
Ganho ADC	0,0400	0,0069

### 3.7.2 Zeta-Sepic Isolado com GA operando no modo Zeta

O projeto do controlador é realizado seguindo os mesmos moldes da metodologia utilizada para a versão não isolada do conversor Zeta-Sepic. Busca-se uma resposta de primeira ordem, implicando em uma dinâmica lenta, porém adequada para o estudo do conversor.

$$C_{i_{Lb,zeta}}(s) = \frac{0,013314 (s + 1,13e004)}{s} \quad (3.114)$$

A Figura 3.41 apresenta o lugar das raízes e o diagrama de Bode da malha interna de controle da corrente  $i_{Lb}$ .

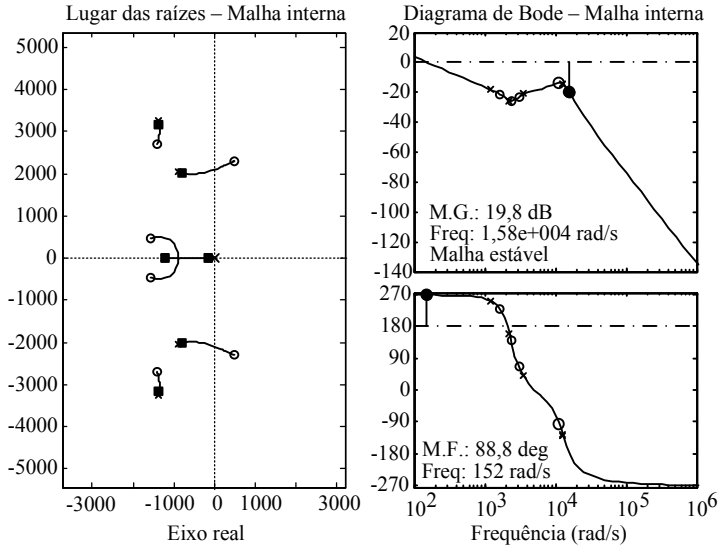
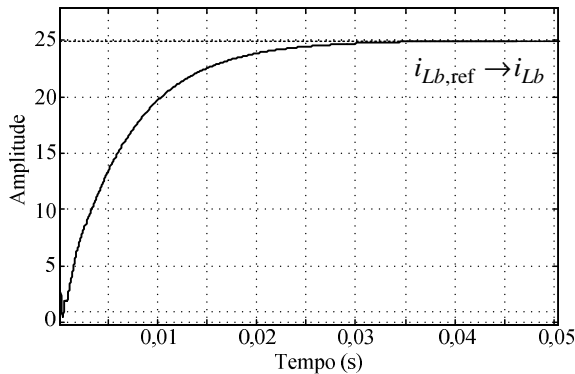


Figura 3.41 - Lugar das raízes e diagrama de Bode da malha interna de corrente.


 Figura 3.42 - Resposta ao degrau de referência  $i_{Lb}$  da malha interna de corrente.

Com o controlador de corrente definido, o projeto do controlador da malha externa de tensão é realizado.

$$Cv_{Cb}(s) = \frac{0,00083448 (s + 1,395e004)}{s} \quad (3.115)$$

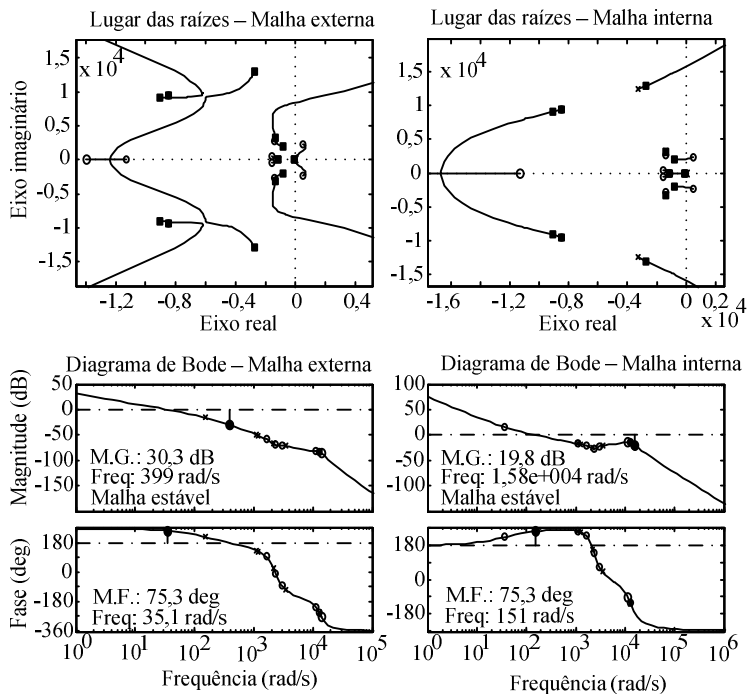


Figura 3.43 - Lugar das raízes e diagrama de Bode para malha interna e externa do conversor Zeta-Sepic isolado com grameamento ativo operando no modo Zeta.

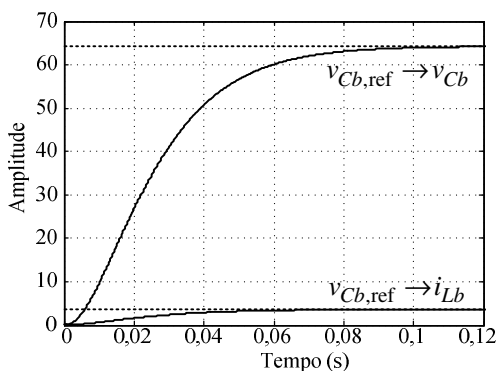


Figura 3.44 - Resposta ao degrau de referência da tensão  $v_{Cb}$ .



### 3.7.3 Zeta-Sepic Isolado com GA operando no modo Sepic

Primeiramente testa-se o controlador projetado para controlar a corrente  $i_{Lb}$  no modo Zeta.

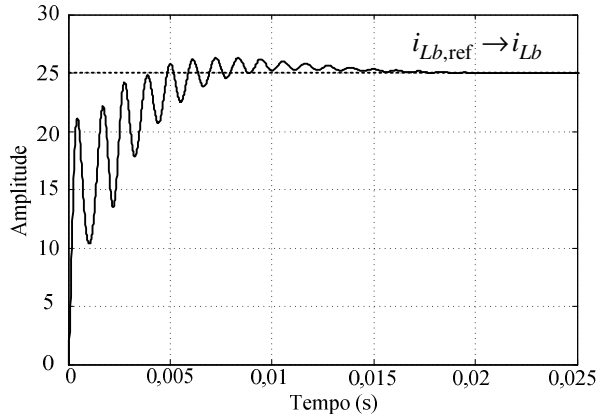


Figura 3.45 - Resposta ao degrau de referência  $i_{Lb}$  para o conversor Zeta-Sepic operando no modo Sepic com o controlador projetado no modo Zeta.

Devido à oscilação apresentada, o controlador de corrente é re-projetado:

$$C_{i_{Lb,sepic}}(s) = \frac{0,0017783 (s + 1,13e004)}{s} \quad (3.116)$$

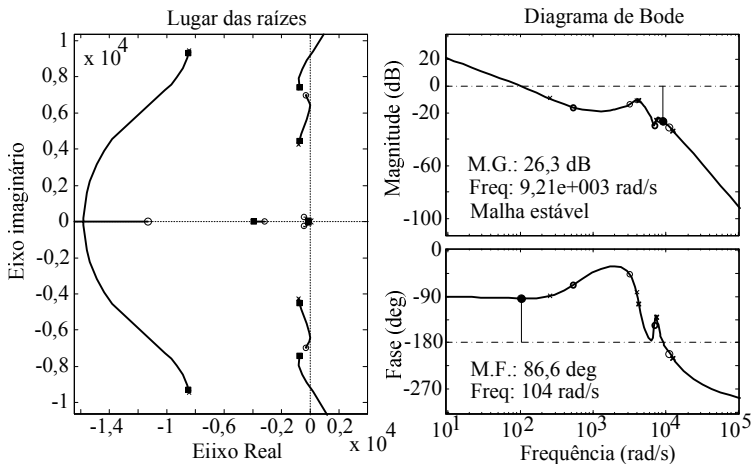


Figura 3.46 - Diagrama de Bode e lugar das raízes para o controlador ajustado.

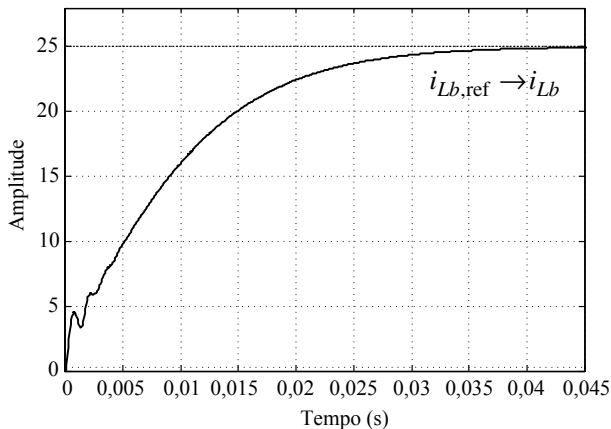


Figura 3.47 - Resposta ao degrau de referência  $i_{Lb}$  com o controlador reprojeto no modo Sepic.

Aplicando o novo controlador no conversor operando no modo Zeta:

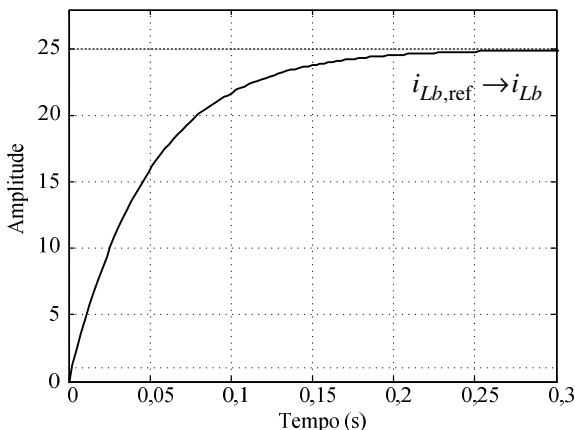


Figura 3.48 - Resposta ao degrau de referência imposta pelo controlador reprojeto no modo Sepic para o conversor operando no modo Zeta.

A Figura 3.49 compara as funções de transferência relativas às plantas das malhas de corrente para o conversor operando no modo Zeta e no modo Sepic. Devido ao fato de o ganho em baixas frequências ser diferente, se a malha de controle for regida pelo mesmo controlador, a dinâmica será diferente. Ou seja, um único controlador, dinâmicas distintas, uma única dinâmica, controladores distintos.

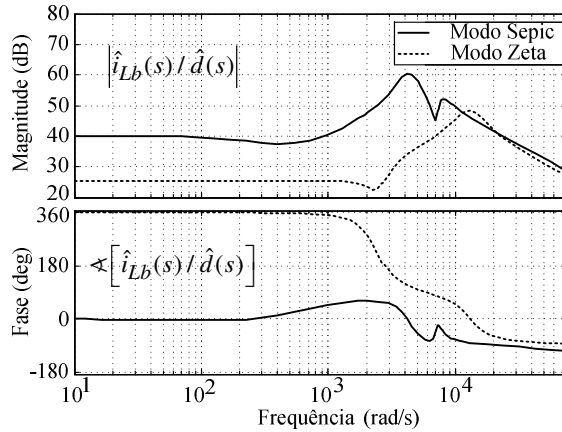


Figura 3.49 - Comparação entre os diagramas de Bode das plantas de corrente para ambos os modos de operação.

Para a malha externa do controle da tensão  $v_{Ca}''$ , utiliza-se o mesmo controlador do modo Zeta com o ganho invertido, uma vez que, diminuindo a corrente, eleva-se a tensão.

$$Cv_{Ca}(s)'' = \frac{-0,00083448 (s + 1,395e4)}{s} \quad (3.117)$$

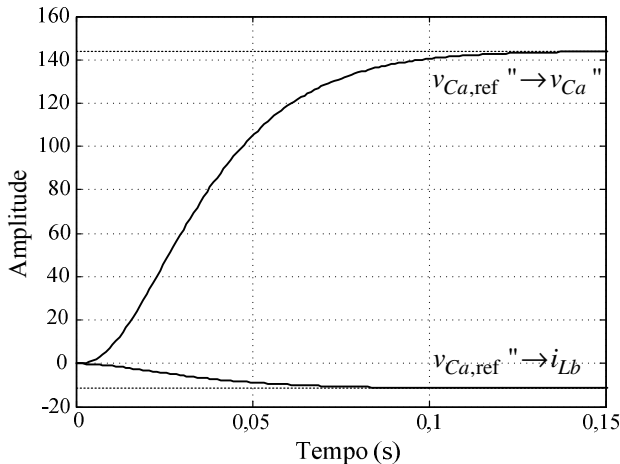


Figura 3.50 - Resposta ao degrau de referência  $v_{Ca}''$ .

A Figura 3.50 apresenta a resposta ao degrau na referência de tensão  $v_{Ca}''$ .

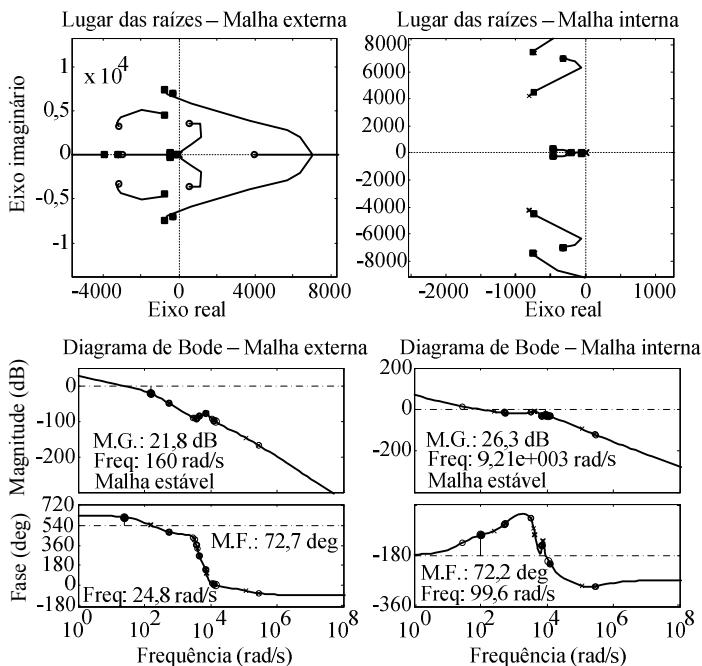


Figura 3.51 - Lugar das raízes e diagrama de Bode das malhas de controle para o conversor Zeta-Sepic operando no modo Sepic.

### 3.7.4 Inclusão do isolamento

O estudo do conversor CC-CC Zeta-Sepic com grameamento ativo é realizado com o conversor referenciado ao lado Sepic. Este procedimento facilita a análise, porém para prosseguir com a implementação prática, é necessário trazer o conversor para a sua forma original. Surge assim uma pergunta muito simples: que parâmetro deve ser modificado de forma a adequar a malha de controle a topologia isolada sem ter de reprojeter os controladores?

Admite-se que o condicionamento de sinais está adequado, ou seja, não ocorre alteração dos ganhos de realimentação. Verifica-se que as variáveis de controle presentes no lado Sepic não são alteradas, levando à conclusão de que a malha de controle de corrente tanto para o conversor no modo Zeta quanto no modo Sepic permanecem. O mesmo raciocínio pode ser estendido para o controle da tensão no modo Zeta, restando assim apenas o ajuste da malha de tensão para o conversor operando no modo Sepic.

A planta da malha externa de tensão (3.113) para o conversor operando no modo Sepic está referenciada ao lado Sepic; a correção é feita dividindo pela relação de transformação Zeta para Sepic. Desejando-se manter a mesma resposta dinâmica e estando o controlador em série com a planta, o controlador (3.117) é corrigido multiplicando-o pela relação de transformação Zeta para Sepic.

$$Cv_{Ca}(s) = \frac{-0,001669 (s + 1,395e4)}{s} \quad (3.118)$$

### 3.8 DISCRETIZAÇÃO DOS CONTROLADORES

#### 3.8.1 Conversor operando no modo Zeta

Discretizando o controlador (3.114) com  $Ta=10 \mu s$  e utilizando o método de tustin, obtém-se (3.119).

$$Ci_{Lb,zeta}(z) = \frac{0,01407 z - 0,01256}{z - 1} \quad (3.119)$$

Representando de uma forma mais adequada a implementação digital, tem-se (3.120)

$$\frac{u(z)}{\text{erro}(z)} = \frac{0,01407 - 0,01256z^{-1}}{1 - z^{-1}} \quad (3.120)$$

A equação (3.121) implementa o controlador  $Ci_{Lb}$  no processador digital de sinais.

$$u(z) = 0,01407 \cdot \text{erro}(z) - 0,01256 \cdot \text{erro}(z-1) + u(z-1) \quad (3.121)$$

Discretizando o controlador (3.115) com  $Ta=10 \mu s$  e utilizando o método de tustin, obtém-se (3.122).

$$Cv_{Cb}(z) = \frac{0,0008927 z - 0,0007763}{z - 1} \quad (3.122)$$

Representando de uma forma mais adequada a implementação digital, tem-se (3.123)

$$\frac{u(z)}{\text{erro}(z)} = \frac{0,0008927 - 0,0007763z^{-1}}{1 - z^{-1}} \quad (3.123)$$

A equação (3.124) implementa o controlador  $Cv_{Cb}$  no processador digital de sinais.

$$u(z) = 0,0008927 \cdot \text{erro}(z) - 0,0007763 \cdot \text{erro}(z-1) + u(z-1) \quad (3.124)$$

### 3.8.2 Conversor operando no modo Sepic

Discretizando o controlador (3.116) com um período de amostragem de 10  $\mu$ s e utilizando o método de *tustin*, obtém-se (3.125).

$$C_{i_{Lb,sepic}}(z) = \frac{0,001879 z - 0,001678}{z - 1} \quad (3.125)$$

Representando de uma forma mais adequada a implementação digital, tem-se (3.126)

$$\frac{u(z)}{erro(z)} = \frac{0,001879 - 0,001678z^{-1}}{1 - z^{-1}} \quad (3.126)$$

A equação (3.127) implementa o controlador  $C_{i_{Lb}}$  no processador digital de sinais.

$$u(z) = 0,001879 \cdot erro(z) - 0,001678 \cdot erro(z - 1) + u(z - 1) \quad (3.127)$$

Discretizando o controlador (3.118) com período de amostragem de 10  $\mu$ s e utilizando o método de *tustin*, obtém-se (3.128).

$$C_{v_{Ca}}(z) = \frac{-0,0004463 z + 0,0003881}{z - 1} \quad (3.128)$$

Representando de uma forma mais adequada a implementação digital, tem-se (3.129).

$$\frac{u(z)}{erro(z)} = \frac{-0,0004463 + 0,0003881z^{-1}}{1 - z^{-1}} \quad (3.129)$$

A equação (3.130) implementa o controlador  $C_{v_{Ca}}(s)$  no processador digital de sinais.

$$u(z) = -0,0004463 \cdot erro(z) + 0,0003881 \cdot erro(z - 1) + u(z - 1) \quad (3.130)$$

## 3.9 SIMULAÇÃO NUMÉRICA

A simulação numérica visa verificar a consistência das respostas dinâmicas das malhas de controle projetadas no MATLAB.

### 3.9.1 Conversor operando no modo Zeta

A Figura 3.52 apresenta a simulação da resposta apresentada na Figura 3.44 e verifica-se que as respostas são idênticas.

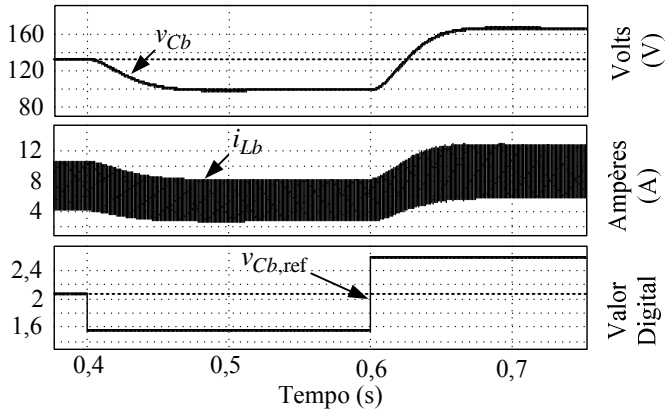


Figura 3.52 - Resposta obtida por simulação no PSIM para degrau de referência na tensão  $v_{Cb}$  do conversor Zeta-Sepic isolado com grameamento ativo.

O controlador de tensão é projetado com base na resposta ao degrau de referência, a Figura 3.53 apresenta a resposta do sistema para uma perturbação de carga. Observa-se que, devido ao fato do controlador ter uma dinâmica lenta, o sobressinal é elevado.

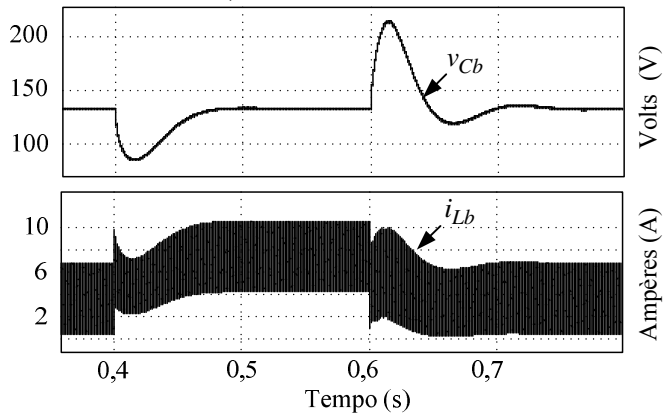


Figura 3.53 - Resposta para perturbação de carga de 50% para 100%.

### 3.9.2 Conversor operando no modo Sepic

Da mesma maneira, é simulada a resposta ao degrau de referência de tensão para o conversor operando no modo Sepic.

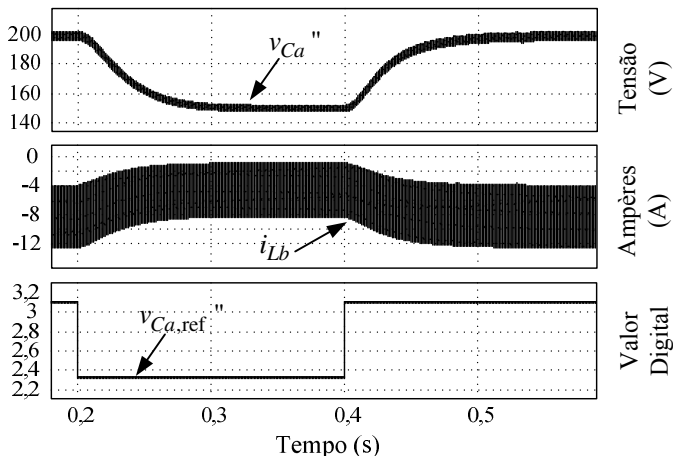


Figura 3.54 - Resultado da simulação do degrau de referência de tensão para o conversor Zeta-Sepic operando no modo Sepic.

### 3.9.3 Conversor operando em ambos os modos

Dentre as simulações apresentadas neste capítulo, o conversor ou operava no modo Zeta ou operava no modo Sepic isoladamente. Aqui é mostrada uma simulação da resposta da malha de corrente para o conversor operando em ambos os modos, ou seja, o degrau de referência impõe a troca do modo de operação.

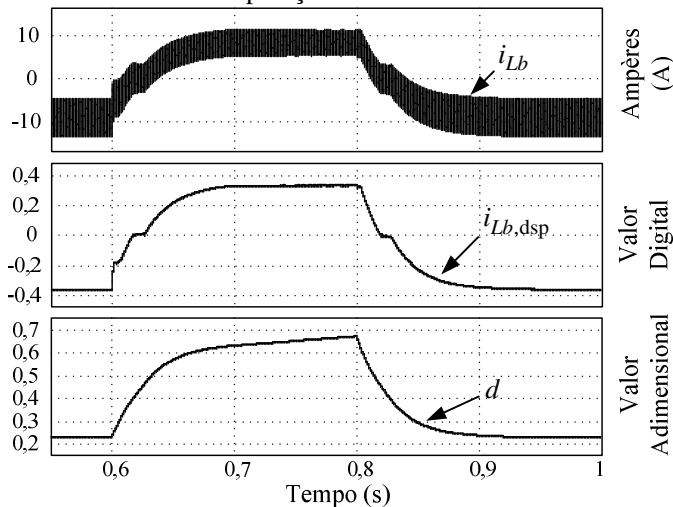


Figura 3.55 - Resultado da simulação do degrau de referência de corrente para o conversor Zeta-Sepic bidirecional isolado com Grampeamento Ativo.



Pela Figura 3.55 pode-se verificar algo similar a um ponto de inflexão na passagem por zero da corrente na indutância  $L_b$ . As razões para tal comportamento não serão abordadas neste trabalho.

Verifica-se também que a resposta é melhorada com retirada da indutância de comutação, ver Figura 3.56.

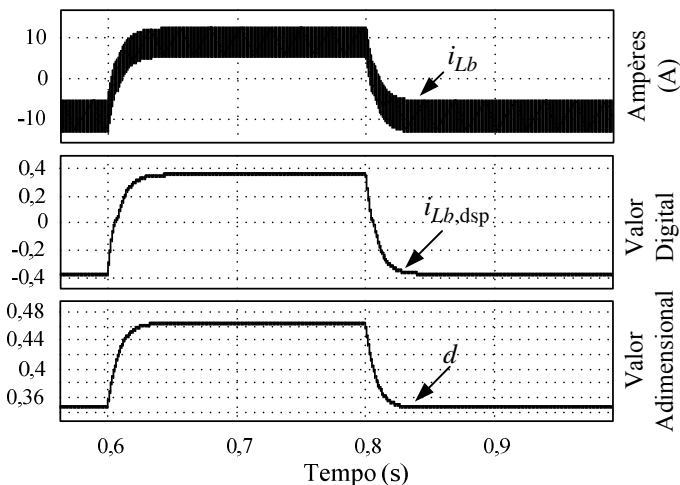


Figura 3.56 - Resultado da simulação do degrau de referência de corrente para o conversor Zeta-Sepic bidirecional isolado com Grampeamento Ativo sem a indutância de comutação.

### 3.10 RESULTADOS EXPERIMENTAIS

A validação do estudo teórico é realizada mediante a construção de um protótipo. O principal requisito de projeto é de permitir a observação das formas de onda obtidas em teoria e verificar a consistência das equações que regem o comportamento estático e dinâmico do conversor.

A corrente na célula de grampeamento Zeta possui componente alternada de grande amplitude, característica que afeta diretamente o projeto dos indutores acoplados. O uso de fios comuns de cobre envernizados não se mostrou adequado apresentando um aquecimento exagerado, assim, optou-se por utilizar fios Litz de 40 condutores AWG 37 em paralelo solucionando o problema da elevação de temperatura.

O elevado valor eficaz de corrente nos capacitores motivou a utilização de capacitores de polipropileno.

Outro aspecto importante é a comutação nos diodos das células de grampeamento. Diodos lentos evidenciam fenômenos de comutação que fogem do presente foco de estudo, sendo por esta razão utilizado IGBT ao invés de MOSFET. O IGBT utilizado é o IRGP50B60PD de 600 V e 33 A e diodo com tempo típico de recuperação reversa de 50 ns a 25 graus Celsius na junção.

O acionamento do gatilho dos interruptores é feito com o uso dos *drivers* SKHI 20op e com resistor de gatilho de 22  $\Omega$ . Desabilita-se a proteção de corrente.

Novamente faz-se uso do DSP da Texas, TMS320F2812 para a geração dos pulsos PWM, sendo possível a total reutilização do código escrito na versão não isolada.

O atual escopo do projeto do conversor não inclui ensaios de rendimento, apesar da sua importância no produto final.

### 3.10.1 Indutores acoplados

Os indutores acoplados foram confeccionados com a utilização de fio Litz, que se constitui de 40 condutores AWG 37 entrelaçados em paralelo. A utilização de fio Litz se fez necessária devido a forte componente AC das correntes que passam pelo mesmo, ou seja, o valor eficaz é em torno de três vezes maior que o valor médio. O resultado é uma diminuição significativa no aquecimento do elemento magnético.

Tabela 3.5 - Detalhes construtivos dos indutores acoplados.

Parâmetro	Valor
Densidade máxima de Fluxo	0,25 T
Densidade máxima de corrente	400 A/cm <sup>2</sup>
Núcleo IP12 da Thornton	EE 65/39
Indutância Zeta	250 $\mu$ H
Número de espiras no indutor Zeta	12
Condutores em paralelo no indutor Zeta	16
Comprimento do chicote no indutor Zeta	2,088 m
Indutância Sepic	62,5 $\mu$ H
Número de espiras no indutor Sepic	24
Condutores em paralelo no indutor Sepic	7
Comprimento do chicote no indutor Zeta	4,176 m
Entreferro	0,247 cm

### 3.10.2 Indutor de comutação $L_c$

Projetou-se uma indutância de comutação de 30  $\mu\text{H}$  referenciada ao lado Sepic, com o objetivo de tornar mais evidente a etapa de perda de razão cíclica. Novamente, utiliza-se fio Litz pelas mesmas razões descritas anteriormente.

Tabela 3.6 - Valores construtivos do indutor de comutação.

Parâmetro	Valor
Densidade máxima de Fluxo	0,15 T
Densidade máxima de corrente	300 A/cm <sup>2</sup>
Núcleo IP12 da Thornton	EE 42/15
Indutância de comutação	6 $\mu\text{H}$
Condutor utilizado	Litz
Número de espiras	9
Condutores em paralelo	11
Comprimento do chicote	0,783 m
Entreferro	0,307 mm

### 3.10.3 Indutor $L_b$

O indutor  $L_b$  é reaproveitado do protótipo construído para a versão não isolada.

Tabela 3.7 – Detalhes construtivos do indutor  $L_b$

Parâmetro	Valor
Densidade máxima de Fluxo	0,3 T
Densidade máxima de corrente	450 A/cm <sup>2</sup>
Núcleo IP12 da Thornton	EE 65/26
Indutância	230 $\mu\text{H}$
Condutor utilizado	AWG 22
Número de espiras	32
Condutores em paralelo	15
Comprimento do chicote	4,742 m
Entreferro	1,486 mm

### 3.10.4 Carga RC

Para o conversor operando no modo Zeta, utilizou-se uma resistência de  $R_b=17,7 \Omega$  e uma capacitância de  $C_b= 50 \mu\text{F}$ .

Para o conversor operando no modo Sepic, utilizou-se uma resistência de  $R_a=11,6 \Omega$  e uma capacitância de  $C_a= 50 \mu\text{F}$ .

### 3.10.5 Configurando o driver SKHI 20op

Verificou-se que o tempo morto descrito no *datasheet* do *driver* SKHI 20op difere dos tempos encontrados na prática. Esta diferença é corrigida na Tabela 3.8.

Tabela 3.8 – Configuração do tempo morto no Driver SKHI 20op.

Jumper 1 (JP1)	Jumper 2 (JP2)	Jumper 3 (JP3)	Interlock
Fechado	Aberto	Fechado	0,5 $\mu$ s
Fechado	Aberto	Aberto	1,5 $\mu$ s
Aberto	Aberto	Fechado	2,5 $\mu$ s
Aberto	Aberto	Aberto	3,5 $\mu$ s
Qualquer	Fechado	Qualquer	0 $\mu$ s

### 3.10.6 Formas de onda

As formas de onda obtidas possuem como objetivo principal verificar a consistência da análise teórica realizada. O ponto inicial de análise são os pulsos dos interruptores da célula de grampeamento Zeta para o caso em que o conversor está operando no modo Zeta, e os pulsos nos interruptores da célula de grampeamento Sepic para o caso em que o conversor está operando no modo Sepic.

A Figura 3.57 apresenta os pulsos nos gatilhos dos interruptores presentes no conversor Zeta-Sepic com Grampeamento Ativo. Apenas dois pulsos (*Sa* e *Sb*) são gerados pelo processador digital de sinais, os quais são enviados para dois *drivers* SKHI 20op. Um dos *drivers* não possui tempo morto, sendo associado ao comando dos interruptores *Sa* e *Sb*. O *driver* resultante possui tempo morto configurado em 3.5  $\mu$ s, sendo responsável pelo comando dos interruptores *Sc* e *Sd*.

Observando a corrente nas células de grampeamento ativo, verifica-se a dualidade entre os modos de operação. A corrente na célula de grampeamento Zeta (ver Figura 3.58) para o conversor operando no modo Zeta, apresenta o mesmo formato da corrente na célula de grampeamento Sepic (ver Figura 3.59) para o conversor operando no modo Sepic.

A situação inversa também é verificada, a corrente na célula de grampeamento Zeta (ver Figura 3.63) para o conversor operando no modo Sepic, apresenta o mesmo formato da corrente na célula de grampeamento Sepic (ver Figura 3.62) para o conversor operando no modo Zeta.

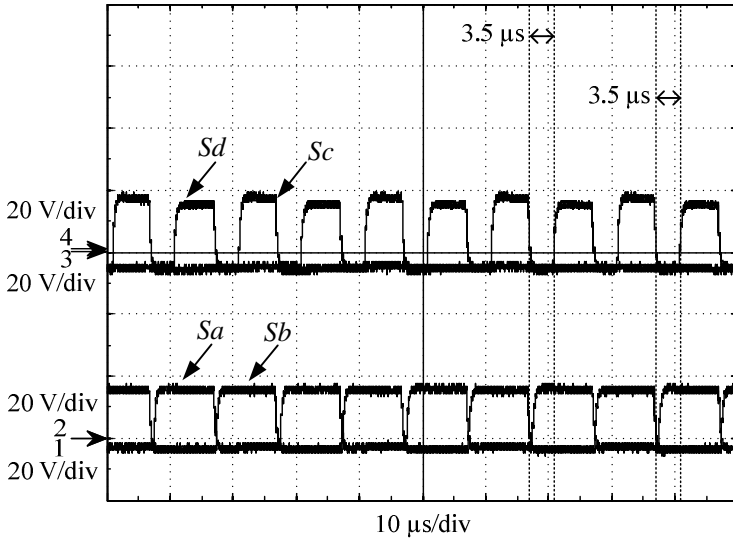


Figura 3.57 - Comando dos interruptores do conversor Zeta-Sepic bidirecional isolado com grameamento Ativo.

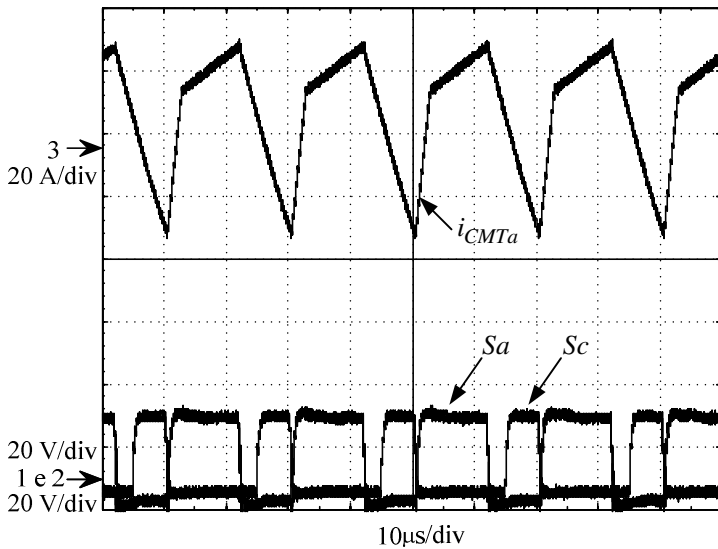


Figura 3.58 - Corrente na indutância de comutação e comando dos interruptores  $Sa$  e  $Sc$  para o conversor operando no modo Zeta.

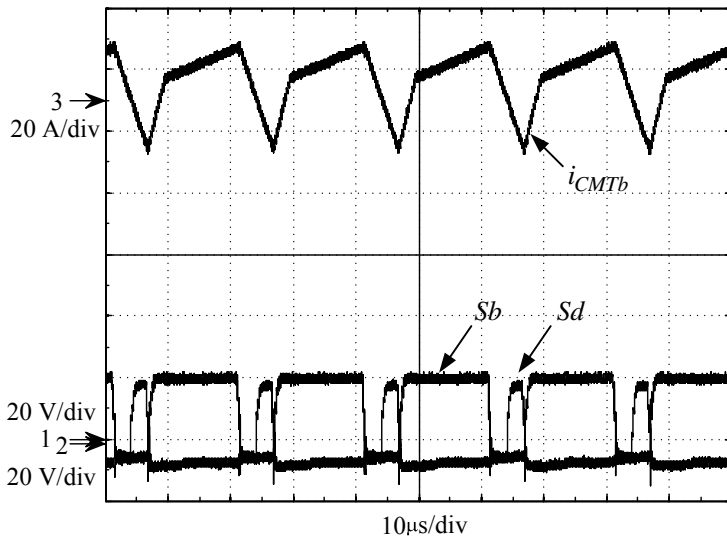


Figura 3.59 - Corrente na célula de comutação Sepic e comando dos interruptores  $S_b$  e  $S_d$  para o conversor operando no modo Sepic.

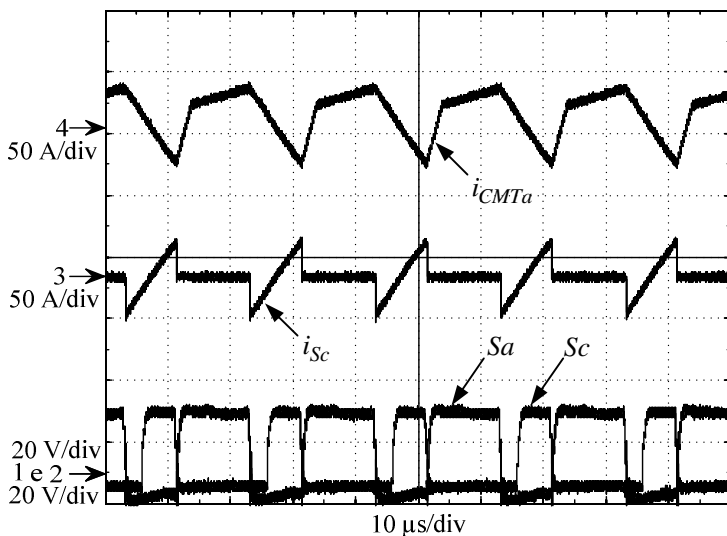


Figura 3.60 - Corrente na indutância de comutação, corrente no interruptor de grameamento Zeta e comando dos interruptores  $S_a$  e  $S_c$  para o conversor operando no modo Zeta.

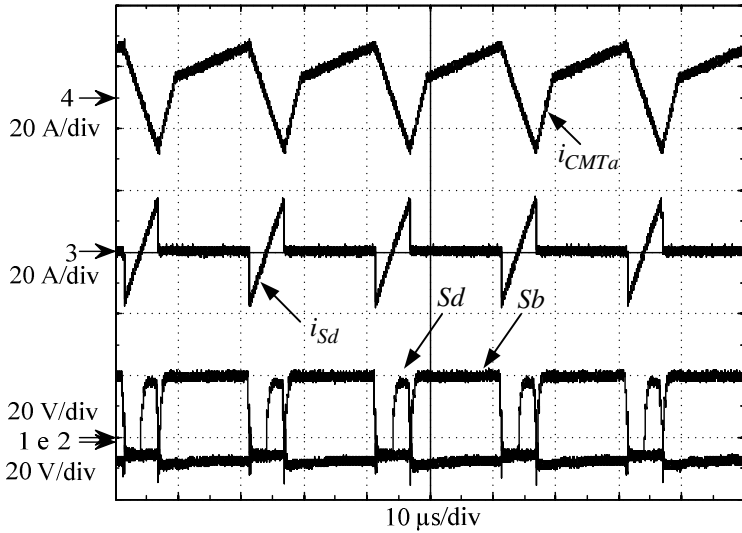


Figura 3.61 - Corrente na célula de comutação Sepic, corrente no interruptor de grampeamento Sepic e comando dos interruptores  $Sb$  e  $Sd$  para o conversor operando no modo Sepic.

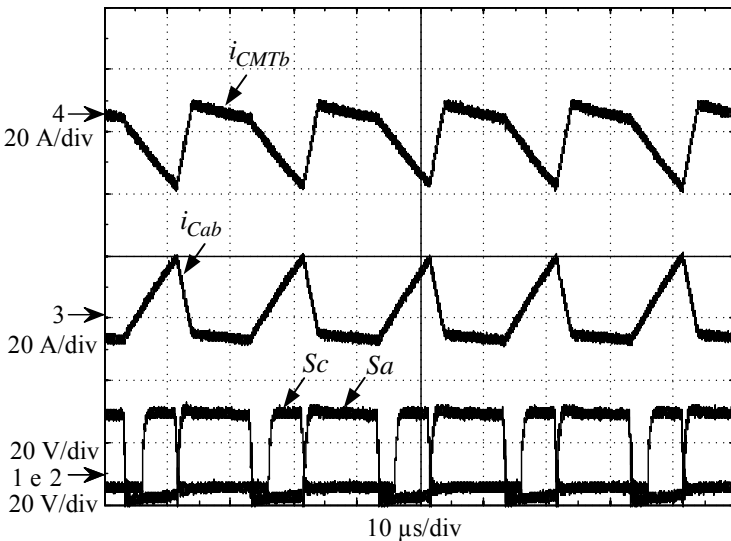


Figura 3.62 - Corrente na célula de comutação Sepic, corrente no capacitor de acoplamento e comando dos interruptores  $Sa$  e  $Sc$  para o conversor operando no modo Zeta.

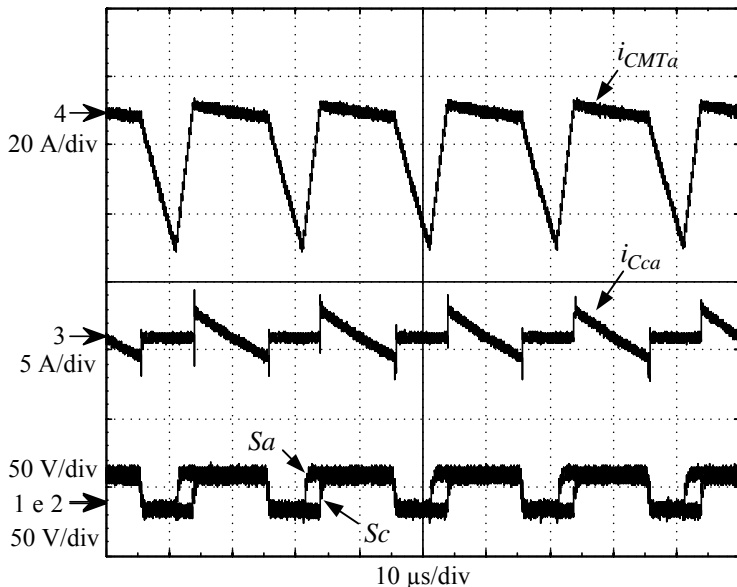


Figura 3.63 - Corrente na célula de comutação Zeta, corrente no capacitor de grameamento Zeta e comando dos interruptores  $Sa$  e  $Sc$  para o conversor operando no modo Sepic.

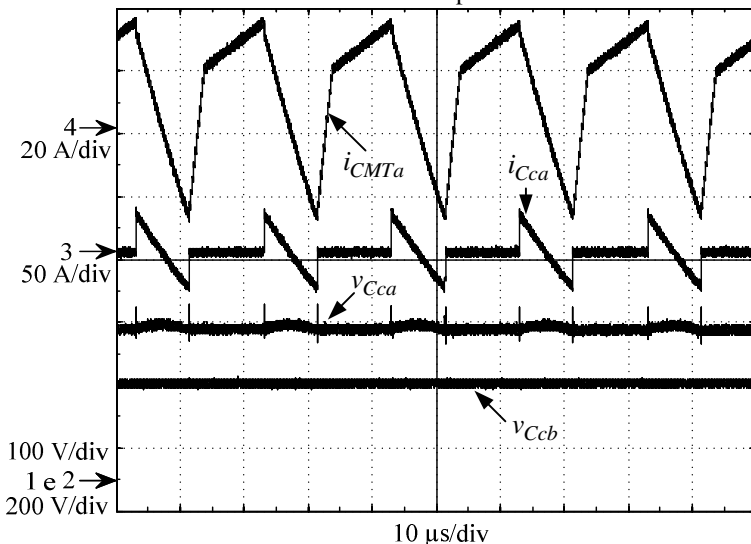


Figura 3.64 - Corrente na indutância de comutação, corrente no capacitor de grameamento Zeta, tensão no capacitor de grameamento Zeta e Sepic, para o conversor operando no modo Zeta.



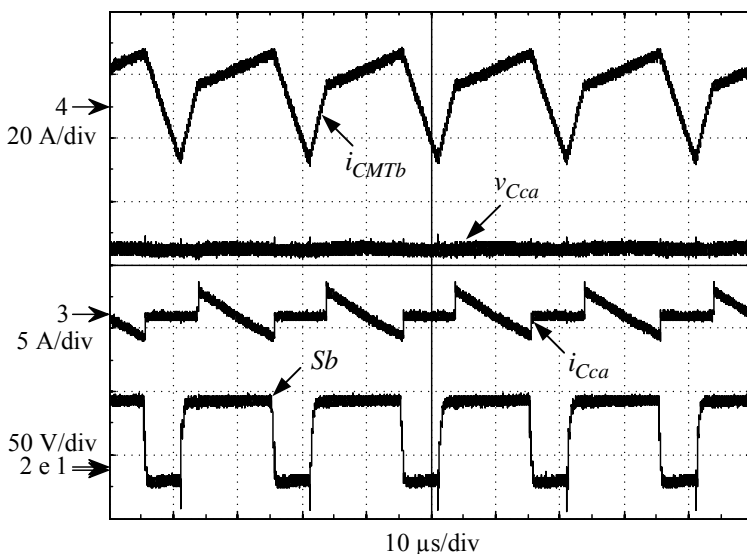


Figura 3.65 – Tensão e corrente no capacitor de grampeamento Zeta e corrente na célula de comutação Sepic para o conversor operando no modo Sepic.

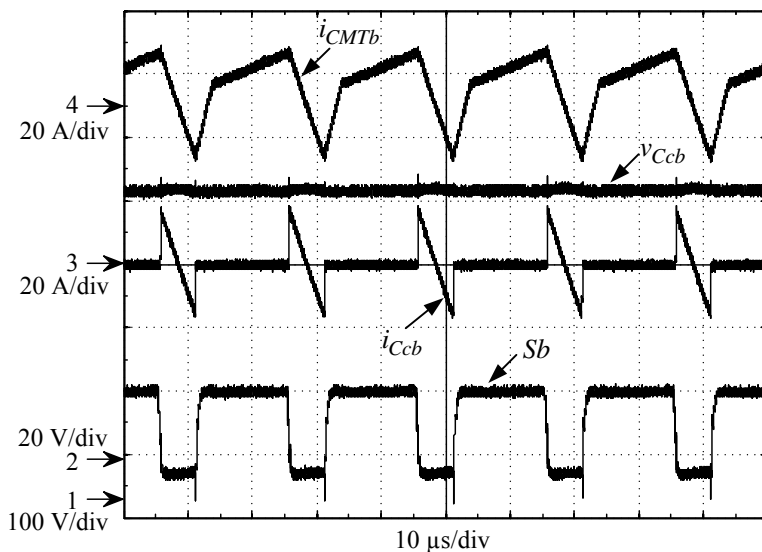


Figura 3.66 - Tensão e corrente no capacitor de grampeamento Sepic e corrente na célula de comutação Zeta para o conversor operando no modo Sepic.

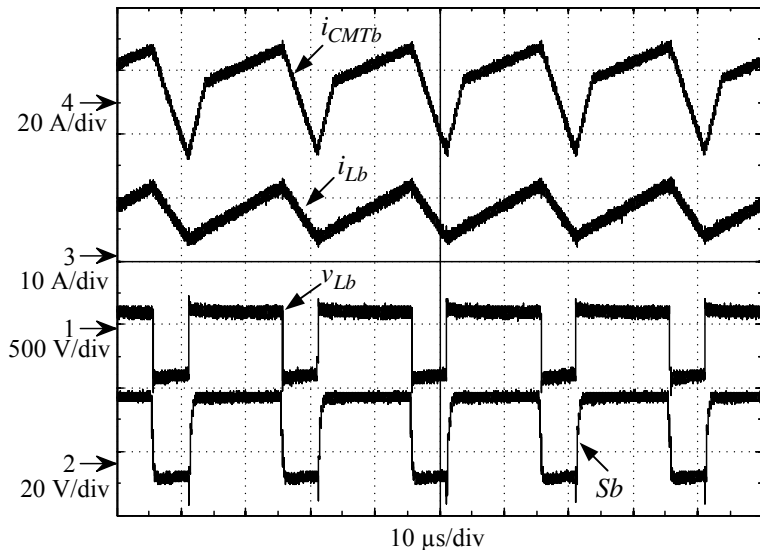


Figura 3.67 – Corrente e tensão na indutância  $L_b$ , comando do interruptor  $S_b$  e corrente de comutação Sepic para o conversor operando no modo Sepic.

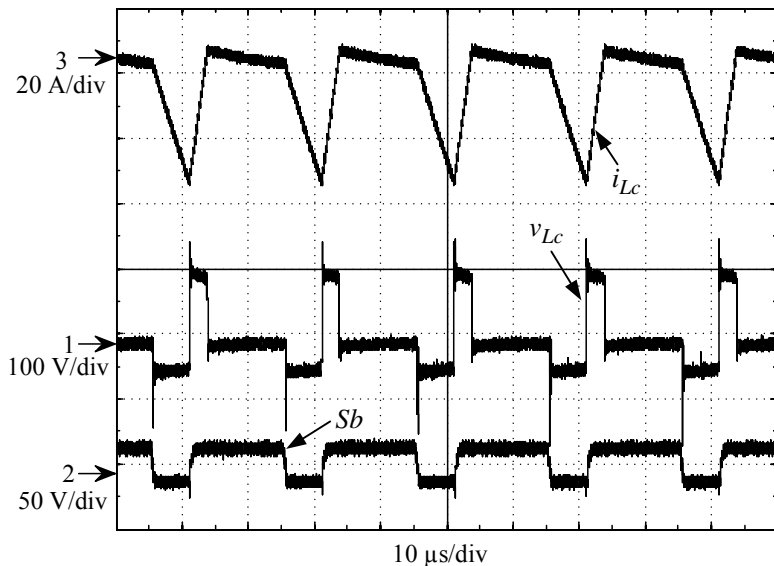


Figura 3.68 – Corrente e tensão na indutância de comutação  $L_c$  e comando do interruptor  $S_b$  para o conversor operando no modo Sepic.

### 3.11 CONCLUSÃO

Este capítulo apresentou o estudo do conversor Zeta-Sepic bidirecional isolado com grameamento ativo, iniciando pela análise estática do conversor.

Devido ao fato da corrente na indutância de comutação apresentar valor médio nulo para uma das três etapas de operação, impossibilitou o uso da modelagem com valores médios instantâneos em espaço de estados seguindo a metodologia apresentada no capítulo anterior. Isto não quer dizer que não seja possível modelar o conversor em espaço de estados.

Tendo em vista que a planta é mais complexa que a versão não isolada apresentada no capítulo anterior, e que o comportamento da corrente na indutância de dispersão torna a modelagem em espaço de estados mais complexa, optou-se pela identificação do sistema.

A identificação do sistema mostrou ser uma ferramenta poderosa, uma vez que possibilita a obtenção de modelos com ordem elevada de forma rápida e fácil, permitindo a abstração de técnicas complexas de modelagem, viabilizando o estudo de topologias novas em malha fechada em um curto espaço de tempo.

Novamente, a consideração das não idealidades resultou em um sistema assintoticamente estável, simplificando o projeto do controlador de corrente. Apesar da complexidade da planta, foi possível controlar o conversor em ambos os modos de operação com um único controlador PI.

Resultados experimentais confirmam a consistência do estudo teórico realizado. A estratégia de comando dos interruptores se mostrou bem adequada, além de ser simples, é robusta, uma vez que imprecisões no tempo morto dos interruptores de grameamento não inviabilizam a operação do conversor.

Pela análise das formas de onda, observa-se a dualidade entre os modos de operação do conversor Zeta-Sepic.



---

---

## 4 CONVERSOR CC-CC ZETA-SEPIC BIDIRECIONAL ISOLADO COM GRAMPEAMENTO ATIVO E *INTERLEAVING*

---

---

### 4.1 INTRODUÇÃO

O *interleaving* é composto pela operação simultânea, porém defasada de dois ou mais conversores Zeta-Sepic isolados com grampeamento ativo. Entende-se por conversores defasados, conversores cujos ângulos da portadora do pulso PWM diferem entre si.

A aplicação do *interleaving* no conversor Zeta-Sepic isolado com grampeamento ativo tem as seguintes finalidades:

- ✓ Eliminar a descontinuidade de corrente na fonte Zeta ( $V_a$ ) para o conversor operando no modo Sepic.
- ✓ Aumentar a capacidade de corrente na fonte de menor tensão ( $V_a$ ).
- ✓ Contribuir para o aumento do ganho estático de tensão.
- ✓ Diminuir a ondulação de corrente na fonte Zeta.

De forma a atender estes objetivos, os conversores são associados em série na fonte Zeta e em paralelo na fonte Sepic.

Este capítulo apresenta o estudo realizado sobre a topologia formada pelo *interleaving* de três conversores CC-CC Zeta-Sepic bidirecionais isolados com grampeamento ativo.

A análise estática e dinâmica realizada no capítulo anterior é totalmente aproveitada.

4.2 CIRCUITO EQUIVALENTE DO CONVERSOR CC-CC ZETA-SEPIC OPERANDO EM *INTERLEAVING*

Três conversores CC-CC Zeta-Sepic com grampeamento ativo são associados em paralelo na fonte Zeta e em série na fonte Sepic, constituindo a topologia apresentada na Figura 4.1.

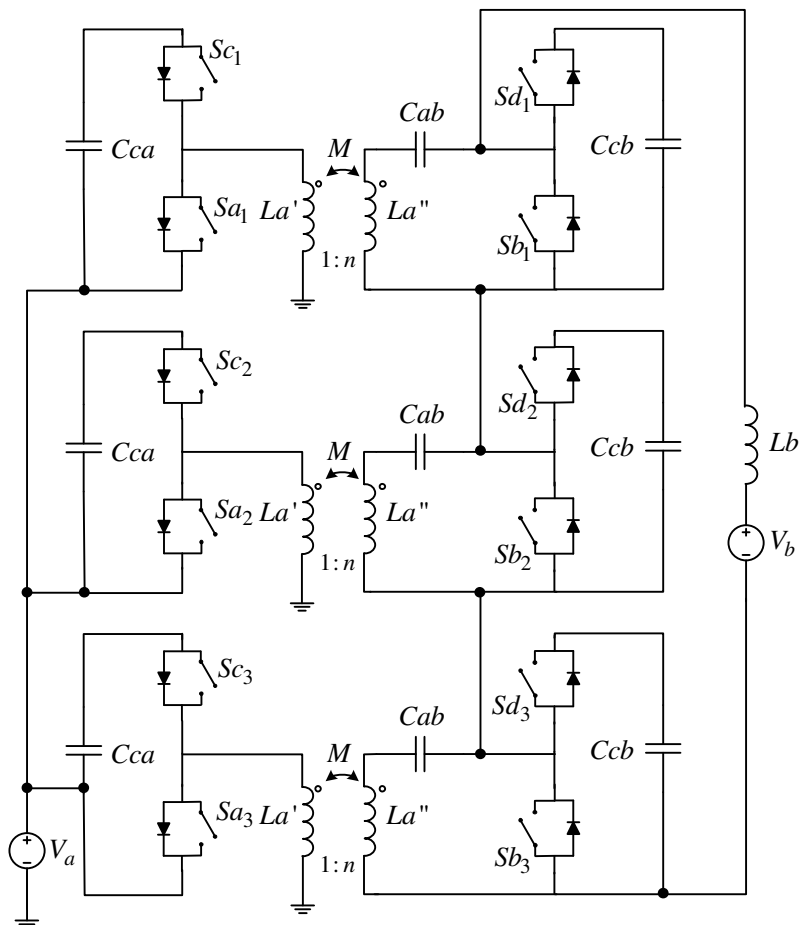


Figura 4.1 - Conversor CC-CC Zeta-Sepic isolado com Grampeamento Ativo e *interleaving*.

O circuito equivalente é obtido referenciando cada unidade ao lado Sepic, e dividindo a fonte Zeta em três.

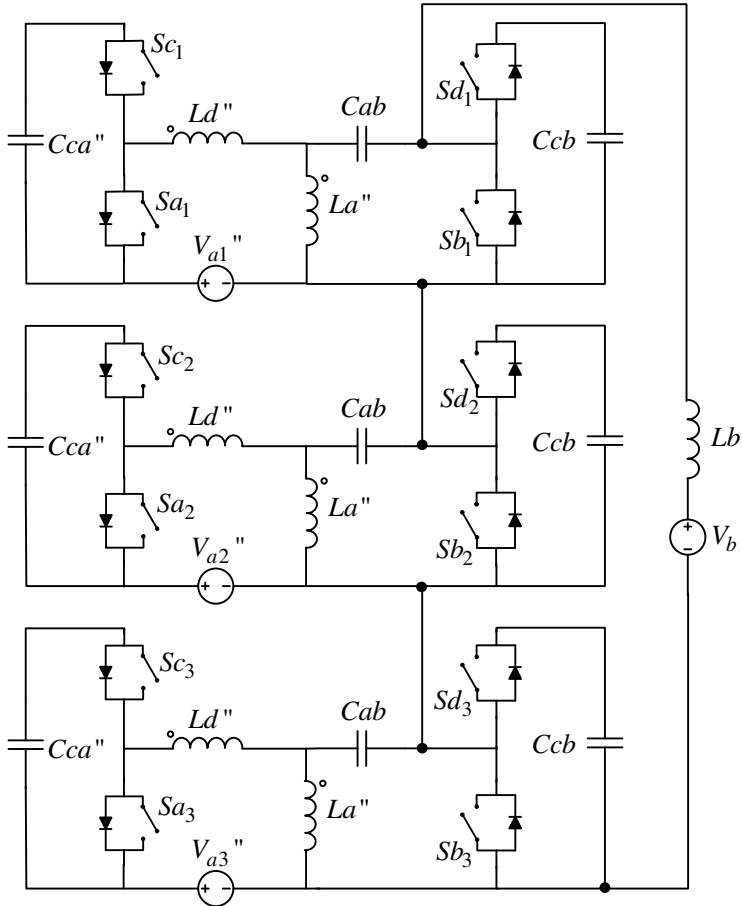


Figura 4.2 - Circuito equivalente do conversor CC-CC Zeta-Sepic Isolado com Grampeamento Ativo e *interleaving*.

#### 4.3 ESTADOS TOPOLÓGICOS PARA *INTERLEAVING* DE TRÊS CONVERSORES ZETA-SEPIC BIDIRECIONAIS ISOLADOS COM GRAMPEAMENTO ATIVO

Os estados topológicos da estrutura com *interleaving* possuem como unidade básica a topologia estudada no capítulo anterior. Desta forma associam-se letras às etapas estudadas previamente com o objetivo de simplificar a nomenclatura que descreve as etapas do conversor com *interleaving*.

A etapa de perda de razão cíclica ( $Dp$ ) é associada à letra P. A etapa  $Ds$  é associada à letra S, enquanto a etapa  $Dz$  à letra Z. Estas etapas estão ligadas entre si de forma cíclica durante o período de comutação do conversor.

No *interleaving* de três conversores, cada unidade opera com o sinal da portadora PWM defasada de 120 graus. Sendo três etapas por unidade e três unidades defasadas, o produto resultante gera nove etapas ou estados topológicos por modo de operação.

Para organizar os estados topológicos, subdividem-se as etapas  $Ds$  e  $Dz$  em quatro partes, que somadas à etapa  $Dp$  formam nove pontos de quebra.

Estes nove pontos, representados pelas letras S, Z e P são espalhados igualmente em círculos concêntricos com raios distintos. Setas provenientes do centroide destes círculos cruzam as letras e definem a nomenclatura da cada estado topológico. Observe que o círculo interno representa a unidade 1, o intermediário a unidade 2 e o externo a unidade 3. A etapa de perda de razão cíclica é tomada como referência angular, cujo instante inicial é definido pelo pulso no interruptor  $Sa$  da unidade 1 para o conversor operando no modo Zeta e no interruptor  $Sb$  da unidade 1 para o conversor operando no modo Sepic.

Por fim, é importante resaltar que a Figura 4.3 assim como a Figura 4.4, foram concebidas com o objetivo de organizar a sequência em que os estados topológicos ocorrem.



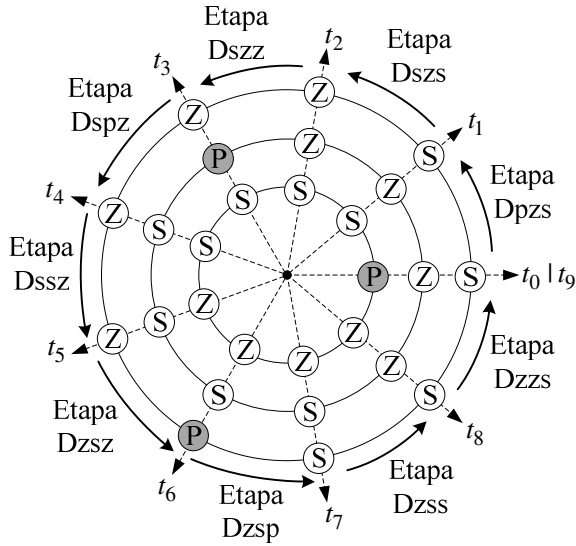


Figura 4.3 - Organização dos estados topológicos para o conversor operando no modo Zeta.

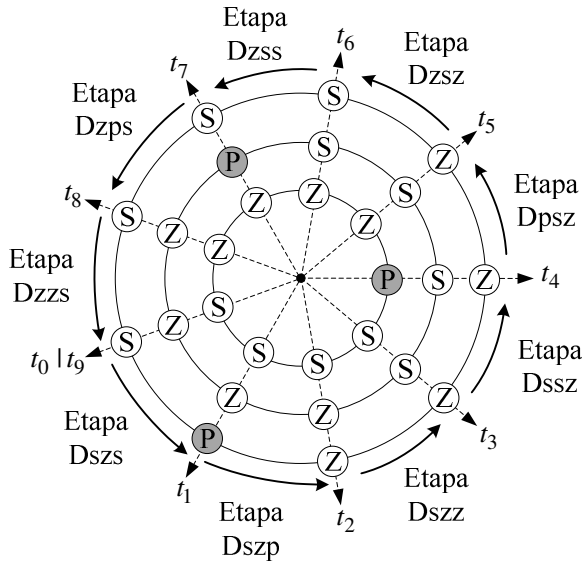


Figura 4.4 - Organização dos estados topológicos para o conversor operando no modo Sepic.

### 4.3.1 Estado topológico Dpzs (Modo Zeta)

Estado topológico composto pela etapa Dp na unidade 1, etapa Dz na unidade 2 e etapa Ds na terceira unidade.

O tempo de duração deste estado é definido pela duração da etapa Dp da unidade 1 para o conversor operando no modo Zeta.

Este estado ocorre apenas quando o conversor está operando no modo Zeta.

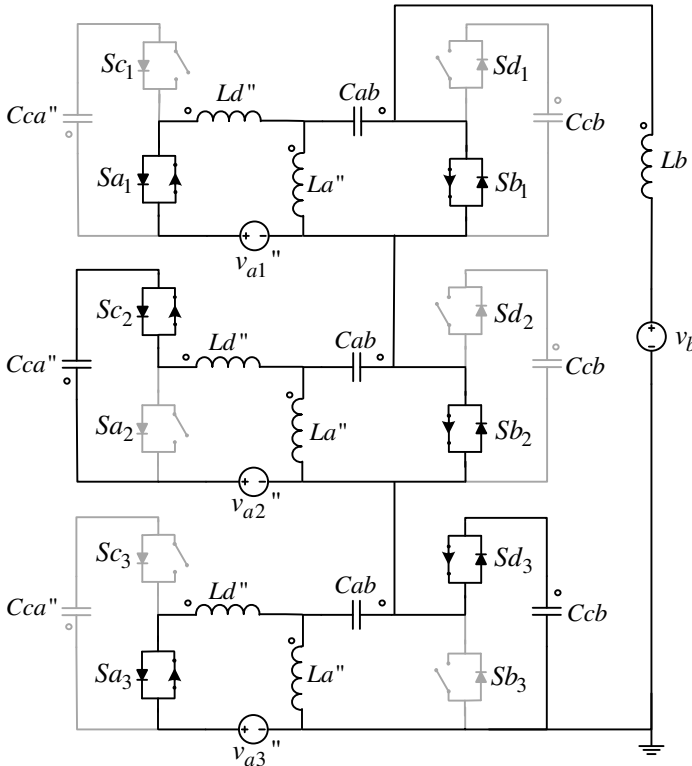


Figura 4.5 - Estado topológico Dpzs;  $(t_0, t_1)$  – Modo Zeta.

### 4.3.2 Estado topológico Dzps (Modo Sepic)

Estado topológico composto pela etapa Dz na unidade 1, etapa Dp na unidade 2 e etapa Ds na terceira unidade.

O tempo de duração deste estado é definido pela duração da etapa Dp da unidade 2 para o conversor operando no modo Sepic.

Este estado ocorre apenas quando o conversor está operando no modo Sepic.

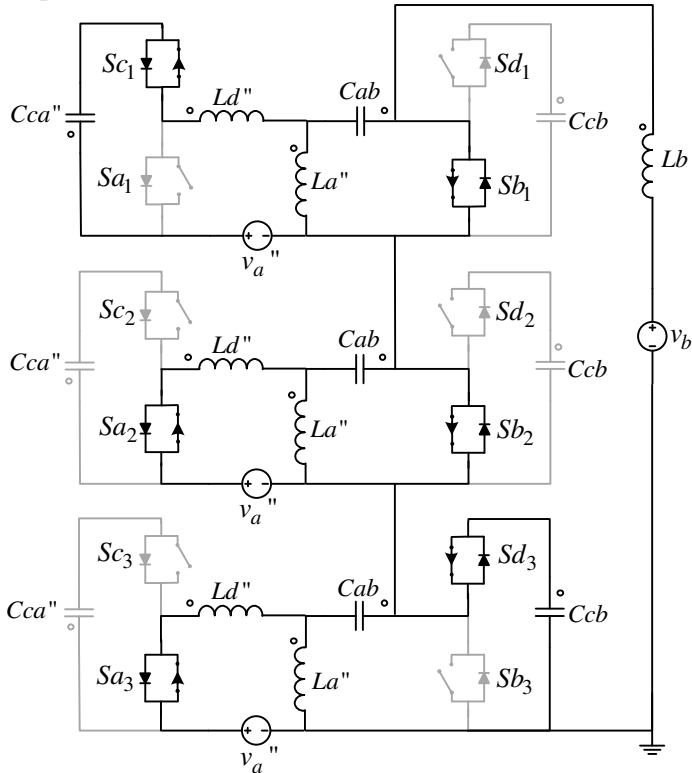


Figura 4.6 - Estado topológico Dzps; ( $t_7, t_8$ ) – Modo Sepic.

### 4.3.3 Estado topológico Dszs

Estado topológico composto pela etapa Ds na unidade 1, etapa Dz na unidade 2 e etapa Ds na terceira unidade.

O tempo de duração deste estado é definido pela razão cíclica da unidade 3 e pela duração da etapa de tempo morto na unidade 1, ou seja,  $t_{Dszs,zeta} = (D_3 - Dp_1 - 1/3)T_s$  para o conversor operando no modo Zeta.

Para o conversor operando no modo Sepic, a duração é definida pela razão cíclica da unidade 3,  $t_{Dszs,sepic} = (1/3 - D_3)T_s$ .

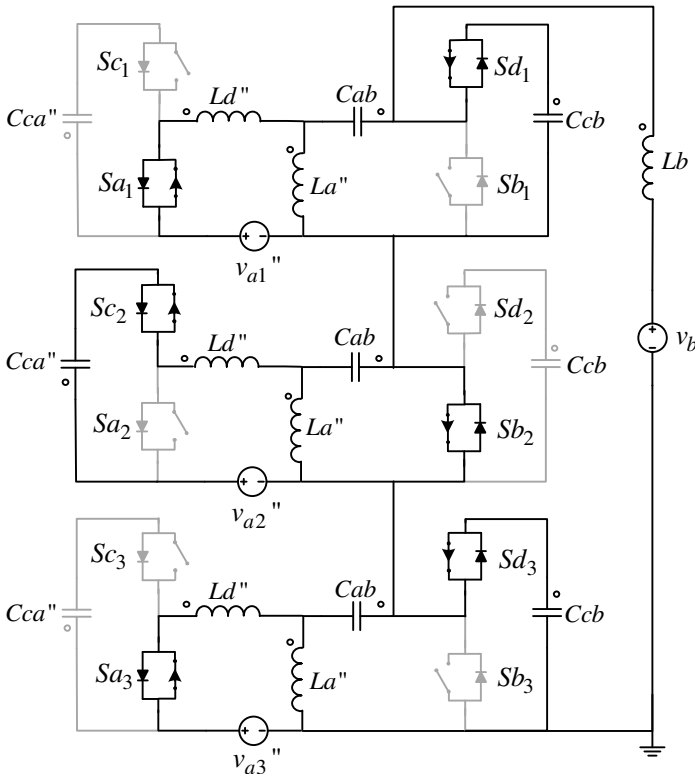


Figura 4.7 - Estado topológico Dszs;  $(t_1, t_2)$  – Modo Zeta;  $(t_0, t_1)$  – Modo Sepic.

#### 4.3.4 Estado topológico Dszz

Estado topológico composto pela etapa Ds na unidade 1, etapa Dz na unidade 2 e etapa Dz na terceira unidade.

A duração deste estado topológico é definida pela razão cíclica da unidade 3, ou seja,  $t_{Dszz,zeta} = (2/3 - D_3)T_s$  para o conversor operando no modo Zeta.

Para o conversor operando no modo Sepic, a duração é definida pela razão cíclica da unidade 3 e pela duração da etapa de perda de razão cíclica da unidade 3,  $t_{Dszz,sepic} = (2/3 - D_3 - Dp_3)T_s$ .

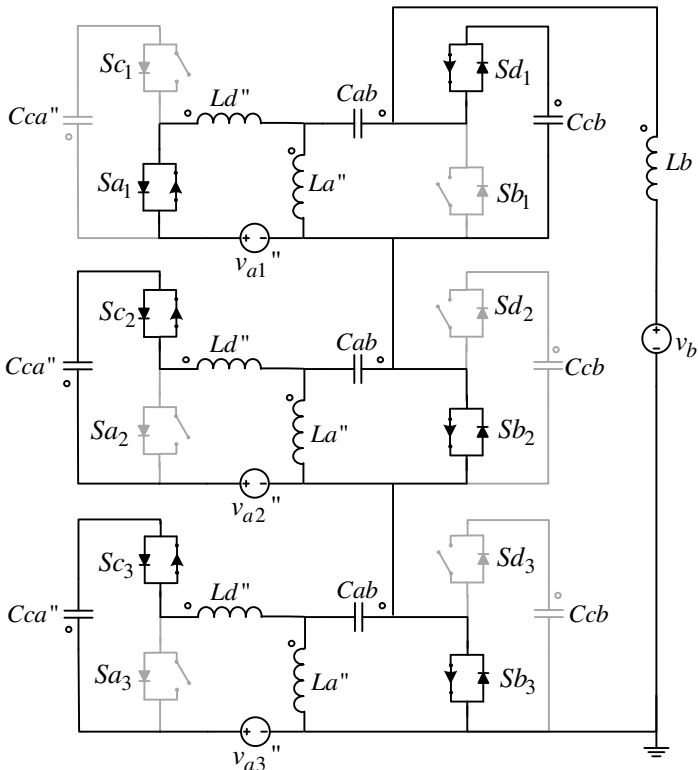


Figura 4.8 - Estado topológico Dszz;  $(t_2, t_3)$  – Modo Zeta;  $(t_2, t_3)$  – Modo Sepic.

### 4.3.5 Estado topológico Dspz (Modo Zeta)

Estado topológico composto pela etapa Ds na unidade 1, etapa Dp na unidade 2 e etapa Dz na terceira unidade.

O tempo de duração deste estado é definido pela duração da etapa Dp da unidade 2 para o conversor operando no modo Zeta.

Este estado ocorre apenas quando o conversor está operando no modo Zeta.

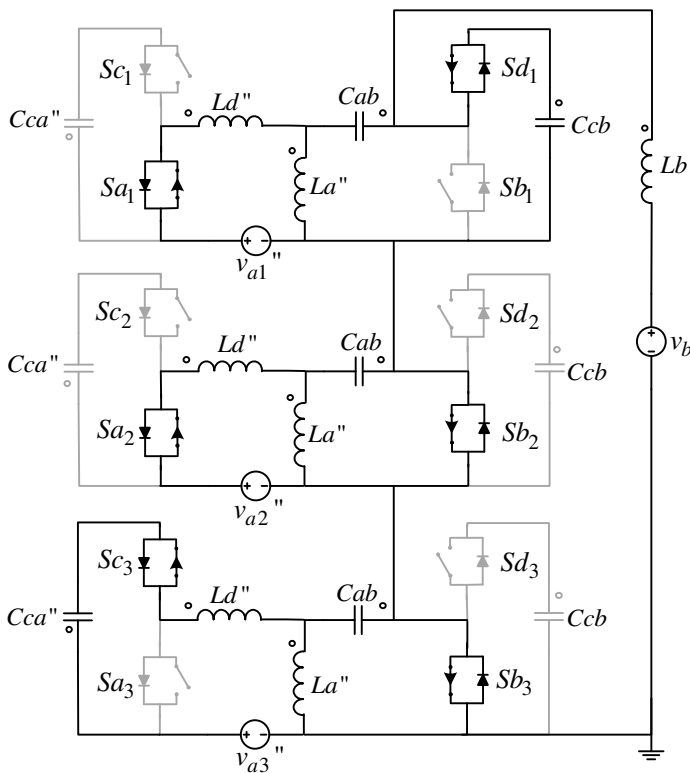


Figura 4.9 – Estado topológico Dspz;  $(t_3, t_4)$  – Modo Zeta.

#### 4.3.6 Estado topológico Dpsz (Modo Sepic)

Estado topológico composto pela etapa Dp na unidade 1, etapa Ds na unidade 2 e etapa Dz na terceira unidade.

O tempo de duração deste estado é definido pela duração da etapa Dp da unidade 2 para o conversor operando no modo Sepic.

Este estado ocorre apenas quando o conversor está operando no modo Sepic.

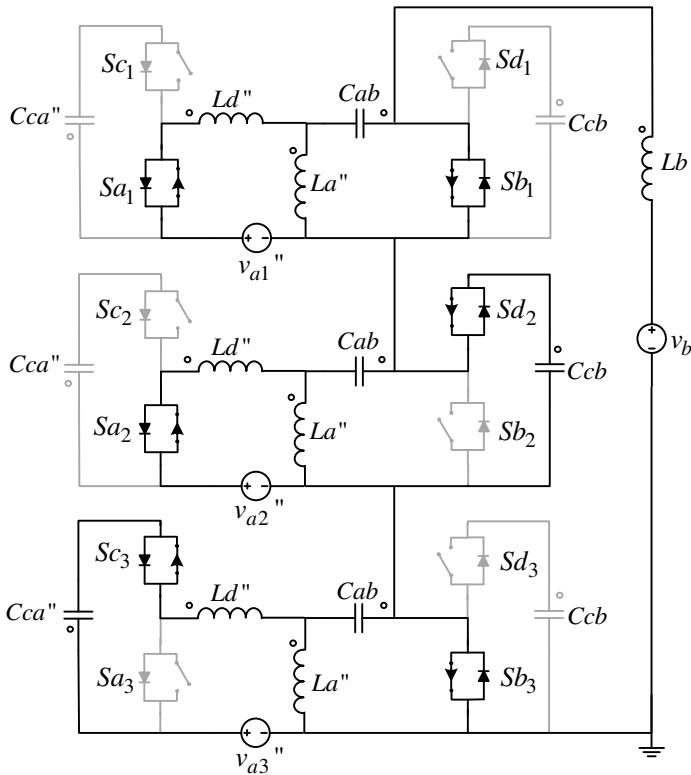


Figura 4.10 - Estado topológico Dpsz; ( $t_4, t_5$ ) – Modo Sepic.

### 4.3.7 Estado topológico Dssz

Estado topológico composto pela etapa Ds na unidade 1, etapa Ds na unidade 2 e etapa Dz na terceira unidade.

O tempo de duração deste estado é definido pela razão cíclica da unidade 1 e pela duração da etapa de tempo morto na unidade 2, ou seja,  $t_{D_{ssz,zeta}} = (D_1 - Dp_2 - 1/3)T_s$  para o conversor operando no modo Zeta.

Para o conversor operando no modo Sepic, a duração é definida pela razão cíclica da unidade 1,  $t_{D_{ssz,sepic}} = (1/3 - D_1)T_s$ .

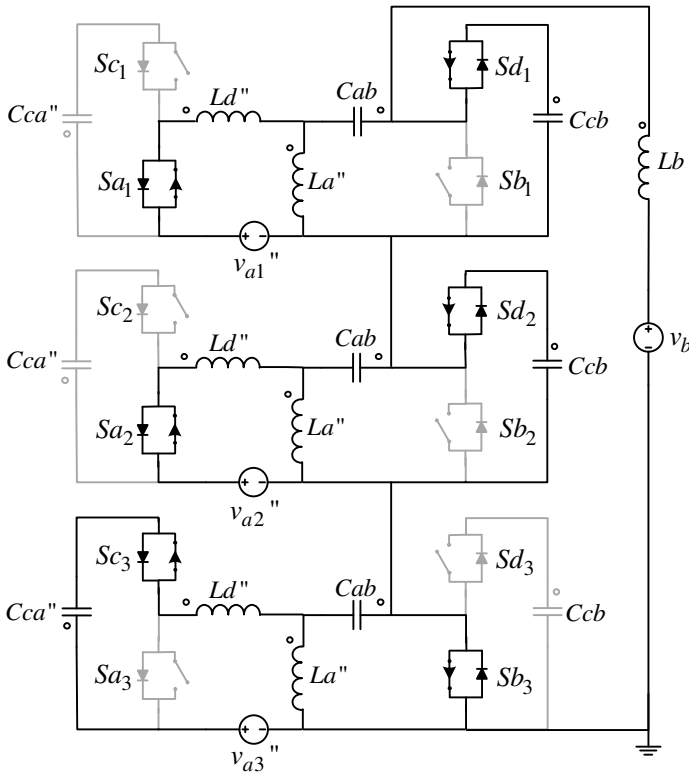


Figura 4.11 - Estado topológico Dssz;  $(t_4, t_5)$  – Modo Zeta;  $(t_3, t_4)$  – Modo Sepic.



### 4.3.8 Estado topológico D<sub>zsz</sub>

Estado topológico composto pela etapa Dz na unidade 1, etapa D<sub>s</sub> na unidade 2 e etapa Dz na terceira unidade.

A duração deste estado topológico é definida pela razão cíclica da unidade 1, ou seja,  $t_{Dzsz,zeta} = (2/3 - D_1)T_s$  para o conversor operando no modo Zeta.

Para o conversor operando no modo Sepic, a duração é definida pela razão cíclica da unidade 1 e pela duração da etapa de perda de razão cíclica da unidade 1,  $t_{Dzsz,sepic} = (2/3 - D_1 - Dp_1)T_s$ .

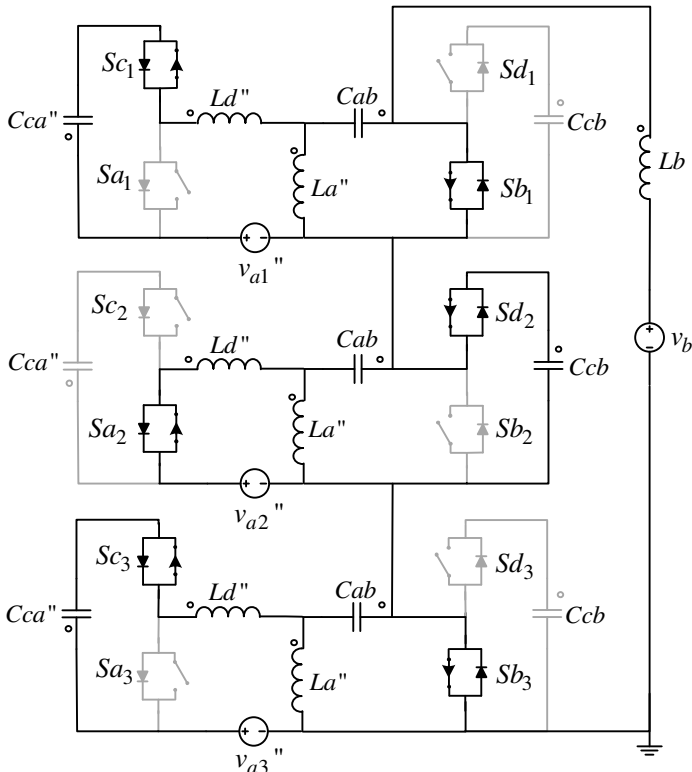


Figura 4.12 – Estado topológico D<sub>zsz</sub>; ( $t_5, t_6$ ) – Modo Zeta; ( $t_5, t_6$ ) – Modo Sepic.

### 4.3.9 Estado topológico Dzsp (Modo Zeta)

Estado topológico composto pela etapa Dz na unidade 1, etapa Ds na unidade 2 e etapa Dp na terceira unidade.

O tempo de duração deste estado é definido pela duração da etapa Dp da unidade 3 para o conversor operando no modo Zeta.

Este estado ocorre apenas quando o conversor está operando no modo Zeta.

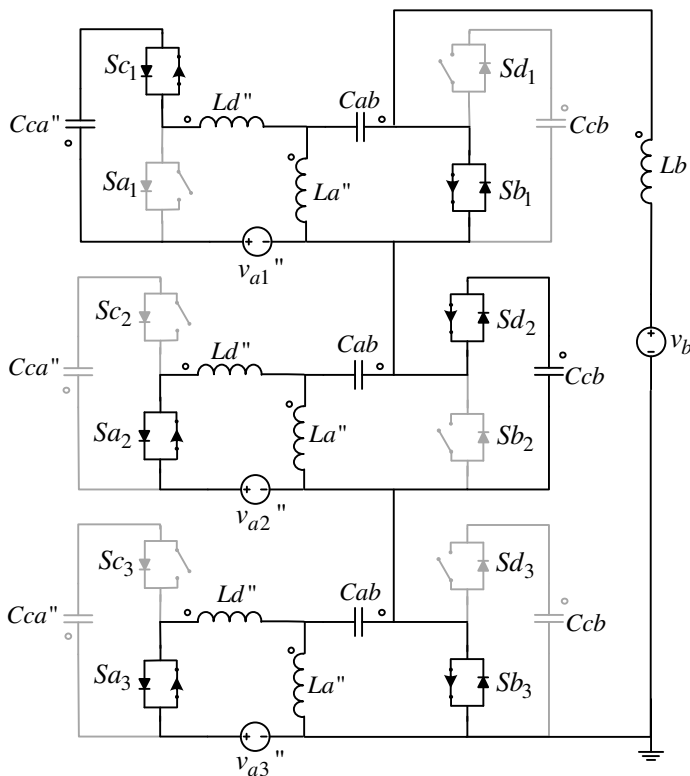


Figura 4.13 - Estado topológico Dzsp;  $(t_6, t_7)$  – Modo Zeta.

#### 4.3.10 Estado topológico Dszp (Modo Sepic)

Estado topológico composto pela etapa Ds na unidade 1, etapa Dz na unidade 2 e etapa Dp na terceira unidade.

O tempo de duração deste estado é definido pela duração da etapa Dp da unidade 3 para o conversor operando no modo Sepic.

Este estado ocorre apenas quando o conversor está operando no modo Sepic.

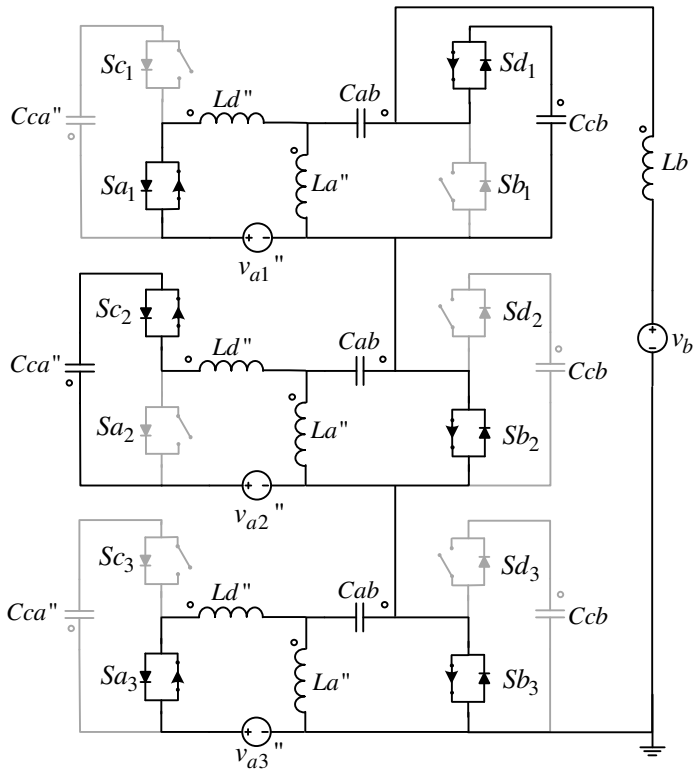


Figura 4.14 - Estado topológico Dszp;  $(t_1, t_2)$  – Modo Sepic.

### 4.3.11 Estado topológico Dzss

Estado topológico composto pela etapa Dz na unidade 1, etapa Ds na unidade 2 e etapa Ds na terceira unidade.

O tempo de duração deste estado é definido pela razão cíclica da unidade 2 e pela duração da etapa de tempo morto na unidade 3, ou seja,  $t_{Dzss,zeta} = (D_2 - Dp_3 - 1/3)T_s$ , para o conversor operando no modo Zeta.

Para o conversor operando no modo Sepic, a duração é definida pela razão cíclica da unidade 2,  $t_{Dzss,sepic} = (1/3 - D_2)T_s$ .

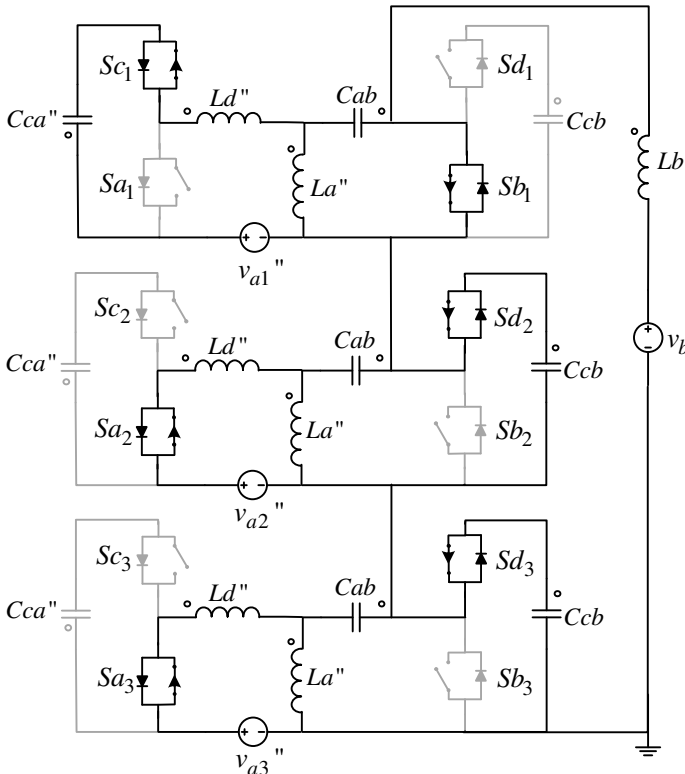


Figura 4.15 - Estado topológico Dzss;  $(t_7, t_8)$  – Modo Zeta;  $(t_6, t_7)$  – Modo Sepic.

#### 4.3.12 Estado topológico Dz<sub>zs</sub>

Estado topológico composto pela etapa Dz na unidade 1, etapa Dz na unidade 2 e etapa Ds na terceira unidade.

A duração deste estado topológico é definida pela razão cíclica da unidade 2, ou seja,  $t_{Dz_{zs},zeta} = (2/3 - D_2)T_s$  para o conversor operando no modo Zeta.

Para o conversor operando no modo Sepic, a duração é definida pela razão cíclica da unidade 2 e pela duração da etapa de perda de razão cíclica da unidade 2,  $t_{Dz_{zs},sepic} = (2/3 - D_2 - Dp_2)T_s$ .

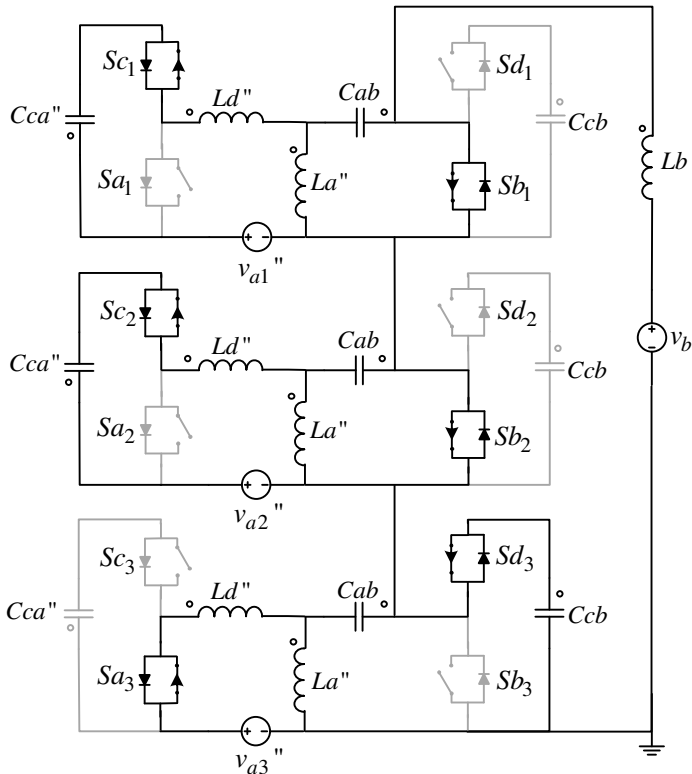


Figura 4.16 - Estado topológico Dz<sub>zs</sub>; ( $t_8, t_9$ ) – Modo Zeta; ( $t_8, t_9$ ) – Modo Sepic.

#### 4.4 FORMAS DE ONDA DO CONVERSOR ZETA-SEPIC COM GA E *INTERLEAVING*

Basicamente as formas de onda são as mesmas do conversor Zeta-Sepic com Grampeamento Ativo, defasadas entre si de 120 graus.

A Figura 4.17 apresenta as principais formas de onda para o conversor operando no modo Zeta. Como pode ser observada, a forma de onda da corrente na indutância de dispersão é a mesma da apresentada no capítulo anterior, com o detalhe de estar defasada entre os módulos.

A Figura 4.18 apresenta as principais formas de onda para o conversor operando no modo Sepic.

Uma das principais razões em se empregar o *interleaving* está na redução da ondulação de corrente na fonte Zeta ( $V_a$ ) reduzindo o tamanho do capacitor de filtro  $C_a$ .

Outra característica do *interleaving* é a multiplicação da frequência da corrente em ambas as fontes, em particular no lado Sepic isso acarreta uma redução do tamanho físico do indutor  $L_b$ .

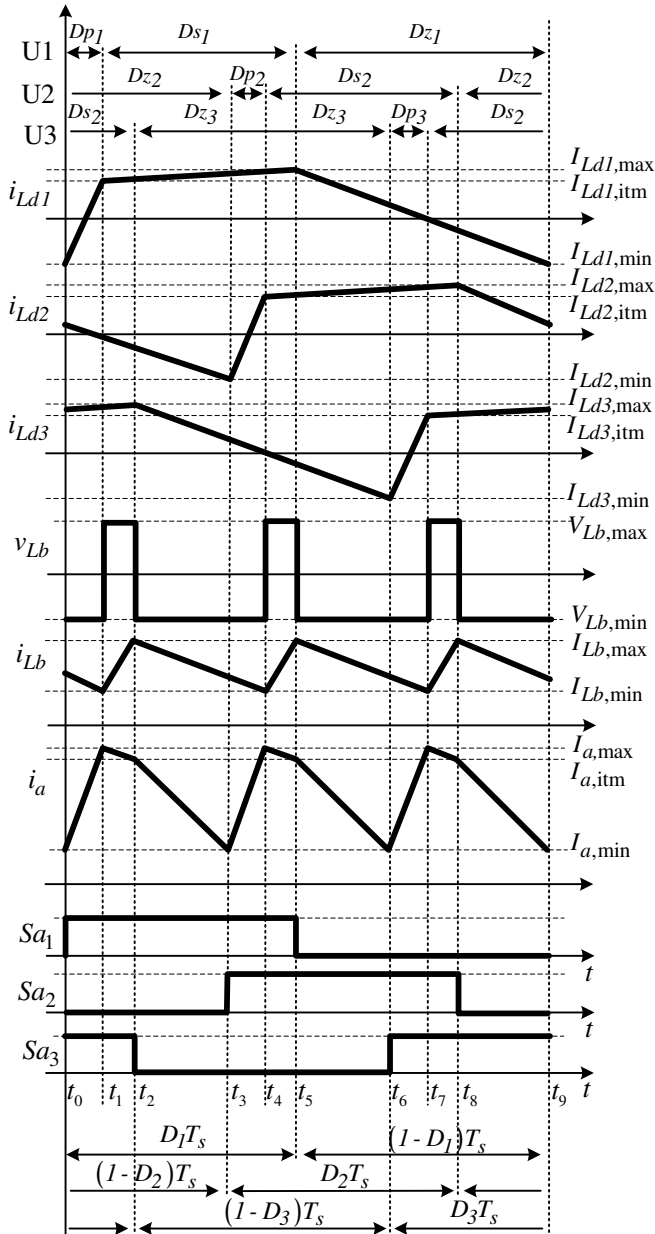


Figura 4.17 – Principais formas de onda para o conversor CC-CC Zeta-Sepic operando com *interleaving* no modo Zeta.

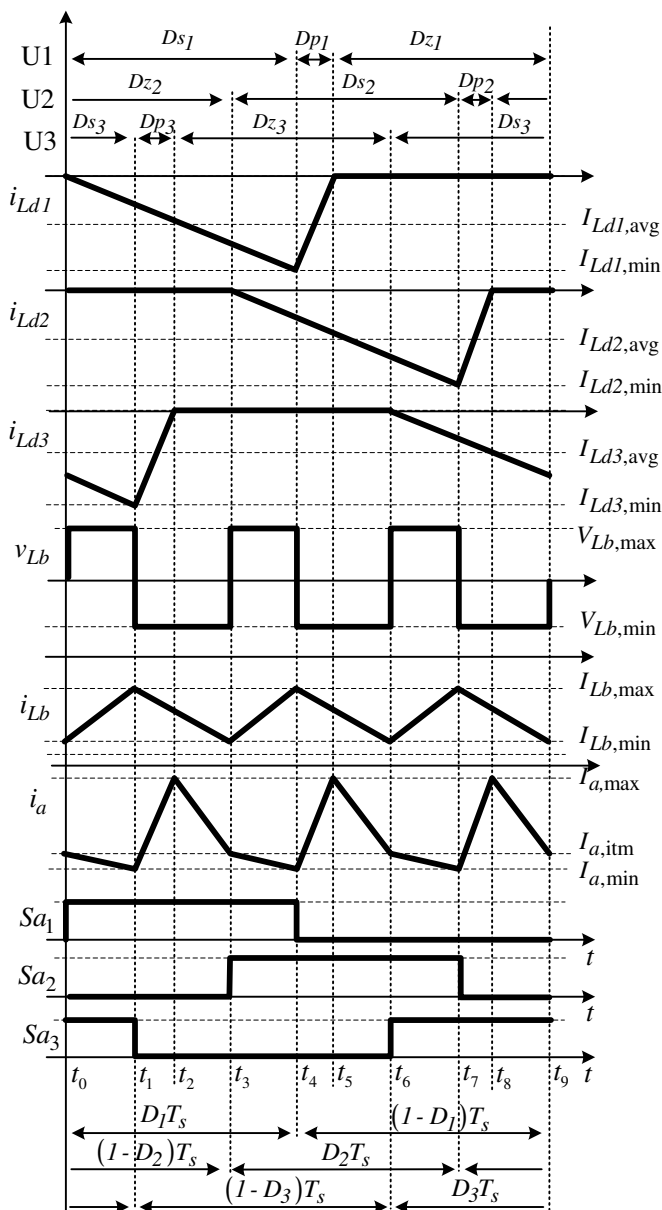


Figura 4.18 - Principais formas de onda para o conversor CC-CC Zeta-Sepic operando com *interleaving* no modo Sepic.



#### 4.5 DURAÇÃO DOS ESTADOS TOPOLÓGICOS

Para a condição de *interleaving* com três conversores, os estados topológicos estão defasados entre si de 120 graus, porém a duração de cada estado depende da razão cíclica imposta em cada módulo e da perda de razão cíclica.

##### 4.5.1 Conversor Zeta-Sepic com *interleaving* operando no modo Zeta

Considerando que cada módulo possui uma razão cíclica correspondente, os tempos de cada estado topológico para o *interleaving* de três conversores Zeta-Sepic com grampeamento ativo operando no modo Zeta são reunidos e apresentados na Figura 4.19.

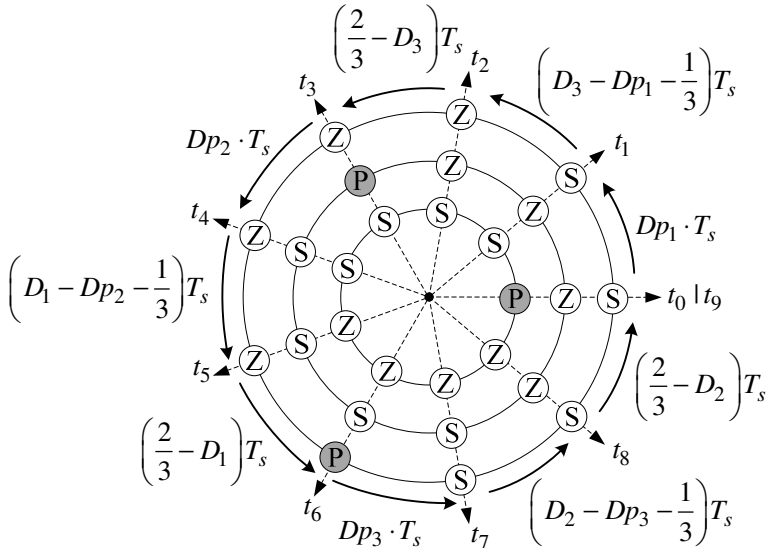


Figura 4.19 - Duração dos estados topológicos para o conversor CC-CC Zeta-Sepic com GA e *interleaving* operando no modo Zeta.

##### 4.5.2 Conversor Zeta-Sepic com *interleaving* operando no modo Sepic

Considerando que cada módulo possui uma razão cíclica correspondente, os tempos de cada estado topológico para o *interleaving* de três conversores Zeta-Sepic com grampeamento ativo operando no modo Sepic são reunidos e apresentados na Figura 4.20.

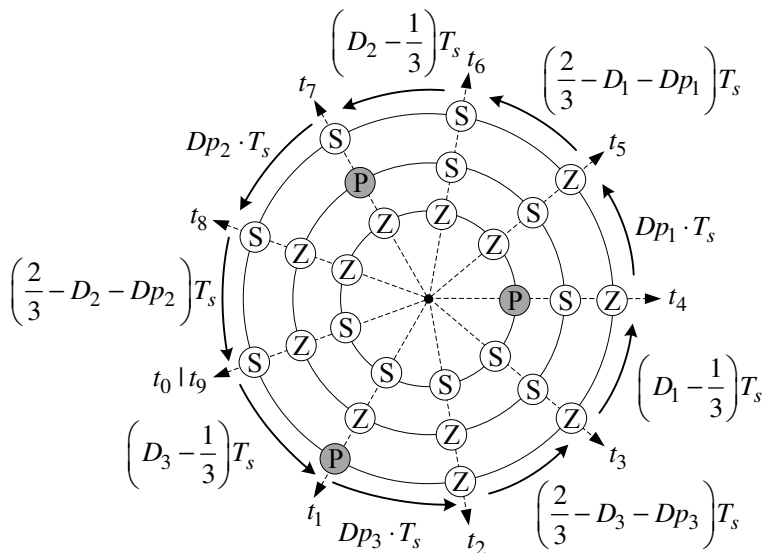


Figura 4.20 - Duração dos estados topológicos para o conversor CC-CC Zeta-Sepic com GA e *interleaving* operando no modo Sepsic.

#### 4.6 EQUACIONAMENTO DO CONVERSOR CC-CC ZETA-SEPIC COM *INTERLEAVING*

Em regime permanente, a corrente média nos capacitores de acoplamento é nula, assim verifica-se que a corrente média nas células de grameamento Sepic de cada conversor são iguais entre si e consequentemente iguais à corrente na indutância  $L_b$ .

$$I_{CMTb1} = I_{CMTb2} = i_{CMTb3} = I_{Lb} \quad (4.1)$$

A soma das tensões médias sobre os interruptores Sepic ( $S_b$ ) é igual a tensão da fonte Sepic ( $V_b$ ).

$$V_{Sb1} + V_{Sb2} + V_{Sb3} = V_b \quad (4.2)$$

Com relação ao lado Zeta, ocorre o contrário. A soma das correntes médias nas indutâncias de comutação é igual a corrente na fonte Zeta ( $V_a$ ).

$$I_{CMTa1} + I_{CMTa2} + i_{CMTa3} = I_a \quad (4.3)$$

Enquanto as tensões nos interruptores Zeta ( $S_a$ ) são iguais entre si.

$$V_{Sa1} = V_{Sa2} = V_{Sa3} = V_a \quad (4.4)$$

##### 4.6.1 Ganho estático do conversor CC-CC Zeta-Sepic com *interleaving*

Com base no estudo realizado no conversor Zeta-Sepic bidirecional com grameamento ativo, definem-se as razões cíclicas efetivas de cada módulo, como sendo:

$$D_{ef1} = \frac{V_{Sb1}}{V_a + V_{Sb1}} \quad (4.5)$$

$$D_{ef2} = \frac{V_{Sb2}}{V_a + V_{Sb2}} \quad (4.6)$$

$$D_{ef3} = \frac{V_{Sb3}}{V_a + V_{Sb3}} \quad (4.7)$$

Substituindo as equações acima em (4.2), obtém-se:

$$\frac{D_{ef1}}{1 - D_{ef1}} + \frac{D_{ef2}}{1 - D_{ef2}} + \frac{D_{ef3}}{1 - D_{ef3}} = \frac{V_b}{V_a} \quad (4.8)$$

Admitindo que os conversores sejam comandados igualmente entre si e não exista variação de parâmetros, pode-se dizer que as razões cíclicas efetivas são iguais para os três conversores.

$$3 \frac{D_{ef}}{1 - D_{ef}} = \frac{V_b}{V_a} \quad (4.9)$$

O ganho estático do *interleaving* é o somatório do ganho estático individual de cada conversor pertencente ao *interleaving*.

Da mesma forma:

$$D_{ef1} = \frac{I_{CMTa1}''}{I_{CMTa1}'' + I_{Lb}} \quad (4.10)$$

$$D_{ef2} = \frac{I_{CMTa2}''}{I_{CMTa2}'' + I_{Lb}} \quad (4.11)$$

$$D_{ef3} = \frac{I_{CMTa3}''}{I_{CMTa3}'' + I_{Lb}} \quad (4.12)$$

Substituindo as equações acima em (4.3), e seguindo o mesmo raciocínio:

$$\frac{D_{ef1}}{1 - D_{ef1}} + \frac{D_{ef2}}{1 - D_{ef2}} + \frac{D_{ef3}}{1 - D_{ef3}} = \frac{I_a''}{I_b} \quad (4.13)$$

$$3 \frac{D_{ef}}{1 - D_{ef}} = \frac{I_a''}{I_b} \quad (4.14)$$

Sendo previamente definida a relação de transformação Zeta para Sepic, o ganho estático pode ser rescrito como:

$$3n_{zs} \frac{D_{ef}}{1 - D_{ef}} = \frac{V_b}{V_a} \quad (4.15)$$

#### 4.6.2 Reflexão sobre o equilíbrio de potência entre os conversores.

Desconsiderando as perdas internas, a potência de entrada do conversor é igual à potência de saída.

$$P_a = P_b \quad (4.16)$$

Sendo:

$$P_a = (I_{CMTa1} + I_{CMTa2} + i_{CMTa3}) \cdot V_a \quad (4.17)$$

$$P_b = (V_{Sb1} + V_{Sb2} + V_{Sb3}) \cdot I_{Lb} \quad (4.18)$$

Para que as potências processadas por cada unidade sejam iguais entre si, as correntes de comutação Zeta devem ser iguais entre as unidades.

$$I_{CMTa1} = I_{CMTa2} = i_{CMTa3} \quad (4.19)$$

Ou, as tensões médias dos interruptores Sepic devem ser iguais entre si.

$$V_{Sb1} = V_{Sb2} = V_{Sb3} \quad (4.20)$$

As relações (4.19) e (4.20) levam à seguinte condição:

$$D_{ef1} = D_{ef2} = D_{ef3} \quad (4.21)$$

A potência processada pelo conversor se distribui de forma equitativa entre as unidades, desde que a razão cíclica efetiva de cada unidade seja igual entre si.

Conforme obtido no capítulo anterior, tem-se a expressão que relaciona a razão cíclica efetiva com o ponto de operação, com a razão cíclica e com a indutância de dispersão.

$$D_{efx} = D_x - \frac{2 \cdot I_{Lb} \cdot Ld_x''}{V_a'' \cdot T_s} \quad (4.22)$$

Observe que se a razão cíclica for a mesma para as três unidades, o único parâmetro que pode causar desequilíbrio de potência é a indutância de dispersão.

#### 4.6.3 Limitação da razão cíclica devido ao *interleaving*

Porque ocorre a limitação da razão cíclica do conversor?

Ocorre por causa da indutância  $L_b$  que agora é compartilhada entre os conversores que fazem parte do *interleaving*.

Como calcular esta limitação?

Sendo a indutância  $L_b$  compartilhada, o ponto de partida para entender melhor este fenômeno é analisar a tensão sobre a indutância  $L_b$ . Pelas etapas de operação do *interleaving*, a tensão sobre a indutância  $L_b$  alterna entre dois valores, um positivo  $v_{Lb, \text{pos}}$  e um negativo  $v_{Lb, \text{neg}}$ .

$$v_{Lb} = \begin{cases} v_{Lb, \text{pos}} = 2 \cdot v_{Ccb} - v_b > 0 \\ v_{Lb, \text{neg}} = v_{Ccb} - v_b < 0 \end{cases} \quad (4.23)$$

A tensão média sobre o interruptor  $S_b$  é calculada por (4.24), sendo  $D_s$  a razão cíclica da etapa  $D_s$ .

$$V_{Ccb} \cdot D_s = V_{Sb} \quad (4.24)$$

Considerando equilíbrio das tensões de grampeamento Sepic, substituindo (4.24) em (4.2) tem-se:

$$3 \cdot V_{Ccb} \cdot Ds = V_b \quad (4.25)$$

Desta forma, (4.25) deve satisfazer as inequações (4.23).

$$2 \cdot \frac{V_b}{3 \cdot Ds} - V_b > 0 \quad (4.26)$$

Implicando em:

$$Ds < \frac{2}{3} \quad (4.27)$$

$$\frac{V_b}{3 \cdot Ds} - V_b < 0 \quad (4.28)$$

Implicando em:

$$Ds > \frac{1}{3} \quad (4.29)$$

Unindo as restrições em Ds:

$$\frac{1}{3} < Ds < \frac{2}{3} \quad (4.30)$$

Para o conversor operando no modo Sepic,  $Ds=D$ . No caso do conversor operando no modo Zeta,  $D-Dp=Ds$ , considerando o caso em que a transferência de potência seja nula,  $Dp=0$ , logo  $Ds=D$ . Conclui-se que o conversor Zeta-Sepic bidirecional com GA e na configuração de *interleaving* com três unidades possui limitação na razão cíclica que pode ser definida pela relação (4.31).

$$\frac{1}{3} < D < \frac{2}{3} \quad (4.31)$$

O impacto da redução na faixa de razão cíclica está na limitação da indutância máxima de comutação que pode ser utilizada, limitando a faixa de comutação com tensão nula. Existe também o impacto na ação de controle imposta pela malha interna de controle de corrente.

#### 4.7 PROJETO DA MALHA DE CONTROLE

Como descrito nos capítulos anteriores, as malhas de controle de tensão são projetadas com o intuito de preparar a experimentação para o teste com fontes bidirecionais em corrente.

##### 4.7.1 Ajuste do condicionamento de sinais

O condicionamento da corrente é mantido, já o condicionamento da tensão  $v_{Cb}$  é ajustado de forma que a tensão máxima lida é de 500 V. A Tabela 2.2 lista os componentes utilizados para o condicionamento de tensão.

Tabela 4.1 - Parâmetros utilizados para o condicionamento de sinal do conversor Zeta-Sepic isolado com grameamento ativo e *interleaving*

Parâmetro	Condicionamento	Condicionamento
	Da tensão $v_{Ca}$	da tensão $v_{Cb}$
$R_a$	100 $\Omega$	100 $\Omega$
$R_1$	390 $\Omega$	390 $\Omega$
$R_2$	390 $\Omega$	390 $\Omega$
$R_3$	2,2 k $\Omega$	2,2 k $\Omega$
$R_4$	470 $\Omega$	470 $\Omega$
$R_5$	470 $\Omega$	470 $\Omega$
$R_6$	350 $\Omega$	350 $\Omega$
$R_7$	-	-
$R_8$	100 $\Omega$	100 $\Omega$
$R_t$	12 k $\Omega$	47 k $\Omega$
$C_1$	22 nF	22 nF
$C_2$	330 nF	330 nF

##### 4.7.2 Conversor Zeta-Sepic Isolado com GA e *Interleaving* operando no modo Zeta

Realiza-se o ajuste das malhas de controle para o conversor Zeta-Sepic operando com *interleaving* no modo Zeta.

###### 4.7.2.1 Reajuste do controlador de tensão

A resistência de carga é aumentada em três vezes, enquanto que é mantida a capacitância de carga e indutância  $L_b$ . Utilizando a equação (2.92) a nova planta que relaciona a tensão  $v_{Cb}$  com a corrente  $i_{Lb}$  é:

$$\frac{\hat{v}_{Cb}(s)}{\hat{i}_{Lb}(s)} = \frac{20000}{(s+375)} \quad (4.32)$$

O controlador de tensão é ajustado no *sisotool* (MATLAB) de forma a apresentar uma resposta sem sobressinal.

$$Cv_{Cb,120}(s) = \frac{0,009437 (s + 1,395e004)}{s} \quad (4.33)$$

A Figura 4.21 apresenta o lugar das raízes e o diagrama de Bode para ambas as malhas de controle.

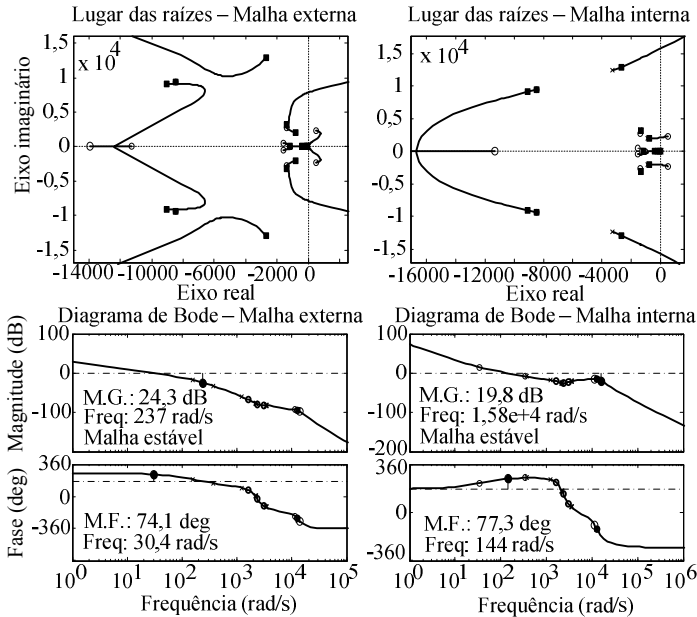


Figura 4.21 - Lugar das raízes e diagrama de Bode das malhas de controle do conversor Zeta-Sepic com *interleaving*.

Para o controlador de tensão ajustado, a resposta ao degrau de referência de tensão é apresentada na Figura 4.22.



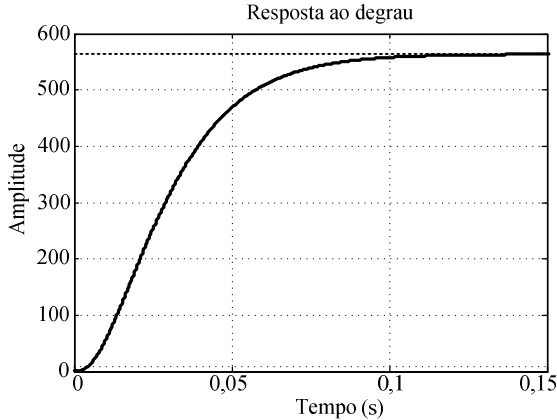


Figura 4.22 - Resposta ao degrau referência da tensão  $v_{Cb}$  do conversor Zeta-Sepic com *interleaving*

#### 4.8 DISCRETIZAÇÃO DOS CONTROLADORES

Discretizando o controlador (4.33) com  $Ta=10\ \mu\text{s}$  e utilizando o método de *tustin*, obtém-se (4.34).

$$C_{V_{Cb,120}}(z) = \frac{0,00101 z - 0,0008779}{z - 1} \quad (4.34)$$

Representando de uma forma mais adequada a implementação digital, tem-se (4.35)

$$\frac{u(z)}{\text{erro}(z)} = \frac{0,00101 - 0,0008779z^{-1}}{1 - z^{-1}} \quad (4.35)$$

A equação (3.124) implementa o controlador  $C_{V_{Cb,120}}$  no processador digital de sinais.

$$u(z) = 0,00101 \cdot \text{erro}(z) - 0,0008779 \cdot \text{erro}(z-1) + u(z-1) \quad (4.36)$$

#### 4.9 SIMULAÇÃO NUMÉRICA

Simulação numérica é realizada com o objetivo de validar os conceitos apresentados.

#### 4.9.1 Conversor Zeta-Sepic com *Interleaving* operando no modo Zeta

A simulação numérica do *interleaving* no modo Zeta é realizada utilizando o controlador de corrente projetado no capítulo anterior e o controlador de tensão projetado neste capítulo. A Figura 4.23 apresenta a resposta ao degrau de tensão, e a Figura 4.24 a resposta ao degrau de carga.

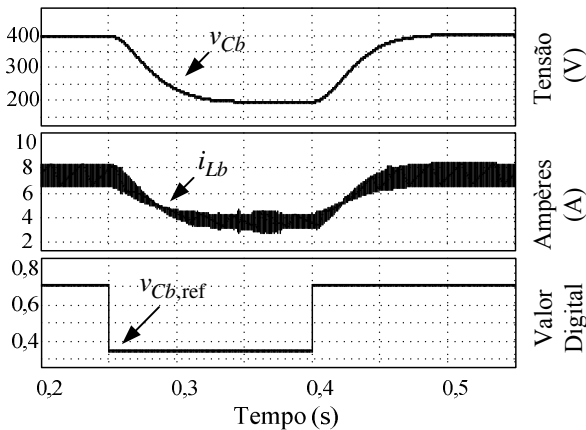


Figura 4.23 - Resposta ao degrau de referência  $v_{Cb}$  obtida por simulação para o conversor Zeta-Sepic com GA e *interleaving* operando no modo Zeta.

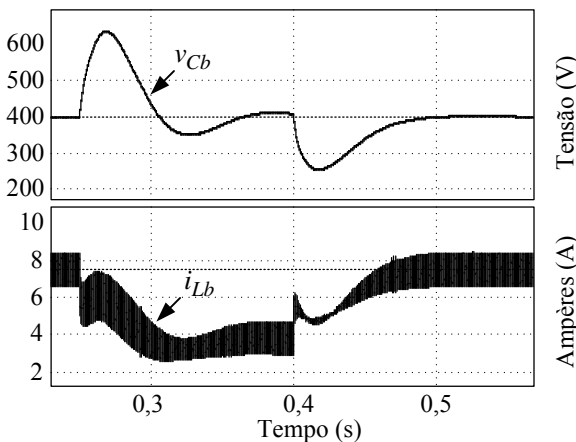


Figura 4.24 - Resposta ao degrau de carga 100%  $\rightarrow$  50%  $\rightarrow$  100% para o conversor Zeta-Sepic com GA e *interleaving* operando no modo Zeta.

#### 4.9.2 Conversor Zeta-Sepic com *Interleaving* operando em ambos os modos

Dentre as simulações realizadas neste trabalho, a mais relevante é a simulação do conversor CC-CC Zeta-Sepic bidirecional isolado com Grampeamento Ativo e *Interleaving* operando em malha fechada com apenas a malha de corrente. Nesta simulação retira-se a indutância de comutação.

A Figura 4.25 mostra o resultado da simulação para dois degraus de referência de corrente  $i_{Lb}$  colocando o conversor a operar em ambos os modos de operação.

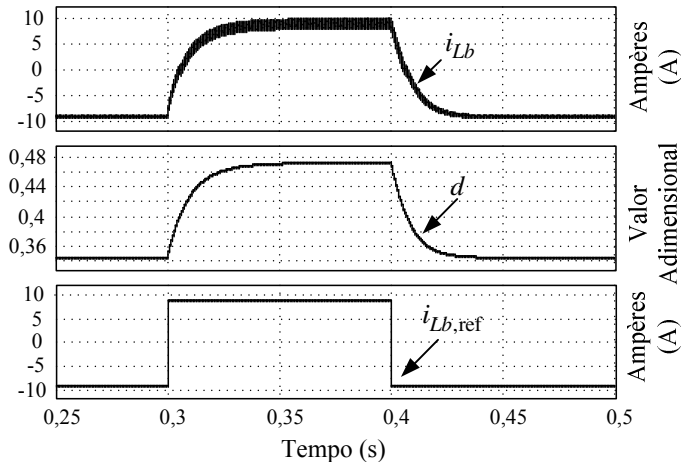


Figura 4.25 - Resposta ao degrau de referência  $v_{Cb}$  obtida por simulação para o conversor Zeta-Sepic com GA e *interleaving* operando em ambos os modos.

A redução da indutância de comutação torna a resposta da malha de corrente mais rápida.

#### 4.10 CIRCUITO DE COMANDO

Este circuito tem por finalidade realizar a interface entre o controlador digital de sinais e os interruptores presentes na placa de potência.

Para o comando dos 12 interruptores presentes na configuração com *interleaving* de 3 conversores, confeccionam-se duas placas com capacidade de 3 *drivers* SKHI 20op por placa. A escolha destes *drivers* se deve ao fato de serem isolados e também por ser uma solução bem conhecida no laboratório.

O *driver* SKHI 20op necessita da fonte auxiliar SKHI PS2; a Figura 4.26 esquematiza a ligação com dois transformadores auxiliares, permitindo a alimentação de 3 SKHI 20op.

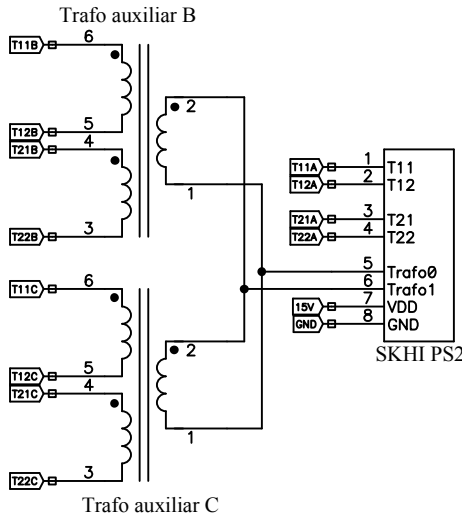


Figura 4.26 – Diagrama esquemático da ligação da fonte SKHI PS2 com os transformadores auxiliares.

A Figura 4.27 generaliza a forma como o *driver* SKHI 20op é conectado aos demais elementos do circuito. Um diodo zener permite que o sinal de erro seja lido pelo controlador digital, e um LED permite a visualização do erro. Observe que o sinal de erro é ativo baixo, ou seja, caso ocorra um erro o pino 8 é aterrado.

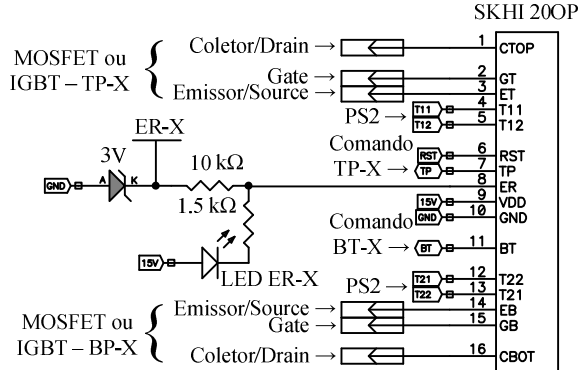


Figura 4.27 – Diagrama esquemático das conexões com o *driver* SKHI 200p  
O pulso PWM é aplicado a um *buffer* com saída a coletor aberto.

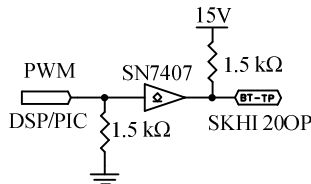


Figura 4.28 –Diagrama esquemático da interface entre o controlador digital e a entrada PWM do *driver* SKHI 200p

Após a ocorrência de um erro, os *drivers* precisam ser reiniciados. A Figura 4.29 esquematiza a lógica de reinicialização do *driver*, que pode ser realizada tanto via controlador digital quanto manualmente. O reset é ativo baixo e os 3 *drivers* estão conectados entre si pelo pino 6, forçando o reset simultâneo.

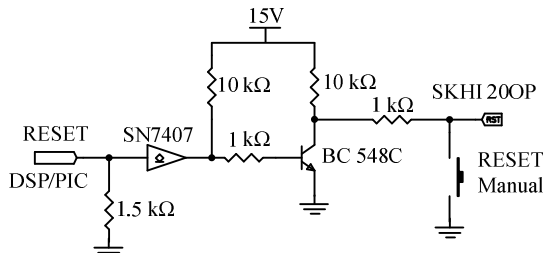


Figura 4.29 – Diagrama esquemático para reset dos *drivers*.

A Figura 4.30 apresenta o *layout* da placa de comando com a finalidade de localizar os pontos descritos anteriormente.

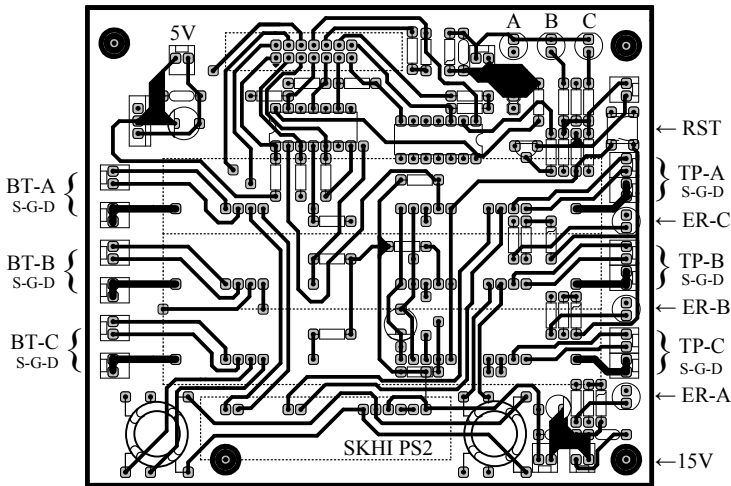


Figura 4.30 - *Layout* da camada inferior da placa de comando.

A Tabela 4.2 lista a função de cada pino no conector *flat* da placa de comando. Estes pinos são diretamente conectados ao DSP ou dsPIC.

Tabela 4.2 - Mapeamento dos pinos do conector flat presente na placa de comando dos interruptores

Pino	Sigla	Descrição
1	TP-A	PWM <i>top</i> SKHI 20op - A
2	ER-C	Erro SKHI 20op - C
3	BT-A	PWM <i>bottom</i> SKHI 20op - A
4	ER-B	Erro SKHI 20op - B
5	TP-B	PWM <i>top</i> SKHI 20op - B
6	ER-A	Erro SKHI 20op - A
7	BT-C	PWM <i>bottom</i> SKHI 20op - C
8	RST	Reset do driver SKHI 20op
9	TP-C	PWM <i>top</i> SKHI 20op - C
10	LED-B	LED de sinalização B
11	BT-B	PWM <i>bottom</i> SKHI 20op - B
12	LED-C	LED de sinalização C
13	GND	Referência de tensão - Terra
14	LED-A	LED de sinalização A

#### 4.10.1 Configuração do DSP TMS320F2812 no kit ezDSP™ 2812

O DSP TMS320F2812 não foi desenvolvido para aplicações em que se necessite de defasamento entre os temporizadores, porém é possível configurá-lo para tal aplicação.

Ao invés de configurar um registrador, o defasamento entre os temporizadores é realizado na inicialização dos contadores. A ideia é bem simples, inicializar o contador com o valor correspondente ao defasamento angular desejado. Os temporizadores são configurados para contarem no modo crescente/decrecente, resultando em uma portadora triangular.

Para a frequência de 50 kHz, o valor máximo do contador é 1500, assim,  $120^{\circ}$  equivale a uma diferença de 1000 contagens.

O temporizador 1, responsável pelos pulsos PWM1 e PWM4, é designado o ângulo de  $0^{\circ}$ , sendo atribuído o valor zero para início de contagem crescente.

O temporizador 3, responsável pelos pulsos PWM7 e PWM10, é designado o ângulo de  $120^{\circ}$ , sendo atribuído o valor 1000 para início de contagem crescente.

O temporizador 2, responsável pelo pulso T2PWM, é designado o ângulo de  $240^{\circ}$ , sendo atribuído o valor 1000 para início de contagem decrescente.

O temporizador 4, responsável pelo pulso T4PWM, é designado o ângulo de  $240^{\circ}$ , sendo atribuído o valor 1000 para início de contagem decrescente.

Após a configuração dos contadores, os temporizadores são habilitados. Como não é possível habilitar todos ao mesmo tempo, soma-se um valor de correção de 6 contagens para corrigir esta diferença.

A Tabela 4.3 relaciona os pinos no *kit* com os interruptores correspondentes, assim como a lógica de programação utilizada.

Tabela 4.3 – Configuração dos pulsos PWM para operação com *interleaving*.

Conector	Sinal	Gatilho	Lógica	CMPR
P8 → 9	PWM1	Sb <sub>3</sub>	Ativo Baixo	D+tempomorto/2
P8 → 12	PWM4	Sa <sub>3</sub>	Ativo Alto	D-tempomorto/2
P8 → 30	PWM7	Sb <sub>2</sub>	Ativo Baixo	D+tempomorto/2
P8 → 34	PWM10	Sa <sub>2</sub>	Ativo Alto	D-tempomorto/2
P8 → 16	T2PWM	Sa <sub>1</sub>	Ativo Alto	D-tempomorto/2
P4 → 14	T4PWM	Sb <sub>1</sub>	Ativo Baixo	D+tempomorto/2

#### 4.11 RESULTADOS EXPERIMENTAIS

Um protótipo é montado com a associação de três conversores CC-CC Zeta-Sepic isolado com Grampeamento Ativo, construídos como indicado no capítulo anterior.

Os ensaios em malha aberta são realizados com tensões nominais nas fontes ( $V_a = 100\text{ V}$ ,  $V_b = 400\text{ V}$ ), com cargas para uma potência de  $1500\text{ W}$  ( $R_a = 6,6\ \Omega$ ,  $R_b = 105\ \Omega$ ) e razões cíclicas de  $D = 0,5$  para o conversor operando no modo Zeta e  $D = 0,3753$  no modo Sepic.

##### 4.11.1 Conversor CC-CC Zeta-Sepic isolado com Grampeamento ativo e *interleaving* operando no Modo Zeta

O ponto de partida para a energização do protótipo é a análise dos pulsos PWM. A Figura 4.31 comprova que os pulsos estão defasados de  $120^\circ$  entre os conversores.

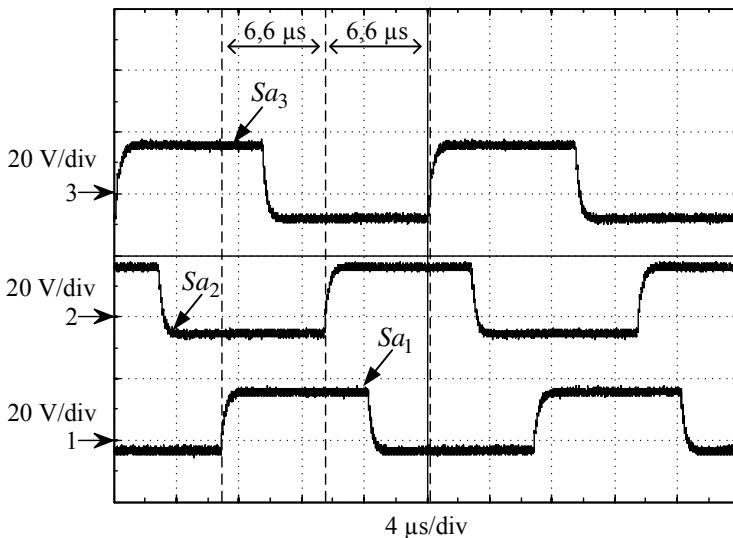


Figura 4.31 – Sinais de gatilho defasados entre si de  $120^\circ$  ( $D=0,5$ ).

Cada pulso PWM da Figura 4.31 está associado a outros três pulsos. Um deles é complementar ( $S_b$ ) e os demais constituem de uma duplicação destes, com um tempo morto de  $3,5\ \mu\text{s}$  imposto pelos *drivers* SKHI 20op, conforme ilustrado na Figura 4.32. Observe que o tempo morto imposto pelo DSP está relacionado aos pulsos PWM em  $S_a$  e  $S_b$ .



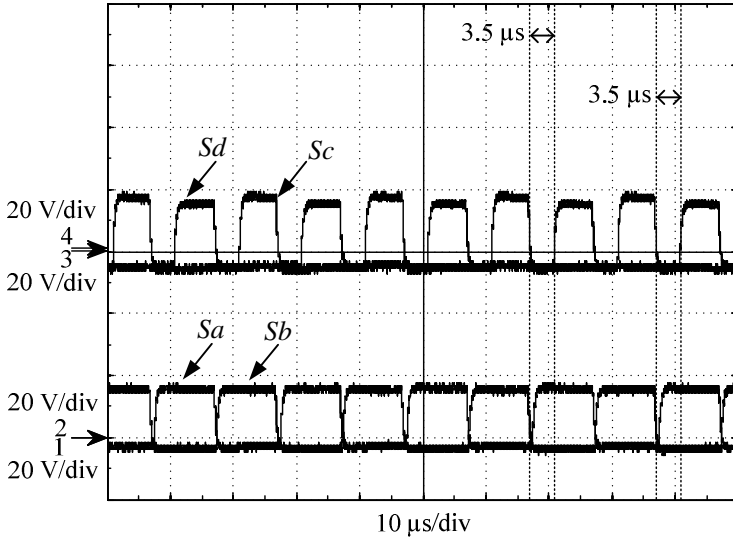


Figura 4.32 - Comando dos interruptores por conversor.

Realizada a verificação dos pulsos, a operação adequada do *interleaving* é comprovada observando as correntes de entrada ou de comutação Zeta de cada conversor (Figura 4.33). As formas de onda obtidas são as mesmas do capítulo anterior defasadas entre si de 120 graus.

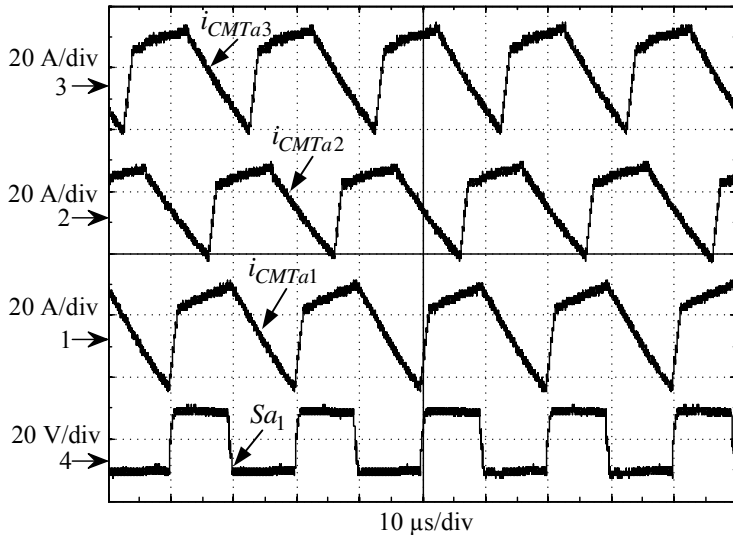


Figura 4.33 - Correntes de comutação Zeta para operação em *interleaving* no modo Zeta ( $D=0,5$ ,  $V_a = 100$ V,  $V_b=410$  V).

A observação das correntes de comutação Sepic revela o efeito da operação em *interleaving*.

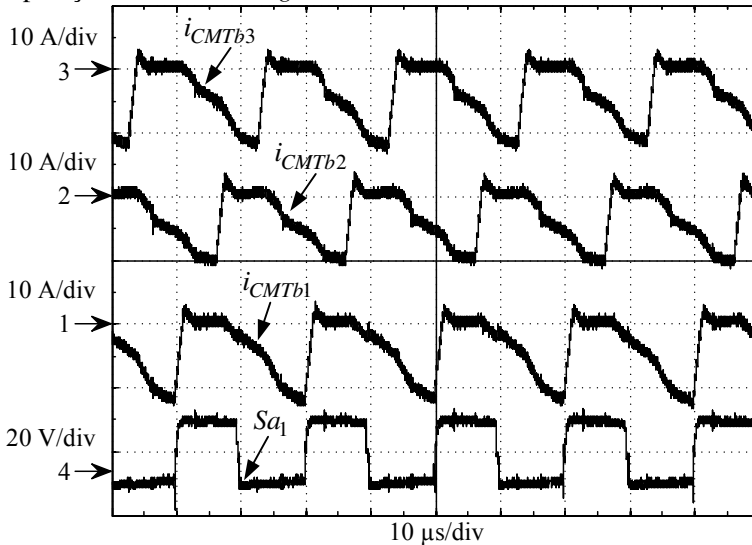


Figura 4.34 - Correntes de comutação Sepic e pulso de gatilho  $Sa_1$  para o conversor operando com *interleaving* no modo Zeta ( $D=0,5$ ,  $V_a = 100V$ ,  $V_b=410 V$ ).

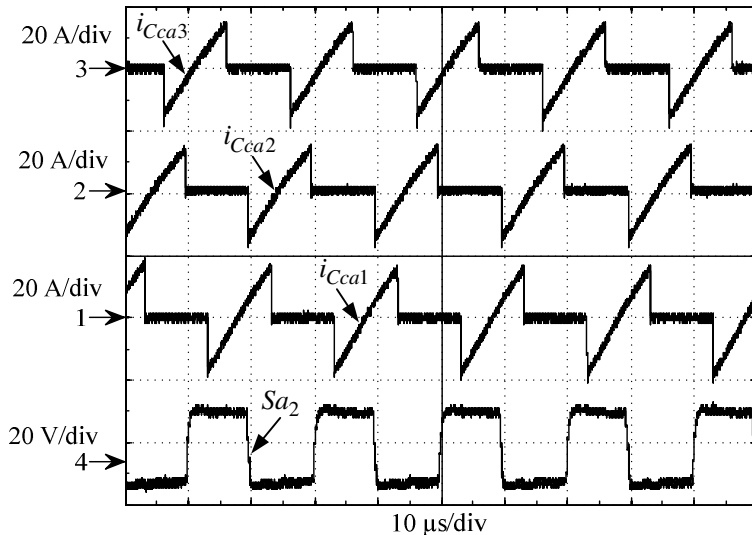


Figura 4.35 - Correntes nos capacitores de grampeamento Zeta e pulsos no gatilho de  $Sa_2$  e para o conversor operando com *interleaving* no modo Zeta.

A corrente nos capacitores de Grampeamento Sepic também é alterada devido ao *interleaving*.

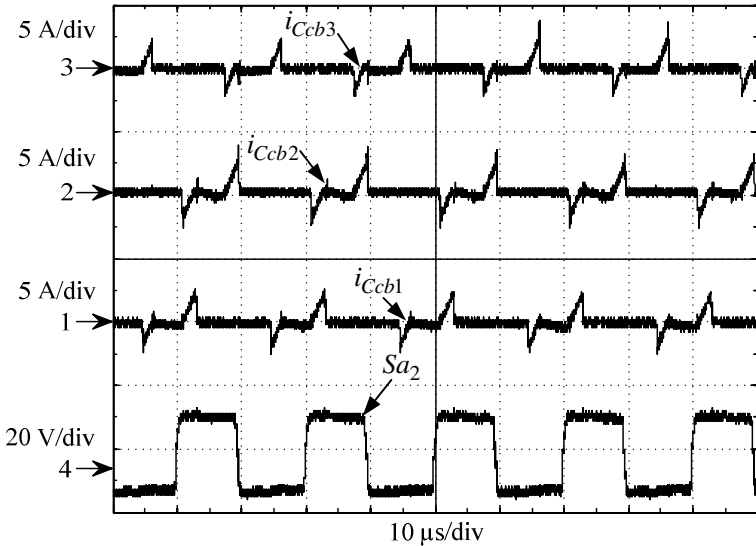


Figura 4.36 - Pulsos no gatilho de  $Sa_2$  e correntes nos capacitores de grampeamento Sepic, para o conversor operando com *interleaving* no modo Zeta ( $D=0,5$ ,  $V_a = 100\text{V}$ ,  $V_b=410\text{V}$ ).

A Figura 4.37 apresenta um dos resultados mais relevantes da operação em *interleaving* e deste trabalho. Um dos pontos de destaque está na triplicação da frequência das correntes nas fontes Zeta e Sepic, implicando redução do tamanho físico do indutor  $L_b$ . Outro aspecto de grande importância está na redução da ondulação de corrente na entrada do conversor com *interleaving* ( $i_a$ ) em comparação com a corrente em cada conversor ( $i_{CMTa}$ ).

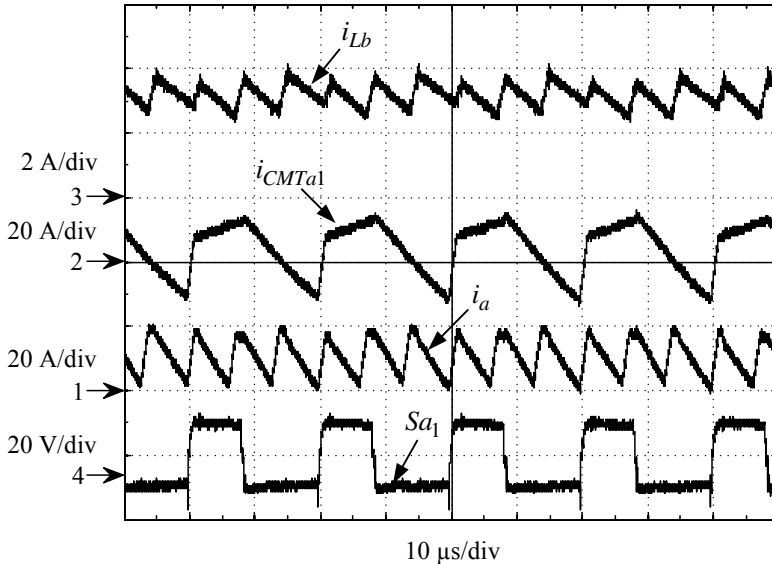


Figura 4.37 - Corrente zeta ( $i_a$ ), corrente zeta na unidade 1 ( $i_{CMTa1}$ ) e corrente na indutância  $L_b$  para o conversor operando com *interleaving* no modo Zeta ( $D=0,433$ ,  $V_a = 100\text{V}$ ,  $V_b=340\text{V}$ ).

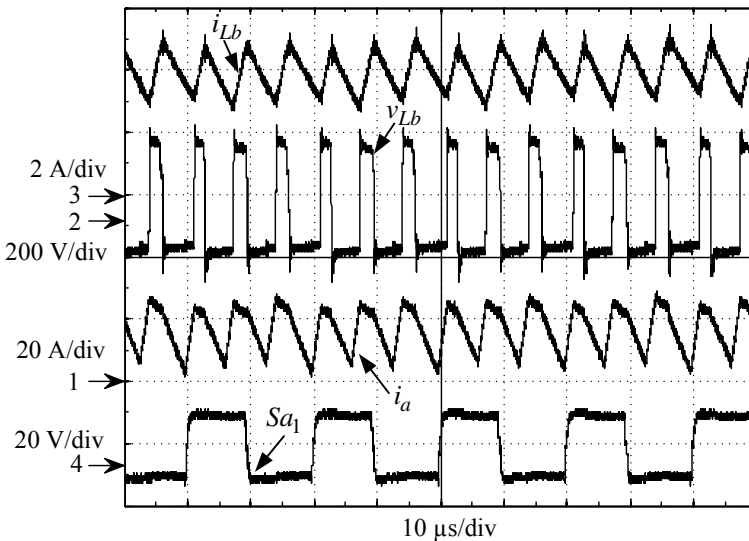


Figura 4.38 – Corrente de entrada, tensão e corrente na indutância  $L_b$  para o conversor operando com *interleaving* no modo Zeta ( $V_a = 100\text{V}$ ,  $V_b=410\text{V}$ ,  $D=0,5$ ).

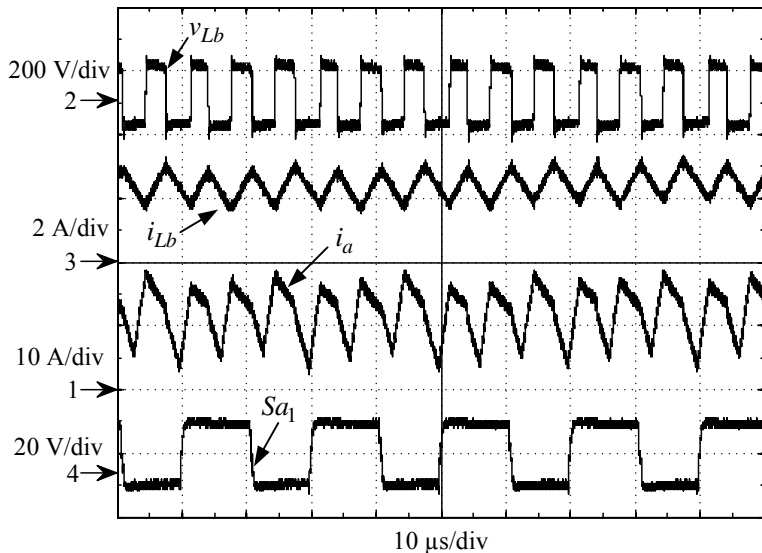


Figura 4.39 - Corrente de entrada, tensão e corrente na indutância  $L_b$  para o conversor operando com *interleaving* no modo Zeta ( $D=0,567$ ,  $V_a = 50\text{V}$ ,  $V_b=250\text{V}$ ).

As Figura 4.38 e Figura 4.39 possibilitam a comparação do efeito da variação da razão cíclica sobre a ondulação da corrente total na fonte Zeta.

#### 4.11.2 Conversor CC-CC Zeta-Sepic isolado com Grampeamento ativo e *interleaving* operando no Modo Sepic

Após a comprovação do funcionamento adequado e previsto para o conversor CC-CC Zeta-Sepic operando com *interleaving* no modo Zeta, parte-se para a verificação experimental do conversor operando com *interleaving* no modo Sepic.

Com os pulsos PWM já testados, observam-se as correntes de comutação Sepic. Pela Figura 4.40 verifica-se que o formato é idêntico aos das correntes de comutação Zeta apresentadas para o conversor operando no modo Zeta; nota-se também uma pequena distorção no formato das mesmas devido ao *interleaving*.

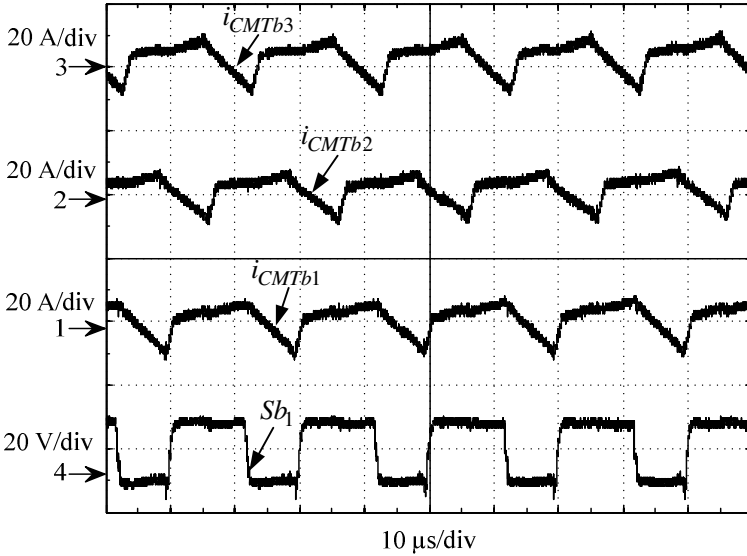


Figura 4.40 - Correntes de comutação Sepic para operação em *interleaving* no modo Sepic ( $D=0,375$ ,  $V_a=400$  V,  $V_b=88$  V e  $R_a=6,6$   $\Omega$ ).

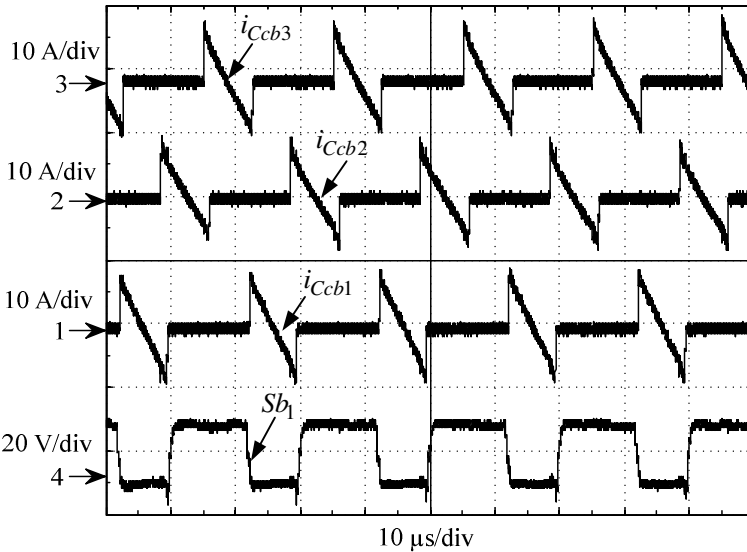


Figura 4.41 - Pulso no gatilho de  $S_{b1}$  e correntes nos capacitores de Grampeamento Sepic, para o conversor operando com *interleaving* no modo Sepic ( $D=0,375$ ,  $V_a=400$  V,  $V_b=88$  V e  $R_a=6,6$   $\Omega$ ).

As correntes de comutação Zeta apresentam o mesmo formato da versão sem *interleaving* defasadas de 120 graus.

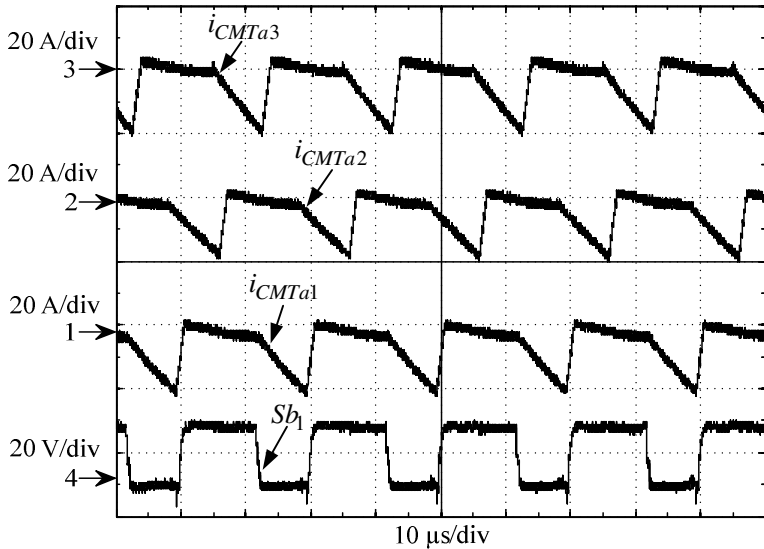


Figura 4.42 - Correntes de comutação Zeta para operação em *interleaving* no modo Sepic ( $D=0,375$ ,  $V_i=400$  V,  $V_b=88$  V e  $R_a=6,6$   $\Omega$ ).

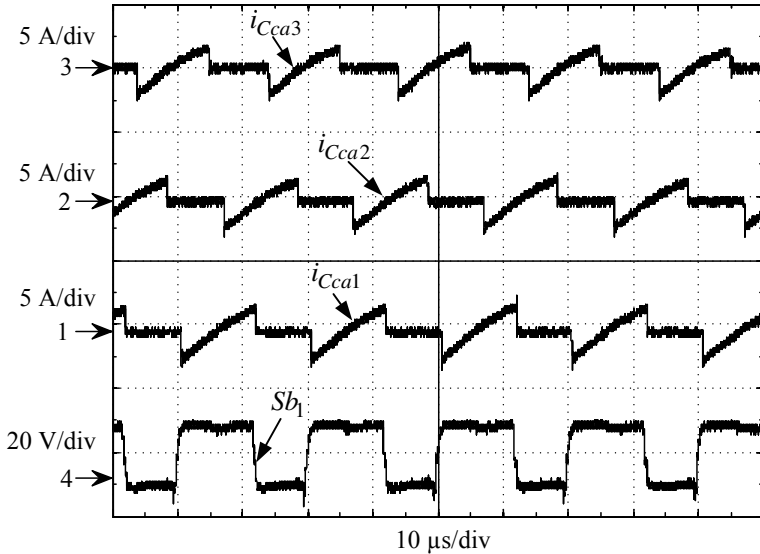


Figura 4.43 - Pulso no gatilho de  $S_{b1}$  e correntes nos capacitores de Grampeamento Zeta, para o conversor operando com *interleaving* no modo Sepic ( $D=0,375$ ,  $V_a=400$  V,  $V_b=88$  V e  $R_a=6,6$   $\Omega$ ).



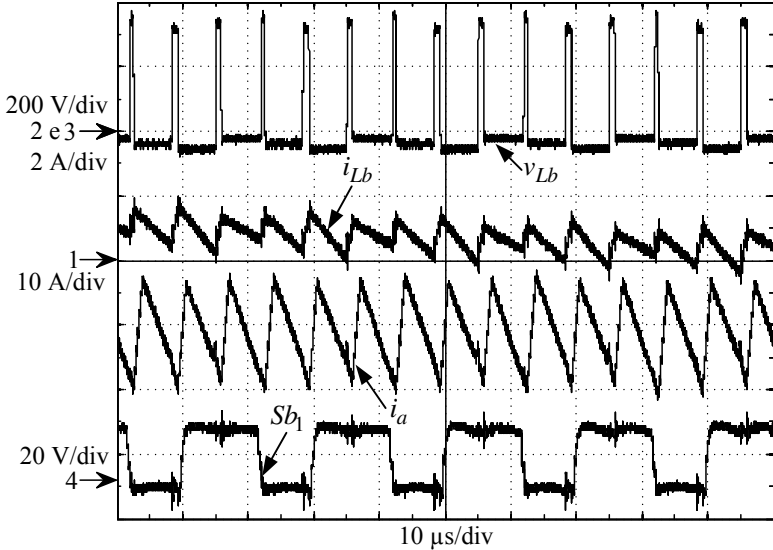


Figura 4.44 - Corrente de entrada, tensão e corrente na indutância  $L_b$  para o conversor operando com *interleaving* no modo Sepic ( $D=0,375$ ,  $V_a=400$  V,  $V_b=88$  V e  $R_a=6,6$   $\Omega$ ).

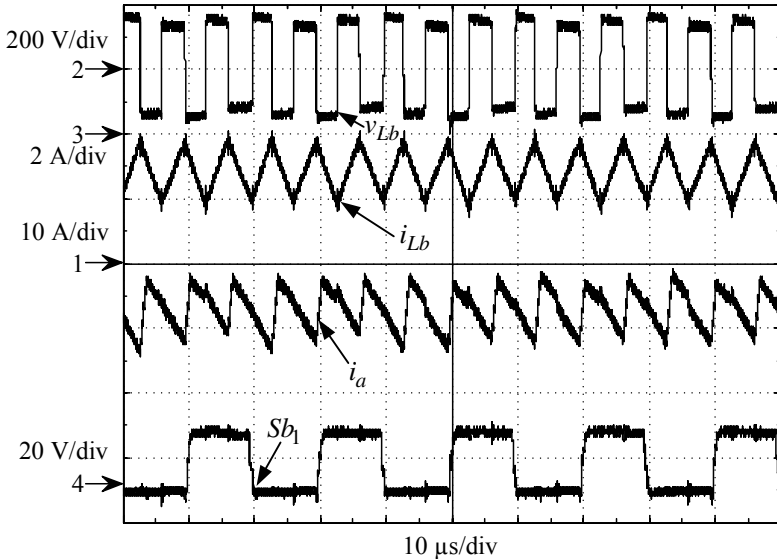


Figura 4.45 - Corrente de entrada, tensão e corrente na indutância  $L_b$  para o conversor operando com *interleaving* no modo Sepic ( $D=0,5$ ,  $V_a=400$  V,  $V_b=58$  V e  $R_a=6,6$   $\Omega$ ).

#### 4.12 CONCLUSÃO

Este capítulo apresentou o estudo do conversor Zeta-Sepic bidirecional isolado com grampeamento ativo e *interleaving*. São apresentados resultados teóricos e experimentais.

A operação em *interleaving* tem como principais características o aumento na capacidade de corrente na fonte de menor tensão, a multiplicação do ganho estático e da frequência das correntes nas fontes pelo número de conversores que compõem o *interleaving*. A corrente na fonte Zeta que, para a versão sem *interleaving*, apresenta descontinuidade quando operando no modo Sepic, sendo esta eliminada com a operação em *interleaving*.

A redução na ondulação de corrente tem o efeito de reduzir o tamanho do capacitor de barramento contribuindo para a redução de volume e custo do produto final.

Todo o estudo teórico realizado para a versão sem o *interleaving* do conversor é reaproveitado no estudo da versão com *interleaving*. No contexto de controle, apenas as malhas de controle de tensão são reprojctadas. O controlador de corrente é mantido.

A combinação paralela-série utilizada para formar a topologia com *interleaving* tem a desvantagem de reduzir a faixa de razão cíclica disponível ao controlador de corrente.

Por fim, verificam-se as principais características do emprego da associação paralelo-série com *interleaving*, tais como redução da ondulação de corrente na fonte Zeta, triplicação da frequência da corrente nas fontes, triplicação do ganho estático e da capacidade de processar potência com relação à unidade sem *interleaving*.

---

---

## 5 CONSIDERAÇÕES FINAIS

---

---

### 5.1 CONCLUSÃO GERAL

Este trabalho apresentou o estudo do conversor Zeta-Sepic bidirecional isolado com grameamento ativo e *interleaving* proposto.

No capítulo inicial, uma breve contextualização e motivação são apresentadas.

No segundo capítulo, a versão não isolada do conversor Zeta-Sepic bidirecional é estudada. Inicia-se pela análise das etapas de operação do conversor, seguido da análise em regime permanente. A modelagem em espaço de estados é utilizada para representar o comportamento dinâmico do conversor, mostrando-se uma ferramenta versátil e poderosa, pois permite a fácil inclusão das não idealidades em uma representação compacta, possibilitando também a fácil análise da estabilidade do sistema via autovalores da matriz de estados, além de reduzir a probabilidade de erros durante a construção do modelo dinâmico. A inclusão das resistências dos componentes simplificou em muito a tarefa de projeto dos controladores, sendo possível obter uma resposta satisfatória com controladores PI, principalmente por tornar uma planta marginalmente estável em uma planta assintoticamente estável.

Apesar de o sistema ser estável, na prática, pequenos desvios da razão cíclica para a operação em malha aberta podem levar à danificação dos semicondutores, assim, testes em malha aberta são realizados com uma das fontes bidirecionais em corrente substituída por uma fonte unidirecional e a outra por um par RC. Este procedimento requer a inclusão de uma malha externa para o controle da tensão no par RC. Realizado este procedimento para ambos os modos de operação do conversor, mantendo-se a malha interna para o controle de corrente, tem-se a

condição favorável à conexão de duas fontes bidirecionais e os testes em malha fechada.

O controle é implementado de forma digital utilizando o DSP TMS320F2812. O projeto dos controladores no domínio discreto não é necessário devido à utilização de uma alta taxa de amostragem e de execução da rotina de controle em comparação com a dinâmica dos controladores.

No capítulo três a versão isolada é estudada. Propõe-se uma topologia com grameamento ativo assim como uma lógica de comando dos interruptores. Segue-se com a descrição das etapas de operação do conversor assim como com o equacionamento em regime permanente.

A corrente na indutância de dispersão possui valor médio nulo na etapa Dz, devido ao fato de a corrente passar pelo capacitor de grameamento Zeta. Esta característica impossibilita o uso da estratégia de modelagem utilizada na versão não isolada; opta-se então pela identificação do sistema.

A identificação do sistema mostrou-se uma ferramenta poderosa, uma vez que possibilita a obtenção de modelos com ordem elevada de forma rápida e fácil, permitindo a abstração de técnicas complexas de modelagem, viabilizando o estudo em malha fechada de topologias complexas em um curto espaço de tempo.

A consideração das não idealidades resultou em uma simplificação no projeto dos controladores. Apesar da complexidade da planta, foi possível controlar a corrente de carga do conversor em ambos os modos de operação com um único controlador do tipo PI.

Resultados experimentais confirmam a consistência do estudo teórico realizado. A estratégia de comando dos interruptores se mostrou adequada, além de simples e robusta, uma vez que imprecisões no tempo morto dos interruptores de grameamento não inviabilizam a operação do conversor.

A utilização de fio Litz se fez necessária devido à forte componente CA presente nas correntes que passam pelos indutores acoplados.

Pela análise das formas de onda, observa-se a dualidade entre os modos de operação do conversor Zeta-Sepic, comportamento que condiz com a nomenclatura utilizada.

No quarto capítulo, três unidades são associadas em paralelo no lado Zeta e em série no lado Sepic formando a topologia final deste trabalho. A operação em *interleaving* consiste na defasagem de 120 graus entre as portadoras dos pulsos PWM de cada unidade. A associação em paralelo no lado Zeta diminui a ondulação de corrente e aumenta a capacidade de corrente na fonte Zeta que o conversor pode processar.

A conexão em série eleva o ganho estático e contribui para a equalização de potência entre as unidades. Outra vantagem do *interleaving* está na multiplicação da frequência das correntes nas fontes, fator que implica na redução do tamanho físico do indutor  $L_b$ .

As etapas de operação do *interleaving* se constituem de arranjos das etapas estudadas no capítulo anterior, cuja ordem de ocorrência é apresentada de forma ilustrativa através de círculos concêntricos. A análise estática do conversor é expandida para a operação com três unidades.

A indutância  $L_b$  é compartilhada entre as unidades, e por este motivo a faixa de razão cíclica do conversor é reduzida, sendo uma das principais desvantagens desta configuração em *interleaving*.

## 5.2 RECOMENDAÇÕES PARA TRABALHOS FUTUROS

Como tópicos para continuidade e melhorias deste trabalho, propõem-se:

- ✓ Obtenção de resultados com fontes bidirecionais.
- ✓ Modelagem do conversor em espaço de estados com ponderação das variáveis de estado.
- ✓ Estudo da comutação sobre tensão nula (ZVS).
- ✓ Desenvolvimento de uma metodologia de projeto que inclua a faixa de operação com ZVS, dinâmica de controle, rendimento do conversor, e características estáticas.
- ✓ Utilizar um processador digital que contenha registradores dedicados ao defasamento entre os portadores PWM, por exemplo, dsPIC33FJ16GS502 [26].
- ✓ Estudo da possibilidade de acoplamento magnético entre as indutâncias para a topologia com *interleaving*.
- ✓ Estudo da possibilidade de variar o número de unidades ativas no *interleaving* com o objetivo de obter, por exemplo, uma curva planar de rendimento.



---

---

## 6 REFERÊNCIAS

---

---

- [1] CHAN, C. C., The state of the art of electric and hybrid vehicles, *Proceedings of the IEEE*, vol. 90, n°. 2, pp. 247-275, 2002.
- [2] WILLIAMSON, S. S.; WIRASINGHA, S. G.; EMADI, A., Comparative Investigation of Series and Parallel Hybrid Electric Drive Trains for Heavy-Duty Transit Bus Applications, in: *IEEE, Vehicle Power and Propulsion Conference, 2006. VPPC '06*. Vol., pp. 1-10, 6-8 Sept. 2006, 2006.
- [3] LIANG, X.; WANG, C.; CHAPELSKY, C. *et al.*, Analysis of series and parallel hybrid bus fuel consumption on different edmonton transit system routes, in: *IEEE, Vehicle Power and Propulsion Conference, 2009. VPPC '09*. Vol., pp. 1470-1475, 7-10 Sept. 2009, 2009.
- [4] EHSANI, M.; GAO, Y.; EMADI, A. *Modern electric, hybrid electric, and fuel cell vehicles: fundamentals, theory, and design*: CRC, 2009.
- [5] KONG, Z.; ZHU, C.; YANG, S. *et al.*, Study of Bidirectional DC-DC Converter for Power Management in Electric Bus with Supercapacitors, in: *IEEE, Vehicle Power and Propulsion Conference, 2006. VPPC '06*. vol., pp. 1-5, 6-8 Sept. 2006, 2006.
- [6] FRANKE, W. T.; CARSTENS, B.; FUCHS, F. W. *et al.*, A detailed analysis of a power converter to buffer the battery voltage in lift trucks, in: *35th Annual Conference of IEEE, Industrial Electronics, 2009. IECON '09*. Vol., pp. 31-36, 3-5 Nov. 2009, 2009.
- [7] SCHUPBACH, R. M.; BALDA, J. C., Comparing DC-DC converters for power management in hybrid electric vehicles, in: *IEEE International, Electric Machines and Drives Conference, 2003. IEMDC'03*. Vol. 3, pp. 1369-1374 vol.3, 1-4 June 2003, 2003.
- [8] CÜK, S., A new zero-ripple switching DC-to-DC converter and integrated magnetics, *IEEE Transactions on Magnetics*, vol. 19, n°. 2, pp. 57-75, 1983.
- [9] ABOUNAGA, A. A.; EMADI, A., Performance evaluation of the isolated bidirectional Cuk converter with integrated magnetics, in: *IEEE 35th Annual, Power Electronics Specialists Conference, 2004. PESC 04. 2004* Vol. 2, pp. 1557-1562 Vol.2, 20-25 June 2004, 2004.
- [10] CHIN, C., Current ripple bounds in interleaved DC-DC power converters, in: *Proceedings of 1995 International Conference on Power Electronics and Drive Systems, 1995.*, Vol., pp. 738-743 vol.2, 21-24 Feb 1995, 1995.

- 
- [11] IN-DONG, K.; SEONG-HWAN, P.; JIN-WOO, A. *et al.*, New Bidirectional ZVS PWM Sepic/Zeta DC-DC Converter, in: *IEEE International Symposium on Industrial Electronics, 2007. ISIE 2007*. Vol., pp. 555-560, 4-7 June 2007, 2007.
- [12] IN-DONG, K.; YOUNG-HO, L.; BYOUNG-HO, M. *et al.*, Design of bidirectional PWM Sepic/Zeta DC-DC converter, in: *7th International Conference on Power Electronics, 2007. ICPE '07*. Vol., pp. 614-619, 22-26 Oct. 2007, 2007.
- [13] CHUNG-YI, L.; JING-YUAN, L.; SHIH-JEN, C. *et al.*, Analysis and design of an active-clamping ZVS isolated inverse-SEPIC converter, in: *International Conference on Power Electronics and Drive Systems, 2009. PEDS 2009*. Vol., pp. 1167-1172, 2-5 Nov. 2009, 2009.
- [14] CHEN, Y. C.; GAO, Y. X., Research on active clamped ZVS-SEPIC converter, in: *2nd International Conference on Industrial and Information Systems (IIS), 2010*. Vol. 1, pp. 310-314, 10-11 July 2010, 2010.
- [15] DUARTE, C. M. C.; BARBI, I., A family of ZVS-PWM active-clamping DC-to-DC converters: synthesis, analysis, and experimentation, in: *17th International Telecommunications Energy Conference, 1995. INTELEC '95*. Vol., pp. 502-509, 29 Oct-1 Nov 1995, 1995.
- [16] ERICKSON, R.; MAKSIMOVIC, D. *Fundamentals of power electronics*: Springer Netherlands, 2001.
- [17] PSIM® User's Guide, 2010.
- [18] FilterPro™ User's Guide, 1991-2011.
- [19] STEFFES, M., *Design Methodology for MFB Filters in ADC Interface Applications*. Application Report SBOA114, 2006.
- [20] GRACE, A.; LAUB, A.; LITTLE, J. *et al.*, Control System Toolbox for use with Matlab™: User's Guide, *The MathWorks, Inc*, 1990.
- [21] *C28x IQmath Library*, Texas Instruments Inc., Dallas, TX., 2009.
- [22] TEXAS INSTRUMENTS, TMS320x281x Analog-to-Digital Converter (ADC) Reference Guide 2005.
- [23] TEXAS INSTRUMENTS, TMS320x281x DSP Event Manager (EV) Reference Guide, 2007.
- [24] DAVOUDI, A.; JATSKEVICH, J.; DE RYBEL, T., Numerical state-space average-value modeling of PWM DC-DC converters operating in DCM and CCM, *IEEE Transactions on Power Electronics*, Vol. 21, n° 4, pp. 1003-1012, 2006.
- [25] LJUNG, L., System identification toolbox, *The MathWorks Inc*, 1999.



- [26] MICROCHIP, *dsPIC33FJ06GS101/X02* and  
*dsPIC33FJ16GSX02/X04 Data Sheet, DS70318D.*



---

---

## 7 APÊNDICE A – ROTINA PARA OBTENÇÃO DO MODELO DINÂMICO DO CONVERSOR ZETA-SEPIC NÃO ISOLADO

---

---

### 7.1 ARQUIVO PARA ENTRADA DOS PARÂMETROS DO CONVERSOR

global As Az Bs Bz Va Vb ILb ILa

% Dado de entrada da simulação

G = 1; % ganho estático

Va = 48; % Tensão da fonte Va

Vb = G\*Va; % Tensão da fonte Vb caso zeta-sepic bidirecional

fs = 50e3; % Frequência de comutação

Ts=1/fs; % Período de comutação

fa=2\*fs; % Frequência de amostragem

Ta=Ts/2; % Período de amostragem

Po = -500; % Potência do conversor Zeta(+)/Sepic(-)

% Parâmetros do Conversor

La=347e-6; % Indutância La

RLa=0.17; % Resistência série da indutância La

Lb=233e-6; % Indutância Lb

RLb=0.197; % Resistência série da indutância Lb

RCab=3e-3; % Resistência série equivalente Cab

Cab=58e-6; % Capacitância do capacitor de acoplamento.

Cb=80e-6; % Capacitância de Carga Zeta

Ca=80e-6; % Capacitância de Carga Sepic

RVa=0.2; % Resistência da fonte Va

RVb=0.2; % Resistência da fonte Vb

Ra=Va^2/abs(Po); % Resistência de Carga Sepic

Rb=Vb^2/abs(Po); % Resistência de Carga Zeta

%% Caso Ideal

% Matrizes de entrada

Bs = [1 0; 1 -1; 0 0];

Bz = [0 0; 0 -1; 0 0];

% Matrizes de estados

As = [0 0 0; 0 0 1; 0 -1 0];

```
Az = [0 0 -1; 0 0 0; 1 0 0];
```

```
K=[La 0 0;0 Lb 0; 0 0 Cab];
```

```
%% Caso com perdas
```

```
% Matrizes de entrada
```

```
Bs = [1 0; 1 -1; 0 0];
```

```
Bz = [0 0; 0 -1; 0 0];
```

```
% Matrizes de estdos
```

```
As = [-RVa - RLa -RVa 0; -RVa -RVa - RCab - RLb 1; 0 -1 0];
```

```
Az = [-RCab - RLa 0 -1; 0 -RLb 0; 1 0 0];
```

```
K=[La 0 0;0 Lb 0; 0 0 Cab];
```

## 7.2 CÁLCULO DO PONTO DE OPERAÇÃO

```
if Po>0 % Modo Zeta
```

```
Di = Vb/(Va+Vb); % Razão cíclica de operação em regime permanente
```

```
VCabi = Vb; % Tensão no capacitor de acoplamento
```

```
ILb = Po/Vb; % Corrente média na indutância Lb - Carga
```

```
ILai = Po/Va; % Corrente média na indutância La
```

```
% Di -> x1
```

```
% ILai -> x2
```

```
% VCabi -> x3
```

```
x0 = [Di; ILai; VCabi]; % Make a starting guess at the solution
```

```
x=x0;
```

```
options=optimset('Display','iter'); % Option to display output
```

```
[xMZ,fval,exitflag] = fsolve(@ZetaSepicRegimePerdasNisoladoMzeta...  
x0,options); % Call solver
```

```
D=xMZ(1);
```

```
ILa=xMZ(2);
```

```
VCab=xMZ(3);
```

```
else % Modo Sepic
```

```
% Condição inicial
```

```
Di = Vb/(Va+Vb); % Razão cíclica de operação em regime permanente
```

```
VCabi = Vb; % Tensão no capacitor de acoplamento
```

```
ILbi = Po/Vb; % Corrente média na indutância Lb
ILa = Po/Va; % Corrente média na indutância La - Carga

% Di -> x1
% ILai -> x2
% VCabi -> x3

x0 = [Di; ILbi; VCabi]; % Make a starting guess at the solution

x=x0;
options=optimset('Display','iter'); % Option to display output
[xMS,fval,exitflag] = fsolve(@ZetaSepicRegimePerdasNisoladoMsepic...
    ,x0,options); % Call solver

D=xMS(1);
ILb=xMS(2);
VCab=xMS(3);

End
```

### 7.2.1 Função para o cálculo do ponto de operação no modo Zeta

```
function Mz = ZetaSepicRegimePerdasNisoladoMzeta(x)
```

```
% Di -> x1
% ILai -> x2
% VCabi -> x3
```

```
global As Az Bs Bz Va Vb ILb
```

```
Mz=[ (As*x(1)+Az*(1-x(1)))*[x(2) ILb x(3)]'+...
(Bs*x(1)+Bz*(1-x(1)))*[Va;Vb] ];
```

### 7.2.2 Função para o cálculo do ponto de operação no modo Sepic

```
function Ms = ZetaSepicRegimePerdasNisoladoMsepic(x)
```

```
% Di -> x1
% ILbi -> x2
% VCabi -> x3
```

```
global As Az Bs Bz Va Vb ILa
```

```
Ms=[ (As*x(1)+Az*(1-x(1)))*[ILa x(2) x(3)]'+...
(Bs*x(1)+Bz*(1-x(1)))*[Va;Vb] ];
```

## 7.3 MODELO EM ESPAÇO DE ESTADOS

```
% Modelo ideal ou considerando as perdas
U=[Va Vb]';
X=[iLa iLb vCab]';
invK=inv(K);

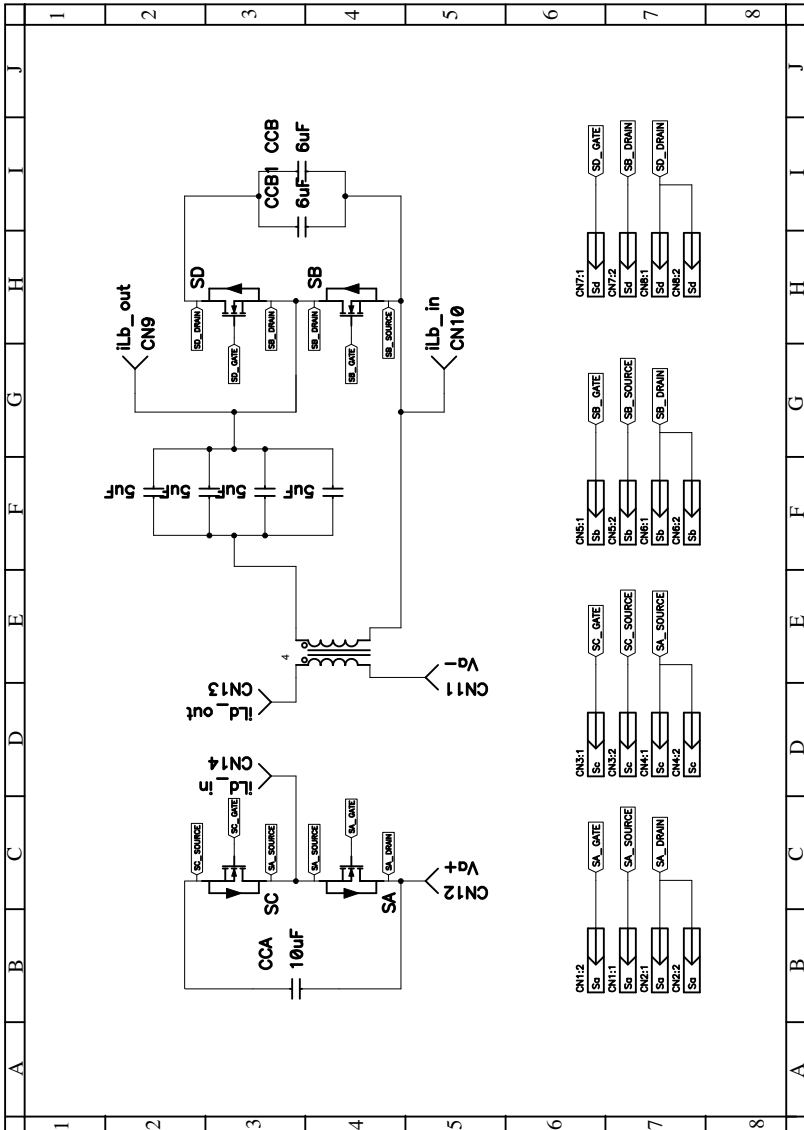
Asys=K\((As*D+Az*(1-D));
Bsys=K\[(As-Az)*X+(Bs-Bz)*U Bs*D+Bz*(1-D)];

Csys= eye(3); % iLa iLb vCab

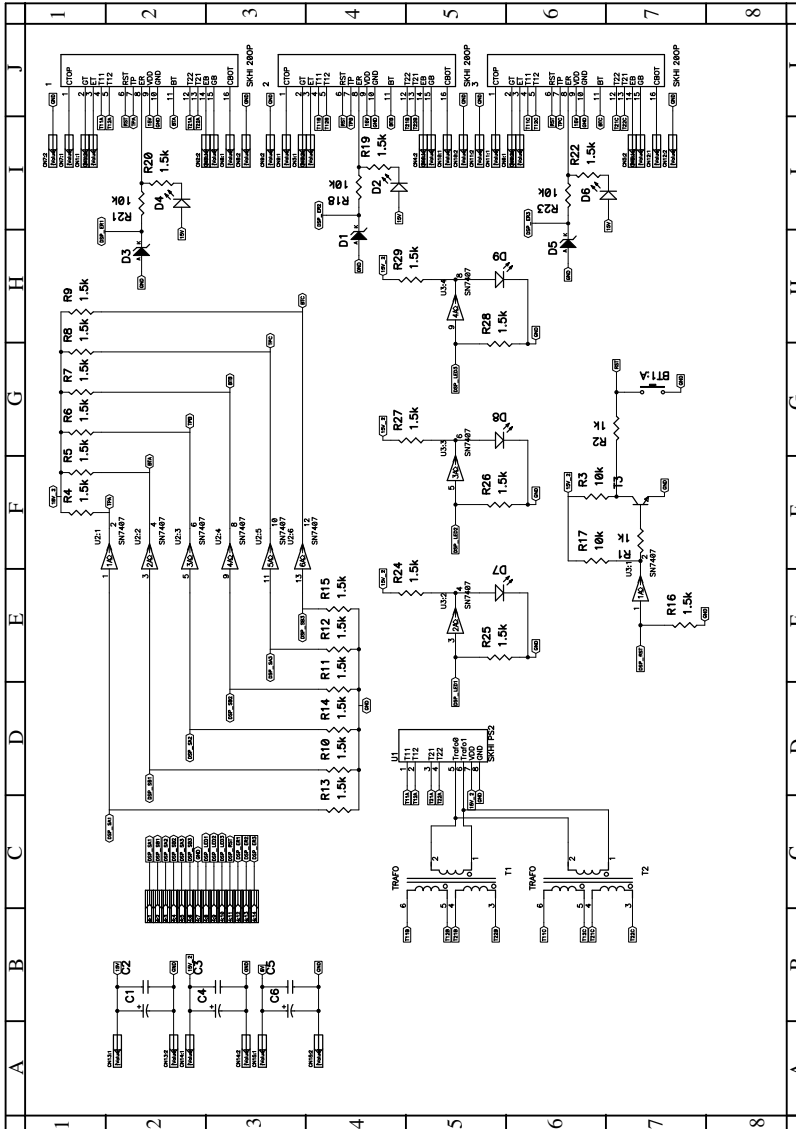
Dsys = zeros(3); % d Va Vb

sys = ss(Asys,Bsys,Csys,Dsys,...
    'statename',{ 'iLa' 'iLb' 'vCab' }, ...
    'inputname', {'d' 'va' 'vb'}, 'OutputName', {'iLa' 'iLb' 'vCab'});
```

## 8 APÊNDICE B – ESQUEMÁTICO DO CIRCUITO DE POTÊNCIA DO CONVERSOR ZETA-SEPIC COM GA



9 APÊNDICE C – ESQUEMÁTICO DO CIRCUITO DE COMANDO DO CONVERSOR ZETA-SEPIC COM GA





## 10 APÊNDICE D – ESQUEMÁTICO DO CIRCUITO DE CONDICIONAMENTO DE SINAIS

