

DANIEL EDUARDO SILVA PIOVANI

**Amplificador Classe D CMOS para
Aparelho de Auxílio à Audição**

**FLORIANÓPOLIS
2010**

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA**

**Amplificador Classe D CMOS para
Aparelho de Auxílio à Audição**

Dissertação submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a
obtenção do grau de Mestre em Engenharia Elétrica

DANIEL EDUARDO SILVA PIOVANI

Florianópolis, Abril de 2010

Catálogo na fonte pela Biblioteca Universitária
da
Universidade Federal de Santa Catarina

P662a Piovani, Daniel Eduardo Silva

Amplificador classe D CMOS para aparelho de auxílio à audição [dissertação] / Daniel Eduardo Silva Piovani ; orientador, Márcio Cherem Schneider. - Florianópolis, 2010.

104 p.: il., grafs., tabs.

Dissertação (mestrado) - Universidade Federal de Santa Catarina, Centro Tecnológico. Programa de Pós-Graduação em Engenharia Elétrica.

Inclui referências

1. Engenharia elétrica. 2. Circuitos integrados lineares - Projetos. 3. Transistor MOS. 4. Tecnologia CMOS. 5. Amplificador classe D. 6. Baixa tensão. 7. Log companding. 8. Malha translinear. I. Schneider, Márcio Cherem. II. Universidade Federal de Santa Catarina. Programa de Pós-Graduação em Engenharia Elétrica. III. Título.

CDU 621.3

AMPLIFICADOR CLASSE D CMOS PARA APARELHO DE AUXÍLIO À AUDIÇÃO

Daniel Eduardo Silva Piovani

‘Esta Dissertação foi julgada adequada para obtenção do título de Mestre em Engenharia Elétrica, Área de Concentração *Circuitos Integrados*, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’

Márcio Cherem Schneider, D.Sc.
Orientador

Roberto de Souza Salgado, Ph.D.
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

Márcio Cherem Schneider, D.Sc.
Presidente

Carlos Galup-Montoro, Dr.

Fernando Rangel de Sousa, Dr.

Alfredo Arnaud, Dr.

Agradecimentos

Para que os agradecimentos? Sem dúvidas, que para honrar com a recordação traduzida em palavras às pessoas que de modo direto ou indireto colaboraram com o processo de aprendizagem que envolve o desafio de encarar um curso de pós-graduação. Também se costuma reconhecer o apoio dos familiares mais próximos, pais, irmãos e até amigos. E por último, aos organismos que estiveram presentes economicamente.

Desde meu ponto de vista envolveu muitos mais aspectos aos quais sento que tenho porque agradecer. Começo pelo carinho e acolhimento com o que fui recebido (neste abençoado país Brasil), o qual não é possível expressar com simples palavras. Agradeço as novas experiências que tive que enfrentar, querendo ou não, estas foram de inestimável crescimento pessoal. Até o arroz com feijão diário do restaurante universitário, como exemplo da adaptação aos novos costumes, esses costumes que levaram numa mudança cultural em minha pessoa e que marcarão minhas ações futuras. Agradeço às pessoas que aprendi valorizar e às que aprenderam a valorizar-me. Agradeço à oportunidade brindada, às oportunidades que brinde e às que virão.

Resumo de Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

AMPLIFICADOR CLASSE D CMOS PARA APARELHO DE AUXÍLIO Á AUDIÇÃO

Daniel Eduardo Silva Piovani

Abril/2010

Orientador: Márcio Cherem Schneider, D.Sc.

Área de Concentração: Circuitos e Sistemas Integrados.

Palavras-chave: Projeto de circuitos integrados analógicos, transistor MOS, tecnologia CMOS, amplificador classe D, baixa tensão, baixo consumo, *log companding*, malha translinear.

Número de Páginas: 104.

O presente trabalho propõe um amplificador classe D operando com baixa tensão e com consumo reduzido para aplicações em aparelhos de auxílio à audição. Projetado em modo corrente, explora as técnicas de compressão (*log companding*) e multiplicação (*translinear loop*). O sistema foi projetado de forma modular, estudando o desempenho de cada bloco, com ênfase no consumo de potência. Foram extraídos os parâmetros tecnológicos mais significativos do modelo do transistor MOS para diferentes tamanhos de transistores, realizando um projeto baseado em associações série-paralelo. Analisamos a influência dos filtros da saída no consumo, considerando a característica indutiva que apresentam os alto-falantes. O funcionamento do sistema foi verificado através de simulações do circuito projetado em tecnologia AMS 0.35 μm . Verificassem eficiência superior a 75% para potência na saída maior que um quarto da potência máxima, obtendo uma eficiência máxima de 90,6%, um consumo estático de 68 μW , distorção harmônica inferior a 1%, sendo a área ativa de silício de 0,073mm².

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering

CMOS CLASS-D AMPLIFIER FOR HEARING AID DEVICES

Daniel Eduardo Silva Piovani

Abril/2010

Advisor: Márcio Cherem Schneider, D.Sc.

Area of Concentration: Integrated Circuits and Systems.

Keywords: Analog integrated circuit design, MOS transistor, CMOS technology, class-D amplifier, low voltage, low power, log companding, translinear loop.

Number of Pages: 104.

This work proposes a class-D amplifier for low voltage operation and reduced consumption, for application in hearing aid devices. Designed in current mode, the amplifier employs log companding for compression and multiplication techniques. The performance of each block of the amplifier was analyzed, and special emphasis was given to power consumption. The most significant technological parameters of the MOSFET model were extracted for different transistor sizes. The design of the amplifier is based on the series-parallel associations of transistors. We analyze the influence of the output filters on the power consumption, considering the speaker's inductive characteristic. The correct operation of the system was verified through simulations of the circuits designed in the AMS 0.35 μm technology. Efficiencies over 75%, up to a maximum of 90.6 % were achieved for output power greater than one quarter of the maximum power. The static power consumption is 68 μW , with total harmonic distortion less than 1%. The amplifier active area is around 0.073 mm^2 .

Sumário

Sumário	xiii
Lista de Figuras	xv
Lista de Tabelas	xix
Lista de Abreviações	xx
Lista de Símbolos	xxi
Introdução	1
1.1. Amplificadores não chaveados	1
1.2. Amplificadores Chaveados	3
1.3. Consumo no Aparelho Auditivo	7
1.4. Especificações do Amplificador a Projetar	8
Blocos do amplificador classe D	9
Projeto do amplificador classe D	15
3.1. Comparador de Corrente	15
3.2. Gerador da Corrente Triangular	24
3.3. Bloco de Entrada	37
3.4. Latch	40
3.5. Driver e transistores de potência	42
3.6. Espelhos de Corrente	48
3.7. Filragem	49
Leiaute	55
Resultados	67
Conclusões e Trabalhos Futuros	75
Análise de Fourier PWM	77
Filtros	81
Extração de Parâmetros ACM	87
Potência do Driver de Saída	89
Malha Translinear	95
Modelo ACM	97
Referências	101

Lista de Figuras

Figura 1.1 – Classificação de amplificadores não chaveados segundo o ângulo de condução.....	2
Figura 1.2 – Potência entregue à saída em função do ângulo de condução para amplificadores não chaveados.....	2
Figura 1.3 – Diagrama de blocos do amplificador classe D.....	3
Figura 1.4 – Formas de onda do processo de modulação por largura de pulso (PWM).....	4
Figura 1.5 - Diagrama de blocos do amplificador classe D PWM.....	5
Figura 1.6 – Formas de onda do processo de modulação sigma-delta.....	5
Figura 1.7 - Diagrama de blocos do amplificador classe D sigma-delta.....	6
Figura 1.8 – Formas de onda do processo de modulação por controle bang-bang.....	6
Figura 1.9 – Diagrama de blocos do amplificador classe D bang-bang.....	7
Figura 2.1 – Diagrama de blocos do amplificador classe D.....	9
Figura 2.2 - Diagrama de blocos do gerador de corrente triangular.....	11
Figura 2.3 – Diagrama de blocos comparador de corrente.....	12
Figura 2.4 – Diagrama de blocos do bloco de entrada.....	13
Figura 2.5 – Driver de potência em configuração ponte.....	13
Figura 3.1 – Gráfico da comparação e os possíveis erros na geração do sinal triangular.....	16
Figura 3.2 – Estágio de comparação de corrente realizado com dois espelhos de corrente um NMOS e outro PMOS.....	18
Figura 3.3 – Corrente de dreno dos transistores M2 e M4 no caso $I_2 > I_1$. ..	18
Figura 3.4 – Estágio de amplificação com inversor realimentado para controlar a excursão da saída do estágio de comparação.....	19
Figura 3.5 – Correntes de dreno transistor NMOS e PMOS.....	19
Figura 3.6 – Comparador com inversor de entrada com e sem realimentação.....	20

Figura 3.7 – Resposta dos comparadores de corrente A e B para uma corrente triangular e outra constante como entradas.	21
Figura 3.8 – Histograma da simulação Monte Carlo no comparador A (100 amostras).	23
Figura 3.9 – Histograma da simulação Monte Carlo no comparador B (100 amostras).	23
Figura 3.10 – Saída do comparador de corrente.	24
Figura 3.11 –Diagrama de blocos do gerador corrente triangular.	25
Figura 3.12 – Malha translinear com inversão de corrente de carga do capacitor.	26
Figura 3.13 – Circuito gerador de corrente triangular.	28
Figura 3.14 - Esquemático do circuito de carga do capacitor em [10].	33
Figura 3.15 – Esquemático do circuito de corrente de carga do capacitor.	34
Figura 3.16 - Simulação da corrente triangular e tensão de saída com entrada nula.	35
Figura 3.17 – Simulação da corrente e tensão no capacitor.	35
Figura 3.18 – Simulação Monte Carlo da frequência com $V_{dd} = 1,4V$ (1000 amostras).	36
Figura 3.19 - Simulação Monte Carlo da frequência com $V_{dd} = 1,1V$ (1000 amostras).	36
Figura 3.20 – Esquemático do bloco de entrada.	37
Figura 3.21 – Circuito pequenos sinais do bloco de entrada.	38
Figura 3.22 – Transferência I_{out}/I_{in} do bloco de entrada.	40
Figura 3.23- Schmitt-trigger com flip-flop tipo D.	40
Figura 3.24 - Schmitt-trigger em corrente construído com o latch RS.	41
Figura 3.25 – Porta NAND e latch-SR.	42
Figura 3.26 – Diagrama de estados implementando histerese.	42
Figura 3.27 - Driver de saída em configuração em ponte (BTL).	43
Figura 3.28- Perdas por corrente de transição.	44
Figura 3.29 - Perdas por corrente de curto-circuito.	44

Figura 3.30 – Potência total do driver em função de relação de aspecto (SOUT)	47
Figura 3.31 - Potência ótima driver e atraso em função de N.	47
Figura 3.32 – Esquemático dos espelhos NMOS e PMOS.	48
Figura 3.33 – Esquemático do filtro Butterworth.....	50
Figura 3.34 – Simulação do ripple de corrente do filtro Butterworth em função da frequência de corte.	51
Figura 3.35 – Simulação do ripple de tensão do filtro Butterworth em função da frequência de corte.	51
Figura 3.36 – Esquemático do filtro passa faixa.	52
Figura 3.37 – Simulação de impedância do filtro passa faixa.	53
Figura 3.38 – Simulação SPL na saída do alto-falante com filtro passa baixas, passa faixa e sem filtro.....	53
Figura 4.1 - Leiaute do transistor de potência PMOS.	56
Figura 4.2 – Leiaute transistores M18 e M19 do bloco de entrada.	57
Figura 4.3 – Diagrama de blocos do amplificador classe D.....	63
Figura 4.4 – Leiaute do amplificador classe D.....	64
Figura 4.5 – Esquemático do bloco gerador de corrente triangular.....	65
Figura 4.6 – Esquemático dos blocos adicionais do amplificador classe D.....	66
Figura 5.1 – Razão cíclica em função da corrente de entrada.	67
Figura 5.2 - Simulação Monte Carlo da razão cíclica (1000 amostras e $V_{dd} = 1,4 \text{ V}$).....	68
Figura 5.3 - Simulação Monte Carlo da razão cíclica (1000 amostras e $V_{dd} = 1,1 \text{ V}$).....	69
Figura 5.4 – Tensão na carga para $f_{in} = 1 \text{ kHz}$	70
Figura 5.5 - Tensão na carga para $f_{in} = 1,6 \text{ kHz}$	70
Figura 5.6 - Tensão na carga para $f_{in} = 2,5 \text{ kHz}$	71
Figura 5.7 – THD em função da amplitude da sinal de entrada	72
Figura 5.8 – Eficiência e potência consumida em função da potência na	

saída.	73
Figura A.1 – Geração do sinal PWM.	77
Figura A.2 – Sinal PWM.	79
Figura A.3 – Sinal PWM invertido.	80
Figura B.1 – Simulação de impedância do alto-falante BK1600.	84
Figura B.2 – Setup para simulação do alto-falante BK1600.	84
Figura C.1 – Circuitos para extração de ISQ.	87
Figura C.2 – Circuitos para extração de VT0.	88
Figura C.3 – Circuitos para extração do fator de inclinação.	88
Figura D.1- Ajuste da resistência do transistor de potência NMOS em função de S.	89
Figura D.2- Ajuste da resistência do transistor de potência PMOS em função de S.	90
Figura D.3 – Driver de saída.	91
Figura D.4 – Circuito para avaliação de C1.	92
Figura D.5 – Ajuste da capacitância equivalente C1 do driver de saída.	93
Figura D.6 – Ajuste linear do atraso de subida do driver de saída	94
Figura D.7 – Ajuste linear do atraso de descida do driver de saída.	94
Figura E.1 – Transistores da malha translinear.	95

Lista de Tabelas

Tabela 1.1 – Eficiência máxima teórica para amplificadores não chaveados das classes A, B, AB e C.....	3
Tabela 1.2 – Tipos de baterias e capacidades utilizadas DAA.....	7
Tabela 1.3 – Especificações do projeto do amplificador classe D.	8
Tabela 3.1 – Valores teóricos e simulados das tensões VS 1, VS 2, VG 1 e VG 14.....	32
Tabela 3.2- Sinais de entrada ao latch.....	41
Tabela 3.3- Tabela de verdade do latch SR.....	42
Tabela 3.4 – Valores de componentes do filtro para diferentes frequências de corte do filtro.....	50
Tabela 4.1 – Discriminação da área por blocos.....	55
Tabela 4.2- Dimensões dos transistores do gerador de corrente triangular.	59
Tabela 4.3 - Dimensões dos transistores do bloco de entrada.	60
Tabela 4.4 - Dimensões dos transistores do driver de potência.....	60
Tabela 4.5 - Dimensões dos transistores do comparador de corrente.	60
Tabela 4.6 - Dimensões dos transistores do latch.	61
Tabela 4.7 – Dimensões dos transistores dos espelhos NMOS.....	61
Tabela 4.8 – Dimensões dos transistores dos espelhos PMOS.....	61
Tablea 6.1 – Especificações do projeto do amplificador classe D e resultados obtidos por simulação.	75
Tabela D.1 – Parâmetros ajustados.	90
Tabela D.2 - Parâmetros ajustados da capacitância equivalente.	93
Tabela D.3 – Parâmetros ajustados do atraso de subida e descida.	93

Lista de Abreviações

AC	Corrente alternada
AMS	Austriamicrosystems
BJT	<i>Bipolar junction transistor</i>
BTE	Detrás da orelha (<i>behind the ear</i>)
BTL	<i>Bridge tied load</i> (carga em configuração ponte)
CIC	Completamente dentro do canal auditivo (<i>completely in the channel</i>)
CMOS	<i>Complementary metal oxide semiconductor</i>
DAA	Dispositivo de Auxílio à audição
DC	Corrente contínua
ITC	Dentro do canal auditivo (<i>in the channel</i>)
ITE	Dentro da Orelha (<i>in the ear</i>)
M_{xx}	Transistor CMOS
MOS	<i>Metal oxide semiconductor</i>
MOSFET	<i>Metal oxide semiconductor field effect transistor</i>
NMOS	Transistor MOS canal n
PDM	Modulação por densidade de pulsos
PMOS	Transistor MOS canal p
PWM	<i>Pulse width modulation</i>
RMS	<i>Root mean square</i>
SDM	<i>Sigma-Delta modulation</i>
SPL	<i>Sound pressure level</i>
SR	<i>Set – Reset</i>
TL	<i>Translinear loop</i> (malha translinear)
UICM	<i>Unified current control model</i>
2cc	2cm ³ <i>cavity coupler</i>

Lista de Símbolos

α	Fator de segurança	
μ	Mobilidade dos portadores de carga	$\text{m}^2/\text{V}\cdot\text{s}$
ϕ_t	Potencial térmico	V
τ	Constante de tempo	s^{-1}
η	Eficiência	
A	Área	m^2
A_I	Ganho do espelho de corrente	A/A
A_{IO}	Ganho DC do espelho de corrente	A/A
C_f	Capacitância do filtro passa baixo	F
C'_{ox}	Capacitância do óxido de silício por unidade de área	F/m^2
C_{gb}	Capacitância porta - substrato	F
C_{gs}	Capacitância porta - fonte	F
C_{in}	Capacitância total na entrada	F
C_{out}	Capacitância total na saída	F
C_{tri}	Capacitor gerador de corrente triangular	F
D	Razão cíclica (<i>duty cycle</i>)	
d_{max}	Atraso máximo na comparação entre o valor máximo do sinal modulante e o sinal triangular	s
d_{min}	Atraso máximo na comparação entre o valor mínimo do sinal modulante e o sinal triangular	s
f_T	Frequência de transição do transistor MOS	Hz
g_{md}	Transcondutância de dreno	A/V
g_{mg}	Transcondutância de porta	A/V
$g_{m\ in}$	Transcondutância de entrada	A/V
g_{ds}	Condutância dreno-fonte	A/V
I_{bias}	Corrente de polarização	A
I_{BE}	Corrente no bloco de entrada	A
I_C	Corrente no capacitor	A
I_{DN}	Corrente de dreno do transistor NMOS	A
I_{DP}	Corrente de dreno do transistor PMOS	A
i_f	Nível de inversão direto	

i_{fN}	Nível de inversão direto do transistor NMOS	
i_{fP}	Nível de inversão direto do transistor PMOS	
I_{in}	Corrente de entrada	A
I_{LK}	Corrente de fuga pelos diodos de dreno e fonte	A
i_r	Nível de inversão reverso	
I_{ref}	Corrente de referência	A
I_S	Corrente de normalização ou específica	A
I_{SN}	Corrente de normalização do transistor NMOS	A
I_{SP}	Corrente de normalização do transistor PMOS	A
I_{SQ}	Corrente de normalização de folha	A
I_{SQN}	Corrente de normalização de folha do transistor NMOS	A
I_{SQP}	Corrente de normalização de folha do transistor PMOS	A
I_{TH}	Corrente do inversor com tensão de porta V_{THr}	A
I_{tri}	Corrente triangular	A
$I_{tri\ max}$	Corrente triangular máxima	A
$I_{tri\ min}$	Corrente triangular mínima	A
I_{tun}	Corrente de ajuste	A
L	Comprimento do canal	μm
L_f	Indutor do filtro	H
m	Índice de modulação	
N	Quantidade de inversores no <i>driver</i> de saída	
n	Fator de inclinação	
n_n	Fator de inclinação do transistor NMOS	
n_p	Fator de inclinação do transistor PMOS	
P_{CC}	Potência consumida pelo comparadores de corrente	W
P_{ON}	Potência consumida por condução	W
P_{SW}	Potência consumida por transição	W
R_{DC}	Resistência DC do alto-falante	Ω
R_{ON}	Resistência de condução	Ω
$R_{ON\ NMOS}$	Resistência de condução do transistor NMOS	Ω
$R_{ON\ PMOS}$	Resistência de condução do transistor PMOS	Ω

S	Relação de aspecto	
S_N	Relação de aspecto do transistor NMOS	
S_P	Relação de aspecto do transistor PMOS	
T_{tri}	Período da corrente triangular	s
u	Fator de <i>tapering</i>	
V_{bias}	Tensão de polarização	V
V_{ctrl}	Tensão de controle	V
V_D	Tensão de dreno	V
V_{dd}	Tensão de alimentação	V
V_{DS}	Tensão dreno-fonte	V
V_{DSsat}	Tensão de saturação entre dreno e fonte	V
V_G	Tensão de porta	V
V_{GB}	Tensão porta-substrato	V
V_{GS}	Tensão porta-fonte	V
V_{in}	Tensão de entrada	V
V_{out}	Tensão de saída	V
V_P	Tensão de pinch-off	V
V_S	Tensão da fonte	V
V_{T0}	Tensão de limiar	V
V_{T0N}	Tensão de limiar do transistor NMOS	V
V_{T0P}	Tensão de limiar do transistor PMOS	V
V_{TH}	Tensão de limiar de porta do inversor	V
V_{tri}	Tensão triangular	V
W	Largura do canal	μm
ω_m	Frequência angular da tensão moduladora	rad/s
ω_0	Frequência angular de corte do filtro	rad/s
ω_T	Frequência angular de transição do transistor MOS-FET	rad/s
ω_{tri}	Frequência angular de a onda triangular	rad/s
Z_{in}	Impedância de entrada	Ω
Z_L	Impedância do alto-falante	Ω

Capítulo 1

Introdução

A amplificação é uma das funções por excelência que os circuitos eletrônicos vêm realizando desde a invenção da válvula eletrônica no começo do século passado. Atualmente o transistor bipolar e o MOSFET (*metal oxide semiconductor field effect transistor*) são os componentes básicos dos amplificadores, dentre os quais o amplificador operacional é bloco básico da microeletrônica analógica.

Os amplificadores de potência, uma sub-classe dentro do universo dos amplificadores, são projetados para maximizar os níveis de tensão e corrente na saída, de forma a ter a capacidade de transferir a potência necessária. Amplificadores de áudio são aqueles cuja frequência de operação está dentro da faixa audível, considerada de 20 a 20 kHz [1].

Segundo o funcionamento da estrutura de transistores que compõem o amplificador de potência, estes podem ser classificados em **chaveados** ou **não chaveados**.

1.1. Amplificadores não chaveados

Nos amplificadores não chaveados, os transistores de saída funcionam como fonte de corrente não saturada, polarizados em diferentes regiões de operação, com tempos de condução dependentes da polarização e do sinal de entrada. Diferentes topologias utilizadas em amplificadores não chaveados são classificadas segundo o ângulo de condução das mesmas em A, B, AB, C [2]. A *Figura 1.1* apresenta dita classificação [3]. As classes G e H também são consideradas não chaveadas e utilizam mais de uma fonte de alimentação (controladas externamente) para diminuir a potência dissipada.

A potência de saída e a eficiência dos amplificadores não chaveados das classes A, B, AB e C, dependem diretamente do ângulo de condução. Uma diminuição do ângulo de condução melhora a eficiência, enquanto produz uma queda na potência de saída, de acordo com (1.1) e (1.2) [3].

$$P_{Out} = \frac{V_{Out,p} \cdot I_{D,1}}{2} = \frac{V_{Out,p} I_{CC}}{4\pi} [2\theta - \sin 2\theta] \quad (1.1)$$

$$\eta = \frac{V_{Out,p}}{4V_{dd}} \frac{2\theta - \sin 2\theta}{\sin \theta - \theta \cos \theta} \quad (1.2)$$

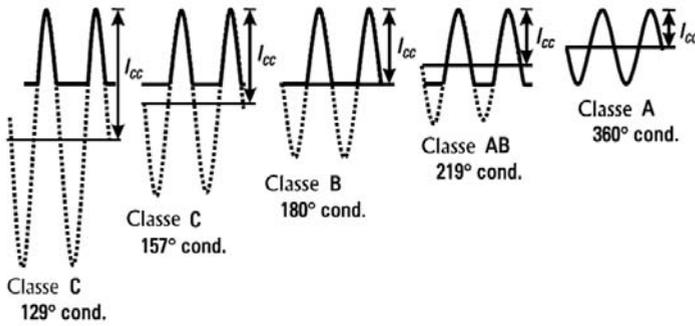


Figura 1.1 – Classificação de amplificadores não chaveados segundo o ângulo de condução¹.

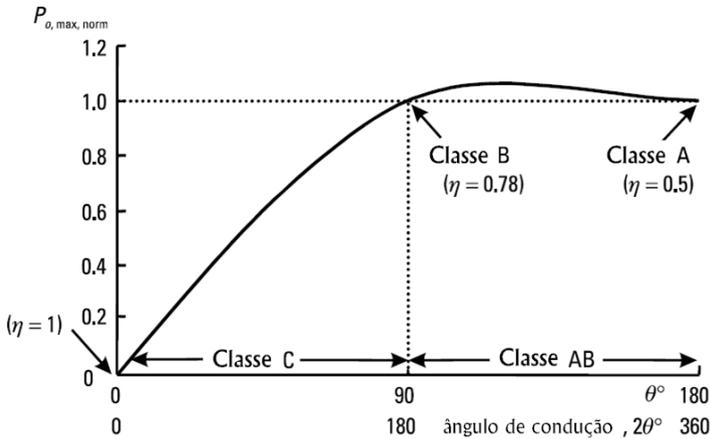


Figura 1.2 – Potência entregue à saída em função do ângulo de condução para amplificadores não chaveados².

Na Figura 1.2 representa-se a potência de saída dos amplificadores não chaveados (1.1) normalizada segundo a potência de saída do amplificador classe B, observando-se que, ao aumentar a eficiência, a potência dis-

ii

¹ Rogers J.W.M and Plett C., *Radio Frequency integrated circuit design*. Artech House Publisher, pp. 359, 2003.

² Rogers J.W.M and Plett C., *Radio Frequency integrated circuit design*. Artech House Publisher, pp. 360, 2003.

ponível à saída diminui. As características de ângulo de condução e a eficiência teórica máxima são apresentadas na *Tabela 1.1*.

Tabela 1.1 – Eficiência máxima teórica para amplificadores não chaveados das classes A, B, AB e C³.

<i>Classe</i>	<i>Ângulo de Condução (°)</i>	<i>Eficiência máxima Teórica (%)</i>
A	360	50
AB	360-180	50-78,5
B	180	78,5
C	180-0	78,5-100

1.2. Amplificadores Chaveados

A estrutura de transistores nos amplificadores chaveados funciona como chave, forçando variações alternadas da saída entre os níveis máximo e mínimo das tensões de alimentação. Dentro desta categoria encontram-se os amplificadores: D, E e F [4]. A eficiência teórica máxima desta classe de amplificadores é de 100%, considerando que durante os períodos de condução a queda de tensão no transistor é desprezível. Na prática, existem não idealidades e consumos estáticos de circuitos auxiliares que fazem a eficiência ser inferior a 100%. Mas normalmente superiores a 75% [5]-[8].

Em áudio, nossa aplicação de interesse, o amplificador de potência amplamente utilizado é a classe D. Seu princípio de funcionamento está baseado na modulação em trem de pulsos (PDM ou PWM), onde o sinal de áudio mantém uma relação de proporcionalidade com o valor médio do dito trem. O sinal modulado deve ser filtrado para recuperar o sinal de interesse, conforme indicado na *Figura 1.3*.

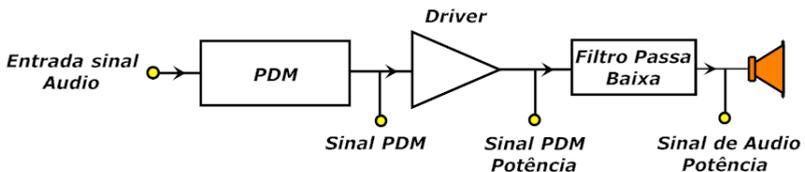


Figura 1.3 – Diagrama de blocos do amplificador classe D.

iii _____

³ Rogers J.W.M and Plett C., *Radio Frequency integrated circuit design*. Artech House Publisher, p. 356, 2003.

Na literatura, encontráramos três formas diferentes de efetuar a modulação requerida no amplificador classe D [9]:

- Modulação por largura de pulso (PWM).
- Modulação Sigma-Delta (SDM).
- Modulação por controle Bang-Bang.

As vantagens e desvantagens de cada uma serão comentadas a seguir.

1.2.1. Modulação por largura de pulso (PWM)

O sinal PWM é um trem de pulsos de frequência fixa, sendo a largura de cada pulso proporcional ao sinal de entrada. A informação é modulada na razão cíclica (D) de cada período, existindo dois tipos de processos de amostragem para a geração do sinal PWM: amostragem natural e amostragem uniforme. O processo de amostragem natural é usado em PWM analógico onde o sinal de informação é comparado com um sinal triangular [A-nexo 1], enquanto no processo de amostragem uniforme o sinal de informação é convertido de analógico a digital e associado a um valor discreto da razão cíclica. Na *Figura 1.4* são exibidos os sinais de entrada e saída na modulação PWM com onda triangular.

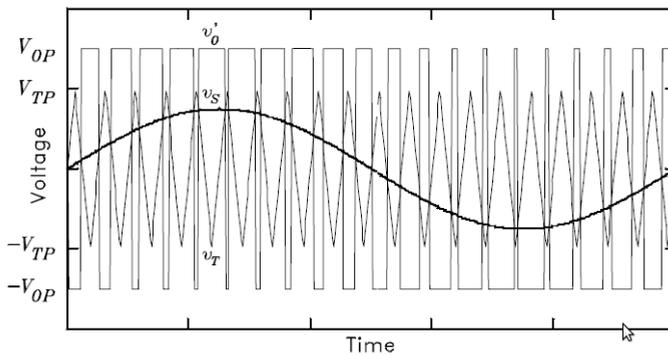


Figura 1.4 – Formas de onda do processo de modulação por largura de pulso (PWM)⁴.

Neste tipo de modulação a frequência da portadora está na faixa de 100 kHz a 500 kHz, contando esta topologia com as seguintes virtudes:

iv—

4 W. M. Leach Jr., Introduction to Electroacoustics and Audio Amplifier Design. 2nd ed. Kendall/Hunt, 2001

operação em malha aberta ou fechada, ótima potência de saída, baixa complexidade de implementação, baixo consumo de potência e THD da ordem de 1%.

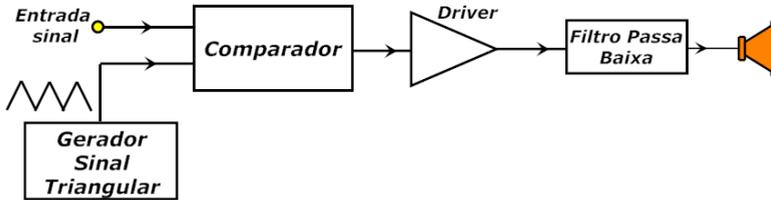


Figura 1.5 - Diagrama de blocos do amplificador classe D PWM.

1.2.2. Modulação Sigma-Delta

Na modulação Sigma-Delta, o valor do sinal de entrada é codificado na densidade de pulsos, sendo o número de pulsos em uma janela de tempo proporcional ao valor médio do sinal. O valor na saída mantém-se durante um número de períodos de relógio, com o objetivo de estimar o valor do sinal de entrada. Neste caso a frequência do sinal portador está oculto, Figura 1.6.

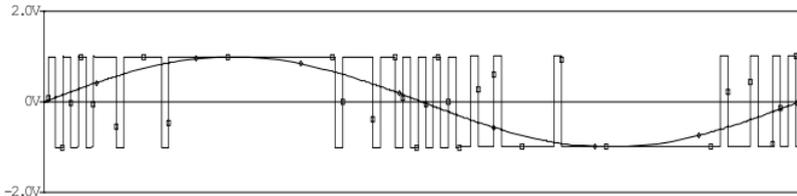


Figura 1.6 – Formas de onda do processo de modulação sigma-delta⁵.

O grande aporte da modulação Sigma-Delta é a distribuição da energia em altas frequências, em vez de estar concentrado em harmônicos da portadora, como ocorre em PWM. Embora a energia ainda exista nos harmônicos da portadora, ao operar com frequência acima dos MHz, longe da faixa de áudio, sua filtragem é simples.

A frequência da portadora está na faixa de 1 MHz a 3 MHz, esta topologia atinge valores de THD da ordem de 0,1 %. No entanto, a maior quantidade de blocos aumenta o consumo de potência e a área necessária.

⁵ Bloechl M., Bataineh M. and Harrel D. “Class D switching power amplifier: theory, design and performance”, IEEE Proceedings, Southeast Conference, pp. 123-146, 2004.

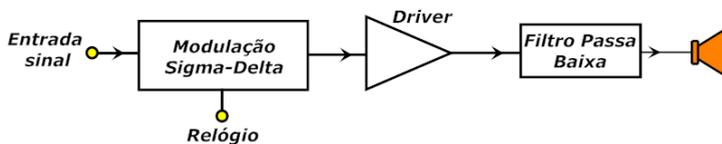


Figura 1.7 - Diagrama de blocos do amplificador classe D sigma-delta.

1.2.3. Modulação por controle Bang-Bang

O controlador Bang-Bang se baseia em realimentação e um comparador com histerese para gerar um sinal PDM proporcional ao sinal de entrada, não sendo necessário um sinal portador ou relógio externo, em oposição às duas modulações anteriores [9].

A entrada do comparador com histerese é o erro entre o sinal de saída e o de entrada; por esta razão a realimentação deve ser realizada depois do filtro passa baixa. Quando o erro ultrapassa um determinado limiar (deixando a banda de histerese), o comparador irá alterar o estado na saída, com o objetivo de manter o sinal de erro dentro da faixa de histerese estabelecida, *Figura 1.8*.

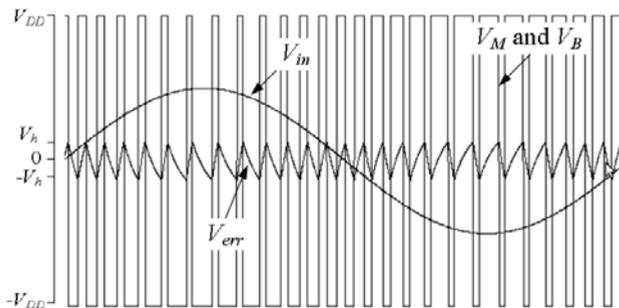


Figura 1.8 – Formas de onda do processo de modulação por controle bang-bang⁶.

As frequências de operação estão tipicamente na faixa dos MHz, com THD menores que no PWM e comparáveis ao Sigma-Delta. Seu consumo é um pouco superior ao PWM, devido a sua maior frequência, mas a complexidade dos blocos é a mesma, ocupando uma área similar. No entan-

⁶ GeT., Chang J.S. and Shu W. “Power supply noise in bang-bang control class D amplifier”, IEEE International Symposium on Circuits and Systems, pp. 701-704, 2007.

to, especial cuidado precisa ter-se com a estabilidade do sistema, devido aos atrasos introduzidos pelo filtro e malha de realimentação, *Figura 1.9*.

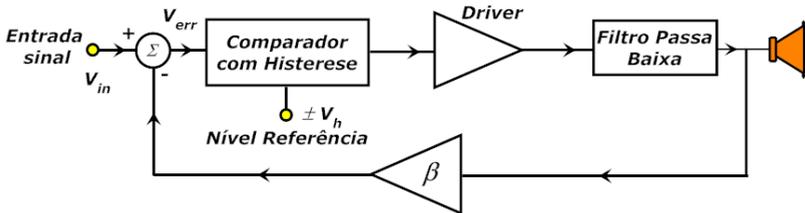


Figura 1.9 – Diagrama de blocos do amplificador classe D bang-bang.

1.3. Consumo no Aparelho Auditivo

O consumo e a potência de saída dos dispositivos de auxílio à audição (DAA) estão diretamente relacionados com o espaço disponível e, conseqüentemente, o tamanho da bateria que pode ser empregada. A posição do DAA é o que determina o volume a utilizar, existindo quatro classes no mercado:

- BTE: Atrás da orelha.
- ITE: Dentro da orelha.
- ITC: Dentro do canal auditivo.
- CIC: Completamente dentro do canal auditivo.

As baterias comumente utilizadas em DAA são as de Zinco-Ar, sendo sua tensão nominal de 1,4 V. Para cada um dos modelos de DAA existe um ou dois tipos de padrão de baterias que são usadas, com dimensões e capacidades fixas. Na *Tabela 1.2* se apresenta os tipos de baterias associada aos DAA que as utilizam.

Tabela 1.2 – Tipos de baterias e capacidades utilizadas DAA⁷.

<i>Tipo</i>	<i>Capacidade (mAh)</i>	<i>DAA</i>
675	575	BTE
13	260	BTE – ITE
312	140	ITE – ITC
A10	70	ITC – CIC
A5	35	CIC

Considerando um consumo médio de 1,4 mW de um DAA do tipo BTE (1 mA de corrente média) e uma bateria do tipo 13, o tempo de troca da mesma se o dispositivo funcionasse em forma contínua é de 10,8 dias. Se é desejado um DAA menor como o tipo CIC, com bateria A10, mantendo a mesma potência de saída e consumo médio de 1 mA, o tempo de troca da bateria diminui para 2,9 dias.

As novas gerações de DAA analógico-digitais, com um ou múltiplos canais de processamento do sinal de áudio, permitem programações variadas, adaptáveis a cada situação e lugar onde o usuário estiver, além de compensar de forma precisa as deficiências auditivas mais comuns [1]. O aumento da versatilidade de funções vem acompanhado do aumento do consumo. É por este motivo que a economia de energia em qualquer bloco do DAA é primordial para manter o consumo global baixo.

1.4. Especificações do Amplificador a Projetar

As especificações principais do amplificador classe D a projetar são: a eficiência, a máxima potência de saída, potência consumida sem carga e tensão de alimentação mínima. A *Tabela 1.3* enumera as especificações a serem seguidas pelo projeto.

Tabela 1.3 – Especificações do projeto do amplificador classe D⁸.

<i>Especificação</i>	<i>Valor</i>
Mínima tensão de alimentação	1,1 V
Potência máxima na saída	1 mW
Eficiência @ 90 % potência máxima	> 90 %
THD @ 90 % da potência máxima	< 1 %
Consumo de potência para níveis quaisquer de entrada	< 100 μ W
Tecnologia	AMS 0.35 μ m

⁸ Em todas as especificações do circuito com carga, o valor utilizado é de 700 Ω resistivos, emulando a impedância do alto-falante a 1 kHz.

Capítulo 2

Blocos do amplificador classe D

O amplificador classe D foi escolhido para ser desenvolvido no presente trabalho, sendo os critérios de baixo consumo e simplicidade de implementação os fatores mais influentes para tal decisão. A topologia está baseada em [10], sendo uma estratégia de gerador PWM por amostragem natural em modo corrente a metodologia de modulação utilizada. O sistema consta de 4 blocos básicos a serem projetados em tecnologia CMOS e um filtro passa baixo, não integrado, devido aos valores dos componentes serem impróprios para integração. Os blocos CMOS são enumerados a seguir, destacando-se os sub-blocos que compõem o gerador de onda triangular.

- a. Gerador de corrente triangular:
 - Circuito de tensões de polarização.
 - Malha translinear (*Translinear Loop* - TL).
 - Circuito de inversão da corrente de carga do capacitor.
 - Controle de correntes máxima e mínima.
- b. Comparador de Corrente.
- c. Bloco de entrada de corrente.
- d. Driver de potência.

Além dos blocos fundamentais, existe um grande número de espelhos de corrente encarregados de fornecer as correntes de polarização e realizar a cópia de sinais. Na *Figura 2.1* é ilustrado o diagrama de blocos do amplificador.

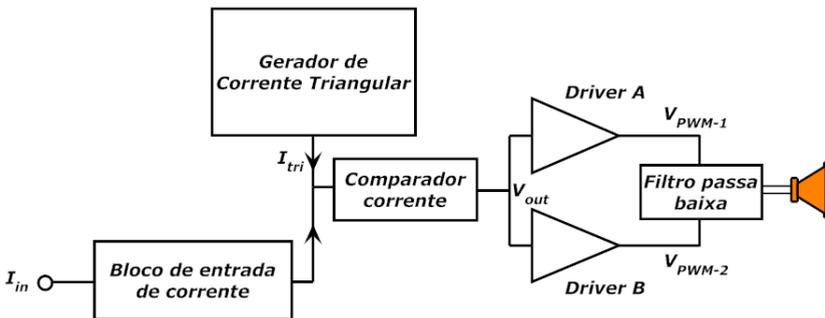


Figura 2.1 – Diagrama de blocos do amplificador classe D.

O funcionamento do gerador sinal PWM é simples. Dada a comparação do sinal de áudio com um sinal triangular de maior frequência é gerado um trem de pulsos (PDM), dito trem é amplificado em potência por um *driver* em configuração ponte e filtrado antes de ser conectado à carga.

Para gerar o trem de pulsos e necessário da interação de três blocos: gerador de corrente triangular, bloco de entrada e comparador de corrente. O primeiro é encarregado pela geração do sinal triangular em corrente, de frequência da ordem das centenas de kHz; este sinal deve ser estável e com coeficientes angulares de subida e descida invariante no tempo. O segundo bloco (bloco de entrada) tem como função igualar o nível DC e de pico entre os sinais a ser comparados. O terceiro bloco (comparador de corrente) faz a comparação dos sinais, tendo como características principais a velocidade e simetria na comparação.

O *driver* de potência é um bloco composto só por inversores CMOS, sua configuração é em ponte (driver A – driver B) para maximizar a potência entregue a saída e seu projeto deve considerar as perdas por chaveamento e condução, sem esquecer do atraso.

a) Gerador de corrente triangular:

A corrente triangular é uma das entradas do comparador de corrente que gera o sinal PWM. A frequência do sinal triangular é a mesma que a da onda de saída. Para sua geração serve-se da carga e descarga de um capacitor, mas não da forma clássica, mas que é utilizado um sinal em corrente e não em tensão. A metodologia desenvolvida em [10] emprega a multiplicação de correntes por malha translinear (TL) para sintetizar a corrente triangular e a compressão de sinais para controlar a excursão em tensão dos nós, podendo assim operar com tensões de alimentação reduzidas [Anexo 5].

Circuitos auxiliares são necessários para gerar a corrente triangular e manter o ponto de operação do TL. O primeiro deles é o circuito de polarização que influi em forma direta na tensão mínima de operação. O segundo é o circuito de inversão da corrente de carga do capacitor, que auxiliado por um sinal externo de controle (V_{ctrl}) permite a obtenção da rampa de subida e descida ao carregar e descarregar o capacitor com a mesma corrente. E por último, o circuito de controle das correntes máxima e mínima do sinal triangular, cujo funcionamento pode-se descrever como um schmitt-trigger em corrente, composto por dois comparadores e um *latch* assíncrono (blocos a serem descritos nos próximos parágrafos).

As referências de corrente do schmitt-trigger são as correntes triangular mínima ($I_{tri\ min}$) e máxima ($I_{tri\ max}$); a entrada é a corrente triangular (I_{tri}) e a saída é o sinal de controle circuito de inversão de carga do capa-

corrente (V_{ctrl}). Diversas correntes de polarização são necessárias (I_{ref1} , I_{ref2} , I_{tun} , $I_{tri\ min}$, $I_{tri\ max}$ e I_{bias}), sendo todas elas extraídas de uma corrente de referência externa (I_{ext1}) através de espelhos de corrente simples.

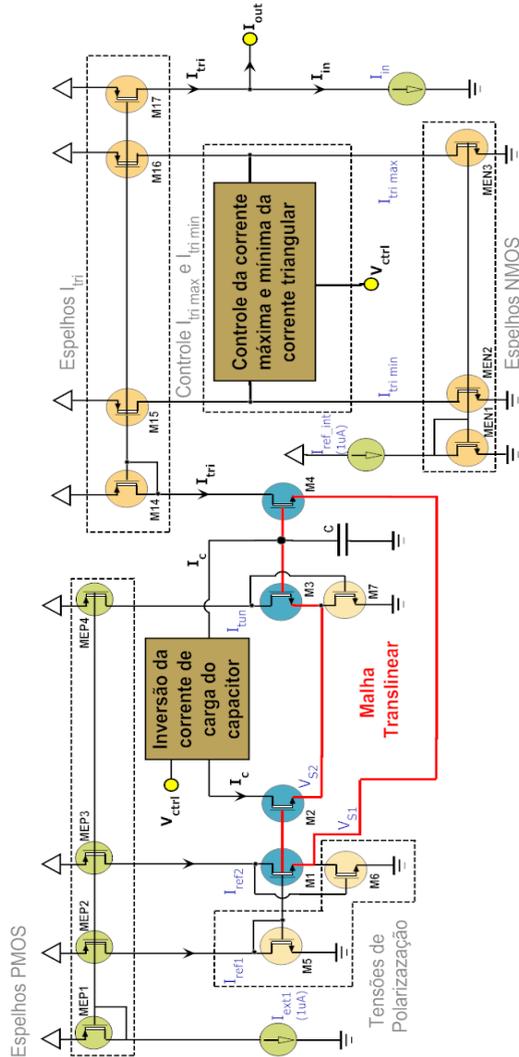


Figura 2.2 - Diagrama de blocos do gerador de corrente triangular.

A Figura 2.2 nos dá uma ideia dos blocos que compõem o gerador de corrente triangular, é as interações entre sinais e as correntes de referência. Os transistores M_1 , M_2 , M_3 e M_4 compõem o TL, M_5 , M_6 e M_7 o

circuito de polarização das tensões V_{S1} e V_{S2} do TL, os transistores MENx e MEPx os espelhos para as correntes de polarização o TL e as referencias para o circuito de controle das correntes máxima e mínima do sinal triangular.

b) Comparador de corrente:

O comparador de corrente é composto por um estágio de conversão de corrente em tensão, realizado com dois espelhos de corrente (um NMOS e um PMOS) e um estágio de amplificação implementado com inversores, *Figura 2.3*. Em todo o sistema são utilizados três comparadores de corrente, um na geração do sinal PWM, e dois controlando os valores máximo e mínimo da corrente triangular. Duas características são primordiais nestes blocos; a primeira é a velocidade, afetando diretamente no valor do índice de modulação (m) e as características do sinal triangular gerado, e a segunda, o consumo.

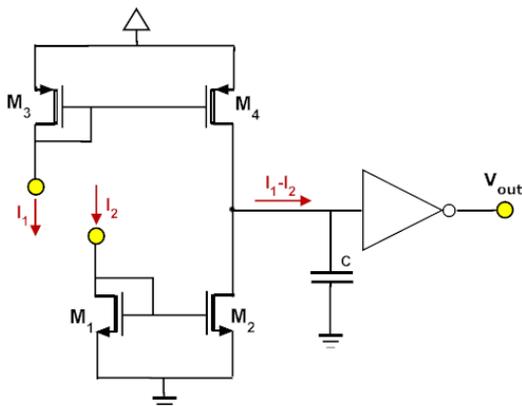


Figura 2.3 – Diagrama de blocos comparador de corrente.

c) Bloco de entrada:

O bloco de entrada é a interface entre a corrente moduladora associada ao sinal de áudio e a corrente efetiva que será comparada com a corrente triangular. Suas principais características são: baixa impedância de entrada, adaptar o nível de DC e de pico para realizar a comparação, baixo consumo e simplicidade, ao só contar com seis transistores, *Figura 2.4*.

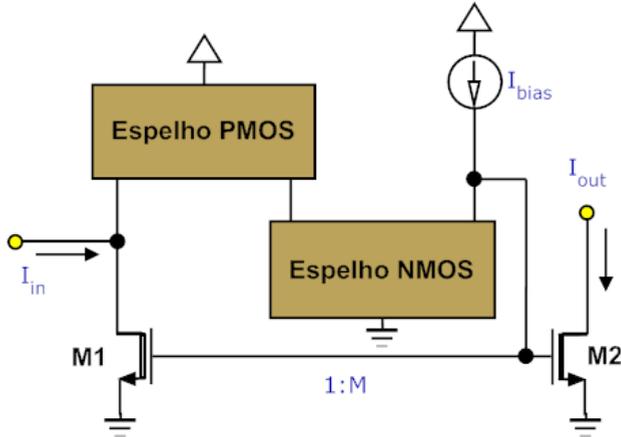


Figura 2.4 – Diagrama de blocos do bloco de entrada.

d) *Driver* de potência:

Para entregar potência ao alto-falante com o mínimo de perdas, utiliza-se um *driver* em configuração ponte (BTL), composto por duas cadeias de inversores que entregam o mesmo sinal, mas defasadas de 180 graus, Figura 2.5. As vantagens desta topologia são permitir excursões de pico do sinal de saída iguais a V_{dd} , reduzir o atraso e minimizar as perdas por condução nos transistores de potência. O projeto das mesmas teve especial cuidado no balanço entre o consumo dinâmico e por condução.

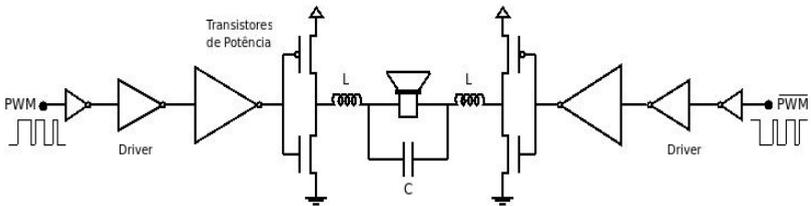


Figura 2.5 – *Driver* de potência em configuração ponte.

No seguinte capítulo será desenvolvido com maior detalhe a estrutura interna de cada um dos blocos, as especificações para seu projeto e os resultados obtidos.

Capítulo 3

Projeto do amplificador classe D

A abordagem do projeto foi concebida bloco por bloco, analisando as características de cada um, dando ênfase ao consumo, sem esquecer da interação entre eles e seu efeito no desempenho global. Em relação ao trabalho desenvolvido em [10], propusemos modificações no circuito que inverte o sentido da corrente de carga do capacitor. A tecnologia de fabricação escolhida foi AMS 0.35 μm .

3.1. Comparador de Corrente

A comparação de corrente é um ponto fundamental do circuito, a velocidade e exatidão na comparação repercutem no valor do índice de modulação (m), tendo incidência na potência máxima entregue na saída. O comparador de corrente afeta de forma indireta o valor de m a traves do circuito de controle da corrente triangular máxima e mínima (schmitt-trigger em corrente), que faz uso de dois destes comparadores. O atraso na comparação com o nível máximo ($I_{tri\ max}$) e mínimo ($I_{tri\ min}$) limita o valor do índice de modulação (3.1), dado que o projeto considera a amplitude do sinal modulante de comparação igual a excursão teórica do sinal triangular gerado, mas na pratica a excursão real do sinal triangular é maior à teórica.

$$m_{máximo} = 1 - \frac{2(d_{max} + d_{min})}{T} \quad (3.1)$$

d_{max} : atraso na comparação para o valor máximo do sinal triangular.

d_{min} : atraso na comparação para o valor mínimo do sinal triangular.

T : período de o sinal triangular.

Outro parâmetro a ser analisada é razão cíclica (D) do sinal PWM e sua dependência com as características do sinal triangular. A mesma é invariável a diferencias no valor dos coeficientes angulares de subida e descida (p_s e p_d), por enquanto, estas sejam invariáveis no tempo, (3.3) e (3.4).

$$I_m = \frac{I_{tri\ max} + I_{tri\ min}}{2} \quad (3.2)$$

$$t_{baixo} = \left(\frac{1}{p_s} + \frac{1}{p_d} \right) [I_m - (I_{tri\ min} - \Delta I_{min})] \quad (3.3)$$

$$t_{alto} = \left(\frac{1}{p_s} + \frac{1}{p_d} \right) [I_{tri\ max} + \Delta I_{max} - I_m] \quad (3.4)$$

I_m : valor médio teórico de o sinal triangular.

$I_{tri\ max}$: valor máximo teórico de o sinal triangular.

$I_{tri\ min}$: valor mínimo teórico de o sinal triangular.

$I_{tri\ max} + \Delta I_{max}$: valor máximo real de o sinal triangular.

$I_{tri\ min} + \Delta I_{min}$: valor mínimo real de o sinal triangular.

p_s : coeficiente angular de subida do sinal triangular.

p_d : coeficiente angular de descida do sinal triangular.

Mas a assimetria nos valores de ΔI_{max} e ΔI_{min} resulta em um *offset* no valor da razão cíclica (D), (3.5). Como consequência, o sinal PWM possui uma componente DC diferente de zero para valores do sinal modulante nulos [Anexo 1].

$$\Delta I_{max} - \Delta I_{min} = \Delta I_{offset} \quad \alpha = \left(\frac{1}{p_s} + \frac{1}{p_d} \right)$$

$$D = D_{sem\ offset} + \frac{\alpha \Delta I_{offset}}{T} \quad (3.5)$$

Na *Figura 3.1* representa-se os erros introduzidos pelo atraso em a comparação ao gerar o sinal triangular.

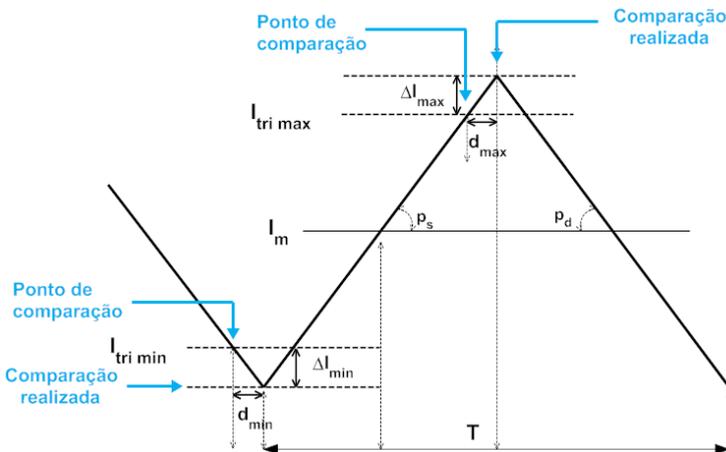


Figura 3.1 – Gráfico da comparação e os possíveis erros na geração do sinal triangular.

3.1.1. Comparação de corrente e amplificação.

O comparador corrente, como foi exposto com anterioridade, é o bloco chave para atingir a maioria das especificações do projeto. Uma forma de comprar duas correntes é por médio de dois espelhos de corrente, *Figura 3.2*. A tensão de saída V_{out} , possui uma velocidade que depende da capacitância de saída e da rapidez na variação de $I_1 - I_2$. Seja a corrente $I_2 > I_1$, então a tensão do nó de saída começará a descer devido à retirada da carga da capacitância até alcançar uma nova situação de equilíbrio entre as correntes dos transistores de saída M_2 e M_4 , conseqüentemente, se $I_1 > I_2$ a tensão de saída aumentará. No caso que, a diferença entre as correntes seja grande, os regimes de operação dos transistores de saída estarão em regiões diferentes, um deles saturado e o outro na região linear, *Figura 3.3*.

Outro problema deste nó é a dependência da simetria na comparação com o valor da capacitância da saída, que não permanece constante durante a comparação, e é proporcional as áreas dos transistores. Por último, quem fixa o valor da tensão limiar de comparação é o bloco amplificador de tensão conectado a V_{out} .

O descasamento entre os transistores que compõem o comparador, em conjunto com a tensão mínima de alimentação (que limita o nível de inversão máximo do espelho PMOS) define o valor de área mínima dos transistores. Esta limitante fixa a capacitância mínima de carga na saída. Para um espelho de corrente com os transistor saturado o descasamento na corrente é descrita por (3.6) [11] (só é considerado descasamento no valor de V_{T0} dos transistores). Infelizmente, o baixo nível de inversão fixado pela tensão de alimentação não ajuda a reduzir o valor da área necessária.

$$\left(\frac{\sigma_{I_s}}{I_D} \right)^2 \approx \frac{2}{WL} \left\{ \left(\frac{A_{VT0}}{n\phi_i} \right)^2 \left[\frac{2}{\sqrt{1+i_f} + 1} \right]^2 \right\} \quad (3.6)$$

Em [12] é apresentada uma topologia que mantém os dois transistores em saturação no instante da comparação, utilizando para isso um conjunto de chaves externas. A necessidade de um circuito de controle e onda de chaveamento adicional para o controle das chaves faz esta solução pouco atrativa.

Em [13] -[19] são apresentadas diferentes topologias nas quais consegue-se atrasos de ns para corrente de entrada da ordem de nA, porém o consumo ou a tensão de alimentação são elevados para a aplicação.

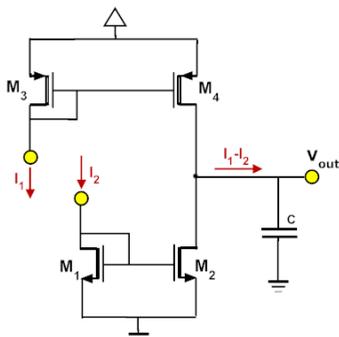


Figura 3.2 – Estágio de comparação de corrente realizado com dois espelhos de corrente um NMOS e outro PMOS.

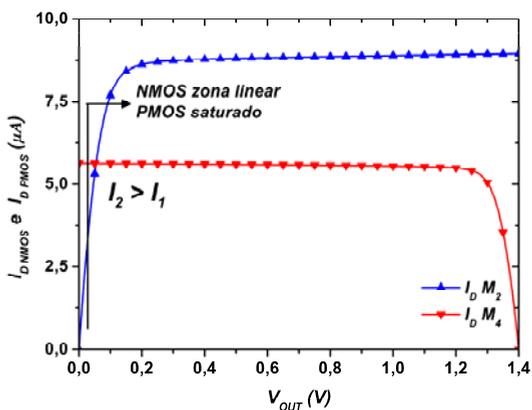


Figura 3.3 – Corrente de dreno dos transistores M_2 e M_4 no caso $I_2 > I_1$.

Seguindo a filosofia desenvolvida em [10] e [20] estudamos o desempenho de dois comparadores de corrente. Ambas topologias contam com dois estágios, o primeiro é o encarregado da comparação e o segundo da amplificação. A diferença entre eles está na forma de atuar sob o nó interno que une os estágios. No **comparador A** o nó interno obtido do estágio de comparação é amplificado por uma cadeia de inversores. No **comparador B** o nó interno é fixado entorno ao valor V_{TH} utilizando um inversor com realimentação, que proporciona uma entrada de baixa impedância controlando a excursão na tensão de entrada, sendo esta igual a V_{TH} quando a corrente entregue pelo primeiro estágio é nula. Os demais inversores não são realimentados, *Figura 3.4*.

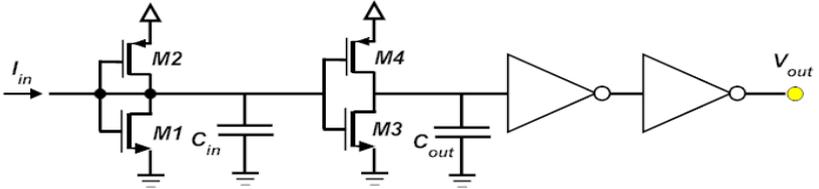


Figura 3.4 – Estágio de amplificação com inversor realimentado para controlar a excursão da saída do estágio de comparação.

Antes de continuar é preciso definir a tensão limiar de porta de um inversor (V_{TH}) como a tensão que, aplicada à porta, iguala as correntes em ambos transistores (I_{TH}). Esta tensão polariza o inversor na zona de máximo ganho, fazendo com que o mesmo funcione como amplificador. A Figura 3.5 apresenta as correntes dos transistores NMOS e PMOS em função de V_{in} para um inversor em tecnologia AMS 0.35 μm , com $S_N = 10$, $S_P = 30$ e $V_{dd} = 1,34 \text{ V}$. Observa-se um $V_{TH} = 620 \text{ mV}$ e $I_{TH} = 5,5 \mu\text{A}$.

Aplicando UICM (*unified current control model*) aos transistores que compõe um inversor, considerando ambos saturados, e avaliando para a tensão de entrada igual a V_{TH} obtém-se (3.7), (3.8) e (3.9) [Anexo 6].

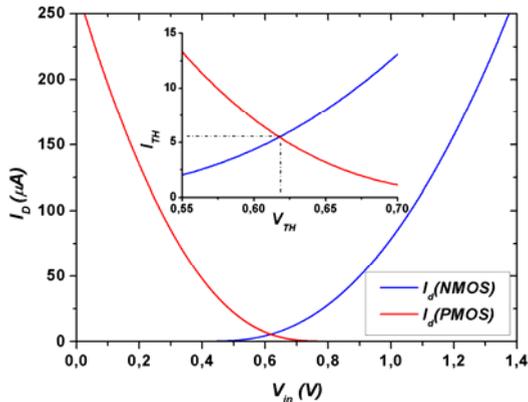


Figura 3.5 – Correntes de dreno transistor NMOS e PMOS.

$$I_{DN} = I_{DP} \quad \frac{i_{fN}}{i_{fP}} = \frac{I_{SP}}{I_{SN}} \quad (3.7)$$

$$I_{DN}(V_{TH}) = I_{SN} \left[2 \text{Lambert} \left(e^{1 + \frac{V_{TH} - V_{T0N}}{n_n \phi_t}} \right) + \text{Lambert}^2 \left(e^{1 + \frac{V_{TH} - V_{T0N}}{n_n \phi_t}} \right) \right] \quad (3.8)$$

$$I_{DP}(V_{TH}) = I_{SP} \left[2 \text{Lambert} \left(e^{1 + \frac{V_{dd} + V_{T0P} - V_{TH}}{n_p \phi_t}} \right) + \text{Lambert}^2 \left(e^{1 + \frac{V_{dd} + V_{T0P} - V_{TH}}{n_p \phi_t}} \right) \right] \quad (3.9)$$

No caso que $I_{SN} = I_{SP}$ o valor de V_{TH} é facilmente calculável (3.10). Se os transistores tivessem os mesmos valores de tensões limiars e fatores de inclinação, a tensão limiar de porta do inversor estaria na metade da fonte de alimentação. Neste caso os valores de i_f e V_{TH} dependem somente de parâmetros tecnológicos e da tensão de alimentação. Na pratica, as variações nas tensões limiars V_{THN} e V_{THP} , geram uma incerteza no valor do V_{TH} , dependente da área dos transistores [21].

$$V_{TH} = \frac{(V_{dd} - |V_{T0P}|)n_N + V_{T0N}n_P}{n_N + n_P} \quad (3.10)$$

Na *Figura 3.6*, são ilustradas as duas topologias de comparadores de corrente (comparador A e comparador B) a serem testadas.

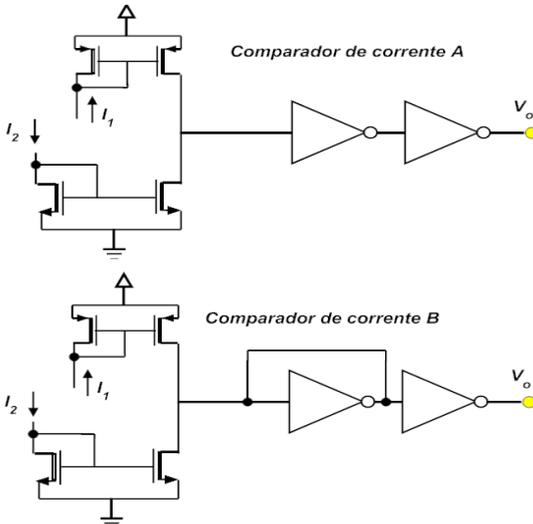


Figura 3.6 – Comparador com inversor de entrada com e sem realimentação.

3.1.2. Projeto

Com a idéia de baixar o valor dos atrasos do nó comparador foi projetado o circuito comparador de corrente A, e seu desempenho será comparado com o comparador de corrente B.

Uma primeira simulação foi testar o desempenho de ambos comparadores utilizando os mesmo valores de W e L para os inversores, utilizando dimensões pequenas para manter no mínimo possível a capacitância parasita do nó de comparação. Foi escolhida uma relação de aspecto de um para o transistor NMOS e três para o PMOS, com um comprimento de canal de 1 μm .

Para observar o comportamento do atraso na comparação, foram realizadas simulações do circuito da *Figura 3.2* utilizando como I_1 uma corrente triangular de frequência 200 kHz, valor mínimo de 1 μA e máximo de 9 μA , e como I_2 uma corrente fixa de 5 μA . A *Figura 3.7* apresenta os resultados das simulações, medindo-se um atraso de 106 ns para a subida e 105 ns para a descida no caso do comparador B, e de 218 ns para subida e 258 ns para a descida, no caso do comparador A.

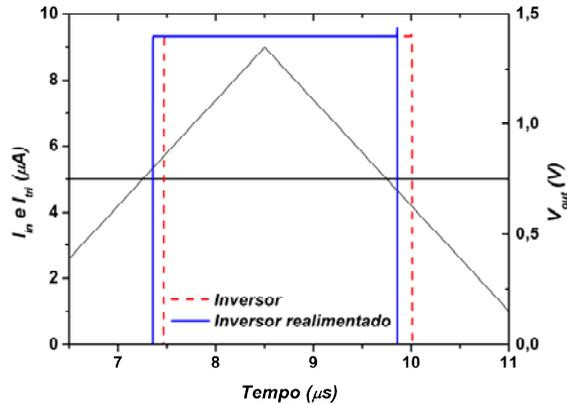


Figura 3.7 – Resposta dos comparadores de corrente A e B para uma corrente triangular e outra constante como entradas.

Com o inversor realimentado diminui-se o atraso à metade, além de obter simetria na comparação, ambos são efeitos do controle da excursão ao redor do valor V_{TH} . Só um inversor, aumenta o valor do atraso devido à capacitância parasita de porta que é somada à capacitância do nó, também a assimetria é acentuada segundo o valor do V_{TH} .

Um efeito a ser considerado é o descasamento entre os transistores que compõem os inversores, sendo este de maior importância se a excursão do nó de comparação é controlado. O descasamento no valor da tensão limiar do transistor pode ser expressa pelo modelo de Pelgrom, (3.11) [21].

$$\sigma_{V_{T0}} \approx \frac{A_{VT0}}{\sqrt{WL}} \quad (3.11)$$

Para a tecnologia AMS 0.35 o valor do parâmetro A_{VT0} para os transistores NMOS e PMOS é aproximadamente de $10 \text{ mV}\mu\text{m}$ [22].

Em uma segunda instância foram realizadas simulações Monte Carlo para estudar a sensibilidade da razão cíclica ao descasamento entre os transistores. A distribuição de probabilidade escolhida foi uma gaussiana, com um desvio padrão de 10 mV (área = $1 \mu\text{m}^2$) para o transistor NMOS e 6 mV para o PMOS (área = $3 \mu\text{m}^2$), obtidas de (3.11). No comparador B o descasamento foi considerado nos dois primeiros inversores, no A só no primeiro inversor, pelo fato do que o alto ganho do primeiro estágio do comparador B reduz a influência do segundo estágio no descasamento.

Da *Figura 3.8* verifica-se pouca sensibilidade do comparador A ao descasamento. Enquanto, da *Figura 3.9*, verifica-se uma sensibilidade alta do comparador B ao descasamento, impossibilitando sua utilização. Por tal motivo, a área dos inversores deveria ser maior para compensar a sensibilidade ao descasamento. Desafortunadamente, esse incremento aumenta a capacitância parasita aumentando o atraso, o que poderia ser compensado com um aumento proporcional da corrente, conseqüentemente, do consumo.

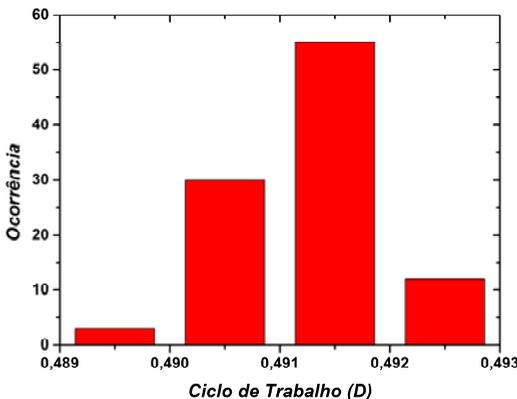


Figura 3.8 – Histograma da simulação Monte Carlo no comparador A (100 amostras).

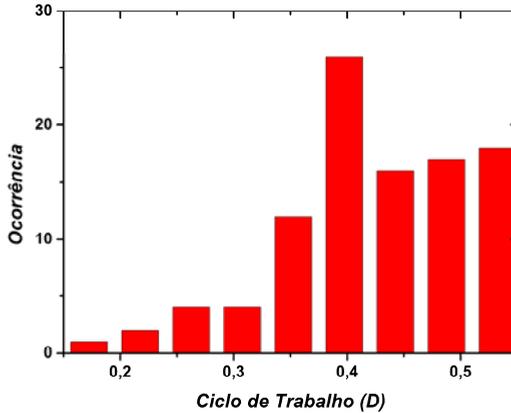


Figura 3.9 – Histograma da simulação Monte Carlo no comparador B (100 amostras).

Para analisar o efeito da capacitância parasita projetamos um comparador B com um desvio padrão NMOS de 2 mV (área = 25 μm^2). A corrente de *offset* devido ao descasamento depende da transcondutância do inversor. Dado que o nível de inversão está fixo pela tensão de alimentação e o escalamento 1:3 do NMOS para PMOS, o valor da transcondutância de entrada só depende da relação de aspecto.

Para uma corrente de *offset* de 100 nA e uma variação na tensão igual ao desvio padrão de 2 mV, obtem-se uma $g_{m\text{ in max}}$ de 50 $\mu\text{A/V}$ (3.12). As dimensões do transistor NMOS são $L = 3\ \mu\text{m}$ e $W = 8,5\ \mu\text{m}$.

$$I_{\text{OFFSET}} = g_{m\text{ in max}} \Delta v_{\text{in}} \rightarrow g_{m\text{ in max}} = 50\ \mu\text{A/V} \quad (3.12)$$

A simulação do re-projeto do comparador B apresenta um atraso de 400 ns na comparação em subida e 418 ns em descida, a simetria na comparação é mantida, mas o atraso superior faz o desempenho do circuito inferior ao do inversor sem realimentação. Considerando a limitante no consumo e a importância de um índice de modulação alto, decidimos empregar o comparador A no projeto.

Tomando em consideração o consumo, a sensibilidade do nó comparador de corrente e a obtenção de um índice de modulação superior a 0,8,

decidimos utilizar uma corrente triangular de valor médio igual a $6 \mu\text{A}$ e $4 \mu\text{A}$ de pico. Os valores de corrente utilizados serão:

$$\bar{I}_{tri} = 6 \mu\text{A} \quad I_{tri\ min} = 2 \mu\text{A} \quad I_{tri\ max} = 10 \mu\text{A}$$

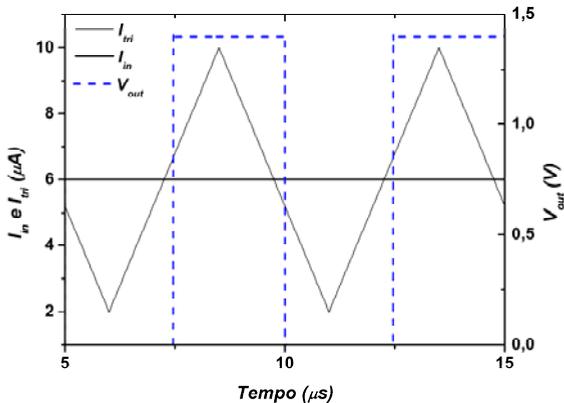


Figura 3.10 – Saída do comparador de corrente.

Na Figura 3.10 é ilustrada a resposta do circuito projetado para um sinal triangular 200 kHz, valor médio de $6 \mu\text{A}$ e $4 \mu\text{A}$ de pico. A equivalência em corrente é de 80 nA por ponto percentual da razão cíclica do sinal PWM para os valores de corrente escolhidos, constatando-se um atraso de 210 ns na subida e 248 ns na descida os quais repercutem nos valores reais de pico da onda triangular, estimando-se $1,2 \mu\text{A}$ para $I_{tri\ min}$ e $10,7 \mu\text{A}$ para $I_{tri\ max}$. O valor máximo do índice de modulação é de 0,816.

O estágio de saída da corrente triangular é formado por um espelho PMOS de 3 transistores, os quais fornecem as correntes $I_{tri\ min}$, $I_{tri\ max}$ e I_{tri} (Figura 2.2), consumindo uma corrente média aproximada de $14 \mu\text{A}$, sendo desprezíveis o consumo dos inversores.

3.2. Gerador da Corrente Triangular

A geração de uma onda triangular em tensão baseada na relação tensão-corrente de um capacitor a partir da carga e descarga a corrente constante, é prática frequente em circuitos analógicos. São exemplos: geradores PWM por amostragem natural e conversores A/D dupla rampa.

Para gerar a corrente triangular é desenvolvida a ideia apresentada em [10], onde são utilizados os conceitos *log companding* e malha translinear.

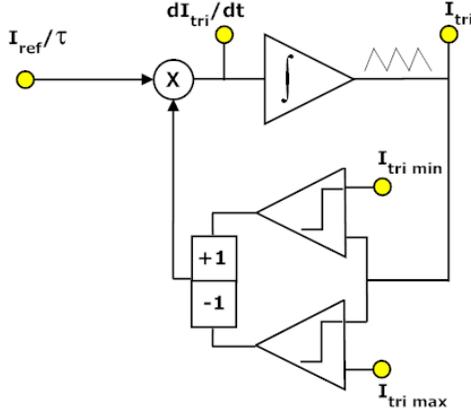


Figura 3.11 –Diagrama de blocos do gerador corrente triangular.

A Figura 3.11 ilustra o diagrama de blocos do gerador de corrente triangular. Representa basicamente a integração de uma corrente fixa que muda de sinal segundo as correntes de referência, $I_{tri\ min}$ e $I_{tri\ max}$. Analisando o diagrama, obtém-se a expressão $I_{tri}(t)$, (3.14), e o período da oscilação T_{tri} , (3.15).

$$\frac{dI_{tri}}{dt} = \pm \frac{I_{ref}}{\tau} \quad (3.13)$$

$$I_{tri}(t) = \pm \frac{I_{ref}}{\tau} (t - t_0) + I_{tri}(t_0) \quad (3.14)$$

$$T_{tri} = 2\tau \frac{(I_{tri\ max} - I_{tri\ min})}{I_{ref}} \quad (3.15)$$

Tomando como referência (3.13), ao aplicar uma compressão exponencial $I = F(v)$ à derivada da corrente triangular temos como resultado o produto da corrente triangular pela derivada do sinal comprimido (3.17) [23].

$$I = F(v) = K e^{av} \quad (3.16)$$

$$\frac{dI_{tri}}{dt} = \frac{dF(v_{tri})}{dt} = K e^{av_{tri}} a \frac{dv_{tri}}{dt} = \frac{I_{ref}}{\tau} \rightarrow I_{tri} \frac{dv_{tri}}{dt} = \frac{I_{ref}}{\tau a} \quad (3.17)$$

Considerando que a variável v_{tri} é sintetizada como a tensão num capacitor C_{tri} , do produto deste com (3.17) obtém-se uma igualdade entre correntes, (3.18).

$$I_{tri} \frac{dv_{tri}}{dt} C_{tri} = \frac{I_{ref}}{\tau a} C_{tri} \rightarrow I_{tri} I_C = I_{ref} I_{tun} \quad (3.18)$$

A corrente I_{tun} é um grau a mais de liberdade que se tem no projeto para ajustar o valor da corrente de carga do capacitor, e consequentemente, o período do sinal triangular gerado.

$$I_{tun} = \frac{C_{tri}}{\tau a} \quad (3.19)$$

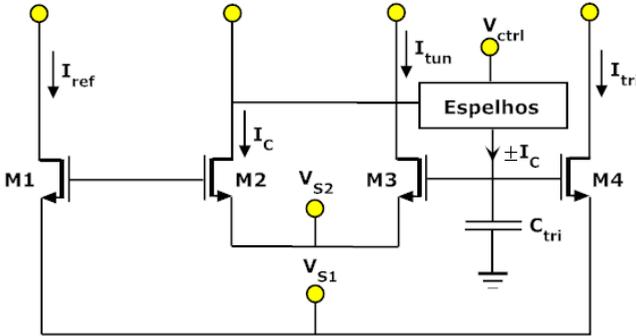


Figura 3.12 – Malha translinear com inversão de corrente de carga do capacitor.

Em síntese, (3.18) é uma representação de (3.13) com a variável comprimida armazenada na tensão do capacitor, de modo que ao ser descomprimida nos retorna a variável original, no caso, a corrente triangular.

Desse modo a multiplicação de correntes necessária é levada à prática por meio de uma malha translinear (TL) [Anexo 5], (3.20)

$$\left(\frac{I_{ref}}{S_1} \right) \left(\frac{I_{tun}}{S_3} \right) = \left(\frac{I_C}{S_2} \right) \left(\frac{I_{tri}}{S_4} \right) \quad (3.20)$$

Cabe ressaltar que em vez de mudar o sinal da corrente I_{ref} , utiliza-se um circuito adicional controlado externamente que inverte o sentido da

corrente pelo capacitor, *Figura 3.12*. Se os transistores que formam o TL estão em inversão fraca e saturados, a função de compressão exponencial é representada em (3.21) [24].

$$I_D = F(v) = 2I_S e^1 e^{-\left(\frac{V_{T0} + V_S n}{n\phi_t}\right) \frac{v}{n\phi_t}} \quad (3.21)$$

$$K = 2I_S e^1 e^{-\left(\frac{V_{T0} + V_S n}{n\phi_t}\right)} \quad (3.22)$$

$$a = \frac{1}{n\phi_t} \quad (3.23)$$

Substituindo (3.19), (3.20) e (3.23) em (3.15), obtém-se a expressão do período da corrente triangular, (3.24):

$$T_{tri} = 2 \frac{n\phi_t S_{mt} C_{tri}}{I_{tun}} \frac{(I_{tri\max} - I_{tri\min})}{I_{ref}} \quad (3.24)$$

$$S_{mt} = \frac{S_1 S_3}{S_2 S_4}$$

O fator S_{mt} , que afeta o valor da corrente de carga do capacitor leva em consideração as relações de aspecto dos transistores que compõem a malha translinear.

As correntes I_{ref} e I_{tun} foram escolhidas para baixo consumo e baixos níveis de inversão dos transistores que compõem o TL, enquanto os espelhos de corrente foram projetados para atender às especificações de desca- samento e frequência de transição.

Utilizando uma corrente I_{ref} de 1 μ A e I_{tun} de 1 μ A, sendo $n = 1,25$, a tensão térmica 25 mV e $S_{mt} = 1$, para obter um período de 5 μ s ($f_{tri} = 200$ kHz), o valor de C_{tri} deve ser 10 pF.

Para finalizar, dois circuitos auxiliares completam o gerador de corrente triangular, um encarregado da inversão da corrente de carga do capacitor e outro da polarização dos transistores que formam o TL.

3.2.1. Circuitos de Polarização

Os valores das tensões nodais V_{S1} e V_{S2} indicadas na *Figura 3.13*, são de suma importância, já que influenciam diretamente na tensão mínima de alimentação para o funcionamento adequado do circuito. Para polarizar os transistores M_1 e M_2 próximo ao limiar de saturação, aplica-se a metodo-

logia desenvolvida em [25], da qual se extrai a expressão de i_{f5} em função de i_{f1} e i_{f6} , conforme (3.25).

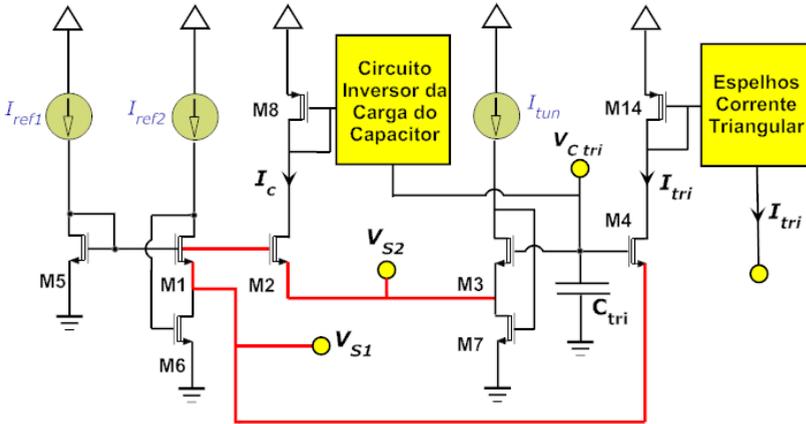


Figura 3.13 – Circuito gerador de corrente triangular.

$$\sqrt{1+i_{f5}} - \sqrt{1+i_{f1}} = \left[\sqrt{1+i_{f6}} + 3 + \alpha \right] + \left[\ln \left(\frac{\sqrt{1+i_{f1}} - 1}{\sqrt{1+i_{f5}} - 1} \right) \right] \quad (3.25)$$

A tensão de saturação é aproximada por:

$$V_{DSsat} = \phi_t \left(\sqrt{1+i_{f1}} + 3 \right) \quad (3.26)$$

A constante α é um fator de segurança na tensão dreno-fonte de M_6 . Projetando M_1 em inversão fraca, a expressão é compactada na equação 3.27.

$$\sqrt{1+i_{f5}} - 1 = \left[\sqrt{1+i_{f6}} + 3 + \alpha \right] + \left[\ln \left(\frac{\sqrt{1+i_{f1}} - 1}{\sqrt{1+i_{f5}} - 1} \right) \right] \quad (3.27)$$

Para atingir uma tensão de alimentação de 1,1 V, projeta-se uma tensão $V_{DS1sat} \leq 125$ mV e $V_{DS6sat} \leq 125$ mV, obtendo-se restrições nos níveis de inversão⁹:

$$i_{f1} \text{ e } i_{f6} \leq 3$$

⁹ $V_{TON} = 560$ mV, $I_{SQN} = 85$ nA e $n_n = 1.25$ ($L = 1$ μ m).

Como M_1 deve estar em inversão fraca (para obter uma lei exponencial de compressão), fixamos seu nível em 0,1 no projeto final utilizamos $S_1 = 120$.

$$I_{D1} = 1\mu\text{A} \text{ e } i_{f1} = 0,1 \rightarrow S_1 = 120$$

Como a corrente por M_6 é a soma de I_{ref2} e I_{tri} , a saturação do transistor deve ser garantida para o valor máximo da corrente. No projeto final utiliza-se $S_6 = 100$.

$$I_{D6\text{max}} \approx 11\mu\text{A} \text{ e } i_{f6} \leq 3 \rightarrow S_6 \geq 43$$

$$V_{dsat1} \approx 101\text{mV} (i_{f1} = 0,1) \text{ e } V_{dsat6} \approx 112\text{mV} (i_{f6} = 1,29)$$

Resolvendo numericamente a (3.27) para $\alpha=2$, obtém-se o nível de inversão do transistor M_5 ($i_{f5} = 14,6$) e fixando I_{ref1} em $1\mu\text{A}$, calcula-se sua relação de aspecto S_5 .

$$i_{f5} = 14,6 \quad S_5 = \frac{I_{ref1}}{i_{f5} I_{SQN}} \rightarrow S_5 \approx 0,8$$

Para que os fatores de inclinação (n) dos transistores da malha translinear sejam iguais, as tensões V_{G1} e V_{G2} devem ser as mesmas; por tal motivo, projetamos o nível de inversão de $M_4 = M_1$ para o valor da corrente média de M_4 ($6\mu\text{A}$). No projeto final utilizamos $S_4 = 720$.

$$\bar{I}_{D4} \approx 6\mu\text{A} \text{ e } i_{f4} = 0,1 \rightarrow S_4 = 720$$

Por outro lado, para diminuir o efeito da diferença do fator de inclinação com um na malha translinear [Anexo 5], as tensões V_{S1} e V_{S2} também devem estar o mais próximo possível. A tensão V_{S2} varia segundo a corrente triangular, com a relação de aspecto projetada para M_4 assegura-se uma excursão pico a pico do nó aproximadamente de 60 mV. Por tal motivo, projetamos o nível de inversão de M_3 um pouco menor que o de M_4 para garantir a saturação do transistor M_7 para o valor da corrente triangular mínima. No projeto final utilizamos $S_3 = 300$, equivalente a um nível de inversão de 0,04 para M_3 . Com este nível de inversão a diferença entre as tensões V_{S1} e V_{S2} é igual à tensão térmica, (3.28).

$$I_{min} = \bar{I}_{D3} \approx 1\mu\text{A} \text{ e } S_3 = 300 \rightarrow i_{f4} = 0,04$$

$$V_{P3} = V_{P4} \rightarrow V_{SB4} - V_{SB3} = \phi_t \left[\sqrt{1+i_{f3}} - \sqrt{1+i_{f4}} + \ln \frac{(\sqrt{1+i_{f3}} - 1)}{(\sqrt{1+i_{f4}} - 1)} \right] \quad (3.28)$$

$$V_{SB4} - V_{SB3} \approx \phi_t$$

Por ultimo, o nível de inversão de M_2 , variável e dependente do nível de inversão de M_4 tem seu valor fixado por a malha translinear.

$$i_{f1} i_{f3} = i_{f2} i_{f4} \quad (3.29)$$

No entanto, a corrente por M_2 pode ser manipulada com o objetivo de controlar a corrente de carga do capacitor e, conseqüentemente, a frequência de oscilação. Não é desejável uma corrente de carga pequena para que os níveis de inversão dos espelhos do circuito de inversão da corrente funcionem em inversão moderada. No projeto final utiliza-se $S_2 = 90$, o que conduz com uma corrente mínima de carga de 180 nA e máxima de 900 nA.

$$I_C = I_{D2} = \frac{I_{D1} I_{D3}}{I_{D4} S_{mt}}$$

Para o transistor M_7 utiliza-se a mesma relação de aspecto do transistor M_6 ; como a corrente máxima que circula por ele é aproximadamente 2 μ A, sua tensão de saturação será menor.

$$S_7 = 100 \quad i_{f7\max} = \frac{I_{M7\max}}{S_7 I_{SQN}} \rightarrow i_{f7} \approx 0,235 \quad V_{DS7\text{sat}} \approx 102 \text{ mV}$$

Com as relações de aspecto projetadas se garantimos tensões mínimas V_{S1} e V_{S2} da ordem dos 175 mV, com uma margem de segurança de aproximadamente 75 mV para a tensão de saturação de M_6 e M_7 .

3.2.2. Tensão Mínima de Alimentação

A tensão de alimentação está restrita pelas desigualdades 3.30 e 3.31, *Figura 3.13*, devendo fornecer uma tensão $V_{GS\text{PMOS}}$ mais duas $V_{DS\text{sat}}$ NMOS.

$$V_{dd} > |V_{GS14}| + V_{DSsat4} + V_{DSsat6} \quad (3.30)$$

$$V_{dd} > |V_{GS8}| + V_{DSsat2} + V_{DSsat7} \quad (3.31)$$

As tensões de saturação foram projetadas para que somadas não superem 300 mV, com a tensão máxima para $V_{GS\text{PMOS}}$ de 800mV se atinge

uma tensão de funcionamento de 1,1 V. Aplicando UICM aos transistores M_8 e M_{14} obtêm-se seus níveis de inversão máximos¹⁰.

$$UICM : V_p - V_{S(D)} = \phi_t \left[\sqrt{1 + i_{f(r)}} - 2 + \ln \left(\sqrt{1 + i_{f(r)}} - 1 \right) \right] \quad (3.32)$$

$$V_p \approx \frac{V_{GB} - V_{T0}}{n} \quad (3.33)$$

$$i_{f8} \text{ e } i_{f14} \leq 8$$

O transistor M_{14} conduz a corrente triangular, enquanto M_8 conduz uma corrente variável dependente dos valores máximo e mínimo da corrente triangular ($2\mu\text{A}$ - $10\mu\text{A}$).

$$I_{D8} = \frac{I_{D1} I_{D3}}{I_{D4} S_m} \quad (3.34)$$

As relações de aspecto mínimas são:

$$i_{f8} \leq 8 \quad S_8 = \frac{I_{D8 \max}}{i_{f8} I_{SQP}} \rightarrow S_8 \geq 3,75 \quad (3.35)$$

$$i_{f14} \leq 8 \quad S_{14} = \frac{I_{D14 \max}}{i_{f14} I_{SQP}} \rightarrow S_{14} \geq 41,6 \quad (3.36)$$

Para minimizar o efeito Early [26] o valor do comprimento do canal deve ser o máximo possível, sendo a limitante o valor da frequência de funcionamento do espelho de corrente, o qual depende da frequência de transição do transistor (ω_T) de entrada e do ganho em corrente [11].

$$A_I = \frac{A_{I0}}{1 + s(1 + A_{I0}) / \omega_T} \quad (3.37)$$

$$\omega_{3dB} = \frac{\omega_T}{1 + A_{I0}}$$

Como a frequência de transição dos transistores é inversamente proporcional ao quadrado de L , tem-se uma limitação no comprimento do canal [24].

xxxi

¹⁰ $V_{T0P} = -740\text{mV}$ $I_{SQP} = 30\text{nA}$ e $n_p = 1.3$ ($L = 1\mu\text{m}$).

$$f_T = \frac{\mu\phi_t}{\pi L^2} \left(\sqrt{1 + i_f} - 1 \right) \quad (3.38)$$

Para uma frequência de transição (2 MHz) do espelho 10 vezes superior à frequência da portadora e com A_{f0} igual a 1, obtém-se um L máximo de 4 μm para um nível de inversão de 0,5.

No projeto foi eleita a relação de aspecto 50 para M_{14} ($i_{f14 \min} = 1,3$ com comprimento de canal de 2 μm) e 7,5 para M_8 ($i_{f8 \min} = 0,5$ com comprimento de canal de 4 μm). As áreas garantem um desvio padrão na copia da corrente inferior a 2,5%, (3.6).

Com os valores máximo e mínimo da corrente triangular, I_{ref2} e I_{nm} calculam-se os valores teóricos das tensões V_{S1} , V_{S2} , V_{G1} , V_{G8} e V_{G14} , sendo comparados com os simulados, *Tabela 3.1*. A maior discrepância foi encontrada na tensão de porta do transistor M_8 , sendo sua causa o atraso na comparação de corrente triangular que altera os valores máximos e mínimos da corrente por este transistor.

Tabela 3.1 – Valores teóricos e simulados das tensões V_{S1} , V_{S2} , V_{G1} e V_{G14} .

Análise DC	$V_{dd} = 1,4 \text{ V}$		$V_{dd} = 1,1 \text{ V}$	
	Teórico	Simulado	Teórico	Simulado
V_{S1} (mV)	175	187	175	188
V_{S2} (mV)	175	159-229	175	160-230
V_{G1} (mV)	661	659	661	659
V_{G14} (mV)	638-723	624-739	338-423	324-439
V_{G8} (mV)	684-760	629-745	384-460	334-445

3.2.3. Circuito de Inversão da Corrente de Carga do Capacitor

O circuito encarregado de inverter a corrente de carga do capacitor desenvolvido em [10] sofre assimetria na comutação, devido aos tempos de carga e descarga do nó interno serem diferentes, *Figura 3.14*. O tempo de descarga é menor pelo fato de o transistor M_{13A} atuar como chave com tensão de porta igual a V_{dd} , enquanto que o tempo de carga é maior em razão de a corrente I_C possuir um valor máximo de 900 nA.

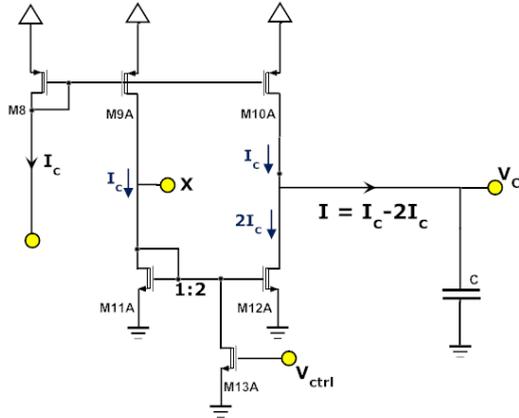


Figura 3.14 - Esquemático do circuito de carga do capacitor em [10].

É proposto um circuito com comutação simétrica, *Figura 3.15*, composto de três correntes: I_{C1} e I_{C2} ligadas alternadamente nos transistores M_{10B} e M_{12B} e I_C circulando continuamente pelos transistores M_{10A} e M_{12A} . As correntes I_C , I_{C1} e I_{C2} são todas iguais e obtidas diretamente por espelhamento da corrente que circula pelo transistor M_2 da malha translinear. O controle é realizado pelos transistores M_{13A} e M_{13B} atuando sobre a tensão de fonte de M_{10B} e M_{12B} , fixando a mesma em V_{dd} ou Gnd . Os transistores M_{8B} , M_{9B} e M_{11B} são agregados para manter a simetria do circuito e minimizar os erros na cópia da corrente.

Para descrever o funcionamento, consideremos que o sinal V_{ctrl} está em V_{dd} . Desta forma, M_{13A} está apagado e M_{13B} está conduzindo; como resultado, a fonte de M_{10B} está em Gnd desligando o mesmo, enquanto M_{12C} está conduzindo, permitindo a M_{12B} copiar a corrente I_C . Caso V_{ctrl} esteja em Gnd , M_{10B} realiza a cópia da corrente I_C enquanto M_{12B} está desligado. No caso que o sinal de controle este em Gnd o transistor M_{12B} está cortado e quem conduz é M_{10B} .

$$C_{tri} = \frac{(T_{tri} - T_{chaveamento}) I_{tun} I_{ref} 2 S_{mt}}{2n\phi_t (I_{tri\ max} - I_{tri\ min})_{real}} - C_{parasita} \quad (3.42)$$

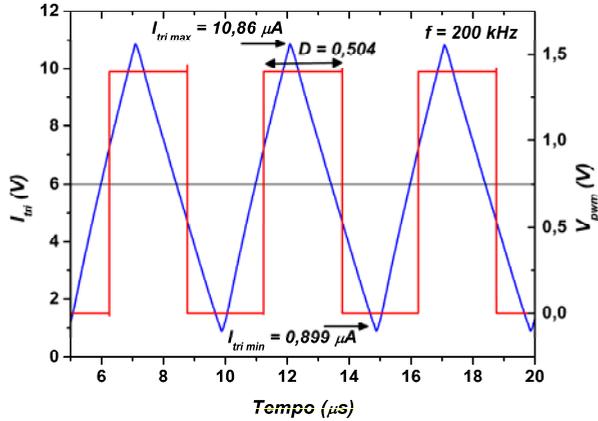


Figura 3.16 - Simulação da corrente triangular e tensão de saída com entrada nula.

A Figura 3.17 ilustra a corrente e tensão sobre o capacitor, observando-se para uma variação da corrente triangular $\Delta I_{tri} = 9,961 \mu A$, uma excursão da tensão no capacitor de $\Delta V_{Ctri} = 93 \text{ mV}$. Esta variação baixa do sinal em tensão permite operar com tensão de alimentação da ordem de 1 V.

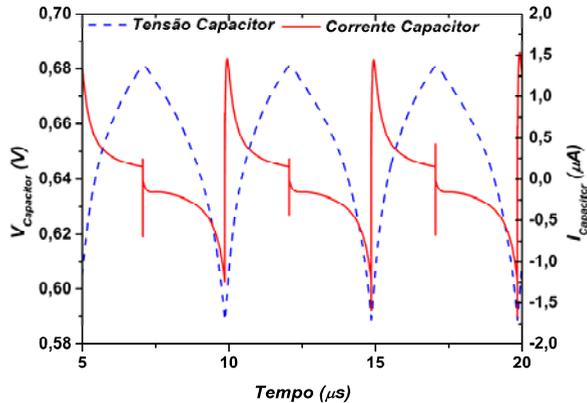


Figura 3.17 – Simulação da corrente e tensão no capacitor.

A simulação para o caso mais lento (worst speed) apresenta uma queda da frequência de funcionamento, indo para 167 kHz, sendo a razão cíclica de 0,495. No caso de maior consumo (worst power) a frequência aumenta a 266 kHz, com uma razão cíclica de 0,504.

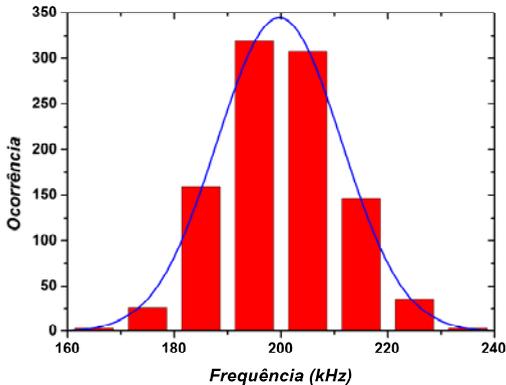


Figura 3.18 – Simulação Monte Carlo da frequência com $V_{dd} = 1,4V$ (1000 amostras).

A simulação Monte Carlo do gerador de corrente triangular, *Figura 3.18*, apresenta um valor médio de 200 kHz na frequência de operação com um desvio padrão de 7 kHz. Este valor representa um erro relativo máximo de 7% para o 95% dos casos (2σ).

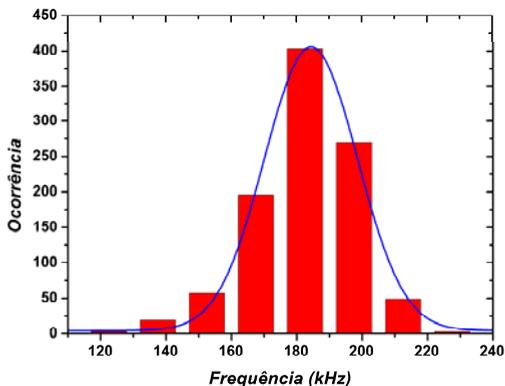


Figura 3.19 - Simulação Monte Carlo da frequência com $V_{dd} = 1,1V$ (1000 amostras).

Para a tensão de alimentação de 1,1 V o valor médio da frequência simulado é de 184 kHz e o desvio padrão aumenta a 14 kHz (ver *Figura 3.19*).

3.3. Bloco de Entrada

Dadas as possíveis diferenças entre o nível DC e de pico entre a corrente de entrada e a corrente triangular de comparação surge a necessidade de um bloco que faça a adaptação dos níveis de corrente. Além da adaptação, é possível realizar com este bloco a conversão linear de tensão a corrente se um resistor for colocado em série com a entrada [10]. As características principais deste bloco são: impedância de entrada e consumo baixos, sendo sua estrutura apresentada na *Figura 3.20*.

A análise DC é simples dado que a topologia está formada por 3 espelhos de corrente sendo todas as correntes de polarização dos transistores réplicas da corrente I_{bias} . Os fatores multiplicativos N, P e M são ajustados para obter o nível médio ($6 \mu A$) e a excursão máxima ($4 \mu A$) necessárias para a corrente de comparação, sendo estes valores fixados pela escolha da corrente triangular. Analisando a topologia existe restrição para os níveis de inversão dada uma tensão mínima de funcionamento, (3.43), sendo a mais restritiva a associada ao transistor PMOS devido a sua tensão de limiar ser maior que a dos transistores NMOS.

$$V_{dd} > V_{DSsat1} + |V_{GS3}| \text{ e } V_{dd} > V_{DSsat4} + V_{GS5} \quad (3.43)$$

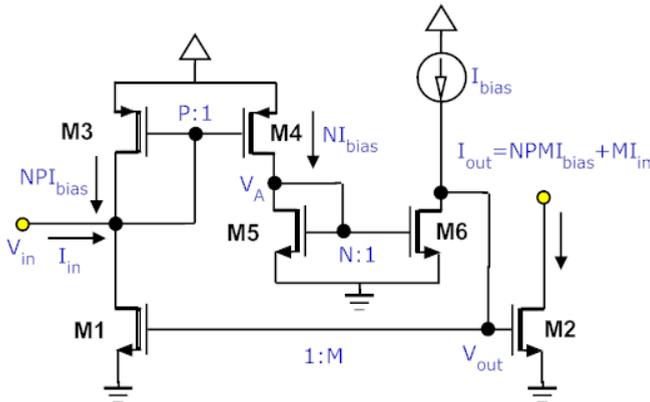


Figura 3.20 – Esquemático do bloco de entrada.

Tomando como referência a tensão de alimentação de 1,1 V, divida-se a queda de tensão em 850 mV para V_{GS3} e 250mV para $V_{DS\ sat1}$, resultando (3.44) e (3.45) os níveis máximos de inversão aplicáveis¹¹.

$$-V_{P3} + V_{SB3} = \phi_t \left[\sqrt{1 + i_{f3}} - 2 + \ln \left(\sqrt{1 + i_{f3}} - 1 \right) \right] \quad (3.44)$$

$$i_{f3} \leq 15,4$$

$$V_{DS\ sat1} = \phi_t \left(\sqrt{1 + i_{f1}} + 3 \right) \quad (3.45)$$

$$i_{f1} \leq 48$$

Utilizando o modelo pequeno sinal, *Figura 3.21*, obtém-se a transferência em corrente e a impedância de entrada, (3.46) e (3.47). Lembrando que o bloco tem como entrada o sinal de áudio, a frequência do pólo dominante deve localizar-se acima de 20 kHz. A impedância de entrada Z_{in} depende das relações de conversão dos espelhos NMOS e PMOS; se fossem unitárias a expressão para Z_{in} reduzir-se-ia a (3.48).

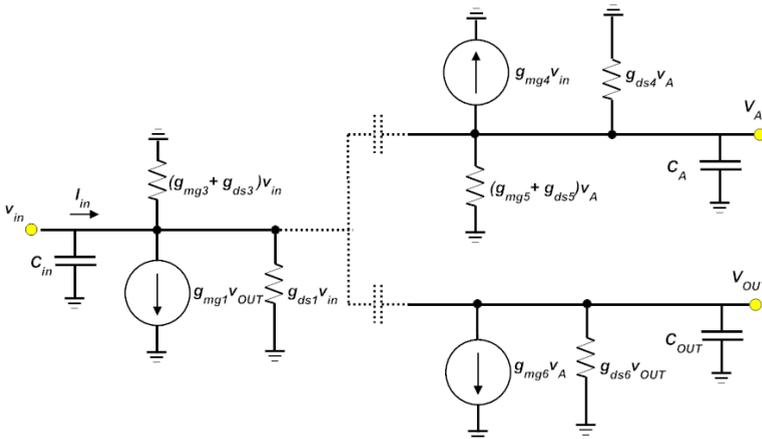


Figura 3.21 – Circuito pequenos sinais do bloco de entrada.

$$p_{in} \approx \frac{g_{mg3}}{C_{in}} \quad p_A \approx \frac{g_{mg5}}{C_A} \quad p_{out} \approx \frac{g_{ds6}}{C_{out}} \text{ (polo dominante)}$$

xxxviii

¹¹ $V_{TOP} = -740\text{mV}$ $I_{SQP} = 30\text{nA}$ e $n_p = 1,3$ ($L = 1\mu\text{m}$).

$$C_{in} \simeq C_{gs3} + C_{gb3} + C_{gs4} + C_{gb4}$$

$$C_A \simeq C_{gs5} + C_{gb5} + C_{gs6} + C_{gb6}$$

$$C_{out} \simeq C_{gs1} + C_{gb1} + C_{gs2} + C_{gb2}$$

$$\frac{v_{out}}{i_{in}} \simeq \frac{1}{g_{mg1} \left[1 + \frac{g_{mg3}}{g_{mg4}} \frac{g_{mg5}}{g_{mg6}} \frac{g_{ds6}}{g_{mg1}} \left(1 + \frac{s}{p_{in}} \right) \left(1 + \frac{s}{p_A} \right) \left(1 + \frac{s}{p_{out}} \right) \right]}$$

$$N \simeq \frac{g_{mg5}}{g_{mg6}} \quad P \simeq \frac{g_{mg3}}{g_{mg4}}$$

$$\beta = \frac{g_{mg1} g_{mg4} g_{mg6}}{g_{mg3} g_{mg5} g_{ds6}} \simeq \frac{g_{mg1}}{PN g_{ds6}} \text{ (ganho de malha)}$$

$$\frac{i_{out}}{i_{in}} \simeq \frac{g_{mg2}}{g_{mg1} \left[1 + \frac{s}{\beta p_{out}} + \frac{s^2}{\beta} \left(\frac{1}{p_{in} p_{out}} + \frac{1}{p_{out} p_A} \right) + \frac{s^3}{\beta} \left(\frac{1}{p_A p_{in} p_{out}} \right) \right]} \quad (3.46)$$

$$Z_{in} = \frac{v_{in}}{i_{in}} \simeq \frac{Ng_{ds6}}{g_{mg1} g_{mg4}} \frac{\left(1 + \frac{s}{p_A} \right) \left(1 + \frac{s}{p_{out}} \right)}{\left[1 + \frac{1}{\beta} \left(1 + \frac{s}{p_{in}} \right) \left(1 + \frac{s}{p_A} \right) \left(1 + \frac{s}{p_{out}} \right) \right]}$$

$$Z_{in} = \frac{v_{in}}{i_{in}} \simeq \frac{1}{g_{mg3} \beta} \quad (3.47)$$

$$Z_{in} \Big|_{BF} = \frac{v_{in}}{i_{in}} \Big|_{BF} \simeq \frac{g_{ds6}}{g_{mg3} g_{mg1}} \text{ BF : Baixa Frequência} \quad (3.48)$$

A corrente consumida pelo bloco de entrada (I_{BE}) é expressa em (3.49). Os valores de N, P e M devem considerar o valor de equilíbrio da corrente de saída I_{out} sendo igual ao valor médio da corrente triangular I_{tri} .

$$I_{BE} = I_{bias} (1 + N + NP + NPM) \quad (3.49)$$

Na Figura 3.22 é exibida a resposta em frequência do bloco de entrada obtida por simulação, para uma corrente $I_{bias} = 1\mu\text{A}$, $N = 3$, $P = 1$, $M =$

2. Para garantir a estabilidade do sistema se projetam as capacitâncias segundo as seguintes relações:

$$P_{out} \ll P_A > P_{in}$$

O comprimento do canal utilizado nos transistores é de 4 μm , os níveis de inversão são $i_{f1} = i_{f2} = 2,35$, $i_{f3} = i_{f4} = 10$ e $i_{f5} = i_{f6} = 1,17$. O valor obtido de Z_{in} é de 31 Ω , com uma resposta plana até 2 MHz.

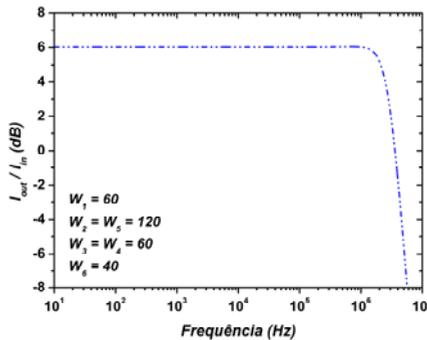


Figura 3.22 – Transferência I_{out}/I_{in} do bloco de entrada.

3.4. Latch

A geração da corrente triangular precisa de um circuito com as características de um Schmitt-trigger em corrente para o controle da excursão (valor máximo $I_{tri\ max}$ e mínimo $I_{tri\ min}$). Em [10] é utilizada uma estrutura composta por um flip-flop D com entradas set-reset as quais são acopladas diretamente ao nó comparador de corrente, Figura 3.23.

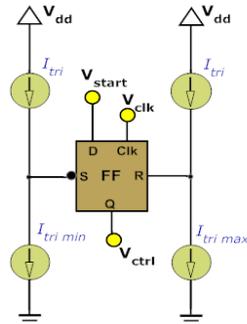


Figura 3.23- Schmitt-trigger com flip-flop tipo D.

Em nosso circuito é empregado um *latch* SR assíncrono em vez do *flip-flop* tipo D, tendo especial cuidado com seu estado inicial, *Figura 3.24*. Os sinais de entrada ao *latch* são as saídas dos comparadores de corrente, V_{c1} e V_{c2} , existindo 3 combinações possíveis para S e R conforme a *Tabela 3.2*. O esquema de comparação de corrente é o mesmo que o utilizado na geração do sinal PWM analisado anteriormente. A saída Q do *latch* é o sinal de controle (V_{ctrl}) para habilitar e desabilitar a carga e descarga do capacitor que gera o sinal triangular.

Tabela 3.2- Sinais de entrada ao *latch*.

V_{c1} (S)	V_{c2} (R)	SR
$I_{tri} < I_{tri\ min}$	$I_{tri} < I_{tri\ max}$	00
$I_{tri} > I_{tri\ min}$	$I_{tri} < I_{tri\ max}$	10
$I_{tri} > I_{tri\ min}$	$I_{tri} > I_{tri\ max}$	11

O *latch* SR foi construído com duas portas NAND [27], *Figura 3.25*. Os transistores têm as mesmas dimensões dos transistores que estão controlando $W_N = 10\mu\text{m}$, $W_P = 30\mu\text{m}$ e comprimento de canal mínimo. Com a tabela de verdade do *latch* SR, *Tabela 3.3*, implementou-se a máquina de estados da *Figura 3.26*, esta representa o funcionamento do circuito Schmitt-trigger para obter uma oscilação do sistema. A entrada Reset foi invertida para não permitir o conjunto de entradas 00.

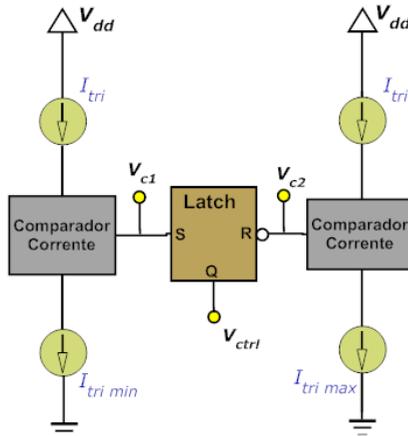


Figura 3.24 - Schmitt-trigger em corrente construído com o latch RS.

Ao ligar o circuito, as entradas ao *latch* serão 01 (já que a corrente triangular é nula), isto define a saída Q em 0, habilitando a carga do capaci-

tor e o posterior aumento da corrente triangular até atingir o estado de descarga quando a corrente seja maior que $I_{tri\ max}$.

Tabela 3.3- Tabela de verdade do latch SR.

<i>Set</i>	<i>Reset</i>	<i>Q</i>	\bar{Q}
0	0	1	1
0	1	0	1
1	0	1	0
1	1	<i>Q</i>	\bar{Q}

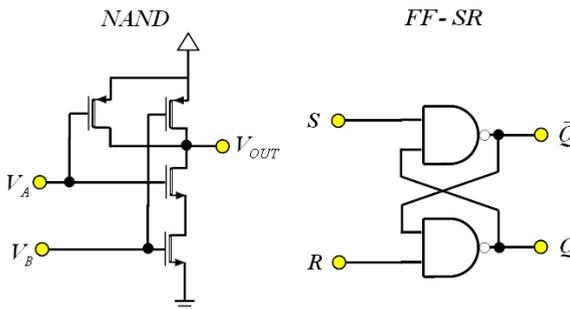


Figura 3.25 – Porta NAND e latch-SR.

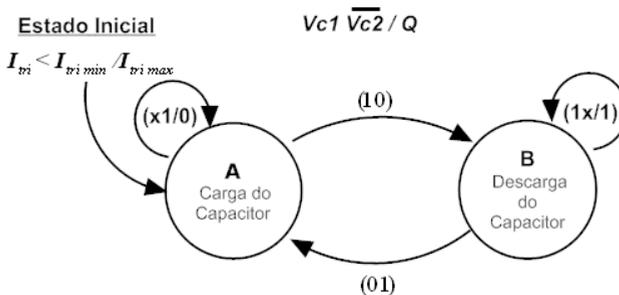


Figura 3.26 – Diagrama de estados implementando histerese.

3.5. Driver e transistores de potência

O *driver* de saída está composto por duas cadeias de inversores em configuração ponte, *Figura 3.27*. Seu projeto deve ser realizado detalhadamente dado que seu desempenho é de importância no consumo global.

Composto por fatores dinâmicos e estáticos, o consumo, depende das dimensões dos transistores, frequência de funcionamento, tensão de alimentação e quantidade de inversores.

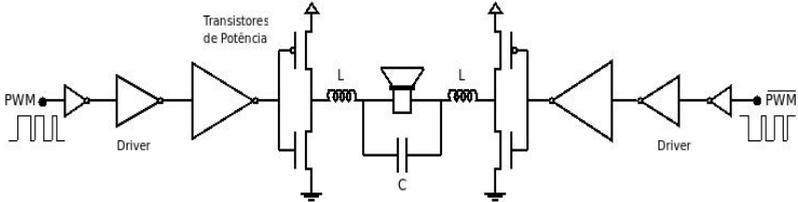


Figura 3.27 - Driver de saída em configuração em ponte (BTL).

3.5.1. Perdas de Energia (Consumo)

Considera-se como perda de energia a consumo de toda corrente extraída da fonte de alimentação que não é entregue à carga. Uma forma de classificar as perdas é considerar o instante em que elas se manifestam, existindo duas possibilidades.

a. *Consumo Dinâmico*: Toda corrente consumida durante a transição de estado dos nós que formam o *driver* de saída. O consumo dinâmico se divide em dois componentes principais: *corrente de transição* e *corrente de curto-circuito*.

- Consumo por corrente de transição (i_{SW}), associado à carga e descarga das capacitâncias parasitas dos nós que mudam de estado, *Figura 3.28*. Para calcular esta potência calcula-se a energia fornecida pela transição 0 a 1 integrando a potência instantânea e depois é multiplicada pela frequência de funcionamento (f) para obter a potência consumida [27].

$$E_{0 \rightarrow 1} = \int_0^{t_s} P_i(t) dt = V_{DD} \int_0^{t_s} i_{SW}(t) dt = V_{DD} \int_0^{V_{DD}} C dV_{Out} = CV_{DD}^2 \quad (3.50)$$

$$P_{SW} = CV_{DD}^2 f \quad (3.51)$$

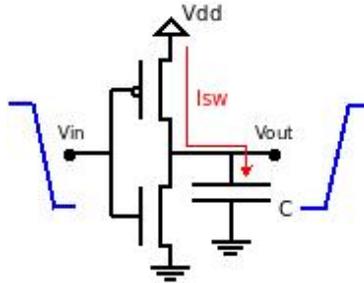


Figura 3.28- Perdas por corrente de transição.

Neste desenvolvimento consideramos que a tensão de alimentação e a capacitância dos nós são constantes, sendo esta última afirmação não válida se a capacitância é dominada por elementos parasitários [Anexo 4]. Considerando que a capacitância parasita é diretamente proporcional à área dos transistores e se L é mantido fixo, o consumo por transição é diretamente proporcional ao W dos transistores do inversor de entrada (W_{in}) e inversor de carga (W_{out}) [24].

$$P_{sw} = (C_{in}(W_{in}) + C_{out}(W_{out}))V_{DD}^2 f \quad (3.52)$$

- Consumo por corrente de curto-circuito (i_{sc}), entre a fonte de alimentação e terra, no momento em que os transistores NMOS e PMOS estão conduzindo simultaneamente durante a mudança de estado. Esta potência pode ser calculada da mesma forma que a corrente de transição. No entanto, a complexa dependência da corrente de curto-circuito com o tempo não permite o cálculo da potência em forma direta. Duas aproximações para esta potência são desenvolvidas em [27]-[29]

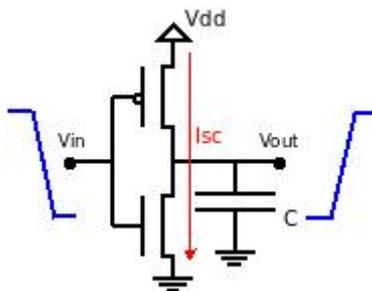


Figura 3.29 - Perdas por corrente de curto-circuito

Considerando as especificações de nosso projeto, com uma tensão de alimentação de 1,4 V, o tempo de condução simultânea dos transistores do

inversor é mínimo. Com a tecnologia escolhida, a corrente de curto-circuito é desprezível em relação à corrente de transição.

b. Consumo Estático: Toda corrente que está presente em ausência de transição de estado dos nós (condição estática). O consumo estático também pode ser dividido em dois componentes: *corrente de condução e corrente reversa*.

- Consumo por corrente de condução devido à resistência fonte-dreno dos transistores de potência. Esta não idealidade é a soma de efeitos resistivos, atribuídos às conexões, vias, contatos, difusões de fonte e dreno e canal do transistor. No equacionamento é considerada uma resistência R_{ON} para quantificar este efeito. O consumo é calculado segundo (3.53).

$$P_{ON} = R_{ON} i_{rms}^2 \quad (3.53)$$

Desta forma o consumo total por condução de um driver, está determinado por (3.54).

$$P_{Estática} = \left(\frac{i_{rms}^2}{2} \right) (R_{ON,NMOS} + R_{ON,PMOS}) \quad (3.54)$$

- Consumo por corrente reversa dos diodos de dreno e a corrente sublimiar de cada transistor. Esta corrente de fuga é pequena e seu efeito é significativo em alta temperatura, com corrente baixas ou quando a quantidade transistores é grande.

3.5.2. Projeto

Depois de definir as principais causas de consumo de potência no *driver* de saída e transistores de potência, passamos a analisar a dependência do este com a dimensões dos transistores de potência, o fator de relação entre as relações de aspecto dos inversores do *driver* (fator de *tapering*), e a quantidade de elementos inversores que compõem o driver. Para a análise são consideradas constantes a tensão de alimentação e a frequência do sinal de portadora, fixadas em 1,4 V e 200 kHz, respectivamente. Ademais, estabelecemos 10 ns como o valor máximo aceitável no atraso gerado pela cadeia de inversores (0,2 % de T_{tri}).

A potência total consumida é a soma das perdas estática e dinâmica. Para a minimização são avaliados os termos mais significativos, associadas às perdas na resistência de condução e devido a chaveamento, considerando

o fator multiplicativo entre as relações de aspecto dos inversores da cadeia (fator de *tapering* u).

Considerando os termos mais significativos das perdas obtém-se a função a minimizar, dependente da relação de aspecto do último estágio de inversores que compõem o *driver* S_{Out} e do número de inversores que o compõem N , (3.55). Adotamos uma relação de 1:3 entre o valor de S_{Out} do transistor NMOS e PMOS.

$$S_{Out\ N} = 3S_{Out\ P}$$

$\bar{C}_1(u)$ é a capacitância média do primeiro inversor do *driver* sob o ponto de vista de perdas por chaveamento e i_{rms}^2 é a corrente RMS na carga [Anexo 4].

$$P_{Total} = \underbrace{\left(\frac{i_{rms}^2}{2}\right) (R_{ON,NMOS} (S_{Out})_N + R_{ON,PMOS} (S_{Out})_P)}_{\text{Perdas por condução no estágio de saída}} + \underbrace{V_{DD}^2 \bar{C}_1(u) \left(\frac{u^N - 1}{u - 1}\right) f_{SW}}_{\text{Perdas por chaveamento em todos os estágios}} \quad (3.55)$$

$$u^N = \left(\frac{S_{out}}{S_{in}}\right) \quad (3.56)$$

S_{in} é a relação de aspecto do último inversor que compõe o comparador de corrente [Anexo 4].

A *Figura 3.30* apresenta a potência total consumida pelo driver em função da relação de aspecto do transistor de potência NMOS (S_{OUT}), variando a quantidade de inversores que compõem o driver (N), para uma corrente de saída de 1 mA RMS. Das mesmas destaca-se a existência do S_{OUT} ótimo, que diminui seu valor à medida que N aumenta, mas com um aumento da potência ótima.

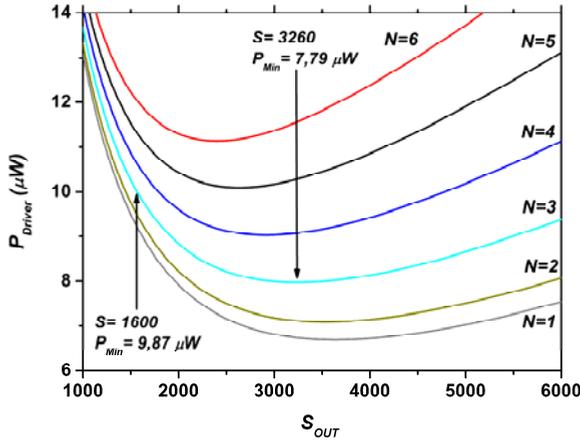


Figura 3.30 – Potência total do driver em função de relação de aspecto (S_{OUT})

Por outro lado, a Figura 3.31 apresenta o atraso em função de N , obtido pela equação D.14, observando-se valores aceitáveis para $N \geq 2$, com o mínimo atraso para $N = 3$.

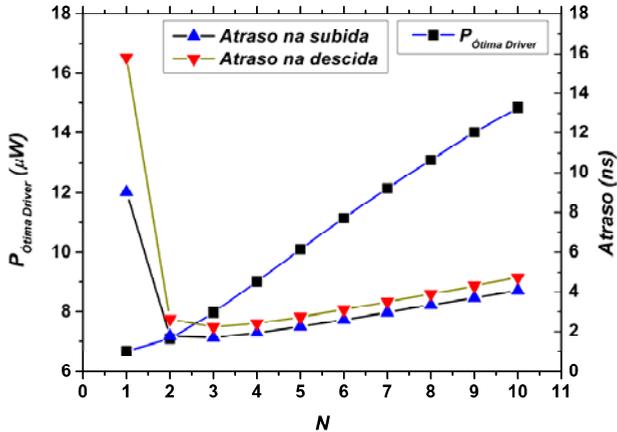


Figura 3.31 - Potência ótima driver e atraso em função de N .

No dimensionamento final foi escolhido $N = 3$, resultando em um fator de tapering u de 6,43. O critério área-consumo foi utilizado, determi-

nando-se um valor final de S_{OUT} de 1600 com uma dissipação de $9,87 \mu\text{W}$. Com esta escolha, aumentou o consumo em 24 %, enquanto a área reduziu 51 %, em relação ao ótimo de potência que apresenta uma $S_{\text{ótima}} = 3260$ e uma $P_{\text{ótima}} = 7,97 \mu\text{W}$.

O consumo do sistema BTL composto por dois *drivers* é aproximadamente $20 \mu\text{W}$, sendo $4,6 \mu\text{W}$ por perdas dinâmicas e $15,4 \mu\text{W}$ estáticas, ao entregar uma corrente na saída de 1 mA RMS com $V_{dd} = 1,4 \text{ V}$.

Os valores de resistência de condução são:

$$R_{ON_{NMOS}} = 6,2 \Omega \quad R_{ON_{PMOS}} = 9,2 \Omega$$

3.6. Espelhos de Corrente

Para fornecer as correntes I_{ref1} , I_{ref2} , I_{tun} , I_{bias} , $I_{tri\ min}$ e $I_{tri\ max}$, utilizamos espelhos de corrente simples com uma corrente de referência externa $I_{bias\ PMOS}$ de $1 \mu\text{A}$. No projeto dos espelhos de corrente foram consideradas quatro características:

- Tensão de saturação.
- Frequência de funcionamento.
- Efeito Early.
- Descasamento.

A tensão de saturação dos espelhos de corrente não está no caminho crítico que limita a tensão de alimentação, mas é escolhido um valor máximo de 250 mV. Utilizando (3.45) obtem-se um nível de inversão máximo de 48.

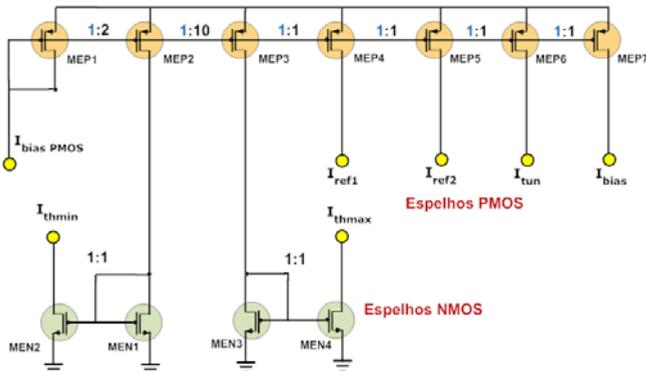


Figura 3.32 – Esquemático dos espelhos NMOS e PMOS.

Como os espelhos são utilizados para polarização DC, não existe uma limitante no valor da frequência de transição do espelho. Continuando com a utilização de comprimentos de canal padrões, neste caso é utilizado 4 μm para os transistores NMOS e PMOS.

As relações de aspecto e os níveis de inversão dos transistores do espelho de referencia são os seguintes.

$$S_{MNE1} = S_{MNE2} = S_{MNE3} = S_{MNE4} = (20/4) = 5$$

$$S_{MEP1} = S_{MEP4} = S_{MEP5} = S_{MEP6} = S_{MEP7} = (40/4) = 10$$

$$S_{MP2} = (80/4) = 20 \quad S_{MP3} = (400/4) = 100$$

$$i_{f_{MEN1}} = i_{f_{MEN2}} = i_{f_{MEN3}} = i_{f_{MEN4}} = 2,35$$

$$i_{f_{MEP1}} = i_{f_{MEP2}} = i_{f_{MEP3}} = i_{f_{MEP4}} = i_{f_{MEP5}} = i_{f_{MEP6}} = i_{f_{MEP7}} = 3,33$$

O descasamento entre os transistores dos espelhos fixa uma área mínima para os transistores, (3.6). Com as áreas projetadas o erro na corrente nos espelhos é inferior a 2,5 %¹².

3.7. Filtragem

O sinal PWM obtido na saída dos transistores de potência é a composição de dois sinais, um em baixa frequência proporcional à modulante fornecida pela corrente de entrada, e outra composta pelos harmônicos na frequência da portadora, conforme derivado no Anexo A.

$$v_o(t) = V_{dd} m \cos(\omega_m t) + \sum_{n=1}^{\infty} \frac{4V_{dd}}{n\pi} \sin\left(\frac{n\pi}{2} [1 - m \sin(\omega_m t)]\right) \cos(n\omega_{tri} t) \quad (3.57)$$

Para extrair o sinal de interesse aplicamos duas metodologias. A primeira é desviar a corrente de alta frequência por meio de um capacitor em paralelo com o alto-falante e uma indutância em série (filtro passa baixo Butterworth de segunda ordem) [30], e a segunda é utilizar em conjunto a característica indutiva e a resposta mecânica do alto-falante [31] para gerar impedâncias elevadas fora da banda de áudio considerada no projeto (300 Hz – 6 kHz), aproximando um comportamento passa faixa.

¹² $A_{VT} = 10 \text{ mV}\mu\text{m}$ para NMOS e PMOS.

A. Filtro Passa Baixa (Butterworth)

Para implementar este filtro são utilizados dois componentes externos, um indutor em série e um capacitor em paralelo com o alto-falante, *Figura 3.33*.

Ao aplicar a aproximação Butterworth para uma resposta plana [30], obtêm-se os valores de capacitor e indutor a partir de uma impedância de carga fixa, tendo como referência para os cálculos a impedância do alto-falante a 1 kHz (R_L) [32].

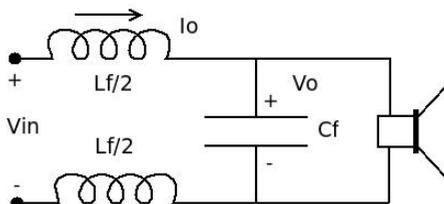


Figura 3.33 – Esquemático do filtro Butterworth

$$C_f = \frac{1}{2\pi f_0 \sqrt{2R_L}} \quad (3.58)$$

$$L_f = \frac{1}{C_f (2\pi f_0)^2} \quad (3.59)$$

A *Tabela 3.4* apresenta os valores dos componentes para diferentes frequências de corte do filtro, observando-se valores maiores de indutores e capacitores para frequências de corte menores. Esta tendência melhora os valores de corrente e tensão de *ripple*, resultando em diminuição da potência consumida [Anexo 2].

Tabela 3.4 – Valores de componentes do filtro para diferentes frequências de corte do filtro.

Frequência de corte do filtro (kHz)	Indutor (mH)	Capacitor (nF)	<i>Ripple</i> de corrente (μ A)	<i>Ripple</i> de tensão (mV)
20	7,6	8,3	230	35
15	10	11	173	20
10	15	17	115	9
6	25	28	70	3

As *Figura 3.34* e *3.35* apresentam simulações realizadas no ELDO (Mentor Graphics) do filtro Butterworth para diferentes valores de frequência de corte e uma entrada PWM com uma razão cíclica de 50 % e 1,4 V de amplitude.

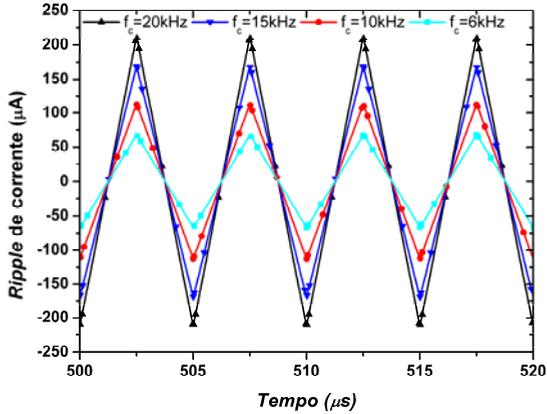


Figura 3.34 – Simulação do *ripple* de corrente do filtro Butterworth em função da frequência de corte.

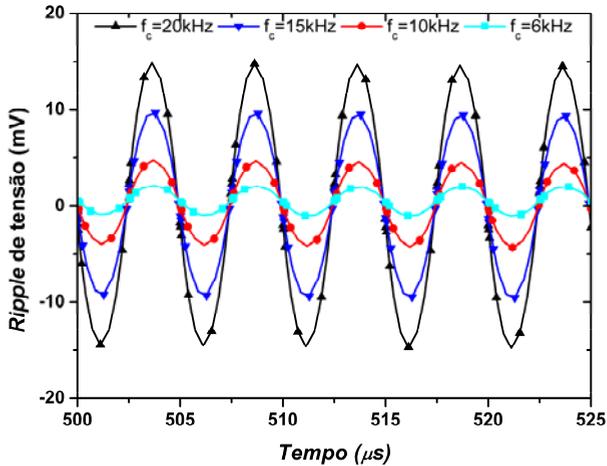


Figura 3.35 – Simulação do *ripple* de tensão do filtro Butterworth em função da frequência de corte.

B. Filtro Passa Faixa

Este filtro também utiliza um indutor e um capacitor, porém conectados em série com a carga, *Figura 3.36*. Os valores dos componentes são calculados em função da impedância do alto-falante que apresenta comportamento indutivo não constante [Anexo 2]. O objetivo é obter impedâncias altas fora da banda passante de áudio considerada (300 Hz - 6 kHz).

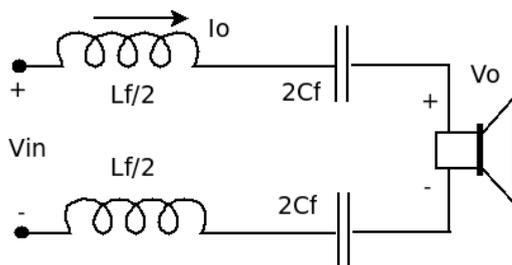


Figura 3.36 – Esquemático do filtro passa faixa.

Aplicando (3.60) e (3.61) para uma componente fundamental da corrente de 50 μA (I_1) e uma frequência de ressonância de 1 kHz, os valores dos componentes externos obtidos são 0,15 μF e 12 mH (Considerando a impedância do alto-falante de aproximadamente 20 k Ω a 200 kHz).

$$\left(L_f + L(\omega_0)\right)\omega_0^2 = \frac{1}{C_f} \quad (3.60)$$

$$I_1 = \frac{4V_{dd}}{\pi\left(L_f\omega_{ri} + Z(\omega_{ri})\right)} \quad (3.61)$$

$\omega_{ri} = 2\pi \cdot (200\text{kHz})$: frequência da portadora (onda triangular).

$Z(\omega_{ri}) =$: Impedância do alto-falante (modelo série) a 200 kHz.

$\frac{4V_{dd}}{\pi}$: Valor de pico da componente fundamental do sinal PWM.

A *Figura 3.37* ilustra a impedância resultante do filtro para o alto-falante BK1600, obtida através das simulações feitas com o modelo fornecido pelo fabricante e com o setup descrito no Anexo B. A corrente fornecida por uma fonte de tensão de 1 V de amplitude e frequência de 200 kHz foi de 28 μA . O filtro passa-baixas Butterworth, por ser de segunda ordem, reduz a THD do sinal na saída; todavia sua topologia com capacitor em paralelo gera uma corrente de *ripple* da ordem de dezenas de μA , dependen-

te do valor da indutância. Já o filtro passa faixa proporciona bloqueio em baixa frequência e alta impedância na frequência da portadora, este último como resultado da soma da indutância externa com a do alto-falante, resultando em correntes menores.

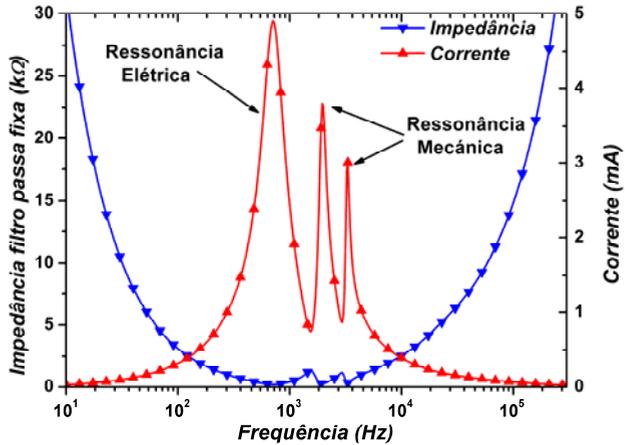


Figura 3.37 – Simulação de impedância do filtro passa faixa.

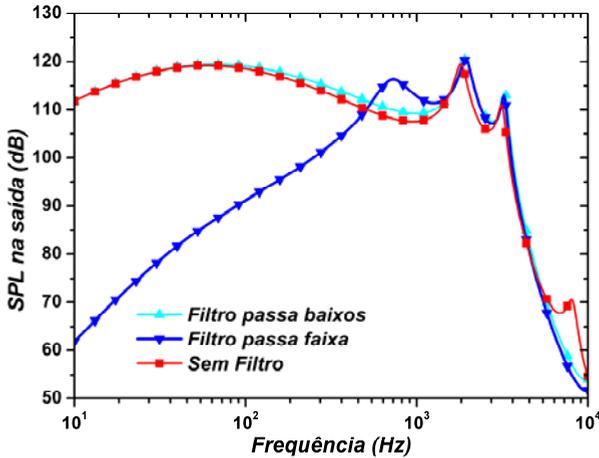


Figura 3.38 – Simulação SPL na saída do alto-falante com filtro passa baixas, passa faixa e sem filtro.

Cabe ressaltar que no filtro Butterworth também é possível implementar o corte DC por capacitor série, com a introdução de uma ressonância elétrica em baixa frequência [Anexo 2] e uma resistência parasita. Por último, deve-se tomar em consideração a resposta mecânica baixa do alto-falante para frequências maiores que 6 kHz, obtendo-se por meio de simulações quedas de -100 dB SPL acima dos 20 kHz [32].

É importante observar que os valores dos indutores são elevados e o tamanho dos mesmos também segue esta tendência. Podem-se encontrar no mercado indutores de 10 mH com um volume de $0,125 \text{ cm}^3$ (cubo de lado 0,5 cm – indutores SMT). A limitante do espaço no DAA faz que a opção sem indutor (filtro passa faixa) seja a mais atrativa como implementação.

Capítulo 4

Leiaute

A implementação do leiaute teve como objetivo uma planta compacta, minimizando a capacitância e resistência parasita, as quais poderiam afetar o comportamento global do sistema.

Para minimizar os efeitos de capacitâncias parasitas, tomou-se especial cuidado nas dimensões das trilhas de metal, tanto em sua largura como comprimento, guiados pelo diagrama de blocos que compõem o sistema, tendo especial cuidado nos cruzamentos entre metais [33].

Técnicas de leiaute para a redução da área, dos efeitos parasitários e do descasamento foram utilizadas em todos os blocos que compõem o sistema. Nas *Figura 4.1* e *4.2* observa-se uma topologia *finger-common centroid* para o transistor de potência PMOS e uma topologia *finger-interdigital* para o Bloco de entrada.

Um arranjo de transistores foi utilizado para todo o projeto. Esta decisão foi tomada para reduzir os efeitos das dimensões no V_{T0} , cuja exatidão é fundamental para os cálculos do projeto em inversão fraca [Anexo 3]. Para os blocos analógicos (gerador de corrente triangular, espelhos de corrente e bloco de entrada) o tamanho dos transistores contempla só dois valores de comprimento de canal, $1\ \mu\text{m}$ e $4\ \mu\text{m}$ e três valores de largura, $4\ \mu\text{m}$, $10\ \mu\text{m}$ e $20\ \mu\text{m}$. Os transistores dos blocos digitais têm comprimentos de canal de $0,35\ \mu\text{m}$, $0,5\ \mu\text{m}$ e $1\ \mu\text{m}$; e larguras de $1\ \mu\text{m}$, $3\ \mu\text{m}$, $5\ \mu\text{m}$, $9\ \mu\text{m}$ e $10\ \mu\text{m}$ e $13\ \mu\text{m}$. A associação série-paralelo foi a base para criar transistores com dimensões maiores.

O amplificador classe D ocupa uma área de $0,073\ \text{mm}^2$ (blocos e roteamento), observando-se na *Tabela 4.1* a discriminação da área por blocos.

Tabela 4.1 – Discriminação da área por blocos.

<u>Bloco</u>	<u>Área (μm^2)</u>
Espelhos de corrente	$7,2 \times 10^3$
Gerador de corrente triangular	$13,5 \times 10^3$
Capacitor	$14,4 \times 10^3$
Comparadores de corrente	$1,5 \times 10^3$
<i>Latch</i>	$1,25 \times 10^3$
Bloco de entrada	$3,5 \times 10^3$
<i>Drivers</i>	$7,70 \times 10^3$
Transistores de potência	$12,25 \times 10^3$

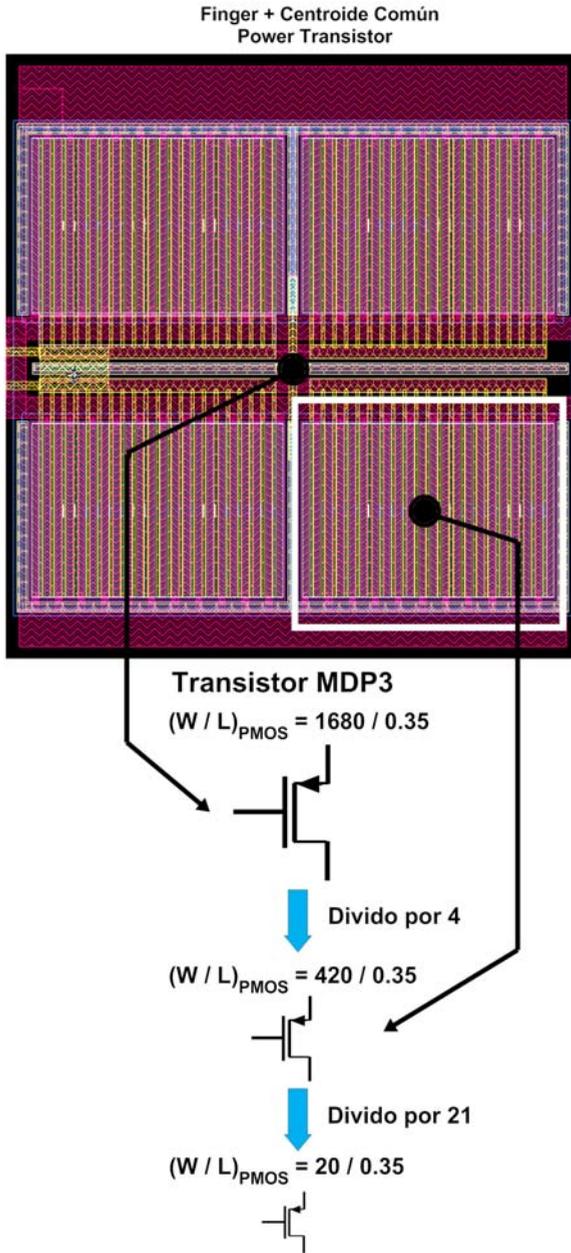


Figura 4.1 - Leiaute do transistor de potência PMOS.

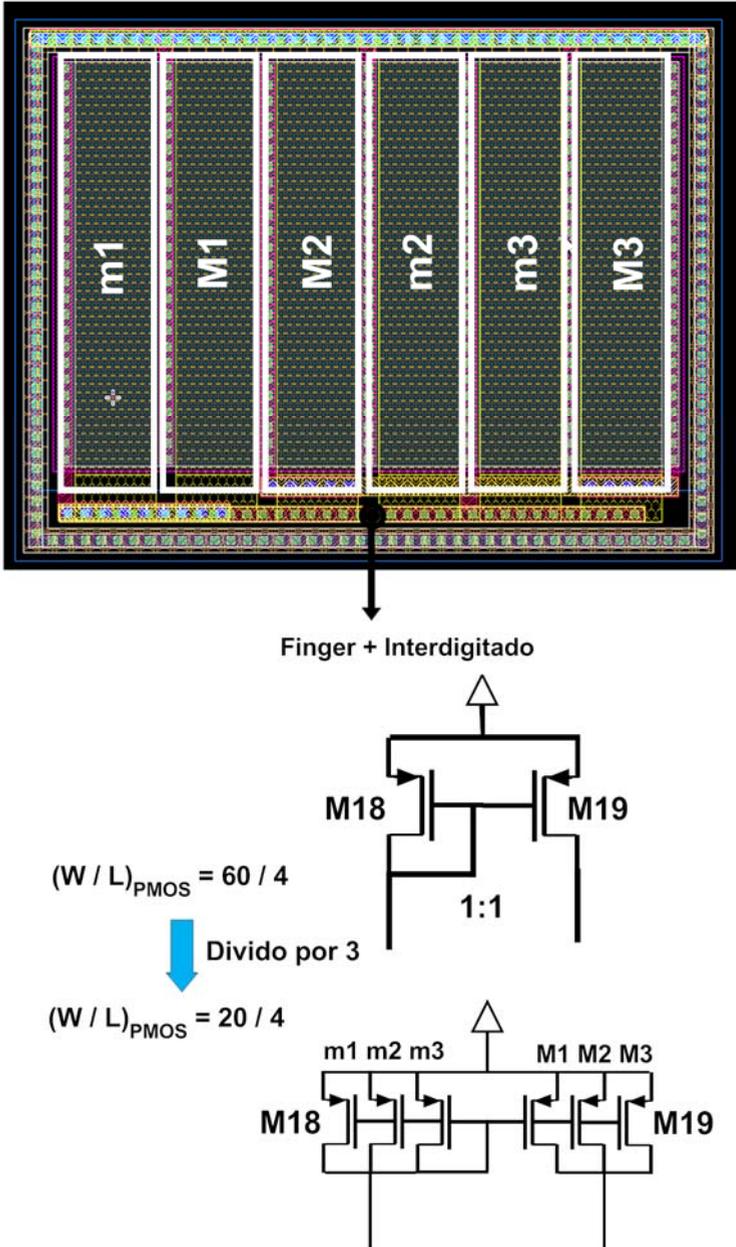


Figura 4.2 – Leiaute transistores M_{18} e M_{19} do bloco de entrada.

Devido ao fato de o amplificador ser um sistema misto (blocos analógicos e digitais), as alimentações foram distribuídas separadamente e anéis de guarda isolam cada módulo, reduzindo o acoplamento entre ambos [34]. Na *Figura 4.3*, observa-se o diagrama de blocos do circuito, ressaltando as interconexões, a corrente máxima em regime para o bloco de potência e as diferentes entradas e saídas do IC. Na *Figura 4.4*, mostra-se o layout final de todo o circuito.

As seguintes tabelas indica-se as dimensões finais de todos os transistores do IC e sua implementação a partir da base de transistores, discriminando por blocos.

Tabela 4.2- Dimensões dos transistores do gerador de corrente triangular.

Gerador de Corrente Triangular								
Transistores	Tipo	L (μm)	W (μm)	Série	Paralelo	L _{final} (μm)	W _{final} (μm)	S
M1	NMOS	1	20	1	6	1	120	120
M2	NMOS	1	10-20	1	1-4 ¹³	1	90	90
M3	NMOS	1	20	1	15	1	300	300
M4	NMOS	1	20	1	36	1	720	720
M5	NMOS	1	4	5	1	5	4	0,8
M6	NMOS	1	20	1	5	1	100	100
M7	NMOS	1	20	1	5	1	100	100
M8	PMOS	4	10	1	3	4	30	7,5
M8B	PMOS	4	10	1	3	4	30	7,5
M9A	PMOS	4	10	1	3	4	30	7,5
M10A	PMOS	4	10	1	3	4	30	7,5
M10B	PMOS	4	10	1	3	4	30	7,5
M11A	NMOS	4	10	1	3	4	30	7,5
M12A	NMOS	4	10	1	3	4	30	7,5
M12B	NMOS	4	10	1	1	4	30	7,5
M9B	PMOS	0,35	10	1	3	0,35	30	85
M10C	PMOS	0,35	10	1	3	0,35	30	85
M11B	NMOS	0,35	10	1	1	0,35	10	28
M12C	NMOS	0,35	10	1	1	0,35	10	28
M13A	PMOS	0,35	10	1	3	0,35	30	85
M13B	NMOS	0,35	10	1	1	0,35	10	28
M14	PMOS	1	20	2	5	2	100	50
M15	PMOS	1	20	2	5	2	100	50
M16	PMOS	1	20	2	5	2	100	50
M17	PMOS	1	20	2	5	2	100	50

lix_____

¹³ O Transistor M₂ de W = 90 μm está composto por o paralelo de quatro transistores de W = 20 μm e um de 10 μm .

Tabela 4.3 - Dimensões dos transistores do bloco de entrada.

Bloco de Entrada								
Transistores	Tipo	L (μm)	W (μm)	Série	Paralelo	L _{final} (μm)	W _{final} (μm)	S
M18	PMOS	4	20	1	3	4	60	15
M19	PMOS	4	20	1	3	4	60	15
M20	NMOS	4	20	1	2	4	40	10
M21	NMOS	4	20	1	6	4	120	30
M22	NMOS	4	20	1	4	4	80	20
M23	NMOS	4	20	1	2	4	40	10

Tabela 4.4 - Dimensões dos transistores do driver de potência.

Driver								
Transistores	Tipo	L (μm)	W (μm)	Série	Paralelo	L _{final} (μm)	W _{final} (μm)	S
MDN1	NMOS	0,35	13	1	1	0,35	13	37
MDP1	PMOS	0,35	20	1	2	0,35	40	114
MDN2	NMOS	0,35	20	1	4	0,35	80	228
MDP2	PMOS	0,35	20	1	12	0,35	240	685
MDN3	NMOS	0,35	20	1	28	0,35	560	1600
MDP3	PMOS	0,35	20	1	84	0,35	1680	4800

Tabela 4.5 - Dimensões dos transistores do comparador de corrente.

Comparador de Corrente								
Transistores	Tipo	L (μm)	W (μm)	Série	Paralelo	L _{final} (μm)	W _{final} (μm)	S
MCC1a	NMOS	1	1	1	1	1	1	1
MCC2a	PMOS	1	3	1	1	1	3	3
MCC1b	NMOS	0,5	3	1	1	1	3	6
MCC2b	PMOS	0,5	9	1	1	1	9	18

Tabela 4.6 - Dimensões dos transistores do latch.

<u>Latch</u>								
Transistores	Tipo	L (μm)	W (μm)	Série	Paralelo	L _{final} (μm)	W _{final} (μm)	S
MF1	NMOS	0,35	5	1	2	0,35	10	28
MF2	PMOS	0,35	10	1	3	0,35	30	85

Tabela 4.7 – Dimensões dos transistores dos espelhos NMOS.

<u>Espelhos NMOS</u>								
Transistores	Tipo	L (μm)	W (μm)	Série	Paralelo	L _{final} (μm)	W _{final} (μm)	S
MEN1	NMOS	4	20	1	1	4	20	5
MEN2	NMOS	4	20	1	1	4	20	5
MEN3	NMOS	4	20	1	1	4	20	5
MEN4	NMOS	4	20	1	1	4	20	5

Tabela 4.8 – Dimensões dos transistores dos espelhos PMOS.

<u>Espelhos PMOS</u>								
Transistores	Tipo	L (μm)	W (μm)	Série	Paralelo	L _{final} (μm)	W _{final} (μm)	S
MEP1	PMOS	4	20	1	2	4	40	10
MEP2	PMOS	4	20	1	4	4	80	20
MEP3	PMOS	4	20	1	20	4	400	100
MEP4	PMOS	4	20	1	2	4	40	10
MEP5	PMOS	4	20	1	2	4	40	10
MEP6	PMOS	4	20	1	2	4	40	10
MEP7	PMOS	4	20	1	2	4	40	10

A Figura 4.5 apresenta o esquemático completo do gerador da corrente triangular e a Figura 4.6 o esquemático dos demais blocos que compõem o amplificador classe D.

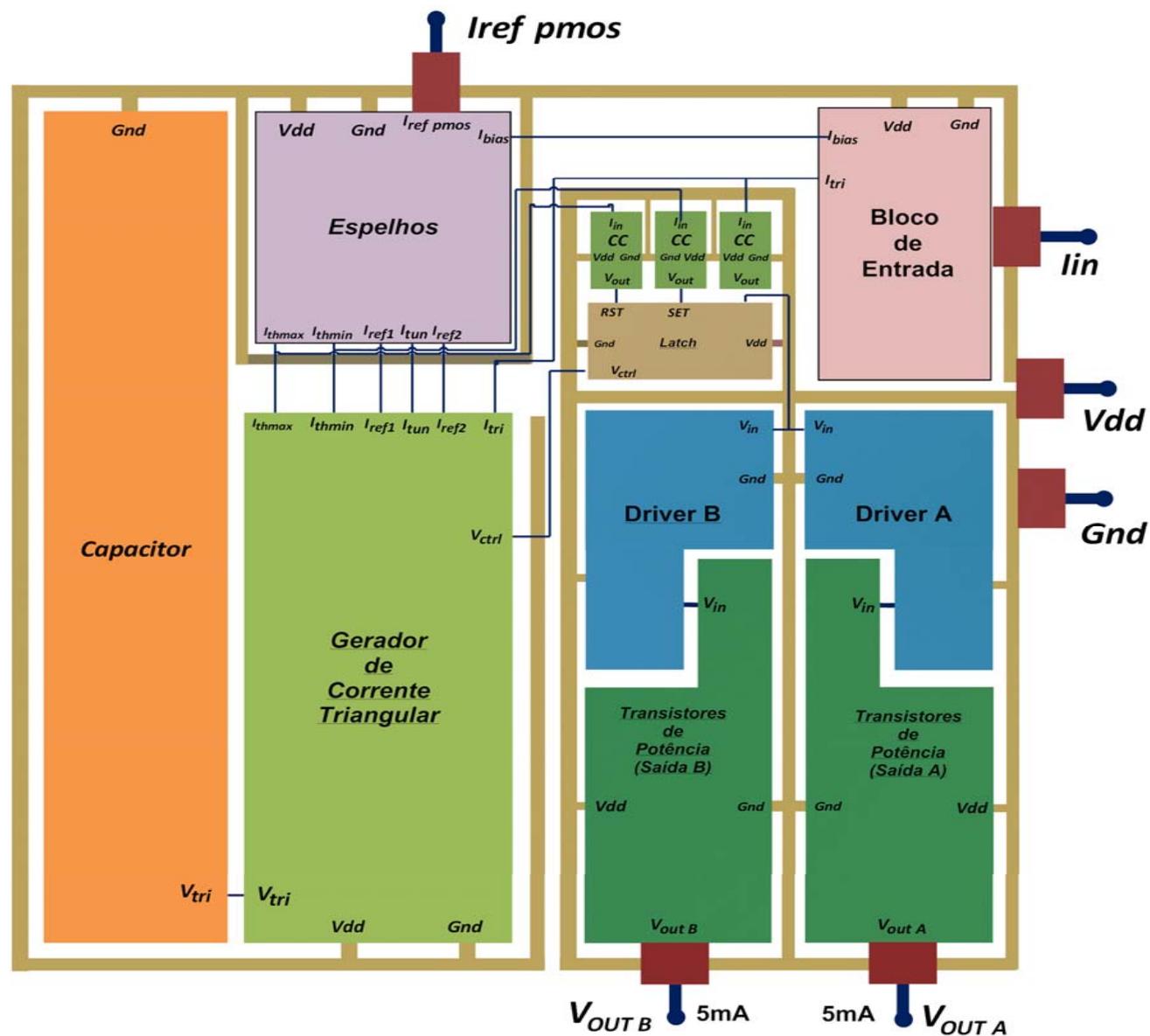


Figura 4.3 – Diagrama de blocos do amplificador classe D.

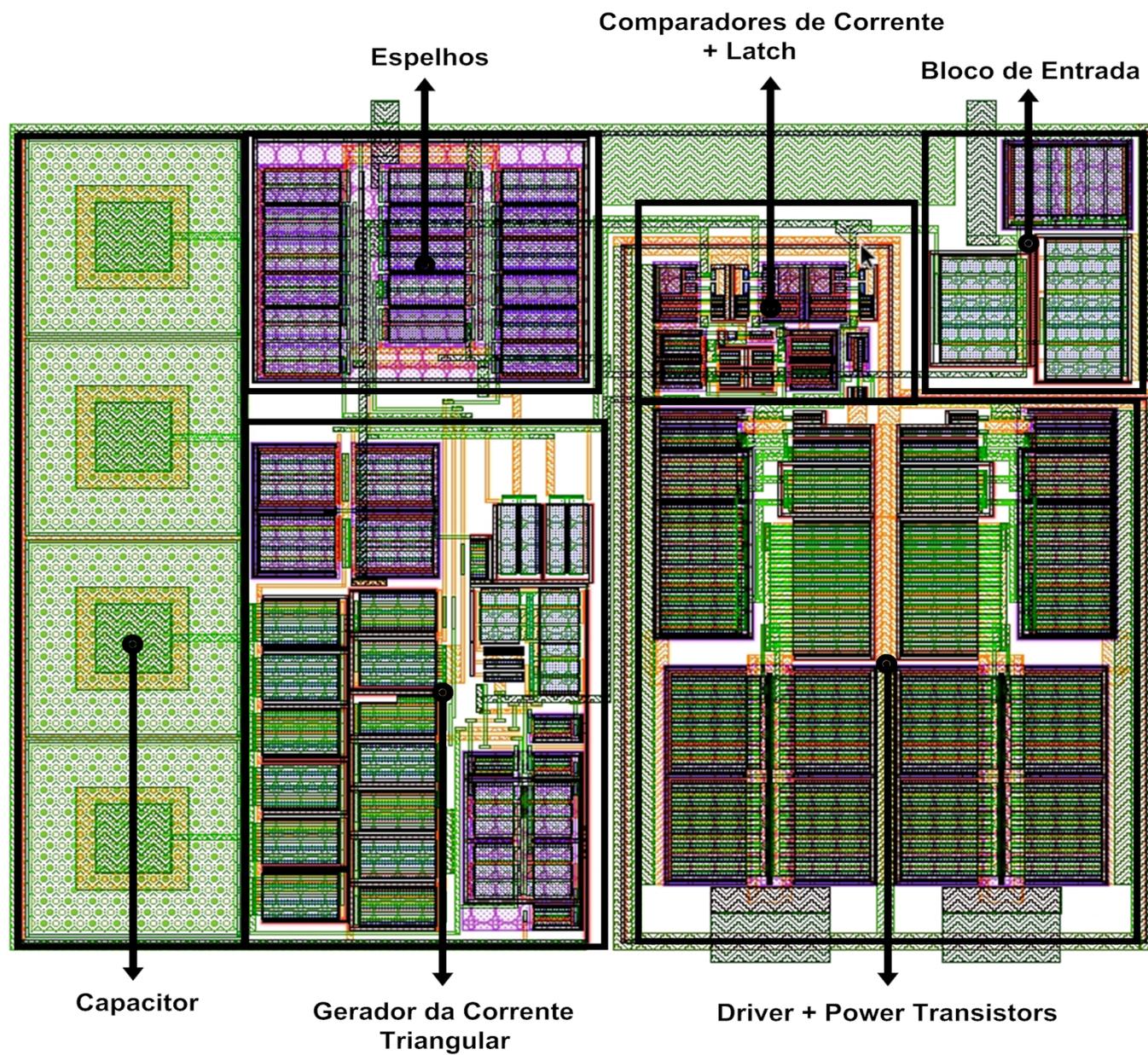


Figura 4.4 – Leiaute do Amplificador Classe D.

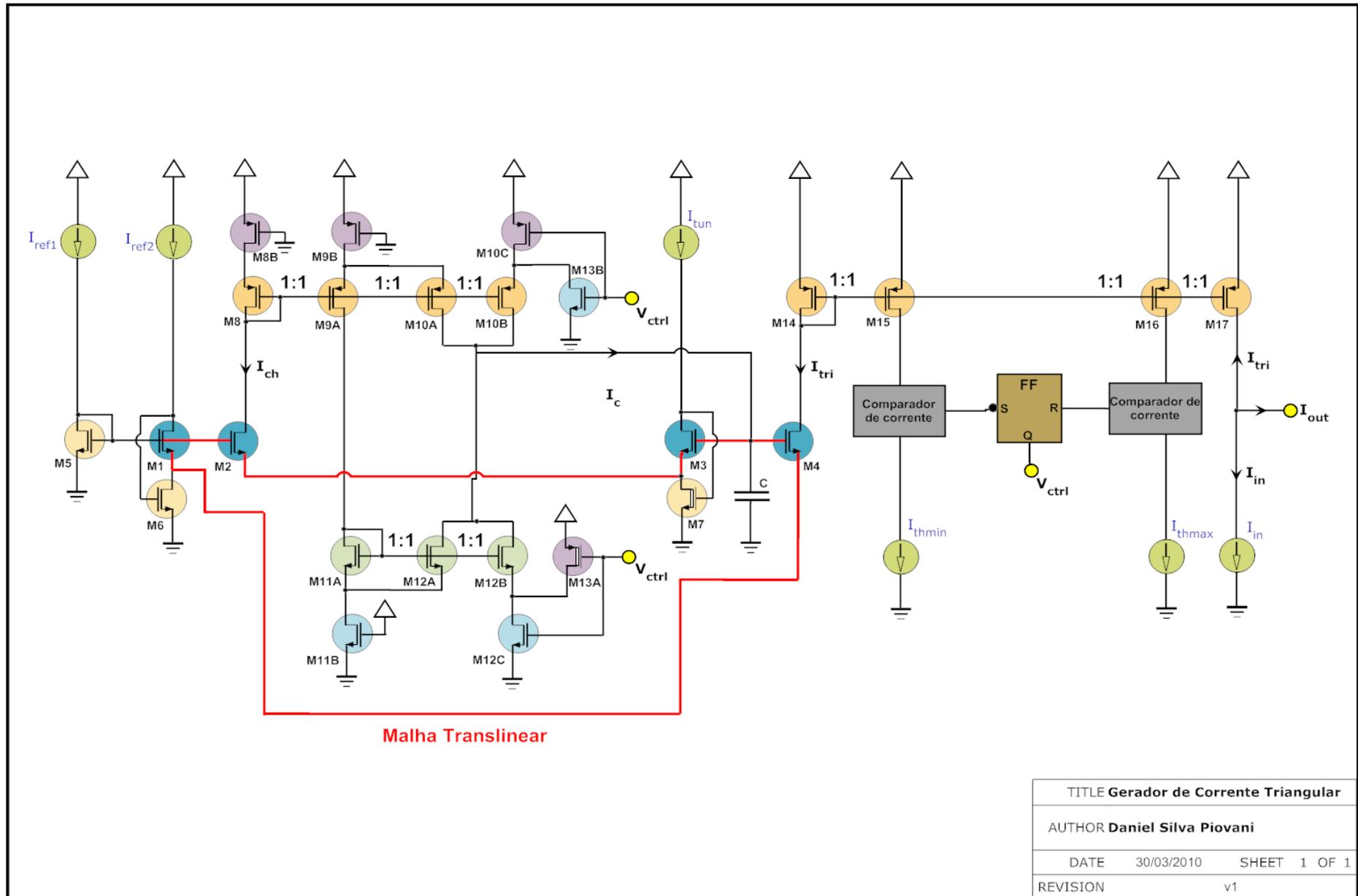
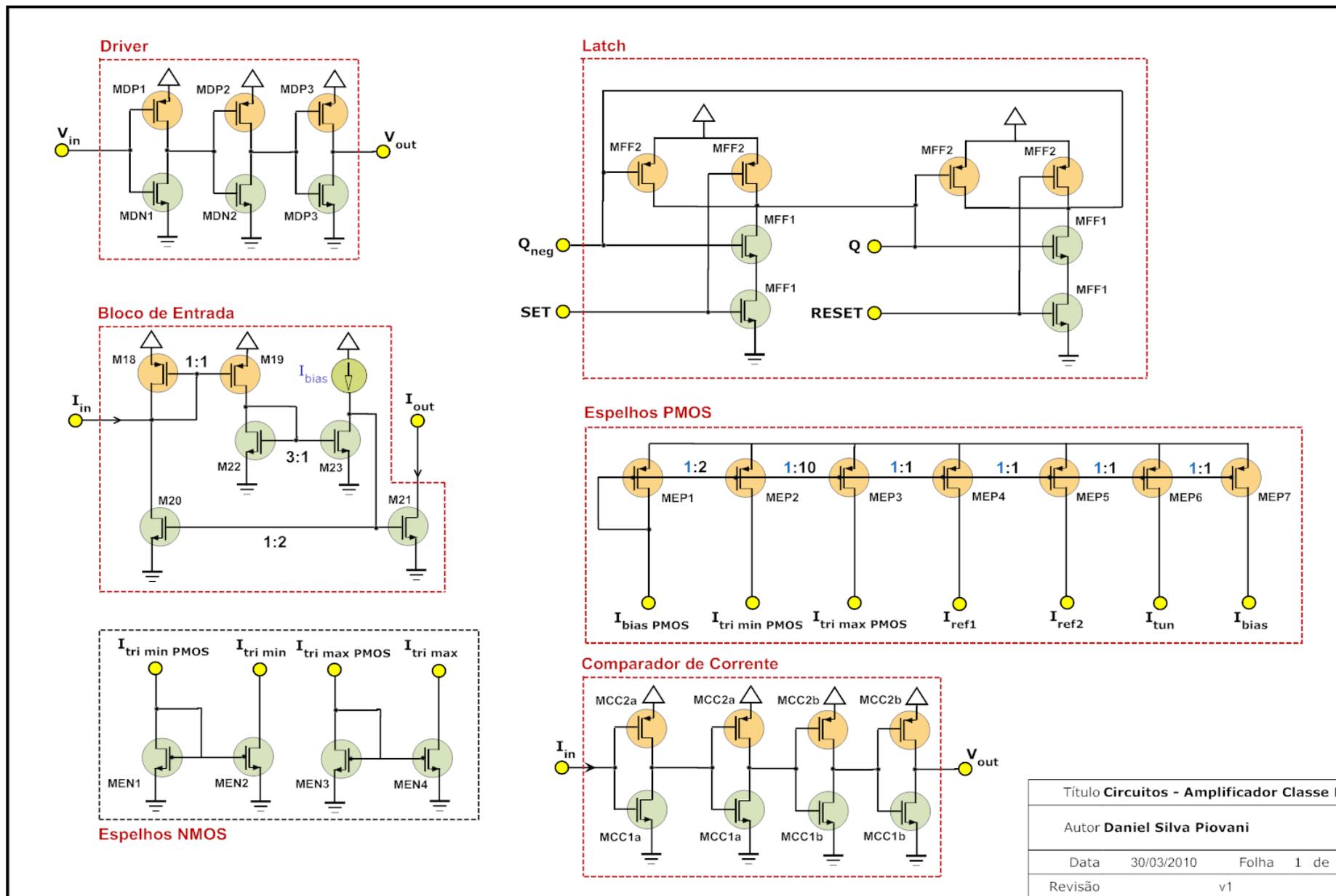


Figura 4.5 – Esquemático do bloco gerador de corrente triangular.



Título Circuitos - Amplificador Classe D	
Autor Daniel Silva Piovani	
Data 30/03/2010	Folha 1 de 1
Revisão v1	

Figura 4.6 – Esquemático do blocos adicionais amplificador classe D.

Capítulo 5

Resultados

A análise de resultados compreende o estudo do desempenho do sistema com e sem carga, utilizando o filtro Butterworth, focalizando no consumo e a THD, sendo outro comportamento de interesse as variações com relação à tensão de alimentação. Todos os resultados são *baseados em simulações* feitas com a ferramenta MENTOR GRAPHICS.

Sistema sem carga:

A *Figura 5.1* ilustra a curva de modulação da razão cíclica em função da corrente de entrada, para diferentes tensões de alimentação, sem considerar descasamento entre os transistores. Para obter a reta que melhor aproxima a curva de modulação foi utilizado o método de mínimos quadrados, sendo **a** o coeficiente angular e **b** o coeficiente linear. A partir dos mesmos, pode-se obter o índice de modulação (*m*) e o offset de tensão à saída (V_{offset}), (5.1) e (5.2).

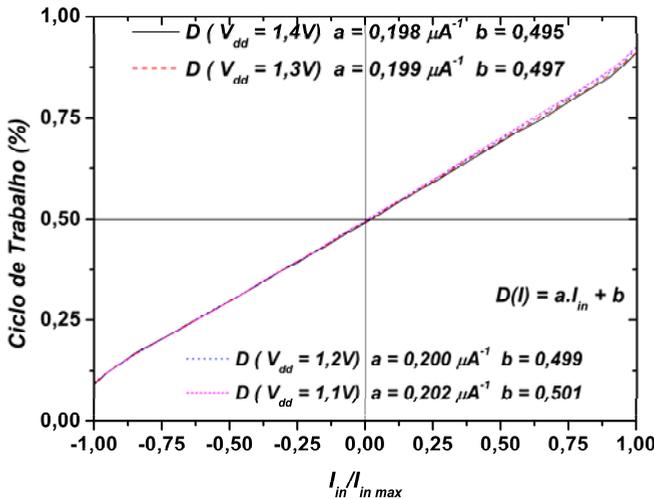


Figura 5.1 – Razão cíclica em função da corrente de entrada.

Das simulações conclui-se que o índice de modulação e a tensão de offset quase não sofrem alterações, *Tabela 5.1*. O coeficiente de correlação da curva de modulação para 1,4 V é de 0,99967, indicando uma resposta

linear aceitável. No entanto, observa-se um desvio da linearidade para correntes de entrada próximas ao máximo.

$$m = \frac{a}{0,5} \quad (5.1)$$

$$V_{offset} = (b - 0,5)V_{dd} \quad (5.2)$$

Tabela 5.1 – Índice de modulação e offset em função da alimentação.

V_{dd} (V)	m	V_{offset} (mV)
1,4	0,823	-7,0
1,3	0,820	-3,9
1,2	0,827	-1,2
1,1	0,830	1,1

O efeito do descasamento entre os transistores foi avaliado por simulações Monte Carlo do circuito total. Foi medida a razão cíclica para corrente de entrada nula em um conjunto de 1000 amostras para V_{dd} 1,4 V e 1,1 V. Os resultados são apresentados na Tabela 5.2. Cabe ressaltar a invariabilidade do desempenho com a tensão de alimentação, medindo-se desvios padrões quase iguais para as duas tensões.

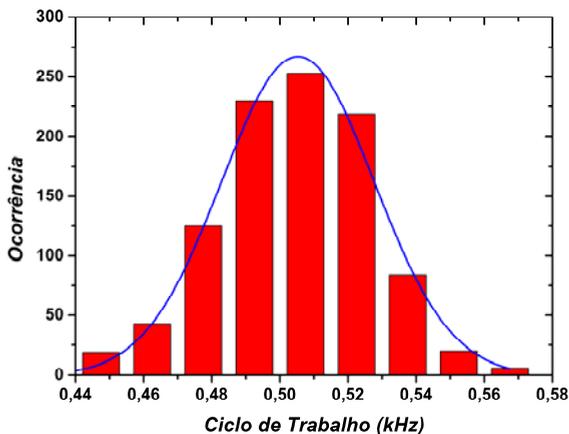


Figura 5.2 - Simulação Monte Carlo da razão cíclica (1000 amostras e $V_{dd} = 1,4$ V).

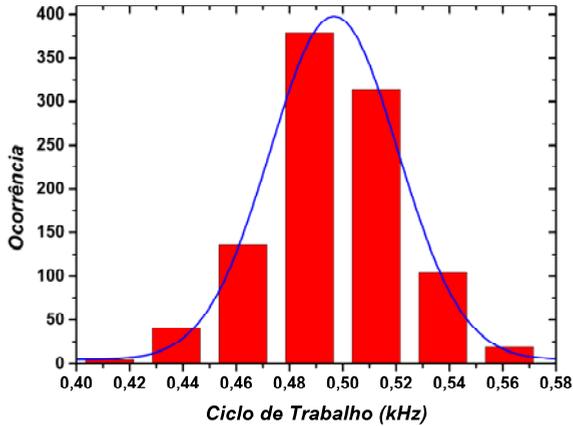


Figura 5.3 - Simulação Monte Carlo da razão cíclica (1000 amostras e $V_{dd} = 1,1 \text{ V}$).

Tabela 5.2 – Variações do ciclo do trabalho por descasamento.

V_{dd} (V)	D (%)	σ_D (%)
1,4	50,5	2,2
1,1	49,7	2,4

Para verificar o consumo do sistema sem carga incluindo as perdas dinâmicas do *driver*, calculou-se a potência consumida pela fonte de alimentação do sistema em 20 ciclos, variando a tensão de alimentação de 1.4 V a 1.1 V em passos de 100mV. Os resultados são apresentados na Tabela 5.3.

Tabela 5.3 – Consumo do amplificador classe D sem carga.

V_{dd} (V)	I_{dd} média (μA)	$P_{Consumida}$ sem carga (μW)
1,4	48,9	68,4
1,3	48,2	62,7
1,2	47,4	56,9
1,1	46,7	51,4

Observa-se um pequeno aumento do consumo com V_{dd} , justificado pelo consumo dinâmico dos *drivers* e sua dependência diretamente proporcional à tensão de alimentação.

Sistema com carga:

As simulações são realizadas com o filtro Butterworth de segunda ordem, para uma frequência de corte de 10 kHz e uma impedância de referência do alto-falante de 700 Ω . Como sinais de entrada foram utilizadas correntes senoidais de frequências 1 kHz, 1,6 kHz e 2,5 kHz, com amplitude fixa de 1 mA. Nas *Figuras 5.4, 5.5 e 5.6* ilustramos as diferentes saídas do sistema para duas tensões de alimentação, 1,4 V e 1,1 V.

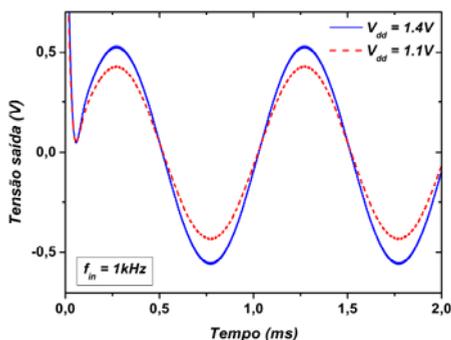


Figura 5.4 – Tensão na carga para $f_{in} = 1$ kHz

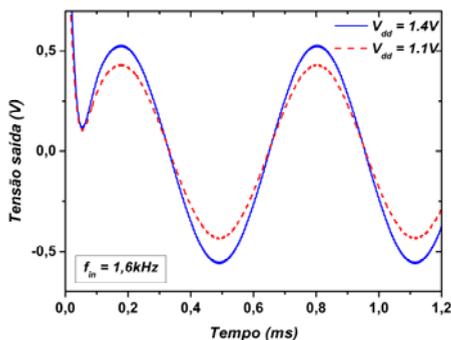


Figura 5.5 - Tensão na carga para $f_{in} = 1,6$ kHz

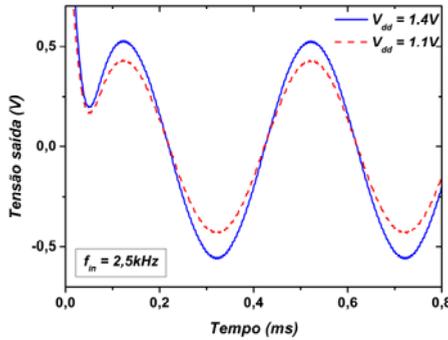


Figura 5.6 - Tensão na carga para $f_{in} = 2,5$ kHz

Para os sinais anteriormente apresentados obtivemos a THD¹⁴ e a potência fornecida à carga, resumindo os resultados nas Tabela 5.4 e 5.5.

A potência teórica máxima fornecida à carga é de 1,4 mW, para um valor de $m = 1$, sendo a potência máxima atingida de 0,845 mW.

Tabela 5.4 – THD do sinal de saída com filtro Butterworth com corrente de entrada 50% da máxima.

THD (% e dB)				
Frequência	$V_{dd} = 1,4$ V		$V_{dd} = 1,1$ V	
1 kHz	0,59 %	-44,6 dB	1,21 %	-38,3-dB
1,6 kHz	0,58 %	-44,7 dB	1,25 %	-38,1 dB
2,5 kHz	0,55 %	-45,2 dB	1,03 %	-39,7 dB

Tabela 5.5 – Corrente RMS e potência fornecida à carga com corrente de entrada 50% da máxima.

Corrente RMS e potência fornecida à carga				
Frequência	$V_{dd} = 1,4$ V		$V_{dd} = 1,1$ V	
1 kHz	547,6 μ A	210 μ W	434 μ A	131,8 μ W
1,6 kHz	547,3 μ A	209,7 μ W	433,7 μ A	131,7 μ W
2,5 kHz	546,3 μ A	208,9 μ W	433 μ A	131,2 μ W

lxxi

¹⁴ Para o cálculo da THD foram considerados as harmônicas da frequência fundamental até a 20 kHz.

A potência total consumida pelo amplificador foi obtida do valor médio da corrente entregue pela fonte de alimentação. Utilizando o valor da potência entregue pela fonte de alimentação ($P_{saída} + P_{consumida}$) podemos calcular a eficiência do amplificador (5.3), obtendo-se na condição de potência máxima à saída uma eficiência de 90,6 % para $V_{dd} = 1,4$ V.

$$\eta = \frac{P_{saída}}{P_{saída} + P_{consumida}} \quad (5.3)$$

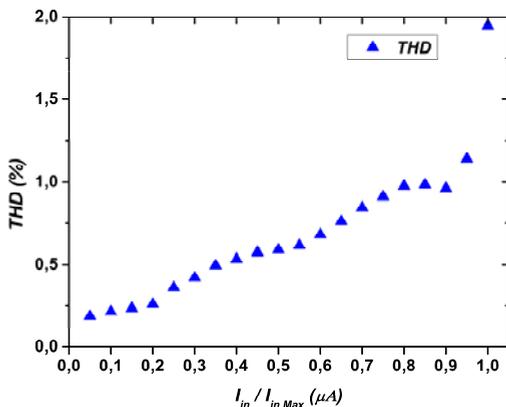


Figura 5.7 – THD em função da amplitude da sinal de entrada

Observa-se uma compensação entre a perda de potência à saída, ocasionada pela diminuição da tensão de alimentação, e a potência consumida, que mantem a eficiência em valores superiores a 90 %, além de ser independente da frequência do sinal de entrada.

Em dispositivos alimentados à bateria, a potência consumida é o parâmetro de maior interesse estando mascarado nos gráficos de eficiência, dado que esta tende a zero para potências de saída nulas. Por tal motivo, um gráfico de potência consumida em função da potência de saída dá uma representação mais realista do desempenho do sistema, *Figura 5.8* [2], concluindo-se que na situação de teste utilizada, com potências de saída superiores a um quarto da potência máxima, a eficiência é superior a 75 %, sendo a potência consumida inferior ao 11 % da potência máxima. Todos estes valores consideram fixo o valor da carga do alto-falante.

$$P_{consumida} = P_{saída} \left(\frac{1}{\eta} - 1 \right) \tag{5.4}$$

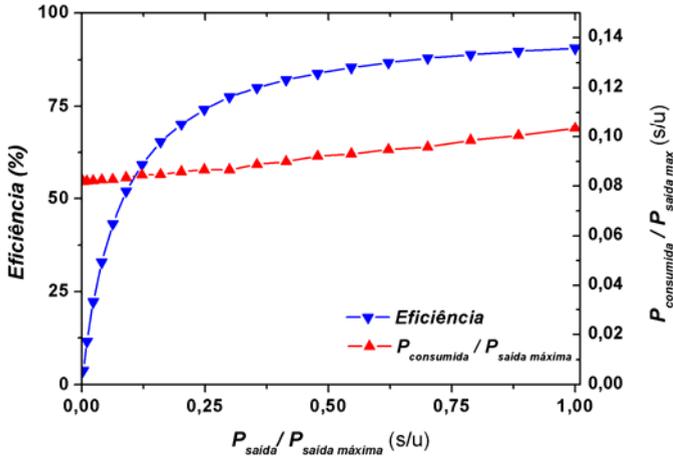


Figura 5.8 – Eficiência e potência consumida em função da potência na saída.

Simulações pós-leiaute:

Foram realizadas simulações pós-leiaute para observar possíveis variações com os resultados obtidos no projeto pré-leiaute. Simulamos a eficiência e a THD para as tensões de alimentações de 1,1 V e 1,4 V, Tabela 5.7, 5.8 e 5.9.

Tabela 5.6 – Corrente RMS e potência fornecida à carga de projeto post leiaute, para diferentes tensões de alimentação e frequências, com corrente de entrada 50% da máxima.

Corrente RMS e potência fornecida à carga				
Frequência	$V_{dd} = 1,4\ V$		$V_{dd} = 1,1\ V$	
1 kHz	548,5 μA	210,6 μW	433,2 μA	131,4 μW
1,6 kHz	548,9 μA	210,9 μW	433,1 μA	131,3 μW
2,5 kHz	547,4 μA	209,7 μW	433 μA	131,2 μW

Tabela 5.7 – THD do sinal de saída com filtro Butterworth do projeto post leiaute, para diferentes frequências e tensões de alimentação, com corrente de entrada 50% da máxima.

<i>THD (% e dB)</i>				
<i>Frequência</i>	<i>V_{dd} = 1,4 V</i>		<i>V_{dd} = 1,1 V</i>	
1 kHz	1,21 %	-38,3 dB	1,58 %	-36,0 dB
1,6 kHz	1,25 %	-38,1 dB	1,58 %	-36,0 dB
2,5 kHz	1,03 %	-39,7 dB	1,52 %	-36,4 dB

Tabela 5.8 – Potência total consumida e eficiência do projeto post leiaute, para diferentes frequências e tensões de alimentação, com corrente de entrada 50% da máxima.

<i>Potência total consumida e Eficiência (μW e %)</i>				
<i>Frequência</i>	<i>V_{dd} = 1,4 V</i>		<i>V_{dd} = 1,1 V</i>	
1 kHz	284,5 μW	74 %	187,9 μW	70 %
1,6 kHz	284,6 μW	74 %	187,7 μW	70 %
2,5 kHz	284,5 μW	74 %	187,8 μW	70 %

A variação da razão cíclica com a corrente de entrada mantém a mesma relação lineal que a obtida nas simulações pré-leiaute, neste caso com um coeficiente angular de $0,197\mu\text{A}^{-1}$ e um coeficiente linear de 0,495.

Das simulações pós-leiaute observa-se uma deterioração da THD do sistema com um aumento de 0,6 %, mas mantendo o desempenho na eficiência.

Capítulo 6

Conclusões e Trabalhos Futuros

Neste trabalho foi proposto e concebido um amplificador classe D para um aparelho de auxílio à audição. O estudo detalhado de cada bloco do sistema foi chave para reduzir as perdas do amplificador. As especificações de consumo, de eficiência e tensão de alimentação foram atingidas. A tensão mínima de operação do projeto é de 1,1 V. Embora seja 1,4 V a tensão nominal da bateria, o aparelho deve funcionar até 1,1V, valor da força eletromotriz da bateria no final de sua vida útil. A potência máxima a saída foi um pouco inferior à requerida na especificação para a carga de teste, causada por um índice de modulação inferior ao necessário.

Tablea 6.1 – Especificações do projeto do amplificador classe D e resultados obtidos por simulação.

<i>Especificação</i>	<i>Valor teórico</i>	<i>Valor simulado</i>
Mínima tensão de alimentação	1,1 V	1,1 V
Potência máxima à saída	1 mW	0,845 mW
Eficiência @ 90 % potência máxima	> 90 %	= 90 %
THD @ 90 % da potência máxima	< 1 %	= 1,14 %
Consumo de potência para níveis quaisquer de entrada	< 100 μ W	< 85 μ W

O uso de um arranjo de transistores com dimensões fixas, juntamente com a extração dos parâmetros tecnológicos relevantes para a realização da análise DC com o modelo ACM foi de importância para o projeto. A síntese dos transistores projetados com associação série-paralelo foi essencial para minimizar o descasamento entre os transistores e obter resultados confiáveis do simulador.

A estratégia em modo corrente, junto a técnica *log comanding* e um conhecimento profundo do modelo do transistor MOSFET são básicos para projetar circuitos em baixa tensão com a mínima potência e o maior desempenho de velocidade.

A análise da resposta em frequência dos alto-falantes ajudou no projeto da filtragem do sinal PWM a propor uma alternativa diferente ao filtro de segunda ordem Butterworth, reduzindo o consumo de potência e as dimensões dos componentes do filtro.

Dentro os trabalhos futuros em curto prazo encontram-se a integração do sistema e seu posterior ensaio elétrico e acústico, utilizando equipamentos existentes no laboratório LCI e na empresa AMPLIVOX. O estudo e implementação da modulação PWM em três estados fazendo pequenas alterações ao circuito, com o objetivo de reduzir o conteúdo harmônico e os valores dos componentes do filtro, a custo de um leve aumento do consumo estático e dinâmico.

Um plano de longo prazo pensa-se mudar a topologia de geração de sinal PWM para um sistema de auto-oscilação, sendo o aumento da frequência de funcionamento e diminuição do número de blocos que compõem o sistema os objetivos principais.

ANEXO 1

Análise de Fourier PWM

Neste anexo se detalha o desenvolvimento matemático para a análise de Fourier de um sinal PWM, primeiramente com um sinal modulador genérico e, posteriormente, aprofundando a análise para nosso caso de amostragem natural. O objetivo é conhecer os harmônicos presentes e as necessidades de filtragem para a recuperação do sinal modulador.

A. Fourier PWM

O sinal PWM pode ser descrito como uma onda retangular de período T e razão cíclica D , diretamente proporcional ao valor do sinal modulador. Por ser uma onda periódica bem comportada, permite realizar sua análise espectral, através de sua decomposição em série de Fourier.

$$f(t) = \begin{cases} V_{dd} & v_i \leq v_m \\ 0 & v_i > v_m \end{cases}$$

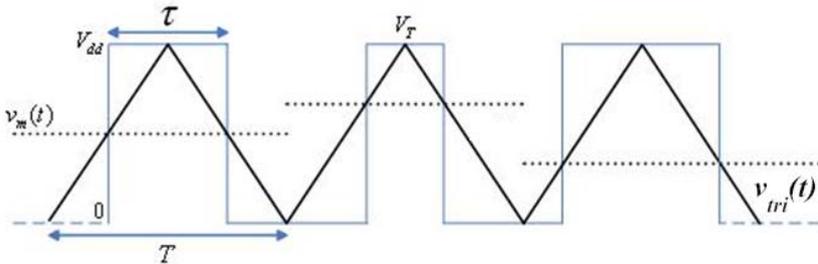


Figura A.1 – Geração do sinal PWM.

Aplicando (A.1) decompõe-se $f(t)$ em série de exponenciais complexas, tomando parte real deste desenvolvimento se obtém a descrição em sinais sinusoidais.

$$F(t) = \sum_{n=-\infty}^{\infty} c_n e^{jn\omega t} \tag{A.1}$$

$$\omega = 2\pi f$$

$$c_n = \frac{1}{T} \int_{-T/2}^{T/2} f(t) e^{-jn\omega t} dt, \quad \omega = \frac{2\pi}{T}, \quad \text{sendo } f(t) = \text{Re}[F(t)]$$

Dada a simetria par do sinal PWM, os valores de c_n são somente reais.

$$D = \frac{\tau}{T} \quad (\text{A.2})$$

$$c_n = \frac{2V_{dd}}{T} \frac{\sin(n\pi D)}{n\omega} = \frac{V_{dd}}{n\pi} \sin(n\pi D) \quad (\text{A.3})$$

$$F(t) = V_{dd} D + \sum_{\substack{n=-\infty \\ n \neq 0}}^{\infty} \frac{V_{dd}}{n\pi} \sin(n\pi D) e^{-jn\omega t} \quad (\text{A.4})$$

Tomando parte real de $F(t)$, e aplicando a simetria par e ímpar das funções coseno e seno, obtêm-se respectivamente:

$$f(t) = \frac{V_{dd} D}{T} + \sum_{n=1}^{\infty} \frac{2V_{dd}}{n\pi} \sin(n\pi f D) \cos(n\omega t) \quad (\text{A.5})$$

Observa-se que $f(t)$ é composta de um valor DC proporcional à razão cíclica (D), e componentes na frequência fundamental f e suas harmônicas nf . A amplitude dos harmônicos vai decaindo com o incremento da ordem do harmônico.

O valor de D é variável com o tempo, dependendo do sinal modulador. Em (A.6) se expressam às dependências temporais do sinal $f(t)$.

$$f(t) = V_{dd} D(t) + \sum_{n=1}^{\infty} \frac{2V_{dd}}{n\pi} \sin(n\pi D(t)) \cos(n\omega t) \quad (\text{A.6})$$

Em nosso caso trataremos a modulação por amostragem natural [35], gerada pela comparação do sinal modulador $v_m(t)$ com um sinal triangular $v_T(t)$, sinal portadora, de frequência ω e amplitude V_T , *Figura A.1*. Para a condição do sinal modulador nulo ($v_m(t) = 0$) a razão cíclica é 0,5. Sob estas hipóteses a razão cíclica, $D(t)$, pode escrever-se como:

$$D(t) = \frac{1}{2} \left(1 + \frac{v_m(t)}{V_T / 2} \right) \quad (\text{A.7})$$

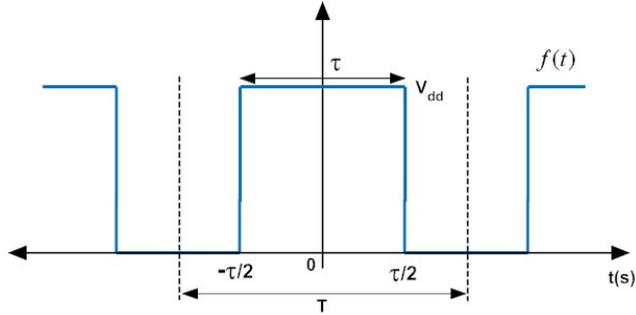


Figura A.2 – Sinal PWM.

Considerando o sinal modulador $v_m(t)$ como uma senóide, com amplitude menor que $V_T/2$, obtém-se:

$$v_m(t) = \frac{mV_T}{2} \sin(\omega_m t)$$

$$D(t) = \frac{1}{2} (1 + m \sin(\omega_m t)) \quad (\text{A.8})$$

Denomina-se m índice de modulação, representando o quociente entre a amplitude máxima do sinal modulador e da portadora. Substituindo (A.8) em (A.6), obtemos a expressão de $f(t)$.

$$f(t) = \frac{V_{dd}}{2} [1 + m \cos(\omega_m t)] + \sum_{n=1}^{\infty} \frac{2V_{dd}}{n\pi} \sin\left(\frac{n\pi}{2} [1 + m \sin(\omega_m t)]\right) \cos(n\omega t) \quad (\text{A.9})$$

Em (A.9) se observam três termos:

$$f_A = \frac{V_{dd}}{2}, \text{ nível DC igual à metade do valor de } V_{dd}.$$

$f_B(t) = \frac{V_{dd}}{2} m \cos(\omega_m t)$, sinal proporcional ao sinal modulador, cuja amplitude depende do índice de modulação.

$f_C(t) = \sum_{n=1}^{\infty} \frac{2V_{dd}}{n\pi} \sin\left(\frac{n\pi}{2} [1 + m \sin(\omega_m t)]\right) \cos(n\omega t)$, sinal de intermodulação entre modulador $v_m(t)$ e portadora $v_{tri}(t)$.

B. Análise de Fourier saída em ponte (BTL)

Considerando o *driver* de saída em configuração ponte (BTL), o sinal aplicado ao alto-falante $v_o(t)$ descreve-se em (A.10), sendo $f_1(t,D)$ o sinal PWM na entrada positiva e $f_2(t,D)$ o sinal PWM invertido na entrada negativa, *Figura A.3*.

$$v_o(t) = f_1(t, D) - f_2(t, D) \quad (\text{A.10})$$

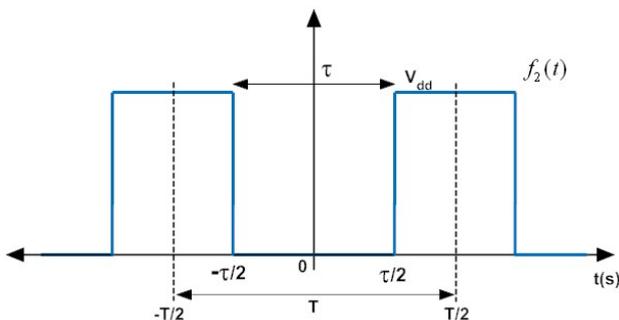


Figura A.3 – Sinal PWM invertido.

Realizando o desenvolvimento de $f_2(t)$ em Serie de Fourier obtém-se (A.13).

$$c_0 = V_{dd} (1 - D) \quad (\text{A.11})$$

$$c_n = -\frac{2V_{dd}}{T} \frac{\sin(n\pi D)}{n\omega} = -\frac{V_{dd}}{n\pi} \sin(n\pi D), \quad n \neq 0 \quad (\text{A.12})$$

$$f_2(t, \tau) = V_{dd} (1 - D) - \sum_{n=1}^{\infty} \frac{2V_{dd}}{n\pi} \sin(n\pi D) \cos(n\omega t) \quad (\text{A.13})$$

Juntando (A.6), (A.7), (A.10) e (A.13), tem como resultado (A.14), representado a Serie de Fourier da saída em configuração ponte (BTL).

$$v_o(t) = V_{dd} m \cos(\omega_m t) + \sum_{n=1}^{\infty} \frac{4V_{dd}}{n\pi} \sin\left(\frac{n\pi}{2} [1 - m \sin(\omega_m t)]\right) \cos(n\omega t) \quad (\text{A.14})$$

A saída BTL não possui termo em DC e a amplitude do sinal de interesse é o dobro; em contrapartida, os sinais na frequência da portadora também duplicam sua amplitude.

ANEXO 2

Filtros

A. Filtro Passa Baixo de Segunda Ordem (Butterworth)

No projeto deste filtro devemos considerar três aspectos fundamentais:

- a) Frequência de corte e ordem do filtro.
- b) *Ripple* em corrente.
- c) *Ripple* em tensão.

A eficiência do amplificador depende adequado projeto deste filtro. Deve-se observar que com este filtro a corrente conduzida pelos transistores de potência é a superposição de uma componente em baixa frequência $i_L(t)$ (alto-falante), mais uma onda AC triangular de alta frequência $i_T(t)$ (capacitor) [36].

$$i_o(t) = i_L(t) + i_T(t) \quad (\text{B.1})$$

Os transistores de saída atuam como chave de resistência R_{ON} quando estão conduzindo, sendo a potência dissipada pelos mesmos proporcional ao valor RMS da corrente $i_o(t)$, (B.2). Cabe ressaltar que o produto entre as correntes $i_L(t)$ e $i_T(t)$ não aporta para o cálculo da corrente RMS, e que o valor RMS de uma sinal triangular é proporcional a sua amplitude de pico dividido pela raiz de 3.

$$P_{dis} = R_{ON} i_{o,RMS}^2$$

$$i_{o,RMS}^2 = I_L^2 + \frac{I_T^2}{3} \quad (\text{B.2})$$

I_L = Amplitude RMS da corrente no alto-falante

I_T = Amplitude de pico da corrente no capacitor

a) Frequência de corte e ordem do filtro

A largura de banda dos sinais de áudio a serem processados por um aparelho de auxílio à audição está limitada pelos transdutores de entrada e saída, observando-se um comportamento passa baixas nos alto-falantes tomados como referência para o projeto, com uma queda de -20 dB a partir de 6 kHz [31].

Utilizando a transformada de Laplace a transferência do filtro está dada por (B.3), sendo os dois pólos do sistema obtidos por (B.4).

$$H_{\text{filtro}}(s) = \frac{V_o(s)}{V_{in}(s)} = \frac{1}{L_f C_f} \frac{1}{s^2 + \frac{1}{Z_L C_f} s + \frac{1}{L_f C_f}} \quad (\text{B.3})$$

$$p = \frac{1}{2Z_L C_f} \pm \sqrt{\frac{1}{4Z_L^2 C_f^2} - \frac{1}{L_f C_f}} = \frac{\omega_0 Q_c}{2} \pm \frac{\omega_0}{2} (Q_c^2 - 4)^{1/2} \quad (\text{B.4})$$

ω_0 é a frequência angular de corte do filtro em ausência de carga e Q_c é o fator de qualidade do filtro.

$$\omega_0 = \frac{1}{\sqrt{L_f C_f}} \quad Q_c = \frac{1}{\omega_0 Z_L C_f}$$

Observe-se que os pólos do sistema variam com o valor da impedância da carga, devendo-se tomar um valor de referência ao realizar os cálculos, considerando a carga totalmente resistiva. Utilizando a aproximação de Butterworth [30], os valores dos componentes devem cumprir as seguintes relações:

$$C_f = \frac{1}{2\pi f_0 \sqrt{2Z_L}} \quad (\text{B.5})$$

$$L_f = \frac{1}{C_f (2\pi f_0)^2} \quad (\text{B.6})$$

b) Ripple em Corrente

Para o cálculo de *ripple* em corrente se integra a tensão no indutor, com a saída do *driver* em V_{ds} , o circuito em regime permanente e desprezando o *ripple* em tensão, (B.7) [36]. Em nosso caso, o sinal permanece alto por um tempo que é proporcional ao produto entre a razão cíclica (D) e o período do sinal portador (T).

$$v_x - v_o = L_f \frac{di_f}{dt} \rightarrow \int_{I_1}^{I_2} di_f = \int_0^{DT} \frac{(v_x - v_o)}{L_f} dt \quad T = \frac{1}{f}$$

$$v_x = V_{DD}, \quad v_o = V_{DD} D$$

$$\Delta I = I_2 - I_1 = \frac{V_{DD} (1-D) DT}{L_f} \quad (\text{B.7})$$

O *ripple* em corrente depende do valor do indutor e da frequência do sinal PWM, sendo inversamente proporcional a ambos. Em (B.8) definimos o valor mínimo de indutor para uma corrente de *ripple* desejada, sendo de suma importância, dada sua influência na potência estática em ausência de sinal de entrada ($D = 0.5$).

$$L_f \geq \frac{V_{DD} (1-D) D}{\Delta I_{\max} f} \quad (\text{B.8})$$

c) Ripple em Tensão

A tensão sobre o alto-falante possui uma excursão em alta frequência devido ao *ripple* da corrente. Considerando que todo o *ripple* da corrente de é canalizada pelo capacitor ($Z_C \ll Z_L$), o *ripple* de tensão é calculado integrando a corrente durante o tempo em que a mesma é diferente de zero.

$$i_c = C_f \frac{dv_o}{dt} \rightarrow \int_{v_1}^{v_2} dv_o = \int_0^{DT} \frac{i_c}{C_f} dt \quad i_c = \frac{\Delta I}{DT} t$$

$$\Delta V = V_2 - V_1 = \frac{\Delta I}{DT} \int_0^{DT} t dt = \frac{\Delta I D}{2 C_f} \frac{1}{f}$$

$$\Delta V = \frac{V_{DD} (1-D) D^2}{2 C_f L_f} \frac{1}{f^2} \quad (\text{B.9})$$

O *ripple* de tensão depende inversamente do produto capacitância – indutância e quadraticamente com o inverso da frequência do sinal PWM. Em (B.10) definimos o valor mínimo do capacitor C_f , sendo também o pior caso, a ausência de sinal de entrada ($D = 0.5$).

$$C_f \geq \frac{v_o (1-D) D}{2 \Delta V_{\max} L_f} \frac{1}{f^2} \quad (\text{B.10})$$

B. Filtro Passa Faixa

A implementação deste filtro se baseia no estudo da característica indutiva dos alto-falantes [31], introduzindo um capacitor e um indutor em série, gerando impedâncias elevadas para frequências inferiores a 300 Hz e maiores que 6 kHz.

Na *Figura B.1*, mostra-se a impedância do alto-falante BK1600, tomado como referência neste trabalho, e o valor de indutância associada calculado segundo (B.11). Estas curvas foram obtidas por simulações com o modelo fornecido pelo fabricante, com o setup mostrado na *Figura B.2*.

$$Z_L(\omega) = R_{DC} + j\omega L(\omega) \rightarrow L^2(\omega) = \frac{|Z_L|^2 - R_{DC}^2}{\omega^2} \quad (\text{B.11})$$

$Z_L(\omega)$ = Impedância do alto-falante

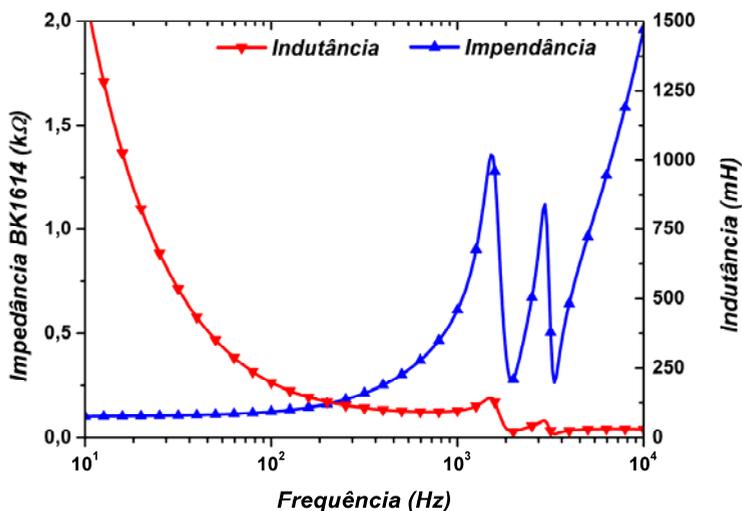


Figura B.1 – Simulação de impedância do alto-falante BK1600.

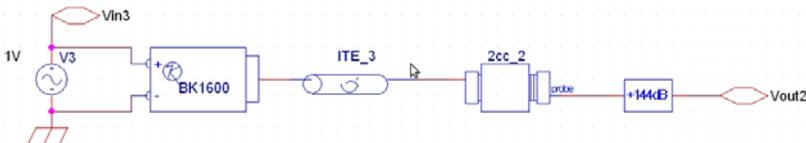


Figura B.2 – Setup para simulação do alto-falante BK1600.

BK 1600: Alto-falante BK1600 Knowles

ITE: Tubo de acoplamento de 10mm de comprimento e 1mm de raio.

2cc: Cavidade de Acoplamento de 2cm³

+144dB: Correção para saída em SPL

A impedância vista pelo amplificador pode ser representada por (B.12), observando-se a ressonância quando as impedâncias indutivas e capacitivas se igualam. Utilizando capacitores da ordem dos μF (impedância baixas para $f < 300$ Hz), a ressonância se atinge a baixas frequências dado o valor elevado da indutância do alto-falante.

$$Z_v(\omega) = R_{DC} + j \left[(L_f + L(\omega)) \omega - \frac{1}{\omega C_f} \right] \quad (\text{B.12})$$

$$(L_f + L(\omega_0)) \omega_0^2 = \frac{1}{C_f} \quad (\text{B.13})$$

Para afetar o menos possível a transferência do alto-falante e garantir um consumo de potência baixo, deve-se localizar a ressonância abaixo de 300 Hz.

A impedância do alto-falante é da ordem de dezenas de $\text{k}\Omega$ a 200 kHz, somado o efeito da indutância série. A corrente máxima devida ao componente fundamental do sinal portador está dada por (B.14).

$$I_1 = \frac{4V_{dd}}{\pi \omega_{tri} Z_v(\omega_{tri})} \quad (\text{B.14})$$

$$\omega_{tri} = 2\pi \cdot f_{tri}$$

ANEXO 3

Extração de Parâmetros ACM

O projeto de circuitos analógicos CMOS utilizando as equações básicas do modelo ACM precisa do conhecimento de três parâmetros tecnológicos básicos, I_{SQ} (corrente específica), V_{T0} (tensão de limiar) e n (fator de inclinação) [24]. As variações destes parâmetros com as dimensões dos transistores são significativas, sem considerar o descasamento interchip e intrachip [37]. Por este motivo, é vital o conhecimento destes parâmetros para a robustez do projeto.

Existem duas formas de obter esta informação; a primeira é a medição de chips de teste, e a segunda, a simulação utilizando arquivos tecnológicos de outros modelos; aqui optamos pela segunda opção dada sua facilidade de implementação. Realizaram-se simulações em circuitos específicos para a extração em Eldo (Mentor Graphics), utilizando o modelo BSIM3v3, com o arquivo tecnológico do Hit-Kit v3.70, para AMS 0.35 μm .

Escolheu-se um conjunto de transistores representativos para realizar a extração, constando de três comprimentos de canal (0,35, 1,00 e 4 μm), e largura de canal 10 μm , para caracterizar a variação com o comprimento do canal.

A. Extração da corrente específica (I_{SQ})

Para a extração da corrente de normalização utiliza-se a metodologia descrita em [24], baseada nas equações UICM e a relação transcondutancia fonte-corrente de dreno. Na *Figura C.1*, mostra-se os circuitos simulados para a extração.

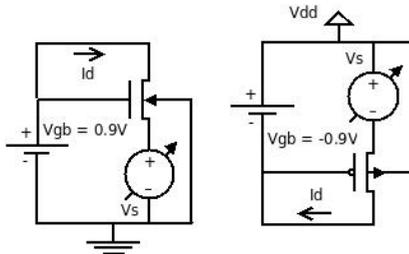


Figura C.1 – Circuitos para extração de I_{SQ} .

Das extrações realizadas se obteve que I_{SQN} tem um valor aproximado de 85 nA e I_{SQP} de 30 nA, sendo estes valores os que serão utilizados no projeto.

B. Extração da tensão de limiar (V_{T0})

Para a extração da tensão de limiar utiliza-se a metodologia descrita em [38], baseada nas equações UICM e a relação transcondutância de fonte-corrente de dreno. Na *Figura C.2*, mostra-se os circuitos simulados para a extração.

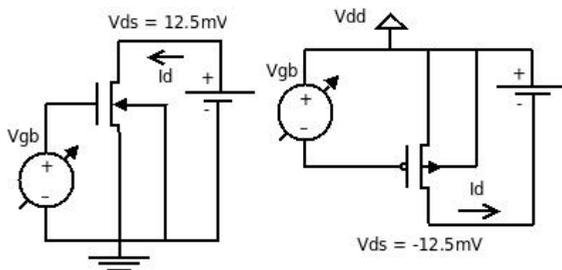


Figura C.2 – Circuitos para extração de V_{T0} .

Das extrações se conclui que V_{T0} variam com L , sendo a tendência a quanto menor o comprimento do canal maior e o valor do V_{T0} .

$$V_{T0N}(L = 0,35 \mu\text{m}) = 580 \text{ mV} \quad V_{T0P}(L = 0,35 \mu\text{m}) = -740 \text{ mV}$$

$$V_{T0N}(L = 1 \mu\text{m}) = 560 \text{ mV} \quad V_{T0P}(L = 1 \mu\text{m}) = -740 \text{ mV}$$

$$V_{T0N}(L = 4 \mu\text{m}) = 530 \text{ mV} \quad V_{T0P}(L = 4 \mu\text{m}) = -720 \text{ mV}$$

C. Extração do fator de inclinação (n)

Para a extração do fator de inclinação utiliza-se a metodologia descrita em [24], baseada nas equações UICM e na relação do n com a derivada da tensão de pinch-off com respeito à tensão de porta. Na *Figura C.3*, mostra-se os circuitos simulados para a extração.

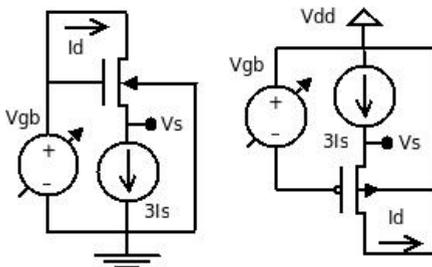


Figura C.3 – Circuitos para extração do fator de inclinação.

Das simulações se deduz que o fator de inclinação tanto para o transistor NMOS como para PMOS se encontra dentro da faixa de 1,1 a 1,3, encontrando-se valores levemente maiores para o NMOS.

ANEXO 4

Potência do Driver de Saída

A. Potência Estática

A potência estática é dominada pela resistência de condução dos transistores de potência [36], dependente dos parâmetros tecnológicos, das tensões aplicadas à porta, fonte e substrato, e à relação de aspecto. A única variável de projeto em nosso caso é a relação de aspecto (S), podendo-se descrever o comportamento da resistência de condução em (D.1).

$$R_{ON} = b + \frac{a}{S} \quad (D.1)$$

Realizamos simulações em Eldo (Mentor Graphics), com o modelo BSIM3V3 para determinar as constantes a e b , utilizando o comprimento mínimo do canal ($0.35 \mu\text{m}$). Os valores obtidos nas simulações e os ajustes lineares se apresentam na *Figura D.1* e *D.2* para o transistor NMOS e PMOS, e os parâmetros ajustados na *Tabela D.1*.

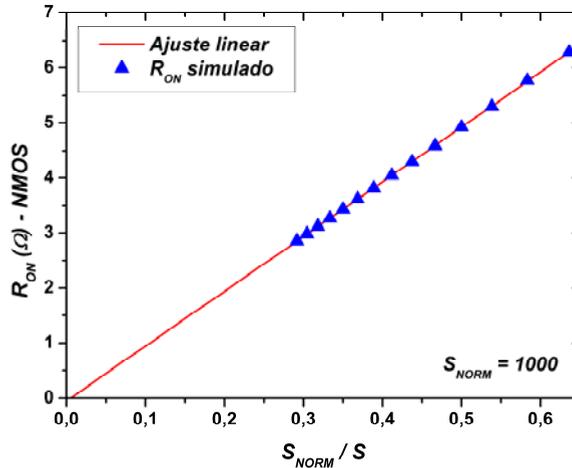


Figura D.1- Ajuste da resistência do transistor de potência NMOS em função de S .

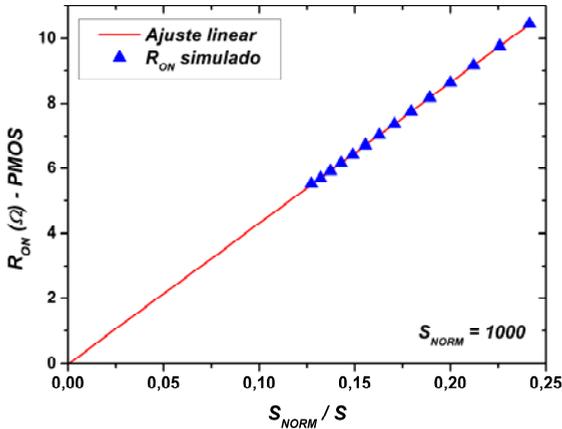


Figura D.2- Ajuste da resistência do transistor de potência PMOS em função de S.

Tabela D.1 – Parâmetros ajustados.

Parâmetro	NMOS	PMOS
Coefficiente angular - a (Ω)	9.962	43.331
Coefficiente linear - b (Ω)	-0,0538	-0,0211
Coefficiente de Correlação	0,99998	0,99993

Com os parâmetros ajustados, e considerando um fator 3 entre a relação de aspecto do transistor PMOS com respeito ao NMOS, a potência estática dissipada está definida pela equação D.3.

$$P_{Estática} = \left(\frac{i_{rms}^2}{2} \right) \left(R_{ON, NMOS} (S_{NMOS}) + R_{ON, PMOS} (S_{PMOS}) \right) \quad (D.2)$$

$$P_{Estática} = \left(\frac{i_{rms}^2}{2} \right) \left[\left(a_{NMOS} + \frac{b_{NMOS}}{S_{NMOS}} \right) + \left(a_{PMOS} + \frac{b_{PMOS}}{3 \cdot S_{NMOS}} \right) \right] \quad (D.3)$$

B. Potência Dinâmica

A potência dinâmica está dominada pelas capacitâncias nodais dos inversores que compõe o *driver* (C_i) e os transistores de potência, mostradas na *Figura D.3*.

A quantidade de elementos que formam o *driver* aumenta a capacitância, e conseqüentemente a potência dinâmica.

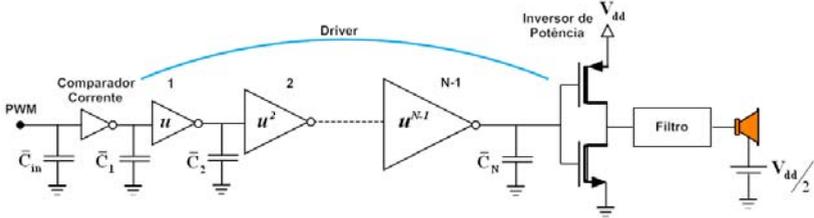


Figura D.3 – Driver de saída.

Para avaliar a influência da quantidade de elementos que compõem o *driver*, calculamos a energia total consumida por transição, desprezando a corrente de curto-circuito.

$$E_{Din, 0 \rightarrow 1} = \int_0^{t_s} P_i(t) dt = V_{DD} \int_0^{t_s} \sum_{i=1}^{N-1} i_{D,i}(t) dt = V_{DD} \sum_{i=1}^{N-1} \int_0^{t_s} i_{D,i}(t) dt \quad (D.4)$$

A avaliação de cada uma das integrais da corrente de carga não pode ser realizada em forma direta, dada a dependência das capacitâncias com a tensão do nó de saída. Para resolver a integral utilizamos uma capacitância equivalente (D.6).

$$E_{Din, 0 \rightarrow 1} = V_{DD} \sum_{i=1}^{N-1} \int_0^{t_s} i_{D,i}(t) dt = V_{DD} \sum_{i=1}^{N-1} \int_0^{V_{DD}} C_i(v_{out}) dv_{out} \quad (D.5)$$

$$E_{Din, 0 \rightarrow 1} = V_{DD} \sum_{i=1}^{N-1} \bar{C}_i \int_0^{V_{DD}} dv_{out} = V_{DD}^2 \sum_{i=1}^{N-1} \bar{C}_i \quad (D.6)$$

A somatória das capacitâncias nodais equivalentes é agrupada numa capacitância total equivalente.

$$E_{Din, 0 \rightarrow 1} = V_{DD}^2 \bar{C}_{Tot} \quad (D.7)$$

As capacitâncias parasitas são proporcionais às áreas dos transistores [24], conseqüentemente ao fator de *tapering*, podendo-se expressar a capacitância total em função da capacitância do primeiro nó, (D.9).

$$\bar{C}_{Tot} = \bar{C}_1 + \bar{C}_2 + \dots + \bar{C}_{N-1} = \bar{C}_1 (1 + u + u^2 + \dots + u^{N-1}) \quad (D.8)$$

$$\bar{C}_{Tot} = \bar{C}_1 \left(\frac{u^N - 1}{u - 1} \right) \quad (D.9)$$

Aplicando a definição do fator de *tapering*, acha-se uma relação importante entre a capacitância do último nó que conforma o *driver* e a capacitância de entrada do último inversor do comparador de corrente, (D.10) [36][39].

$$u^N = \left(\frac{\bar{C}_N}{\bar{C}_{in}} \right) \quad (D.10)$$

Substituindo (D.9) em (D.7) e multiplicando a energia pela frequência de funcionamento (f), obtemos o valor da potência dinâmica total do *driver*, sem esquecer-nos que a capacitância equivalente do primeiro nó também depende do fator de *tapering*.

$$P_{Din} = V_{DD}^2 \bar{C}_1(u) \left(\frac{u^N - 1}{u - 1} \right) f \quad (D.11)$$

A avaliação da capacitância equivalente foi realizada por simulações do circuito da Figura D.4 ($N = 1$), calculando-se a potência dinâmica como a integral da corrente entregue pelo transistor PMOS do comparador de corrente. Ajustou-se uma função linear em função do fator de *tapering* (u) (D.12). Os resultados são apresentados na Figura D.5 e na Tabela D.2.

$$C_1 = b + a \cdot u \quad (D.12)$$

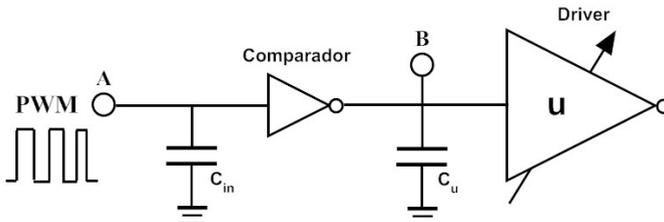


Figura D.4 – Circuito para avaliação de C_1 .

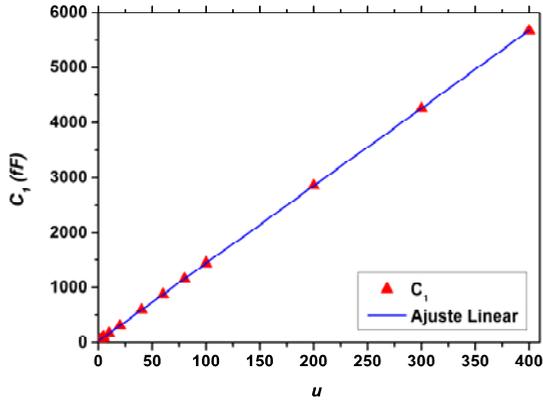


Figura D.5 – Ajuste da capacitância equivalente C_1 do *driver* de saída.

Tabela D.2 - Parâmetros ajustados da capacitância equivalente.

Parâmetros	\bar{C}_1
Coefficiente angular - a (fF)	14,11282
Coefficiente linear - b (fF)	28,53149
Coefficiente Correlação - ρ	0,999999

Como parâmetro secundário também se caracterizou o atraso introduzido pelo *driver*, ajustando funções lineares para o atraso de subida e descida, e utilizou-se (D.13) para estimar o atraso total do *driver* [36].

$$\tau_1(u) = a \cdot u + b \tag{D.13}$$

$$\tau_{tot} \approx N\tau_1 \tag{D.14}$$

Tabela D.3 – Parâmetros ajustados do atraso de subida e descida.

Parâmetros	Atraso subida	Atraso descida
Coefficiente angular - a (ns)	0,03263	0,05808
Coefficiente linear - b (ns)	0,35136	0,37124
Coefficiente Correlação - ρ	0,99998	0,99998

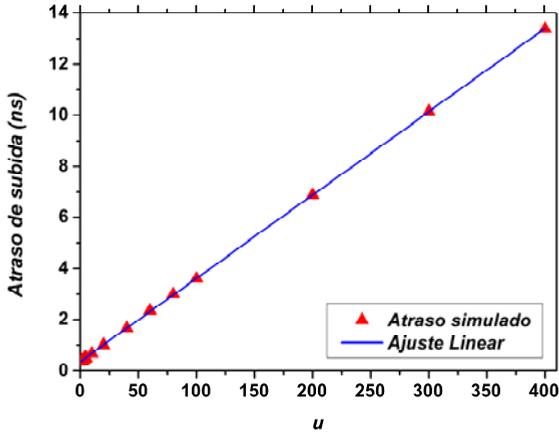


Figura D.6 – Ajuste linear do atraso de subida do *driver* de saída .

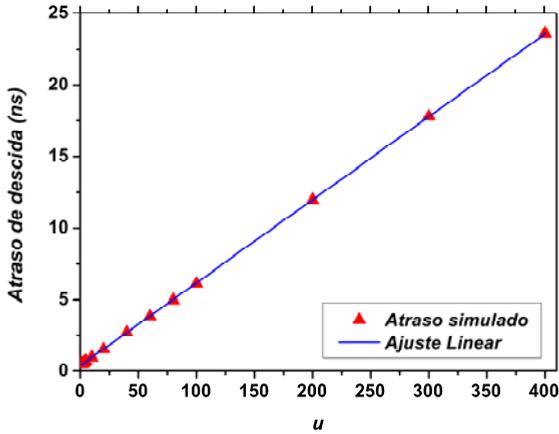


Figura D.7 – Ajuste linear do atraso de descida do *driver* de saída.

ANEXO 5

Malha Translinear

O princípio de funcionamento da malha translinear foi descrito por Barrie Gilbert em 1975 [40], na qual utilizou a relação exponencial entre a corrente e tensão do transistor BJT para implementar circuitos amplificadores e multiplicadores. Em nosso caso, é a relação exponencial do transistor MOSFET em inversão fraca o que nos permite utilizar este princípio. Como exemplo é analisado neste anexo a malha translinear utilizada para a geração da corrente triangular.

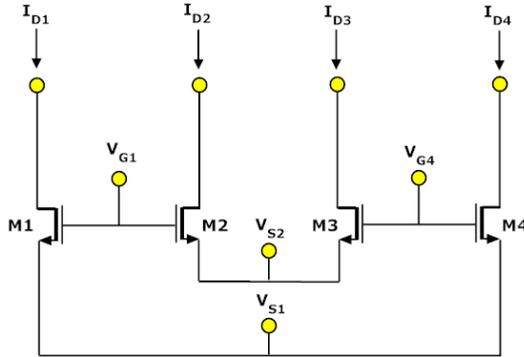


Figura E.1 – Transistores da malha translinear.

Aplicando a lei de malha de Kirchoff ao circuito da Figura E.1 obtém-se (E.1).

$$(V_{G2} - V_{S2}) + (V_{G4} - V_{S4}) = (V_{G1} - V_{S1}) + (V_{G3} - V_{S3}) \quad (E.1)$$

Com os transistores da malha translinear saturados e em inversão fraca a corrente do dreno depende das tensões da malha $V_{G1} = V_{G2}$, $V_{G4} = V_{G3}$, $V_{S1} = V_{S4}$ e $V_{S2} = V_{S3}$ [24].

$$I_D = K e^{\left(\frac{V_G - V_{Sn}}{n\phi_t}\right)} e^{-\frac{V_{T0}}{n\phi_t}}$$

$$K = 2 I_{SQN} S e^1$$

$$n \phi_t \ln \left(\frac{I_D}{K} \right) = -V_{T0} + V_G - V_S n \quad (\text{E.2})$$

Substituído (E.2) em (E.1) obtém-se a equação da malha translinear (E.3) em função das correntes e tensões de fonte.

$$\begin{aligned} n_1 \phi_t \ln \left(\frac{I_{D1}}{K_1} \right) + V_{T01} + V_{S1} (n_1 - 1) + n_3 \phi_t \ln \left(\frac{I_{D3}}{K_3} \right) + V_{T03} + V_{S2} (n_3 - 1) = \\ n_2 \phi_t \ln \left(\frac{I_{D2}}{K_2} \right) + V_{T02} + V_{S2} (n_2 - 1) + n_4 \phi_t \ln \left(\frac{I_{D4}}{K_4} \right) + V_{T04} + V_{S1} (n_4 - 1) \end{aligned} \quad (\text{E.3})$$

Considerando que todos os transistores têm a mesma tensão de limiar e seus fatores de inclinação cumprem a relação $n_1 = n_2$ e $n_3 = n_4$ por compartilharem a mesma tensão de porta, (E.3) reduz a (E.4).

$$\begin{aligned} n_1 \phi_t \ln \left(\frac{I_{D1}}{K_1} \right) + V_{S1} (n_1 - 1) + n_3 \phi_t \ln \left(\frac{I_{D3}}{K_3} \right) + V_{S2} (n_3 - 1) = \\ n_1 \phi_t \ln \left(\frac{I_{D2}}{K_2} \right) + V_{S2} (n_1 - 1) + n_3 \phi_t \ln \left(\frac{I_{D4}}{K_4} \right) + V_{S1} (n_3 - 1) \end{aligned} \quad (\text{E.4})$$

Se no projeto é mantida uma relação $V_{S1} = V_{S2}$, então chegamos a uma expressão entre as correntes dos quatro transistores que depende de suas relações de aspecto e do fator de inclinação, (E.5).

$$\left(\frac{I_{D1}}{S_1} \right)^{n_1} \left(\frac{I_{D3}}{S_3} \right)^{n_3} = \left(\frac{I_{D2}}{S_2} \right)^{n_1} \left(\frac{I_{D4}}{S_4} \right)^{n_3} \quad (\text{E.5})$$

Se no projeto V_{G1} é aproximadamente igual a V_{G2} , a dependência no fator de inclinação é desprezível, obtendo a relação multiplicativa entre os níveis de inversão dos transistores da malha translinear.

$$\left(\frac{I_{D1}}{S_1} \right) \left(\frac{I_{D3}}{S_3} \right) = \left(\frac{I_{D2}}{S_2} \right) \left(\frac{I_{D4}}{S_4} \right) \quad (\text{E.6})$$

$$i_{f1} i_{f3} = i_{f2} i_{f4} \quad (\text{E.7})$$

ANEXO 6

Modelo ACM

O modelo ACM do transistor MOSFET é um modelo compacto baseado na carga de inversão que descreve o comportamento do dispositivo em todas suas regiões de operação, sendo simétrico e consistente com a associação série – paralelo [24].

A corrente pelo dreno do transistor no modelo “canal longo” é descrita como a diferença entre a corrente direta (I_F) e a corrente reversa (I_R), ambas dependentes das tensões aplicadas aos terminais, parâmetros tecnológicos (PT) e dimensões do dispositivo (S).

$$I_D = I_F(V_G, V_S, V_B, S, PT) - I_R(V_G, V_D, V_B, S, PT) \quad (F.1)$$

A corrente direta e reversa podem ser descritas em função dos níveis de inversão direto (i_f) e reverso (i_r), sendo estes uma representação da carga de inversão normalizada em fonte e dreno do transistor. A obtenção dos níveis de inversão está representada na equação UICM.

$$I_F = I_{SQ} S i_f \quad e \quad I_R = I_{SQ} S i_r \quad (F.2)$$

$$I_{SQ} = \mu_n C'_{ox} n \frac{\phi_t^2}{2} \quad e \quad S = \frac{W}{L}$$

$$UICM : V_p - V_{s(d)} = \phi_t \left[\sqrt{1 + i_{f(r)}} - 2 + \ln \left(\sqrt{1 + i_{f(r)}} - 1 \right) \right] \quad (F.3)$$

Outras expressões importantes derivadas do modelo ACM são os parâmetros pequeno sinal (F.4) e (F.5), a tensão de saturação (F.6) e a frequência de transição do transistor (F.7)

$$g_{ms(d)} = \frac{2 I_{F(R)}}{\phi_t \left(\sqrt{1 + i_{f(r)}} + 1 \right)} \quad (F.4)$$

$$g_{mg} = \frac{g_{ms} - g_{md}}{n} \quad (F.5)$$

$$V_{DSsat} = \phi_t \left(\sqrt{1 + i_f} + 3 \right) \quad (F.6)$$

$$f_T = \frac{\mu\phi_t}{\pi L^2} \left(\sqrt{1 + i_f} - 1 \right) \quad (\text{F.7})$$

Para obter a corrente pelo dreno do dispositivo e necessário calcular os níveis de inversão, tarefa não trivial sendo a expressão da equação UICM uma função transcendental. Para resolver este problema é necessário apelar a outra função transcendental, a função de Lambert (W).

A função de Lambert é uma função elementarmente implícita, isto é, está definida de forma implícita usando funções elementares. Formalmente W é definida para qualquer z complexo como uma função que é a solução de uma das equações transcendentais mais simples que exista, a equação linear exponencial, representada por [41]:

$$W(z)e^{W(z)} = z \quad (\text{F.8})$$

No caso que o argumento seja real x e fazendo a mudança de variável $y = W(x)$, (F.6) pode ser expressa como:

$$x = y e^y \quad (\text{F.9})$$

Realizando as associações descritas em F.10 e F.11, consegue-se extrair da relação UICM o valor do nível de inversão em função das tensões e parâmetros tecnológicos.

$$\ln(x) = \frac{V_P - V_{S(D)}}{\phi_t} + 1 \quad (\text{F.10})$$

$$y = \sqrt{1 + i_{f(r)}} - 1 \quad (\text{F.11})$$

$$UICM \rightarrow \ln(x) = y + \ln(y) \quad (\text{F.12})$$

Trabalhando (F.12) e aplicando a definição da função de Lambert obtém-se o valor da variável y em função de x .

$$x = e^{y + \ln(y)} = e^y e^{\ln(y)} = y e^y$$

Substituindo as mudanças de variável realizadas anteriormente, obtém-se uma expressão da raiz do nível de inversão em função das tensões, eliminando o termo logarítmico.

$$\sqrt{i_{f(r)} + 1} - 1 = W \left(e^{\frac{V_P - V_{S(D)}}{\phi_t} + 1} \right) \quad (\text{F.13})$$

Elevando ao quadrado (F.13) e aplicando ela mesma ao resultado é que se consegue isolar completamente o nível de inversão, (F.14).

$$\begin{aligned}
 \left(\sqrt{i_{f(r)}+1}-1\right)^2 &= i_{f(r)}+1-2\sqrt{i_{f(r)}+1}+1=W^2\left(e^{\frac{V_p-V_{S(D)}}{\phi}}+1\right) \\
 i_{f(r)}-2\left(\sqrt{i_{f(r)}+1}-1\right) &= i_{f(r)}-2\cdot W\left(e^{\frac{V_p-V_{S(D)}}{\phi}}+1\right)=W^2\left(e^{\frac{V_p-V_{S(D)}}{\phi}}+1\right) \\
 i_{f(r)} &= 2\cdot W\left(e^{\frac{V_p-V_{S(D)}}{\phi}}+1\right)+W^2\left(e^{\frac{V_p-V_{S(D)}}{\phi}}+1\right) \quad (\text{F.14})
 \end{aligned}$$

Com a expressão F.14 pode-se calcular os níveis de inversão de um transistor CMOS dado um conjunto de tensões aplicado a seus quatro terminais para uma tecnologia específica.

Referências

- [1] DILLON, H. *Hearings aids*. 1. ed. Boomerang Press, 2001.
- [2] VAN DER ZEE, R. *High efficiency audio power amplifiers: design and practical use*. Enschede, 1999. Thesis (Doctoral Degree) - Integrated Circuits Design, Micro Electronics, Materials Engineering, Sensors and Actuators, University of Twente.
- [3] ROGERS, J.W.M.; PLETT C. *Radio frequency integrated circuit design*. Artech House Publisher, 2003.
- [4] Lee T.H. *The design of CMOS radio-frequency integrated circuits*. Cambridge University Press, 2004.
- [5] MUGGLER, P.; CHEN, W.; JONES, C. et al. A filter free class D audio amplifier with 86% power efficiency. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (May 2004: Vancouver). *Proceedings*. Vancouver, 2004, vol. 1, pp. I-1036–I-1039.
- [6] AXHOLT, A.; ORDSSON, F.; PETERSSON, T. et al. A 0.25W fully integrated class D audio power amplifier in 0.35 μm CMOS. In: NOR-CHIP (Nov. 2007: Aalborg). *Proceedings*. Aalborg, 2007, pp. 1-4.
- [7] ROJAS-GONZALEZ, M.A.; SANCHEZ-SINENCIO, E. Design of Class D audio amplifier IC using sliding mode control and negative feedback. *IEEE Transactions on Consumer Electronics*, vol. 53, no. 2, pp. 609-617, 2007.
- [8] ZHANGMING, Z.; LIANXI, L.; YINTANG, Y. et al. A high efficiency PWM CMOS class-D audio power amplifier. *Journal of semiconductors*, vol. 30, no. 2, 2009.
- [9] GE, T.; TAN, M.T.; CHANG J.S. Design and analysis of micropower low-voltage bang-bang control class D amplifier. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (May 2005: Kobe). *Proceedings*. Kobe, 2005, vol. 1, pp. 224–227.
- [10] SERRA-GRAELLS, F.; RUEDA, A.; HUERTAS, J.L. *Low-voltage CMOS log companding analog design*. Springer, 2003.
- [11] SCHNEIDER, M.C.; GALUP-MONTORO, C. *CMOS analog design using all-region MOSFET modeling*. 1. ed. Cambridge University Press, 2010.
- [12] CARREIRA, J.P.A.; FRANCA J.E. High-speed CMOS current comparators. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND

- SYSTEMS (May 1994: London). *Proceedings*. London, 1994, vol. 5, pp. 731–734.
- [13] TRAFF H. Novel approach to high speed CMOS current comparators. *Electronics Letters*, vol. 28, no. 3, January 1992.
- [14] TANG, A.T.K.; TOUMAZOU, C. High performance CMOS current comparator. *Electronics Letters*, vol. 30, no. 1, pp. 5-6, January 1994.
- [15] RAVEZZI, L.; STOPPA, D.; DALLA BETTA, G.F. Simple high-speed CMOS current comparator. *Electronics Letters*, vol. 33, no. 22, pp. 1829-1830, 1997.
- [16] MIN, B.M.; KIM, S.W. High performance CMOS current comparator using resistive feedback network. *Electronics Letters*, vol. 34, no. 22, pp. 2074-2076, 1998.
- [17] LIN, H.; HUANG, J.H.; WONG S.C. A simple high-speed low current comparator. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (May 2000: Geneva). *Proceedings*. Geneva, 2000, vol. 2, pp. 713–716.
- [18] KASEMSUWAN, V.; KHUCHAROENSIN, S. High-speed low input impedance CMOS current comparator. *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*. vol. 88, no. 6, pp. 1549-1553, 2005.
- [19] BANKS, D.; TOUMAZOU, C. Low power high-speed current comparator design. *Electronics Letters*, vol. 44, no. 3, pp. 171-172, 2008.
- [20] MOOLPHO, K.; NGARMNIL, J.; SITJONGSATAPORN, S. A high speed low input current low voltage CMOS current comparator. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (May 2003: Island of Kos). *Proceedings*. Island of Kos, 2003, vol. 1, pp. I-433 - I-436.
- [21] PELGROM, M.J.M.; DUINMAIJER, A.C.J.; WELBERS, A.P.G. Matching properties of CMOS transistors. *IEEE Journal of Solid State Circuits*, vol. 24, no. 5, pp. 1433-1440, Oct. 1989.
- [22] AUSTRIAMICROSYSTEMS. *Mentor design hit-kit v3.70 for AMS 0.35 process c35b4c3*. Monte Carlo technological parameters archive.
- [23] MINCH, B.A. MOS translinear principle for all inversion levels. *IEEE Transactions on Circuits and Systems-II: Express Briefs*, vol. 55, no. 2, pp. 121-125, February 2008.

-
- [24] GALUP-MONTORO, C.; SCHNEIDER, M.C. *MOSFET modeling for circuit analysis and design*. 1. ed. World Scientific Publication, 2007.
- [25] AGUIRRE, P.; SILVEIRA, F. Bias circuit design for low-voltage cascode transistors. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN (August 2006: Ouro Preto). *Proceedings*. Ouro Preto, 2006, pp. 94 - 98.
- [26] RADIN, R.L. *Modelagem da tensão de Early em transistores MOS nos regimes de inversão fraca e moderada*. Florianópolis, Novembro, 2007. Dissertação (Mestrado em Engenharia Elétrica) – Laboratório de Circuitos Integrados, Departamento de Engenharia Elétrica, Universidade Federal de Santa Catarina.
- [27] CHANDRAKASAN, A.P.; BRODERSEN, R.W. *Low power digital CMOS design*. Kluwer Academic Publishers, 1995.
- [28] RABAEY, J.M.; CHANDRAKASAN, A.; NIKOLIC, B. *Digital integrated circuits: a design perspective*. Prentice hall electronics and VLSI series, 1996.
- [29] VEENDRICK, H.J.M. Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits. *IEEE Journal of Solid-State Circuits*, vol.19, no. 4, pp. 468-473, Aug 1984.
- [30] PALMER, R. Design considerations for class-D audio power amplifiers. Texas Instruments application notes - SLOA031, 1999. Disponível em: <<http://focus.ti.com.cn/cn/lit/an/sloa031/sloa031.pdf>>. Acesso em: 26 julho 2009.
- [31] LOPRESTI, J.L. *Electrical Analogs for Knowles Electronics, LLC. Transducers v.8.0*. Knowles Electronics, Inc.
- [32] KNOWLES ELECTRONICS. *BK Series Receivers Datasheet*. Disponível em: <http://www.knowles.com/search/family.do?_id=BK&x_sub_cat_id=9>. Acesso em: 16 julho 2009.
- [33] AUSTRIAMICROSYSTEMS. *ENG 182 rev5 AMS. CMOS C35 Process Parameters*. Document Number: ENG – 182. Company confidential.
- [34] SAINT, C.; SAINT, J. *IC mask design*. 1. ed. McGraw-Hill Professional Engineering, 2002.
- [35] TAN, M.T.; CHANG, J.S.; CHUA, H.C. et al. An investigation into the parameters affecting total harmonic distortion in low-voltage low-power class-D amplifiers. *IEEE Transactions on Circuits and Sys-*

- tems-I: Fundamental Theory and Applications*, vol. 50, no. 10, pp. 1304-1315, 2003.
- [36] SANCHEZ-SINENCIO, E.; ANDREOU, A.G. *Low voltage/low voltage integrated circuits and systems*. IEEE Press Series on Microelectronics Systems, 2006.
- [37] KIBARIAN, J.K.; STROJWAS, A.J. Using spatial information to analyze correlations between test structure data. In: INTERNATIONAL CONFERENCE ON MICROELECTRONICS TECHNOLOGY AND DEVICES (March 1990: San Diego). *Proceedings*. San Diego, 1990, pp. 187 - 191.
- [38] CUNHA, A.I.A.; SCHNEIDER, M.C.; GALUP-MONTORO, C. et al. Unambiguous extraction of threshold voltage based on the ACM model. *19h Symposium on Microelectronics Technology and Devices, SBMICRO 2004*, Pernambuco, Brazil, Sep 2004.
- [39] CHOI, J.S; LEE, K. Design of CMOS tapered buffer for minimum power-delay product. *IEEE Journal of Solid-State Circuits*, vol.29, no.9, pp.1142-1145, Sep 1994.
- [40] GILBERT, B. Translinear circuit: A proposed classification. *Electronics Letters*, vol. 11, pp. 14-16, 1975.
- [41] GARCIA SANCHEZ, F.J.; ORTIZ-CONDE, A.; MALOBABIC, S. Aplicaciones de la función de Lambert en electrónica. *UCT*, vol. 10, no.40, pp. 235-243, Sep. 2006.