

GIERRI WALTRICH

**ESTUDO E IMPLEMENTAÇÃO DE UM INVERSOR
MULTINÍVEL TRIFÁSICO EM CASCATA EMPREGANDO
SUB-CÉLULAS DE COMUTAÇÃO**

Florianópolis – SC

2009

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA**

**ESTUDO E IMPLEMENTAÇÃO DE UM INVERSOR
MULTINÍVEL TRIFÁSICO EM CASCATA
EMPREGANDO SUB-CÉLULAS DE COMUTAÇÃO**

Dissertação submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a
obtenção do grau de Mestre em Engenharia Elétrica.

GIERRI WALTRICH

Florianópolis, Março de 2009

ESTUDO E IMPLEMENTAÇÃO DE UM INVERSOR MULTINÍVEL TRIFÁSICO EM CASCATA EMPREGANDO SUB-CÉLULAS DE COMUTAÇÃO

Gierry Waltrich

‘Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em Eletrônica de Potência e Acionamento Elétrico, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’



Prof. Ivo Barbi, Dr. Ing.

Orientador



Prof.ª Kátia Campos de Almeida, Ph.D.

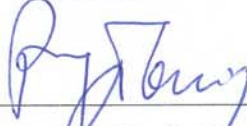
Coordenadora do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

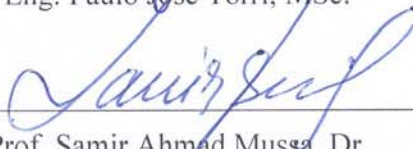


Prof. Ivo Barbi, Dr. Ing.

Presidente



Eng. Paulo Jose Torri, MSc.



Prof. Samir Ahmad Mussa, Dr.



Prof. Marcelo Lobo Heldwein, Dr. Sc.

*À minha mãe,
Darci Maria Waltrich*

“A mente que se abre a uma nova ideia, jamais voltará ao seu tamanho original”

Albert Einstein

AGRADECIMENTOS

À minha família pelo apoio e incentivo, em especial à minha mãe, Darci Maria Waltrich, por ter me guiado, incentivado e colaborado na minha formação e aos meus irmãos: Maicon Waltrich e Paulo José Waltrich pelos conselhos e amizade.

Ao professor Ivo Barbi, pela orientação, experiência e conhecimentos transmitidos sempre de forma adequada e eficaz.

À minha namorada, Andreia Sebold, que sempre esteve ao meu lado nos momentos mais difíceis, sendo sempre paciente e amável.

Aos meus colegas de trabalho do INEP, em especial a minha turma de mestrado: Gláucio Roberto Tesmer Hax, Gustavo Ceretta Flores, Rodrigo da Silva, Tiago Kommers Jappe, Mateus Costa Maccarini, Gabriel Tibola, Roberto Francisco Coelho, Josué Dias, Bruno Scortegagna Dupczak e Roniere Henrique de Oliveira por todo o apoio e companheirismo.

A todos os professores do Instituto de Eletrônica de Potência da Universidade Federal de Santa Catarina: Arnaldo José Perin, Ênio Valmor Kassick, Hari Bruno Mohr, Denizar Cruz Martins, João Carlos dos Santos Fagundes e Samir Ahmad Mussa.

Aos membros da banca examinadora: Eng. Paulo Jose Torri, Prof. Samir Ahmad Mussa e Prof. Marcelo Lobo Heldwein, que contribuíram na correção deste trabalho.

Aos técnicos, funcionários e estagiários do INEP: Antônio Luiz S. Pacheco, Luiz Marcellus Coelho, Regina Maura Gonçalves Marcusso, Fernando Lopes e Filipe Fontanella.

A todos que, de uma forma ou de outra, direta ou indiretamente, contribuíram para a realização deste trabalho.

Ao povo brasileiro, que através da CAPES e da UFSC, contribuíram financeiramente na realização deste trabalho.

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

ESTUDO E IMPLEMENTAÇÃO DE UM INVERSOR MULTINÍVEL TRIFÁSICO EM CASCATA EMPREGANDO SUB-CÉLULAS DE COMUTAÇÃO

Gierry Waltrich

Março/ 2009

Orientador: Prof. Ivo Barbi, Dr. Ing.

Área de Concentração: Eletrônica de Potência e Acionamento Elétrico.

Palavras-chave: Cascata, inversor, multinível, trifásico.

Número de páginas: 136

RESUMO: Neste trabalho é proposto o estudo e implementação de um inversor multiníveis trifásico modular de 15kW, com nove níveis na tensão de linha na carga, para aplicação em acionamentos de máquinas elétricas. Este conversor é similar ao inversor de tensão ponte-completa em cascata (*Cascaded H-bridge inverter*), porém com uma diferença significativa: são empregadas sub-células com apenas um braço inversor. Esta modificação altera o comportamento do inversor sendo necessária uma análise mais detalhada principalmente no que diz respeito ao valor da tensão média na fase quando empregado na versão trifásica. O desenvolvimento da equação na tensão de carga, considerando a presença das harmônicas, é realizada inicialmente para os inversores monofásicos 3 e 5 níveis, sendo posteriormente utilizada a mesma técnica para encontrar a equação na versão trifásica n níveis. As expressões obtidas nestas análises foram baseadas na modulação PWM senoidal com defasamento entre as portadoras. Por fim, são apresentadas as metodologias empregadas na construção do protótipo e técnicas utilizadas para aperfeiçoar o desempenho do inversor durante o funcionamento. Obtidos os resultados experimentais das principais formas de onda, estes são comparados aos resultados teóricos para confirmar os estudos realizados durante o trabalho. Serão empregadas técnicas de controle em malha aberta, pois o estudo será focado nas características estruturais da topologia proposta.

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

STUDY AND IMPLEMENTATION OF A THREE-PHASE CASCADE MULTILEVEL INVERTER USING COMMUTATION SUB-CELLS

Gierry Waltrich

March 2009

Advisor: Prof. Ivo Barbi, Dr. Ing.

Area of Concentration: Power Electronics and Electrical Drivers.

Keywords: Cascade, inverter, multilevel, three-phase.

Number of pages: 136

ABSTRACT: The study and implementation of a 15kW three-phase multilevel inverter with nine voltage levels in the line-to-line output voltage is proposed. Unlike the Cascaded H-bridge inverter, this topology uses commutation sub-cells connected in cascade with only one inverter leg. Thus, a detailed analysis of the structure is necessary, mainly with respect to the average dc voltage at phase-to-neutral voltage. The equation of output voltage, which includes harmonics, was initially obtained for single-phase inverters with 3 and 5 voltage levels, and the same technique was used to find an equation for a three-phase inverter proposed for generic n levels. The expressions obtained in all of the analyses were based on phase-shifted PWM (Pulse Width Modulation). A prototype construction method and techniques to improve the inverter performance are presented. Experimental results were compared with the theoretical results in order to verify them. Only open-loop control was used, since this work aimed in analyzing the power stage of the proposed converter.

SUMÁRIO

LISTA DE FIGURAS.....	xi
LISTA DE TABELAS.....	xvi
SIMBOLOGIA.....	xvii
INTRODUÇÃO GERAL.....	1
1 UMA BREVE REVISÃO DOS CONVERSORES MULTINÍVEIS.....	5
1.1 Introdução.....	5
1.2 Inversor de tensão com diodo de grampeamento	7
1.3 Inversor de tensão ponte completa em cascata.....	13
1.4 Inversor multinível com fonte de tensão flutuante	17
1.5 Conclusão	22
2 INVERSOR MULTINÍVEL PROPOSTO	24
2.1 Introdução.....	24
2.2 Estrutura clássica dos inversores três níveis monofásico	24
2.2.1 Etapas de operação	25
2.3 Inversor de tensão três níveis proposto	28
2.3.1 Etapas de operação	29
2.4 Inversor de tensão cinco níveis proposto.....	31
2.4.1 Etapas de operação	33
2.5 Estrutura trifásica do inversor multinível proposto	38
2.6 Análise do valor médio na tensão de fase da versão trifásica do inversor multinível proposto	40
2.7 Conclusão	45
3 TÉCNICA DE MODULAÇÃO EMPREGADA NO INVERSOR MULTINÍVEL PROPOSTO.....	47
3.1 Introdução.....	47

3.2	Análise da modulação por largura de pulso pela variação da razão cíclica	48
3.2.1	Modulação PWM senoidal para o inversor meia-ponte	48
3.2.2	Modulação PWM senoidal três níveis para o inversor em ponte completa.....	56
3.2.3	Modulação PWM senoidal para o inversor de tensão cinco níveis proposto	58
3.2.4	Modulação PWM senoidal da versão trifásica do inversor proposto	64
3.2.5	Análise da tensão na carga.....	68
3.3	Conclusão	73
4	PROJETO DO ESTÁGIO DE POTÊNCIA	74
4.1	Introdução.....	74
4.2	Cálculo dos esforços nos interruptores.....	74
4.3	Cálculo dos esforços nos diodos anti-paralelo	79
4.4	Cálculo da corrente drenada da fonte de tensão contínua isolada	81
4.5	Representação gráfica dos esforços nos componentes do inversor	82
4.6	Projeto do estágio de potência	85
4.6.1	Grandezas gerais.....	86
4.6.2	Especificação do interruptor de potência.....	88
4.6.3	Especificação do retificador trifásico de onda completa a diodo	92
4.6.4	Especificação do capacitor na saída da ponte retificadora	93
4.6.5	Especificação do transformador das fontes isoladas	94
4.6.6	Especificação do circuito de proteção	95
4.6.7	Cálculo das perdas	96
4.6.8	Cálculo dos dissipadores	97
4.6.9	Cálculo da eficiência do inversor multinível.....	99
4.7	Simulação numérica	99
4.8	Conclusão	106
5	PROTÓTIPO IMPLEMENTADO E RESULTADOS EXPERIMENTAIS.....	107
5.1	Introdução.....	107
5.2	Estrutura do protótipo.....	107
5.3	Obtenção da fonte de tensão contínua isolada.....	109
5.4	Circuito de acionamento e proteção do sistema	110
5.5	Circuitos auxiliares	111
5.5.1	Fonte auxiliar.....	111

5.5.2	Placa dos pulsos de comando	112
5.5.3	Placa dos drivers de comando dos interruptores	115
5.6	Estrutura final do protótipo implementado.....	117
5.7	Resultados experimentais	119
5.8	Comparação entre o inversor multinível proposto e o <i>Cascade H-bridge inverter</i>	129
5.9	Conclusão	130
	CONCLUSÃO GERAL.....	131
	REFERÊNCIAS BIBLIOGRÁFICAS.....	134

LISTA DE FIGURAS

Figura 1.1 – Tensão e corrente dos semicondutores de alta potência. Fonte [7].....	5
Figura 1.2 - Tensão de bloqueio e corrente de condução dos semicondutores utilizados na eletrônica de potência.	6
Figura 1.3 – a) Associação em série dos semicondutores; b) Método utilizado para equalização da tensão nos interruptores.	7
Figura 1.4 - Inversor de tensão NPC 3 níveis.....	8
Figura 1.5 – Forma de onda da tensão na carga.	9
Figura 1.6 - Comandos dos interruptores do inversor NPC 3 níveis.....	9
Figura 1.7 – Tempo morto no comando dos interruptores.	10
Figura 1.8 - Inversor de tensão DC 5 níveis.....	10
Figura 1.9 - Tensão na carga do conversor DC 5 níveis.	11
Figura 1.10 - Inversor de tensão trifásico NPC.	12
Figura 1.11 – Inversor de tensão NPC com alimentação utilizando um retificador de 12 pulsos.....	12
Figura 1.12 – Célula H do inversor CHB.	13
Figura 1.13 - Inversor de tensão CHB trifásico 3 níveis.	14
Figura 1.14 – Uma fase dos inversores multiníveis CHB: a) 5 níveis e b) 7 níveis.....	15
Figura 1.15 – Fase do inversor de tensão CHB assimétrico. a) 7 níveis e b) 9 níveis.....	16
Figura 1.16 - Inversor de tensão trifásico CHB 5 níveis, alimentado por um retificador de 12 pulsos.....	16
Figura 1.17 - Inversor de tensão com fontes flutuantes 3 níveis.	18
Figura 1.18 - Inversor de tensão FC 4 níveis.....	19
Figura 1.19 – Conversor buck 4 níveis.....	21
Figura 1.20 – Inversor de tensão com fontes de tensão flutuantes 4 níveis trifásico.	21
Figura 2.1 - Inversor de tensão clássico.	25
Figura 2.2 - Primeira etapa do inversor de tensão clássico.	25
Figura 2.3 - Segunda etapa do inversor de tensão clássico. a) S_1 bloqueado; b) S_4 bloqueado.	26
Figura 2.4 - Terceira etapa do inversor de tensão clássico.....	26
Figura 2.5 – Quarta etapa do inversor de tensão clássico. a) S_2 bloqueado; b) S_3 bloqueado.	27
Figura 2.6 – Formas de onda de tensão na carga do inversor monofásico clássico.	27
Figura 2.7 – Inversor de tensão meia ponte.....	28
Figura 2.8 – Inversor de tensão três níveis proposto.	28
Figura 2.9 - Primeira etapa do inversor de tensão três níveis proposto.....	29

Figura 2.10 – Segunda etapa do inversor de tensão três níveis proposto. a) S_1 bloqueado; b) S_4 bloqueado.	29
Figura 2.11 - Terceira etapa do inversor de tensão três níveis.	30
Figura 2.12 - Quarta etapa do inversor de tensão três níveis. a) S_2 bloqueado; b) S_3 bloqueado.	30
Figura 2.13 - Simulação do inversor de tensão três níveis.	31
Figura 2.14 – Topologia do inversor de tensão cinco níveis proposto.	32
Figura 2.15 - Primeira etapa de operação.	33
Figura 2.16 – Segunda etapa de operação.	33
Figura 2.17 – Terceira etapa de operação.	34
Figura 2.18 – Quarta etapa de operação.	34
Figura 2.19 – Quinta etapa de operação.	35
Figura 2.20 – Sexta etapa de operação.	35
Figura 2.21 – Sétima etapa de operação.	35
Figura 2.22 – Oitava etapa de operação.	36
Figura 2.23 – Nona etapa de operação.	36
Figura 2.24 – Décima etapa de operação.	36
Figura 2.25 – Tensão e corrente na carga e comando dos interruptores S_1, S_3, S_5 e S_7	37
Figura 2.26 - Inversor multinível com n sub-células de comutação em cascata.	38
Figura 2.27 – a) Sub-célula de comutação; b) Célula de comutação	39
Figura 2.28 – Células de comutação em cascata de uma fase do inversor.	40
Figura 2.29 – Inversor multinível proposto com carga ligada em estrela.	41
Figura 2.30 - Representação simplificada do inversor proposto.	42
Figura 2.31 – Duas sub-células do inversor multinível proposto em cascata.	44
Figura 2.32 - Inversor multinível proposto sem componente contínua na tensão na fase.	45
Figura 3.1- Modulação PWM senoidal em um conversor meia ponte.	48
Figura 3.2 - Comparação entre uma moduladora e uma portadora triangular.	49
Figura 3.3 – Representação gráfica da equação (3.26) realizada através do <i>Mathcad</i>	53
Figura 3.4 - Espectro harmônico da tensão $v_{an}(t)$	53
Figura 3.5 - Simulação realizada no <i>PSIM</i> . a) Tensão $v_{an}(t)$; b) Espectro harmônico de $v_{an}(t)$	55
Figura 3.6 – Representação gráfica da equação (3.27) realizada no <i>Mathcad</i> . a) Tensão $v_{az}(t)$; b) Espectro harmônico de $v_{az}(t)$	55
Figura 3.7 - Simulação realizada no <i>PSIM</i> . a) Tensão $v_{az}(t)$; b) Espectro harmônico de $v_{az}(t)$	56
Figura 3.8 - Modulação PWM senoidal empregada no inversor de tensão ponte completa.	56
Figura 3.9 - Representação gráfica da equação (3.32) realizada no <i>Mathcad</i> . a) Tensão na carga $v_{ab}(t)$; b) Espectro harmônico de $v_{ab}(t)$	57

Figura 3.10 - Simulação do inversor de tensão ponte completa realizada no <i>PSIM</i> . a) Tensão na carga $v_{ab}(t)$; b) Espectro harmônico de $v_{ab}(t)$.	58
Figura 3.11 – Modulação PWM para o inversor de tensão cinco níveis proposto.	58
Figura 3.12 – Taxa da distorção harmônica (%) em função do ângulo de defasagem “ α ” (°).	61
Figura 3.13 - Forma de onda da tensão na carga $v_{ab}(t)$, simulado no <i>Mathcad</i> .	62
Figura 3.14 – Espectro harmônico da tensão na carga $v_{ab}(t)$, simulado no <i>Mathcad</i> .	62
Figura 3.15 - Forma de onda da tensão na carga $v_{ab}(t)$, simulado no <i>PSIM</i> .	63
Figura 3.16 - Espectro harmônico da tensão na carga $v_{ab}(t)$, simulado no <i>PSIM</i> .	63
Figura 3.17 - Moduladora e portadora utilizada na simulação.	64
Figura 3.18 – Inversor multinível trifásico proposto com 4 sub-células em cascata.	65
Figura 3.19 - Formas de onda do inversor multinível proposto com cinco níveis na tensão de fase ($N_c=2, f_o=60\text{Hz}, f_c=180\text{Hz}$ e $M=0.8$).	66
Figura 3.20 - Esquemático simplificado da modulação empregada.	68
Figura 3.21 - Tensão de fase (v_{AN}) gerada pela equação (3.53).	71
Figura 3.22 - Tensão de linha (v_{AB}) gerada a partir da equação (3.54).	71
Figura 3.23 - Espectro harmônico da tensão de linha.	71
Figura 3.24 - Tensão de fase (v_{AN}) simulada no software <i>PSIM</i> .	72
Figura 3.25 - Tensão de linha (v_{AB}) simulada no software <i>PSIM</i> .	72
Figura 3.26 - Espectro harmônico da tensão de linha simulado no <i>PSIM</i> .	72
Figura 4.1 - Forma de onda da razão cíclica.	75
Figura 4.2 - Formas de onda no comando do interruptor (v_{c_Sal}), corrente (i_{AN}) e tensão fundamental (v_{AN_fund}) na fase , e corrente no interruptor (i_{Sal}).	76
Figura 4.3 - Formas de onda no comando do interruptor (v_{c_Sal}), corrente (i_{AN}) e tensão fundamental (v_{AN_fund}) na fase , e corrente no diodo anti-paralelo (i_{Dap}).	80
Figura 4.4 - Formas de onda no comando do interruptor (v_{c_Sal}), corrente (i_{AN}) e tensão fundamental (v_{AN_fund}) na fase, e corrente drenada de cada fonte de tensão isolada (i_{Vdc}).	82
Figura 4.5 - Corrente média no interruptor parametrizada (equação (4.12)).	83
Figura 4.6 - Corrente eficaz no interruptor parametrizada (equação (4.22)).	83
Figura 4.7 - Corrente média no diodo anti-paralelo parametrizada (equação (4.26)).	84
Figura 4.8 - Corrente eficaz no diodo anti-paralelo parametrizada (equação (4.29)).	84
Figura 4.9 - Corrente média drenada da fonte de tensão contínua isolada parametrizada (equação (4.33)).	85
Figura 4.10 - IGBT da Semikron utilizado no protótipo.	90
Figura 4.11 - a) <i>Driver</i> de comando do IGBT; b) Fonte de alimentação do <i>driver</i> .	91
Figura 4.12 - Gráfico utilizado na determinação de $V_{\text{threshold}}$.	91
Figura 4.13 - Gráficos utilizados na obtenção do resistor de <i>gate</i> .	92
Figura 4.14 - Ponte retificadora trifásica de onda completa da Semikron.	93
Figura 4.15 - Metodologia empregada para encontra a resistência térmica (R_{thda}) para o modulo inversor.	98

Figura 4.16 – Circuito do inversor multinível utilizado na simulação.....	100
Figura 4.17 - Circuito de comando dos interruptores.....	101
Figura 4.18 – Tensão da fonte isolada (V_{DC}) e corrente drenada da rede (i_{in}) na partida de uma fase.....	102
Figura 4.19 - Tensão de linha na carga ($v_{AB}(t)$) com 9 níveis, tensão de fase ($v_{AN}(t)$) com 5 níveis e corrente de carga de uma fase ($i_{AB}(t)$).	102
Figura 4.20 – Espectro harmônico da tensão de linha na carga.	103
Figura 4.21 – Corrente no interruptor S_{a1} , no diodo antiparalelo (I_{Dap1}), drenada da fonte V_{DC} e tensão sobre o interruptor S_{a1}	104
Figura 4.22 – Tensão sobre os terminais dos interruptores das sub-células inversoras de uma fase do inversor multinível.	104
Figura 4.23 - Potência na entrada (P_{in}) e na saída (P_o) do inversor.	105
Figura 5.1 - Inversor multinível proposto com 9 níveis na tensão de linha na carga $v_{AB}(t)$ e 5 níveis na tensão de fase $v_{AN}(t)$	108
Figura 5.2 - <i>Cascaded H-bridge inverter</i> com 9 níveis na tensão de linha na carga $v_{AB}(t)$ e 5 níveis na tensão de fase $v_{AN}(t)$	108
Figura 5.3 - Retificador trifásico doze pulsos.....	109
Figura 5.4 - Circuito de acionamento, proteção e controle do sistema.	110
Figura 5.5 – Esquemático da fonte auxiliar.....	111
Figura 5.6 - Esquemático da porta lógica NAND SN7407.	113
Figura 5.7 – Esquemático da placa dos pulsos de comando.....	114
Figura 5.8 – Esquemático da placa dos <i>drivers</i> de comando dos interruptores.....	116
Figura 5.9 – Esquemático do módulo inversor.....	118
Figura 5.10 - Inversor multinível implementado.....	119
Figura 5.11 – Módulo inversor de 7,5kW implementado, sem a presença dos transformadores.	120
Figura 5.12 - Protótipo do inversor multinível 15kW com nove níveis de tensão na carga. Nesta figura observa-se a presença dos transformadores (1), células inversoras e pontes retificadoras sobre os dissipadores (2), capacitores dos barramentos das fontes de tensão contínua (3), circuito de <i>drivers</i> dos IGBTs (4), circuito dos pulsos de comando (5), fonte auxiliar (6), circuito de acionamento (7) e na linha tracejada um módulo inversor (8) descrito no item 5.6.	121
Figura 5.13 – Indutores e resistores de carga.	122
Figura 5.14 - Tensão no barramento de tensão contínua (V_{DC}) e corrente drenada da rede (i_{in}) na partida.	122
Figura 5.15 – Corrente drenada da rede.	123
Figura 5.16 – Espectro harmônico da corrente drenada da rede.	123
Figura 5.17 - Tensão de linha na entrada (V_{in}) e corrente de fase da entrada (i_{in}).....	124
Figura 5.18 – Tensão (V_{AN}) e corrente (i_{AN}) na fase.....	124
Figura 5.19 - Tensão de linha (V_{AB}) e corrente (i_{AB}) na carga.	125
Figura 5.20 – Espectro harmônico da tensão de linha na carga (V_{AB}).	125

Figura 5.21 – Corrente nas três fases da carga.	126
Figura 5.22 - Tensão e corrente no interruptor	126
Figura 5.23 - Tensão (V_{DC}) e corrente (i_{DC}) no barramento da fonte de tensão contínua..	127
Figura 5.24 – Ondulação da tensão de barramento V_{DC}	127
Figura 5.25 – Corrente na entrada e nas duas saídas (Δ e Y) dos transformadores dos barramentos das fontes de tensão contínua.....	128

LISTA DE TABELAS

Tabela 1.1 – Características dos interruptores. Fonte [7].	6
Tabela 1.2 – Comandos dos interruptores do NPC 3 níveis.	9
Tabela 1.3 – Quantidade de componentes utilizados nos inversores DC multiníveis trifásicos.	13
Tabela 1.4 – Comando dos interruptores para a estrutura FC 3 níveis.	18
Tabela 1.5 - Comando dos interruptores para a estrutura FC 4 níveis.	19
Tabela 1.6 - Principais características da estrutura FC.	20
Tabela 1.7 – Número de componentes das três topologias estudadas.	23
Tabela 2.1 – Combinações necessárias para a obtenção dos níveis de tensão na carga para inversor monofásico clássico 3 níveis.	27
Tabela 2.2 - Possíveis comandos dos interruptores.	32
Tabela 3.1-Parâmetros utilizados na simulação da equação da tensão sobre o interruptor.	53
Tabela 3.2 - Defasagem das portadoras e moduladoras dos braços inversores.	59
Tabela 4.1 – Especificação do protótipo.	85
Tabela 4.2 - Principais características do interruptor escolhido.	90
Tabela 4.3 – Especificação dos <i>drivers</i> de comando dos interruptores.	90
Tabela 4.4 - Principais características da ponte retificadora trifásica de onda completa escolhida.	93
Tabela 4.5 – Especificação do transformador.	95
Tabela 4.6 - Especificação do circuito de comando.	96
Tabela 4.7 - Principais características do dissipador empregado no protótipo.	99
Tabela 4.8 - Comparação entre os valores teóricos com os obtidos na simulação.	106
Tabela 5.1 – Comparação entre os valores teóricos, simulados e experimentais.	128
Tabela 5.2 - Comparação entre o inversor proposto e o <i>cascaded H-bridge inverter</i> .	129

SIMBOLOGIA

Símbolos adotados nos equacionamentos

Símbolo	Significado	Unidade
n_L	Número de níveis na tensão de linha na carga.	-
n_F	Número de níveis na tensão de fase.	-
$v_{AB}(t)$	Tensão de linha instantânea na carga.	V
$v_{AN}(t)$	Tensão de fase instantânea.	V
N_c	Número de células de comutação em cascata de uma fase.	-
V_{DC}	Fonte de tensão contínua isolada.	V
$v_n(t)$	Tensão instantânea nos terminais do interruptor superior da n-ésima sub-célula, desconsiderando as harmônicas.	V
$v_n'(t)$	Tensão instantânea nos terminais do interruptor inferior da n-ésima sub-célula, desconsiderando as harmônicas.	V
$v_C(t)$	Tensão instantânea de uma célula de comutação.	V
$d(t)$	Razão cíclica instantânea.	-
M	Índice de modulação.	-
θ_o	Defasagem da moduladora.	rad
ω_o	Frequência angular da moduladora.	rad/s
f_o	Frequência da moduladora.	Hz
θ_c	Defasagem da portadora triangular.	rad
ω_c	Frequência angular da portadora triangular.	rad/s
f_c	Frequência da portadora.	Hz
v_{crn}	Portadora triangular da n-ésima sub-célula.	V
J_n	Função de Bessel de ordem n .	-
V_{pAN}	Valor máximo da tensão de fase.	V
V_{pAB}	Valor máximo da tensão de linha.	V
V_{efAN}	Valor eficaz da tensão de fase.	V
V_{efAB}	Valor eficaz da tensão de linha.	V
δ	Defasagem entre as saídas dos transformadores.	rad
R_o	Resistência na carga por fase.	Ω
L_o	Indutância na carga por fase	H
H_1, H_2, H_3, \dots	Tensão sobre cada célula H-bridge	V
H_n	Número de células H por fase	-
N_S	Número de interruptores em uma estrutura trifásica para o <i>Cascaded H-bridge inverter</i>	-
V_k	Valor da fonte de tensão em cada fonte do inversor <i>Flying capacitor</i>	V
N_{cb}	Número de combinações possíveis	-
v_o	Tensão na carga	V

$v_{gS1}, v_{gS2},$ v_{gS3}, \dots	Forma de onda dos comandos dos interruptores	V
i_o	Corrente na carga	A
Φ	Defasagem entre a tensão fundamental e corrente na fase	rad
$v_{c_Sa1}, v_{c_Sa2},$ v_{c_Sa3}, \dots	Forma de onda dos comandos dos interruptores $S_{a1}, S_{a2},$ S_{a3}, \dots	V
v_{ab_fund}	Tensão fundamental na carga	V
i_{ab}, i_{bc}, i_{ca}	Corrente em cada fase da carga	A
$i_{Sa1}, i_{Sa2}, i_{Sa3}$	Corrente nos interruptores $S_{a1}, S_{a2}, S_{a3}, \dots$	A
$I_{med_{Si}}$	Corrente média instantânea no interruptor	A
I_{med_S}	Corrente média no interruptor	A
$\overline{I_{med_S}}$	Corrente média parametrizada no interruptor	-
t	Tempo	s
i_F	Corrente que circula na fase	A
i_{Fp}	Corrente de pico na fase	A
$I_{ef_{Si}}$	Corrente eficaz instantânea no interruptor	A
I_{ef_S}	Corrente eficaz no interruptor	A
$\overline{I_{ef_S}}$	Corrente eficaz parametrizada no interruptor	-
I_{pico_S}	Corrente de pico no interruptor	A
i_{Dap}	Corrente no diodo anti-paralelo	A
$I_{med_{Dap}}$	Corrente média no diodo anti-paralelo	A
$\overline{I_{med_{Dap}}}$	Corrente média parametrizada no diodo anti-paralelo	-
$I_{ef_{Dap}}$	Corrente eficaz no diodo anti-paralelo	A
$\overline{I_{ef_{Dap}}}$	Corrente eficaz parametrizada no diodo anti-paralelo	-
$I_{pico_{Dap}}$	Corrente de pico no diodo anti paralelo	A
i_{Vdc}	Corrente na fonte de tensão contínua isolada	A
$I_{med_{Vdc}}$	Corrente média na fonte de tensão contínua isolada	A
$\overline{I_{med_{Vdc}}}$	Corrente média parametrizada na fonte de tensão contínua isolada	-
$I_{ef_{Vdc}}$	Corrente eficaz na fonte de tensão contínua isolada	A
$I_{pico_{Vdc}}$	Corrente de pico na fonte de tensão contínua isolada	A
N_{Tc}	Número total de células em um sistema trifásico	-
N_{Tint}	Número total de interruptores em um sistema trifásico	-
N_{Tr}	Número de transformadores com uma entrada em delta e duas saídas (delta e estrela)	-
V_{oLp}	Valor de pico da tensão fundamental de linha na saída	V
V_{oLef}	Valor eficaz da tensão fundamental de linha na saída	V

$P_{o1\phi}$	Potência por fase na carga	W
$P_{o3\phi}$	Potência na carga	W
P_{cel}	Potência na célula	W
Z_o	Impedância por fase na carga	Ω
I_{oLef}	Corrente linha eficaz na carga	A
I_{oLp}	Valor de pico da corrente de linha na carga	A
I_{Fef}	Corrente eficaz na fase	A
I_{Fp}	Valor de pico da corrente de fase	A
V_{maxS}	Tensão máxima sobre o interruptor	V
$V_{maxIGBT}$	Tensão máxima no IGBT	V
V_{CEsat}	Tensão de saturação do coletor-emissor	V
I_{CCIGBT}	Corrente contínua no coletor	A
$I_{picoIGBT}$	Corrente máxima de pico no coletor	A
t_r	Tempo de subida na comutação	s
t_f	Tempo de descida na comutação	s
T_J	Temperatura máxima de junção	$^{\circ}\text{C}$
$R_{thjCIGBT}$	Resistência térmica junção cápsula	$^{\circ}\text{C}/\text{W}$
$R_{thcdIGBT}$	Resistência térmica cápsula dissipador	$^{\circ}\text{C}/\text{W}$
$R_{thjC_{Dap}}$	Resistência térmica junção cápsula do diodo anti-paralelo	$^{\circ}\text{C}/\text{W}$
E_{on}	Energia dissipada no tempo de subida	J
E_{off}	Energia dissipada no tempo de descida	J
$V_{F_{Dap}}$	Tensão sobre o diodo anti-paralelo em condução	V
R_G	Resistor de gate	Ω
V_{zener}	Tensão do diodo zener	V
C_{CE}	Capacitor do <i>driver</i> do IGBT	F
$V_{threshold}$	Tensão limite de disparo da proteção do <i>driver</i> do IGBT	V
$t_{disable}$	Tempo anterior ao disparo da proteção do <i>driver</i> do IGBT	s
I_{RR}	Corrente de recuperação reversa do diodo	A
$V_{maxV_{dc}}$	Tensão máxima sobre a ponte retificadora	V
V_{maxPR}	Tensão máxima da ponte retificadora	V
r_t	Resistência equivalente da ponte retificadora	Ω
V_F	Tensão sobre os diodos em condução	V F
$R_{thjC_{V_{dc}}}$	Resistência térmica junção cápsula	$^{\circ}\text{C}/\text{W}$
$R_{thcd_{V_{dc}}}$	Resistência térmica cápsula dissipador	$^{\circ}\text{C}/\text{W}$
C_{Pr}	Capacitor de saída da ponte retificadora	F

$V_{max_{CPr}}$	Tensão máxima sobre o capacitor da ponte retificadora	V
RSE_{CPr}	Resistência série equivalente do capacitor da ponte retificadora	Ω
Vdc_{max}	Tensão máxima da fonte de tensão contínua isolada	V
Vdc_{min}	Tensão mínima da fonte de tensão contínua isolada	Ω
r_d	Resistor de descarga dos capacitores	Ω
t_d	Tempo de descarga dos resistor de descarga dos capacitores	s
P_{Tr}	Potência ativa em cada transformador	W
S_{Tr}	Potência aparente em cada transformador	VA
Vef_{TFp}	Tensão eficaz de linha no primário do transformador	V
Vef_{TFs}	Tensão eficaz de linha no secundário do transformador	V
$Pin_{1\phi}$	Potência ativa em cada fase na entrada	W
Ief_{rede_fase}	Corrente eficaz de fase drenada da rede	A
$I_{pico_{rede_fase}}$	Corrente de pico na fase drenada da rede	A
E_{cond}	Energia dissipada na condução	J
V_{CESat}	Tensão de saturação entre coletor e emissor	V
f_s	Frequência de comutação	Hz
$P_{mod_{IGBT}}$	Potência dissipada por módulo IGBT	W
$PT_{mod_{IGBT}}$	Potência dissipada pelos doze módulos IGBT	W
P_{rd}	Potência dissipada no resistor de gate	W
PT_{inv}	Potência total dissipada no inversor	W
Td_{IGBT}	Temperatura do dissipador do interruptor de potência	$^{\circ}C$
Td_{Pr}	Temperatura do dissipador da ponte retificadora trifásica	$^{\circ}C$
R_{thda}	Resistência térmica do dissipador	$^{\circ}C/W$
T_d	Temperatura máxima no dissipador	$^{\circ}C$
T_a	Temperatura ambiente	$^{\circ}C$
η_{inv}	Eficiência do inversor	%
i_{in}	Corrente drenada da rede em uma das fases	A
$i_{inA}, i_{inB}, i_{inC}$	Corrente drenada da rede em cada fase	A
P_o	Potência na saída	W
P_{in}	Potência na entrada	W
ΔV_{dc}	Variação da tensão na fonte de tensão contínua isolada	V

Acrônimos e abreviaturas

Símbolo	Significado
CAPES	Fundação Coordenação de Aperfeiçoamento Pessoal de Nível Superior
CC	Corrente contínua
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
INEP	Instituto de Eletrônica de Potência
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
NPC	<i>Neutral-Point-Clamped</i>
PWM	<i>Pulse Width Modulation</i>
DC	<i>Diodo Clamped</i>
GCT	<i>Gate-Commutated Thyristor</i>
GTO	<i>Gate Turn-Off</i>
SCR	<i>Silicon-Controlled Rectifier</i>
CHB	<i>Cascaded H-Bridge</i>
FC	<i>Flying Capacitor</i>
THD	<i>Total Harmônica Distortion</i>
RAM	<i>Random Access Memory</i>
MIPS	<i>Million Instructions Per Second</i>
CPU	<i>Central Processing Unit</i>

Símbolos de unidades de grandezas físicas (SI)

Símbolo	Significado
Ω	Ohm
A	Amperè
F	Farad
H	Henry
Hz	Hertz
m	Metro
Rad	Radiano
s	Segundo
T	Tesla
V	Volt
W	Watt

INTRODUÇÃO GERAL

Com o avanço da tecnologia dos dispositivos semicondutores, modernas estruturas na eletrônica de potência vêm sendo criadas e empregadas nas indústrias petroquímicas, de mineração, de transportes navais, de tratamento de água e efluentes, de cimentos, entre outras áreas.

Nos processos industriais existem, a priori, dois fatores cuja importância é crucial, quais sejam: produção e qualidade. Para alcançar estes dois objetivos faz-se necessário empregar equipamentos de alta eficiência, robustez e um controle adequado.

No princípio, uma grande parte de equipamentos e máquinas eram acionados de forma puramente mecânica de baixa eficiência, sendo então necessárias estruturas com uma tecnologia mais avançada.

Na procura por equipamentos de alta eficiência, iniciou-se nas indústrias e comunidades científicas, uma série de pesquisas de estruturas empregando dispositivos semicondutores capazes suportar altos valores de tensão e corrente, com capacidade de realizar o controle de máquinas de forma eficaz. Desta forma começaram a surgir máquinas com controle de velocidade variável, partida suave, e uma série de características que aumentaram o desempenho destes equipamentos.

A economia de energia nunca teve a prioridade e importância que tem hoje em dia. Gradativamente tem-se conscientizado da correlação entre energia mal aproveitada e degradação ambiental, levando-se ao reconhecimento dos benefícios de conservação da energia por meios técnicos. Através do emprego de acionamentos de velocidade variável, os gastos de energia podem ser reduzidos.

A extração nos campos de óleo e gás, por exemplo, apresenta uma grande diversidade de componentes, densidade, taxas de fluxo de volume e níveis de pressão. Isto impõe condições de operação variáveis ao equipamento de processo, que se traduz em

compressores e bombas, os quais precisam exibir elevado grau de flexibilidade, nem sempre operando em seu ponto ótimo de funcionamento. O emprego de acionamentos de velocidade variável oferece a possibilidade de controlar o processo de forma simples e eficaz através da regulação de velocidade e utilização do equipamento em seu ponto ótimo de operação. Como muitos sistemas de bombas e compressores freqüentemente operam a cargas parciais, a utilização de acionamentos de velocidade variável pode contribuir para grandes economias.

Atualmente alguns dispositivos semicondutores são capazes de conduzir elevadas correntes e suportar grandes tensões quando bloqueados. Como exemplo pode-se citar: IGBT, IGCT, GCT, GTO e SCR. Entretanto, em algumas aplicações são requeridas tensões e correntes que vão além do valor máximo permitido para estes dispositivos. Nestes casos devem-se utilizar estruturas onde a tensão e corrente nos semicondutores estejam abaixo da permitida. Uma maneira de evitar o esforço nestes dispositivos seria associá-los em série e/ou paralelo diminuindo a tensão e corrente sobre estes. Porém, como a comutação dos interruptores não ocorre de forma simultânea, estes podem vir a ser destruídos.

Uma alternativa para diminuir o esforço nestes dispositivos seria o emprego dos conversores multiníveis. Estes conversores têm como principal característica, obter uma forma de onda com diversos níveis de tensão na carga.

As vantagens das estruturas multiníveis incluem qualidade na alimentação, excelente distribuição de tensão nos interruptores, boa compatibilidade eletromagnética, baixa perda de comutação e capacidade de trabalhar em altas tensões e potências.

As principais desvantagens destas estruturas são o grande número de interruptores empregados quando esta é aplicada em baixa tensão e o número de bancos capacitivos ou fontes de tensões isoladas necessárias para a formação dos barramentos das fontes de tensão contínua que formarão os níveis de tensão.

A concepção de utilizar múltiplos níveis de tensão na eletrônica de potência foi inicialmente patenteada na década de 70 [1], empregando inversores de tensão ponte

completa em série. A principal vantagem desta topologia é o valor constante da tensão nos capacitores e a menor quantidade de componentes.

Em seguida, na década de 80, surgiu a topologia conhecida como inversor de tensão com ponto neutro grampeado [2], que utilizam diodos que grampeiam a tensão sobre os interruptores a um determinado valor de acordo com o número de níveis empregado. Esta estrutura é amplamente empregada em aplicações indústrias.

Na década de 90 surgiu uma estrutura chamada inversor de tensão com fontes flutuantes [3], onde não há necessidade de utilizar diodos grampeadores, além disso, esta estrutura pode ser utilizada em conversores CC-CC multinível. A sua grande desvantagem é o número de capacitores.

No presente trabalho, propõe-se o desenvolvimento de uma estrutura multinível trifásica modular, similar ao inversor de tensão ponte-completa em série (ou *Cascaded H-bridge inverter*), porém com uma diferença significativa: são empregados sub-células com apenas um braço inversor. Esta mudança altera o comportamento do inversor sendo necessário um estudo mais detalhado da estrutura e da modulação empregada.

No capítulo 1 serão apresentadas, de forma resumida, as 3 estruturas multiníveis empregadas com maior frequência no meio acadêmico e nas indústrias: o inversor de tensão com ponto neutro grampeado, o inversor de tensão ponte completa em cascata e o inversor de tensão com fonte de tensão flutuante.

No capítulo 2 será realizada a análise da estrutura do inversor multinível proposto na versão monofásica para 3 e 5 níveis de tensão na carga para posteriormente investigar as suas características na versão trifásica para n níveis.

No capítulo 3 inicialmente será explorada e desenvolvida uma técnica de modulação para o inversor multinível proposto monofásico 3 e 5 níveis, baseado na modulação PWM senoidal com defasamento entre as portadoras, para mais tarde empregar na versão trifásica com n níveis na tensão de fase. Por fim, é desenvolvida a equação da tensão na carga considerando a presença das harmônicas, sendo esta reproduzida de forma gráfica.

No capítulo 4 é realizado o projeto do estágio de potência deste inversor na potência de 15kW, com nove níveis na tensão de carga, utilizando carga RL. Ao final deste capítulo será realizada uma simulação numérica com os parâmetros calculados.

Finalmente no capítulo 5 é apresentada a estrutura do protótipo implementado e suas principais características. Os resultados experimentais das principais formas de onda também serão apresentados para comprovar os resultados teóricos realizados durante o trabalho.

1 UMA BREVE REVISÃO DOS CONVERSORES MULTINÍVEIS

1.1 Introdução

Atualmente têm-se estudado dispositivos semicondutores capazes de conduzir elevadas correntes e suportar grandes tensões [4]. Na Figura 1.1 são apresentados os vários tipos de semicondutores para altas potências.

Porém para algumas aplicações são requeridas tensões e correntes que vão além do valor máximo permitido para estes dispositivos [5,6], como pode ser observado na Figura 1.2, sendo ainda necessário analisar a frequência de comutação para definir um interruptor adequado. Na Tabela 1.1 são apresentadas algumas características destes interruptores.

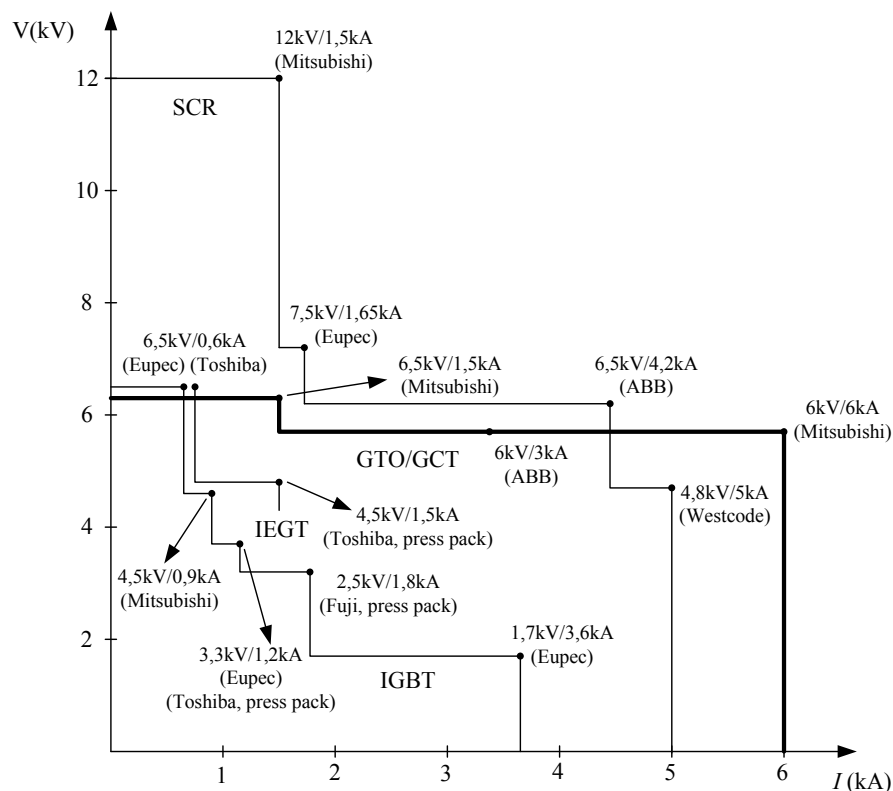


Figura 1.1 – Tensão e corrente dos semicondutores de alta potência. Fonte [7].

Uma alternativa para evitar tensões e correntes elevadas nestes dispositivos é associá-los em série (Figura 1.3a) [8] e em paralelo.

Tipo de semicondutor	Tensão máxima (V)	Corrente máxima (A)	dv/dt (V/ μ s)	di/dt (A/ μ s)
SCR	12000	1500	2000	100
GTO	4500	1000	1000	500
GCT	6000	2000	3000	1000
IGBT	3300	1200	3500	2800

Tabela 1.1 – Características de alguns interruptores citados. Fonte [7].

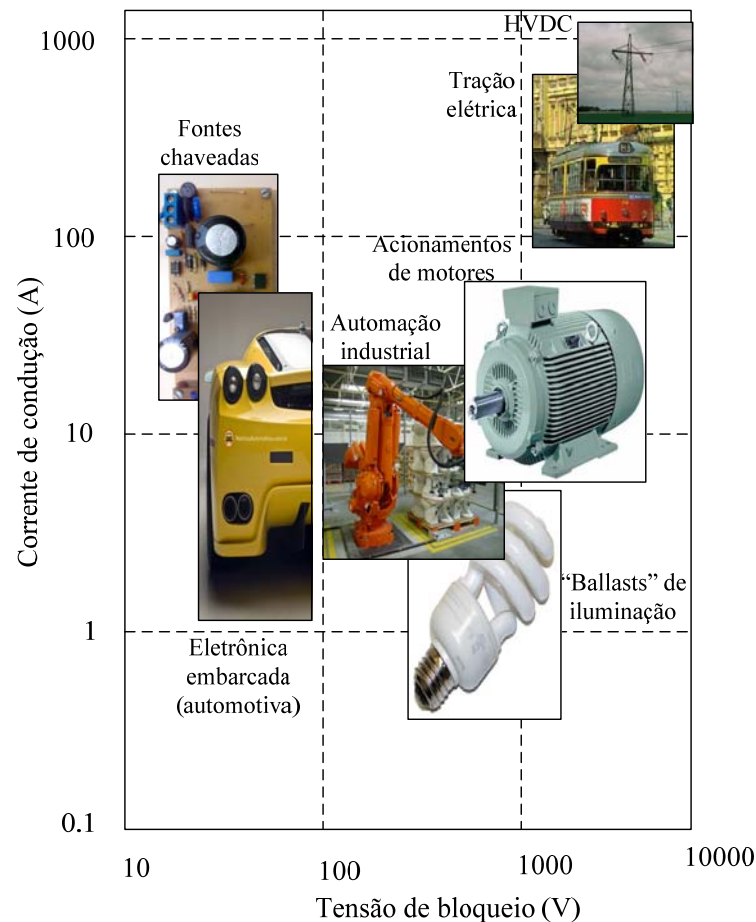


Figura 1.2 - Tensão de bloqueio e corrente de condução dos semicondutores utilizados na eletrônica de potência. Fonte [9].

Em [7] são demonstrados alguns métodos para equalizar a tensão sobre os interruptores em série, inserindo um resistor e um capacitor em paralelo aos semicondutores (Figura 1.3b). Pode-se ainda utilizar métodos de controle dinâmico das tensões através do controle das tensões de gatilho ou escolher semicondutores semelhantes. Desta forma evita-se a sobretensão nestes elementos, porém estes métodos não são eficientes em todas as estruturas na eletrônica de potência.

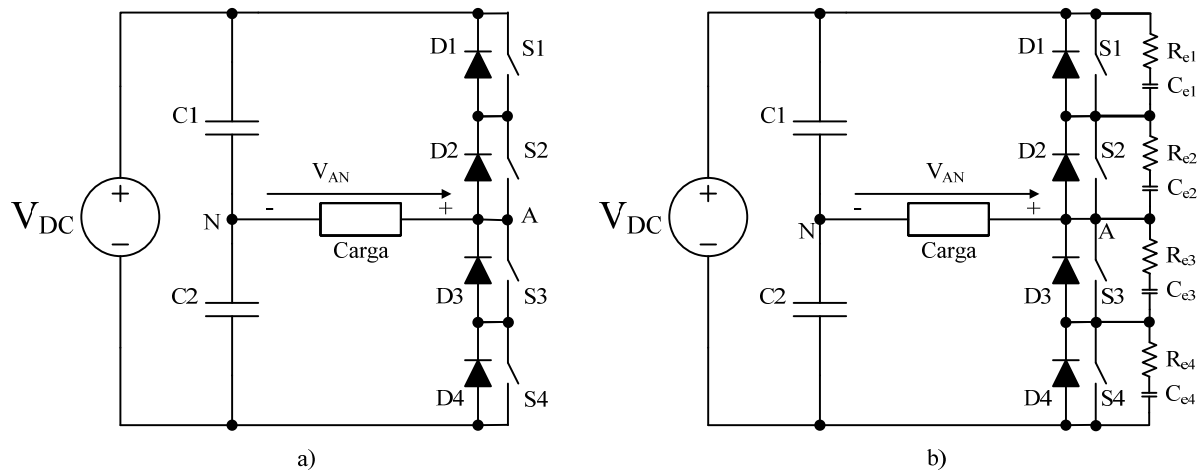


Figura 1.3 – a) Associação em série dos semicondutores; b) Método utilizado para equalização da tensão nos interruptores.

Uma alternativa para diminuir os esforços nestes dispositivos seria o emprego dos conversores multiníveis. Estes conversores têm como principal característica, obter uma forma de onda com diversos níveis de tensão na carga.

Recentemente vem surgindo uma extensa gama de estruturas multiníveis [10-16], entretanto serão estudadas neste capítulo as três estruturas de inversores de tensão multiníveis mais conhecidas na eletrônica de potência [17]: o inversor de tensão com diodo de grampeamento (*Diodo clamped*), o inversor de tensão ponte completa em cascata (*Cascaded h-bridge inverter*) e o inversor de tensão com fonte de tensão flutuante conhecida como *Flying capacitor*.

1.2 Inversor de tensão com diodo de grampeamento

O inversor multinível com diodo de grampeamento (DC – *Diodo clamped*) com n_F níveis na tensão da carga, é composto por $(n_F - 1)$ capacitores no barramento da fonte de tensão contínua. O número de interruptores utilizados na montagem da estrutura (monofásica) é de $(n_F - 1)2$ dispositivos. Na Figura 1.4 é apresentado um inversor de tensão DC 3 níveis também conhecido como NPC (*Neutral point clamped*).

A tensão sobre os capacitores C_1 e C_2 , em teoria, é igual à $V_{DC}/(n_F - 1)$ e a tensão máxima sobre cada interruptor será grampeada em $V_{DC}/(n_F - 1)$, devido à condução dos diodos D_{G1} e D_{G2} . Estes diodos garantem que a tensão sobre cada interruptor seja igual à

tensão dos capacitores. Quanto maior a quantidade de níveis deste conversor, maior será a quantidade de capacitores e menor será a tensão sobre os interruptores, tornando a tensão gerada na carga mais próxima de uma senóide, assim como a corrente de carga, e conseqüentemente a diminuição da TDH (Taxa de distorção harmônica). Além disso, esta estrutura garante uma menor variação de tensão sobre a carga (menor dv/dt) devido ao maior número de níveis na tensão.

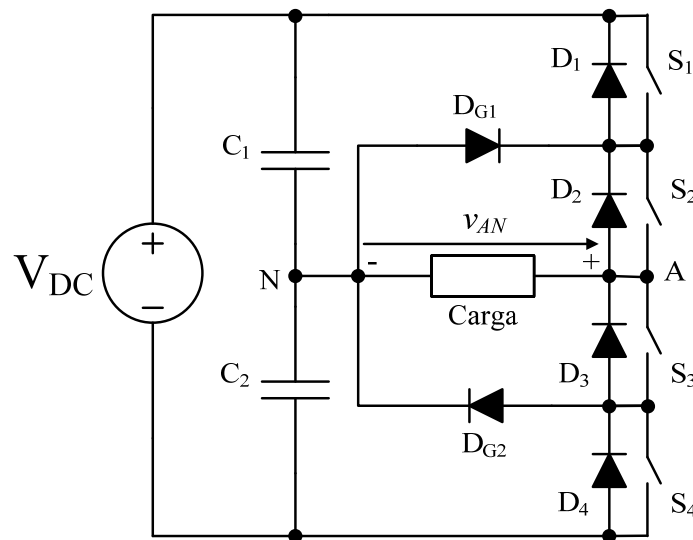


Figura 1.4 - Inversor de tensão NPC 3 níveis.

Os níveis de tensão na carga para o conversor da Figura 1.4 são: $+V_{DC}/2$, 0 e $-V_{DC}/2$. A Tabela 1.2 mostra o comando dos interruptores para obter os três níveis na carga. O número 1 significa que o interruptor está conduzindo e 0 que está bloqueado. Os interruptores S_1 e S_3 não podem conduzir simultaneamente, assim como os interruptores S_2 e S_4 .

Na Figura 1.5 encontra-se a forma de onda da tensão na carga utilizando modulação PWM (*Pulse Width Modulation*). Nesta figura podem ser observados os três níveis formados pelos comandos descritos na Tabela 1.2.

Observa-se que entre $(0, \pi)$ os interruptores S_1 e S_3 trabalham de forma complementar e S_2 conduz por todo este período. No momento de comutação de S_1 para S_3 ou de S_3 para S_1 deve existir um tempo morto para evitar que os interruptores S_1 , S_2 e S_3 conduzam de forma simultânea e ocorra um curto circuito com a fonte capacitiva C_1 e destrua estes

semicondutores. Este mesmo tempo morto deve existir na comutação dos interruptores S_2 e S_4 no período entre $(\pi, 2\pi)$ para evitar que os interruptores S_2 , S_3 e S_4 também conduzam simultaneamente. Na Figura 1.7 é ampliado o momento da comutação para uma melhor visualização de onde deve ser inserido o tempo morto.

Níveis de Tensão na carga	Seqüência de Comutação dos Interruptores			
	S_1	S_2	S_3	S_4
$+V_{DC}/2$	1	1	0	0
0	0	1	1	0
$-V_{DC}/2$	0	0	1	1
0	0	1	1	0

Tabela 1.2 – Comandos dos interruptores do NPC 3 níveis.

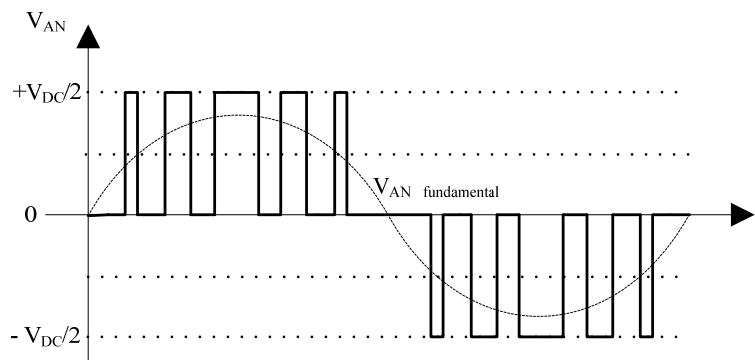


Figura 1.5 – Forma de onda da tensão na carga.

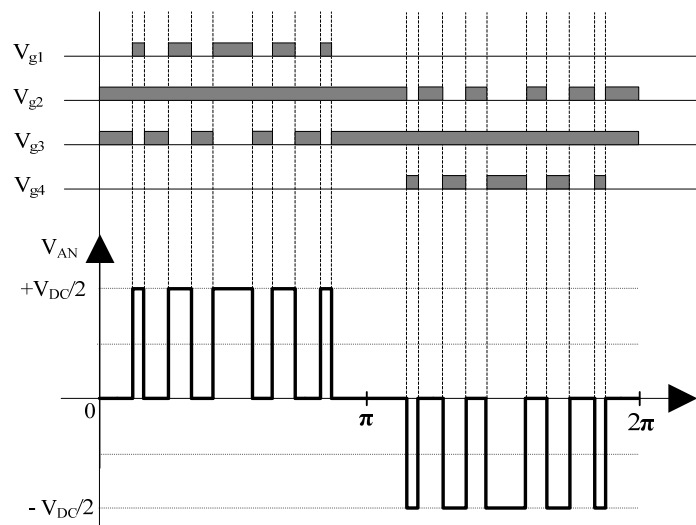


Figura 1.6 - Comandos dos interruptores do inversor NPC 3 níveis.

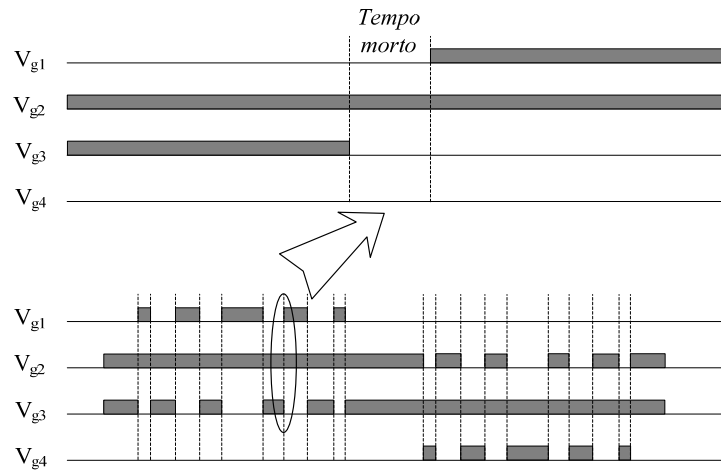


Figura 1.7 – Tempo morto no comando dos interruptores.

Como citado anteriormente, o conversor multinível DC pode apresentar um número maior de níveis. Como exemplo será demonstrado na Figura 1.8 uma estrutura 5 níveis e sua forma de onda na tensão de carga (Figura 1.9). Esta estrutura é composta por 4 capacitores e 8 interruptores, sendo que cada capacitor e interruptor ficarão submetidos à mesma tensão máxima de $V_{DC}/4$. Os níveis formados por esta estrutura são: $+ V_{DC}/2$, $+ V_{DC}/4$, 0 , $- V_{DC}/4$ e $-V_{DC}/2$. Utilizando esta topologia é obtida uma corrente na carga com um conteúdo harmônico menor, dependendo do tipo de modulação empregada. Os interruptores complementares para este inversor são: (S_1 e S_5), (S_2 e S_6), (S_3 e S_7) e (S_4 e S_8).

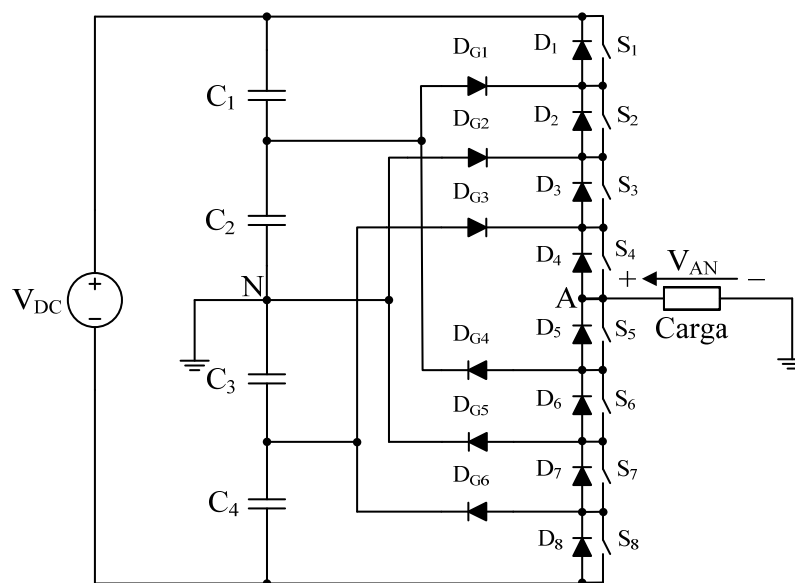


Figura 1.8 - Inversor de tensão DC 5 níveis.

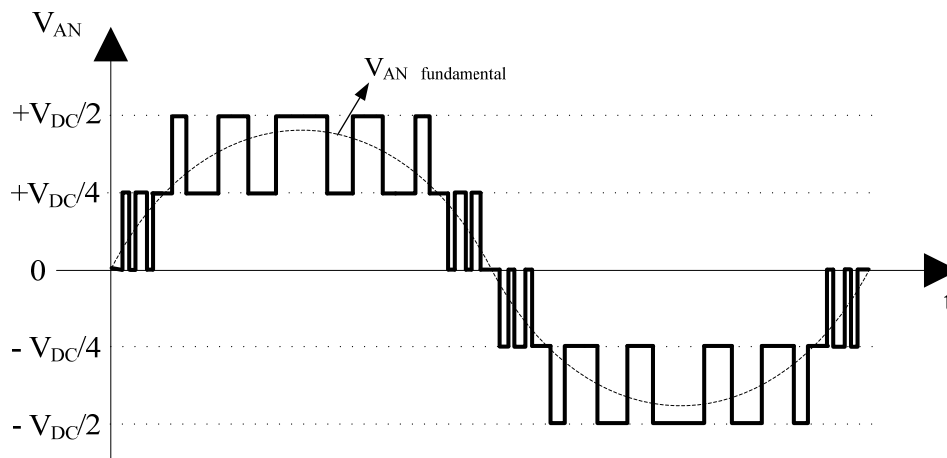


Figura 1.9 - Tensão na carga do conversor DC 5 níveis.

As tensões máximas de bloqueio nos diodos de grampeamento nesta estrutura 5 níveis são diferentes entre si. Por exemplo, os diodos D_{G3} e D_{G4} devem suportar uma tensão máxima de bloqueio de $3V_{DC}/4$ enquanto que o diodo D_{G6} e D_{G1} devem suportar apenas uma tensão igual à $V_{DC}/4$. Já os diodos D_{G2} e D_{G5} devem suportar a mesma tensão máxima de $V_{DC}/2$.

Se forem utilizados diodos com a mesma especificação, haverá a necessidade de utilizar diodos em série. Para uma estrutura DC cinco níveis monofásica deve-se então utilizar $(n_F - 1)(n_F - 2)$ diodos. Pelo fato de apresentar diodos em série e difícil equilíbrio na tensão do barramento, a estrutura DC cinco níveis não é amplamente empregada. Ocorrendo às custas de distorção nas tensões de saída e dentro de níveis de carga limitados.

O inversor de tensão NPC também pode ser utilizado na versão trifásica como na Figura 1.10. Para n_F níveis na tensão v_{AN} , o conversor continua sendo composto por $(n_F - 1)$ capacitores no barramento da fonte de tensão contínua e a tensão em cada capacitor é de $V_{DC}/(n_F - 1)$. A tensão em cada interruptor continua sendo a mesma tensão dos capacitores no barramento da fonte de tensão contínua. A quantidade de interruptores utilizada neste conversor será de $(n_F - 1)6$ dispositivos e a tensão de linha no ponto v_{AB} será composta por $(2n_F - 1)$ níveis.

Para obter as duas fontes de tensões capacitivas da Figura 1.10, geralmente são empregados retificadores de 12 pulsos como apresentados na Figura 1.11. Este tipo de

estrutura é composta por um transformador com uma entrada em estrela e duas saídas, uma em estrela e outra em delta. A saída em estrela é defasada de 30° em relação a delta. Este tipo de topologia drena da rede uma corrente com baixo conteúdo harmônico gerando um alto fator de potência, podendo ser usado em médias tensões e altas potências. Este tipo de retificador ainda pode alcançar alta eficiência próxima de 98,5% (excluindo perdas nos transformadores) [7].

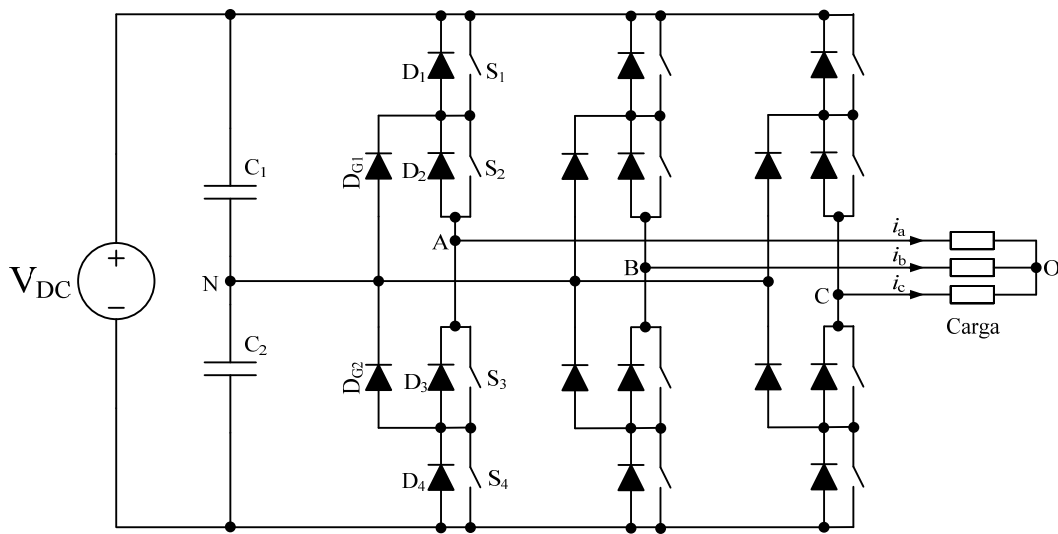


Figura 1.10 - Inversor de tensão trifásico NPC.

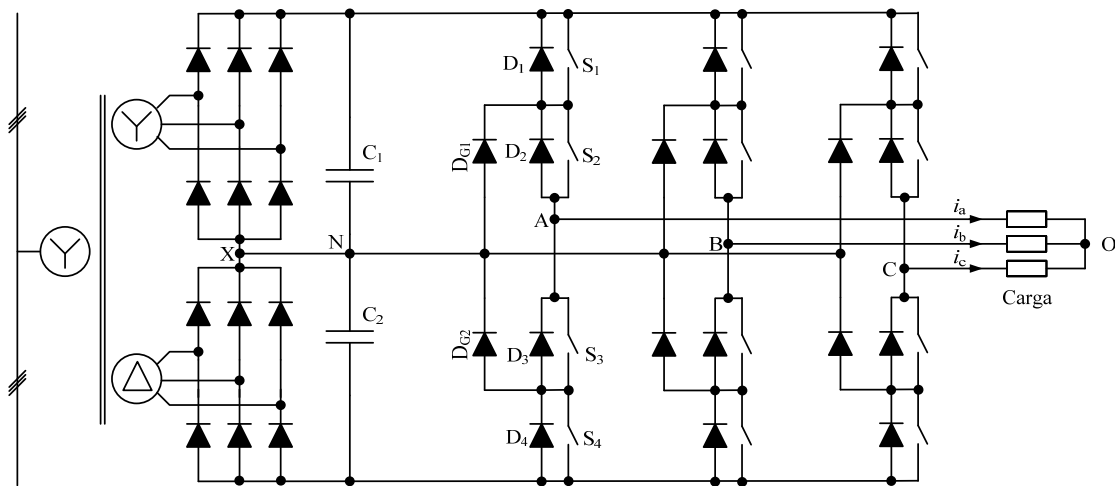


Figura 1.11 – Inversor de tensão NPC com alimentação utilizando um retificador de 12 pulsos.

Na Tabela 1.3 encontra-se um resumo da quantidade de componentes presentes na estrutura DC trifásica.

Número de níveis	Número de níveis na tensão de linha	Interruptores	Diodos de grampeamento	Capacitores do barramento V_{DC}
n_F	$(2n_F - 1)$	$6(n_F - 1)$	$3(n_F - 1)(n_F - 2)$	$(n_F - 1)$
3	5	12	6	2
4	7	18	18	3
5	9	24	36	4
6	11	30	60	5
7	13	36	90	6

Tabela 1.3 – Quantidade de componentes utilizados nos inversores DC multiníveis trifásicos.

1.3 Inversor de tensão ponte completa em cascata

O inversor de tensão em ponte completa associado em cascata, também conhecido como *Cascade H-bridge* (CHB) é uma das topologias mais usadas para média tensão. Esta estrutura é composta de múltiplas células *H*. As células *H* são normalmente conectadas em cascata no seu lado alternado para alcançar médias tensões de operação com baixo conteúdo harmônico. Na prática, o número de células CHB do inversor é principalmente determinado pela tensão de operação e custos de fabricação do inversor.

Os inversores multiníveis CHB requerem uma fonte isolada para cada célula *H*. As fontes contínuas normalmente são obtidas a partir de retificadores multipulsos ou de conversores CC-CC isolados bidirecionais. A Figura 1.12 mostra uma célula *H* destes inversores.

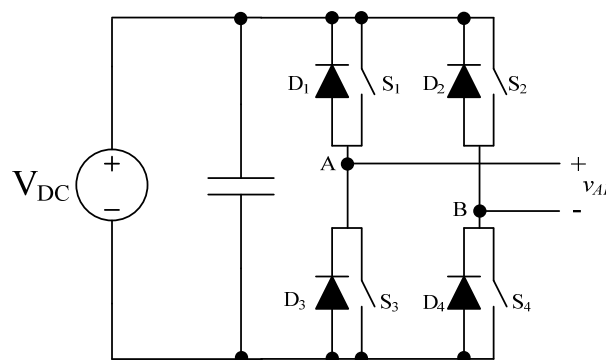


Figura 1.12 – Célula *H* do inversor CHB.

Uma configuração trifásica típica do inversor multinível CHB é demonstrada na Figura 1.13, onde cada fase consiste de uma célula *H* alimentada por uma fonte isolada. Quando S_{11} e S_{41} são comandadas a conduzir, obtém-se na saída da célula desta fase o valor da

tensão da fonte V_{DC} isolada. Similarmente, quando os interruptores S_{21} e S_{31} conduzem obtém-se na saída da célula desta fase o valor $-V_{DC}$.

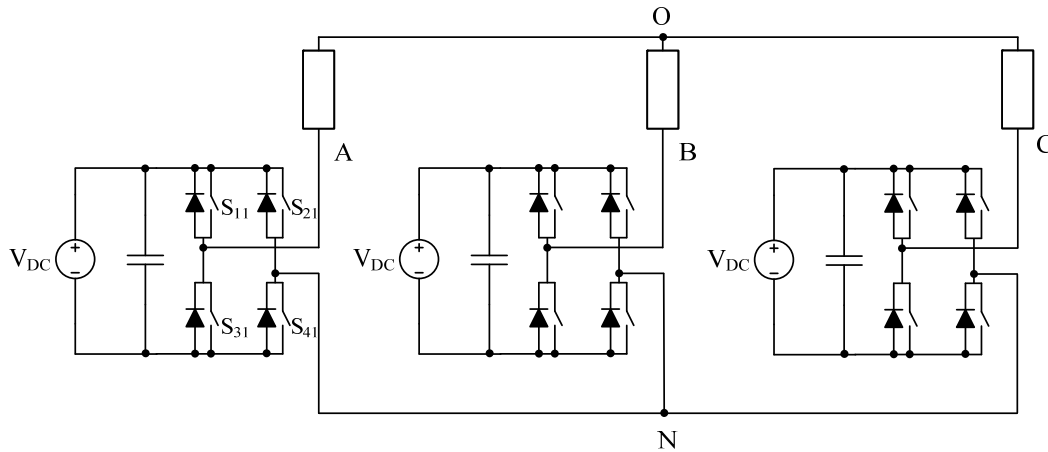


Figura 1.13 - Inversor de tensão CHB trifásico 3 níveis.

No caso de conversores com mais de 3 níveis a tensão em cada fase do inversor é a soma da tensão de saída de cada célula ($v_{AN} = v_{H1} + v_{H2} + \dots$). Por exemplo, na Figura 1.14 é apresentada uma fase dos inversores multiníveis de 5 e 7 níveis.

O inversor 5 níveis da Figura 1.14 pode gerar em cada braço os níveis: $2V_{DC}$, V_{DC} , 0, $-V_{DC}$ e $-2V_{DC}$. Para conseguir o nível $2V_{DC}$ devem-se habilitar os interruptores S_{11} , S_{41} , S_{12} , e S_{42} . Na saída de cada célula, terá o valor da fonte isolada V_{DC} , somando $2V_{DC}$. De forma similar para obter $-2V_{DC}$ deve-se enviar um sinal de comando para os interruptores complementares: S_{21} , S_{31} , S_{22} e S_{32} . Os outros três níveis V_{DC} , 0 e $-V_{DC}$ podem ser obtidos de inúmeras maneiras e não serão tratados aqui.

O número de níveis por fase dos inversores CHB podem ser encontrados pela equação (1.1).

$$n_F = (2H_n + 1) \quad (1.1)$$

onde H_n é o número de células H por fase. O número de níveis n_F é sempre ímpar para este tipo de inversor, diferente do inversor DC que podia ter um número de níveis tanto par quanto ímpar. O número de interruptores numa estrutura trifásica é definido pela equação (1.2).

$$N_s = 6(n_F - 1) \quad (1.2)$$

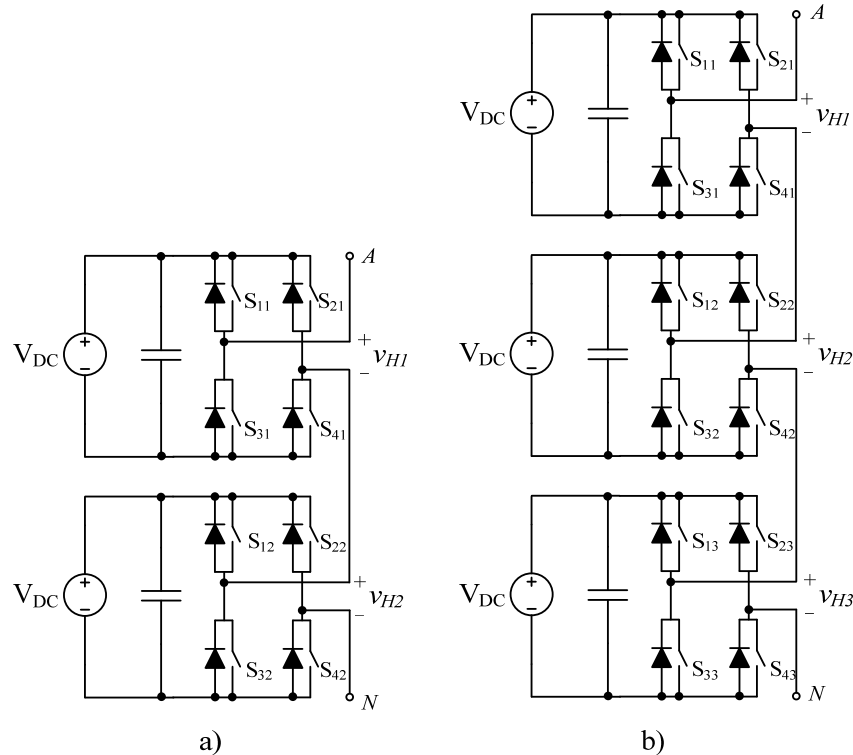


Figura 1.14 – Uma fase dos inversores multiníveis CHB: a) 5 níveis e b) 7 níveis.

Este tipo de conversor também pode trabalhar com fontes contínuas isoladas com valores de tensões diferentes, como apresentado na Figura 1.15. Com este tipo de estrutura pode-se alcançar um maior número de níveis sem ter que aumentar o número de células H em cascata. Na estrutura de 7 níveis, as fontes de tensão contínua têm os valores de V_{DC} e $2V_{DC}$. Para a versão de 9 níveis as fontes de tensão DC são V_{DC} e $3V_{DC}$. Estas estruturas são freqüentemente chamadas de estruturas CHB assimétricas.

As modulações usualmente empregadas no inversor CHB são: a *phase-shifted* e *level-shifted*, porém não serão tratadas aqui no momento.

As fontes de tensão isoladas são obtidas, freqüentemente, utilizando retificadores multipulsos. A Figura 1.16 mostra um inversor multinível CHB de 5 níveis alimentado por um retificador de 12 pulsos. Para este tipo de estrutura é indispensável o uso de transformadores. As três principais funções desta topologia são: obter a fonte de tensão contínua isolada, reduzir o conteúdo harmônico da corrente drenada da rede e isolar a carga da rede de alimentação.

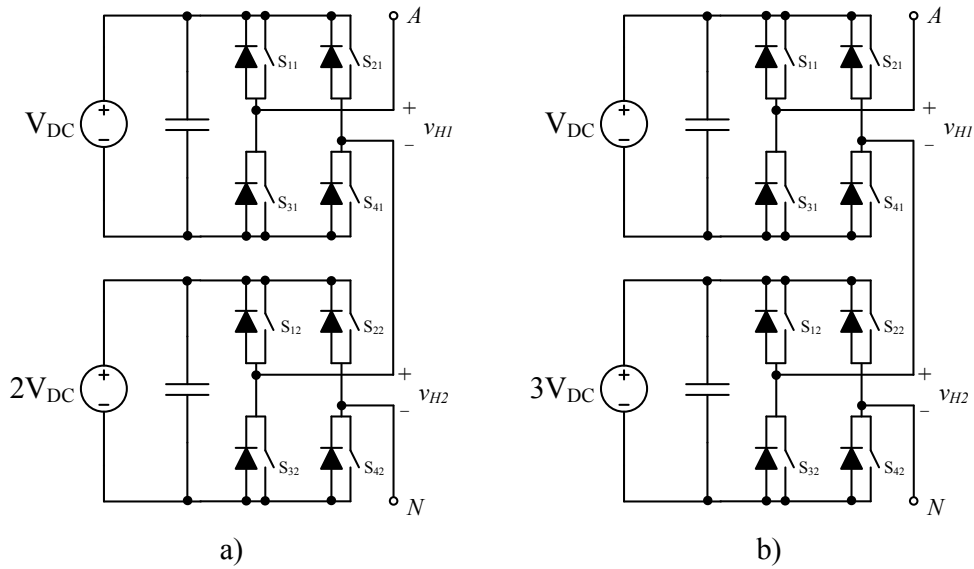


Figura 1.15 – Fase do inversor de tensão CHB assimétrico. a) 7 níveis e b) 9 níveis.

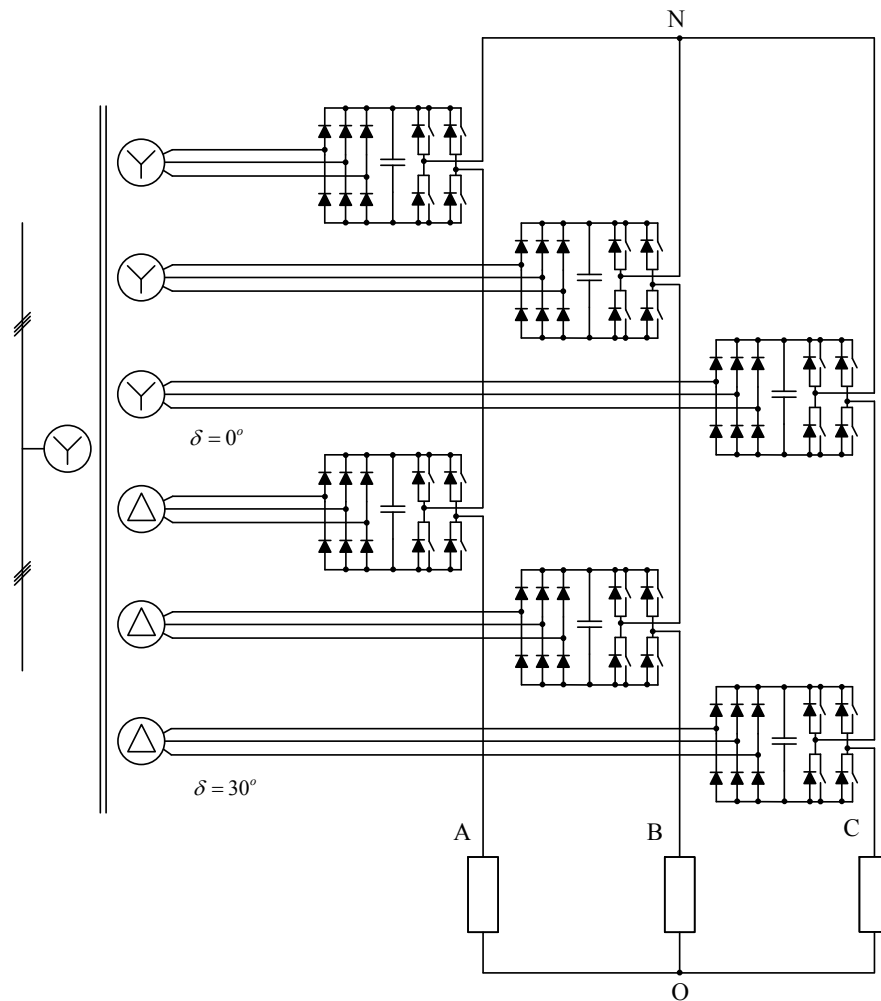


Figura 1.16 - Inversor de tensão trifásico CHB 5 níveis, alimentado por um retificador de 12 pulsos.

Os transformadores da Figura 1.16 são compostos por dois grupos de transformadores, cada grupo contendo três transformadores idênticos. Cada grupo de transformadores ligados em estrela está defasado de 30° em relação aos ligados em delta. Assim é possível conseguir o retificador de 12 pulsos.

O CHB tem como principais vantagens e desvantagens:

Vantagens:

- Estrutura modular;
- Baixa taxa de distorção harmônica na tensão de carga;
- Operação em alta tensão sem interruptores em série.

Desvantagens:

- Grande número de fontes isoladas;
- Quantidade de componentes elevada.

1.4 Inversor multinível com fonte de tensão flutuante

O inversor multinível com fonte de tensão flutuante, também conhecido como *Flying capacitor* (FC), ainda é uma estrutura muito estudada. Para aplicações onde se deseja utilizar um número maior do que 3 níveis esta topologia apresenta características estruturais interessantes, quando comparado ao DC utilizando diodos grampeadores [10]. Entretanto o número de desvantagens precisa ser analisado com mais critérios, pois o inversor FC é composto por um grande banco de capacitores e circuitos de pré-carga adicionais.

A estrutura básica 3 níveis deste inversor é ilustrada na Figura 1.17. Nesta topologia, duas fontes de tensões e 4 interruptores são utilizados em cada fase. Cada célula nesta estrutura é composta por uma fonte de tensão e dois interruptores. Este conversor então é composto por duas células. Os interruptores S_1 e S_1' são complementares, assim como S_2 e

S_2' . A tensão da fonte da célula interna tem a metade do valor da fonte da célula mais externa nesta estrutura 3 níveis. Na Tabela 1.4 pode ser visualizado o comando dos interruptores para obter os níveis de tensão v_{AN} . Pode-se observar ainda que existem 4 combinações possíveis para três níveis de tensão.

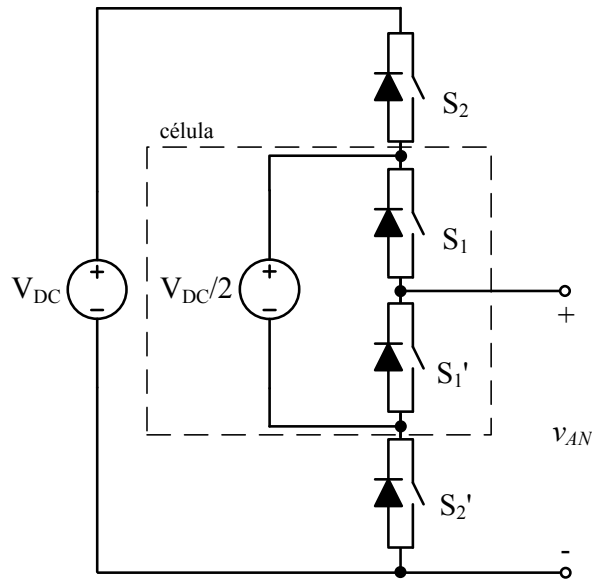


Figura 1.17 - Inversor de tensão com fontes flutuantes 3 níveis.

Na Figura 1.18 é apresentado o inversor 4 níveis. A fonte de tensão da célula mais interna agora é três vezes menor que a fonte da célula mais externa. Na Tabela 1.5 são apresentadas as possíveis combinações do comando dos interruptores para alcançar os 4 níveis de tensão possíveis. Observa-se que agora existem 8 combinações para os 4 níveis de tensões geradas em v_{AN} . Pode-se então definir o número de combinações possíveis (N_{cb}) para N_c células pela equação (1.3).

$$N_{cb} = 2^{N_c} \tag{1.3}$$

Comando dos Interruptores		Tensão na Carga (v_{AN})
S_1	S_2	
1	1	V_{DC}
1	0	$V_{DC}/2$
0	1	$V_{DC}/2$
0	0	0

Tabela 1.4 – Comando dos interruptores para a estrutura FC 3 níveis.

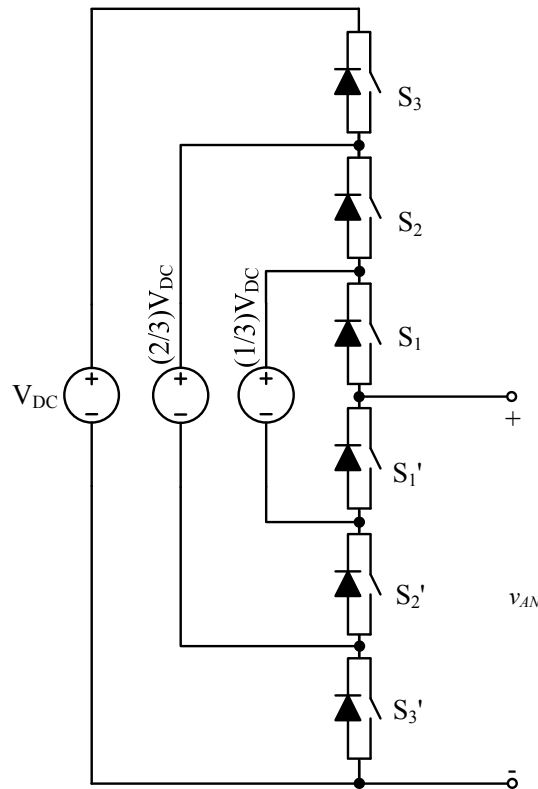


Figura 1.18 - Inversor de tensão FC 4 níveis.

Da mesma forma a tensão em cada fonte é definida pela equação (1.4).

$$V_k = k \frac{V_{DC}}{N_c} \quad (1 \leq k \leq N_c) \quad (1.4)$$

Onde V_k é o valor da fonte de tensão em cada célula, começando da célula mais interna para a mais externa. Nestas estruturas as fontes de tensões geralmente são capacitores.

Comando dos Interruptores			Tensão na Carga
S ₁	S ₂	S ₃	v _{AN}
1	1	1	V _{DC}
0	1	1	(2/3)V _{DC}
1	0	1	(2/3)V _{DC}
0	0	1	(1/3)V _{DC}
1	1	0	(2/3)V _{DC}
0	1	0	(1/3)V _{DC}
1	0	0	(1/3)V _{DC}
0	0	0	0

Tabela 1.5 - Comando dos interruptores para a estrutura FC 4 níveis.

Na Tabela 1.6 são resumidas as principais características desta topologia. Pode ser observado que existe uma grande redundância na combinação do comando dos interruptores. Esta característica gera uma grande flexibilidade nestes comandos. Recentemente algumas técnicas de controle têm sido estudadas para utilizar estas combinações de formas mais eficientes [11,12].

Número de células	Número de interruptores	Número de combinações possíveis	Número de níveis (n_F)
2	4	4	3
3	6	8	4
4	8	16	5
5	10	32	6
.	.	.	.
.	.	.	.
.	.	.	.
n	2n	2^n	n+1

Tabela 1.6 - Principais características da estrutura FC.

A maior desvantagem deste inversor é a grande quantidade de capacitores requeridos. Considerando que todos os capacitores têm a mesma tensão nominal, a quantidade de capacitores utilizadas nesta estrutura é definida pela equação (1.5), acrescentada de $(n_F - 1)$ capacitores no barramento da fonte de tensão contínua.

$$\frac{(n_F - 1)(n_F - 2)}{2} \quad (1.5)$$

Na estrutura NPC da Figura 1.4 apresentado anteriormente, a corrente média nos capacitores C_1 e C_2 é zero. Em um determinado período, cada capacitor é conectado a corrente de carga e esta flui nos capacitores através do divisor de tensão. Se a corrente na carga para a estrutura NPC for unidirecional, a corrente nos capacitores também serão, logo as tensões nos capacitores não permanecerão no valor desejado. Como conclusão, a operação com conversores CC-CC não é possível neste tipo de conversor.

Já no inversor com fontes flutuantes, dependendo do estado dos interruptores a corrente que flui na fonte capacitiva da célula mais interna da Figura 1.17 é negativa quando S_2 e S_1' conduzem e positiva quando S_1 e S_2' conduzem. A corrente então neste capacitor pode ser diretamente modulada controlando o comando dos interruptores de

forma apropriada. Esta característica permite que a tensão nos capacitores seja estável podendo este conversor trabalhar como um conversor CC-CC ou um inversor. A Figura 1.19 mostra um conversor buck de quatro níveis. Nesta estrutura os interruptores complementares S_1' , S_2' e S_3' são substituídos por diodos.

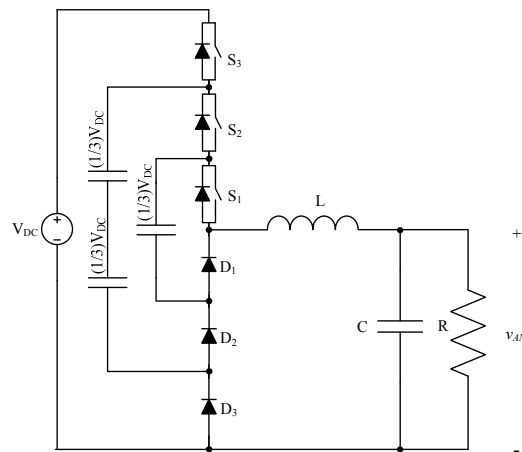


Figura 1.19 – Conversor buck 4 níveis.

A versão trifásica do inversor com fonte de tensão flutuante 4 níveis é apresentada na Figura 1.20. A tensão de linha v_{AB} apresenta $(2n_F - 1)$ níveis, assim como as estruturas DC e CHB.

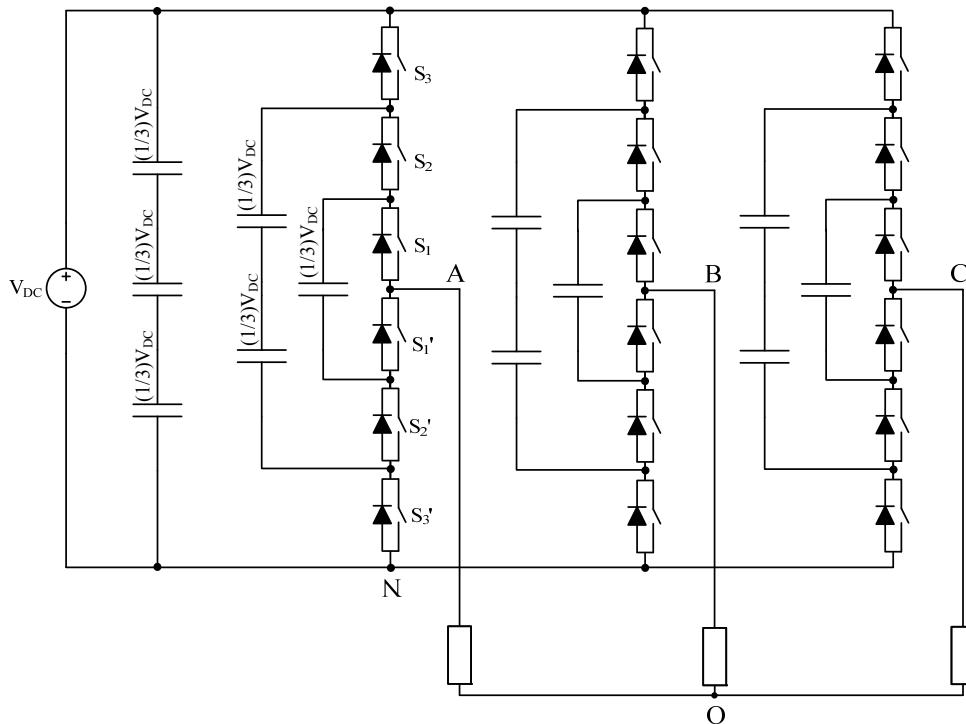


Figura 1.20 – Inversor de tensão com fontes de tensão flutuantes 4 níveis trifásico.

A seguir serão comentadas as vantagens e desvantagens da estrutura utilizando fonte de tensão flutuante.

Vantagens:

- Maior redundância no comando dos interruptores;
- Quando o número de níveis é alto, o conteúdo harmônico é menor evitando assim o uso de filtros;
- Ambos os fluxos de potência ativa e reativa podem ser controlados com este inversor;
- Um número maior de capacitores fornece mais caminhos para o fluxo de potência.

Desvantagens:

- Um número grande de capacitores é requerido à medida que o número de níveis aumenta;
- O controle do inversor é mais complexo;
- Necessidade de muitos sensores de tensão.

1.5 Conclusão

Neste capítulo foram apresentadas as estruturas multiníveis mais utilizadas em alta tensão e potência. As topologias, principais características, número de componentes, estruturas trifásicas, vantagens e desvantagens foram apresentadas de forma resumida.

Na década de 70 as estruturas empregando inversores de tensão ponte completa em cascata começaram a ser estudadas.

A topologia conhecida como DC surgiu no final da década de 70 [2]. Nesta estrutura são empregados diodos que grampeiam a tensão sobre os interruptores a um determinado

valor de acordo com o número de níveis empregado. A estrutura NPC 3 níveis é amplamente empregada em aplicações indústrias.

Na década de 90 surgiu uma estrutura chamada *Flying Capacitor* onde não há necessidade de utilizar diodos grampeadores, além disso, esta estrutura pode ser utilizada em conversores CC-CC multinível.

Na Tabela 1.7 é apresentada uma comparação entre estas três estruturas.

Estrutura do conversor	Diodo-Clamped	Flying Capacitor	Cascaded-Inverter
Interruptores	$(n_F - 1)2$	$(n_F - 1)2$	$(n_F - 1)2$
Diodos grampeadores	$(n_F - 1)(n_F - 2)$	0	0
Capacitores no link DC	$(n_F - 1)$	$(n_F - 1)$	$(n_F - 1)/2$
Capacitores das células	0	$(n_F - 1)(n_F - 2)/2$	0

Tabela 1.7 – Número de componentes das três topologias estudadas.

2 INVERSOR MULTINÍVEL PROPOSTO

2.1 Introdução

No capítulo anterior foram apresentadas as 3 topologias de inversores multiníveis frequentemente empregadas na indústria. Dentre as 3 estruturas citadas o *Cascaded h-bridge inverter* é a mais empregada, principalmente por ser uma estrutura modular com baixa taxa de distorção harmônica na tensão de carga e opera em alta tensão sem a necessidade de interruptores em série. Porém, esta topologia apresenta um grande número de fontes isoladas, uma quantidade elevada de componentes e é patenteada.

Neste capítulo será proposta a estrutura de um inversor multinível, similar ao *Cascaded h-bridge inverter*, com uma diferença básica: ao invés de utilizar inversores de tensão ponte-completa em cascata serão empregadas sub-células com apenas um braço inversor.

Durante o capítulo serão avaliadas as principais características desta topologia na versão monofásica e trifásica.

2.2 Estrutura clássica dos inversores três níveis monofásico

A função básica de um inversor de tensão é, a partir de uma fonte de tensão contínua, transformá-la em uma fonte alternada. Dependendo da topologia do inversor empregado, ambas, frequência e amplitude da tensão de saída, podem ser fixas ou variáveis. As estruturas que serão tratadas neste trabalho referem-se apenas aos inversores de tensão.

Os inversores de tensão são os conversores CC-CA mais comumente utilizados nas indústrias. O sinal gerado na carga destes conversores comporta-se como uma fonte de tensão alternada. Este tipo de conversor geralmente é alimentado por retificadores ligados à rede elétrica alternada. Porém, em alguns casos estas fontes de tensão contínuas podem ser obtidas através de painéis fotovoltaicos, banco de baterias, células combustíveis, aerogeradores, etc.

A topologia básica de um inversor de tensão é apresentada na Figura 2.1. Esta estrutura é composta por dois braços inversores formado por dois interruptores que devem trabalhar de forma complementar. Com esta estrutura, dependendo do tipo de modulação empregada, pode-se obter uma tensão na carga com dois ou três níveis.

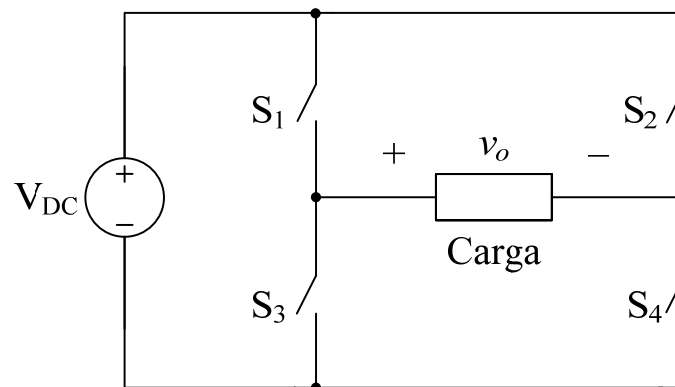


Figura 2.1 - Inversor de tensão clássico.

2.2.1 Etapas de operação

Existem 4 etapas de operação para esta estrutura, considerando que o inversor trabalhe com três níveis de tensão com carga RL e modulação PWM senoidal a três níveis.

1º Etapa: durante a primeira etapa, os dois interruptores S_1 e S_4 conduzem, mantendo a tensão na carga igual à fonte de tensão contínua (V_{DC}). Nesta etapa a energia é transmitida da fonte para a carga e a corrente na carga cresce de forma exponencial.

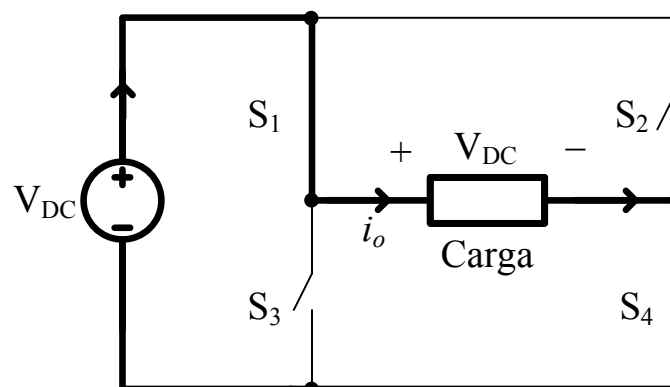


Figura 2.2 - Primeira etapa do inversor de tensão clássico.

2º Etapa: existem duas formas de realizar esta etapa: bloqueando o interruptor S_1 ou S_4 . Caso o interruptor S_1 seja bloqueado, é formado uma roda-livre entre os interruptores S_3 , S_4 e a carga (Figura 2.3a). Dessa forma é obtido na carga o nível de tensão zero. De

modo similar se o interruptor S_4 for bloqueado, a roda-livre é formada na parte superior do inversor pelos semicondutores S_1 , S_2 e a carga (Figura 2.3b). Enquanto a corrente na carga não inverte o sentido, os interruptores ficam chaveando de tal forma que o inversor fique alternando entre a 1^o e 2^o etapa.

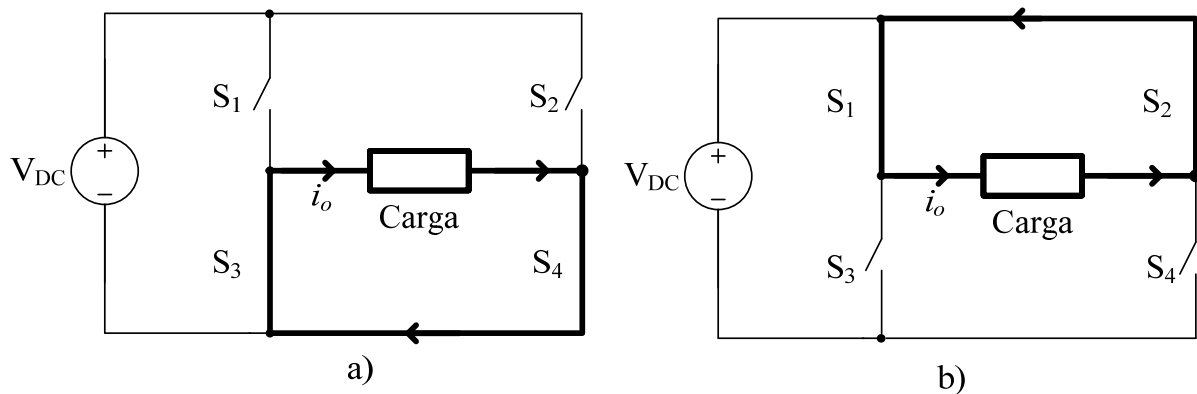


Figura 2.3 - Segunda etapa do inversor de tensão clássico. a) S_1 bloqueado; b) S_4 bloqueado.

3^o Etapa: quando a corrente na carga passa por zero, ela se inverte, e começa a conduzir pelo interruptor S_2 e S_3 e a tensão na carga torna-se negativa ($-V_{DC}$).

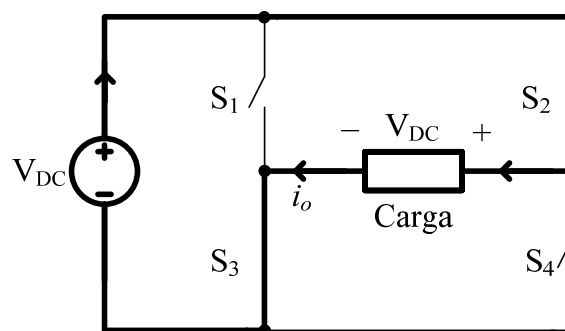
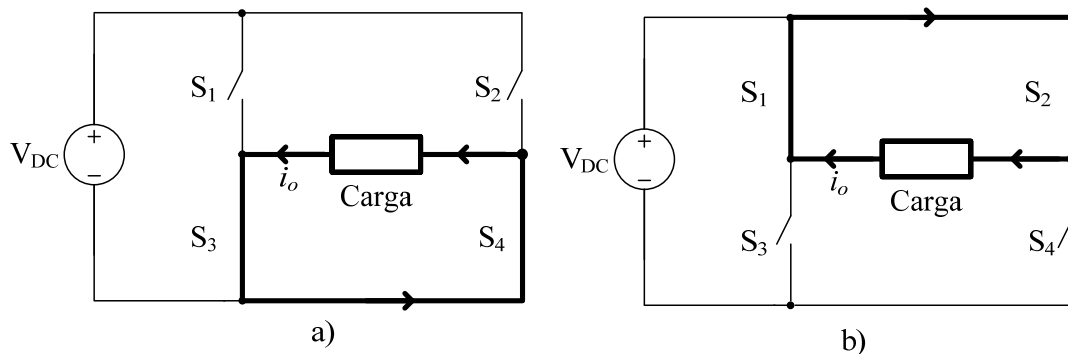


Figura 2.4 - Terceira etapa do inversor de tensão clássico.

4^o Etapa: da mesma forma que na segunda etapa, a roda-livre pode ser formada de duas maneiras: bloqueando S_2 ou S_3 . Se S_2 for bloqueado a corrente faz o caminho demonstrado na Figura 2.5a. Caso S_3 seja comandado a bloquear, a corrente irá conduzir pelos semicondutores S_1 , S_2 e a carga, como apresentado na Figura 2.5b. Nesta etapa o nível de tensão zero é obtido na carga. A terceira e quarta etapas ficam alternando até o momento em que o sentido da corrente seja invertido e se inicie a 1^o etapa novamente.


 Figura 2.5 – Quarta etapa do inversor de tensão clássico. a) S_2 bloqueado; b) S_3 bloqueado.

Na Figura 2.6 é mostrada a forma de onda na tensão na carga de um inversor de tensão monofásico clássico, utilizando modulação PWM senoidal a três níveis, onde podem ser visualizadas as 4 etapas de operação, discutidas anteriormente. Na Tabela 2.1 são apresentadas as combinações necessárias para a obtenção dos níveis de tensão na carga.

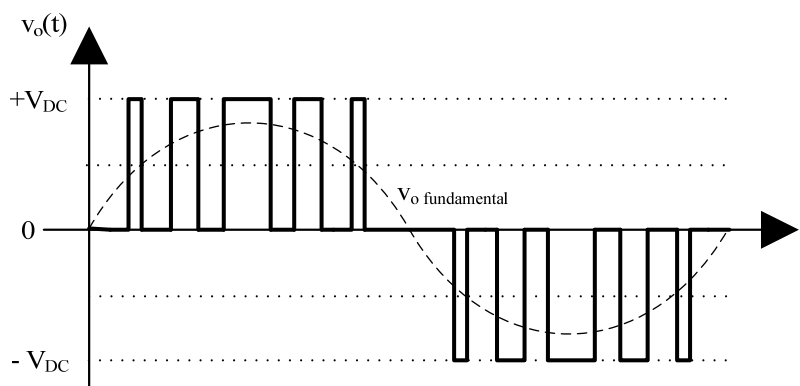


Figura 2.6 – Formas de onda de tensão na carga do inversor monofásico clássico.

Níveis de Tensão na carga	Comutação dos Interruptores			
	S1	S2	S3	S4
$+V_{DC}$	1	0	0	1
0	1	1	0	0
	0	0	1	1
$-V_{DC}$	0	1	1	0
0	1	1	0	0
	0	0	1	1

Tabela 2.1 – Combinações necessárias para a obtenção dos níveis de tensão na carga para inversor monofásico clássico 3 níveis.

Uma estrutura semelhante ao inversor clássico de tensão em ponte completa é o inversor meia ponte. O inversor meia ponte é composto por apenas um abraço inversor, com dois interruptores trabalhando de forma complementar. Necessita-se nesta topologia uma fonte de alimentação com ponto médio. Geralmente capacitores eletrolíticos com uma capacitância relativamente elevada são utilizados para manter a tensão constante.

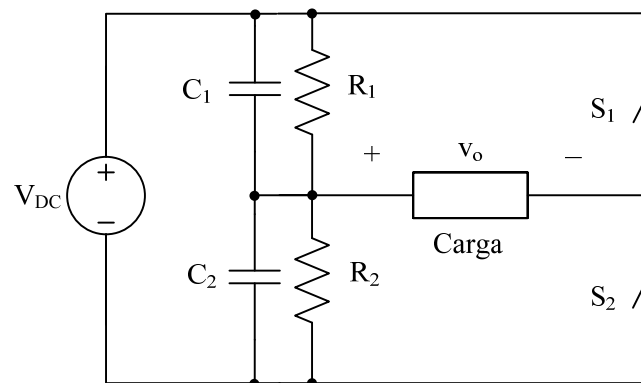


Figura 2.7 – Inversor de tensão meia ponte.

2.3 Inversor de tensão três níveis proposto

Sem alterar o número de semicondutores do inversor em ponte completa, foi incluído uma fonte de tensão em cada braço de inversor como apresentado na Figura 2.8. Ao invés de utilizar apenas uma fonte ligando os dois braços inversores, foram inseridas duas fontes iguais e não isoladas.

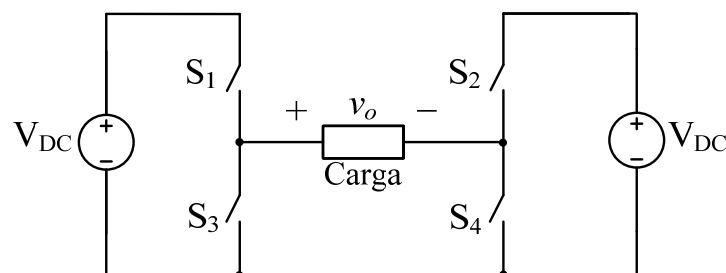


Figura 2.8 – Inversor de tensão três níveis proposto.

A tensão máxima em cada interruptor ainda continua sendo o próprio valor da fonte de tensão (V_{DC}) e os interruptores em cada braço inversor devem trabalhar de forma complementar.

2.3.1 Etapas de operação

Assim como na estrutura do inversor clássico em ponte completa, serão demonstradas aqui as etapas deste inversor. Para a análise das etapas de operação será considerada que o conversor seja composto por duas fontes de tensões ideais (V_1 e V_2) com o mesmo valor ($V_1=V_2=V_{DC}$) desprezando no momento a existência de tempo morto na comutação dos interruptores e considerando uma carga RL .

1º Etapa: Nesta etapa os interruptores S_1 e S_4 estão conduzindo e a corrente na carga cresce exponencialmente. A fonte de tensão V_1 entrega energia para a carga e o valor da tensão na carga é igual a V_{DC} .

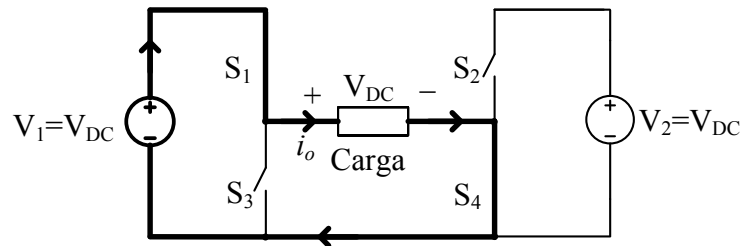


Figura 2.9 - Primeira etapa do inversor de tensão três níveis proposto.

2º Etapa: Esta etapa pode ser obtida de duas formas: bloqueando o interruptor S_1 ou S_4 . Se S_1 for bloqueado, uma roda-livre é formado entre S_3 , S_4 e a carga gerando o nível de tensão zero na carga como na Figura 2.10a. Caso S_4 seja bloqueado a corrente irá circular pelos interruptores S_1 e S_2 , tornando a tensão na carga igual a zero.

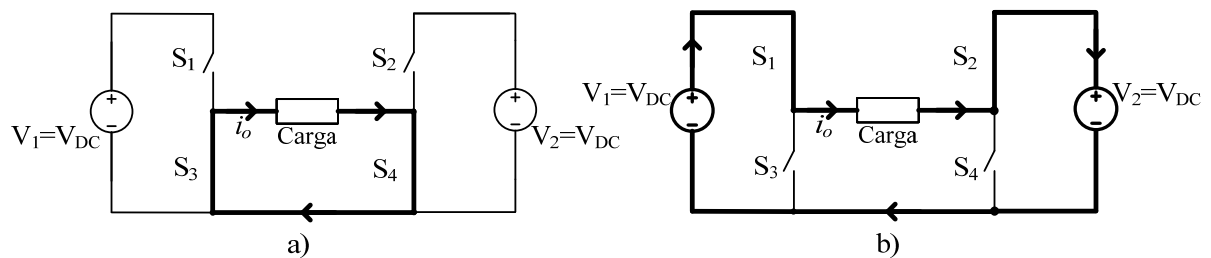


Figura 2.10 – Segunda etapa do inversor de tensão três níveis proposto. a) S_1 bloqueado; b) S_4 bloqueado.

3º Etapa: quando a corrente na carga se inverte, os interruptores S_2 e S_3 , que já tinham sido comandados, começam a conduzir e a tensão na carga tem o valor igual a $-V_{DC}$. A fonte de tensão V_2 nesta etapa entrega energia para a carga.

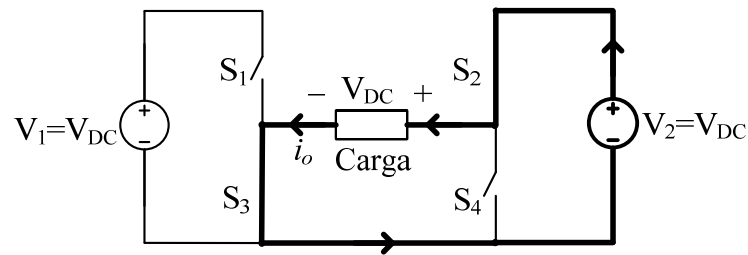
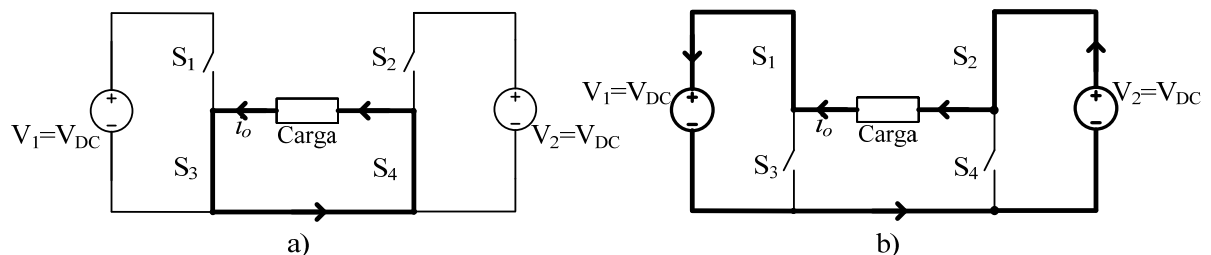


Figura 2.11 - Terceira etapa do inversor de tensão três níveis.

4º Etapa: assim como na segunda etapa existe duas formas de obter a tensão zero na carga: com o bloqueio do interruptor S_2 ou S_3 . Com o bloqueio de S_2 é formado uma roda-livre entre S_3 , S_4 e a carga (Figura 2.12a). Se S_3 for bloqueado a corrente de carga passará a conduzir pelos semicondutores S_1 e S_2 , mantendo a tensão na carga nula.


 Figura 2.12 - Quarta etapa do inversor de tensão três níveis. a) S_2 bloqueado; b) S_3 bloqueado.

Visto que esta topologia utiliza o mesmo comando dos interruptores empregado no inversor de tensão clássico, a técnica de modulação utilizada neste inversor pode ser aplicada na versão proposta, considerando as fontes de tensões ideais e de mesmo valor.

Apenas como demonstração, na Figura 2.13 são apresentadas as formas de onda do inversor três níveis proposto, utilizando modulação PWM senoidal a três níveis, para uma carga RL . A corrente representada nesta figura é a corrente fundamental na carga. Observa-se que esta corrente está defasada em relação à tensão, por se tratar de uma carga RL .

O comando dos interruptores necessário para a obtenção dos níveis segue a mesma combinação presente na Tabela 2.1, pelo fato de utilizar a mesma modulação do inversor clássico.

Caso as fontes de tensões isoladas apresentem não idealidades, como ruídos e valores diferentes entre si, no emprego da modulação PWM senoidal a três níveis tradicional, ocorreria um desbalanceamento na tensão de saída. Quando os interruptores S_1 e S_2 , por

exemplo, estão conduzindo simultaneamente, se as duas fontes de tensões não apresentarem o mesmo valor, o nível zero na tensão de carga não será obtido e a corrente de carga será alterada, gerado um valor médio diferente de zero.

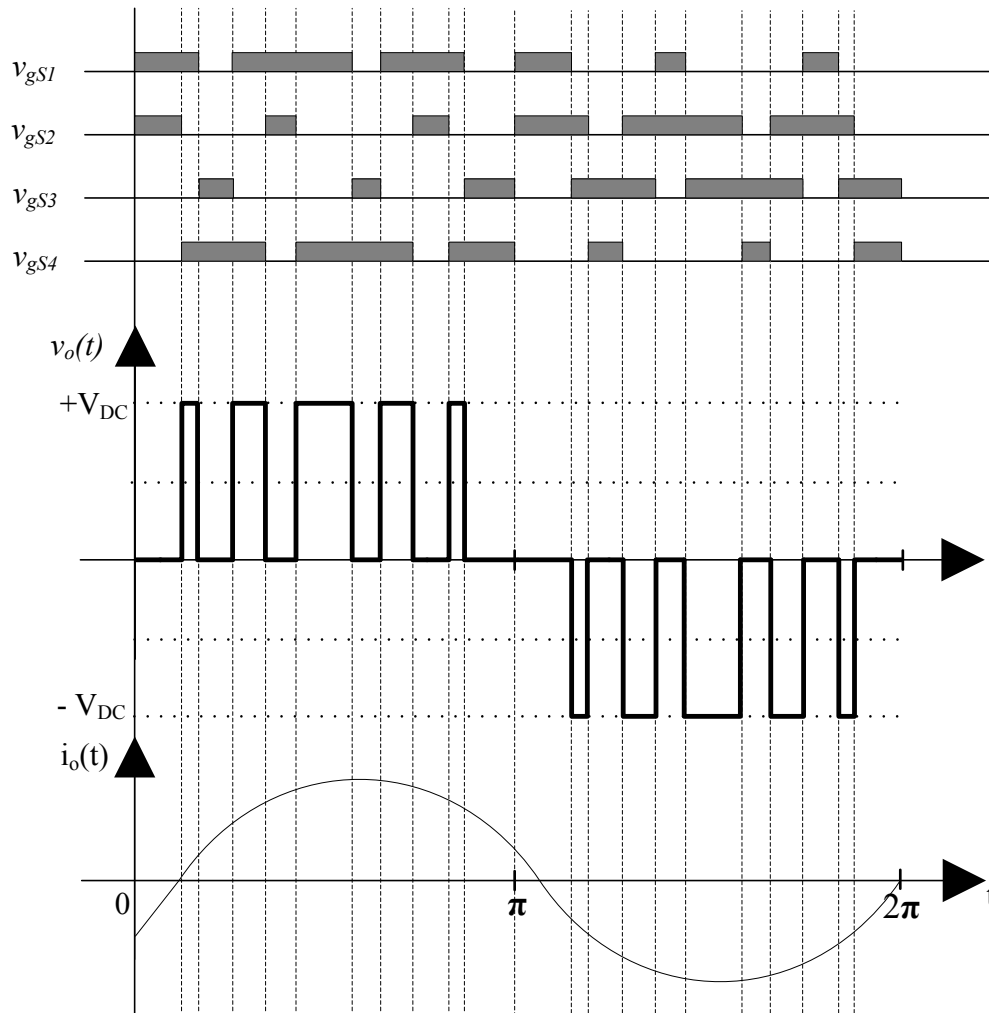


Figura 2.13 - Simulação do inversor de tensão três níveis.

2.4 Inversor de tensão cinco níveis proposto

Baseado na estrutura de inversor três níveis proposta foi criado uma topologia cinco níveis, inserindo mais um braço inversor em cascata, como demonstrado na Figura 2.14.

Esta estrutura monofásica é composta por oito interruptores e quatro fontes de tensão contínua. Com este inversor é possível obter na carga uma tensão com cinco níveis, sendo estes: $2V_{DC}$, V_{DC} , 0 , $-V_{DC}$ e $-2V_{DC}$. Cada nível de tensão pode ser obtido de mais de uma

maneira, com exceção do nível $+2V_{DC}$ e $-2V_{DC}$, que é obtido apenas com o comando simultâneo dos interruptores (S_1, S_5) e (S_3, S_7) respectivamente.

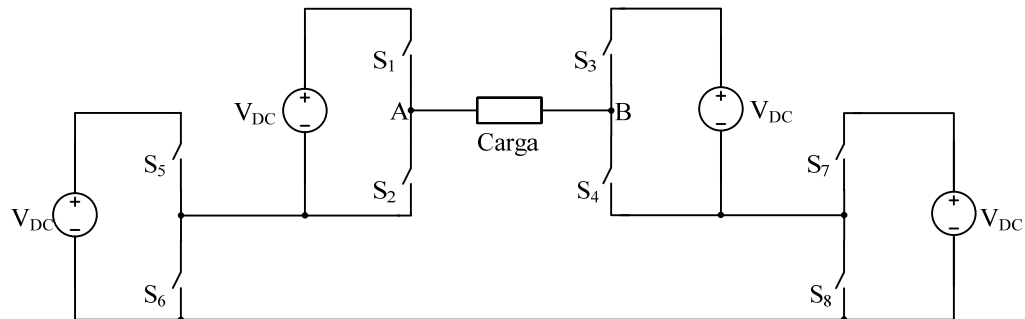


Figura 2.14 – Topologia do inversor de tensão cinco níveis proposto.

O comando dos interruptores do mesmo braço de inversor deve ocorrer de forma complementar, assim como nos inversores clássicos. Dessa forma é possível obter um número de 16 combinações no comando destes semicondutores. Na Tabela 2.2 são demonstrados os possíveis comandos dos interruptores superiores de cada braço, para cada nível de tensão na carga. O número 1 significa que o interruptor em questão foi comandado a conduzir e zero que foi bloqueado. Pela tabela analisada é comprovada a existência de redundância no comando dos interruptores.

Nível de tensão na carga (v_{AB})	Estados	Comando dos Interruptores			
		S_1	S_3	S_5	S_7
Zero	1	0	0	0	0
	2	1	1	0	0
	3	0	0	1	1
	4	1	0	0	1
	5	0	1	1	0
	6	1	1	1	1
$+V_{DC}$	7	1	0	0	0
	8	0	0	1	0
	9	1	1	1	0
	10	1	0	1	1
$-V_{DC}$	11	0	1	0	0
	12	0	0	0	1
	13	1	1	0	1
	14	0	1	1	1
$+2V_{DC}$	15	1	0	1	0
$-2V_{DC}$	16	0	1	0	1

Tabela 2.2 - Possíveis comandos dos interruptores.

2.4.1 Etapas de operação

Nesta seção serão descritas as etapas de operação do inversor de tensão cinco níveis apresentado anteriormente, considerando uma carga RL . Para tornar possível uma melhor análise desta topologia, esta será realizada sem nenhuma técnica de modulação no comando dos interruptores.

1º Etapa (t_0, t_1): No instante t_0 , os interruptores S_2 , S_4 , S_6 e S_8 são comandados a conduzir simultaneamente conforme a Figura 2.15. Considerando a operação em regime permanente, a componente fundamental da corrente de carga está atrasada em relação à tensão de carga v_{AB} fundamental. Assim, os interruptores que estão conduzindo são os interruptores inferiores de cada braço de inversor, formando uma roda livre, gerando o nível de tensão zero na carga. Esta etapa termina quando a corrente na carga se inverte.

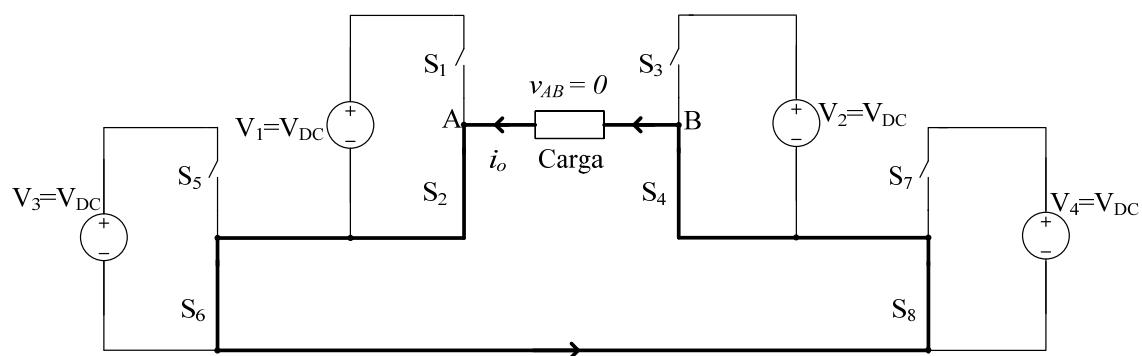


Figura 2.15 - Primeira etapa de operação.

2º Etapa (t_1, t_2): No instante t_1 a corrente na carga é zero. Os interruptores inferiores continuam a conduzir. A tensão na carga ainda é mantida em zero, devido à roda livre formada por estes semicondutores.

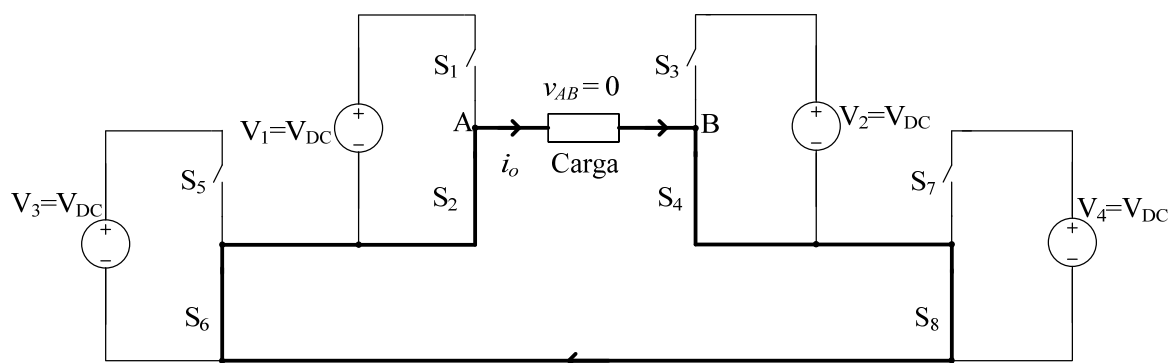


Figura 2.16 – Segunda etapa de operação.

3º Etapa (t_2, t_3): No instante t_2 o interruptor S_1 é comandado a conduzir e a tensão na carga passa a ser V_{DC} conforme ilustrado na Figura 2.17. Nesta etapa a fonte V_1 fornece energia para a carga.

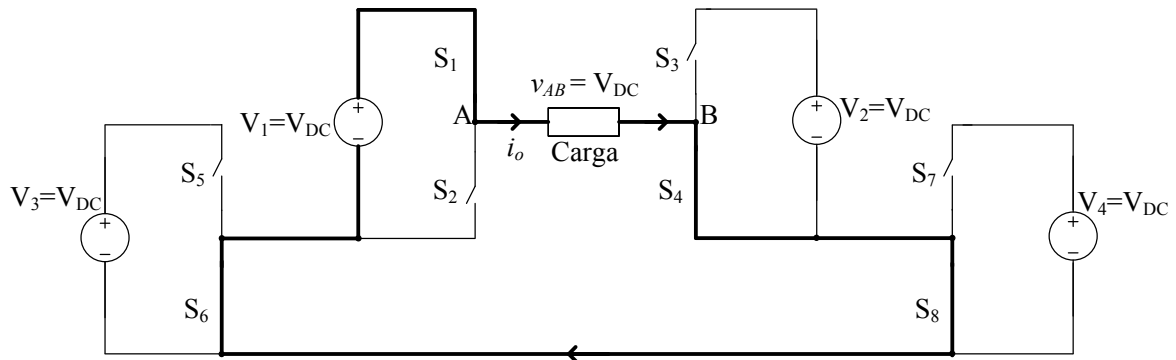


Figura 2.17 – Terceira etapa de operação.

4º Etapa (t_3, t_4): Para obter o nível de tensão na carga igual a $+2V_{DC}$, no instante t_3 o interruptor S_5 é comandado a conduzir, passando as fontes V_1 e V_3 a fornecer energia para a carga.

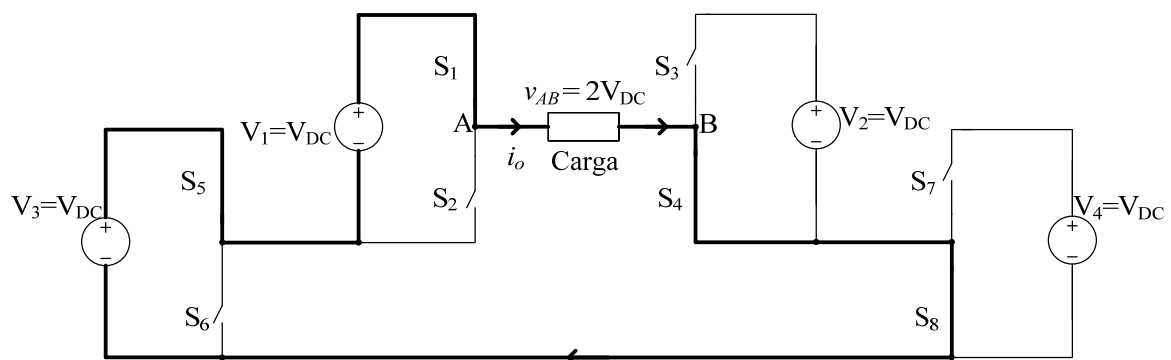


Figura 2.18 – Quarta etapa de operação.

5º Etapa (t_4, t_5): No instante t_4 , o nível de tensão na carga $+V_{DC}$ pode ser obtido de duas maneiras: bloqueando o interruptor S_5 ou comandando S_3 a conduzir. Neste exemplo de operação, será considerado que o interruptor S_3 será comandado a conduzir. A corrente de carga circula pelos semicondutores S_3, S_8, S_5 e S_1 gerando na carga o nível de tensão $+V_{DC}$. As fontes de tensão V_1 e V_3 passam a fornecer energia para a carga e para a fonte V_2 .

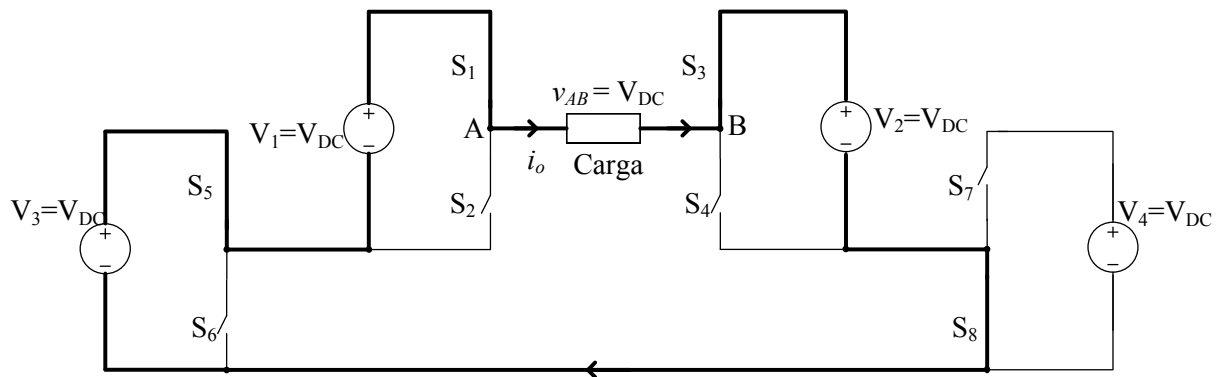


Figura 2.19 – Quinta etapa de operação.

6^o Etapa (t_5, t_6): Para novamente obter o nível de tensão zero na carga, o interruptor S_7 é comandado a conduzir. As fontes V_1 e V_3 agora fornecem energia para a carga e para as duas fontes V_2 e V_4 , até o momento em que a corrente de carga se torne igual a zero.

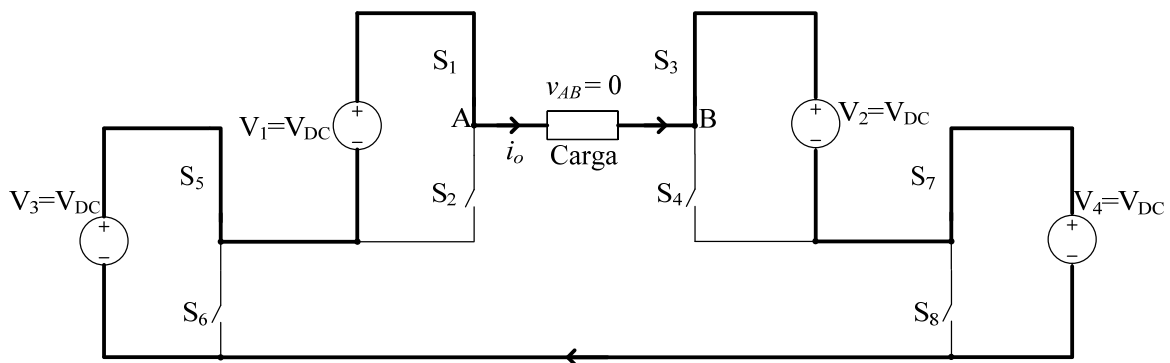


Figura 2.20 – Sexta etapa de operação.

7^o Etapa (t_6, t_7): No instante t_6 a corrente de carga se inverte, fazendo com que as fontes V_2 e V_4 forneçam energia para o sistema, mantendo o nível de tensão na carga igual a zero.

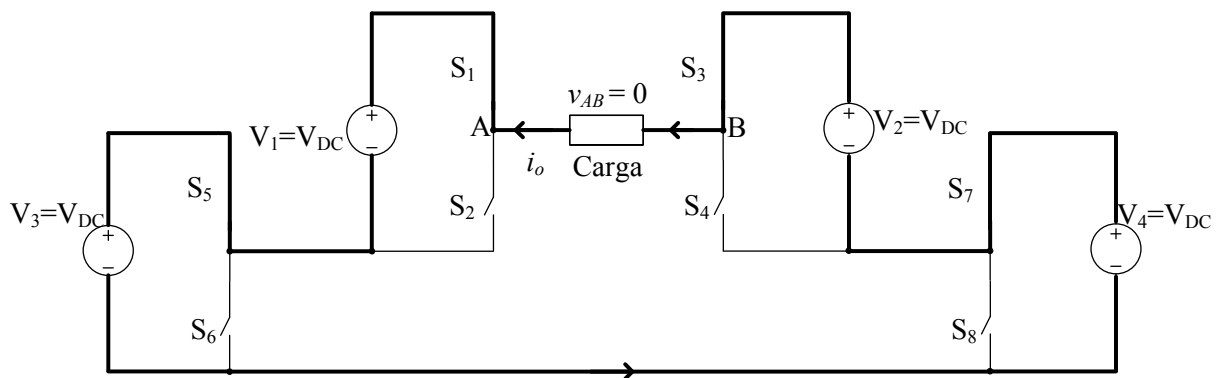


Figura 2.21 – Sétima etapa de operação.

8^o Etapa (t_7, t_8): No momento de bloqueio de S_5 , o interruptor S_6 começa a conduzir de forma complementar e a tensão na carga para a ser $-V_{DC}$.

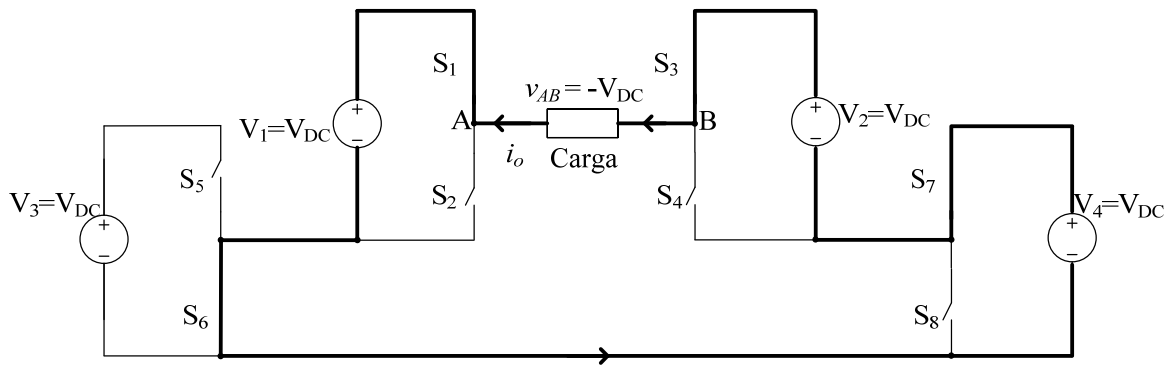


Figura 2.22 – Oitava etapa de operação.

9^o Etapa (t_8, t_9): No instante t_8 , S_1 é bloqueado, a tensão na carga passa a ser $-2V_{DC}$ e as fontes V_2 e V_4 continuam a fornecer energia para a carga.

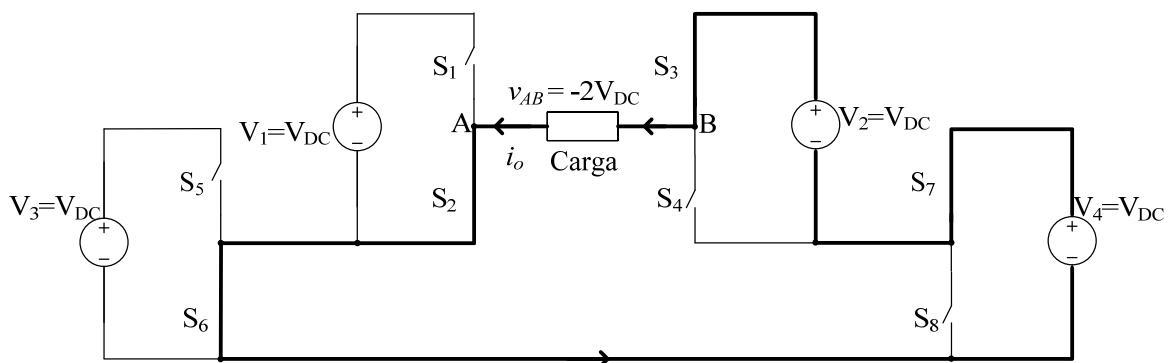


Figura 2.23 – Nona etapa de operação.

10^o Etapa (t_9, t_{10}): Nesta última etapa, S_7 é bloqueado, fazendo com que a tensão na carga seja $-V_{DC}$, sendo a fonte V_2 a única a fornecer energia a carga. A partir do instante t_{10} o ciclo se repete.

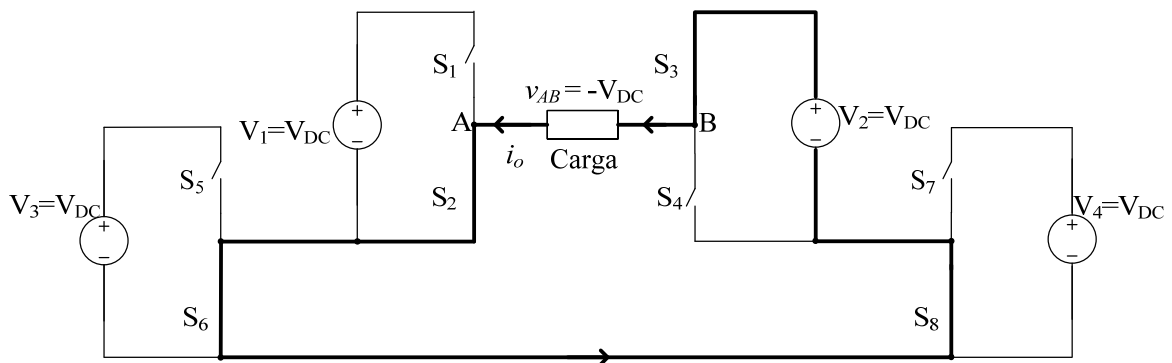


Figura 2.24 – Décima etapa de operação.

As formas de ondas básicas, com indicação dos intervalos de tempos correspondente para cada condição descrita anteriormente são apresentadas na Figura 2.25. Verifica-se que a corrente de carga fundamental está atrasada em relação à tensão de carga v_{AB} fundamental. Nesta figura são apresentados apenas os comandos dos interruptores S_1 , S_3 , S_5 e S_7 por que os outros interruptores serão complementares a estes, em seus respectivos braços inversores. Na parte superior desta ilustração são apresentados todos os estados possíveis de comando dos interruptores, para cada etapa de operação.

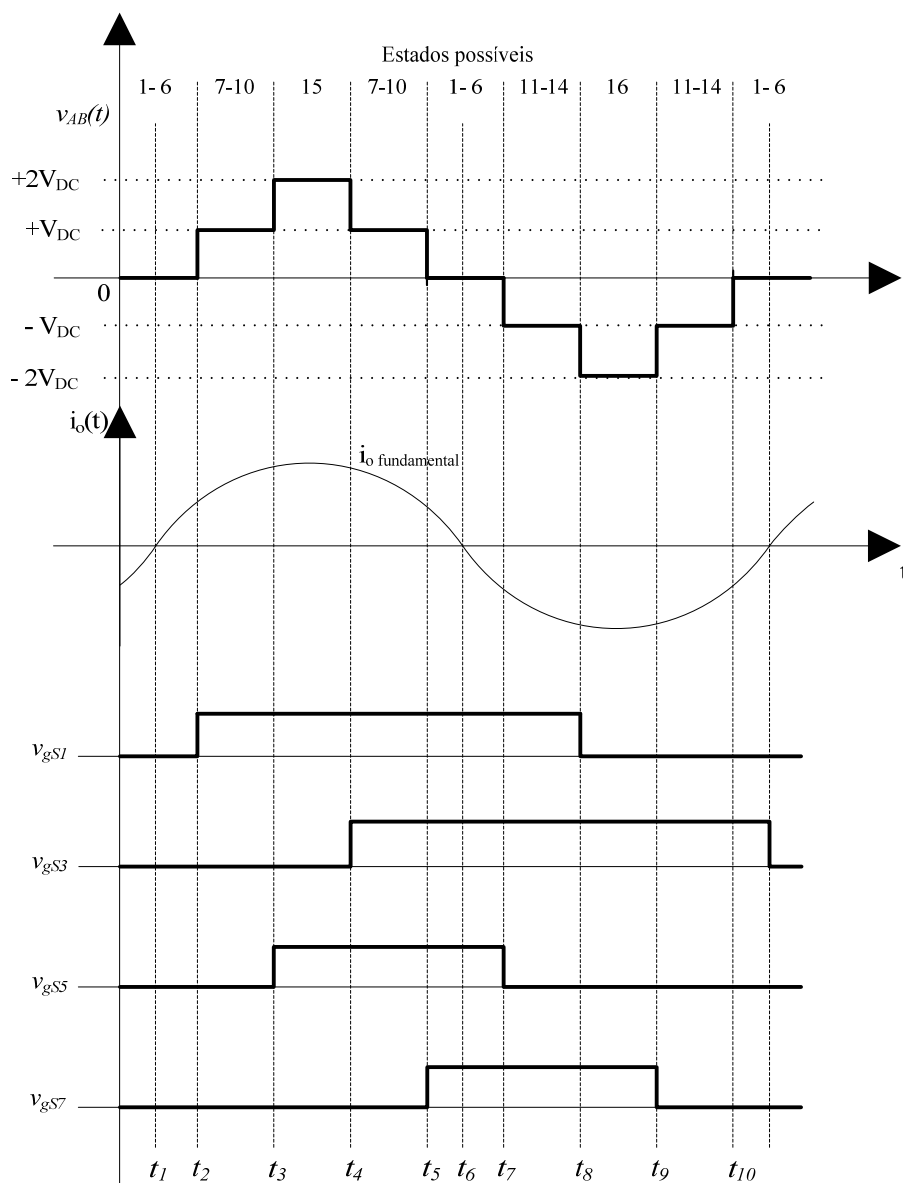


Figura 2.25 – Tensão e corrente na carga e comando dos interruptores S_1 , S_3 , S_5 e S_7 .

2.5 Estrutura trifásica do inversor multinível proposto

Baseado nos inversores apresentados anteriormente será proposta a topologia de um inversor de tensão multinível na versão trifásica, ilustrado na Figura 2.26. Este inversor é composto por $(3n_L - 3)$ interruptores e $(3n_L - 3)/2$ fontes de tensão contínua, onde n_L é o número de níveis na tensão de linha v_{AB} . A carga nesta estrutura pode ser conectada em delta ou estrela.

Na estrutura analisada, será definida como sub-célula de comutação um braço inversor com dois interruptores trabalhando de forma complementar (Figura 2.27a). Assim, cada célula de comutação é formada por duas sub-células com as conexões definidas na Figura 2.27b.

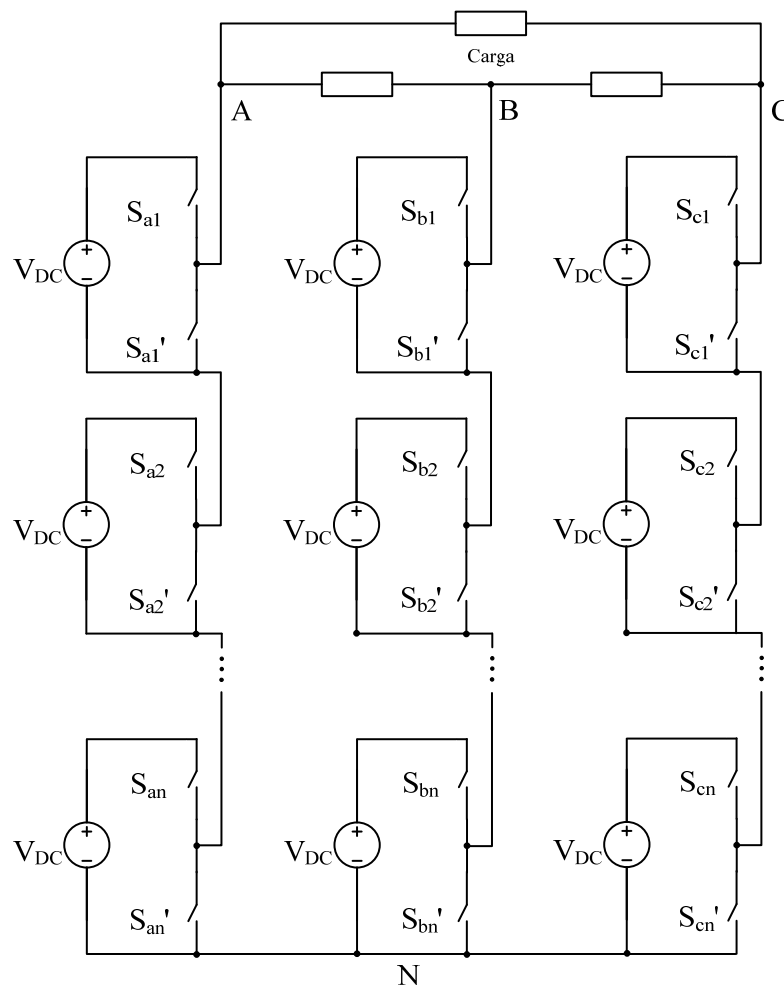


Figura 2.26 - Inversor multinível com n sub-células de comutação em cascata.

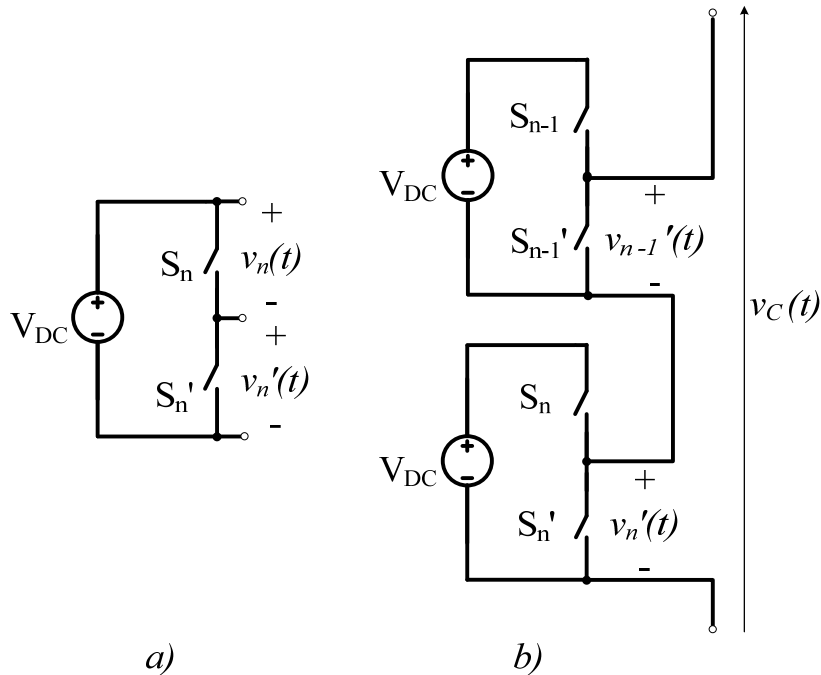


Figura 2.27 – a) Sub-célula de comutação; b) Célula de comutação

Pode-se obter um maior número de níveis na tensão de linha acrescentando-se mais células de comutação em cascata (Figura 2.28), onde o número de níveis da tensão $v_{AB}(t)$ e $v_{AN}(t)$ é representado pelas equações (2.1) e (2.2) respectivamente. O número de níveis na tensão de linha para esta estrutura é sempre ímpar

$$n_L = 4N_c + 1 \quad (2.1)$$

$$n_F = 2N_c + 1 \quad (2.2)$$

onde N_c é o número de células de comutação em cascata de uma fase.

Este conversor apresenta uma semelhança com a topologia conhecida como *Cascaded H-bridge multilevel inverter* que utiliza inversores de tensão ponte-completa em cascata.

Nesta estrutura ao invés de utilizar inversores de tensão ponte-completa, são empregados sub-células em cascatas com apenas um braço inversor. Esta modificação altera o comportamento do inversor necessitando um estudo mais detalhado principalmente no que diz respeito ao valor da tensão média gerado por cada célula quando empregado na versão trifásica.

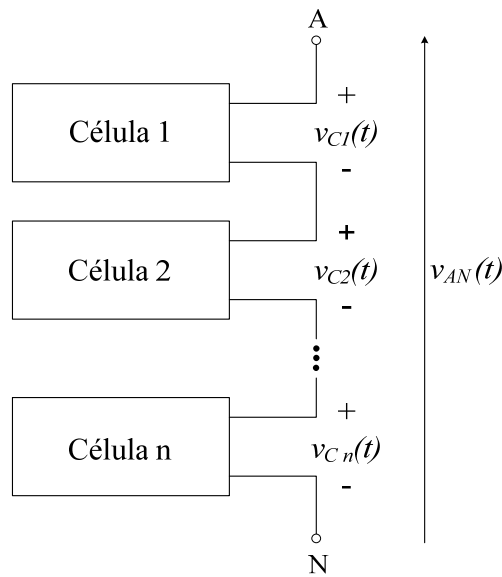


Figura 2.28 – Células de comutação em cascata de uma fase do inversor.

2.6 Análise do valor médio na tensão de fase da versão trifásica do inversor multinível proposto

Para encontrar a expressão da tensão na fase deste inversor, inicialmente deve-se encontrar a equação que define a tensão sobre os terminais de um interruptor. Para isso será utilizado como equação da razão cíclica de um interruptor a equação (2.3).

$$d(t) = \frac{1}{2}(1 + M \cos(\omega_o t + \theta_o)) \quad 0 < M < 1 \quad (2.3)$$

Desconsiderando as harmônicas geradas pela portadora triangular, a expressão da tensão no interruptor $v_{an}'(t)$ da Figura 2.29 é apresentada na equação (2.4). O fio terra na Figura 2.29 foi inserido apenas para auxiliar o desenvolvimento do equacionamento.

$$v_{an}'(t) = V_{DC} d(t) \quad (2.4)$$

Substituindo (2.3) em (2.4) obtém-se (2.5)

$$v_{an}'(t) = V_{DC} \frac{1}{2}(1 + M \cos(\omega_o t + \theta_o)) \quad (2.5)$$

$$v_{an}'(t) = \frac{V_{DC}}{2} + \frac{V_{DC}}{2} M \cos(\omega_o t + \theta_o) \quad (2.6)$$

onde θ_o representa a defasagem da moduladora, sendo constante para uma mesma fase. Devido a este fato pode-se concluir que as expressões das tensões em todos os interruptores de uma fase são iguais e definidas pela equação (2.6).

$$v_{a1}'(t) = v_{a2}'(t) = \dots = v_{an}'(t) \quad (2.7)$$

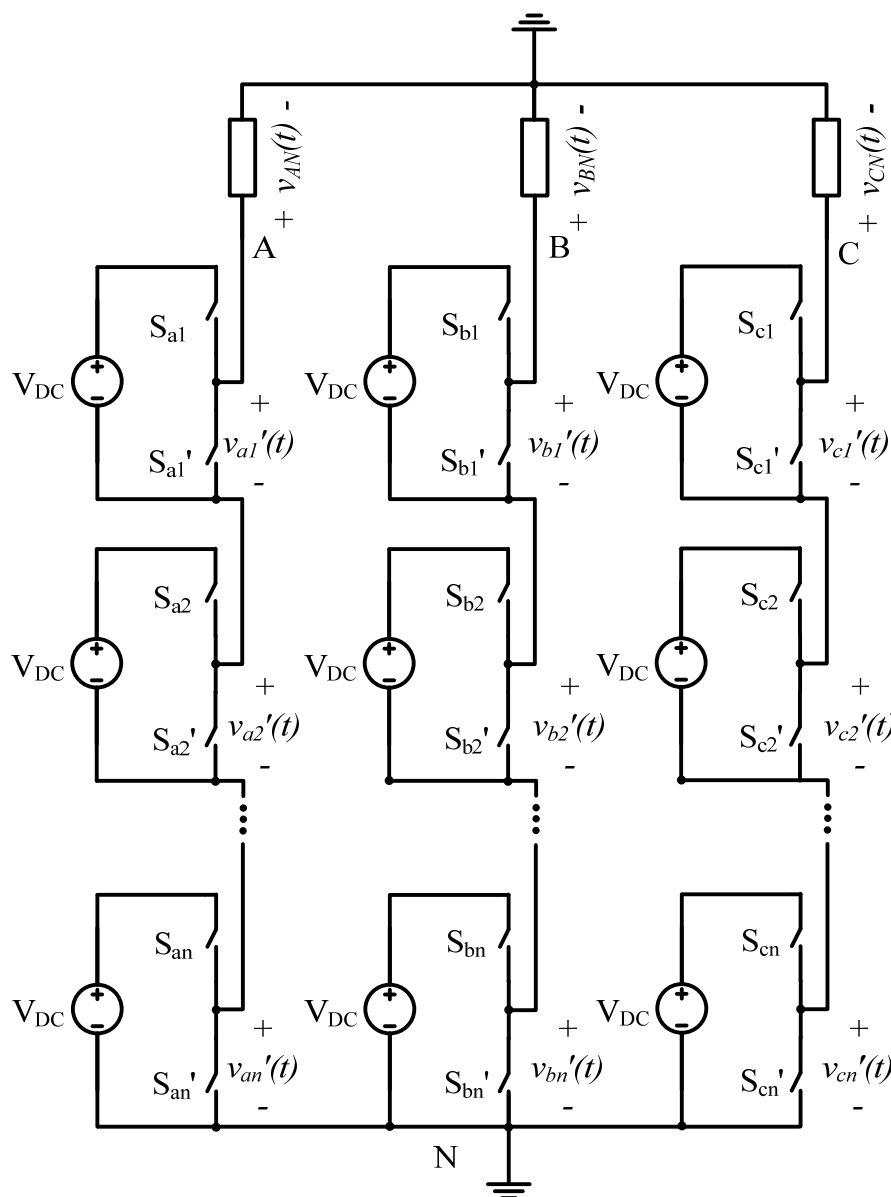


Figura 2.29 – Inversor multinível proposto com carga ligada em estrela.

Pode-se definir então a expressão da tensão de fase na carga como:

$$v_{AN}(t) = \sum_{n=1}^{2N_c} v_{an}'(t) \quad (2.8)$$

$$v_{AN}(t) = N_c V_{DC} + N_c V_{DC} M \cos(\omega_o t + \theta_o) \quad (2.9)$$

Esta equação é composta por um valor médio de tensão e um valor alternado com uma determinada defasagem θ_o . Baseado na equação (2.9) pode-se obter a tensão na carga para as três fases:

$$\begin{cases} v_{AN}(t) = N_c V_{DC} + N_c V_{DC} M \cos(\omega_o t) \\ v_{BN}(t) = N_c V_{DC} + N_c V_{DC} M \cos(\omega_o t - \frac{2\pi}{3}) \\ v_{CN}(t) = N_c V_{DC} + N_c V_{DC} M \cos(\omega_o t + \frac{2\pi}{3}) \end{cases} \quad (2.10)$$

Com as equações presentes em (2.10), pode ser construído o circuito da Figura 2.30.

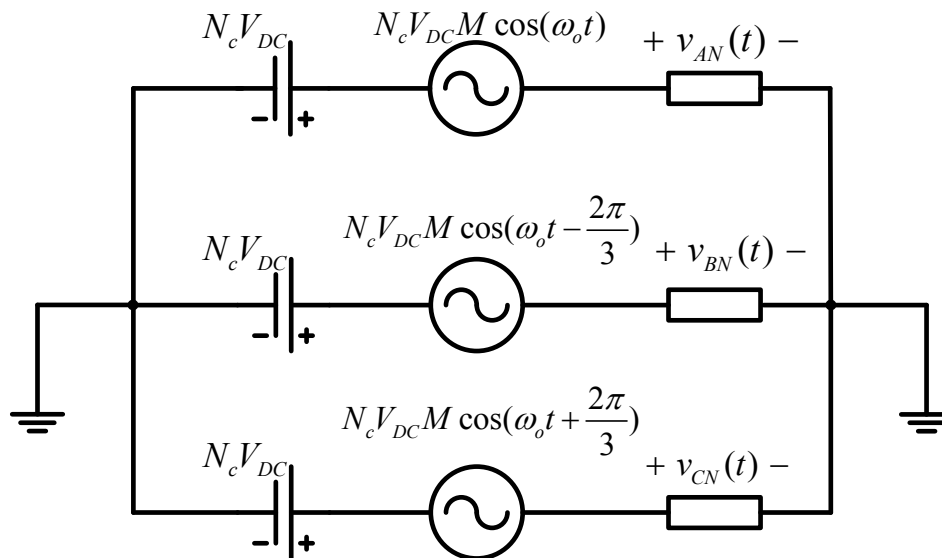


Figura 2.30 - Representação simplificada do inversor proposto.

De acordo com a Figura 2.30, a tensão de linha $v_{AB}(t)$ é definida pela equação (2.11). Nesta expressão a componente média de tensão é anulada.

$$v_{AB}(t) = N_c \sqrt{3} V_{DC} M \cos(\omega_o t + \frac{\pi}{6}) \quad (2.11)$$

Percebe-se que existe uma componente contínua na tensão de fase indesejável no inversor multinível proposto, porém esta é anulada quando analisada a tensão de linha. Caso a componente contínua, entre as fases, não tenha o mesmo valor, ocorrerá circulação de corrente entre fases, gerando uma corrente de carga com uma componente contínua diferente de zero, sendo necessário o uso de um controle em malha fechada.

Entretanto, será definido um método para anular esta componente contínua, sem que altere a estrutura básica deste inversor multinível. Para isto será inicialmente analisada a célula do inversor de forma individual.

Baseado na Figura 2.27a define-se a equação (2.12).

$$V_{DC} = v_n(t) + v_n'(t) \quad (2.12)$$

A equação $v_n'(t)$ já foi determinada em (2.6), assim $v_n(t)$ pode ser definido como em (2.14).

$$v_n(t) = V_{DC} - v_n'(t) \quad (2.13)$$

$$v_n(t) = \frac{V_{DC}}{2} - \frac{V_{DC}}{2} M \cos(\omega_o t + \theta_o) \quad (2.14)$$

$$\begin{cases} v_n'(t) = \frac{V_{DC}}{2} + \frac{V_{DC}}{2} M \cos(\omega_o t + \theta_o) \\ v_n(t) = \frac{V_{DC}}{2} - \frac{V_{DC}}{2} M \cos(\omega_o t + \theta_o) \end{cases} \quad (2.15)$$

Nas expressões apresentadas em (2.15), observa-se a alteração apenas do sinal da componente alternada de $v_n'(t)$ quando comparado com $v_n(t)$. Com estas equações consegue-se definir as expressões sobre os terminais de todos os interruptores do inversor, apenas alterando a defasagem da moduladora (θ_o) de acordo com a sua fase.

Conectando as sub-células de acordo com a Figura 2.31, consegue-se anular a componente média presente em uma fase do inversor. A tensão nos terminais de uma célula ($v_C(t)$) agora é definida como na equação (2.16).

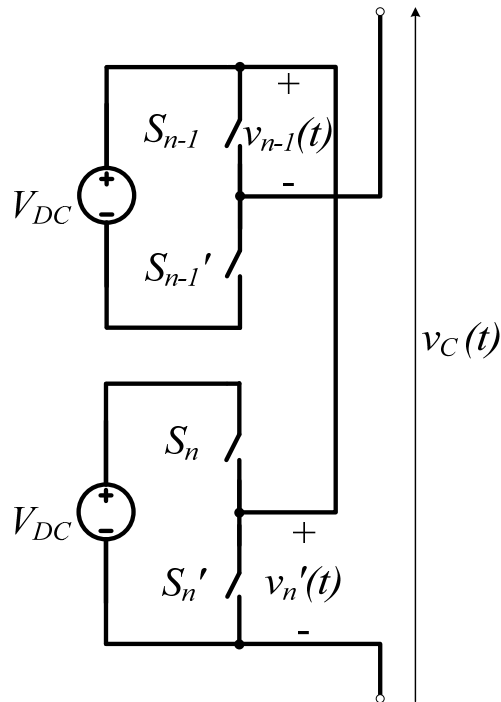


Figura 2.31 – Duas sub-células do inversor multinível proposto em cascata.

$$v_C(t) = v_n'(t) - v_{n-1}(t) \quad (2.16)$$

$$v_C(t) = V_{DC} M \cos(\omega_o t + \theta_o) \quad (2.17)$$

Nesta equação observa-se que a componente média na tensão de fase foi anulada, apenas alterando as conexões das células de uma fase, desde que todas as fontes de tensão contínua isoladas tenham o mesmo valor.

Construindo o circuito para N_c células em cascata, obtém-se o inversor multinível da Figura 2.32. Entretanto, esta nova estrutura só pode ser construída com números pares de sub-células em cascata, pois do contrário será gerada uma componente contínua na tensão de fase.

A tensão de fase $v_{AN}(t)$ para o inversor multinível com N_c células em cascata é representado pela equação (2.18). Conseqüentemente a tensão de linha é definida pela equação (2.19), considerando a defasagem da fase A como a referência.

$$v_{AN}(t) = N_c M V_{DC} \cos(\omega_o t + \theta_o) \quad (2.18)$$

$$v_{AB}(t) = \sqrt{3} N_c M V_{DC} \cos(\omega_o t + \frac{\pi}{6}) \quad (2.19)$$

Observa-se que a tensão de linha representada nas equações (2.19) e (2.11) são iguais, porém a tensão de fase (2.18) difere da equação (2.9) por não ter a componente média.

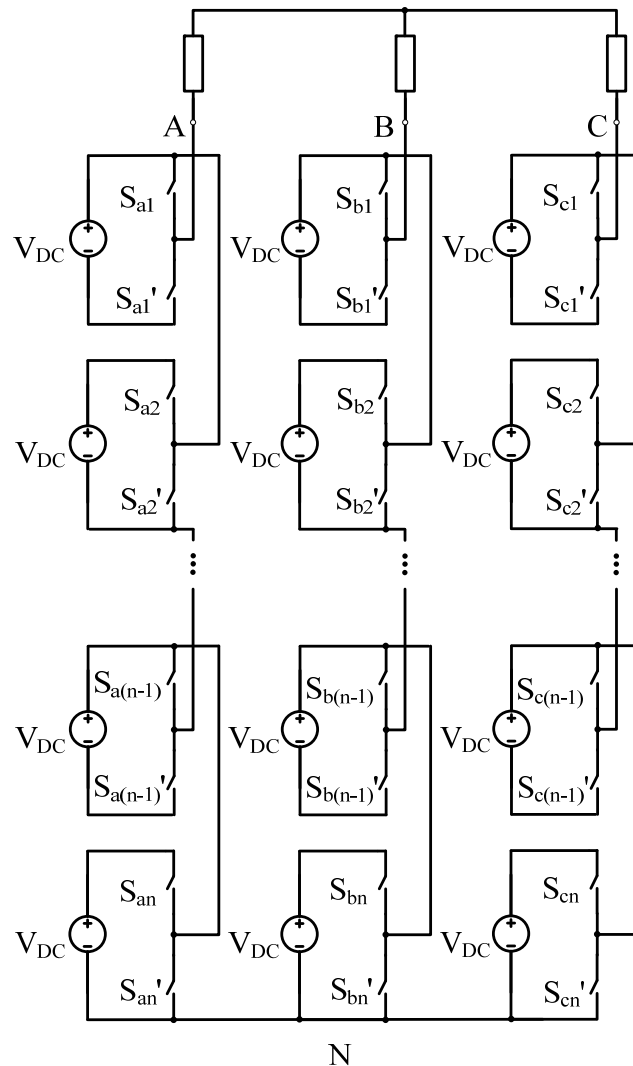


Figura 2.32 - Inversor multinível proposto sem componente contínua na tensão na fase.

2.7 Conclusão

A topologia de um inversor multinível trifásico foi proposta. Esta estrutura é muito semelhante ao *Cascaded H-bridge inverter*, porém ao invés de utilizar inversores de tensão ponte-completa em cascata são empregadas sub-células de comutação com apenas um braço inversor.

Neste capítulo comprovou-se a presença de uma componente média de tensão na fase na versão inicial do inversor multinível proposto. A presença desta é indesejável, pois caso esta tensão tenha o valor médio diferente em cada fase, ocorrerá à circulação de corrente entre as fases, gerando um desbalanceamento na corrente de carga do inversor.

Para isto foi analisada a célula do inversor proposto de forma individual e obtida a expressão da tensão sobre os terminais de todos interruptores, desconsiderando as harmônicas geradas pelas portadoras triangulares.

Com estas expressões, foram realizadas as devidas conexões das sub-células para anular a componente média de tensão na fase. Assim, foram definidas as expressões da tensão de linha e fase da versão final do inversor proposto, no qual não há uma componente contínua mesmo na tensão de fase. Com isto, a estrutura proposta torna-se adequada para aplicações práticas.

3 TÉCNICA DE MODULAÇÃO EMPREGADA NO INVERSOR MULTINÍVEL PROPOSTO

3.1 Introdução

Uma das estratégias mais utilizadas para o controle da corrente alternada na carga dos conversores na eletrônica de potência é a técnica conhecida como modulação por largura de pulso, ou ainda *pulse width modulation* (PWM), que tem como principal característica a variação da razão cíclica no chaveamento dos interruptores para alcançar a corrente desejada na saída.

A modulação foi uma das maiores áreas de pesquisa na eletrônica de potência por três décadas e ainda tem atraído considerável atenção e interesse, devido ao fato de que a modulação é considerada o “coração” dos conversores na eletrônica de potência. Porém pela enorme quantidade de material publicado, torna-se um desafio para o projetista identificar os princípios básicos para a aplicação em uma determinada modulação.

Neste capítulo será explorada e desenvolvida uma técnica de modulação para o inversor de tensão proposto, baseada em [18].

Nesta técnica, inicialmente é definida a expressão da tensão nos terminais dos interruptores presentes em uma sub-célula, para posteriormente encontrar uma equação matemática que defina a tensão na carga, levando em consideração a presença das harmônicas de tensão geradas pela portadora.

Os parâmetros utilizados nesta técnica de modulação serão definidos através do espectro harmônico da tensão na carga, sempre buscando uma baixa taxa de distorção harmônica.

Para facilitar a compreensão da metodologia utilizada, inicialmente serão desenvolvidas equações para conversores mais simples (inversor meia-ponte e ponte-completa) para posteriormente realizar a análise do inversor multinível proposto.

3.2 Análise da modulação por largura de pulso pela variação da razão cíclica

3.2.1 Modulação PWM senoidal para o inversor meia-ponte

Uma alternativa aproximada para calcular o espectro harmônico de uma modulação PWM natural é modular a razão cíclica para o conversor da Figura 3.1 com referência em baixa frequência. Para uma portadora triangular a forma de onda de referência, ou moduladora, tem como razão cíclica a equação (3.1).

$$d(t) = \frac{1}{2}(1 + M \cos(y)) \quad (3.1)$$

Onde M é o índice de modulação e $y = \omega_o t + \theta_o$. A forma de onda de referência é assumida constante em cada ciclo da portadora se $f_c \gg f_o$. O índice “ c ” refere-se sempre a portadora, assim como o índice “ o ” refere-se à moduladora.

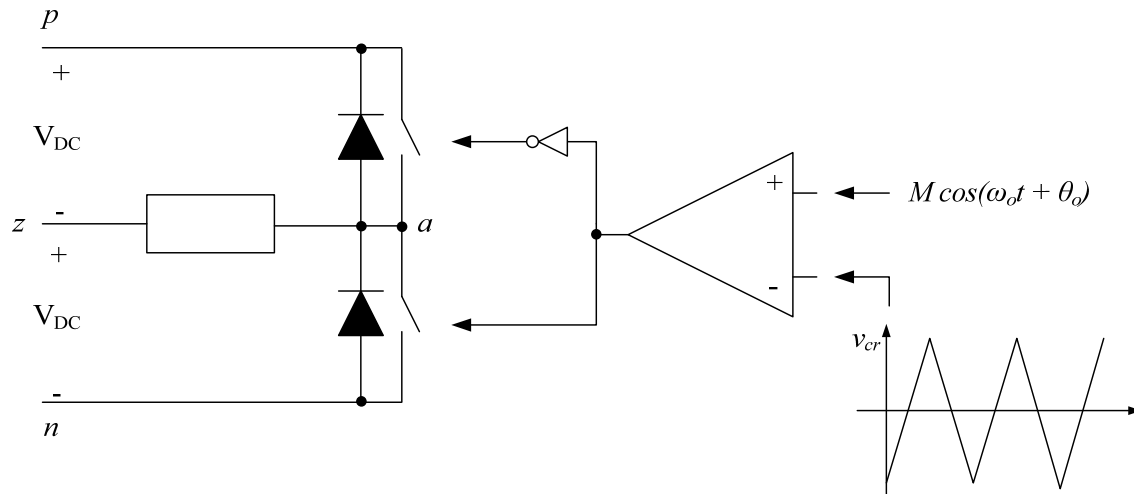


Figura 3.1- Modulação PWM senoidal em um conversor meia ponte.

Esta aproximação pode ser desenvolvida considerando o processo de chaveamento de um braço inversor durante alguns ciclos arbitrários de uma portadora triangular como mostrado na Figura 3.2.

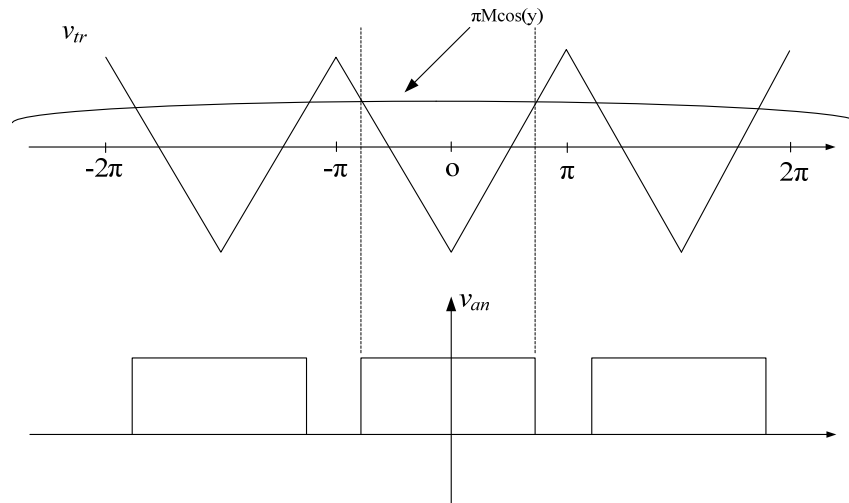


Figura 3.2 - Comparação entre uma moduladora e uma portadora triangular.

Pelo princípio de decomposição de Fourier, uma função $f(t)$ periódica, pode ser expressa como séries harmônicas senoidais infinitas definida em (3.2)

$$f(t) = \frac{a_0}{2} + \sum_{m=1}^{\infty} [a_m \cos(m\omega t) + b_m \text{sen}(m\omega t)] \quad (3.2)$$

onde:

$$a_m = \frac{1}{\pi} \int_{-\pi}^{\pi} f(t) \cos(m\omega t) d(\omega t) \quad m = 0, 1, \dots, \infty \quad (3.3)$$

$$b_m = \frac{1}{\pi} \int_{-\pi}^{\pi} f(t) \text{sen}(m\omega t) d(\omega t) \quad m = 1, 2, \dots, \infty \quad (3.4)$$

Aplicando então a decomposição de Fourier para $v_{an}(t)$ obtém-se (3.5)

$$v_{an}(t) = \frac{a_0}{2} + \sum_{m=1}^{\infty} [a_m \cos(m.x) + b_m \text{sen}(m.y)] \quad (3.5)$$

onde x e y são definidas em (3.6) e a_m e b_m respectivamente por (3.7) e (3.10).

$$\begin{aligned} x &= \omega_c t + \theta_c \\ y &= \omega_o t + \theta_o \end{aligned} \quad (3.6)$$

$$a_m = \frac{1}{\pi} \int_{-\pi}^{\pi} v_{an}(t) \cos(m.x) d(x) = \frac{2V_{DC}}{\pi} \int_{-\frac{\pi}{2}(1+M \cos(y))}^{\frac{\pi}{2}(1+M \cos(y))} 1 \cos(m.x) dx \quad (3.7)$$

$$a_m = \frac{2V_{DC}}{m\pi} \left[\text{sen}\left(m \frac{\pi}{2} (1+M \cos(y))\right) - \text{sen}\left(-m \frac{\pi}{2} (1+M \cos(y))\right) \right] \quad (3.8)$$

$$a_m = \frac{4V_{DC}}{m\pi} \left[\text{sen}\left(m \frac{\pi}{2} (1+M \cos y)\right) \right] \quad m \neq 0 \quad (3.9)$$

$$b_m = \frac{1}{\pi} \int_{-\pi}^{\pi} v_{an}(t) \text{sen}(m.x) d(x) = \frac{2V_{DC}}{\pi} \int_{-\frac{\pi}{2}(1+M \cos(y))}^{\frac{\pi}{2}(1+M \cos(y))} 1 \text{sen}(m.x) dx = 0 \quad (3.10)$$

Para $m = 0$, o valor de a_0 é igual à equação (3.11):

$$a_0 = 2V_{DC}(1+M \cos y) \quad (3.11)$$

Utilizando-se as identidades trigonométricas, a equação (3.9) pode ser reescrita como em (3.12).

$$a_m = \frac{4V_{DC}}{m\pi} \left[\text{sen}\left(m \frac{\pi}{2}\right) \cos\left(m \frac{\pi}{2} M \cos y\right) + \cos\left(m \frac{\pi}{2}\right) \text{sen}\left(m \frac{\pi}{2} M \cos y\right) \right] \quad (3.12)$$

Para expandir esta série pode-se utilizar a expansão de Jacobi-Anger indicada pelas equações (3.13) e (3.14).

$$\cos(\xi \cos \theta) = J_0(\xi) + 2 \sum_{n=1}^{\infty} \left[\cos\left(n \frac{\pi}{2}\right) J_n(\xi) \cos(n\theta) \right] \quad (3.13)$$

$$\text{sen}(\xi \cos \theta) = 2 \sum_{n=1}^{\infty} \left[\text{sen}\left(n \frac{\pi}{2}\right) J_n(\xi) \cos(n\theta) \right] \quad (3.14)$$

Onde $J_n(\xi)$ é a função de Bessel de ordem “ n ”.

Aplicando as equações (3.15) e (3.16) em (3.12) obtém-se (3.17):

$$\cos\left(m\frac{\pi}{2}M \cos y\right) = J_0\left(m\frac{\pi}{2}M\right) + 2\sum_{n=1}^{\infty} \left[\cos\left(n\frac{\pi}{2}\right) J_n\left(m\frac{\pi}{2}M\right) \cos(ny) \right] \quad (3.15)$$

$$\sin\left(m\frac{\pi}{2}M \cos y\right) = 2\sum_{n=1}^{\infty} \left[\sin\left(n\frac{\pi}{2}\right) J_n\left(m\frac{\pi}{2}M\right) \cos(ny) \right] \quad (3.16)$$

$$a_m = \frac{4V_{DC}}{m\pi} \left[\begin{aligned} & \sin\left(m\frac{\pi}{2}\right) \left(J_0\left(m\frac{\pi}{2}M\right) + 2\sum_{n=1}^{\infty} \left[\cos\left(n\frac{\pi}{2}\right) J_n\left(m\frac{\pi}{2}M\right) \cos(ny) \right] \right) \\ & + \cos\left(m\frac{\pi}{2}\right) \left(2\sum_{n=1}^{\infty} \left[\sin\left(n\frac{\pi}{2}\right) J_n\left(m\frac{\pi}{2}M\right) \cos(ny) \right] \right) \end{aligned} \right] \quad (3.17)$$

Substituindo (3.10), (3.11) e (3.17) em (3.5) consegue-se a função $v_{an}(t)$ (3.18).

$$\begin{aligned} v_{an}(t) = & V_{DC}(1 + M \cos y) + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \left[\frac{1}{m} \sin\left(m\frac{\pi}{2}\right) J_0\left(m\frac{\pi}{2}M\right) \cos(m.x) \right] \\ & + \frac{8V_{DC}}{\pi} \sum_{m=1}^{\infty} \frac{1}{m} \sum_{n=1}^{\infty} J_n\left(m\frac{\pi}{2}M\right) \left[\sin\left(m\frac{\pi}{2}\right) \cos\left(n\frac{\pi}{2}\right) + \cos\left(m\frac{\pi}{2}\right) \sin\left(n\frac{\pi}{2}\right) \right] \cos(n.y) \cos(m.x) \end{aligned} \quad (3.18)$$

Após algumas simplificações trigonométricas obtém-se (3.19).

$$\begin{aligned} v_{an}(t) = & V_{DC}(1 + M \cos y) + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \left[\frac{1}{m} \sin\left(m\frac{\pi}{2}\right) J_0\left(m\frac{\pi}{2}M\right) \cos(m.x) \right] \\ & + \frac{8V_{DC}}{\pi} \sum_{m=1}^{\infty} \frac{1}{m} \sum_{n=1}^{\infty} J_n\left(m\frac{\pi}{2}M\right) \left[\sin\left(m+n\right)\frac{\pi}{2} \right] \cos(n.y) \cos(m.x) \end{aligned} \quad (3.19)$$

Somando-se as equações (3.20) e (3.21) é gerada a equação (3.22).

$$\cos(mx + ny) = \cos(mx) \cos(ny) - \sin(mx) \sin(ny) \quad (3.20)$$

$$\cos(mx - ny) = \cos(mx) \cos(ny) + \sin(mx) \sin(ny) \quad (3.21)$$

$$\cos(mx) \cos(ny) = \frac{1}{2} [\cos(mx + ny) - \cos(mx - ny)] \quad (3.22)$$

Substituindo (3.22) em (3.19), obtém-se (3.23).

$$\begin{aligned}
 v_{an}(t) = & V_{DC}(1 + M \cos y) + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \left[\frac{1}{m} \operatorname{sen}\left(m \frac{\pi}{2}\right) J_0\left(m \frac{\pi}{2} M\right) \cos(mx) \right] \\
 & + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \frac{1}{m} \sum_{n=1}^{\infty} J_n\left(m \frac{\pi}{2} M\right) \left(\operatorname{sen}(m+n) \frac{\pi}{2} \right) [\cos(mx + ny) - \cos(mx - ny)]
 \end{aligned} \quad (3.23)$$

Que pode ser reescrita como em (3.24).

$$\begin{aligned}
 v_{an}(t) = & V_{DC}(1 + M \cos y) + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \left[\frac{1}{m} \operatorname{sen}\left(m \frac{\pi}{2}\right) J_0\left(m \frac{\pi}{2} M\right) \cos(mx) \right] \\
 & + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \frac{1}{m} \sum_{\substack{n=-\infty \\ n \neq 0}}^{\infty} J_n\left(m \frac{\pi}{2} M\right) \left(\operatorname{sen}(m+n) \frac{\pi}{2} \right) \cos(mx + ny)
 \end{aligned} \quad (3.24)$$

Ou ainda como definida na equação (3.25):

$$v_{an}(t) = V_{DC}(1 + M \cos y) + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \frac{1}{m} \sum_{n=-\infty}^{\infty} J_n\left(m \frac{\pi}{2} M\right) \left(\operatorname{sen}(m+n) \frac{\pi}{2} \right) \cos(mx + ny) \quad (3.25)$$

Substituindo (3.6) em (3.25) a equação da tensão sobre os terminais do interruptor é definida como a equação (3.26).

$$\boxed{
 \begin{aligned}
 v_{an}(t) = & V_{DC}(1 + M \cos(\omega_o t + \theta_o)) \\
 & + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n\left(m \frac{\pi}{2} M\right) \operatorname{sen}\left((m+n) \frac{\pi}{2}\right) \cos(m(\omega_c t + \theta_c) + n(\omega_o t + \theta_o))
 \end{aligned}
 } \quad (3.26)$$

A equação (3.26) é composta por um valor médio V_{DC} , uma tensão alternada com a mesma frequência da moduladora (f_o) e um termo somatório que define as harmônicas de tensão no interruptor. Os termos θ_o e θ_c da equação (3.26), definem a defasagem da moduladora e portadora triangular respectivamente. Utilizando o software *Mathcad*, foi gerado o gráfico utilizando a equação (3.26), assim como o gráfico do espectro harmônico. Os parâmetros utilizados na simulação encontram-se na Tabela 3.1.

V_{DC}	200 V
M	0,8
f_o	60 Hz
f_c	1260Hz
θ_o	0°
θ_c	0°

Valor mínimo e máximo de “n”	- 50 e 50
Valor máximo de “m”	50

Tabela 3.1-Parâmetros utilizados na simulação da equação da tensão sobre o interruptor.

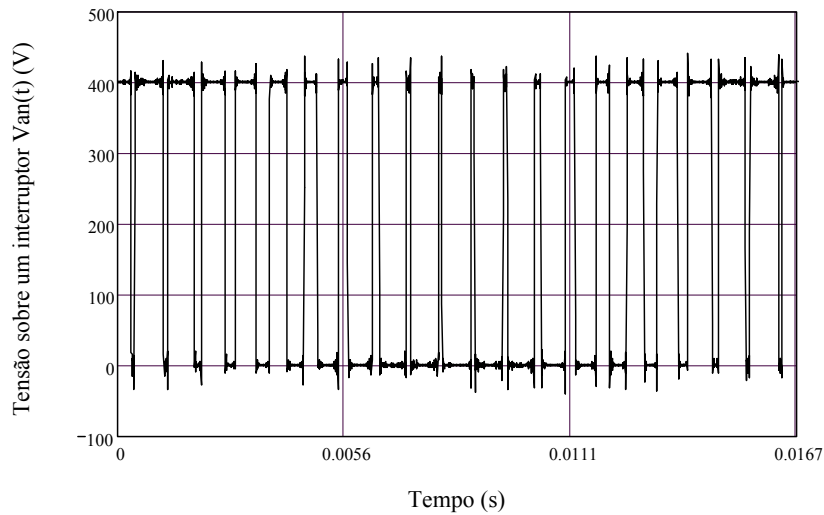


Figura 3.3 – Representação gráfica da equação (3.26) realizada através do *Mathcad*.

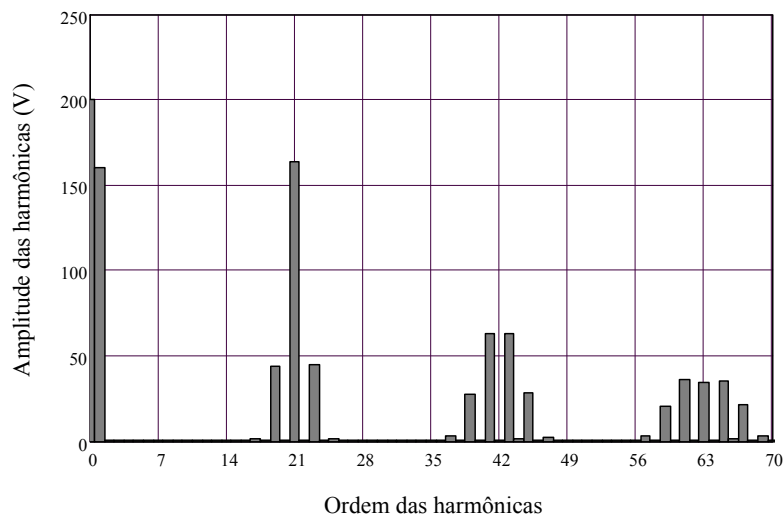


Figura 3.4 - Espectro harmônico da tensão $v_{an}(t)$.

Analisando a equação (3.24), pode-se definir cada harmônica do espectro, de acordo com a Figura 3.5.

$$v_{an}(t) =$$

$$V_{DC}$$

$$\text{(componente contínua)} \quad \Rightarrow \quad 1$$

$$+V_{DC}M \cos(\omega_o t + \theta_o)$$

$$\text{(componente alternada fundamental)} \quad \Rightarrow \quad 2$$

$$+ \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \left[\frac{1}{m} \text{sen}\left(m \frac{\pi}{2}\right) J_o\left(m \frac{\pi}{2} M\right) \cos\left(m(\omega_c t + \theta_c)\right) \right]$$

$$\text{(harmônicas na frequência de comutação)} \quad \Rightarrow \quad 3$$

$$+ \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \frac{1}{m} \sum_{\substack{n=-\infty \\ n \neq 0}}^{\infty} J_n\left(m \frac{\pi}{2} M\right) \left(\text{sen}\left(m+n\right) \frac{\pi}{2} \right) \cos\left(m(\omega_c t + \theta_c) + n(\omega_o t + \theta_o)\right)$$

$$\text{(harmônicas de bandas laterais)} \quad \Rightarrow \quad 4$$

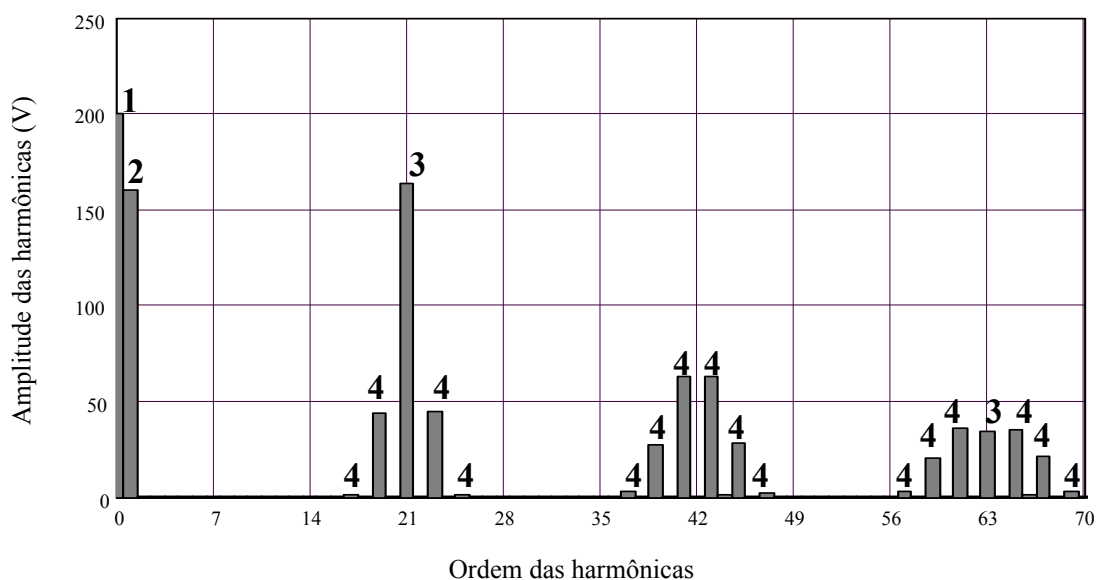


Figura 3.5 – Definição de cada harmônica do espectro. 1) Componente contínua; 2) Componente alternada fundamental; 3) Harmônicas na frequência de comutação; 4) Harmônicas de bandas laterais.

Para efeito de comparação foi simulado no software *PSIM* o conversor meia ponte com os mesmos parâmetros da Tabela 3.1 e obtido os gráficos da tensão em um interruptor com o seu respectivo espectro harmônico apresentado na Figura 3.6. Existe uma grande

semelhança entre o gráfico gerado pela equação $v_{an}(t)$ e o simulado no *PSIM*, validando a expressão.

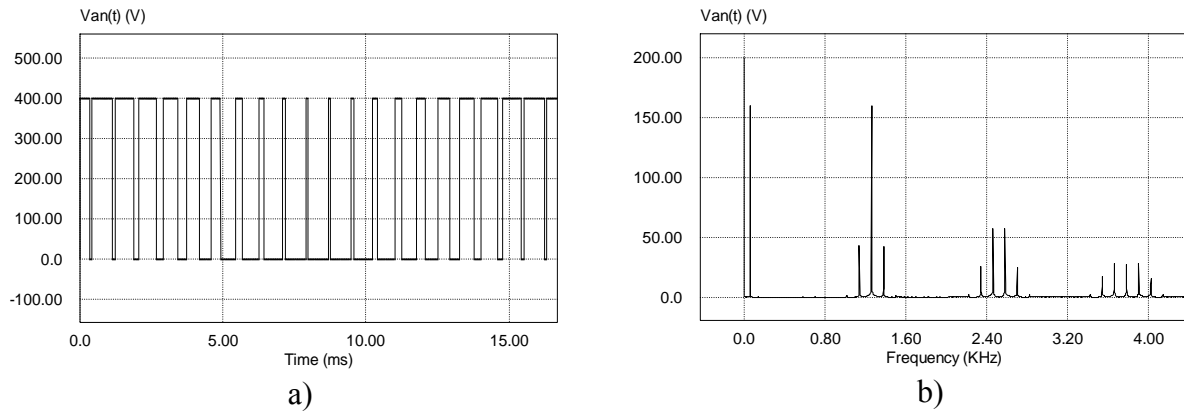


Figura 3.6 - Simulação realizada no *PSIM*. a) Tensão $v_{an}(t)$; b) Espectro harmônico de $v_{an}(t)$.

Pela Figura 3.1 fica claro que a tensão medida em relação ao ponto z é a mesma que a forma de onda medida em relação ao ponto n , porém sem o valor médio de tensão (V_{DC}). Então a equação (3.26) define as componentes harmônicas de $v_{az}(t)$, se o termo que define o valor médio for descartado. O gráfico da tensão $v_{az}(t)$ (equação (3.27)) e seu respectivo espectro harmônico encontram-se na Figura 3.7. Na Figura 3.8 é apresentada a simulação numérica realizada no software *PSIM*.

$$v_{az}(t) = V_{DC}M \cos(\omega_o t + \theta_o) + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n\left(m \frac{\pi}{2} M\right) \text{sen}\left(\left(m+n\right) \frac{\pi}{2}\right) \cos\left(m\left(\omega_c t + \theta_c\right) + n\left(\omega_o t + \theta_o\right)\right) \quad (3.27)$$

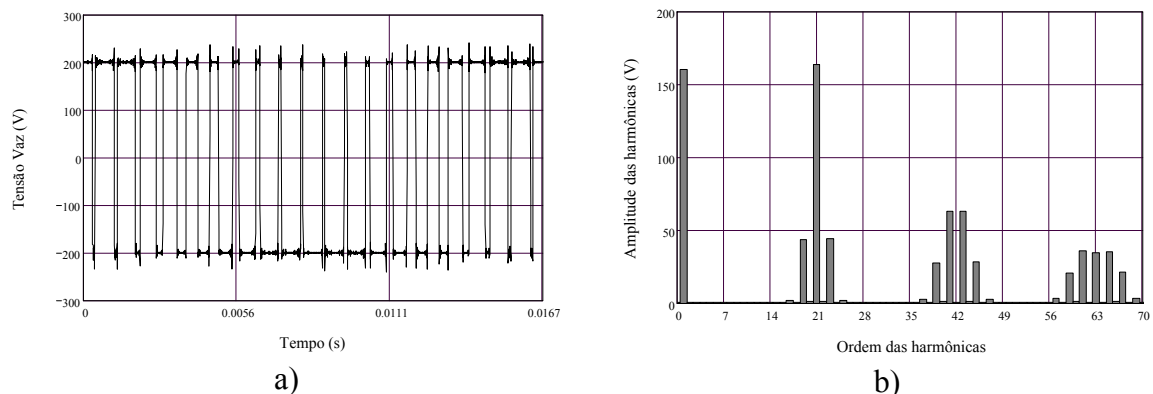


Figura 3.7 – Representação gráfica da equação (3.27) realizada no *Mathcad*. a) Tensão $v_{az}(t)$; b) Espectro harmônico de $v_{az}(t)$.

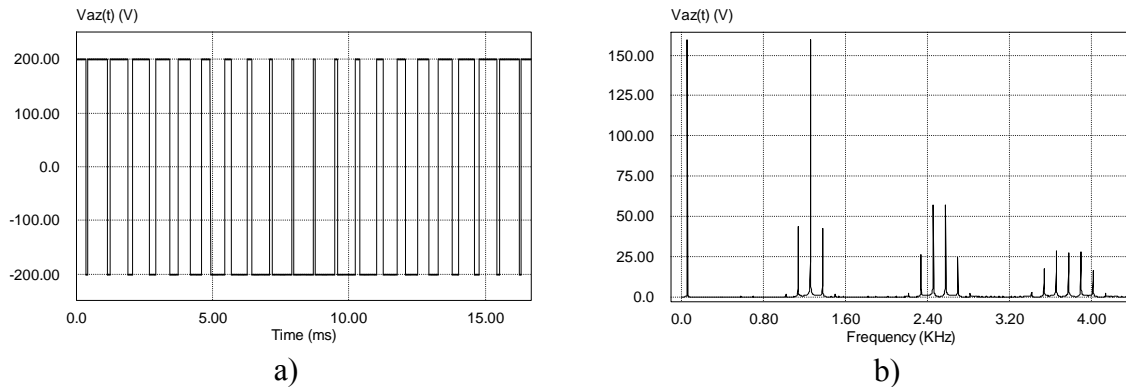


Figura 3.8 - Simulação realizada no PSIM. a) Tensão $v_{az}(t)$; b) Espectro harmônico de $v_{az}(t)$.

3.2.2 Modulação PWM senoidal três níveis para o inversor em ponte completa

Para encontrar a tensão na carga em um inversor em ponte completa, faz-se uso da equação (3.27), porém com uma defasagem de 180° na moduladora, em relação a cada braço do inversor, mantendo a defasagem da portadora nula, como apresentado na Figura 3.9.

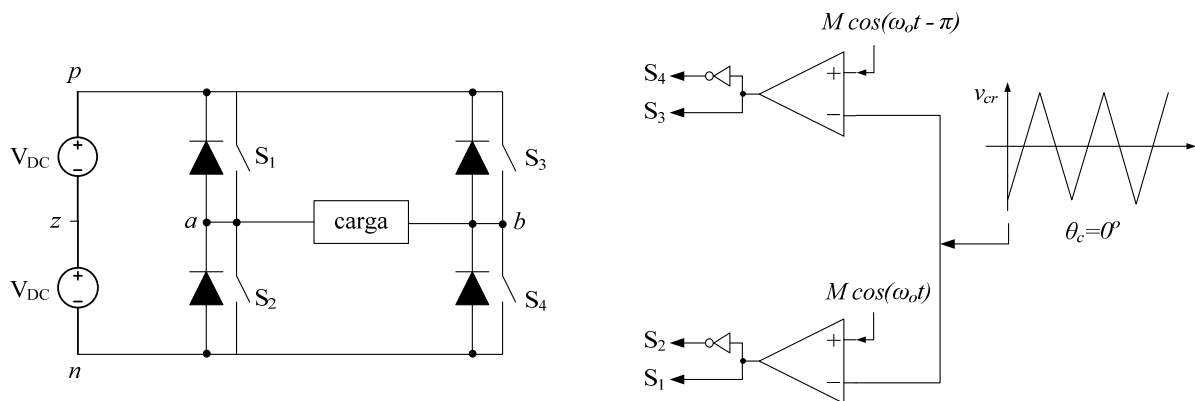


Figura 3.9 - Modulação PWM senoidal empregada no inversor de tensão ponte completa.

A tensão na carga é dada pela equação (3.28)

$$v_{ab}(t) = v_{az}(t) - v_{bz}(t) \quad (3.28)$$

onde $v_{az}(t)$ é definida como (3.29) e $v_{bz}(t)$ em (3.30).

$$v_{az}(t) = V_{DC} M \cos(\omega_o t) + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n\left(m \frac{\pi}{2} M\right) \text{sen}\left((m+n) \frac{\pi}{2}\right) \cos(m(\omega_c t) + n(\omega_o t)) \quad (3.29)$$

$$v_{bz}(t) = V_{DC}M \cos(\omega_o t - \pi) + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n\left(m \frac{\pi}{2} M\right) \text{sen}\left((m+n) \frac{\pi}{2}\right) \cos(m(\omega_c t) + n(\omega_o t - \pi)) \quad (3.30)$$

Assim, $v_{ab}(t)$ é dada por (3.31).

$$v_{ab}(t) = 2V_{DC}M \cos(\omega_o t) + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n\left(m \frac{\pi}{2} M\right) \text{sen}\left((m+n) \frac{\pi}{2}\right) [\cos(m(\omega_c t) + n(\omega_o t)) - \cos(m(\omega_c t) + n(\omega_o t - \pi))] \quad (3.31)$$

Utilizando-se das identidades trigonométricas pode-se chegar à seguinte expressão (3.32).

$$v_{ab}(t) = 2V_{DC}M \cos(\omega_o t) + \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n\left(m \frac{\pi}{2} M\right) \text{sen}\left((m+n) \frac{\pi}{2}\right) [\cos(m\omega_c t + n\omega_o t)(1 - \cos n\pi)] \quad (3.32)$$

A expressão (3.32) representa a tensão na carga, de um inversor de tensão em ponte completa, sendo o primeiro termo a representação da tensão senoidal na mesma frequência da moduladora, e a somatória dos termos senoidais representa as harmônicas de tensão presentes na carga. A representação gráfica da equação (3.32) encontra-se na Figura 3.10 utilizando os mesmos parâmetros da Tabela 3.1. Da mesma forma foi simulado no *PSIM* e apresentado na Figura 3.11 os resultados.

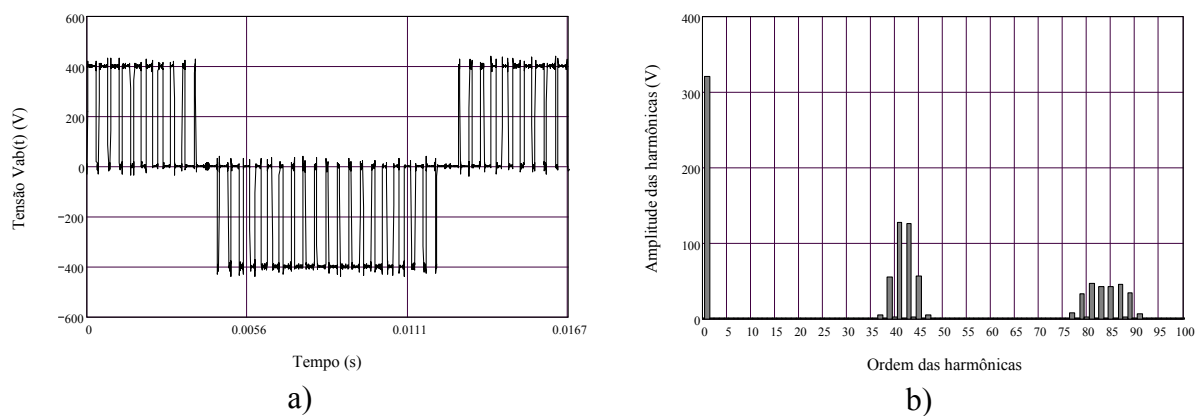


Figura 3.10 - Representação gráfica da equação (3.32) realizada no *Mathcad*. a) Tensão na carga $v_{ab}(t)$; b) Espectro harmônico de $v_{ab}(t)$.

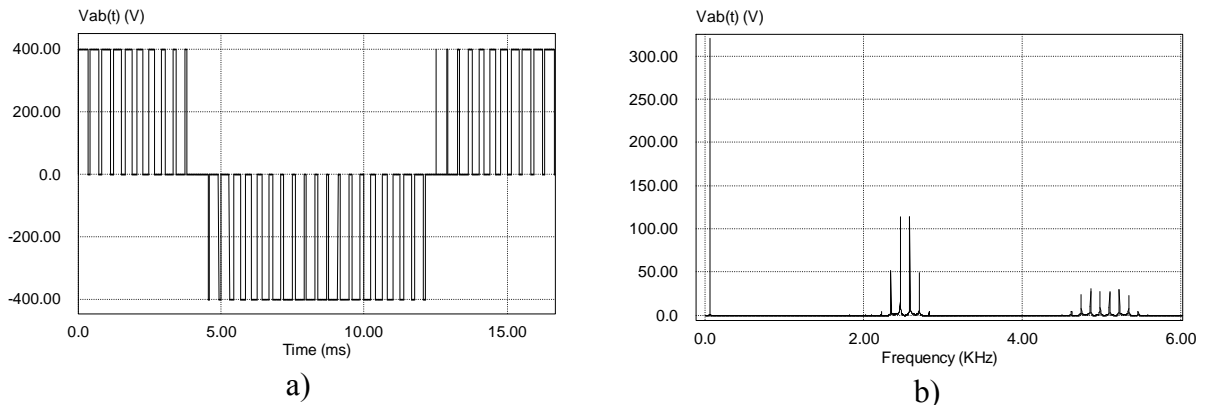


Figura 3.11 - Simulação do inversor de tensão ponte completa realizada no *PSIM*. a) Tensão na carga $v_{ab}(t)$; b) Espectro harmônico de $v_{ab}(t)$.

3.2.3 Modulação PWM senoidal para o inversor de tensão cinco níveis proposto

Para encontrar a função da tensão na carga para o inversor de tensão cinco níveis proposto, deve-se utilizar uma metodologia semelhante à proposta anteriormente. A equação (3.26) representa a tensão sobre o interruptor, e esta é composta por parâmetros que podem ser ajustados de tal forma que possa ser implementada em outros conversores. Os principais parâmetros que podem vir a ser modificados na equação (3.26) são o θ_o e θ_c , sendo estes a defasagem da moduladora e portadora respectivamente. Na Figura 3.12 é definida a estratégia de modulação que será utilizado neste conversor.

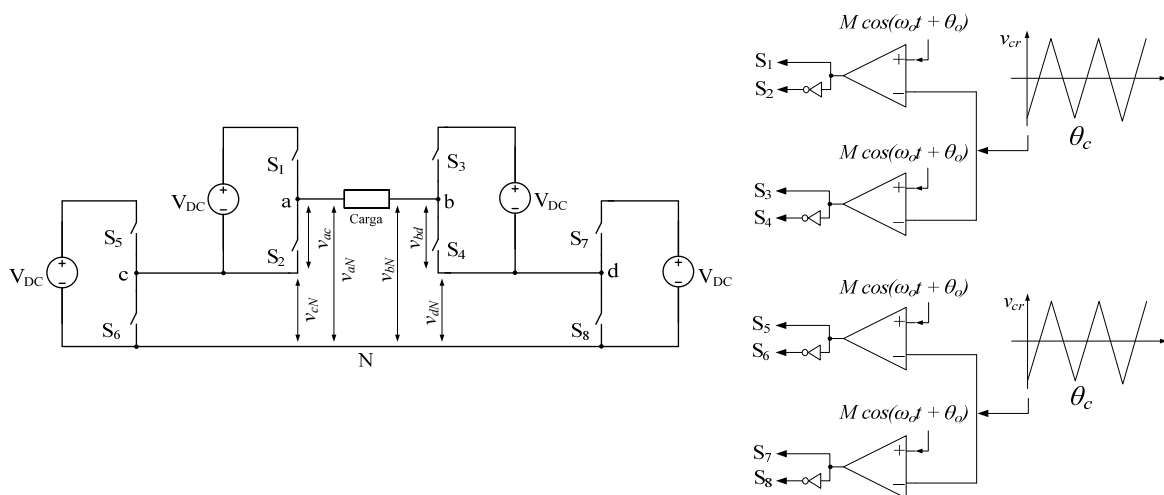


Figura 3.12 – Modulação PWM para o inversor de tensão cinco níveis proposto.

Sabe-se que os braços inversores “a” e “c” devem estar defasados de 180° dos braços inversores “b” e “d” e que a portadora dos braços inversores “a” e “b” deve estar em fase,

assim como a portadora dos braços inversores “c” e “d”. Portanto será desenvolvida uma equação que possa vir a definir a defasagem entre os braços inversores “a” e “c” e conseqüentemente a defasagem entre “b” e “d”. Para isto se fará uso da equação (3.26).

A defasagem da portadora e moduladora para cada braço inversor encontra-se na Tabela 3.2, utilizando como referência o braço inversor “a”. Observa-se que ainda deve ser definido o ângulo α . Este ângulo deve ser obtido de modo que se obtenha a menor taxa de distorção harmônica para o conversor. Para isto será inicialmente definido a função da tensão na carga, para posteriormente encontrar o valor deste ângulo.

Braço inversor	θ_o	θ_c
a	0	0
b	$-\pi$	0
c	0	α
d	$-\pi$	α

Tabela 3.2 - Defasagem das portadoras e moduladoras dos braços inversores.

Pela Figura 3.12 observa-se que as tensões sobre os interruptores podem ser definidas pelas equações (3.33), (3.34) e (3.35). Assim, v_{ab} é definida em função de tempo e do ângulo α e pode ser definida equação (3.36).

$$v_{aN}(t, \alpha) = v_{ac}(t) + v_{cN}(t, \alpha) \quad (3.33)$$

$$v_{bN}(t, \alpha) = v_{bd}(t) + v_{dN}(t, \alpha) \quad (3.34)$$

$$v_{ab}(t, \alpha) = v_{aN}(t) - v_{bN}(t) \quad (3.35)$$

$$\boxed{v_{ab}(t, \alpha) = v_{ac}(t) + v_{cN}(t, \alpha) - v_{bd}(t) - v_{dN}(t, \alpha)} \quad (3.36)$$

Assim, utilizando a equação (3.26) com as suas respectivas defasagens, pode-se montar uma equação para a tensão na carga.

Na equação (3.26), V_{DC} será substituída por $V_{DC}/2$, para utilizar apenas uma fonte V_{DC} em paralelo a cada braço inversor, como na Figura 3.12. Assim, definem-se as equações sobre cada braço inversor da Figura 3.12 em (3.37), (3.38), (3.39) e (3.40).

Braço inversor “a”:

$$\begin{aligned}
 v_{ac}(t) &= \frac{V_{DC}}{2}(1 + M \cos(\omega_o t)) \\
 &+ \frac{2V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n\left(m \frac{\pi}{2} M\right) \text{sen}\left((m+n) \frac{\pi}{2}\right) \cos(m\omega_c t + n\omega_o t)
 \end{aligned} \tag{3.37}$$

Braço inversor “c”:

$$\begin{aligned}
 v_{cN}(t, \alpha) &= \frac{V_{DC}}{2}(1 + M \cos(\omega_o t)) \\
 &+ \frac{2V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n\left(m \frac{\pi}{2} M\right) \text{sen}\left((m+n) \frac{\pi}{2}\right) \cos(m(\omega_c t + \alpha) + n\omega_o t)
 \end{aligned} \tag{3.38}$$

Braço inversor “b”:

$$\begin{aligned}
 v_{bd}(t) &= \frac{V_{DC}}{2}(1 + M \cos(\omega_o t - \pi)) \\
 &+ \frac{2V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n\left(m \frac{\pi}{2} M\right) \text{sen}\left((m+n) \frac{\pi}{2}\right) \cos(m\omega_c t + n(\omega_o t - \pi))
 \end{aligned} \tag{3.39}$$

Braço inversor “d”:

$$\begin{aligned}
 v_{dN}(t, \alpha) &= \frac{V_{DC}}{2}(1 + M \cos(\omega_o t - \pi)) \\
 &+ \frac{2V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n\left(m \frac{\pi}{2} M\right) \text{sen}\left((m+n) \frac{\pi}{2}\right) \cos(m(\omega_c t + \alpha) + n(\omega_o t - \pi))
 \end{aligned} \tag{3.40}$$

Observa-se que nas expressões (3.37), (3.38), (3.39) e (3.40) foram alterados apenas as defasagens θ_o e θ_c , quando comparado com a equação (3.26).

Substituindo (3.37), (3.38), (3.39) e (3.40) em (3.36) obtém-se (3.41).

$$\boxed{
 \begin{aligned}
 v_{ab}(t, \alpha) &= 2V_{DC} M \cos(\omega_o t) + \frac{2V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n\left(m \frac{\pi}{2} M\right) \text{sen}\left((m+n) \frac{\pi}{2}\right) \\
 &\times \begin{bmatrix} \cos(m\omega_c t + n\omega_o t) + \cos(m(\omega_c t + \alpha) + n\omega_o t) \\ -\cos(m\omega_c t + n(\omega_o t - \pi)) - \cos(m(\omega_c t + \alpha) + n(\omega_o t - \pi)) \end{bmatrix}
 \end{aligned} \tag{3.41}$$

A expressão (3.41) representa a tensão na carga, do inversor de tensão cinco níveis, sendo o primeiro termo a representação da tensão senoidal na mesma frequência da moduladora, e a somatória dos termos senoidais representa as harmônicas de tensão presentes na carga.

Para definir o valor da defasagem “ α ”, será traçado um gráfico da taxa de distorção harmônica em função de “ α ”, com o intuito de encontrar o ângulo que proporcione o menor conteúdo harmônico.

Na Figura 3.13 pode ser observado o resultado desta análise. Os cálculos foram todos realizados no software *Mathcad*, utilizando os parâmetros da Tabela 3.1.

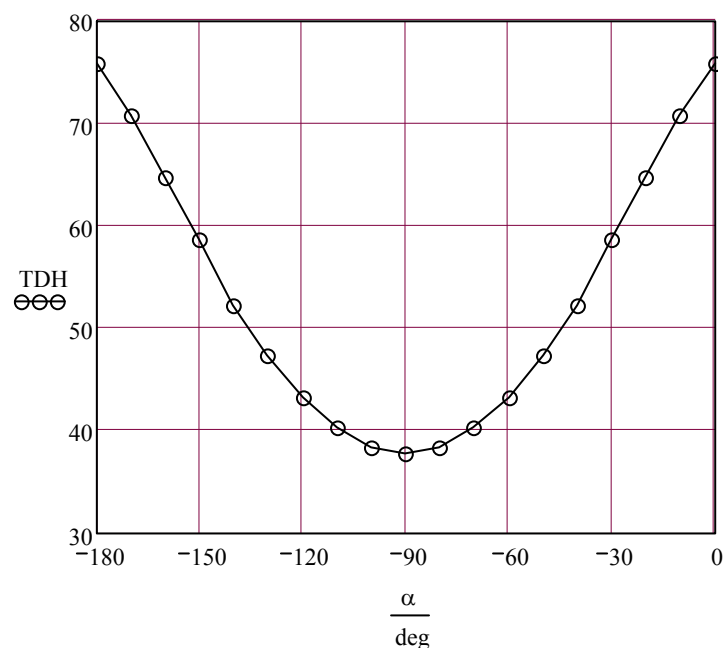


Figura 3.13 – Taxa da distorção harmônica (%) em função do ângulo de defasagem “ α ” (°).

Assim, pela análise feita na Figura 3.13 define-se a defasagem “ α ” igual a $-\pi/2$. Substituindo este valor em (3.41), obtém-se o gráfico da Figura 3.14 e Figura 3.15 utilizando os parâmetros da Tabela 3.1.

Para efeito de comparação foi simulado no *PSIM* este conversor com os mesmos parâmetros, gerando os gráficos da Figura 3.16 e Figura 3.17.

Observa-se uma semelhança muito grande entre as duas simulações, e as suas referidas taxas de distorção harmônicas. As harmônicas da portadora de mais baixa ordem foram canceladas utilizando este defasagem, restando apenas harmônicas na ordem de frequência $4nf_c$ ($n = 1, 2 \dots \infty$).

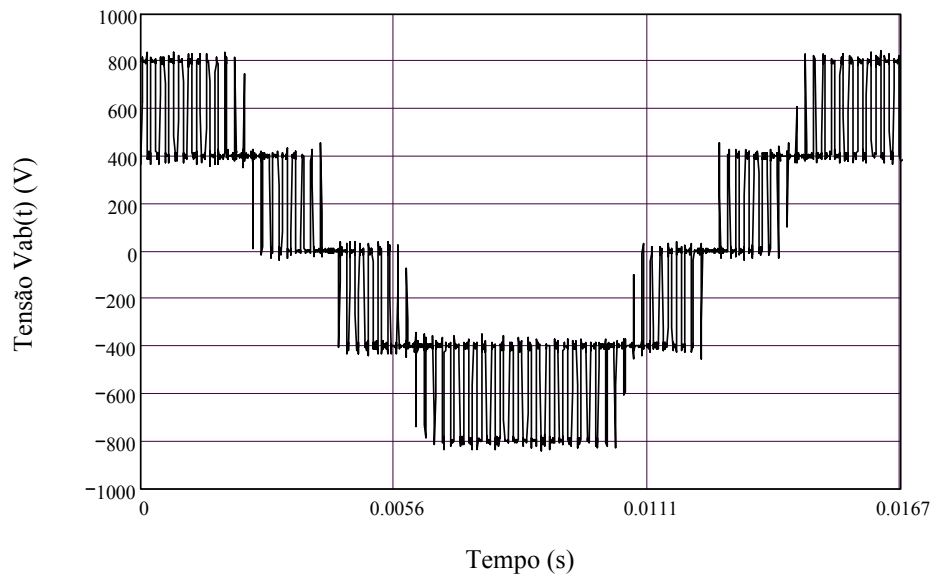


Figura 3.14 - Forma de onda da tensão na carga $v_{ab}(t)$, simulado no *Mathcad*.

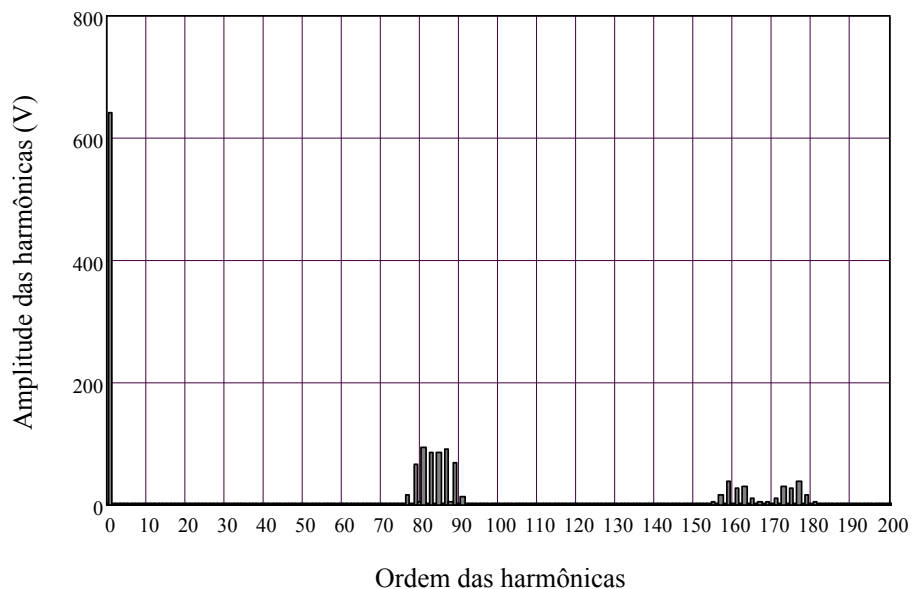
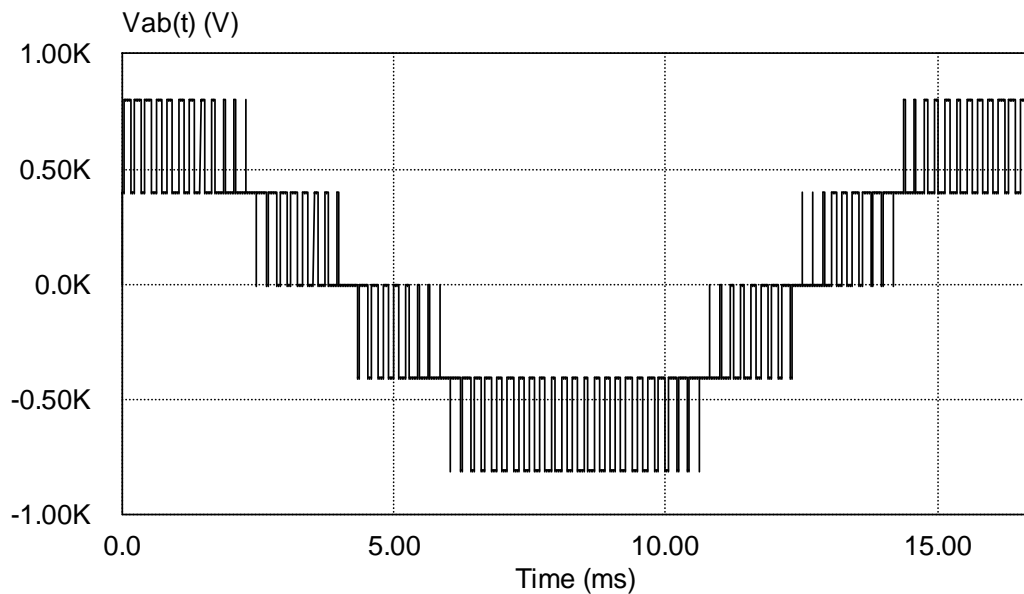
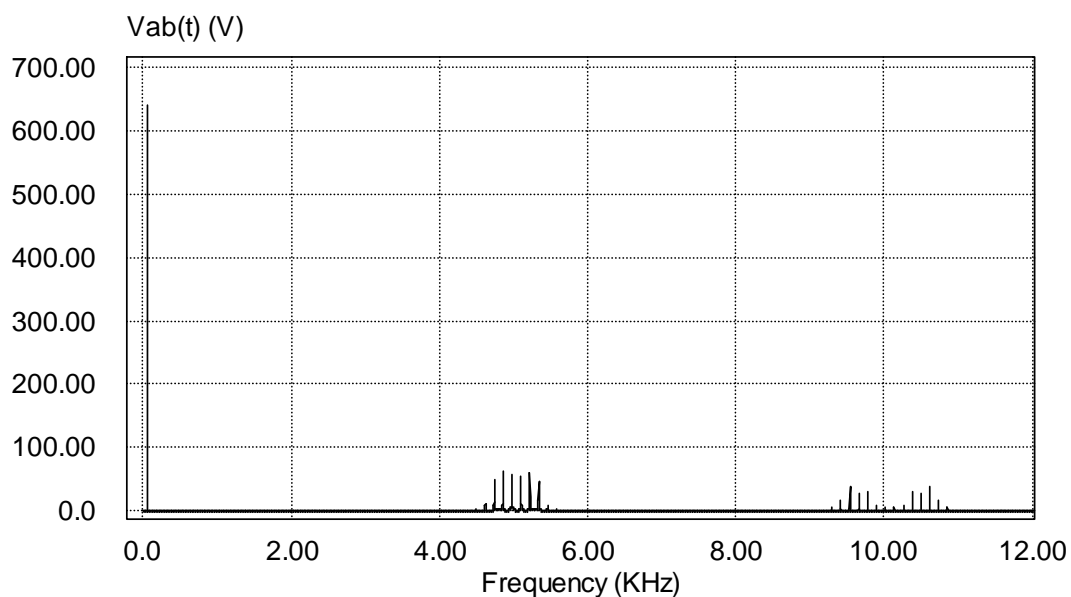


Figura 3.15 – Espectro harmônico da tensão na carga $v_{ab}(t)$, simulado no *Mathcad*.


 Figura 3.16 - Forma de onda da tensão na carga $v_{ab}(t)$, simulado no *PSIM*.

 Figura 3.17 - Espectro harmônico da tensão na carga $v_{ab}(t)$, simulado no *PSIM*.

Na Figura 3.18 podem ser visualizadas as formas de onda das moduladoras e portadoras, para uma frequência da portadora triangular três vezes maior que a frequência da moduladora. A portadora triangular utilizada no braço inversor “c” (v_{c_c}) está atrasada de 90° em relação à portadora v_{c_a} . As portadoras utilizadas nos braços “b” e “d” têm o mesmo formato e defasagens utilizadas nos braços “a” e “c” respectivamente. Porém, estas são comparadas à forma de onda moduladora defasada de 180° .

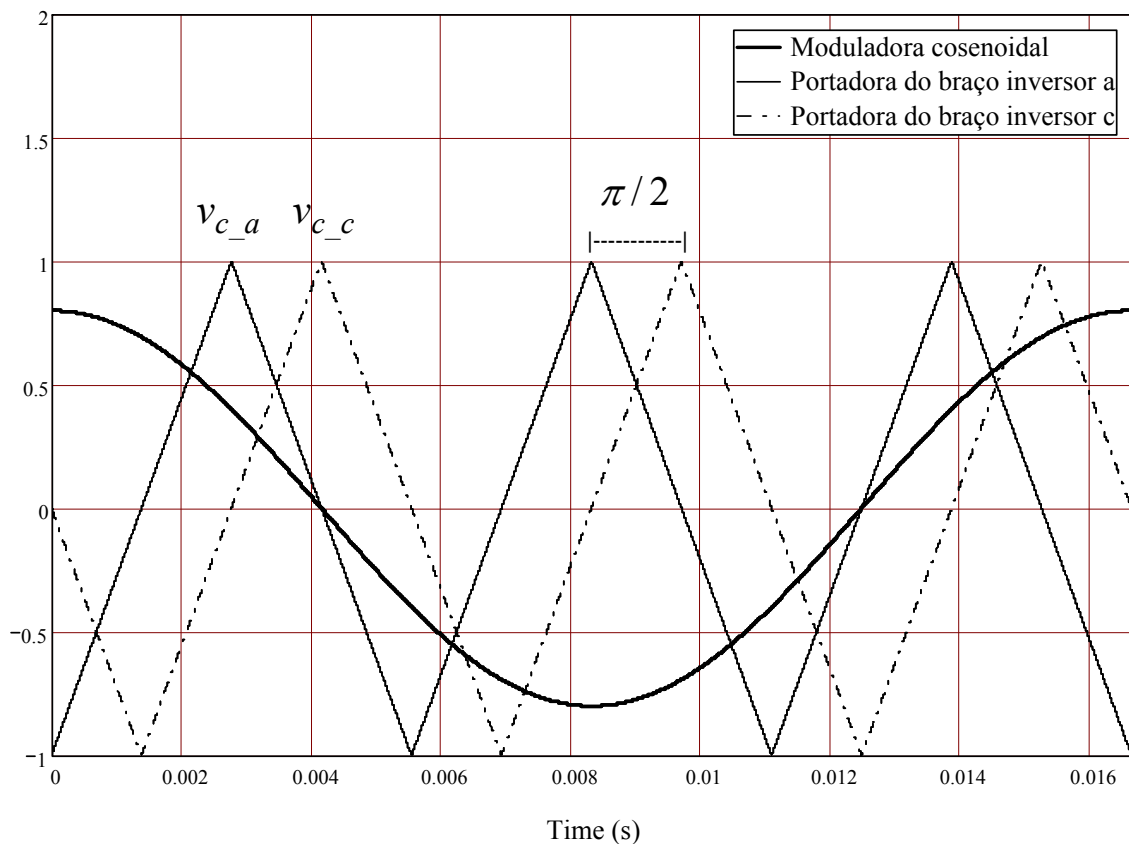


Figura 3.18 - Moduladora e portadora utilizada na simulação.

3.2.4 Modulação PWM senoidal da versão trifásica do inversor proposto

A técnica empregada foi a modulação PWM senoidal com defasagem nas portadoras. Esta técnica consiste em defasar as portadoras da mesma fase de forma apropriada para aumentar o número de cancelamentos de harmônicas, mantendo a mesma frequência e amplitude das portadoras.

O cancelamento otimizado de harmônicas, neste tipo de modulação empregado em conversores multiníveis é obtido utilizando um defasamento definido pela equação (3.42), de acordo com [18]. Para um inversor com quatro sub-células em cascata (Figura 3.19), é necessário o emprego de quatro portadoras triangulares com as seguintes defasagens: 0, $\pi/2$, π e $3\pi/2$.

$$\frac{(k-1)\pi}{N_c} \quad k = 1, 2, \dots, 2N_c \quad (3.42)$$

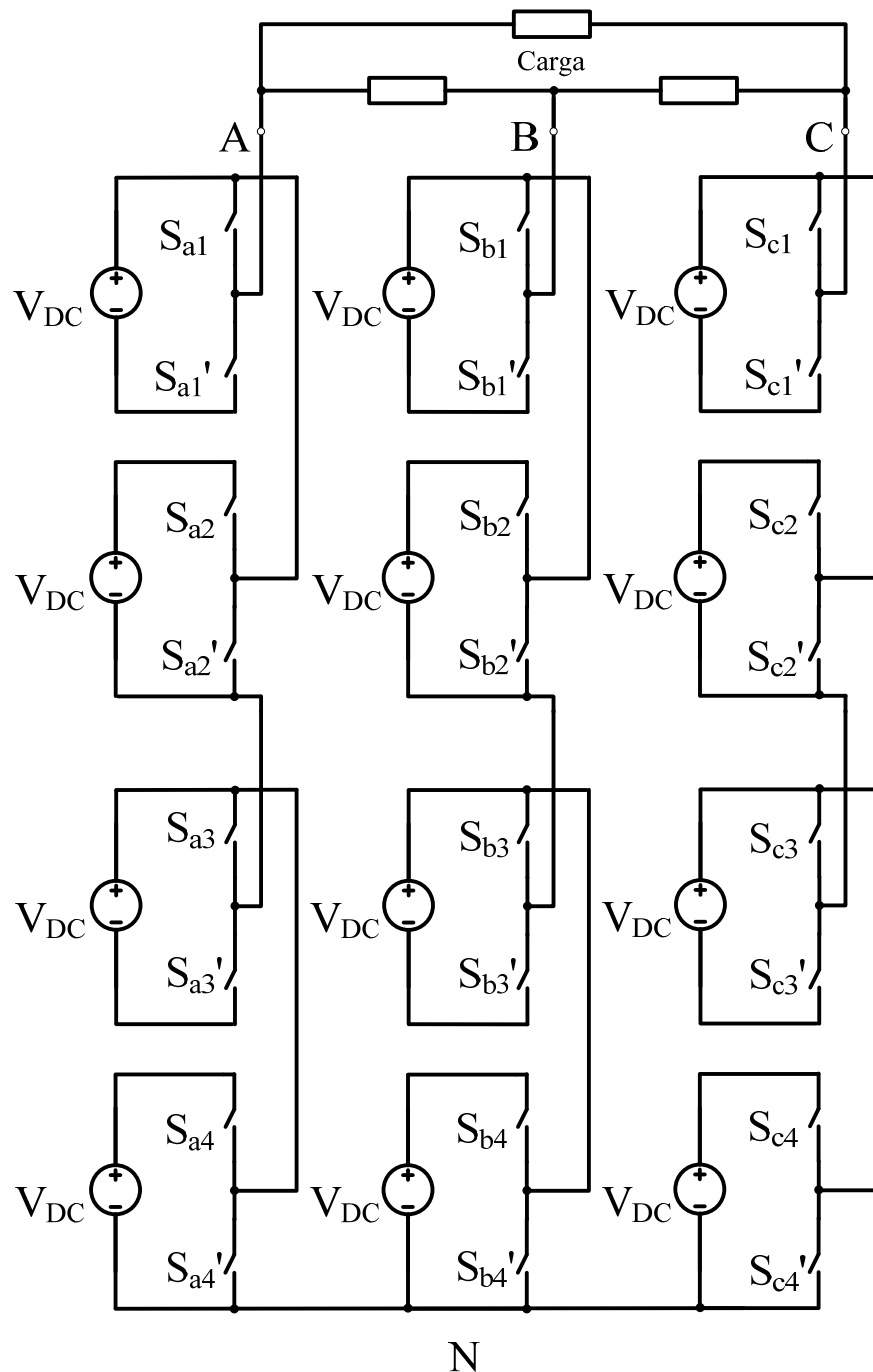


Figura 3.19 – Inversor multinível trifásico proposto com 4 sub-células em cascata.

Na Figura 3.20 são apresentados os sinais de comando dos interruptores das quatro sub-células em cascata de um inversor multinível com cinco níveis na tensão de fase ($N_c=2$) apresentado na Figura 3.19. São apresentados apenas os sinais dos interruptores superiores de cada sub-células, pois os inferiores são complementares. Observa-se que as

portadoras estão defasadas de 90° entre si, respeitando a expressão (3.42). Nesta ilustração a moduladora cosenoidal está em fase com a portadora da primeira sub-célula.

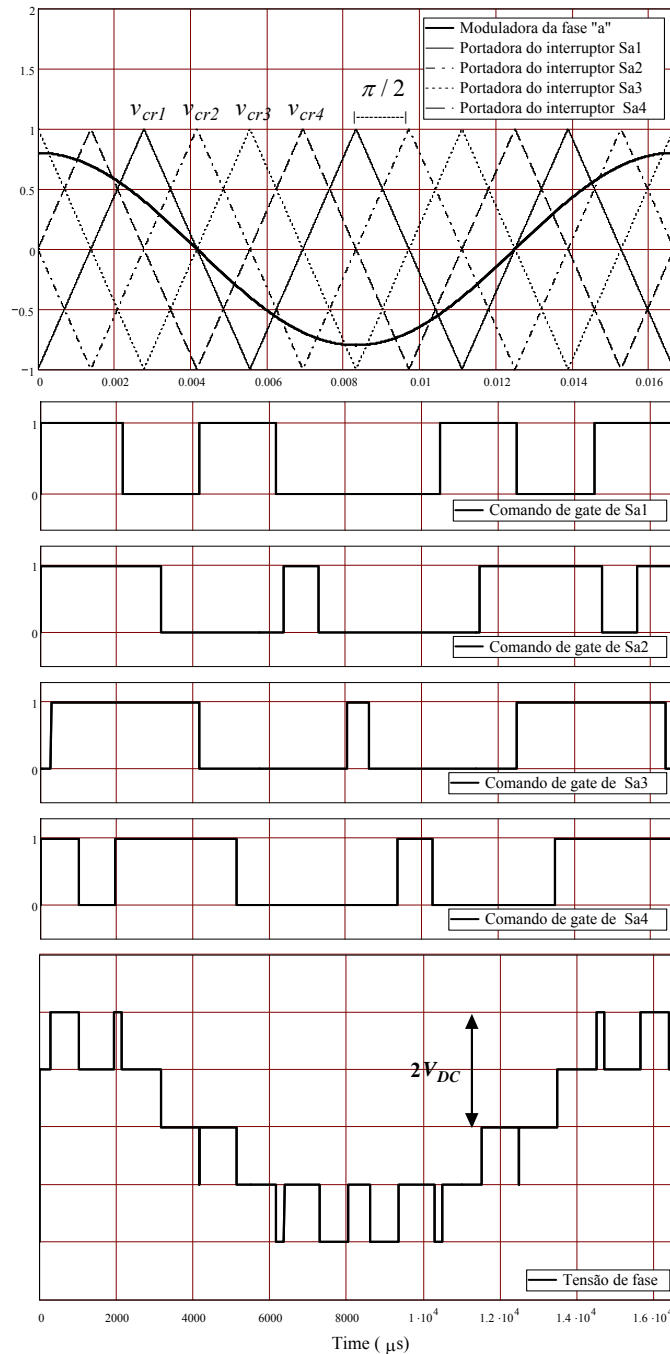


Figura 3.20 - Formas de onda do inversor multinível proposto com cinco níveis na tensão de fase ($N_c=2$, $f_o=60\text{Hz}$, $f_c=180\text{Hz}$ e $M=0.8$).

Nesta figura foi demonstrada apenas a modulação de uma fase, pois as outras duas fases, tanto a moduladora como as portadoras, são defasadas de $\pm 120^\circ$.

Para obter os sinais de comando dos interruptores é realizada uma comparação entre as portadoras e as moduladoras, como indicadas na Figura 3.20. O sinal resultante na saída do comparador será alto quando o valor instantâneo da onda senoidal exceder ao valor da onda triangular, caso contrário será nulo. A duração da largura de cada pulso na saída do comparador depende, portanto, do tempo em que a onda senoidal permanece com o valor superior ao da onda triangular. Estes pulsos em alta frequência são enviados aos interruptores do circuito da Figura 3.19, com quatro sub-células em cascata.

As formas de ondas das portadoras usualmente empregadas são triangulares ou dente de serra. Neste trabalho foi utilizado o formato triangular unipolar, pois este reduz o conteúdo harmônico quando comparado com o dente de serra [18].

A onda triangular tem, em geral, a sua amplitude fixada, logo o controle da amplitude da componente fundamental da tensão de saída é feito através da variação da amplitude da onda moduladora senoidal em relação à onda portadora triangular. Essa variação altera a largura dos pulsos modificando, desse modo, a amplitude da tensão de carga.

Para obter a forma de onda na tensão de fase basta somar a tensão sobre cada sub-células, respeitando as conexões atribuídas, obtendo a forma de onda indicada na Figura 3.20 com cinco níveis. Cada nível tem um valor igual a V_{DC} , assim o valor máximo na tensão de fase e de linha é representado respectivamente pelas expressões (3.43) e (3.44).

$$V_{p,AN} = N_c V_{DC} \quad (3.43)$$

$$V_{p,AB} = 2N_c V_{DC} \quad (3.44)$$

O valor eficaz da tensão fundamental desta forma de onda pode ser obtido através da equação (2.18), sendo representado em (3.45). Da mesma forma o valor eficaz na tensão de linha é obtido por (2.19) e representando pela expressão (3.46).

$$V_{ef,AN} = N_c \frac{V_{DC} \sqrt{2}}{2} M \quad (3.45)$$

$$V_{ef,AB} = N_c \frac{V_{DC} \sqrt{6}}{2} M \quad (3.46)$$

Na Figura 3.21 é apresentado um esquemático simplificado que foi empregado na modulação descrita para uma fase. Percebe-se que todos os comparadores compartilham a mesma moduladora e cada portadora triangular unipolar tem uma determinada defasagem.

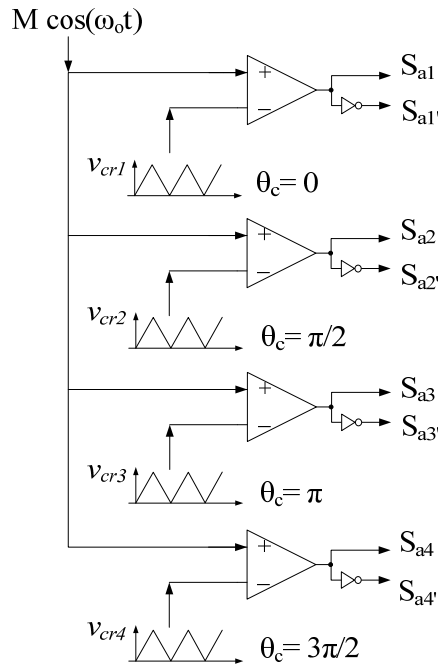


Figura 3.21 - Esquemático simplificado da modulação empregada.

3.2.5 Análise da tensão na carga

Para encontrar a função da tensão de linha na carga, incluindo as harmônicas, foi utilizado o método proposto em [18]. Para isto, será utilizada a equação (3.26) substituindo V_{DC} por $V_{DC}/2$ sendo apresentada em (3.47). Esta equação representa a tensão sobre os terminais do interruptor S_{an} da Figura 2.32, desconsiderando o valor médio na tensão, pois este será anulado com as conexões impostas nesta figura.

$$\begin{aligned}
 v_{San}(t) &= \frac{V_{DC}}{2} M \cos(\omega_o t + \theta_o) \\
 &+ \frac{2V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n\left(m \frac{\pi}{2} M\right) \text{sen}\left((m+n) \frac{\pi}{2}\right) \cos(m(\omega_c t + \theta_c) + n(\omega_o t + \theta_o))
 \end{aligned} \tag{3.47}$$

Para encontrar a equação da tensão de fase do inversor em questão, deve-se somar as tensões sobre todas as sub-células de uma fase da Figura 2.32 e modificar as defasagens das portadoras (θ_c) e moduladoras (θ_o) de acordo com a modulação imposta.

As defasagens das portadoras de uma fase já foram definidas pela equação (3.42). Já a defasagem da moduladora é mantida constante em uma mesma fase. Para simplificar os cálculos, será definida a defasagem da moduladora igual a zero ($\theta_o = 0$) para esta fase.

Para encontrar a equação $v_{AN}(t)$ através de (2.8) obtém-se (3.48).

$$v_{AN}(t) = \sum_{k=1}^{2N_c} v_{San}'(t) \quad (3.48)$$

Fazendo $\theta_o = 0$ e $\theta_c = \frac{(k-1)\pi}{N_c}$ e substituindo na equação (3.47) obtém-se (3.49).

$$v_{AN}(t) = N_c V_{DC} M \cos(\omega_o t) + \sum_{k=1}^{2N_c} \left[\frac{2V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n \left(m \frac{\pi}{2} M \right) \text{sen} \left((m+n) \frac{\pi}{2} \right) \cos \left(m \left(\omega_c t + \frac{(k-1)\pi}{N_c} \right) + n \omega_o t \right) \right] \quad (3.49)$$

$$v_{AN}(t) = N_c V_{DC} M \cos(\omega_o t) + \frac{2V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_n \left(m \frac{\pi}{2} M \right) \text{sen} \left((m+n) \frac{\pi}{2} \right) \sum_{k=1}^{2N_c} \left[\cos \left(m \left(\omega_c t + \frac{(k-1)\pi}{N_c} \right) + n \omega_o t \right) \right] \quad (3.50)$$

Pode-se mostrar que os dois termos ((3.51) e (3.52)) da expressão (3.50) tem um resultado diferente de zero, se o termo n for ímpar e o termo m par. Basta analisar as duas expressões mostradas a seguir:

$$\text{sen} \left((m+n) \frac{\pi}{2} \right) \quad (3.51)$$

$$\sum_{k=1}^{2N_c} \left[\cos \left(m \left(\omega_c t + \frac{(k-1)\pi}{N_c} \right) + n \omega_o t \right) \right] \quad (3.52)$$

Na equação (3.51), a soma $(m+n)$ deve ter resultado sempre ímpar, pois do contrário o resultado será nulo. Já em (3.52) quando m é ímpar, a somatória desta expressão sempre será nula. Assim, n é forçado a ter um valor ímpar. Portanto, n pode ser substituído por $(2n - 1)$ e m por $(2N_c m)$, obtendo a expressão (3.53).

$$\begin{aligned}
 v_{AN}(t) &= N_c M V_{DC} \cos(\omega_o t) \\
 &+ \frac{2V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_{(2n-1)}(N_c m \pi M) \text{sen} \left([2N_c m + (2n-1)] \frac{\pi}{2} \right) \cos(2N_c m \omega_c t + (2n-1)\omega_o t)
 \end{aligned}$$

(3.53)

Para encontrar a tensão de linha, subtrai-se a equação entre duas fases, com as devidas defasagens, e após algumas simplificações é obtida a expressão (3.54).

$$\begin{aligned}
 v_{AB}(t) &= \sqrt{3} N_c M V_{DC} \cos \left(\omega_o t + \frac{\pi}{6} \right) \\
 &+ \frac{4V_{DC}}{\pi} \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \frac{1}{m} J_{(2n-1)}(N_c m \pi M) \text{sen} \left([2N_c m + (2n-1)] \frac{\pi}{2} \right) \text{sen} \left([2N_c m + (2n-1)] \frac{\pi}{3} \right) \\
 &\times \cos \left(2N_c m \left(\omega_c t - \frac{\pi}{3} \right) + (2n-1) \left(\omega_o t - \frac{\pi}{3} \right) + \frac{\pi}{2} \right)
 \end{aligned}$$

(3.54)

A equação (3.54) é formada pela expressão (2.19) somada a um segundo termo que representa as harmônicas de tensão. Nesta equação fica explícito que a frequência da portadora é multiplicada por $2N_c$. Assim as harmônicas serão múltiplacadas por $2N_c$. As equações (3.53) e (3.54) são representadas em forma gráfica nas Figura 3.22 e Figura 3.23, para um inversor empregando 2 células de comutação em uma fase ($N_c=2$), frequência de 1260 Hz, tensão V_{DC} igual a 400 V, frequência de saída de 60 Hz, tensão fundamental eficaz de 784 V, gerando nove níveis na tensão de linha e cinco níveis na tensão de fase. A tensão de linha máxima será de 1600 V e a de fase 800 V.

Na Figura 3.24 é apresentado o espectro harmônico da tensão de linha na carga. Observa-se que as harmônicas são multiplicadas por $2N_c$, e o valor de pico da tensão fundamental tem um valor próximo de 1100 V.

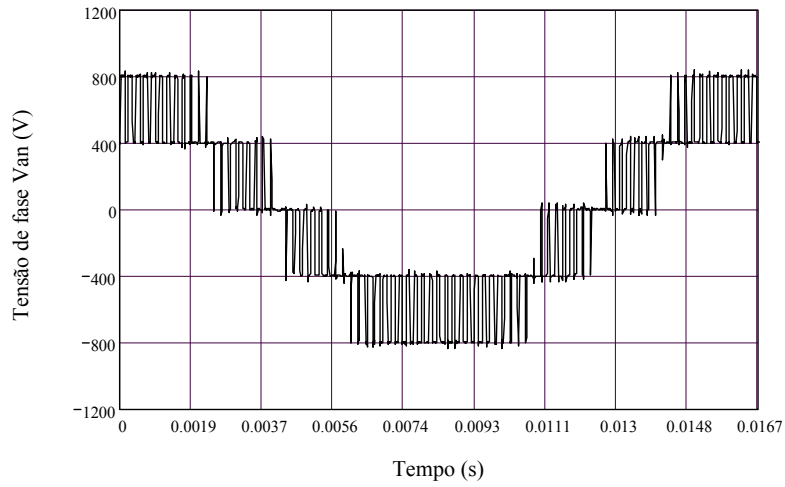


Figura 3.22 - Tensão de fase (v_{AN}) gerada pela equação (3.53).

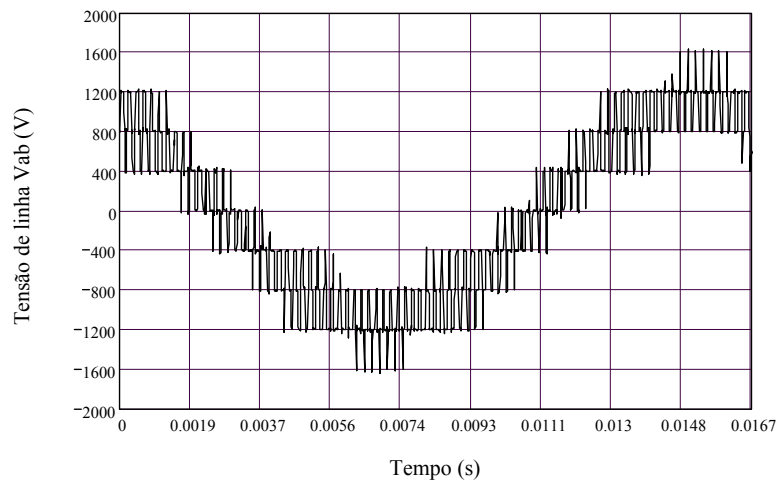


Figura 3.23 - Tensão de linha (v_{AB}) gerada a partir da equação (3.54).

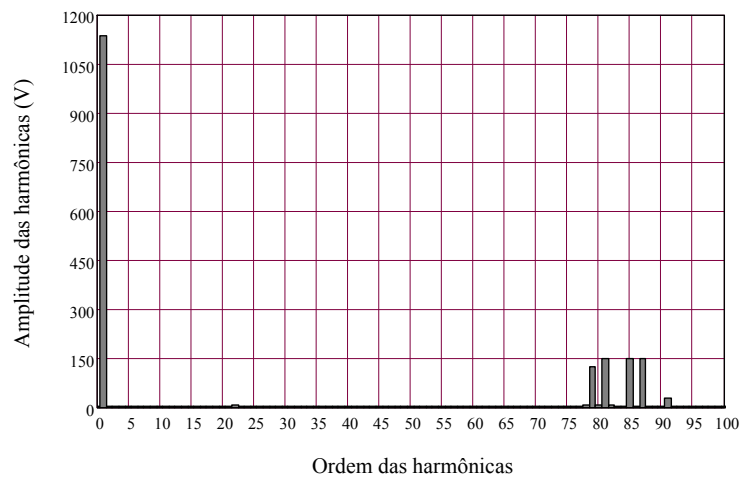


Figura 3.24 - Espectro harmônico da tensão de linha.

Para efeito de comparação, foi realizada uma simulação no software *PSIM* utilizando os mesmos parâmetros, obtendo um resultado muito semelhante ao gerado no *Mathcad*. Na Figura 3.25, Figura 3.26 e são apresentados os resultados.

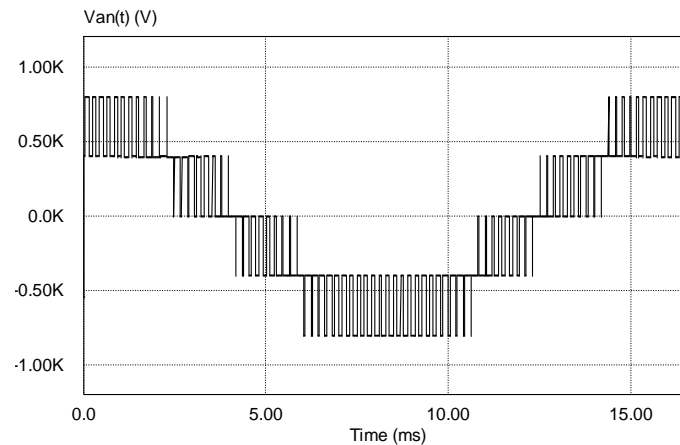


Figura 3.25 - Tensão de fase (v_{AN}) simulada no software PSIM.

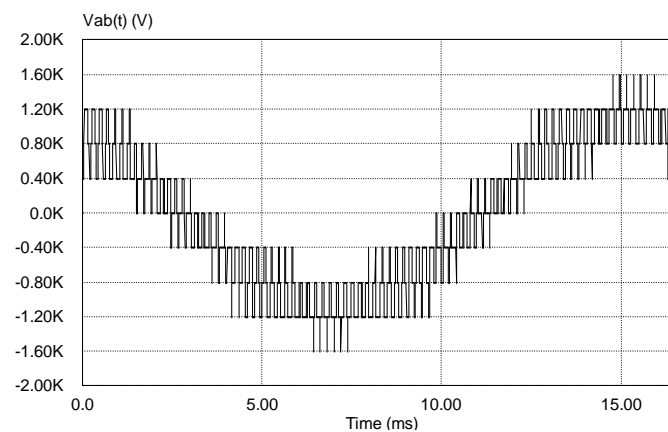


Figura 3.26 - Tensão de linha (v_{AB}) simulada no software PSIM.

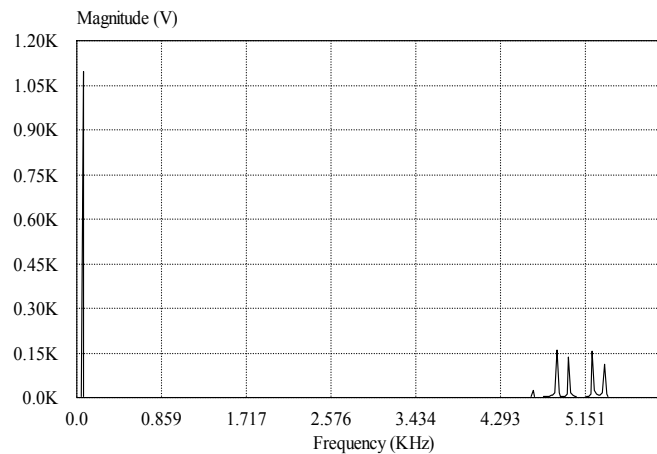


Figura 3.27 - Espectro harmônico da tensão de linha simulado no PSIM.

3.3 Conclusão

Neste capítulo foi definida a técnica de modulação empregada no inversor multinível proposto.

Inicialmente foram desenvolvidas as expressões analíticas na tensão de carga dos inversores meia-ponte e ponte-completa, utilizando a modulação PWM senoidal. Posteriormente foi encontrada a equação da forma de onda da tensão na carga para o inversor multinível proposto monofásico cinco níveis e trifásico n níveis.

Estas expressões foram ilustradas de forma gráfica através do software *Mathcad*, demonstrando a similaridade com os resultados gerados pelo simulador numérico *PSIM*.

Foram estudadas até o momento a topologia e modulação do inversor multinível proposto para 3 e 5 níveis na versão monofásica e n níveis na versão trifásica. No próximo capítulo serão realizados os cálculos do estágio de potência para o inversor proposto apenas na versão trifásica para $N_c = 2$, como apresentado na Figura 3.19.

A taxa de distorção harmônica na tensão de linha apresenta o mesmo valor dos outros inversores multiníveis apresentados empregando modulação PWM *phase-shifted*.

A modulação *phase-shifted* apresenta uma maior facilidade na implementação quando comparada a outras técnicas como, por exemplo, a *level-shifted*, pois nesta deve-se impor níveis de tensões diferenciados a cada portadora triangular. Entretanto, utilizando a técnica *level-shifted* pode-se otimizar a forma de onda na tensão de linha na saída diminuindo a taxa de distorção harmônica.

4 PROJETO DO ESTÁGIO DE POTÊNCIA

4.1 Introdução

Realizada a análise da estrutura do inversor na versão trifásica (Figura 3.19) e definida a técnica de modulação empregada, resta agora realizar o projeto do estágio de potência.

O projeto será de um inversor multinível trifásico com uma potência de 15kW utilizando carga *RL*. Deseja-se obter nove níveis na tensão de linha na carga (ligada em delta). Para isso será necessário utilizar 2 células de comutação em cascata em cada fase, somando um total de 6 células, para um sistema trifásico, sendo que cada célula é composta por quatro interruptores e duas fontes isoladas. Cada fonte de tensão isolada será obtida através de pontes retificadoras trifásicas a diodo.

No estágio de entrada serão empregados retificadores de doze pulsos. Com esta configuração é possível obter uma corrente drenada da rede com um maior fator de potência.

Inicialmente serão realizados os cálculos de correntes e tensões sobre os semicondutores e componentes presentes no inversor, com o objetivo de encontrar os esforços gerados por estes dispositivos e assim especificá-los.

Após os cálculos, serão realizadas simulações numéricas com o intuito de confirmar os resultados teóricos obtidos neste capítulo.

4.2 Cálculo dos esforços nos interruptores

Os cálculos a seguir têm como objetivo encontrar a equação da corrente nos interruptores. Para realizar os cálculos serão consideradas as seguintes hipóteses:

- Todos os componentes semicondutores são ideais assim como a fonte de tensão contínua isolada.

- As perdas por comutação serão desprezadas.
- A corrente na fase é senoidal e está defasada de um ângulo Φ da tensão e as correntes na fase estão balanceadas.
- A frequência da portadora triangular é muito maior do que a frequência da moduladora senoidal.

A razão cíclica é definida como apresentada na equação (4.1)

$$d(t) = \frac{1}{2}(1 + M \text{sen}(\omega_o t + \Phi)) \quad (4.1)$$

onde M é o índice de modulação e Φ é a defasagem entre a tensão fundamental e a corrente na fase.

No gráfico da Figura 4.1 são representadas as formas de onda da razão cíclica, para determinados valores do índice de modulação considerando $\Phi = 0$.

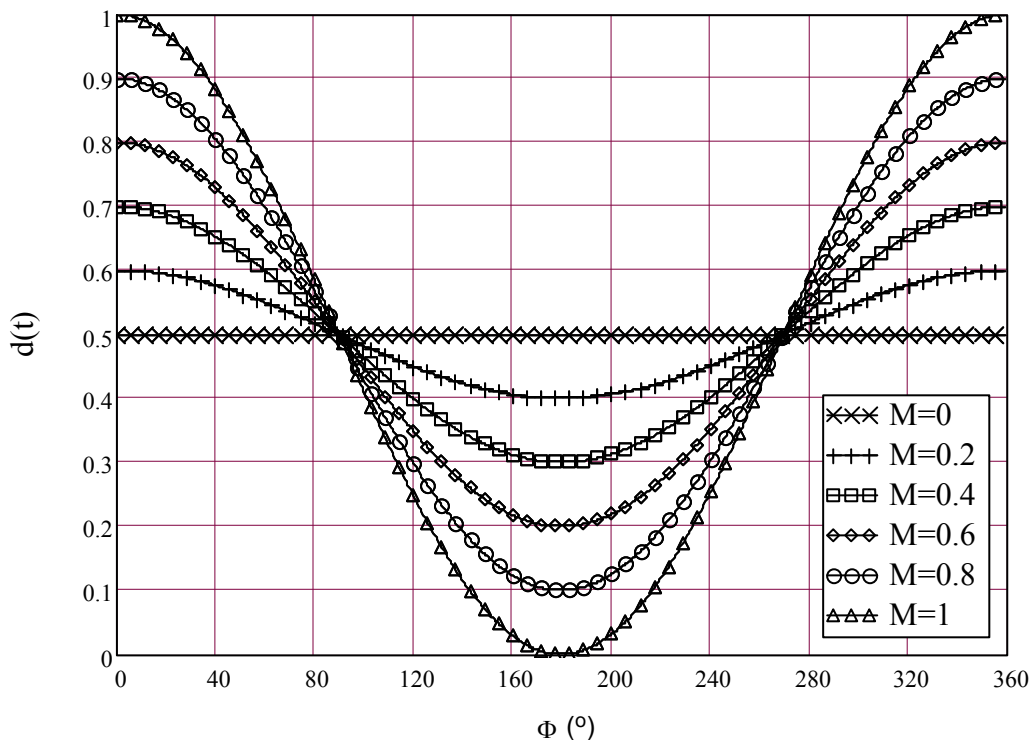


Figura 4.1 - Forma de onda da razão cíclica.

A moduladora quando comparada com uma portadora triangular em alta frequência gera a forma de onda (v_{c_Sal}) apresentada na Figura 4.2.

A ondulação de corrente presente na corrente do interruptor nos cálculos é desprezada.

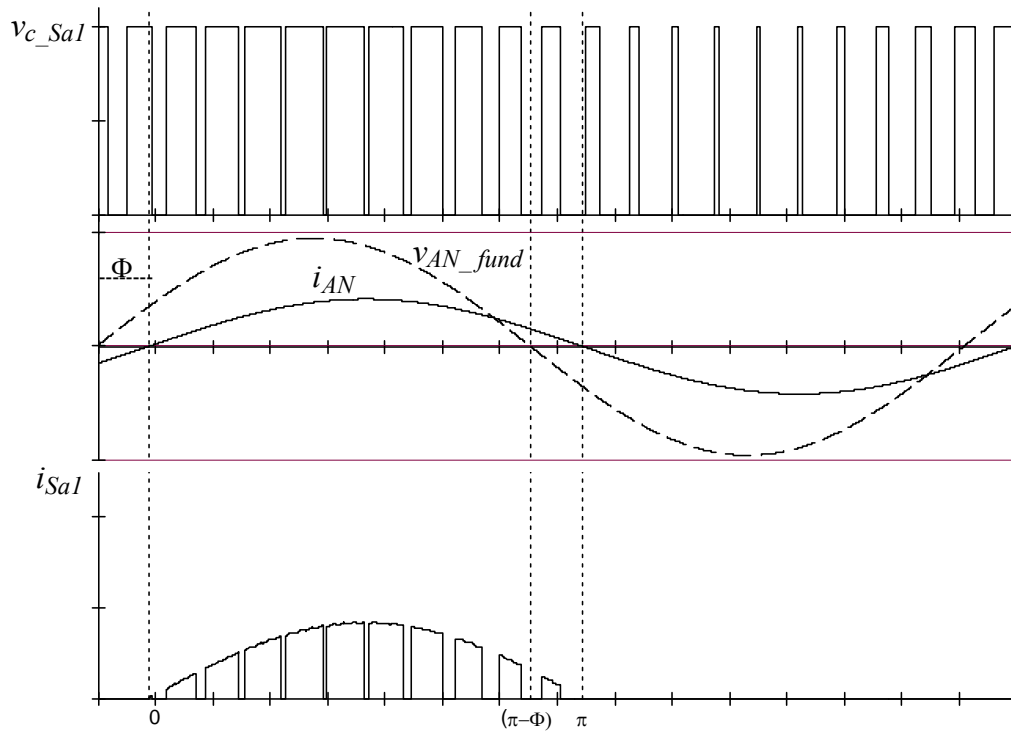


Figura 4.2 - Formas de onda no comando do interruptor (v_{c_Sal}), corrente (i_{AN}) e tensão fundamental (v_{AN_fund}) na fase , e corrente no interruptor (i_{Sal}).

Percebe-se na Figura 4.2 que a corrente no interruptor é diferente de zero no intervalo de 0 à π . Para calcular a corrente média ou eficaz neste semiconductor, deve-se realizar a integração neste período.

Para calcular a corrente média no interruptor (I_{med_S}) inicialmente encontra-se a representação da corrente instantânea na fase pela equação (4.2), para um período muito pequeno, já que a frequência da portadora triangular é muito maior que a frequência da moduladora, esta aproximação é aceitável.

$$I_{med_{Si}} = \frac{1}{T_S} \int_0^{d(t)T_S} i_F(t) dt = d(t) i_F(t) \quad (4.2)$$

A corrente de fase que circula na carga é fornecida por (4.3), onde I_{Fp} é o valor de pico desta. Para encontrar a corrente média no interruptor, deve-se então integrar a equação (4.2) ao longo do período em que ela conduz de acordo com a expressão (4.4).

$$i_F(t) = I_{Fp} \text{sen}(\omega_o t) \quad (4.3)$$

$$I_{med_S} = \frac{1}{2\pi} \int_0^\pi i_F(t) d(t) d\omega t \quad (4.4)$$

$$I_{med_S} = \frac{1}{2\pi} \int_0^\pi \left[I_{Fp} \text{sen}(\omega_o t) \frac{1}{2} (1 + M \text{sen}(\omega_o t + \Phi)) \right] d\omega t \quad (4.5)$$

Sabendo que:

$$\text{sen}(\omega_o t + \Phi) = \text{sen}(\omega_o t) \cos(\Phi) + \text{sen}(\Phi) \cos(\omega_o t) \quad (4.6)$$

$$I_{med_S} = \frac{I_{Fp}}{4\pi} \int_0^\pi \left[\text{sen}(\omega_o t) + M \text{sen}^2(\omega_o t) \cos(\Phi) + M \text{sen}(\omega_o t) \cos(\omega_o t) \text{sen}(\Phi) \right] d\omega t \quad (4.7)$$

Cada integral de (4.7) é definida nas seguintes equações (4.8), (4.9) e (4.10).

$$\int \text{sen}(\omega_o t) d\omega t = -\cos(\omega_o t) \quad (4.8)$$

$$\int \text{sen}(\omega_o t) \cos(\omega_o t) d\omega t = \frac{\text{sen}^2(\omega_o t)}{2} \quad (4.9)$$

$$\int \text{sen}^2(\omega_o t) d\omega t = \frac{\omega_o t}{2} - \frac{\text{sen}(2\omega_o t)}{4} \quad (4.10)$$

Substituindo (4.8), (4.9) e (4.10) em (4.7) pode-se mostrar que a corrente média no interruptor é obtida por (4.11).

$$I_{med_S} = \frac{I_{Fp}}{2} \left[\frac{1}{\pi} + \frac{M}{4} \cos(\Phi) \right] \quad (4.11)$$

Parametrizando (4.11) obtém-se (4.12).

$$\overline{I_{med}_s} = \frac{2}{I_{Fp}} I_{med}_s = \left[\frac{1}{\pi} + \frac{M}{4} \cos(\Phi) \right] \quad (4.12)$$

Para encontrar a corrente eficaz no interruptor faz-se uso do mesmo procedimento. A corrente instantânea eficaz é calculada por (4.13).

$$I_{ef_{Si}} = \sqrt{\frac{1}{T_S} \int_0^{d(t)T_S} i_F^2(t) dt} = i_F(t) \sqrt{d(t)} \quad (4.13)$$

Para encontrar o valor eficaz da corrente no interruptor, integra-se no período de (0 à π) a equação (4.13).

$$I_{ef_S} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left(i_F(t) \sqrt{d(t)} \right)^2 d\omega t} \quad (4.14)$$

$$I_{ef_S} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left((I_{Fp} \text{sen}(\omega_o t))^2 \times \frac{1}{2} (1 + M \text{sen}(\omega_o t + \Phi)) \right) d\omega t} \quad (4.15)$$

$$I_{ef_S} = \frac{I_{Fp}}{2} \sqrt{\frac{1}{\pi} \int_0^\pi \left(\text{sen}^2(\omega_o t) + M \text{sen}^2(\omega_o t) \text{sen}(\omega_o t + \Phi) \right) d\omega t} \quad (4.16)$$

Fazendo uso da equação (4.6), obtém-se (4.17).

$$I_{ef_S} = \frac{I_{Fp}}{2} \sqrt{\frac{1}{\pi} \int_0^\pi \left(\text{sen}^2(\omega_o t) + M \text{sen}^3(\omega_o t) \cos(\Phi) + M \text{sen}^2(\omega_o t) \cos(\omega_o t) \text{sen}(\Phi) \right) d\omega t} \quad (4.17)$$

Sabendo que:

$$\int \text{sen}^2(\omega_o t) d\omega t = \frac{\omega_o t}{2} - \frac{\text{sen}(2\omega_o t)}{4} \quad (4.18)$$

$$\int \text{sen}^3(\omega_o t) d\omega t = \frac{\text{sen}^2(\omega_o t) \cos(\omega_o t)}{3} - \frac{2}{3} \cos(\omega_o t) \quad (4.19)$$

$$\int \text{sen}^2(\omega_o t) \cos(\omega_o t) d\omega t = -\frac{\text{sen}^3(\omega_o t)}{3} \quad (4.20)$$

Substituindo (4.18), (4.19) e (4.20) em (4.17) pode-se mostrar que a corrente eficaz no interruptor é definida por (4.21).

$$\boxed{I_{ef_S} = \frac{I_{Fp}}{2} \sqrt{\frac{1}{2} + \frac{4M}{3\pi} \cos(\Phi)}} \quad (4.21)$$

Ou ainda parametrizando (4.21), obtém-se (4.22).

$$\overline{I_{ef_S}} = \frac{2}{I_{Fp}} I_{ef_S} = \sqrt{\frac{1}{2} + \frac{4M}{3\pi} \cos(\Phi)} \quad (4.22)$$

A corrente de pico no interruptor é a mesma corrente de pico na fase e apresentada em (4.23).

$$\boxed{I_{pico_S} = I_{Fp}} \quad (4.23)$$

4.3 Cálculo dos esforços nos diodos anti-paralelo

Utilizando a mesma técnica do item 4.3 é possível encontrar o valor da corrente média e eficaz no diodo anti-paralelo que faz parte do interruptor. Na Figura 4.3 é apresentado o período de condução (π à 2π) destes diodos, assim como as formas de onda do comando do interruptor, corrente e tensão na fase.

A corrente média no diodo (equação (4.24)) pode ser obtida fazendo uso da equação (4.5) alterando apenas os limites de integração.

$$I_{med_{Dap}} = \frac{1}{2\pi} \int_{\pi}^{2\pi} \left[I_{Fp} \text{sen}(\omega_o t) \frac{1}{2} (1 + M \text{sen}(\omega_o t + \Phi)) \right] d\omega t \quad (4.24)$$

Integrando a equação (4.24) obtém-se a corrente média no diodo anti-paralelo (4.25).

$$I_{med_{Dap}} = \frac{I_{Fp}}{2} \left[\frac{1}{\pi} - \frac{M}{2} \cos(\Phi) \right] \quad (4.25)$$

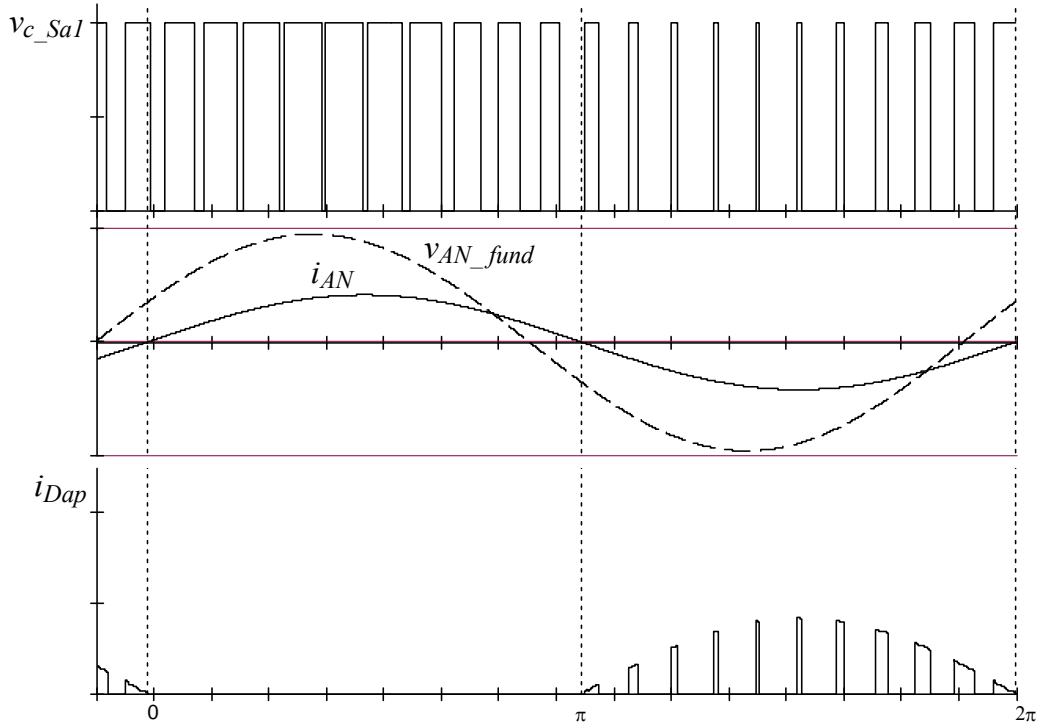


Figura 4.3 - Formas de onda no comando do interruptor (v_{c_Sal}), corrente (i_{AN}) e tensão fundamental (v_{AN_fund}) na fase , e corrente no diodo anti-paralelo (i_{Dap}).

Parametrizando (4.25), obtém-se (4.26).

$$\overline{I_{med_{Dap}}} = \frac{2}{I_{Fp}} I_{med_{Dap}} = \left[M \cos(\Phi) - \frac{1}{\pi} \right] \quad (4.26)$$

Para encontrar a corrente eficaz neste diodo é utilizada a equação (4.15), alterando apenas o seu limite de integração como apresentada na expressão (4.27).

$$I_{ef_S} = \sqrt{\frac{1}{2\pi} \int_{\pi}^{2\pi} \left((I_{Fp} \sin(\omega_o t))^2 \frac{1}{2} (1 + M \sin(\omega_o t + \Phi)) \right) d\omega t} \quad (4.27)$$

O resultado desta integração é apresentado em (4.28).

$$I_{ef_{Dap}} = \frac{I_{Fp}}{2} \sqrt{\frac{1}{2} - \frac{4M}{3\pi} \cos(\Phi)} \quad (4.28)$$

Parametrizando (4.28), obtém-se (4.29).

$$\overline{Ief_{Dap}} = \frac{2}{I_{Fp}} Ief_{Dap} = \sqrt{\frac{1}{2} - \frac{4M}{3\pi} \cos(\Phi)} \quad (4.29)$$

A corrente de pico do diodo anti-paralelo é igual a corrente de pico na fase do inversor definida em (4.30).

$$\boxed{I_{pico_{Dap}} = I_{Fp}} \quad (4.30)$$

4.4 Cálculo da corrente drenada da fonte de tensão contínua isolada

Utilizando ainda o mesmo procedimento, é possível encontrar o valor da corrente eficaz e média drenada de cada fonte de tensão isolada. Como esta fonte de tensão é composta por uma ponte retificadora trifásica de onda completa a diodo, a corrente encontrada aqui, será utilizada para projetar esta ponte retificadora.

Na Figura 4.4, são apresentadas as principais formas de onda para realizar o cálculo da corrente drenada da fonte de tensão contínua.

A corrente média drenada da fonte (equação (4.31)) é calculada baseada na equação (4.5), apenas alterando o seu período de integração. Percebe-se que o período de integração vai de 0 a 2π .

$$I_{med_{Vdc}} = \frac{1}{2\pi} \int_0^{2\pi} \left[I_{Fp} \text{sen}(\omega_o t) \frac{1}{2} (1 + M \text{sen}(\omega_o t + \Phi)) \right] d\omega t \quad (4.31)$$

$$\boxed{I_{med_{Vdc}} = \frac{I_{Fp} M}{4} \cos(\Phi)} \quad (4.32)$$

Parametrizando (4.32), obtém-se (4.33).

$$\overline{I_{med_{Vdc}}} = \frac{2}{I_{Fp}} I_{med_{Vdc}} = \frac{M}{2} \cos(\Phi) \quad (4.33)$$

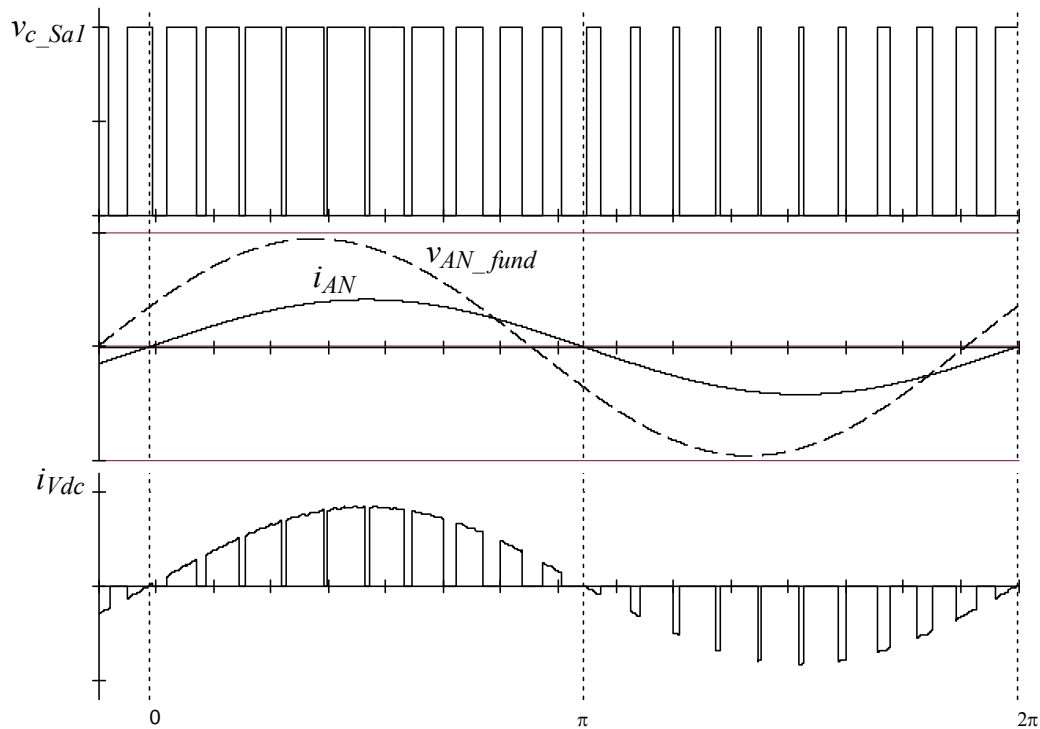


Figura 4.4 - Formas de onda no comando do interruptor (v_{c_Sal}), corrente (i_{AN}) e tensão fundamental (v_{AN_fund}) na fase, e corrente drenada de cada fonte de tensão isolada (i_{Vdc}).

Da mesma forma pode ser encontrada a corrente eficaz drenada de cada fonte de tensão definida pela expressão (4.34).

$$I_{ef_{Vdc}} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} \left((I_{Fp} \text{sen}(\omega_o t))^2 \frac{1}{2} (1 + M \text{sen}(\omega_o t + \Phi)) \right) d\omega t} \quad (4.34)$$

$$\boxed{I_{ef_{Vdc}} = \frac{I_{Fp}}{2}} \quad (4.35)$$

A corrente de pico drenada da fonte é igual a corrente de pico na fase do inversor (equação (4.36)).

$$\boxed{I_{pico_{Vdc}} = I_{Fp}} \quad (4.36)$$

4.5 Representação gráfica dos esforços nos componentes do inversor

Como forma de facilitar o projeto deste inversor, serão traçados os gráficos (ou ábacos) das equações de corrente média e eficaz nos interruptores, nos diodos anti-paralelo

e a drenada da fonte de tensão contínua isolada sendo apresentadas nas Figura 4.5, Figura 4.6, Figura 4.7, Figura 4.8 e Figura 4.9. Todas estas correntes estão parametrizadas de acordo com as equações (4.12), (4.22), (4.26), (4.29) e (4.33) respectivamente.

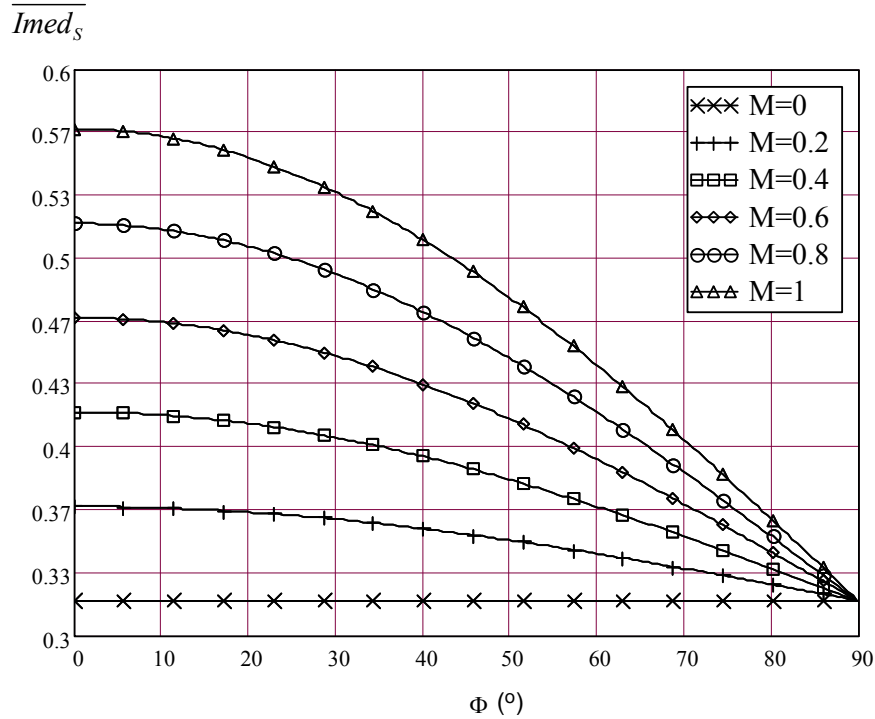


Figura 4.5 - Corrente média no interruptor parametrizada (equação (4.12)).

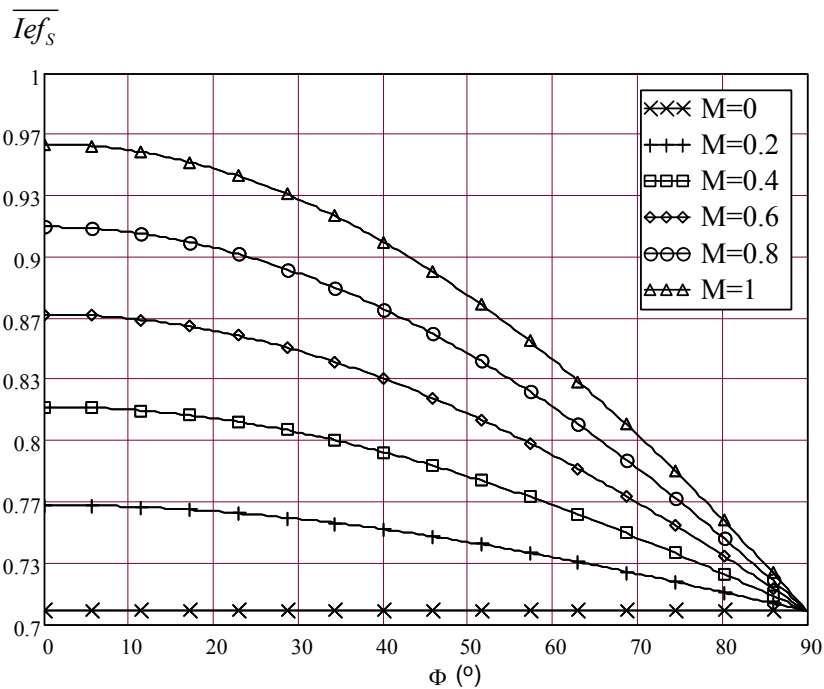


Figura 4.6 - Corrente eficaz no interruptor parametrizada (equação (4.22)).

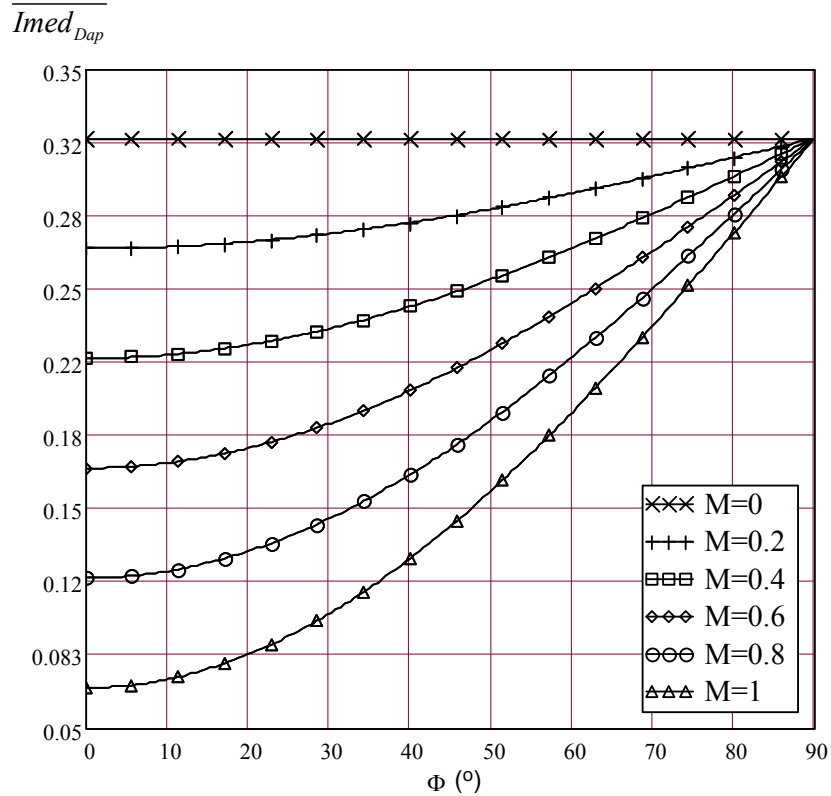


Figura 4.7 - Corrente média no diodo anti-paralelo parametrizada (equação (4.26)).

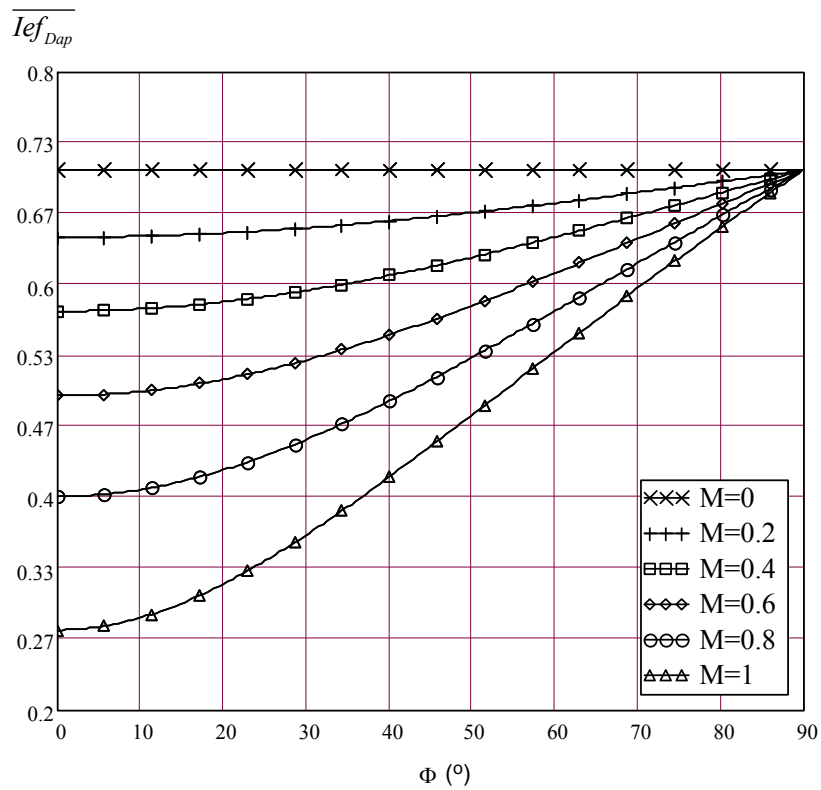


Figura 4.8 - Corrente eficaz no diodo anti-paralelo parametrizada (equação (4.29)).

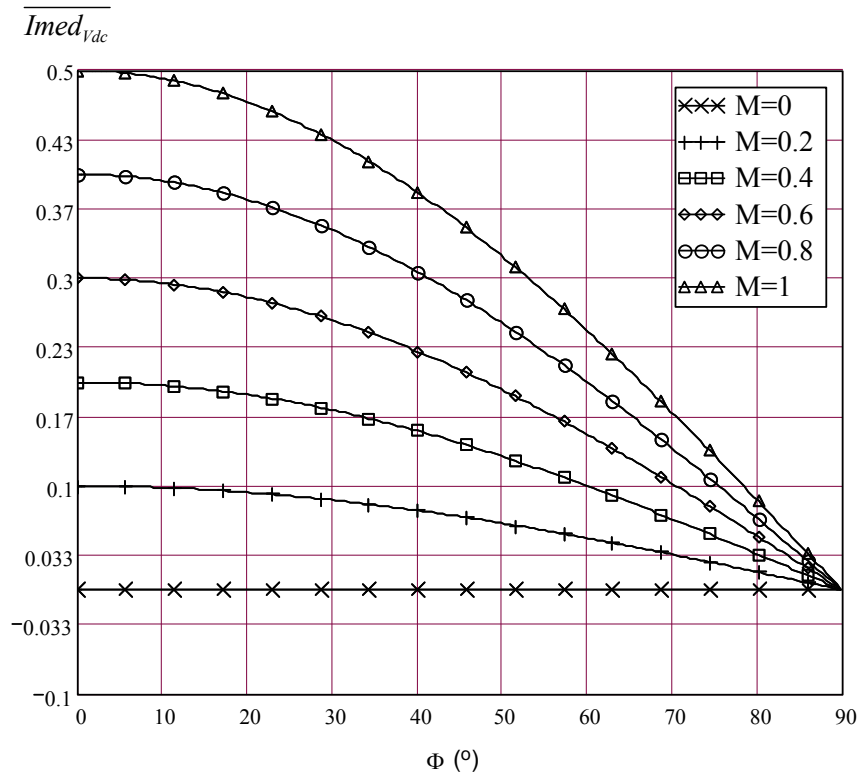


Figura 4.9 - Corrente média drenada da fonte de tensão contínua isolada parametrizada (equação (4.33)).

4.6 Projeto do estágio de potência

O protótipo será composto por 2 células de comutação e 4 fontes de tensão contínua em cada fase. Na Tabela 4.1 é apresentada a especificação do inversor multinível proposto a ser implementado.

Potência na carga	15 kW
Tensão contínua na fonte isolada (V_{DC})	400 V
Tensão de linha na rede	380 V
Frequência de comutação	1260 Hz
Frequência da rede	60 Hz
Índice de modulação	0,8
Fator de deslocamento na carga	0,93
Eficiência	90%
Número de níveis na tensão de linha na carga $v_{AB}(t)$	9
Número de níveis na tensão de fase $v_{AN}(t)$	5

Tabela 4.1 – Especificação do protótipo.

4.6.1 Grandezas gerais

Serão apresentados neste subitem os cálculos das principais grandezas do estágio de potências do inversor.

a) Número de células em cascata em uma fase:

$$N_c = 2 \quad (4.37)$$

b) Número total de células em um sistema trifásico:

$$N_{Tc} = 3N_c = 6 \text{ células} \quad (4.38)$$

c) Número total de interruptores em um sistema trifásico:

$$N_{Tint} = 4N_{Tc} = 24 \text{ interruptores} \quad (4.39)$$

d) Número de níveis na tensão de fase:

$$n_F = 2N_c + 1 = 5 \text{ níveis} \quad (4.40)$$

e) Número de níveis na tensão de linha:

$$n_L = 4N_c + 1 = 9 \text{ níveis} \quad (4.41)$$

f) Número de transformadores com uma entrada em delta e duas saídas (delta e estrela):

$$N_{Tr} = 3N_c = 6 \text{ transformadores} \quad (4.42)$$

g) Valor de pico da tensão de linha na saída:

$$V_{p_AN} = 2N_c V_{DC} = 1600 \text{ V} \quad (4.43)$$

h) Valor de pico da tensão fundamental de linha na saída:

$$V_{olp} = \sqrt{3} M V_{DC} N_c = 1108,51 \text{ V} \quad (4.44)$$

i) Valor eficaz da tensão fundamental de linha na saída:

$$V_{oLef} = \frac{V_{oLp}}{\sqrt{2}} = 783,84 \text{ V} \quad (4.45)$$

j) Potência por fase na carga:

$$P_{o1\phi} = \frac{P_{o3\phi}}{3} = 5 \text{ kW} \quad (4.46)$$

l) Potência em cada célula:

$$P_{cel} = \frac{P_{o3\phi}}{N_{Tc}} = 1250 \text{ W} \quad (4.47)$$

m) Impedância na carga:

$$Z_o = \frac{V_{oLef}^2 \cos(\Phi)}{P_{o1\phi}} = \frac{783,84^2 \times 0,93}{5000} = 114,28 \Omega \quad (4.48)$$

n) Valor da indutância de carga:

$$L_o = \frac{Z_o \sin(\Phi)}{\omega_o} = 111,42 \text{ mH} \quad (4.49)$$

o) Valor da resistência de carga:

$$R_o = Z_o \cos(\Phi) = 106,28 \Omega \quad (4.50)$$

p) Corrente de linha eficaz na carga:

$$I_{oLef} = \frac{V_{oLef}}{Z_o} = 6,86 \text{ A} \quad (4.51)$$

q) Valor de pico da corrente de linha na carga:

$$I_{oLp} = I_{oLef} \sqrt{2} = 9,7 \text{ A} \quad (4.52)$$

r) Corrente eficaz na fase:

$$I_{Fef} = I_{oLef} \sqrt{3} = 11,88 \text{ A} \quad (4.53)$$

s) Valor de pico da corrente de fase:

$$I_{Fp} = I_{oFef} \sqrt{2} = 16,80 \text{ A} \quad (4.54)$$

4.6.2 Especificação do interruptor de potência

Para encontrar a corrente média e eficaz no interruptor e diodos anti-paralelo serão utilizadas as equações determinadas no capítulo anterior.

a) Corrente média em cada interruptor:

$$I_{med_s} = \frac{I_{Fp}}{2} \left[\frac{1}{\pi} + \frac{M}{4} \cos(\Phi) \right] = 4,24 \text{ A} \quad (4.55)$$

b) Corrente eficaz em cada interruptor:

$$I_{ef_s} = \frac{I_{Fp}}{2} \sqrt{\frac{1}{2} + \frac{4M}{3\pi} \cos(\Phi)} = 7,59 \text{ A} \quad (4.56)$$

c) Corrente de pico em cada interruptor:

$$I_{pico_s} = I_{Fp} = 16,80 \text{ A} \quad (4.57)$$

d) Tensão máxima sobre cada interruptor:

$$V_{max_s} = 400 \text{ V} \quad (4.58)$$

e) Corrente média no diodo anti-paralelo do interruptor:

$$I_{med_{Dap}} = \frac{I_{Fp}}{2} \left[\frac{1}{\pi} - \frac{M}{2} \cos(\Phi) \right] = 1,11 \text{ A} \quad (4.59)$$

f) Corrente eficaz no diodo anti-paralelo do interruptor:

$$I_{ef_{Dap}} = \frac{I_{Fp}}{2} \sqrt{\frac{1}{2} - \frac{4M}{3\pi} \cos(\Phi)} = 3,61 \text{ A} \quad (4.60)$$

g) Corrente de pico no diodo anti-paralelo do interruptor:

$$I_{ef_{Dap}} = I_{Fp} = 16,80 \text{ A} \quad (4.61)$$

Com estes valores é possível especificar os interruptores de potência.

Os interruptores utilizados neste inversor devem ter como característica principal, uma baixa perda em condução, devida a alta potência, e uma comutação rápida para evitar grandes perdas de comutação além de suportar altas tensões e correntes. Um interruptor que atende estas características é o IGBT (*Insulated Gate Bipolar Transistor*).

O IGBT tem características de um MOSFET, ou seja, necessita de baixa potência para ser acionado. Já do ponto de vista da saída, tem características de um transistor bipolar, pois em condução, pode ser modelado como uma fonte de tensão.

O disparo de um IGBT tem uma rapidez de comutação comparável ao MOSFET. Quando é comandado a fechar, há a formação de um canal N , e o modelo do componente torna-se um diodo (PN a partir do coletor), que entra rapidamente em condução. Quando comandado a abrir, desfaz-se o canal, sobrando um transistor PNP. Portanto, o tempo de abertura do IGBT é da mesma ordem de um transistor bipolar. Assim, as perdas de comutação durante a abertura são elevadas se comparadas a um MOSFET, a não ser que seja utilizada uma comutação não dissipativa.

Interruptor escolhido: Fabricante: Semikron – Módulo IGBT: SKM 50 GB 063 D

Característica	Símbolo	Valor
Tensão máxima	$V_{maXIGBT}$	600 V
Tensão de saturação do coletor-emissor	V_{CEsat}	2,1 V (25 °C)
Corrente contínua no coletor	I_{cIGBT}	50 A
Corrente máxima de pico no coletor	$I_{picoIGBT}$	100 A
Tempo de subida na comutação	t_r	40 ns
Tempo de descida na comutação	t_f	30 ns
Temperatura máxima de junção (°C)	T_J	150 °C
Resistência térmica junção cápsula	$R_{thjcIGBT}$	0,5 °C/W

Resistência térmica cápsula dissipador	$R_{thcd_{IGBT}}$	0,05 °C/W
Resistência térmica junção cápsula do diodo anti-paralelo	$R_{thjc_{Dap}}$	1 °C/W
Energia dissipada no tempo de subida	E_{on}	2,5 mJ
Energia dissipada no tempo de descida	E_{off}	1,8 mJ
Tensão sobre o diodo anti-paralelo em condução	$V_{F_{Dap}}$	1,45 V

Tabela 4.2 - Principais características do interruptor escolhido.

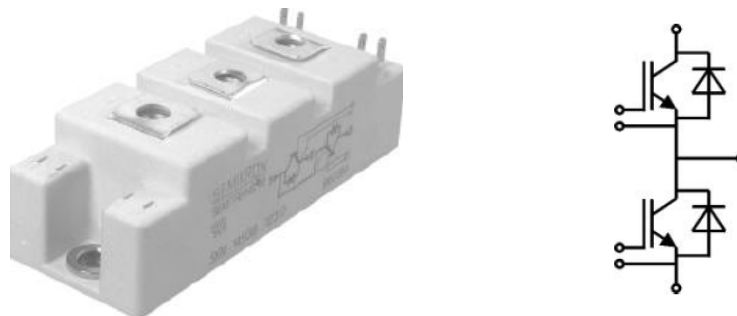


Figura 4.10 - IGBT da Semikron utilizado no protótipo.

O *driver* de comando do módulo IGBT também deve ser especificado. Cada *driver* pode comandar um módulo de IGBT, sendo que cada módulo contém dois interruptores. No projeto serão necessários 12 *drivers* de comando.

Para alimentar cada *driver* de comando faz-se necessário uma fonte de alimentação, entretanto se for conectado um transformado em cada fonte de alimentação é possível alimentar dois *drivers* com apenas uma fonte. Serão necessárias então 6 fontes de alimentação e 6 transformadores extras. As especificações dos *drivers*, fontes e transformadores encontram-se a seguir.

Especificação	Fabricante/Modelo	Quantidade
<i>Driver</i> de comando escolhido	Semikron/SKHI 20opA	12
Fonte auxiliar dos módulos	Semikron/SKHI PS1	6
Transformador da fonte auxiliar	Semikron/SKPT 14-0050	6

 Tabela 4.3 – Especificação dos *drivers* de comando dos interruptores.

No driver do IGBT ainda deve ser projetado o resistor de *gate* (R_G) para limitar a corrente de *gate* no IGBT, além de um diodo zener (V_{zener}) e um capacitor (C_{CE}). O diodo zener é projetado de acordo com a equação (4.62), presente no *datasheet*, com a função de informar o *driver* à tensão limite, em condução, para o acionamento das proteções. Para encontrar o valor de $V_{threshold}$ foi utilizado o gráfico da Figura 4.12, com uma tensão V_{GE} de

15 V. No projeto foi utilizado $V_{threshold}$ igual a 3 V, encontrando V_{zener} igual a 2,6 V. Já o capacitor fornece um tempo de retardo no monitoramento da tensão limite de condução, devido ao tempo de recuperação de corrente reversa no diodo em anti-paralelo do IGBT. O valor deste capacitor é obtido pela equação (4.63). O valor do capacitor C_{CE} utilizado no *driver* é igual a 10 pF, assim o $t_{disable}$ é igual a 2,184 μs . O tempo morto no *driver* pode ser ajustado em quatro tempos diferentes (0,25, 2, 3 e 4 μs), sendo definido igual a 4 μs baseando-se nas formas de onda dos pulsos de comando do IGBT.

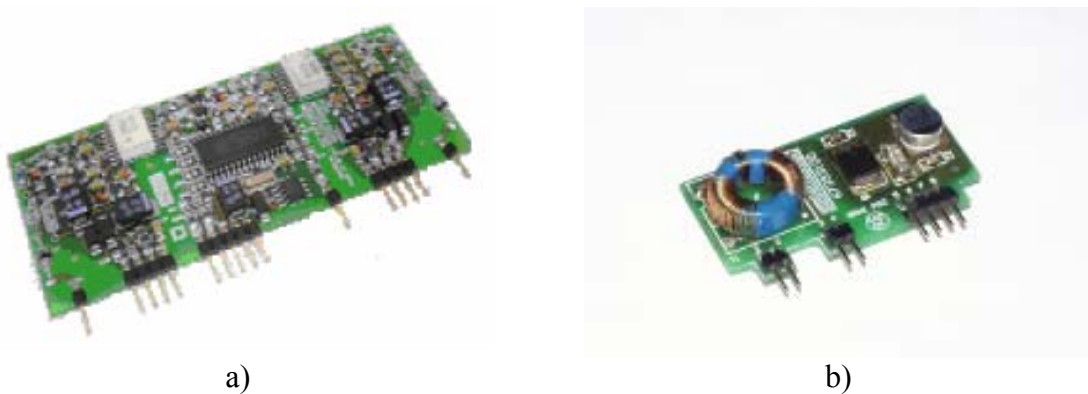


Figura 4.11 - a) *Driver* de comando do IGBT; b) Fonte de alimentação do *driver*.

$$V_{threshold} = (7 - 1.4 - V_{zener}) \text{ V} \tag{4.62}$$

$$t_{disable} = \frac{(68 + C_{CE})7}{250} \mu s \quad C_{CE} \text{ em pF} \tag{4.63}$$

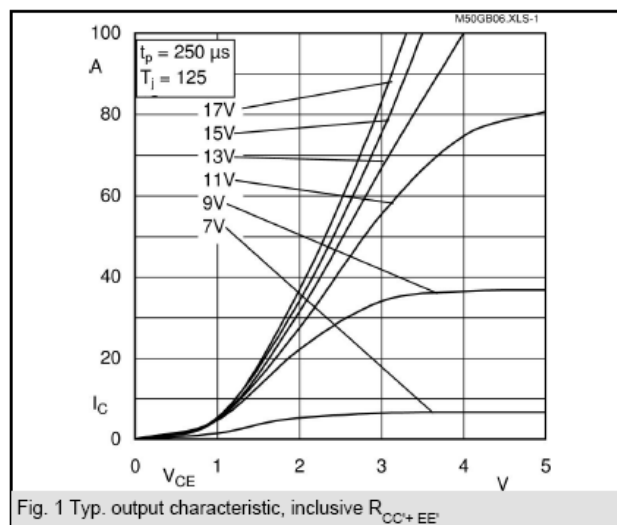


Figura 4.12 - Gráfico utilizado na determinação de $V_{threshold}$.

Para encontrar o valor ideal do resistor de gate se fez uso do *datasheet* do IGBT. Neste documento são apresentados alguns gráficos (Figura 4.13), onde de acordo com o valor de R_G escolhido é determinado à corrente de recuperação reversa do diodo (I_{RR}). Foi determinado um resistor de *gate* com o valor de 15Ω , onde apresentará uma I_{RR} igual a 50 A.

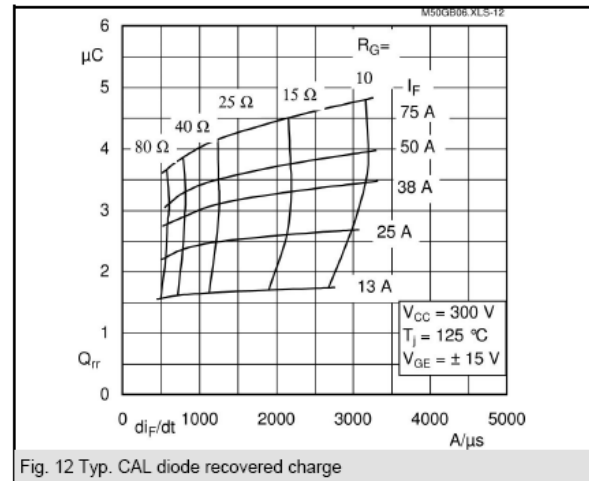
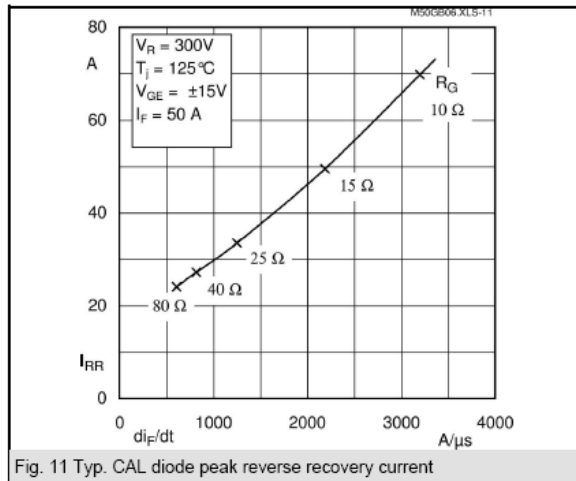


Figura 4.13 - Gráficos utilizados na obtenção do resistor de *gate*.

4.6.3 Especificação do retificador trifásico de onda completa a diodo

Para especificar o retificador trifásico deve-se inicialmente encontrar a corrente média e eficaz na saída deste componente. Para isto serão utilizadas as equações determinadas anteriormente.

a) Corrente média drenada da fonte V_{DC} :

$$I_{med_{V_{dc}}} = \frac{I_{Fp} M}{4} \cos(\Phi) = 3,12 \text{ A} \quad (4.64)$$

b) Corrente eficaz drenada da fonte V_{DC} :

$$I_{ef_{V_{dc}}} = \frac{I_{Fp}}{2} = 8,40 \text{ A} \quad (4.65)$$

c) Corrente de pico drenada da fonte V_{DC} :

$$I_{pico_{Vdc}} = I_{Fp} = 16,80 \text{ A} \quad (4.66)$$

d) Tensão máxima sobre a ponte retificadora:

$$V_{max_{Vdc}} = 400 \text{ V} \quad (4.67)$$

Com estes valores é possível especificar a ponte retificadora trifásica de onda completa.

Ponte retificadora escolhida: Fabricante: Semikron – SKD 25/08 A1

Característica	Símbolo	Valor
Tensão máxima da ponte retificadora	$V_{max_{PR}}$	800 V
Resistência equivalente da ponte retificadora	r_t	12 mΩ
Tensão sobre os diodos em condução	V_F	2,2 V
Resistência térmica junção cápsula	$R_{thjc_{Vdc}}$	1,75 °C/W
Resistência térmica cápsula dissipador	$R_{thcd_{Vdc}}$	0,15 °C/W

Tabela 4.4 - Principais características da ponte retificadora trifásica de onda completa escolhida.



Figura 4.14 - Ponte retificadora trifásica de onda completa da Semikron.

4.6.4 Especificação do capacitor na saída da ponte retificadora

O capacitor de saída da ponte retificadora será projetado segundo [19].

a) Equação do capacitor é definida como:

$$C_{Pr} = \frac{P_{cel}}{6f_o (V_{dc_{max}}^2 - V_{dc_{min}}^2)} = 3,53 \text{ mF} \quad (4.68)$$

b) Tensão máxima sobre o capacitor:

$$V_{max_{CPr}} = 400 \text{ V} \quad (4.69)$$

c) RSE do Capacitor:

$$RSE_{C_{Pr}} \leq \frac{Vdc_{\max} - Vdc_{\min}}{I_{P_{Vdc}}} = 71 \text{ m}\Omega \quad (4.70)$$

Capacitor escolhido: Epcos - Capacitor eletrolítico 3900 μF , 500 V, RSE = 42 $\text{m}\Omega$.

Deve ainda ser determinado o resistor de descarga destes capacitores, quando o inversor for desligado. Para isto será definido um tempo de descarga dos capacitores de 2 minutos.

d) Resistor de descarga dos capacitores:

$$r_d = \frac{t_d}{C_{Pr}} = \frac{120\text{s}}{3,9\text{mF}} = 30,76 \text{ k}\Omega$$

Valor comercial $r_d = 27 \text{ k}\Omega$ (4.71)

Potência = 6 W

4.6.5 Especificação do transformador das fontes isoladas

Para especificar o transformador deve-se encontrar a potência aparente, a tensão eficaz de linha e o tipo conexão na entrada e na saída. A entrada deste transformador será conectada em delta e terá duas saídas: uma conectada em delta e a outra em estrela. A potência aparente e a tensão eficaz serão definidas nas equações (4.73), (4.74) e (4.75). Como cada transformador alimentará uma célula de potência, este protótipo será composto por 6 transformadores.

a) Potência ativa em cada transformador:

$$P_{Tr} = 2P_{cel} = 2 \times 1250 = 2500 \text{ W} \quad (4.72)$$

b) Potência aparente em cada transformador:

$$S_{Tr} = \frac{P_{Tr}}{0,93} = 2688,17 \text{ VA} \quad (4.73)$$

c) Tensão eficaz de linha no primário do transformador:

$$V_{ef_{TFp}} = \sqrt{3} V_{ef_{rede}} = 381,05 \text{ V} \quad (4.74)$$

d) Tensão eficaz de linha no secundário do transformador:

$$V_{ef_{TFs}} = \frac{V_{DC}}{\sqrt{2}} = 282,84 \text{ V} \quad (4.75)$$

O transformador será especificador de acordo com a Tabela 4.5.

Característica do transformador	Valor
Potência aparente	3 kVA
Tensão eficaz de linha no primário	380 V
Tensão eficaz de linha no secundário	285 V

Tabela 4.5 – Especificação do transformador.

4.6.6 Especificação do circuito de proteção

O circuito de proteção será composto por um disjuntor trifásico, dois contatores trifásicos, três fusíveis e três resistores que irão limitar a corrente na partida do inversor. Para especificar estes componentes é necessário encontrar a corrente drenada da rede trifásica. Esta corrente será definida de acordo com a eficiência presente na Tabela 4.1.

a) Potência ativa em cada fase na entrada:

$$Pin_{1\phi} = \frac{P_{o1\phi}}{\eta} = \frac{5000}{0,9} = 5555,56 \text{ W} \quad (4.76)$$

b) Corrente eficaz de fase drenada da rede:

$$I_{ef_{rede_fase}} = \frac{Pin_{1\phi}}{V_{ef_{rede}} \cos(\Phi)} = \frac{5555,56}{220 \times 0,93} = 27,15 \text{ A} \quad (4.77)$$

c) Corrente de pico na fase drenada da rede:

$$I_{pico_{rede_fase}} = \sqrt{2} I_{ef_{rede_fase}} = 38,4 \text{ A} \quad (4.78)$$

Baseados na corrente de fase foram especificados os componentes do circuito de proteção e apresentados na Tabela 4.6.

Componente	Fabricante/Modelo	Características
Disjuntor	WEG / MBW-C50-3	50 A com corrente de disparo instantâneo em 250 A
Contator	WEG / CWM40E	40 A
Fusível	Siemens / Fusível Ultra rápido SITOR 3NE8 0017-1	50 A
Resistor de partida	ROHM	10 Ω / 150 W

Tabela 4.6 - Especificação do circuito de comando.

4.6.7 Cálculo das perdas

Para encontrar a perda nos interruptores serão utilizadas as equações presentes no catálogo da Semikron. Basicamente será encontrada a perda em condução através da energia dissipada durante a condução através de uma equação disponibilizada pelo catálogo da Semikron [20] e a perda em comutação será calculada através da energia dissipada tanto na entrada em condução como no bloqueio.

a) Energia dissipada na condução:

$$E_{cond} = \frac{I_{pico_s} \cdot V_{CEsat} \cdot M}{f_s} = \frac{16,80 \times 2,1 \times 0,8}{1260} = 19 \text{ mJ} \quad (4.79)$$

b) Energia dissipada na comutação:

$$\begin{aligned} \text{Entrada em condução: } E_{on} &= 2,5 \text{ mJ} \\ \text{Bloqueio} &: E_{off} = 1,8 \text{ mJ} \end{aligned} \quad (4.80)$$

c) Potência dissipada por módulo IGBT:

$$P_{mod_IGBT} = (E_{on} + E_{cond} + E_{off}) f_s = 29,61 \text{ W} \quad (4.81)$$

d) Potência dissipada pelos doze módulos IGBT:

$$PT_{mod_IGBT} = 2N_{Tc} \times P_{mod_IGBT} = 12 \times 29,612 = 355,34 \text{ W} \quad (4.82)$$

Para calcular a perda na ponte retificadora trifásica de onda completa será calculada de acordo com a equação (4.83).

$$P_{pr} = V_F I_{med_{pr}} + r_t I_{ef_{pr}}^2 = 2,2 \times 3,12 + 12 \times 10^{-3} (8,40)^2 = 7,72 \text{ W} \quad (4.83)$$

e) Perda total nas 12 pontes retificadoras:

$$PT_{pr} = N_{Tc} P_{pr} = 12 \times 7,722 = 92,66 \text{ W} \quad (4.84)$$

Existem ainda as perdas nos resistores em paralelo aos capacitores, calculada pela equação (4.85).

$$P_{rd} = N_{Tc} \frac{V_{DC}^2}{R_d} = 12 \frac{400^2}{27000} = 71,11 \text{ W} \quad (4.85)$$

A perda total no inversor multinível fica definida principalmente pela soma das perdas nos módulos IGBT, pontes retificadoras, resistores de descarga dos capacitores e transformadores. A perda total, desconsiderando as perdas nos transformadores, é definida pela equação (4.86).

$$PT_{inv} = PT_{pr} + PT_{mod_{IGBT}} + P_{rd} = 92,66 + 355,34 + 71,11 = 519,11 \text{ W} \quad (4.86)$$

4.6.8 Cálculo dos dissipadores

Como citado em capítulos anteriores o inversor é composto por 12 módulos IGBT e 12 pontes retificadoras. O inversor será composto por dois dissipadores, sobre cada dissipador serão fixados 6 módulos IGBT e 6 pontes retificadoras.

Na Figura 4.15 é apresentada uma metodologia [21] para encontrar a resistência térmica necessária para dissipar o calor gerado por estes componentes, evitando assim, que a temperatura de junção máxima dos semicondutores seja atingida.

A temperatura ambiente utilizadas nos cálculos a seguir será de 60° a temperatura de junção de 120°, visto que este valor não ultrapassa a máxima temperatura de junção de nenhum dos semicondutores.

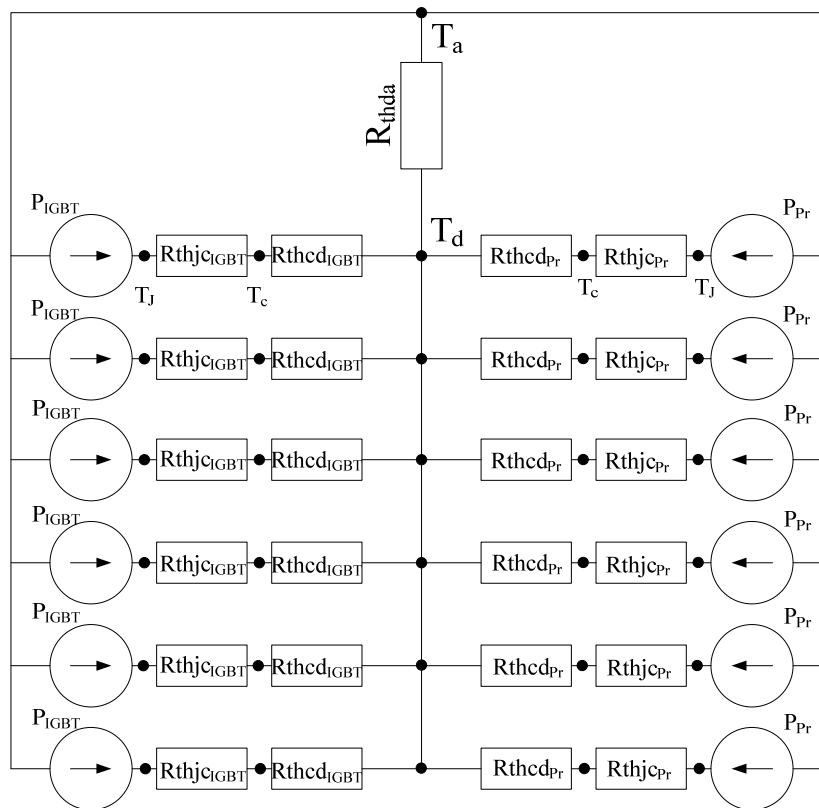


Figura 4.15 - Metodologia empregada para encontrar a resistência térmica (R_{thda}) para o módulo inversor.

a) Temperatura do dissipador do interruptor de potência:

$$T_{d_{IGBT}} = T_J - P_{mod_{IGBT}} (R_{thjc_{IGBT}} + R_{thcd_{IGBT}}) \quad (4.87)$$

$$T_{d_{IGBT}} = 120 - 29,612(0,5 + 0,05) = 103,71 \text{ } ^\circ\text{C} \quad (4.88)$$

b) Temperatura do dissipador da ponte retificadora trifásica:

$$T_{d_{Pr}} = T_J - P_{Pr} (R_{thjc_{Pr}} + R_{thcd_{Pr}}) \quad (4.89)$$

$$T_{d_{Pr}} = 120 - 7,722(1,75 + 0,15) = 105,33 \text{ } ^\circ\text{C} \quad (4.90)$$

Baseado nas temperaturas definidas pelas equações (4.88) e (4.90), define-se a temperatura máxima no dissipador igual a $90 \text{ } ^\circ\text{C}$. Assim, o cálculo da resistência térmica de cada dissipador pode ser realizado de acordo com a equação (4.91).

c) Resistência térmica do dissipador:

$$R_{thda} = \frac{T_d - T_a}{6P_{mod_{IGBT}} + 6P_{Pr}} \quad (4.91)$$

$$R_{thda} = \frac{90 - 60}{6 \times 29,61 + 6 \times 7,72} = 0,134 \frac{^{\circ}\text{C}}{\text{W}} \quad (4.92)$$

O dissipador utilizado no módulo inversor deve ter a resistência térmica menor que o valor encontrado em (4.92) e com área suficiente para fixar os semicondutores. O dissipador escolhido encontra-se na Tabela 4.7. Verifica-se pela tabela a necessidade de utilizar ventilação forçada.

Fabricante	HS Dissipadores
Código	CHS 21575 400
Dimensões (c/h)	400 x 75 mm
Resistência térmica	0,56 °C/W/4"
Resistência térmica com ventilação forçada	0,097 °C/W

Tabela 4.7 - Principais características do dissipador empregado no protótipo.

4.6.9 Cálculo da eficiência do inversor multinível

A eficiência do inversor, desconsiderando as perdas nos transformadores, pode ser encontrada pela equação (4.93).

$$\eta_{inv} = \frac{P_{o3\phi}}{P_{o3\phi} + PT_{inv}} 100 = \frac{15000}{15000 + 519,11} = 96,65 \% \quad (4.93)$$

4.7 Simulação numérica

Após especificar todos os componentes presentes no inversor multinível, foi efetuada uma simulação numérica utilizando o software *PSIM* para validação das análises teóricas realizadas. Os parâmetros utilizados na simulação estão presentes na Tabela 4.1. Na Figura 4.16 é apresentado o circuito de simulação do inversor multinível e na Figura 4.17 é apresentado o circuito de comando dos interruptores. Não foi utilizado tempo morto por se tratar de uma simulação idealizada.

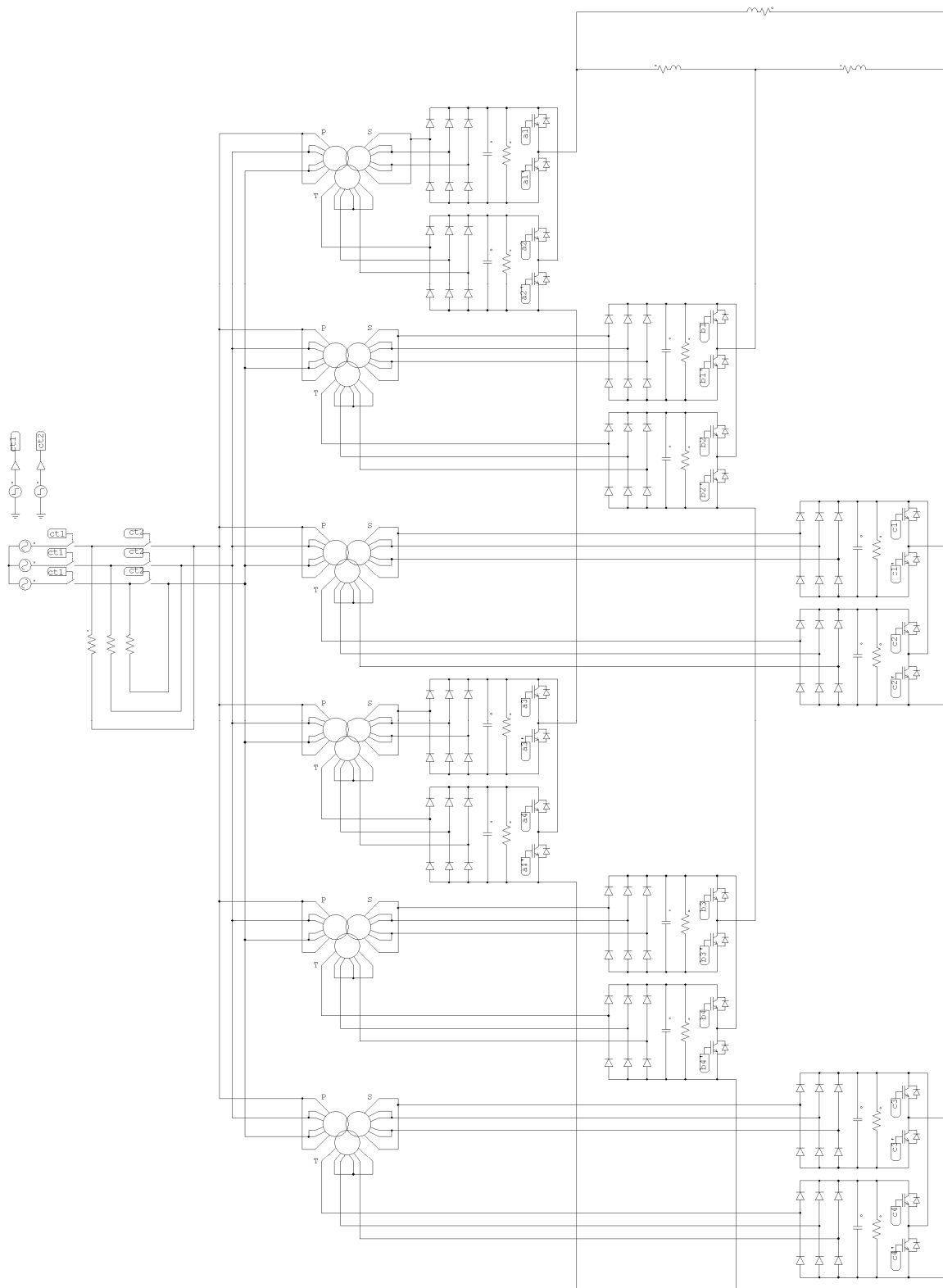


Figura 4.16 – Circuito do inversor multinível utilizado na simulação.

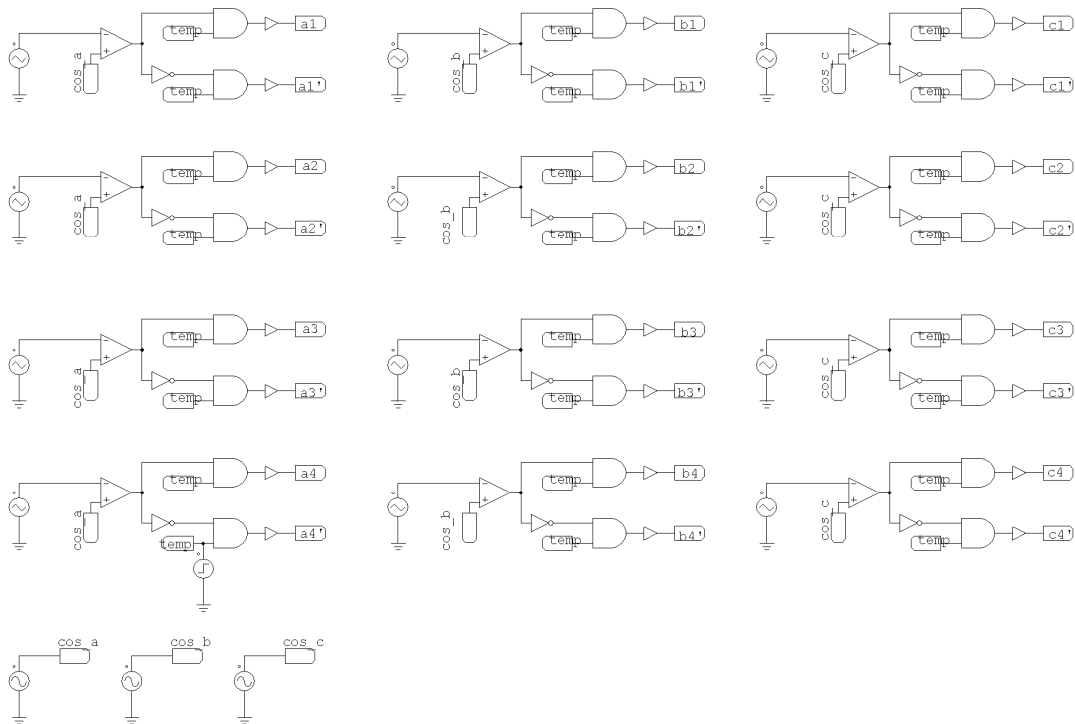


Figura 4.17 - Circuito de comando dos interruptores.

Na Figura 4.18 é apresentada a tensão de uma das fontes de tensão contínua isolada. O valor médio desta tensão ficou na faixa de 400 V com uma ondulação de aproximadamente 15 % do valor nominal.

Como citado anteriormente existem dois contatores, o primeiro tem a função de alimentar o inversor com os resistores de partida em série. Após um determinado intervalo (5 s) suficiente para carregar os capacitores das fontes de tensão isoladas, o segundo contator é acionado e este retira os resistores que limitam a corrente na partida do inversor. Neste momento ocorre outro pico de corrente, porém com um valor menor, respeitando os limites de corrente dos semicondutores. Posteriormente (500 ms) os interruptores são acionados e o inversor entra em funcionamento.

As formas de onda presentes na Figura 4.19 são a tensão de linha, tensão de fase e corrente na carga.

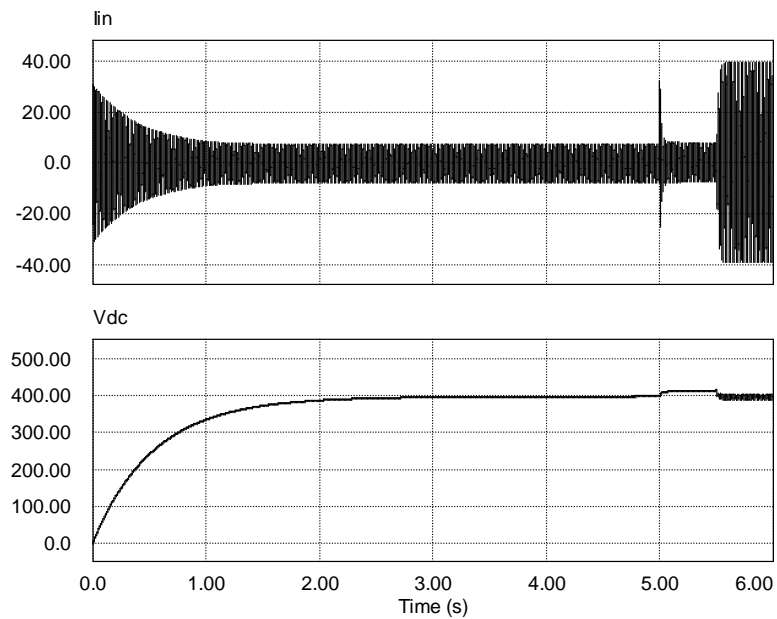


Figura 4.18 – Tensão da fonte isolada (V_{DC}) e corrente drenada da rede (i_{in}) na partida de uma fase.

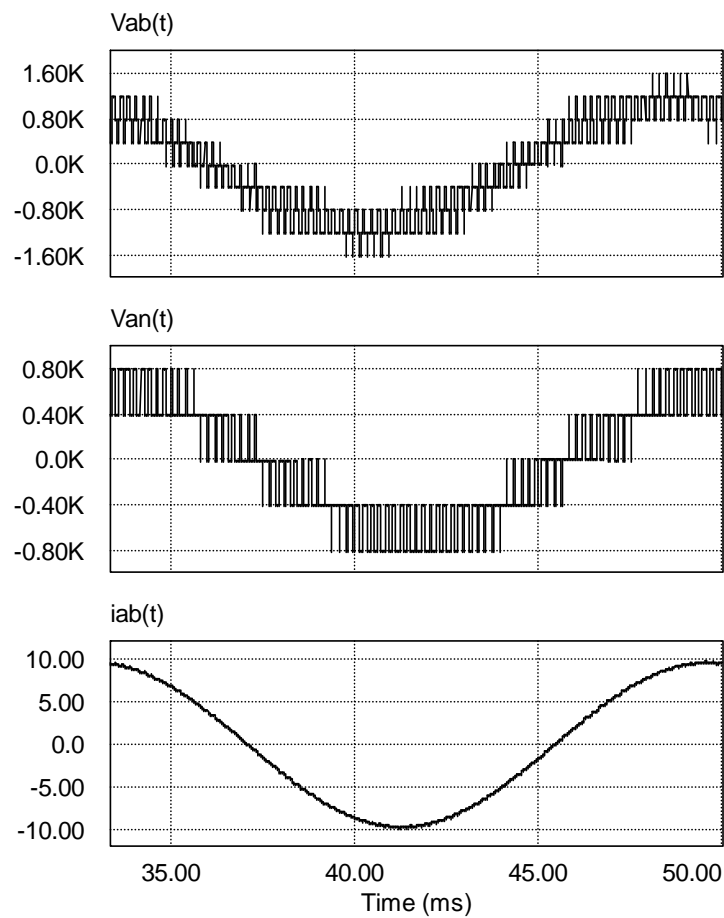


Figura 4.19 - Tensão de linha na carga ($v_{AB}(t)$) com 9 níveis, tensão de fase ($v_{AN}(t)$) com 5 níveis e corrente de carga de uma fase ($i_{AB}(t)$).

A tensão de linha apresenta nove níveis atingindo uma tensão máxima de 1600 V. Seu espectro harmônico é apresentado na Figura 4.20. A primeira harmônica de tensão que aparece é na faixa de quatro vezes a frequência da portadora (5,04 kHz). A taxa de distorção harmônica da tensão na carga apresenta um valor próximo de 32 %. A tensão de fase tem um valor máximo de 800 V, devido aos cinco níveis de tensão impostos. A corrente na carga é praticamente senoidal.

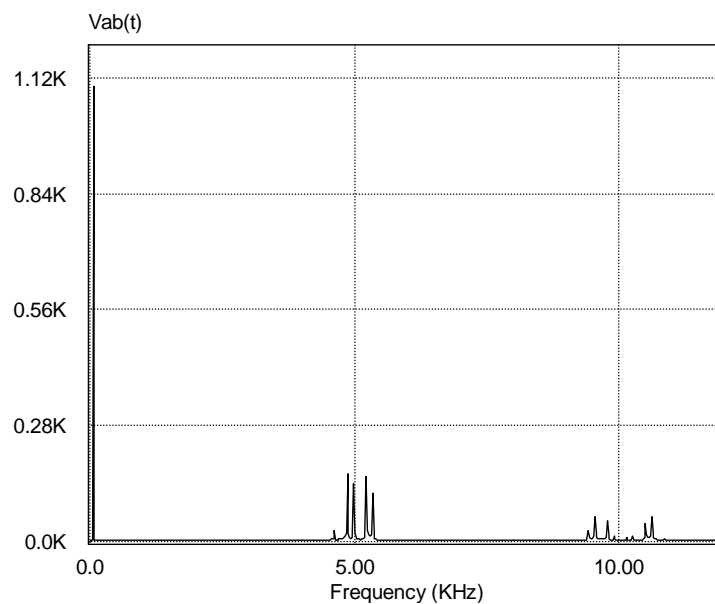


Figura 4.20 – Espectro harmônico da tensão de linha na carga.

As correntes no interruptor, no diodo antiparalelo e drenada da fonte V_{DC} são apresentadas na Figura 4.21. Os resultados de corrente média e eficaz destes componentes, encontrados na simulação, resultaram num valor muito próximo do calculado, validando as equações desenvolvidas. A tensão sobre o interruptor tem um valor máximo igual ao valor da fonte V_{DC} .

As formas de onda de tensão sobre os terminais dos interruptores das sub-células inversoras de uma fase do inversor multinível são apresentadas na Figura 4.22. O primeiro gráfico desta figura mostra a comparação entre a moduladora cosenoidal da fase A com as quatro portadoras. No último gráfico desta figura encontra-se a soma de todas as tensões dos terminais das sub-células, formando a tensão de fase V_{AN} .

Na Figura 4.23 observa-se que a potência de saída (P_o) obteve um valor próximo do valor nominal (15 kW).

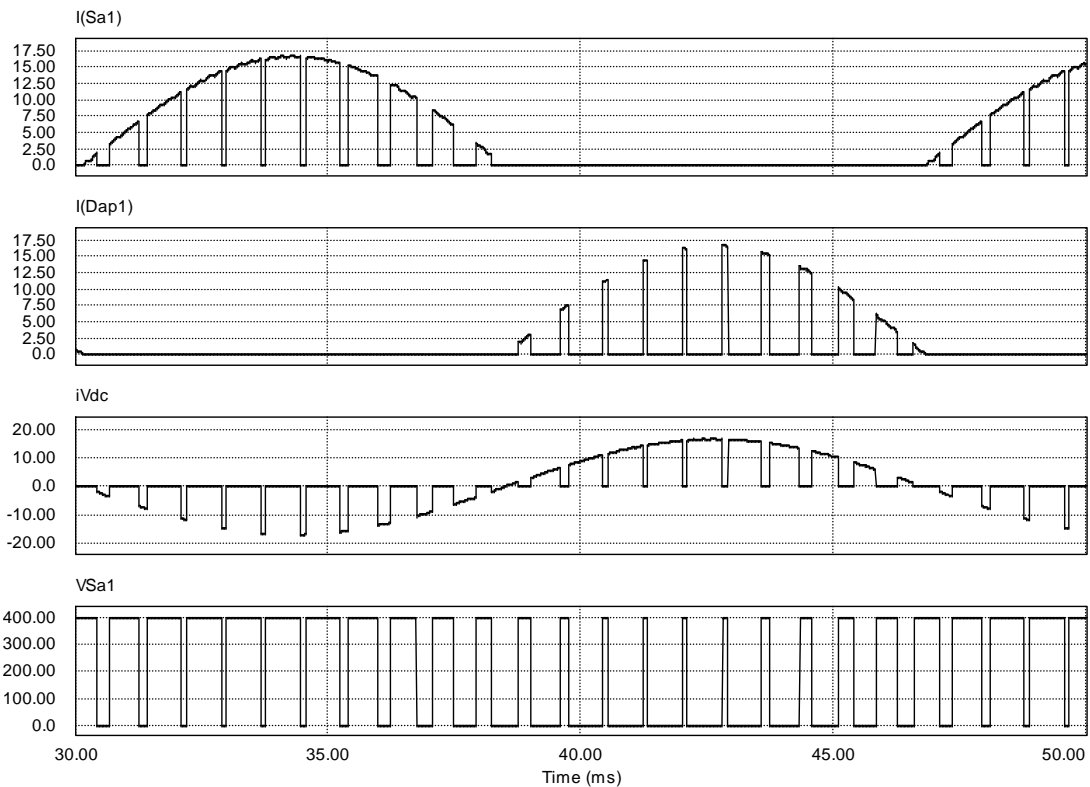


Figura 4.21 – Corrente no interruptor S_{a1} , no diodo antiparalelo (I_{Dap1}), drenada da fonte V_{DC} e tensão sobre o interruptor S_{a1} .

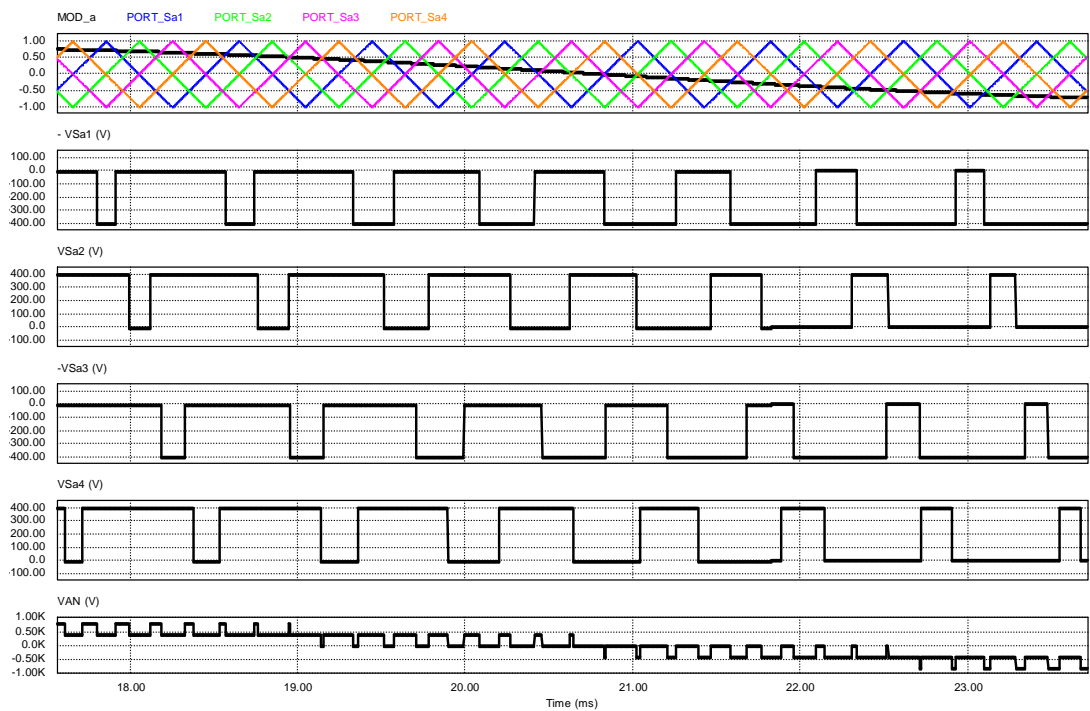
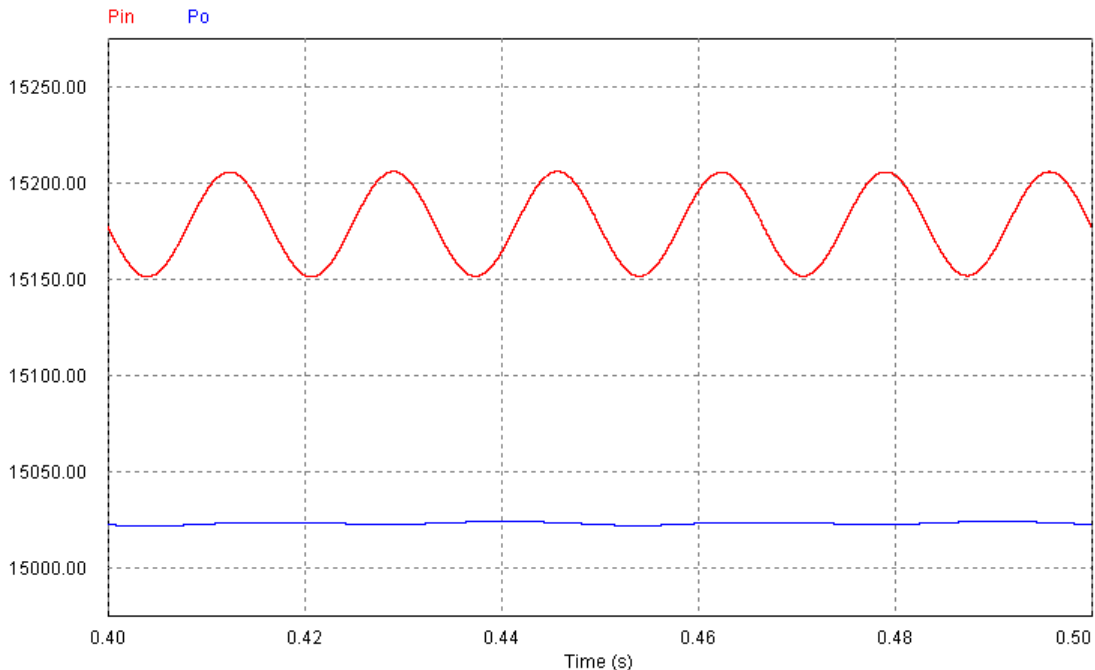


Figura 4.22 – Tensão sobre os terminais dos interruptores das sub-células inversoras de uma fase do inversor multinível.


 Figura 4.23 - Potência na entrada (P_{in}) e na saída (P_o) do inversor.

Na Tabela 4.8 foi realizada uma comparação entre os valores teóricos e simulados do inversor multinível proposto. Os valores encontrados na simulação ficaram muito próximos dos calculados, com exceção da corrente drenada da rede, pois esta foi calculada estimando a eficiência em 90 %. Como a simulação foi idealizada a perda por comutação é desconsiderada, diminuindo a corrente de fase drenada da rede.

As simulações apresentadas validam as equações desenvolvidas durante o trabalho e ainda servem como uma base de comparação para os resultados experimentais que serão realizados no próximo capítulo.

Propriedade	Teórico	Simulado
Potência na saída	15000 W	15023 W
Valor da fonte de tensão contínua de isolada	400 V	400,96 V
Valor de pico da tensão de linha na saída	1600 V	1602 V
Valor eficaz da tensão fundamental de linha na saída	783,84 V	785,60 V
Corrente de linha eficaz na carga	6,86 A	6,96 A
Corrente média em cada interruptor	4,24 A	4,25 A
Corrente eficaz em cada interruptor	7,59 A	7,61 A
Corrente de pico em cada interruptor	16,80 A	17,00 A
Corrente média no diodo anti-paralelo do interruptor	1,11 A	1,10 A
Corrente eficaz no diodo anti-paralelo do interruptor	3,61 A	3,59 A
Corrente de pico no diodo anti-paralelo do interruptor	16,80 A	16,94 A

Corrente média drenada da fonte V_{DC}	3,12 A	3,15 A
Corrente eficaz drenada da fonte V_{DC}	8,40 A	8,41 A
Corrente de pico drenada da fonte V_{DC}	16,80 A	17,00 A
Corrente eficaz de fase drenada da rede ($\eta = 0,9$)	27,15 A	25,51 A
Taxa de distorção harmônica da tensão na carga	32,0 %	31,80 %

Tabela 4.8 - Comparação entre os valores teóricos com os obtidos na simulação.

4.8 Conclusão

Ao longo deste capítulo foram calculados todos os valores de corrente e tensão necessários para o projeto do inversor multinível proposto.

Foi apresentada uma simulação do inversor utilizando a carga nominal e obtidos os valores de corrente média, eficaz e de pico nos semicondutores assim como a tensão sobre estes, para realizar uma comparação entre os valores calculados e simulados. Os resultados das simulações apresentaram valores muito próximos dos teóricos, com erro máximo de 6 % em relação as simulações, validando os cálculos realizados.

5 PROTÓTIPO IMPLEMENTADO E RESULTADOS EXPERIMENTAIS

5.1 Introdução

No protótipo do inversor multinível proposto é necessária uma série de dispositivos que garantam o bom desempenho durante o funcionamento do conversor. Como exemplo pode-se citar: circuito de acionamento e proteção do sistema, fonte auxiliar, placa dos pulsos de comando e *drivers* dos interruptores, etc. Estes dispositivos e os principais componentes deste protótipo serão descritos e analisados neste capítulo.

Apresentada a estrutura completa do inversor, serão analisadas e comentadas as principais formas de onda obtidas durante o funcionamento deste conversor.

5.2 Estrutura do protótipo

A estrutura do inversor multinível a ser implementada neste projeto é apresentada na Figura 5.1. Serão utilizadas 2 células de comutação em cascatas em cada fase, somando um total de 6 células inversoras em um sistema trifásico. Com esta configuração é possível obter nove níveis na tensão de linha na carga. Foi escolhida esta configuração para realizar uma comparação com o inversor *Cascade H-bridge* com duas células em cascatas (Figura 5.2), pois dessa forma as duas estruturas apresentarão o mesmo número de interruptores e níveis de tensão na carga.

Cada sub-célula do inversor multinível da Figura 5.1 apresenta um braço inversor e uma fonte de tensão contínua isolada. Nas duas estruturas a tensão máxima sobre cada interruptor é igual ao valor da fonte V_{DC} . Os interruptores nos braços inversores devem trabalhar de forma complementar. Para realizar a comando dos interruptores será empregada a técnica de modulação discutida nos capítulos anteriores.

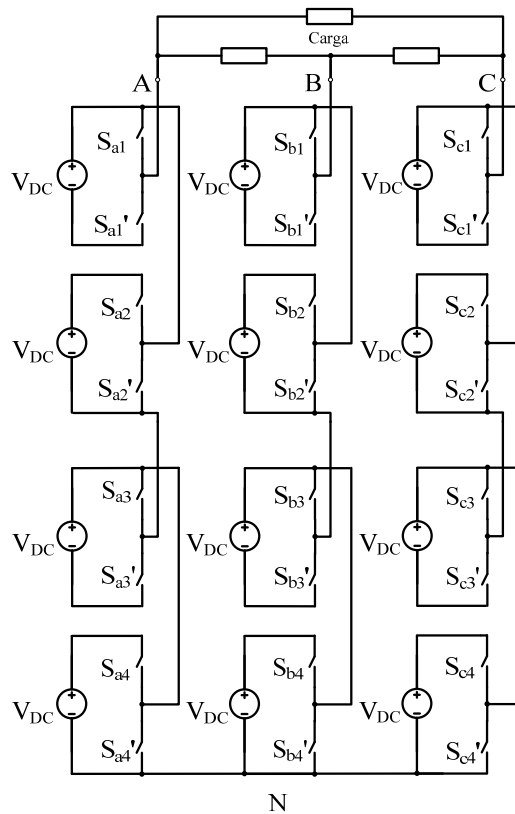


Figura 5.1 - Inversor multinível proposto com 9 níveis na tensão de linha na carga $v_{AB}(t)$ e 5 níveis na tensão de fase $v_{AN}(t)$.

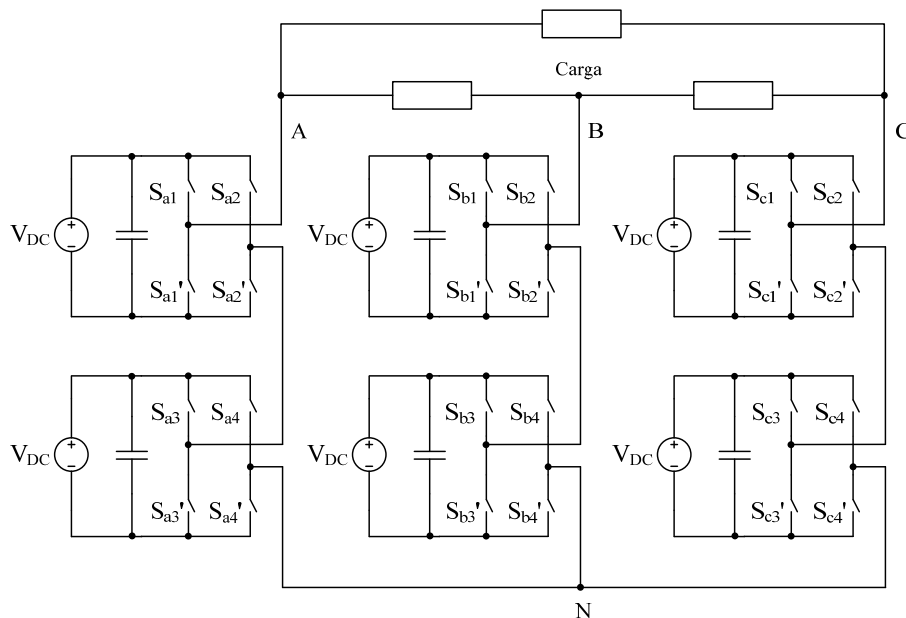


Figura 5.2 - Cascaded H-bridge inverter com 9 níveis na tensão de linha na carga $v_{AB}(t)$ e 5 níveis na tensão de fase $v_{AN}(t)$.

5.3 Obtenção da fonte de tensão contínua isolada

O inversor é composto por doze fontes de tensão contínua, sendo que estas devem ser necessariamente isoladas, com exceção da última fonte de cada fase que podem ter uma referência em comum nas três fases. Porém, por questões de padronização o projeto destas fontes será realizado como se todas as fontes fossem isoladas, conectando este ponto em comum quando requerido.

Para obter esta fonte é utilizado um retificador trifásico de onda completa a diodos. Entretanto, com esta configuração a corrente drenada da rede tem um alto conteúdo harmônico o que é indesejável neste conversor. Essas harmônicas são indesejáveis, porque além de representarem circulação de potência reativa nos geradores, transformadores e cabos de alimentação, ao circularem nas linhas provocam interferência eletromagnética conduzida e irradiada.

Com o objetivo de melhorar o desempenho do inversor, no que diz respeito à corrente drenada da rede, serão utilizados retificadores de doze pulsos. Para isto serão empregados transformadores com uma entrada (ligado em delta) e duas saídas (uma ligada em delta e a outra ligada em estrela). Cada saída do transformador será conectada a uma ponte retificadora de onda completa com um capacitor na saída, como apresentado na Figura 5.3.

Como uma saída do transformador está ligada em delta e a outra ligada em estrela, existe uma defasagem de 30° de uma saída em relação à outra. Assim, a corrente resultante drenada da rede adquire um formato senoidal, diminuindo o seu conteúdo harmônico.

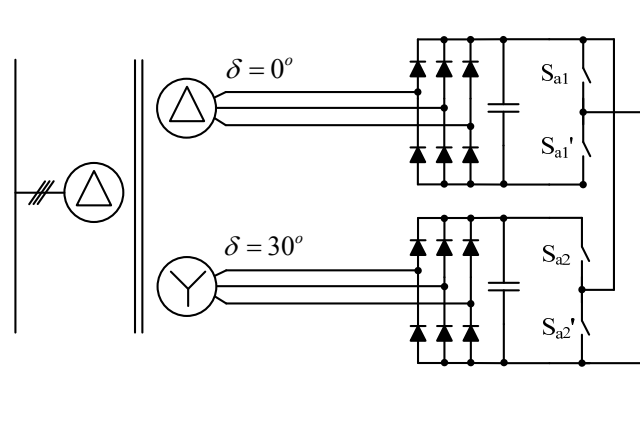


Figura 5.3 - Retificador trifásico doze pulsos.

5.4 Circuito de acionamento e proteção do sistema

Para realizar o acionamento e a proteção do sistema serão utilizados disjuntores, contadores, fusíveis e resistores de partida, como apresentado na Figura 5.4.

Para alimentar o inversor, inicialmente deve-se fechar o disjuntor para energizar a fonte auxiliar e o circuito de comando. Quando acionado, o circuito de comando fecha o contator 1, passando a corrente a circular pelos resistores de partida, carregando os capacitores no barramento da fonte de tensão contínua das 12 fontes isoladas. Este procedimento deve durar alguns segundos até o momento em que a tensão nestes capacitores tenha um valor adequado para o acionamento do contator 2, evitando assim uma sobrecorrente. Quando este é acionado, após 500 ms o circuito de comando inicia o chaveamento dos interruptores de potência de forma gradativa até alcançar o índice de modulação desejado.

No circuito de comando será empregado um microcontrolador que realizará o controle do sistema de acionamento, de monitoramento e comando dos interruptores de potência.

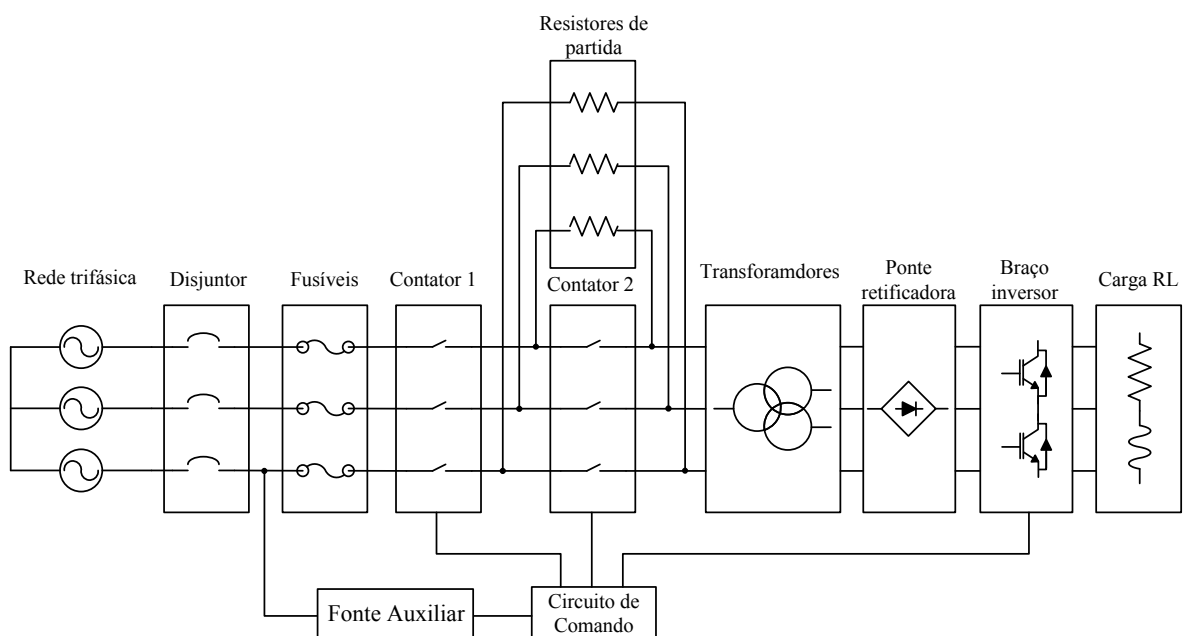


Figura 5.4 - Circuito de acionamento, proteção e controle do sistema.

5.5 Circuitos auxiliares

Os circuitos auxiliares são divididos basicamente em três partes: fonte auxiliar, placa dos pulsos de comando e placa dos “drivers” de comando dos interruptores. A seguir será realizada uma breve apresentação do funcionamento de cada circuito.

5.5.1 Fonte auxiliar

O objetivo da fonte auxiliar é alimentar as placas dos pulsos de comando e dos *drivers* de comando dos interruptores, para fornecer a potência demandada por essa duas placas. Para isto foi projetado uma fonte linear na potência de 50 W. O circuito desta encontra-se na Figura 5.5.

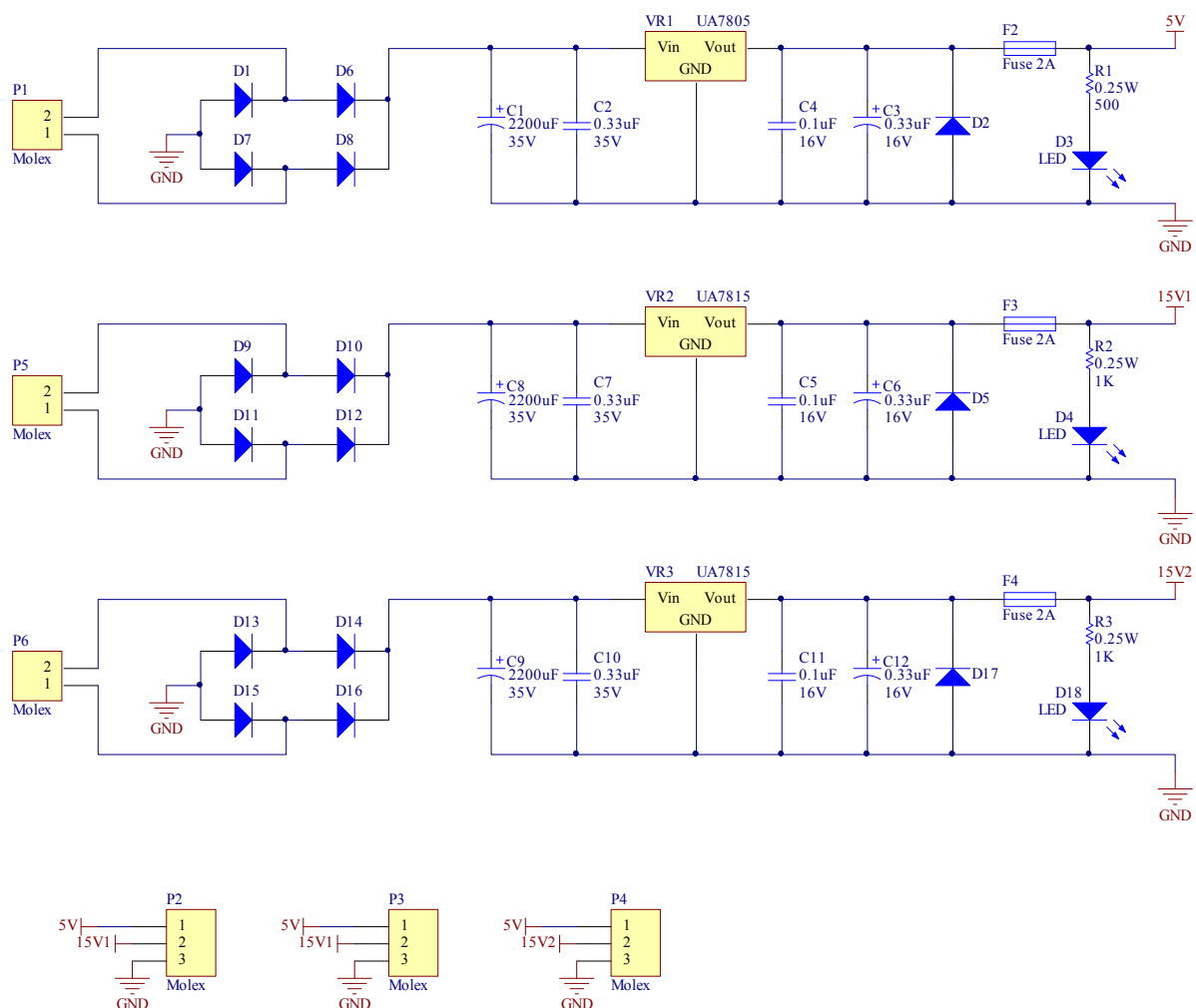


Figura 5.5 – Esquemático da fonte auxiliar.

Um transformador com três saídas (220V/18V/18V/8V) de baixa frequência foi projetado para alimentar esta placa sendo as saídas deste ligado nos conectores P1, P5 e P6 deste circuito.

Esta fonte é composta por três saídas: duas saídas de +15 V e uma de +5 V não isoladas. Foram necessárias duas saídas de +15 V porque cada regulador linear de tensão pode suprir no máximo 1,5 A.

5.5.2 Placa dos pulsos de comando

O conversor em questão é composto por 24 interruptores e cada um destes dispositivos deve receber um pulso de comando que antes deve ser tratado por um circuito de *driver* para controlar o IGBT de forma adequada. Porém, destes 24 pulsos, 12 são complementares, sendo necessários apenas 12 sinais de comando. Estes sinais são formados de acordo com a modulação estudada em capítulos anteriores.

Uma maneira rápida e simples de obter estes pulsos de comando é utilizar os sinais gerados pelo próprio programa de simulação numérica (*PSIM*). Só é possível utilizar este método, devido ao fato do conversor trabalhar em malha aberta, pois do contrário, deve-se utilizar outra metodologia para realizar o controle do conversor. Assim, caso o usuário queira trocar alguns parâmetros do inversor, é necessário realizar uma nova simulação e obter um novo banco de dados. Estes dados são tratados e gravados em um microcontrolador e enviados para a placa de *driver* de comando através das saídas digitais deste dispositivo.

O dispositivo utilizado para armazenar e enviar os pulsos de comando é um controlador digital de sinais da Microchip chamado dsPIC30F4011 que é um componente de 40 pinos, com uma memória flash de 48 Kbytes, CPU com velocidade de 30 MIPS, memória RAM de 2048 bytes, 30 pinos I/O, alimentação de 5 V e registradores de 16 bits. Como serão necessários 12 sinais de saída, utilizando um microcontrolador de 16bits, tornará mais simples a manipulação dos dados que serão enviando aos *drivers*. A gravação dos dados no dsPIC será *in circuit*, isto é, será gravado diretamente na placa de comando de pulsos, não sendo necessário a retirada do componente do circuito.

Através do software *PSIM* uma tabela com todos os pulsos de comando serão gerados. Os dados desta tabela serão então gravados na memória flash do dsPIC, que apresenta uma capacidade de armazenamento de 48 Kbytes (384000 bits). Todos os pontos desta tabela devem ser repetidos a cada 16,66 ms, isto é, a uma frequência de 60 Hz.

A tabela será limitada a um número de linhas igual a 3333 (3333 linhas x 12 sinais = 39996 bits). Assim, para encontrar o período de amostragem divide-se 16,66 ms em 3333 partes, resultando em um amostragem com período igual a 5 μ s. Portanto, o microcontrolador processará os dados a uma velocidade de 200 kHz. Através de simulações, foi evidenciado, que este passo de cálculo é satisfatório para a aplicação destes pulsos de comando.

Os sinais de comando enviados pelo microcontrolador, são gerados com níveis lógicos de 0 e 5 V. Assim, antes de serem transmitidos aos *drivers*, estes devem ser transformados para níveis lógicos acessíveis. Para os *drivers*, o nível lógico alto é gerado quando o sinal atinge uma tensão acima de 11 V. Para realizar esta transformação em alta frequência, sem que introduza ruídos ou altere o comportamento dos pulsos originais, foi utilizado o circuito integrado SN7407. Este dispositivo é uma porta lógica inversora (NAND) de coletor aberto apresentada na Figura 5.6. Quando imposta uma tensão de 15 V em série com um resistor, ligado ao pino de saída deste componente (*output y*), consegue-se transformar 5 V em 15 V, porém com o sinal invertido. Assim, no tratamento dos pontos gerados pelo *PSIM* deve estar previsto a inversão destes. Na Figura 5.7 é observa-se como é realizada a ligação deste CI.

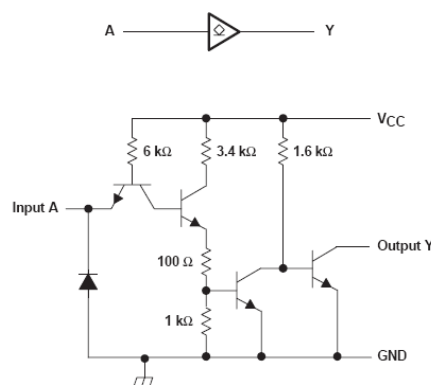


Figura 5.6 - Esquemático da porta lógica NAND SN7407.

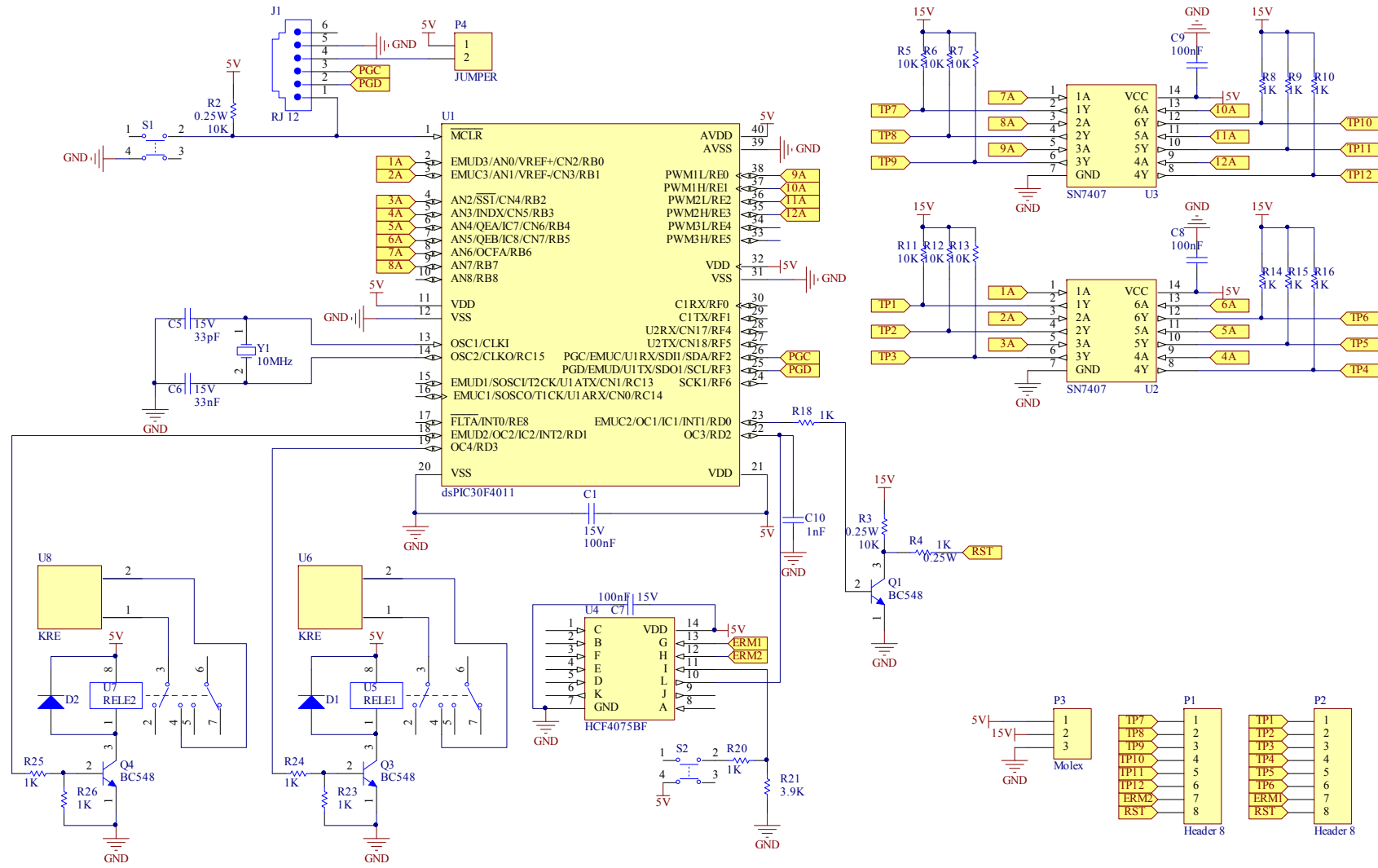


Figura 5.7 – Esquemático da placa dos pulsos de comando.

Além de controlar a transmissão dos pulsos de comando aos *drivers*, o dsPIC ainda é responsável por outras funções como por exemplo o procedimento de inicialização, desenergização e proteção do sistema. Todas estas funções são realizadas através de sinais que são enviados pelo microcontrolador condicionados por relés que controlarão o acionamento de contadores.

Os *drivers* de comando são equipados com um sistema de proteção contra sobretensão e sobrecorrente. Quando estes dispositivos percebem algum destes eventos, estes enviam um sinal de erro ao microcontrolador e este realiza o procedimento de proteção e desligamento do inversor.

Apresentado todos os dispositivos presentes na placa, na Figura 5.7 é descrito o circuito elétrico.

Os relés 1 e 2 acionam respectivamente os contadores 1 e 2. O pino 23 funciona como saída e têm a função de reiniciar *drivers* dos interruptores. O circuito integrado HCF4075BF é uma porta lógica (OR) de três entradas. Duas destas recebem os sinais de erro dos *drivers*, enquanto a entrada restante realiza a desenergização do sistema manualmente através de um botão *push bottom*. Quando um destes sinais for enviado àquele CI, ele realiza o desligamento do inversor imediatamente, enviando o nível lógico zero para todos os interruptores e abrindo os contadores 1 e 2.

5.5.3 Placa dos drivers de comando dos interruptores

Após o tratamento dos pulsos de comando, estes são enviados à placa dos *drivers* de comando dos interruptores. Cada placa é composta por seis *drivers* (SKHI 20opa), três fontes auxiliares (PS2) e três transformadores toroidais (TRAFO PS2). Associando uma destas fontes auxiliares a um transformador toroidal, consegue-se alimentar dois *drivers* de comando (Figura 5.8).

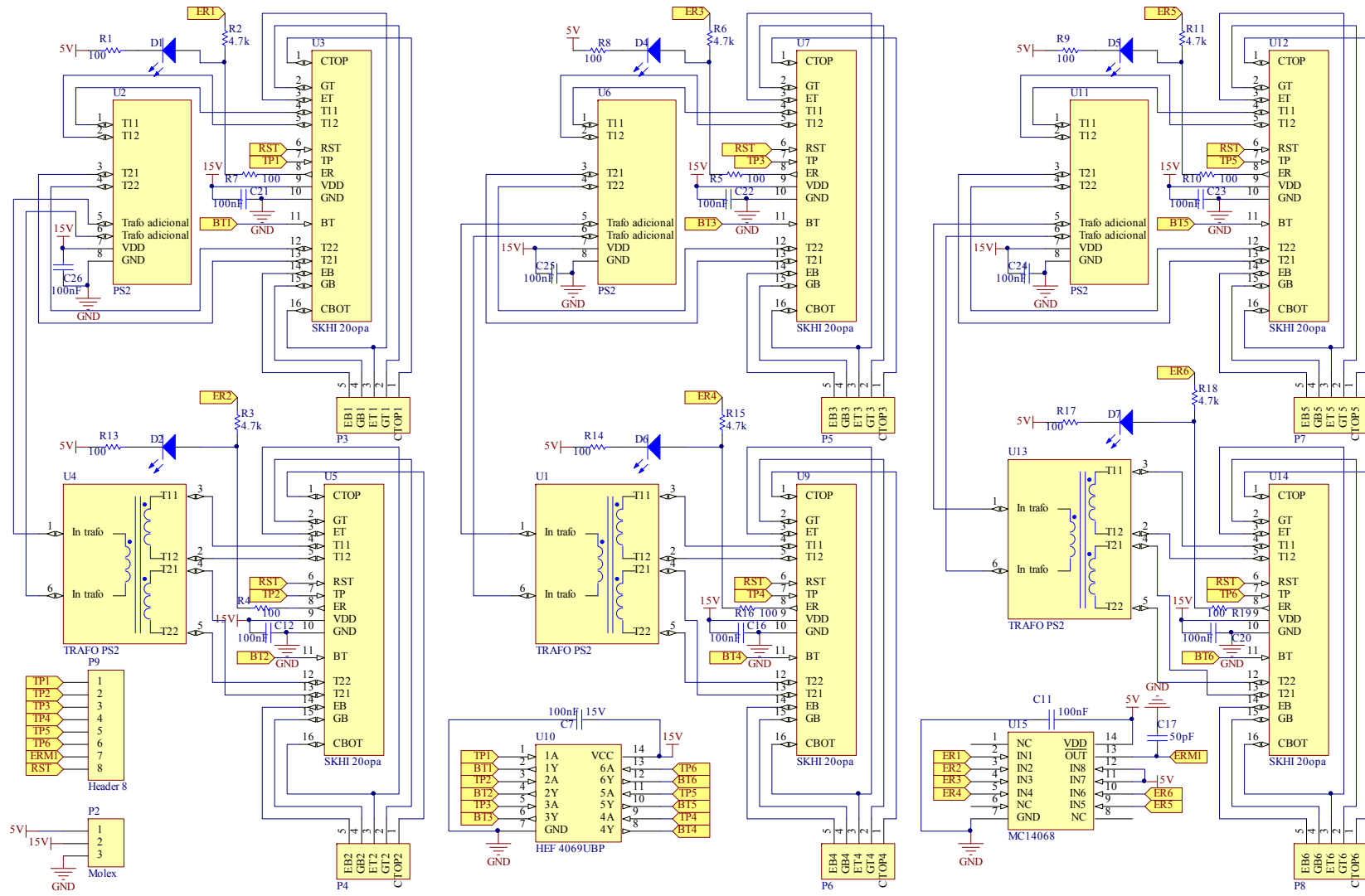


Figura 5.8 – Esquemático da placa dos drivers de comando dos interruptores.

Chegam nesta placa sete cabos blindados de comunicação: seis cabos para enviar os pulsos de comando e um para receber o sinal de reset dos *drivers*. Os seis pulsos de comando são invertidos por uma porta lógica inversora (HEF4069UBP), obtendo assim os pulsos de comando complementares. Estes doze pulsos são tratados pelos *drivers* e enviados aos *gates* dos interruptores.

Durante o funcionamento dos IGBTs, os *drivers* realizam o monitoramento da tensão V_{ce} . Caso ocorra o curto circuito de um braço inversor, estes interrompem o chaveamento rapidamente de forma suave. Após este procedimento, é enviado um sinal de erro para uma porta lógica AND de oito entradas (MC14068). Este é enviado à placa de comando informando que o inversor deve ser desligado, iniciando o procedimento de desenergização, comentado anteriormente.

No pino do sinal de erro (ER) de cada *driver* foi inserido um LED com o objetivo de sinalizar qual dispositivo falhou, facilitando a identificação e solução do erro.

Esta placa pode controlar 12 interruptores, sendo necessária no protótipo duas destas placas, para realizar o controle de pulsos para todos os 24 interruptores.

5.6 Estrutura final do protótipo implementado

A estrutura foi implementada de forma modular. Cada módulo é composto por três células inversoras, três transformadores e uma placa de *drivers* dos comandos dos interruptores, comentado anteriormente. Na Figura 5.9 é apresentado o esquemático do módulo inversor descrito (sem a presença dos *drives* de comando). Cada módulo foi projetado para fornecer uma potência de 7,5 kW e gerar 3 níveis na tensão de fase. Dessa forma caso se deseje aumentar o número de níveis, basta conectar mais módulos, iguais ao da Figura 5.9, em cascata.

As estruturas modulares apresentam algumas vantagens referentes à simplicidade na fabricação, montagem e manutenção de inversores. Após a realização do projeto de um módulo, os outros serão produzidos da forma similar.

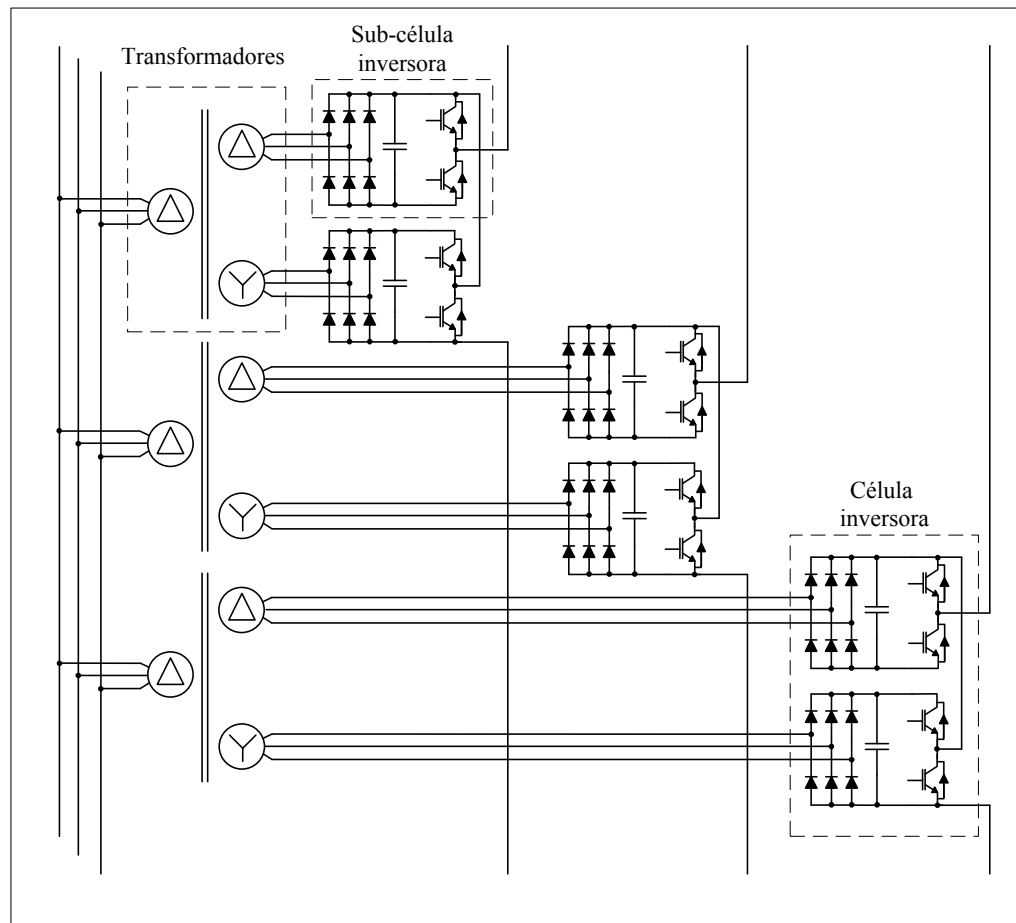


Figura 5.9 – Esquemático do módulo inversor.

Sistemas modulares também apresentam outras vantagens referentes à segurança. Caso um módulo apresente falha, o sistema de controle pode retirar este através de um sistema de *by-pass*, até que o módulo seja substituído por outro, sem que ocorra a interrupção do sistema. Entretanto, a potência dos módulos restantes deve suportar a demanda requerida pelo sistema e o número de níveis na carga irá diminuir, aumentando o conteúdo harmônico na carga.

Para obter nove níveis na tensão de linha na carga devem-se empregar dois destes módulos. Na Figura 5.10 é apresentado o circuito completo do inversor multinível modular implementado, associado ao sistema de controle e segurança do conversor. Na figura não foi representada a conexão do *gate* dos IGBTs com a placa de *drivers* para facilitar a compreensão da ilustração.

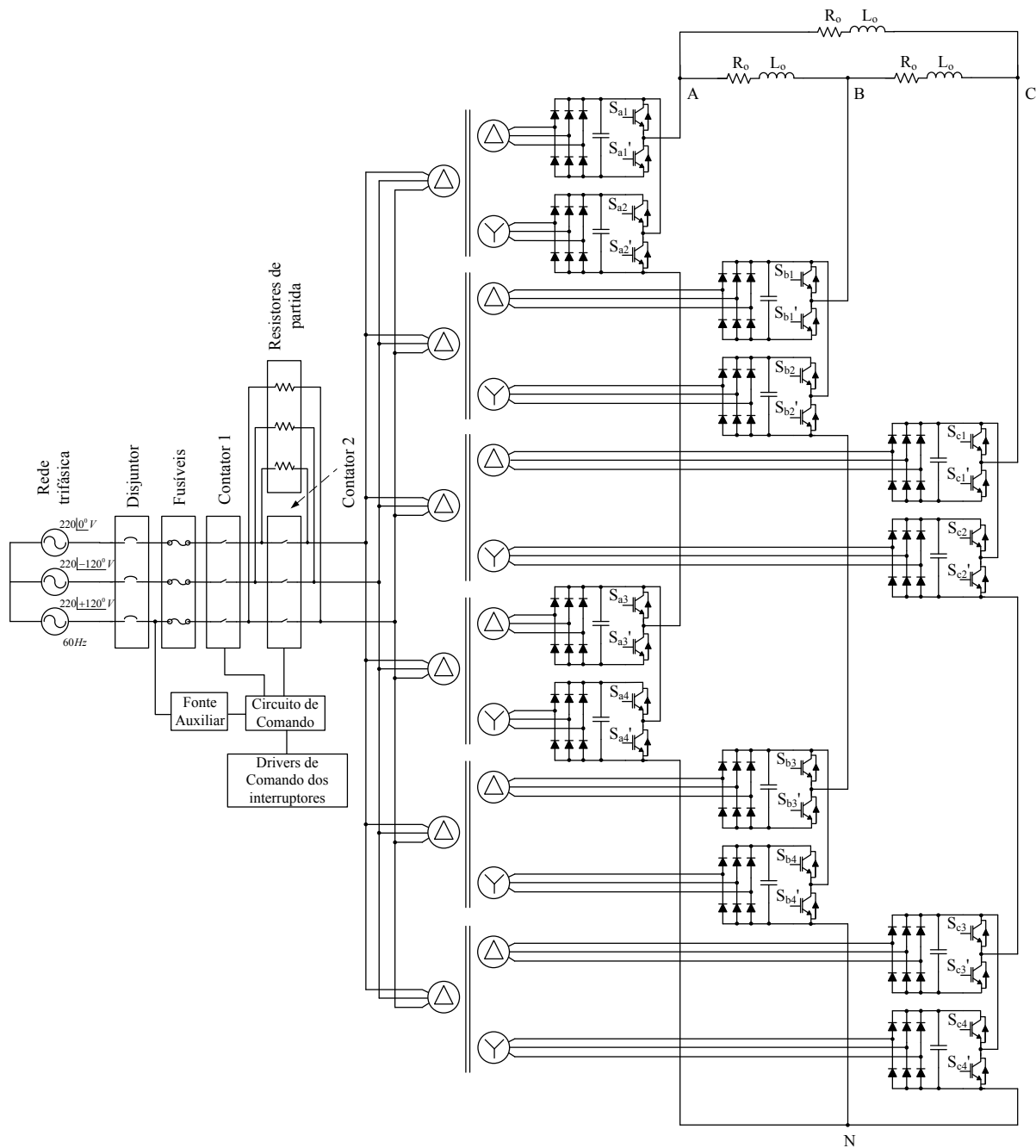


Figura 5.10 - Inversor multinível implementado.

5.7 Resultados experimentais

Concluído o planejamento do protótipo, resta agora realizar a montagem do inversor e extrair as principais formas de onda.

Inicialmente foi montado e verificado o funcionamento da fonte auxiliar e da placa dos pulsos de comando. Concluída esta etapa foi realizada a conexão entre a placa dos *drivers* juntamente com os 12 interruptores de um módulo inversor, utilizando a fonte de tensão contínua V_{DC} igual a zero.

É necessário realizar os testes desta forma para garantir que os pulsos de comando trabalhem de forma adequada antes que o barramento da fonte de tensão contínua seja alimentado pelos transformadores.

Verificado o funcionamento apropriado do comando dos interruptores, utilizou-se um autotransformador variável de tensão alternada para aumentar a alimentação dos três transformadores do módulo inversor de forma gradativa, até alcançar o valor de tensão nominal no barramento da fonte de tensão contínua (400 V).

A foto de um módulo inversor montado pode ser visualizada na Figura 5.11. Nesta figura foi apresentado apenas o módulo inversor descrito no item 5.6 sem a presença dos transformadores.

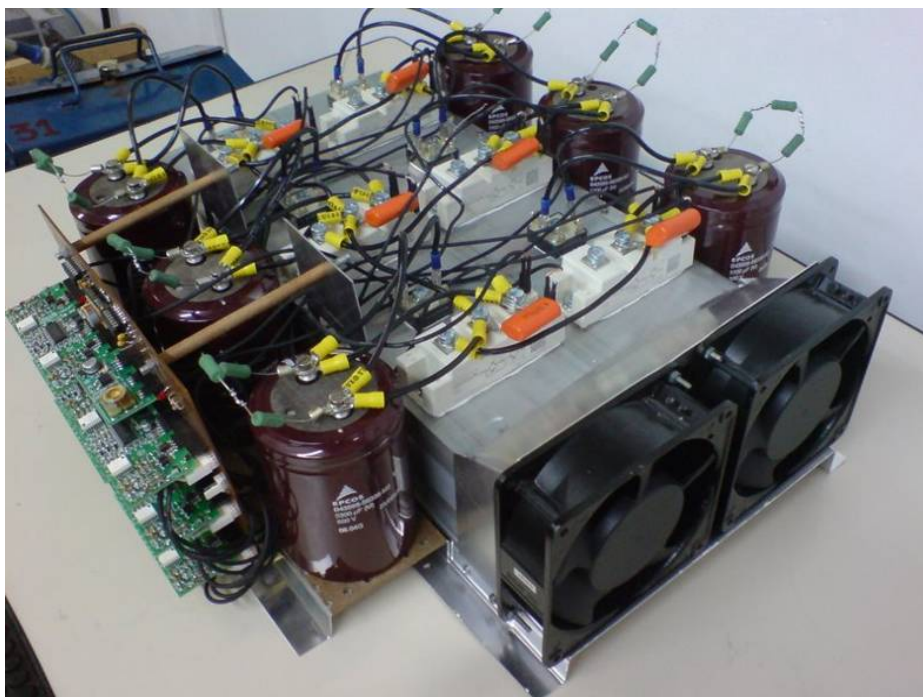


Figura 5.11 – Módulo inversor de 7,5kW implementado, sem a presença dos transformadores.

Finalizadas as análises preliminares, foi construído o inversor por completo conectando dois módulos inversores em cascata com todos os circuitos auxiliares e sistema

de proteção. Na Figura 5.12 são apresentados todos os componentes utilizados na construção do protótipo de 15 kW. A carga RL esta ilustrada na Figura 5.13.

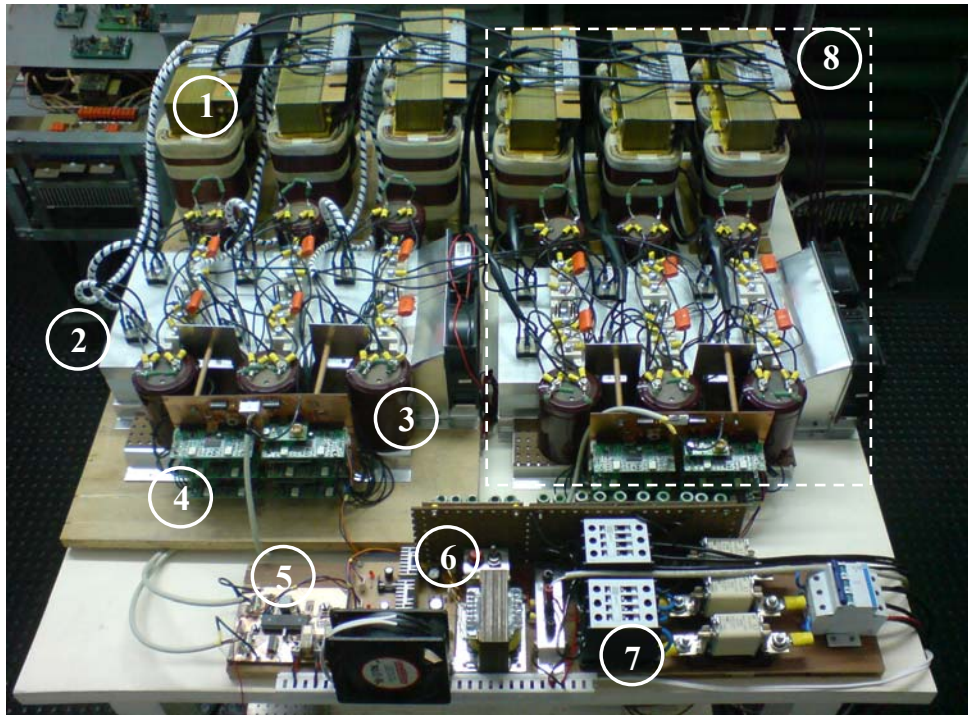


Figura 5.12 - Protótipo do inversor multinível 15kW com nove níveis de tensão na carga. Nesta figura observa-se a presença dos transformadores (1), células inversoras e pontes retificadoras sobre os dissipadores (2), capacitores dos barramentos das fontes de tensão contínua (3), circuito de *drivers* dos IGBTs (4), circuito dos pulsos de comando (5), fonte auxiliar (6), circuito de acionamento (7) e na linha tracejada um módulo inversor (8) descrito no item 5.6.

Após o funcionamento do inversor com carga nominal, foram extraídas uma série de formas de ondas de corrente e tensão dos pontos mais relevantes deste conversor, para comparar os resultados experimentais com os teóricos e simulados.

Inicialmente foi realizada a análise do comportamento da tensão no barramento da fonte de tensão contínua e observado se este valor atingiu a tensão de 400 V como previsto.

Na Figura 5.14 são examinadas as características na partida do inversor conectado diretamente com a rede. Antes da partida são inseridos resistores na entrada para diminuir o pico de corrente drenada da rede.

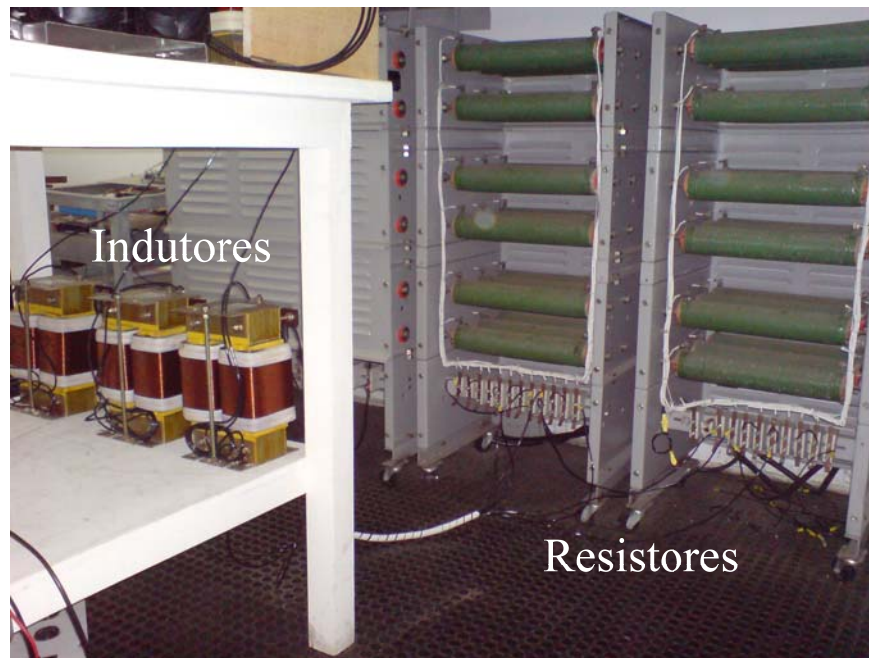


Figura 5.13 – Indutores e resistores de carga.

O pico de corrente é aproximadamente 30 A na partida, e após 5 segundos os resistores são retirados do sistema e os interruptores são comandados a conduzir. Como a tensão do barramento já atingiu o valor nominal, a corrente não atinge valores elevados nestes componentes.

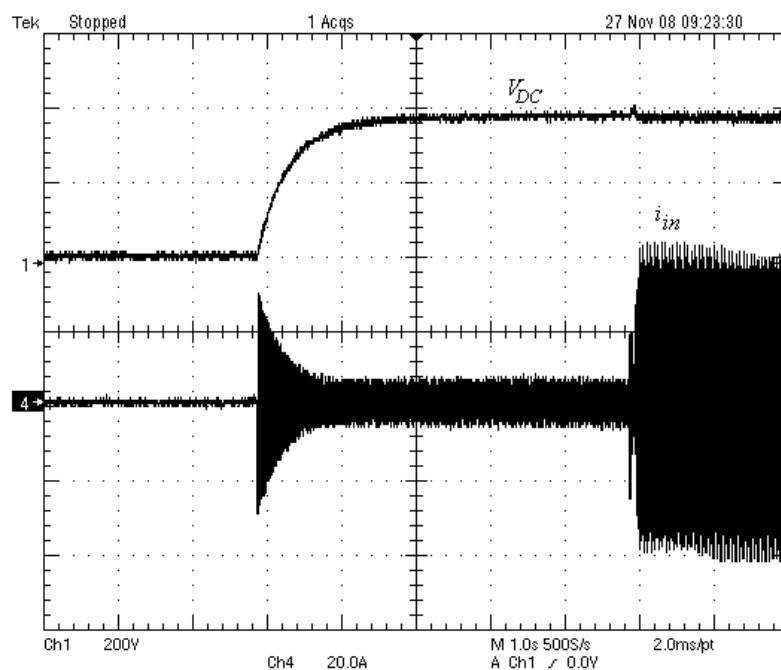


Figura 5.14 - Tensão no barramento de tensão contínua (V_{DC}) e corrente drenada da rede (i_{in}) na partida.

No gráfico da Figura 5.15 são analisadas as correntes drenadas da rede. A presença de algumas harmônicas fica explícita, apesar do emprego de retificadores trifásicos de doze pulsos. O espectro harmônico da corrente drenada da rede é apresentado na Figura 5.16. A presença de harmônica de 3^o, 5^o, 7^o e 11^o ordem fica evidenciada nesta ilustração. A taxa de distorção harmônica da corrente drenada da rede é de aproximadamente 18%. Na Figura 5.17 são apresentadas a tensão de linha e a corrente de entrada em uma das fases.

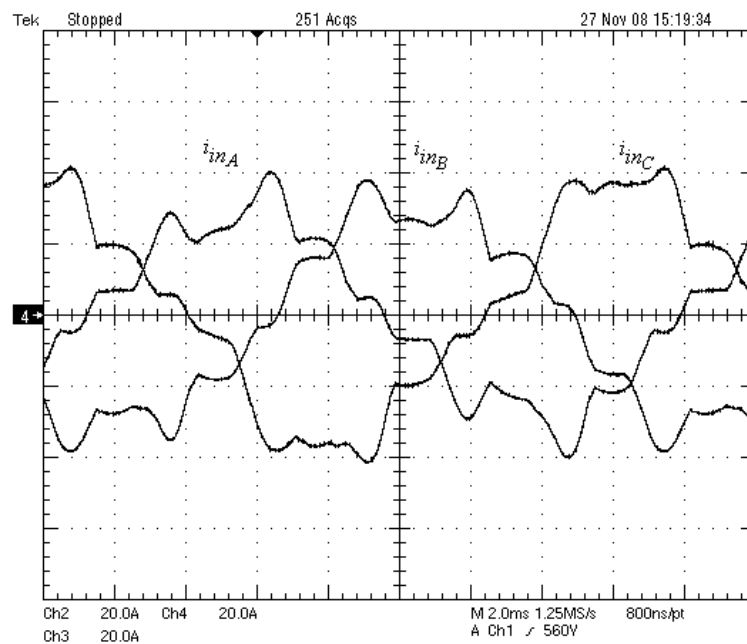


Figura 5.15 – Corrente drenada da rede.

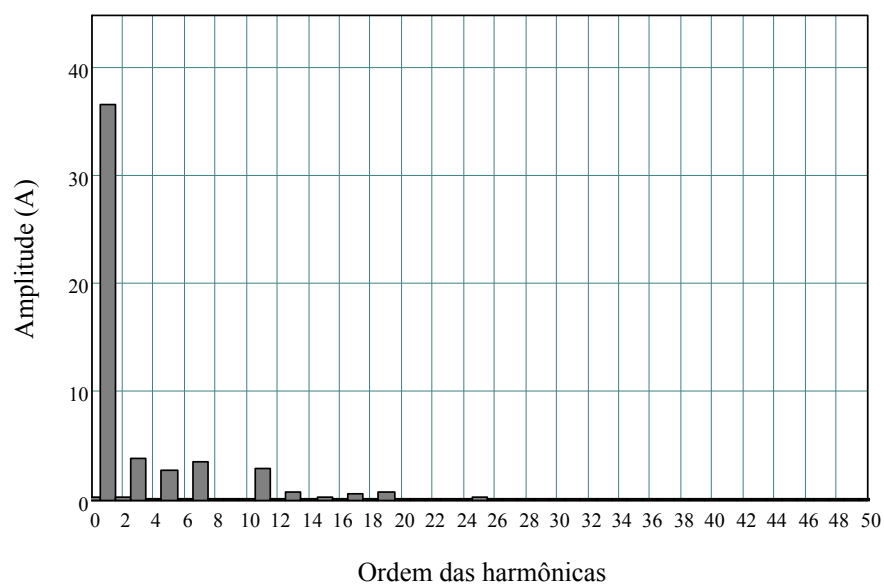


Figura 5.16 – Espectro harmônico da corrente drenada da rede.

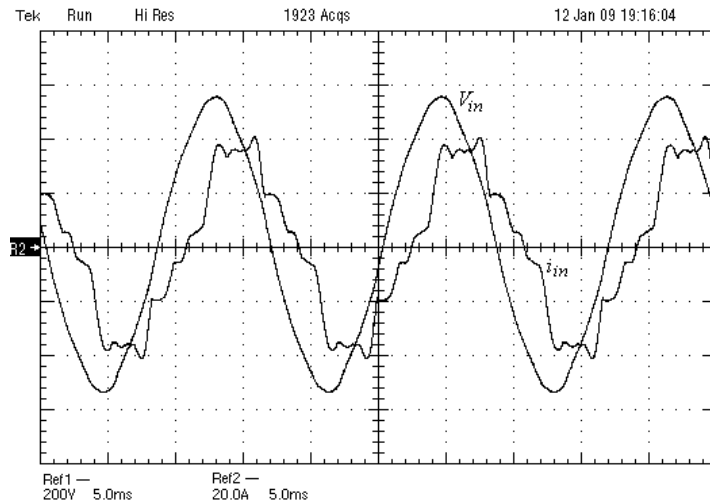


Figura 5.17 - Tensão de linha na entrada (V_{in}) e corrente de fase da entrada (i_{in}).

A tensão de fase V_{AN} do inversor deve ser formada por cinco níveis alcançando uma tensão máxima de 800 V. Na Figura 5.18 é demonstrado que cada nível é formado por 400 V e a forma de onda é composta por cinco níveis. A corrente apresenta formato senoidal, com um valor eficaz próximo de 10 A e frequência de 60 Hz. A ausência do valor médio na tensão é evidente, condizendo com o resultado esperado de acordo com a equação (3.53). Assim é eliminada a circulação de corrente entre fases, mantendo a corrente na carga balanceada.

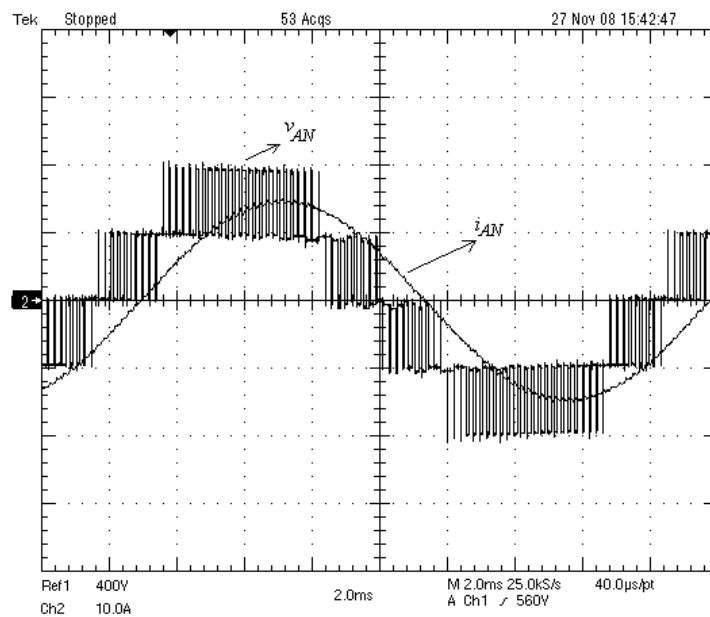


Figura 5.18 – Tensão (V_{AN}) e corrente (i_{AN}) na fase.

A tensão de linha V_{AB} alcançou um valor máximo de 1600 V, devido ao fato desta ser composta por nove níveis (Figura 5.19). O valor eficaz da tensão é aproximadamente 782,75 V e a corrente eficaz 6,55 A. Na Figura 5.20 é apresentado o espectro harmônico da tensão de linha na carga. Observa-se a semelhança com os gráficos teóricos (Figura 3.24) e simulados (Figura 4.20). A taxa de distorção harmônica desta forma de onda ficou na faixa de 32 %. Na Figura 5.21 são apresentadas as correntes nas três fases na carga.

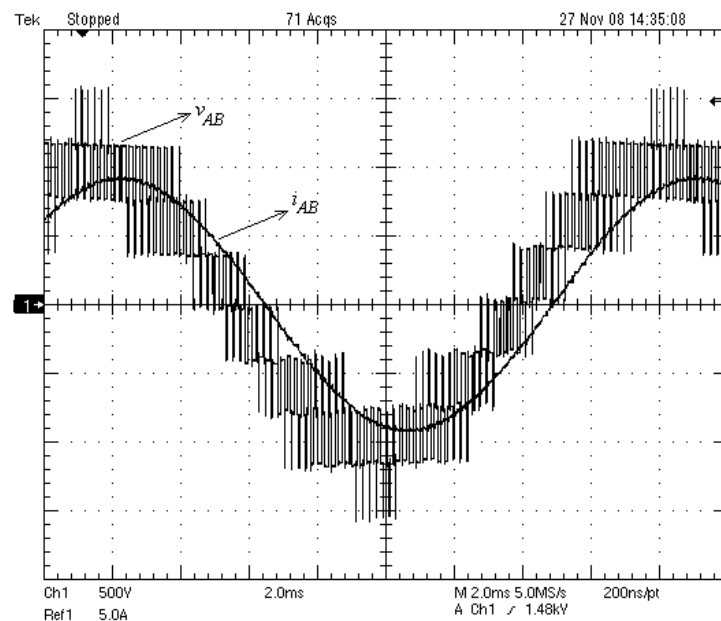


Figura 5.19 - Tensão de linha (V_{AB}) e corrente (i_{AB}) na carga.

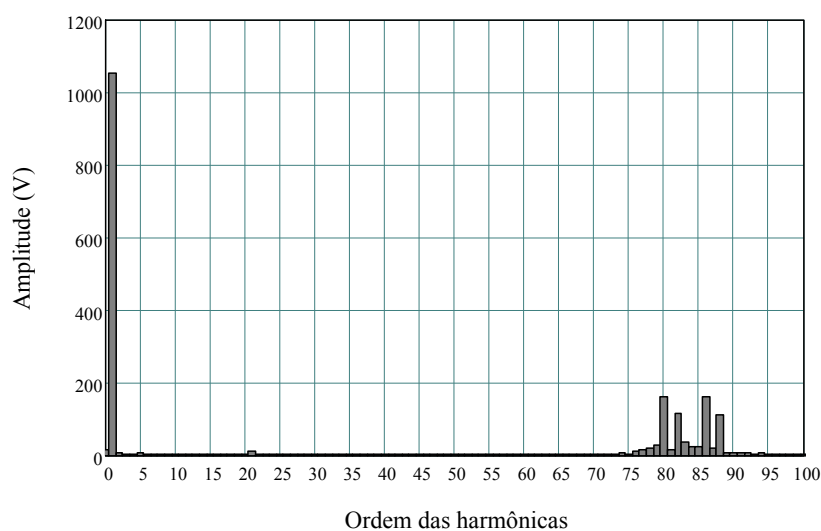


Figura 5.20 – Espectro harmônico da tensão de linha na carga (V_{AB}).

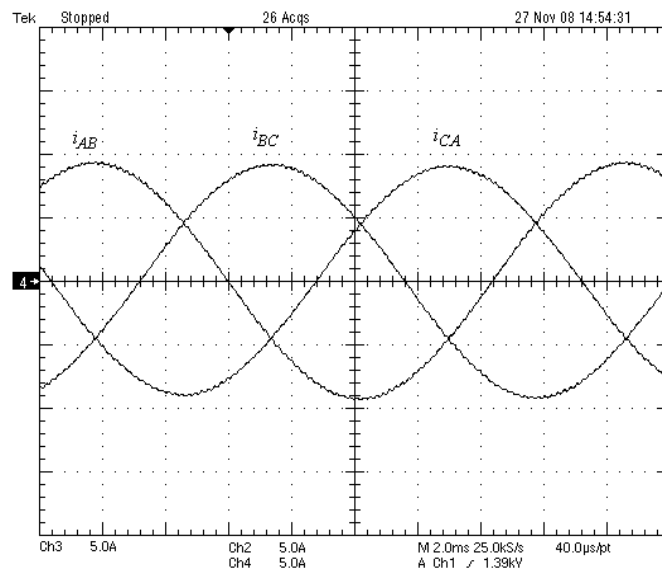


Figura 5.21 – Corrente nas três fases da carga.

A forma de onda da tensão sobre um interruptor é apresentada na Figura 5.22. Apesar da tensão na carga ser elevada, a tensão máxima que o interruptor deve suportar é o valor da tensão no barramento da fonte de tensão contínua (400 V). Esta forma de onda apresenta um comportamento muito semelhante ao da Figura 4.21. A corrente negativa presente neste gráfico, é a corrente que circula no diodo anti-paralelo do IGBT. O valor máximo de corrente que circula nos interruptores encontra-se na faixa de 16,4 A. A forma de onda sobre todos os interruptores do inversor tem este mesmo formato, porém defasados por um ângulo definido pela equação (3.42).

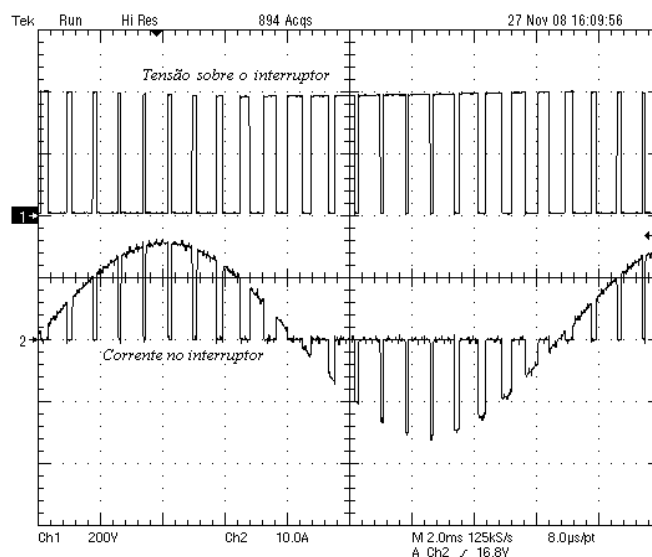


Figura 5.22 - Tensão e corrente no interruptor .

A tensão e a corrente no barramento da fonte de tensão contínua são apresentadas na Figura 5.23. O valor da fonte V_{DC} tem uma magnitude de 400 V com uma pequena ondulação (Figura 5.24) na frequência de 60 Hz. A corrente fornecida pela fonte V_{DC} tem o mesmo formato da corrente drenada pelo interruptor somado ao diodo anti-paralelo. Assim, o valor da corrente de pico desta fonte tem uma magnitude igual ao do interruptor, porém a corrente eficaz tem um valor maior. O inversor é composto 12 fontes isoladas, cada uma fornecendo uma potência de 1,25 kW, somando um total de 15 kW.

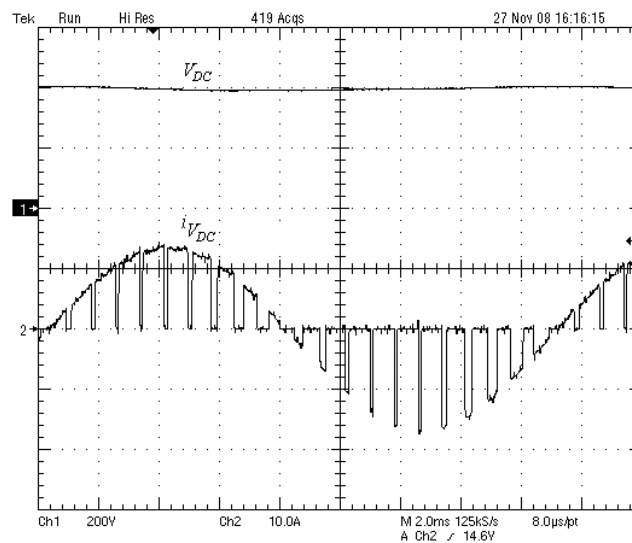


Figura 5.23 - Tensão (V_{DC}) e corrente (i_{DC}) no barramento da fonte de tensão contínua.

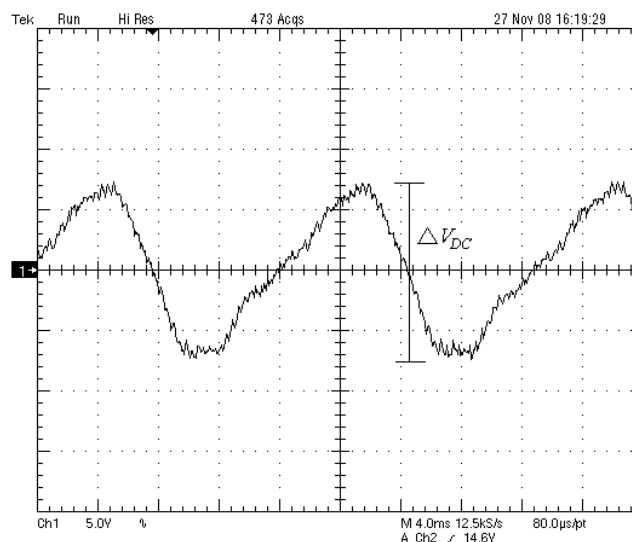


Figura 5.24 – Ondulação da tensão de barramento V_{DC} .

Na Figura 5.25 são apresentadas as correntes na entrada e nas duas saídas (Y e Δ) dos transformadores dos barramentos das fontes de tensão contínua.

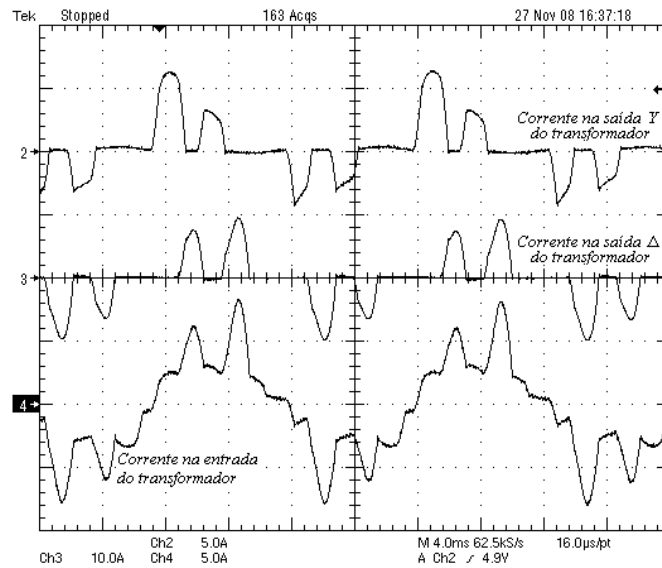


Figura 5.25 – Corrente na entrada e nas duas saídas (Δ e Y) dos transformadores dos barramentos das fontes de tensão contínua.

Na Tabela 5.1 é apresentada uma comparação entre os valores teóricos, simulados e experimentais. O valor das cargas resistivas e indutivas utilizadas durante os ensaios, apresentaram uma certa diferença daquelas calculadas teoricamente, proporcionando assim uma pequena diferença nos resultados experimentais, quando comparado ao teórico e simulado, porém, ainda assim satisfatório para validar os estudos realizados.

Propriedade	Teórico	Simulado	Experimental
Potência na saída	15000 W	15023 W	14403 W
Valor da fonte de tensão contínua de isolada	400 V	400,96 V	397,2 V
Valor de pico da tensão de linha na saída	1600 V	1602 V	1590 V
Valor eficaz da tensão fundamental de linha na saída	783,84 V	785,60 V	782,75 V
Corrente de linha eficaz na carga	6,86 A	6,96 A	6,55 A
Corrente média em cada interruptor	3,10 A	3,12 A	3,62 A
Corrente eficaz em cada interruptor	8,35 A	8,39 A	7,94 A
Corrente de pico em cada interruptor	16,80 A	17,00 A	16,4 A
Corrente média drenada da fonte V_{DC}	3,12 A	3,15 A	2,41 A
Corrente eficaz drenada da fonte V_{DC}	8,40 A	8,41 A	6,91 A
Corrente de pico drenada da fonte V_{DC}	16,80 A	17,00 A	14,32 A
Corrente eficaz de fase drenada da rede	27,15 A	25,51 A	25,10 A
Taxa de distorção harmônica da tensão na carga	32,0 %	31,80 %	32,40%

Tabela 5.1 – Comparação entre os valores teóricos, simulados e experimentais.

5.8 Comparação entre o inversor multinível proposto e o *Cascade H-bridge inverter*

O inversor proposto, quando comparado ao *Cascaded H-Bridge multilevel inverter* (Tabela 5.2), apresenta o mesmo número de níveis, interruptores, THD na tensão de carga e os esforços nos semicondutores é o mesmo. Porém, o inversor proposto emprega o dobro de fontes de tensões isoladas, com a metade da potência de cada fonte contínua isolada do Cascaded H-bridge inverter. Assim, conclui-se que estas duas topologias apresentam características muito semelhantes, exceto pelo número de fontes isoladas e pelo fato de que o CHB é uma estrutura patenteada.

Topologia	Inversor proposto	Cascaded H-bridge inverter
Níveis na tensão de fase	n_F	n_F
Níveis na tensão de linha	$2n_F - 1$	$2n_F - 1$
Número de células de comutação por fase	$(n_F - 1)/2$	$(n_F - 1)/2$
Interruptores em uma fase	$2(n_F - 1)$	$2(n_F - 1)$
Fontes de tensão contínua isolada em uma fase	$(n_F - 1)$	$(n_F - 1)/2$
Potência em cada fonte de tensão contínua isolada	$\frac{P_{\text{nominal}}}{3(n_F - 1)}$	$\frac{2P_{\text{nominal}}}{3(n_F - 1)}$
THD da tensão de carga	Similar	Similar

Tabela 5.2 - Comparação entre o inversor proposto e o *cascaded H-bridge inverter*.

Inicialmente pode parecer que o maior número de fontes isoladas é uma desvantagem, porém se estas forem obtidas através de retificadores multipulsos, a corrente drenada na entrada apresentará uma taxa de distorção harmônica menor devido ao maior número destes retificadores em cascatas. Além disso, para algumas aplicações em altíssimas potência pode ser mais interessante dividir a potência por limitações tecnológicas.

5.9 Conclusão

Foi apresentada a estrutura completa do inversor multinível proposto implementado na potência de 15 kW. Este foi projetado de forma modular facilitando a sua construção e compreensão.

O estágio de entrada é formado por retificadores multipulsos, com o intuito de reduzir o conteúdo harmônico da corrente drenada da rede. Alguns circuitos auxiliares e proteções também foram apresentados.

Com o protótipo implementado foram extraídas as principais formas de onda de corrente e tensão e comparados aos resultados teóricos e simulados.

A forma de onda da tensão na carga apresenta nove níveis, como previsto, gerando uma corrente com formato senoidal de baixo conteúdo harmônico. A tensão de fase apresenta cinco níveis e componente média nula.

Os resultados experimentais apresentaram certo desvio quando comparado ao teórico, porém aceitáveis devido às não idealidades das cargas utilizadas.

CONCLUSÃO GERAL

A partir da década de 70 iniciou-se uma série de pesquisas na eletrônica de potência em busca de estruturas inversoras eficientes com capacidade de tensão e corrente elevadas devido à demanda da indústria.

Assim, surgiram as estruturas multiníveis, onde sua principal característica seria formar uma onda senoidal com diversos níveis de tensão.

A estrutura apresentada neste trabalho refere-se a uma estrutura similar ao *Cascaded H-bridge multilevel inverter*, porém com uma diferença significativa: são empregadas sub-células com apenas um braço inversor em cascata.

Para tornar mais simples o estudo do inversor proposto para n níveis, inicialmente foram apresentadas uma análise das estruturas 3 e 5 níveis na versão monofásica.

A estrutura 3 níveis mostrou-se muito similar ao inversor em ponte completa clássico. Nesta estrutura proposta, a presença de uma fonte adicional pode tornar a componente contínua da corrente na carga diferente de zero, caso as duas fontes contínuas não tenham o mesmo valor, sendo necessário o emprego de um controle adicional, diferente do inversor clássico que compartilha a mesma fonte de tensão contínua. A modulação empregada nesta estrutura é idêntica à empregada no inversor ponte-completa clássico.

Para obter a estrutura 5 níveis foram inseridos mais dois braços inversores em cascata. Dessa forma a estrutura apresenta 4 fontes contínuas. As etapas de operação e formas de onda foram demonstradas inicialmente sem modulação como forma de simplificar a sua compreensão.

Após a análise e simulação destas duas estruturas, foi possível obter a versão trifásica para n níveis. Contudo, após uma análise mais detalhada, observou-se um valor médio na

tensão de fase diferente de zero, porém na tensão de linha a presença desta componente não era visível devido ao seu cancelamento, por se tratar de um sistema trifásico empregando uma carga balanceada e fontes de tensão contínuas isoladas ideais. Assim, num sistema desequilibrado, um maior esforço de controle seria exigido.

Por esta razão, foram invertidas as conexões nos terminais das sub-células de comutação, anulando esta componente média de tensão na fase, tornando o sistema mais robusto.

Um estudo aprofundado da modulação foi desenvolvido com o objetivo de encontrar a equação que define a forma de onda da tensão na carga para n níveis, incluindo as harmônicas de tensão. Assim, antes mesmo de realizar as simulações, foi possível observar o comportamento das harmônicas.

Para tornar mais simples a apresentação do procedimento empregado na solução desta expressão, foram inicialmente analisadas as modulações na versão monofásica 3 e 5 níveis.

Através destas equações foi possível prever que a primeira harmônica de tensão, indesejável para o sistema, seria multiplicada por $2N_c$ (considerando um sistema trifásico).

Definida a estrutura e modulação, iniciou-se o projeto do estágio de potência. Uma série de equações foram desenvolvidas para encontrar os esforços nos componentes. Os cálculos foram baseados numa potência de 15 kW e nove níveis na tensão de linha na carga. Os resultados foram comparados com os obtidos na simulação, sempre alcançando valores semelhantes.

Para aperfeiçoar o funcionamento no que diz respeito à corrente drenada da rede foi necessário o emprego de estruturas retificadoras doze pulsos.

Um protótipo de 15 kW foi concluído e obtido as principais formas de onda da tensão e corrente.

Os resultados experimentais mostraram-se semelhantes aos reproduzidos via simulação numérica e teórica. Obtiveram-se nove níveis da tensão de linha e cinco níveis na fase, como previsto.

Apesar do emprego de retificadores de 12 pulsos, a taxa de distorção harmônica gerada na corrente de entrada alcançou níveis acima das normas vigentes (IEEE 519-1992).

No presente trabalho não foi implementada nenhuma técnica de controle em malha fechada. Assim, em futuros trabalhos poderiam ser realizados os estudos de um controle avançado (por exemplo, controle vetorial) para situações de sistemas desequilibrados.

Uma análise na busca de uma modulação mais eficiente ainda faz-se necessário. Algumas técnicas, por exemplo a vetorial, pode aperfeiçoar a comutação dos interruptores.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] BAKER, R.H. Electric Power Converter, U.S. Patent Number 3,867,643, February, 1975.
- [2] BAKER, R.H. Bridge Converter Circuit, U.S. Patent Number 4,270,163, May, 1981.
- [3] MEYNARD, T.A.; FOCH, H. Multi-level conversion: high voltage choppers and voltage-source inverters. *Power Electronics Specialists Conference*, 1992. PESC '92 Record., 23rd Annual IEEE.29 June-3 July 1992. Page(s):397 - 403 vol.1.
- [4] S. BERNET, Recent Developments of High Power Converters for Industry and Traction Applications, *IEEE Transactions on Power Electronics*, Vol. 15, No. 6, pp. 1102–1117, 2000.
- [5] R. BHATIA, H. U. KRATTIGER, A. BONANINI, et al., Adjustable Speed Drive with a Single 100-MW Synchronous Motor, *ABB Review*, No. 6, pp. 14–20, 1998.
- [6] S. MALIK AND D. KLUGE, ACS1000 World's First Standard AC Drive for Medium-Voltage Applications, *ABB Review*, No. 2, pp. 4–11, 1998.
- [7] WU, B. *High-Power Converters and AC Drives*. IEEE Press, 2006.
- [8] M. BRUCKMANN, R. SOMMER, et al., Series Connection of High Voltage IGBT Modules, *IEEE Industry Applications Society (IAS) Conference*, pp. 1067–1072, 1998.
- [9] BRAGA, H.; BARBI, I. Conversores Estáticos Multiníveis – Uma Revisão. *SBA Controle e Automação*, Vol. 11, no. 01, Jan., Fev., Mar., Abril, 2000.

- [10] FENG, C.; LIANG, J.; AGELIDIS, V. G. Modified Phase-Shifted PWM Control for Flying Capacitor Multilevel Converters. *Power Electronics, IEEE Transactions on*. Volume 22, Issue 1, Jan. 2007 Page(s):178 – 185.
- [11] HUANG, J and CORZINE, K.A. Extended operation of flying capacitor multilevel inverters. *Power Electronics, IEEE Transactions on*, Volume 21, Issue 1, Jan. 2006 Page(s):140 – 147.
- [12] KOU, X.; CORZINE, K.A.; FAMILIANT, Y.L. Full binary combination schema for floating voltage source multilevel inverters. *Power Electronics, IEEE Transactions on*, Volume 17, Issue 6, Nov. 2002 Page(s): 891 – 897.
- [13] LIN, B.; LU, H. New Multilevel Rectifier Based on Series Connection of H-Bridge Cell. *IEE Proc.-Electr. Power Appl.*, Vol. 147, No. 4, July, 2000.
- [14] DU, Z., TOLBERT, L., CHIASSON, J.; OZPINECI, B. A Cascaded Multilevel Inverter Using a Single DC Source. *IEEE Transactions on Industry Applications*, 2006.
- [15] NABAE, A.; TAKAHASHI, I.; AKAGI, H. A New Neutral-Point-Clamped PWM Inverter. *IEEE Transactions on Industry Applications*, Vol. IA-17, No. 5, September/October 1981.
- [16] HAMMOND, P.W. A new approach to enhance power quality for medium voltage AC drives. *IEEE Transactions on Industry Applications*, Vol. 33, No.1, September/October 1981. January/February 1997.
- [17] LAI, J.; PENG, F. Multilevel Converters – A New Breed of Power Converters. *IEEE Transactions on Industry Applications*, Vol. 32, No. 3, May/June, 1996.
- [18] LIPO, T. A.; HOLMES, D. G. *Pulse Width Modulation for Power Converters: Principles and Practice*. IEEE Press on Power Engineering. John Wiley & Sons, Inc, Publication. Series Editor. 724 p. 2003.

-
- [19] BARBI, I. *Eletrônica de Potência*. Florianópolis, 2006, Edição do autor, 6^a edição INEP. Universidade Federal de Santa Catarina.
- [20] SEMIKRON INTERNATIONAL. Catálogo de componentes 1999. Nürnberg/Germany, 1999.
- [21] NOVAES, I. *Estudo de um Snubber para o Inversor de Três Níveis com Neutro Grampeado*. Florianópolis, 2000, Dissertação de Mestrado, PPGEEL – INEP, Universidade Federal de Santa Catarina.