

**MÁRCIO SILVEIRA ORTMANN**

**FILTRO ATIVO TRIFÁSICO COM CONTROLE  
VETORIAL UTILIZANDO DSP: PROJETO E  
IMPLEMENTAÇÃO**

**FLORIANÓPOLIS**

**2008**



**UNIVERSIDADE FEDERAL DE SANTA CATARINA**

**PROGRAMA DE PÓS-GRADUAÇÃO  
EM ENGENHARIA ELÉTRICA**

**FILTRO ATIVO TRIFÁSICO COM CONTROLE  
VETORIAL UTILIZANDO DSP: PROJETO E  
IMPLEMENTAÇÃO**

Dissertação submetida à  
Universidade Federal de Santa Catarina  
como parte dos requisitos para a  
obtenção do grau de Mestre em Engenharia Elétrica.

**MÁRCIO SILVEIRA ORTMANN**

Florianópolis, Março de 2008.



# FILTRO ATIVO TRIFÁSICO COM CONTROLE VETORIAL UTILIZANDO DSP: PROJETO E IMPLEMENTAÇÃO

Márcio Silveira Ortmann

‘Esta Dissertação foi julgada adequada para a obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em *Eletrônica de Potência e Acionamento Elétrico*, e aprovada em sua forma final pelo Programa de Pós - Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina. ’

---

Samir Ahmad Mussa, Dr.  
Orientador

---

Kátia Campos de Almeida, Ph.D.  
Coordenadora do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

---

Samir Ahmad Mussa, Dr.  
Presidente

---

Ivo Barbi, Dr. Ing.

---

Flávio Alberto Bardemaker Batista, Dr.



*Dedico este trabalho aos meus pais,  
José Frederico e Tânia Mara, e aos  
meus irmãos, Marcelo e Etiene.*



## AGRADECIMENTOS

Ao professor Samir Ahamad Mussa, pelos ensinamentos, incentivo e apoio. Por acreditar e confiar no meu trabalho, sempre respeitando minhas idéias, opiniões e limitações. Sua amizade tem sido fundamental.

Ao professor Ivo Barbi, pelos ensinamentos recebidos, por seu exemplo de pesquisador, pela amizade e apoio a este trabalho.

Aos professores Arnaldo José Perin, Denizar Cruz Martins, Ênio Valmor Kassick, Hari Bruno Mohr e João Carlos dos Santos Fagundes, pela amizade, ensinamentos proporcionados e acessibilidade nos momentos de dúvidas.

Aos membros da banca examinadora, pelas correções e sugestões a este trabalho.

Aos colegas Diogo Cesar Coelho, Eloi Agostini Jr., Gabriel Tibola, Gleyson Luiz Piazza e Juliano Bedin, pela companhia durante a etapa de crédito.

Aos alunos de iniciação científica, pela oportunidade de constante reciclagem - profissional e pessoal - proporcionada pelo convívio com vocês.

Aos técnicos Antônio Luiz S. Pacheco, Luiz Marcellus Coelho e Rafaell Carpes, pela eficiência e competência. A contribuição de vocês foi fundamental para a construção e funcionamento do protótipo. Gostaria de agradecer aos engenheiros Murilo de Pieri Fenili, André Luiz Fuerback e Aniel Silva de Moraes, pelas valiosas discussões e apoio técnico.

Aos funcionários Regina, Abraão, Wilson e Marcelo, prestativos e eficientes, pelo apoio nas questões administrativas. Aos demais integrantes do INEP, que fazem deste local, de fato, a minha segunda casa.

À Capes, pelo apoio financeiro e ao Programa de Pós Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina, pela qualidade do ensino.

Aos meus pais, José Frederico e Tânia Mara, pelo amor, exemplo e educação. Por terem me proporcionado, além dos ensinamentos e conselhos, a capacidade de discernir o certo do errado. Agradeço pelo apoio incondicional - mesmo nas horas mais difíceis, a educação e o estudo sempre foram prioritários. Gostaria de agradecer também à minha avó Marina (*in memoriam*), igualmente por todo apoio.

À Luciana, por todo amor, carinho e compreensão. Agradeço igualmente a teus familiares pelo apoio, respeito e confiança.

Agradeço a todas as pessoas que, de alguma forma, contribuíram para que este trabalho fosse realizado.

A Deus, pela existência.



*"Eu sou suficientemente artista para desenhar livremente na minha imaginação. Imaginação é mais importante que conhecimento. O conhecimento é limitado. A imaginação dá a volta ao mundo."*

Albert Einstein

*"Trabalho incessante, análise, reflexão, escrever muito, auto-punição infinita, esse é o meu segredo."*

Johann Sebastian Bach



Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

## **FILTRO ATIVO TRIFÁSICO COM CONTROLE VETORIAL UTILIZANDO DSP: PROJETO E IMPLEMENTAÇÃO**

**Márcio Silveira Ortmann**

Março/2008

Orientador: Samir Ahmad Mussa, Dr. Eng.

Área de Concentração: Eletrônica de Potência e Acionamento Elétrico

Palavras-chave: Filtros Ativos, correção do fator de potência, controle vetorial, controle digital.

Número de Páginas: 207.

**RESUMO:** Este trabalho apresenta o estudo e implementação de um filtro ativo trifásico paralelo a três fios (FAP), com vistas à redução do conteúdo harmônico de cargas não lineares típicas de instalações industriais. A determinação das correntes de referência do FAP e o controle do conversor são realizados utilizando técnicas de controle vetorial. Um circuito PLL (*phase locked loop*) trifásico digital é empregado para o sincronismo da estratégia, sendo que todo o controle da estrutura é feito através de um processador digital de sinal. Os detalhes da estratégia de controle, bem como a metodologia de projeto do circuito de sincronismo e dos controladores digitais são apresentados. Os resultados obtidos com a metodologia empregada são comprovados através de simulações digitais e experimentação com o protótipo de 10kVAR implementado em laboratório. A utilização do FAP possibilitou a redução do conteúdo harmônico das cargas não lineares empregadas nos testes, bem como elevou o fator de potência da instalação.



Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

## **THREE-PHASE SHUNT ACTIVE POWER FILTER WITH VECTOR CONTROL EMPLOYED DSP: DESIGN AND IMPLEMENTATION**

**Márcio Silveira Ortmann**

March/2008

Advisor: Samir Ahmad Mussa, Dr. Eng.

Area of Concentration:

Keywords: Active power filters, power factor correction, vector control, digital control.

Number of Pages: 207

ABSTRACT: This work presents a study and implementation of the three-phase three-wire shunt active power filter (APF), applied to harmonic reduction of the non-linear loads typical in industrial plants. The determination of current references and the converter control are achieved using vector control techniques. A three-phase digital PLL (phase locked loop) circuit is employed to synchronize the control strategy, and all the structure control is done using a digital signal processor. Details on the control strategy, the project of the synchronism circuit and digital controllers are presented. The results achieved with the applied methodology are proved by means of computer simulation and experimental tests using the 10kVAR prototype assembled in the laboratory. With the APF utilization was possible to reduce the harmonic contents of the non-linear loads used on the tests and to provide a higher power factor to the installation.



# SUMÁRIO

LISTA DE SÍMBOLOS .....	XII
-------------------------	-----

## CAPÍTULO 1

### INTRODUÇÃO GERAL

INTRODUÇÃO GERAL .....	1
------------------------	---

## CAPÍTULO 2

### A QUALIDADE DE ENERGIA ELÉTRICA, AS CARGAS NÃO LINEARES E OS FILTROS ATIVOS

2.1 INTRODUÇÃO .....	3
2.2 A QUALIDADE DE ENERGIA ELÉTRICA .....	3
2.2.2 Harmônicos .....	5
2.3 AS CARGAS NÃO LINEARES EM AMBIENTES INDUSTRIAIS .....	7
2.3.1 Retificador Trifásico a Diodos Com Filtro Capacitivo .....	8
2.4 FILTROS ATIVOS .....	13
2.4.1 Classificação dos Filtros Ativos .....	14
2.4.2 Princípio de Funcionamento do Filtro Ativo Paralelo .....	18
2.4.3 Estratégias para a Determinação das Correntes de Referência .....	20
2.4.4 Técnicas de Controle em Filtros Ativos .....	33
2.4.5 Considerações sobre o Ponto de Instalação do Filtro Ativo .....	35
2.5 CONCLUSÕES .....	37

## CAPÍTULO 3

### ESTRATÉGIA PARA A DETERMINAÇÃO DAS CORRENTES DE REFERÊNCIA

3.1 INTRODUÇÃO .....	39
3.2 A TRANSFORMAÇÃO ABC/DQ0 .....	39
3.3 ANÁLISE HARMÔNICA SOBRE OS EIXOS SÍNCRONOS .....	41
3.3.1 Análise sobre o Eixo Direto .....	43
3.3.2 Análise sobre o Eixo em Quadratura .....	45
3.3.3 Seqüência dos Harmônicos no Caso Equilibrado .....	47
3.4 DETERMINAÇÃO DAS CORRENTES DE REFERÊNCIA .....	47



3.5	CIRCUITO DE SINCRONISMO .....	52
3.5.1	Princípio de Operação do Circuito q-PLL .....	57
3.5.2	Desempenho Dinâmico do Circuito q-PLL .....	58
3.5.3	Projeto do Controlador PI .....	61
3.5.4	Simulação do Circuito q-PLL .....	64
3.6	CONCLUSÕES .....	73

## **CAPÍTULO 4**

### **MODELAGEM DO CONVERSOR E ESTRATÉGIA DE CONTROLE**

4.1	INTRODUÇÃO .....	75
4.2	CONVERSOR BIDIRECIONAL TRIFÁSICO .....	76
4.3	MODELAGEM DO CONVERSOR PARA AS CORRENTES .....	76
4.4	MODELAGEM DO CONVERSOR PARA A TENSÃO DO BARRAMENTO .....	87
4.5	ESTRATÉGIA DE CONTROLE .....	92
4.6	CONCLUSÕES .....	94

## **CAPÍTULO 5**

### **PROJETO DO FILTRO ATIVO**

5.1	INTRODUÇÃO .....	95
5.2	DETERMINAÇÃO DA POTÊNCIA DA CARGA .....	96
5.3	DETERMINAÇÃO DA TENSÃO E DO CAPACITOR DO BARRAMENTO .....	97
5.4	DETERMINAÇÃO DOS INDUTORES DE ACOPLAMENTO .....	99
5.5	DETERMINAÇÃO DO CONVERSOR .....	100
5.6	SISTEMA DE AQUISIÇÃO DAS VARIÁVEIS .....	102
5.6.1	Medição das Variáveis do Sistema .....	102
5.6.2	Condicionamento dos Sinais Analógicos .....	105
5.7	ACIONAMENTO DOS INTERRUPTORES DO CONVERSOR .....	110
5.8	CIRCUITO DE LIMITAÇÃO DA CORRENTE DE PRÉ-CARGA .....	112
5.9	CIRCUITOS DE SINALIZAÇÃO E INTERFACE .....	113
5.10	CIRCUITOS DE PROTEÇÃO .....	114
5.11	FILTRO PASSIVO DE ALTA FREQUÊNCIA .....	115
5.12	FONTE AUXILIAR DE ALIMENTAÇÃO .....	117
5.13	CONCLUSÕES .....	118



## **CAPÍTULO 6**

### **CONTROLE DIGITAL E IMPLEMENTAÇÃO NO DSP**

6.1	INTRODUÇÃO.....	119
6.2	CONTROLE DIGITAL.....	119
6.2.1	Efeito da Amostragem das Variáveis do Sistema.....	121
6.2.2	Efeitos do Modulador Digital.....	124
6.2.3	Erros da Representação Numérica.....	129
6.2.4	Considerações sobre os Atrasos na Malha de Controle.....	130
6.3	CARACTERÍSTICAS DO DSP UTILIZADO.....	133
6.3.1	Conversor A/D.....	134
6.3.2	Circuito PWM.....	136
6.4	PROJETO DOS CONTROLADORES.....	137
6.4.1	Projeto dos Controladores de Corrente.....	138
6.4.2	Projeto dos Controladores de Tensão.....	146
6.5	PROJETO DOS DEMAIS CONTROLADORES, GANHOS E FILTROS.....	151
6.6	IMPLEMENTAÇÃO DO ALGORITMO DE CONTROLE NO DSP.....	154
6.6.1	Organização do Algoritmo e Estágios de Operação.....	154
6.6.2	Configurações Iniciais.....	158
6.6.3	Principais Subrotinas dos Estágios 0,1,2 e 3.....	160
6.7	CONCLUSÃO.....	166

## **CAPÍTULO 7**

### **SIMULAÇÕES E RESULTADOS EXPERIMENTAIS**

7.1	INTRODUÇÃO.....	167
7.2	SIMULAÇÃO DO FAP.....	168
7.2.1	Energização do FAP - Simulação.....	168
7.2.2	Resultados de Simulação: Caso 1.....	170
7.2.3	Resultados de Simulação: Caso 2.....	171
7.2.4	Resposta Transitória: Variação de Carga.....	173
7.2.5	Verificação do Modelo de Tensão.....	174
7.3	RESULTADOS EXPERIMENTAIS.....	175
7.3.1	Teste dos Algoritmos.....	175
7.3.2	Energização do FAP – Resultados Experimentais.....	177
7.3.3	Resultados Experimentais: Caso 1.....	178
7.3.4	Resultados Experimentais: Caso 2.....	180



7.4 CONCLUSÕES.....	182
---------------------	-----

CONCLUSÃO GERAL.....	185
----------------------	-----

## **ANEXOS**

ANEXO A - PROJETO FÍSICO DO INDUTOR.....	189
--	-----

ANEXO B - DIAGRAMAS ESQUEMÁTICOS DO PROTÓTIPO .....	191
---	-----

ANEXO C - DIAGRAMA ESQUEMÁTICO DO CIRCUITO DE SIMULAÇÃO.....	198
--	-----

ANEXO D - FOTOS DO PROTÓTIPO .....	200
------------------------------------	-----

REFERÊNCIAS BIBLIOGRÁFICAS .....	203
----------------------------------	-----



## LISTA DE SÍMBOLOS

Símbolo	Significado	Unidade
$abc$	Sistema de coordenadas $abc$	
$\alpha\beta 0$	Sistemas de coordenadas de eixos ortogonais	
$a$	Operador de deslocamento de $120^\circ$	
$at(s)$	Função de transferência do atraso total do sistema digital	
$at_{PWM}(s)$	Função de transferência do atraso do circuito PWM digital	
$\bar{B}^{-1}, \bar{B}$	Matrizes de transformação	
$dq0$	Sistema de referência síncrona	
$d$	Eixo direto	
$D_a, D_b, D_c$	Razões cíclicas no sistema $abc$	
$D_d, D_q, D_0$	Razões cíclicas no sistema $dq0$	
$D_d', D_q'$	Razões cíclicas auxiliares de eixos $d$ e $q$	
$\hat{d}_d', \hat{d}_q'$	Perturbações nas razões cíclicas auxiliares de eixos $d$ e $q$	
$\overline{D}_{dq0}$	Vetor de razões cíclicas no sistema $dq0$	
$\overline{D}_{abc}$	Vetor de razões cíclicas no sistema $abc$	
$C_L$	Capacitância da carga	F
$C_F$	Capacitância do barramento do filtro	F
$C_{FHF}$	Capacitância do filtro de alta frequência	F
$FTLA_{PLL}(s)$	Função de transferência de laço aberto do circuito PLL	
$FTLA_{id}(s)$	Função de transf. de laço aberto da malha de corrente	
$F_{clock}$	Frequência do clock do processador	Hz
$fc_{PLL}$	Frequência de cruzamento da malha do circuito PLL	Hz
$fc_{Faa}$	Frequência de corte do filtro <i>antialiasing</i>	Hz
$f_{aa}(s)$	Função de transf. do filtro <i>antialiasing</i>	
$fz_{PLL}$	Frequência do zero do controlador PI do PLL	Hz
$f_1$	Frequência fundamental	Hz
$f_s$	Frequência de amostragem	Hz
$f_{sw}$	Frequência de comutação do conversor	Hz
$FPB_V(z)$	Função de transf. discreta do filtro passa baixa de tensão	
$FPB_V(s)$	Função de transf. do filtro passa baixa de tensão	
$G$	Sinal de Condutância	$\Omega^{-1}$
$\bar{G}$	Sinal de Condutância média	$\Omega^{-1}$
$G_T$	Condutância total	$\Omega^{-1}$
$G_{loss}$	Sinal para compensação de perdas do conversor	$\Omega^{-1}$
$H_i(s)$	Função de transf. do sistema de medição de corrente	
$H_{VDC}(s)$	Função de transf. do sistema de medição de tensão	
$H_{vac}(s)$	Função de transf. do sistema de medição de tensão AC	



<i>Símbolo</i>	<i>Significado</i>	<i>Unidade</i>
$i_S, i_F, i_L$	Correntes na fonte, no filtro e na carga, respectivamente.	A
$i_{Sa}$	Corrente na fase a da fonte	A
$i_{Sa1}$	Corrente fundamental da fase a da fonte	A
$i_{Sah}$	Correntes harmônicas da fase a	A
$\overline{i_{dq0}}$	Vetor de correntes no sistema $dq0$	A
$\overline{i_{dqn}}$	Vetor de correntes harm. de ordem "n" no sistema $dq0$	A
$\overline{i_{abc}}$	Vetor de correntes no sistema $abc$	A
$\overline{i_{abcn}}$	Vetor de correntes de ordem harm. "n" no sistema $abc$	A
$i_{0n}, i_{+n}, i_{-n}$	Fasores de seqüências zero, positiva e negativa com freqüência harmônica de ordem "n"	A
$i_a, i_b, i_c$	Correntes das fases a, b e c	A
$i_{an}, i_{bn}, i_{cn}$	Correntes harmônicas de ordem "n" das fases a, b e c respectivamente	A
$i_{aL}, i_{bL}, i_{cL}$	Correntes de carga das fases a, b, c	A
$i_{a1L}, i_{b1L}, i_{c1L}$	Componentes fundamentais das correntes de carga	A
$i_{dL}, i_{qL}$	Correntes da carga de eixo direto e eixo em quadratura	A
$\overline{i_{dL}}$	Componente média da correntes de carga de eixo $d$	A
$\overline{i_{qL}}$	Componente média da corrente de carga de eixo $q$	A
$\tilde{i}_{dL}$	Componente oscilante da corrente da carga de eixo $d$	A
$\tilde{i}_{qL}$	Componente oscilante da corrente da carga de eixo $q$	A
$i_{dref}, i_{qref}$	Correntes de referência de eixos $d$ e $q$	A
$i_{aref}, i_{bref}, i_{cref}$	Correntes de referência das fases a, b, c	A
$i_{\alpha ref}, i_{\beta ref}$	Correntes alfa e beta de referência	A
$i_{dn}, i_{qn}$	Correntes de eixos $d$ e $q$ da harmônica de ordem "n"	A
$i_{dn+}$	Corrente de eixo $d$ de seq. positiva da harm. de ordem "n"	A
$i_{dn-}$	Corrente de eixo $d$ de seq. negativa da harm. de ordem "n"	A
$i_{qn+}$	Corrente de eixo $q$ de seq. positiva da harm. de ordem "n"	A
$i_{qn-}$	Corrente de eixo $q$ de seq. negativa da harm. de ordem "n"	A
$i_\alpha, i_\beta$	Correntes fictícias alfa e beta geradas pelo PLL	A
$i_{kL1}$	Componente fundamental da corrente da carga	A
$i_{kLh}$	Componentes harmônicas da corrente da carga	A
$\hat{i}_d, \hat{i}_q$	Perturbações nas correntes de eixos $d$ e $q$	A
$i_F$	Corrente no barramento do filtro	A
$\hat{i}_F$	Perturbação na corrente do barramento do filtro	A
$i_p$	Corrente de pico drenada da rede em regime	A



<i>Símbolo</i>	<i>Significado</i>	<i>Unidade</i>
$K_{des}$	Ganho do desacoplamento	
$K_{id}$	Ganho do controlador de corrente	
$K_{Mi}$	Ganho do sistema de medição de corrente	
$K_{MV}$	Ganho do sistema de medição de tensão contínua do filtro	
$K_{MVAC}$	Ganho do sistema de medição de tensão alternada	
$K_{PLL}$	Ganho do controlador PI do PLL	
$L_S$	Indutância da fonte	H
$L_L$	Indutância da carga	H
$L_{ac}$	Indutância AC para redução dos picos de corrente em retificadores.	H
$L_{Sa}, L_{Sb}, L_{Sc}$	Indutâncias da rede elétrica das fases a,b,c	H
$L_F$	Indutância do filtro	H
$L_{FK}$	Indutância do filtro para a fase k, onde k=a,b,c	H
$L_{CC}$	Indutância do conversor CSI	H
$N_s$	Número de Amostras	
$P$	Potência ativa	W
$P_{carga}$	Potência ativa da carga	W
$PI_{id}(s)$	Função de transf. do controlador PI da corrente-eixo $d$	
$PID(s)$	Função de transferência do controlador PID	
$PID(z)$	Função de transferência discreta do controlador PID	
$PI_{PLL}(s)$	Função de transferência do controlador PI do circuito PLL	
$\overline{p}$	Parcela média das potências ativa instantânea	W
$\tilde{p}$	Parcela oscilante da potência ativa instantâneas	W
$p_{loss}$	Potência de compensação das perdas do filtro	W
$P_{loss}$	Perdas do filtro	W
$Q_{carga}$	Potência reativa da carga	VAR
$Q_{filtro}$	Potência reativa do filtro	VAR
$Q$	Potência reativa	VAR
$\underline{q}$	Eixo em quadratura	
$\overline{q}$	Parcela média da potência reativa instantânea	VAR
$\tilde{q}$	Parcela oscilante da potência reativa instantânea	VAR
$R_{FHF}$	Resistência do filtro de alta frequência	$\Omega$
$R_{HT}$	Resistor de limitação de corrente do transdutor de tensão	$\Omega$
$R_{Mi}$	Resistor de medição de corrente	$\Omega$
$R_L$	Resistência da carga	$\Omega$
$R_S$	Resistência da fonte	$\Omega$
$T_s$	Período de amostragem	s



<i>Símbolo</i>	<i>Significado</i>	<i>Unidade</i>
$u_1$	Sinal de entrada do PLL	
$u_2$	Sinal de saída do PLL	
$u_{1\alpha}, u_{1\beta}$	Componentes alfa e beta do sinal de entrada do PLL	
$u_{2\alpha}, u_{2\beta}$	Componentes alfa e beta do sinal de saída do PLL	
$U_1, U_2$	Magnitude dos sinais de entrada e saída do PLL	
$u_d(t)$	Sinal de controle do PLL	
$\overline{V_{ABC}}$	Vetor genérico no sistema abc	V
$v_a, v_b, v_c$	Tensões nas fases a, b e c no PAC	V
$v_{ab}, v_{bc}$	Tensões de linha	V
$v_a^*, v_b^* \text{ e } v_c^*$	Imagem das tensões de fase	V
$v'_{a1}, v'_{b1}, v'_{c1}$	Tensões fundamentais fictícias	V
$\overline{V_{dq0}}$	Vetor genérico no sistema dq0	V
$v_d, v_q, v_0$	Tensões de eixos $d, q, 0$	V
$v_0, v_\alpha, v_\beta$	Componentes zero, alfa e beta das tensões	V
$\overline{V_F}$	Vetor da tensão de barramento do filtro	V
$V_F$	Tensão do barramento do filtro.	V
$V_{Fctrl}$	Sinal de controle do controlador de tensão do filtro	V
$\widehat{V_F}$	Perturbação da tensão de barramento do filtro	V
$V_{Fmin}$	Tensão mínima do barramento do filtro.	V
$V_{Fmax}$	Tensão máxima do barramento do filtro.	V
$V_{Fref}$	Tensão de referência do barramento do filtro	V
$v_{LSa}, v_{LSb}, v_{LSc}$	Tensões sobre as indutâncias equivalentes da rede	V
$V_P$	Tensão de pico da rede	V
$v_{RSa}, v_{RSb}, v_{RSc}$	Tensões sobre as resistências equivalentes da rede	V
$v_{Sa}, v_{Sb}, v_{Sc}$	Tensões das fontes ideais das fases a,b,c	V
$v_{SA}, v_{SA}, v_{SA}$	Tensões sobre os interruptores equivalentes	V
$VT_{pico}$	Valor máximo do contador do circuito PWM digital	
$x(t)$	Sinal genérico em tempo contínuo	
$xn_{AMP}$	Amplitude da harmônica de ordem "n" do sinal x	
$xn_{REAL}, xn_{IMAG}$	Parcelas real e imaginária de ordem "n" do sinal x	
$xn_\varphi$	Fase do sinal x de ordem "n"	rad
$x_{ref}$	Sinal genérico x de referência	
$Z_s$	Impedância da fonte	$\Omega$
$\omega$	Freqüência angular da rede elétrica	rad/s
$\omega_1$	Freqüência angular na entrada do PLL	rad/s
$\omega_2$	Freqüência angular na saída do PLL	rad/s



<i>Símbolo</i>	<i>Significado</i>	<i>Unidade</i>
$\omega Z_{PLL}$	Freqüência do zero do controlador PI do circuito PLL	rad/s
$\omega C_{PLL}$	Freqüência angular de cruzamento da FTLA do PLL	rad/s
$\omega Z_{id}$	Freqüência do primeiro zero do controlador de corrente	rad/s
$\omega Z_{2id}$	Freqüência do segundo zero do controlador de corrente	rad/s
$\omega P_{2id}$	Freqüência do segundo pólo do controlador de corrente	rad/s
$\Delta I_{LF}$	Ondulação de corrente no indutor do filtro	%
$\phi_{+n}$	Ângulo de fase da harm. de seq. positiva de ordem "n"	rad
$\phi_{-n}$	Ângulo de fase da harm. de seq. negativa de ordem "n"	rad
$\phi_1$	Ângulo de fase do sinal de entrada do PLL	rad
$\phi_2$	Ângulo de fase do sinal de saída do PLL	rad

## ACRÔNIMOS E ABREVIATURAS

<i>Símbolo</i>	<i>Significado</i>
CSI	<i>Current Source Inverter</i>
DSP	Digital Signal Processor
DVR	Dyamic Voltage Restorer
DFT	<i>Discrete Fourier Transform</i>
FACTS	<i>Flexible AC Transmission Systems</i>
FPGA	<i>Field Programmable Gate Array</i>
FAP	Filtro ativo Paralelo
FAS	Filtro ativo série
HVDC	<i>High Voltage Direct Current</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
RDFT	<i>Recursive Discrete Fourier Transform</i>
STATCOM	<i>Static Synchronous Compensator</i>
PAC	Ponto de Acoplamento Comum
PLC	<i>Power Line Conditioner</i>
PLL	<i>Phase locked Loop</i>
PWM	<i>Pulse Width Modulation</i>
UPFC	<i>Unified Power Flow Controller</i>
UPLC	<i>Universal Active Power Line Conditioner</i>
VCO	<i>Voltage Controlled Oscillator</i>
VSI	<i>Voltage Source Inverter</i>
ZOH	<i>Zero order Hold</i>



# CAPÍTULO 1

---

---

## INTRODUÇÃO GERAL

---

---

A evolução tecnológica na área da eletrônica tem propiciado inúmeros benefícios à humanidade. Novos equipamentos e dispositivos eletrônicos são constantemente lançados no mercado, tornando-se cada vez mais presentes e indispensáveis na vida das pessoas. A eletrônica de potência tem um papel fundamental neste processo, pois o processamento eficiente da energia é um tema de relevância cada vez maior, em função da grande demanda de energia e dos aspectos ambientais inerentes aos processos de geração. Todavia, a grande proliferação de equipamentos eletrônicos nas indústrias e residências tem causado grande preocupação, uma vez que, por operarem de forma não linear, drenam correntes distorcidas da rede elétrica. A circulação de harmônicos no sistema elétrico representa um grande problema de qualidade de energia, e embora o efeito isolado dos harmônicos em instalações residenciais não seja ainda preocupante, o mesmo não se pode dizer com relação às instalações comerciais e industriais.

Uma topologia comumente encontrada em ambientes industriais é o retificador trifásico a diodos com filtro capacitivo, estando presente no estágio de entrada de diversos equipamentos, como inversores de frequência e sistemas de alimentação ininterrupta de energia (UPS). Essa estrutura drena, da rede elétrica, correntes com elevado conteúdo harmônico, comprometendo assim o fator de potência do equipamento. Ainda, a circulação de correntes harmônicas pelas impedâncias do sistema distorce a tensão no ponto de acoplamento comum (PAC) e, portanto, pode afetar outras cargas conectadas a este. É importante salientar que, embora existam normas e recomendações para a limitação e controle de harmônicos no sistema elétrico, alguns países como o Brasil ainda não apresentam normas rígidas a respeito. Dessa forma, muitos equipamentos são produzidos sem qualquer preocupação de caráter preventivo, concernente à qualidade da corrente drenada por estes.

Uma solução de caráter corretivo, para o problema da circulação de harmônicos no sistema elétrico, é a utilização de filtros passivos. Estas estruturas são constituídas basicamente de elementos passivos, como indutores e capacitores, que associados operam como filtros de bloqueio ou de confinamento de harmônicos. Embora sejam, em geral, estruturas de baixo custo, as mesmas apresentam algumas desvantagens, como

possibilidades de ressonância com o sistema, operação dependente da impedância da rede e volume significativo [1].

Neste contexto, o filtro ativo paralelo aparece como alternativa de solução corretiva para o problema dos harmônicos, sendo particularmente adequado nos casos onde não existe a pretensão de, por exemplo, substituir os equipamentos presentes em uma planta industrial, ou mesmo alterar a linha de produção de um determinado produto que não atende os requisitos impostos pelas normas. Existem, atualmente, unidades comerciais de filtros ativos com potências superiores a 300kVAr, sendo suas aplicações voltadas para indústrias, hospitais, unidades de tratamento de água entre outras [2].

O filtro ativo paralelo funciona como uma fonte de corrente controlada, injetando/drenando corrente no ponto onde está conectado, de forma que a corrente total drenada da fonte seja idealmente senoidal. Assim, a estratégia utilizada para a determinação da corrente a ser compensada é um aspecto de extrema importância em seu funcionamento. De mesma relevância têm-se as técnicas de controle, necessárias para fazer com que o filtro consiga impor corretamente as correntes de compensação.

O objetivo deste trabalho é o estudo e implementação de um filtro ativo trifásico paralelo, a três fios, com vistas à redução do conteúdo harmônico de cargas comumente encontradas na indústria. O controle da estrutura será feito através de um processador digital de sinal, utilizando técnicas de controle vetorial.

O segundo capítulo apresenta uma abordagem geral a respeito da qualidade de energia elétrica, as cargas não lineares e os filtros ativos. Um breve histórico e o princípio básico de funcionamento do filtro ativo paralelo são introduzidos. Neste capítulo também são exemplificadas algumas estratégias para a determinação das correntes de referência, bem como técnicas de controle comumente empregadas em filtros ativos paralelos.

No capítulo 3 apresenta-se a estratégia escolhida para a determinação das correntes de referência do filtro ativo deste trabalho. Um circuito de sincronismo, necessário para a concepção da estratégia, também é estudado neste capítulo. O quarto capítulo trata da modelagem do conversor, e define a estrutura geral da estratégia de controle do filtro ativo. As especificações para o protótipo, bem como os projetos dos diversos subcircuitos que compõem o filtro ativo são apresentados no capítulo 5.

O capítulo 6 aborda a metodologia e projeto dos controladores digitais. Também neste capítulo são apresentados detalhes do algoritmo de controle e as características do dispositivo escolhido para a implementação deste. Por fim, no capítulo 7 são apresentados e discutidos os resultados obtidos por simulação e através de dos testes com o protótipo implementado.

---

# CAPÍTULO 2

---

## A QUALIDADE DE ENERGIA ELÉTRICA, AS CARGAS NÃO LINEARES E OS FILTROS ATIVOS

---

### 2.1 INTRODUÇÃO

Neste capítulo serão apresentadas e discutidas as três questões principais que justificam o presente trabalho:

- A preocupação com a qualidade de energia;
- As cargas não lineares, especialmente os retificadores trifásicos não controlados - largamente utilizados e particularmente preocupantes para a qualidade de energia em ambientes industriais, uma vez que drenam correntes com elevado conteúdo harmônico;
- Os filtros ativos de potência – mais especificamente ao filtro ativo paralelo (FAP), que se apresenta como uma solução eficaz para redução da distorção harmônica causada por cargas não lineares.

### 2.2 A QUALIDADE DE ENERGIA ELÉTRICA

A qualidade de energia elétrica é um tema que tem sido alvo de constante preocupação e motivação para novos estudos nas últimas décadas. Alguns fatores relevantes são:

- O aumento expressivo de cargas não lineares, tanto nas indústrias como nas residências, que “poluem” a rede elétrica em função do alto conteúdo harmônico das correntes drenadas por estas;
- A grande quantidade de equipamentos sensíveis conectados à rede, como os equipamentos hospitalares, por exemplo, que dependem de energia de boa qualidade para operarem corretamente;

- A maior compreensão dos fenômenos por parte dos usuários finais, que têm então condições de exigir das concessionárias (empresas de geração, transmissão e distribuição de energia) uma energia de melhor qualidade;
- A integração de processos, onde a falha de um elemento pode ter relevância global. Este fator é uma preocupação constante em indústrias, uma vez que a paralisação de processos acarreta em perdas monetárias expressivas.

A qualidade de energia não pode ser vista como uma questão unilateral, onde a única responsável é a concessionária de energia, uma vez que diversos problemas têm origem no perfil da corrente drenada pela carga, ou seja, pelo consumidor. Neste cenário, consumidores e concessionárias de energia dividem responsabilidades que são pontuadas por normas específicas. Assim, definir o termo qualidade de energia não é uma tarefa simples, podendo ser até mesmo tendenciosa conforme o ponto de vista (concessionária ou usuário). Conforme [3], um problema de qualidade de energia é qualquer problema manifestado em desvios de tensão, corrente ou frequência, que resultem em falha ou mau funcionamento de equipamento.

Embora os estudos na área de qualidade de energia tratem de diversos problemas e fenômenos eletromagnéticos, somente os aspectos mais relevantes ao presente trabalho serão abordados.

Um fator de extrema importância é a distorção da forma de onda (tensão ou corrente), a qual é definida como o desvio em regime permanente com relação a uma forma de onda pura (senoidal na frequência do sistema). A distorção é caracterizada principalmente pelo conteúdo espectral. Os cinco tipos primários de distorção são: *offset* DC, harmônicos, interharmônicos, entalhe (*Notch*) e ruído [3].

#### **A - Offset DC**

O *offset* DC consiste na presença de um valor médio na tensão ou corrente de um sistema de potência. Este pode ser causado por diversos fatores, como assimetria de operação de conversores estáticos e distúrbios geomagnéticos. Sua presença no sistema elétrico provoca problemas, principalmente nos transformadores (saturação, aquecimento, etc.).

#### **B - Harmônicos**

Os harmônicos são tensões ou correntes com frequências múltiplas inteiras daquela dita fundamental (frequência de operação do sistema, normalmente 50Hz ou

---

60Hz). Sendo assim, em um sistema com frequência nominal igual a 60Hz, o segundo harmônico tem frequência igual a 120Hz, o terceiro harmônico tem frequência de 180Hz a assim por diante.

### **C - Interharmônicos**

Os interharmônicos são tensões ou correntes cujas frequências não são múltiplas inteiras da frequência fundamental do sistema. Algumas fontes de interharmônicos são os conversores estáticos de frequência, os fornos e dispositivos a arco. As correntes interharmônicas são particularmente preocupantes pela possibilidade de excitação de ressonâncias no sistema.

### **D - Entalhe (*Notch*)**

O entalhe é um distúrbio periódico nas formas de onda das tensões, causado pela operação de dispositivos eletrônicos de potência, quando a corrente é comutada de uma fase para outra. Embora este fenômeno possa ser caracterizado e bem representado pelo espectro harmônico, ele é geralmente tratado como um caso especial.

### **E - Ruído**

O ruído elétrico pode ser definido como qualquer distorção de sinal que não pode ser classificado como distorção harmônica ou transiente.

## **2.2.2 Harmônicos**

Dos cinco elementos citados como causadores de distorção das formas de onda, os harmônicos são, de uma forma geral, os mais importantes. A distorção harmônica é causada pela presença de cargas não lineares no sistema. Nestes equipamentos, a corrente drenada não é proporcional a forma da tensão aplicada. Uma ferramenta matemática particularmente útil na análise harmônica é a transformada de Fourier, com a qual é possível decompor formas de onda distorcidas e periódicas como uma soma da frequência fundamental e seus harmônicos.

A circulação de correntes harmônicas no sistema elétrico implica em diversos efeitos indesejados [4], tais como:

- Aumento da temperatura de operação e das perdas em capacitores, motores e transformadores;
- Atuação indevida de equipamentos de proteção;

- Interferência e/ou falhas de operação em equipamentos sensíveis;
- Excitação de ressonâncias nas impedâncias do sistema;
- Distorção da tensão, em função da circulação de correntes harmônicas sobre as impedâncias do sistema.

### **A - Normas Regulamentadoras**

A grande proliferação das cargas não lineares e os conseqüentes problemas gerados por estas levaram diversas organizações a estabelecer procedimentos, critérios e normas a respeito dos níveis de harmônicas no sistema elétrico. Principais normas são a IEEE 519-1992 [5], IEC 61000-3-2 [6] e IEC 61000-3-4 [7].

A norma IEEE 519-1992 estabelece limites pra a injeção de harmônicos no PAC (ponto de acoplamento comum), sendo que estes foram estabelecidos de forma a limitar a distorção de tensão no PAC.

As normas IEC 61000-3-2 e IEC 61000-3-4 são aplicáveis a equipamentos conectados em sistemas de baixa tensão, com correntes inferiores a 16A e superiores a 16A respectivamente.

No Brasil, a Agência Nacional de Energia Elétrica (Aneel) [8], no documento “Procedimentos de distribuição de energia elétrica no sistema elétrico nacional – Prodist módulo 8 – qualidade da energia elétrica”, propõe valores para a distorção harmônica da tensão no sistema de distribuição. Essa regulamentação ainda não está definida, mas deve seguir, em princípio, a mesma filosofia da norma IEEE 519-1992.

### **B - Índices e Fatores de Desempenho**

Com o intuito de quantificar e avaliar o comportamento de um determinado sistema ou carga são utilizados alguns índices e fatores de desempenho.

A taxa de distorção harmônica é a medida do valor efetivo dos componentes harmônicos de uma forma de onda distorcida. As taxas de distorção harmônica de tensão e corrente são dadas respectivamente pelas equações (2.1) e (2.2).

$$\text{THD}_v = \frac{\sqrt{\sum_{n=2}^{\infty} v_{\text{nef}}^2}}{v_{1\text{ef}}} \quad (2.1)$$

---

$$\text{THD}_i = \frac{\sqrt{\sum_{n=2}^{\infty} i_{nef}^2}}{i_{1ef}} \quad (2.2)$$

O fator de crista FC é definido como a razão entre os valores de pico e eficaz de uma determinada forma de onda (tensão ou corrente). Assim o fator de crista de uma forma de corrente, por exemplo, pode ser calculado conforme a eq.(2.3).

$$\text{FC} = \frac{i_{\text{pico}}}{i_{\text{ef}}} \quad (2.3)$$

O fator de potência é a razão entre a potência ativa (potência média) e a potência aparente, conforme mostra a eq.(2.4).

$$\text{FP} = \frac{P}{S} = \frac{\frac{1}{T} \int_0^T v(t) \cdot i(t) dt}{\sqrt{\frac{1}{T} \int_0^T v(t)^2 dt} \cdot \sqrt{\frac{1}{T} \int_0^T i(t)^2 dt}} \quad (2.4)$$

Nos casos onde a tensão de alimentação é puramente senoidal, pode-se expressar o fator de potência conforme a eq.(2.5), onde  $\phi_1$  é o defasamento entre as componentes fundamentais de tensão e corrente.

$$\text{FP} = \frac{\cos(\phi_1)}{\sqrt{1 + (\text{THD}_i)^2}} \quad (2.5)$$

Observa-se que o numerador da eq.(2.5) representa o fator de deslocamento (FD), o qual se confunde com o fator de potência quando o sistema é composto por tensões e correntes puramente senoidais e de mesma frequência.

### 2.3 AS CARGAS NÃO LINEARES EM AMBIENTES INDUSTRIAIS

As cargas não lineares em ambientes industriais são particularmente críticas, uma vez que cargas poluidoras e sensíveis estão muitas vezes conectadas a uma mesma barra. Além disso, a utilização de bancos de capacitores para a correção do fator de

deslocamento é uma prática comum, e que implica em um potencial risco de ressonância com a impedância da rede sob correntes distorcidas.

Em geral, as cargas não lineares em indústrias podem ser agrupadas em três categorias: dispositivos saturáveis, dispositivos a arco e conversores trifásicos de potência. [3].

Na categoria de dispositivos saturáveis estão incluídos equipamentos bastante comuns, como os transformadores e motores. Os transformadores são projetados para operar, sob condições normais, na região linear das características magnéticas do material do núcleo. Quando operam fora dessa região, eles produzem harmônicos. Embora os transformadores produzam menos harmônicos que os equipamentos das outras duas categorias citadas, vale notar que existe uma grande quantidade destes em um sistema de distribuição, cujo efeito conjunto pode ser relevante. Os motores também apresentam distorção quando estão sobre excitados, mas que em geral não tem grandes conseqüências.

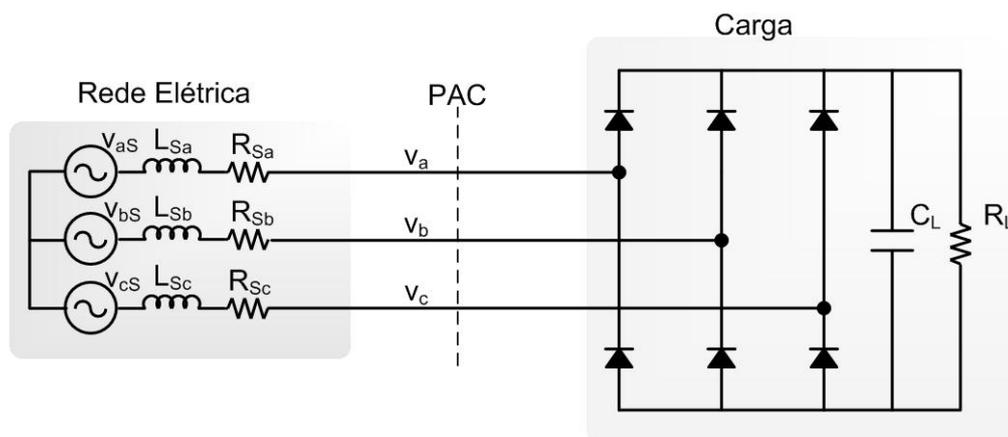
Os dispositivos a arco incluem os fornos e soldadores a arco, bem como sistemas de iluminação com reatores magnéticos. A característica de tensão-corrente em arcos elétricos é não linear, uma vez que durante o arco, a corrente cresce limitada apenas pela impedância do sistema, enquanto a tensão decresce. Tal fato é preocupante, principalmente nos fornos a arco, onde correntes de dezenas de milhares de ampéres fluem sobre uma impedância razoavelmente pequena.

Os retificadores trifásicos estão presentes em diversos equipamentos no meio industrial, e por ser o foco principal deste trabalho, serão examinados de forma mais detalhada a seguir. O estudo será restringido aos retificadores trifásicos não controlados, alimentando cargas com característica de tensão contínua.

### **2.3.1 Retificador Trifásico a Diodos Com Filtro Capacitivo**

Diversos equipamentos necessitam de uma fonte de tensão contínua para operarem adequadamente. Como a tensão de alimentação da rede é em geral alternada, faz-se necessária a utilização de um estágio inicial de processamento de energia, que converta a tensão alternada em contínua, criando assim o chamado barramento de tensão contínua. Quando o valor da tensão do barramento não é crítico, e quando não há necessidade de regeneração de energia para a fonte, a estrutura de potência comumente empregada é o retificador trifásico a diodos com filtro capacitivo. A Fig. 2.1 ilustra esta estrutura conectada a um sistema trifásico, com impedâncias equivalentes por fase e carga resistiva equivalente aos estágios subseqüentes ao barramento.

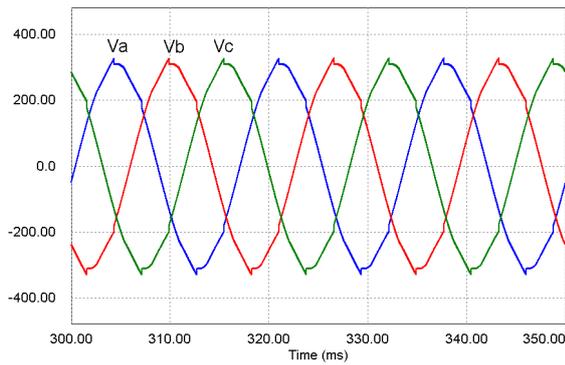
---



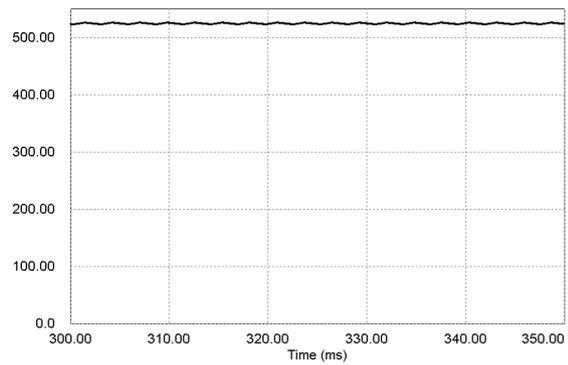
**Fig. 2.1 - Retificador trifásico com filtro capacitivo.**

Para que o barramento possa ser considerado uma fonte de tensão constante, é necessário utilizar bancos de capacitores de valor elevado. Como a transferência de energia da fonte para o banco ocorre em pequenos espaços de tempo (instantes onde qualquer tensão de linha instantânea é maior que a tensão do barramento), as correntes de entrada do conversor têm uma característica impulsiva, apresentando elevados picos, elevada distorção harmônica e grande fator de crista. A corrente em cada fase é limitada quase que exclusivamente pelas impedâncias da rede de suprimento, apresentando-se ainda ligeiramente adiantada da respectiva tensão.

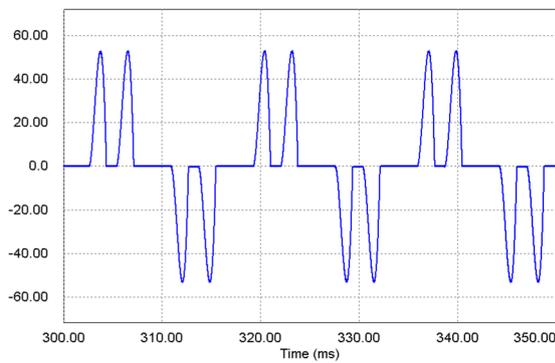
A Fig. 2.2 ilustra as formas de onda típicas desta estrutura. Observa-se na Fig. 2.2-a que as tensões no ponto de acoplamento comum (PAC) estão distorcidas em função da impedância da rede e da elevada distorção das correntes (Fig. 2.2-b). O espectro harmônico da corrente da fase "a" é exibido na Fig. 2.2-d, onde fica evidente a predominância das componentes de ordem ímpar, com exceção das múltiplas de três, uma vez que o sistema está equilibrado. A tensão no barramento apresenta a característica desejada, um valor constante com baixa ondulação, como pode ser visto na Fig. 2.2-c.



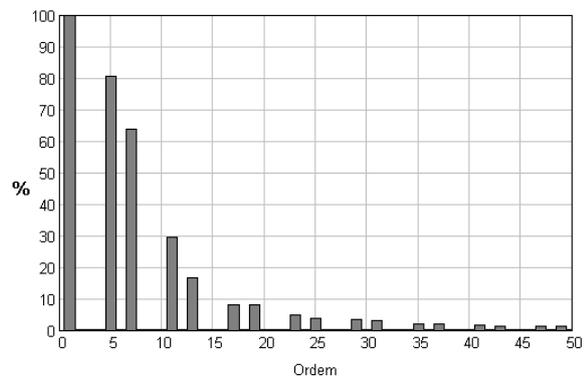
**a) Tensões no PAC.**



**c) Tensão no barramento.**



**b) Corrente da fase a.**



**d) Espectro harmônico da corrente.**

**Fig. 2.2 - Formas de onda típicas do retificador trifásico com filtro capacitivo.**

A título de demonstração, são apresentadas na Tabela 2.1 as principais características obtidas do circuito simulado.

**Tabela 2.1 - Características do circuito retificador com filtro capacitivo simulado.**

Característica	Valor
Tensão de fase eficaz no PAC	219,63
Distorção harmônica total de tensão no PAC	2,25%
Corrente eficaz	22,79A
Corrente de pico	53,01
Fator de crista	2,32
Distorção harmônica total de corrente	108,63%
Potência aparente da carga	15010,4VA
Potência ativa da carga	9995,1W
Fator de deslocamento	0,986
Fator de potência	0.665

Os valores apresentados na Tabela 2.1 são apenas um exemplo de simulação, porém traduzem a grandiosidade do problema. O baixo fator de potência está quase que

totalmente associado à elevada distorção das correntes drenadas pela carga. É importante ressaltar que a distorção de 2,25% do PAC foi provocada por apenas uma carga, o que leva a concluir que esse índice deve piorar numa situação onde mais cargas não lineares estão conectadas a mesma barra. Para investigar o problema, observa-se novamente o circuito elétrico mostrado na Fig. 2.1 para a fase “a”. A tensão no PAC em um instante qualquer é dada pela eq.(2.6) [9].

$$V_a = V_{aS} - V_{RSa} - V_{LSa} \quad (2.6)$$

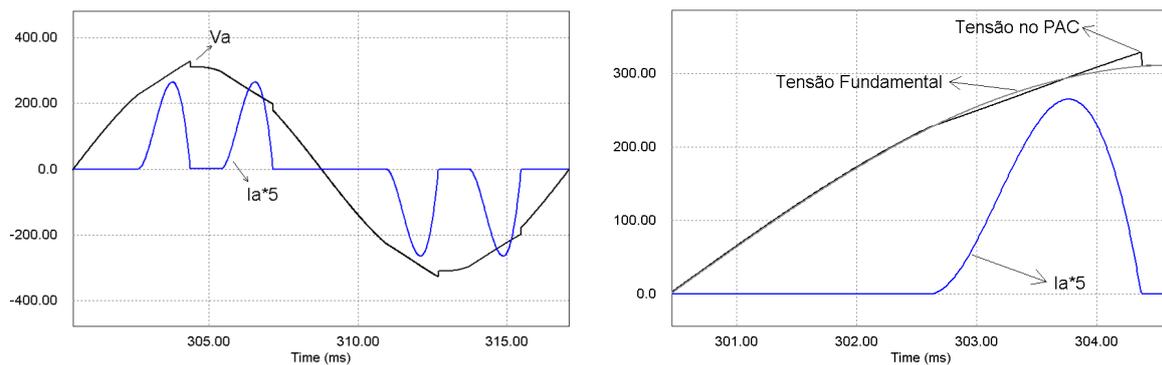
A tensão sobre a resistência equivalente da impedância da fonte ( $V_{RSa}$ ) é diretamente proporcional ao valor da resistência e a intensidade da corrente que flui por esta. Por outro lado, conforme a eq.(2.7), a tensão sobre a indutância equivalente ( $V_{LSa}$ ) depende do valor da indutância e da derivada da corrente da fase.

$$V_{LSa} = L_{SA} \frac{di_{aS}}{dt} \quad (2.7)$$

A corrente que circula na fase pode ser escrita como o somatório de todas as correntes harmônicas que a compõe, e assim:

$$V_{LSa} = L_{SA} \frac{di_{aS1}}{dt} + L_{SA} \sum_{n \neq 1} \frac{di_{aS_n}}{dt} \quad (2.8)$$

Da eq.(2.8) verifica-se que a tensão sobre a indutância da fonte, e conseqüentemente, a tensão no PAC, dependem do conteúdo harmônico da corrente da carga, onde a intensidade das variações de tensão é proporcional a freqüência da corrente harmônica. Cabe observar ainda que a variação da tensão sobre a resistência equivalente da fonte é normalmente muito menor que a variação provocada pela parcela indutiva, uma vez que esta última é, em geral, a parte dominante da impedância. A Fig. 2.3-a ilustra as formas de onda da tensão e corrente (amplificada 5 vezes) do exemplo anterior. O detalhe mostrado na Fig. 2.3-b compara a tensão total no PAC com a sua componente fundamental. Percebe-se facilmente que nos instantes em que a derivada da corrente é positiva, a tensão no PAC tem seu valor reduzido quando comparado com a sua componente fundamental. Por outro lado, nos instantes em que a derivada da corrente é negativa, a tensão no PAC é superior à sua fundamental, sendo que estas constatações estão demonstradas nas equações (2.6) e (2.7).



**a) Tensão e corrente no PAC.**

**b) Detalhe da tensão no PAC.**

**Fig. 2.3 – Tensão distorcida no PAC.**

De forma a reduzir os elevados picos de corrente e a conseqüente distorção harmônica desta, duas medidas simples são normalmente adotadas. Uma alternativa consiste na inserção de um indutor após a ponte de diodos, antes do banco de capacitores. Este procedimento reduz consideravelmente os picos de corrente, diminuindo a taxa de distorção das correntes e aumentando o fator de potência da estrutura. As principais desvantagens desta técnica são:

- Grande volume do indutor, em função da componente contínua que circula pelo mesmo;
- Dificuldade ou impossibilidade de instalação em equipamentos já existentes;
- Possibilidade de ressonância entre o indutor e o banco de capacitores.

Uma outra alternativa é a inserção de indutores na entrada do conversor, um em cada fase, sendo que estes são comparativamente menores que o do caso anterior. Os picos de corrente são igualmente reduzidos, o que também reduz a distorção das correntes. Como desvantagens deste procedimento pode-se citar:

- Valores elevados de indutância podem defasar demasiadamente as correntes das respectivas tensões, o que provoca a diminuição do fator de potência da estrutura;
- A tensão contínua do barramento tem seu valor reduzido, em função da queda de tensão nos indutores.

As duas alternativas apresentadas são utilizadas e bem aceitas no meio industrial. Alguns fabricantes de inversores de frequência inclusive recomendam tal prática, quando o equipamento não vem originalmente equipado com indutores CC, até porque além das vantagens já citadas, a redução dos picos de corrente propicia uma maior vida útil dos capacitores do barramento do produto. Um exemplo é apresentado em [10], onde o fabricante faz recomendações para a inserção de indutores na entrada do equipamento conforme as especificações elétricas do mesmo. O valor dos indutores é calculado estipulando-se uma queda de tensão máxima entre 2% e 4%, conforme a potência do equipamento. Assim, conforme [10], determina-se o valor da indutância  $L_{ac}$ :

$$L_{ac} = \frac{1592 \cdot \Delta V\% \cdot V_e[V]}{I_{nominal}[A] \cdot f} [\mu H] \quad (2.9)$$

Onde:

$V_e$  = Tensão de fase da rede;

$\Delta V$  = Queda de tensão desejada em percentual;

$I_{nominal}$  = Corrente nominal de saída do conversor;

$f$  = Frequência fundamental da rede.

## 2.4 FILTROS ATIVOS

Os princípios básicos dos filtros ativos de potência foram apresentados em 1971, por H. Sasaki and T. Machida. O cancelamento das correntes harmônicas da carga não linear era feito através da injeção de correntes harmônicas de mesma amplitude e fase oposta através do filtro. Como a estrutura de potência do filtro atuava como um amplificador linear, o rendimento do mesmo era muito baixo e conseqüentemente impraticável para sistemas de potência [11].

O conceito de filtro ativo, tal qual é conhecido atualmente, foi introduzido em 1976 por Gyugyi e Strycula [12], os quais apresentaram uma família de filtros constituídos de conversores PWM com transistores de potência.

Os filtros ativos foram inicialmente propostos para a redução do conteúdo harmônico gerado por conversores utilizados nos sistemas de transmissão em corrente contínua (HVDC). Como na década de 70 não existiam transistores de alta potência, o filtro não pode ser realizado em um sistema de real de potência [11].

A evolução tecnológica dos dispositivos de potência (MOSFET, IGBT), bem como os componentes de controle (DSP, FPGAs, sensores de efeito Hall,) tem sido um fator motivador para os pesquisadores da área. Ao longo dos anos, diversos trabalhos foram publicados, concernentes a novas estratégias para a determinação dos sinais de referência, técnicas de controle e estruturas de potência.

### 2.4.1 Classificação dos Filtros Ativos

Os filtros ativos podem ser classificados com base em diversos critérios e características. Uma primeira divisão pode ser feita a partir da topologia da rede onde o filtro está conectado, e assim o filtro pode ser monofásico ou trifásico. Os trifásicos ainda podem ser subdivididos como de três ou quatro fios. Os filtros monofásicos têm sido pouco estudados, uma vez que seu emprego está restrito a sistemas de baixa potência ou aplicações específicas (tração elétrica, por exemplo) [2]. Ainda assim, é importante observar que os filtros ativos monofásicos constituem a melhor solução para a correção do fator de potência em cargas de baixa potência, onde não se justifica a utilização de pré-reguladores ou filtros passivos [1].

Gyugyi e Strycula [12] separaram os filtros ativos em duas categorias, conforme a forma de conexão destes com a rede elétrica. Sob este ponto de vista, os filtros podem ser então do tipo série (FAS) ou paralelo (comumente referenciado na literatura como filtros *shunt*), conforme ilustra a Fig. 2.4.



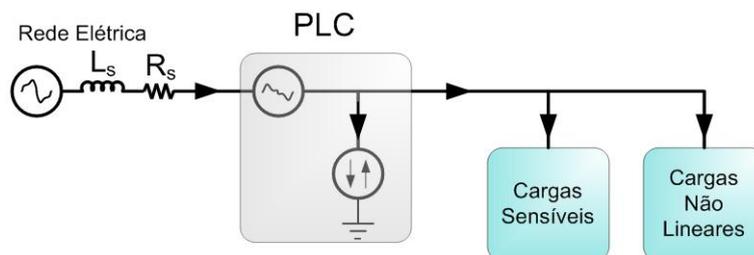
Fig. 2.4 - Filtro ativo paralelo (a), filtro ativo série (b).

O filtro ativo paralelo age basicamente injetando/drenando correntes da rede, de forma que a corrente resultante suprida pela fonte seja idealmente senoidal.

O filtro ativo série pode ser controlado para ter um comportamento de fonte de tensão variável, possibilitando assim a isolação da carga contra perturbações da tensão de suprimento. Todavia, para que o filtro opere compensando harmônicos de corrente, é

necessário que o mesmo atue como uma impedância variável, deixando passar a componente fundamental da carga e bloqueando as frequências harmônicas [13]. O filtro ativo série é em geral menos utilizado que o filtro ativo paralelo para a correção de correntes harmônicas, mas por outro lado é bastante empregado para o condicionamento da tensão da carga.

A Fig. 2.5 apresenta o funcionamento básico da estrutura conhecida como PLC (*Power Line Conditioner*), que é a associação dos filtros série e paralelo. Com base nas características desses dois filtros, é possível obter compensação simultânea de tensão e corrente. O PLC é particularmente interessante onde existem cargas não lineares e cargas sensíveis conectadas a uma mesma barra, uma vez que possibilita a compensação dos harmônicos e desbalanços da carga não linear, bem como os desbalanços e harmônicos da tensão de suprimento.

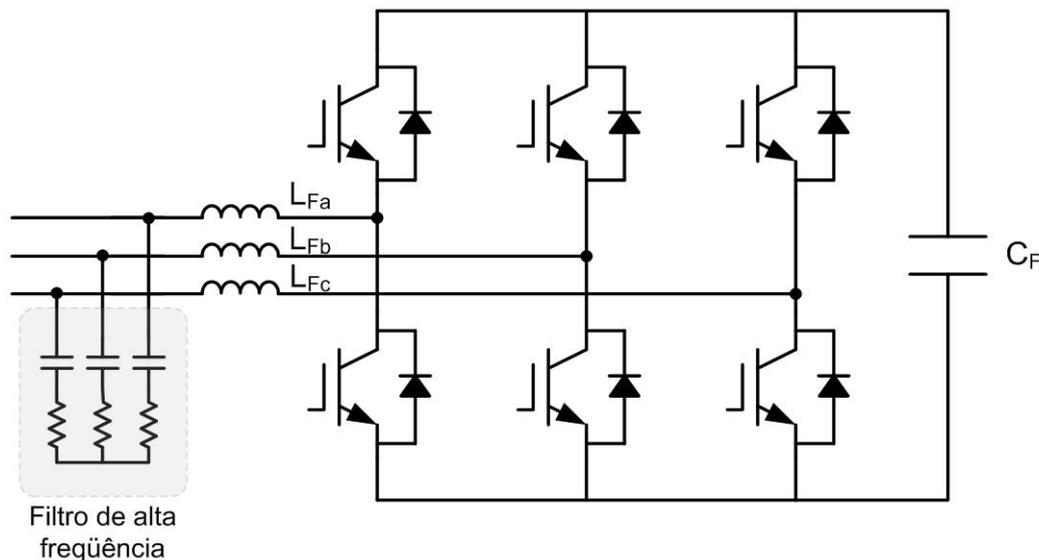


**Fig. 2.5 – Combinação dos filtros série e paralelo.**

A partir da estrutura original geral do PLC [14], diversas outras topologias foram concebidas. O UPFC (*Unified Power Flow Controller*) [15], por exemplo, é um equipamento para aplicações em sistemas de transmissão de energia, o qual permite controlar o fluxo de potência ativa em uma linha de transmissão, energia reativa em um terminal da linha de transmissão além de proporcionar suporte à tensão de uma barra do sistema. Diferentemente do PLC, o UPFC atua sobre os parâmetros básicos de um sistema de potência (tensão de transmissão, impedância e ângulo de fase), enquadrando-se assim nos conceitos de equipamentos FACTS (*Flexible AC Transmission Systems*). Outro exemplo é o UPLC (*Universal Active Power Line Conditioner*) proposto em [16], que em um único equipamento reúne as características de filtragem e compensação de reativos do PLC, juntamente com a flexibilidade para controle de fluxo de potência e regulação de tensão do UPFC.

Outra forma de classificar os filtros ativos é com respeito à topologia do circuito de potência empregado. Em suma, qualquer conversor bidirecional em corrente pode ser empregado como filtro ativo [1]. Os conversores normalmente utilizados em filtros ativos

trifásicos são o inversor fonte de tensão (VSI – *Voltage Source Inverter*), ilustrado na Fig. 2.6, e o inversor fonte de corrente (CSI – *Current Source Inverter*) apresentado na Fig. 2.7. Basicamente, estes conversores diferem quanto à natureza da energia armazenada no barramento CC, bem como ao tipo de interruptor utilizado.

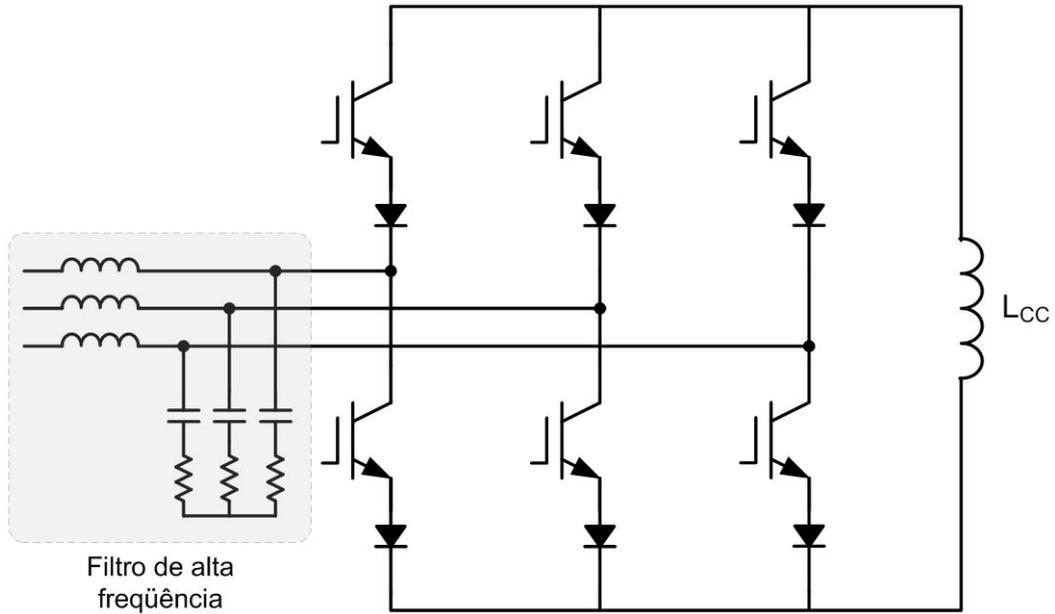


**Fig. 2.6 - Conversor fonte de tensão (VSI).**

No inversor VSI, o barramento comporta-se como uma fonte de tensão contínua, onde a energia é armazenada no capacitor  $C_F$ . Conforme o comando dos interruptores, o filtro entrega ou drena corrente da rede através dos indutores  $L_{Fa}$ ,  $L_{Fb}$  e  $L_{Fc}$ . Neste conversor, a tensão no capacitor  $C_F$  deve ter sempre valor superior ao valor de pico da tensão da rede.

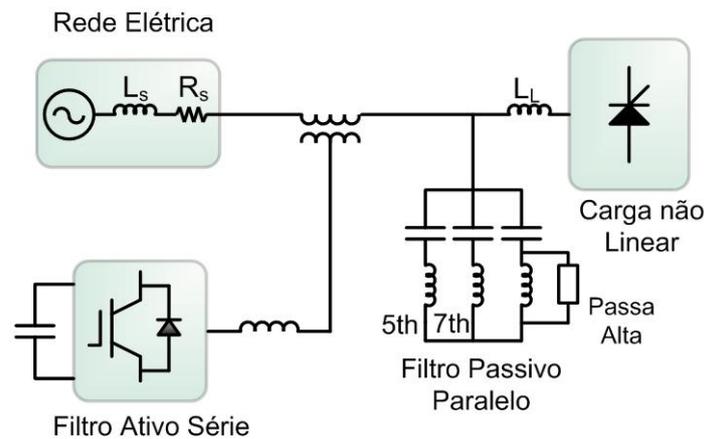
O inversor CSI possui um indutor no barramento CC, o qual opera como uma fonte de corrente contínua. Os interruptores modulam a corrente que é então drenada/suprida pela fonte. Neste caso, a corrente no indutor  $L_{CC}$  deve ser sempre maior que a corrente de pico que se deseja impor na rede.

É importante observar que no conversor CSI o grande número de interruptores conduzindo simultaneamente, aliados aos elevados valores de corrente fluindo sobre o indutor provocam perdas consideráveis na estrutura como num todo. Dessa forma, o conversor VSI tem sido preferido para aplicações em filtros ativos, pois apresenta, em geral, menores perdas, peso, volume e custo inicial.



**Fig. 2.7 – Conversor fonte de corrente (CSI).**

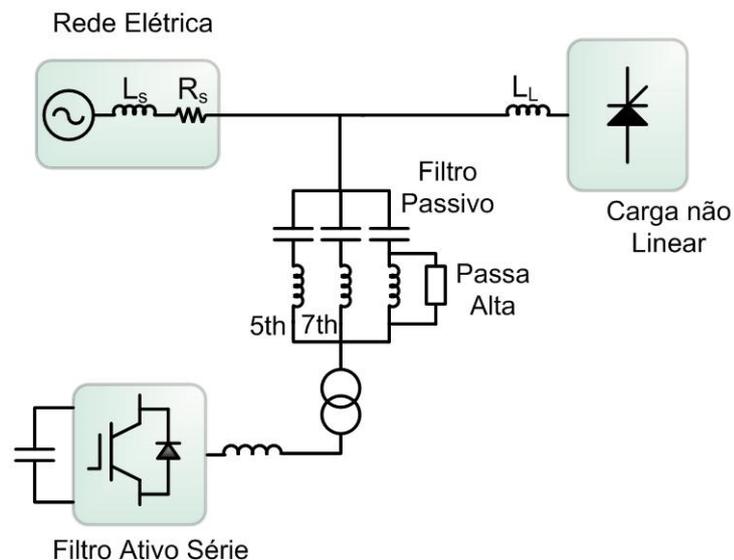
Akagi [2] classifica ainda os filtros ativos dentro de dois grandes grupos, conforme a constituição do circuito. Os chamados filtros puros são estruturas como as apresentadas anteriormente, constituídos de conversores VSI ou CSI. Os filtros híbridos são basicamente uma combinação de filtros passivos e ativos, e assim, utilizam um ou mais conversores VSI juntamente com elementos passivos (capacitores, indutores e resistores). O filtro ativo híbrido, que combina o filtro ativo série com o filtro passivo paralelo é mostrado na Fig. 2.8.



**Fig. 2.8 – Filtro ativo híbrido - combinação do filtro ativo série com o filtro passivo paralelo.**

A estrutura híbrida que consiste da conexão série de um filtro ativo com um filtro passivo está ilustrada na Fig. 2.9. As duas topologias híbridas apresentadas foram

propostas em 1988, sendo que estas encorajaram pesquisadores para a proposição de novas estruturas. A principal vantagem dos filtros híbridos é a redução da potência do filtro ativo, o que torna estas estruturas atrativas do ponto de vista econômico. Todavia, é importante ressaltar que esses equipamentos são relativamente complexos, principalmente no que tange a parcela passiva.

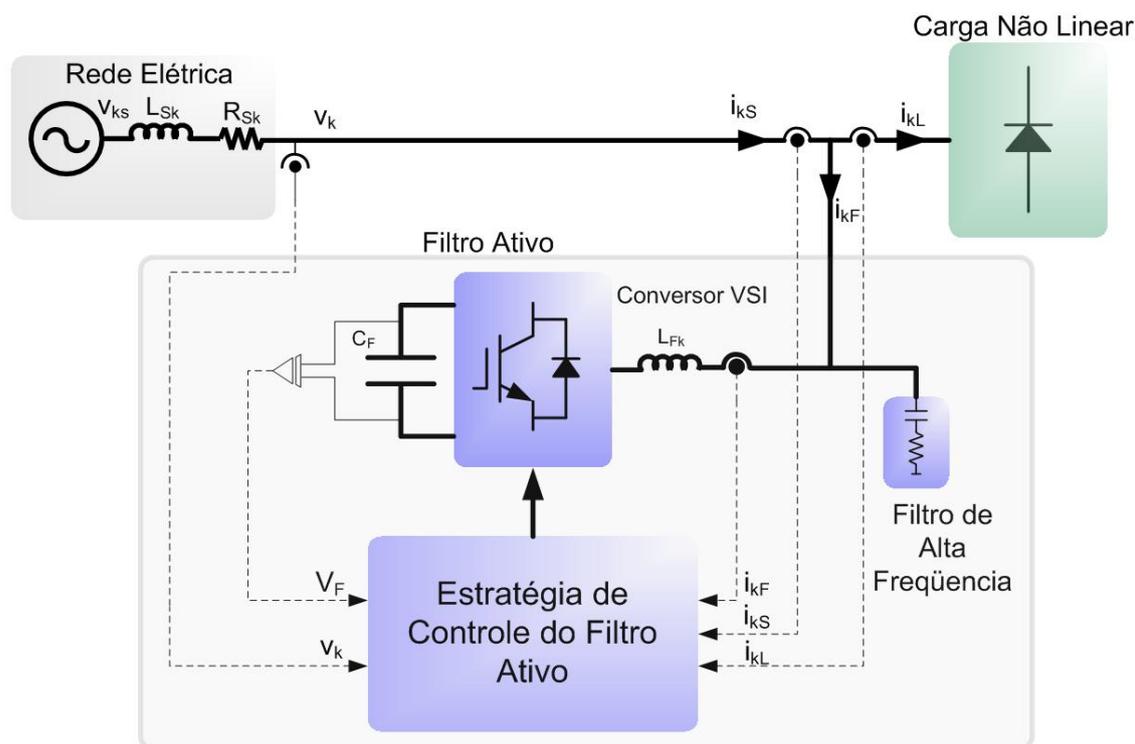


**Fig. 2.9 – Conexão série do filtro ativo com o filtro passivo.**

O objetivo principal do presente trabalho é a compensação das correntes harmônicas oriundas de uma carga não linear trifásica, a qual está conectada a um sistema de alimentação a três fios. Com base nas características da planta em questão, bem como nas topologias apresentadas, optou-se por utilizar um filtro ativo paralelo puro, com estrutura de potência composta por um conversor VSI. Assim, os estudos subsequentes serão focados a esta topologia.

## 2.4.2 Princípio de Funcionamento do Filtro Ativo Paralelo

A Fig. 2.10 ilustra uma representação geral de um sistema elétrico onde estão conectados uma carga não linear e um filtro ativo paralelo. Este sistema será utilizado como base para o estudo do filtro ativo paralelo. Para facilitar a compreensão, o mesmo foi apresentado de forma unifilar, mas é importante que fique claro que este diagrama representa um circuito trifásico.



**Fig. 2.10 – Representação básica do filtro ativo paralelo em um sistema elétrico.**

Na Fig. 2.10 destacam-se três subsistemas principais: a rede de suprimento, o filtro ativo e a carga não linear. A rede é representada por uma fonte de tensão alternada com tensão  $v_{ks}$ , resistência  $R_{Sk}$  e indutância  $L_{Sk}$  equivalentes por fase, suprindo uma corrente  $i_{kS}$ . A carga não linear representa uma estrutura trifásica qualquer, drenando da rede uma corrente  $i_{kL}$  que pode estar distorcida e/ou desbalanceada. O filtro ativo drena da rede uma corrente  $i_{kF}$ , e é composto de um conversor VSI, uma estratégia de controle e um filtro de alta frequência. Para todos os sinais e componentes do sistema apresentado na Fig. 2.10, o subscrito “k” representa cada uma das fases do sistema trifásico, logo  $k=a,b,c$ .

Idealmente, pelo filtro de alta frequência só circulam correntes oriundas da comutação do conversor VSI. Assim é possível escrever a equação para as correntes do circuito de forma aproximada conforme (2.10).

$$i_{kS} = i_{kF} + i_{kL} \quad (2.10)$$

Desde que a corrente da carga possui uma componente fundamental e diversas frequências harmônicas, pode-se dizer que a corrente da carga é dada por:

$$i_{kL} = i_{kL1} + i_{kLh} \quad (2.11)$$

Onde  $i_{kL1}$  representa a componente fundamental da carga e  $i_{kLh}$  representa as componentes harmônicas desta. Como é desejado que a corrente drenada da fonte seja puramente senoidal, ou seja,  $i_{kS} = i_{kL1}$ , substitui-se essa igualdade e a eq.(2.11) na eq.(2.10) e então se obtém (2.12).

$$i_{kF} = -i_{kLh} \quad (2.12)$$

Assim, percebe-se que o filtro deve drenar da rede uma corrente que corresponde à parcela indesejada da corrente da carga, porém em oposição de fase.

O filtro ativo paralelo age como uma fonte de corrente controlada. A estratégia de controle determina as correntes que o filtro deve compensar e comanda o conversor VSI, que as impõe no sistema através do indutor de acoplamento  $L_{Fk}$ . Como o filtro ativo não é uma fonte de corrente controlada ideal, alguma técnica de controle deve ser utilizada para minimizar os erros em regime permanente.

Para que seja possível determinar as referências, bem como manter o controle dinâmico do processo, é necessário monitorar as correntes envolvidas no sistema. Conforme a estratégia adotada, deve-se monitorar as correntes em um ou mais pontos do circuito. Da mesma forma, em algumas estratégias é necessário ler as tensões da rede elétrica.

Como já comentado, a tensão no capacitor  $C_F$  do filtro deve ser sempre maior que o pico da tensão da rede. Essa tensão deve ser mantida ainda com um valor constante, de forma a se comportar como uma fonte de tensão. Para tanto, a tensão  $V_F$  do conversor é monitorada e controlada através da estratégia de controle.

Com base no que foi exposto, verifica-se a importância da estratégia de controle utilizada no filtro ativo. A estratégia de controle do filtro pode ser vista como sendo composta de uma estratégia para a determinação das correntes de referência, seguida de alguma técnica de controle.

### **2.4.3 Estratégias para a Determinação das Correntes de Referência**

A estratégia utilizada para a determinação das correntes de referência do filtro ativo tem grande influência sobre o funcionamento da estrutura. Desde que foram apresentados os primeiros estudos sobre filtros ativos, diversos trabalhos foram e ainda

---

são publicados, proporcionando novas estratégias ou comparando as existentes. Algumas se caracterizam pela simplicidade de implementação e/ou operação, enquanto outras se destacam pela versatilidade, muitas vezes ao custo da utilização de um algoritmo mais complexo. De uma forma geral, é possível classificar as estratégias em dois grandes grupos: aquelas que trabalham no domínio do tempo e as que utilizam técnicas no domínio da frequência.

Das diversas metodologias existentes, apresentam-se a seguir, resumidamente, quatro diferentes estratégias para a determinação das referências, sendo que a estratégia utilizada neste trabalho será estudada em detalhes no próximo capítulo. A escolha foi feita no sentido de enfatizar as características e diferenças dos métodos, e também, em função da popularidade de alguns destes. Em todos os casos, a nomenclatura dos diversos sinais envolvidos no sistema estará baseada no diagrama unifilar da Fig. 2.10.

### A - Estratégia Baseada na Teoria $pq$

A teoria da potência ativa e reativa instantânea (teoria  $pq$ ) foi proposta por Akagi *et al.* em 1983. Os preceitos desta teoria são válidos para formas de onda genéricas de tensão e corrente, em regime permanente ou transitório. A teoria  $pq$  teve grande importância no desenvolvimento de estratégias de controle em filtros ativos.

Uma explicação detalhada a respeito da teoria  $pq$  foge do escopo deste trabalho, porém alguns aspectos básicos para um sistema a três fios serão discutidos. As tensões e correntes são inicialmente transformadas para o sistema de referência  $\alpha\beta$  através da transformação de Clarke ((2.13) e (2.14)). Maiores detalhes a respeito da transformação de Clarke serão discutidos no próximo capítulo.

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.13)$$

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (2.14)$$

As potências real  $p$  e imaginária  $q$  são então dadas por (2.15).

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (2.15)$$

Para compreender a estratégia, é necessário conhecer o significado físico das potências  $p$  e  $q$  definidas em (2.15).

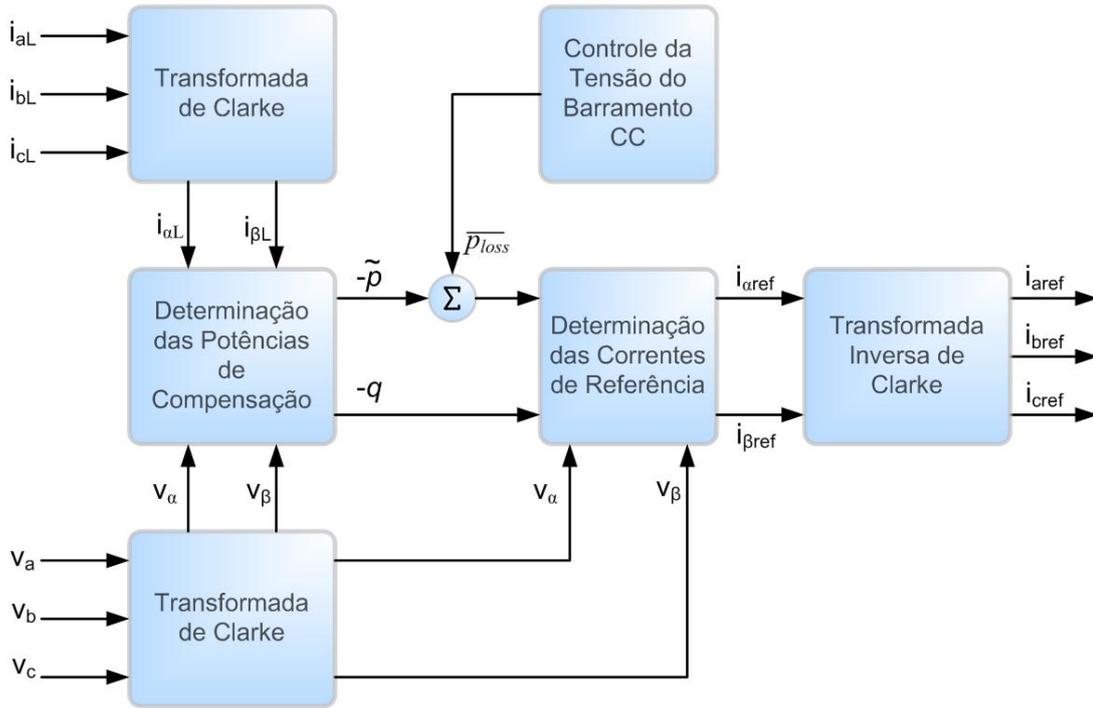
- A potência real  $p$  corresponde ao fluxo instantâneo de energia por unidade de tempo, ou seja, a potência ativa trifásica instantânea;
- A potência imaginária  $q$  representa a energia que pode ser constante ou não, e é trocada entre as fases do sistema. Assim,  $q$  não contribui para a transferência de potência entre a fonte e a carga [16].

As potências  $p$  e  $q$  podem conter valores médios e oscilantes, conforme a composição das tensões e correntes do sistema. De uma forma geral, pode-se então escrever essas potências conforme (2.16), onde  $\bar{p}$  e  $\bar{q}$  representam as parcelas médias e  $\tilde{p}$  e  $\tilde{q}$  as parcelas oscilantes de  $p$  e  $q$  respectivamente.

$$\begin{cases} p = \bar{p} + \tilde{p} \\ q = \bar{q} + \tilde{q} \end{cases} \quad (2.16)$$

É importante observar que além da frequência fundamental, todos os harmônicos podem contribuir para as quantidades  $\bar{p}$  e  $\bar{q}$ . As parcelas oscilantes  $\tilde{p}$  e  $\tilde{q}$  só existem quando mais de uma frequência está presente no sistema, e também quando as tensões e/ou correntes estão desbalanceadas.

A parcela  $\bar{p}$  corresponde à potência média de uma determinada carga. Como o filtro não deve processar esta parcela, a estratégia para a determinação das correntes de referências pode ser concebida conforme o diagrama de blocos da Fig. 2.11.



**Fig. 2.11 – Diagrama de blocos da estratégia baseada na teoria pq.**

As tensões e correntes da carga são transformadas para o sistema de referência  $\alpha\beta$  conforme (2.13) e (2.14). Utilizando (2.15) determinam-se as potências real e imaginária da carga. A parcela oscilante da potência real é extraída com um filtro passa alta. O sinal de controle  $\overline{p_{loss}}$  é adicionado a esta parcela, de forma a manter regulada a tensão do capacitor do barramento CC. A potência imaginária será totalmente compensada. As correntes de referência são determinadas conforme (2.17).

$$\begin{bmatrix} i_{\alpha ref} \\ i_{\beta ref} \end{bmatrix} = \frac{1}{v_{\alpha} + v_{\beta}} \begin{bmatrix} v_{\alpha} & -v_{\beta} \\ v_{\beta} & v_{\alpha} \end{bmatrix} \begin{bmatrix} -\tilde{p} + \overline{p_{loss}} \\ -q \end{bmatrix} \quad (2.17)$$

Por fim, as correntes de referência no sistema  $abc$  são obtidas através da transformação inversa de Clarke, eq. (2.18).

$$\begin{bmatrix} i_{a ref} \\ i_{b ref} \\ i_{c ref} \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & 0 \\ \frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_{\alpha ref} \\ i_{\beta ref} \end{bmatrix} \quad (2.18)$$

Com esta estratégia é possível obter correntes senoidais e equilibradas na fonte somente quando as tensões de suprimento forem puramente senoidais e igualmente equilibradas. Caso contrário, as correntes não serão senoidais e equilibradas. Por outro lado, nesta metodologia a potência drenada da fonte é sempre constante.

Para que o filtro propicie compensação de forma que as correntes drenadas da fonte sejam senoidais e equilibradas, o algoritmo apresentado deve ser ligeiramente modificado [16]. Para tal, deve-se utilizar um circuito que detecte a componente fundamental de seqüência positiva das tensões da rede, e substituir as tensões utilizadas no algoritmo por estas. Neste caso, a potência entregue pela fonte só será constante quando as tensões do sistema forem equilibradas e puramente senoidais.

Embora a utilização da teoria  $pq$  implique em um algoritmo de cálculo razoavelmente complexo, a grande versatilidade para a escolha das parcelas de compensação faz com que ela seja largamente utilizada não somente em filtros ativos, mas também em diversos outros equipamentos. Neste sentido, é imprescindível a compreensão do significado físico de cada uma das parcelas das potências.

## **B - Estratégia Baseada na Transformada Discreta de Fourier**

Esta estratégia é um exemplo de metodologia para obtenção das correntes de referência no domínio da freqüência. A transformada discreta de Fourier (DFT – *Discrete Fourier Transform*) é uma transformação matemática em tempo discreto que permite determinação da amplitude e fase de cada componente harmônico do sinal discreto.

Seja um sinal genérico periódico, que pode ser representado como um somatório de senoides e cossenoides com freqüências múltiplas da freqüência fundamental  $f_1$  conforme (2.19):

$$x(t) = \sum_{n=1}^{\infty} (x \cdot \text{sen}(2\pi \cdot f_1 \cdot n \cdot t) + x \cdot \text{cos}(2\pi \cdot f_1 \cdot n \cdot t)) \quad (2.19)$$

Se este sinal for amostrado periodicamente a uma freqüência  $f_s$ , pode-se determinar o número de amostras  $N_s$  para um período fundamental conforme (2.20).

$$N_s = \frac{f_s}{f_1} \quad (2.20)$$

É importante observar que a freqüência de amostragem deve ser escolhida adequadamente, de forma a respeitar o teorema de Shannon. Assim, a freqüência de

---

amostragem deve ser pelo menos o dobro da maior frequência de interesse. Caso o sinal amostrado contenha frequências maiores que a metade da frequência de amostragem, estas deverão ser corretamente filtradas para evitar o fenômeno de *aliasing*. Os detalhes a respeito dos aspectos relativos ao processo de amostragem serão discutidos no capítulo 6.

Como o sinal  $x(t)$  é periódico, é conveniente amostrá-lo com uma frequência de amostragem que seja um múltiplo inteiro da frequência fundamental, obtendo-se assim  $N_s$  amostras uniformemente espaçadas dentro de um período de  $x(t)$ . O sinal  $x(t)$  é agora representado como uma série de amostras, de acordo com (2.21).

$$x(t) \Rightarrow x(KT_s) \quad (2.21)$$

Onde:

$$T_s = \frac{1}{f_s} \quad (2.22)$$

$K \rightarrow$  número inteiro

A obtenção das informações de amplitude e fase de cada componente harmônico de  $x(KT_s)$  é feita como segue. Inicialmente, determina-se a parcela real e imaginária de cada harmônico de  $x(KT_s)$ , conforme (2.23) e (2.24) respectivamente, onde  $n$  é cada um dos componentes harmônicos.

$$xn_{\text{REAL}} = \sum_{K=0}^{N_s-1} x(K) \cdot \cos\left(\frac{2\pi \cdot n \cdot K}{N_s}\right) \quad (2.23)$$

$$xn_{\text{IMAG}} = -\sum_{K=0}^{N_s-1} x(K) \cdot \text{sen}\left(\frac{2\pi \cdot n \cdot K}{N_s}\right) \quad (2.24)$$

Substituindo os valores encontrados em (2.23) e (2.24) em (2.25) e (2.26), obtém-se a amplitude e fase de cada componente harmônico do sinal amostrado.

$$xn_{\text{AMP}} = \frac{\sqrt{xn_{\text{REAL}}^2 + xn_{\text{IMAG}}^2}}{\frac{N_s}{2}} \quad (2.25)$$

$$xn_{\varphi} = \text{atan} \left( \frac{xn_{\text{IMAG}}}{xn_{\text{REAL}}} \right) \quad (2.26)$$

Cada componente harmônico pode ser agora sintetizado com base nas informações obtidas em (2.25) e (2.26), conforme (2.27).

$$xn(K) = xn_{\text{AMP}} \cdot \text{sen} \left( \frac{2\pi \cdot n \cdot K}{N_s} + xn_{\varphi} \right) \quad (2.27)$$

Assim, uma estratégia para a obtenção das correntes de referência pode ser concebida simplesmente calculando, de acordo com o procedimento apresentado, as componentes harmônicas de cada uma das fases das correntes da carga. O sinal discreto  $x_{\text{ref}}(K)$  apresentado em (2.28) representa as correntes de referência de cada uma das fases.

$$x_{\text{ref}}(K) = - \sum_{n=2}^{N_s/2} xn(K) \quad (2.28)$$

Vale notar que essas correntes devem ter fase invertida (sinal negativo), uma vez que o filtro deve drenar correntes harmônicas em oposição de fase daquelas drenadas pela carga, de forma que a rede supra somente a componente fundamental.

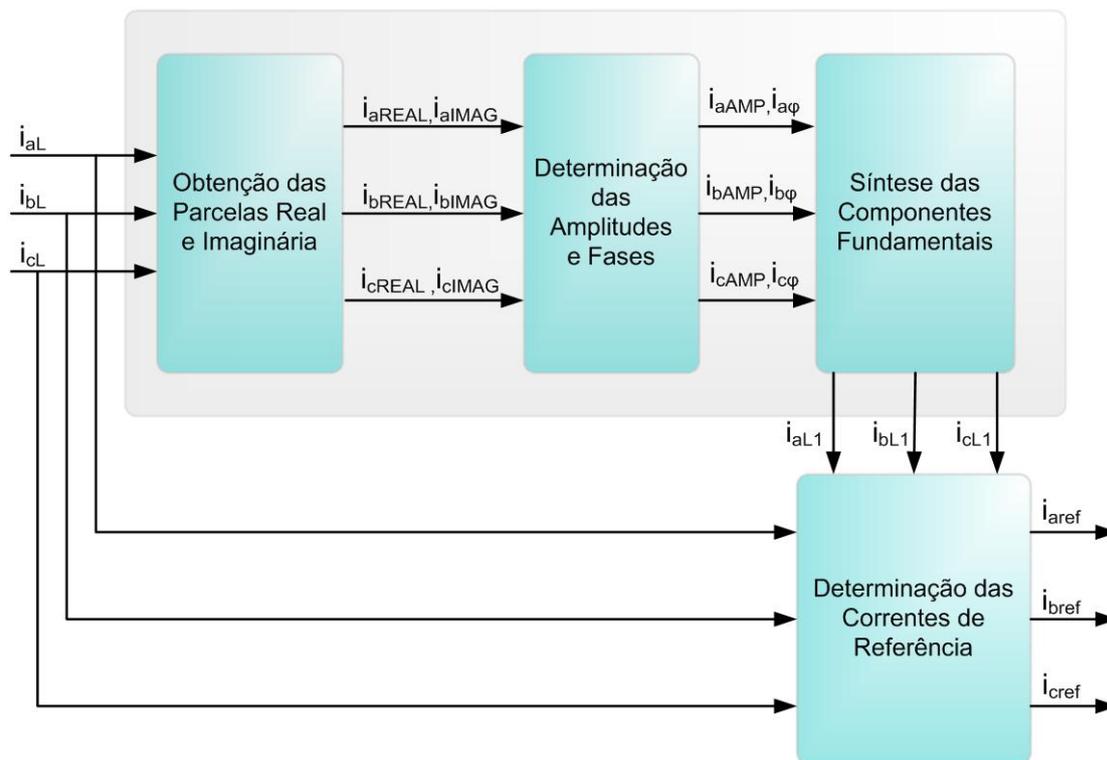
Analisando a eq.(2.28), verifica-se que esta constitui um somatório de todos os procedimentos matemáticos descritos de (2.23) a (2.27), implicando em um elevado esforço computacional que pode inviabilizar a utilização deste algoritmo. Neste contexto, a utilização de algoritmos mais eficientes pode ser uma boa alternativa. A transformada rápida de Fourier (FFT - *Fast Fourier Transform*) realiza a mesma tarefa da DFT, porém de forma mais eficiente, onde o número total de cálculos é reduzido de  $N_s^2$  para  $N \cdot \log_2(N)$  [17].

O algoritmo apresentado possibilita a compensação seletiva de harmônicos, onde somente as componentes de interesse são compensadas. Todavia deseja-se, em geral, compensar todas as correntes harmônicas da carga, para que a corrente na fonte seja senoidal. Dessa forma, o algoritmo apresentado pode ser consideravelmente simplificado se as correntes de referência forem obtidas de forma indireta. Ao invés de determinar cada um dos componentes harmônicos das correntes da carga, determina-se apenas a componente fundamental destas ( $i_{aL1}, i_{bL1}, i_{cL1}$ ), conforme o algoritmo apresentado. Assim,

as correntes de referência do filtro são facilmente obtidas subtraindo as correntes da carga das respectivas componentes fundamentais, conforme mostrado em (2.29).

$$\begin{cases} i_{\text{aref}} = i_{\text{aL1}} - i_{\text{aL}} \\ i_{\text{bref}} = i_{\text{bL1}} - i_{\text{bL}} \\ i_{\text{cref}} = i_{\text{cL1}} - i_{\text{cL}} \end{cases} \quad (2.29)$$

O diagrama de blocos da Fig. 2.12 ilustra a estratégia para a obtenção das correntes de referência utilizando a DFT.



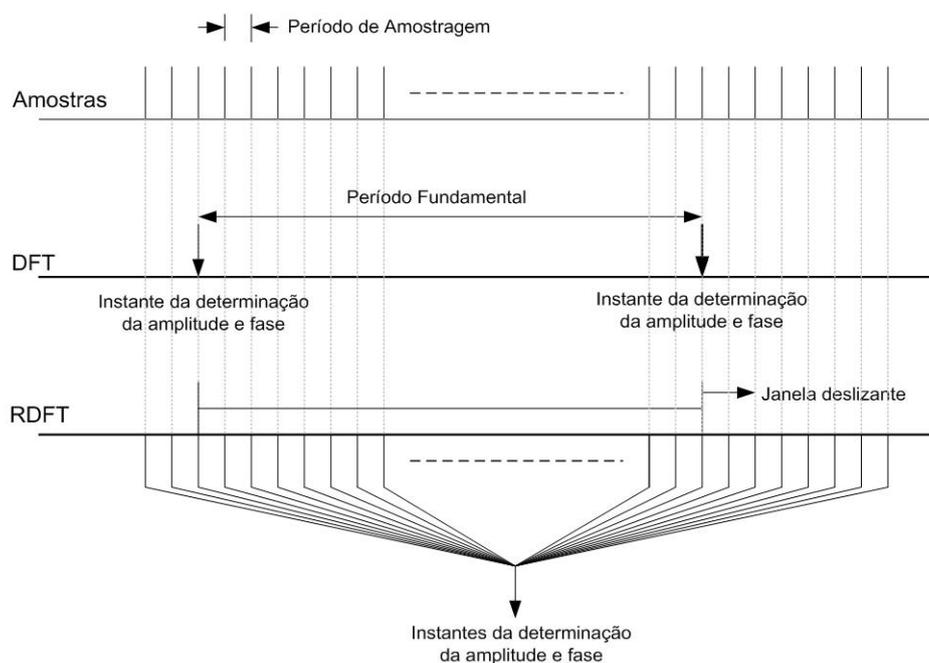
**Fig. 2.12 - Diagrama de blocos da estratégia baseada na DFT.**

Nesta estratégia, as correntes drenadas da fonte serão senoidais, independentemente da forma das tensões de suprimento. Caso a carga esteja desequilibrada, as correntes serão senoidais, porém igualmente desequilibradas. O algoritmo pode ser adaptado para que as correntes sejam equilibradas, utilizando, por exemplo, o teorema das componentes simétricas, de forma a obter somente as componentes fundamentais de seqüência positiva da carga. Mesmo com as alterações propostas, o algoritmo ainda não propicia a compensação do fator de deslocamento, caso ele exista. Para que seja possível essa compensação, é necessário ler as tensões do

sistema, determinar o ângulo de fase destas e utilizá-lo na síntese dos sinais senoidais (eq.(2.27) para  $n=1$ ).

Como visto, a estratégia baseada na DFT é bastante versátil, possibilitando diversas variações e adaptações em nível de algoritmo. O grande inconveniente desta estratégia é a necessidade da leitura prévia dos sinais que serão processados, ou seja, as correntes senoidais sintetizadas contém informações de amplitude e fase do ciclo anterior ao atual. Tal fato é facilmente percebido nas equações (2.23) e (2.24), onde as parcelas real e imaginária são determinadas apenas após um período da frequência fundamental do sinal. Como as equações subseqüentes a estas dependem destes valores, tem-se que o atraso provocado pode ser particularmente crítico durante transitórios de carga. Neste caso, as correntes de referência não acompanharão a dinâmica da carga, e as correntes drenadas da carga não serão senoidais até o sistema voltar ao regime permanente.

Uma solução que pode amenizar este problema consiste na utilização da chamada transformada discreta de Fourier recursiva (RDFT) [17]. O procedimento para a determinação das correntes de referência é o mesmo do apresentado, cabendo ainda as variações propostas. A diferença básica reside no fato de que, neste algoritmo, uma janela deslizante de cálculo é utilizada, de forma que a diferença entra a nova e a velha janela são apenas a primeira e a última amostra. O diagrama da Fig. 2.13 ilustra o procedimento e compara-o com o tradicional.



**Fig. 2.13 – Diagrama comparativo entre a DFT e a RDFT quanto aos instantes de cálculo.**

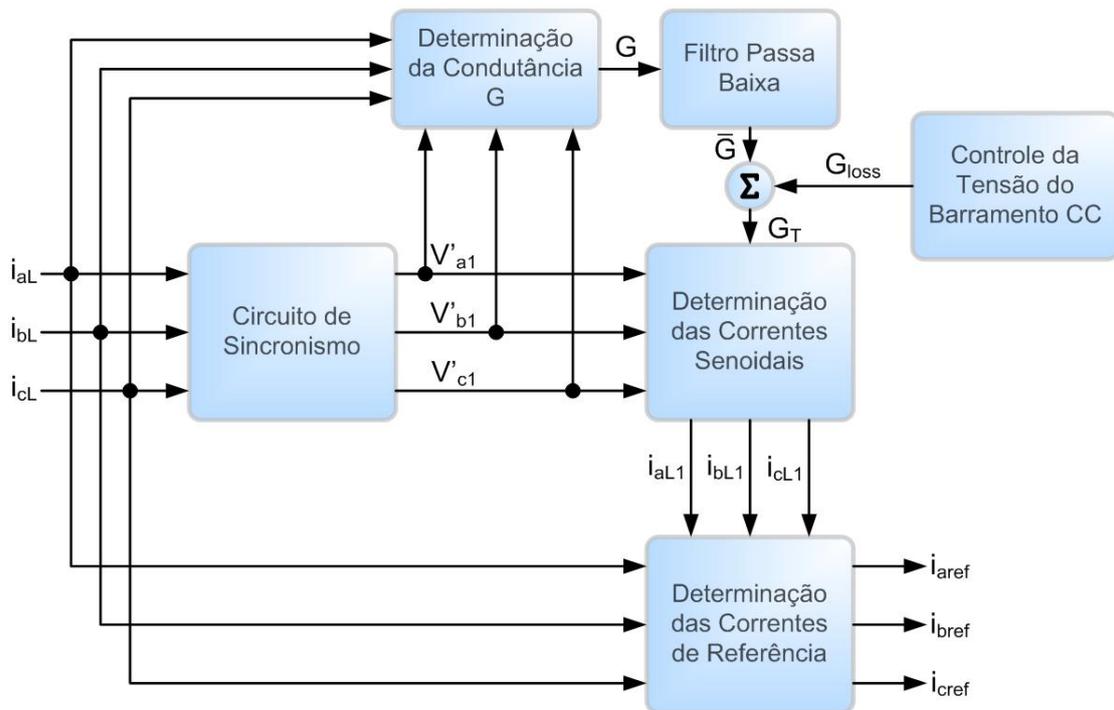
Conforme o diagrama da Fig. 2.13, as informações de amplitude e fase do sinal senoidal que está sendo sintetizado são calculadas a cada nova amostra, o que conduz a um melhor desempenho dinâmico da estratégia durante transitórios.

**C - Método das Correntes Senoidais de Fryze**

O diagrama de blocos da Fig. 2.14 ilustra a estratégia baseada no método das correntes senoidais de Fryze [18].

As correntes da carga são injetadas em um circuito de sincronismo adequado (maiores detalhes sobre o circuito de sincronismo serão apresentados no próximo capítulo), do qual são obtidas as tensões fictícias  $v'_{a1}$ ,  $v'_{b1}$  e  $v'_{c1}$ . Estas tensões têm amplitude unitária e estão em fase com a componente fundamental de seqüência positiva das correntes da carga. Com as correntes da carga e as tensões fictícias determina-se a condutância  $G$ , conforme (2.30).

$$G = \frac{i_{aL} v'_{a1} + i_{bL} v'_{b1} + i_{cL} v'_{c1}}{v'^2_{a1} + v'^2_{b1} + v'^2_{c1}} \tag{2.30}$$



**Fig. 2.14 – Diagrama de blocos do método das correntes senoidais de Fryze.**

A forma do sinal de condutância  $G$  está diretamente relacionada com as características das correntes da carga. Todavia, é importante observar que somente a componente fundamental de seqüência positiva das correntes da carga gera valor médio em  $G$ . Dessa forma, utiliza-se um filtro passa – baixa para a extração do valor médio de  $G$ , que será aqui denominado de  $\bar{G}$ .

As correntes senoidais de seqüência positiva da carga são então determinadas através de (2.31). A condutância total  $G_T$  é a soma da condutância média  $\bar{G}$  com o sinal de controle obtido do regulador de tensão do barramento CC, conforme (2.32).

$$\begin{cases} i_{aL1} = G_T \cdot v'_{a1} \\ i_{bL1} = G_T \cdot v'_{b1} \\ i_{cL1} = G_T \cdot v'_{c1} \end{cases} \quad (2.31)$$

$$G_T = \bar{G} + G_{\text{loss}} \quad (2.32)$$

Da subtração das correntes senoidais de seqüência positiva pelas correntes lidas da carga (eq.(2.33)), são obtidas as correntes de referência do filtro.

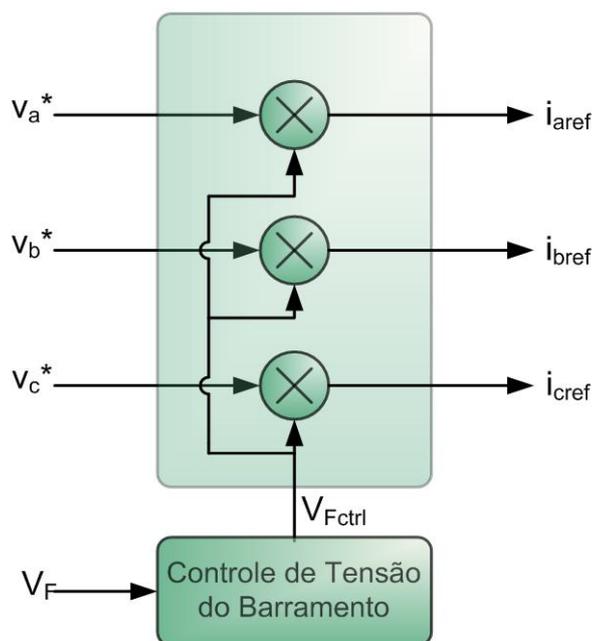
$$\begin{cases} i_{\text{aref}} = i_{aL1} - i_{aL} \\ i_{\text{bref}} = i_{bL1} - i_{bL} \\ i_{\text{cref}} = i_{cL1} - i_{cL} \end{cases} \quad (2.33)$$

Com esta metodologia, é possível a obtenção de correntes senoidais e equilibradas na fonte, mesmo quando as tensões de suprimento estão distorcidas e/ou desbalanceadas. Contudo, é importante ressaltar que esta estratégia não permite a compensação do fator de deslocamento da carga, uma vez que as tensões do sistema não são utilizadas no algoritmo.

#### **D - Estratégia Com Controle Direto das Correntes da Fonte**

Uma estratégia relativamente simples e interessante para o controle das correntes de um filtro ativo paralelo foi apresentada em [1][13][19]. Inicialmente foi proposta para filtros monofásicos, sendo então estendida para estruturas trifásicas a três fios. A Fig. 2.15 ilustra o diagrama de blocos básico desta estratégia. Nesta metodologia, apenas as correntes drenadas da fonte são monitoradas, e somente para o controle dinâmico do filtro. O controle do filtro ativo faz com que as correntes na fonte, que correspondem ao

somatório das respectivas correntes do filtro mais as correntes da carga, sejam idealmente senoidais. Logo, as correntes de referência do filtro são agora senoidais, o que permite a utilização de imagens das respectivas tensões de fase do sistema como referência. A fase e forma das referências estão determinadas, restando apenas estipular suas amplitudes. Aqui reside o grande diferencial desta metodologia, onde a magnitude das correntes de referência é obtida através do balanço da tensão do barramento do filtro.



**Fig. 2.15 - Estratégia com controle direto das correntes na fonte.**

Se as perdas do filtro são desconsideradas, com o sistema em regime a tensão do barramento do filtro é constante, e este drena da rede apenas correntes reativas. No caso de um aumento de carga, a tensão do capacitor do barramento diminui, gerando um erro de tensão positivo. A amplitude das correntes de referência é elevada até que o erro da malha de tensão convirja para zero. Quando há uma redução de carga ocorre exatamente o oposto, a tensão do barramento aumenta, gerando um erro negativo, o que faz com que o filtro devolva energia à rede. Assim, observa-se que a amplitudes das correntes de referência do filtro seguem as características dinâmicas da carga, através da repercussão sobre a tensão do barramento. As referências são determinadas conforme (2.34), onde  $v_a^*$ ,  $v_b^*$  e  $v_c^*$  são imagens das tensões de fase do sistema e  $v_{Fctrl}$  é o sinal de controle do controlador de tensão de barramento do filtro.

$$\begin{cases} i_{\text{aref}} = V_a^* \cdot V_{\text{Fctrl}} \\ i_{\text{bref}} = V_b^* \cdot V_{\text{Fctrl}} \\ i_{\text{cref}} = V_c^* \cdot V_{\text{Fctrl}} \end{cases} \quad (2.34)$$

É importante observar que a malha de controle da tensão do barramento deve ser suficientemente lenta, de forma que ondulações nesta não se traduzam em distorção nas correntes de referência do filtro.

As principais vantagens desta estratégia residem na simplicidade de implementação e operação. A metodologia é economicamente atrativa, podendo ser facilmente implementada de forma analógica com custos reduzidos. Outro fato importante é a possibilidade de obter fator de potência unitário do conjunto carga mais filtro, uma vez que as correntes são imagens das respectivas tensões de fase. Por ler apenas as correntes em um ponto do circuito, a variável de interesse é diretamente controlada (corrente na fonte), sendo que os erros de medição são minimizados.

Em contrapartida, observa-se que a estratégia é menos versátil que as anteriores. Um sistema de proteção de sobrecorrente do conversor (em tempo real) fica limitado ou inviável, uma vez que as correntes do filtro não são lidas. Cabe ressaltar também que nesta metodologia, a dinâmica da malha de tensão do filtro está fortemente ligada à dinâmica da carga. Por fim, é importante destacar a possibilidade de interação cíclica entre a tensão e corrente em redes com grandes impedâncias, uma vez que distúrbios de corrente distorcem a tensão, a qual serve de referência para a própria corrente.

Em [20] é apresentada uma estratégia semelhante, onde a amplitude das referências é igualmente imposta pelo controle da tensão do barramento. As diferenças básicas são a utilização de um gerador de onda senoidal com fase imposta pelas tensões da rede, e leitura de apenas duas correntes do sistema (a terceira é estimada a partir destas).

### **E - Estratégia Baseada no Sistema de Referência Síncrona**

Em 1991, Bhattacharya *et al.*[21] apresentaram uma estratégia que utilizava um algoritmo denominado de sistema de referência síncrona. Esta metodologia utiliza conceitos de controle vetorial, e foi empregada em tal ocasião para geração de referências em um filtro ativo série atuando como isolador de harmônicos. Desde então, tem sido muito utilizada no controle de filtros ativos devido a sua grande eficiência e versatilidade.

Através desta estratégia é possível obter correntes senoidais na fonte, independentemente da forma das tensões de suprimento. Adicionalmente, a possibilidade de controlar o conversor VSI através de um modelo preciso, fundamentado sobre a mesma teoria, fazem com que esta estratégia seja utilizada para a geração dos sinais de referência deste trabalho. Com o intuito de abordar a metodologia de forma mais completa, a mesma será apresentada dedicadamente no capítulo 3.

#### **2.4.4 Técnicas de Controle em Filtros Ativos**

Conforme a divisão apresentada, o segundo grande elemento da estratégia de controle do filtro ativo é a técnica de controle. A habilidade do filtro impor corretamente as correntes de referências, determinadas por qualquer estratégia, está vinculada à técnica de controle utilizada. Deve-se ressaltar que em aplicações como filtros ativos, a variável de referência do sistema possui múltiplas frequências, em um amplo espectro harmônico. Ainda, o atuador (conversor) é não linear e apresenta dinâmicas que devem ser compensadas. Neste cenário, verifica-se a importância da técnica de controle utilizada para compensar as dinâmicas do conversor e minimizar os erros em regime permanente.

De uma forma geral, as técnicas de controle podem ser implementadas de forma analógica e/ou digital. Na forma analógica, os sinais envolvidos no processo variam continuamente no tempo, sendo processados normalmente através de circuitos analógicos com amplificadores operacionais e elementos passivos (resistores e capacitores). As implementações analógicas de técnicas de controle têm boa resposta dinâmica, porém como desvantagens pode-se citar:

- Sensibilidade às variações paramétricas dos elementos envolvidos;
- Susceptibilidade a ruídos e interferências eletromagnéticas;
- Pouca versatilidade, onde técnicas complexas de controle são impraticáveis ou resultam em circuitos demasiadamente grandes.

Na implementação digital de técnicas de controle, os sinais envolvidos no sistema são processados em tempo discreto, através de dispositivos como processadores digitais de sinal (DSP), microcontroladores e dispositivos lógicos programáveis (FPGA). Os algoritmos são desenvolvidos de forma numérica, o que permite grande versatilidade, muitas vezes impossível com circuitos analógicos. Os problemas de sensibilidade às variações paramétricas de componentes analógicos e ruído são consideravelmente

minimizados, uma vez que poucos elementos analógicos são necessários no projeto digital. A grande desvantagem da utilização de técnicas de controle em tempo discreto é a limitação da resposta dinâmica, resultante principalmente do processo de amostragem e tempo de processamento do algoritmo.

Existem diversas técnicas de controle disponíveis na literatura. As técnicas de controle por histerese e controle linear têm se mostrado eficientes em aplicações práticas para o controle de filtros ativos [22]. Existem diversas outras técnicas, como controle digital *deadbeat*, controle por redes neurais, controle por lógica *fuzzy* que não serão abordadas neste trabalho.

A seguir serão apresentados os princípios básicos do controle por histerese e controle linear, ambos aplicados ao controle de corrente de filtros ativos. O controle da tensão do barramento do filtro é em geral muito mais simples que o das correntes, pois apresenta dinâmicas substancialmente mais lentas, sendo comum nestes casos a utilização de controladores lineares simples.

#### **A - Controle por Histerese**

No controle por histerese, o sinal de referência é subtraído do realimentado, gerando um erro que é comparado com bandas de histerese (positiva e negativa). Toda vez que o sinal de erro atinge uma das bandas (positiva ou negativa) de histerese ocorre uma comutação, onde a lógica pré-definida deve fazer com que o sinal de erro fique sempre entre as bandas de histerese. Observa-se que a técnica é extremamente simples e robusta, porém com comportamento não linear. No caso do controle de corrente, verifica-se que a ondulação da corrente gerada pelo filtro será constante, embora a frequência de comutação seja variável. A frequência de comutação tem relação direta com a largura das bandas de histerese e parâmetros do sistema (tensão da rede, tensão do barramento, impedâncias do sistema). Embora esta técnica possibilite uma rápida resposta dinâmica, é importante ressaltar que a frequência de modulação variável no conversor resulta, em geral, em maiores perdas nos semicondutores e elementos magnéticos, uma vez que a frequência de operação pode ser consideravelmente elevada. Além disso, o projeto de filtros de saída é dificultado, sendo que estes filtros são essenciais para a redução da distorção da tensão provocada pelas componentes de alta frequência da comutação do conversor. Outro fato importante é que o desempenho do controle por histerese em sistemas trifásicos sem neutro é negativamente afetado pela interação das correntes do sistema [22].

---

A técnica de controle por histerese foi aqui apresentada de forma elementar, cabendo ressaltar que existem diversos modos de atenuar ou resolver alguns dos problemas mencionados.

## **B - Controle Linear**

O princípio básico das técnicas de controle linear em filtros ativos consiste na subtração da corrente de referência pela corrente real lida do sistema, donde é obtido um sinal de erro. Um compensador linear, devidamente projetado, altera a dinâmica do sinal de erro de forma a conseguir um determinado desempenho dinâmico. O sinal de controle, gerado pelo compensador, é enviado a um circuito modulador, o qual compara este com uma portadora triangular ou dente de serra de alta frequência. Da lógica de comparação são obtidos os comandos para os interruptores do conversor, onde a duração dos pulsos de comando dos interruptores é função do sinal de controle e da portadora utilizada.

Cada elemento do sistema é modelado como funções lineares, de forma a ser possível projetar o compensador. Observa-se porém que o circuito de potência (atuador) funciona através da comutação dos interruptores, os quais assumem apenas dois estados, fechado e aberto, lhe impondo uma característica não linear. Assim, a corrente na saída do filtro não varia linearmente conforme o sinal de comando. Todavia, se o comportamento dinâmico do sinal de controle for razoavelmente mais lento que o da portadora do modulador, é possível representar o conversor como uma função linear. A resposta obtida com sistemas dotados de controladores lineares é em geral mais lenta que a de sistemas controlados por histerese. Em contrapartida, os sistemas lineares operam em geral com frequência de comutação fixa, o que elimina os problemas anteriormente citados da comutação com frequência variável.

### **2.4.5 Considerações sobre o Ponto de Instalação do Filtro Ativo**

O tema principal deste trabalho é a utilização de um filtro ativo paralelo para a compensação das correntes harmônicas produzidas por cargas não lineares, em especial os retificadores trifásicos com filtro capacitivo. Na seção relativa ao estudo dos retificadores, foi demonstrado que a impedância do sistema tem grande importância na limitação das altas derivadas de corrente presentes nestas estruturas. Conforme comentado, em algumas situações a própria impedância do sistema é suficiente, porém a inserção de indutores na entrada do conversor propicia uma grande redução da distorção das correntes, as quais têm relação direta sobre a distorção das tensões no PAC. Durante o estudo do filtro ativo paralelo, verificou-se que o mesmo tem limitações para a

imposição de correntes no sistema, uma vez que não se comporta como uma fonte de corrente controlada ideal. Neste sentido, uma importante questão surge: Qual o melhor ponto para a conexão do filtro ativo no sistema?

A questão parece trivial, porém será demonstrado a seguir que este estudo é relevante, tendo grande influência no desempenho do filtro.

Seja o caso onde um retificador trifásico está conectado a um sistema elétrico, onde as únicas impedâncias que limitam os picos de correntes são a impedância dos cabos da instalação e a impedância do transformador. Conforme demonstrado na eq.(2.8), a variação da tensão no PAC tem relação direta com a amplitude e frequência das correntes harmônicas da carga, bem como com o valor da impedância, principalmente da indutância equivalente. Se o filtro ativo é conectado junto à carga, ele idealmente fará com que as correntes supridas pela rede sejam senoidais. Todavia, sendo as correntes puramente senoidais a eq.(2.8) fica resumida a eq.(2.35)

$$V_{LSa} = L_{Sa} \frac{di_{aS1}}{dt} \quad (2.35)$$

Dessa forma, verifica-se que a redução da tensão do PAC mostrada na Fig. 2.3-b fica limitada à queda provocada pela componente fundamental sobre a impedância da rede. Com o intuito de demonstrar tal efeito, realizar-se-á novamente a simulação do retificador trifásico com filtro capacitivo, porém agora a indutância do sistema será substituída, de forma simplificada, por uma resistência equivalente na frequência fundamental. Os resultados estão apresentados na Tabela 2.2, onde é verificado o considerável aumento da corrente de pico da carga, acompanhado do aumento da distorção das correntes e redução do fator de potência.

**Tabela 2.2 - Características do circuito retificador com filtro capacitivo simulado com impedância da fonte equivalente para 60Hz somente.**

<b>Característica</b>	<b>Valor</b>
Tensão de fase eficaz no PAC	219,091
Distorção harmônica total de tensão no PAC	0,561%
Corrente eficaz	29,1587
Corrente de pico	83,1632
Fator de crista	2,85
Distorção harmônica total de corrente	159,95%
Potência aparente da carga	19141,5VA
Potência ativa da carga	10167,5W
Fator de deslocamento	0,9997
Fator de potência	0,531

Esse estudo demonstra que o esforço exigido do filtro ativo será consideravelmente maior que o esperado. Assim, verifica-se mais uma vez a importância da inserção de indutores na entrada ou no lado CC do retificador. Caso as impedâncias dos cabos da instalação sejam suficientes para a uma adequada limitação das correntes do retificador, o filtro pode ser instalado então junto ao transformador, sem que haja grande prejuízo em sua operação.

## 2.5 CONCLUSÕES

Foram apresentados neste capítulo alguns conceitos básicos sobre a qualidade da energia elétrica, com ênfase nos indicadores e normas relacionados com a distorção das formas de onda de tensão e corrente.

As cargas não lineares foram caracterizadas, onde se analisou e verificou a influência das cargas do tipo retificador trifásico com filtro capacitivo em um sistema elétrico típico. Simulações numéricas foram realizadas para comprovar a análise matemática desenvolvida.

Um estudo geral sobre os filtros ativos foi apresentado. O filtro ativo paralelo foi escolhido, uma vez que apresenta as características necessárias para a compensação do conteúdo harmônico da carga na qual está focado este trabalho.

O FAP é uma estrutura complexa, cujo funcionamento está fortemente ligado à estratégia de controle empregada. Existem diversas formas de determinar as correntes de referência do filtro, sendo que a escolha da estratégia deve ser feita com base na forma com que o filtro ativo vai interferir no sistema. Assim, conforme a estratégia empregada é possível obter, por exemplo, potência constante na fonte, fator unitário do conjunto FAP e carga, correntes senoidais e equilibradas na fonte. Todavia deve-se atentar ao fato que nem sempre é possível obter todas estas condições simultaneamente. Nos casos onde o aspecto econômico é relevante, pode-se utilizar um algoritmo mais simples, que utiliza menos componentes, mas que em contrapartida não deve, em geral, propiciar grande versatilidade e escolha das parcelas de compensação.

A técnica de controle empregada na estratégia do FAP é outro elemento que tem influência direta sobre o funcionamento deste, principalmente em função do perfil da referência a ser seguida pelo filtro. O controle por histerese apresenta, em geral, uma melhor resposta dinâmica que o controle linear, todavia os problemas oriundos da frequência de comutação variável fazem com que a técnicas de controle linear seja escolhida neste trabalho.

Um aspecto que também deve ser considerado é o ponto de instalação do FAP. Foi demonstrado que o local onde o filtro é instalado pode afetar consideravelmente o seu desempenho, uma vez que a capacidade de compensação do filtro ativo é limitada.

---

# CAPÍTULO 3

---

## ESTRATÉGIA PARA A DETERMINAÇÃO DAS CORRENTES DE REFERÊNCIA

---

### 3.1 INTRODUÇÃO

No capítulo anterior foi apresentada a estrutura geral do FAP. Demonstrou-se que a estratégia utilizada para determinação das correntes de referência tem relação direta sobre o desempenho do filtro, bem como foram exemplificadas algumas estratégias comumente utilizadas no controle de filtros ativos trifásicos.

No presente capítulo será estudada em detalhes a estratégia utilizada neste trabalho, a qual se vale de conceitos de controle vetorial para a obtenção das correntes de referência. O controle vetorial é uma técnica muito utilizada no controle de máquinas elétricas de corrente alternada, pois permite controlar de forma mais simples as variáveis reais do sistema (tensões e correntes), através da atuação sobre variáveis fictícias relacionadas àquelas reais [23]. Tendo em vista a grande versatilidade desta ferramenta, seus princípios têm sido utilizados no controle de conversores estáticos, como retificadores e inversores de frequência, e igualmente em aplicações específicas, como filtros ativos de potência.

Inicialmente é introduzida a transformação  $abc/dq0$ . Prossegue-se com uma análise detalhada sobre a representação de correntes harmônicas no sistema  $dq0$ , para que possa ser compreendida a estratégia de determinação das correntes de referência. Ao fim do capítulo será apresentado o estudo de um circuito de sincronismo, necessário para a concepção da estratégia.

### 3.2 A TRANSFORMAÇÃO ABC/DQ0

Um sistema trifásico pode ser representado como um sistema bifásico equivalente através da transformação  $abc / \alpha\beta 0$  [24][26], também conhecida como transformação de Clarke. Este novo sistema é composto de coordenadas ortogonais entre si, e não mais defasadas de  $120^\circ$  como no sistema  $abc$  [25].

Através da transformação de Park é possível colocar o sistema estacionário com a mesma velocidade do campo girante, de forma que o sistema girante fique estático com relação a esse referencial girante [24][26]. Tem-se então um sistema de referência síncrona, composto de dois eixos síncronos, chamados de eixo direto (eixo  $d$ ) e eixo em quadratura (eixo  $q$ ), além da componente homopolar (componente “zero”).

Efetuada o produto das transformadas de Clarke e Park obtém-se a transformação  $abc/dq0$ , mostrada na eq.(3.1).

$$\bar{B}^{-1} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \cos(\omega t) & \cos(\omega t - 120^\circ) & \cos(\omega t + 120^\circ) \\ -\text{sen}(\omega t) & -\text{sen}(\omega t - 120^\circ) & -\text{sen}(\omega t + 120^\circ) \end{bmatrix} \quad (3.1)$$

Assim, para representar um conjunto de variáveis (tensões ou correntes) do sistema  $abc$  para o sistema  $dq0$ , basta aplicar a matriz (3.1), como mostrado a seguir:

$$\overrightarrow{V}_{dq0} = \bar{B}^{-1} \overrightarrow{V}_{ABC} \quad (3.2)$$

Onde:

$$\overrightarrow{V}_{ABC} = \begin{bmatrix} V_A \\ V_B \\ V_C \end{bmatrix}; \quad \overrightarrow{V}_{dq0} = \begin{bmatrix} V_0 \\ V_d \\ V_q \end{bmatrix} \quad (3.3)$$

A transformada inversa, que permite que as variáveis do sistema síncrono sejam novamente representadas no sistema  $abc$ , é apresentada em (3.4).

$$\bar{B} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \cos(\omega t) & -\text{sen}(\omega t) \\ \frac{1}{\sqrt{2}} & \cos(\omega t - 120^\circ) & -\text{sen}(\omega t - 120^\circ) \\ \frac{1}{\sqrt{2}} & \cos(\omega t + 120^\circ) & -\text{sen}(\omega t + 120^\circ) \end{bmatrix} \quad (3.4)$$

Cabe observar que a matriz (3.4) é a transposta da matriz (3.1), uma vez que a transformação deve ser ortogonal para que a potência seja invariante [24].

### 3.3 ANÁLISE HARMÔNICA SOBRE OS EIXOS SÍNCRONOS

Um aspecto importante a ser observado, quando o controle de uma determinada estrutura é feito diretamente sobre os eixos síncronos, é como as freqüências dos sinais no sistema *abc* aparecem no sistema de referência síncrona. No caso particular do filtro ativo, tal estudo se faz ainda mais importante, uma vez que o filtro opera sintetizando correntes de diversas freqüências. Ainda, se a técnica de controle utilizada para ajustar a dinâmica das malhas de corrente for baseada em critérios clássicos de controle, como resposta em freqüência, por exemplo, o estudo aqui apresentado será com certeza de grande valor no projeto dos compensadores.

A presente análise pode ser feita para sinais de tensão ou corrente em regime permanente, porém tendo em vista o tema do trabalho, o estudo será focado sobre as correntes de um sistema trifásico a três fios, com o sincronismo feito sobre a componente fundamental de seqüência positiva das tensões da rede.

Sinais genéricos periódicos de corrente podem conter uma freqüência fundamental e infinitas freqüências harmônicas, cada qual com uma determinada amplitude e ângulo de fase. Cada uma dessas componentes pode se apresentar de forma equilibrada (com iguais amplitudes nas três fases e igualmente defasadas entre si) ou também de forma desequilibrada. Por conseguinte, pode-se representar os fasores de cada harmônico de ordem “n” através do teorema das componentes simétricas [25] (teorema de Fortescue). Assim:

$$\begin{bmatrix} i_{0n} \\ i_{+n} \\ i_{-n} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & a & a^2 \\ 1 & a^2 & a \end{bmatrix} \begin{bmatrix} i_{an} \\ i_{bn} \\ i_{cn} \end{bmatrix} \quad (3.5)$$

Onde:

$$a = 1 \angle 120^\circ \quad (3.6)$$

O teorema das componentes simétricas permite representar um conjunto de “x” fasores desequilibrados através de “x” sistemas de fasores equilibrados. Cada componente harmônica é então representada por três sistemas equilibrados, ditos de seqüência positiva, seqüência negativa e seqüência zero. A componente de seqüência positiva consiste de três fasores equilibrados que giram com seqüência de fase direta (*abc* – 0, -120°, 120°). A componente de seqüência negativa consiste igualmente de três

fasores equilibrados que giram, porém, com seqüência inversa ( $acb - 0, 120^\circ, -120^\circ$ ). Por outro lado, a componente de seqüência zero consiste de três fasores iguais e alinhados ( $0^\circ, 0^\circ, 0^\circ$ ). Como o sistema elétrico em estudo não possui condutor neutro, logo a componente de seqüência zero é sempre nula. A transformação inversa é dada pela eq.(3.7).

$$\begin{bmatrix} i_{an} \\ i_{bn} \\ i_{cn} \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 1 & a^2 & a \\ 1 & a & a^2 \end{bmatrix} \begin{bmatrix} i_{0n} \\ i_{+n} \\ i_{-n} \end{bmatrix} \quad (3.7)$$

Uma representação geral, no domínio do tempo, para as correntes do sistema em questão é:

$$\begin{cases} i_a(t) = \sum_{n=1}^{\infty} ((I_{+n} \text{sen}(\omega_n t + \phi_{+n})) + (I_{-n} \text{sen}(\omega_n t + \phi_{-n}))) \\ i_b(t) = \sum_{n=1}^{\infty} ((I_{+n} \text{sen}(\omega_n t + \phi_{+n} - 2\pi/3)) + (I_{-n} \text{sen}(\omega_n t + \phi_{-n} + 2\pi/3))) \\ i_c(t) = \sum_{n=1}^{\infty} ((I_{+n} \text{sen}(\omega_n t + \phi_{+n} + 2\pi/3)) + (I_{-n} \text{sen}(\omega_n t + \phi_{-n} - 2\pi/3))) \end{cases} \quad (3.8)$$

A transformação do sistema  $abc$  para o sistema síncrono foi apresentada em (3.2). Considera-se que o sinal de sincronismo  $\omega t$  tem a mesma freqüência da componente fundamental de seqüência positiva, e encontra-se  $90^\circ$  atrasado com relação a esta. Desta forma, é possível reescrever a matriz da seguinte forma:

$$\bar{B}^{-1} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \text{sen}(\omega t) & \text{sen}(\omega t - 120^\circ) & \text{sen}(\omega t + 120^\circ) \\ \text{cos}(\omega t) & \text{cos}(\omega t - 120^\circ) & \text{cos}(\omega t + 120^\circ) \end{bmatrix} \quad (3.9)$$

Cada componente harmônico de ordem “n” de corrente pode ser representado no sistema síncrono a partir da eq.(3.10). Cabe lembrar que a componente de eixo zero é nula por definição.

$$\bar{i}_{dq0} = \bar{B}^{-1} \cdot \bar{i}_{abcn} \quad (3.10)$$

Onde:

$$\overrightarrow{i_{abcn}} = \begin{bmatrix} i_{an} \\ i_{bn} \\ i_{cn} \end{bmatrix}; \quad \overrightarrow{i_{dq0n}} = \begin{bmatrix} 0 \\ i_{dn} \\ i_{qn} \end{bmatrix} \quad (3.11)$$

Da eq.(3.7) tem-se que o vetor  $\overrightarrow{i_{abcn}}$  é representado somente pelas componentes de seqüência positiva e seqüência negativa, logo a análise sobre cada eixo pode ser feita de forma independente para cada uma dessas componentes. Assim:

$$\begin{bmatrix} i_{an} \\ i_{bn} \\ i_{cn} \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 1 & a^2 & a \\ 1 & a & a^2 \end{bmatrix} \begin{bmatrix} 0 \\ i_{+n} \\ i_{-n} \end{bmatrix} \quad (3.12)$$

### 3.3.1 Análise sobre o Eixo Direto

Considera-se uma componente harmônica de corrente, com freqüência  $n$  vezes maior que a fundamental, conforme (3.13).

$$\begin{cases} i_{an}(t) = (I_{+n} \text{sen}(\omega_n t + \phi_{+n})) + (I_{-n} \text{sen}(\omega_n t + \phi_{-n})) \\ i_{bn}(t) = (I_{+n} \text{sen}(\omega_n t + \phi_{+n} - 120^\circ)) + (I_{-n} \text{sen}(\omega_n t + \phi_{-n} + 120^\circ)) \\ i_{cn}(t) = (I_{+n} \text{sen}(\omega_n t + \phi_{+n} + 120^\circ)) + (I_{-n} \text{sen}(\omega_n t + \phi_{-n} - 120^\circ)) \end{cases} \quad (3.13)$$

Primeiramente será analisada a influência da componente de seqüência positiva da corrente. Aplicando a matriz (3.9) sobre a parcela de seqüência positiva da corrente dada em (3.13) vem:

$$i_{dn}(t) = \sqrt{\frac{2}{3}} \left[ \text{sen}(\omega t) \cdot I_{+n} \text{sen}(\omega_n t + \phi_{+n}) + \text{sen}(\omega t - 120^\circ) \cdot I_{+n} \text{sen}(\omega_n t + \phi_{+n} - 120^\circ) + \right. \\ \left. + \text{sen}(\omega t + 120^\circ) \cdot I_{+n} \text{sen}(\omega_n t + \phi_{+n} + 120^\circ) \right] \quad (3.14)$$

Seja a relação trigonométrica para o produto de dois senos:

$$\text{sen}(x) \cdot \text{sen}(y) = \frac{1}{2} [\cos(x - y) - \cos(x + y)] \quad (3.15)$$

Substituindo (3.15) em (3.14) vem:

$$i_{dn+}(t) = \sqrt{\frac{2}{3}} \frac{I_{+n}}{2} \begin{bmatrix} \cos(\omega t - \omega_n t - \phi_{+n}) - \cos(\omega t + \omega_n t + \phi_{+n}) \\ + \cos(\omega t - 120^\circ - \omega_n t - \phi_{+n} + 120^\circ) \\ - \cos(\omega t - 120^\circ + \omega_n t + \phi_{+n} - 120^\circ) \\ + \cos(\omega t + 120^\circ - \omega_n t - \phi_{+n} - 120^\circ) \\ - \cos(\omega t + 120^\circ + \omega_n t + \phi_{+n} + 120^\circ) \end{bmatrix} \quad (3.16)$$

Reagrupando os termos da eq.(3.16), ficam evidentes duas parcelas, uma com frequência igual à diferença das frequências envolvidas ( $\omega$  e  $\omega_n$ ), e outra com frequência igual à soma destas:

$$i_{dn+}(t) = \sqrt{\frac{2}{3}} \frac{I_{+n}}{2} \begin{bmatrix} [\cos(\omega t - \omega_n t - \phi_{+n}) + \cos(\omega t - 120^\circ - \omega_n t - \phi_{+n} + 120^\circ) + \\ \cos(\omega t + 120^\circ - \omega_n t - \phi_{+n} - 120^\circ)] + \\ [-\cos(\omega t + \omega_n t + \phi_{+n}) - \cos(\omega t - 120^\circ + \omega_n t + \phi_{+n} - 120^\circ) - \\ -\cos(\omega t + 120^\circ + \omega_n t + \phi_{+n} + 120^\circ)] \end{bmatrix} \quad (3.17)$$

Observa-se que a segunda parte do somatório constitui um sistema trifásico perfeitamente equilibrado, e logo tem valor instantâneo nulo. Dessa forma, a eq.(3.17) fica resumida à eq.(3.18):

$$i_{dn+}(t) = \sqrt{\frac{2}{3}} \frac{I_{+n}}{2} \cdot 3 \cos(\omega t - \omega_n t - \phi_{+n}) \quad (3.18)$$

Da relação trigonométrica (3.19) reescreve-se a eq.(3.18), obtendo-se finalmente a eq.(3.20).

$$\cos(-x) = \cos(x) \quad (3.19)$$

$$i_{dn+}(t) = \sqrt{\frac{3}{2}} \cdot I_{+n} \cos(\omega_n t - \omega t + \phi_{+n}) \quad (3.20)$$

Assim, a componente de seqüência positiva da corrente harmônica de frequência  $\omega_n$  irá aparecer sobre o eixo direto com frequência menor que aquela com a qual aparecia no sistema *abc*, cuja diferença corresponde à frequência da componente fundamental do sistema. A amplitude também é diferente,  $\sqrt{\frac{3}{2}}$  maior.

Aplicando o mesmo procedimento, analisa-se agora a influência da componente de seqüência negativa do harmônico de corrente. Com a matriz (3.9) e a parcela de seqüência negativa de (3.13) vem:

$$i_{dn-}(t) = \sqrt{\frac{2}{3}} \left[ \begin{array}{l} \text{sen}(\omega t) \cdot I_{-n} \text{sen}(\omega_n t + \phi_{-n}) + \text{sen}(\omega t - 120^\circ) \cdot I_{-n} \text{sen}(\omega_n t + \phi_{-n} + 120^\circ) \\ + \text{sen}(\omega t + 120^\circ) \cdot I_{-n} \text{sen}(\omega_n t + \phi_{-n} - 120^\circ) \end{array} \right] \quad (3.21)$$

Com a relação trigonométrica (3.15), e após manipulações chega-se à eq.(3.22).

$$i_{dn-}(t) = \sqrt{\frac{2}{3}} \frac{I_{-n}}{2} \left[ \begin{array}{l} [\cos(\omega t - \omega_n t - \phi_{-n}) + \cos(\omega t - 120^\circ - \omega_n t - \phi_{-n} - 120^\circ) + \\ \cos(\omega t + 120^\circ - \omega_n t - \phi_{-n} + 120^\circ) +] + \\ [-\cos(\omega t + \omega_n t + \phi_{-n}) - \cos(\omega t - 120^\circ + \omega_n t + \phi_{-n} + 120^\circ) - \\ -\cos(\omega t + 120^\circ + \omega_n t + \phi_{-n} - 120^\circ)] \end{array} \right] \quad (3.22)$$

Neste caso, tem-se que a primeira parcela do somatório possui valor instantâneo nulo, ficando a equação representada apenas pela segunda parcela, conforme (3.23).

$$i_{dn-}(t) = -\sqrt{\frac{3}{2}} \cdot I_{-n} \cos(\omega_n t + \omega t + \phi_{-n}) \quad (3.23)$$

Então se conclui que a componente de seqüência negativa do harmônico de freqüência  $\omega_n$  aparece sobre o eixo  $d$  com freqüência maior do que no sistema  $abc$ , sendo igual a soma da freqüência em  $abc$  mais a freqüência da componente fundamental. Sua amplitude também é diferente,  $\sqrt{\frac{3}{2}}$  maior.

Somando as equações (3.20) e (3.23), obtém-se uma equação geral para as correntes trifásicas de freqüência  $\omega_n$  sobre o eixo  $d$ , conforme (3.24).

$$i_{dn}(t) = \sqrt{\frac{3}{2}} \cdot (I_{+n} \cos(\omega_n t - \omega t + \phi_{+n}) - I_{-n} \cos(\omega_n t + \omega t + \phi_{-n})) \quad (3.24)$$

### 3.3.2 Análise sobre o Eixo em Quadratura

A mesma análise pode ser feita agora para verificar a forma com que fasores de freqüências diferentes da freqüência de sincronismo aparecem sobre o eixo  $q$ . Primeiramente será analisada a influência da componente de seqüência positiva dos fasores de freqüência  $\omega_n$ , apresentados em (3.13). Aplicando a matriz (3.9), vem:

$$i_{qn+}(t) = \sqrt{\frac{2}{3}} \left[ \cos(\omega t) \cdot I_{+n} \sin(\omega_n t + \phi_{+n}) + \cos(\omega t - 120^\circ) \cdot (I_{+n} \sin(\omega_n t + \phi_{+n} - 120^\circ)) \right. \\ \left. + \cos(\omega t + 120^\circ) \cdot (I_{+n} \sin(\omega_n t + \phi_{+n} + 120^\circ)) \right] \quad (3.25)$$

Utilizando a relação trigonométrica (3.26), e após manipulações, obtém-se (3.27).

$$\cos(x) \cdot \sin(y) = \frac{1}{2} [\sin(x + y) - \sin(x - y)] \quad (3.26)$$

$$i_{qn+}(t) = \sqrt{\frac{2}{3}} \frac{I_{+n}}{2} \left[ \begin{aligned} & [\sin(\omega t + \omega_n t + \phi_{+n}) + \sin(\omega t - 120^\circ + \omega_n t + \phi_{+n} - 120^\circ) + \\ & \sin(\omega t + 120^\circ + \omega_n t + \phi_{+n} + 120^\circ)] + \\ & [-\sin(\omega t - \omega_n t - \phi_{+n}) - \sin(\omega t - 120^\circ - \omega_n t - \phi_{+n} + 120^\circ) + \\ & -\sin(\omega t + 120^\circ - \omega_n t - \phi_{+n} - 120^\circ)] \end{aligned} \right] \quad (3.27)$$

A primeira parcela do somatório é novamente nula, restando apenas a segunda parcela. Aplicando a relação trigonométrica (3.28) sobre a parcela restante, obtém-se a eq.(3.29).

$$\sin(-x) = -\sin(x) \quad (3.28)$$

$$i_{qn+}(t) = \sqrt{\frac{3}{2}} \cdot I_{+n} \sin(\omega_n t - \omega t + \phi_{+n}) \quad (3.29)$$

Da mesma forma que sobre o eixo  $d$ , tem-se que a componente de seqüência positiva do harmônico aparece sobre o eixo  $q$  com freqüência menor que no sistema  $abc$ , e amplitude superior.

Fazendo agora a mesma análise para a parcela de seqüência negativa dos fasores apresentados em (3.13), vem:

$$i_{qn-}(t) = \sqrt{\frac{2}{3}} \frac{I_{-n}}{2} \left[ \begin{aligned} & [\sin(\omega t + \omega_n t + \phi_{-n}) + \sin(\omega t - 120^\circ + \omega_n t + \phi_{-n} + 120^\circ) + \\ & \sin(\omega t + 120^\circ + \omega_n t + \phi_{-n} - 120^\circ)] + \\ & [-\sin(\omega t - \omega_n t - \phi_{-n}) - \sin(\omega t - 120^\circ - \omega_n t - \phi_{-n} - 120^\circ) - \\ & -\sin(\omega t + 120^\circ - \omega_n t - \phi_{-n} + 120^\circ)] \end{aligned} \right] \quad (3.30)$$

Novamente a segunda parcela do somatório é nula, restando apenas a primeira, que pode ser reescrita como em (3.31). Observa-se outra vez que a componente

resultante é senoidal, com freqüência superior àquela apresentada no sistema *abc*, tendo ainda amplitude  $\sqrt{3/2}$  maior.

$$i_{qn-}(t) = \sqrt{\frac{3}{2}} \cdot I_{-n} \text{sen}(\omega_n t + \omega t + \phi_{-n}) \quad (3.31)$$

A equação (3.32) representa os fasores de corrente com freqüência  $\omega_n$  sobre o eixo *q*, sendo o somatório das equações (3.29) e (3.31).

$$i_{qn}(t) = \sqrt{\frac{3}{2}} \cdot (I_{+n} \text{sen}(\omega_n t - \omega t + \phi_{+n}) + I_{-n} \text{sen}(\omega_n t + \omega t + \phi_{-n})) \quad (3.32)$$

### 3.3.3 Seqüência dos Harmônicos no Caso Equilibrado

No caso particular em que os harmônios se apresentam de forma equilibrada, é importante observar que a seqüência dos mesmos no sistema *abc* depende de sua ordem. Vale notar também que para formas de onda simétricas (semi-ciclos positivo e negativo idênticos), os harmônios de ordem par não existem. Outro fato importante é que em sistemas equilibrados, os harmônios ímpares múltiplos de três são de seqüência zero, e, portanto, não aparecem no sistema considerado. Assim, as seqüências dos harmônios (até a 25ª ordem) para o caso equilibrado, e a freqüência com que estes parecem sobre os eixos *d* e *q* são resumidos na Tabela 3.1.

**Tabela 3.1 - Seqüência dos harmônicos para o caso equilibrado.**

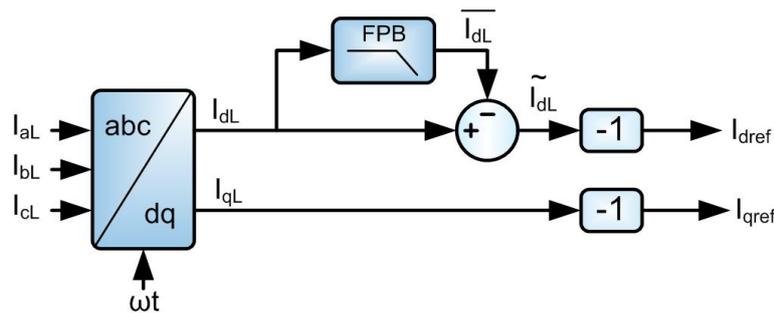
<b>Freqüência no sistema abc (Hz)</b>	60	300	420	660	780	1020	1140	1380	1500
<b>Ordem</b>	1	5	7	11	13	17	19	23	25
<b>Seqüência</b>	+	-	+	-	+	-	+	-	+
<b>Freqüência nos eixos dq (Hz)</b>	0	360	360	720	720	1080	1080	1440	1440

## 3.4 DETERMINAÇÃO DAS CORRENTES DE REFERÊNCIA

Com base no estudo apresentado, é possível elaborar uma estratégia para a obtenção das correntes de referência. Tem-se como objetivo, fazer com que as correntes drenadas da fonte (correntes da carga mais correntes do filtro) sejam senoidais, equilibradas e em fase com a componente fundamental de seqüência positiva das tensões de suprimento. Dessa forma, sabe-se que o filtro deve drenar da rede, as mesmas correntes harmônicas drenadas pela carga, porém em oposição de fase.

Adicionalmente, se a componente fundamental de seqüência positiva das correntes da carga estiver deslocada com relação à componente fundamental de seqüência positiva das tensões, o filtro deve prover compensação a tal deslocamento. Assim, com base na forma geral de representação apresentada em (3.8), conclui-se então que o filtro deve compensar todas as componentes das correntes da carga, com exceção da componente fundamental que está em fase com a seqüência positiva das tensões do sistema.

Analisando as equações (3.24) e (3.32), percebe-se que a componente fundamental de seqüência positiva das correntes, que está em fase com o sinal de sincronismo  $\omega t$ , aparece sobre os eixos  $d$  e  $q$  unicamente sob a forma de um nível médio no eixo  $d$ . Todas as outras componentes de corrente irão gerar sinais oscilantes sobre os eixos  $d$  e  $q$ , sendo que a componente fundamental de seqüência positiva pode gerar valor médio sobre o eixo  $q$ , quando  $\phi_{+n} \neq 0$ . Dessa forma, as correntes de referência podem ser obtidas conforme o diagrama de blocos apresentado na Fig. 3.1.



**Fig. 3.1 – Determinação das correntes de referência.**

As correntes  $i_{aL}, i_{bL}, i_{cL}$  da carga são transformadas para o sistema de referência síncrona através da matriz de transformação (3.1), sendo então obtidos os sinais  $i_{dL}$  e  $i_{qL}$ . Esses sinais podem conter parcelas médias e oscilantes, e assim podem ser representados conforme a eq.(3.33).

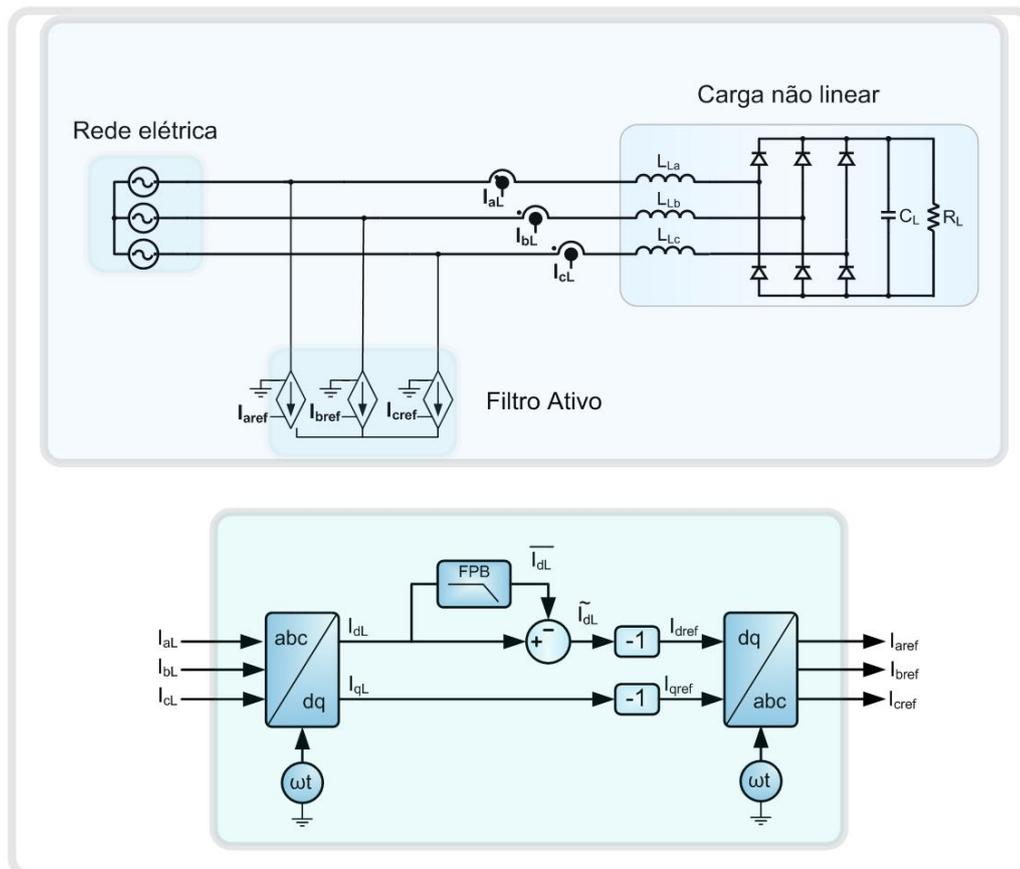
$$\begin{cases} i_{dL} = \overline{i_{dL}} + \tilde{i}_{dL} \\ i_{qL} = \overline{i_{qL}} + \tilde{i}_{qL} \end{cases} \quad (3.33)$$

O sinal  $\overline{i_{dL}}$  é extraído através de um filtro passa baixa, e então subtraído de  $i_{dL}$ . Observa-se que este procedimento tem a função única de extrair a parcela oscilante ( $\tilde{i}_{dL}$ ) da corrente de carga do eixo  $d$ . A questão que poderia então surgir é por que não utilizar

diretamente um filtro passa alta para tal finalidade? A razão é que essa metodologia iria gerar defasagens, principalmente nas frequências mais baixas. Cabe salientar que a dinâmica do filtro passa baixa pode causar erros nas referências durante transitórios de carga e, portanto, a frequência de corte do filtro e o tipo de resposta devem ser criteriosamente escolhidos. O último passo para a determinação das correntes de referência consiste em inverter a fase dos sinais, conforme a eq.(3.34).

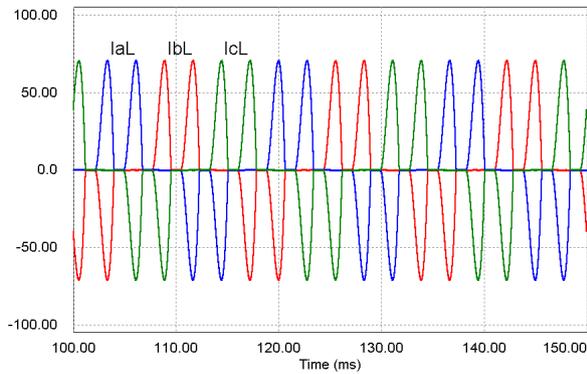
$$\begin{cases} i_{dref} = -\tilde{i}_{dL} \\ i_{qref} = -\tilde{i}_{qL} \end{cases} \quad (3.34)$$

Para comprovar a estratégia será realizada uma simulação numérica de um sistema prático, constituído uma fonte de alimentação trifásica, uma carga não linear e um conjunto de três fontes controladas de corrente, que representam o filtro ativo trifásico paralelo. O diagrama esquemático da simulação realizada é ilustrado na Fig. 3.2.

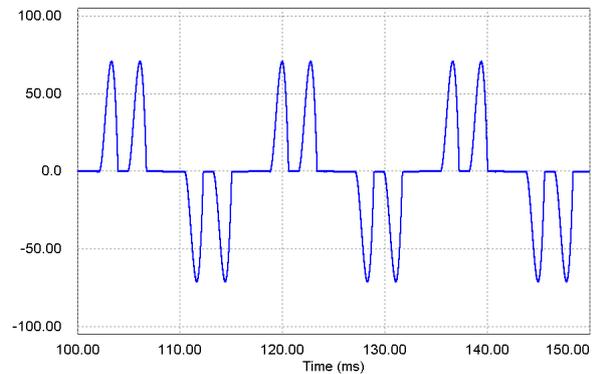


**Fig. 3.2 - Simulação da estratégia para a determinação das referências.**

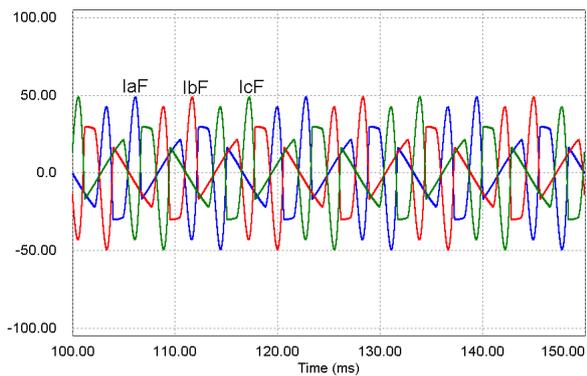
Os sinais de referência obtidos nos eixos  $d$  e  $q$  são transformados novamente para o sistema  $abc$  através da transformação  $abc/dq$ , para controlar as fontes de corrente que representam o filtro ativo. Na Fig. 3.3 são apresentadas as correntes da carga, do filtro e as correntes drenadas da fonte.



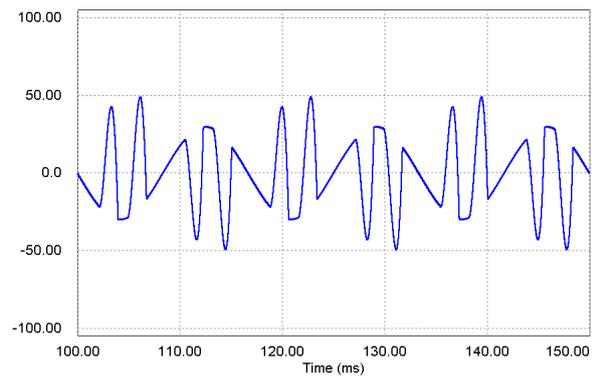
**a) Correntes da carga.**



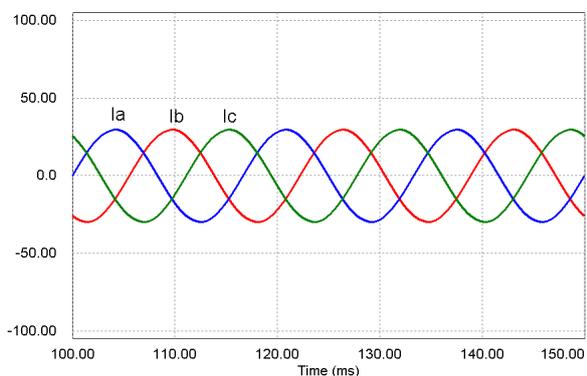
**d) Corrente da carga (fase a).**



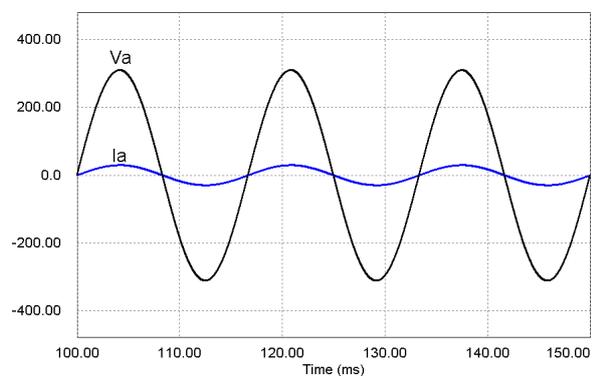
**b) Correntes do filtro.**



**e) Corrente do filtro (fase a).**



**c) Correntes na fonte.**

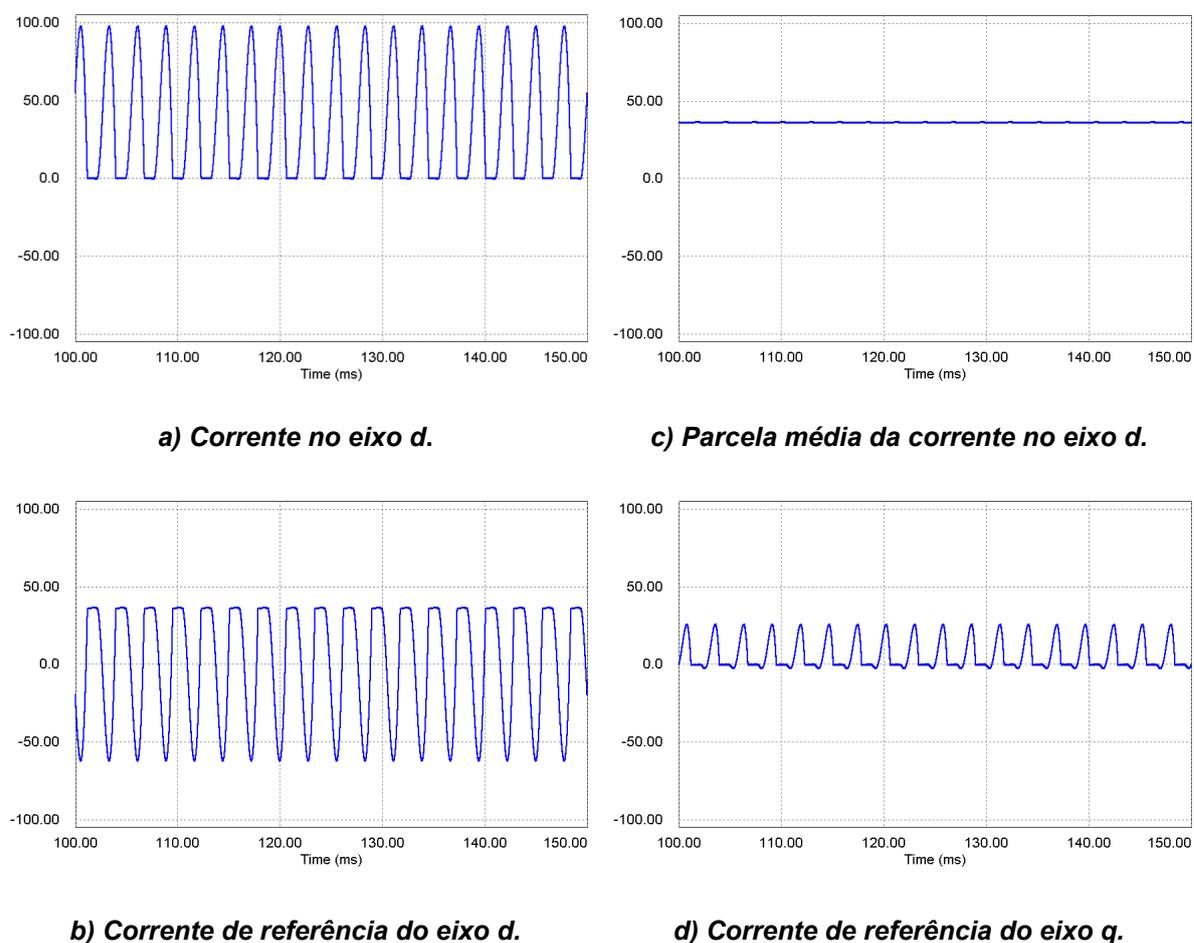


**f) Tensão e corrente na fonte (fase a).**

**Fig. 3.3 - Correntes na carga, no filtro e na fonte.**

As correntes da carga apresentam um elevado conteúdo harmônico, que é anulado pela ação do filtro ativo, de forma que as correntes drenadas da fonte são puramente senoidais, estando ainda em fase com as respectivas tensões.

As formas de onda das correntes nos eixos  $d$  e  $q$  são ilustradas na Fig. 3.4. A parcela média da corrente de eixo direto é evidenciada na Fig. 3.4c. Observa-se também que a corrente de referência de eixo  $q$  (Fig. 3.4d), já com fase invertida, contém uma parcela média, referente ao deslocamento entre as componentes fundamentais de seqüência positiva das tensões e corrente da carga, a qual é inteiramente compensada pelo filtro ativo.



**Fig. 3.4 - Correntes nos eixos  $d$  e  $q$ .**

Os principais parâmetros do circuito, bem como a análise quantitativa dos resultados estão representados na Tabela 3.2.

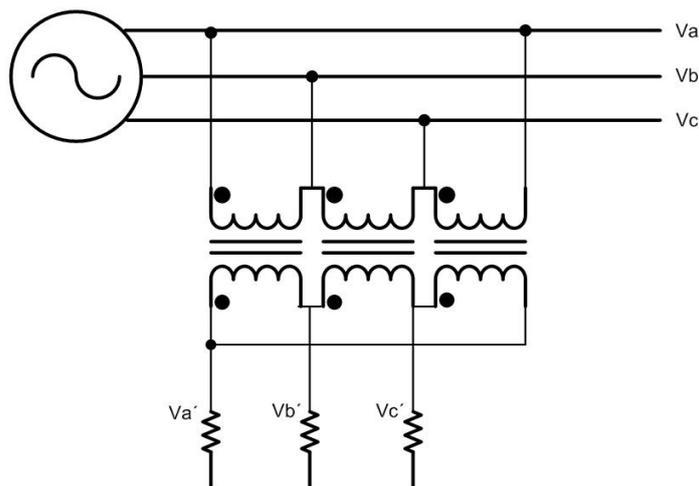
**Tabela 3.2 - Parâmetros de simulação e resumo da análise quantitativa.**

Parâmetro	Valor
Tensão de Alimentação	380V
Indutores da carga	$L_L=100\mu\text{H}$
Capacitor da carga	$C_L=3\text{mF}$
Resistência de carga	$R_L=20\Omega$
Fator de deslocamento da carga	FD=0.98553
Fator de potência da carga	FP=0.6773
Distorção harmônica total de corrente da carga	THD=105.65%
Fator de deslocamento na fonte	FD=1
Fator de potência da fonte	FP=1
Distorção harmônica total de corrente na fonte	THD=0%

### 3.5 CIRCUITO DE SINCRONISMO

Os circuitos de sincronismo são elementos fundamentais em diversas aplicações onde conversores estáticos são conectados à rede elétrica, como compensadores estáticos de energia reativa (STATCOM), restauradores dinâmicos de tensão (DVR) e filtros ativos de potência. Neste trabalho, a sincronização do algoritmo com as tensões da rede tem vital importância no funcionamento da estrutura, uma vez que a transformação de coordenadas do sistema  $abc$  para os eixos síncronos  $d$  e  $q$  e vice versa é realizada com base no sinal de sincronismo.

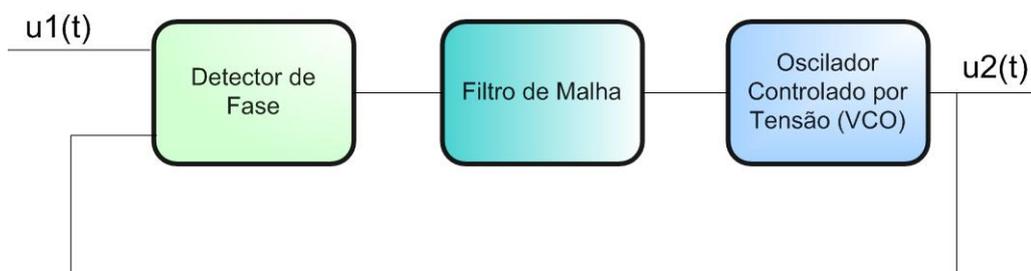
Uma alternativa simples para o sincronismo é a utilização de circuitos baseados na detecção de passagem por zero das tensões da rede. Tais circuitos são, em geral, constituídos de transformadores (ou transdutores de efeito hall) para a leitura das tensões, retificadores de precisão, comparadores com histerese. Em sistemas elétricos trifásicos a três fios, a obtenção de amostras das tensões de fase é mais complexa, em função da ausência do condutor neutro. Um circuito comumente utilizado nestas situações [27] é apresentado na Fig. 3.5. Nesta estrutura, três transformadores monofásicos abaixadores são conectados em delta nos enrolamentos primário e secundário, e então uma pequena carga resistiva é ligada em estrela para que seja possível a obtenção da imagem das tensões de fase da rede. A etapa de condicionamento e comparação dos sinais lidos utiliza normalmente circuitos analógicos e elementos passivos, o que lhe garante simplicidade de projeto e baixo custo. Todavia, é importante observar que essas estruturas apresentam baixa imunidade a ruídos e distorções, situações bem corriqueiras em instalações que possuem cargas não lineares conectadas às redes com impedâncias de linha de valor elevado.



**Fig. 3.5 – Circuito para a medição das tensões de fase.**

Tendo em vista as limitações dos circuitos baseados na detecção da passagem por zero dos sinais de tensão, optou-se pela utilização de um circuito de sincronismo PLL (*Phase Locked Loop* – malha amarrada por fase). Os circuitos PLL são sistemas que operam em malha fechada, produzindo um sinal de saída relacionado com a frequência e fase do sinal de entrada. Devido as suas características, estes mecanismos são largamente utilizados em diversas áreas da eletrônica, na síntese de sinais estabilizados ou na detecção de sinais na presença de ruído. Conforme a aplicação, o PLL pode ser implementado de forma analógica, digital ou por software.

A estrutura básica de um PLL é apresentada no diagrama de blocos da Fig. 3.6.



**Fig. 3.6 - Diagrama de blocos básico de um circuito PLL.**

Existem diversas formas construtivas para cada um dos blocos da Fig. 3.6, dependendo basicamente da aplicação do PLL e da natureza dos sinais envolvidos. Para sinais digitais, o detector de fase pode ser formado simplesmente por portas lógicas “OU” exclusivo. No caso particular deste trabalho, os sinais envolvidos são analógicos, e desta forma, um multiplicador de 4 quadrantes é mais indicado para operar como detector de

fase. Este bloco produz em sua saída um sinal proporcional à diferença de fase e frequência entre o sinal de entrada e o sinal de saída (gerado pelo oscilador).

O filtro de malha age basicamente eliminando eventuais sinais alternados de alta frequência da saída do detector de fase, tendo relação direta com o desempenho dinâmico da malha.

O último bloco básico do PLL é o VCO, o qual produz um sinal de saída com frequência proporcional à tensão de entrada.

Quando o circuito PLL entra em regime, a frequência e fase do sistema estão reconhecidas, e então se diz que o circuito está “travado”.

Neste trabalho, deseja-se obter um sinal de sincronismo a partir de sinais de entrada trifásicos. Existem na literatura diversas estruturas PLL trifásicas para o sincronismo de conversores, sendo que aqui será utilizada a abordagem apresentada por [28] e [29], onde funcionamento do circuito é baseado na teoria das potências ativa e reativa instantâneas (teoria  $pq$ ).

Conforme [28], os sinais de entrada e saída do PLL, apresentados no diagrama da Fig. 3.6, são representados por vetores, como mostrado em (3.35).

$$\begin{cases} u_1(t) = U_1 e^{j(\omega_1 t + \phi_1)} \\ u_2(t) = U_2 e^{j(\omega_2 t + \phi_2)} \end{cases} \quad (3.35)$$

Estes podem ser escritos na forma retangular, de acordo com (3.36).

$$\begin{cases} u_1(t) = u_{1\alpha} + ju_{1\beta} \\ u_2(t) = u_{2\alpha} + ju_{2\beta} \end{cases} \quad (3.36)$$

Onde:

$$\begin{cases} u_{1\alpha} = U_1 \cos(\omega_1 t + \phi_1) \\ u_{1\beta} = U_1 \text{sen}(\omega_1 t + \phi_1) \\ u_{2\alpha} = U_2 \cos(\omega_2 t + \phi_2) \\ u_{2\beta} = U_2 \text{sen}(\omega_2 t + \phi_2) \end{cases} \quad (3.37)$$

Como já comentado, os sinais de entrada para o PLL são as tensões da rede, que podem ser representadas na forma (3.36) através da transformada de Clarke, conforme a matriz (3.38).

$$\begin{bmatrix} v_0 \\ v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.38)$$

Cabe lembrar que o sistema elétrico em questão não possui condutor neutro, o que faz com que a componente de seqüência zero da transformação seja nula. A ausência do neutro também impõe a impossibilidade da leitura direta das tensões de fase, implicando então na leitura das tensões de linha seguida de algum artifício qualquer para obtenção das variáveis de fase. Porém, analisando a transformação de Clarke, verifica-se que é possível obter as componentes alfa e beta a partir de apenas duas tensões de linha. Da matriz (3.38) tem-se que:

$$\begin{cases} v_\alpha = \left( \sqrt{\frac{2}{3}} v_a - \sqrt{\frac{2}{3}} \frac{1}{2} v_b - \sqrt{\frac{2}{3}} \frac{1}{2} v_c \right) \\ v_\beta = \left( \sqrt{\frac{2}{3}} \frac{\sqrt{3}}{2} v_b \right) - \left( \sqrt{\frac{2}{3}} \frac{\sqrt{3}}{2} v_c \right) \end{cases} \quad (3.39)$$

Desenvolvendo a parcela da componente alfa obtém-se:

$$\begin{aligned} v_\alpha &= \left( \sqrt{\frac{2}{3}} v_a - \sqrt{\frac{2}{3}} \frac{1}{2} v_b - \sqrt{\frac{2}{3}} \frac{1}{2} v_c \right) + \left( \sqrt{\frac{2}{3}} \frac{1}{2} v_b - \sqrt{\frac{2}{3}} \frac{1}{2} v_b \right) \\ v_\alpha &= \left( \sqrt{\frac{2}{3}} v_{ab} + \sqrt{\frac{2}{3}} \frac{1}{2} v_{bc} \right) \frac{\sqrt{2}}{\sqrt{2}} = \frac{1}{\sqrt{2}} \left( \frac{2}{\sqrt{3}} v_{ab} + \frac{1}{\sqrt{3}} v_{bc} \right) \end{aligned} \quad (3.40)$$

Para a parcela da componente beta vem:

$$v_\beta = \left( \sqrt{\frac{2}{3}} \frac{\sqrt{3}}{2} v_b - \sqrt{\frac{2}{3}} \frac{\sqrt{3}}{2} v_c \right) \frac{\sqrt{2}}{\sqrt{2}} = \frac{1}{\sqrt{2}} v_{bc} \quad (3.41)$$

Assim, a matriz de transformação (3.38) pode ser escrita conforme (3.43), e o sinal de entrada  $u_1(t)$  pode ser representado na forma retangular, a partir das tensões de linha  $v_{ab}$  e  $v_{bc}$ .

$$u_1(t) = v_\alpha + jv_\beta \quad (3.42)$$

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \frac{1}{\sqrt{2}} \begin{bmatrix} \frac{2}{\sqrt{3}} & \frac{1}{\sqrt{3}} \\ 0 & 1 \end{bmatrix} \begin{bmatrix} v_{ab} \\ v_{bc} \end{bmatrix} \quad (3.43)$$

A detecção de fase é realizada através do produto do sinal de entrada pelo complexo conjugado do sinal de saída do PLL, como demonstra a eq.(3.44).

$$u_d(t) = u_1(t) \times u_2(t)^* = (u_{1\alpha}u_{2\alpha} + u_{1\beta}u_{2\beta}) + j(u_{1\beta}u_{2\alpha} - u_{1\alpha}u_{2\beta}) \quad (3.44)$$

Da mesma forma que o sinal de entrada, o sinal de saída do PLL pode ser visto como a composição de correntes fictícias representadas no sistema de referência estacionário de eixos ortogonais, através da transformada de Clarke. Assim:

$$u_2(t) = u_{2\alpha} + ju_{2\beta} = i_\alpha + ji_\beta \quad (3.45)$$

Substituindo as equações (3.42) e (3.45) na equação (3.44), obtém-se:

$$u_d(t) = (v_\alpha i_\alpha + v_\beta i_\beta) + j(v_\beta i_\alpha - v_\alpha i_\beta) \quad (3.46)$$

Analisando a equação (3.46), observa-se que esta representa as componentes de potência real instantânea e imaginária instantânea propostas por Akagi. Se a parte real (potência real instantânea) da eq.(3.46) for utilizada para o controle do PLL, então o circuito é chamado p-PLL, caso seja utilizada a parte imaginária (potência imaginária instantânea), então o circuito é um q-PLL. Os dois circuitos têm o mesmo princípio de funcionamento, diferindo apenas pelo fato de que o circuito q-PLL gera, em regime permanente, um sinal de sincronismo em fase com a componente fundamental de seqüência positiva do sinal de entrada, enquanto que para o p-PLL esta saída está 90° adiantada. Neste trabalho será utilizado o circuito q-PLL, cujo diagrama de blocos está representado na Fig. 3.7.

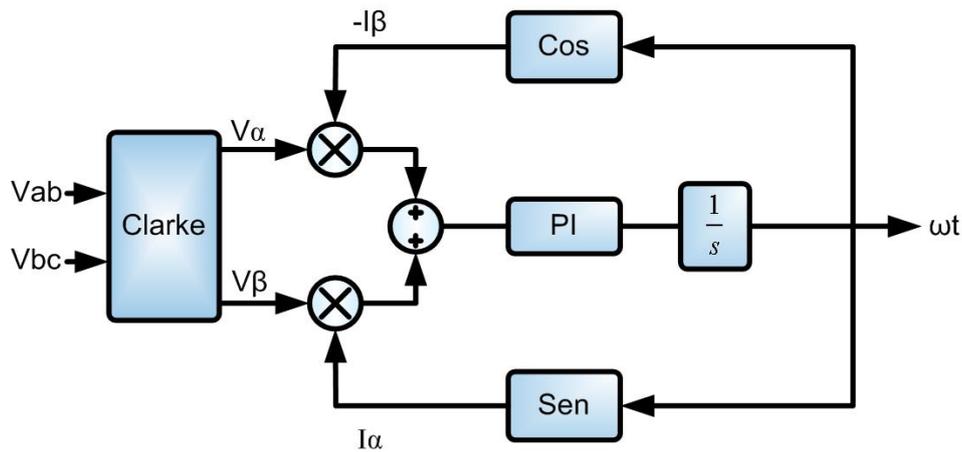


Fig. 3.7 - Diagrama de blocos do circuito PLL baseado na teoria pq.

O filtro de malha deste circuito é um controlador do tipo proporcional integral (PI). O VCO é composto de um integrador e dois blocos de funções trigonométricas, um seno para a geração do sinal  $i_\alpha$  e um cosseno para a geração do sinal  $-i_\beta$ .

### 3.5.1 Princípio de Operação do Circuito q-PLL

O sinal de controle do q-PLL é a potência imaginária instantânea. As tensões  $v_\alpha$  e  $v_\beta$  do sistema podem conter componentes de seqüência positiva e negativa. Os sinais fictícios de corrente gerados pelo q-PLL contêm, em regime permanente, apenas a componente fundamental de seqüência positiva. Dessa forma, o valor médio da potência imaginária em regime permanente será nulo, sendo que a presença de seqüência negativa e/ou componentes harmônicas nas tensões da rede irão implicar em sinais oscilantes na potência imaginária [25]. A malha do q-PLL compara o sinal de controle (potência imaginária instantânea) com uma referência nula. Assim, quando o circuito está em regime, a potência gerada pelos sinais de entrada com os sinais fictícios de corrente terá valor médio nulo.

Para facilitar a análise, considera-se que todos os sinais envolvidos têm amplitudes unitárias, e ainda, que os sinais de entrada sejam equilibrados. Assim:

$$\begin{aligned} u_d(t) &= v_\beta(t)i_\alpha(t) - v_\alpha(t)i_\beta(t) \\ u_d(t) &= -\cos(\omega_1 t + \phi_1) \cdot \text{sen}(\omega_2 t + \phi_2) + \text{sen}(\omega_1 t + \phi_1) \cdot \cos(\omega_2 t + \phi_2) \end{aligned} \quad (3.47)$$

Seja a relação trigonométrica (3.48).

$$\cos(x) \cdot \sin(y) = \frac{1}{2} [\sin(x + y) - \sin(x - y)] \quad (3.48)$$

Substituindo a relação (3.48) na eq.(3.47) vem:

$$u_d(t) = \sin(\omega_1 t + \phi_1 - \omega_2 t - \phi_2) \quad (3.49)$$

Da eq.(3.49) percebe-se que o sinal de controle  $u_d(t)$  é uma senoide, cuja frequência é a diferença entre a frequência dos sinais de entrada e saída do q-PLL, valendo a mesma relação para a fase.

O sinal de controle entra no controlador PI, o qual altera sua dinâmica de acordo com os parâmetros de sintonia. Maiores detalhes sobre os critérios para a sintonia do controlador serão apresentados nas próximas seções.

A saída do controlador é injetada em um integrador, produzindo um sinal de posição angular  $\omega_2 t$ , cuja inclinação tem relação direta com a frequência dos sinais que serão produzidos pelos blocos seno e cosseno.

Seja o caso onde a frequência de entrada é  $\omega_1$  e a frequência inicial do PLL é nula. Com base na equação (3.49), sabe-se que a frequência inicial do sinal de controle é igual à frequência de entrada. A dinâmica imposta pelo controlador deve fazer com que a frequência do sinal de controle decresça até se anular (instante o qual a frequência de entrada foi reconhecida.)

### 3.5.2 Desempenho Dinâmico do Circuito q-PLL

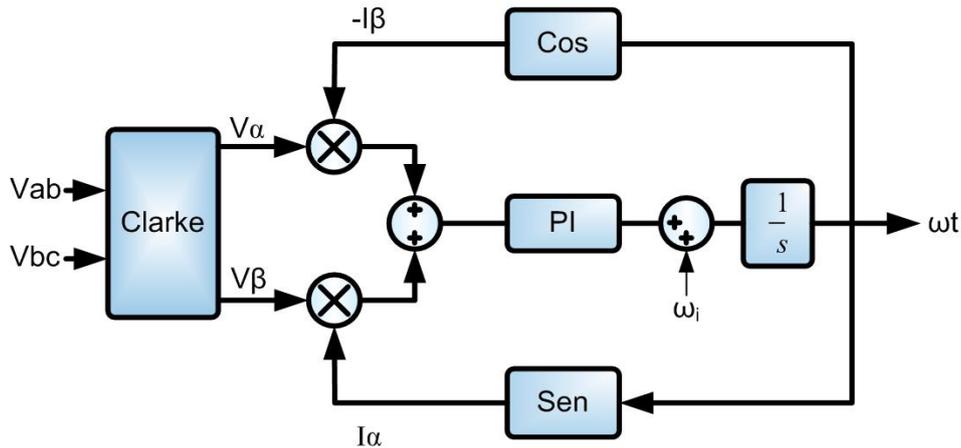
As características dinâmicas do circuito q-PLL estão fortemente ligadas aos ajustes do filtro de malha, neste caso um controlador PI. Existem, basicamente, dois aspectos que devem ser observados para o ajuste do controlador, são eles:

- Tempo necessário para que o circuito reconheça a frequência e fase do sinal de entrada;
- Capacidade para rejeição de ruído e oscilações, oriundas de desbalanços e harmônicos do sinal de entrada.

Esses requisitos são dificilmente satisfeitos de forma simultânea, uma vez que para o circuito ser rápido em regime transitório, é necessário ter uma banda passante larga, enquanto que a rejeição de oscilações e ruídos impõe restrições à máxima banda passante.

---

Como a frequência de interesse neste trabalho é bem conhecida, e que em geral não deve variar de forma significativa, pode-se utilizar de um artifício simples para acelerar o tempo de reconhecimento do circuito. Considera-se um valor inicial na saída do controlador, ou seja, o circuito integrador inicia o processo em torno de uma frequência central  $\omega_i$ . Assim, o circuito da Fig. 3.7 passa a ser representado conforme a Fig. 3.8.



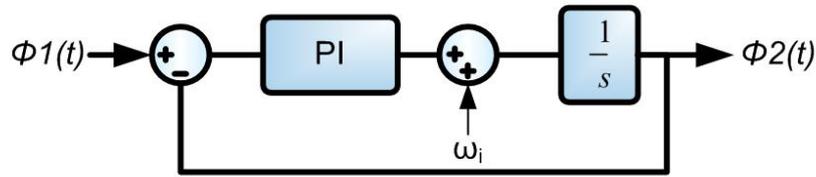
**Fig. 3.8 - Circuito q-PLL com condição inicial de frequência.**

Para esta situação, tem-se que as frequências de entrada e saída do q-PLL são iguais. Considerando novamente que os sinais de entrada são senoidais, equilibrados e com amplitude unitária, pode-se reescrever a eq.(3.49) como:

$$u_o(t) = \text{sen}(\phi_1 - \phi_2) \tag{3.50}$$

E assim, percebe-se que a diferença de fase entre os sinais aparece na saída do detector de fase como um valor constante. Se a fase do sinal de entrada for maior que a do q-PLL, então o erro positivo faz com que a frequência do circuito seja ligeiramente aumentada, de forma a igualar os sinais de entrada e saída. Se o sinal de entrada está atrasado em relação ao gerado pelo circuito, então a malha diminui brevemente a frequência de saída, até que as fases se igualem anulando o sinal de erro.

A eq.(3.50) é não linear, porém para erros pequenos pode-se representar a malha do PLL conforme o modelo linearizado da Fig. 3.9.



**Fig. 3.9 - Modelo linearizado do q-PLL para pequenas variações.**

A função de transferência do controlador PI é apresentada na eq.(3.51).

$$PI_{PLL}(s) = \frac{K_{PLL}(s + \omega_{Z_{PLL}})}{s} \quad (3.51)$$

A função de transferência de laço aberto (FTLA) do modelo linearizado do q-PLL pode ser escrita conforme (3.52). Observa-se que o sistema possui dois pólos na origem, sendo possível ajustar a posição do zero e ganho do controlador.

$$FTLA_{PLL}(s) = \frac{K_{PLL}(s + \omega_{Z_{PLL}})}{s^2} \quad (3.52)$$

Os dois pólos na origem garantem erro nulo em regime permanente, tanto para posição como para velocidade. Isso é verificado na prática, onde o circuito consegue reconhecer fase e frequência do sinal de entrada.

É possível conceber um circuito PLL com apenas um integrador na FTLA, porém deve-se observar que caso as frequências de entrada e saída do circuito sejam diferentes, então somente a frequência de entrada é reconhecida, e logo o circuito não provê correção à diferença de fase entre os sinais. Por outro lado, se as frequências são iguais, o circuito consegue reconhecer a fase do sinal de entrada.

Conforme apresentado, é possível reduzir consideravelmente o tempo necessário para que o q-PLL entre em regime. Ainda assim, é importante observar que em aplicações como filtros ativos, o tempo de estabelecimento do circuito de sincronismo não é em geral um parâmetro prioritário, uma vez que o filtro ativo apresenta etapas iniciais de energização que são normalmente lentas e independentes do q-PLL. Nesse sentido, o ajuste dos parâmetros do controlador PI será feito priorizando a rejeição de ruído e sinais alternados, que por ventura possam aparecer na saída do detector de fase, uma vez que estes podem distorcer o sinal de sincronismo na saída do q-PLL.

Analisando a FTLA do modelo linearizado do q-PLL, eq.(3.52), observa-se que a resposta em frequência do sistema tem características de um filtro passa baixa. Para

freqüência nula o ganho é infinito, sendo que com o aumento da freqüência o sistema apresenta uma atenuação de aproximadamente 40dB/década (ou 12dB/oitava) até freqüências próximas ao zero do controlador, e a partir daí a atenuação é de 20dB/década. Assim, os parâmetros do controlador podem ser projetados para prover uma determinada atenuação, com base na menor freqüência que se deseja rejeitar, uma vez que as freqüências superiores serão atenuadas de forma mais intensa.

As tensões da rede de suprimento podem estar desbalanceadas e distorcidas. A circulação de correntes de alta freqüência (provenientes da comutação dos interruptores do conversor) pelas impedâncias da rede também contribuem para a distorção da tensão do PAC. Com o circuito de sincronismo em regime, a primeira freqüência de interesse para rejeição é duas vezes maior que a freqüência da rede, sendo que esta surge principalmente quando as tensões do sistema estão desbalanceadas, ou seja, quando existe a componente fundamental de seqüência negativa.

A posição do zero do controlador tem relação direta com o tipo de resposta da malha quando a mesma é submetida a uma perturbação do tipo degrau. Se o zero for alocado mais próximo da origem, então a contribuição de fase deste é maior na freqüência de cruzamento, e assim tem-se uma resposta mais amortecida, assemelhando-se a uma resposta de 1ª ordem. Por outro lado, ao posicionar o zero do controlador mais próximo da freqüência de cruzamento, a resposta é, em geral, mais rápida e oscilatória.

### 3.5.3 Projeto do Controlador PI

A determinação dos parâmetros do controlador PI será feita com base nos requisitos de atenuação de sinais oscilatórios e característica de resposta quando o sistema é submetido a uma perturbação de referência. Como a especificação de atenuação é priorizada, a metodologia empregada será baseada em técnicas de resposta em freqüência.

Considerando que o zero do controlador esteja abaixo da freqüência de cruzamento da FTLA do q-PLL, então ao fixar a freqüência de cruzamento uma década abaixo da primeira freqüência de interesse (120Hz), obtém-se uma atenuação de 20dB nesta freqüência. Assim:

$$f_{c_{PLL}} = \frac{120\text{Hz}}{10} = 12\text{Hz} \quad (3.53)$$

Embora o sistema linearizado em questão seja de 2ª ordem, é importante ressaltar que a presença do zero do controlador PI pode alterar de forma significativa a resposta do sistema. Portanto, deve-se ter cuidado ao utilizar metodologias que simplificam o projeto considerando o sistema como se tivesse apenas dois pólos. De qualquer forma, os requisitos de resposta temporal são menos críticos, e assim o posicionamento do zero do controlador será feito no sentido de prover adequada margem de fase ao sistema, uma vez que a margem de fase tem relação direta com o amortecimento. Escolhe-se uma margem de fase de 55°, valor em geral bastante adequado para uma resposta subamortecida. Como sistema possui dois pólos na origem (um do integrador e outro do controlador PI), a fase do mesmo sem o zero é sempre igual à -180°. Assim, o zero deve contribuir com 55° na frequência de cruzamento desejada, e então:

$$a \tan \left( \frac{f_{c_{PLL}}}{f_{z_{PLL}}} \right) = 55^\circ \quad (3.54)$$

$$f_{z_{PLL}} = 8,402\text{Hz}$$

Onde:

$$\begin{cases} f_{z_{PLL}} = \frac{\omega Z_{PLL}}{2\pi} \\ f_{c_{PLL}} = \frac{\omega C_{PLL}}{2\pi} \end{cases} \quad (3.55)$$

O último passo para o ajuste do controlador é determinar o ganho do controlador, o qual deve garantir que a amplitude na frequência de cruzamento seja unitária. O valor do ganho é obtido a partir do módulo da FTLA do PLL, conforme a eq.(3.56).

$$|FTLA_{PLL}(s)|_{s=j\omega_{C_{PLL}}} = 1$$

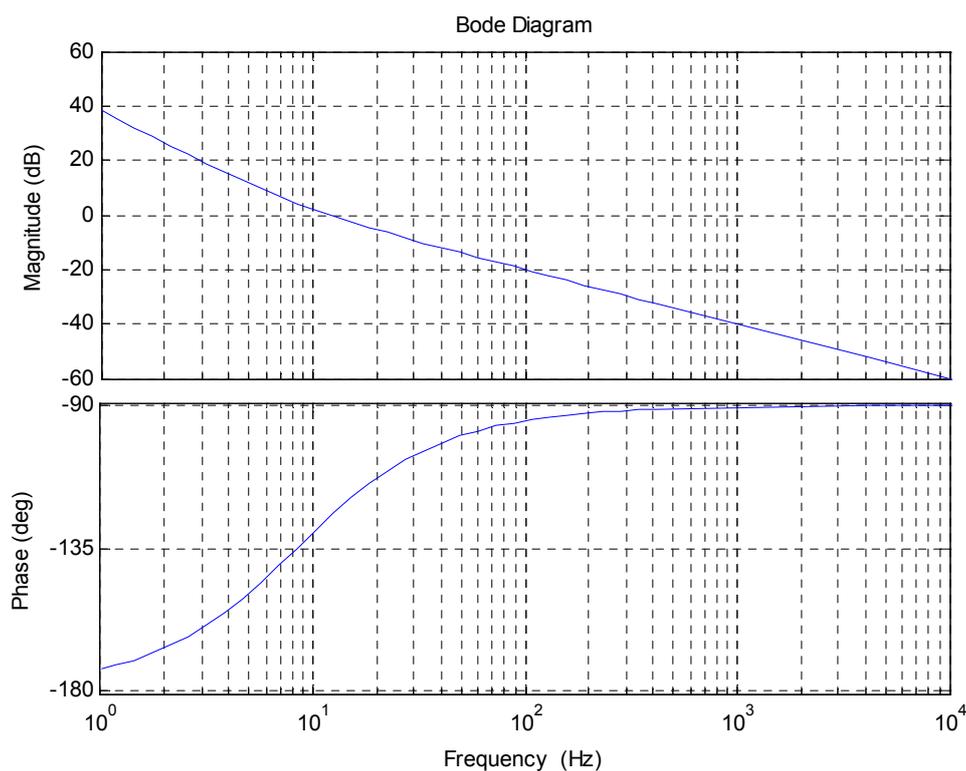
$$K_{PLL} = \left| \frac{1}{\frac{(s + \omega Z_{PLL})}{s^2}} \right|_{s=j\omega_{C_{PLL}}} \quad (3.56)$$

$$K_{PLL} = 61,763$$

O controlador PI projetado é apresentado na eq.(3.57).

$$PI_{PLL}(s) = \frac{61,736(s + 52,794)}{s} \quad (3.57)$$

Os diagramas de Bode da FTLA do q-PLL são apresentados na Fig. 3.10 onde se verifica que o projeto atendeu os requisitos.

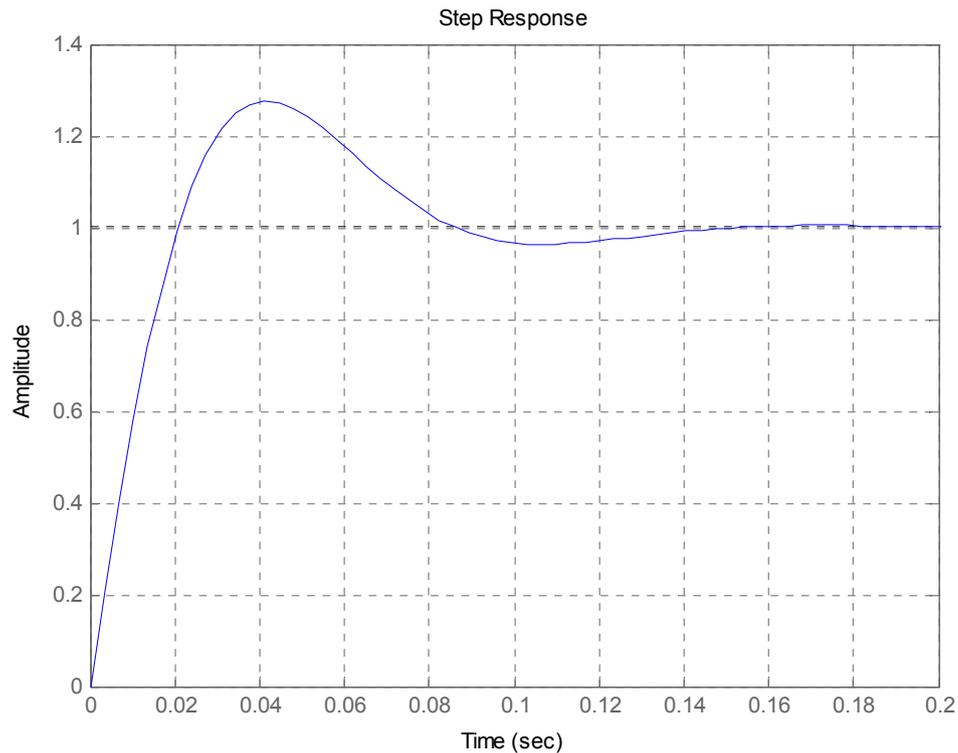


**Fig. 3.10 – Diagramas de Bode da FTLA do circuito q-PLL.**

A resposta ao degrau unitário é exibida na Fig. 3.11. A Tabela 3.3 resume as principais características do modelo linearizado, obtidas com o controlador PI projetado.

**Tabela 3.3 - Resumo das características do modelo linearizado com o controlador PI.**

Parâmetro	Valor
Frequência de cruzamento da FTLA	12Hz
Margem de fase	55°
Atenuação em 120Hz	21,7dB
Tempo de subida - resposta ao degrau	0,0162s
Sobre-sinal máximo - resposta ao degrau	27,7%
Tempo de estabelecimento (2%) - resposta ao degrau	0,129s



**Fig. 3.11 – Resposta ao degrau do sistema linearizado do q-PLL.**

As informações obtidas através da resposta temporal do circuito, para uma entrada tipo degrau unitário, permitem observar o comportamento do circuito quando submetido a pequenas perturbações na entrada.

### 3.5.4 Simulação do Circuito q-PLL

Nesta seção serão apresentados diversos resultados obtidos através da simulação numérica do circuito de sincronismo q-PLL, para diferentes situações e instantes de operação. O software utilizado foi o PSIM.

O sistema de alimentação será representado por fontes de tensão alternada ligadas em série, de forma a produzir sinais desbalanceados com elevada distorção harmônica. Para a frequência fundamental serão utilizadas duas fontes por fase, uma referente à componente de seqüência positiva e outra para a de seqüência negativa. O circuito simulado está representado na Fig. 3.12.

A Tabela 3.4 apresenta as informações relativas à composição básica das tensões do sistema para todos os testes do q-PLL. Em cada uma das simulações que seguem serão informados os parâmetros modificados.

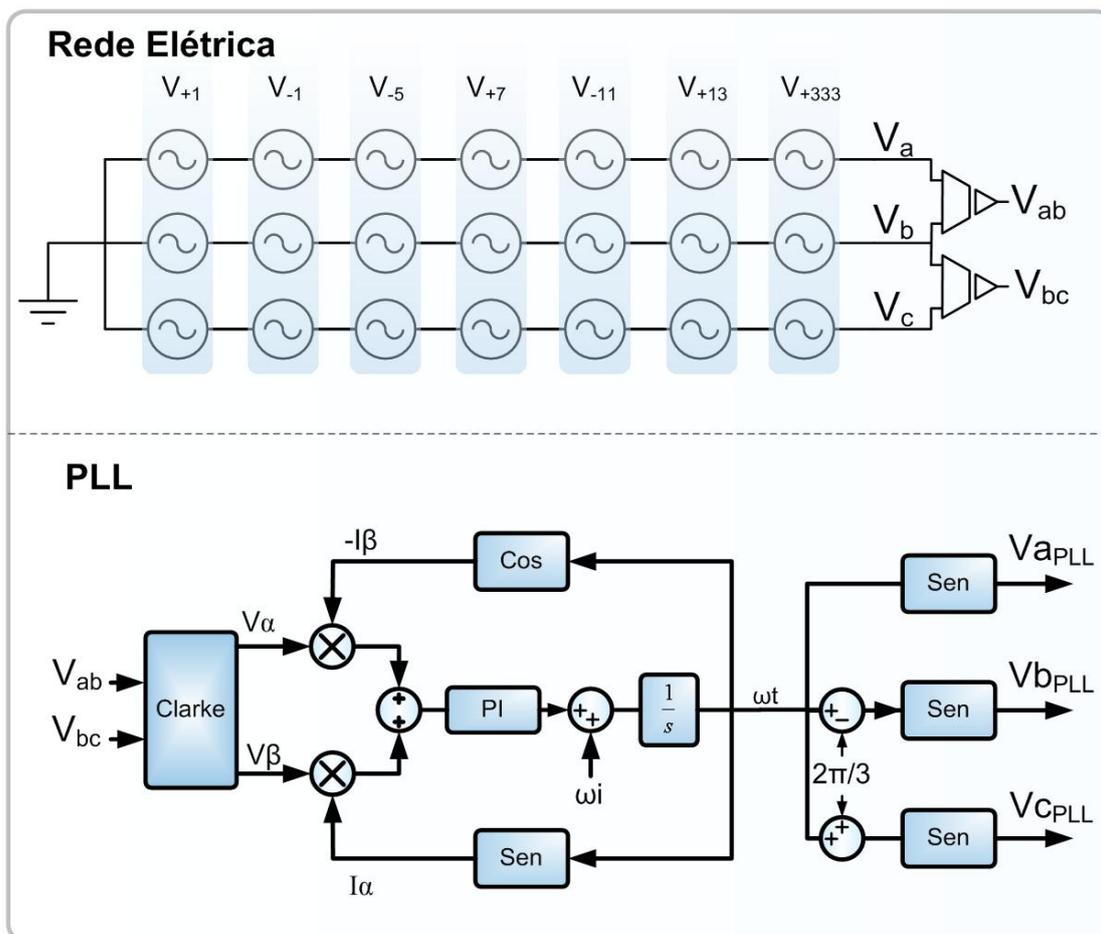
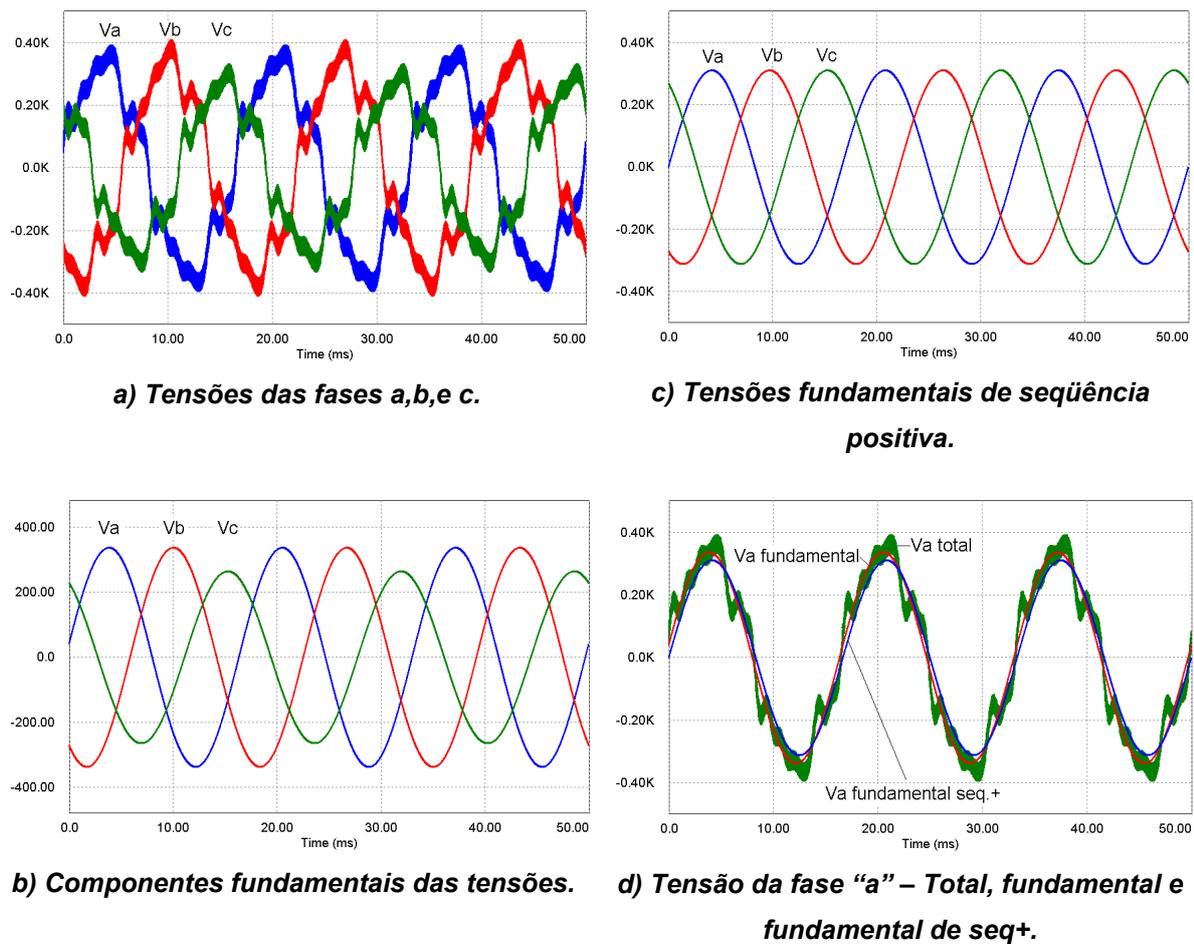


Fig. 3.12 – Circuito PLL simulado.

Tabela 3.4 - Composição harmônica básica das tensões do sistema.

Componente	Freq.	Seq. fase	Amplitude	Fase	Amp. % Seq +
Fundamental	60	Positiva	311	0	100
Fundamental	60	Negativa	62	60	20
5° Harmônico	300	Negativa	37,2	0	12
7° Harmônico	420	Positiva	31	60	10
11° Harmônico	660	Negativa	21,7	0	7
13° Harmônico	780	Positiva	15,5	0	5
333° Harmônico	19980	Positiva	62	0	20

A Fig. 3.13-a ilustra as tensões de fase do sistema em questão, onde se percebe facilmente a elevada distorção (aproximadamente 24%) e desbalanço.



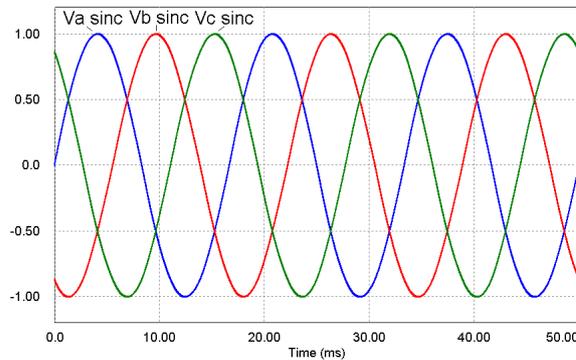
**Fig. 3.13 - Tensões do sistema para os testes do circuito PLL.**

Na Fig. 3.13-b verifica-se o desbalanço da componente fundamental, em contraste com a Fig. 3.13-c, onde são ilustradas apenas as componentes fundamentais de seqüência positiva. Por fim, na Fig. 3.13-d é possível observar a diferença entre a tensão instantânea da fase "a", sua componente fundamental total e a componente fundamental de seqüência positiva.

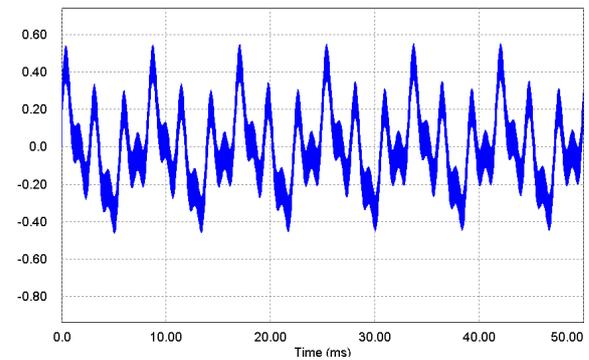
#### **A - Resposta com Frequência Nominal e $\phi_1 = 0^\circ$**

Esta simulação apresenta a resposta do circuito PLL quando o mesmo entra em funcionamento no instante em que a tensão de seqüência positiva da fase "a" do sistema tem valor nulo. Observa-se que mesmo com toda a distorção e desbalanço das tensões, o circuito PLL reconhece instantaneamente a fase da componente fundamental de seqüência positiva do sistema.

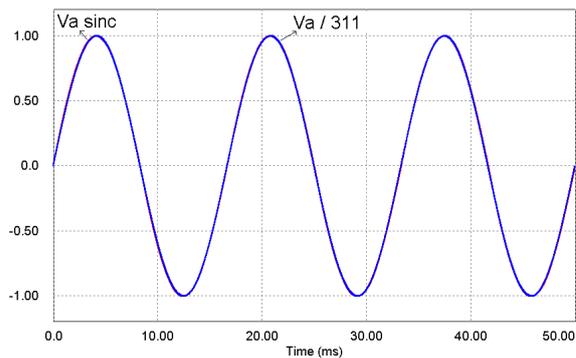
A Fig. 3.14-a ilustra os sinais de sincronismo gerados pelo o circuito PLL, os quais são senoidais (distorção harmônica total de 0,71%), equilibrados e em fase com as tensões de seqüência positiva.



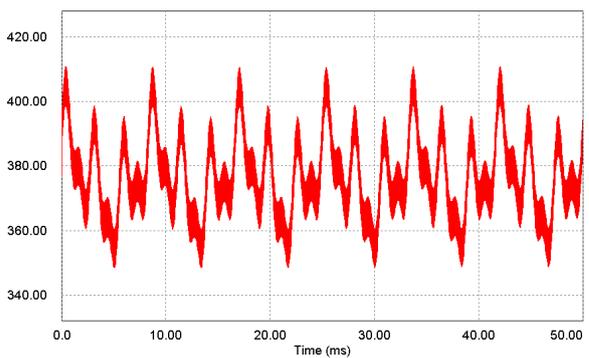
a) Sinais de sincronismo das fases a,b,e c.



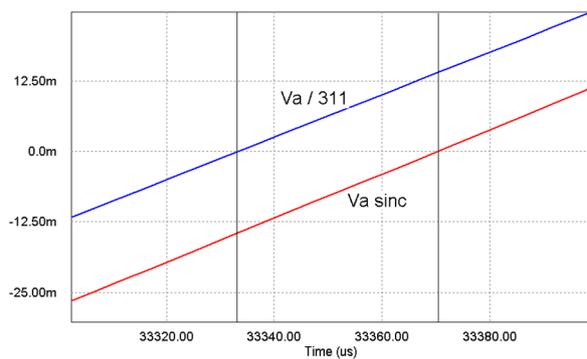
d) Sinal de saída do detector de fase.



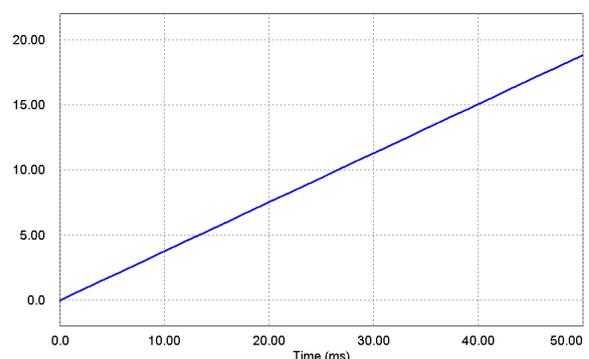
b) Sinal de sincronismo e componente fundamental de seq.+ (atenuada) da fase a.



e) Sinal na entrada do integrador.



c) Detalhe dos sinais de sincronismo e fundamental de seq.+



f) Sinal na saída do integrador.

Fig. 3.14 - Sinais do PLL para entrada com fase inicial nula.

Na Fig. 3.14-b são sobrepostos os sinais de sincronismo gerado pelo PLL e a componente fundamental de seqüência positiva, ambos da fase “a”, onde se percebe que a diferença de fase entre estes é realmente muito pequena (aproximadamente  $0,81^\circ$ ), conforme evidencia a Fig. 3.14-c. O sinal de saída do detector, ilustrado na Fig. 3.14-d, é composto por diversos sinais, oriundos do desbalanço e da distorção das tensões do sistema, mas como esperado, apresenta valor médio nulo. A Fig. 3.14-e ilustra a entrada do integrador, onde o valor médio do sinal é a condição inicial do PLL ( $\omega_i = 2\pi \cdot 60$ ). Na saída do integrador, Fig. 3.14-f verifica-se que a malha do PLL conseguiu rejeitar consideravelmente os sinais indesejados.

A pequena diferença de fase encontrada tem relação com a elevada distorção e desequilíbrio das tensões do sistema, uma vez que estes sinais não são completamente rejeitados pela malha. Tais sinais se sobrepõem ao sinal de posição angular, que é o argumento das funções trigonométricas presentes, fazendo que as senoides e cossenoides geradas não sejam perfeitamente puras.

### **B - Resposta com Frequência Nominal e $\phi_1 = 90^\circ$**

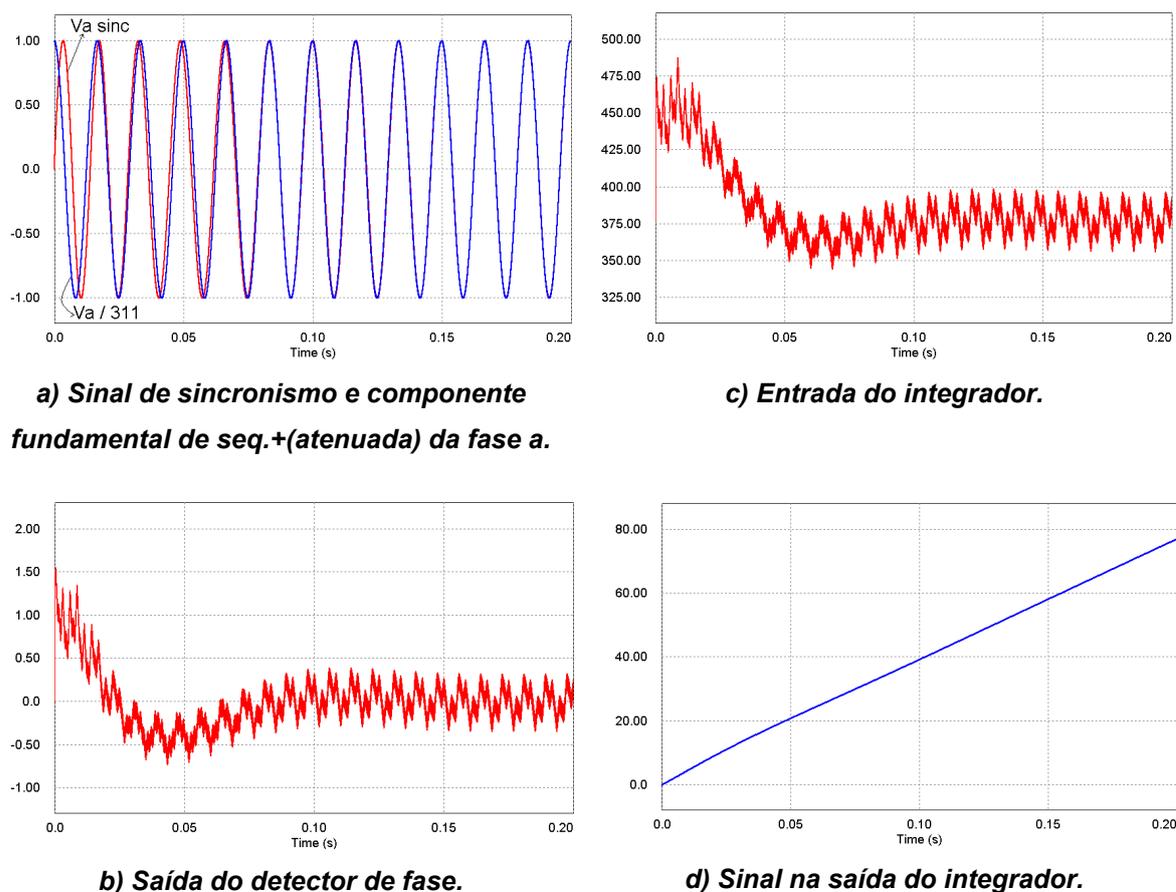
Para este caso considera-se que o circuito entra em funcionamento no instante em que a tensão de seqüência positiva da fase “a” do sistema tem valor máximo. Os dados do sistema são os mesmos do caso anterior, exceto pela fase inicial da componente fundamental de seqüência positiva ( $\phi_+ = 90^\circ$ ).

Os resultados mostrados na Fig. 3.15 demonstram que nesta situação o PLL apresenta um comportamento transitório inicial bem definido, em função da diferença de fase entre os sinais de entrada e saída. A Fig. 3.15-a ilustra o sinal de sincronismo juntamente com a tensão fundamental de seqüência positiva da fase “a” (normalizada à unidade), onde é possível verificar que o circuito entra em regime em menos de dez ciclos da rede.

O sinal de erro (saída do detector de fase) da malha é mostrado na Fig. 3.15-b e o sinal na entrada do integrador é exibido na Fig. 3.15-c. Ambos apresentam o comportamento esperado do PLL, onde o sinal de erro converge para um valor médio nulo e o sinal na entrada do integrador converge para o valor da freqüência angular de entrada.

A taxa de variação no tempo do sinal de saída do integrador também fornece informações importantes da operação do PLL. É possível identificar na Fig. 3.15-d que a freqüência inicial do PLL é maior que a nominal. Observa-se uma maior derivada do sinal no período entre 0 e 40ms aproximadamente.

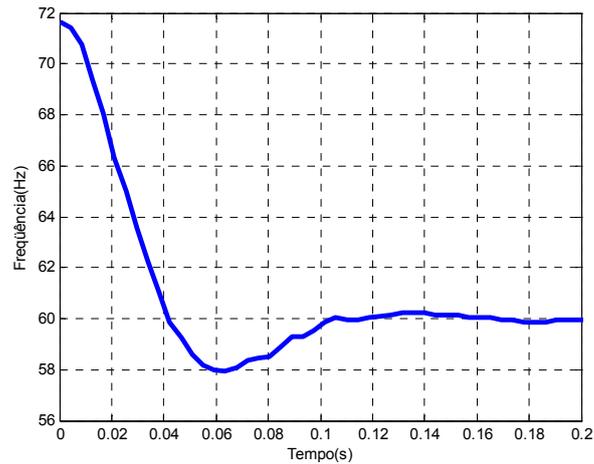
---



**Fig. 3.15 - Sinais do PLL para o caso onde a fase inicial de entrada é de  $90^\circ$ .**

O comportamento dinâmico do PLL deste caso pode ser comparado com a resposta ao degrau do circuito linearizado da Fig. 3.11. De forma a analisar a ação da malha sobre a frequência de operação do PLL, foram feitas diversas medidas de frequência no sinal de sincronismo simulado, para os primeiros doze ciclos de operação. Vale ressaltar que foram feitas quatro medições por ciclo, através da leitura manual dos períodos do sinal de sincronismo, o que pode ter acarretado em erros de medição.

A Fig. 3.16 apresenta de forma gráfica as medições de frequência durante o comportamento transitório do PLL. Este gráfico é uma imagem do valor médio do sinal na entrada do integrador. Cabe observar que a frequência aqui representada está em Hz, e não em rad/s como na Fig. 3.15-c. O PLL inicia a operação com frequência maior que a do sinal entrada, de forma a “alcançar” este. Ao mesmo tempo que a diferença de fase vai diminuindo (sinal de erro), a frequência do PLL vai igualmente sendo reduzida. Entre 40ms e 100ms a frequência do PLL é menor que a da entrada, em função da resposta típica do sistema ( $2^{\text{a}}$  ordem). Em aproximadamente 150ms o erro de frequência já é menor que 1%. A diferença de fase em regime permanente foi a mesma do caso anterior.

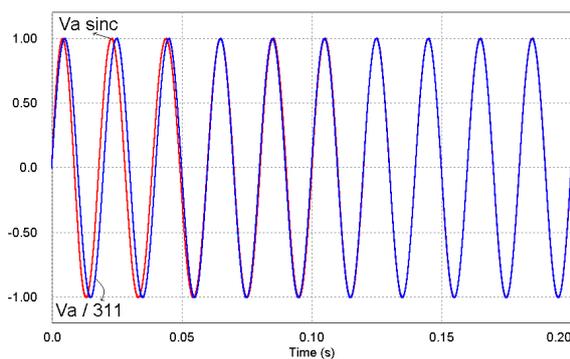


**Fig. 3.16 – Comportamento da frequência de saída do PLL.**

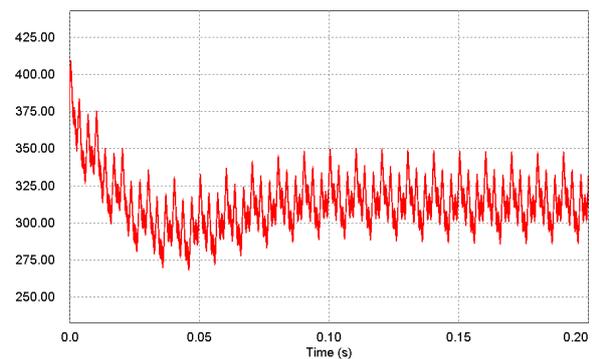
### C - Resposta com Frequência Fundamental $f = 50\text{Hz}$ e $\phi_1 = 0^\circ$

Nesta simulação será avaliada a resposta do circuito PLL quando a frequência da rede elétrica (50Hz) é diferente da frequência inicial do PLL (60Hz).

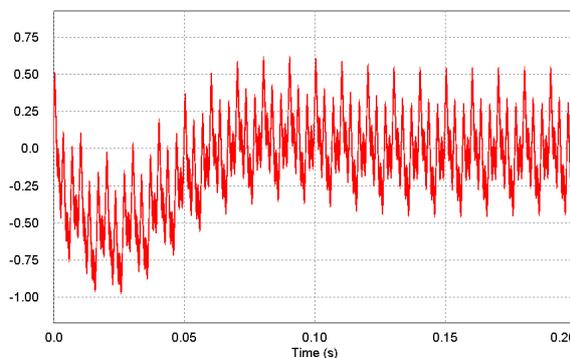
Os principais sinais do circuito para este caso são apresentados na Fig. 3.17.



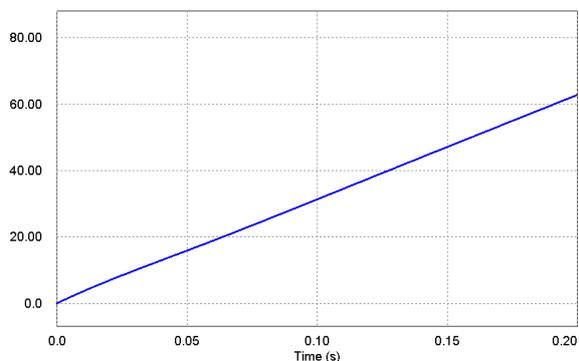
**a) Sincronismo e componente fundamental de seqüência positiva (atenuada) fase a.**



**c) Sinal de entrada do integrador**



**b) Saída do detector de fase.**



**d) Sinal da saída do integrador.**

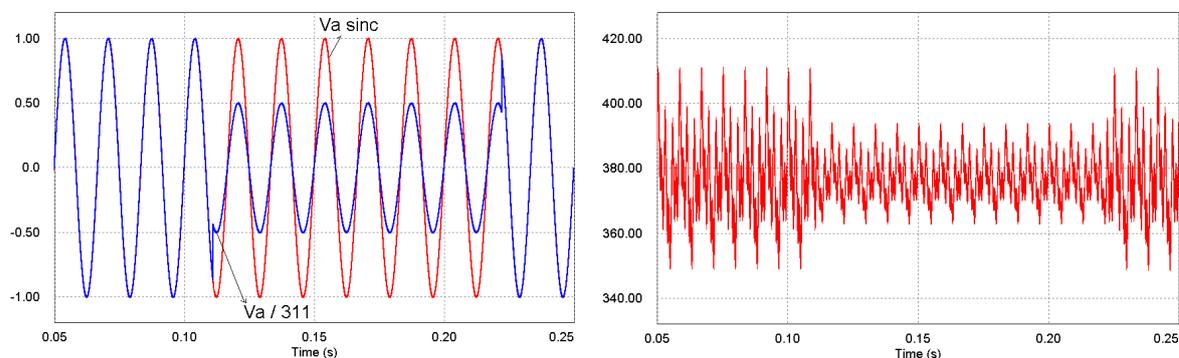
**Fig. 3.17 - Resposta do circuito PLL para frequência de entrada diferente da inicial.**

O PLL consegue reconhecer a frequência e fase do sinal de entrada em pouco mais de 100ms. Como esperado, o sinal de erro (Fig. 3.17-b) possui valor médio nulo após o circuito entrar em regime, enquanto que o sinal na entrada do integrador (Fig. 3.17-c) converge para um valor médio correspondente a frequência angular do sinal de entrada. Do sinal de saída do integrador verifica-se o comportamento da frequência com base na inclinação do sinal, que neste caso é mais acentuada nos primeiros 3ms de operação.

#### D - Resposta a um Degrau de Amplitude

Com o intuito de avaliar o comportamento dinâmico do PLL frente a variações da amplitude das tensões de entrada, considera-se agora uma situação onde o circuito encontra-se em regime permanente e no instante  $t=111.11\text{ms}$  tem-se uma redução de 50% na amplitude nos sinais de entrada. No instante  $t=222.22\text{ms}$  a amplitude nominal dos sinais de entrada é restabelecida.

Analisando a Fig. 3.18-a, verifica-se que o circuito PLL não é afetado pela variação da amplitude do sinal de entrada, uma vez que o sinal de sincronismo mantém-se em fase com a componente fundamental de seqüência positiva. O sinal de entrada do integrador (Fig. 3.18-b) também mantém seu valor médio durante a perturbação.

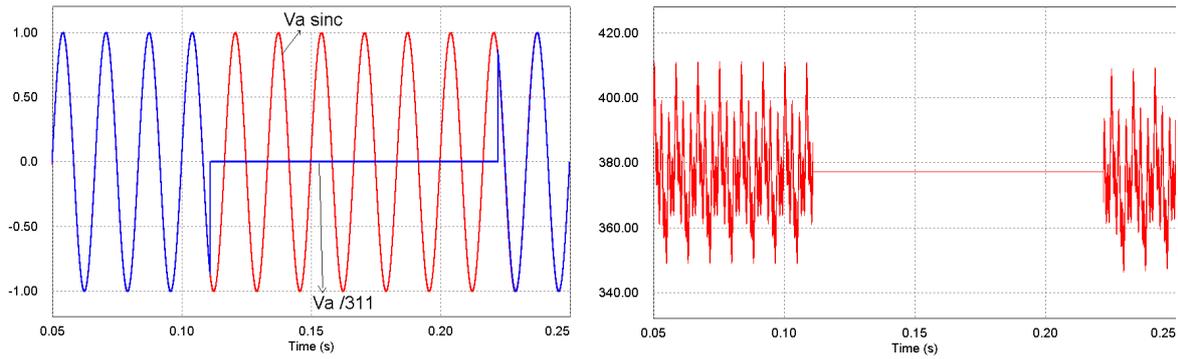


**a) Sincronismo e componente fundamental de seqüência positiva (atenuada) fase a.**

**b) Sinal de entrada do integrador.**

**Fig. 3.18 - Comportamento do PLL para um degrau de amplitude de 50%**

Será considerada agora uma segunda situação de perturbação de amplitude dos sinais de referência. Um degrau de 100% de amplitude é aplicado nos mesmos instantes do caso anterior. A Fig. 3.19-a demonstra que o sinal de sincronismo se mantém inalterado durante a perturbação, uma vez que o PLL continua oscilando sobre a sua frequência central (Fig. 3.19-b).



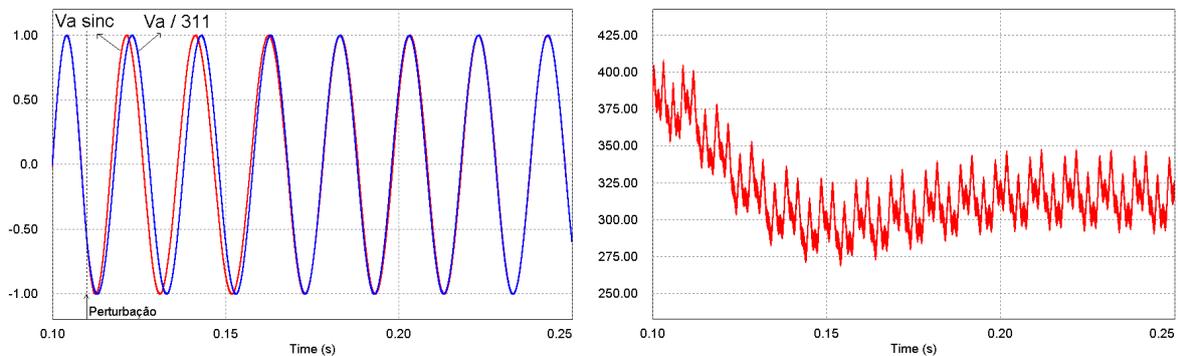
**a) Sincronismo e componente fundamental de seqüência positiva (atenuada) fase a.**

**b) Sinal de entrada do integrador.**

**Fig. 3.19 - Comportamento do PLL para um degrau de amplitude de 100%**

### E - Resposta a um Degrau de Frequência

Este exemplo ilustra uma situação onde o circuito PLL encontra-se em regime permanente e a frequência do sinal de entrada é bruscamente reduzida de 60Hz para 50Hz. Os resultados obtidos são bastante semelhantes ao caso anteriormente apresentado, onde a frequência inicial do PLL é diferente da frequência de entrada. A Fig. 3.20 ilustra os resultados obtidos, onde é verificado que o circuito entra em regime em pouco mais de 100ms após a perturbação.



**a) Sincronismo e componente fundamental de seqüência positiva (atenuada) fase a.**

**b) Sinal de entrada do integrador.**

**Fig. 3.20 - Comportamento do PLL para um degrau de frequência.**

### 3.6 CONCLUSÕES

A estratégia para a obtenção das correntes de referência do FAP foi estudada neste capítulo. A transformação  $abc/dq0$  é uma ferramenta de grande potencial, que deve ser bem compreendida para que possa ser utilizada no controle de uma determinada estrutura. Quando aplicada a filtros ativos, é extremamente importante entender como os sinais genéricos de um sistema  $abc$  aparecem sobre os eixos síncronos. Através da teoria das componentes simétricas, foi possível realizar uma análise generalizada para cada conjunto de fasores (tensão ou corrente), de qualquer frequência, estando estes equilibrados ou não.

Através de simulação numérica comprovou-se o funcionamento da estratégia, onde o filtro ativo foi representado por fontes de corrente ideais. Esta representação foi adequada, pois permitiu analisar somente a estratégia, uma vez que a estrutura de potência do filtro apresenta dinâmicas que poderiam mascarar os resultados obtidos.

O circuito de sincronismo PLL estudado mostrou-se eficiente e robusto no reconhecimento de frequência e fase das tensões de um sistema trifásico a três fios. Mesmo sob condições adversas de ruído, distorção e desbalanços, o q-PLL conseguiu rastrear a frequência e fase da componente fundamental de seqüência positiva das tensões da rede com grande precisão. Todavia, é importante ressaltar que essas estruturas apresentam algumas desvantagens. Como o circuito reconhece a fase da componente fundamental de seqüência positiva das tensões, caso a seqüência de fase seja invertida, o PLL não obterá êxito em sua tarefa. Outro fato relevante é que na presença de frequências sub-harmônicas, o circuito pode falhar no rastreamento da fundamental.



# CAPÍTULO 4

---

---

## MODELAGEM DO CONVERSOR E ESTRATÉGIA DE CONTROLE

---

---

### 4.1 INTRODUÇÃO

A estratégia para a determinação das correntes de referência do filtro ativo foi apresentada no capítulo anterior. Para que estas sejam corretamente impostas na rede, com o menor erro possível, é necessário compensar as dinâmicas envolvidas na estrutura. Como se pretende utilizar compensadores lineares para tal função, é imprescindível a determinação de um modelo matemático que descreva o funcionamento de cada elemento do sistema.

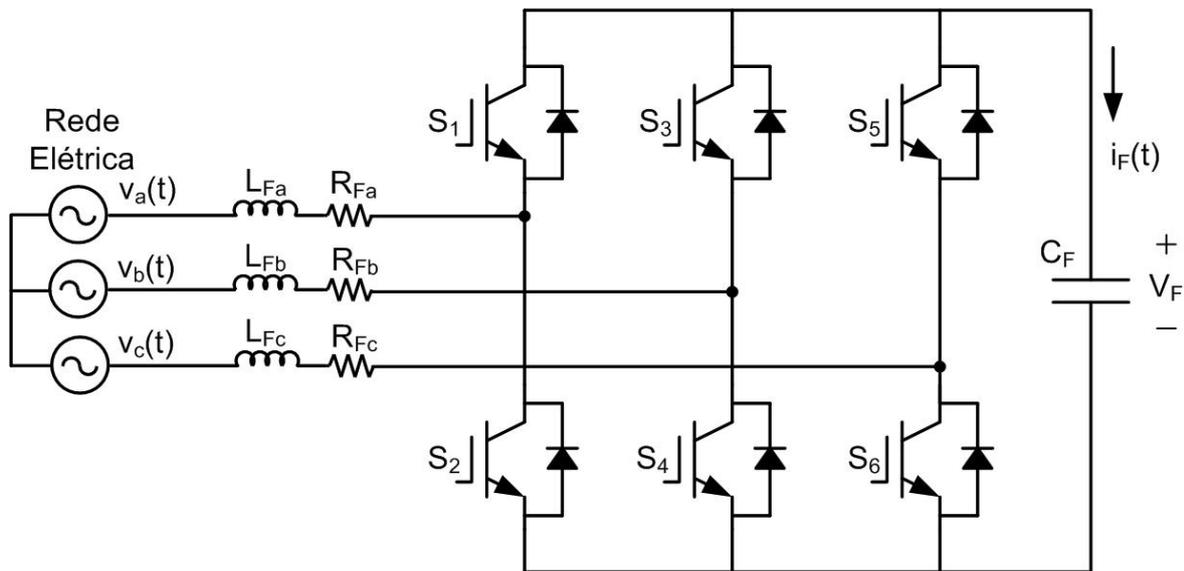
O filtro ativo paralelo é uma estrutura complexa, compreendida por diversas subestruturas. O conversor estático de potência é o elemento do filtro responsável por injetar na rede elétrica as correntes de compensação geradas pelo circuito de controle. Embora a associação do conversor com os indutores de acoplamento promova uma característica de fonte de corrente à estrutura, sabe-se que a presença do indutor introduz dinâmicas ao sistema. Da mesma forma, o capacitor utilizado no barramento do filtro não é uma fonte de tensão constante ideal, devendo ser controlado para que não se descarregue.

Deseja-se obter um modelo linear que relacione as correntes drenadas pelo filtro com as respectivas razões cíclicas. Como a compensação da tensão do barramento do filtro é feita através das correntes drenadas por este, é necessário determinar também um modelo matemático que relacione a tensão do barramento com as correntes de entrada.

Neste capítulo será apresentada a modelagem do conversor trifásico bidirecional utilizado no filtro ativo. Um modelo matemático para estas estruturas pode ser complexo e ainda assim pouco representativo, conforme as simplificações adotadas ao longo do equacionamento. A utilização da transformação  $abc/dq0$  permite a obtenção de um modelo preciso do conversor, sendo que a metodologia empregada é relativamente simples. Assim, o desenvolvimento do modelo matemático será feito no domínio  $dq0$ , com base nos trabalhos [30][23][26][31]. Ao fim do capítulo será apresentada a estrutura completa do controle do filtro FAP.

## 4.2 CONVERSOR BIDIRECIONAL TRIFÁSICO

A estrutura do conversor trifásico é apresentada na Fig. 4.1. O conversor VSI é formado pelos interruptores bidirecionais em corrente  $S_1, S_2, S_3, S_4, S_5, S_6$  e pelo capacitor  $C_F$ . Com o circuito operando em regime, a tensão no capacitor  $C_F$  é considerada constante e igual à  $V_F$ . O acoplamento com a rede é feito através dos indutores  $L_{Fa}, L_{Fb}$  e  $L_{Fc}$ , sendo que os resistores  $R_{Fa}, R_{Fb}$  e  $R_{Fc}$  representam as resistências equivalentes por fase.

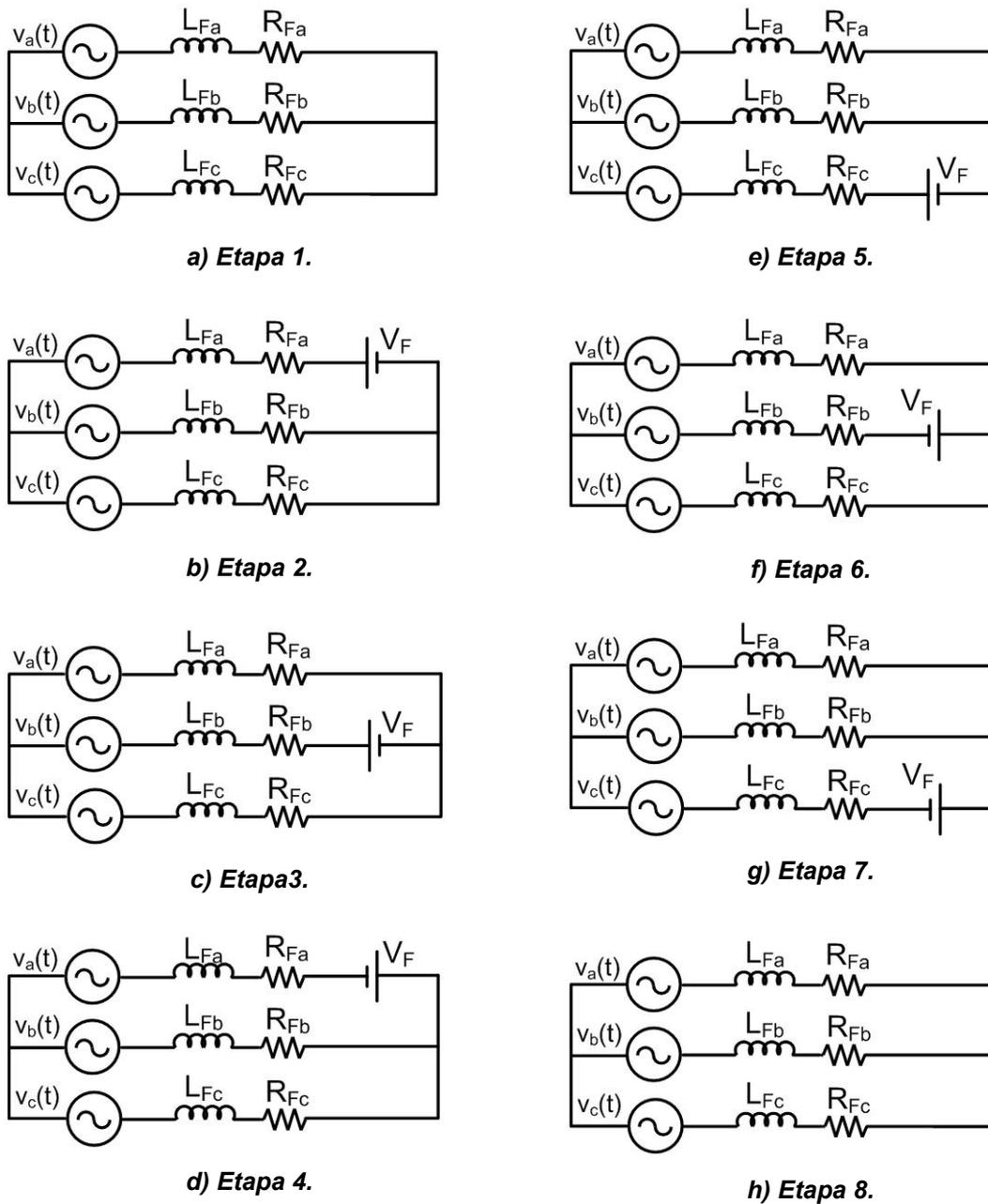


**Fig. 4.1 - Conversor VSI conectado ao sistema.**

Considerando que os interruptores de um mesmo braço do conversor são sempre comandados de forma complementar, logo existem oito possíveis combinações de comando. As etapas de operação do conversor são apresentadas pelos oito circuitos equivalentes da Fig. 4.2.

## 4.3 MODELAGEM DO CONVERSOR PARA AS CORRENTES

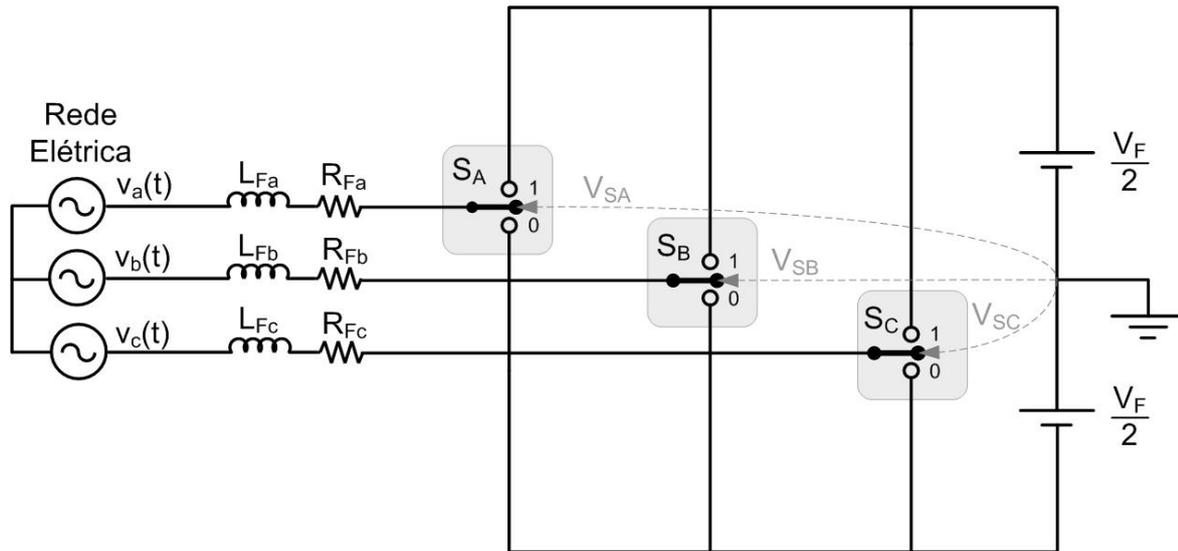
Na obtenção do modelo linear que relaciona as correntes do conversor com suas respectivas razões cíclicas, será considerado o circuito elétrico mostrado na Fig. 4.1. Neste circuito, a rede elétrica é representada por três fontes senoidais, conforme (4.1), onde  $V_p$  é a tensão de pico.



**Fig. 4.2 – Circuitos equivalentes das etapas de operação do conversor VSI.**

$$\begin{cases} v_a(t) = V_p \cdot \text{sen}(\omega t) \\ v_b(t) = V_p \cdot \text{sen}(\omega t - 120^\circ) \\ v_c(t) = V_p \cdot \text{sen}(\omega t + 120^\circ) \end{cases} \quad (4.1)$$

É possível representar o circuito da Fig. 4.1 através do circuito simplificado apresentado na Fig. 4.3, onde  $S_A$ ,  $S_B$  e  $S_C$  são interruptores equivalentes de cada braço.



**Fig. 4.3 – Circuito simplificado do conversor.**

Os interruptores equivalentes podem assumir apenas dois estados, “0” ou “1”, conforme ilustrado na Fig. 4.3, sendo que as tensões instantâneas sobre cada interruptor, para ambos os estados, estão resumidas na Tabela 4.1.

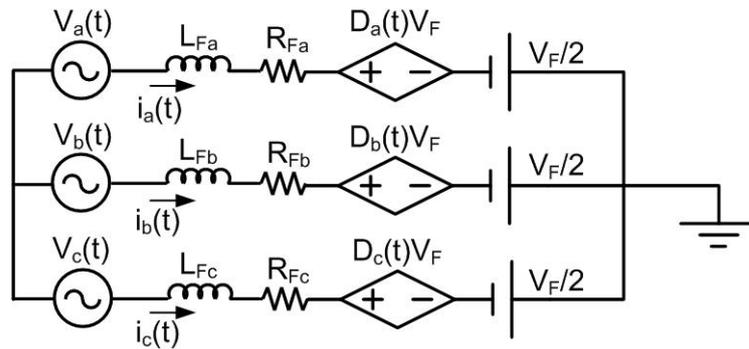
**Tabela 4.1 - Tensões instantâneas sobre os interruptores equivalentes conforme comando.**

Interruptor	Estado	Tensão sobre o Interruptor
$S_A$	0	$V_{SA} = -\frac{V_F}{2}$
	1	$V_{SA} = +\frac{V_F}{2}$
$S_B$	0	$V_{SB} = -\frac{V_F}{2}$
	1	$V_{SB} = +\frac{V_F}{2}$
$S_C$	0	$V_{SC} = -\frac{V_F}{2}$
	1	$V_{SC} = +\frac{V_F}{2}$

A comutação dos interruptores ocorre em alta frequência, onde os valores médios instantâneos das tensões sobre estes são dependentes das suas respectivas razões cíclicas. Assim é possível descrever as tensões sobre  $S_A$ ,  $S_B$  e  $S_C$  conforme (4.2).

$$\begin{cases} v_{SA}(t) = D_a(t)V_F - \frac{V_F}{2} \\ v_{SB}(t) = D_b(t)V_F - \frac{V_F}{2} \\ v_{SC}(t) = D_c(t)V_F - \frac{V_F}{2} \end{cases} \quad (4.2)$$

Com base no circuito da Fig. 4.3 e nas equações apresentadas em (4.2), obtém-se um novo circuito equivalente para o sistema, mostrado na Fig. 4.4.



**Fig. 4.4 – Circuito equivalente do conversor.**

No intuito de simplificar a análise, considera-se que tanto as tensões como as correntes do circuito são equilibradas. Assim, é possível analisar separadamente cada fase do sistema, das quais são obtidas as equações mostradas em (4.3):

$$\begin{cases} v_a(t) = L_{Fa} \frac{di_a(t)}{dt} + R_{Fa}i_a(t) + D_a(t)V_F - \frac{V_F}{2} \\ v_b(t) = L_{Fb} \frac{di_b(t)}{dt} + R_{Fb}i_b(t) + D_b(t)V_F - \frac{V_F}{2} \\ v_c(t) = L_{Fc} \frac{di_c(t)}{dt} + R_{Fc}i_c(t) + D_c(t)V_F - \frac{V_F}{2} \end{cases} \quad (4.3)$$

Os indutores de acoplamento e os resistores que representam as perdas são iguais em todas as fases, conforme (4.4).

$$\begin{cases} L_{Fa} = L_{Fb} = L_{Fc} = L_F \\ R_{Fa} = R_{Fb} = R_{Fc} = R_F \end{cases} \quad (4.4)$$

Considerando (4.4), o conjunto de equações apresentados em (4.3) pode ser reescrito de forma vetorial da seguinte forma:

$$\overline{V}_{abc} = L_F \frac{d\overline{i}_{abc}}{dt} + R_F \overline{i}_{abc} + \overline{D}_{abc} V_F - \frac{\overline{V}_F}{2} \quad (4.5)$$

Onde:

$$\overline{V}_{abc} = \begin{bmatrix} v_a(t) \\ v_b(t) \\ v_c(t) \end{bmatrix} \quad \overline{i}_{abc} = \begin{bmatrix} i_a(t) \\ i_b(t) \\ i_c(t) \end{bmatrix} \quad \overline{D}_{abc} = \begin{bmatrix} D_a(t) \\ D_b(t) \\ D_c(t) \end{bmatrix} \quad \overline{V}_F = \begin{bmatrix} V_F \\ V_F \\ V_F \end{bmatrix} \quad (4.6)$$

Conforme apresentado no capítulo anterior, um vetor qualquer no sistema  $abc$  pode ser representado no sistema  $dq0$  através da matriz de transformação  $\overline{B}^{-1}$ . De forma análoga, um vetor no sistema  $dq0$  pode ser representado no sistema  $abc$  através da matriz de transformação  $\overline{B}$ . As matrizes  $\overline{B}^{-1}$  e  $\overline{B}$  serão novamente apresentadas aqui por conveniência.

$$\overline{B}^{-1} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \cos(\omega t) & \cos(\omega t - 120^\circ) & \cos(\omega t + 120^\circ) \\ -\text{sen}(\omega t) & -\text{sen}(\omega t - 120^\circ) & -\text{sen}(\omega t + 120^\circ) \end{bmatrix} \quad (4.7)$$

$$\overline{B} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \cos(\omega t) & -\text{sen}(\omega t) \\ \frac{1}{\sqrt{2}} & \cos(\omega t - 120^\circ) & -\text{sen}(\omega t - 120^\circ) \\ \frac{1}{\sqrt{2}} & \cos(\omega t + 120^\circ) & -\text{sen}(\omega t + 120^\circ) \end{bmatrix} \quad (4.8)$$

Assim, é possível representar os vetores de tensão, corrente e razão cíclica, definidos em (4.6), no sistema  $dq0$  através da matriz (4.7).

$$\begin{cases} \overline{V}_{dq0} = \overline{B}^{-1} \cdot \overline{V}_{abc} \\ \overline{i}_{dq0} = \overline{B}^{-1} \cdot \overline{i}_{abc} \\ \overline{D}_{dq0} = \overline{B}^{-1} \cdot \overline{D}_{abc} \end{cases} \quad (4.9)$$

Equivalentemente tem-se:

$$\begin{cases} \vec{V}_{abc} = \vec{B} \cdot \vec{V}_{dq0} \\ \vec{I}_{abc} = \vec{B} \cdot \vec{I}_{dq0} \\ \vec{D}_{abc} = \vec{B} \cdot \vec{D}_{dq0} \end{cases} \quad (4.10)$$

Onde:

$$\vec{V}_{dq0} = \begin{bmatrix} v_0(t) \\ v_d(t) \\ v_q(t) \end{bmatrix} \quad \vec{I}_{dq0} = \begin{bmatrix} i_0(t) \\ i_d(t) \\ i_q(t) \end{bmatrix} \quad \vec{D}_{dq0} = \begin{bmatrix} D_0(t) \\ D_d(t) \\ D_q(t) \end{bmatrix} \quad (4.11)$$

Substituindo (4.10) em (4.5) vem:

$$\vec{B} \cdot \vec{V}_{dq0} = L_F \frac{d[\vec{B} \cdot \vec{I}_{dq0}]}{dt} + R_F \vec{B} \cdot \vec{I}_{dq0} + \vec{B} \cdot \vec{D}_{dq0} V_F - \frac{\vec{V}_F}{2} \quad (4.12)$$

Pré multiplicando cada um dos termos da eq.(4.12) por  $\vec{B}^{-1}$  obtém-se a eq.(4.13).

$$\vec{B}^{-1} \cdot \vec{B} \cdot \vec{V}_{dq0} = L_F \cdot \vec{B}^{-1} \frac{d[\vec{B} \cdot \vec{I}_{dq0}]}{dt} + R_F \vec{B}^{-1} \cdot \vec{B} \cdot \vec{I}_{dq0} + \vec{B}^{-1} \cdot \vec{B} \cdot \vec{D}_{dq0} V_F - \vec{B}^{-1} \frac{\vec{V}_F}{2} \quad (4.13)$$

Sabe-se que o produto  $\vec{B}^{-1} \cdot \vec{B}$  resulta na matriz identidade. Com base nisso, e realizando a decomposição das derivadas da a eq.(4.13), chega-se a eq.(4.14):

$$\vec{V}_{dq0} = L_F \cdot \vec{B}^{-1} \left\{ \frac{d\vec{B}}{dt} \vec{I}_{dq0} + \vec{B} \frac{d\vec{I}_{dq0}}{dt} \right\} + R_F \vec{I}_{dq0} + \vec{D}_{dq0} V_F - \vec{B}^{-1} \frac{\vec{V}_F}{2} \quad (4.14)$$

Novamente tem-se o produto  $\vec{B}^{-1} \cdot \vec{B}$ , e logo:

$$\vec{V}_{dq0} = L_F \cdot \vec{B}^{-1} \frac{d\vec{B}}{dt} \vec{I}_{dq0} + L_F \frac{d\vec{I}_{dq0}}{dt} + R_F \vec{I}_{dq0} + \vec{D}_{dq0} V_F - \vec{B}^{-1} \frac{\vec{V}_F}{2} \quad (4.15)$$

A parcela  $\vec{B}^{-1} \frac{d\vec{B}}{dt}$  é determinada a seguir:

$$\begin{aligned}
\bar{B}^{-1} \frac{d\bar{B}}{dt} &= \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \cos(\omega t) & \cos(\omega t - 120^\circ) & \cos(\omega t + 120^\circ) \\ -\text{sen}(\omega t) & -\text{sen}(\omega t - 120^\circ) & -\text{sen}(\omega t + 120^\circ) \end{bmatrix} \cdot \\
&\quad \cdot \frac{d}{dt} \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \cos(\omega t) & -\text{sen}(\omega t) \\ \frac{1}{\sqrt{2}} & \cos(\omega t - 120^\circ) & -\text{sen}(\omega t - 120^\circ) \\ \frac{1}{\sqrt{2}} & \cos(\omega t + 120^\circ) & -\text{sen}(\omega t + 120^\circ) \end{bmatrix} \\
\bar{B}^{-1} \frac{d\bar{B}}{dt} &= \frac{2}{3} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \cos(\omega t) & \cos(\omega t - 120^\circ) & \cos(\omega t + 120^\circ) \\ -\text{sen}(\omega t) & -\text{sen}(\omega t - 120^\circ) & -\text{sen}(\omega t + 120^\circ) \end{bmatrix} \cdot \\
&\quad \cdot \omega \begin{bmatrix} 0 & -\text{sen}(\omega t) & -\cos(\omega t) \\ 0 & -\text{sen}(\omega t - 120^\circ) & -\cos(\omega t - 120^\circ) \\ 0 & -\text{sen}(\omega t + 120^\circ) & -\cos(\omega t + 120^\circ) \end{bmatrix} \\
\bar{B}^{-1} \frac{d\bar{B}}{dt} &= \frac{2\omega}{3} \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & -\frac{3}{2} \\ 0 & \frac{3}{2} & 0 \end{bmatrix} \\
\bar{B}^{-1} \frac{d\bar{B}}{dt} &= \omega \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & -1 \\ 0 & 1 & 0 \end{bmatrix} \tag{4.16}
\end{aligned}$$

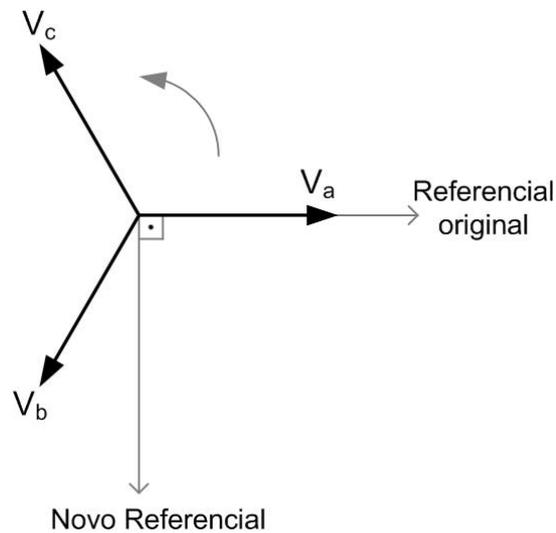
Resolvendo agora a parcela  $\bar{B}^{-1} \frac{\bar{V}_F}{2}$  vem:

$$\begin{aligned}
\bar{B}^{-1} \frac{\bar{V}_F}{2} &= \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \cos(\omega t) & \cos(\omega t - 120^\circ) & \cos(\omega t + 120^\circ) \\ -\text{sen}(\omega t) & -\text{sen}(\omega t - 120^\circ) & -\text{sen}(\omega t + 120^\circ) \end{bmatrix} \cdot \frac{1}{2} \begin{bmatrix} V_F \\ V_F \\ V_F \end{bmatrix} \\
\bar{B}^{-1} \frac{\bar{V}_F}{2} &= \frac{\sqrt{3}}{2} V_F \begin{bmatrix} 1 \\ 0 \\ 0 \end{bmatrix} \tag{4.17}
\end{aligned}$$

Substituindo (4.11), (4.16) e (4.17) na eq.(4.15) obtém-se a eq.(4.18):

$$\begin{bmatrix} v_0(t) \\ v_d(t) \\ v_q(t) \end{bmatrix} = L_F \cdot \omega \begin{bmatrix} 0 \\ -i_q(t) \\ i_d(t) \end{bmatrix} + L_F \frac{d}{dt} \begin{bmatrix} i_0(t) \\ i_d(t) \\ i_q(t) \end{bmatrix} + R_F \begin{bmatrix} i_0(t) \\ i_d(t) \\ i_q(t) \end{bmatrix} + \begin{bmatrix} D_0(t) \\ D_d(t) \\ D_q(t) \end{bmatrix} V_F - \frac{\sqrt{3}}{2} V_F \begin{bmatrix} 1 \\ 0 \\ 0 \end{bmatrix} \quad (4.18)$$

As tensões em (4.1) foram definidas com relação a um determinado referencial. Desloca-se convenientemente esta referência para  $-90^\circ$  de sua posição original, conforme a Fig. 4.5. Cabe lembrar que esta nova referência se aplica a todas as variáveis envolvidas no sistema, e conseqüentemente, o sinal de sincronismo discutido no capítulo anterior deve ser ajustado para tal.



**Fig. 4.5 – Mudança de referencial para as variáveis do sistema.**

O vetor  $\vec{V}_{abc}$  é dado agora por:

$$\vec{V}_{abc} = \begin{bmatrix} v_a(t) \\ v_b(t) \\ v_c(t) \end{bmatrix} = \begin{bmatrix} V_p \cdot \text{sen}(\omega t + 90^\circ) \\ V_p \cdot \text{sen}(\omega t - 30^\circ) \\ V_p \cdot \text{sen}(\omega t - 150^\circ) \end{bmatrix} \quad (4.19)$$

Aplicando a transformação  $\vec{B}^{-1}$  sobre as tensões no novo referencial obtém-se (4.20).

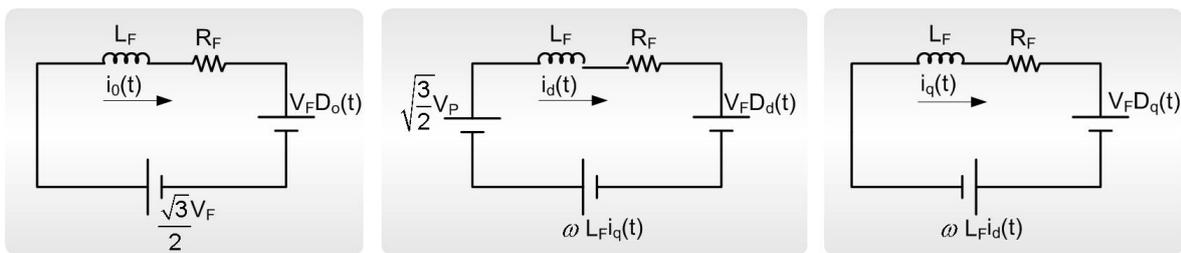
$$\begin{bmatrix} v_0(t) \\ v_d(t) \\ v_q(t) \end{bmatrix} = \bar{B}^{-1} \cdot \overline{V_{abc}}$$

$$\begin{bmatrix} v_0(t) \\ v_d(t) \\ v_q(t) \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \cos(\omega t) & \cos(\omega t - 120^\circ) & \cos(\omega t + 120^\circ) \\ -\sin(\omega t) & -\sin(\omega t - 120^\circ) & -\sin(\omega t + 120^\circ) \end{bmatrix} \cdot \begin{bmatrix} V_p \cdot \sin(\omega t + 90^\circ) \\ V_p \cdot \sin(\omega t - 30^\circ) \\ V_p \cdot \sin(\omega t - 150^\circ) \end{bmatrix}$$

$$\begin{bmatrix} v_0(t) \\ v_d(t) \\ v_q(t) \end{bmatrix} = \sqrt{\frac{3}{2}} \begin{bmatrix} 0 \\ V_p \\ 0 \end{bmatrix} \quad (4.20)$$

As equações que representam o conversor no sistema dq0 são obtidas substituindo (4.20) em (4.18), das quais resultam os circuitos equivalentes mostrados na Fig. 4.6.

$$\begin{cases} 0 = L_F \frac{di_0(t)}{dt} + R_F \cdot i_0(t) + V_F \cdot D_0(t) - \frac{\sqrt{3}}{2} V_F \\ \sqrt{\frac{3}{2}} V_p = -L_F \cdot \omega \cdot i_q(t) + L_F \frac{di_d(t)}{dt} + R_F \cdot i_d(t) + V_F \cdot D_d(t) \\ 0 = L_F \cdot \omega \cdot i_d(t) + L_F \frac{di_q(t)}{dt} + R_F \cdot i_q(t) + V_F \cdot D_q(t) \end{cases} \quad (4.21)$$



**Fig. 4.6 – Circuitos equivalentes para as componentes 0, d e q.**

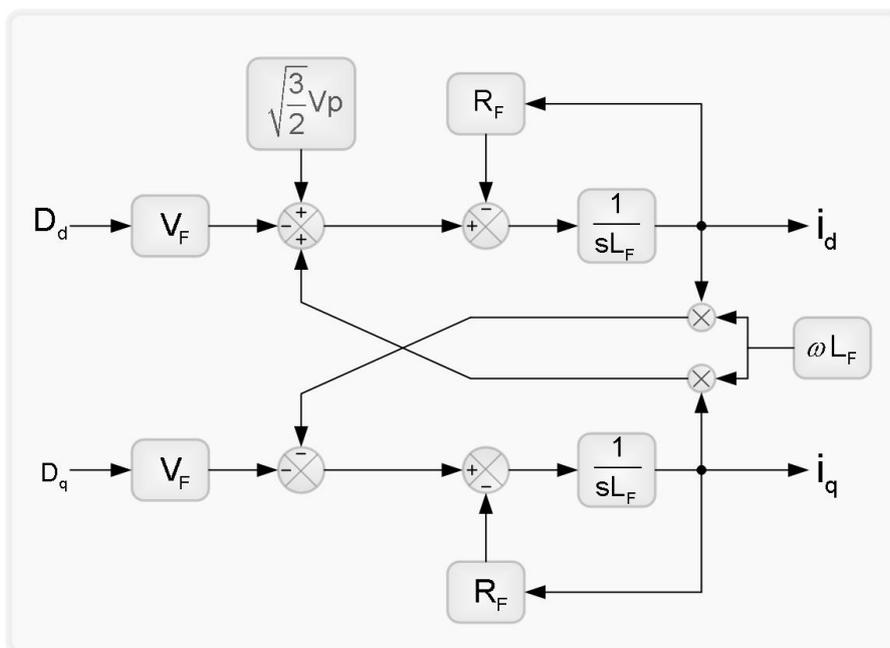
Como a alimentação do circuito é feita a três fios, ou seja, sem o condutor neutro, a componente de seqüência zero da corrente é nula. Observa-se então que a razão cíclica de seqüência zero tem valor constante, conforme (4.22), não dependendo assim das correntes de eixo direto ou quadratura, tampouco das tensões de entrada e saída do conversor.

$$D_0(t) = \frac{\sqrt{3}}{2} \tag{4.22}$$

As equações apresentadas em (4.21) podem ser reescritas conforme (4.23), onde são evidenciadas as derivadas das correntes em eixo direto e quadratura.

$$\begin{cases} L_F \frac{di_d(t)}{dt} = \sqrt{\frac{3}{2}} V_p + L_F \cdot \omega \cdot i_q(t) - R_F \cdot i_d(t) - V_F \cdot D_d(t) \\ L_F \frac{di_q(t)}{dt} = -L_F \cdot \omega \cdot i_d(t) - R_F \cdot i_q(t) - V_F \cdot D_q(t) \end{cases} \tag{4.23}$$

Na Fig. 4.7 é apresentado um diagrama de blocos que descreve o funcionamento do conversor. Observa-se que as correntes de eixo direto e quadratura são mutuamente dependentes, de forma que seus valores não dependem apenas de suas respectivas razões cíclicas.



**Fig. 4.7 – Diagrama de blocos do funcionamento do conversor.**

A modelagem do conversor visa a obtenção das funções de transferência das correntes em função das respectivas razões cíclicas nos eixos direto e em quadratura. A referida interdependência das correntes pode ser evitada se as mesmas forem desacopladas através de um artifício matemático. São então convenientemente definidas na eq.(4.24) as variáveis auxiliares  $D_d'$  e  $D_q'$ .

$$\begin{cases} D_d' = D_d - \frac{L_F \cdot \omega}{V_F} \cdot i_q(t) \\ D_q' = D_q + \frac{L_F \cdot \omega}{V_F} \cdot i_d(t) \end{cases} \quad (4.24)$$

Isolando  $D_d(t)$  e  $D_q(t)$  de (4.24) e substituindo em (4.23) vem:

$$\begin{cases} L_F \frac{di_d(t)}{dt} = \sqrt{\frac{3}{2}} V_p + L_F \cdot \omega \cdot i_q(t) - R_F \cdot i_d(t) - V_F \cdot \left[ D_d'(t) + \frac{L_F \omega \cdot i_q(t)}{V_F} \right] \\ L_F \frac{di_q(t)}{dt} = -L_F \cdot \omega \cdot i_d(t) - R_F \cdot i_q(t) - V_F \cdot \left[ D_q'(t) - \frac{L_F \omega \cdot i_d(t)}{V_F} \right] \end{cases} \quad (4.25)$$

Simplificando (4.25) obtém-se (4.26), onde é verificado que as correntes estão desacopladas.

$$\begin{cases} L_F \frac{di_d(t)}{dt} = \sqrt{\frac{3}{2}} V_p - R_F \cdot i_d(t) - V_F \cdot D_d'(t) \\ L_F \frac{di_q(t)}{dt} = -R_F \cdot i_q(t) - V_F \cdot D_q'(t) \end{cases} \quad (4.26)$$

Para analisar o comportamento dinâmico do sistema, são aplicadas pequenas perturbações sobre as variáveis do mesmo, conforme (4.27).

$$\begin{cases} i_d(t) = I_d + \hat{i}_d(t) \\ i_q(t) = I_q + \hat{i}_q(t) \\ D_d'(t) = D_d' + \hat{d}_d'(t) \\ D_q'(t) = D_q' + \hat{d}_q'(t) \end{cases} \quad (4.27)$$

As quantidades  $I_d$ ,  $I_q$ ,  $D_d'$  e  $D_q'$ , mostradas em (4.27), correspondem a um ponto de operação qualquer do conversor. Substituindo (4.27) em (4.26) vem:

$$\begin{cases} L_F \frac{d}{dt} [I_d + \hat{i}_d(t)] = \sqrt{\frac{3}{2}} V_p - R_F [I_d + \hat{i}_d(t)] - V_F [D_d' + \hat{d}_d'(t)] \\ L_F \frac{d}{dt} [I_q + \hat{i}_q(t)] = -R_F [I_q + \hat{i}_q(t)] - V_F [D_q' + \hat{d}_q'(t)] \end{cases} \quad (4.28)$$

Por fim, subtrai-se (4.26) de (4.28) e aplica-se a transformada de Laplace sobre a equação resultante. São obtidas então as funções de transferência mostradas em (4.29), que relacionam as variações nas correntes de eixo direto e quadratura, provocadas pelas respectivas ações das razões cíclicas auxiliares.

$$\begin{cases} \frac{\hat{i}_d(s)}{\hat{d}_d'(s)} = -\frac{V_F}{sL_F + R_F} \\ \frac{\hat{i}_q(s)}{\hat{d}_q'(s)} = -\frac{V_F}{sL_F + R_F} \end{cases} \quad (4.29)$$

Nos casos onde o ganho do sistema de medição de corrente ( $K_{Mi}$ ) e/ou o valor de pico da portadora triangular ( $V_T$ ) do PWM diferem da unidade, o ganho do desacoplamento é dado conforme a eq.(4.30).

$$K_{des} = \frac{L_F \cdot \omega}{V_F} \cdot \frac{V_T}{K_{Mi}} \quad (4.30)$$

De forma semelhante, a razão cíclica da componente zero deve ter seu valor alterado quando a portadora triangular tiver valor de pico diferente de 1, assim como mostra a eq.(4.31).

$$D_0(t) = \frac{\sqrt{3}}{2} \cdot V_T \quad (4.31)$$

#### 4.4 MODELAGEM DO CONVERSOR PARA A TENSÃO DO BARRAMENTO

Com base no circuito apresentado na Fig. 4.1, determina-se a tensão sobre o capacitor  $C_F$  conforme (4.32).

$$V_F(t) = \frac{1}{C_F} \int i_F(t) \quad (4.32)$$

A corrente que circula sobre o capacitor é função das correntes das fases e das respectivas razões cíclicas, como mostrado em (4.33).

$$i_F(t) = D_a(t) \cdot i_a(t) + D_b(t) \cdot i_b(t) + D_c(t) \cdot i_c(t) \quad (4.33)$$

Sejam os seguintes vetores:

$$\overrightarrow{D}_{abc} = \begin{bmatrix} D_a(t) \\ D_b(t) \\ D_c(t) \end{bmatrix} \quad \overrightarrow{i}_{abc} = \begin{bmatrix} i_a(t) \\ i_b(t) \\ i_c(t) \end{bmatrix} \quad (4.34)$$

A equação (4.33) pode ser escrita de forma vetorial como em (4.35).

$$i_F(t) = \overrightarrow{D}_{abc}^t \cdot \overrightarrow{i}_{abc} \quad (4.35)$$

Conforme apresentado anteriormente, sabe-se que  $\overline{B}^{-1} = \overline{B}^t$  e que  $\overline{B}^{-1} \cdot \overline{B} = I$ . Considerando a propriedade (4.36), pode-se reescrever a equação (4.35) de acordo com a equação (4.38).

$$(\overline{X} \cdot \overline{Y})^t = \overline{Y}^t \cdot \overline{X}^t \quad (4.36)$$

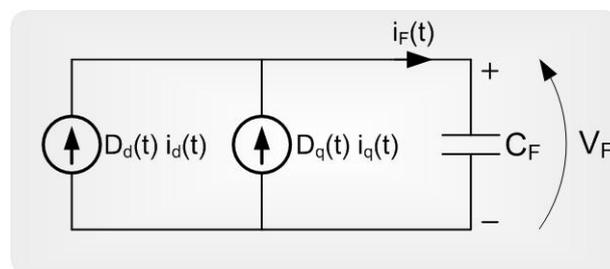
$$i_F(t) = \overrightarrow{D}_{abc}^t \cdot \left[ \overline{B} \cdot \overline{B}^{-1} \right] \cdot \overrightarrow{i}_{abc} \quad (4.37)$$

Logo:

$$i_F(t) = \overrightarrow{D}_{dq0}^t \cdot \overrightarrow{i}_{dq0} \quad (4.38)$$

Como a corrente de seqüência zero é nula, a eq.(4.38) fica resumida à eq.(4.39), representada no circuito equivalente da Fig. 4.8.

$$i_F(t) = D_d(t) \cdot i_d(t) + D_q(t) \cdot i_q(t) \quad (4.39)$$



**Fig. 4.8 – Circuito equivalente para tensão no capacitor do barramento.**

Aplicando pequenas perturbações às variáveis das equações (4.39) e (4.32) obtêm-se:

$$\left\{ \begin{array}{l} D_d(t) = D_d + \widehat{d}_d(t) \\ D_q(t) = D_q + \widehat{d}_q(t) \\ i_d(t) = I_d + \widehat{i}_d(t) \\ i_q(t) = I_q + \widehat{i}_q(t) \\ i_F(t) = I_F + \widehat{i}_F(t) \\ v_F(t) = V_F + \widehat{v}_F(t) \end{array} \right. \quad (4.40)$$

Substituindo (4.40) em (4.39) vem:

$$i_F(t) = I_F + \widehat{i}_F(t) \quad (4.41)$$

$$i_F(t) = (D_d + \widehat{d}_d(t)) \cdot (I_d + \widehat{i}_d(t)) + (D_q + \widehat{d}_q(t)) \cdot (I_q + \widehat{i}_q(t))$$

Resolvendo (4.41) chega-se à eq.(4.42), onde são evidenciadas três parcelas principais. Os termos constantes, referentes ao ponto de operação do conversor, os termos de 1ª ordem e os termos de 2ª ordem. Os termos de 2ª ordem são produtos de perturbações, e por terem magnitudes de baixo valor serão desprezados na análise dinâmica do sistema.

$$i_F + \widehat{i}_F(t) = [D_d \cdot I_d + D_q \cdot I_q] + [D_d \cdot \widehat{i}_d(t) + I_d \cdot \widehat{d}_d(t) + D_q \cdot \widehat{i}_q(t) + I_q \cdot \widehat{d}_q(t)] + [\widehat{d}_d(t) \cdot \widehat{i}_d(t) + \widehat{d}_q(t) \cdot \widehat{i}_q(t)] \quad (4.42)$$

Assim a análise fica concentrada nos termos de 1ª ordem, conforme (4.43).

$$\widehat{i}_F(t) = D_d \cdot \widehat{i}_d(t) + I_d \cdot \widehat{d}_d(t) + D_q \cdot \widehat{i}_q(t) + I_q \cdot \widehat{d}_q(t) \quad (4.43)$$

A potência de entrada do conversor, em valores médios, é dada por:

$$\left\{ \begin{array}{l} P = V_d \cdot I_d + V_q \cdot I_q \\ Q = V_d \cdot I_q - V_q \cdot I_d \end{array} \right. \quad (4.44)$$

Se a referência de tensão for a mesma daquela definida na Fig. 4.5, então para tensões equilibradas têm-se:

$$\begin{cases} V_d = \sqrt{\frac{3}{2}} \cdot V_p \\ V_q = 0 \end{cases} \quad (4.45)$$

Substituindo (4.45) em (4.44) e evidenciando as correntes médias de eixo direto e quadratura vem:

$$\begin{cases} I_d = \sqrt{\frac{2}{3}} \frac{P}{V_p} \\ I_q = \sqrt{\frac{2}{3}} \frac{Q}{V_p} \end{cases} \quad (4.46)$$

Os valores das razões cíclicas no ponto de operação do conversor são obtidos da eq.(4.21), onde as derivadas são nulas. Assim:

$$\begin{cases} D_d = \sqrt{\frac{3}{2}} \frac{V_p}{V_F} + \frac{L_F \cdot \omega \cdot I_q}{V_F} - \frac{R_F \cdot I_d}{V_F} \\ D_q = -\frac{L_F \cdot \omega \cdot I_d}{V_F} - \frac{R_F \cdot I_q}{V_F} \end{cases} \quad (4.47)$$

Substituindo (4.46) em (4.47) e ambas em (4.43) obtém-se

$$\begin{aligned} \hat{i}_F(t) = & \left[ \sqrt{\frac{3}{2}} \frac{V_p}{V_F} + \frac{L_F \cdot \omega}{V_F} \sqrt{\frac{2}{3}} \frac{Q}{V_p} - \frac{R_F}{V_F} \sqrt{\frac{2}{3}} \frac{P}{V_p} \right] \cdot \hat{i}_d(t) + \left[ \sqrt{\frac{2}{3}} \frac{P}{V_p} \right] \cdot \hat{d}_d(t) + \\ & - \left[ \frac{L_F \cdot \omega}{V_F} \sqrt{\frac{2}{3}} \frac{P}{V_p} + \frac{R_F}{V_F} \sqrt{\frac{2}{3}} \frac{Q}{V_p} \right] \cdot \hat{i}_q(t) + \left[ \sqrt{\frac{2}{3}} \frac{Q}{V_p} \right] \cdot \hat{d}_q(t) \end{aligned} \quad (4.48)$$

Da equação (4.21) vem:

$$\begin{cases} \hat{d}_d(t) = \frac{L_F \cdot \omega \cdot \hat{i}_q(t)}{V_F} - \frac{L_F}{V_F} \frac{d\hat{i}_d(t)}{dt} - \frac{R_F \cdot \hat{i}_d(t)}{V_F} \\ \hat{d}_q(t) = -\frac{L_F \cdot \omega \cdot \hat{i}_d(t)}{V_F} - \frac{L_F}{V_F} \frac{d\hat{i}_q(t)}{dt} - \frac{R_F \cdot \hat{i}_q(t)}{V_F} \end{cases} \quad (4.49)$$

Aplicando a transformada de Laplace em (4.48) e (4.49), e substituindo esta última em (4.48) obtêm-se:

$$\begin{aligned} \hat{i}_F(s) = & \left[ \sqrt{\frac{3}{2}} \frac{V_P}{V_F} + \frac{L_F \cdot \omega}{V_F} \sqrt{\frac{2}{3}} \frac{Q}{V_P} - \frac{R_F}{V_F} \sqrt{\frac{2}{3}} \frac{P}{V_P} \right] \cdot \hat{i}_d(s) + \\ & + \left[ \sqrt{\frac{2}{3}} \frac{P}{V_P} \right] \cdot \left[ \frac{L_F \cdot \omega \cdot \hat{i}_q(s)}{V_F} - \frac{L_F \cdot s \cdot \hat{i}_d(s)}{V_F} - \frac{R_F \cdot \hat{i}_d(s)}{V_F} \right] + \\ & - \left[ \frac{L_F \cdot \omega}{V_F} \sqrt{\frac{2}{3}} \frac{P}{V_P} + \frac{R_F}{V_F} \sqrt{\frac{2}{3}} \frac{Q}{V_P} \right] \cdot \hat{i}_q(s) + \\ & + \left[ \sqrt{\frac{2}{3}} \frac{Q}{V_P} \right] \cdot \left[ -\frac{L_F \cdot \omega \cdot \hat{i}_d(s)}{V_F} - \frac{L_F \cdot s \cdot \hat{i}_q(s)}{V_F} - \frac{R_F \cdot \hat{i}_q(s)}{V_F} \right] \end{aligned} \quad (4.50)$$

Realizando as devidas simplificações chega-se a:

$$\begin{aligned} \hat{i}_F(s) = & \hat{i}_d(s) \left[ \sqrt{\frac{3}{2}} \frac{V_P}{V_F} - \sqrt{\frac{2}{3}} \frac{P}{V_P} \left( \frac{L_F \cdot s}{V_F} + \frac{2R_F}{V_F} \right) \right] + \\ & + \hat{i}_q(s) \left[ \sqrt{\frac{2}{3}} \frac{Q}{V_P} \left( \frac{L_F \cdot s}{V_F} + \frac{2R_F}{V_F} \right) \right] \end{aligned} \quad (4.51)$$

Substituindo as perturbações definidas em (4.40) na eq.(4.32), e aplicando a transformada de Laplace, obtêm-se a equação (4.52).

$$\hat{v}_F(s) = \frac{\hat{i}_F(s)}{s \cdot C_F} \quad (4.52)$$

Com base no princípio da superposição, é possível obter funções de transferência que relacionem a tensão no capacitor com as correntes de eixo direto e eixo em quadratura. Para tal, basta substituir a eq.(4.51) na eq.(4.52).

$$\frac{\hat{v}_F(s)}{\hat{i}_d(s)} = \sqrt{\frac{3}{2}} \frac{V_P}{V_F} \frac{\left( 1 - \frac{2}{3} \frac{P}{V_P^2} (L_F \cdot s + 2R_F) \right)}{s \cdot C_F} \quad (4.53)$$

$$\frac{\hat{v}_F(s)}{\hat{i}_q(s)} = -\sqrt{\frac{2}{3}} \frac{Q}{V_P \cdot V_F} \frac{(L_F \cdot s + 2R_F)}{s \cdot C_F} \quad (4.54)$$

Conforme mencionado anteriormente, o filtro ativo não processa a potência ativa da carga. Todavia, o filtro precisa compensar as perdas da estrutura de potência e manter regulada a tensão do barramento. Assim, a potência  $P$  da equação (4.53) é substituída pela potência  $P_{\text{loss}}$  referente às perdas na estrutura. Logo:

$$\frac{\widehat{v}_F(s)}{\widehat{i}_d(s)} = \sqrt{\frac{3}{2}} \frac{V_P}{V_F} \frac{\left(1 - \frac{2 P_{\text{loss}}}{3 V_P^2} (L_F \cdot s + 2R_F)\right)}{s \cdot C_F} \quad (4.55)$$

## 4.5 ESTRATÉGIA DE CONTROLE

A estratégia de controle do FAP, ilustrada na Fig. 4.9, foi elaborada a partir da estratégia para determinação das correntes de referência, apresentada no capítulo 3, e dos modelos do conversor VSI obtidos no presente capítulo.

Para a compensação dinâmica das correntes, bem como da tensão do barramento do FAP serão utilizados controladores lineares.

O controle da tensão do FAP consiste basicamente em subtrair a tensão lida no barramento ( $V_F$ ) da tensão de referência ( $V_{Fref}$ ). O erro gerado é convenientemente processado por um controlador linear, com base no desempenho dinâmico requerido. É importante observar que as malhas de tensão e corrente devem estar dinamicamente desacopladas, de forma que variações na malha de tensão não provoquem distorções nas correntes drenadas pelo filtro. Este compromisso é obtido fazendo com que a malha de tensão tenha uma frequência de cruzamento da sua FTLA bem menor que a da malha de corrente. Assim, além do controlador linear, um filtro passa baixa é incluído na malha de tensão, com o intuito de atenuar eventuais oscilações presentes nesta.

O sinal de controle de tensão é somado com a corrente de referência de eixo direto da carga, resultando na corrente de referência de eixo direto do FAP. A corrente de referência de eixo em quadratura do FAP é a própria corrente de referência da carga. As correntes lidas do FAP ( $i_{aF}$ ,  $i_{bF}$ ,  $i_{cF}$ ) são transformadas para os eixos síncronos através da transformação  $abc/dq$ , donde são obtidas as correntes  $i_{dF}$  e  $i_{qF}$ . Estas, por sua vez, são utilizadas para realizar a realimentação da malha de corrente. O erro sobre cada eixo é obtido da subtração das respectivas correntes de referência por aquelas realimentadas. Aqui novamente são utilizados controladores lineares, um para cada eixo, para o ajuste dinâmico da malha de corrente.

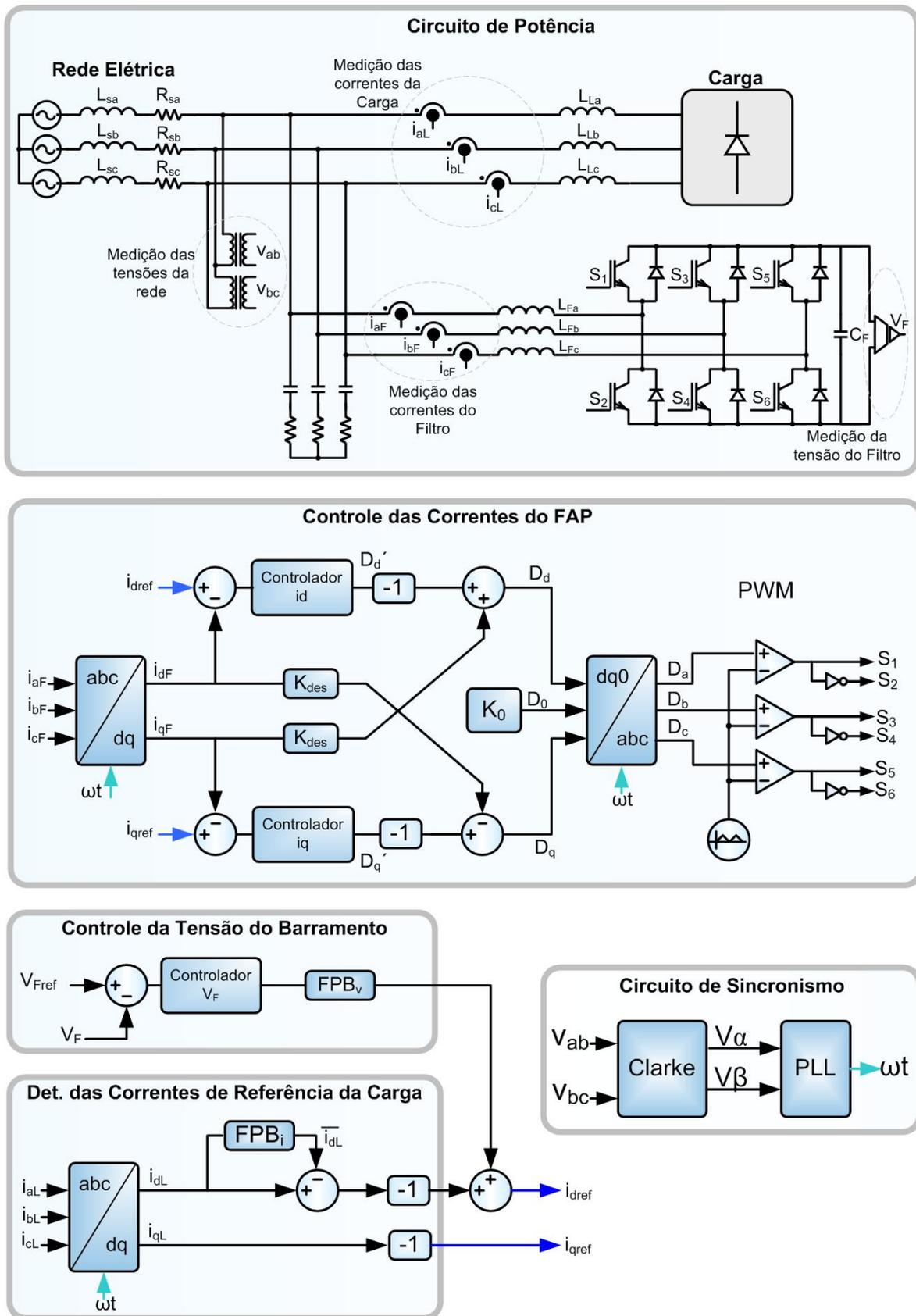


Fig. 4.9 – Diagrama de blocos do circuito e da estratégia de controle do FAP.

As razões cíclicas efetivas de eixos  $d$  e  $q$  correspondem à soma dos sinais de controle (na saída dos controladores de corrente) com os respectivos sinais de desacoplamento. Observa-se que os sinais de controle são convenientemente invertidos, de forma a cancelar o sinal negativo das funções de transferência (eq.(4.29)). Por fim, as razões cíclicas de fase, utilizadas no circuito PWM, são obtidas a partir da transformação inversa  $dq0/abc$ . O sinal de sincronismo para a transformação inversa é dado pelo mesmo circuito PLL utilizado para as transformações diretas das correntes da carga e do FAP.

## 4.6 CONCLUSÕES

Foram apresentados neste capítulo os modelos lineares do conversor, os quais são imprescindíveis para o projeto adequado dos compensadores do filtro ativo.

Para o controle das correntes drenadas pelo filtro foram estabelecidas funções de transferência que relacionam as correntes com suas respectivas razões cíclicas no domínio  $dq0$ . Como a corrente de seqüência zero é nula, as correntes do conversor poderão ser controladas com apenas dois controladores, um para eixo direto e outro para o eixo em quadratura. Vale lembrar que são comuns as estratégias que utilizam três compensadores, um para cada fase. O artifício de desacoplamento possibilita ainda o controle independente das correntes em cada eixo, sendo que a utilização da abordagem apresentada em [26] permite a obtenção direta das razões cíclicas para cada fase no sistema  $abc$ . Para tal, aplica-se a transformação  $\bar{B}$  sobre as razões cíclicas de eixos  $d$  e  $q$ , considerando, porém, a razão cíclica  $D_0$  definida em (4.22).

A utilização da presente metodologia, para obtenção do modelo do conversor VSI, permitiu uma grande integração do controle do conversor com a estratégia escolhida para a determinação das correntes de referência, fato o qual reforça a escolha desta estratégia neste trabalho.

---

# CAPÍTULO 5

---

---

## PROJETO DO FILTRO ATIVO

---

---

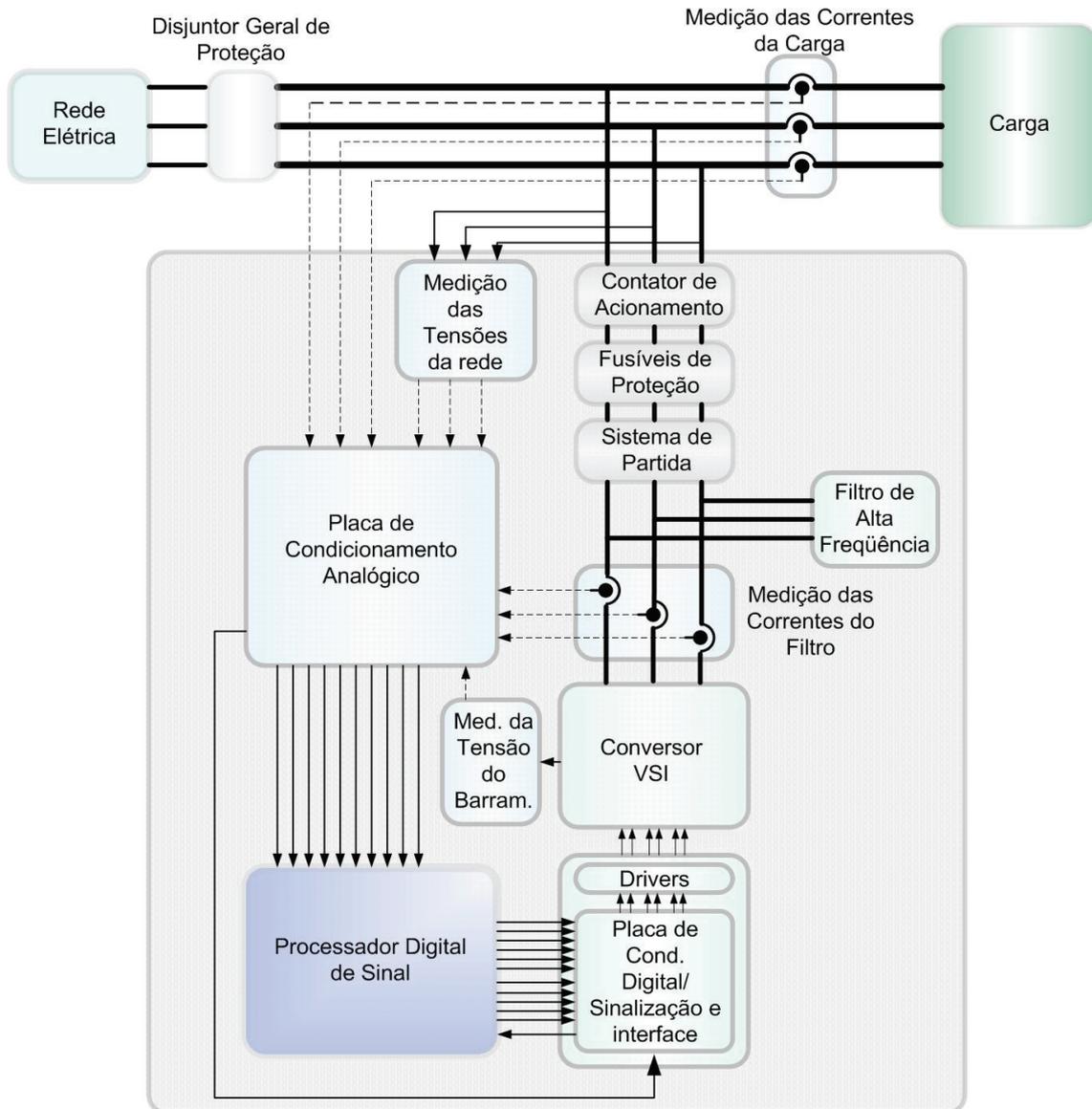
### 5.1 INTRODUÇÃO

Neste capítulo serão apresentados os projetos dos diversos circuitos que compõem o filtro ativo trifásico. Cabe então estabelecer as especificações iniciais para o protótipo:

- Frequência nominal da rede elétrica: 60Hz;
- Características do sistema elétrico: Trifásico a três fios;
- Tensão nominal da rede elétrica: 220V/380V;
- Potência de processamento do filtro ativo: 10kVAr;
- Frequência de comutação do conversor:  $f_{sw} = 19,98$  kHz .

O diagrama de blocos da Fig. 5.1 ilustra o sistema geral que será considerado para o projeto e testes do filtro ativo. Ficam evidentes nesta figura a rede suprimento, a carga e o filtro ativo. Mais detalhadamente, são apresentados os diversos circuitos que compõe a estrutura geral do filtro ativo, a saber:

- Sistemas diversos de monitoração das variáveis de controle (tensões e correntes);
- Sistemas diversos de proteção e acionamento;
- Sistema de partida;
- Conversor de potência;
- Unidade de processamento digital e controle;
- Sistema de condicionamento dos sinais analógicos;
- Sistema de condicionamento dos sinais digitais e acionamento dos interruptores do conversor;
- Sistema de sinalização de operação do FAP e interface com usuário;
- Filtro passivo de alta frequência.



**Fig. 5.1 – Diagrama de blocos do circuito elétrico do protótipo.**

A seguir serão explicados detalhadamente cada um dos circuitos mencionados, com exceção do processador digital de sinal (DSP), que será apresentado no próximo capítulo. No Anexo 2 são apresentados os diagramas esquemáticos dos diversos circuitos que compõem o FAP, e dessa forma, a nomenclatura e numeração dos componentes utilizada neste capítulo seguirá àquela mostrada nos diagramas.

## 5.2 DETERMINAÇÃO DA POTÊNCIA DA CARGA

Com base nas especificações iniciais de projeto, determina-se então a carga para os testes do filtro ativo. A topologia principal de carga considerada é o retificador trifásico

não controlado com filtro capacitivo. Conforme apresentado em [32], o fator de potência para uma carga como esta, considerando uma ondulação de 10% na tensão de saída do retificador, é de aproximadamente 0,7. Sabendo-se que o filtro deve processar toda a potência reativa da carga, no caso 10kVAr, então a potência ativa da carga pode ser determinada conforme (5.1).

$$P_{\text{carga}} = \sqrt{\frac{FP_{\text{carga}}^2 \cdot Q_{\text{carga}}^2}{(1 - FP_{\text{carga}}^2)}} \quad (5.1)$$

$$P_{\text{carga}} = \sqrt{\frac{0,7^2 \cdot 10000^2}{(1 - 0,7^2)}} = 9,666\text{kW}$$

### 5.3 DETERMINAÇÃO DA TENSÃO E DO CAPACITOR DO BARRAMENTO

Conforme já comentado, a tensão do barramento do filtro deve ter sempre um valor maior que o pico da tensão de linha da rede. Para o presente projeto, isso significa um valor superior à aproximadamente 539V. Analisando as funções de transferência das correntes com relação às respectivas razões cíclicas (apresentadas no capítulo anterior), verifica-se que a tensão do barramento do filtro aparece diretamente como um ganho no sistema. Tal fato naturalmente irá se refletir na FTLA (função de transferência de laço aberto) das correntes e conseqüentemente no projeto dos controladores. Dessa forma, conclui-se que uma tensão de barramento mais elevada é benéfica para o funcionamento do filtro, no que tange à resposta dinâmica da malha de corrente. Todavia, capacitores de alta tensão são relativamente caros, e como a tensão mínima necessária já ultrapassa valores típicos comerciais (450V, 500V), optou-se por associar capacitores de 450V em série. A tensão máxima do barramento é então de 900V, porém considerando uma margem de segurança de 25V por capacitor, define-se a tensão do barramento conforme (5.2).

$$V_F = 2 \cdot (450 - 25) = 850\text{V} \quad (5.2)$$

Embora a margem de segurança seja relativamente pequena, cabe lembrar que os capacitores eletrolíticos apresentam, em geral, uma tolerância de 10% da tensão nominal por curtos intervalos de tempo.

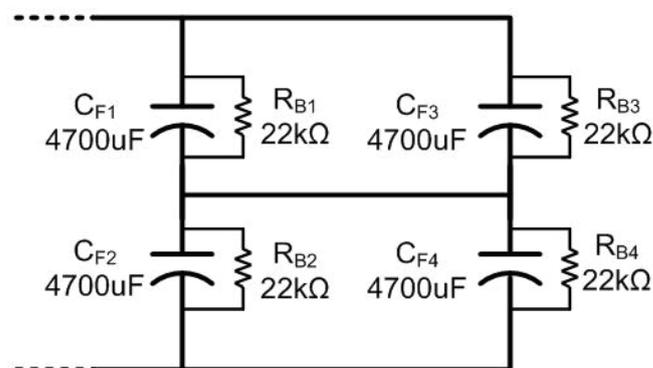
O barramento CC do filtro deve se assemelhar ao máximo a uma fonte de tensão constante. Assim, a ondulação sobre o nível médio deve ser pequena. Uma primeira estimativa da capacitância equivalente do banco pode ser obtida através da eq.(5.3), comumente utilizada para o projeto de retificadores trifásicos, de forma análoga à apresentada em [13]:

$$C_F = \frac{Q_{\text{carga}}}{6 \cdot f \cdot (V_{F_{\text{max}}}^2 - V_{F_{\text{min}}}^2)} \quad (5.3)$$

Para uma ondulação de 1% da tensão média, tem-se um banco de capacitores de 1922 $\mu$ F. Considerando a disponibilidade local de componentes, e principalmente os elevados valores de corrente eficaz obtidos por simulação (15,81A), optou-se por utilizar o capacitor B43875-A5478-Q5 fabricado pela Epcos. As principais características deste componente são apresentadas a seguir:

- Capacitância nominal: 4700 $\mu$ F -10/+30%;
- Tensão nominal: 450VDC;
- Tensão de Surto: 495VDC;
- Resistência série equivalente: 0,031 $\Omega$  @ 25°C - 120Hz;
- Corrente eficaz máxima: 15,68A @ 40°C - 120Hz;

O banco será formado por quatro capacitores, associados conforme a Fig. 5.2, obtendo-se então uma capacitância equivalente igual a 4700 $\mu$ F. Observa-se que foram adicionados resistores de 22k $\Omega$ /10W para a equalização de tensão sobre os capacitores.



**Fig. 5.2 – Associação dos capacitores do barramento do filtro.**

## 5.4 DETERMINAÇÃO DOS INDUTORES DE ACOPLAMENTO

A determinação dos indutores de acoplamento do filtro é uma tarefa complicada, pois embora a frequência de comutação seja fixa, sabe-se que a ondulação de corrente sobre o indutor é variável e dependente de diversos fatores. Como em alguns instantes de operação o FAP atua de forma semelhante ao retificador com alto fator de potência, então o valor da indutância pode ser obtido considerando essa situação. Conforme apresentado em [13], o valor da indutância  $L_F$  para um retificador trifásico com alto fator de potência é dado conforme a eq.(5.4), sendo que a maior ondulação de corrente ocorre quando a corrente é máxima.

$$L_F = \frac{V_p}{\Delta I_{L_F} \cdot f_{sw}} \left( 1 - \frac{3V_p}{2V_F} \right) \quad (5.4)$$

Onde:

$V_p$  = Tensão de pico de fase.

Com o filtro em operação, a corrente drenada da fonte é idealmente senoidal, com amplitude relativa à potência ativa da carga. Dessa forma, é possível determinar a corrente de pico drenada da fonte como sendo:

$$i_p = \frac{\sqrt{2} \cdot P_{carga}}{3 \cdot V_{rms}} \quad (5.5)$$

Onde:

$V_{rms}$  = Tensão de fase eficaz.

Substituindo os dados de projeto e a potência da carga obtida em (5.1), obtém-se uma corrente de pico de aproximadamente 20,71A. Para uma ondulação de corrente de 20% no indutor, a indutância  $L_F$  é determinada levando os dados de projeto e a tensão do barramento na eq.(5.4).

$$L_F = \frac{\sqrt{2} \cdot 220}{0.2 \cdot I_p \cdot 19980} \left( 1 - \frac{3\sqrt{2} \cdot 220}{2 \cdot 850} \right) \approx 1,7\text{mH} \quad (5.6)$$

No projeto físico dos indutores foram utilizados núcleos toroidais fabricados pela *Magnetics*. O projeto físico completo dos indutores é apresentado no Anexo A, sendo que as principais características são resumidas a seguir:

- Modelo do núcleo: 77908 *KoolM $\mu$*  (pó de ferro);
- Número de núcleos por indutor: 3;
- Número de espiras por indutor: 132;
- Número de condutores do cabo: 22;
- Bitola dos condutores: 25AWG.

O valor da indutância medida em laboratório foi de 2,01mH. A diferença entre os valores de indutância calculados e obtidos deve-se ao fato de que o fabricante recomenda a utilização do pior caso da tolerância (-8%) do parâmetro “AL” (indutância para 1000 espiras). Ainda assim, optou-se por não alterar o número de espiras, uma vez que, mesmo utilizando três núcleos por indutor, para valores extremos de corrente a operação do elemento seria fora da região recomendada pelo fabricante.

## 5.5 DETERMINAÇÃO DO CONVERSOR

Para a determinação dos semicondutores do conversor, apresenta-se inicialmente os esforços de tensão e corrente sobre estes elementos. Os valores foram obtidos através de simulação numérica, e são resumidos na Tabela 5.1.

**Tabela 5.1 - Esforços de tensão e corrente nos semicondutores do conversor.**

Grandeza	Valor Eficaz	Valor de Pico	Valor Médio
Corrente no IGBT	8,09	32,61	3,24
Corrente no Diodo	7,36	32,59	3,24
Tensão no IGBT	-	850V	-
Tensão no Diodo	-	850V	-

Na implementação do FAP foi utilizado um conversor comercial fabricado pela *Semikron*, modelo B6I 900/210-150F. A estrutura é composta por três módulos IGBT *Semitrans* SKM 300GB128D, dissipador de calor com ventilação forçada e *drivers* para acionamento dos interruptores.

Cada módulo possui dois transistores IGBT e seus respectivos diodos em antiparalelo, perfazendo assim um braço inteiro do conversor VSI. Algumas características deste componente são resumidas na Tabela 5.2:

**Tabela 5.2 - Características do módulo SKM 300GB128D.**

<b>Especificações para o IGBT</b>	<b>Condições</b>	<b>Valor</b>
Corrente de pico repetitivo		400A
Corrente Contínua	T(°C)=25°(80°)	265A (370A)
Tensão		1200V
Tempo de subida (T <sub>R</sub> )		55ns
Tempo de descida (T <sub>F</sub> )		60ns
<b>Especificações para o Diodo</b>	<b>Condições</b>	<b>Valor</b>
Corrente de pico repetitivo		400A
Corrente Contínua	T(°C)=25°(80°)	260A (180A)
Tensão reversa		1200V

Embora o conversor esteja nitidamente superdimensionado para o projeto em questão, observa-se que esta situação é desejável nas etapas de testes do protótipo, garantindo segurança e robustez durante possíveis falhas do mesmo.

Considera-se que as perdas da estrutura representam 5% da potência processada, e então a corrente eficaz na entrada do conversor é dada pela eq.(5.7).

$$I_{rms} = \frac{Q_{filtro}}{3 \cdot (1 - 0.05) \cdot V_{rms}} = 15,94A \quad (5.7)$$

As resistências equivalentes por fase do conversor podem então ser determinadas conforme a eq.(5.8).

$$R_F = \frac{Q_{filtro} \cdot (0.05)}{I_{rms}^2} = 0,655\Omega \quad (5.8)$$

## 5.6 SISTEMA DE AQUISIÇÃO DAS VARIÁVEIS

O sistema de medição das variáveis do sistema tem grande importância no controle do filtro ativo. Cada variável deve ser corretamente monitorada e condicionada, para que só então seja convertida para o domínio discreto através do conversor analógico/digital (A/D) do DSP. É importante lembrar que todo esse processo se dá em um ambiente bastante propício a ruídos e interferências eletromagnéticas, e logo uma atenção especial deve ser dada para escolha dos diversos elementos que compõe o sistema de aquisição. A estratégia de controle adotada necessita da leitura das correntes da carga e do filtro, da tensão do barramento do filtro e de duas tensões da rede elétrica.

### 5.6.1 Medição das Variáveis do Sistema

A precisão das variáveis medidas está intimamente ligada ao tipo de transdutor utilizado para tal fim. Os sensores de efeito *hall* apresentam, em geral, uma ótima resposta em termos de linearidade e precisão, sob pena de um custo consideravelmente alto. Quando a variável medida não necessita de grande precisão, sistemas mais simples como transformadores de baixa frequência e opto-acopladores podem ser empregados conforme a natureza do sinal. A seguir será explicado o processo de medição de cada uma das variáveis do sistema.

#### A - Sensores de Corrente

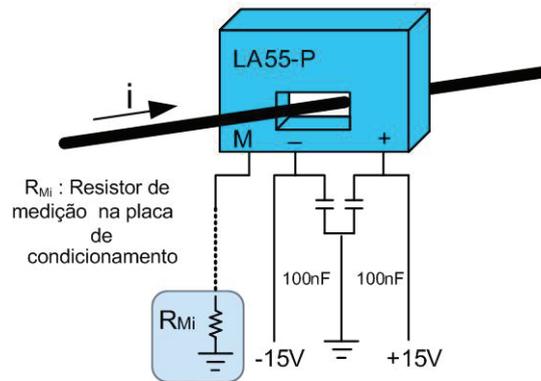
Para a leitura das correntes da carga e do FAP foram utilizados sensores de efeito *hall*. Tendo em vista os valores de corrente envolvidos, o modelo escolhido foi o LA-55-P [33] fabricado pela LEM. Algumas características deste sensor são:

- Transdutor de efeito *hall* compensado em malha fechada;
- Corrente nominal de entrada de 50A;
- Saída em corrente;
- Grande precisão e linearidade de operação;
- Alimentação simétrica  $\pm 12V$  ou  $\pm 15V$  ;
- Taxa de conversão de corrente: 1:1000.

Como estes componentes têm saída em corrente, deve-se utilizar um resistor de medição de valor adequado, para obter então um sinal de tensão proporcional a corrente medida. É importante salientar que o resistor de medição deve ficar preferencialmente junto ao circuito de condicionamento, e os cabos de transmissão do sinal devem ser

---

blindados, no sentido de reduzir ao máximo os ruídos de medição. A Fig. 5.3 ilustra circuito de medição. Observa-se que foram adicionados pequenos capacitores para redução de ruídos nos pinos de alimentação.



**Fig. 5.3 – Sistema de medição de corrente.**

O ganho do sensor, incluindo o resistor de medição é dado pela eq.(5.9), onde  $R_{Mi} = 100\Omega$ .

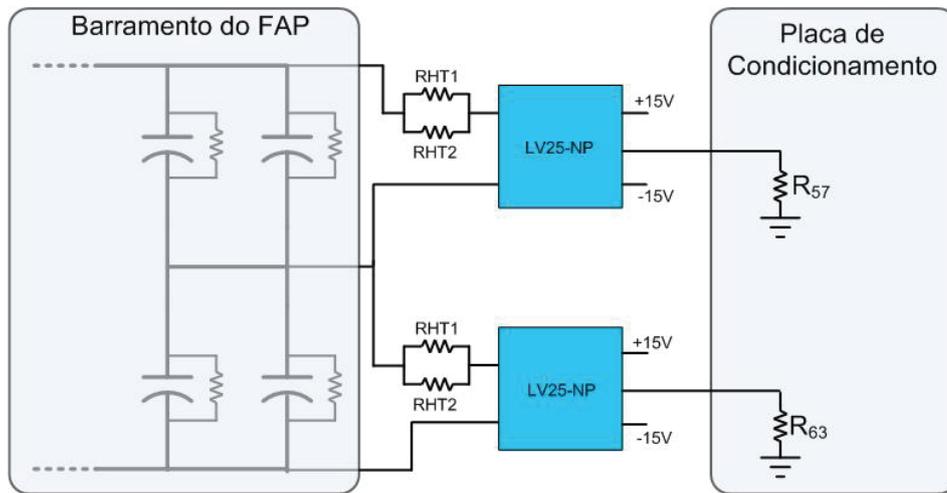
$$K_{Mi} = \frac{1}{1000} \cdot R_{Mi} = 0.1 \quad (5.9)$$

## B - Sensores de Tensão Contínua

A monitoração da tensão do barramento do FAP foi feita através dos sensores de efeito *hall* LV25-NP [34], também fabricados pela LEM. Neste componente, a medição de tensão é feita indiretamente através da corrente circulante no circuito primário do mesmo. Assim, um resistor adequado  $R_{HT}$  deve ser colocado em série com o transdutor. Da mesma forma que o LA-55-P, a saída também é em corrente, e assim um resistor de medição  $R_{MV}$  deve ser utilizado para obter uma tensão proporcional àquela medida. Os mesmos cuidados com ruído citados anteriormente são também cabíveis aqui. Algumas características do LV25-NP são:

- Transdutor de efeito *hall* compensado em malha fechada;
- Tensão nominal de entrada de 500V;
- Saída em corrente;
- Grande precisão e linearidade de operação;
- Alimentação simétrica  $\pm 12V$  ou  $\pm 15V$  ;
- Taxa de conversão de corrente: 2500:1000.

A Fig. 5.4 mostra o circuito de medição da tensão de barramento do FAP.



**Fig. 5.4 – Sistema de medição da tensão do barramento do filtro.**

Cabe observar que, embora nesta estrutura não sejam necessárias leituras independentes das tensões dos grupos superior e inferior de capacitores, dois transdutores foram utilizados, uma vez que a tensão do barramento excede a tensão máxima suportada pelo dispositivo. Assim, os valores lidos devem ser posteriormente somados na placa de condicionamento de sinais. Com base nas especificações do fabricante, os resistores de medição escolhidos são de  $120\Omega$ , e então o ganho de cada transdutor é dado pela eq.(5.10),

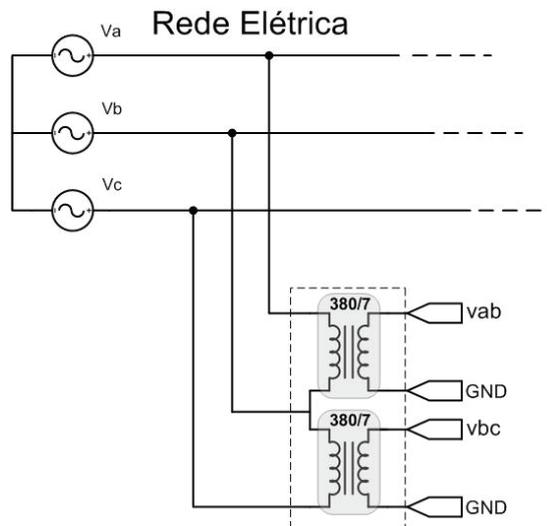
$$K_{MV} = \frac{1}{R_{HT}} \cdot \frac{2500}{1000} \cdot R_{MV} = \frac{1}{50k\Omega} \cdot \frac{2500}{1000} \cdot 120 = 0,006 \quad (5.10)$$

Onde:

$$\begin{aligned} R_{HT} &= R_{HT1} // R_{HT2} = R_{HT3} // R_{HT4} \\ R_{HT1} &= R_{HT2} = R_{HT3} = R_{HT4} = 100k\Omega \\ R_{57} &= R_{63} = R_{MV} = 120\Omega \end{aligned} \quad (5.11)$$

### C - Sensores de Tensão Alternada

Para a leitura das tensões da rede elétrica, necessárias apenas para o circuito de sincronismo, foram utilizados dois transformadores de baixa frequência, conforme ilustra a Fig. 5.5.



**Fig. 5.5 – Sistema de medição das tensões de linha da rede.**

Os dois transformadores têm as mesmas especificações, com relação de transformação de 380V/7V. Logo, o ganhos dos sensores de tensão alternada são dados por:

$$K_{MVAC} = \frac{7}{380} \quad (5.12)$$

Neste caso, não houve a necessidade do emprego de sensores de efeito *hall*. Os transformadores de baixa frequência são adequados para esta tarefa, pois propiciam a adequação dos níveis de tensão bem como isolamento galvânica entre o sistema de potência e o circuito de condicionamento. Todavia, é importante salientar que os dois transformadores devem ser idealmente idênticos, uma vez que as diferenças nestes causam erros no sinal de sincronismo do circuito PLL.

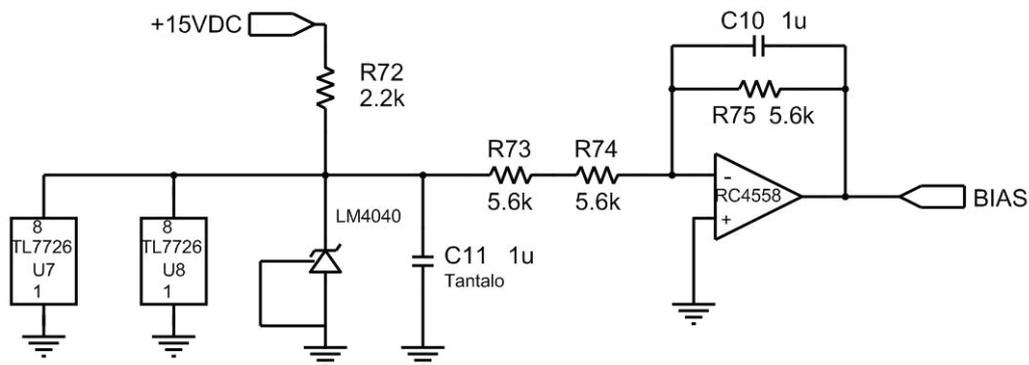
### 5.6.2 Condicionamento dos Sinais Analógicos

Os sinais de tensão e corrente lidos do sistema através dos transdutores devem ser devidamente condicionados para que possam ser lidos pelo conversor A/D do DSP. Os níveis mínimo e máximo de tensão na entrada do conversor A/D utilizado são 0V e 3V respectivamente. Dessa forma, todos os sinais analógicos envolvidos no processo devem ser ajustados com base nestes limites. A técnica normalmente utilizada consiste em regular o ganho de condicionamento do sinal de interesse, de sorte que a amplitude máxima, de pico a pico, seja igual à 3V. No caso de sinais alternados, para evitar a aplicação de tensão negativa no conversor, soma-se ao sinal condicionado uma tensão

de *offset* de 1,5V (observando que esta passa a ser a nova referência do mesmo). É importante ressaltar que os conversores A/D são dispositivos sensíveis, portanto é recomendado condicionar os sinais analógicos com uma margem de segurança, bem como utilizar circuitos de proteção adicionais. Os diversos circuitos utilizados no condicionamento dos sinais analógicos do FAP são apresentados e descritos a seguir, sendo que o circuito esquemático completo é apresentado no Anexo 2.

### A - Circuito para Geração da Tensão de *Offset*

O circuito para geração de tensão de *offset* é ilustrado na Fig. 5.6.



**Fig. 5.6 – Circuito para geração da tensão de *Offset*.**

O componente LM4040 é um regulador *shunt* de 3V, próprio para sistemas de condicionamento de sinal e geração de referências. O resistor R72 é dimensionado de forma que a corrente máxima sobre o dispositivo não exceda 15mA . O fabricante também recomenda a inserção de um capacitor de 1 $\mu$ F (tântalo) em paralelo com o regulador.

Como os circuitos de condicionamento subsequentes utilizam uma configuração somador-inversor para adicionar o *offset*, logo a tensão gerada pelo presente circuito deve ser de -1,5V. O amplificador operacional de baixo custo e propósito geral RC4558 foi utilizado em conjunto com os resistores de precisão R73, R74 e R75 para a obtenção da tensão de -1,5V. Observa-se ainda que foi feita uma derivação sobre a tensão de 3V sobre o regulador, a qual servirá de referência para o circuito de proteção do conversor A/D.

### B - Circuito de Proteção para o Conversor A/D

Um circuito de proteção dedicado será utilizado em cada sinal analógico conectado ao conversor A/D. O componente escolhido foi o TL7726, que consiste de seis grampeadores com tensão de referência ajustável. Se o sinal condicionado estiver entre

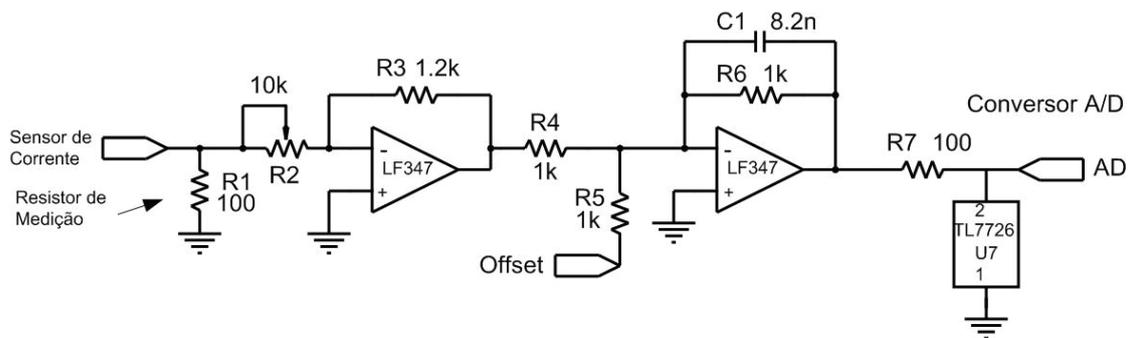
0V e a tensão de referência ajustada, o grampeador comporta-se como uma alta impedância. Caso o sinal condicionado exceda os limites do grampeador (0V e referência), o circuito entra em condução protegendo o conversor A/D.

Um resistor de baixo valor é inserido antes do circuito grampeador, de forma a limitar a corrente sobre este em caso de atuação. Cabe ressaltar que o valor deste resistor não deve ser demasiadamente alto, para que não interfira na tensão de entrada do conversor A/D e tampouco no tempo de conversão. Assim, serão utilizados resistores de  $100\Omega$ .

### C - Circuito para Condicionamento das Correntes do FAP e da Carga

O condicionamento analógico dos sinais de corrente, provenientes dos transdutores é idêntico para todas correntes da carga e do filtro ativo. A Fig. 5.7 ilustra este circuito. O resistor de medição é referenciado no circuito como R1.

O primeiro estágio do circuito consiste de um amplificador inversor com ganho ajustável por R2. O segundo estágio é um somador inversor com ganho unitário, onde o *offset* de -1,5V é somado ao sinal provindo do primeiro estágio. O segundo estágio atua ainda como filtro passa baixa, necessário para prevenir o fenômeno de *antialiasing* durante a conversão do sinal analógico para digital. O processo de conversão e o fenômeno de *aliasing* serão detalhados no capítulo seguinte.



**Fig. 5.7 – Circuito de condicionamento para as correntes do FAP e da carga.**

A frequência de corte do filtro é definida pelo resistor R6 e capacitor C1, e foi escolhida para ficar aproximadamente na metade da frequência de amostragem, conforme (5.13).

$$f_{c_{Faa}} = \frac{1}{2\pi \cdot R6 \cdot C1} = \frac{1}{2\pi \cdot 1k\Omega \cdot 8.2nF} = 19409,14Hz \quad (5.13)$$

Na saída do segundo estágio está conectado o circuito grampeador já apresentado. Desconsiderando a dinâmica do sensor de corrente e o *offset*, então a função de transferência completa, desde o sensor até a entrada do conversor A/D é apresentada na eq.(5.14).

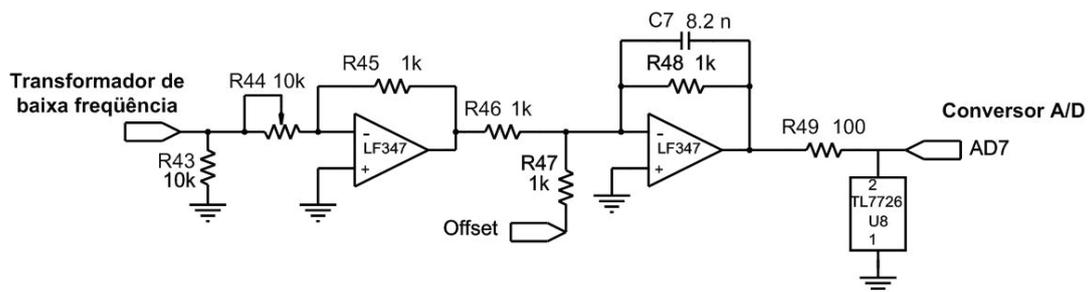
$$H_i(s) = K_{Mi} \cdot \frac{R3}{R2} \cdot \frac{1}{(1 + sC1 \cdot R6)} \quad (5.14)$$

Com o intuito de evitar que os limites máximos do conversor sejam ultrapassados, considerou-se convenientemente em corrente máxima de pico de 100A para todas as correntes. Assim, o resistor variável R2 é ajustado para aproximadamente  $8k\Omega$ , de forma que 100A corresponda a 1,5V na entrada do conversor A/D. A função de transferência do sistema de medição de corrente é então:

$$H_i(s) = \frac{0.015}{(1 + 0,0000082s)} \quad (5.15)$$

#### D - Circuito para Condicionamento das Tensões medidas da Rede

O circuito de condicionamento para cada uma das duas tensões lidas da rede elétrica é mostrado na Fig. 5.8.



**Fig. 5.8 – Circuito de condicionamento das tensões lidas da rede.**

O primeiro estágio do circuito consiste em um amplificador inversor com ganho variável. Foi estipulada uma tensão máxima de pico de 700V, logo os limites -700V e 700V devem ser representados como 0V e 3V respectivamente. Com base na eq.(5.12), determina-se o valor do resistor variável, R44 conforme a eq.(5.16).

$$R44 = 700 \cdot \frac{7}{380} \cdot \frac{R45 \cdot 2}{3} = 8,6k\Omega \quad (5.16)$$

De forma semelhante aos circuitos anteriores, o segundo estágio efetua a soma do *offset* e age como filtro *antialiasing*. A frequência de corte do filtro é idêntica àquela obtida em (5.13).

A função de transferência total do sistema de medição e condicionamento das tensões da rede, desconsiderando o *offset* e a dinâmica do transdutor, é dada por (5.17).

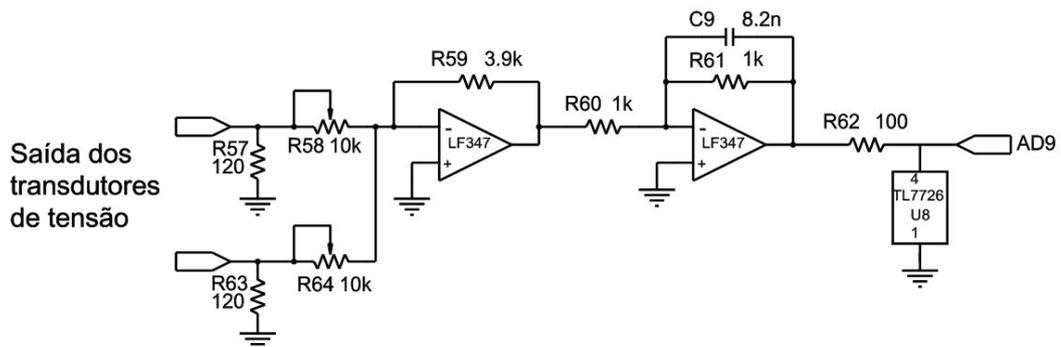
$$H_{vac}(s) = K_{Mvac} \cdot \frac{R_{45}}{R_{44}} \cdot \frac{1}{(1 + sC_7 \cdot R_{46})} \quad (5.17)$$

$$H_{vac}(s) = \frac{0,002142}{(1 + 0,0000082s)}$$

### E - Circuito para Condicionamento da Tensão do Barramento do FAP

A Fig. 5.9 ilustra o circuito utilizado no condicionamento dos sinais lidos da tensão do barramento do FAP.

As saídas dos transdutores são ligadas aos respectivos resistores de medição R57 e R63. O primeiro estágio do circuito realiza a soma e adequação dos níveis de tensão, enquanto que o segundo estágio é o filtro *antialiasing*.



**Fig. 5.9 – Circuito de condicionamento da tensão do barramento do FAP.**

Estipula-se uma tensão máxima de 1000V para a tensão do barramento, e assim os resistores variáveis R58 e R64 devem ser ajustados de forma que a tensão no conversor A/D seja igual à 3V nesta situação. Como cada transdutor do barramento vai monitorar no máximo 500V, os valores de R58 e R64 são dados conforme a eq.(5.18).

$$R58 = R64 = \frac{500V \cdot K_{MV} \cdot R59}{\frac{3V}{2}} = \frac{500V \cdot 0,006 \cdot 3,9k\Omega}{1,5V} = 7,8k\Omega \quad (5.18)$$

O filtro *antialiasing* deste circuito é idêntico ao apresentado para o condicionamento das correntes, e assim, a função de transferência do sistema de medição da tensão total do barramento, até a entrada do conversor A/D, é dada pela eq.(5.19)

$$H_{VDC}(s) = \frac{0.003}{(1 + 0,0000082s)} \quad (5.19)$$

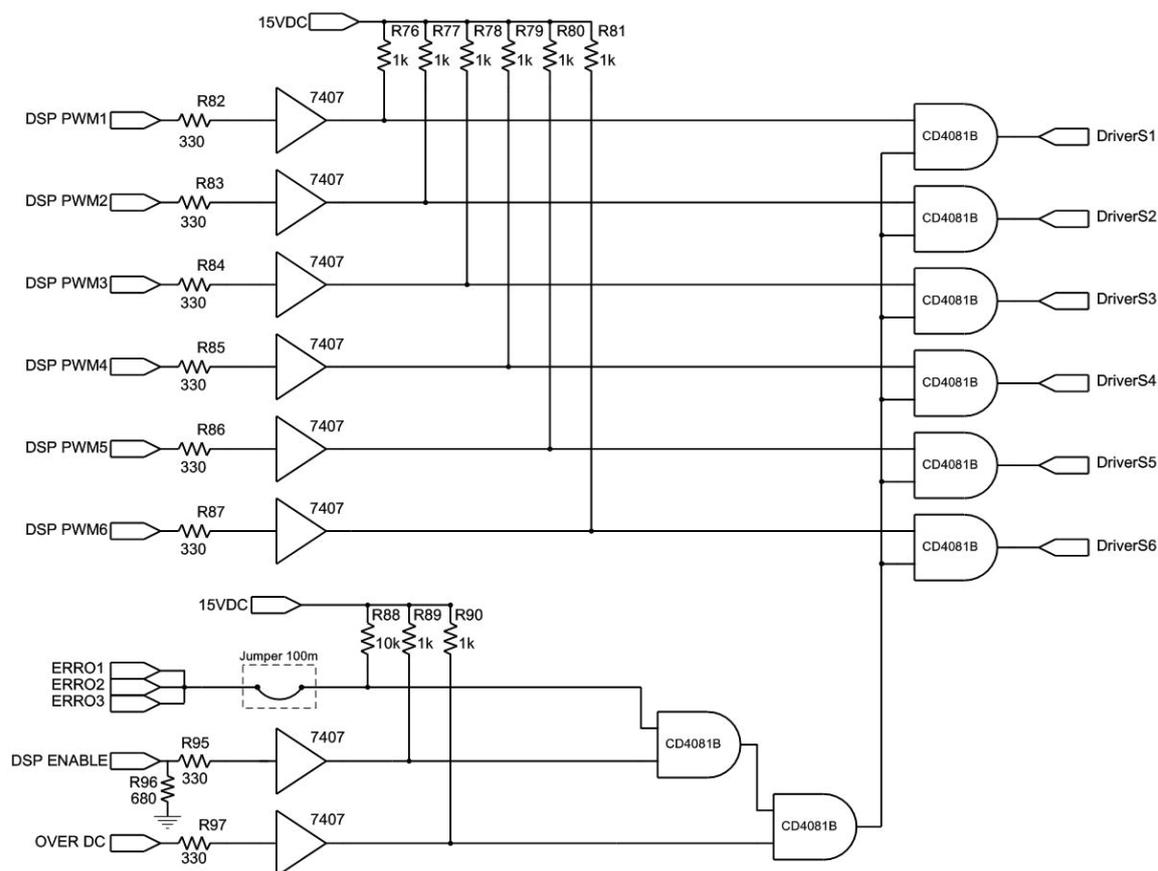
## 5.7 ACIONAMENTO DOS INTERRUPTORES DO CONVERSOR

Para que os interruptores do conversor operem adequadamente, é necessário utilizar circuitos dedicados de acionamento. O *driver* é o dispositivo que recebe o sinal do circuito de controle e comanda os interruptores do conversor através de níveis de tensão e referências adequadas. Adicionalmente, este pode proporcionar isolamento dos circuitos de potência e controle, bem como proteção para os interruptores. O *driver* utilizado no FAP foi o *SKHI22A*, fabricado pela Semikron. Algumas características deste dispositivos são citadas a seguir:

- *Driver* duplo para módulos IGBT em meia ponte;
- Entradas CMOS;
- Proteção de curto-circuito;
- Isolação por transformadores;
- Geração de tempo morto;
- Proteção contra subtensão de alimentação (13V).

Como os sinais lógicos dos pinos de saída do DSP são de 0V e 3,3V, é necessário utilizar um circuito de interface adicional, entre o DSP e os *drivers*. Ainda, como são previstos circuitos analógicos de proteção, um sistema lógico para inibição dos comandos dos interruptores também deve ser considerado. A Fig. 5.10 ilustra estes circuitos.

---



**Fig. 5.10 – Circuito de condicionamento dos sinais digitais e lógica de proteção.**

Observa-se que existem seis sinais providos do DSP para o acionamento de cada um dos interruptores, havendo ainda um comando adicional para habilitação externa destes. Todos estes sinais são primeiramente condicionados através de um circuito *buffer*. O dispositivo escolhido para tal função foi o SN74LS07, que consiste de seis *buffers* com entradas TTL (tolerantes aos níveis de tensão o DSP) e com saídas em coletor aberto. Assim, resistores de *pull-up* devem ser inseridos em cada saída do *buffer*, os quais devem garantir que a máxima corrente drenada pelo dispositivo em estado lógico baixo seja de 40mA. Serão utilizados resistores de  $1k\Omega$  para tal função. O sinal TTL do circuito de proteção de sobretensão do barramento do FAP também é condicionado da mesma forma.

O circuito lógico para a inibição dos comandos dos interruptores possui três fontes de sinal independentes com ação direta. São elas:

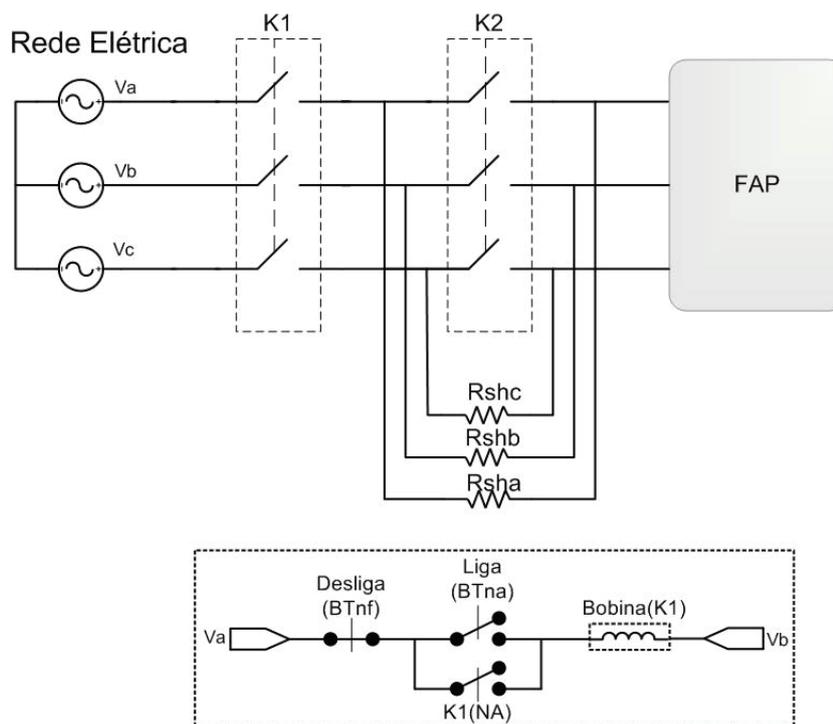
- Comando de habilitação do DSP (comando “DSP ENABLE”);
- Circuito de erro de qualquer um dos três *drivers* do conversor;
- Proteção de sobretensão o barramento do FAP.

A atuação (imposição de nível lógico baixo) de qualquer uma destas sinais faz com que o comandos de todos os interruptores sejam levados a um nível lógico baixo. Isso é garantido através da lógica “AND”, realizada pelo circuito CMOS CD4081B.

## 5.8 CIRCUITO DE LIMITAÇÃO DA CORRENTE DE PRÉ-CARGA

Na Fig. 5.11 é ilustrado o circuito utilizado para o acionamento da estrutura e para a limitação da corrente de pré-carga. A energização da estrutura é feita através do contator K1, acionado pela botoeira BT. O circuito de intertravamento é mostrado na Fig. 5.11. O contator utilizado é fabricado pela Telemecanique, modelo LC1D50, com bobina de corrente alternada de 380V.

O circuito de limitação de corrente será utilizado durante a etapa inicial de energização do banco capacitivo. Durante esta etapa, a tensão do barramento do FAP cresce de 0V até a tensão de pico de linha da rede elétrica (aproximadamente 539V).

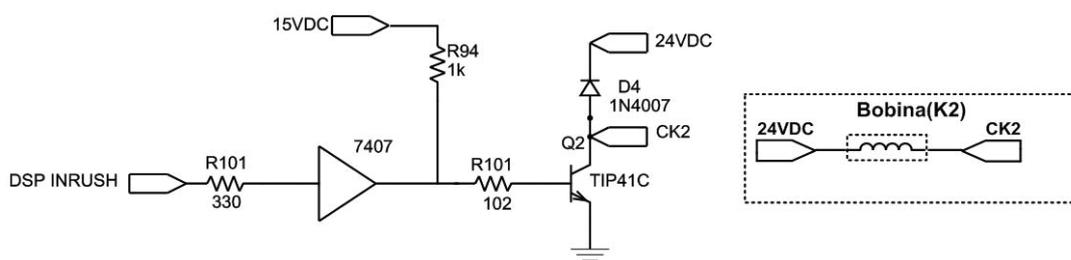


**Fig. 5.11 – Circuito de acionamento e limitação da correntes de pré-carga do FAP.**

Como o capacitor descarregado comporta-se como um curto-circuito, as únicas impedâncias que limitam a corrente nesta etapa são as dos indutores do FAP. Assim, resistores adicionais são colocados em série com o filtro ativo, limitando a corrente durante esta etapa, sendo curto-circuitados após pelo contator K2. Os resistores devem

ser dimensionados com base em um valor máximo de corrente que não danifique os diodos do conversor VSI e/ou os indutores do FAP. Em cada fase são então inseridos dois resistores de  $22\Omega/25W$  em paralelo, totalizando  $11\Omega/50W$  por fase. A máxima corrente nesta etapa será assim inferior à 30A.

O contator K2 também é fabricado pela Telemecanique, modelo LC1D50, porém com bobina de 24VCC. O comando para o fechamento de K2 é feito através do sistema de controle do FAP. Este circuito é mostrado na Fig. 5.12.

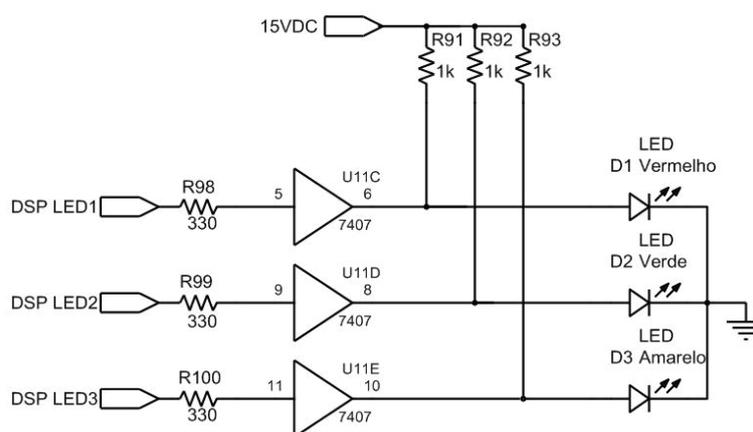


**Fig. 5.12 - Circuito de acionamento do contator K2.**

O DSP envia o comando “DSP INRUSH” ao *buffer*, que por sua vez faz com que o transistor Q2 entre em condução e acione K2.

## 5.9 CIRCUITOS DE SINALIZAÇÃO E INTERFACE

Com a finalidade de indicar o estado de operação do FAP, foi implementado o circuito de sinalização mostrado na Fig. 5.13.



**Fig. 5.13 – Circuito de sinalização de operação do FAP.**

Os três leds, de cores verde, laranja e vermelho são comandados via DSP. O acionamento efetivo destes é realizado por *buffers* SN74LS07. A utilização dos leds de sinalização é detalhada no Capítulo 6.

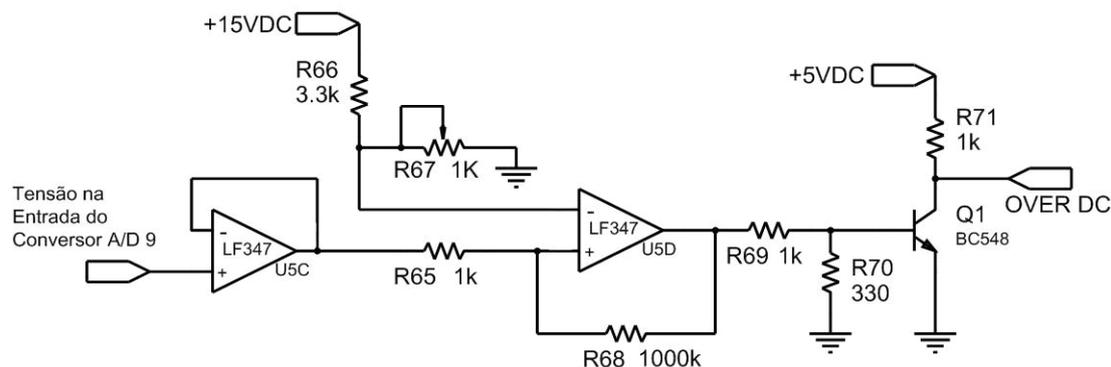
Uma chave do tipo micro *switch* será utilizada para possibilitar o acesso direto ao DSP. Esta chave é conectada diretamente entre um pino de entrada/saída do DSP e o terra digital, uma vez que o dispositivo já possui sistemas de *pull-up* internos.

## 5.10 CIRCUITOS DE PROTEÇÃO

Embora o algoritmo de controle do FAP possua rotinas específicas de proteção para os níveis de tensão do barramento e correntes do FAP, circuitos adicionais de proteção serão utilizados no protótipo.

### A - Proteção de Sobretensão

O circuito analógico de proteção para sobretensão do barramento do FAP é mostrado na Fig. 5.14.



**Fig. 5.14 – Circuito analógico de proteção contra sobretensão do barramento do FAP.**

O sinal presente na entrada 9 do conversor A/D refere-se à tensão do barramento do FAP, devidamente condicionada pelo circuito mostrado na Fig. 5.9. Este sinal é isolado através de um *buffer*, sendo após comparado com a tensão de referência da proteção (ajustada através do potenciômetro R67). O circuito será calibrado para que a proteção atue quando a tensão do barramento ultrapassar 900V, e assim, como o ganho do circuito de monitoração e condicionamento é de 0,003, o valor de R67 é obtido aproximadamente conforme a eq.(5.20).

$$R67 = \frac{R66 \cdot (0,003 \cdot 900V)}{(15 - (0,003 \cdot 900V))} = \frac{3300\Omega \cdot (0,003 \cdot 900V)}{(15V - (0,003 \cdot 900V))} = 724,39\Omega \quad (5.20)$$

Se a tensão do barramento exceder 900V, o transistor Q1 entra em condução e impõe nível baixo no sinal “ OVER DC”. Este por sua vez impõe nível lógico baixo em todos os sinais de comando para os interruptores, desabilitando momentaneamente o conversor.

### B - Proteção de Sobrecorrente

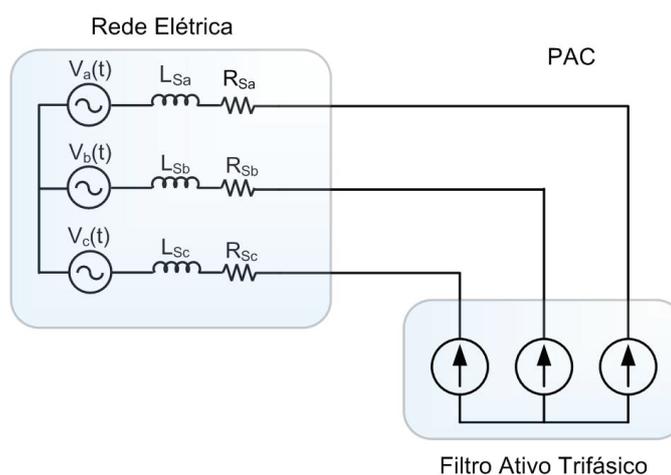
Para a proteção de sobrecorrente do FAP foram utilizados fusíveis ultra-rápidos da *American Fuse* NH 00C de 50A.

### C - Proteção da Rede

Um disjuntor trifásico de 40A foi utilizado na entrada do protótipo, de forma a evitar que problemas de operação no FAP e/ou carga se reflitam para a rede elétrica. O modelo escolhido foi o *Pial Legrand Unic C40*.

## 5.11 FILTRO PASSIVO DE ALTA FREQUÊNCIA

As componentes de alta frequência das correntes do FAP, oriundas da comutação do conversor, podem provocar problemas de interferência eletromagnética (EMI) bem como prejudicar a qualidade das tensões da rede. As tensões no PAC pode ser fortemente distorcidas se o sistema elétrico em questão possuir impedâncias equivalentes de valor elevado. O problema pode ser explicado através do circuito simplificado mostrado na Fig. 5.15.



**Fig. 5.15 - Circuito equivalente do FAP conectado ao sistema elétrico.**

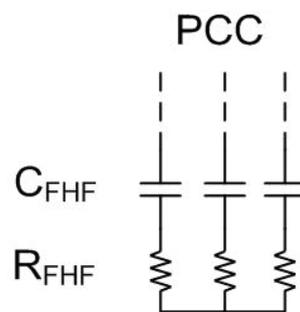
Neste sistema, a rede elétrica é representada por fontes de tensão com respectivas impedâncias equivalentes por fase. O filtro ativo é representado por fontes de

corrente de alta frequência (frequência de comutação). Seja a impedância equivalente da rede, dada por (5.21).

$$Z_s = R_s + j\omega L_s \quad (5.21)$$

Com base no princípio da superposição, analisa-se a influência da componente de alta frequência sobre o sistema elétrico, mais especificamente o seu impacto sobre a tensão no PAC. Desconsiderando os demais parâmetros da rede, e considerando que o circuito da Fig. 5.15 é equilibrado, tem-se uma tensão de alta frequência no PAC proporcional à amplitude da componente de alta frequência da corrente, bem como ao valor da impedância do sistema. Da eq.(5.21) verifica-se que a parcela imaginária da impedância (reatância indutiva) é proporcional a frequência, e logo para altas frequências esta magnitude é bastante superior à da parcela real. Assim, a tensão no PAC pode ser fortemente distorcida pela alta frequência se a impedância do sistema for elevada.

Uma solução normalmente utilizada em filtros ativos consiste na inserção de pequenos filtros passivos em paralelo com o conversor, sendo comumente referenciadas na literatura como *switching ripple filters*. Existem diversas topologias possíveis de serem empregadas [35], todavia neste trabalho será utilizada uma estrutura simples, mostrada na Fig. 5.16.



**Fig. 5.16 – Estrutura para filtragem das componentes de alta frequência do FAP.**

A inserção desta estrutura em paralelo com o FAP propicia um caminho de baixa impedância para as componentes de alta frequência, geradas pela comutação dos interruptores. O capacitor  $C_{FHF}$  age como um filtro passa alta, enquanto que o resistor  $R_{FHF}$  proporciona amortecimento, caso ocorra alguma ressonância entre a estrutura e o sistema elétrico. Como a reatância capacitiva é inversamente proporcional à frequência, quanto maior a capacitância, menor a reatância da estrutura. Todavia, capacitâncias elevadas fazem com correntes na frequência fundamental circulem com valores

consideráveis sobre a estrutura. Este fato pode comprometer o fator de deslocamento total do conjunto, e assim deve ser considerado na determinação de  $C_{FHF}$ .

O valor da resistência de  $R_{FHF}$  não deve ser demasiadamente grande, uma vez que a ação do capacitor  $C_{FHF}$  seria atenuada em tal situação. Para o projeto da estrutura considera-se uma impedância de rede conforme (5.22).

$$Z_s = 0.007 + j\omega 0.0001 \quad (5.22)$$

Na frequência de comutação do FAP, a reatância equivalente é de aproximadamente  $12,6\Omega$ . Com base na disponibilidade local de componentes, escolhe-se um capacitor  $C_{FHF}$  de  $5\mu F$ , o qual proporciona uma reatância de  $1,6\Omega$  para a frequência de comutação e  $530\Omega$  para a frequência fundamental da rede. O resistor  $R_{FHF}$  será de  $2\Omega/25W$ , o que aumenta a reatância total por fase da estrutura para  $3,6\Omega$ . Observa-se que mesmo sendo ainda elevada a reatância da estrutura de filtragem, a mesma proporciona um caminho de menor impedância para as altas frequências geradas pelo conversor, colaborando com a qualidade da tensão no PAC.

É importante observar que a utilização desta estrutura em sistemas ideais (barramento infinito) não faz sentido, uma vez que a impedância da barra é nula nesse caso.

## 5.12 FONTE AUXILIAR DE ALIMENTAÇÃO

A alimentação de todos os sensores, placas de condicionamento digital e analógica, bobina do contator de partida e *drivers* do conversor foram feitas a partir de uma fonte auxiliar de alimentação. Para tal, foi empregada uma estrutura linear com transformador de baixa frequência. As principais especificações e aplicações de cada saída da fonte são resumidas na Tabela 5.3.

Foram utilizadas saídas de 15V distintas para os circuitos analógico e digital, com o intuito de prevenir possíveis ruídos e interferências dos sinais digitais nos circuitos analógicos.

**Tabela 5.3 - Principais especificações de saída e aplicações da fonte de alimentação.**

<b>Tensão de Saída</b>	<b>Corrente</b>	<b>Aplicações</b>
<b>+15VDC</b>	<b>500mA</b>	Circuitos analógicos; Circuito de referência; Sensores de efeito <i>Hall</i> .
<b>+15VDC</b>	<b>500mA</b>	Circuitos analógicos; Circuito de referência; Sensores de efeito <i>Hall</i> .
<b>+15VDC</b>	<b>1A</b>	Drivers do Conversor; Circuitos Digitais.
<b>+5VDC</b>	<b>1A</b>	Circuitos Digitais.
<b>+24VDC</b>	<b>1A</b>	Bobina do Contator de Partida.

### 5.13 CONCLUSÕES

Este capítulo apresentou os diversos circuitos e elementos que compõem a estrutura total do FAP. As principais características e princípio de funcionamento dos circuitos foram elucidados. Os esforços de corrente sobre os interruptores foram determinados a partir de simulações numéricas. Com base nos elementos e parâmetros definidos neste capítulo, pode-se então prosseguir no capítulo seguinte com a determinação e projeto do sistema de controle do FAP.

# CAPÍTULO 6

---

---

## CONTROLE DIGITAL E IMPLEMENTAÇÃO NO DSP

---

---

### 6.1 INTRODUÇÃO

No capítulo 2 foram apresentados alguns aspectos básicos concernentes às diferenças, vantagens e desvantagens das técnicas de controle analógico e digital. Devido à complexidade do algoritmo de controle envolvido, toda a estratégia de controle do filtro ativo será realizada de forma digital, através de um controlador digital de sinal. Neste capítulo será apresentada a metodologia empregada para projeto do sistema de controle do FAP, bem como será detalhada a implementação da estratégia.

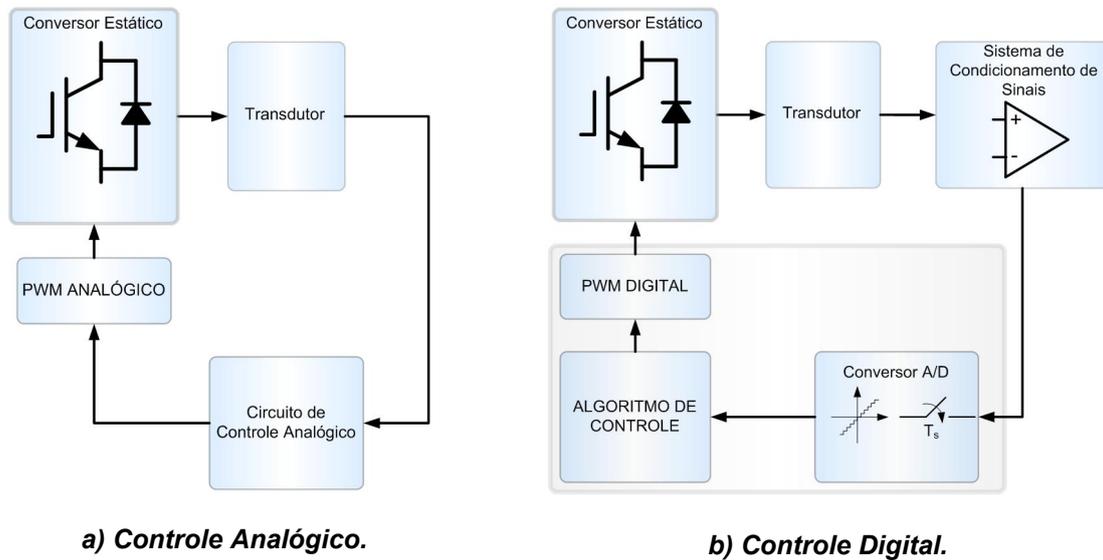
### 6.2 CONTROLE DIGITAL

Existem basicamente duas metodologias para o projeto de controladores digitais. Na primeira, o projeto dos controladores é feito diretamente no domínio discreto, sendo necessário para tal, obter modelos discretos dos diversos elementos que compõem o sistema em questão. A segunda metodologia consiste em projetar os controladores em tempo contínuo, e em seguida, discretizar os mesmos através de um método adequado.

O segundo método é em geral mais utilizado, principalmente em função da simplicidade. É importante ressaltar, porém, que este procedimento tem por princípio determinar um controlador digital que propicie uma resposta (em ambos os domínios, tempo e frequência) similar àquela obtida com o controlador analógico. Todavia, conforme as características dinâmicas do sistema em questão, bem como a frequência de amostragem adotada, a resposta obtida com essa metodologia pode ser pouco satisfatória ou mesmo conduzir o sistema à instabilidade. Isso ocorre em função das alterações impostas pelos elementos digitais do sistema, e sendo assim, estes fatores devem ser cuidadosamente analisados e relevados durante o projeto dos controladores. A grande vantagem desta metodologia reside na possibilidade de realizar o projeto do sistema de controle como se o mesmo operasse em tempo contínuo, e por esta razão, será adotada no projeto dos controladores do FAP.

A Fig. 6.1 ilustra os diagramas de blocos de dois típicos sistemas de controle em malha fechada, um analógico e outro digital. Ambos são aplicados a um conversor

estático de potência, cujos interruptores são acionados através de modulação por largura de pulso. Naturalmente, tais sistemas não são únicos, entretanto representam de forma simples e geral as estruturas de controle (digital e analógico) de um conversor estático, e por isso serão considerados aqui para fins de comparação.



**Fig. 6.1 – Sistemas de controle típicos de um conversor estático.**

O conceito geral e comum aos dois sistemas reside na idéia de ler uma ou mais variáveis do conversor, processá-las de acordo com uma lei de controle pré-estabelecida e atuar no sistema através do comando dos interruptores do conversor, utilizando modulação por largura de pulso. No controle analógico, todo esse processo é feito de forma instantânea, sendo que as grandezas envolvidas evoluem continuamente no tempo. No caso do sistema digital, as variáveis utilizadas no controle são amostradas a um determinado período  $T_s$ , e desta forma evoluem de forma discreta no tempo. Analisando as duas estruturas apresentadas, verificam-se algumas diferenças básicas do sistema de controle digital com relação ao analógico:

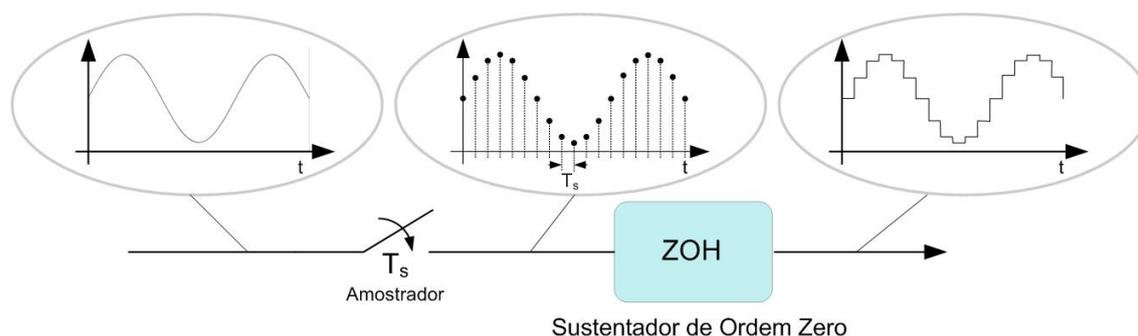
- Utilização de um conversor A/D para amostragem das variáveis;
- Possível necessidade de um circuito de condicionamento de sinais adequado, em função do processo de amostragem;
- Circuito PWM digital ao invés do analógico;

- Processamento dos sinais de controle usando dados com representação numérica finita.

A presença destes elementos na malha de controle do conversor introduz efeitos no sistema, os quais são, na maioria das vezes, indesejados para o desempenho do conversor. Assim, serão abordados a seguir cada um destes elementos, no intuito de compreendê-los e quantificá-los para que seus efeitos sejam corretamente considerados no projeto dos controladores através da metodologia escolhida.

### 6.2.1 Efeito da Amostragem das Variáveis do Sistema

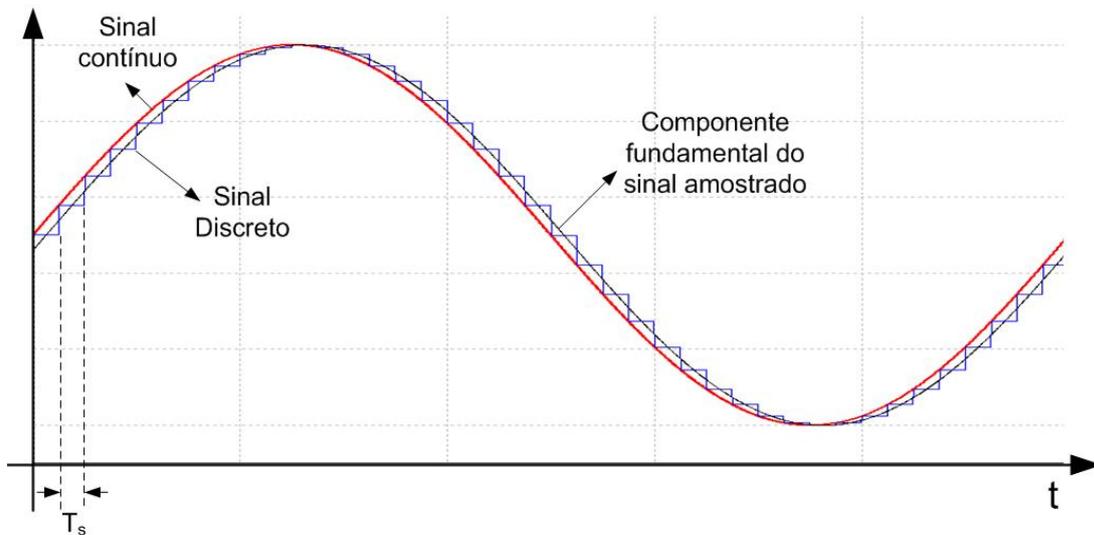
No controle de conversores estáticos, os sinais normalmente utilizados na realimentação do sistema são tensões e/ou correntes em pontos específicos do circuito. Como essas grandezas evoluem continuamente no tempo, é necessário convertê-las para o domínio discreto para que possam ser processadas pelo controlador. Os conversores analógico digital (A/D) são os dispositivos utilizados para tal função. Uma forma bastante comum de representar o conversor A/D é apresentada na Fig. 6.2.



**Fig. 6.2 – Representação do Conversor A/D .**

Um sinal contínuo é amostrado a cada período  $T_s$  através de um amostrador ideal. O sustentador de ordem zero (ZOH – *Zero Order Hold*) recebe o valor do amostrador e o mantém constante para  $kT_s \leq t < (k+1)T_s$ , onde  $k$  é um número inteiro positivo, sendo que  $kT_s$  representa o tempo no  $k$ -ésimo instante de amostragem.

A Fig. 6.3 ilustra a amostragem de uma variável contínua senoidal, sendo exibidos também o sinal discreto obtido e a componente fundamental deste último.



**Fig. 6.3 – Atraso devido ao processo de amostragem.**

Observa-se que a componente fundamental do sinal amostrado encontra-se atrasada do sinal contínuo. Este atraso é provocado pelo ZOH, e equivale à aproximadamente meio período de amostragem ( $T_s/2$ ). No domínio da frequência, pode-se quantificar este efeito conforme a eq.(6.1) [36].

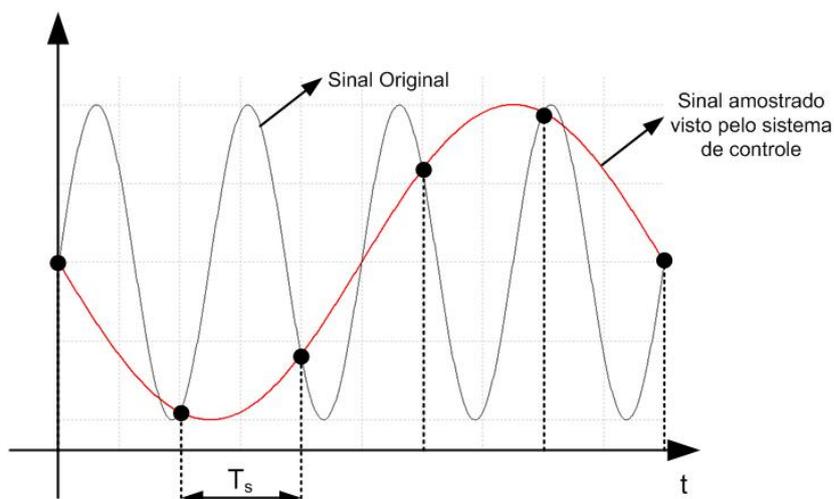
$$\angle \text{ZOH}(j\omega) = \frac{-T_s\omega}{2} \quad (6.1)$$

### **A - Fenômeno de *Aliasing***

A frequência de amostragem utilizada também deve ser cuidadosamente escolhida, a fim de que seja respeitado o teorema de Shannon [37]. Assim, a máxima frequência que pode ser amostrada, chamada frequência *Nyquist*, corresponde à metade da frequência de amostragem. Caso esse limite seja desrespeitado, ocorrerá o chamado fenômeno de *aliasing*, o qual é mostrado na Fig. 6.4.

Observa-se claramente que o sinal amostrado obtido não corresponde ao analógico. Vale notar que além da amostragem não representar o sinal desejado, um novo sinal é introduzido no sistema.

Uma maneira de evitar o fenômeno de *aliasing* consiste em limitar a banda passante do sinal contínuo a ser amostrado à frequência Nyquist, sendo que para tal, pode-se utilizar um simples filtro passa baixa (filtro *antialiasing*).



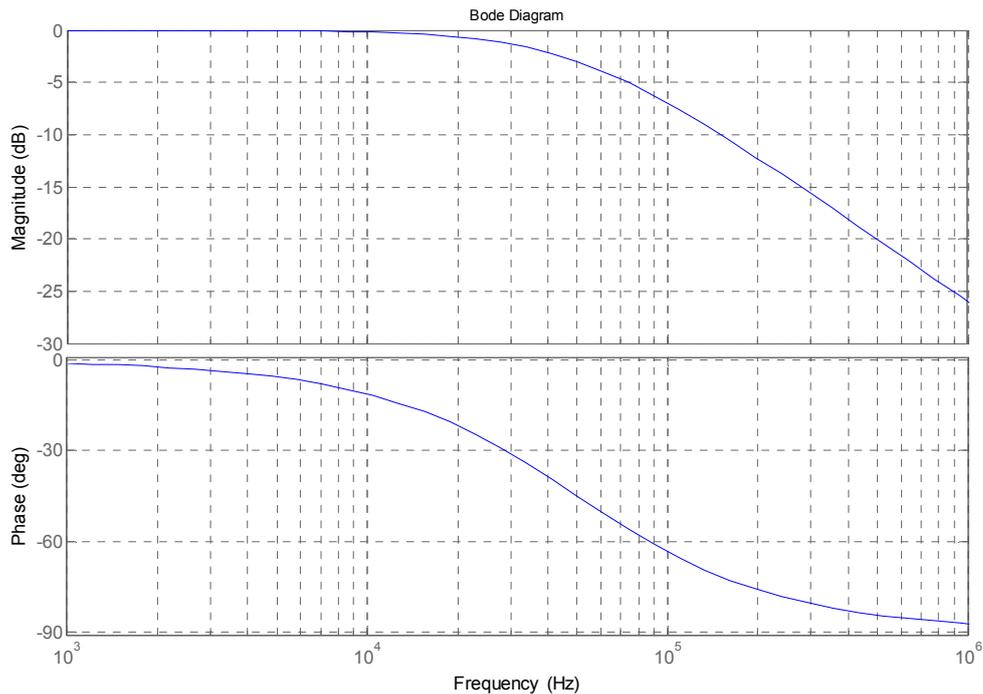
**Fig. 6.4 - Fenômeno de “aliasing” para uma frequência de amostragem 25% maior que a frequência do sinal amostrado.**

Se a frequência de amostragem for suficientemente grande, de forma que a banda passante do sinal analógico seja menor que a frequência Nyquist, então o filtro pode ser teoricamente eliminado. Entretanto, cabe lembrar que, em aplicações como conversores estáticos, a comutação dos interruptores pode gerar ruídos de alta frequência, os quais podem interferir nos sinais contínuos a serem amostrados.

É importante ressaltar que as alterações dinâmicas inseridas pelo filtro devem ser consideradas no projeto dos controladores. A título de exemplo, considera-se a utilização de um filtro *antialiasing* com característica passa-baixa, formado por um único pólo sintonizado uma oitava abaixo da frequência de amostragem. Arbitra-se uma frequência de amostragem de 100kHz, e assim a função de transferência do filtro *antialiasing* é aquela da eq.(6.2). Os diagramas de bode são mostrados na Fig. 6.5.

$$f_{aa}(s) = \frac{1}{(0.000003183s + 1)} \quad (6.2)$$

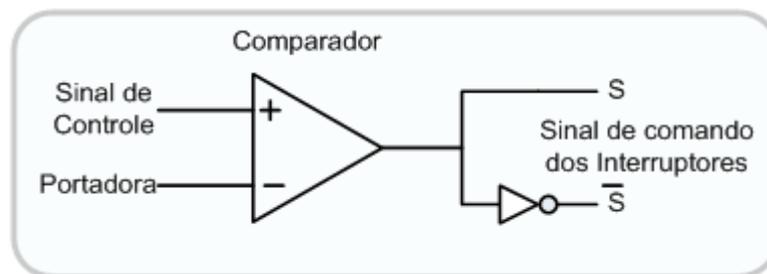
Do ponto de vista de controle, o fator mais relevante da inserção do filtro *antialiasing* é a redução de fase na malha do sistema, mais perceptível nas altas frequências (próximas a frequência de amostragem). Para o filtro passa baixa de primeira ordem apresentado, a redução de fase duas oitavas abaixo da frequência de corte do filtro é de aproximadamente 14 graus. Assim, verifica-se que o filtro *antialiasing* pode ter influência significativa no controle de sistemas onde a frequência de cruzamento da FTLA está muito próxima da frequência de corte do filtro *antialiasing*.



**Fig. 6.5 – Resposta de magnitude e fase de um filtro antialiasing sintonizado em 50kHz.**

## 6.2.2 Efeitos do Modulador Digital

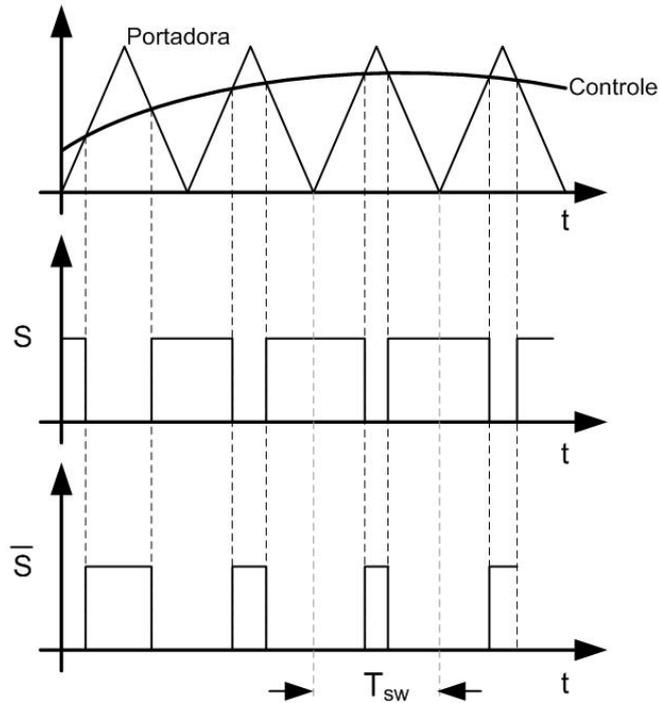
De forma a compreender os efeitos do modulador digital, apresenta-se inicialmente na Fig. 6.6 a estrutura típica de um circuito PWM analógico, também conhecido como PWM naturalmente amostrado [38].



**Fig. 6.6 – Circuito PWM analógico.**

A portadora é em geral um sinal triangular ou dente de serra de alta frequência, o qual é comparado com o sinal de controle. Da operação realizada pelo comparador é originado o sinal de comando para o interruptor  $S$  do conversor. No caso de um conversor VSI, o sinal complementar  $\bar{S}$  para o outro interruptor do mesmo braço é facilmente obtido através de um circuito inversor lógico. Analisando as formas de onda da Fig. 6.7, verifica-se que ambos os sinais (portadora e controle) variam continuamente no

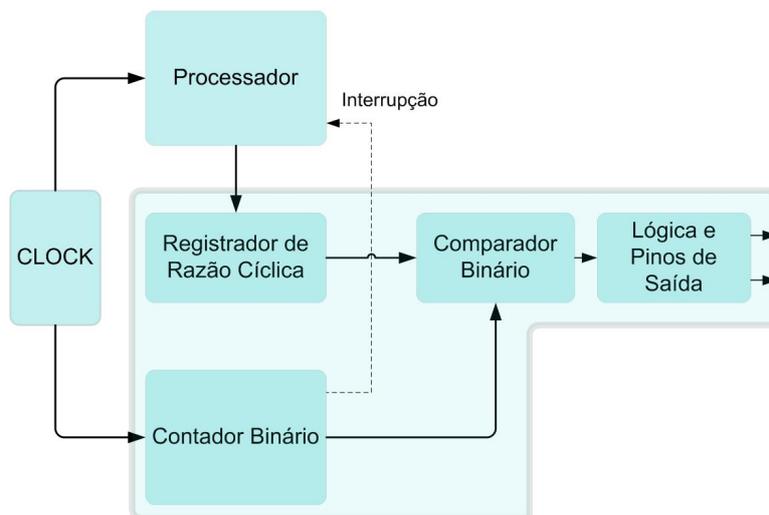
tempo, logo, os sinais de comando gerados são frutos de uma comparação sempre instantânea destes.



**Fig. 6.7 – Forma de onda de um circuito PWM analógico com portadora triangular.**

**A - PWM Digital**

A estrutura do PWM digital básico, normalmente encontrado em periféricos dedicados de microcontroladores e DSPs é apresentado na Fig. 6.8.

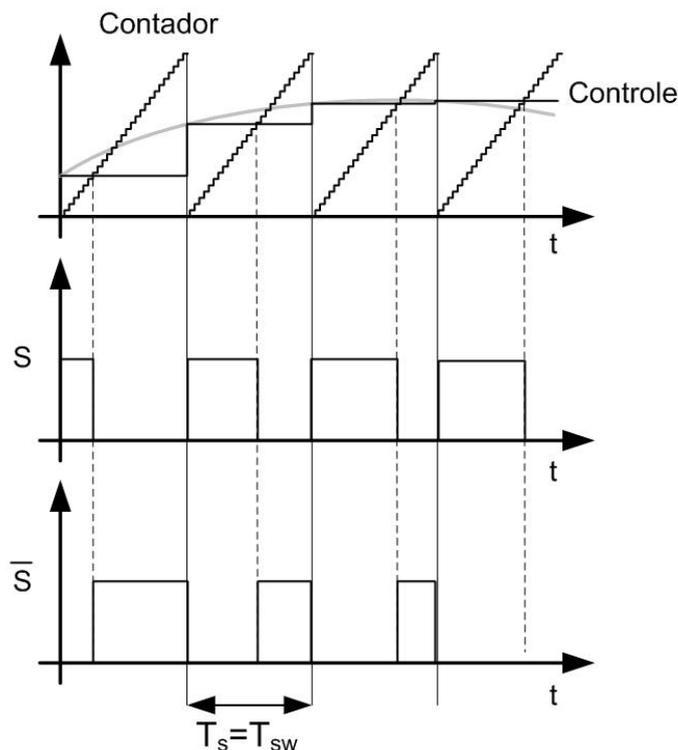


**Fig. 6.8 – Circuito digital para a geração de PWM.**

Neste circuito, o sinal da portadora (referido na implementação analógica) é substituído por um contador binário, o qual é incrementado/decrementado com base na frequência do *clock* do sistema. A variável de controle é determinada pelo processador e armazenada em um registrador específico, sendo que este valor é comparado a cada ciclo de *clock* com o atual valor do contador. A saída do comparador é enviada a um circuito lógico, onde normalmente é possível gerar sinais complementares, alterar polaridade bem como os estados dos efetivos pinos de saída.

Conforme a tecnologia do dispositivo é possível programar o contador para que a contagem seja apenas crescente, apenas decrescente ou crescente e decrescente. Dessa forma, sinais semelhantes às portadoras dente de serra e triangular, apresentadas no PWM analógico, podem ser obtidas a partir do contador binário.

Devido ao seu princípio de operação, a referida estrutura de PWM digital é também referenciada como PWM uniformemente amostrado. A Fig. 6.9 ilustra a operação de um PWM digital com um contador apenas crescente.



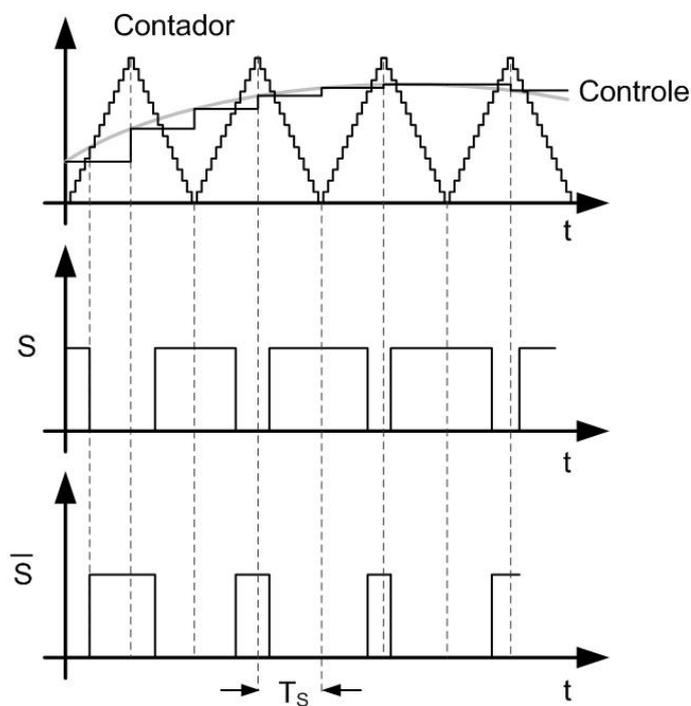
**Fig. 6.9 – Circuito PWM digital com contador crescente.**

Analisando as formas de onda da Fig. 6.9, verifica-se que, diferentemente do circuito PWM analógico, os valores de razão cíclica são atualizados somente no início de cada período da portadora, onde o período de amostragem ( $T_s$ ) é igual ao período de

comutação ( $T_{sw}$ ). Isso naturalmente implica em um atraso da ação de controle, cuja magnitude é dependente da razão cíclica (D) e da frequência da portadora. Dessa forma, o atraso pode ser modelado no domínio do tempo conforme a eq.(6.3).

$$at_{PWM}(s) = e^{-sDT_s} \quad (6.3)$$

Uma forma de reduzir o atraso do PWM digital com contador crescente é a utilização de um circuito PWM digital com dupla atualização. As formas de onda deste circuito são mostradas na Fig. 6.10.



**Fig. 6.10 – Circuito PWM digital com dupla atualização.**

Observa-se que, neste caso, o valor da razão cíclica é atualizado no início e no meio do período de modulação, devendo para tanto ser utilizado necessariamente um contador crescente/decrescente. Fica evidente também que a frequência de amostragem é o dobro da frequência do modulador. O atraso de tempo para este circuito é dado pela eq.(6.4) [39].

$$at_{PWM}(s) = \frac{1}{2} \left( e^{-sDT_s} + e^{-s(1-D)T_s} \right) \quad (6.4)$$

Novamente, o atraso é dependente da razão cíclica, o que torna a análise razoavelmente complexa. A eq.(6.4) pode ser escrita no domínio da frequência conforme a eq.(6.5).

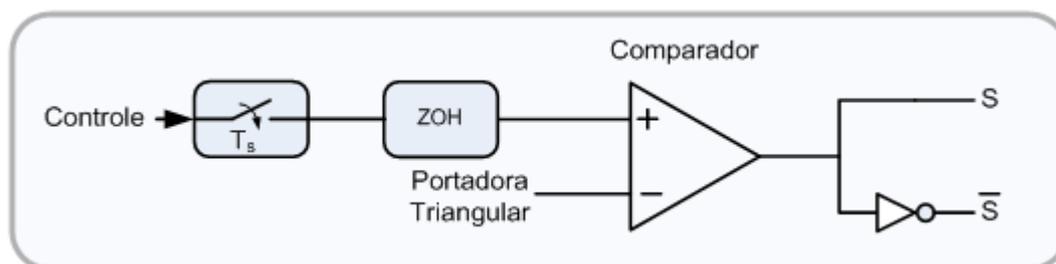
$$at_{P_{PWM}}(j\omega) = \cos\left(\omega T_s \left(D - \frac{1}{2}\right)\right) \angle \left(\frac{-\omega T_s}{2}\right) \quad (6.5)$$

Verifica-se na eq.(6.5), que além do atraso de tempo, o circuito PWM digital influencia a magnitude do sinal de controle. Todavia, se a banda passante do controle estiver relativamente abaixo da frequência de modulação, o atraso do modulador pode ser aproximado segundo a eq.(6.6), que pode ser representada no domínio da frequência conforme a eq.(6.7).

$$at_{P_{PWM}}(s) \approx e^{-sT_s/2} \quad (6.6)$$

$$at_{P_{PWM}}(j\omega) \approx \angle \left(\frac{-\omega T_s}{2}\right) \quad (6.7)$$

O resultado apresentado na eq.(6.6) indica que o atraso é equivalente a meio período de amostragem, o que equivale à modelagem normalmente utilizada para sistemas amostrados com base no ZOH. Em termos de resposta em frequência, observa-se que a eq.(6.7) concorda com a eq.(6.1). Assim, se os erros numéricos do processo digital são negligenciados, é possível representar o circuito PWM digital através do circuito analógico equivalente mostrado na Fig. 6.11.



**Fig. 6.11 – Circuito equivalente do PWM digital com dupla atualização.**

O modelo de PWM digital da Fig. 6.11 é preciso para situações onde o sinal de controle é amostrado, sendo instantaneamente gravado no registrador de razão cíclica do modulador. Entretanto, nos casos onde o processador amostra uma ou mais variáveis e calcula a lei de controle, tal procedimento é na maioria das vezes impraticável, uma vez

que o processamento do algoritmo demanda um tempo considerável, fazendo com que o sinal de controle calculado seja gravado no registrador de razão cíclica somente no período de amostragem subsequente. Sendo assim, o atraso computacional de um período de amostragem deve ser igualmente considerado no projeto dos controladores. O atraso total do processo é então equivalente a soma do atraso do ZOH e do atraso computacional, totalizando um período e meio de amostragem, conforme (6.8).

$$at(s) = e^{-\frac{3T_s}{2}s} \quad (6.8)$$

Considerando a aproximação de primeira ordem de Padé mostrada na eq.(6.9), a função de atraso de tempo pode ser expressa por meio da função de transferência racional (6.10).

$$e^{\delta} = \frac{1 + \frac{1}{2}\delta}{1 - \frac{1}{2}\delta} \quad (6.9)$$

onde:  $\delta$  = variável complexa

$$at(s) = \frac{1 - \frac{3T_s}{4}s}{1 + \frac{3T_s}{4}s} \quad (6.10)$$

### 6.2.3 Erros da Representação Numérica

Os diversos elementos do controle digital também inserem outros efeitos no sistema de controle.

O processo de conversão dos sinais analógicos para digitais apresenta um erro de quantização que depende da resolução do conversor A/D utilizado. Assim, a precisão numérica de um conversor AD é diretamente proporcional à resolução deste, ou seja, ao número de *bits* utilizados para representar numericamente cada uma das amostras.

A representação numérica finita faz com que as diversas operações presentes na lei de controle também provocam erros de cálculo. As operações podem necessitar de arredondamentos ou mesmo terem seus resultados truncados, o que diminui a precisão do processamento.

O circuito PWM digital é outro elemento que insere erros de quantização. A máxima razão cíclica, que está relacionada com o valor máximo do contador binário, tem

em geral valores menores que a capacidade das variáveis do processador (8, 16 ou 32 bits), o que acarreta em erros de truncamento ou arredondamento. Este fato ocorre porque o valor máximo do contador está diretamente relacionado com a frequência de operação do processador, e inversamente proporcional à frequência de comutação.

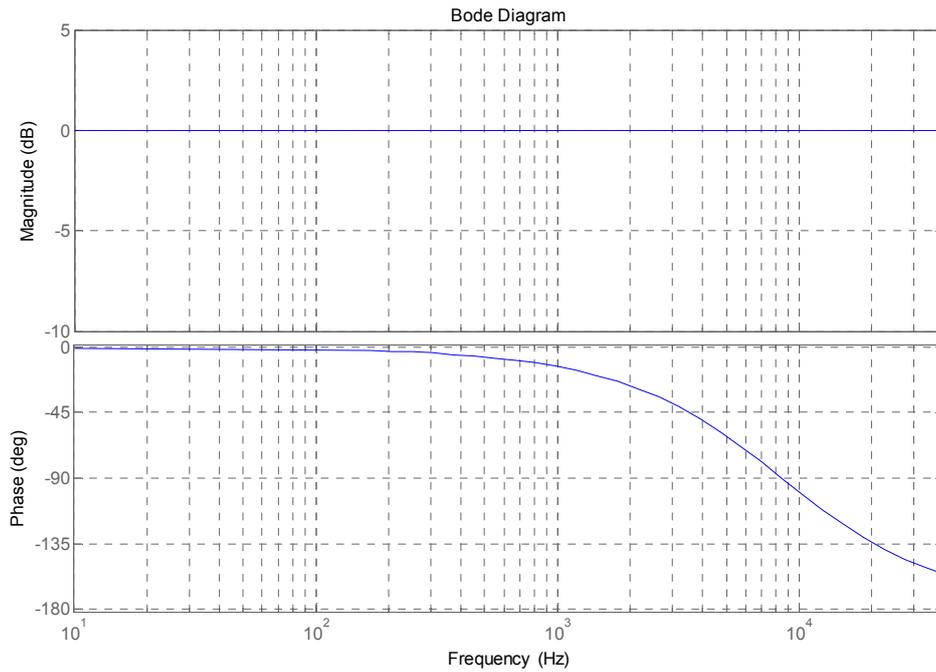
Existem vários inconvenientes relacionados aos elementos digitais do sistema, e embora os erros numéricos possam culminar em problemas de operação, os mesmos não serão considerados no projeto dos controladores, uma vez que a formulação de um modelo para tal seria consideravelmente complexa. Além disso, tais problemas são mais salientes e de maior relevância quando são utilizados processadores simples, como microcontroladores de 8 bits por exemplo. Todavia, os projetos de todos os elementos que podem gerar erros numéricos, incluindo a elaboração do código de programa, serão feitos buscando a minimização de tal problema.

#### **6.2.4 Considerações sobre os Atrasos na Malha de Controle**

Se os erros numéricos e fenômenos associados são desconsiderados, então os efeitos do processo de amostragem e atraso computacional resumem-se ao surgimento de atrasos de tempo na malha de controle. Em termos de resposta em frequência, os atrasos de tempo representam uma diminuição de fase no sistema, proporcional ao aumento da frequência. Se um filtro *antialiasing* for imprescindível para a correta amostragem das variáveis, têm-se então mais um elemento que surge no processo e reduz a fase do sistema.

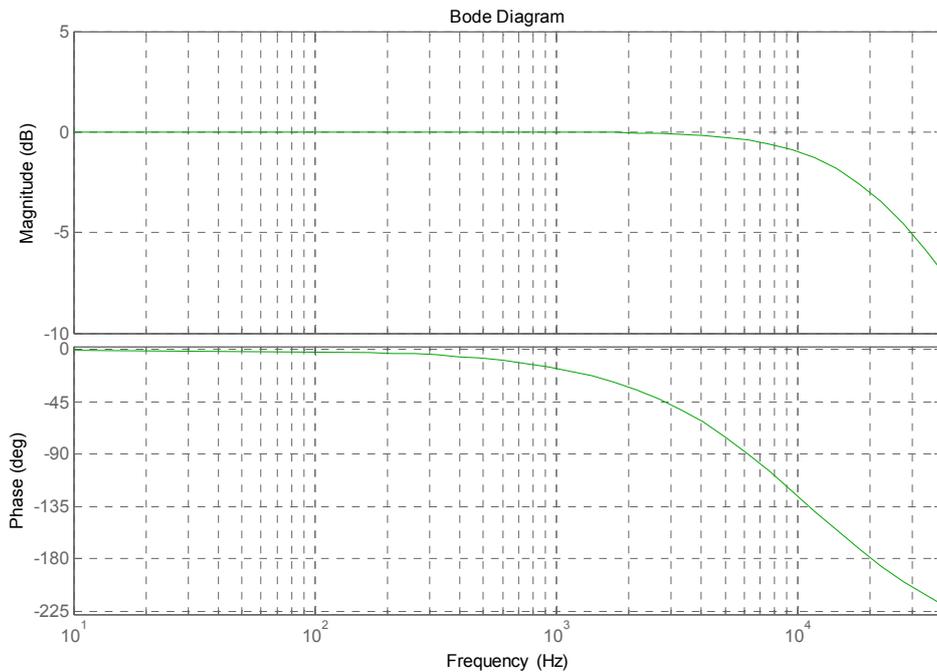
A frequência de comutação escolhida para o filtro ativo foi de 19,98kHz. Logo, a frequência de amostragem será de 39,96kHz. De forma a visualizar o efeito do atraso provocado pelo processo de amostragem e pelo atraso computacional, ilustra-se na Fig. 6.12 o diagrama de bode função da função (6.10) para os dados de projeto do FAP.

---



**Fig. 6.12 – Resposta em freqüência do modelo analógico equivalente dos atrasos do sistema.**

Se um filtro *antialiasing* de um pólo, com freqüência de corte de 19,98kHz for incluído no sistema, então a resposta em freqüência é agora àquela mostrada na Fig. 6.13.



**Fig. 6.13 – Resposta em freqüência dos atrasos juntamente com o filtro antialiasing.**

Na Tabela 6.1 são apresentados os valores da fase para algumas frequências específicas (em relação de oitavas da frequência de amostragem) das funções citadas.

**Tabela 6.1 - Atraso de fase causado pelos elementos de controle digital.**

Frequência	Atraso $1,5T_s$ Função $at(s)$	Atraso $1,5T_s +$ filtro <i>antialiasing</i> Função $at(s)f_{aa}(s)$
	Redução de fase ( $^\circ$ )	Redução de fase ( $^\circ$ )
19,98kHz	134,006	179,006
9,99kHz	99,349	125,914
4,995kHz	61	75,037
2,4975kHz	32,828	39,995
1,24875kHz	16,758	20,335

Observa-se facilmente que a redução de fase provocada pelos atrasos de tempo e pelo filtro *antialiasing* tem grande influência sobre o comportamento do sistema de controle, uma vez que reduz a margem de fase do mesmo. Neste sentido, pode ser necessário modificar o projeto do controlador no intuito de manter a robustez do processo, sendo que tal procedimento, em geral, prejudica o desempenho do sistema.

Para uma dada frequência de cruzamento, o aumento das frequências de amostragem e comutação ameniza o problema da redução de fase. Entretanto, esta solução acarreta na necessidade de processador e conversor A/D mais rápidos, bem como tem impacto negativo sobre as perdas no conversor.

Outra possível solução consiste na utilização do método de multi-amostragem, onde a frequência de amostragem é elevada, de forma que durante um período de comutação as variáveis do sistema sejam amostradas e processadas diversas vezes. Neste caso o atraso passa a ser tão menor quanto maior for a frequência de amostragem. O grande problema desta técnica reside na necessidade de um conversor A/D e processador de alto desempenho, os quais são proibitivos do ponto de vista econômico.

Nos casos onde o algoritmo de controle é processado em um tempo razoavelmente menor que o período de amostragem, é possível reduzir o atraso do sistema deslocando o instante de amostragem, de forma que este fique mais próximo do momento de atualização da razão cíclica (fim do período). O máximo deslocamento é então igual ao período de amostragem, menos o tempo de processamento do algoritmo. Para a utilização desta técnica, é importante avaliar o impacto da mudança do instante de amostragem das variáveis de controle.

### 6.3 CARACTERÍSTICAS DO DSP UTILIZADO

A implementação do sistema de controle do FAP em um DSP implica na utilização de um dispositivo com periféricos e poder de processamento compatíveis com a complexidade da estratégia de controle desenvolvida. Cabe ressaltar que o processador deverá ser capaz de realizar todos os cálculos do algoritmo de controle em um período de tempo inferior ao período de amostragem.

O componente escolhido para a o presente projeto foi o TMS320F2812, que é um controlador digital de sinais de ponto fixo, 32 bits e 150 MIPS (150 milhões de instruções por segundo). Este dispositivo é fabricado pela Texas Instruments e faz parte da família TMS320C2000, cuja arquitetura é otimizada para controle digital. O TMS320F2812 tem capacidade de processamento e funções periféricas específicas para controle, sendo que suas características principais são:

- Processador de 32bits Ponto-fixo;
- Frequência de operação de 150 MIPS (6.67ns);
- Arquitetura Harvard;
- Memória Flash 128K x 16;
- Memória Ram 18K x 16;
- Memória OTP ROM 1K x 16;
- Interface para memória externa;
- Periféricos de controle em 2 geradores de eventos (EVA e EVB);
- 16 Canais de conversão A/D de 12 Bits (12.5 MSPS);
- 3 Timers de 32 Bits;
- Watchdog Timer;
- Porta serial (SPI,SCI's,UART,eCAN,McBSP);
- Até 56 pinos multiplexados de entrada /saída;
- Interface JTAG (padrão IEEE 1149.1).

A unidade de processamento central (CPU) deste dispositivo é um processador digital de sinal de 32-bit ponto-fixo de baixo custo. A arquitetura interna é do tipo Harvard modificada, possibilitando ao CPU executar instruções e manipular dados paralelamente.

Os diversos periféricos existentes no TMS320F2812 viabilizam a utilização deste componente em aplicações de controle digital, uma vez que facilitam a programação e diminuem o esforço computacional do processador. No caso da implementação do sistema de controle do FAP, os principais periféricos utilizados são o conversor A/D, o gerenciador de eventos, pinos de propósito geral e o módulo de expansão das interrupções. O funcionamento de cada uma destes periféricos é descrito em detalhes nos manuais do componente, referências [40]-[44].

Para o projeto do sistema de controle é necessário quantificar o ganhos introduzidos pelo processo de conversão A/D e pelo modulador PWM. Ainda, como o DSP utilizado apenas processa (em nível de hardware) dados em ponto fixo, é interessante adotar uma metodologia de representação numérica que facilite a implementação dos algoritmos, sem que isso conduza a erros numéricos expressivos. Assim será empregada a representação numérica utilizando os formatos “Qn”, donde é possível obter uma representação numérica virtual em ponto flutuante. Maiores detalhes a respeito da aritmética de ponto fixo utilizando os formatos “Qn” podem ser encontrados na referência [45].

Serão resumidas a seguir as características básicas do conversor A/D e do PWM, imprescindíveis para o projeto dos controladores.

### 6.3.1 Conversor A/D

O conversor A/D do TMS320F2812 tem resolução de 12 *bits* e entrada analógica unipolar, que suporta sinais de 0 a 3 volts (para referência inferior do conversor fixada em 0 volts). Dessa forma, o resultado digital obtido pelo processo de conversão é dado pela eq.(6.11).

$$\text{Resultado Digital} = \frac{\text{Tensão na entrada do A / D}}{3} \cdot 4095 \quad (6.11)$$

É importante lembrar que os sinais bipolares (correntes do filtro, correntes da carga e tensões da rede) foram condicionados com um *offset* de 1,5 volts. Assim, conforme a eq.(6.11), o valor digital (aproximado) de 2047 deve ser subtraído do resultado digital obtido, para que estas variáveis voltem a ser representadas na sua forma original.

Com o intuito de facilitar ainda mais a implementação dos algoritmos, os diversos sinais analógicos serão normalizados em bases específicas, de forma semelhante ao sistema por unidade (sistema “pu”). Este artifício possibilita a representação de todas as

---

variáveis no formato numérico Q15. Logo, os valores normalizados à unidade estão relacionados com os valores digitais (implementados de fato no processador) de acordo com a Tabela 6.2.

**Tabela 6.2 - Relação dos valores normalizados com as respectivas quantidades digitais**

Valor Normalizado à Unidade (pu) (formato Q15)	Valor Digital Correspondente (16 bits com sinal)
0,999969482421875	32767
-1	-32768

Um fato importante a ser ressaltado é que a base para cada variável deve ser criteriosamente escolhida para que não ocorram estouros numéricos (*overflow*).

### A - Correntes do Filtro e da Carga

A corrente instantânea máxima de 100 ampéres, considerada para os limites do conversor A/D no circuito de condicionamento, será utilizada como base para a representação numérica das correntes do filtro e da carga. Assim, o ganho estático das correntes, considerando desde o sistema de medição até a normalização feita após a conversão A/D, pode ser resumido à 1/100. Com base na função de transferência  $H_i(s)$  obtida no capítulo 5, obtém-se a eq.(6.12).

$$H_{iQ15}(s) = H_i(s) \cdot K_{iAD} = \frac{0.01}{(1 + 0,0000082s)} \quad (6.12)$$

Onde  $K_{iAD}$  é o ganho do conversor A/D e da normalização no formato Q15 para as correntes.

### B - Tensão do Barramento CC do Filtro

Para a tensão do barramento do filtro, cujo valor nominal é 850 volts, será escolhida uma base de 1000 volts. O ganho estático para representação no formato Q15 é então de 1/1000, e a função de transferência para o sistema de medição de tensão do FAP neste mesmo formato é apresentada em (6.13).

$$H_{VDCQ15}(s) = H_{VDC}(s) \cdot K_{VDCAD} = \frac{0.001}{(1 + 0,0000082s)} \quad (6.13)$$

Onde  $K_{VDCAD}$  representa o ganho do conversor A/D e da normalização no formato Q15 para a tensão do barramento.

### C - Tensões da Rede Elétrica

As tensões lidas da rede elétrica serão normalizadas utilizando o mesmo procedimento. A base escolhida foi novamente de 1000 volts, uma vez que a tensão de pico nominal é de aproximadamente 540 volts. A função de transferência para as tensões da rede no formato Q15 é mostrada em (6.14).

$$H_{\text{vac Q15}}(s) = H_{\text{vac}}(s) \cdot K_{\text{vac AD}} = \frac{0.001}{(1 + 0,0000082s)} \quad (6.14)$$

Onde  $K_{\text{vac AD}}$  é o ganho do conversor A/D e da normalização no formato Q15 para a tensão da rede.

#### 6.3.2 Circuito PWM

O circuito PWM está presente no gerenciador de eventos do TMS320F2812. Se configurado adequadamente, este periférico permite implementações de circuitos PWM digitais iguais àqueles mostrados no item 6.2.2. A estrutura com dupla atualização será utilizada para que os efeitos de atraso sejam minimizados, e assim, o contador binário deve contar de forma crescente/decrescente. Para tal, o temporizador deve ser configurado para o modo de contagem up/down, e desde que não seja utilizado nenhum divisor de *clock*, valor máximo de contagem é então determinado pela eq.(6.15).

$$VT_{\text{Pico}} = \frac{F_{\text{clock}}}{2 \cdot f_{\text{sw}}} \quad (6.15)$$

Onde:

$VT_{\text{Pico}}$  = valor máximo do contador;

$F_{\text{clock}}$  = Frequência do clock do processador =150MHz;

$f_{\text{sw}}$  = Frequência de comutação do conversor.

Para a frequência de comutação escolhida, 19,98kHz, o valor máximo contado pelo temporizador é  $VT_{\text{PICO}} = 3754$ . O ganho do modulador é determinado pela eq.(6.16).

$$G_{\text{PWM}} = \frac{1}{VT_{\text{PICO}}} = \frac{1}{3754} \quad (6.16)$$

O ganho do modulador no formato Q15 é dado pela eq.(6.17).

$$G_{\text{PWM Q15}} = \frac{1}{V_{T_{\text{PICO}}}} = \frac{1}{\frac{3754}{32768}} = 8,728822 \quad (6.17)$$

## 6.4 PROJETO DOS CONTROLADORES

O procedimento adotado para a obtenção dos controladores discretos do FAP pode ser sumarizado da seguinte forma:

- Projeto dos controladores analógicos considerando, quando pertinentes, os efeitos introduzidos pela implementação digital;
- Discretização dos controladores analógicos, através de algum método adequado de discretização;
- Obtenção das equações a diferenças, as quais serão implementadas no processador.

Os controladores das malhas de corrente e tensão do FAP serão projetados com base na resposta em frequência de suas respectivas funções de transferência de laço aberto (FTLA). Essa metodologia é simples, porém mostra-se adequada para uma aplicação como um filtro ativo, pois permite ao projetista avaliar e projetar os controladores com base em parâmetros bem definidos e visíveis do sinal de referência (espectro harmônico).

Existem diversas formas de realizar a discretização dos controladores, sendo comuns os métodos numéricos de integração. Dentre estes últimos, pode-se citar os métodos Backward Euler, Forward Euler e Trapezoidal, também conhecido como "Tustin". Na escolha do método a ser utilizado, é importante considerar a distorção que o mesmo provoca na resposta em frequência do controlador projetado, bem como o esforço computacional requerido para a implementação prática em um processador. Dos métodos citados, o trapezoidal é o que apresenta a menor distorção, embora conduza a uma implementação ligeiramente mais complexa.

Assim, o método trapezoidal será utilizado na discretização dos controladores do FAP. O procedimento para obtenção do controlador discreto equivalente consiste em substituir a variável complexa "s" da função de transferência dos controladores contínuos pela relação do método trapezoidal mostrada em (6.18).

$$s = \frac{2z+1}{T_s z-1} \quad (6.18)$$

O projeto dos controladores das malhas de corrente e tensão do FAP serão apresentados a seguir. Os principais parâmetros do projeto do FAP são resumidos na Tabela 6.3.

**Tabela 6.3 - Parâmetros de projeto do FAP.**

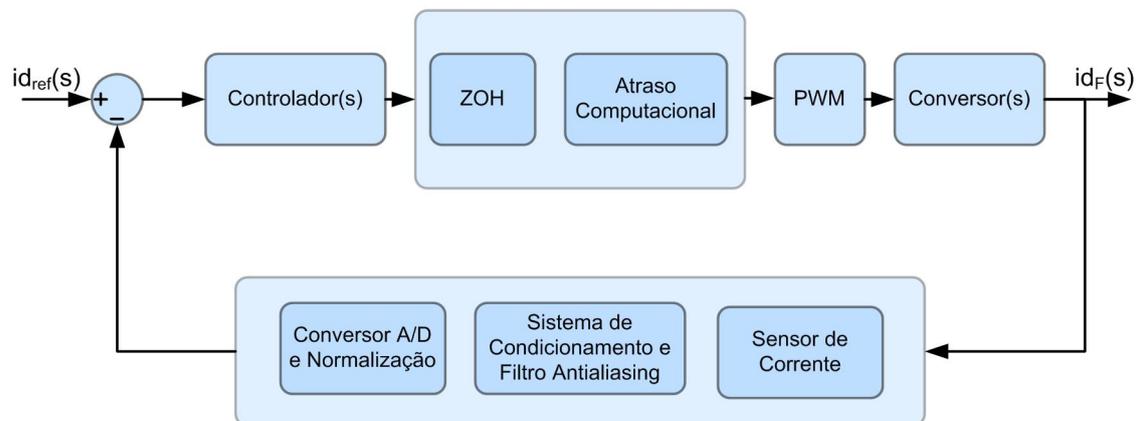
Parâmetros	Valor
Tensão de fase eficaz de entrada ( $V_{ef}$ )	220V
Tensão de pico de entrada ( $V_p$ )	311V
Tensão do Barramento do filtro ( $V_F$ )	850V
Indutância do FAP ( $L_F$ )	2,01mH
Resistência equivalente por fase do FAP ( $R_F$ )	0,655Ω
Capacitância equivalente do barramento do FAP ( $C_F$ )	4,07mF
Perdas da estrutura ( $P_{LOSS}$ )	500W
Frequência de comutação ( $f_{sw}$ )	19,98kHz
Frequência de amostragem ( $f_s$ )	39,96kHz

#### 6.4.1 Projeto dos Controladores de Corrente

Antes de iniciar a escolha e projeto dos controladores é importante lembrar as características do sistema e do sinal a ser controlado. Conforme foi apresentado nos capítulos anteriores, o FAP funciona basicamente como uma fonte de corrente controlada, onde o sinal de referência é obtido através do processamento das correntes da carga. As correntes de referência de eixo direto e quadratura possuem um amplo espectro harmônico, sendo que a relação com o espectro harmônico das correntes no sistema *abc* foi mostrada no capítulo 3. O problema de controle pode então ser formulado da seguinte forma: deseja-se que o conversor injete na rede elétrica as correntes determinadas pela estratégia de controle do FAP, de forma que as correntes drenadas da fonte sejam senoidais, equilibradas e estejam em fase com a seqüência positiva das tensões de suprimento. Se as correntes de referência forem corretamente determinadas, então a técnica de controle deve fazer com que as correntes injetadas pelo filtro sejam perfeitamente fiéis a estas. Tal fato levaria o sistema a ter erro nulo, e o objetivo seria alcançado. Obviamente é impossível resolver este problema em sua totalidade, todavia o sistema de controle deve ser projetado com um objetivo bem definido.

Os controladores lineares normalmente empregados no controle de corrente dos filtros ativos são do tipo proporcional integral. Em função de sua ação integral, este controlador permite obter erro nulo em regime permanente somente para sinais CC. No caso de sinais AC, um erro residual sempre será encontrado, cuja amplitude é dependente do ganho e fase do sistema em malha fechada para esta referência específica [38]. Considerando que as correntes de referência nos eixos  $d$  e  $q$  possuem múltiplas frequências, verifica-se que, com exceção da frequência fundamental (que aparece nos eixos síncronos como sinal constante), todos os harmônicos apresentarão erros em regime permanente. Naturalmente estes erros podem ser minimizados, através de um projeto adequado do controlador, porém, deve-se ter claro que eles não serão nulos. O controlador PI será utilizado como base para o projeto dos controladores de corrente do filtro.

As malhas de controle das correntes de eixo direto e eixo em quadratura são idênticas, logo os controladores serão projetados da mesma forma para ambas. A nomenclatura do projeto que segue será referida para as variáveis de eixo direto. O diagrama de blocos geral que representa esta malha desacoplada é apresentado na Fig. 6.14.



**Fig. 6.14 – Diagrama de blocos da malha de corrente de eixos  $d$ .**

Observa-se que os modelos dos elementos digitais, bem como o processo de normalização das variáveis já foram incluídos na malha. A função de transferência do controlador PI é mostrada em (6.19), sendo que a função de transferência equivalente do ZOH e do atraso de tempo computacional foi apresentada na eq.(6.10).

$$PI_{id}(s) = \frac{K_{id}(s + \omega_{z_{id}})}{s} \quad (6.19)$$

O ganho normalizado do circuito PWM foi deduzido na eq.(6.17), enquanto que a função de transferência total do ramo de realimentação foi apresentada na eq.(6.12). O modelo do conversor que relaciona as variações de corrente de eixo direto com as respectivas variações de razão cíclica foi apresentado no capítulo 4, sendo repetido na eq.(6.20) por conveniência.

$$\frac{\hat{i}_d(s)}{\hat{d}_d'(s)} = \frac{V_F}{sL_F + R_F} \quad (6.20)$$

De posse das diversas funções de transferência do diagrama de blocos da Fig. 6.14, determina-se a FTLA da malha de corrente do FAP, conforme (6.21).

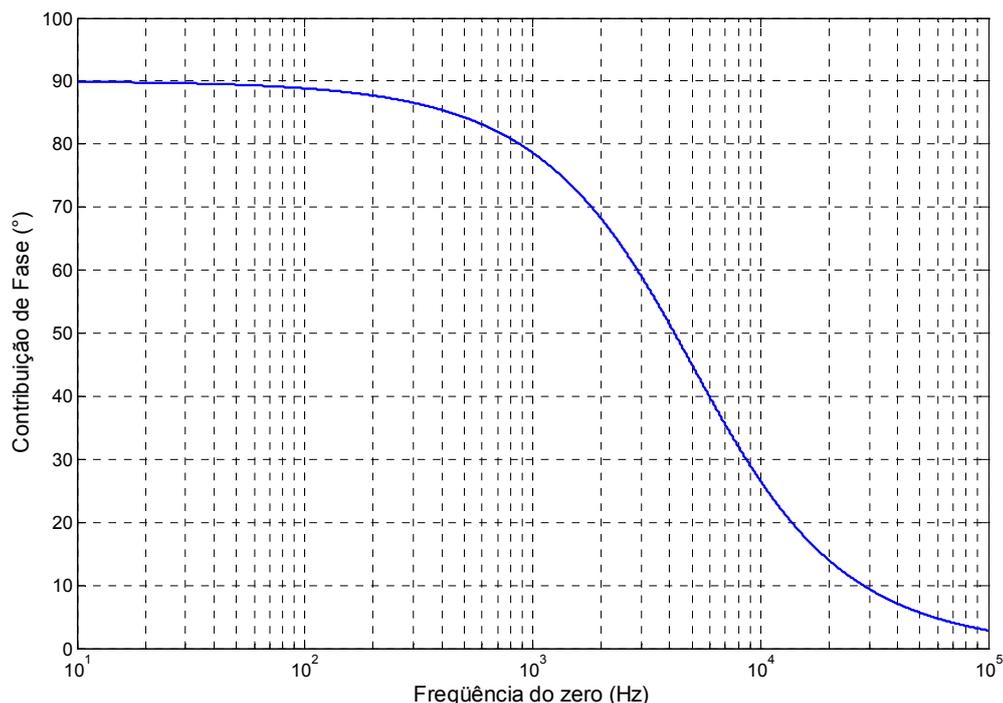
$$FTLA_{id}(s) = PI_{id}(s) \cdot at(s) \cdot G_{PWMQ15} \cdot \frac{\hat{i}_d(s)}{\hat{d}_d'(s)} \cdot H_{iQ15} \quad (6.21)$$

Substituindo os valores de projeto nas funções de transferência, e estas em (6.21) vem:

$$FTLA_{id}(s) = PI_{id}(s) \cdot \frac{1 - 1,8768 \cdot 10^{-5} s}{1 + 1,8768 \cdot 10^{-5} s} \cdot 8,7288 \cdot \frac{850}{0,00201s + 0,655} \cdot \frac{0,01}{(1 + 8,2 \cdot 10^{-6} s)} \quad (6.22)$$

A frequência de cruzamento da função de transferência de laço aberto de corrente ( $FTLA_{id}$ ) será fixada em 5kHz, aproximadamente duas oitavas abaixo da frequência de comutação. Este valor foi escolhido em função do grande espectro harmônico das correntes de referência, bem como foi assim limitado de forma que os efeitos de atraso não sejam mais salientes.

O controlador PI possui dois parâmetros a serem ajustados, que são o ganho  $K_{id}$  e a posição do zero  $\omega_{z_{id}}$ . Diversas combinações destes parâmetros podem conduzir a frequência de cruzamento estipulada para  $FTLA_{id}$ , as quais provocarão diferentes respostas dinâmicas para o sistema. Assim, é importante verificar qual combinação vai culminar em uma resposta adequada. Tendo em vista a grande redução de fase provocada pelos elementos digitais do sistema, é importante então posicionar o zero do controlador de forma a aumentar a fase do sistema na frequência de cruzamento da  $FTLA_{id}$ . Na Fig. 6.15 é mostrada graficamente a contribuição de fase proporcionada pelo zero do controlador (na frequência de cruzamento da  $FTLA_{id}$ ) em função de sua posição.



**Fig. 6.15 – Contribuição de fase do zero do controlador PI na frequência de cruzamento em função de seu posicionamento.**

Observa-se facilmente que quanto menor a frequência do zero, maior a contribuição de fase deste para a frequência de cruzamento. Entretanto, verifica-se que até aproximadamente 1kHz, a diferença de contribuição não é tão expressiva.

Outro fator que deve ser analisado para a escolha do zero do controlador é a influência deste na magnitude da resposta em frequência. Analisando a  $FTLA_{id}$ , constata-se que os principais elementos com ação considerável sobre a magnitude (para frequências inferiores à de cruzamento), são a planta e o próprio controlador. Isso em função de que o filtro *antialiasing* possui um único pólo localizado duas oitavas acima da frequência de cruzamento, e os atrasos não alteram a magnitude do sistema. Dessa forma, o sistema possui um pólo na origem (do controlador) e outro da planta, além do zero do controlador. A resposta assintótica de ganho caracteriza-se por ter uma inclinação de 6dB/oitava (20dB/década) de 0Hz até o pólo da planta, quando decai à 12dB/oitava (40dB/década), sendo que ao encontrar o zero do controlador a inclinação volta a ser de 6dB/oitava.

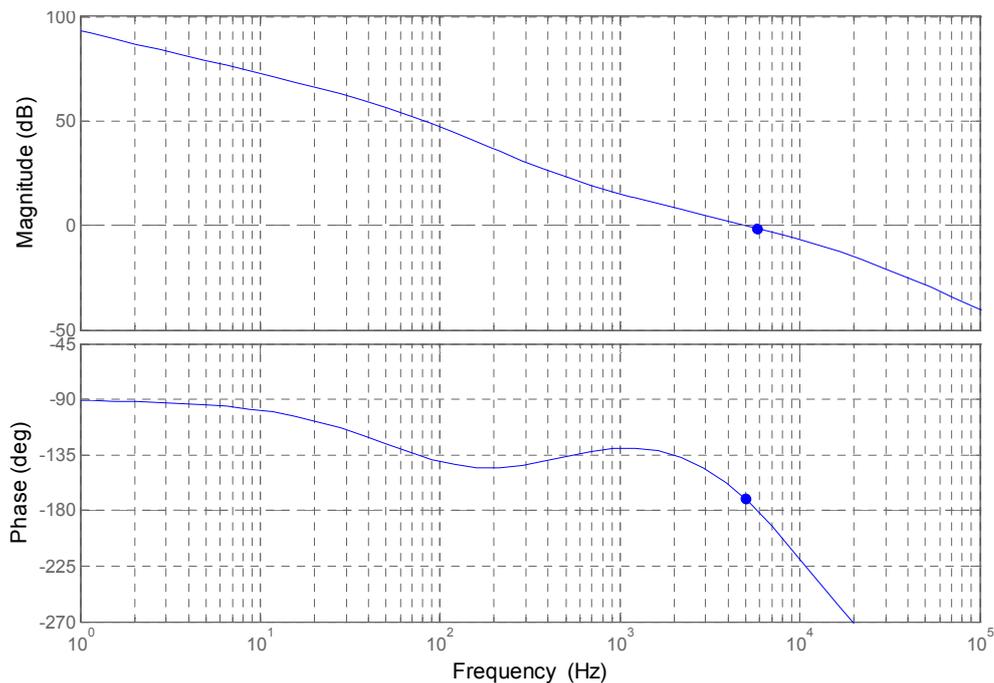
Com base na Fig. 6.15, posiciona-se o zero do controlador de corrente em 500Hz, uma década abaixo da frequência de cruzamento da  $FTLA_{id}$ . A contribuição de fase é de

aproximadamente 84 graus. O ganho do controlador pode ser determinado agora através da eq.(6.23), onde  $\omega_c i = 2\pi \cdot 5000$ .

$$K_{id} = \left| \frac{1}{\frac{s + \omega z_{id}}{s} \cdot \frac{1 - 1,8768 \cdot 10^{-5} s}{1 + 1,8768 \cdot 10^{-5} s} \cdot 8,7288 \cdot \frac{850}{0,00201s + 0,655} \cdot \frac{0,01}{(1 + 8,2 \cdot 10^{-6} s)}} \right|_{s=j\omega_c i} \quad (6.23)$$

$$K_{id} = 0,875$$

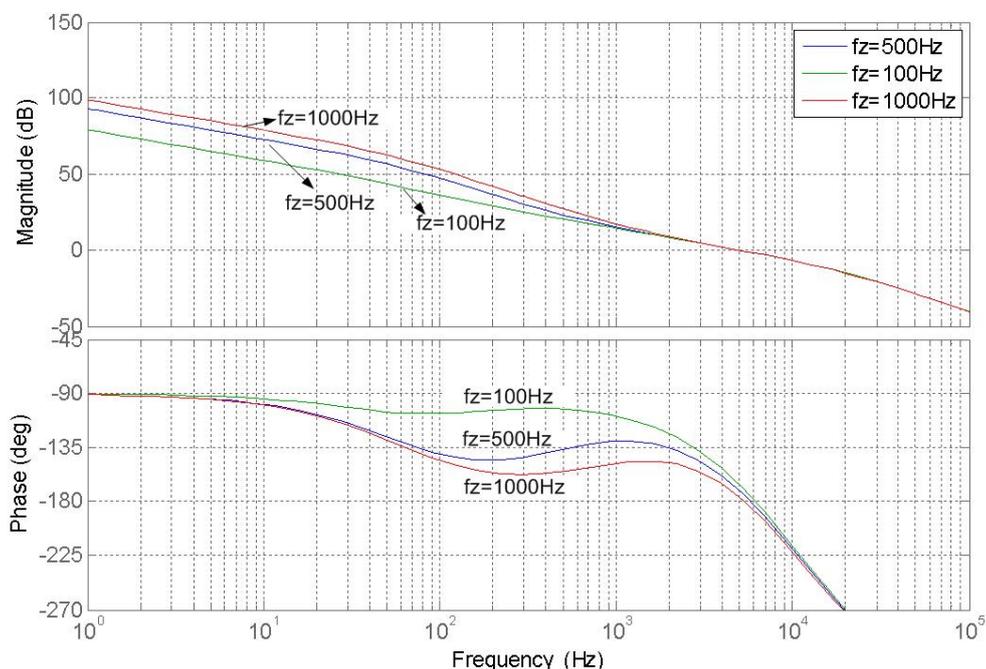
O diagrama de bode da  $FTLA_{id}$  é mostrado na Fig. 6.16. Observa-se claramente que mesmo com o posicionamento do zero proporcionando quase 90 graus de fase na frequência de cruzamento, a margem de fase obtida foi de apenas 9,45 graus. Embora o sistema seja teoricamente estável, a reduzida margem de fase pode fazer com que a resposta apresente oscilações pouco amortecidas nas proximidades da frequência de cruzamento.



**Fig. 6.16 - Diagrama de bode da função de transferência de laço aberto das correntes.**

Para exemplificar a ação do zero sobre o ganho do sistema, apresenta-se na Fig. 6.17 as funções de transferência de laço aberto considerando três valores distintos para o

zero de controlador, 100Hz, 500Hz e 1000Hz, todas para a mesma freqüência de cruzamento.



**Fig. 6.17 – Comparação entre diferentes valores para o zero do controlador PI.**

Verifica-se a diferença clara entre os ganhos na banda passante, sendo menor para o zero em 100Hz e maior para o zero em 1000Hz. Todos os sistemas são teoricamente estáveis, com margens de fase de  $14^\circ$ ,  $9,45^\circ$  e  $3,85^\circ$ , para os zeros posicionados em 100Hz, 500Hz e 1000Hz respectivamente. Conforme comentado anteriormente, o erro em regime permanente para cada uma das freqüências harmônicas das correntes do FAP depende do ganho e da fase do sistema em malha fechada, sendo que os erros tendem a ser menores para ganhos maiores. Assim, é interessante projetar o controlador de forma a manter um ganho elevado na banda passante, e ao mesmo tempo propiciar uma margem de fase aceitável, uma vez que esta última está diretamente ligada ao amortecimento do sistema.

O controlador PI projetado apresentou uma margem de fase bastante reduzida, e assim, no intuito de manter a especificação inicial para a freqüência de cruzamento da malha, propõe-se a utilização do controlador mostrado em (6.24).

$$\text{PID}(s) = K_{id} \frac{(s + \omega Z_{id})(s + \omega Z_{2id})}{s(s + \omega p_{2id})} \quad (6.24)$$

Esta estrutura caracteriza uma forma de controlador proporcional integral derivativo (PID). A diferença básica deste para o anterior é a adição de um pólo e um zero, os quais permitirão uma maior liberdade para o ajuste do sistema. Os controladores do tipo PID são freqüentemente utilizados em processos com atrasos de transporte, em função da característica preditiva imposta pela parcela derivativa da estrutura [46].

O projeto do controlador PI servirá de base para o novo projeto, e assim a freqüência do primeiro zero será mantida em 500Hz. O segundo pólo será alocado em 19kHz, de forma a não interferir significativamente na margem de fase. Assim, resta agora determinar a posição do segundo zero e o ganho. Se o zero for alocado à esquerda da freqüência de cruzamento, o mesmo afetará negativamente o ganho do sistema. Assim, opta-se por posicionar o segundo zero sobre a freqüência de cruzamento, e assim tem-se um incremento de fase de exatamente  $45^\circ$ . O novo valor de ganho é então calculado conforme (6.25).

$$K_{id} = \left| \frac{1}{\frac{s + \omega_{z_{id}}}{s} \cdot \frac{s + \omega_{z_{2id}}}{s + \omega_{p_{2id}}} \cdot \frac{1 - 1,8768 \cdot 10^{-5} s}{1 + 1,8768 \cdot 10^{-5} s} \cdot 8,7288 \cdot \frac{850}{0,00201s + 0,655} \cdot \frac{0,01}{(1 + 8,2 \cdot 10^{-6} s)}} \right|$$

onde :

$$s = j\omega_c i$$

$$\omega_c i = 2\pi \cdot 5000 \text{ rad/s}$$

$$\omega_{z_{id}} = 2\pi \cdot 500 \text{ rad/s}$$

$$\omega_{z_{2id}} = 2\pi \cdot 5000 \text{ rad/s}$$

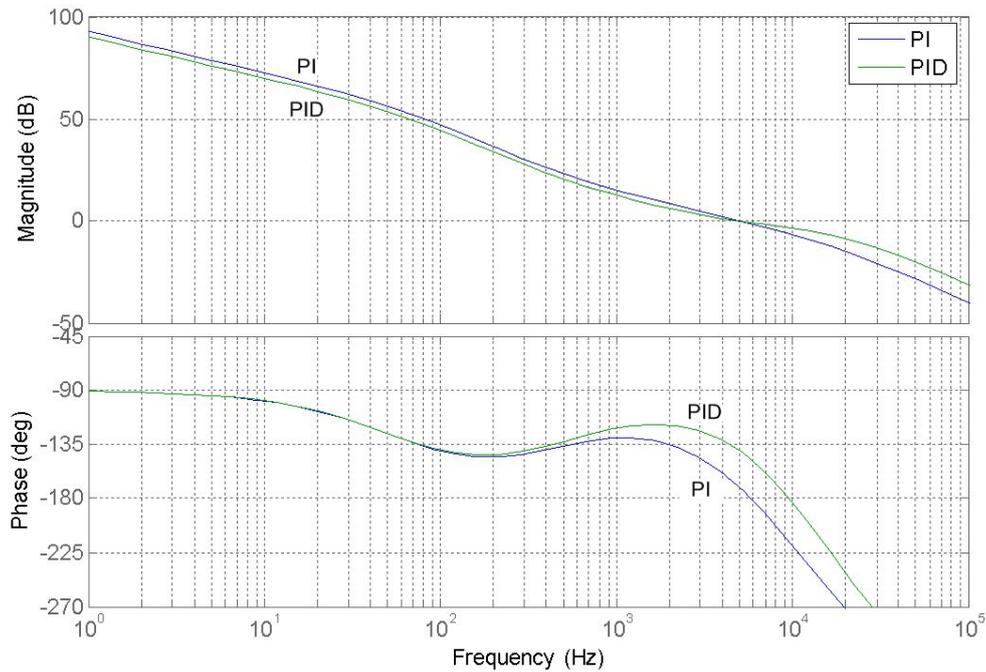
$$\omega_{p_{2id}} = 2\pi \cdot 19000 \text{ rad/s}$$

$$K_{id} = 2,43 \tag{6.25}$$

O diagrama de bode da  $FTLA_{id}$  com os controladores PI e PID é mostrado na Fig. 6.18. A margem de fase obtida para o sistema com o controlador PID foi de aproximadamente  $40^\circ$ , o que pode ser considerado razoável, tendo em vista as restrições de projeto e as características do sistema. Em termos de magnitude, a resposta obtida com o controlador PID foi ligeiramente inferior àquela obtida com o controlador PI.

A função de transferência final para os controladores das correntes de eixos  $d$  e  $q$  é mostrado na eq.(6.26).

$$PID(s) = 2,43 \left( \frac{(s + 3141,6)}{s} \frac{(s + 31415,92)}{(s + 119380,52)} \right) \quad (6.26)$$



**Fig. 6.18 – Resposta em freqüência da FTLA da malha de corrente utilizando controladores PI e PID.**

**A - Discretização dos Controladores de Corrente**

O modelo discreto do controlador PID é obtido substituindo a eq.(6.18) na eq.(6.24). Assim:

$$PID(s) = K_{id} \frac{\left( \frac{2z + 1}{T_s z - 1} + \omega Z_{id} \right) \left( \frac{2z + 1}{T_s z - 1} + \omega Z_{2id} \right)}{\left( \frac{2z + 1}{T_s z - 1} \right) \left( \frac{2z + 1}{T_s z - 1} + \omega p_{2id} \right)} \quad (6.27)$$

Rearranjando a eq.(6.27), e após algumas manipulações matemáticas, chega-se à equação genérica (6.28).

$$PID(Z) = \frac{C_{PID} \cdot Z^2 + B_{PID} \cdot Z + A_{PID}}{Z^2 + E_{PID} \cdot Z + D_{PID}} \quad (6.28)$$

Onde:

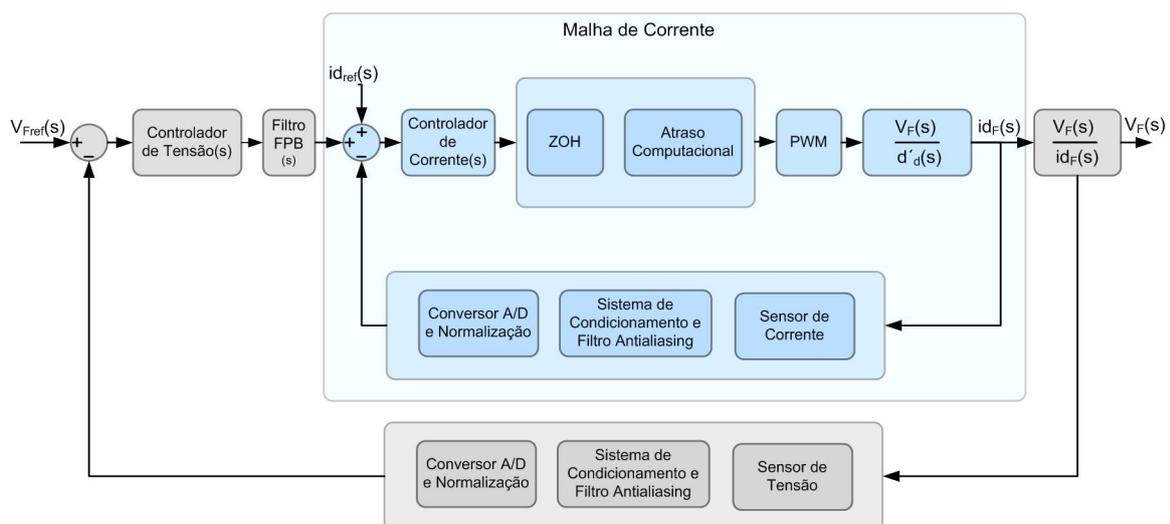
$$\left\{ \begin{array}{l} A_{PID} = \frac{K_{id}}{(m^2 + m \cdot \omega p_{id})} \cdot (m^2 - m(\omega z_{id} + \omega z_{2id}) + \omega z_{id} \cdot \omega z_{2id}) \\ B_{PID} = \frac{K_{id}}{(m^2 + m \cdot \omega p_{id})} \cdot (2 \cdot \omega z_{id} \cdot \omega z_{2id} - 2m^2) \\ C_{PID} = \frac{K_{id}}{(m^2 + m \cdot \omega p_{id})} \cdot (m^2 + m(\omega z_{id} + \omega z_{2id}) + \omega z_{id} \cdot \omega z_{2id}) \\ D_{PID} = \frac{1}{(m^2 + m \cdot \omega p_{id})} \cdot (m^2 - m \omega p_{id}) \\ E_{PID} = \frac{1}{(m^2 + m \cdot \omega p_{id})} \cdot (-2m^2) \\ m = \frac{2}{T_s} = 2f_s \end{array} \right.$$

Substituindo os valores na eq.(6.28) do controlador PID, tem-se então o seguinte controlador discreto:

$$PID(Z) = \frac{1.4108 \cdot z^2 - 1.9187 \cdot z + 0.5681}{z^2 - 0.8020 \cdot z - 0.198} \quad (6.29)$$

## 6.4.2 Projeto dos Controladores de Tensão

O diagrama de blocos da malha de controle da tensão do barramento do FAP é mostrado na Fig. 6.19.



**Fig. 6.19 – Diagrama de blocos do sistema de controle da malha de tensão.**

Observa-se que a malha de tensão é a malha mais externa do sistema. A função de transferência de malha fechada de corrente ( $FTMF_{id}$ ) é dada pela eq.(6.30).

$$FTMF_{id} = \frac{PID_{id}(s) \cdot at(s) \cdot G_{PWMQ15} \cdot \frac{i_d(s)}{d'_d(s)}}{1 + PID_{id}(s) \cdot at(s) \cdot G_{PWMQ15} \cdot \frac{i_d(s)}{d'_d(s)} \cdot H_{IQ15}(s)} \quad (6.30)$$

Os requisitos dinâmicos para a malha de controle da tensão do barramento do FAP são bem diferentes daqueles das malhas de corrente. A malha de tensão deve ser consideravelmente mais lenta que a de corrente, de forma a não interferir significativamente nesta. Em termos práticos, isso significa que a frequência de cruzamento da malha de tensão deve estar bem abaixo da frequência de cruzamento da malha de corrente. A frequência de cruzamento da malha de tensão é então fixada em 20Hz, aproximadamente oito oitavas abaixo da frequência de cruzamento da malha de corrente. Assim, é possível representar a malha de corrente apenas pelo seu ganho estático, conforme a eq.(6.31).

$$\lim_{s \rightarrow 0} \left( s \cdot \frac{PID_{id}(s) \cdot at(s) \cdot G_{PWMQ15} \cdot \frac{i_d(s)}{d'_d(s)}}{1 + PID_{id}(s) \cdot at(s) \cdot G_{PWMQ15} \cdot \frac{i_d(s)}{d'_d(s)} \cdot H_{IQ15}(s)} \cdot \frac{1}{s} \right) = \frac{1}{0,01} \quad (6.31)$$

Tal fato faz naturalmente com que os efeitos de atraso e do filtro *antialiasing* sejam pouco relevantes para a malha de tensão, e assim estes podem ser desconsiderados no projeto dos controladores. O ramo de realimentação da malha de tensão é então aproximado conforme a eq.(6.32)

$$H_{VDCQ15}(s) \approx 0.001 \quad (6.32)$$

Na eq.(6.33) é apresentada a função de transferência do filtro passa-baixa de primeira ordem, incluído para atenuar as oscilações da tensão do barramento. A frequência de corte escolhida foi de 100Hz.

$$FPB_V(s) = \frac{1}{\frac{s}{\omega_{cFPB}} + 1} = \frac{1}{0.00015915 \cdot s + 1} \quad (6.33)$$

A função de transferência que relaciona a tensão do barramento do FAP com a corrente de eixo direto foi apresentada no capítulo 4, e será convenientemente repetida na eq.(6.34).

$$\frac{\widehat{V}_F(s)}{\widehat{i}_d(s)} = \sqrt{\frac{3}{2}} \frac{V_P}{V_F} \frac{\left(1 - \frac{2 P_{\text{loss}}}{3 V_P^2} (L_F \cdot s + 2R_F)\right)}{s \cdot C_F} \quad (6.34)$$

Um dos requisitos para a malha de tensão é que o erro estático em regime seja baixo, idealmente nulo. Embora a função de transferência da eq.(6.34) apresente um pólo na origem, é provável que na realidade o mesmo encontre-se ligeiramente deslocado (em função das simplificações feitas ao longo do processo de modelagem). Assim, para obter erro estático nulo, deve-se utilizar um controlador com ação integral.

Outra característica importante da malha de tensão, que também deve ser considerada no projeto dos controladores, é o amortecimento do sistema. Cabe lembrar que a tensão do barramento do FAP é elevada, e foi fixada em um valor com pequena margem de segurança (com respeito à máxima tensão dos capacitores). Logo, durante a energização da estrutura e transitórios de carga, é importante que o sistema seja suficientemente amortecido, para que não ocorram sobre-sinais excessivos de tensão no barramento. Com base nas características e requisitos expostos, será utilizado um controlador PI para o controle da malha de tensão. A função de transferência do controlador de tensão é mostrada na eq.(6.35).

$$PI_{VDC}(s) = \frac{K_{VDC} (s + \omega z_{VDC})}{s} \quad (6.35)$$

A função de transferência de laço aberto de tensão ( $FTLA_{VDC}$ ) é dada pela eq. (6.36).

$$FLTLA_{VDC}(s) = PI_{VDC}(s) \cdot FPB_{VDC}(s) \cdot \frac{1}{0,01} \cdot H_{VDC Q15}(s) \cdot \frac{V_F(s)}{i_d(s)} \quad (6.36)$$

O zero do controlador será posicionado uma década abaixo da frequência de cruzamento da malha, de forma a proporcionar uma grande contribuição de fase nesta. Cabe lembrar que a margem de fase tem ação direta sobre o amortecimento. O ganho  $K_{VDC}$  para a frequência de cruzamento escolhida é determinado pela eq.(6.37).

$$K_{VDC} = \left| \frac{1}{\frac{(s + 12,56)}{s} \cdot \frac{1}{1,59 \cdot 10^{-3} \cdot s + 1} \cdot \frac{0,001}{0,01} \cdot \sqrt{\frac{3 \cdot 311}{2 \cdot 850}} \left( 1 - \frac{2 \cdot 850}{3 \cdot 311^2} (2,01 \cdot 10^{-3} \cdot s + 1,44) \right)}{s \cdot 0,0047}} \right|$$

onde:

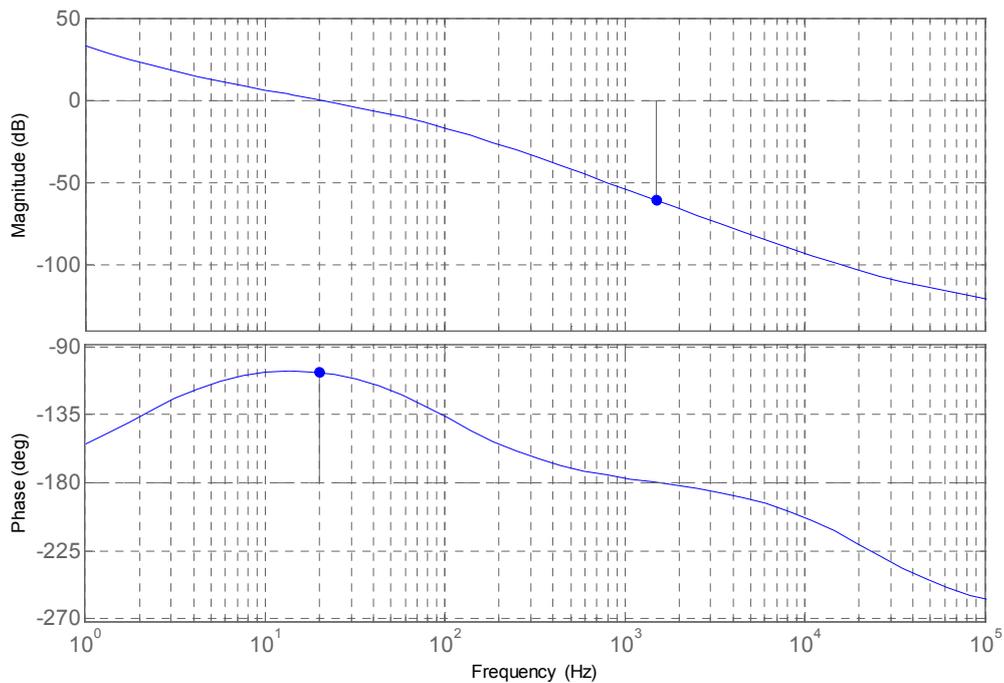
$$s = j\omega_c i$$

$$\omega_c = 2\pi \cdot 20 \text{ rad/s}$$

$$K_{VDC} = 13,436$$

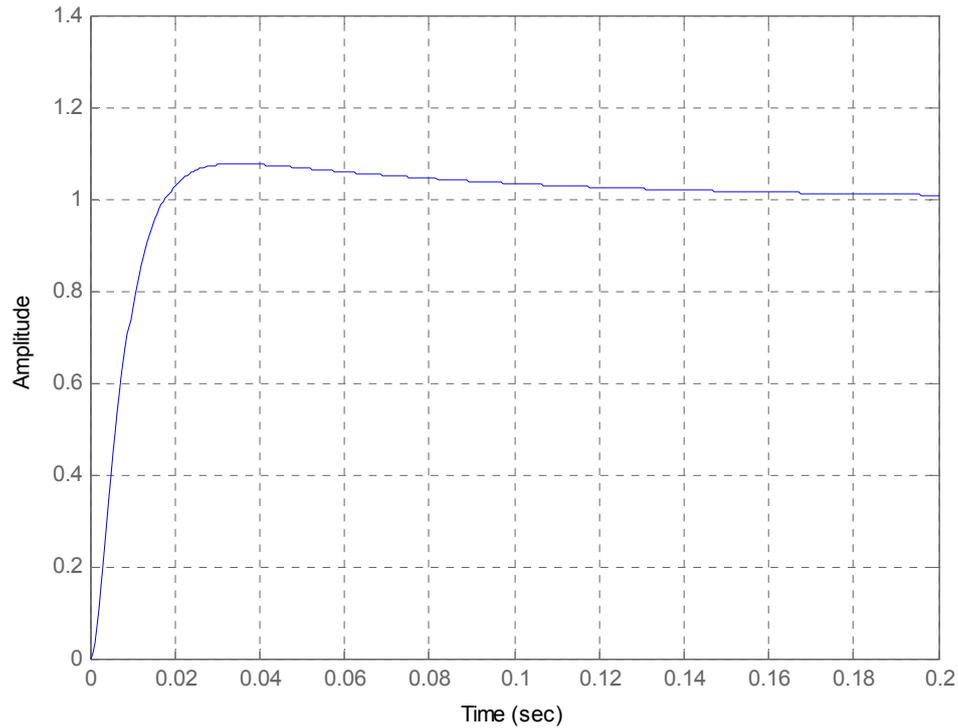
(6.37)

O diagrama de bode da  $FTLA_{VDC}$  é mostrado na Fig. 6.20. A margem de fase obtida foi de  $72,9^\circ$ .



**Fig. 6.20 - Diagrama de bode da função de transferência de laço aberto da tensão.**

Na Fig. 6.21 é apresentada a resposta no tempo da malha de tensão para uma entrada tipo degrau unitário.



**Fig. 6.21 – Resposta ao degrau unitário da malha de tensão do FAP.**

Observa-se que a resposta obtida foi bastante amortecida, com uma ultrapassagem de apenas 8%. Os resultados obtidos são considerados satisfatórios, e assim o controlador final da malha de tensão é dado pela eq.(6.38).

$$PI_{VDC}(s) = \frac{13,436(s + 12,566)}{s} \quad (6.38)$$

#### **A - Discretização do Controlador de Tensão**

O controlador PI discreto, mostrado na eq.(6.39) é obtido substituindo a eq.(6.18) na eq.(6.35).

$$PI_{VDC}(z) = \frac{K_{VDC} \left( \frac{2}{T_s} \frac{z+1}{z-1} + \omega Z_{VDC} \right)}{\frac{2}{T_s} \frac{z+1}{z-1}} \quad (6.39)$$

A equação genérica (6.40) provém da manipulação dos termos da eq.(6.39).

$$PI_{VDC}(z) = \frac{B_{PI} \cdot z + A_{PI}}{z - 1} \quad (6.40)$$

Onde:

$$A_{PI} = \frac{K_{VDC} \cdot (\omega Z_{VDC} - m)}{m}$$

$$B_{PI} = \frac{K_{VDC} \cdot (\omega Z_{VDC} + m)}{m}$$

$$m = \frac{2}{T_s} = 2f_s$$

O controlador discreto da malha de tensão, obtido com base nos parâmetros determinados na eq.(6.38) é mostrado na eq.(6.41).

$$PI_{VDC}(z) = \frac{13.4438 \cdot z - 13.4396}{z - 1} \quad (6.41)$$

## 6.5 PROJETO DOS DEMAIS CONTROLADORES, GANHOS E FILTROS

Além dos controladores de corrente e tensão, também devem ser determinados as funções de transferência discretas do controlador PI do PLL e do filtro passa baixa da malha de tensão. Os ganhos do desacoplamento das razões cíclicas devem igualmente ser estabelecidos, considerando as normalizações feitas nas variáveis do sistema. Por fim também será mostrado nesta seção o projeto do filtro passa baixa de 2ª ordem, utilizado para a remoção da parcela média da corrente de eixo direto da carga.

### A - Discretização do Controlador PI do Circuito de Sincronismo PLL

O controlador PI do circuito de sincronismo PLL foi projetado no capítulo 3, cuja função de transferência em tempo contínuo é repetida na eq.(6.42).

$$PI_{PLL}(s) = \frac{61,736(s + 52,794)}{s} \quad (6.42)$$

Utilizando o mesmo procedimento de discretização apresentado para o controlador PI de tensão, obtém-se a seguinte representação discreta para o PI do circuito PLL.

$$PI_{PLL}(z) = \frac{61.8038 \cdot z - 61.7218}{z - 1} \quad (6.43)$$

## B - Filtro Passa Baixa da Malha de Tensão

O modelo discreto do filtro passa baixa de primeira ordem é obtido substituindo-se a eq.(6.18) na função de transferência em tempo contínuo do filtro passa baixa (eq.(6.33)).

$$FPB_V(z) = \frac{1}{\frac{2}{T_s} \frac{z+1}{z-1} + 1} \omega_{cFPB} \quad (6.44)$$

Na eq.(6.45) é apresentada uma equação genérica para o filtro passa baixa de primeira ordem com frequência de corte  $\omega_{cFPB}$ .

$$FPB_V(z) = \frac{A_{FPB} \cdot z + A_{FPB}}{z + B_{FPB}} \quad (6.45)$$

Onde:

$$A_{FPB} = \frac{\omega_{cFPB}}{(\omega_{cFPB} + m)}$$

$$B_{FPB} = \frac{(\omega_{cFPB} - m)}{(\omega_{cFPB} + m)}$$

$$m = \frac{2}{T_s} = 2f_s$$

Para o presente caso,  $\omega_{cFPB} = 2\pi \cdot 100 \text{ rad/s}$ , e assim o filtro passa baixa discreto é dado pela eq.(6.46).

$$FPB_V(z) = \frac{0.007801 \cdot z + 0.007801}{z - 0.984399} \quad (6.46)$$

## C - Desacoplamento das Razões Cíclicas

Conforme apresentado no capítulo 4, quando o ganho de amostragem de corrente e/ou o valor de pico da portadora triangular diferem da unidade, é necessário ajustar o ganho de desacoplamento. Assim o ganho de desacoplamento, considerando a normalização das variáveis de corrente e portadora é dado pela eq.(6.47).

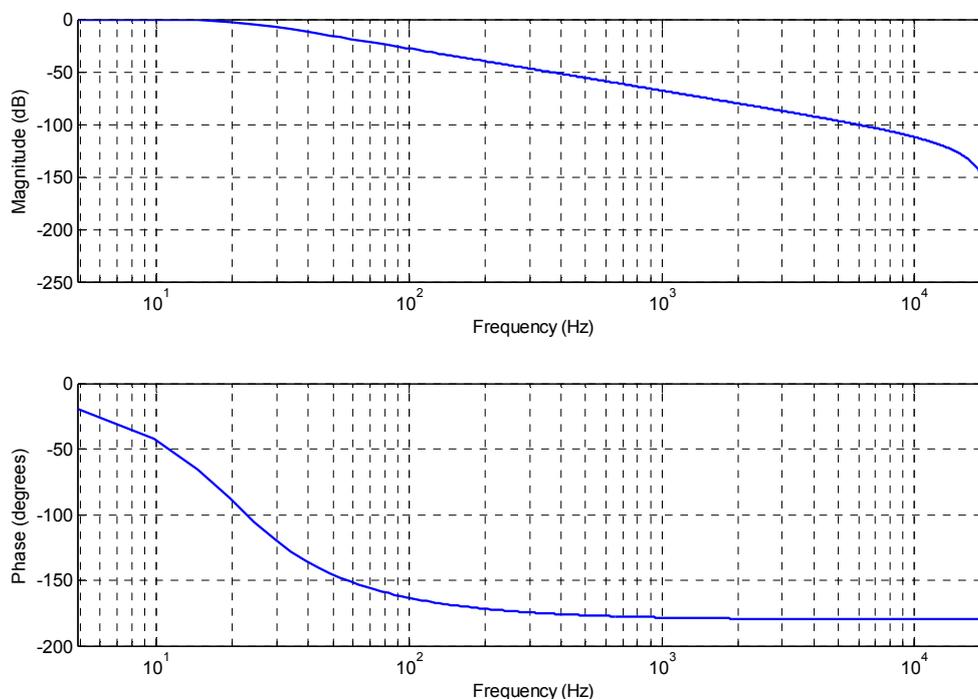
$$K_{des\ Q15} = \frac{\omega \cdot L_F}{V_F} \cdot \frac{1}{G_{PWM\ Q15} \cdot H_{iQ15}(0)} = 0.01021 \quad (6.47)$$

### D - Projeto do Filtro Passa Baixa de 2ª Ordem

Para a remoção da parcela média da corrente de referência de eixo direto, foi empregado um filtro passa baixa de 2ª ordem. A frequência de corte foi fixada em 20Hz, de forma a rejeitar a parcela oscilante da corrente de eixo direto, sem afetar demasiadamente o desempenho dinâmico do FAP durante transitórios de carga. Diferentemente daquela projetada para a malha de tensão, aqui foi utilizada uma estrutura pronta de 32 bits, disponível na biblioteca FILTER [47] fornecida pela Texas Instruments. Os coeficientes do filtro são determinados através de um pequeno aplicativo chamado eziir32.m, o qual opera em ambiente MATLAB® e acompanha o pacote da biblioteca. As principais características deste filtro são:

- Filtro passa baixa de 2ª ordem;
- Resposta Butterworth;
- Frequência de corte de 20Hz ;
- Coeficientes gerados no formato Q30.

A resposta em frequência do filtro projetado é mostrada na Fig. 6.22.



**Fig. 6.22 – Resposta em frequência do filtro passa baixa de 2ª ordem.**

## 6.6 IMPLEMENTAÇÃO DO ALGORITMO DE CONTROLE NO DSP

O algoritmo de controle foi implementado utilizando o kit de desenvolvimento eZdsp™F2812 [48] fabricado pela *spectrum digital Inc.* As principais características deste kit são:

- DSP TMS320F2812 operando a 150MHz;
- Memória RAM de 64k (*Words*);
- Controlador JTAG padrão IEEE 1149.1
- Comunicação com o computador via porta paralela;
- Fonte de alimentação de 5V.

A programação do algoritmo de controle foi feita em linguagem de alto nível (linguagem “C”) através do software Code Composer Studio (CCS). Esta ferramenta possibilita além da programação, a gravação e depuração do algoritmo. Na programação foram utilizadas apenas variáveis inteiras, de 16 bits e 32 bits. Embora o TMS320F2812 possibilite multiplicações de 32x32 bits, no algoritmo do FAP as multiplicações foram feitas apenas com variáveis de 16x16 bits, uma vez que o tempo de processamento é reduzido nesta situação. Todas as funções trigonométricas utilizadas pertencem à biblioteca QMATH [49], fornecida gratuitamente pela Texas Instruments.

### 6.6.1 Organização do Algoritmo e Estágios de Operação

O fluxograma geral do algoritmo de controle implementado no DSP é mostrado na Fig. 6.23. Observa-se que existem cinco blocos principais de programa, onde o primeiro bloco é relativo às configurações iniciais do processador, enquanto que os blocos restantes referem-se aos quatro estágios de operação do FAP.

Após as configurações iniciais do DSP, o sistema entra em um laço infinito a espera de uma das interrupções do temporizador. Quando ocorre uma interrupção, o programa é direcionado para a rotina de tratamento (ISR), que se refere a um dos estágios de operação do FAP. A troca de estágio é feita através do endereço da rotina de tratamento das interrupções, conforme apresentado no fluxograma da Fig. 6.23.

---

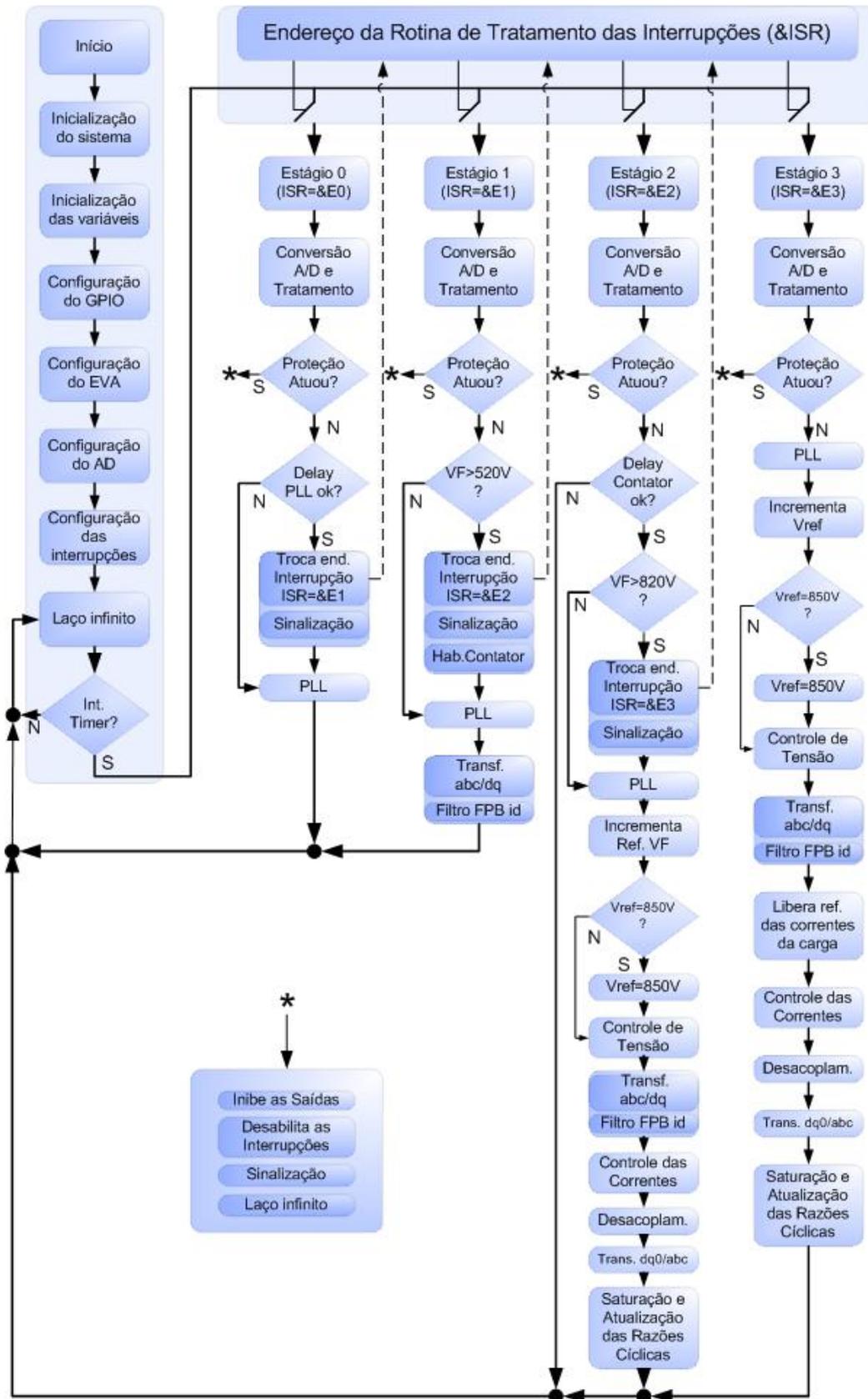
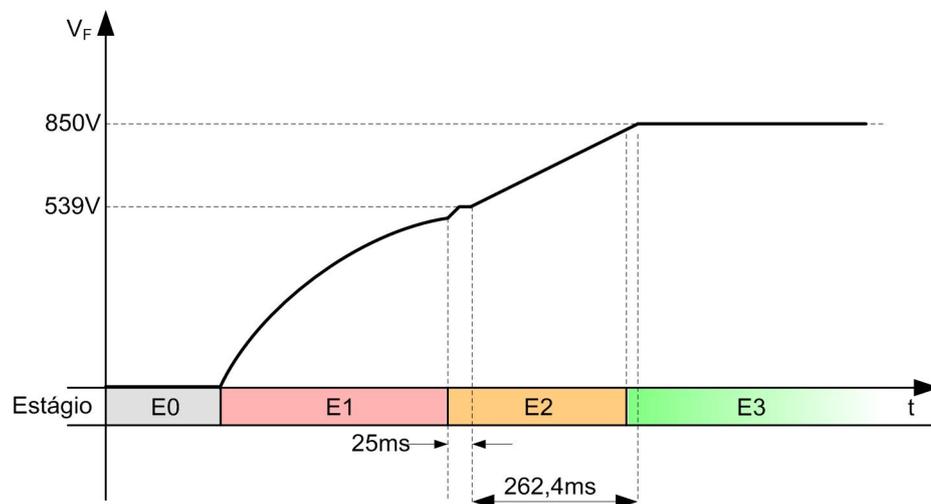


Fig. 6.23 – Fluxograma do programa do DSP.

Os quatro estágios de operação (E0, E1, E2 e E3) do FAP estão relacionados com a energização da estrutura, conforme ilustra a Fig. 6.24



**Fig. 6.24 – Etapas de operação do FAP.**

### A - Estágio E0

O estágio E0 tem por principal função prover tempo para a estabilização do circuito de sincronismo. Inicialmente as variáveis do conversor A/D são lidas e tratadas, sendo após testadas na subrotina de proteção. Um atraso de 200ms é utilizado para esperar a estabilização do PLL. Quando o sistema encontra-se em normal funcionamento, o endereço das ISR é alterado para o endereço da rotina estágio 1. O led de sinalização vermelho é acionado e, no próximo período de amostragem, o programa é desviado para o estágio 1.

### B - Estágio E1

Durante o estágio E1, a tensão do barramento do FAP cresce de zero até 520V (pouco abaixo da tensão de pico de linha da rede), sendo utilizados resistores de *inrush* em cada fase para limitação da corrente drenada da rede. As operações de leitura e tratamento das variáveis do A/D, bem como a subrotina de proteção são executadas. Estando normal o funcionamento do FAP, a tensão do barramento é comparada com a referência do primeiro estágio (520V). Se a tensão do barramento ainda é inferior a referência, o programa segue com o processamento da subrotina do PLL, realiza a transformação *abc/dq* das correntes da carga e extrai a componente média da corrente de eixo d. Caso a tensão do barramento seja superior à referência, os endereços das ISR

são trocados agora para o segundo estágio (E2), o contator de partida curto-circuita os resistores de *inrush*, a troca de estágios é sinalizada através do led laranja e o programa segue o processamento normal. No próximo período de amostragem, o programa será desviado para o estágio E2.

### C - Estágio E2

O estágio E2 refere-se à etapa de operação do FAP, onde a tensão do barramento é controlada para crescer de 538V (aproximadamente o pico da tensão de linha) até 820V (pouco abaixo da tensão nominal). As operações de conversão e proteção são realizadas, porém o restante do estágio só é processado após um atraso de 25ms, propositalmente inserido para aguardar que o contator esteja completamente fechado.

Após este tempo, o algoritmo testa a tensão do barramento para verificar a troca de estágio. Caso a tensão não tenha atingido o limiar para o estágio E3 ( $V_F > 820V$ ), a subrotina do PLL é processada e inicia a carga progressiva do barramento, onde a referência de tensão evolui linearmente de 530V até a tensão nominal ( $V_F = 850V$ ). A cada período de amostragem, a tensão de referência é incrementada de aproximadamente 30,5mV, o que faz com que o processo tenha uma duração em torno de 262,4ms. O processo de carga progressiva é fundamental para que as correntes drenadas da rede não tenham amplitudes excessivas durante esta etapa, reduzindo também os sobre-sinais de tensão do barramento.

Durante estágio E2, entram em operação as malhas de tensão e corrente do FAP. O erro de tensão é calculado, sendo processado em seguida pelo controlador PI e pelo filtro passa baixa de tensão. As correntes do filtro e da carga são transformadas para os eixos d e q, e a componente média de eixo direto da carga é extraída pelo filtro passa baixa de 2ª ordem. Todavia, as referências das correntes da carga não são utilizadas neste estágio, sendo que a tensão de controle é a única referência da corrente de eixo direto, e a referência da corrente de eixo em quadratura é nula. Esse procedimento faz com que a corrente drenada da rede, para a carga do barramento, seja senoidal e em fase com as componentes fundamentais de seqüência positiva das tensões. O conversor opera então de forma semelhante a um retificador trifásico com correção do fator de potência.

Em seguida são calculados os erros das correntes, que são injetados nos respectivos controladores. O desacoplamento das razões cíclicas é realizado e as razões cíclicas das fases *abc* são obtidas pela transformação *dq0/abc*. Por fim, as razões

cíclicas são limitadas e gravadas nos registradores do DSP, sendo então liberado o sinal de habilitação externo dos drivers do conversor.

Quando a tensão do barramento for superior à 820V, os endereços das ISR são trocados para o estágio E3 e o led verde sinaliza a troca de estágio. O restante do algoritmo é processado e no próximo período de amostragem o programa é desviado para o estágio E3.

#### **D - Estágio E3**

Este é o estágio de operação normal do FAP. A carga progressiva continua neste até que a referência de tensão chegue à nominal ( $V_F = 850V$ ). O processamento deste estágio é idêntico ao anterior, salvo por não testar mais nenhuma troca de estágio, e principalmente porque as correntes lidas da carga e transformadas para os eixos d e q são agora utilizadas nas referências do FAP. A corrente de eixo direto da carga, sem a parcela média e com fase invertida, é somada ao controle de tensão, constituindo assim a referência de eixo direto do FAP. A corrente de eixo em quadratura da carga, com fase invertida, é a referência de corrente deste eixo para o FAP.

### **6.6.2 Configurações Iniciais**

A seguir serão descritas, de forma sucinta, as configurações iniciais do DSP, sendo referidos os registradores utilizados para a configuração.

#### **A - Configurações do Sistema**

Têm por objetivo ajustar o funcionamento básico do dispositivo. O *watchdog timer* é desabilitado, o PLL interno para geração dos sinais de *clock* é configurado e iniciado. Aqui também são configuradas as pré-escalas de *clock* e habilitação deste para os periféricos utilizados (conversor A/D e EVA). Todas as interrupções são inicialmente desabilitadas.

Os registradores utilizados são: WDCR, PLLCR, HISPCP, LOSPCP, PCLKCR, IER e ST1.

#### **B - Inicialização das Variáveis.**

Nesta seção as diversas variáveis de controle com valores iniciais críticos são inicializadas. Dentre estas, pode-se citar as variáveis dos controladores de tensão e corrente, os filtros, as variáveis temporárias utilizadas para acumulação, bem como os pinos de controle do contator e de habilitação dos pulsos do PWM.

---

### **C - Configuração dos Pinos de propósito Geral**

O TMS320F2812 possui diversos pinos de entrada e saída digital (GPIO). Como muitos destes pinos são compartilhados com funções periféricas, os mesmos devem ser configurados para que possam operar adequadamente. Os pinos de saída dos sinais PWM foram configurados para operar como saída no modo periférico. Os pinos referentes aos leds de sinalização foram configurados como pinos de saída, sendo que a chave de interface com o usuário foi configurada para entrada com qualificação de sinal habilitada.

Os registradores utilizados foram GPAMUX, GPADIR, GPAQUAL e GPADAT.

### **D - Configuração do Gerenciador de Eventos**

O gerenciador de eventos “A” (EVA) será utilizado para gerar a base de tempo do programa e a modulação PWM. Assim, o *timer1* é configurado para o modo de contagem crescente/decrescente (modo *up/down*), com uma frequência de 19,98kHz. A polaridade dos sinais também é configurada, sendo que os recursos de geração de tempo morto do EVA não foram utilizados, uma vez que os *drivers* já realizam tal função.

Para este periférico, os registradores configurados foram: COMCONA, ACTRA, DBTCONA, EXTCON, T1PR, T1CON e GPTCONA.

### **E - Configuração do Conversor A/D**

Como o conversor A/D é consideravelmente rápido (até 12,5 milhões de amostras por segundo), e com o intuito de evitar problemas de ruído durante a amostragem dos sinais, optou-se por amostrar as variáveis de corrente quatro vezes consecutivas, e as variáveis de tensão (da rede e do barramento) duas vezes. O conversor A/D é configurado para operar no modo de amostragem seqüencial, sendo que o processo é efetivado através de duas seqüências idênticas de 15 conversões cascadeadas, onde as variáveis de corrente são amostradas duas vezes por seqüência, enquanto que as de tensão são amostradas uma vez apenas. O comando para o início da seqüência de conversão, e a verificação do fim desta, serão feitos diretamente por software. Nesta seção também são ajustados os tempos da janela de aquisição das variáveis.

Os registradores utilizados para a configuração do conversor A/D são: ADCTRL1, ADCTRL2, ADCTRL3, ADCMAXCONV, ADCCHSELSEQ1, ADCCHSELSEQ2, ADCCHSELSEQ3, ADCCHSELSEQ4.

## F - Configuração das Interrupções do Sistema

Inicialmente são desabilitadas todas as interrupções, sendo que após são limpos todos os flags de interrupção. Em seguida são habilitadas as interrupções de *underflow* e período do *timer1*, as quais correspondem ao início e meio do período da portadora, respectivamente. Na tabela de interrupções, os referidos eventos são direcionados para o endereço da rotina de tratamento das interrupções (estágios de operação do FAP), sendo que o endereço inicial refere-se ao estágio E0. Ao fim, a chave geral de interrupções do DSP é habilitada.

Para as referidas configurações de interrupções foram utilizados os seguintes registradores: ST1, IER, IFR, EVAIMRA, EVAIMRB, EVAIFRA e PIE.

### 6.6.3 Principais Subrotinas dos Estágios 0,1,2 e 3

As principais subrotinas dos diversos estágios de operação do FAP são resumidas a seguir.

#### A - Conversão A/D e Tratamento dos Sinais

Esta rotina é comum a todos os estágios, consistindo basicamente em realizar a amostragem de todos os sinais analógicos envolvidos no controle, tratá-los e armazená-los em variáveis dedicadas. O processo inicia quando o bit de início de seqüência é acionado por software. O fim da conversão é verificando monitorando-se o flag de interrupção do fim da seqüência de conversão, momento o qual as variáveis são lidas dos respectivos registradores de resultado. O processo é repetido e ao término deste é realizada a média das amostras e o armazenamento em variáveis dedicadas. A seguir é retirado o *offset* das variáveis alternadas (correntes e tensões da rede), sendo que por fim todas as variáveis são normalizadas conforme as bases previamente escolhidas.

#### B - Proteção

As correntes do filtro, as tensões da rede e do barramento do FAP são analisadas para verificar se o conversor está operando dentro dos limites previamente estabelecidos. Durante a rotina de proteção, o valor de cada variável é verificado, e caso algum limite tenha sido ultrapassado, o conversor é desabilitado segundo o seguinte procedimento:

- Os comandos para os interruptores são inibidos (através do pino de habilitação),
  - Os pinos das saídas PWM são colocados em nível lógico baixo;
  - As interrupções são desabilitadas;
-

- Os leds de sinalização são acionados;
- O programa entra em um laço infinito a espera do operador.

Durante essa rotina também é verificado o pino da chave externa do usuário, sendo que caso esta tenha sido pressionada, o programa realiza o mesmo procedimento citado. Os limites de cada variável e os sinais de erro são resumidos na Tabela 6.4.

**Tabela 6.4 - Limites e sinais de erro da rotina de proteção do FAP.**

Variável	Limites	Sinal de Erro
Correntes do FAP	$\pm 60A_{\text{pico}}$	Led laranja piscando
Tensão do FAP	900V	Led vermelho piscando
Tensão da Rede	$\pm 650V_{\text{pico}}$	Led vermelho e laranja piscando alternadamente
Chave externa	-	Led vermelho e laranja piscando simultaneamente

### C - Controladores PID da Malha de Corrente

O controlador PID discreto da malha de corrente foi apresentado na eq.(6.28). Sabe-se que este representa uma função de transferência discreta, de saída  $u(z)$  e entrada  $e(z)$ . Multiplicando-se o numerador e o denominador da equação (6.28) por  $z^{-2}$ , obtém-se a eq.(6.48).

$$\text{PID}(Z) = \frac{u(z)}{e(z)} = \frac{C_{\text{PID}} \cdot z^2 + B_{\text{PID}} \cdot z + A_{\text{PID}}}{z^2 + E_{\text{PID}} \cdot z + D_{\text{PID}}} \cdot \frac{z^{-2}}{z^{-2}} = \quad (6.48)$$

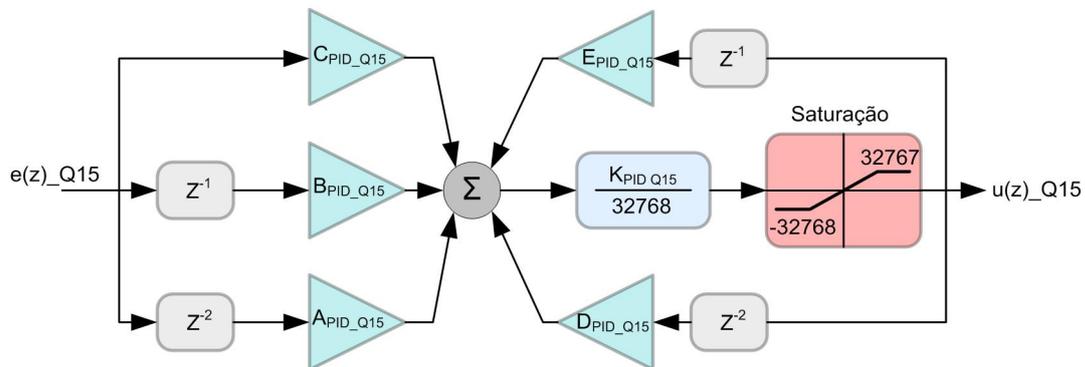
$$\text{PID}(Z) = \frac{u(z)}{e(z)} = \frac{C_{\text{PID}} + B_{\text{PID}} \cdot z^{-1} + A_{\text{PID}} \cdot z^{-2}}{1 + E_{\text{PID}} \cdot z^{-1} + D_{\text{PID}} \cdot z^{-2}}$$

Como o operador  $z^{-1}$  representa o atraso unitário, logo é possível escrever o compensador PID na forma de equação à diferenças, conforme a eq.(6.49).

$$u(k) = C_{\text{PID}} \cdot e(k) + B_{\text{PID}} \cdot e(k-1) + A_{\text{PID}} \cdot e(k-2) - E_{\text{PID}} \cdot u(k-1) - D_{\text{PID}} \cdot u(k-2) \quad (6.49)$$

Considerando que as variáveis do DSP estão normalizadas no formato Q15, é interessante que os coeficientes da eq.(6.49) sejam ajustados para que o coeficiente de maior valor seja inferior à unidade. Isso facilita a implementação do controlador no DSP, uma vez que os coeficientes poderão ser todos representados igualmente no formato

Q15. O diagrama de blocos do controlador PID é mostrado na Fig. 6.25, onde o subscrito Q15 indica que as variáveis estão representadas neste formato.



**Fig. 6.25 – Diagrama de blocos do controlador PID implementado no DSP.**

Os novos coeficientes do controlador são mostrados na eq.(6.50), onde  $K_{PID\ Q15}$  é o menor múltiplo de 2 que garante que todos os coeficientes sejam menores que a unidade. Cabe observar que a saída do controlador está igualmente representada no formato Q15, e o resultado é limitado de -32768 à 32767. Outro fato importante é que a utilização de ganhos múltiplos de 2 facilita o processamento, onde as divisões podem ser feitas de forma eficiente através de operações de deslocamento (*shift*).

$$\left\{ \begin{array}{l} A_{PID\ Q15} = \frac{A_{PID}}{K_{PID\ Q15}} \cdot 2^{15} \\ B_{PID\ Q15} = \frac{B_{PID}}{K_{PID\ Q15}} \cdot 2^{15} \\ C_{PID\ Q15} = \frac{C_{PID}}{K_{PID\ Q15}} \cdot 2^{15} \\ D_{PID\ Q15} = \frac{D_{PID}}{K_{PID\ Q15}} \cdot 2^{15} \\ E_{PID\ Q15} = \frac{E_{PID}}{K_{PID\ Q15}} \cdot 2^{15} \end{array} \right. \quad (6.50)$$

#### D - Controladores PI (Malha de Tensão e PLL)

As equações à diferença dos controladores PI da malha de tensão e do circuito PLL são obtidas de forma semelhante àquela mostrada para os controladores PID. Com base na função de transferência discreta do controlador PI, equação (6.40), vem:

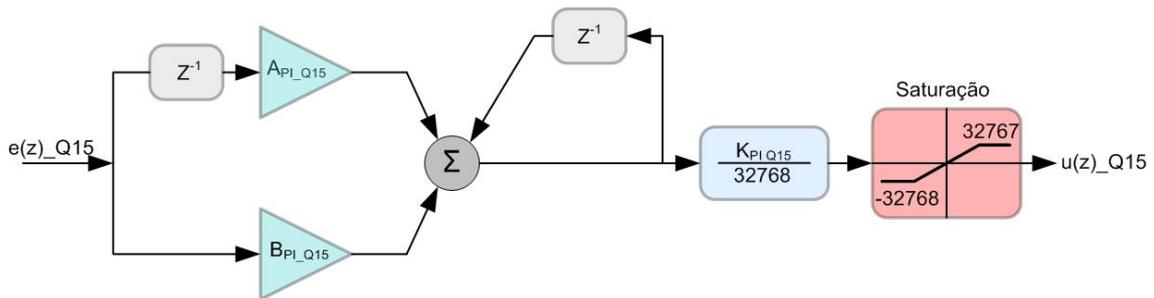
$$PI(z) = \frac{u(z)}{e(z)} = \frac{B_{PI} \cdot z + A_{PI} \cdot z^{-1}}{z - 1} \cdot \frac{z^{-1}}{z^{-1}} \tag{6.51}$$

$$PI(z) = \frac{u(z)}{e(z)} = \frac{B_{PI} + A_{PI} \cdot z^{-1}}{1 - z^{-1}}$$

Sabendo que o atraso unitário é dado pelo operador  $z^{-1}$ , obtém-se a eq.(6.52).

$$u(k) = B_{PI} \cdot e(k) + A_{PI} \cdot e(k - 1) + u(k - 1) \tag{6.52}$$

A Fig. 6.26 ilustra o digrama de blocos da estrutura implementada no DSP. Novamente neste caso, observa-se que o ganho proporcional  $K_{PIQ15}$  foi incluído de forma a manter os coeficientes do controlador com valores menores do que a unidade. Os coeficientes são então representados no formato Q15, e estão relacionados com os coeficientes calculados conforme a eq.(6.53).



**Fig. 6.26 - Diagrama de blocos do compensador PI implementado no DSP.**

$$\begin{cases} A_{PI\ Q15} = \frac{A_{PI}}{K_{PIQ15}} \cdot 2^{15} \\ B_{PI\ Q15} = \frac{B_{PI}}{K_{PIQ15}} \cdot 2^{15} \end{cases} \tag{6.53}$$

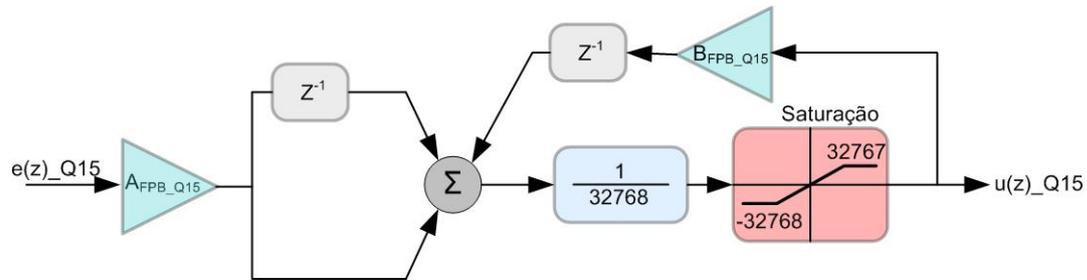
**E - Filtro Passa Baixa da Malha de Tensão**

Seguindo a mesma metodologia utilizada para os controladores PID e PI, determina-se a equação à diferenças do filtro passa baixa de 1ª ordem conforme as equações (6.54) e (6.55).

$$FPB_V(z) = \frac{u(z)}{e(z)} = \frac{A_{FPB} \cdot z + A_{FPB} \cdot z^{-1}}{z + B_{FPB}} \cdot \frac{z^{-1}}{z^{-1}} \tag{6.54}$$

$$u(k) = A_{\text{FPB}} \cdot e(k) + A_{\text{FPB}} \cdot e(k-1) - B_{\text{FPB}} \cdot u(k-1) \quad (6.55)$$

Como os coeficientes  $A_{\text{FPB}}$  e  $B_{\text{FPB}}$  são inferiores a unidade, os mesmos podem ser representados no formato Q15. Assim, o algoritmo do filtro passa baixa foi implementado no DSP conforme o diagrama da Fig. 6.27.



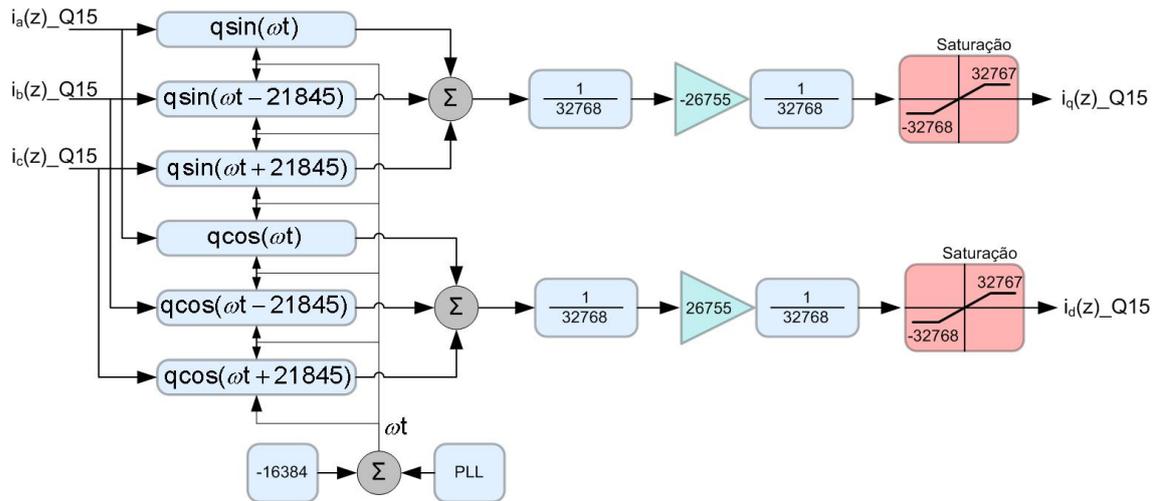
**Fig. 6.27 – Filtro passa baixa implementado no DSP.**

Os coeficientes do filtro, no formato Q15, são dados pela eq.(6.56).

$$\begin{cases} A_{\text{FPB Q15}} = A_{\text{FPB}} \cdot 2^{15} \\ B_{\text{FPB Q15}} = B_{\text{FPB}} \cdot 2^{15} \end{cases} \quad (6.56)$$

## F - Transformação abc/dq

As funções trigonométricas seno e cosseno, necessárias para a transformação abc/dq foram obtidas da biblioteca Qmath (funções qsin() e qcos()). O argumento de entrada das funções é passado no formato Q15, onde o valor -32768 representa  $-\pi$  e o valor 32767 representa  $\pi$ . A saída das funções é igualmente normalizada no formato Q15. Como a constante  $\sqrt{2/3}$  pode também ser representada no formato Q15 (valor digital de 26755), então a transformação é realizada conforme o diagrama da Fig. 6.28, sendo válida para as correntes da carga e do FAP. Observa-se que o argumento das funções trigonométricas é obtido do circuito PLL, no formato Q15, porém com fase atrasada de  $90^\circ$  (valor digital igual à -16384).

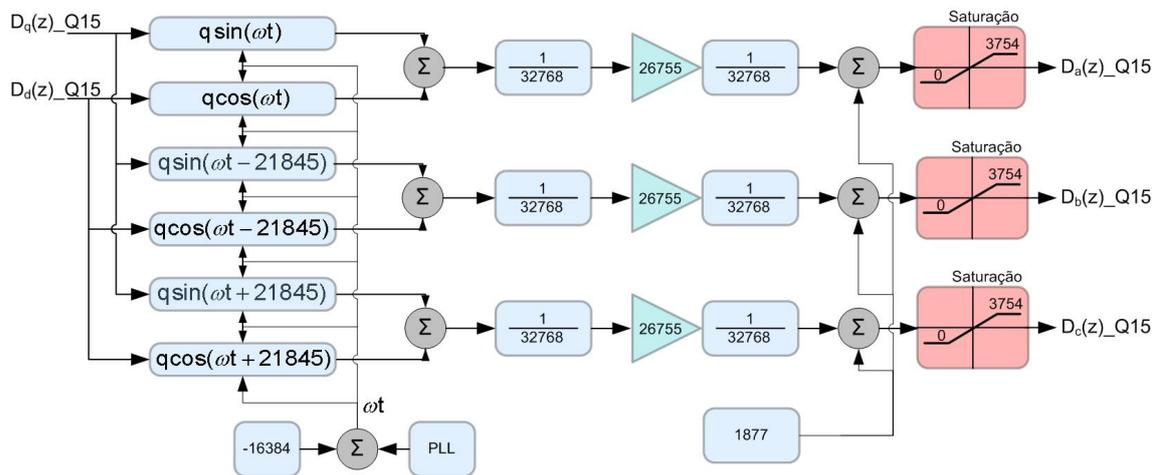


**Fig. 6.28 – Transformação abc/dq implementada no DSP.**

É importante notar que as correntes de eixos direto e em quadratura, obtidas com a referida transformação, estão no formato Q15, logo seus valores instantâneos são limitados aos valores desta base.

**G - Transformação dq0/abc e Saturação das Razões Cíclicas**

A transformação das razões cíclicas, do sistema dq0 para o sistema abc foi implementada de forma semelhante à mostrada para a transformação abc/dq, conforme ilustra a Fig. 6.29. Neste diagrama também é mostrada a saturação das razões cíclicas.



**Fig. 6.29 – Transformação dq0/abc implementada no DSP.**

## 6.7 CONCLUSÃO

Este capítulo apresentou a metodologia de projeto do sistema de controle do FAP e os detalhes de implementação no TMS320F2812. O procedimento utilizado para o projeto dos controladores discretos mostrou-se simples e eficiente, uma vez que os diversos elementos extras, introduzidos pelo controle digital, foram considerados e quantificados. O filtro *antialiasing*, o circuito PWM digital e o tempo de processamento do algoritmo introduzem um atraso de tempo no sistema de controle. Em termos de resposta em frequência, este efeito é visto como uma diminuição da fase, proporcional ao aumento da frequência. No controle das correntes do FAP, onde a frequência de cruzamento da FTLA está consideravelmente próxima da frequência de amostragem, tal efeito é mais saliente, podendo deteriorar ou mesmo provocar a instabilidade do sistema. A utilização do circuito PWM digital com dupla atualização possibilitou a minimização deste efeito, sendo que a escolha do controlador PID garantiu uma margem de fase aceitável para as malhas de corrente do FAP. Por outro lado, um controlador PI mostrou-se suficiente para o controle da tensão do barramento CC, uma vez que as dinâmicas envolvidas nesta malha são consideravelmente mais lentas.

O dispositivo TMS320F2812, escolhido para a implementação do algoritmo do FAP mostrou-se adequado para a aplicação. Embora a aritmética em ponto fixo dificulte a programação do algoritmo, a metodologia adotada para a normalização das variáveis permitiu uma representação simples, o que colaborou para o projeto dos controladores e filtros digitais. Cabe ressaltar que esta metodologia não possibilita o melhor caso de otimização numérica, porém, foi utilizada em função da simplicidade e da redução do processamento.

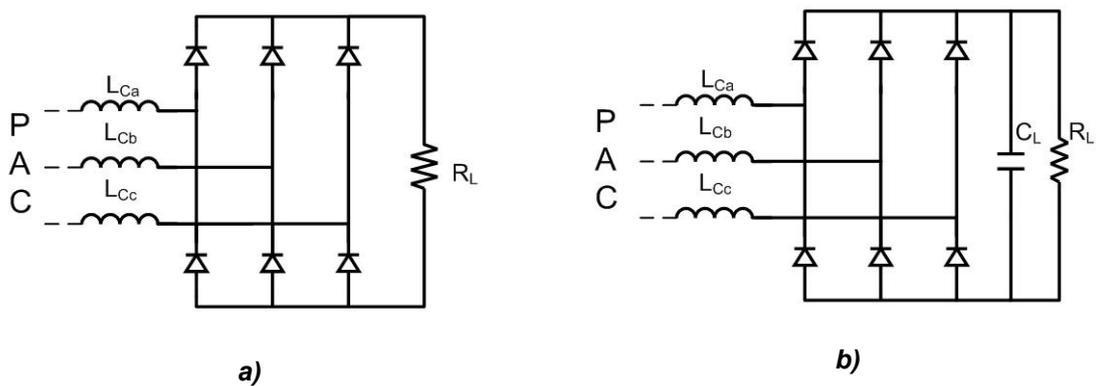
---

# CAPÍTULO 7

## SIMULAÇÕES E RESULTADOS EXPERIMENTAIS

### 7.1 INTRODUÇÃO

Nos capítulos anteriores foram apresentados os projetos dos diversos elementos e subcircuitos presentes no FAP. O algoritmo de controle e os parâmetros dos controladores foram igualmente determinados. Apresentam-se neste capítulo as simulações numéricas do filtro ativo e os resultados obtidos com o protótipo construído em laboratório. Em ambas as situações foram consideradas duas topologias de carga para os testes: o retificador trifásico em ponte completa a diodos com filtro capacitivo e o retificador trifásico em ponte completa a diodos alimentando uma carga resistiva. Embora este último não caracterize um tipo de carga comum em ambientes industriais, o mesmo apresenta formas de onda de corrente interessantes para testar o FAP, com derivadas acentuadas, porém com baixo fator de crista. Por outro lado, o retificador trifásico com filtro capacitivo drena correntes com grandes derivadas e elevados fatores de crista. A Fig. 7.1 ilustra as cargas utilizadas nos testes.



**Fig. 7.1 - Topologias de cargas utilizadas nas simulações e testes experimentais: a) retificador trifásico com carga resistiva; b) Retificador trifásico com filtro capacitivo.**

Das topologias de carga foram definidos dois casos de teste. Os elementos da carga dos testes considerados são resumidos na Tabela 7.1.

**Tabela 7.1 - Elementos da carga em cada caso.**

Elementos	Caso1	Caso2
Indutância de carga	$L_{La} = 260 \mu\text{H}$ $L_{Lb} = 260 \mu\text{H}$ $L_{Lc} = 260 \mu\text{H}$	$L_{La} = 260 \mu\text{H}$ $L_{Lb} = 260 \mu\text{H}$ $L_{Lc} = 260 \mu\text{H}$
Resistência da carga	$R_L = 30,5 \Omega$	$R_L = 61 \Omega$
Capacitância da carga	–	$C_L = 4,7 \text{mF}$

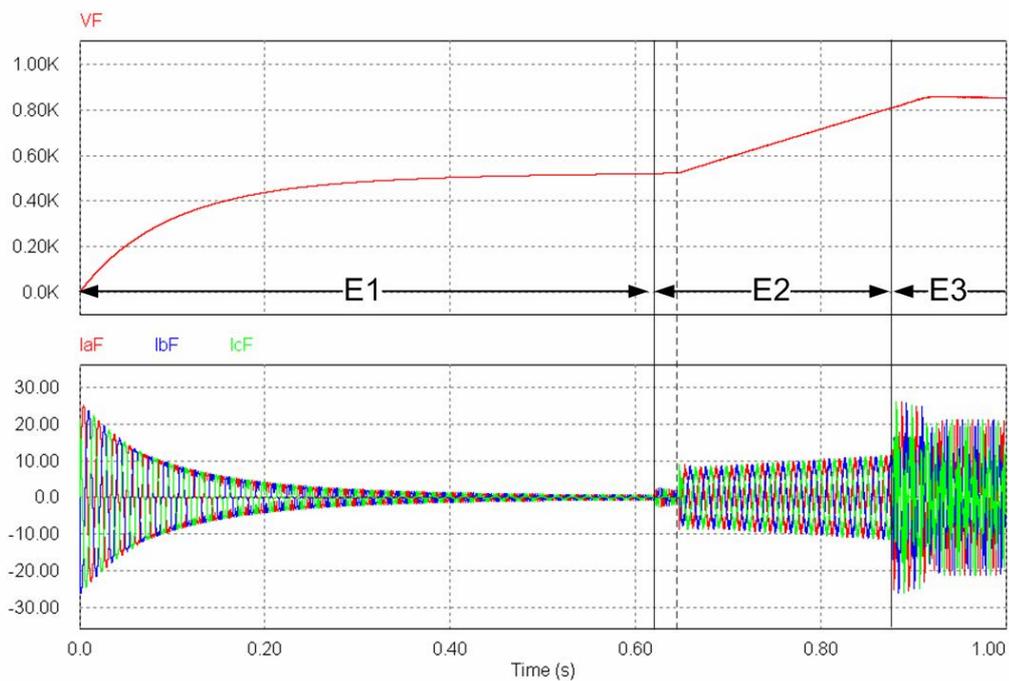
## 7.2 SIMULAÇÃO DO FAP

O software PSIM versão 6.0 foi utilizado para a simulação do FAP. Na elaboração do circuito de simulação buscou-se uma representação realista do sistema elétrico e principalmente do algoritmo de controle. Os efeitos do ZOH e do atraso unitário foram devidamente considerados, sendo que as diversas rotinas de processamento foram concebidas de forma semelhante à que foi implementada no DSP. O diagrama esquemático do circuito simulado é apresentado no Anexo C.

### 7.2.1 Energização do FAP - Simulação

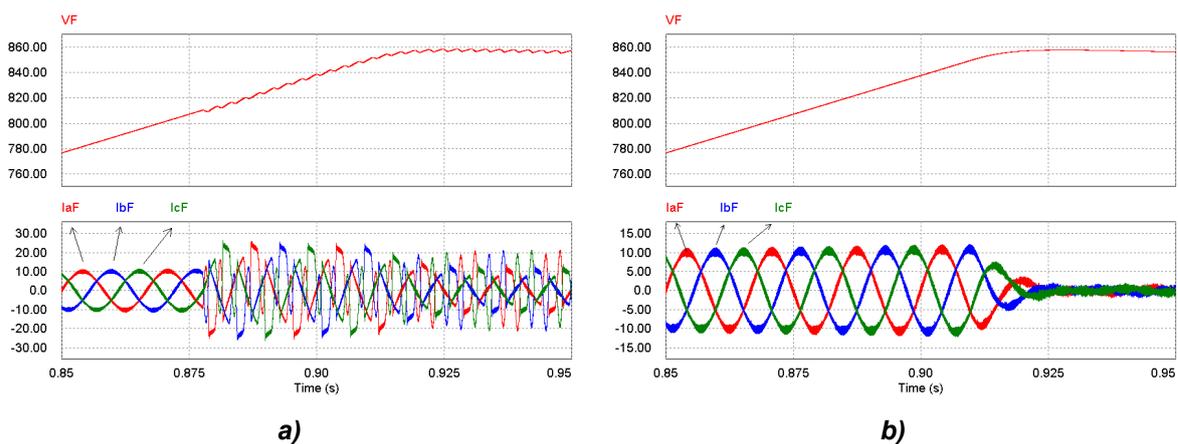
A Fig. 7.2 ilustra o processo de energização do filtro. As correntes drenadas da fonte têm características próprias para cada estágio de operação (E1, E2 e E3).

Durante o estágio E1 a estrutura opera como um retificador trifásico não controlado, drenando correntes distorcidas da rede. Após 25ms do estágio E2, o controle do FAP entra em funcionamento, e as correntes são agora senoidais e equilibradas. Verifica-se no estágio E3 que as referências das correntes da carga foram liberadas, e a estrutura opera como filtro ativo. A utilização do sistema de partida progressiva nos estágios E2 e E3 propiciou uma reposta de tensão amena, com um sobressinal inferior a 1%.



**Fig. 7.2 – Energização do FAP: Tensão do barramento e correntes do filtro.**

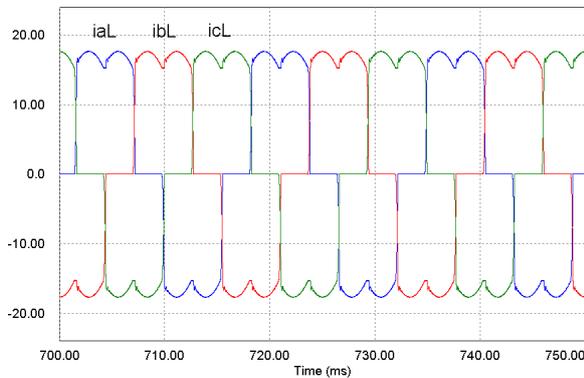
O detalhe da transição do estágio E2 para E3 é mostrado na Fig. 7.3a. A Fig. 7.3b apresenta a situação onde o FAP é energizado sem carga conectada, onde se observa que a única corrente drenada pela estrutura, durante estágio E3, é aquela necessária para suprir suas perdas.



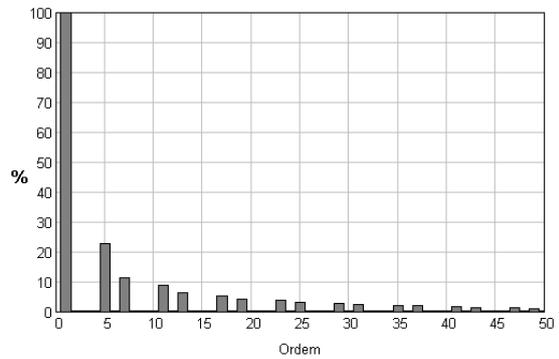
**Fig. 7.3 - Tensão do barramento e correntes do FAP na transição dos estágio E2 para E3, com carga (a) e sem carga (b).**

## 7.2.2 Resultados de Simulação: Caso 1

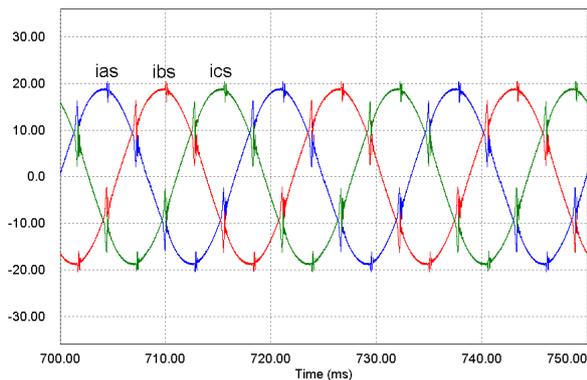
As correntes da carga são mostradas na Fig. 7.4a, enquanto a Fig. 7.4b apresenta as correntes drenadas da fonte para o caso 1.



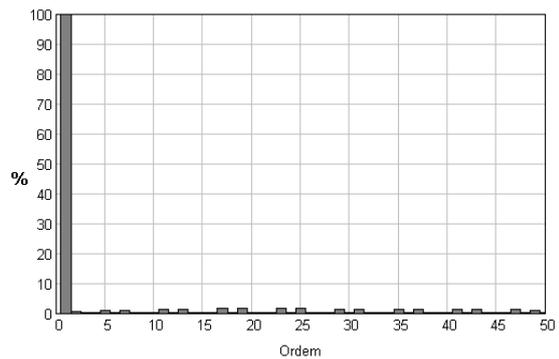
**a) Correntes da Carga.**



**c) Espectro harmônico (%da fundamental) da corrente da carga (fase a).**



**b) Correntes na fonte.**

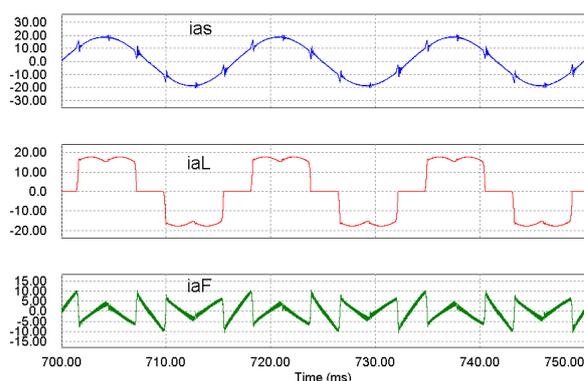


**d) Espectro harmônico (%da fundamental) da corrente na fonte (fase a).**

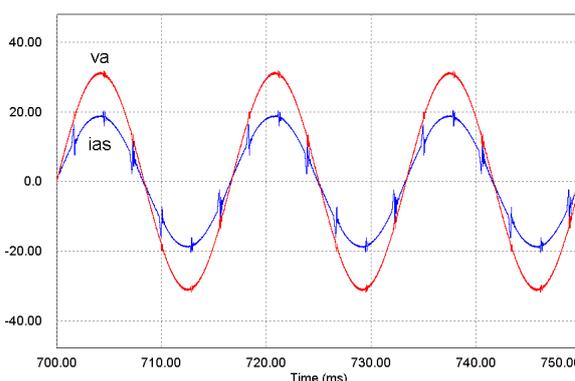
**Fig. 7.4 - Correntes da carga e da fonte e respectivos espectros harmônicos para o caso 1.**

Observa-se que a atuação do FAP propiciou que as correntes drenadas da fonte sejam praticamente senoidais. O espectro harmônico da corrente da fonte (fase a) é mostrado na Fig. 7.4d, sendo que o espectro harmônico da corrente da carga (fase a) é ilustrado na Fig. 7.4c.

Na Fig. 7.5 são apresentadas simultaneamente as correntes da rede, da carga e do FAP, todas para a fase "a". Verifica-se claramente que a corrente drenada da fonte corresponde ao somatório das correntes da carga e do FAP.



**Fig. 7.5 – Correntes na fonte, na carga e no FAP (fase a).**



**Fig. 7.6 – Tensão (escalonada) e corrente na fonte (fase a).**

As formas de onda da tensão de fase e corrente drenada da fonte, ambas para a fase “a”, são ilustradas na Fig. 7.6. Nota-se que a corrente da fonte possui uma pequena descontinuidade, a qual ocorre nos instantes de elevadas taxas de variação de corrente da carga. Esse fato deve-se ao tempo de resposta do controle do FAP, o qual não é rápido o suficiente para seguir a trajetória imposta pela referência.

Os resultados obtidos por simulação para o caso 1 são resumidos na Tabela 7.2.

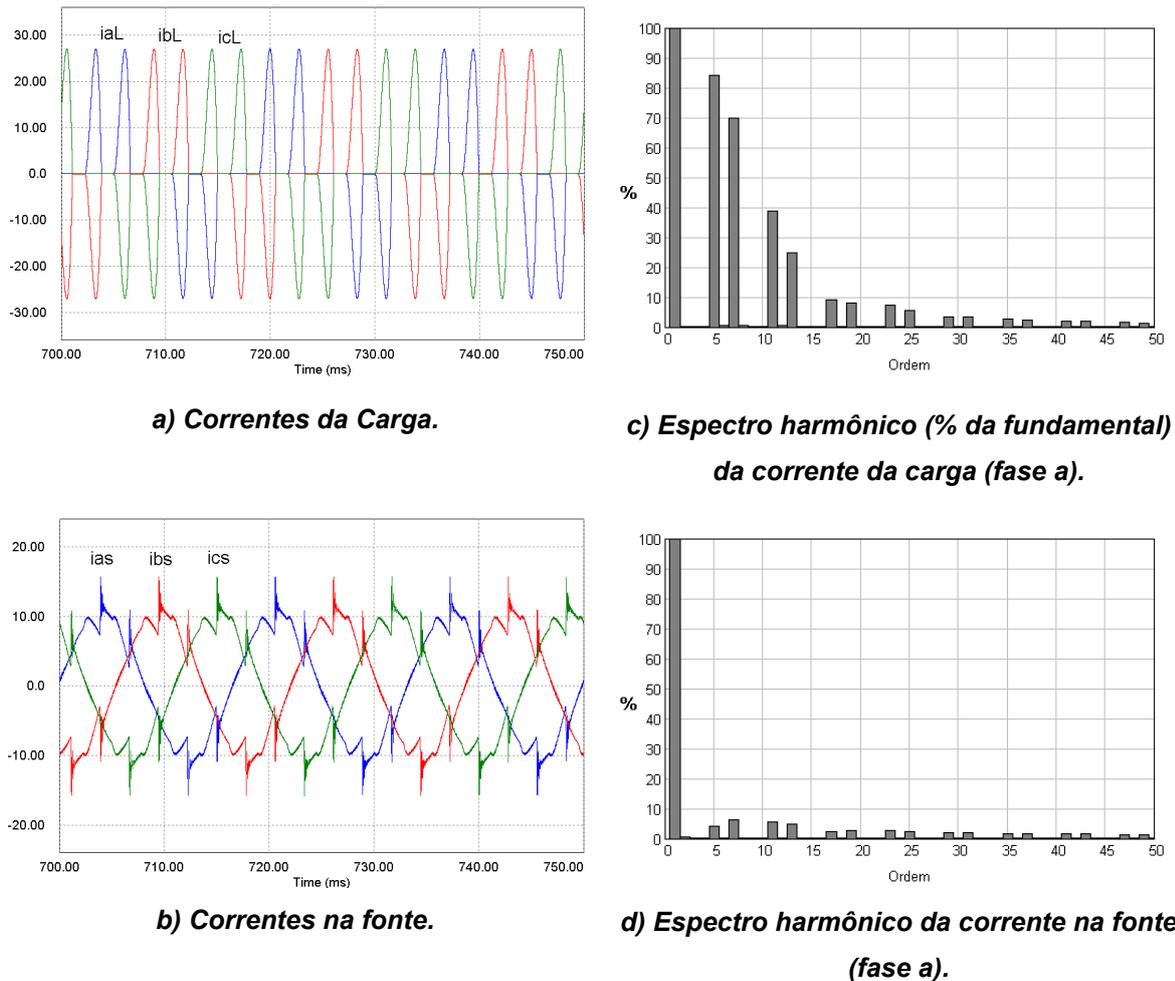
**Tabela 7.2 - Resultados da simulação do caso 1.**

Fase-Medição	THDv	THDi	FP	S Total	P Total	Q Total
A - Fonte	0,531%	5,2893%	0,996	8,7724kVA	8,7441kW	704,18VAR
B - Fonte	0,548%	5,3909%				
C - Fonte	0,546%	5,3622%				
A - Carga	0,531%	29,1936%	0,958	9,03984kVA	8,6655kW	2,5744kVAR
B - Carga	0,548%	29,1880%				
C - Carga	0,546%	29,1991%				

Com base na Tabela 7.2, verifica-se que a atuação do FAP propiciou a redução do conteúdo harmônico das correntes drenadas da fonte, bem como elevou o fator de potência da instalação.

### 7.2.3 Resultados de Simulação: Caso 2

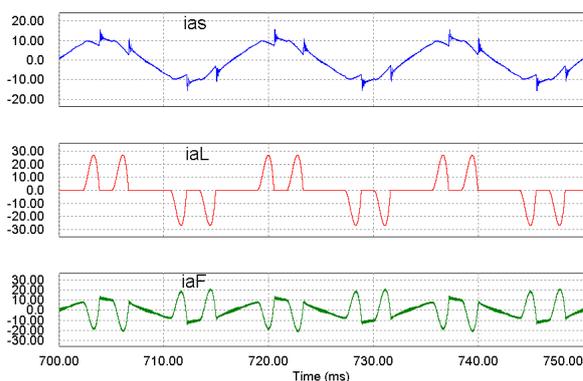
As correntes da carga e as correntes drenadas da fonte, para a simulação do caso 2 são apresentadas na Fig. 7.7a e Fig. 7.7b respectivamente.



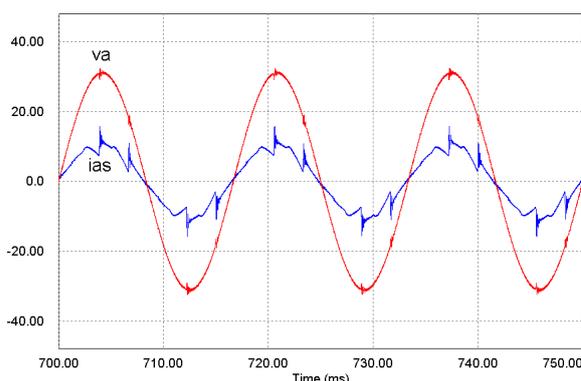
**Fig. 7.7 - Correntes da carga e da fonte e seus respectivos espectros harmônicos para a simulação do caso 2.**

As correntes da carga estão fortemente distorcidas, como comprova o espectro harmônico mostrado na Fig. 7.7c. A atuação do FAP faz com que as correntes drenadas da fonte tenham uma forma próxima da senoidal, entretanto, o espectro harmônico da corrente da drenada da fonte (Fig. 7.7d) revela a existência não desprezível de alguns componentes harmônicos.

As correntes da fonte, da carga e do FAP, todas da fase “a”, são mostradas na Fig. 7.8, enquanto que a Fig. 7.9 ilustra a tensão e a corrente na fonte para esta mesma fase.



**Fig. 7.8 – Correntes na fonte, na carga e no FAP (fase a).**



**Fig. 7.9 – Tensão (escalonada) e corrente na fonte (fase a).**

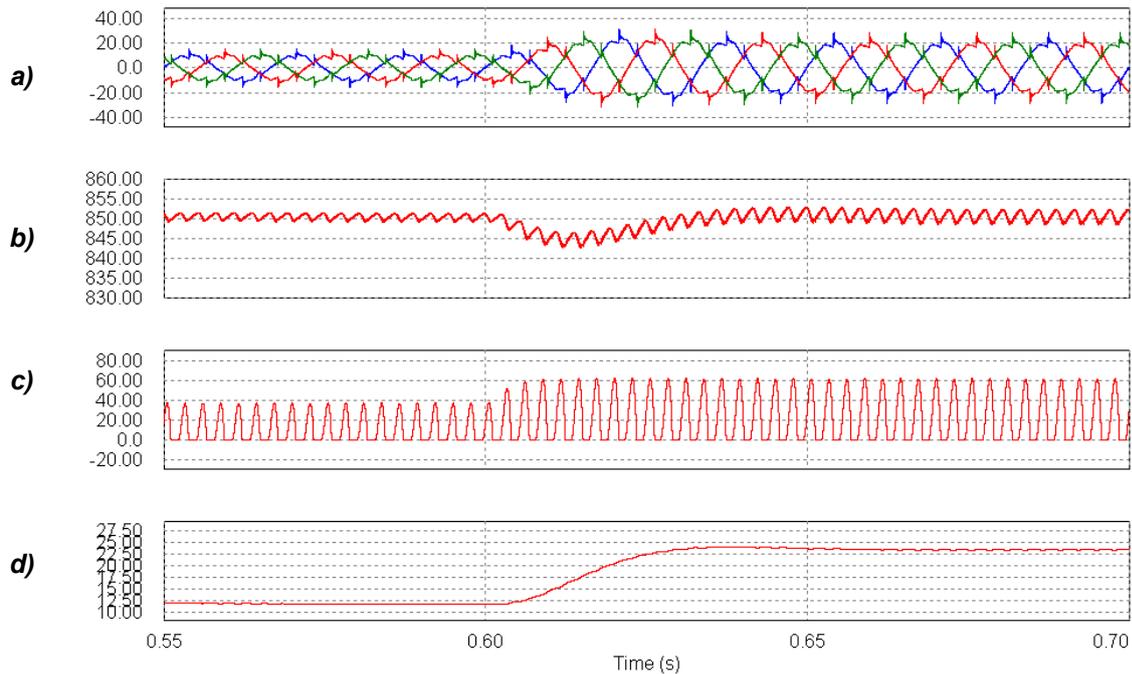
A Tabela 7.3 apresenta o resumo dos resultados numéricos obtidos por simulação para o caso 2. Novamente, verifica-se a considerável diminuição da distorção harmônica total das correntes drenadas da fonte, bem como a elevação do fator de potência do sistema.

**Tabela 7.3 - Resultados de simulação para o caso 2.**

Fase-Medição	THDv	THDi	FP	S	P	Q
A - Fonte	0,487%	12,467%	0,987	4,8620kVA	4,8011kW	767,44VAR
B - Fonte	0,491%	12,518%				
C - Fonte	0,485%	12,429%				
A - Carga	0,487%	120,0%	0,632	7,2375kVA	4,5763kW	5,6070kVAR
B - Carga	0,491%	119,980%				
C - Carga	0,485%	120,021%				

### 7.2.4 Resposta Transitória: Variação de Carga

Realiza-se agora uma simulação para a verificação da resposta transitória do FAP frente a uma variação de carga. A carga utilizada é do tipo retificador trifásico com filtro capacitivo, com a resistência de carga variando de  $R_L = 61\Omega$  para  $R_L = 30,5\Omega$ . A Fig. 7.10 ilustra as formas de onda das correntes na fonte, da tensão do barramento e das correntes instantânea e média de eixo direto da carga. A variação de carga foi realizada no instante  $t=0,6$  segundos.

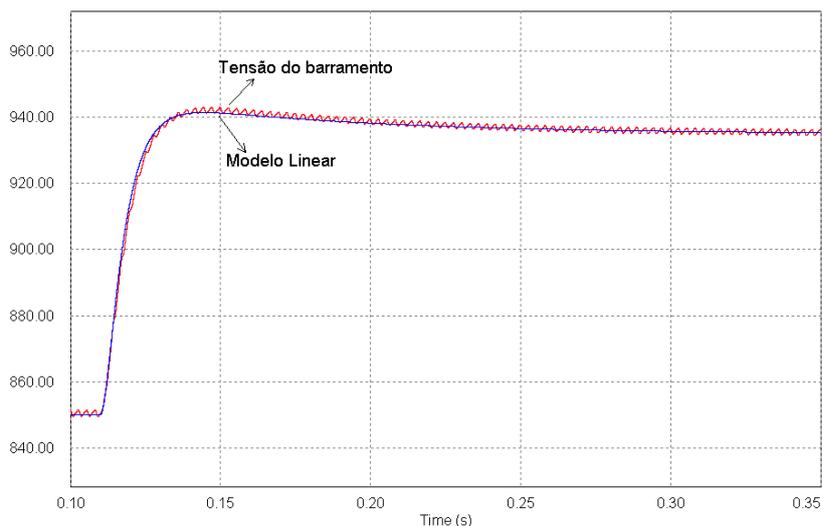


**Fig. 7.10- Resposta transitória do FAP (a) correntes na fonte; (b) tensão do barramento do FAP; (c) Corrente de eixo direto da carga; (d) corrente média de eixo direto da carga.**

Durante o período transitório, as correntes na fonte não sofrem alterações significativas em suas formas. Por outro lado, a tensão do barramento tem um pequeno decréscimo de seu valor nominal, retornando em seguida à normalidade. A alteração na tensão do barramento está ligada à resposta transitória do filtro passa baixa de segunda ordem, utilizado para remover a parcela média da corrente de eixo direto da carga. Na Fig. 7.10d é possível perceber a dinâmica imposta pelo filtro passa baixa, enquanto que a Fig. 7.10c ilustra os valores instantâneos da corrente de eixo direto da carga.

### 7.2.5 Verificação do Modelo de Tensão

De forma a verificar o modelo matemático obtido para a malha de tensão do FAP, apresenta-se agora uma simulação onde são comparadas as respostas do conversor e do modelo, frente a uma variação do valor de referência. A tensão do barramento será alterada de 100% para 110%. Na Fig. 7.11 são ilustradas a tensão do barramento do conversor e a saída do modelo linear, onde se observa a grande semelhança entre as respostas obtidas, o que valida o modelo empregado.



**Fig. 7.11 – Verificação do modelo obtido para a tensão**

## 7.3 RESULTADOS EXPERIMENTAIS

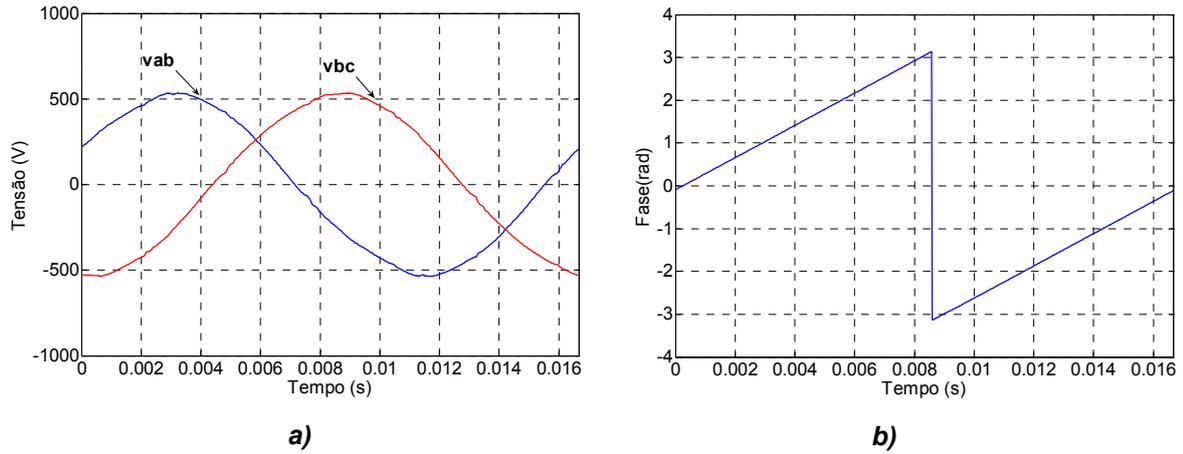
Nesta seção serão apresentados os resultados experimentais obtidos com o protótipo implementado em laboratório. Diversas fotos do mesmo são apresentadas no Anexo D. As aquisições foram realizadas utilizando um osciloscópio Tektronix modelo TDS5034B, sendo que para a análise das formas de onda foi empregado o software WaveStar versão 2.8.1.

### 7.3.1 Teste dos Algoritmos

Todas as rotinas presentes no algoritmo de controle foram devidamente testadas, e de forma a ilustrar o funcionamento de algumas destas, apresenta-se a seguir os resultados dos testes do circuito de sincronismo e da transformação  $abc/dq$ .

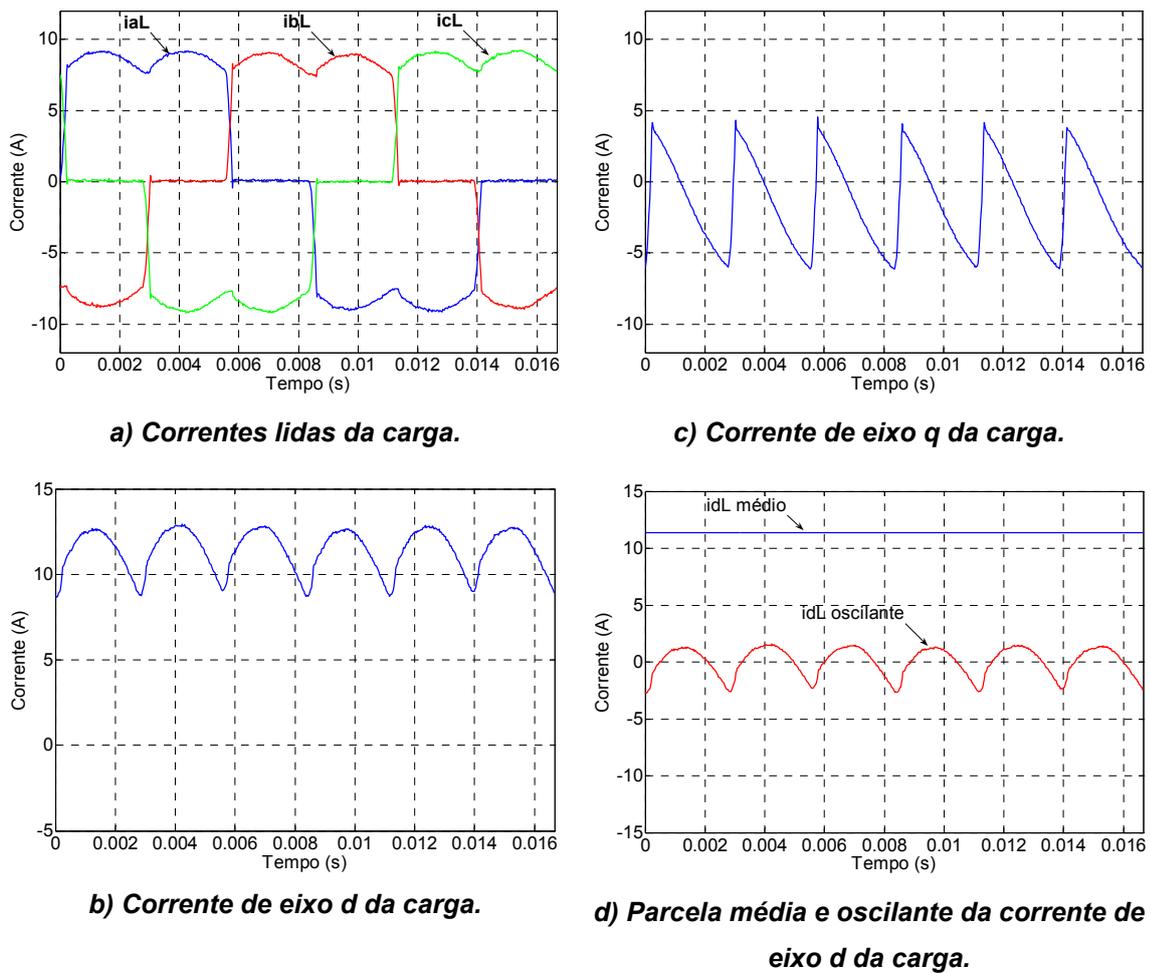
A Fig. 7.12a exibe as formas de onda das tensões de linha lidas da rede ( $v_{ab}$  e  $v_{bc}$ ), enquanto que a Fig. 7.12b apresenta o sinal de sincronismo gerado pelo circuito PLL implementado em DSP. O sinal de sincronismo encontra-se, como esperado, aproximadamente 30 graus atrasado em relação à tensão  $v_{ab}$ .

Os sinais das tensões de linha e sincronismo foram avaliados, donde se verificou um erro de 0,48 graus entre o sinal de sincronismo e a componente fundamental de seqüência positiva das tensões. Este valor é referente ao atraso de aproximadamente um período de amostragem, e assim pode ser facilmente compensado no algoritmo. As formas de onda das correntes da carga, adquiridas pelo DSP, são mostradas na Fig. 7.13a.



**Fig. 7.12 - Teste do circuito PLL: a) Tensões de linha; b) sinal de sincronismo.**

As correntes de eixos  $d$  e  $q$  da carga, obtidas através da transformação  $abc/dq$ , são ilustradas respectivamente na Fig. 7.13b e Fig. 7.13c.

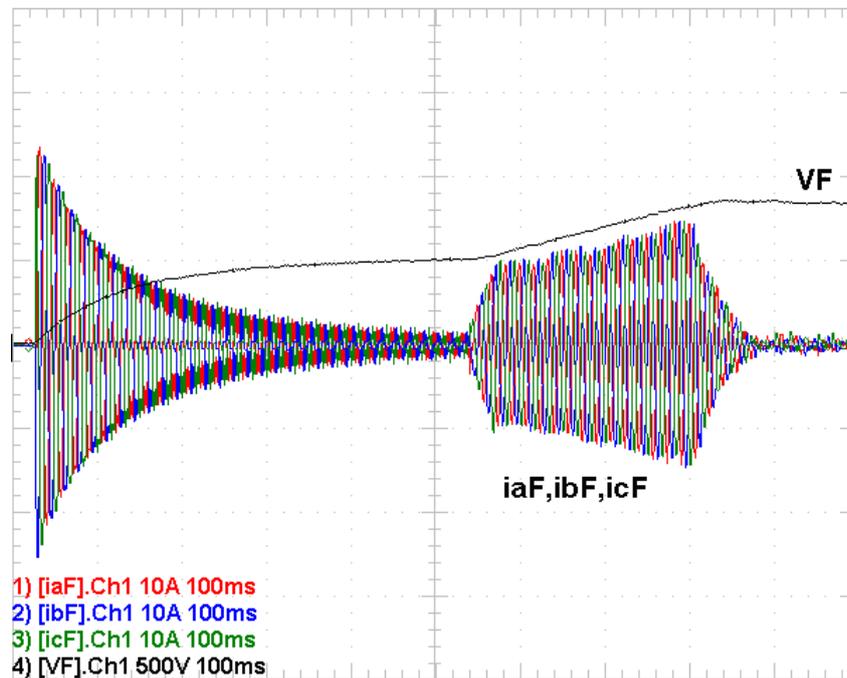


**Fig. 7.13 - Testes da transformação  $abc/dq$  e filtro passa baixa sobre as correntes da carga.**

Na Fig. 7.13d pode-se observar a parcela média e oscilante da corrente de eixo direto, onde o filtro passa baixa de segunda ordem foi empregado para a separação destas.

### 7.3.2 Energização do FAP – Resultados Experimentais

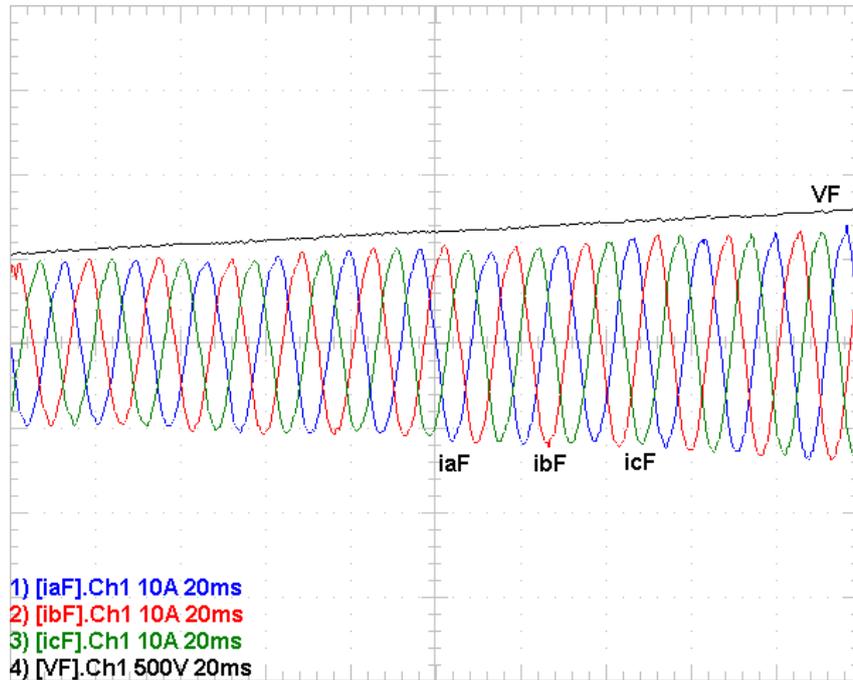
A tensão do barramento e as correntes drenadas pelo conversor durante o processo de energização são mostradas na Fig. 7.14 a. Verifica-se que os resultados obtidos são bastante semelhantes aos simulados.



**Fig. 7.14 - Energização do FAP - Resultados Experimentais.**

Conforme apresentado na Fig. 7.15, as correntes drenadas pelo FAP durante a etapa de energização progressiva (estágio 2) são senoidais e equilibradas. A energização progressiva garantiu uma resposta suave da malha de tensão, bem como limitou a amplitude das correntes drenadas pelo FAP durante o processo.

Com base nos dados obtidos, verificou-se que a tensão do barramento do FAP apresentou um pequeno sobressinal de 2,58%.

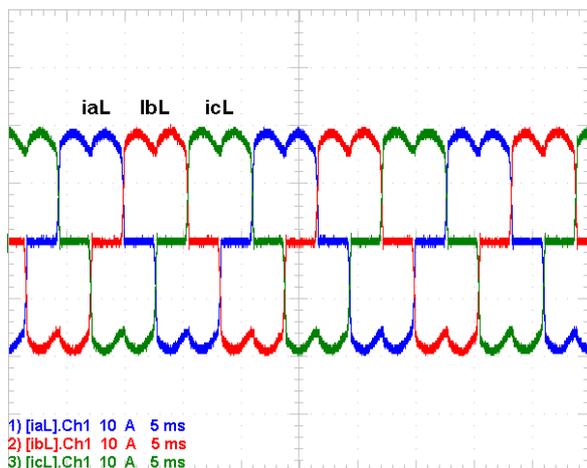


*Fig. 7.15 - Detalhe da etapa de energização progressiva do FAP.*

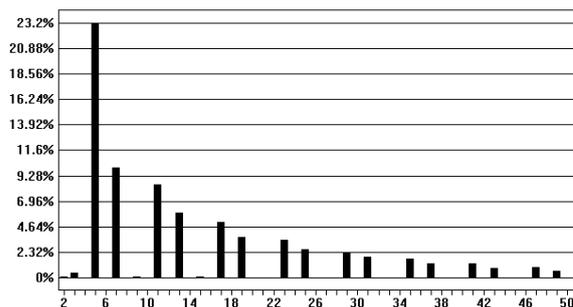
### 7.3.3 Resultados Experimentais: Caso 1

Apresentam-se agora os resultados experimentais obtidos com o FAP compensando a carga do caso 1. As formas de onda das correntes da carga são mostradas na Fig. 7.16a, sendo que o espectro harmônico da corrente de carga (fase “a”) é ilustrado na Fig. 7.16c. Percebe-se que a carga encontra-se equilibrada, e logo o espectro harmônico é composto pelas componentes de ordem ímpar não múltiplas de três.

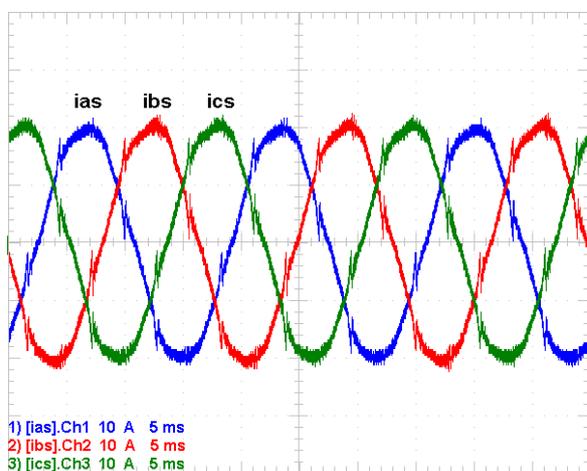
Com o FAP em funcionamento, as correntes drenadas da fonte são praticamente senoidais e equilibradas, como demonstra a Fig. 7.16b. O espectro harmônico da corrente na fonte (fase “a”), mostrado na Fig. 7.16d, revela o reduzido conteúdo harmônico desta, onde a maior componente (5° harmônico) tem amplitude de apenas 3,6% da fundamental.



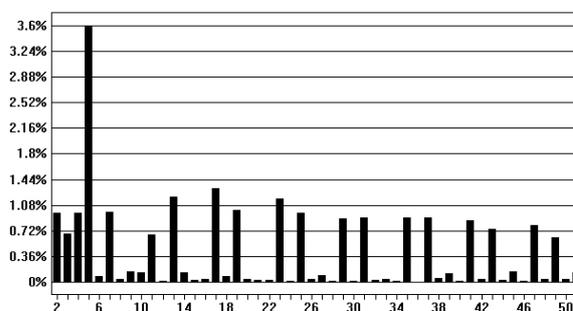
a) Correntes da Carga.



c) Espectro harmônico (% fundamental) da corrente da carga (fase a).



b) Correntes na fonte.

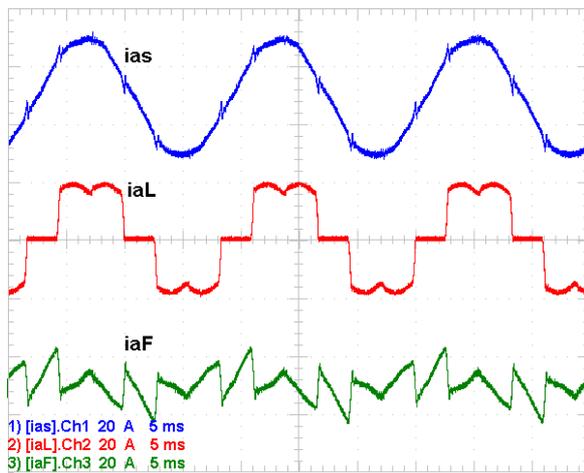


c) Espectro harmônico (% fundamental) da corrente na fonte (fase a).

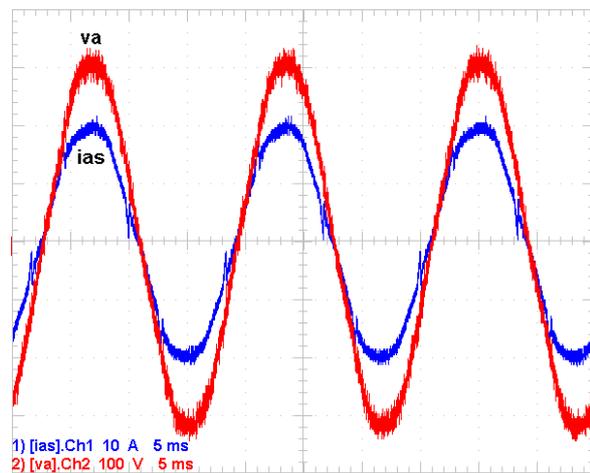
**Fig. 7.16 - Formas de onda e espectro harmônico das correntes da carga e da fonte para o caso 1.**

Uma pequena oscilação é verificada nas correntes da fonte, nos instantes de grandes variações das correntes da carga. A Fig. 7.17 ilustra simultaneamente as correntes da carga, do FAP e na fonte, onde fica evidente o princípio de funcionamento do FAP.

Conforme mostra a Fig. 7.17, a corrente drenada da fonte está praticamente em fase com sua respectiva tensão. Observa-se que a forma de onda da tensão encontra-se distorcida pela alta freqüência de comutação do FAP, mesmo com a inserção do filtro passivo de alta freqüência.



**Fig. 7.17 – Correntes na fonte, na carga e no FAP (fase a).**



**Fig. 7.18 – Tensão e corrente na fonte (fase a).**

A Tabela 7.4 resume os resultados experimentais obtidos com o FAP compensando a carga do caso 1. De forma semelhante aos resultados de simulação, o filtro ativo propiciou a redução da taxa de distorção harmônica das correntes drenadas da fonte, bem como elevou o fator de potência da estrutura. A potência ativa consumida pelo FAP é a diferença entre as potências drenadas pela fonte e pela carga.

**Tabela 7.4 - Resultados experimentais do FAP para o caso 1.**

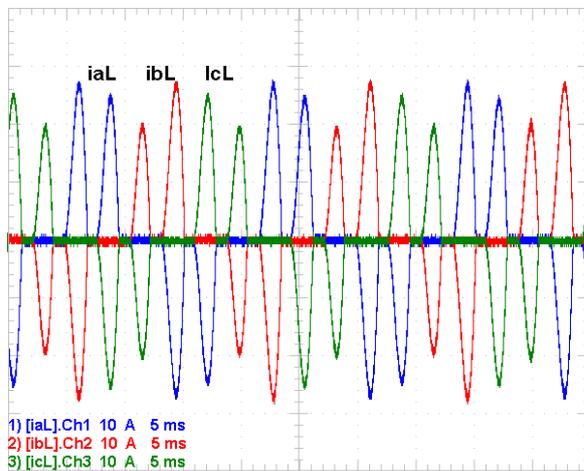
Fase-Medição	THDv	THDi	FP	S	P	Q
A - Fonte	2,012%	5,379%	0,993	3,2097kVA	3,1874kW	377,36VAR
B - Fonte	2,218%	5,269%	0,995	3,2369kVA	3,2214kW	316,42VAR
C - Fonte	2,347%	5,285%	0,995	3,2034kVA	3,1891kW	301,47VAR
A - Carga	2,012%	28,648%	0,960	3,2020kVA	3,0743kW	895,33VAR
B - Carga	2,218%	28,819%	0,962	3,1772kVA	3,0568kW	866,48VAR
C - Carga	2,347%	28,684%	0,963	3,1896kVA	3,0741kW	850,42VAR

### 7.3.4 Resultados Experimentais: Caso 2

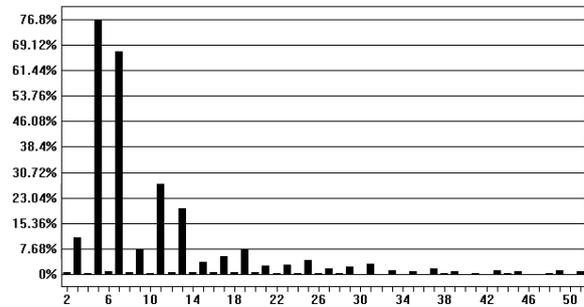
Os resultados experimentais obtidos com o FAP compensando uma carga do tipo retificador trifásico com filtro capacitivo são mostrados na Fig. 7.19.

As correntes da carga (Fig. 7.19a) apresentam-se fortemente distorcidas, com elevadas taxas de distorção harmônica. Observa-se que, diferentemente da simulação, as correntes da carga encontram-se ainda desbalanceadas. O espectro harmônico da

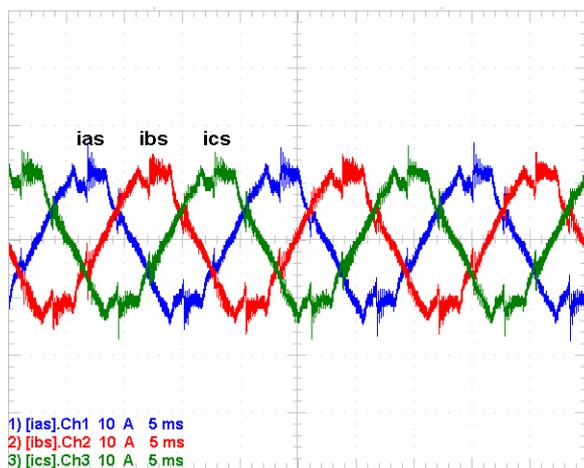
corrente da carga (Fig. 7.19c) evidencia a elevada magnitude dos componentes harmônicos de 5ª e 7ª ordem.



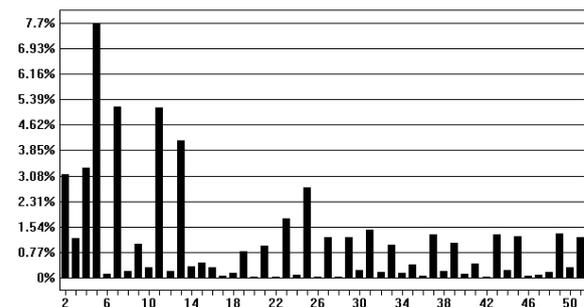
a) Correntes da Carga.



c) Espectro harmônico (% da fundamental) da corrente da carga - fase a.



b) Correntes na fonte.

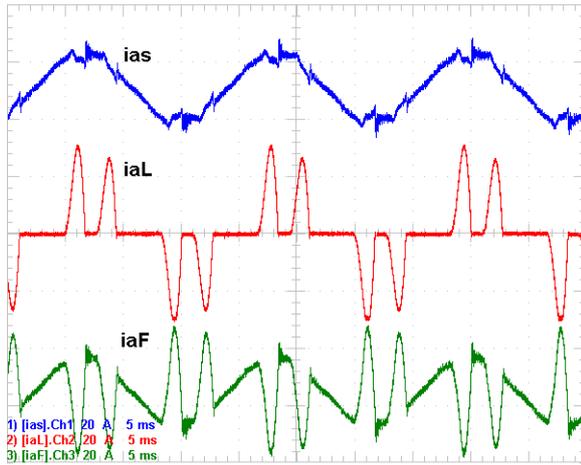


c) Espectro harmônico (% da fundamental) da corrente da fonte - fase a.

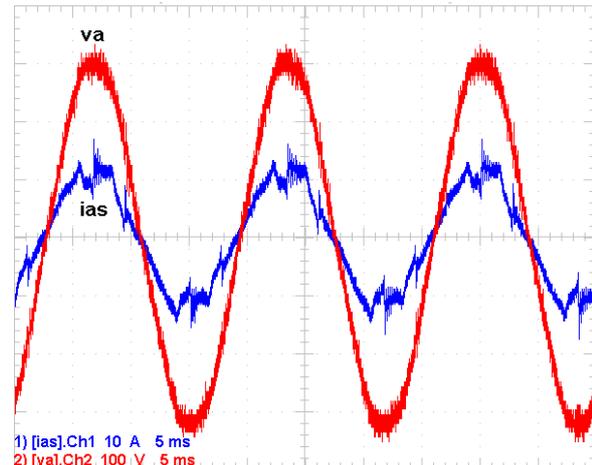
**Fig. 7.19 - Formas de onda e espectro harmônico das correntes da carga e da fonte para o caso 2.**

Embora as correntes drenadas da fonte (Fig. 7.19b) não sejam perfeitamente senoidais, nota-se que a operação do FAP garantiu uma grande redução do conteúdo harmônico destas correntes.

As formas de onda das correntes drenadas da fonte, da carga e do FAP são apresentadas na Fig. 7.20. A corrente e tensão da fase “a” na fonte são ilustradas na Fig. 7.21.



**Fig. 7.20 - Correntes na fonte, carga e FAP para o caso 2.**



**Fig. 7.21- Tensão e corrente na fonte para o caso 2.**

O resumo dos resultados experimentais, obtidos para o caso 2, é apresentado na Tabela 7.5. Conforme esperado, a THD das correntes da fonte foi atenuada pela ação do FAP. Verifica-se também que a elevação do fator de potência do sistema possibilitou uma considerável redução da potência aparente drenada da fonte.

**Tabela 7.5 - Resultados experimentais para o caso 2.**

Fase-Medição	THDv	THDi	FP	S	P	Q
A - Fonte	2,146%	13,468%	0,982	1,8666kVA	1,8333kW	351,1VAR
B - Fonte	2,062%	11,596%	0,984	1,8739kVA	1,8449kW	328,04VAR
C - Fonte	2,150%	10,929%	0,988	1,8608kVA	1,8395kW	280,69VAR
A - Carga	2,146%	108,955%	0,693	2,6138kVA	1,8117kW	1,8840kVAR
B - Carga	2,062%	113,612%	0,638	2,5876kVA	1,6512kW	1,9922kVAR
C - Carga	2,150%	114,291%	0,650	2,6434kVA	1,7207kW	2,0068kVAR

## 7.4 CONCLUSÕES

Foram apresentados neste capítulo os resultados obtidos através de simulação e experimentação prática do FAP. As mesmas condições de carga foram consideradas em ambos os casos, sendo que as respostas obtidas foram bastante semelhantes. Observa-se que, embora a distorção harmônica da rede não tenha sido anulada, a atuação do FAP proporcionou uma grande redução desta. Igualmente, verificou-se que presença do filtro ativo garantiu o aumento do fator de potência da instalação.

Nos testes com carga formada pelo retificador trifásico com carga resistiva (caso 1) o FAP apresentou uma boa resposta, propiciando baixa distorção harmônica das correntes drenadas da fonte. Uma pequena oscilação de corrente foi verificada durante as variações bruscas da corrente da carga, todavia as mesmas foram amortecidas pelo controle do FAP.

Para o caso 2 (retificador trifásico com filtro capacitivo), observou-se que o elevado fator de crista da carga implicou em um grande esforço para o FAP. Conforme esperado, os controladores utilizados nas malhas de corrente não garantiram erro nulo para as componentes harmônicas, e assim as correntes drenadas da fonte para esta situação apresentaram uma distorção ligeiramente superior a 10%. Entretanto, se este valor for comparado com a  $THD_i$  da carga (superior a 100%), constata-se que o FAP propiciou uma melhora considerável do perfil da corrente drenada da rede, bem como elevou o fator de potência do conjunto. Para este caso, foram verificadas oscilações mais severas, durante as variações bruscas das correntes da carga, sendo igualmente amortecidas pelo controle do FAP. É importante notar que a resposta do FAP pode ser sensivelmente melhorada se as indutâncias na entrada da carga forem aumentadas.

Em ambas as situações, simulação e prática, foi verificada uma pequena defasagem entre a tensão de fase e a respectiva corrente na fonte, onde a corrente apresentou-se ligeiramente adiantada. Cabe lembrar que o filtro de alta frequência drena corrente fundamental da rede, o que contribui para tal fato. Deve-se considerar ainda que o circuito PLL reconhece a fase da componente fundamental de seqüência positiva das tensões, e assim a fase imposta pelo sincronismo pode não coincidir com a fase da tensão, se o sistema estiver desequilibrado.

Por fim, tem-se que os resultados obtidos comprovam a metodologia utilizada na modelagem e projeto do filtro ativo.



---

---

## CONCLUSÃO GERAL

---

---

Este trabalho apresentou o estudo e implementação de um filtro ativo trifásico paralelo a três fios, com o objetivo de reduzir o conteúdo harmônico provocado por cargas comumente encontradas na indústria. Aspectos básicos sobre qualidade de energia, cargas não lineares e filtros ativos foram abordados no início do trabalho. Foi demonstrado que a estratégia utilizada para a determinação das correntes de referência do FAP tem relação direta na forma como este interfere no sistema elétrico. Igualmente, a escolha da estratégia é determinante no tocante à versatilidade e complexidade do projeto, o que naturalmente afeta o custo deste.

A estratégia baseada no sistema de referência síncrona foi adotada para o controle do FAP, por possibilitar que as correntes totais drenadas da rede sejam senoidais e equilibradas, independentemente da forma das tensões. No caso onde as tensões da rede são perfeitamente equilibradas e senoidais, esta metodologia faz com que o fator de potência do conjunto carga e FAP seja unitário, bem como a potência drenada da fonte seja constante. Uma análise matemática sobre a representação dos harmônicos sobre os eixos síncronos foi apresentada, a qual propiciou embasamento para a elaboração da estratégia e projeto dos controladores.

A utilização de um circuito de sincronismo PLL digital permitiu a sincronização do algoritmo com a fase da componente fundamental de seqüência positiva da rede, através da leitura de apenas duas tensões do sistema. Uma metodologia de projeto para o filtro de malha (controlador PI) do circuito PLL foi apresentada, sendo que a eficiência e robustez deste circuito foram verificadas através de diversas simulações numéricas.

O inversor trifásico VSI foi empregado no estágio de potência do FAP. A utilização da transformada de Park no modelo matemático do conversor permitiu uma representação simples e precisa da estrutura. O modelo empregado, além de reduzir o número de controladores necessários para o controle das correntes, garantiu uma grande integração com a estratégia utilizada na determinação das referências do FAP.

Foi apresentado um estudo qualitativo e quantitativo sobre a influência dos principais elementos do controle digital, quando da utilização deste em conversores estáticos com modulação PWM. Verificou-se que o circuito PWM digital, o tempo de

processamento e o filtro *antialiasing* afetam consideravelmente a dinâmica do sistema de controle, uma vez que reduzem a fase deste. Como esta redução de fase é proporcional ao aumento da frequência, logo o efeito resultante é particularmente crítico no controle das correntes do FAP, onde a frequência de cruzamento da FTLA é bastante elevada. O emprego de um circuito PWM digital com dupla atualização de razão cíclica possibilitou amenizar, em parte, os referidos efeitos.

Com base nos modelos matemáticos, que quantificam os efeitos provocados pelo PWM digital e atraso computacional, foi possível projetar os controladores de corrente do FAP de forma simples e em tempo contínuo, utilizando métodos clássicos de controle baseados na resposta em frequência do sistema. Embora os controladores PI sejam normalmente empregados no controle linear de filtros ativos, a escolha da estrutura tipo PID garantiu maior liberdade no projeto, bem como possibilitou compensar parcialmente os efeitos de redução de fase dos elementos digitais do controle. Os controladores discretos foram então facilmente obtidos, através da discretização daqueles projetados em tempo contínuo.

Para a verificação e comprovação da metodologia, diversas simulações foram realizadas. O retificador trifásico a diodos com filtro capacitivo e o retificador trifásico a diodos alimentando carga resistiva pura foram considerados nos testes do FAP. Estas cargas apresentam a característica comum de possuírem elevadas derivadas de corrente, entretanto diferem quanto ao fator de crista, de valor apreciável na estrutura com filtro capacitivo.

Um protótipo de 10kVAR foi implementado em laboratório para a validação prática do estudo realizado. As cargas utilizadas para os testes do protótipo foram as mesmas daquelas empregadas nas simulações. Os resultados obtidos em laboratório foram bastante semelhantes aos obtidos por simulação, o que indica que a representação do sistema no simulador foi adequada. Verificou-se que em todos os casos o FAP atuou de forma satisfatória, propiciando uma grande redução da distorção harmônica das correntes da carga e elevando conseqüentemente o fator de potência do conjunto. Na situação onde o FAP compensou a carga do tipo retificador trifásico com filtro capacitivo, a distorção harmônica das correntes drenadas da fonte foi de aproximadamente 10%. Embora este valor seja ainda elevado, o mesmo representa menos que uma décima parte da distorção harmônica da carga sem o filtro ativo.

O filtro ativo trifásico implementado apresentou uma boa resposta dinâmica, ainda que as restrições impostas pelo controle digital sejam fatores desfavoráveis para tal. Como esperado, o sistema de controle empregado não garantiu erro nulo para as

---

correntes harmônicas geradas pelo FAP. Neste contexto, a utilização de controladores mais elaborados, como os baseados no princípio do modelo interno senoidal, pode ser uma alternativa para o aprimoramento dinâmico da estrutura. Os controladores repetitivos são um exemplo, mostrando-se interessantes para a minimização de erros periódicos de um sistema dinâmico.

As estruturas baseadas no conceito generalizado de integrador possibilitam um ganho infinito na frequência ressonante selecionada, constituindo assim, uma ótima alternativa para a compensação de sinais não contínuos [17]. No caso de filtros ativos, vários destes controladores podem ser colocados em paralelo, sintonizados em cada frequência harmônica. Cabe aqui lembrar que, conforme o estudo apresentado no capítulo 3, os harmônicos de corrente no sistema *abc* aparecem com frequências distintas sobre os eixos síncronos. E ainda, para uma dada carga trifásica equilibrada, as componentes de 5ª e 7ª ordem aparecem sobre os eixos com a mesma frequência, o mesmo acontecendo para vários outros pares de harmônicos. Tal fato naturalmente reduz a quantidade de controladores ressonantes, facilitando a implementação do sistema de controle.

Outra possível alternativa para melhorar a dinâmica do sistema seria a utilização de controladores preditivos, os quais possibilitam uma rápida resposta dinâmica, particularmente interessante no controle de filtros ativos.

Como sugestão para trabalhos futuros, os seguintes tópicos são apresentados:

- Estudo de técnicas de controle mais elaboradas, para melhorar a resposta dinâmica do FAP;
- Implementação de um filtro ativo com filtragem seletiva de harmônicos, com base na estratégia aqui utilizada;
- Investigação da possibilidade de utilização da presente estratégia para o controle de retificadores híbridos.



## ANEXO A - PROJETO FÍSICO DO INDUTOR

### Especificações Iniciais:

$$Q_{\text{filtro}} := 10000 \text{V} \cdot \text{A}$$

$$\rho := 0.05$$

Fator de perdas da estrutura

$$V_{\text{rms}} := 220 \text{V}$$

$$f_{\text{sw}} := 19980 \text{Hz}$$

$$L_{\text{F}} := 1.75 \text{mH}$$

$$I_{\text{p}} := 32.68 \text{A}$$

Corrente de pico obtida por simulação

$$I_{\text{rms}} := \frac{Q_{\text{filtro}}}{3 \cdot V_{\text{rms}} \cdot (1 - \rho)} \quad I_{\text{rms}} = 15.949 \text{A} \quad \text{Corrente eficaz}$$

O indutor será projetado com base no procedimento apresentado no catálogo do fabricante (Magnetics).

Determinação do fator  $L^2$ , sendo L em milihenrys e i a corrente de pico em amperes.

$$L_{\text{n}} := L_{\text{F}} \cdot 1000$$

$$L_{\text{n}} = 1.75 \text{H}$$

Valor da indutância requerida em mH

$$Li2 := L_{\text{n}} \cdot I_{\text{p}}^2$$

$$Li2 = 1868.9692 \text{J}$$

Valor de  $Li^2$

Núcleo escolhido: **Kool M $\mu$  77908-A7**

Número de Núcleos em cada indutor:

$$N_{\text{n}} := 3$$

$$L_{1000\text{N}} := 37 \text{mH}$$

$$L_{1000\text{N}} = 0.037 \text{H}$$

Valor da indutância para 1000 espiras, dada pelo fabricante

$$L_{1000} := L_{1000\text{N}} \cdot (1 - 0.08)$$

$$L_{1000} = 0.034 \text{H}$$

Valor da indutância mínima

$$N_{\text{e}} := \text{ceil} \left( \sqrt{\frac{L_{\text{F}} \cdot 10^6}{L_{1000} \cdot N_{\text{n}}}} \right)$$

$$N_{\text{e}} = 131$$

Número de espiras do indutor

**Determinação do condutor, fator de ocupação e comprimento médio das espiras**

$$\Delta := \frac{7.5s^{-0.5} \cdot \text{cm}}{\sqrt{f_{\text{sw}}}} \quad \Delta = 5.3059545 \times 10^{-4} \text{ m} \quad \text{Profundidade de penetração}$$

$$D_{\text{max}} := 2\Delta \quad D_{\text{max}} = 1.0611909 \times 10^{-3} \text{ m} \quad \text{Diâmetro máximo do Condutor}$$

O condutor AWG18 contempla os requisitos para alta frequência, porém serão utilizados condutores AWG25 para facilitar a montagem.

$$J := 450 \frac{\text{A}}{\text{cm}^2} \quad \text{Densidade de Corrente}$$

$$S_{25} := 0.001624 \text{ m}^2 \quad \text{Área de cobre do condutor AWG25}$$

$$S := \frac{I_{\text{rms}}}{J} \quad S = 3.544 \times 10^{-6} \text{ m}^2 \quad \text{Área de cobre necessária}$$

$$N_c := \text{ceil}\left(\frac{S}{S_{25}}\right) \quad N_c = 22 \quad \text{Número de condutores AWG25}$$

$$A_w := 17.99 \text{ cm}^2 \quad \text{Área da janela do núcleo (catálogo)}$$

**Fator de Ocupação:**

$$S_{25\text{iso}} := 0.002078 \text{ m}^2 \quad \text{Área do condutor AWG25 com isolamento}$$

$$F_o := \frac{S_{25\text{iso}} \cdot N_c \cdot N_e}{A_w} \quad F_o = 0.3329 \quad \text{Fator de Ocupação}$$

Segundo o fabricante, o comprimento médio das espiras conforme o fator de ocupação é:

$$\text{Para } 100\% \quad L_e = 11 \text{ cm}$$

$$\text{Para } 60\% \quad L_e = 9.24 \text{ cm}$$

$$\text{Para } 40\% \quad L_e = 7.53 \text{ cm}$$

$$L_e := 9.5 \text{ cm} \quad \text{Será considerado um tamanho médio de espira de 9.5 cm}$$

$$h := 1.6 \text{ cm} \quad \text{Altura do núcleo}$$

$$L_{eT} := \begin{cases} L_e & \text{if } N_n \leq 1 \\ L_e + 2(N_n - 1) \cdot h & \text{otherwise} \end{cases}$$

$$L_{eT} = 0.159 \text{ m} \quad \text{Comprimento total para } N_n \text{ núcleos}$$

**Tamanho do Chicote em metros :**

$$L_{\text{con}} := 2 \cdot 30 \text{ cm} \quad 30 \text{ cm para cada conexão}$$

$$L_{\text{ch}} := N_e \cdot L_{eT} + L_{\text{con}} \quad L_{\text{ch}} = 21.429 \text{ m}$$

---

## ANEXO B - DIAGRAMAS ESQUEMÁTICOS DO PROTÓTIPO

Os diagramas esquemáticos e *layouts* das placas de circuito impresso do protótipo são mostrados a seguir, conforme as figuras:

Fig. B.1 - Diagrama do circuito de potência e leitura das variáveis.

Fig. B.2 - Diagrama esquemático do circuito de condicionamento analógico do FAP.

Fig. B.3 - Diagrama esquemático da placa de condicionamento digital do FAP.

Fig. B.4 - Layout da placa de condicionamento analógico.

Fig. B.5 - Layout da placa de condicionamento digital do FAP.

Fig. B.6 - Layout do Kit de desenvolvimento.

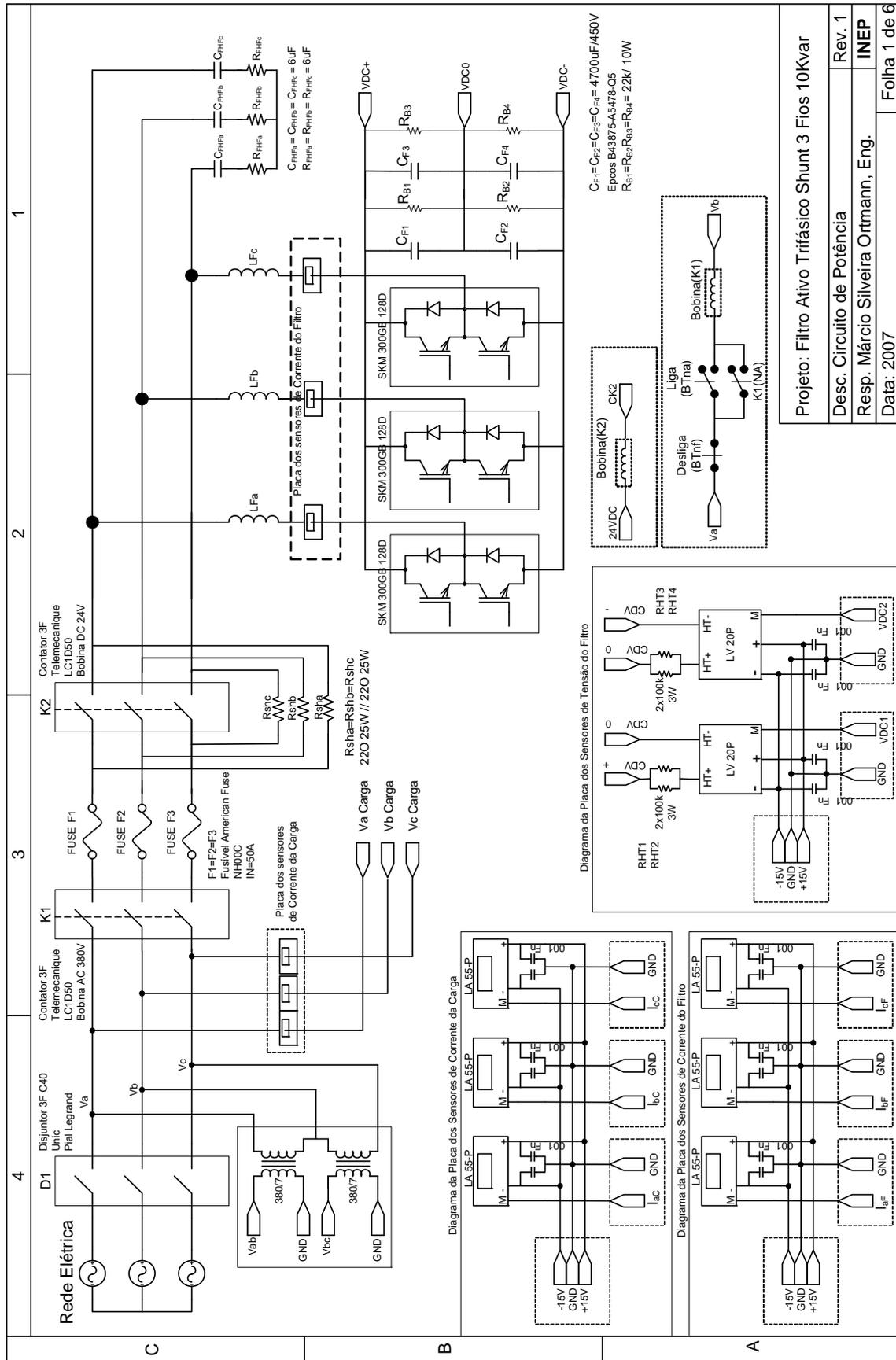


Fig. B.1 - Diagrama do circuito de potência e leitura das variáveis.



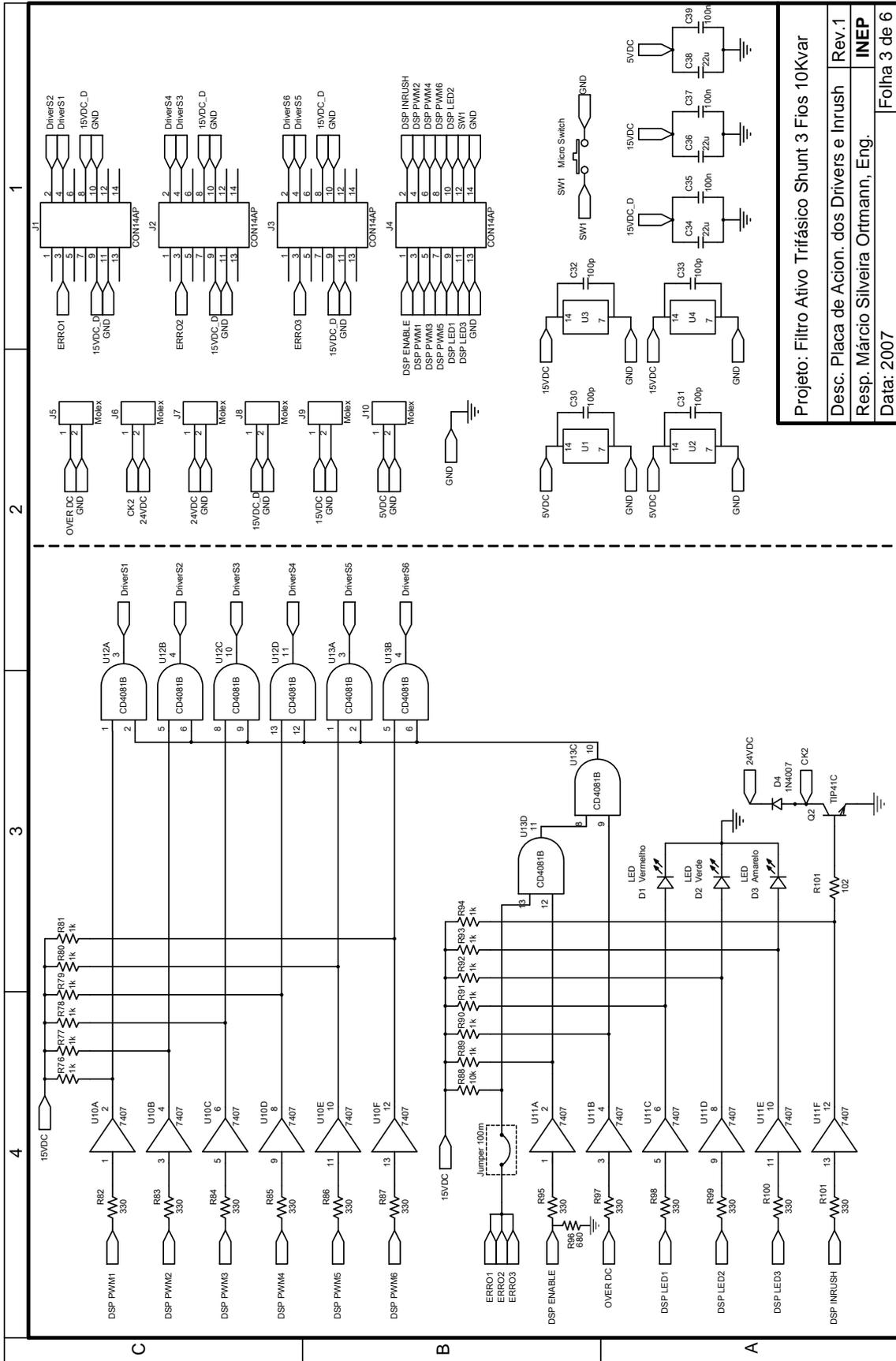


Fig. B.3 - Diagrama esquemático da placa de condicionamento digital do FAP.

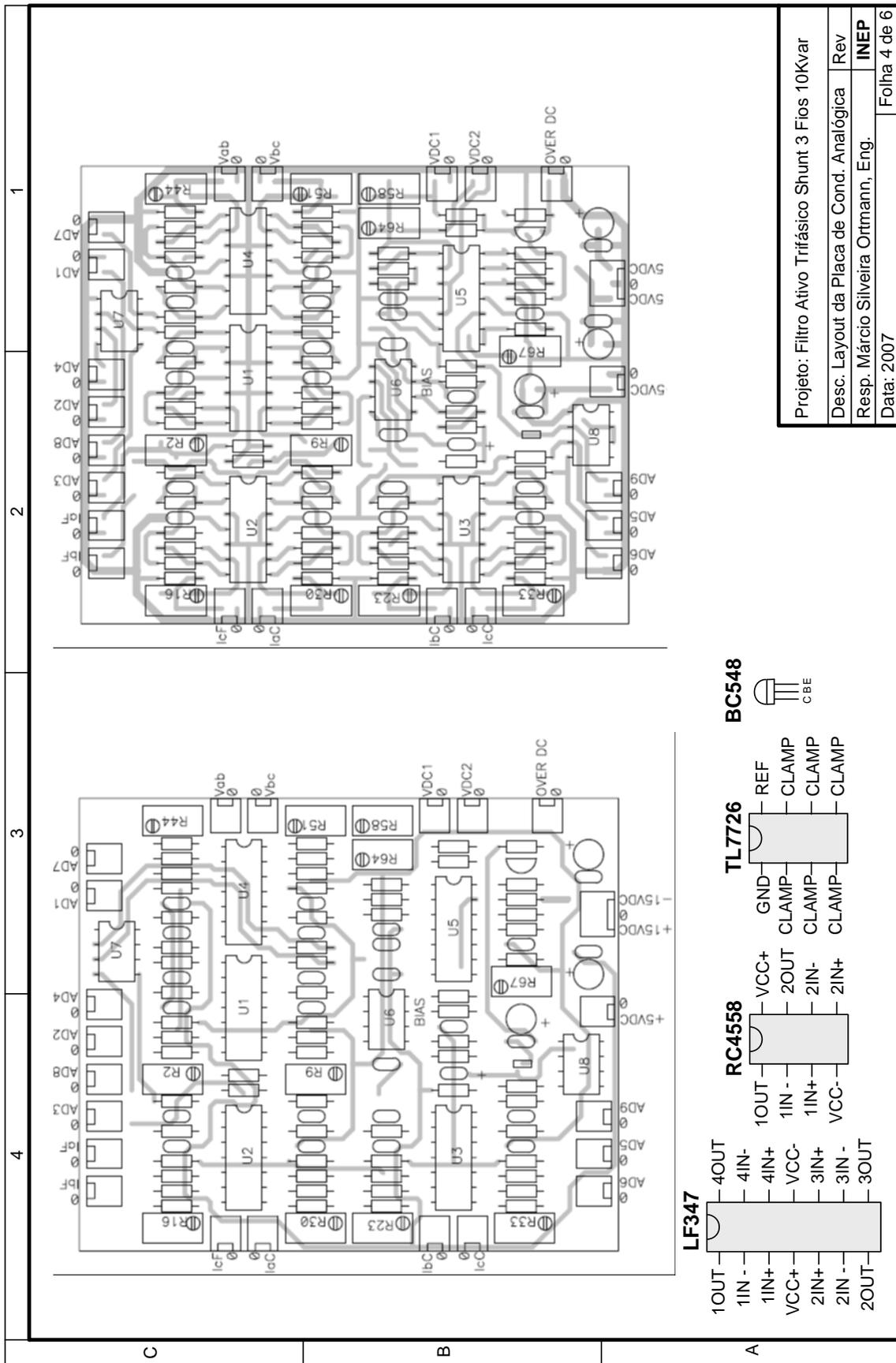


Fig. B.4 - Layout da placa de condicionamento analógico.





# ANEXO C - DIAGRAMA ESQUEMÁTICO DO CIRCUITO DE SIMULAÇÃO

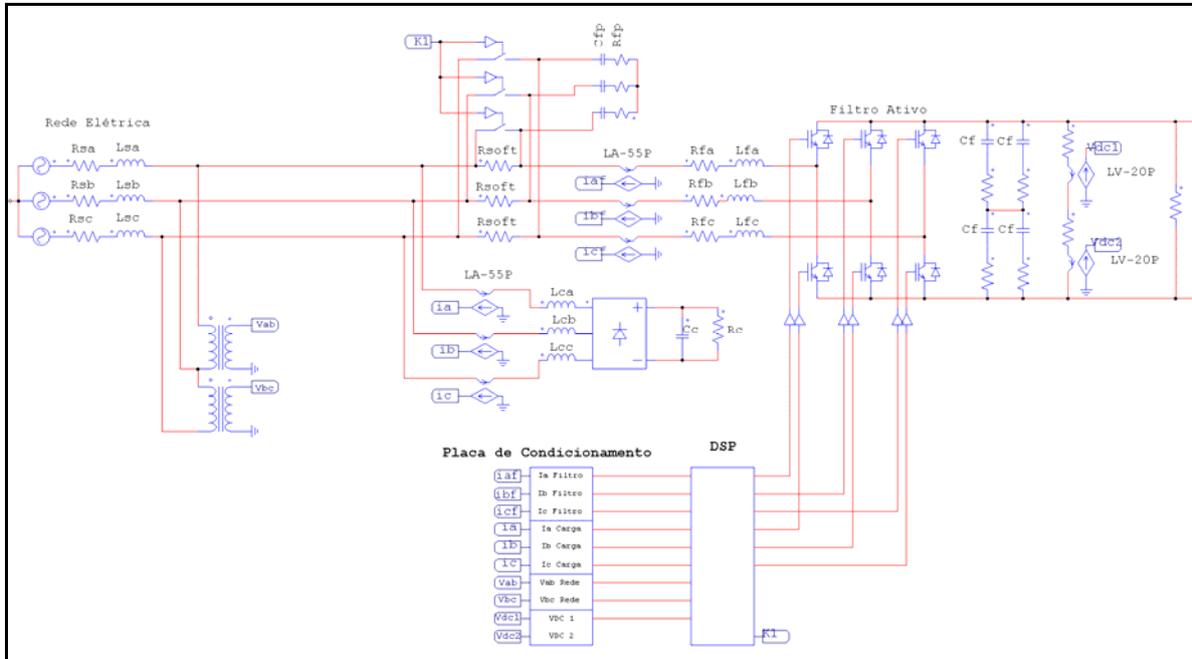


Fig. C.1 - Diagrama geral do circuito esquemático simulado.

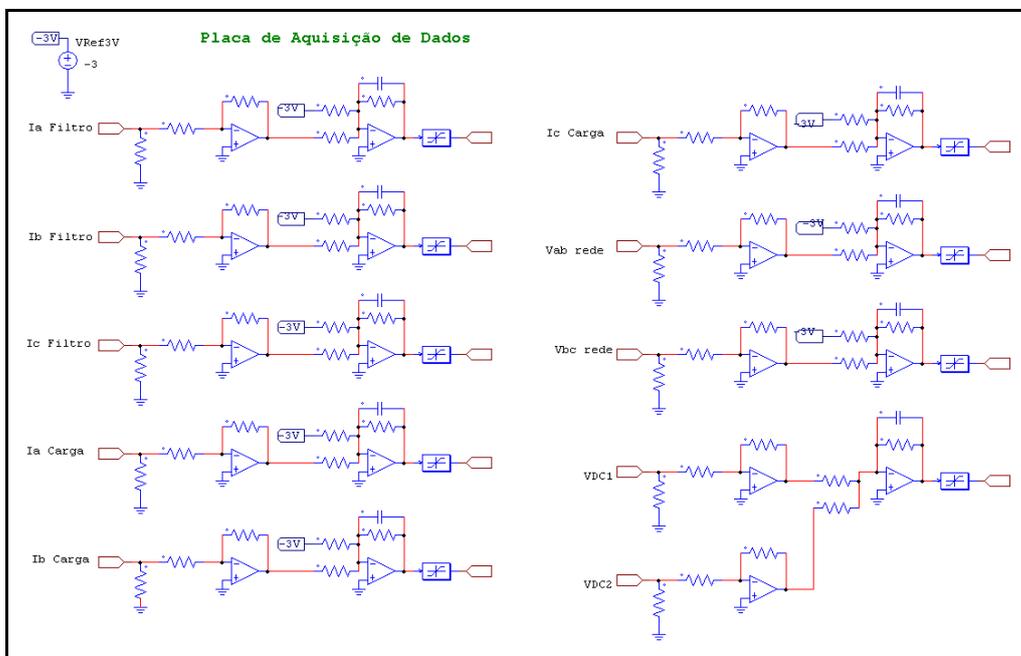


Fig. C.2 - Diagrama do sistema de aquisição simulado.

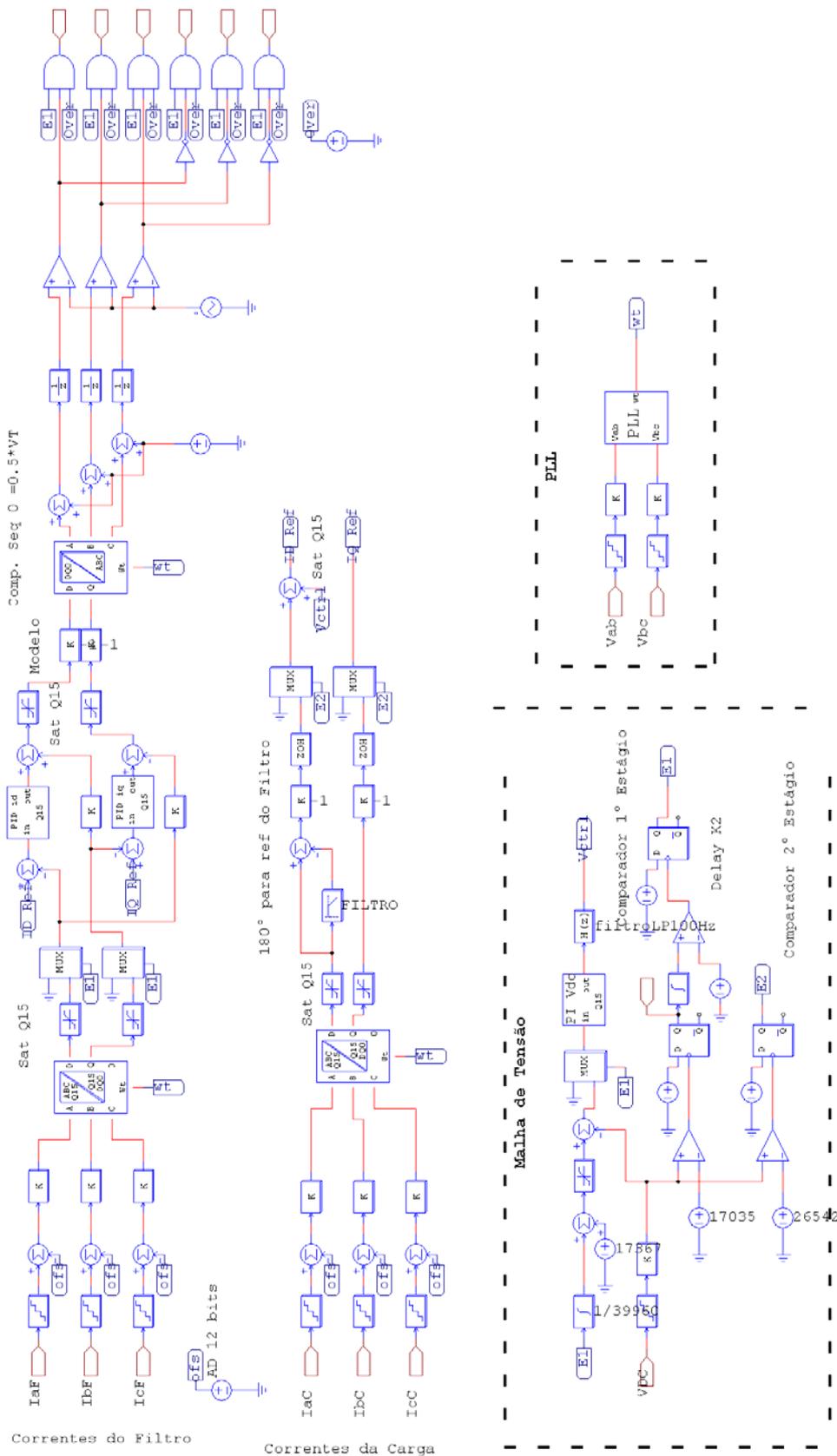
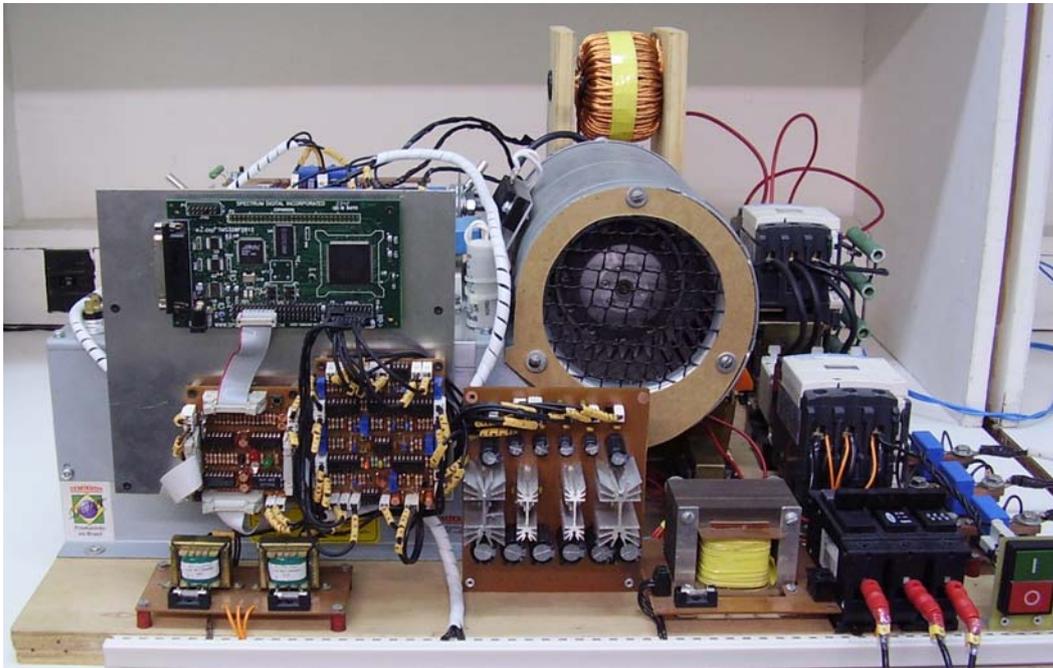
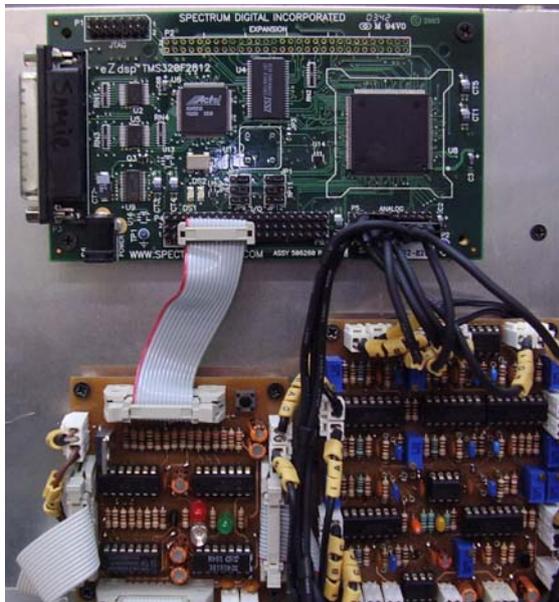


Fig. C.3 - Circuito de controle simulado.

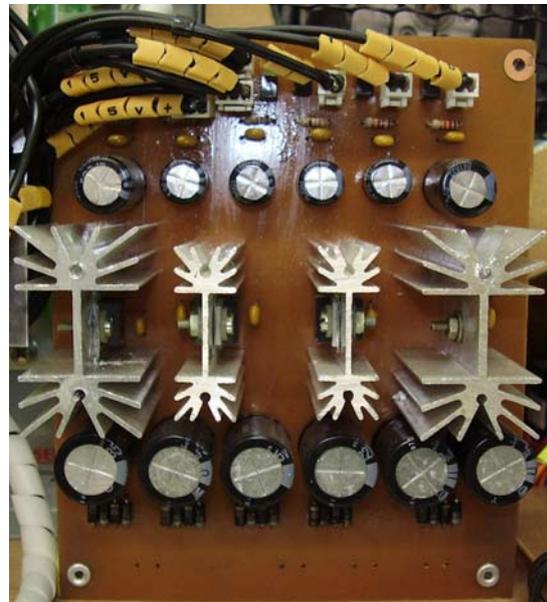
## ANEXO D - FOTOS DO PROTÓTIPO



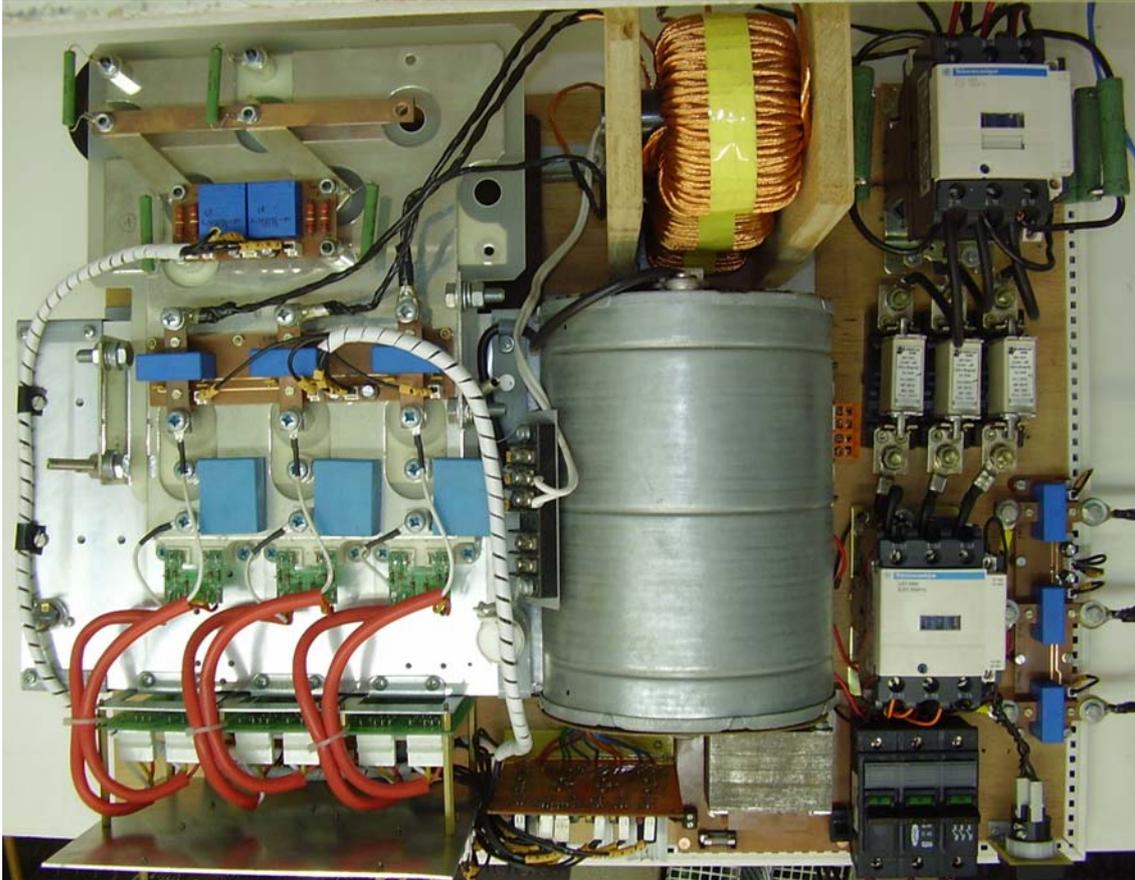
*Fig. D.1 - Foto frontal do protótipo.*



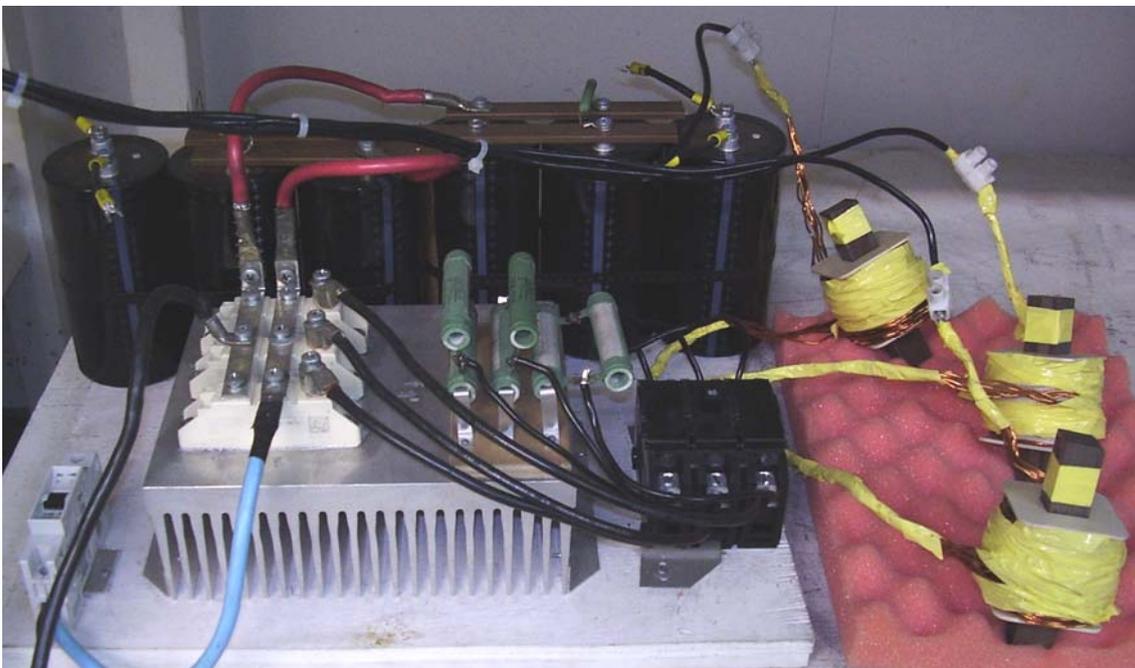
*Fig. D.2 - Placa de controle do FAP*



*Fig. D.3 - Fonte de alimentação auxiliar.*



*Fig. D.4 - Vista superior do protótipo.*



*Fig. D.5 - Retificador trifásico com filtro capacitivo.*



---

---

## REFERÊNCIAS BIBLIOGRÁFICAS

---

---

- [1] POTTKER, F. Correção do Fator de Potência para Instalações de Baixa Potência Empregando Filtros Ativos. Tese de Doutorado. INEP-PGEEL-UFSC. Florianópolis, 2000.
- [2] AKAGI H., "Active Harmonic Filters", IEEE Proc., vol. 93, no. 12, pt. B, pp. 2128–2141, 2005.
- [3] DUGAN, R. C., McGRANAGHAN, M. F. McGranaghan, BEATY, H. W., *Electrical Power Systems Quality*, 1ª Ed., New York: McGraw-Hill, 1996, pp. 1–260.
- [4] KASSICK, E. V. Harmônicas em Sistemas Industriais de Baixa Tensão. CIPEEL, UFSC, INEP, SC, Brasil, 2004.
- [5] INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, IEEE Recommended Practices for Harmonic Control in Electric Power System, IEEE 519, 1992.
- [6] INTERNATIONAL ELETROTECHNICAL COMISSION, IEC 61000-3-2 International Standard, Geneve-Switzerland, 1998.
- [7] INTERNATIONAL ELETROTECHNICAL COMISSION, IEC 61000-3-4 International Standard, Geneve-Switzerland, 1998.
- [8] AGÊNCIA NACIONAL DE ENERGIA ELÉTRICA – Aneel (2005), "Procedimentos de distribuição de energia elétrica no sistema elétrico nacional – Prodist módulo 8 – qualidade da energia elétrica", de 24/8/2005.
- [9] MOHAN, N., UNDELAND, T.M., ROBBINS, W.P. Power Electronics: Converters, Applications, and Design. Second Edition. New York: J. Wiley, 1995.
- [10] WEG. CFW08 Manual do Usuário Inversor de Frequência. Abril 2006.

- [11] PENG, F.Z., AKAGI H., NABAE, A., "A New Approach to Harmonic Compensation in Power Systems" IAS Annual Meeting, 1988, Conference Record of the 1988 IEEE, pp874-880.
- [12] GYUGYI, L., STRYCULA, E. C., "Active ac Power Filters", in Proc. IEEE Ind. Appl. Ann. Meeting, vol. 19-C, 1976, pp. 529-535.
- [13] LINDEKE, D. Projeto de um Filtro Ativo de 1kVA Usando Técnicas de Controle Analógico e Digital. Dissertação de Mestrado. INEP-PGEEL-UFSC. Florianópolis, 2003.
- [14] MORAN, S. "A line voltage regulator/conditioner for harmonic sensitive load isolation", IEEE/IAS, Annual Meeting, pp.947-951, 1989.
- [15] GYUGY, L. A Unified Power Flow Control Concept for Flexible AC Transmission Systems. Inst. Elect. Eng. Proc., Vol. 139, pt. C, no. 4, p. 323-331, 1991.
- [16] AREDES, M. Active Power Line Conditioners. Tese de Doutorado. Vom Fachbereich 12 Elektrotechnik der Technischen Universität Berlin. Berlin. 1996.
- [17] ASIMINOAEI, L. BLAABJERG, F. HANSEN, S. "Evaluation of harmonic detection methods for active power filter applications". Applied Power Electronics Conference and Exposition, 2005. APEC 2005. Twentieth Annual IEEE.
- [18] AREDES, M., NETO, J.A.M., SIQUEIRA, M.J.V., MONTENEGRO, J.C. "Filtros Ativos Paralelos: Um Enfoque Quanto a Eficácia de Três Estratégias de Controle" II Congresso de Inovação Tecnológica em Energia Elétrica, 2003.
- [19] FENILI, M.P. Estudo e Implementação de um Filtro Ativo Paralelo Monofásico de 8kVA Dissertação de Mestrado. INEP-PGEEL-UFSC, Florianópolis, 2007.
- [20] HUANG, S-J, WU, J-C, "A Control Algorithm for Three-Phase Three-Wired Active Power Filters Under Nonideal Mains Voltages" IEEE Trans. On Power Electronics, Vol. 14, NO. 4, July 1999.
-

- [21] BHATTACHARYA, S., DIVAN, D. M., BANERJEE, B., "Synchronous Frame Harmonic Isolator Using Active Series Filter", Proceedings of the European Power Electronics Conference EPE'91, Firenze, Italy, pp. 3-030-3-035.
- [22] BUSO, S., MALESANI, L., MATTAVELLI, P. "Comparison of Current Control Techniques for Active Filter Applications" Trans. On Industrial Electronics, Vol 45, NO. 5, OCT. 1998.
- [23] BATISTA, F.A.B., Modulação Vetorial Aplicada a Retificadores Trifásicos PWM Unidirecionais. Tese de Doutorado. INEP-PGEEL-UFSC. Florianópolis 2006.
- [24] BARBI, Ivo; Teoria Fundamental do Motor de Indução. Florianópolis: Editora da UFSC-Eletróbrás, 1985.
- [25] WATANABE, E. H., AREDES, M., "Teoria de potência Ativa e Reativa Instantânea e Aplicações – Filtros Ativos e FACTS," in Proc. IEEE CBA'98, 1998, pp. 81-122.
- [26] FONT, C.H.I.; BATISTA, F.A.B.; ALVES, R.L., "Retificador Trifásico PWM com Elevado Fator de Potência Utilizando a Transformação de Park: Abordagem por Variáveis de Fase". Relatório Interno. INEP. Florianópolis. 2003.
- [27] HOLDEFER, A. E.; Controle Digital de Retificador Trifásico Utilizando Controlador DSP TMS320F243. Florianópolis, 2001. Dissertação de Mestrado em Engenharia Elétrica- INEP, UFSC.
- [28] ROLIM, L.G.B., COSTA Jr., D.R., AREDES, M., "Analysis and Software Implementation of a Robust Synchronizing PLL Circuit Base on the pq Theory", IEEE Trans. On Industrial Electronics, vol. 53, no. 6, pp. 1919-1926, Dec. 2004.
- [29] SASSO, E. M., SOTELO, G. G., FERREIRA, A. A., WATANABE, E. H., M. et. al., "Investigação dos Modelos de Sincronismo Trifásicos Baseados na Teoria das Potências Real e Imaginária Instantâneas (p-PLL e q-PLL)," (in Portuguese), in Proc. XV CBA, Natal, Brazil, pp. 480-485, Sep. 2002.

- [30] BORGONOVO, D. Modelagem e Controle de Retificadores Trifásicos PWM Empregando a Transformação de Park. Dissertação de Mestrado. INEP-PGEEL-UFSC. Florianópolis. 2001.
- [31] DE MORAIS, A. S., Redistribuidor de Potência Aplicado a Transformadores de Distribuição de Energia Elétrica. Projeto de Tese de Doutorado. INEP-PGEEL-UFSC. Florianópolis, 2005.
- [32] BARBI, Ivo. Eletrônica de Potência. 4ª Edição. Edição do Autor. Florianópolis, 2002.
- [33] LEM, *datasheet* Current Transducer LA-55P. [www.lem.com](http://www.lem.com)
- [34] LEM, *datasheet* Voltage Transducer LV-25P. [www.lem.com](http://www.lem.com)
- [35] BHATTACHARYA, S., FRANK, T. M., DIVAN, D. M., and BANERJEE, B., "Parallel Active Filter System Implementation and Design Issues for Utility Interface of Adjustable Speed Drive Systems," in Conf. Rec. of IEEE-IAS, Vol. 2, 1996, pp. 1032-1039.
- [36] FRANKLIN, Gene F., POWELL, J. David, WORKMAN, Michael L., Digital Control of Dynamic Systems. Third Edition. Addison Wesley Longman, Inc. 1998.
- [37] OGATA, Katsuhito, Discrete-time control system. 2 ed. New Jersey, Prentice-Hall, Inc., 1995.
- [38] BUSO, S., MATTAVELLI, P., Digital Control in Power Electronics. First Edition, Morgan & Claypool, 2006.
- [39] SYPE, D. M. V., DEGUSSEME, K., BOSSHE, A. R. V., MELKEBEEK, J. A. "Small Signal Laplace-domain analysis of uniformly-sampled pulse width modulators," Proc. Of the 35<sup>th</sup> Ann. Power Electron. Spec. Germany, 2004.
- [40] TEXAS INSTRUMENTS. TMS320F2810, TMS320F2811, TMS320F2812, TMS320C2810, TMS320C2811, TMS320C2812, Digital Signal Processors Data Manual. Literature number: SPRS174N, Apr. 2001.
-

- 
- [41] TEXAS INSTRUMENTS. TMS320F28x Event Manager (EV) Peripheral Reference Guide Module Reference Guide. Literature number SPRU065C, Nov. 2004.
- [42] TEXAS INSTRUMENTS. TMS320F28x Analog-to-Digital Converter (ADC) Peripheral Reference Guide. Literature number SPRU060B, June. 2002.
- [43] TEXAS INSTRUMENTS. TMS320F28x External Interface (XINTF) Peripheral Reference Guide. Literature number SPRU060B, May 2002.
- [44] TEXAS INSTRUMENTS. TMS321x281x DSP System Control and Interrupts Reference Guide. Literature number SPRU078B, Apr. 2002.
- [45] TOMASELLI, L.C. Controle de um Pré-Regulador com Alto Fator de Potência Utilizando o controlador DSP TMS320F243. Dissertação de Mestrado. INEP-PGEEL-UFSC. Florianópolis, 2001.
- [46] NORMEY- RICO, J., Controle Preditivo de Processos com Grandes Atrasos de Transporte. Minicurso.
- [47] TEXAS INSTRUMENTS Filter Library, Module user's Guide C28X Foundation Software, May 2002.
- [48] SPECTRUM DIGITAL eZdsp™ F2812, Technical Reference, Sept. 2003.
- [49] TEXAS INSTRUMENTS C28x Fixed-Point Math Library. Literature number SPRC085, Oct. 2005.