

ALESSANDRO DE SOUZA LIMA

**CÉLULAS SRAM DE ULTRA BAIXA TENSÃO
COM POLARIZAÇÃO DE SUBSTRATO**

Florianópolis
2008

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA**

**CÉLULAS SRAM DE ULTRA BAIXA TENSÃO
COM POLARIZAÇÃO DE SUBSTRATO**

Dissertação submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a
obtenção do grau de Mestre em Engenharia Elétrica

ALESSANDRO DE SOUZA LIMA

Florianópolis, Setembro de 2008

CÉLULAS SRAM DE ULTRA BAIXA TENSÃO COM POLARIZAÇÃO DE SUBSTRATO

Alessandro de Souza Lima

‘Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em *Comunicações e Processamento de Sinais*, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’



Prof. Sidnei Noceti Filho, D.Sc.
Orientador

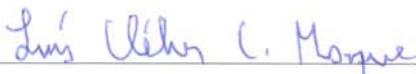


Prof. Kátia Campos de Almeida, Ph. D.
Coordenadora do Programa de Pós-Graduação em Engenharia Elétrica

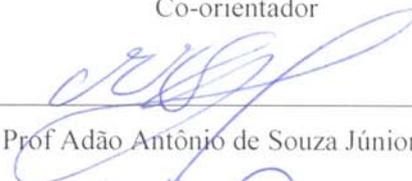
Banca Examinadora:



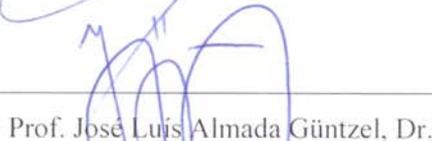
Prof. Sidnei Noceti Filho, D.Sc.
Presidente



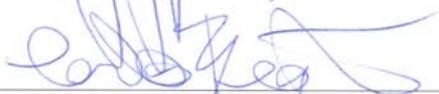
Prof. Luís Cléber Carneiro Marques, Dr.
Co-orientador



Prof Adão Antônio de Souza Júnior, Dr.



Prof. José Luís Almada Güntzel, Dr.



Prof. Carlo Requião da Cunha, Ph. D.

“À minha filha Anne Lauren.”

AGRADECIMENTOS

Ao meu orientador Sidnei Noceti Filho pelo fundamental apoio e crédito para que este trabalho fosse concluído.

Ao meu co-orientador, colega e amigo Luís Cléber Carneiro Marques pelo incentivo e exemplo de amizade e profissionalismo.

Aos colegas e professores do Laboratório de Circuitos Integrados pela ajuda ímpar, principalmente, durante o tempo que permaneci em Florianópolis.

Aos membros da banca Adão Antônio de Souza Júnior, José Luís Almada Güntzel e Carlo Requião da Cunha pelas contribuições a fim de melhorar este trabalho.

Aos professores do Curso de Eletrônica do CEFET-RS por permitirem e sustentarem meu afastamento.

Aos meus irmãos Guilherme Holsbach Costa, Marcelo e Márcio Bender Machado para os quais não existem palavras que representem minha gratidão.

À minha segunda família, formada por Evanira Holsbach, Sibebe Costa, Márcio e Elena, Clarissa, pelo aconchego do lar e atenção nos momentos difíceis.

À minha mãe Gilcléres e minha irmã Ana Cláudia pelo apoio incondicional, incentivo, força e todos os infinitos sentimentos que nos unem.

Ao meu pai Cláudio pelo exemplo de honestidade e pelo apoio automotivo.

À toda a minha família, sem a qual não teria conseguido permanecer em Florianópolis.

À minha noiva Cláudia por entender e suportar minha ausência em um momento único de nossas vidas.

E em especial, à minha filha Anne Lauren por ter de enfrentar minha ausente presença durante seus primeiros anos de vida.

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

CÉLULAS SRAM DE ULTRA BAIXA TENSÃO COM POLARIZAÇÃO DE SUBSTRATO

Alessandro de Souza Lima

Setembro/2008

Orientador: Sidnei Noceti Filho, D.Sc.

Co-orientador: Luís Cléber Carneiro Marques, Dr.

Área de Concentração: Comunicações e Processamento de Sinais.

Palavras-chave: Transistor MOS, célula SRAM, ultra baixa tensão, polarização de substrato.

Número de Páginas: 93

Esta dissertação visa o estudo da célula SRAM de 6 transistores, utilizando tecnologia CMOS convencional, operando em ultra baixa tensão de alimentação e conseqüentemente com baixo consumo. Para isso, os transistores MOS deverão operar no regime de inversão fraca. Nesse regime, as correntes dos transistores dependem exponencialmente das tensões aplicadas aos transistores e dos parâmetros tecnológicos. Descasamento entre transistores causados por variações no processo de fabricação afeta diretamente o comportamento dos circuitos. Operando com ultra baixa tensão de alimentação, circuitos digitais têm seus desempenhos significativamente diminuídos. Para reduzir o impacto causado pela redução da alimentação, a utilização de técnicas de polarização de substrato é empregada a fim de melhorar o desempenho dos circuitos. Utilizando circuitos de polarização de substrato também dependentes dos mesmos parâmetros tecnológicos dos circuitos a que serão aplicados, a polarização de substrato ajuda na compensação das variações causadas no processo de fabricação. Neste trabalho, foram estudados circuitos bastante simples para a polarização de substrato dos transistores que formam a célula SRAM. Utilizando simulações, com a tecnologia TSMC 0,18 μ m, comparativos entre células SRAM utilizando polarização de substrato avaliaram o efeito sobre a SNM (Margem de Ruído Estático) e sobre a velocidade (de estabilização em um nível lógico definido) da célula SRAM. Pela simplicidade e tamanho reduzido, os circuitos de polarização de substrato empregados se mostraram como opções funcionais para melhorar a operação da célula SRAM em ultra baixa tensão de alimentação e sob condições de descasamento.

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

Ultra-low-voltage Static RAM cell with Body Bias

Alessandro de Souza Lima

September/2008

Advisor: Prof. Sidnei Noceti Filho, D.Sc.

Co-advisor: Prof. Luís Cléber Carneiro Marques, Dr.

Area of Concentration: Communications and Signal Processing.

Keywords: MOS transistor, SRAM cell, ultra low-voltage, low-power, body bias.

Number of Pages: 93

This work focuses the operation of the 6-transistors SRAM cell, using standard CMOS technology operating in ultra-low voltage supply and, consequently, with low-power. For this, the MOS transistors must operate in weak inversion, where the transistors currents depend exponentially of the transistors voltages and of the technological parameters. Mismatch between transistors, caused by fabrication process variations, affects directly circuit response. With ultra-low voltage supply, digital circuits performance is significantly decreased. To reduce the impact caused by voltage supply reduction, substrate biasing techniques is used, aiming to improve circuits performance. Given that the substrate biasing circuits also vary according to the same process variations of the digital circuits, this biasing helps to reduce the circuits variations. In this work, substrate biasing circuits to bias the SRAM cell were studied. Through simulations with the TSMC 0.18 μm technology, comparisons among SRAM cells evaluated the effect over the signal to noise margin (SNM) and also over circuit speed response of the SRAM cells. Given their simplicity and reduced size, the employed biasing circuits have shown to be good solutions to improve the SRAM cell performance in ultra-low power voltage supply and under mismatch conditions.

Sumário

Sumário	vii
Lista de Figuras	ix
Lista de Tabelas	xi
Lista de Abreviações	xiii
Lista de Símbolos	xiv
Capítulo 1 – INTRODUÇÃO	1
Capítulo 2 – A CÉLULA SRAM EM BAIXA TENSÃO DE ALIMENTAÇÃO	6
2.1 – O Transistor MOS	6
2.1.1 – O Transistor MOS no Regime de Inversão Fraca	8
2.2 – O Inversor Lógico CMOS	9
2.2.1 – Análise Estática	9
2.3 – O <i>Latch</i> CMOS	11
2.4 – A Memória RAM Estática	15
2.5 – Margem de Ruído Estática	17
2.6 – Outras considerações sobre a célula SRAM operando em baixa tensão de alimentação	21
Capítulo 3 – LATCH NA METAESTABILIDADE	22
3.1 – Metaestabilidade	22
3.2 – Regeneração	23
3.2.1 – Constante de Tempo de Regeneração	24
3.3 – Tensão de Metaestabilidade	27
3.4 – Transcondutância na Metaestabilidade	29
3.5 – Minimização da Constante de Tempo de Regeneração	30
Capítulo 4 – DESEMPENHO DE CIRCUITOS DIGITAIS E POLARIZAÇÃO DE SUBSTRATO	33
4.1 – Desempenho de Circuitos Digitais	33
4.1.1 – Tempos de subida e descida	36
4.1.2 – O Oscilador em Anel	38
4.2 – Variações no processo de fabricação	41
4.2.1 – Influência da variação de parâmetros tecnológicos e diminuição da tensão de alimentação no desempenho	43

4.3 – Polarização de Substrato	45
4.4 – Circuitos de Polarização de Substrato	46
4.4.1 – Circuitos de Polarização de Substrato x Desempenho de Circuitos Digitais	55
4.4.2 – Consumo Estático dos Circuitos de Polarização de Substrato	57
Capítulo 5 – ANÁLISE DO COMPORTAMENTO DA CÉLULA SRAM COM POLARIZAÇÃO DE SUBSTRATO	62
5.1 – Introdução	62
5.2 – Margem de Ruído Estática da SRAM com Polarização de Substrato	63
5.2.1 – A SNM da Célula SRAM com Transistores Casados	64
5.2.2 – A SNM da Célula SRAM com Transistores Descasados	69
5.2.3 – Conclusões sobre a Margem de Ruído Estática na Célula SRAM com Transistores Descasados	72
5.3 – Análise Dinâmica da Célula SRAM com Polarização de Substrato	73
5.3.1 – Análise da Célula SRAM na Operação de Escrita	77
5.3.2 – Conclusões sobre o Comportamento Dinâmico da Célula SRAM Utilizando Polarização de Substrato	81
5.4 – Consumo Estático de Células SRAM utilizando Polarização de Substrato	82
Capítulo 6 – CONCLUSÕES E TRABALHOS FUTUROS	84
Anexo A – PARÂMETROS DE SIMULAÇÃO	86
Referências Bibliográficas.....	88

Lista de Figuras

Figura 2.1 – Corte esquemático de um transistor NMOS e um PMOS	7
Figura 2.2 – Simbologias dos transistores. (a) NMOS e (b) PMOS	8
Figura 2.3 – Inversor CMOS	9
Figura 2.4 – Curvas de transferência de tensão de um inversor. (a) $V_{DD}=0,4V$ (b) $V_{DD}=0,2V$	11
Figura 2.5 – <i>Latch</i> CMOS	12
Figura 2.6 – Curva de transferência de tensão do <i>Latch</i> CMOS	12
Figura 2.7 – Curvas de transferência de um <i>latch</i> variando-se a tensão de alimentação [21]	13
Figura 2.8 – V_H e V_L em função de V_{DD} [21]	14
Figura 2.9 – Célula SRAM do tipo 6T	15
Figura 2.10 – Esquema básico de uma memória SRAM	16
Figura 2.11 – Modelo conceitual do <i>latch</i> com as fontes de ruído	18
Figura 2.12 – Curvas da função de transferência do <i>latch</i>	18
Figura 2.13 – Modelo conceitual da célula SRAM com as fontes de ruído	19
Figura 2.14 – Efeito da operação de leitura na SNM	20
Figura 2.15 – Curvas da função de transferência da célula SRAM em operação de leitura	20
Figura 3.1 – <i>Latch</i> formado por um par cruzado de inversores	23
Figura 3.2 – Modelo de pequenos sinais do <i>latch</i>	24
Figura 3.3 – Modelo de pequenos sinais para o <i>latch</i> casado e simétrico	25
Figura 3.4 – $T_0 \times W_n/W_p$	32
Figura 4.1 – Tempo de subida (T_{LH}) e descida (T_{HL})	34
Figura 4.2 – Atraso de propagação (T_{pLH} e T_{pHL})	35
Figura 4.3 – Circuitos para determinação do (a) tempo de subida e (b) tempo de descida	36
Figura 4.4 – Oscilador em Anel de 3 estágios	38
Figura 4.5 – Oscilador em Anel de 5 estágios	39
Figura 4.6 – Saídas dos Osciladores em Anel de 5 estágios (a) $V_{DD} = 1V$, (b) $V_{DD} = 500mV$ e (c) $V_{DD} = 250mV$	40
Figura 4.7 – Proposta do Esquema de Estabilização da Polarização de Substrato	47

Figura 4.8 – Monitores de corrente	47
Figura 4.9 – Esquema de Estabilização da Polarização de Substrato	48
Figura 4.10 – Circuito de polarização de substrato adaptativo bidirecional	49
Figura 4.11 – Inversores (a) sem polarização de substrato e (b) com polarização direta de substrato	50
Figura 4.12 – Circuito de polarização direta de substrato de Bryant	51
Figura 4.13 – Circuito de polarização direta de substrato de Melek	52
Figura 4.14 – Circuito de polarização direta de substrato de Giusti	52
Figura 4.15 – Circuitos de polarização de substrato	54
Figura 4.16 – Oscilador em Anel de 5 estágios com polarização de substrato	55
Figura 4.17 – Corrente dos circuitos de polarização em função da tensão de alimentação	57
Figura 4.18 – Circuitos de polarização de substrato mostrando as junções PN entre fonte e substrato	58
Figura 4.19 – Inversor com polarização de substrato Duplo Direta em $V_{DD} = 1,8V$	60
Figura 5.1 – Curvas de transferência na situação de retenção e $V_{DD}=400mV$	65
Figura 5.2 – Curvas de transferência na situação de leitura e $V_{DD}=400mV$	66
Figura 5.3 – Curvas de transferência na situação de retenção e $V_{DD}=200mV$	67
Figura 5.4 – Curvas de transferência da célula SRAM na operação de leitura e $V_{DD}=200mV$	68
Figura 5.5 – Tempos de estabilização	74
Figura 5.6 – Tempos de escrita na célula SRAM	78

Lista de Tabelas

Tabela 3.1 – Tempos de estabilização em função de W_n/W_p	32
Tabela 4.1 – Valores utilizados para V_{T_p} e V_{T_n}	43
Tabela 4.2 – Variação da frequência do oscilador em anel variando V_T dos transistores ..	44
Tabela 4.3 – Resumo de algumas características dos circuitos de polarização de substrato	53
Tabela 4.4 – Variação da frequência do oscilador em anel variando V_T dos transistores, com utilização de circuitos de polarização de substrato	56
Tabela 5.1 – Comparativo da SNM na situação de retenção e $V_{DD}=400mV$	65
Tabela 5.2 – Comparativo da SNM na operação de leitura e $V_{DD}=400mV$	66
Tabela 5.3 – Comparativo da SNM na situação de retenção e $V_{DD}=200mV$	67
Tabela 5.4 – Comparativo da SNM na operação de leitura e $V_{DD}=200mV$	68
Tabela 5.5 – Comparativo da SNM com transistores casados	69
Tabela 5.6 – Variação da SNM considerando o descasamento entre transistores da célula SRAM em situação de retenção de dado e V_{DD} de 400mV	70
Tabela 5.7 – Variação da SNM considerando o descasamento entre transistores da célula SRAM em situação de leitura do dado e V_{DD} de 400mV	70
Tabela 5.8 – Variação da SNM considerando o descasamento entre transistores da célula SRAM em situação de retenção de dado e V_{DD} de 200mV	71
Tabela 5.9 – Variação da SNM considerando o descasamento entre transistores da célula SRAM em situação de leitura do dado e V_{DD} de 200mV	72
Tabela 5.10 – Comparativo dos circuitos de polarização de substrato com relação a SNM	73
Tabela 5.11 – Variação do tempo de estabilização da célula SRAM com $V_{DD} = 400 mV$	74
Tabela 5.12 – Variação do tempo de estabilização da célula SRAM com $V_{DD} = 200 mV$	75
Tabela 5.13 – Comparativo dos circuitos de polarização de substrato com relação aos tempos de estabilização	77
Tabela 5.14 – Variação do tempo de escrita da célula SRAM com $V_{DD} = 400 mV$	78

Tabela 5.15 – Variação do tempo de escrita da célula SRAM com $V_{DD} = 200$ mV	79
Tabela 5.16 – Comparativo dos circuitos de polarização de substrato com relação aos tempos de escrita	81
Tabela 5.17 – Consumo estático da célula SRAM utilizando polarização de substrato	83

Lista de Abreviações

Símbolo	Descrição
<i>A/D</i>	Analógico/Digital
<i>ABB</i>	<i>Adaptive Body Bias</i>
<i>BL</i>	<i>Bit Line</i>
<i>BLN</i>	<i>Bit Line Not</i>
<i>BSIM</i>	<i>Berkeley Short-channel IGFET Model</i>
<i>CMOS</i>	<i>Complementary Metal Oxide Semiconductor</i>
<i>EX-OR</i>	Função lógica “ou-exclusivo”
<i>FBB</i>	<i>Forward Body Bias</i>
<i>RBB</i>	<i>Reverse Body Bias</i>
<i>MOS</i>	<i>Metal Oxide Semiconductor</i>
<i>MTBF</i>	<i>Mean Time Between Failure</i>
<i>NAND</i>	Função lógica “não e”
<i>NMOS</i>	Transistor MOS canal N
<i>NOR</i>	Função lógica “não ou”
<i>PDA</i>	<i>Personal Digital Assistant</i>
<i>PMOS</i>	Transistor MOS canal P
<i>RAM</i>	<i>Random Access Memory</i>
<i>SNM</i>	<i>Static Noise Margin</i>
<i>SOC</i>	<i>System-On-Chip</i>
<i>SRAM</i>	<i>Static RAM</i>
<i>TSMC</i>	<i>Taiwan Semiconductor Manufacturing Company</i>
<i>WL</i>	<i>Word Line</i>

Lista de Símbolos

Símbolo	Descrição	Unidade
γ	Coefficiente de efeito de corpo	-
μ	Mobilidade dos portadores no canal de inversão	$m^2/V.s$
μ_n	Mobilidade dos portadores no canal de inversão do transistor NMOS	$m^2/V.s$
μ_p	Mobilidade dos portadores no canal de inversão do transistor PMOS	$m^2/V.s$
τ	Constante de tempo de regeneração	s
ϕ_F	Potencial de Fermi	V
ϕ_T	Potencial térmico	V
C'_{ox}	Capacitância do óxido de silício por unidade de área	F/m^2
C_{GATE}	Capacitância de porta	F
C_{gd}	Capacitância entre porta e dreno	F
C_{gs}	Capacitância entre porta e fonte	F
C_{INT}	Capacitância de interconexão	F
C_j	Capacitância de junção	F
C_{jD}	Capacitância de junção de dreno	F
C_L	Capacitância de carga	F
C_M	Capacitância Miller	F
C_O	Capacitância de saída	F
C_{out}	Capacitância de saída	F
C_{OV}	Capacitância de <i>overlap</i>	F
gm	Transcondutância de porta do transistor	A/V
gm_N	Transcondutância de porta do transistor NMOS	A/V
gm_P	Transcondutância de porta do transistor PMOS	A/V
g_{out}	Condutância de saída	A/V
I_D	Corrente de dreno	A
I_{DN}	Corrente de dreno do transistor NMOS	A
I_{DP}	Corrente de dreno do transistor PMOS	A
I_O	corrente de escala	A
I_{ON}	Corrente de escala do transistor NMOS	A
I_{OP}	Corrente de escala do transistor PMOS	A
L	Comprimento do canal do transistor	m
L_{EF}	Comprimento efetivo do canal do transistor	m
L_n	Comprimento do canal do transistor NMOS	m

L_p	Comprimento do canal do transistor PMOS	m
n	Fator de rampa	-
n_N	Fator de rampa do transistor NMOS	-
n_P	Fator de rampa do transistor PMOS	-
SNM	Margem de Ruído Estática	V
T_0	Tempo de estabilização	s
T_f	<i>Time to fall</i>	s
T_{HL}	Tempo de descida	s
T_{LH}	Tempo de subida	s
T_p	Tempo de atraso de propagação	s
T_{pHL}	Tempo de atraso de descida	s
T_{pLH}	Tempo de atraso de subida	s
T_r	<i>Time to rise</i>	s
V_{DD}	Tensão de alimentação do circuito	V
V_{DS}	Tensão entre dreno e fonte	V
V_G	Tensão de porta	V
V_{GB}	Tensão entre porta e substrato	V
V_H	Tensão de nível lógico alto	V
V_{IN}	Tensão de entrada	V
V_L	Tensão de nível lógico baixo	V
V_M	Tensão de metaestabilidade	V
V_N	Tensão do ruído	V
V_{OUT}	Tensão de saída	V
V_{SB}	Tensão entre fonte e substrato	V
V_T	Tensão de limiar do transistor MOS	V
V_{th}	Tensão de limiar do transistor MOS	V
V_{th0}	Parâmetro do BSIM: <i>zero-bias threshold voltage</i>	V
V_{TN}	Tensão de limiar do transistor NMOS	V
V_{TP}	Tensão de limiar do transistor PMOS	V
W_{EF}	Largura efetiva do canal do transistor	m
W_n	Largura do canal do transistor NMOS	m
W_p	Largura do canal do transistor PMOS	m

Capítulo 1

INTRODUÇÃO

Nos dias atuais, a eletrônica tem aumentado enormemente a participação em nossas vidas. Equipamentos eletrônicos como telefones celulares e reprodutores de MP3/MP4 se tornaram utensílios indispensáveis para muitas pessoas. A utilização de aparelhos portáteis e/ou alimentados por baterias vem crescendo de forma acelerada. Além dos equipamentos eletrônicos já citados, computadores portáteis como *laptops*, *notebooks*, *palmtops* ou algum outro Assistente Pessoal Digital (PDA – *Personal Digital Assistant*) só não predominam por não terem custo tão baixo quanto aos citados inicialmente.

Cada vez mais serão exigidos equipamentos complexos que realizem mais funções e que as baterias tenham longa duração. Com isso, cresce a demanda de equipamentos com melhor eficiência energética. Esse crescimento explosivo de dispositivos de computação móvel, que são tipicamente limitados pelo consumo de potência, tem exigido técnicas de hardware e software com especial atenção para conservação de energia.

Futuros dispositivos para usuários em um espaço de eletrônica de consumo e os desafios tecnologicamente associados, especialmente em aspectos de baixa potência empregados por muitos dispositivos portáteis e sistemas sem fios, deverão ser seguidos por pesquisas nas áreas de dispositivos de baixa potência, nas áreas de fontes de energia portáteis, componentes, arquiteturas de software e tecnologias de sistemas em *chip* (SOC – *System-On-Chip*) [1].

Grande parte das pesquisas de dispositivos eletrônicos de baixo consumo remete à redução da tensão de alimentação [2, 3, 4, 5, 6, 7, 8]. Com isso, o consumo estático é reduzido, em função da redução das correntes de fuga. Reduzindo a alimentação, resulta em uma redução quadrática da potência dinâmica, mas em contrapartida se tem uma

redução no desempenho (velocidade). Em muitas aplicações, a redução no desempenho, ou até mesmo a não exigência de alto desempenho, coloca esses dispositivos entre os que mais podem se beneficiar da redução da alimentação. Relógios de pulso, dispositivos implantáveis (marca-passos e/ou monitores cardíacos), próteses auditivas, calculadoras simples, brinquedos infantis são exemplos de dispositivos que utilizam pilhas ou baterias como fonte de energia e podem operar com baixa tensão, sem exigência de alto desempenho [9].

Se o principal requisito de um circuito eletrônico for o consumo, operar com muito baixa tensão de alimentação é uma opção, mas que coloca o desempenho em segundo plano.

A célula de memória SRAM (*Static Random Access Memory*) de 6 transistores é a célula mais frequentemente utilizada em projetos de *chips* de memória. Exemplos bastante comuns de SRAM são as memórias conhecidas por memória *cache*.

Em processadores estado da arte, o tamanho da *cache* tem crescido continuamente para preencher a lacuna entre a latência da memória principal e a frequência de *clock* do processador [10]. Ainda, em muitos microprocessadores, a memória *cache* ocupa a maior parte da área do *chip*. Por ser a maior parte do circuito, também acaba sendo responsável por grande parte do consumo de energia [11].

A maioria dos circuitos eletrônicos digitais utiliza a tecnologia CMOS (transistores MOS canal N e canal P). No passado, circuitos CMOS apresentavam consumo estático desprezível, sendo levado em conta apenas o consumo dinâmico. Em tecnologias modernas (submicrométricas) o consumo estático passa a ter influência considerável, merecendo especial atenção dos projetistas. Isso ocorre devido à diminuição das dimensões dos transistores MOS, que acabam fazendo com que aumentem as correntes de fuga [12].

Para reduzir o consumo estático de SRAMs, várias propostas são encontradas na literatura. Colocar a SRAM em estado adormecido (*sleep* ou *drowsy*) é uma opção bastante difundida. Dependendo da implementação, esta técnica pode ser classificada de duas formas: que preserva o dado armazenado [4, 10, 12, 13, 14] e que não preserva [15, 16].

Utilizando a técnica de desligar a alimentação da SRAM e conseqüentemente perder o dado armazenado, tem como vantagem a maior economia de energia. Mas para isso, é necessário políticas para decidir se a memória pode ser desligada totalmente ou parcialmente (algumas linhas ou blocos).

Por outro lado, para evitar a situação extrema de desligar a alimentação, se pode colocar a memória em um modo adormecido (*drowsy*) de forma que não perca a informação. Para isso, se diminui a tensão de alimentação a um valor mínimo, de forma que o dado armazenado não seja perdido. Quando a memória ou parte dela necessitar ser acessada (leitura ou escrita) volta-se com a tensão de alimentação de operação.

Baixar demasiadamente a tensão de alimentação faz com que os transistores MOS operem no regime de inversão fraca ou sublimiar¹. Nesse regime, a corrente passa a depender exponencialmente das tensões e dos parâmetros tecnológicos. Portanto, pequenas variações ocorridas em parâmetros, que são dependentes do processo de fabricação, podem representar significativas variações nas correntes que circulam pelos transistores e, conseqüentemente, afetar o desempenho ou até mesmo o funcionamento destes circuitos [17].

Os parâmetros tecnológicos são parâmetros que definem diretamente o funcionamento e comportamento dos transistores. Variações nesses parâmetros podem ocorrer no processo de fabricação, onde não se consegue construir todos os transistores com todas as características idênticas.

Embora projetos de sistemas operando no regime de sublimiar não tenham ainda ganho aprovação comercial, trabalhos recentes tem mostrado potenciais benefícios desse regime de operação. Uma ampla faixa de aplicações, desde etiquetas de identificação por rádio-freqüência a telefones celulares, demanda mínimo consumo de energia e podem tolerar modestas velocidades de chaveamentos, características do regime de sublimiar. A

¹ A palavra "sublimiar" é uma tradução livre do termo em inglês "*subthreshold*", utilizado para caracterizar um valor que se encontra "abaixo do limiar".

velocidade dos circuitos operando no regime de sublimiar, a qual é exponencialmente dependente da tensão de limiar dos transistores (V_{th}) e da tensão de alimentação (V_{DD}), tem sido geralmente reportada em faixas de kilohertz e poucos megahertz [7].

Projetar uma SRAM que seja robusta para funcionar em sistemas operando no regime de sublimiar é extremamente desafiante devido à reduzida margem de tensão, a diminuída razão I_{on}/I_{off} e ao aumento da sensibilidade aos parâmetros construtivos ou tecnológicos. Uma SRAM convencional de 6 transistores operando na região de sublimiar pode falhar mais facilmente devido à reduzida margem de ruído estática (SNM) e a capacidade de escrita degradada [5].

Dadas algumas limitações (margem de ruído estática e velocidade de operação) da SRAM operando no regime de sublimiar, neste trabalho, foi realizado um estudo comparativo do comportamento de células SRAM operando com baixa tensão de alimentação (menor que a tensão de limiar dos transistores) e utilizando técnicas de polarização de substrato propostas por Bryant *et al* [18], Melek [19] e Giusti [20].

Bryant *et al* [18], Melek [19] e Giusti [20] propuseram circuitos bastante simples, com apenas 2 transistores [18, 19] ou 4 transistores [20], para fornecer tensões de polarizações para os substratos dos transistores de circuitos digitais. Basicamente esses circuitos de polarização propostos têm como benefícios melhorar a velocidade de operação e diminuir efeitos indesejados causados pela variação de parâmetros tecnológicos.

Como os transistores desses circuitos de polarização são dependentes dos mesmos parâmetros tecnológicos dos transistores dos circuitos digitais a que serão aplicados, a tensão de polarização é ajustada automaticamente, de forma a melhorar o desempenho ou pelo menos aliviar os efeitos degradantes das variações de parâmetros tecnológicos.

Tendo em vista o crescente aumento de memórias SRAM em sistemas microprocessados e a tendência de diminuição da tensão de alimentação em circuitos digitais, coube neste trabalho reunir técnicas bastante simples de polarização de substrato [18, 19, 20] e avaliar a aplicação em células SRAM convencionais de 6 transistores.

A presente dissertação está dividida da seguinte forma:

No Capítulo 2 é apresentada a célula SRAM operando com muito baixa tensão de alimentação. São desenvolvidas formulações analíticas desde os transistores MOS operando no regime de inversão fraca até o *latch*, principal parte da célula SRAM.

No Capítulo 3 é apresentado o *latch* na metaestabilidade. Neste capítulo, chega-se na condição de minimização da constante de tempo de regeneração, o que está diretamente ligado à velocidade em que o *latch* define-se em algum nível lógico válido.

No Capítulo 4 são tratadas as questões de desempenho de circuitos digitais, bem como os circuitos de polarização de substrato. Neste capítulo são abordadas métricas de avaliação e comparação de circuitos digitais. A influência de variações no processo de fabricação é incluída em avaliações e comparativos.

No Capítulo 5 são realizados comparativos de comportamento das células SRAM com e sem os circuitos de polarização de substrato. São avaliados a Margem de Ruído Estática, os tempos que a célula SRAM leva para se estabilizar em um estado lógico válido e os tempos para trocar de nível lógico (operação de escrita).

Finalmente, as conclusões deste trabalho e sugestões para trabalhos futuros são apresentadas no Capítulo 6.

Capítulo 2

A CÉLULA SRAM EM BAIXA TENSÃO DE ALIMENTAÇÃO

Neste capítulo será abordada a célula de memória SRAM operando com baixa tensão de alimentação. Antes serão apresentados: os transistores MOS operando com tensão de alimentação abaixo da tensão de limiar (V_T); o inversor CMOS, que é o circuito digital mais básico, e o *latch* CMOS, parte principal da célula de memória SRAM.

2.1 O Transistor MOS

O transistor MOS (*Metal-Oxide-Semiconductor*) é o componente básico de circuitos digitais CMOS (*Complementary MOS*). É composto por quatro terminais: dreno (*drain*), porta (*gate*), fonte (*source*) e substrato (*bulk*). A condução da corrente elétrica se dá através de um canal (caminho) a ser formado entre os terminais de fonte e dreno. Esse canal é controlado através da polarização dos terminais de porta e substrato. Por se tratar de circuitos digitais, o transistor MOS deverá se comportar como uma chave. Se o canal for formado entre fonte e dreno, tem-se o equivalente a uma chave fechada. Caso contrário, tem-se o circuito aberto.

Um transistor MOS pode ser do tipo P (PMOS), quando o canal a ser formado abaixo da porta for tipo P, ou ainda tipo N (NMOS) quando o canal for tipo N. No transistor canal P pode-se dizer que a condução é dada pelas lacunas, enquanto no tipo N é dada pelos elétrons. O substrato é o corpo do transistor. Quando a pastilha de silício é dopada com impurezas do tipo P, caso mais usual, o substrato é do mesmo tipo da pastilha. Quando se quer substrato do tipo N e a pastilha é do tipo P, tem que ser construída uma zona, na pastilha de silício, dopada com impurezas do tipo N. Essa zona é chamada de poço. O canal tipo P é conseguido quando se tem um poço N ou substrato N e o canal tipo

N quando o poço for do tipo P ou substrato P. Na Figura 2.1 é ilustrado um corte esquemático de dois transistores, um NMOS e um PMOS, construídos conforme uma tecnologia CMOS convencional de um único poço tipo N e substrato P.

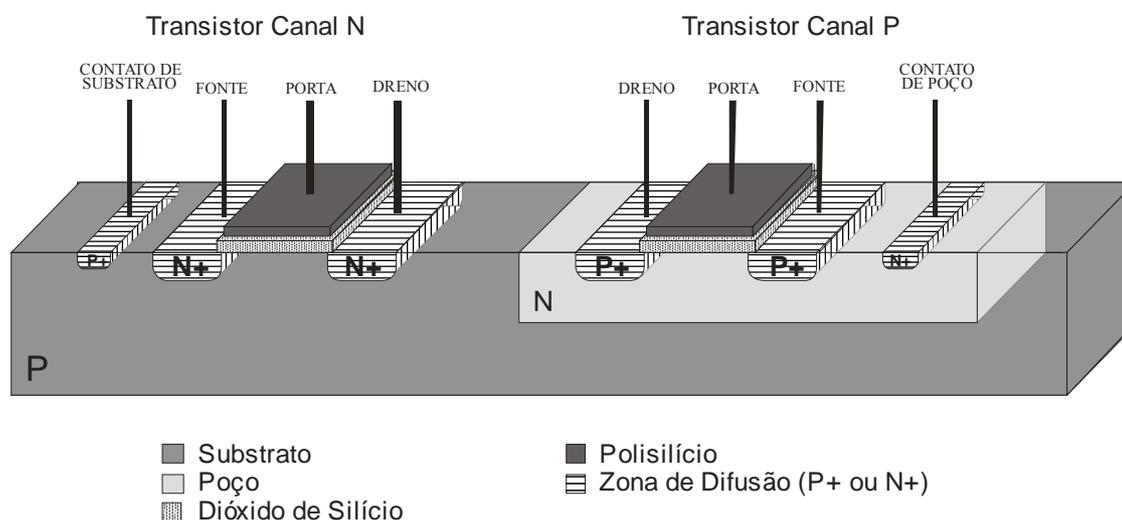


Figura 2.1 - Corte esquemático de um transistor NMOS e um PMOS

O funcionamento do transistor MOS é controlado pela tensão entre os terminais de porta e substrato ($|V_{GB}|$). Conforme o valor dessa tensão, é possível que seja formado o canal logo abaixo da porta. Com isso, aplicando-se uma tensão entre o dreno e a fonte (V_{DS}), uma corrente de elétrons (canal N) ou lacunas (canal P) é estabelecida e o transistor entra em regime de condução. Esse regime é denominado inversão, e ambos os termos serão utilizados como sinônimos, indiscriminadamente, durante este texto. O termo inversão vem da inversão do tipo de portadores que formam o canal. Em um substrato ou poço do tipo P, onde os portadores majoritários são as lacunas, é obtido um canal tipo N, formado pelos portadores minoritários, os elétrons. No caso do substrato ou poço N, o canal é formado pelas lacunas. Dependendo da tensão $|V_{GB}|$ aplicada, haverá uma maior ou menor concentração de portadores minoritários ao longo do canal. Havendo uma alta concentração desses portadores, o regime de condução é denominado forte. Havendo uma baixa concentração de portadores, o regime de condução passa a ser chamado fraco. A inversão fraca também é referenciada por regime de operação exponencial ou sublimiar, como será visto na seção 2.1.1. A inversão forte é, tradicionalmente, a mais utilizada. Entretanto, na inversão fraca o consumo de potência é significativamente reduzido, o que a

torna mais interessante em aplicações que requerem baixo consumo, como, por exemplo, os aparelhos portáteis alimentados por baterias.

As simbologias dos transistores NMOS e PMOS são mostradas na Figura 2.2.



Figura 2.2 – Simbologias dos transistores. (a) NMOS e (b) PMOS

2.1.1 O Transistor MOS no Regime de Inversão Fraca

No regime de inversão fraca, a corrente de dreno I_D nos transistores NMOS e PMOS pode ser aproximada por [19]

$$I_{D_{N(P)}} = I_{O_{N(P)}} \cdot e^{\frac{V_{GB(BG)} - |V_{T_{N(P)}}| - n_{N(P)} \cdot V_{SB(BS)}}{n_{N(P)} \cdot \phi_T}} \cdot \left(1 - e^{-\frac{V_{DS(SD)}}{\phi_T}} \right) \quad (2.1)$$

em que $V_{T_{N(P)}}$ é a tensão de limiar (V_T) do transistor NMOS (V_{T_N}) ou PMOS (V_{T_P}), ϕ_T é a tensão térmica, aproximadamente 26mV à temperatura ambiente, $n_{N(P)}$ é o fator de rampa, ligeiramente dependente da tensão V_{GB} , com valor entre 1 e 2, $V_{SB(BS)}$ é a tensão entre fonte e substrato e I_O é a corrente de escala, definida por

$$I_{O_{N(P)}} = \mu_{N(P)} \cdot n_{N(P)} \cdot C'_{OX} \cdot \phi_T^2 \cdot e \cdot \frac{W_{EF}}{L_{EF}} \quad (2.2)$$

μ é a mobilidade dos elétrons no transistor NMOS (ou lacunas no transistor PMOS), C'_{OX} é a capacitância do óxido por unidade de área, e W_{EF} e L_{EF} são as dimensões efetivas do

canal. Com exceção de ϕ_r , todos os outros parâmetros são dependentes do processo de fabricação, e são também chamados de parâmetros tecnológicos.

2.2 O Inversor Lógico CMOS

O estudo do comportamento detalhado do inversor CMOS é de grande importância, uma vez que o inversor pode ser utilizado para se construir modelos equivalentes simplificados das portas lógicas CMOS mais complexas, como *NANDs*, *NORs* e até mesmo *latches*. Na Figura 2.3 é mostrado o diagrama esquemático de um inversor CMOS. As conexões de substrato e poço são geralmente fixadas às fontes, conforme o diagrama (linhas tracejadas).

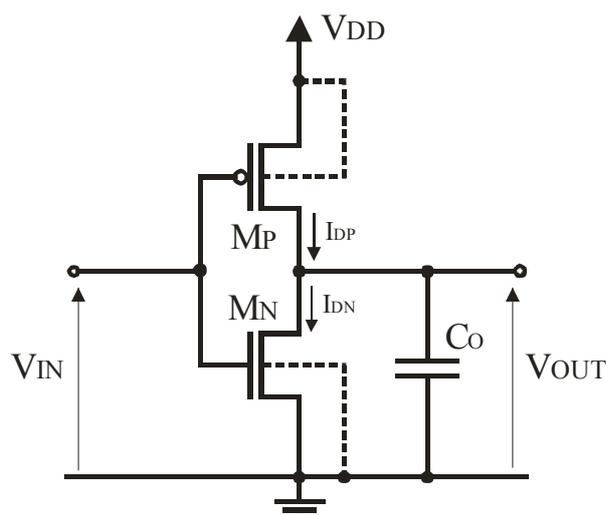


Figura 2.3 - Inversor CMOS

2.2.1 Análise Estática

Com o objetivo de se identificar algumas variáveis que influenciam o comportamento do inversor, nesta seção será feita a análise estática do comportamento do inversor funcionando no regime de inversão fraca. Conforme Vittoz [21], na análise a seguir serão considerados individualmente os parâmetros de cada transistor NMOS e PMOS.

Considerando o circuito apresentado na Figura 2.3, tem-se

$$I_{D_N} = I_{D_P} \quad (2.3)$$

Usando-se (2.1) em (2.3),

$$I_{ON} \cdot e^{\frac{V_{IN} - |V_{TN}| - n_N \cdot V_{BS}}{n_N \cdot \phi_T}} \cdot \left(1 - e^{-\frac{V_{OUT}}{\phi_T}}\right) = I_{OP} \cdot e^{\frac{V_{DD} - V_{IN} - |V_{TP}| - n_P \cdot V_{SB}}{n_P \cdot \phi_T}} \cdot \left(1 - e^{-\frac{(V_{DD} - V_{OUT})}{\phi_T}}\right) \quad (2.4)$$

Isolando-se V_{OUT} , obtém-se

$$V_{OUT} = V_{DD} + \phi_T \cdot \ln \left[\frac{(1-G) + \sqrt{(G-1)^2 + 4 \cdot e^{\frac{-V_{DD}}{\phi_T}} \cdot G}}{2} \right], \quad (2.5)$$

onde

$$G = e^{\frac{V_{IN} \cdot (n_N + n_P)}{n_N \cdot n_P \cdot \phi_T} - \frac{V_{DD}}{n_P \cdot \phi_T} + \frac{|V_{TP}|}{n_P \cdot \phi_T} - \frac{V_{TN}}{n_N \cdot \phi_T} + \frac{V_{BS}}{\phi_T} - \frac{V_{SB}}{\phi_T} - \ln \left(\frac{I_{OP}}{I_{ON}} \right)}$$

Com a equação (2.5) é possível traçar a curva de transferência do inversor, com a possibilidade de se variar os parâmetros de cada transistor individualmente. Na Figura 2.4 são mostradas duas curvas de transferência, uma correspondendo ao uso de tensão de alimentação igual a 400mV e outra ao uso de tensão de alimentação igual a 200mV. Ambas as curvas assumem transistores simétricos ($W_N = W_P$, $L_N = L_P$, $I_{ON} = I_{OP}$, $n_N = n_P$, $V_{TN} = |V_{TP}|$ e $V_{SB} = |V_{BS}| = 0$). A partir das Figuras 2.4 (a) e (b) é possível notar que a diminuição da tensão de alimentação, de 400mV para 200mV, causa uma alteração na curva, que pode ser observada principalmente através da diminuição no ganho do inversor (dV_o / dV_i). Variando parâmetros tecnológicos ou tensões, a curva de transferência pode se afastar ou se aproximar da ideal. A curva de transferência ideal é aquela em que a mudança de estado na saída ocorre da forma mais abrupta possível. Variações nos parâmetros tecnológicos podem ser ocasionadas pela não uniformidade na construção dos transistores

que formam o circuito. Essa não uniformidade é chamada de descasamento (ou *mismatch*) entre transistores.

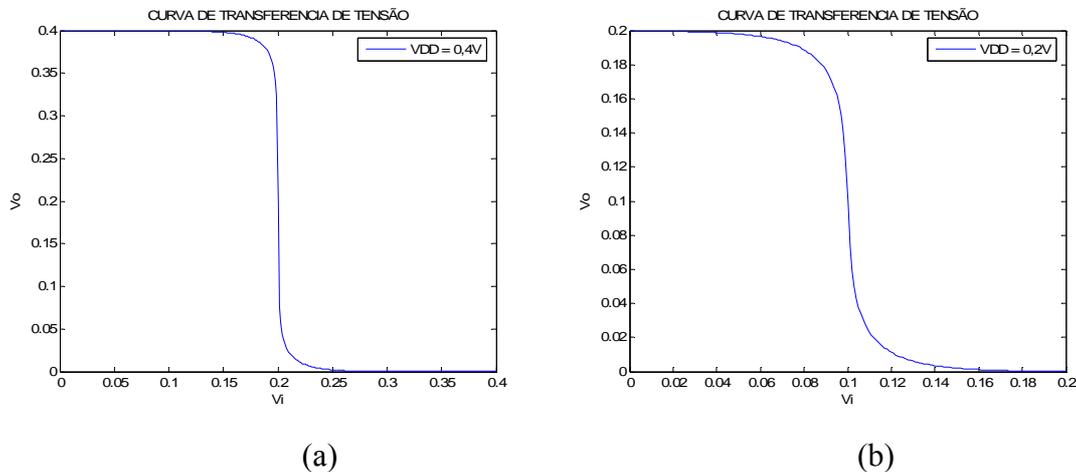


Figura 2.4 – Curvas de transferência de tensão de um inversor.

(a) $V_{DD}=0,4V$ (b) $V_{DD}=0,2V$

2.3 O *Latch* CMOS

O *latch* é o circuito principal de uma célula básica de memória do tipo RAM estática (SRAM – *Static* RAM). Um *latch* tem a capacidade de armazenar um dado binário (“0” ou “1”). O *latch* CMOS mais simples possível é formado por um par cruzado de inversores, conforme ilustrado na Figura 2.5. Ele é um circuito regenerativo chamado de biestável, pois possui 2 estados estáveis (nível lógico alto e nível lógico baixo), os quais só são alterados por interferência externa. O *latch* apresenta ainda um estado não-estável, chamado metaestável, o qual não representa nível lógico alto e nem mesmo nível lógico baixo. Teoricamente, o circuito pode permanecer no estado de metaestabilidade indefinidamente, mas, na prática, níveis muito baixos de ruído farão com que ele assuma algum dos estados estáveis.

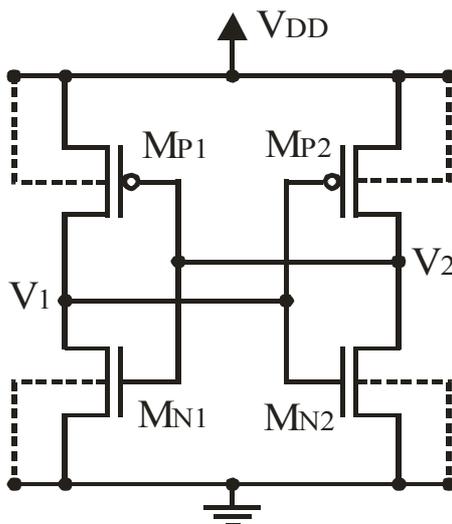


Figura 2.5 – *Latch* CMOS

A partir da curva de transferência de um inversor é possível traçar as curvas de um *latch*. Para isto, utilizam-se duas curvas, sendo uma delas invertida nos eixos de referência. Um exemplo de curva de transferência de um circuito *latch* é mostrado na Figura 2.6. Nesse exemplo são considerados transistores simétricos, com parâmetros idênticos para os transistores NMOS e PMOS.

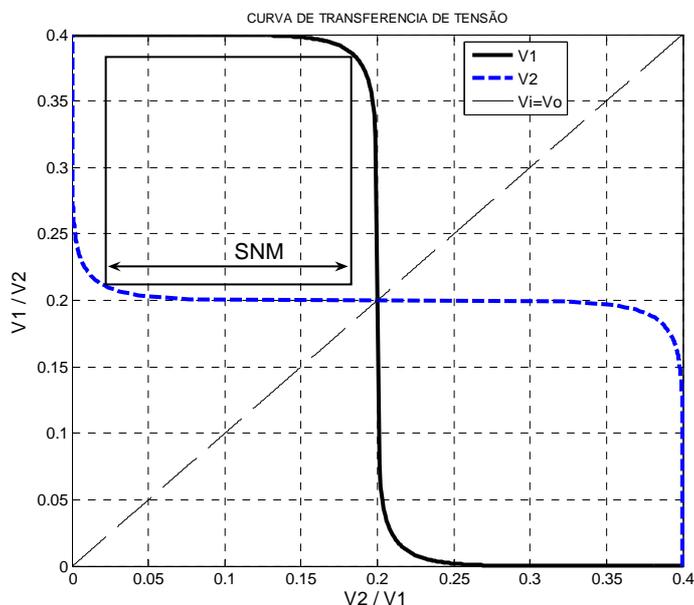


Figura 2.6 – Curva de transferência de tensão do *Latch* CMOS

Um fator importante que pode ser observado na curva de transferência do *latch* é a Margem de Ruído Estático (SNM – *Static Noise Margin*). A SNM é representada como o lado do maior quadrado que pode ser inserido entre as curvas da função de transferência do *latch* [22]. É possível acontecer erro no armazenamento do dado, se ocorrer alguma oscilação (ruído, por exemplo) nos nós V_1 e V_2 . Se este ruído for maior do que a SNM, pode resultar na inversão do dado armazenado. A SNM será abordada com mais detalhes na seção 2.5.

Na Figura 2.7 são apresentadas curvas que ilustram o efeito da diminuição da tensão de alimentação de um *latch*. Neste caso, são considerados transistores simétricos e casados (e $n = 1,5$) [21]. É possível notar que, à medida que a tensão de alimentação é reduzida, os estados estáveis aproximam-se da metaestabilidade. Com alimentação de aproximadamente duas vezes a tensão térmica (ϕ_T) o *latch* não apresenta mais os dois estados estáveis. Ainda, com a redução de V_{DD} a diferença de tensão entre os níveis lógicos alto e baixo diminui, sendo esta aproximadamente o valor de V_{DD} quando a alimentação é maior do que $4 \cdot \phi_T$, conforme pode ser melhor observado na Figura 2.8.

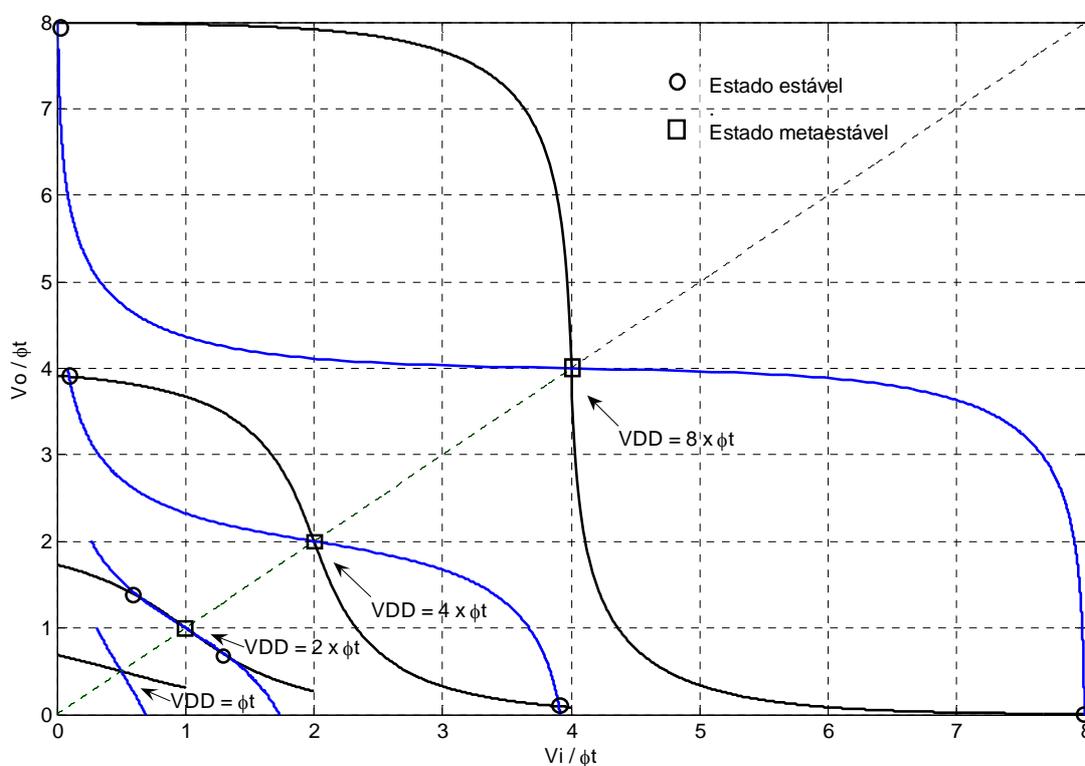


Figura 2.7 – Curvas de transferência de um *latch* variando-se a tensão de alimentação [21].

Na Figura 2.8 são mostrados os valores de V_H e V_L em função de V_{DD} . V_H e V_L são respectivamente as tensões de nível lógico alto e baixo, e representam os estados estáveis. Nota-se que com V_{DD} abaixo de $2 \cdot \phi_T$ não existem mais os dois estados estáveis e, teoricamente, esta seria a menor tensão de alimentação possível para um *latch*, sem que ele perdesse a capacidade de armazenar um dado. Na prática, não se consegue todos os parâmetros tecnológicos idênticos ou simétricos, portanto, é muito difícil de serem obtidos resultados idênticos a estes.

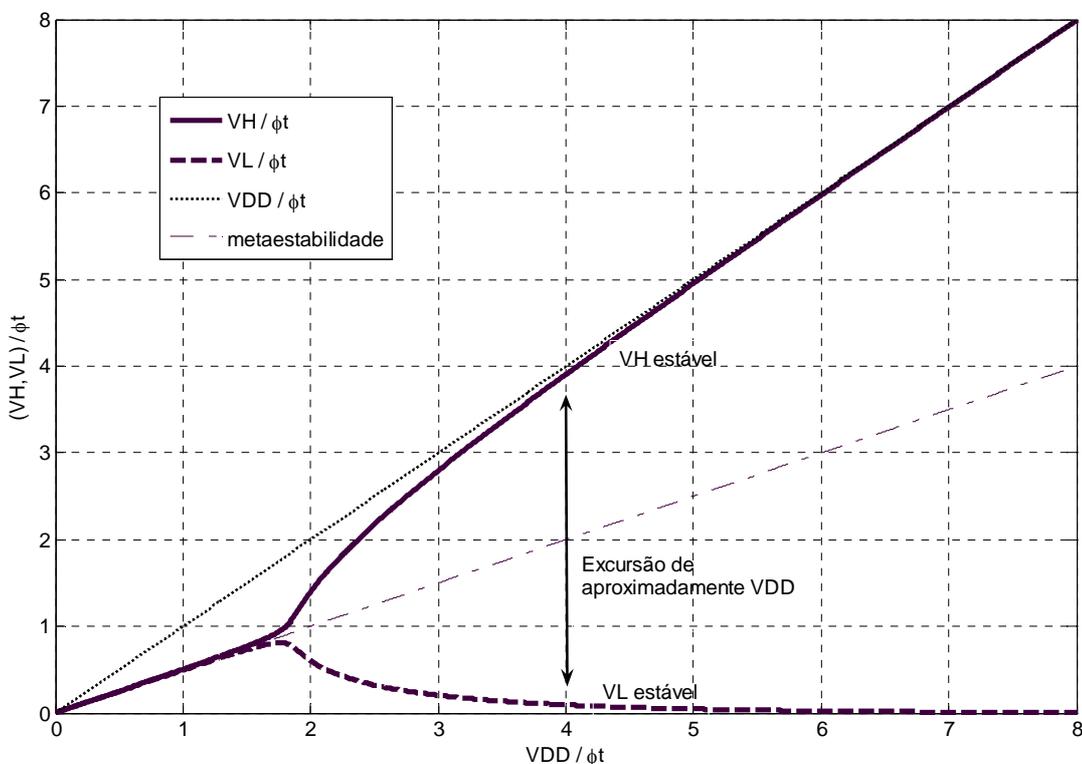


Figura 2.8 – V_H e V_L em função de V_{DD} [21].

Em [23] foi desenvolvido um modelo analítico, em função dos parâmetros tecnológicos, para a determinação da menor tensão de alimentação possível para retenção do dado em uma célula de memória SRAM. Para verificação desse modelo, foi construída uma memória SRAM de 4 kbytes (32.000 células), usando a tecnologia de $0,13\mu\text{m}$. Em medições realizadas, foi obtida variação de 60mV a 390mV na menor tensão de

alimentação em que as células da memória não perderam os dados armazenados. O Ponto médio ficou em torno de 122mV [23]. Analiticamente, considerando o perfeito casamento entre os transistores, a menor tensão de alimentação seria de 78mV [23]. Isso mostra que o descasamento entre transistores, mesmo se ocorrido em um mesmo *chip*, pode afetar, de forma negativa, o comportamento dos transistores, e conseqüentemente o desempenho dos circuitos formados por eles.

2.4 A Memória RAM Estática

Uma memória RAM estática (SRAM) é composta por várias células de memória SRAM. Cada célula é formada por um *latch*, como o apresentado na seção anterior, e por algum dispositivo de acesso ao dado armazenado. O tipo mais comum de célula SRAM é o formado por seis transistores (6T). Na Figura 2.9 é mostrada uma célula SRAM formada pelo par cruzado de inversores (M_{p1} - M_{n1} e M_{p2} - M_{n2}) e por dois transistores de acesso (M_{a1} e M_{a2}). O dado armazenado na memória é determinado pelos valores de tensão retidos em V_1 e V_2 (V_{DD} e GND ou vice-versa).

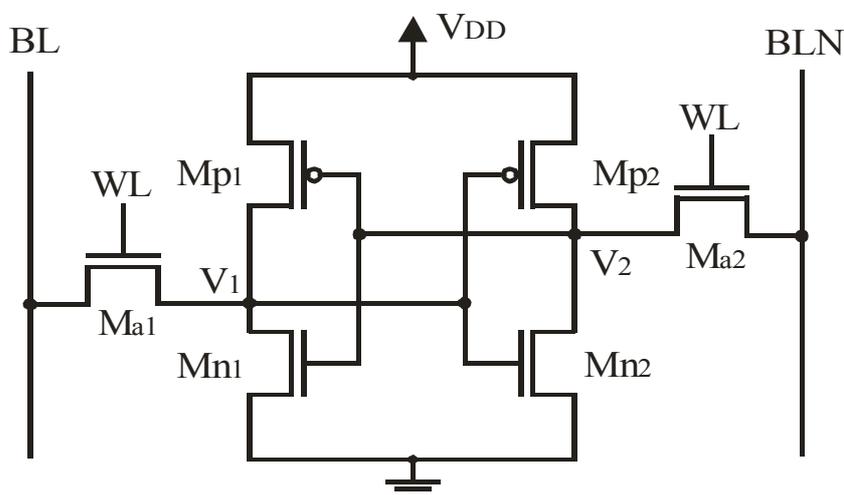


Figura 2.9 – Célula SRAM do tipo 6T.

As *Bit Lines* (BL e BLN) são as linhas por onde se pode ler ou escrever na célula SRAM. Nas *Bit Lines* estão conectadas várias células SRAM, podendo cada uma armazenar informação de apenas 1 *bit*. Para selecionar a célula SRAM que utilizará as *Bit Lines*, tem-se o sinal WL (*Word Line*). O sinal WL é responsável por controlar os

transistores de acesso (Ma_1 e Ma_2) de cada célula. Das várias células ligadas às *Bit Lines* somente uma poderá estar habilitada por vez. Para que isto ocorra, a memória deverá possuir um circuito de controle que determine qual célula estará sendo selecionada. Normalmente isto é feito por um circuito conhecido como decodificador de endereços. Na Figura 2.10 é apresentado um esquema básico e simplificado de uma memória SRAM.

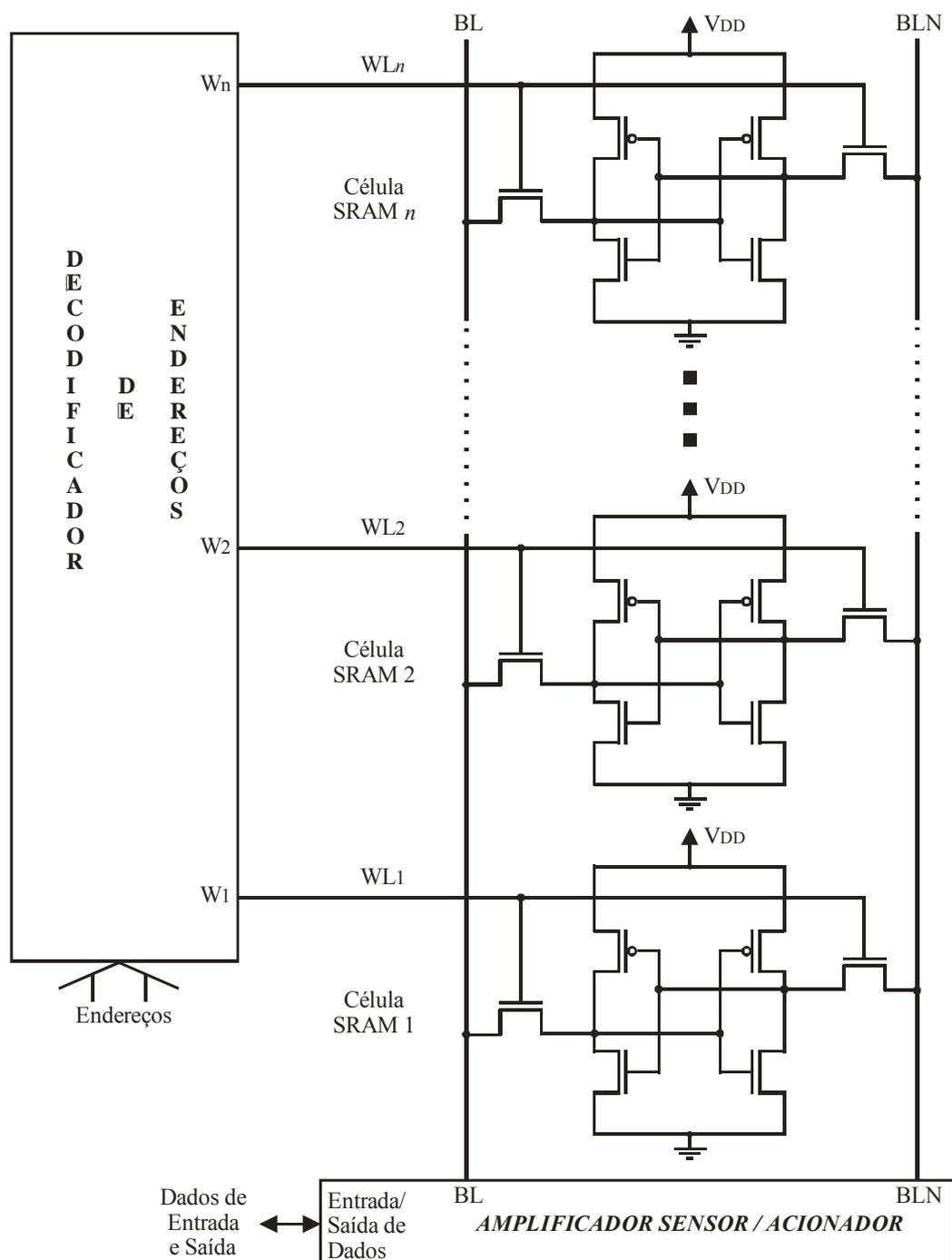


Figura 2.10 – Esquema básico de uma memória SRAM

Para ser realizada a escrita de um dado em uma célula SRAM, o dado na entrada é recebido pelo Acionador (*Driver*), o qual coloca o valor a ser armazenado na linha BL (*Bit Line*) e o inverso em BLN (*Bit Line Not*). Em seguida, é ativado o sinal WL para que os valores em BL e BLN cheguem aos nós internos das células. Desta forma, quando WL for desativado, o valor ficará retido na célula de memória.

Para realizar a operação de leitura, as linhas BL e BLN são pré-carregadas com V_{DD} (ou outro valor de tensão igual em BL e BLN) e logo após WL é ativada. Desta forma, ocorrerá um desbalanceamento entre BL e BLN devido aos valores armazenados em V_1 e V_2 serem o inverso um do outro. Este desbalanceamento será sentido por um Amplificador Sensor (*Sense Amplifier*), o qual será responsável por amplificar esta diferença e entregar na saída o nível lógico correspondente.

Na próxima seção será abordada a SNM com maiores detalhes.

2.5 Margem de Ruído Estática

Em se tratando de armazenamento dos dados, um fator importante é a Margem de Ruído Estática (SNM). Caso ocorra alguma oscilação (ruído, por exemplo) nos valores das tensões nos nós V_1 e V_2 (Figura 2.9), pode ocorrer que o valor armazenado seja invertido (alterado), o que significaria um erro no funcionamento da memória, já que a mesma não teve a capacidade de reter a informação correta.

A SNM é definida como o máximo ruído de tensão que pode ser introduzido nas saídas dos 2 inversores que compõem um *latch*, de tal forma que o dado seja mantido sem alteração. A SNM quantifica o valor do ruído de tensão que, se aplicado aos nós internos do *latch*, faz com que o dado armazenado seja alterado [24].

Na Figura 2.11, é mostrado um modelo conceitual do *latch* com as fontes de ruído (modeladas) ligadas aos nós internos.

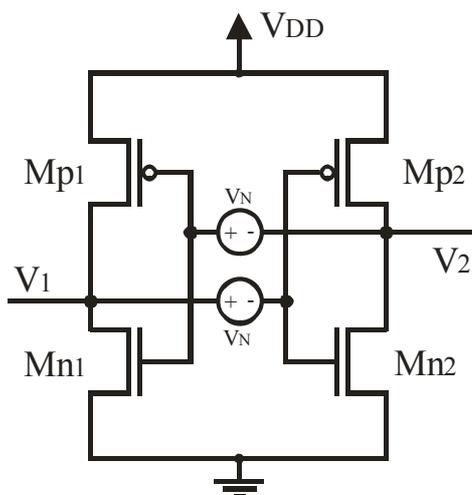


Figura 2.11 – Modelo conceitual do *latch* com as fontes de ruído

Graficamente a SNM é representada como o lado do maior quadrado que pode ser inserido entre as curvas da função de transferência do *latch* [22]. Essa representação é mostrada na Figura 2.12.

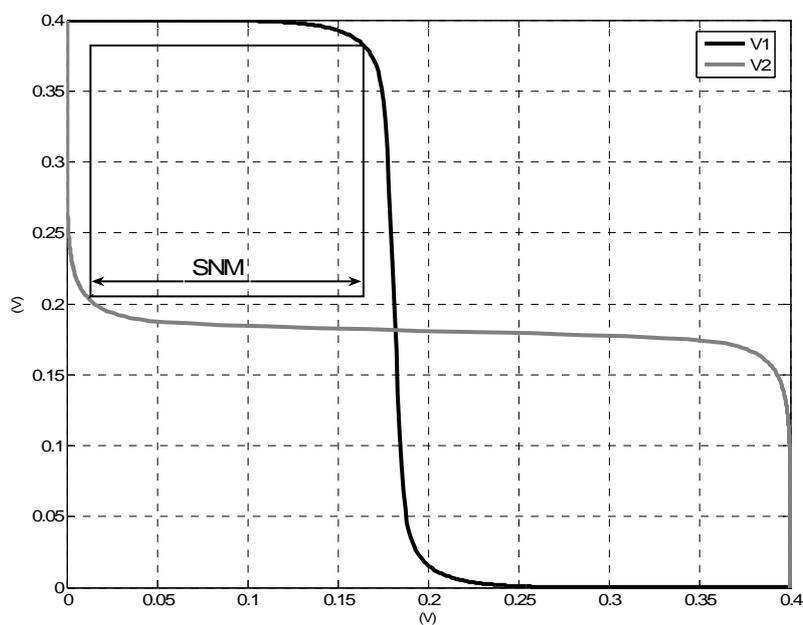


Figura 2.12 – Curvas da função de transferência do *latch*

A Figura 2.13 mostra o *latch* como parte de uma célula de memória RAM estática (SRAM de 6 transistores). O circuito da Figura 2.11 e as curvas da Figura 2.12 valem para a situação de retenção do dado ($WL=0$), quando os transistores de acesso (M_{a1} e M_{a2}) estão cortados.

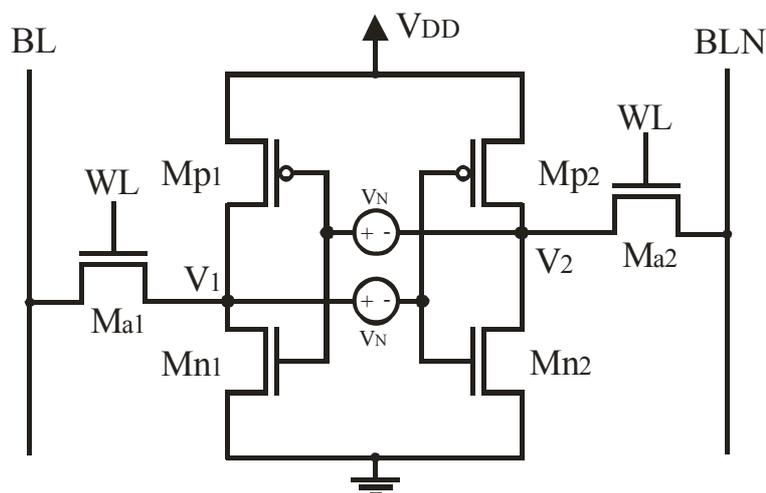


Figura 2.13 - Modelo conceitual da célula SRAM com as fontes de ruído

Embora a SNM seja muito importante durante o armazenamento (*hold*), a estabilidade da célula SRAM na operação de leitura impõe uma importante limitação na operação da SRAM. Na operação de leitura, os transistores de acesso são colocados em condução ($WL=1$) e as *Bit Lines* (BL e BLN) estão pré-carregadas, normalmente, com a tensão de alimentação (V_{DD}), conforme mostrado na Figura 2.14. A tensão do nó interno da célula SRAM que está em nível lógico baixo (V_2) é puxada para cima através do transistor de acesso devido à divisão de tensão entre o transistor de acesso $Ma2$ e o transistor $Mn2$. Este aumento na tensão do nó em nível lógico baixo degrada a SNM, conforme pode ser observado na Figura 2.15 [24, 25, 26].

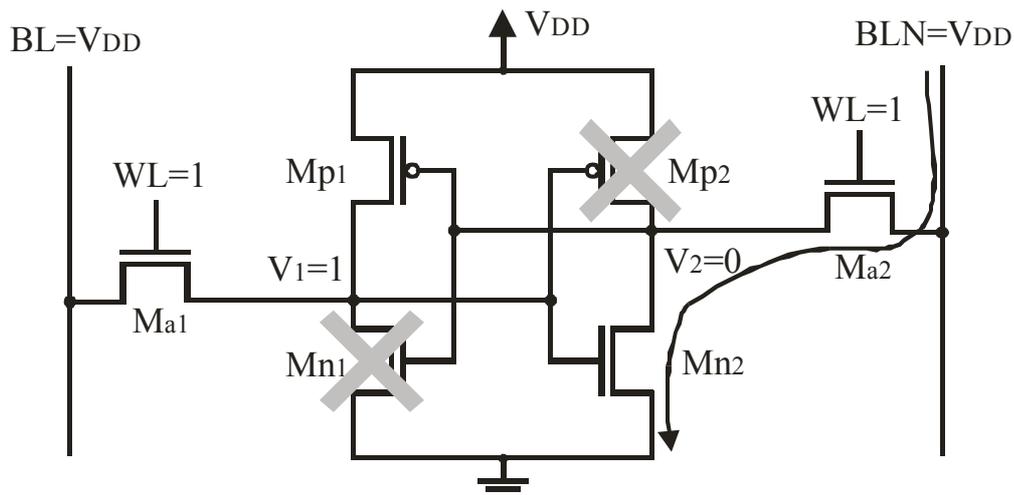


Figura 2.14 – Efeito da operação de leitura na SNM

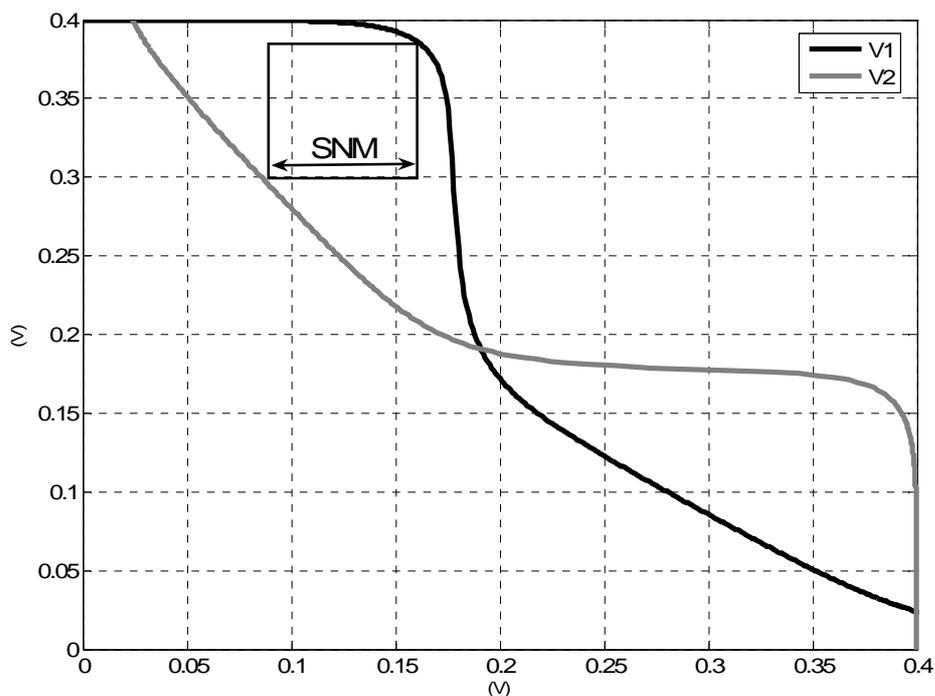


Figura 2.15 - Curvas da função de transferência da célula SRAM em operação de leitura

Com a diminuição da tensão de alimentação, a margem de ruído estático também é diminuída. Mas é na operação de leitura da célula SRAM que se tem a situação mais crítica, na qual a SNM é reduzida ainda mais. Sendo assim, o que seria apenas uma simples operação de leitura da memória pode se tornar fonte de erro em um sistema.

2.6 Outras considerações sobre a célula SRAM operando em baixa tensão de alimentação

Além da margem de ruído estática que é reduzida com a redução da tensão de alimentação, a velocidade de operação da memória SRAM também é reduzida. O tempo que a célula SRAM leva para se estabilizar nos valores máximos e mínimos nos nós internos (V_1 e V_2) é aumentado com a diminuição da alimentação. Em uma operação de escrita, pode-se querer armazenar um dado diferente ao que estava armazenado, Se este for o caso, a célula levará algum tempo para se estabilizar no novo valor. Quanto menor este tempo, maior será a velocidade em que a memória poderá operar.

Uma abordagem sobre a constante de tempo de regeneração, que está diretamente ligada à velocidade de operação da célula SRAM, será apresentada no capítulo 3.

Cabe ressaltar aqui que o objetivo deste trabalho é o estudo da célula SRAM operando em baixa tensão e baixo consumo, e que fatores como a margem de ruído estática e velocidade de operação são reduzidos quando comparados com uma memória operando com tensão de alimentação maior. Visto isso, nos próximos capítulos serão avaliadas e propostas algumas formas de melhoria no funcionamento da célula SRAM operando em baixa tensão de alimentação.

LATCH NA METAESTABILIDADE

3.1 Metaestabilidade

Muitos dos circuitos estáticos CMOS mais amplamente utilizados são formados por circuitos regenerativos. Células de memórias estáticas, *latches*, *flip-flops*, *sense amplifiers*, comparadores, árbitros e sincronizadores são todos implementados com circuitos os quais tem potencial risco a problemas de metaestabilidade. O Circuito regenerativo é usado porque pode prover informação lógica, armazenar e/ou amplificar sinais de tensão. Em muitas aplicações, contudo, as entradas do circuito regenerativo não podem ser cuidadosamente controladas, levando o circuito a permanecer em um estado intermediário ou metaestável. Um elemento em estado metaestável pode propagar erro para o restante do circuito, causando ao sistema a geração de saídas inválidas.

A metaestabilidade é um problema que afeta os circuitos digitais principalmente na velocidade de funcionamento. O tempo de decisão até atingir uma tensão de nível lógico válido muitas vezes limita a frequência de relógio (*clock*).

Um *latch* pode ser apresentado na sua forma mais simples como um par cruzado de inversores, conforme mostrado na Figura 3.1. Se for perfeitamente simétrico (casado) e a diferença entre as tensões V_1 e V_2 for zero, este pode permanecer, teoricamente, indefinidamente no estado metaestável. Como a quantidade de tempo em que o circuito permanece no estado metaestável é ilimitada, a criação de um ambiente livre de erros é impossível. Na prática, a permanência para sempre no estado metaestável seria uma condição muito pouco provável de ocorrer, pois qualquer desbalanceamento entre as saídas dos inversores (V_1 e V_2) faria com que o *latch* saísse da metaestabilidade, e isto pode

ocorrer, por exemplo, por interferência de ruído do ambiente ou, ainda, pelo descasamento entre os transistores MOS, como transcondutâncias, condutâncias, capacitâncias, ou tensão de limiar (*threshold*). Considerando que ocorra o desbalanceamento entre as saídas, o tempo necessário para se estabelecer num dos estados estáveis (“0” ou “1”) dependerá do desbalanceamento inicial, ganho e da largura de banda do *latch* [27].

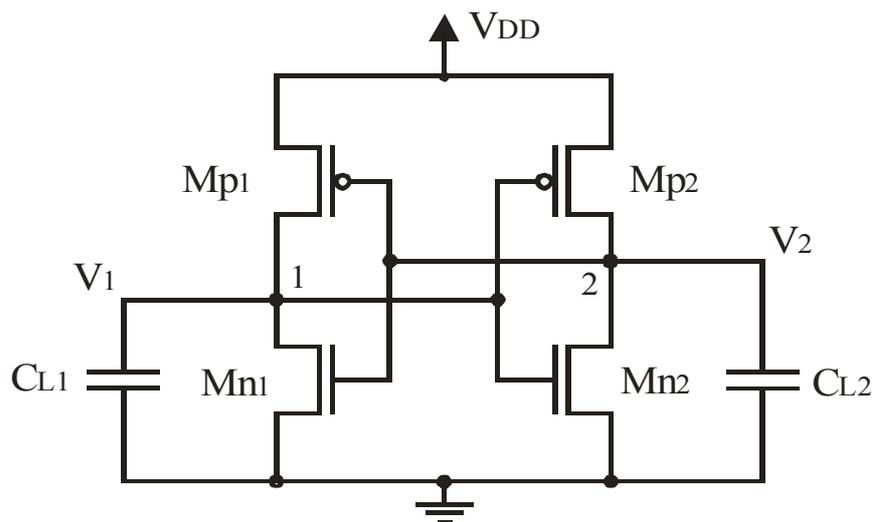


Figura 3.1 – *Latch* formado por um par cruzado de inversores

3.2 Regeneração

Um circuito regenerativo é um circuito com dois estados estáveis. Os estados estáveis são arbitrariamente chamados de “**um**” e “**zero**”. O circuito regenerativo pode ser forçado para qualquer um desses estados sob determinadas condições, desde que as entradas dos circuitos satisfaçam algum requisito de tempo e tensão. Se as entradas não são suficientes para definir claramente qualquer **um** ou **zero**, o circuito se tornará metaestável, e o estado final será aleatório. O circuito necessário para responder a um circuito regenerativo metaestável pode não concordar com o valor, levando a erros intermitentes e causando problemas de confiabilidade. O circuito regenerativo mais simples é o *latch* mostrado na Figura 3.1.

Nas aplicações exemplificadas anteriormente, erros de metaestabilidade são causados por entradas insuficientes para alcançar saídas válidas em um tempo disponível para o circuito regenerativo.

3.2.1 Constante de Tempo de Regeneração

A maioria dos circuitos regenerativos pode ser modelada como dois estágios de ganhos inversores idênticos, um contra o outro, alimentando cargas iguais [27]. A Figura 3.2 mostra o modelo de pequenos sinais do circuito regenerativo da Figura 3.1.

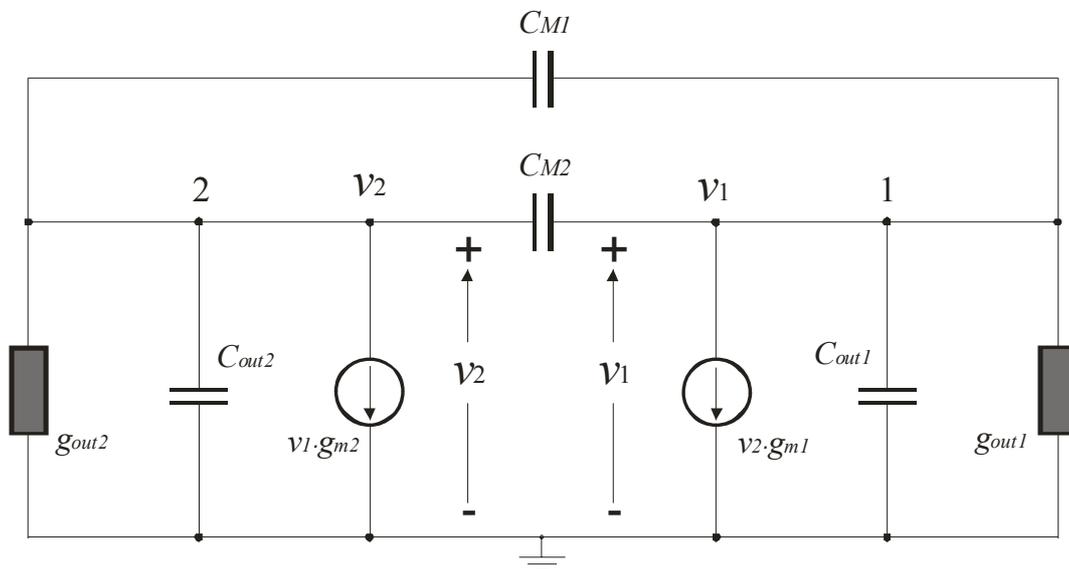


Figura 3.2 – Modelo de pequenos sinais do *latch*

onde

$$g_{m_i} = g_{mn_i} + g_{mp_i} \quad (3.1)$$

$$g_{out_i} = g_{outn_i} + g_{outp_i} \quad (3.2)$$

$$C_{M_i} = C_{gdn_i} + C_{gdp_i} \quad (3.3)$$

$$C_{out_i} = C_{gsn_i} + C_{gsp_i} + C_{L_i} + C_{jn_i} + C_{jp_i} \quad (3.4)$$

Nas equações (3.1) a (3.4), o índice n denota um dispositivo de canal N, o índice p denota um dispositivo de canal P, e o índice i denota os inversores 1 ou 2. C_{gs} e C_{gd} são as capacitâncias entre porta e fonte e entre porta e dreno, respectivamente. C_L é a capacitância

de carga do inversor e C_j é a capacitância de junção da região de dreno de um dispositivo MOS.

As tensões nos nós v_1 e v_2 são referenciadas à tensão de metaestabilidade, a qual é igual ao ponto de chaveamento do estágio de ganho inversor. v_1 e v_2 satisfazem às seguintes duas equações diferenciais [27]:

$$g_{m_1} \cdot v_2 + g_{out_1} \cdot v_1 + C_{out_1} \cdot \frac{dv_1}{dt} + (C_{M_1} + C_{M_2}) \cdot \frac{d(v_2 - v_1)}{dt} = 0 \quad (3.5)$$

$$g_{m_2} \cdot v_1 + g_{out_2} \cdot v_2 + C_{out_2} \cdot \frac{dv_2}{dt} + (C_{M_1} + C_{M_2}) \cdot \frac{d(v_1 - v_2)}{dt} = 0 \quad (3.6)$$

em que g_m é a transcondutância, g_{out} é a condutância de saída de um inversor, C_M é a capacitância Miller ao redor do estágio de ganho (inversor), e C_{out} é a capacitância agrupada de carga na saída dos estágios de ganho. Os índices 1 e 2 denotam os inversores 1 e 2, respectivamente.

Sendo os inversores simétricos e casados, tem-se o modelo de pequenos sinais mostrado na Figura 3.3 [28].

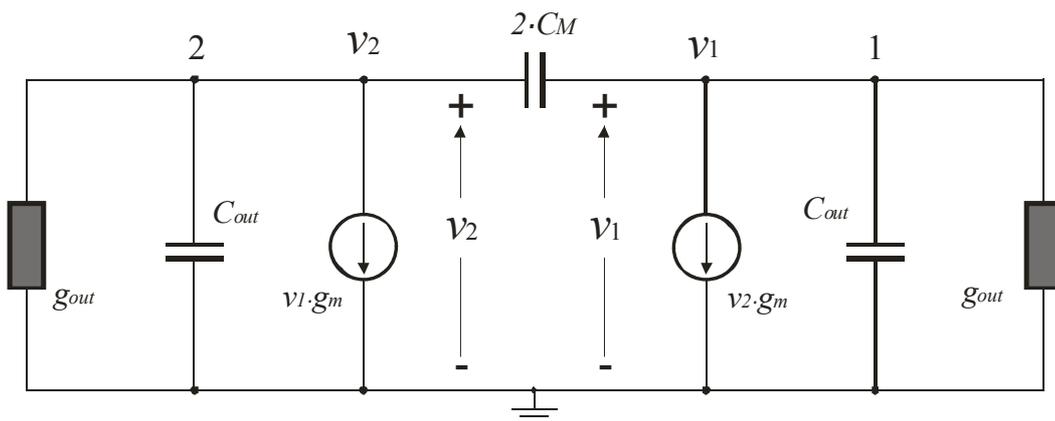


Figura 3.3 – Modelo de pequenos sinais para o *latch* casado e simétrico

onde:

$$gm = gm_1 = gm_2 \quad (3.7)$$

$$g_{out} = g_{out_1} = g_{out_2} \quad (3.8)$$

$$C_M = C_{M_1} = C_{M_2} \quad (3.9)$$

$$C_{out} = C_{out_1} = C_{out_2} \quad (3.10)$$

E as equações diferenciais resultantes, neste caso, são obtidas substituindo-se (3.7) a (3.10) em (3.5) e (3.6) [28, 29]:

$$g_m \cdot v_2 + g_{out} \cdot v_1 + C_{out} \cdot \frac{dv_1}{dt} + 2 \cdot C_M \cdot \frac{d(v_2 - v_1)}{dt} = 0 \quad (3.11)$$

$$g_m \cdot v_1 + g_{out} \cdot v_2 + C_{out} \cdot \frac{dv_2}{dt} + 2 \cdot C_M \cdot \frac{d(v_1 - v_2)}{dt} = 0 \quad (3.12)$$

As equações (3.11) e (3.12) podem ser resolvidas para produzir equações para as tensões dos nós com relação ao tempo. Contudo é muito mais intuitivo discutir a tensão de modo diferencial nos dois nós porque a polaridade e magnitude da tensão diferencial determinarão se as saídas podem ser determinadas como um “zero” ou um “um” válido. A tensão de modo diferencial, V_{diff} é igual a

$$V_{diff}(t) = v_1(t) - v_2(t) \quad (3.13)$$

Das equações (3.11) a (3.13), a solução para a tensão diferencial resulta em

$$V_{diff}(t) = V_{diff}(0) \cdot e^{t \cdot \left(\frac{g_m - g_{out}}{C_{out} + 4 \cdot C_M} \right)} \quad (3.14)$$

em que

$$V_{diff}(0) = v_1(0) - v_2(0)$$

Da equação (3.14) pode ser visto que a tensão de modo diferencial crescerá exponencialmente com o tempo. Essa equação é normalmente representada na forma

$$V_{diff}(t) = V_{diff}(0) \cdot e^{\frac{t}{\tau}} \quad (3.15)$$

em que

$$\tau = \frac{C_{out} + 4 \cdot C_M}{g_m - g_{out}} \quad (3.16)$$

τ é chamado de **constante de tempo de regeneração** para o circuito, e determinará a quantidade de tempo exigida para uma diferença de tensão inicial alcançar o nível de saída exigido para o processamento do circuito sucessivo. Para tensões diferenciais iniciais muito pequenas, o tempo para gerar uma tensão de saída válida pode ser de muitas constantes de tempo. Teoricamente, para um perfeito balanceamento de entrada, o circuito permanecerá balanceado indefinidamente no ponto de metaestabilidade.

Na maioria das implementações práticas, g_m é maior do que g_{out} e C_{out} é maior do que C_M , então a constante de tempo exponencial pode ser aproximada por

$$\tau \approx \frac{C_{out}}{g_m} \quad (3.17)$$

O parâmetro τ é freqüentemente relacionado com o produto ganho banda de um dos estágios de ganho [30]. Contudo, falando estritamente, isto não é correto. O produto ganho banda é próximo da relação com τ , de modo algum há correspondência exata [31].

3.3 Tensão de Metaestabilidade

A tensão de metaestabilidade (V_M) é aquela em que a tensão de entrada do inversor é igual à tensão de saída. Considerando o inversor da Figura 2.3, na metaestabilidade, $V_{IN} = V_{OUT} = V_M$ e $I_{DN} = I_{DP}$. Assim, igualando-se I_{DN} e I_{DP} e substituindo (2.1), tem-se:

$$I_{ON} \cdot e^{\frac{V_{GB} - V_{TN} - n_N \cdot V_{SB}}{n_N \cdot \phi_T}} \cdot \left(1 - e^{-\frac{V_{DS}}{\phi_T}}\right) = I_{OP} \cdot e^{\frac{V_{BG} - |V_{TP}| - n_P \cdot V_{BS}}{n_P \cdot \phi_T}} \cdot \left(1 - e^{-\frac{V_{SD}}{\phi_T}}\right) \quad (3.18)$$

Com os transistores saturados, a tensão $V_{DS(SD)}$ não influencia de forma considerável o funcionamento do transistor. Assim, podemos fazer a aproximação (3.19).

$$I_{ON} \cdot e^{\frac{V_{GB} - V_{TN} - n_N \cdot V_{SB}}{n_N \cdot \phi_T}} = I_{OP} \cdot e^{\frac{V_{BG} - |V_{TP}| - n_P \cdot V_{BS}}{n_P \cdot \phi_T}} \quad (3.19)$$

Da Figura 2.3, onde $V_{SB} = V_{BS} = 0$ e na metaestabilidade, em que $V_G = V_{IN} = V_M$, de (3.10) obtém-se:

$$\ln\left(\frac{I_{OP}}{I_{ON}}\right) = \frac{V_M - V_{TN}}{n_N \cdot \phi_T} - \frac{V_{DD} - V_M - |V_{TP}|}{n_P \cdot \phi_T} \quad (3.20)$$

Considerando transistores simétricos ($V_T = V_{TN} = |V_{TP}|$ e $n = n_n = n_p$) e isolando V_M em (3.20), resulta em (3.21):

$$V_M = \frac{V_{DD}}{2} + \frac{n \cdot \phi_T}{2} \cdot \ln\left(\frac{I_{OP}}{I_{ON}}\right) \quad (3.21)$$

Substituindo (2.2) em (3.21), tem-se

$$V_M = \frac{V_{DD}}{2} + \frac{n \cdot \phi_T}{2} \cdot \ln\left(\frac{\mu_p \cdot n \cdot C'_{OX} \cdot \phi_T^2 \cdot e \cdot \frac{W_p}{L}}{\mu_n \cdot n \cdot C'_{OX} \cdot \phi_T^2 \cdot e \cdot \frac{W_n}{L}}\right)$$

e fazendo transistores simétricos ($V_T = V_{TN} = V_{TP}$ e $n = n_n = n_p$) e com comprimentos $L = L_n = L_p$, obtém-se:

$$V_M = \frac{V_{DD}}{2} + \frac{n \cdot \phi_T}{2} \cdot \ln \left(\frac{\mu_p \cdot W_p}{\mu_n \cdot W_n} \right) \quad (3.22)$$

3.4 Transcondutância na Metaestabilidade

Para obtermos o ganho (g_m) na metaestabilidade,

$$g_m = g_{m_n} + g_{m_p} \quad (3.23)$$

$$g_m = \left. \frac{dI_{DN}}{dV_{IN}} \right| + \left. \frac{dI_{DP}}{dV_{IN}} \right| \quad (3.24)$$

Substituindo a equação das correntes de dreno (2.1) em (3.24), tem-se:

$$g_m = \left. \frac{d \left[I_{O_N} \cdot e^{\frac{V_{GB} - V_{TN} - n_N \cdot V_{SB}}{n_N \cdot \phi_T}} \cdot \left(1 - e^{-\frac{V_{DS}}{\phi_T}} \right) \right]}{dV_{IN}} \right| + \left. \frac{d \left[I_{O_P} \cdot e^{\frac{V_{BG} - |V_{TP}| - n_P \cdot V_{BS}}{n_P \cdot \phi_T}} \cdot \left(1 - e^{-\frac{V_{SD}}{\phi_T}} \right) \right]}{dV_{IN}} \right| \quad (3.25)$$

Da Figura 2.3 e da equação (3.25), tem-se:

$$g_m = \left. \frac{d \left[I_{O_N} \cdot e^{\frac{V_{IN} - V_{TN}}{n_N \cdot \phi_T}} \cdot \left(1 - e^{-\frac{V_{OUT}}{\phi_T}} \right) \right]}{dV_{IN}} \right| + \left. \frac{d \left[I_{O_P} \cdot e^{\frac{V_{DD} - V_{IN} - |V_{TP}|}{n_P \cdot \phi_T}} \cdot \left(1 - e^{-\frac{V_{DD} - V_{OUT}}{\phi_T}} \right) \right]}{dV_{IN}} \right| \quad (3.26)$$

Fazendo as derivações em (3.26), tem-se:

$$gm = \frac{I_{O_N} \cdot e^{\frac{V_{IN}-V_{TN}}{n_N \cdot \phi_T}}}{n_N \cdot \phi_T} + \frac{I_{O_P} \cdot e^{\frac{V_{DD}-V_{IN}-|V_{TP}|}{n_P \cdot \phi_T}}}{n_P \cdot \phi_T} \quad (3.27)$$

Substituindo (2.2) em (3.27), e fazendo transistores simétricos ($V_T = V_{TN} = V_{TP}$ e $n = n_n = n_p$) e com comprimentos $L = L_n = L_p$, tem-se:

$$gm = \frac{C'_{OX} \cdot \phi_T}{L} \cdot e^{\frac{1-V_T}{n \cdot \phi_T}} \cdot \left(\mu_n \cdot W_n \cdot e^{\frac{V_{IN}}{n \cdot \phi_T}} + \mu_p \cdot W_p \cdot e^{\frac{V_{DD}-V_{IN}}{n \cdot \phi_T}} \right) \quad (3.28)$$

Na metaestabilidade $V_{IN} = V_M$, então substituindo (3.22) em (3.28) tem-se:

$$gm = \frac{C'_{OX} \cdot \phi_T}{L} \cdot e^{\frac{2-2 \cdot V_T + V_{DD}}{n \cdot \phi_T}} \cdot 2 \cdot (\mu_n \cdot W_n \cdot \mu_p \cdot W_p)^{\frac{1}{2}} \quad (3.29)$$

3.5 Minimização da Constante de Tempo de Regeneração

Como mostrado em (3.17), a constante de tempo de regeneração, τ , pode ser aproximada pela quantidade C_{out}/g_m em primeira ordem. Se C_{out} é assumido ser algum múltiplo da capacitância de entrada [28]

$$C_{out} = K_\tau \cdot C'_{OX} \cdot (W_n + W_p) \cdot L \quad (3.30)$$

onde K_τ é a razão da capacitância de saída para a capacitância de entrada, C'_{OX} é a capacitância de porta por unidade de área, L é o comprimento do canal do dispositivo, W_n e W_p são as larguras de canal dos dispositivos canal n e p , respectivamente.

Substituindo (3.29) e (3.30) em (3.17), a constante de tempo de regeneração, τ , pode ser mostrada como sendo:

$$\tau = \frac{K_{\tau} \cdot (W_p + W_n) \cdot L^2}{2 \cdot \phi_T \cdot e \cdot \frac{2 - 2V_T - 2nV_W + V_{DD}(1+n)}{2 \cdot n \cdot \phi_T} \cdot (\mu_n \cdot W_n \cdot \mu_p \cdot W_p)^{\frac{1}{2}}} \quad (3.31)$$

Tomando a derivada da equação (3.31) com relação a W_p , os tamanhos dos transistores para τ mínimo pode ser mostrado ser no ponto $W_n = W_p$ (3.32).

$$\frac{d\tau}{dW_p} = 0$$

$$\boxed{W_p = W_n} \quad (3.32)$$

Assim, para a inversão fraca, chega-se ao mesmo resultado obtido por Portmann [28] utilizando a lei quadrática, em inversão forte.

Para confirmar o resultado obtido em (3.32), foi realizada simulação com o circuito *latch* (Figura 2.5). Foi utilizado o simulador SMASH versão 5.2.1 com parâmetros do modelo BSIM3 para a tecnologia TSMC 0,18 μ m, fornecidos pelo MOSIS [32].

Utilizando baixa tensão de alimentação (400mV), comprimentos mínimos em todos transistores (L=200nm) e variando as larguras dos transistores, foram medidos os tempos de estabilização (T_0). T_0 é o tempo em que *latch* leva para ir de um $\Delta V_{(0)} = |V_{2(0)} - V_{1(0)}| = 2mV$ até $\Delta V = |V_2 - V_1| = V_{DD}$. Os valores iniciais utilizados foram: $V_{1(0)} = 180,51042mV$ e $V_{2(0)} = 182,51042mV$. A Tabela 3.1 e Figura 3.4 mostram os resultados obtidos, confirmando que o menor tempo de estabilização ocorre quando as larguras dos transistores N é igual a dos transistores P.

W_N (nm)	W_P (nm)	T_0 (μ s)
300	500	1.072
300	400	1.005
300	350	0.965
300	300	0.9206
350	300	0.9844
400	300	1.042
500	300	1.144

Tabela 3.1 – Tempos de estabilização em função de W_n/W_p

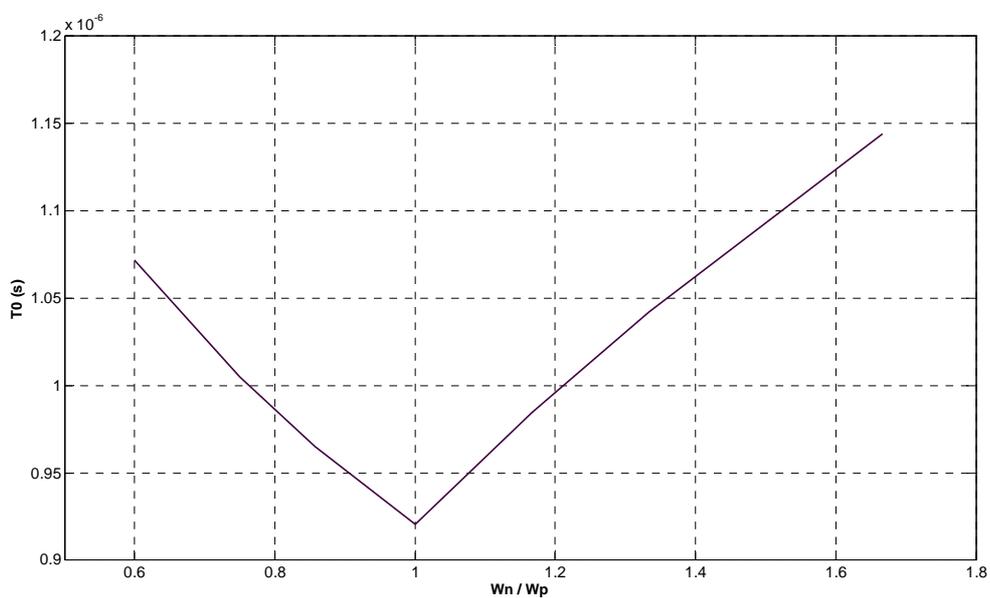


Figura 3.4 – T_0 x W_n/W_p

Capítulo 4

DESEMPENHO DE CIRCUITOS DIGITAIS E POLARIZAÇÃO DE SUBSTRATO

Neste capítulo serão abordados alguns parâmetros e especificações de circuitos digitais, relacionados ao desempenho (velocidade). Ainda, serão abordados efeitos indesejados causados pelas variações nos processos de fabricação dos circuitos integrados.

Para reduzir os problemas causados pelas variações nos parâmetros tecnológicos, foram encontrados na literatura alguns circuitos que fornecem polarização para os substratos dos transistores que formam os circuitos digitais. São os chamados circuitos de polarização de substrato. Esses circuitos são sensíveis as variações de parâmetros tecnológicos (variados em função do processo de fabricação) e ajustam a tensão que polarizará os substratos.

Pelos tamanhos reduzidos e simplicidade de implementação, três circuitos de polarização de substrato foram escolhidos para serem avaliados quando aplicados a células SRAM operando em muito baixa tensão de alimentação. Neste capítulo, a avaliação inicial se deu quando aplicados ao oscilador em anel. Ainda, foram avaliados quanto ao consumo estático isoladamente.

4.1 Desempenho de Circuitos Digitais

Uma das principais especificações de circuitos digitais é o tempo que o circuito leva para trocar o nível lógico da sua saída, após a variação do estado lógico da entrada. Os tempos de subida e descida são nomeados como T_{LH} e T_{HL} , respectivamente. O parâmetro

T_{LH} representa o tempo necessário para a saída variar de 10% a 90% da tensão de alimentação e T_{HL} representa o tempo da variação de 90% até 10% da tensão de alimentação. T_{LH} e T_{HL} também podem ser representados por T_r (*Time to Rise* – Tempo para Subir) e T_f (*Time to Fall* – Tempo para descer), respectivamente. A soma dos tempos T_{LH} e T_{HL} expressa o tempo mínimo para uma saída variar de “0” para “1” e voltar para “0”. A Figura 4.1 apresenta graficamente a definição de T_{LH} e T_{HL} .

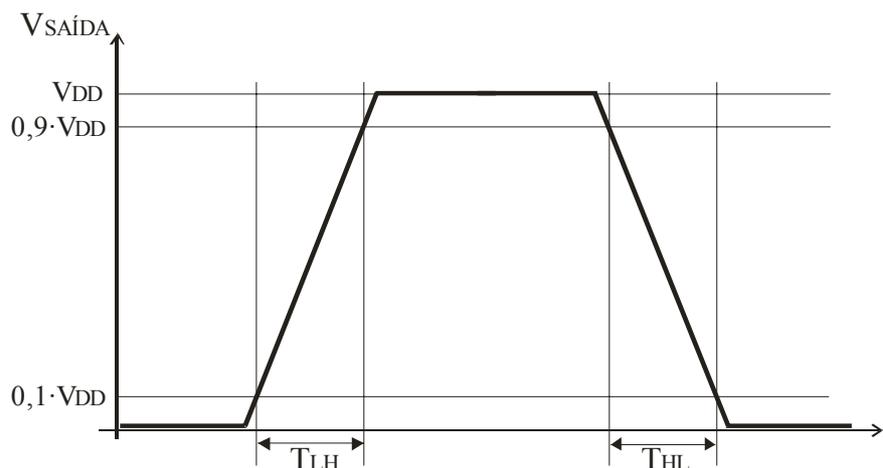


Figura 4.1 – Tempo de subida (T_{LH}) e descida (T_{HL})

Um parâmetro comumente utilizado para determinar o desempenho de um circuito lógico é a velocidade de operação. Essa velocidade está relacionada com a frequência em que o circuito pode operar. Falar em atraso de propagação torna-se conveniente. Como normalmente um circuito digital é formado por várias portas lógicas, este funcionará a uma velocidade menor do que a de cada porta individualmente. Isto porque o sinal de saída responderá à entrada após passar por mais de uma porta lógica. Cada porta lógica incluirá um atraso no sinal. Então, os atrasos de propagação são de interesse. Para determinar os tempos de atraso, faz-se necessário analisar o sinal de saída e o sinal de entrada. Esses tempos compreendem o intervalo decorrido até que o sinal de saída atinja 50% da tensão de alimentação, uma vez que o sinal de entrada tenha assumido este mesmo valor. Esses tempos são chamados de tempo de atraso de descida (T_{pHL}) e tempo de atraso de subida (T_{pLH}). Para demonstrar esses atrasos graficamente, na Figura 4.2 considerou-se um pulso sendo aplicado na entrada de um inversor e o sinal de saída respondendo com algum atraso.

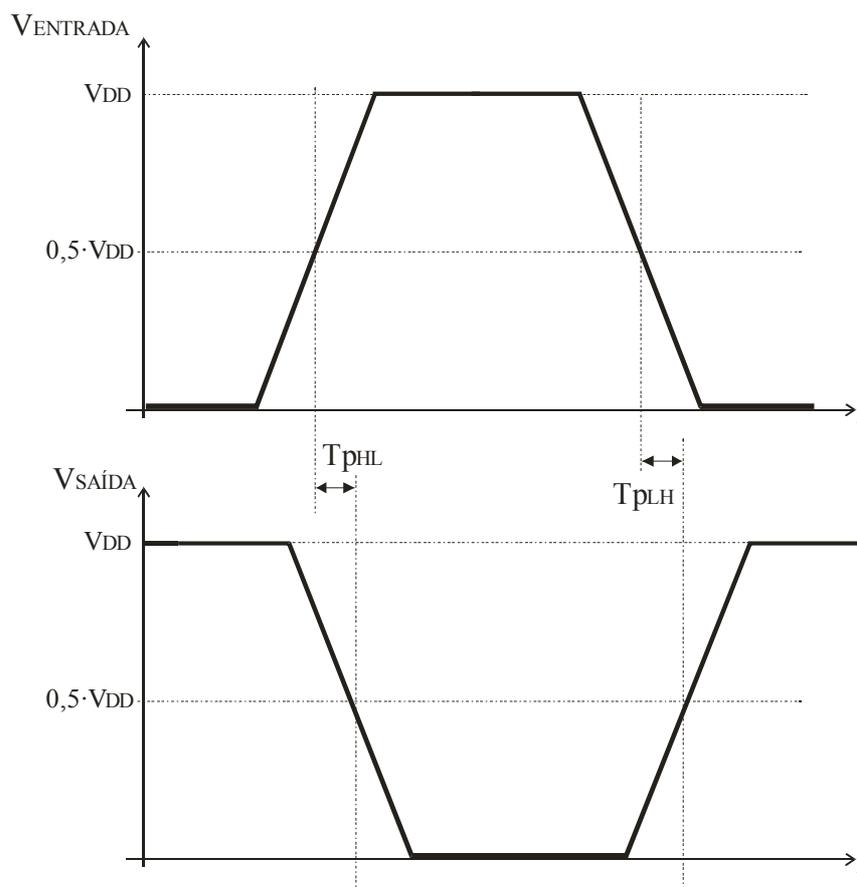


Figura 4.2 – Atraso de propagação (T_{pLH} e T_{pHL})

Como T_{pLH} e T_{pHL} não são necessariamente iguais, trata-se por atraso de propagação (t_p) a média dos tempos T_{pLH} e T_{pHL} , conforme a equação (4.1).

$$t_p = \frac{T_{pHL} + T_{pLH}}{2} \quad (4.1)$$

A equação (4.1) representa uma estimativa razoável sobre o atraso de propagação. Entretanto, algumas vezes, t_p pode ser determinado alternativamente como sendo o maior tempo entre T_{pLH} e T_{pHL} , conforme a equação (4.2).

$$t_p = \max(T_{pHL}, T_{pLH}) \quad (4.2)$$

4.1.1 Tempos de subida e descida

Os tempos de subida e descida de um inversor podem ser determinados a partir da Figura 4.3. Na Figura 4.3 (a) é ilustrada a situação em que há nível lógico baixo aplicado à entrada do inversor. Neste caso, o transistor NMOS está cortado e o PMOS conduzindo. Assim, a carga do capacitor dá-se pelo transistor PMOS (I_{DP}). Já na Figura 4.3 (b) é ilustrada a situação em que há nível lógico alto aplicado à entrada do inversor. Neste caso, o transistor PMOS está cortado e o NMOS conduzindo. Assim, a descarga do capacitor ocorre através do transistor NMOS (I_{DN}).

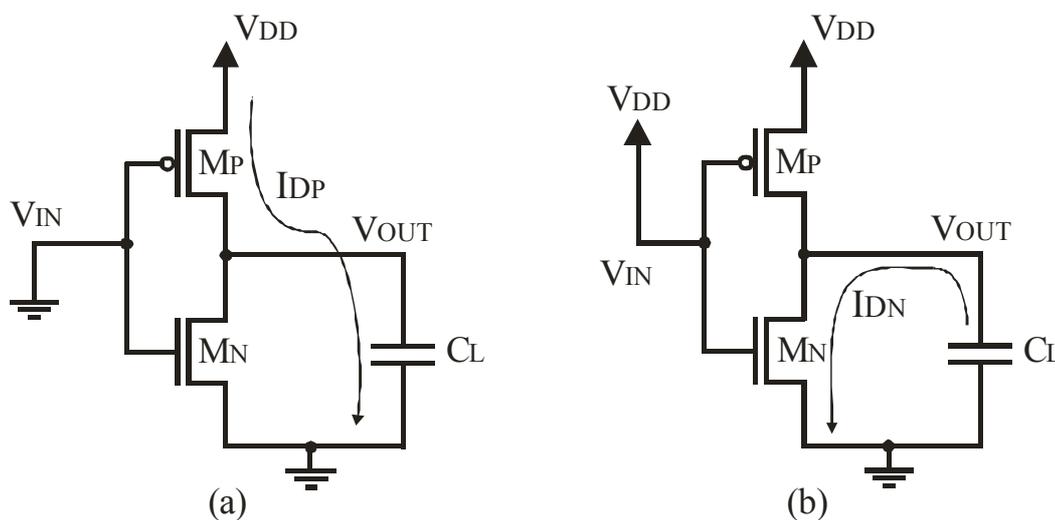


Figura 4.3 – Circuitos para determinação do
(a) tempo de subida e (b) tempo de descida

O tempo de subida, T_{LH} , e descida, T_{HL} , podem ser determinados calculando-se o tempo de carga e descarga do capacitor de carga (C_L), tal que

$$I_{D_{N(P)}} = - (+) C_L \cdot \frac{dV_{OUT}}{dt} . \quad (4.3)$$

Substituindo-se (2.1) em (4.3), chega-se em

$$I_{O_{N(P)}} \cdot e^{\frac{V_{GB(BG)} - |V_{TN(P)}| - n_{N(P)} \cdot V_{SB(BS)}}{n_{N(P)} \cdot \phi_T}} \cdot \left(1 - e^{-\frac{V_{DS(SD)}}{\phi_T}} \right) = -(+) C_L \cdot \frac{dV_{OUT}}{dt} \quad (4.4)$$

Fazendo $V_{DS(SD)} = V_{OUT}$ em (4.4), e isolando ambos os termos em um só lado da equação, tem-se:

$$1 = -(+) \frac{C_L}{I_{O_{N(P)}} \cdot e^{\frac{V_{GB(BG)} - |V_{TN(P)}| - n_{N(P)} \cdot V_{SB(BS)}}{n_{N(P)} \cdot \phi_T}} \cdot \left(1 - e^{-\frac{V_{OUT}}{\phi_T}} \right)} \cdot \frac{dV_{OUT}}{dt} \quad (4.5)$$

Integrando ambos os lados de (4.5),

$$\int dt = T_{HL(LH)} = \frac{C_L}{I_{O_{N(P)}} \cdot e^{\frac{V_{GB(BG)} - |V_{TN(P)}| - n_{N(P)} \cdot V_{SB(BS)}}{n_{N(P)} \cdot \phi_T}}} \cdot \int_{0,1V_{DD}}^{0,9V_{DD}} \frac{dV_{OUT}}{1 - e^{-\frac{V_{OUT}}{\phi_T}}} \quad (4.6)$$

A solução de (4.6) resulta em

$$T_{HL(LH)} = \frac{C_L}{I_{O_{N(P)}} \cdot e^{\frac{V_{GB(BG)} - |V_{TN(P)}| - n_{N(P)} \cdot V_{SB(BS)}}{n_{N(P)} \cdot \phi_T}}} \left\{ 0,8 \cdot V_{DD} + \phi_T \cdot \ln \left(\frac{1 - e^{-\frac{0,9 \cdot V_{DD}}{\phi_T}}}{1 - e^{-\frac{0,1 \cdot V_{DD}}{\phi_T}}} \right) \right\} \quad (4.7)$$

em que V_{DD} é a tensão de alimentação.

Como o termo $\phi_T \cdot \ln \left(\frac{1 - e^{-\frac{0,9 \cdot V_{DD}}{\phi_T}}}{1 - e^{-\frac{0,1 \cdot V_{DD}}{\phi_T}}} \right) \approx 0$, pode-se fazer a aproximação (4.8).

$$T_{HL(LH)} = \frac{0,8 \cdot C_L \cdot V_{DD}}{I_{O_{N(P)}} \cdot e^{\frac{V_{GB(BG)} - |V_{TN(P)}| - n_{N(P)} \cdot V_{SB(BS)}}{n_{N(P)} \cdot \phi_T}}} \quad (4.8)$$

A capacitância equivalente de carga, C_L , é formada pela capacitância do próximo estágio, por capacitâncias de interconexão com o próximo estágio e por capacitâncias intrínsecas do transistor, de acordo com a expressão

$$C_L = \sum_{N,P} (C_{OV} + C_{jD}) + C_{INT} + \sum_{N,P} C_{GATE} \quad (4.9)$$

C_{OV} é a capacitância de *overlap*, C_{jD} é a capacitância de junção de dreno, C_{INT} é a capacitância de interconexão com o próximo estágio e C_{GATE} é a capacitância da porta de cada transistor do próximo estágio.

4.1.2 O Oscilador em Anel

Como alternativa para testes de desempenho de circuitos digitais, utiliza-se o oscilador em anel. O oscilador em anel é um circuito composto por um número ímpar de estágios inversores, dos quais a saída de um estágio é ligada ao próximo, e o último estágio é ligado ao primeiro. Um oscilador em anel pode ser implementado utilizando-se um mínimo de três inversores, conforme mostrado na Figura 4.4.

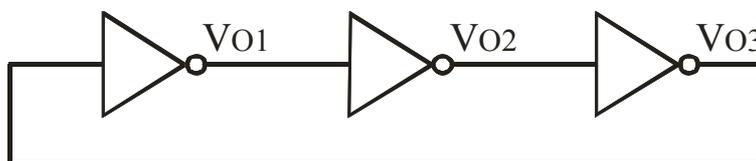


Figura 4.4 – Oscilador em Anel de 3 estágios

Testes de desempenho são normalmente baseados na comparação de dois tipos distintos de circuitos (tecnologia e/ou topologia diferentes). Com o oscilador em anel pode-se ter uma noção dos tempos de subida e descida de uma saída. Apesar de na prática o oscilador em anel ser pouco utilizado, ele se torna interessante em testes comparativos.

Para mostrar o efeito da diminuição da tensão de alimentação no desempenho de circuitos digitais, foram realizadas simulações com osciladores em anel com tensões de alimentação diferentes. Em [33] é recomendado que sejam utilizados pelo menos cinco estágios na implementação do oscilador em anel. Na Figura 4.5 é mostrado o oscilador simulado.

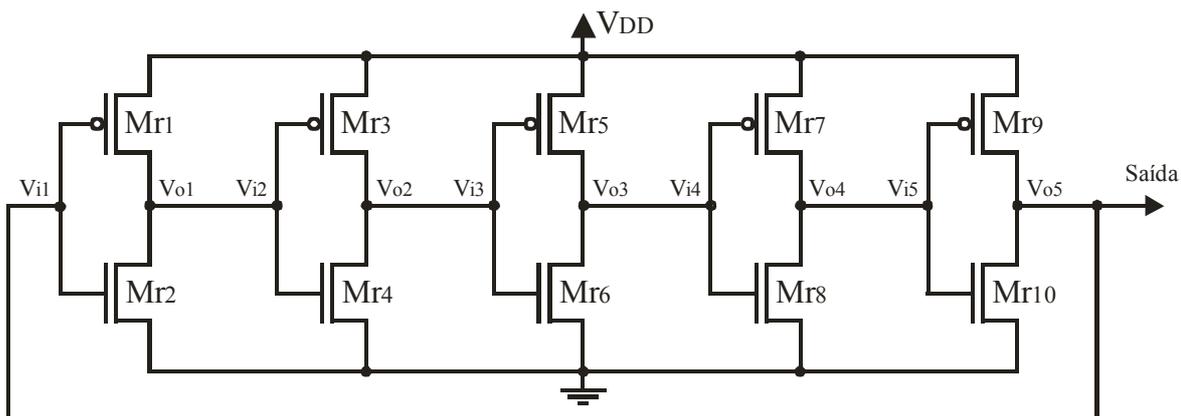
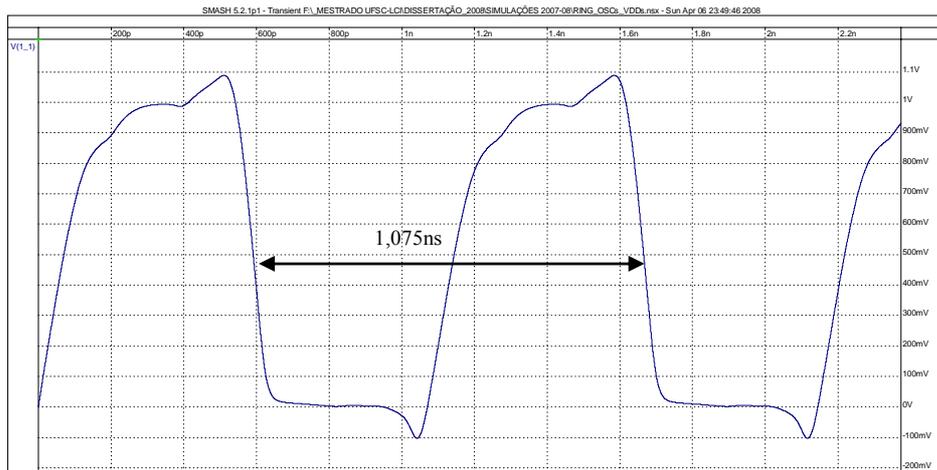
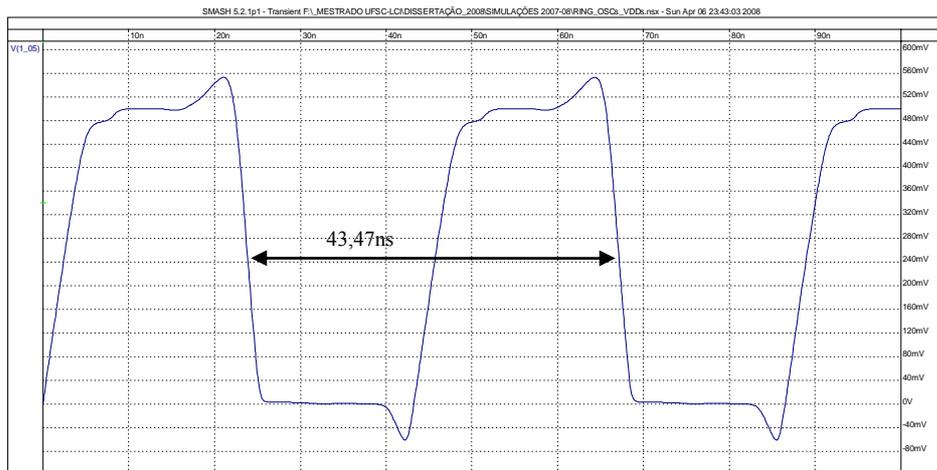


Figura 4.5 – Oscilador em Anel de 5 estágios

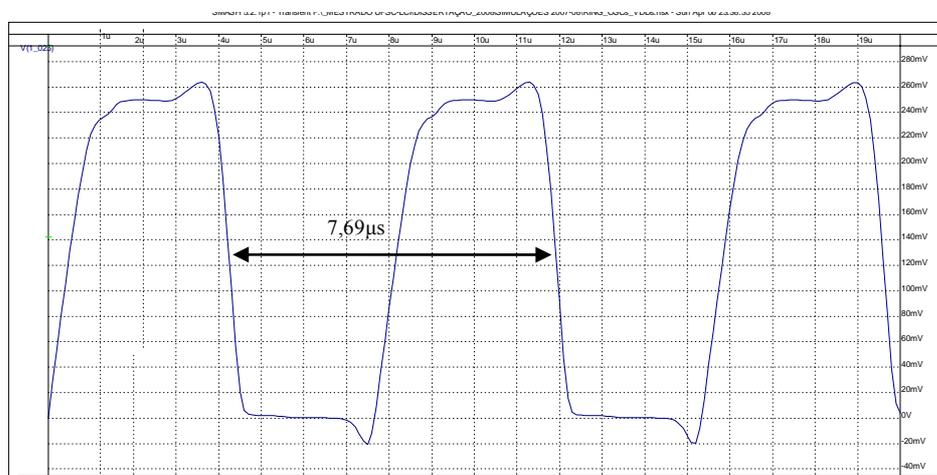
Para realizar as simulações, foi utilizado o simulador de nível elétrico SMASH versão 5.2.1, com parâmetros do modelo BSIM3 para a tecnologia TSMC 0,18 μm e tamanhos mínimos para os transistores ($W=300\text{nm}$ e $L=200\text{nm}$). Foram simulados três osciladores em anel de cinco estágios, em que a tensão de alimentação foi variada de um circuito para o outro. Utilizando-se os valores de 1V, 500mV e 250mV para tensões de alimentação, as frequências de operação obtidas foram de 930 MHz, 23 MHz e 130 kHz, respectivamente. A Figura 4.6 (a), (b) e (c) mostra os resultados das simulações.



(a)



(b)



(c)

Figura 4.6 – Saídas dos Osciladores em Anel de 5 estágios

(a) $V_{DD} = 1V$, (b) $V_{DD} = 500mV$ e (c) $V_{DD} = 250mV$

No sinal do oscilador em anel alimentado com 1V (Figura 4.6 (a)) é possível observar que o período do sinal, bem como os tempos de subida e descida, são menores dos que os dos osciladores alimentados com 0,5V e 0,25V. Assim, o oscilador em anel com alimentação de 1V tem melhor desempenho do que os com alimentação menor.

Dos três osciladores em anel simulados, o oscilador alimentado com a menor tensão apresentou os maiores tempos de período, tempos de subida e descida, conseqüentemente, sendo considerado o de menor desempenho em termos de velocidade de operação.

Com esses resultados, é mostrado que a diminuição da tensão de alimentação faz com que a velocidade de operação do oscilador em anel, e conseqüentemente de qualquer outro circuito digital, seja diminuída enormemente.

4.2 Variações no processo de fabricação

A fabricação de um circuito integrado dá-se a partir de uma lâmina de silício dopada, geralmente, com impurezas do tipo P. Essa lâmina de silício é também conhecida por *wafer*. No processo de fabricação do *wafer*, pode ocorrer uma não uniformidade na dopagem. Com isso, algumas partes não terão exatamente as mesmas características de outras.

Os transistores que formam os circuitos CMOS são construídos na superfície do *wafer*, conforme já mostrado na Figura 2.1. Os substratos dos transistores podem ser a própria lâmina de silício. Geralmente o substrato é do tipo P, podendo mais facilmente construir-se um transistor MOS canal N. Para se conseguir o transistor canal P, deve-se ter um substrato do tipo N. Como o *wafer* só pode ser de um tipo, e se o mesmo for do tipo P, deve-se construir uma região N. Esta região é o poço do tipo N, onde podem ser construídos os transistores MOS canal P.

Na construção dos poços também podem ocorrer não uniformidades nas dopagens dos mesmos. Sendo assim, tanto transistores MOS canal N quanto canal P estão sujeitos a variações no comportamento em função da não uniformidade das regiões onde são construídos.

Quando se projetam transistores com as mesmas características (tipo, dimensões, etc.) e os mesmos podem não ser construídos de forma efetivamente idêntica, diz-se que os transistores estão descasados. Ao contrário, se conseguirem ser idênticos quando construídos, serão transistores casados. Em inglês, é usado o termo *mismatch* para designar descasamento e *match* para se designar casamento entre transistores.

Ainda, na construção dos transistores outros fatores também influenciam no descasamento. Além do poço, outras regiões também têm que ser inseridas na lâmina de silício. As regiões de difusão, que também passam por processos de dopagem, formam os terminais de fonte e dreno. A espessura da camada isolante existente entre a porta e o substrato (ou poço), formada pelo dióxido de silício, também pode conter não uniformidades [34]. As larguras e comprimentos dos transistores também podem não ser exatamente iguais de um transistor para outro. Em algumas situações, vêem-se os termos largura efetiva (W_{ef}) e comprimento efetivo (L_{ef}). Isso representa o tamanho real, efetivamente construído, e não o tamanho desejado ou projetado. Claro que estas variações tendem a ser pequenas, mas, dependendo da aplicação, podem resultar em um funcionamento não esperado, ou com desempenho inferior ao projetado [35].

Por fim, uma série de fatores influencia para que exista descasamento entre transistores. Pelo fato de serem construídos em uma mesma lâmina de silício, mas distantes entre si, transistores podem estar descasados. O descasamento pode ser *intra-chip* ou *intra-die*, quando ocorrer entre transistores de uma mesma pastilha ou *die* (parte do *wafer*) ou *inter-chip* ou *inter-die* quando ocorrer entre transistores de pastilhas diferentes.

Como o foco deste trabalho é utilizar os transistores MOS alimentados com baixa tensão de alimentação, estes estarão operando na região de inversão fraca ou exponencial, conforme já abordado no capítulo 2. No regime de inversão fraca, as variações dos parâmetros tecnológicos afetam mais intensamente o comportamento dos transistores do que se estivessem operando no regime de inversão forte, por exemplo. A dependência exponencial de alguns parâmetros agrava os problemas de descasamento.

Para diminuir os efeitos indesejados causados pelas variações de parâmetros tecnológicos, neste capítulo será abordada uma técnica de compensação: a polarização de substrato. Polarizando os substratos dos transistores com algum valor de tensão, também dependente dos parâmetros tecnológicos, pode-se diminuir as diferenças de comportamento de cada transistor que forma os circuitos digitais.

4.2.1 Influência da variação de parâmetros tecnológicos e diminuição da tensão de alimentação no desempenho

A variação de parâmetros tecnológicos pode afetar o desempenho de circuitos digitais. Na equação (4.8) são definidos os tempos de subida e descida (T_{LH} e T_{HL}) para o regime de inversão fraca. Nota-se que se a tensão de limiar (V_{TP} ou V_{TN}) variar, T_{LH} e T_{HL} irão variar da mesma forma. Assim, se V_T aumentar, os tempos aumentarão e o desempenho (velocidade) será diminuído. No regime de inversão fraca, a dependência da velocidade em relação a V_T é exponencial.

Outros parâmetros também influenciam no desempenho dos circuitos. A velocidade de operação é diretamente proporcional a $I_{D_{N(P)}}$ (equação 2.1), sendo essa corrente dependente de outros parâmetros. A velocidade de operação também é dependente da temperatura, mas neste trabalho não foi considerado qualquer efeito da temperatura.

Nas simulações realizadas para avaliar a influência da variação de parâmetros tecnológicos, foram consideradas variações de V_T (Tensão de *Threshold*). O parâmetro V_{th0} , da tecnologia TSMC 0,18 μ m, fornecido pelo MOSIS [32] para simulações usado o modelo BSIM, foi variado em $\pm 20\%$ para os transistores NMOS e PMOS. Foram utilizadas combinações entre V_T s nominais (V_{th0} nominais), V_{TN} e V_{TP} 20% menor que o nominal (V_{th0} com -20%) e V_{TN} e V_{TP} 20% maior que o nominal (V_{th0} com +20%). A listagem completa dos parâmetros tecnológicos utilizados nas simulações é apresentada no Anexo A. A Tabela 4.1 mostra os valores utilizados para V_{TP} e V_{TN} .

V_{TP} nominal	$V_{th0} = -0,4075115$ V	V_{TN} nominal	$V_{th0} = 0,3729345$ V
$V_{TP} +20\%$	$V_{th0} = -0,4890138$ V	$V_{TN} +20\%$	$V_{th0} = 0,4475214$ V
$V_{TP} -20\%$	$V_{th0} = -0,3260092$ V	$V_{TN} -20\%$	$V_{th0} = 0,2983476$ V

Tabela 4.1 – Valores utilizados para V_{TP} e V_{TN}

Simulando o oscilador em anel, com tensões de alimentação de 1V, 0,5V, 0,25V e variando as tensões de limiar dos transistores (V_{TN} e V_{TP}), pode-se observar as variações ocorridas nos desempenhos. Na Tabela 4.2 são apresentados os resultados comparativos

das simulações entre os osciladores em anel de 5 estágios da Figura 4.5, variando-se V_{DD} e V_T dos transistores.

	Frequência nominal	Variação da frequência			
	V_{TP} nominal	$V_{TP} +20\%$	$V_{TP} -20\%$	$V_{TP} +20\%$	$V_{TP} -20\%$
V_{DD}	V_{TN} nominal	$V_{TN} -20\%$	$V_{TN} +20\%$	$V_{TN} +20\%$	$V_{TN} -20\%$
1V	930 MHz	-12,15% (817 MHz)	+6,45% (990 MHz)	-27,09% (678 MHz)	+31,18% (1,22 GHz)
0,5V	23 MHz	-72,17% (6,4 MHz)	-26,39% (16,93 MHz)	-81,91% (4,16 MHz)	+296,08% (91,1 MHz)
0,25V	130 kHz	-73,84% (34 kHz)	-39,23% (79 kHz)	-87,3% (16,5 kHz)	+639,23% (961 kHz)

Tabela 4.2 – Variação da frequência do oscilador em anel variando V_T dos transistores

Da Tabela 4.2 nota-se que com tensão de alimentação de 1 V (acima da tensão de limiar dos transistores), o desvio na frequência do oscilador, quando variados os V_T s dos transistores, foi muito menor do que com alimentação menor (perto e abaixo da tensão de limiar). Com 1V de alimentação, o pior caso de desvio foi de aproximadamente 30% na frequência de operação, comparando com a frequência no caso de V_T s nominais. Como já esperado, com V_T s menores, maior foi a frequência do oscilador em anel.

Diminuindo a tensão de alimentação, claramente se nota a diminuição no desempenho. Os tempos de descida (T_{HL}) e subida (T_{LH}) dependem diretamente de V_{DD} , confirmado pela equação (4.8). Com alimentação de 0,5 V, o desvio na frequência do oscilador em anel foi muito superior. Considerando os piores casos da Tabela 4.1 (V_{TN} e V_{TP} com +20% e V_{TN} e V_{TP} com -20%), onde a variação na frequência foi em torno de 30% com alimentação de 1V, diminuído para 0,5V, a variação passou a ser de -80% a 300%. Diminuído ainda mais (alimentação de 0,25V), essa variação passa a ser de -85% a 600%, para as mesmas situações de variações de V_T s.

Disso, observa-se que com menor tensão de alimentação as variações de V_T influenciam mais significativamente no desempenho do oscilador, e conseqüentemente nos circuitos digitais de maneira geral.

No comparativo da Tabela 4.2, a referência é a condição de V_T s nominais. Variando-se V_{TN} e V_{TP} , o desempenho do oscilador em anel foi melhor na situação em que ambos foram diminuídos (-20%). Isto se confirma com a equação (4.8).

Na próxima seção, será abordada uma técnica de compensação para variações de parâmetros tecnológicos, bem como para melhorar o desempenho dos circuitos. Essa técnica consiste na polarização dos substratos dos transistores que formam os circuitos.

4.3 Polarização de Substrato

De maneira geral e mais comum, em circuitos digitais, os substratos dos transistores são ligados às fontes (Figura 2.3). Aplicando-se alguma tensão nos substratos ($|V_{SB}| \neq 0$), pela equação (4.10) [33], vê-se que se estará alterando V_T do transistor.

$$V_T = V_{T0} + \gamma \cdot \left(\sqrt{|-2 \cdot \phi_F + V_{SB}|} - \sqrt{|2 \cdot \phi_F|} \right) \quad (4.10)$$

γ é o coeficiente de efeito de corpo, ϕ_F é potencial de Fermi e V_{SB} a tensão entre fonte e substrato.

De (4.10), quando $|V_{SB}|$ é aumentado, a tensão de limiar (V_T) diminui. De (4.8) vê-se que, com a diminuição de V_T , os tempos de subida e descida diminuem, permitindo que o circuito opere com maior velocidade. Esse efeito pode ser observado na Tabela 4.2, comparando as colunas de V_T s nominais e V_T s 20% menores que os nominais.

Assim, é possível se utilizar a polarização de substrato como forma de melhorar o desempenho de circuitos digitais. Aplicando-se algum valor de tensão entre fonte e

substrato maior do que zero tem-se a polarização direta do substrato (FBB – *Forward Body Bias*). Com a FBB se consegue aumentar a velocidade de operação dos circuitos. Ao contrário, fazendo V_{SB} (NMOS) e V_{BS} (PMOS) menores do que zero, tem-se a polarização reversa de substrato (RBB – *Reverse Body Bias*).

Ainda sobre a tensão de polarização do substrato, esta pode ser obtida de algum circuito que além de aplicar a tensão ao substrato, também adapte esta tensão às variações de parâmetros tecnológicos. Sendo assim, a tensão de polarização deve depender dos parâmetros tecnológicos, como por exemplo, de V_T .

Na próxima seção, serão abordados alguns circuitos que podem fornecer tensões aos substratos dos transistores que formam os circuitos digitais.

4.4 Circuitos de Polarização de Substrato

Como mostrado na seção anterior, aplicando-se algum valor de tensão maior do que zero entre fonte e substrato ($V_{SB}>0$ no NMOS e $V_{BS}>0$ no PMOS), se consegue maior velocidade de chaveamento.

Na literatura são encontrados diversos trabalhos onde são propostas técnicas de polarização de substrato. Algumas destas técnicas apresentam complexidades e tamanhos (áreas) superiores a outras. Além de melhorar o desempenho dos circuitos digitais, estes circuitos de polarização geram tensões de polarização dependentes dos mesmos parâmetros tecnológicos que dependem os circuitos digitais. Dessa forma, se pode conseguir compensar desvios de comportamento dos circuitos digitais quando submetidos a variações de parâmetros tecnológicos.

Em [36] é apresentado um circuito de estabilização da polarização de substrato (Figura 4.7). Este circuito monitora (Figura 4.8) qualquer variação na corrente do transistor, seja devido à variação de temperatura ou variação de parâmetros tecnológicos, e fornece uma polarização apropriada (Figura 4.9) para os substratos dos transistores que

formam o circuito digital. Ambos, circuito digital e esquema de estabilização, operam no regime de inversão fraca.

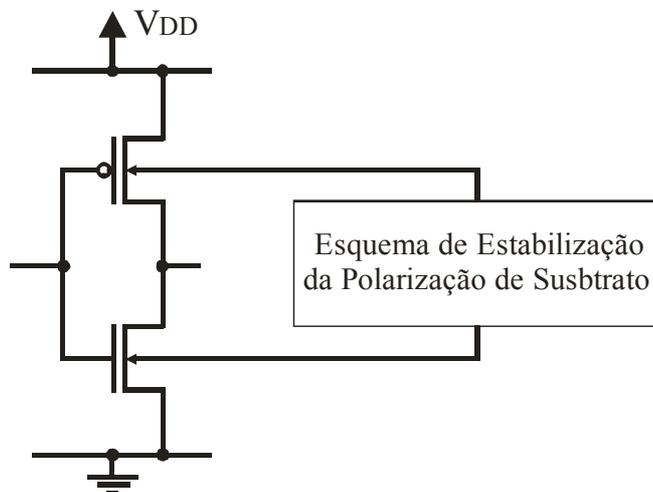


Figura 4.7 – Proposta do Esquema de Estabilização da Polarização de Substrato

Varição na corrente do transistor sensor (Figura 4.8) resultará na variação da tensão de controle.

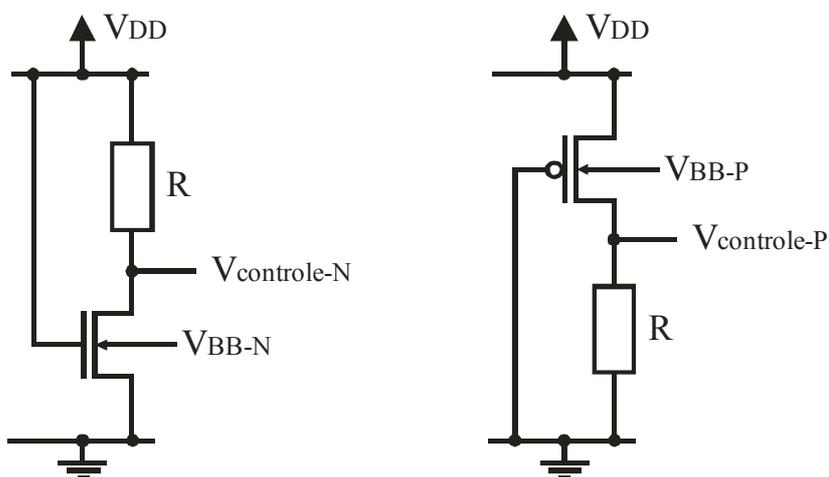


Figura 4.8 – Monitores de corrente

Essa tensão de controle será utilizada pelo circuito de polarização de substrato (Figura 4.9) para gerar a tensão que irá polarizar os substratos dos transistores dos circuitos digitais.

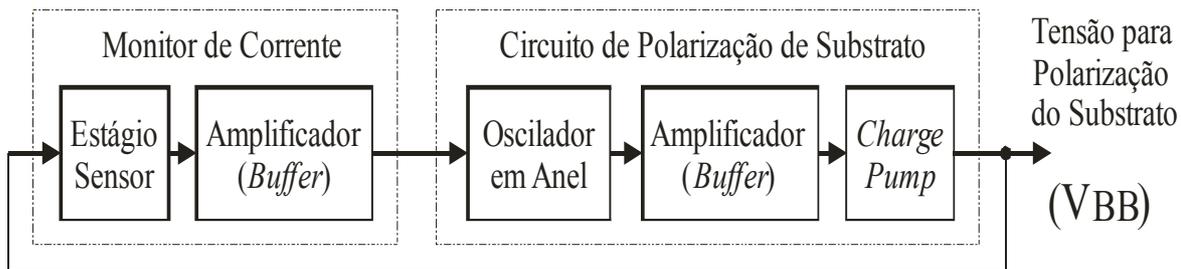


Figura 4.9 – Esquema de Estabilização da Polarização de Substrato

Variações no processo de fabricação podem ocasionar variações na tensão de limiar (V_T) dos transistores. No regime de inversão fraca, a corrente de dreno dos transistores depende exponencialmente de V_T . Com o esquema de estabilização proposto por [36], é visado minimizar os efeitos causados pelas variações de processo e temperatura.

Uma desvantagem na proposta de [36] é a complexidade do circuito de estabilização e o aumento da área do circuito.

Em [37] é proposto um circuito de polarização de substrato adaptativo bidirecional (*Bidirecional Adaptive Body Bias*). A finalidade deste circuito é de compensar variações de parâmetros tecnológicos, aplicando a polarização de substrato nos transistores NMOS e PMOS. Com esta técnica foi conseguido melhorar o rendimento de *chips* implementados em pastilhas diferentes (*inter-die*), aumentando a taxa de aceitação (frequência e consumo).

O circuito de polarização de substrato de [37] consiste de uma réplica de um caminho crítico do circuito digital, no qual é aplicada uma frequência de referência. Esta frequência é comparada com o sinal de saída do caminho crítico em um detector de fase. Do detector de fase, são aplicados pulsos em um contador de 5 bits, no qual o valor binário de saída produz 32 níveis de tensão diferentes na saída de um conversor digital/analógico. A tensão de saída do conversor D/A será a tensão desejada para polarizar os substratos dos transistores do circuito. O Esquema do circuito de polarização de substrato adaptativo bidirecional (*Bidirecional ABB*) é mostrado na Figura 4.10.

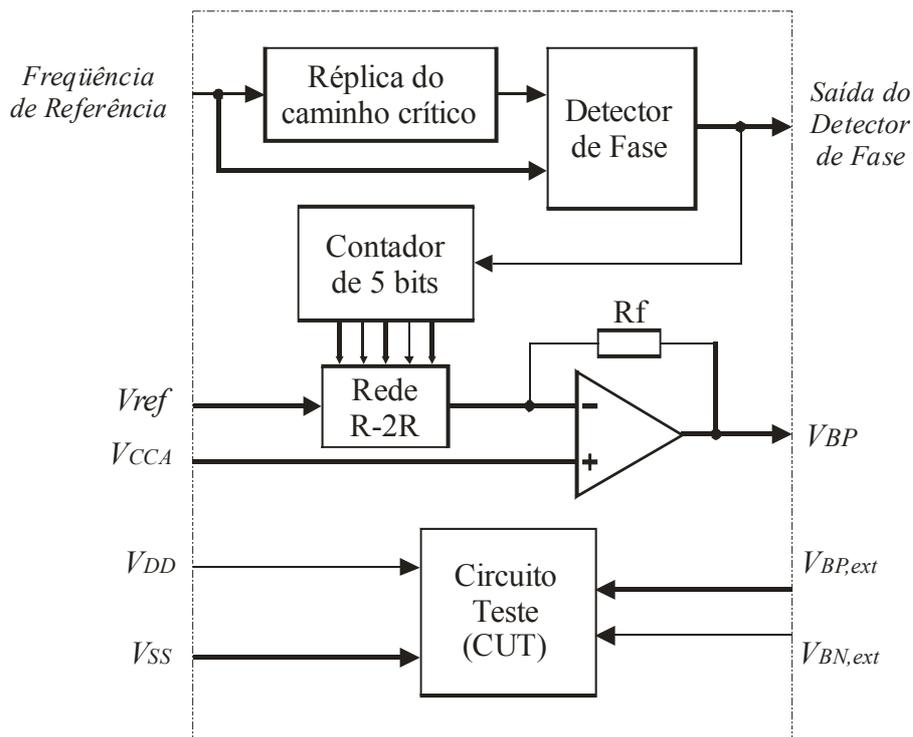


Figura 4.10 – Circuito de polarização de substrato adaptativo bidirecional

Da forma como foi idealizado, este circuito de polarização é posicionado em algum local do *chip*. Então, a tensão de polarização gerada por este circuito é baseada nos parâmetros tecnológicos do local onde foi implementado. Variações de processos *inter-die* (pastilhas diferentes) até podem ser compensadas. As variações locais, na mesma pastilha (*intra-die*), seriam parcialmente compensadas, pois este circuito de polarização estaria posicionado em algum local da pastilha, tomando como referência os parâmetros deste local. Para compensar variações de parâmetros na mesma pastilha, deveriam ser implementados vários circuitos de polarização na mesma pastilha. Por não ser um circuito de área desprezível e baixa complexidade, nesse caso seria exigida uma área considerável, o que se tornaria uma desvantagem dessa técnica de polarização.

Como vantagem, o circuito de [37] pode gerar tanto tensões de polarização positivas (FBB) ou negativas (RBB). Para as pastilhas mais lentas, seria aplicada FBB. Assim, se estaria reduzindo a tensão de limiar dos transistores, o que resultaria no aumento da frequência de operação do *chip*. Para os *chips* que apresentarem um elevado consumo

estático, devido às correntes de fuga, seria aplicada RBB onde se estaria aumentando a tensão de limiar e diminuindo as correntes de fuga.

Em [38], é feita uma revisão no esquema FBB, com o objetivo de tornar mais rápidas as transições (T_{LH} e T_{HL}). Sob o aspecto de eficiência energética são apontadas duas abordagens: operar na região de sublimiar ($V_{GB} < V_T$) quando desempenho não for o principal interesse, ou operar perto do limiar e sublimiar utilizando polarização direta de substrato, alcançando objetivos flexíveis de desempenho.

Utilizando uma cadeia de 51 estágios inversores, [38] realizou um comparativo de desempenho e consumo utilizando a FBB. Conectando junto os substratos dos transistores N e P (Figura 4.11 (b)) e variando a tensão aplicada nos substratos, concluiu que o melhor desempenho ocorre quando a tensão de polarização de substrato se aproxima da metade do valor da tensão de alimentação. Quanto ao consumo de energia, este sofre leve aumento se comparado com o caso de não utilizar polarização de substrato (Figura 4.11 (a)).

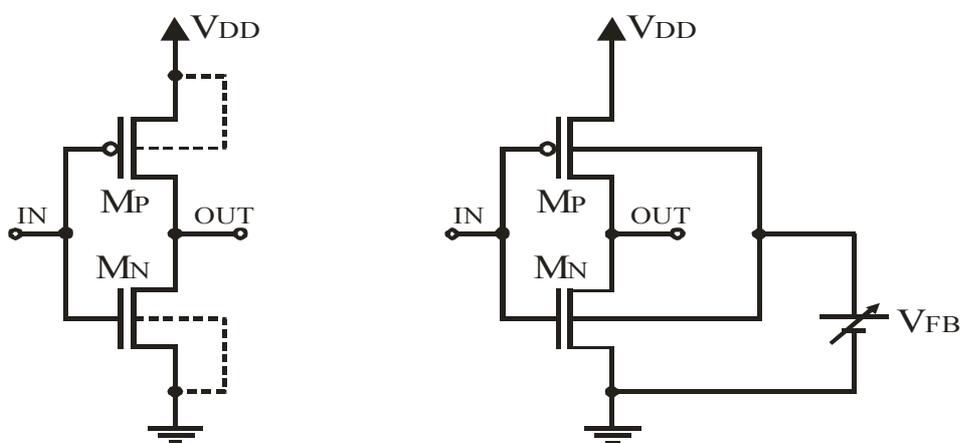


Figura 4.11 – Inversores (a) sem polarização de substrato e (b) com polarização direta de substrato

Bryant *et al* [18] propõem um circuito bastante simples para fornecer FBB para os transistores de circuitos digitais operando em regime de sublimiar. O circuito de polarização consiste de dois transistores (um PMOS e um NMOS), onde os substratos

estão conectados juntos e interligados aos drenos dos transistores NMOS e PMOS. Os terminais de porta estão ligados às respectivas fontes, conforme mostrado na Figura 4.12.

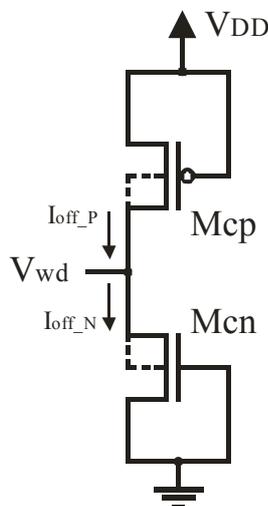


Figura 4.12 – Circuito de polarização direta de substrato de Bryant

Esse circuito visa igualar as correntes de sublimiar dos transistores NMOS e PMOS, permitindo assim a melhora no desempenho de circuitos digitais operando em tensões de alimentação muito baixas. Em situações de descasamento de transistores, causados por variações de processo de fabricação, o circuito de Bryant *et al* [18] força as correntes I_{off_P} e I_{off_N} a permanecerem iguais. Desta forma, estará compensando variações no desempenho dos circuitos causados por descasamento de transistores.

Por ser um circuito bastante simples, este pode ser replicado várias vezes em uma mesma pastilha, não causando aumento significativo de área. Assim, eles podem ser posicionados em diversos pontos da mesma pastilha, compensando variações locais de processos (*intra-die*).

Inspirado em Bryant *et al* [18], Melek [19] propôs uma variação do circuito de polarização de substrato. Ao invés de ligar os terminais de porta às fontes, elas passam a ser ligadas aos drenos. Assim, o circuito de Melek passa a igualar as correntes na condição em que a tensão nas portas são iguais às dos drenos. A Figura 4.13 mostra o circuito proposto por Melek.

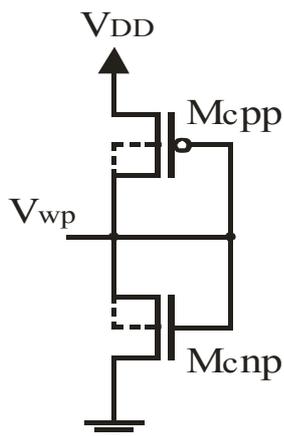


Figura 4.13 – Circuito de polarização direta de substrato de Melek

O objetivo de Melek [19] foi obter portas lógicas estáticas plenamente funcionais com baixíssimo consumo de potência em uma dada velocidade de processamento

Visando diminuir o consumo de energia do circuito de polarização de substrato, Giusti [20] propôs uma alteração no circuito de Bryant *et al* [18]. Foram acrescentados mais dois transistores (outro PMOS e outro NMOS) conforme mostrado na Figura 4.14. Segundo o autor, o circuito de polarização passa a consumir menos energia, bem como pode ser utilizado em circuitos digitais alimentados com tensões maiores, mantendo o baixo consumo.

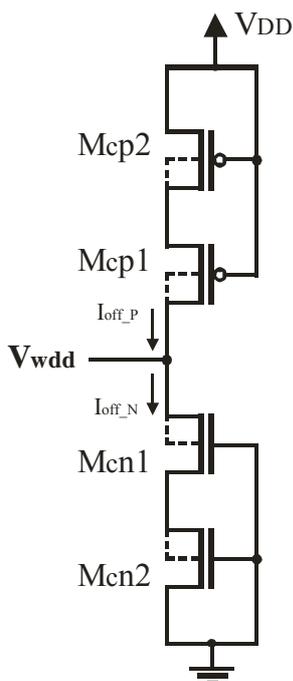


Figura 4.14 – Circuito de polarização direta de substrato de Giusti

A Tabela 4.3 resume algumas características dos circuitos de polarização encontrados na literatura e citados anteriormente.

	Tipo de polarização do substrato	Complexidade do circuito de polarização	Tamanho do circuito de polarização	Implementação de compensação <i>intra-die</i>	Implementação de compensação <i>inter-die</i>
Ref. [36]	FBB	Alta	Grande	Complexa	Fácil
Ref. [37]	RBB e FBB	Alta	Grande	Complexa	Fácil
Ref. [18]	FBB	Baixa	Pequeno	Fácil	Fácil
Ref. [19]	FBB	Baixa	Pequeno	Fácil	Fácil
Ref. [20]	FBB	Baixa	Pequeno	Fácil	Fácil

Tabela 4.3 – Resumo de algumas características dos circuitos de polarização de substrato

Neste trabalho serão realizadas comparações no comportamento de células SRAM utilizando FBB. Os circuitos de polarização de substrato utilizados serão os circuitos de polarização de [18], [19] e [20]. A escolha desses circuitos se deu principalmente pela simplicidade e tamanhos reduzidos (2 ou 4 transistores). Ainda, concordam com [38], fornecendo tensões de polarização de aproximadamente metade da tensão de alimentação.

Os circuitos de polarização escolhidos para serem avaliados, além de melhorarem o desempenho dos circuitos digitais aos quais eles são aplicados, também reduzem os efeitos, mesmo que parcialmente, de variações de parâmetros tecnológicos, seja em uma mesma pastilha, seja em pastilhas diferentes.

Por facilidade, para os circuitos de polarização de substrato utilizados neste trabalho, serão adotadas as mesmas nomenclaturas utilizadas em [19] e [20]. Os circuitos de [18], [19] e [20] serão chamados de circuitos de polarização DIRETA, PASINI e DUPLO DIRETA, respectivamente, conforme mostrados novamente na Figura 4.15.

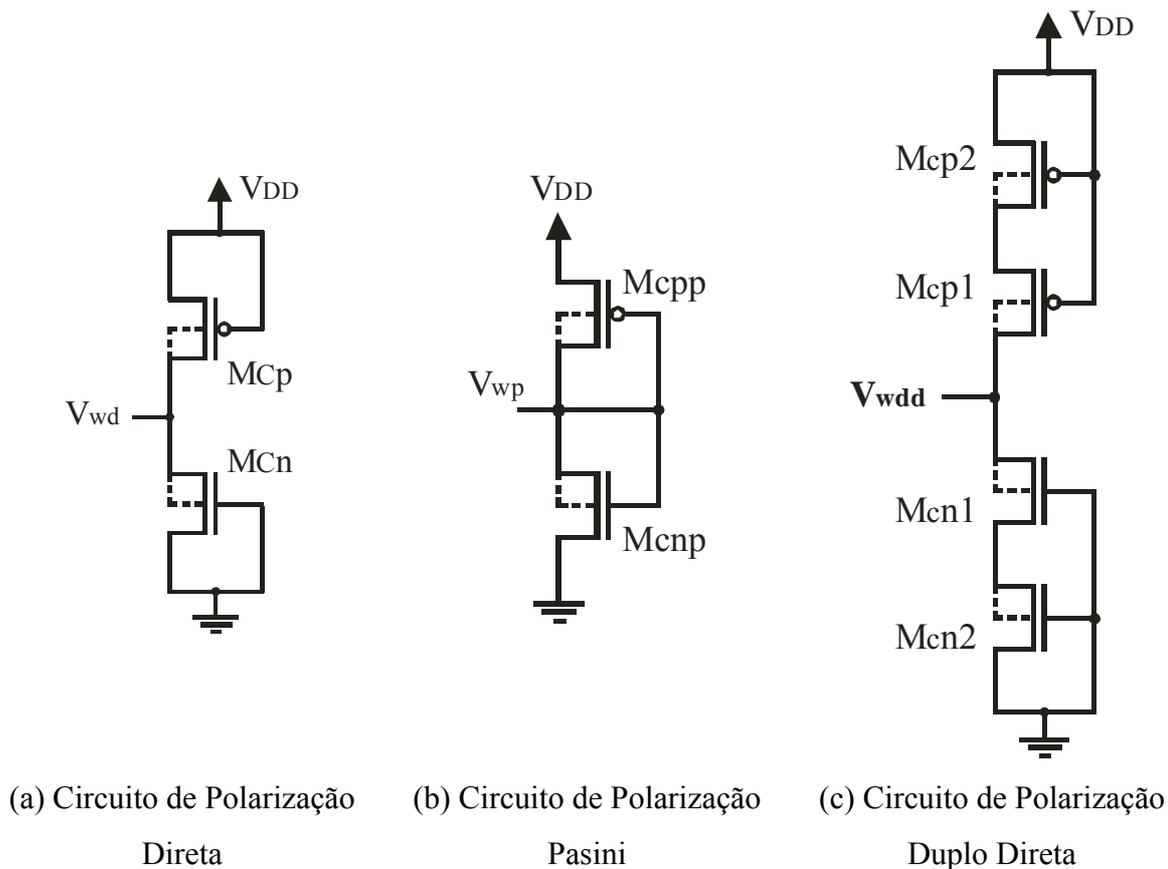


Figura 4.15 – Circuitos de polarização de substrato

Conforme os autores, todos os circuitos de polarização de substrato são funcionais. Aqui será feita uma avaliação desses três, a fim de determinar qual oferece o melhor desempenho aos circuitos que serão aplicados.

Em algumas tecnologias é possível que se façam dois ou três poços, para melhorar a isolamento entre transistores. No caso dos circuitos de polarização de substrato, a tensão do substrato é alterada. Para que não ocorra de se aplicar tensões diferentes em pontos diferentes de um mesmo substrato, é interessante que os substratos estejam isolados. Para isso, é necessária a utilização de tecnologia com poço triplo (*triple well*) [39]. Para o circuito de polarização Duplo Direta é obrigatoriamente necessária a utilização de tecnologia que permita a construção de poço triplo [20].

4.4.1 Circuitos de Polarização de Substrato x Desempenho de Circuitos Digitais

Para demonstrar a eficiência dos circuitos de polarização de substrato utilizados neste trabalho, foram realizadas simulações com o oscilador em anel de 5 estágios (Figura 4.16). Utilizando o simulador SMASH 5.2.1, parâmetros do modelo BSIM da tecnologia TSMC 0,18 μ m, tensão de alimentação de 400mV e transistores com tamanhos mínimos ($W=300$ nm e $L=200$ nm), foram simuladas situações sem a utilização de circuitos de polarização e com a utilização dos circuitos de polarização da Figura 4.15. Ainda, foram variados os parâmetros V_T dos transistores para avaliar o comportamento em situações de descasamento.

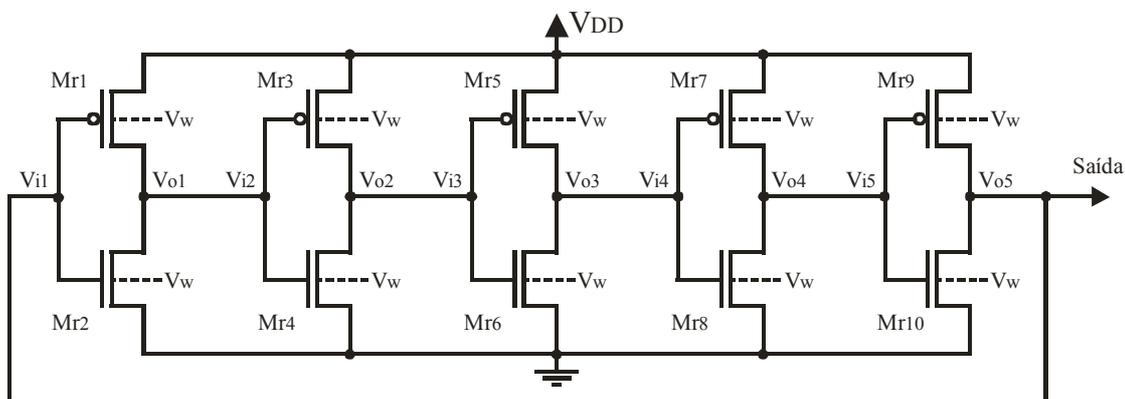


Figura 4.16 – Oscilador em Anel de 5 estágios com polarização de substrato

Dos resultados encontrados e apresentados na Tabela 4.4, se observa que os desempenhos (frequências) dos osciladores em anel que utilizaram polarização de substrato, foram superiores a situação em que não se utiliza polarização de substrato. Nos piores casos (V_{TP} e V_{TN} com -20%), foram mais de 2,5 vezes superiores, chegando a mais de 7,5 vezes (V_{TP} +20% e V_{TN} -20%).

Outra vantagem da polarização de substrato é a compensação das variações de parâmetros tecnológicos (neste exemplo, V_T). Em relação à situação de valores nominais de V_T , a perda de desempenho sob condições de descasamento foi percentualmente sempre menor quando o oscilador em anel utilizou-se da polarização de substrato. Em contrapartida, quando V_{TP} e V_{TN} foram ambos diminuídos em relação ao valor nominal,

todos osciladores simulados aumentaram consideravelmente suas frequências, sendo o maior aumento daquele que não utilizou polarização de substrato.

	Frequência nominal	Variação da frequência			
		$V_{TP} +20\%$	$V_{TP} -20\%$	$V_{TP} +20\%$	$V_{TP} -20\%$
	$V_{TN} nominal$	$V_{TN} -20\%$	$V_{TN} +20\%$	$V_{TN} +20\%$	$V_{TN} -20\%$
sem polarização	3,25 MHz	-75,26% (0,804 MHz)	-35,69% (2,09 MHz)	-85,32% (0,477 MHz)	+480,92% (18,88 MHz)
Polarização Direta	12 MHz	-49,75% (6,03 MHz)	-20,66% (9,52 MHz)	-84% (1,92 MHz)	+344,16% (53,3 MHz)
Polarização Pasini	11,24 MHz	-59,87% (4,51MHz)	-32,74% (7,56 MHz)	-82,65% (1,95 MHz)	+354,36% (51,07 MHz)
Polarização Duplo Direta	12 MHz	-51,91% (5,77 MHz)	-20,66% (9,52 MHz)	-84,25% (1,89 MHz)	+341,41% (52,97 MHz)

Tabela 4.4 – Variação da frequência do oscilador em anel variando V_T dos transistores, com utilização de circuitos de polarização de substrato.

Apesar do circuito de polarização Direta proporcionar os melhores resultados de desempenho quando aplicado ao oscilador em anel, todos os três circuitos de polarização de substrato utilizados obtiveram resultados melhores do que se não utilizasse a técnica de polarização de substrato. Dessa forma, mostra-se que além de melhorar a velocidade de operação de circuitos digitais, os circuitos de polarização de substrato também colaboraram para uma menor perda de desempenho nos casos em que ocorrerem descasamentos entre os transistores.

Na seção 4.4.2 serão feitas considerações sobre o consumo estático dos circuitos de polarização utilizados até agora.

4.4.2 Consumo Estático dos Circuitos de Polarização de Substrato

Simulando, no SMASH 5.2.1, os três circuitos de polarização isoladamente (sem estarem polarizando qualquer circuito digital) e considerando tamanhos mínimos de transistores da tecnologia TSMC 0,18 μm ($W=300\text{nm}$ e $L=200\text{nm}$), no gráfico da Figura 4.17 são mostradas as correntes exigidas por cada circuito de polarização, em função da tensão de alimentação.

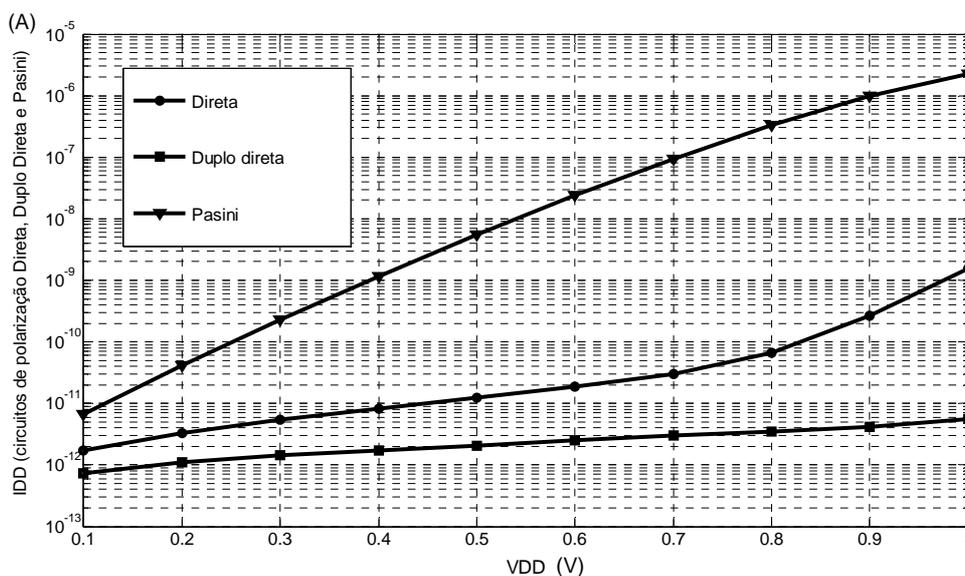


Figura 4.17 – Corrente dos circuitos de polarização em função da tensão de alimentação

Da Figura 4.17, se observa que o circuito de polarização Duplo Direta é o que apresenta menor consumo de energia. O circuito de polarização Direta apresenta um consumo um pouco maior do que o Duplo Direta, mas ainda dentro da mesma ordem de grandeza até aproximadamente 600mV de alimentação. Já o circuito de polarização Pasini é o que mais consome entre os três circuitos avaliados, estando algumas ordens de grandeza acima.

A Figura 4.18 mostra os circuitos de polarização, com as respectivas junções PN (diodos) entre fonte e substrato. Da forma como foram idealizados, os transistores do circuito Pasini (Figura 4.18 (b)) possuem tensões entre porta e substrato iguais a zero,

mantendo os transistores em corte. As correntes que circularão pelos canais (correntes de dreno) serão as correntes de fuga.

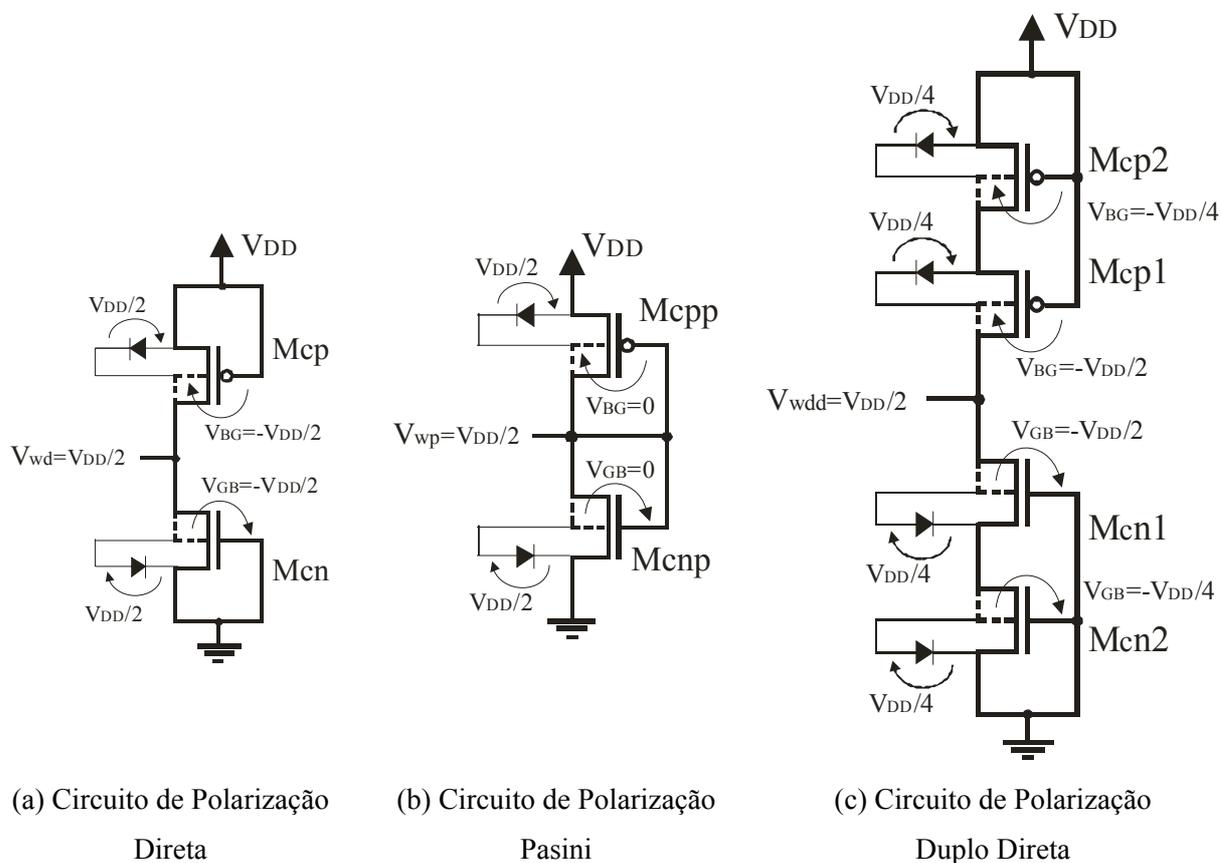


Figura 4.18 – Circuitos de polarização de substrato mostrando as junções PN entre fonte e substrato

Nos circuitos de polarização Direta (Figura 4.18 (a)) e Duplo Direta (Figura 4.18 (c)), as tensões entre porta e substrato são menores do que zero. Isto colabora com a diminuição das correntes de fuga pelos canais.

Desprezando as correntes pelos canais dos transistores, e considerando os diodos idênticos, pelos circuitos da Figura 4.18, ter-se-á tensões de polarização (V_w) iguais a metade da tensão de alimentação. Nos circuitos de polarização Direta e Pasini, os diodos estão submetidos a uma tensão igual a metade de V_{DD} . No circuito de polarização Duplo Direta, por existirem quatro junções PN entre massa e V_{DD} , cada diodo está submetido a aproximadamente um quarto da tensão de alimentação.

A corrente através dos diodos pode ser aproximada por

$$I_D = I_S \cdot e^{\frac{V_D}{\eta \cdot \phi_T}} \quad (4.11)$$

onde I_S é uma corrente de escala (dependente da área da junção), η é o coeficiente de emissão e V_D é a tensão através dos terminais do diodo.

De (4.11), aumentando a tensão de alimentação, aumenta-se a corrente através dos diodos (I_D). Nota-se no gráfico da Figura 4.17 que o consumo de corrente do circuito de polarização Duplo Direta é muito menor do que nos outros circuitos, pois cada diodo está submetido a um valor de tensão correspondente a metade da tensão dos diodos dos circuitos Pasini e Direta.

Com base nisso, Giusti [20] indica a aplicação do circuito de polarização Duplo Direta em circuitos digitais com tensão de alimentação superior a 1V. Experimentalmente, utilizando o circuito integrado 4007, em [19] foi notado que o circuito de polarização Pasini acima de 1,2V de alimentação aquece excessivamente e com 2V queima. Isto se justifica pela alta corrente que estaria circulando pelas duas junções entre fonte e substrato.

Cabe ressaltar que utilizando o circuito de polarização Duplo Direta com tensão de alimentação de 1,8V, limite da tecnologia 0,18 μ m, seria produzido uma tensão de polarização de aproximadamente 0,9V. Este valor de tensão aplicado ao substrato de algum circuito lógico CMOS (por exemplo, inversor), faria com que as junções PN entre fonte e substrato do inversor tivessem uma elevada condução, podendo aquecer demasiadamente e até mesmo queimar. Este problema é ilustrado na Figura 4.19.

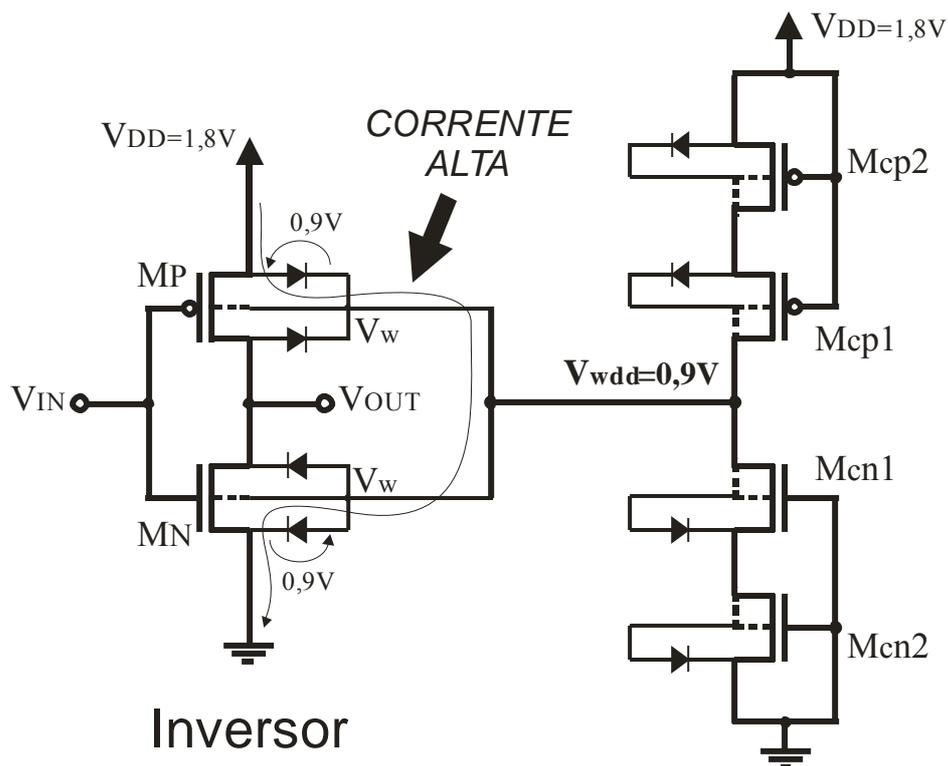


Figura 4.19 – Inversor com polarização de substrato Duplo Direta em $V_{DD} = 1,8V$

Para o circuito de polarização Duplo Direta se tornar funcional em tensões de alimentação maiores, os circuitos ao que serão aplicados deverão usar uma topologia semelhante, que tenha duas junções em série até os pontos de massa e V_{DD} .

Quanto aos circuitos de polarização Direta e Polarização Pasini, esses nunca deverão operar com tensões de alimentação superior a 1,2 Volts, pois estariam colocando sobre as suas junções fonte-substrato, tensões maiores do que 0,6 Volts.

Como o foco deste trabalho é a utilização da célula de memória SRAM operando em ultra baixa tensão de alimentação, isso se dará operando na região de inversão fraca. Na tecnologia utilizada neste trabalho, a região de inversão fraca é abaixo de 500mV [40]. Sendo assim, como o circuito de polarização Direta apresenta consumo pouco acima do circuito Duplo Direta e com ele foram obtidos os melhores resultados de desempenho em simulações utilizando o oscilador em anel, este se torna a melhor opção entre os três

circuitos de polarização comparados, quando a questão for melhorar a velocidade de operação.

No próximo capítulo os três circuitos de polarização de substrato serão avaliados quando aplicados às células SRAM.

Capítulo 5

ANÁLISE DO COMPORTAMENTO DA CÉLULA SRAM COM POLARIZAÇÃO DE SUBSTRATO

5.1 Introdução

O objetivo principal deste trabalho é o estudo da célula SRAM operando em ultra baixa tensão de alimentação. Se forem utilizados os transistores da forma convencional, com os substratos ligados às fontes (exemplo a Figura 2.3), os circuitos digitais (inversores, *latches*, células SRAM, etc.) terão significativas perdas de desempenho com relação à velocidade de operação, quando alimentados com tensões muito baixas.

No capítulo anterior, foi mostrado que utilizando a polarização de substrato (FBB) tem-se uma melhora (aumento) na velocidade de chaveamento das portas lógicas. Além disso, as diferenças no comportamento dos circuitos ocasionadas por descasamento são diminuídas quando utilizada essa técnica.

Conforme visto no capítulo anterior, seção 4.2.1, o descasamento (*mismatch*) entre os transistores degrada o funcionamento dos circuitos digitais. As polarizações de substrato utilizando os circuitos de polarização apresentados no capítulo 4 ajudam na melhora do desempenho dos circuitos. Aqui neste capítulo é realizado o estudo comparativo entre a célula SRAM (*latch*) quando não se utiliza e quando se utiliza as técnicas de polarização de substrato.

Ao se reduzir a tensão de alimentação de um circuito digital, tem-se como ganho a diminuição no consumo, mas como desvantagem, tem-se a piora na velocidade de

operação. A FBB compensa parcialmente a perda de desempenho, mantendo o baixo consumo proporcionado pela baixa tensão de alimentação.

Em memórias SRAM, fatores como a margem de ruído estática e velocidade de operação são reduzidos se comparado com uma memória operando com tensão de alimentação maior.

Na seção 5.2, é apresentado um estudo através de simulações da SNM para a célula SRAM operando com baixa tensão de alimentação, no regime de sublimiar (alimentação menor que a tensão de limiar dos transistores).

Na seção 5.3, é efetuado o estudo do comportamento dinâmico, usando simulações (análise transiente), para avaliação dos tempos de respostas da célula SRAM.

Na seção 5.4, é apresentado o consumo estático de Células SRAM utilizando a polarização de substrato.

5.2 Margem de Ruído Estática da SRAM com Polarização de Substrato

Em função da diminuição da tensão de alimentação, a margem de ruído estática também diminui. Nesta seção são mostrados os resultados obtidos através de simulações, para a SNM, em células SRAM operando regime de sublimiar e também em condições de descasamento dos transistores. Juntamente com estas condições, são incluídos os circuitos de polarização de substrato, de maneira que possa ser avaliada a utilização dessa técnica e seu impacto sobre a SNM.

Para as simulações, foram utilizadas as três diferentes configurações de circuitos que geram as tensões de polarização de substrato, apresentadas no capítulo 4: o circuito de polarização Direta (Figura 4.14 (a)), polarização Pasini (Figura 4.14 (b)) e polarização

Duplo Direta (Figura 4.14 (c)). Ainda, foram realizadas simulações com a SRAM sem polarização de substrato para completar o comparativo.

Inicialmente, na seção 5.2.1, é realizado o comparativo considerando os transistores casados (tensões de limiar nominais da tecnologia). Na seção 5.2.2, foram considerados descasamento entre transistores. O descasamento considerado foi entre os transistores canal P e canal N. O parâmetro variado foi a tensão de limiar (V_T). Foram realizadas simulações com tensões de limiares 20% acima e/ou 20% abaixo dos valores nominais.

As simulações foram realizadas utilizando o simulador SMASH versão 5.2.1 com os parâmetros do modelo BSIM da tecnologia TSMC 0,18 μ m, e tamanhos mínimos ($W=300$ nm e $L=200$ nm) nos 6 transistores da célula SRAM.

5.2.1 A SNM da Célula SRAM com Transistores Casados

Para avaliar a SNM da célula SRAM considerando transistores casados, foram realizadas simulações considerando duas situações: retenção (armazenamento) e leitura do dado. Na situação de retenção do dado na célula SRAM, é considerado que o sinal WL está em nível lógico baixo. Já na situação de leitura o sinal WL está em nível alto, e o dado armazenado na célula SRAM é passado para as *Bit Lines*. Nessa última situação, temos uma diminuição da SNM em relação a situação de retenção, conforme já abordado no capítulo 2 (seção 2.5).

Na Figura 5.1 são mostradas as curvas de transferência das células SRAM alimentadas com 400mV, na situação de retenção (*hold*) e utilizando as três polarizações de substrato.

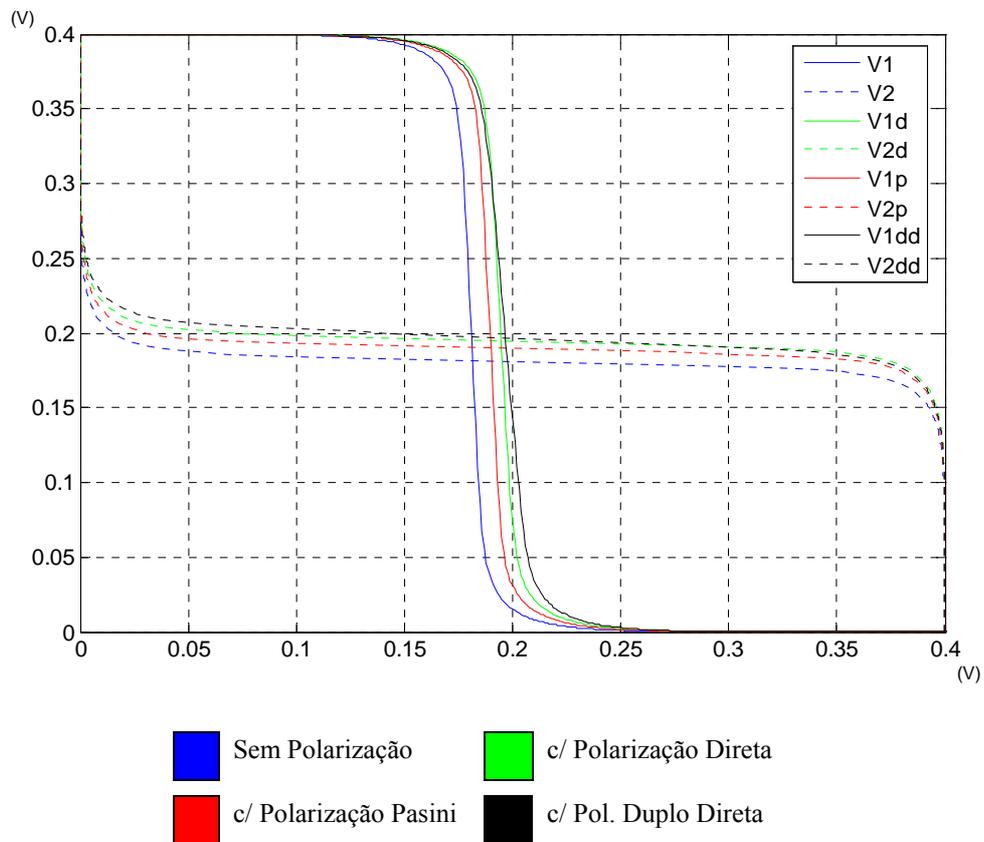


Figura 5.1 – Curvas de transferência na situação de retenção e $V_{DD}=400\text{mV}$

A Tabela 5.1 apresenta os valores da SNM das curvas da Figura 5.1 (retenção e $V_{DD}=400\text{mV}$).

Polarização	SNM (mV)
Sem polarização	161,8
Direta	164,1
Pasini	164,1
Duplo Direta	160,5

Tabela 5.1 – Comparativo da SNM na situação de retenção e $V_{DD}=400\text{mV}$

A Figura 5.2 mostra as curvas de transferência das células SRAM com $V_{DD}=400\text{mV}$ na operação de leitura (*read*).

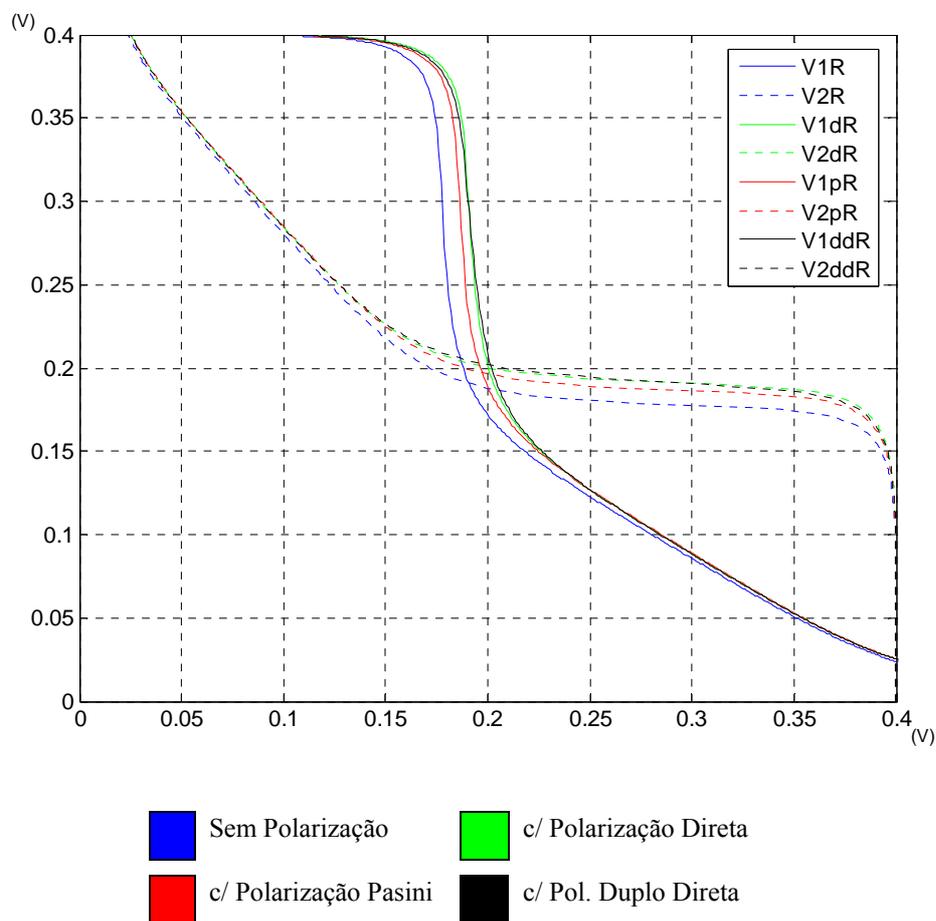


Figura 5.2 - Curvas de transferência na situação de leitura e $V_{DD}=400\text{mV}$

A Tabela 5.2 apresenta os valores da SNM das curvas da Figura 5.2 (leitura e $V_{DD}=400\text{mV}$).

Polarização	SNM (mV)
Sem polarização	80,2
Direta	85,7
Pasini	83,1
Duplo Direta	84,6

Tabela 5.2 – Comparativo da SNM na operação de leitura e $V_{DD}=400\text{mV}$

A Figura 5.3 mostra as curvas de transferência das células SRAM com $V_{DD}=200\text{mV}$ na situação de retenção (*hold*).

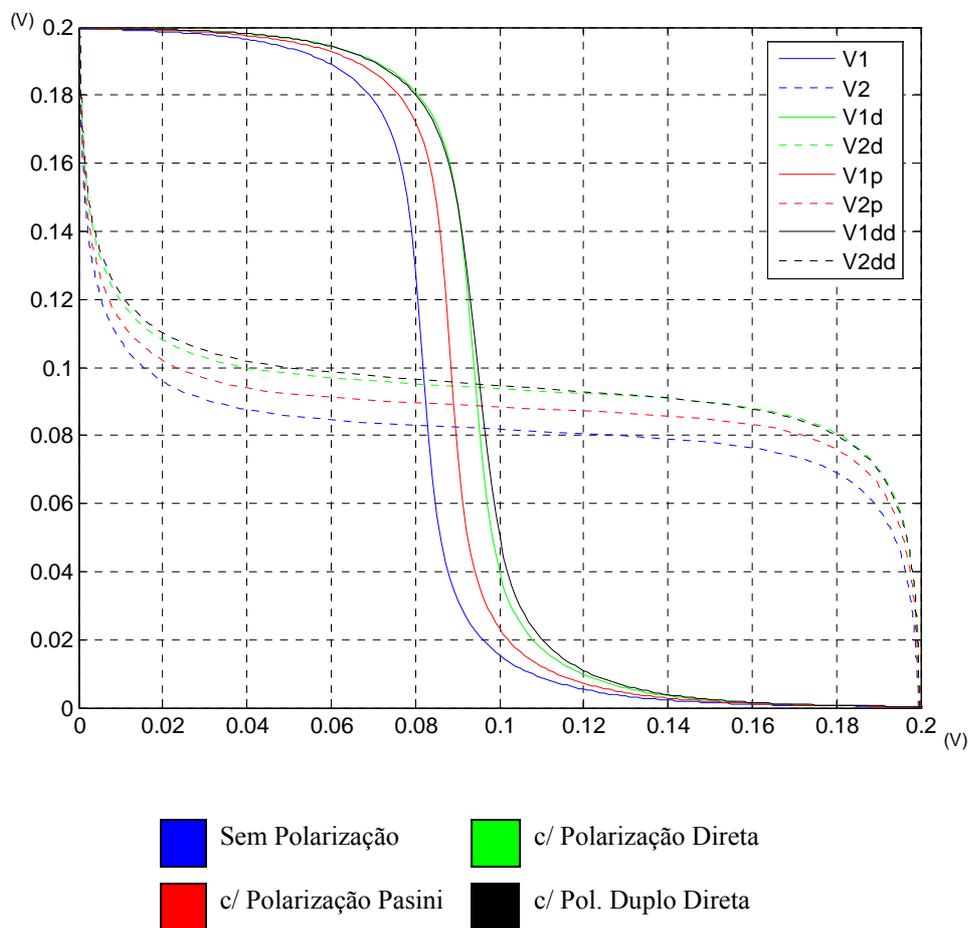


Figura 5.3 – Curvas de transferência na situação de retenção e $V_{DD}=200\text{mV}$

A Tabela 5.3 apresenta os valores da SNM das curvas da Figura 5.3 (retenção e $V_{DD}=200\text{mV}$).

Polarização	SNM (mV)
Sem polarização	63,6
Direta	66,7
Pasini	66,3
Duplo Direta	65,4

Tabela 5.3 – Comparativo da SNM na situação de retenção e $V_{DD}=200\text{mV}$

A Figura 5.4 mostra as curvas de transferência da célula SRAM com $V_{DD}=200\text{mV}$ na operação de leitura (*read*).

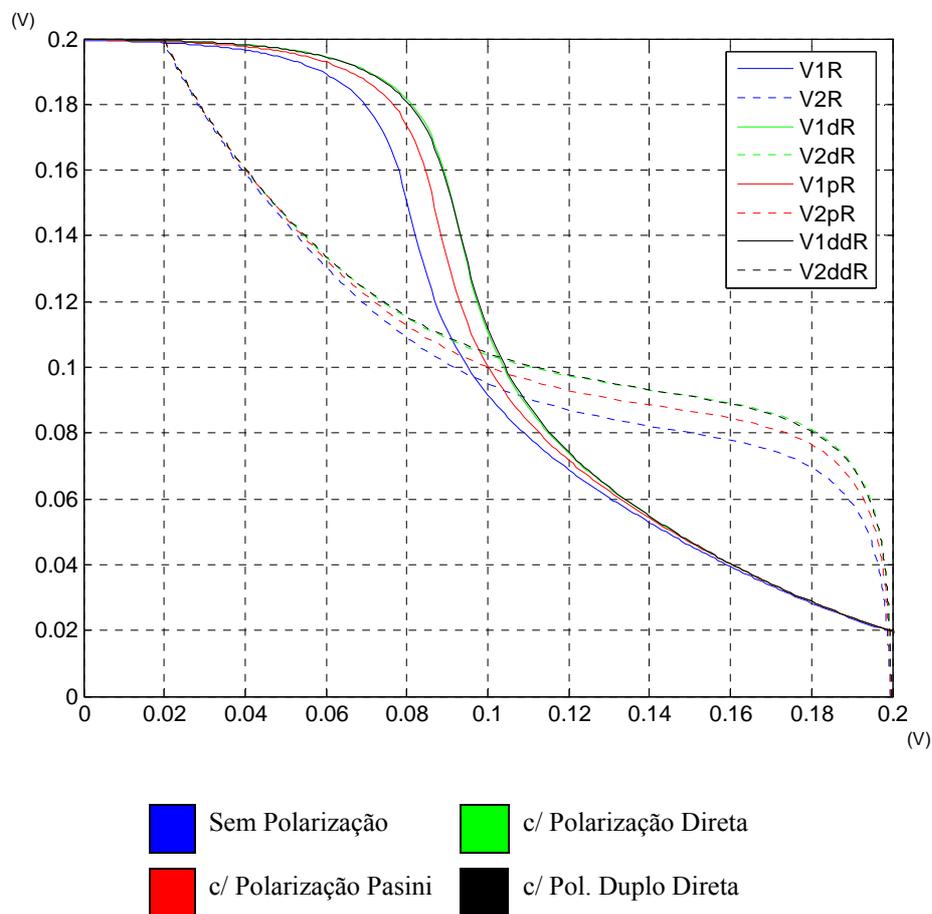


Figura 5.4 - Curvas de transferência da célula SRAM na operação de leitura e $V_{DD}=200\text{mV}$

A Tabela 5.4 apresenta os valores da SNM das curvas da Figura 5.4 (leitura e $V_{DD}=200\text{mV}$).

Polarização	SNM (mV)
Sem polarização	26,3
Direta	32,4
Pasini	29,9
Duplo Direta	32,1

Tabela 5.4 – Comparativo da SNM na operação de leitura e $V_{DD}=200\text{mV}$

Analisando os resultados resumidos na Tabela 5.5, nota-se que a utilização dos circuitos de polarização de substrato proporcionou impacto positivo para a margem de ruído estático (SNM). Na totalidade dos casos, melhorou a SNM em comparação com a célula SRAM em que não foi utilizada a técnica de polarização de substrato.

Dos três circuitos de polarização comparados, o circuito de polarização Direta foi o que apresentou melhores resultados em todas as situações do comparativo. Seja utilizando 400mV ou 200mV de alimentação e seja na condição de retenção ou leitura do dado, a polarização Direta se destaca como melhor opção no que diz respeito a margem de ruído estático, sem considerar descasamento entre os transistores.

	$V_{DD} = 400\text{mV}$		$V_{DD}=200\text{mV}$	
	Retenção	Leitura	Retenção	Leitura
Polarização	SNM (mV)	SNM (mV)	SNM (mV)	SNM (mV)
Sem polarização	161,8	80,2	63,6	26,3
Direta	164,1	85,7	66,7	32,4
Pasini	164,1	83,1	66,3	29,9
Duplo Direta	160,5	84,6	65,4	32,1

Tabela 5.5 – Comparativo da SNM com transistores casados

5.2.2 A SNM da Célula SRAM com Transistores Descasados

Conforme constado na seção 5.2.1, no caso de se considerar transistores casados, é observado uma melhora na SNM de 1,5% a 23%, quando usados os circuitos de polarização de substrato. Como um dos benefícios dos circuitos de polarização é o de compensar variações em parâmetros tecnológicos dos transistores, simulações considerando algum descasamento foram realizadas.

Na Tabela 5.6 são apresentados os resultados obtidos para as simulações considerando a tensão de alimentação de 400mV e a situação de retenção de dado na célula

SRAM. Os melhores resultados foram obtidos com a utilização do circuito de polarização Direta.

	SNM nominal	Variação da SNM			
	V_{T_P} nominal V_{T_N} nominal	$V_{T_P} +20\%$ $V_{T_N} -20\%$	$V_{T_P} -20\%$ $V_{T_N} +20\%$	$V_{T_P} -20\%$ $V_{T_N} -20\%$	$V_{T_P} +20\%$ $V_{T_N} +20\%$
Sem polarização	161,8 mV	-37,76% (100,7 mV)	-16,81% (134,6 mV)	0,43% (162,5 mV)	-1,35% (159,6 mV)
Polarização Direta	164,1 mV	-14,32% (140,6 mV)	-5,24% (155,5 mV)	-0,12% (163,9 mV)	-2,31% (160,3 mV)
Polarização Pasini	164,1 mV	-23,82% (125,0 mV)	-14,38% (140,5 mV)	-0,3% (163,6 mV)	-0,18% (163,8 mV)
Polarização Duplo Direta	160,5 mV	-13,02% (139,6 mV)	-4,3% (153,6 mV)	+1,06% (162,2 mV)	-3,86% (154,3 mV)

Tabela 5.6 – Variação da SNM considerando o descasamento entre transistores da célula SRAM em situação de retenção de dado e V_{DD} de 400mV

Na Tabela 5.7 são apresentados os resultados obtidos para as simulações considerando a tensão de alimentação de 400mV e a situação de leitura do dado da célula SRAM. Pode-se dizer que a maioria dos melhores resultados foi conseguida com a utilização do circuito de polarização Direta. Na situação de $V_{T_P} -20\%$ e $V_{T_N} +20\%$, o circuito de polarização Direta não conseguiu o melhor aumento da SNM.

	SNM nominal	Variação da SNM			
	V_{T_P} nominal V_{T_N} nominal	$V_{T_P} +20\%$ $V_{T_N} -20\%$	$V_{T_P} -20\%$ $V_{T_N} +20\%$	$V_{T_P} -20\%$ $V_{T_N} -20\%$	$V_{T_P} +20\%$ $V_{T_N} +20\%$
Sem polarização	80,2 mV	-57,73% (33,9 mV)	+42,27% (114,1 mV)	+1,37% (81,3 mV)	-2,61% (78,1 mV)
Polarização Direta	85,7 mV	-29,75% (60,2 mV)	+20,19% (103,0 mV)	-0,11% (85,6 mV)	-5,01% (80,4 mV)
Polarização Pasini	83,1 mV	-43,08% (47,3 mV)	+33,33% (110,8 mV)	+0,24% (83,3 mV)	-0,84% (82,4 mV)
Polarização Duplo Direta	84,6 mV	-30,61% (58,7 mV)	+22,34% (103,5 mV)	+9,69% (92,8 mV)	-11,7% (74,7 mV)

Tabela 5.7 – Variação da SNM considerando o descasamento entre transistores da célula SRAM em situação de leitura do dado e V_{DD} de 400mV

Na Tabela 5.8 são apresentados os resultados obtidos para as simulações considerando a tensão de alimentação de 200mV e a situação de retenção de dado da célula SRAM. Assim como na mesma condição e 400mV de alimentação, os melhores resultados foram conseguidos com a utilização do circuito de polarização Direta.

	SNM nominal	Variação da SNM			
	V_{Tp} nominal V_{Tn} nominal	$V_{Tp} +20\%$ $V_{Tn} -20\%$	$V_{Tp} -20\%$ $V_{Tn} +20\%$	$V_{Tp} -20\%$ $V_{Tn} -20\%$	$V_{Tp} +20\%$ $V_{Tn} +20\%$
Sem polarização	63,6 mV	*	-42,29% (36,7 mV)	+3,14% (65,6 mV)	-9,74% (57,4 mV)
Polarização Direta	66,7 mV	-49,92% (33,4 mV)	-16,49% (55,7 mV)	+1,8% (67,9 mV)	-8,54% (61,0 mV)
Polarização Pasini	66,3 mV	-62,74% (24,7 mV)	-30,16% (46,3 mV)	+1,2% (67,1 mV)	-4,67% (63,2 mV)
Polarização Duplo Direta	65,4 mV	-50,3% (32,5 mV)	-14,98% (55,6 mV)	+3,36% (67,6 mV)	-10,7% (58,4 mV)

* - não foi possível medir o valor por ser muito baixo.

Tabela 5.8 – Variação da SNM considerando o descasamento entre transistores da célula SRAM em situação de retenção de dado e V_{DD} de 200mV

Na Tabela 5.9 são apresentados os resultados obtidos para as simulações considerando a tensão de alimentação de 200mV e a situação de leitura do dado da célula SRAM. Nesta condição, os melhores resultados foram conseguidos sempre que foi utilizado algum circuito de polarização de substrato.

	Margem de Ruído Estática (SNM)	Variação da Margem de Ruído Estática (SNM)			
	V_{T_P} nominal V_{T_N} nominal	$V_{T_P} +20\%$ $V_{T_N} -20\%$	$V_{T_P} -20\%$ $V_{T_N} +20\%$	$V_{T_P} -20\%$ $V_{T_N} -20\%$	$V_{T_P} +20\%$ $V_{T_N} +20\%$
Sem polarização	26,3 mV	*	+26,61% (33,3 mV)	+7,98% (28,4 mV)	-18,63% (21,4 mV)
Polarização Direta	32,4 mV	-83,95% (5,2 mV)	+30,24% (42,2 mV)	+5,86% (34,3 mV)	-21,29% (25,5 mV)
Polarização Pasini	29,8 mV	-72,48% (8,2 mV)	+29,86% (38,7 mV)	+4,69% (31,2 mV)	-8,72% (27,2 mV)
Polarização Duplo Direta	32,1 mV	-83,49% (5,3 mV)	+31,46% (42,2 mV)	+16,2% (37,3 mV)	-28,34% (23,0 mV)

* - não foi possível medir o valor por ser muito baixo.

Tabela 5.9 – Variação da SNM considerando o descasamento entre transistores da célula SRAM em situação de leitura do dado e V_{DD} de 200 mV

5.2.3 Conclusões sobre a Margem de Ruído Estática na Célula SRAM com Transistores Descasados

Na totalidade dos casos que foram utilizados os circuitos de polarização de substrato, os resultados foram melhores do que quando não se utilizou a técnica de polarização (FBB). Quando ocorreram perdas, estas foram amenizadas pelos circuitos de polarização. Quando ocorreram ganhos (aumento da SNM) os circuitos podem não ter oferecido os maiores aumentos, mas não deixaram de contribuir com o aumento.

Nas simulações utilizando 200 mV de tensão de alimentação, todos os piores resultados conseguidos foram quando não foi utilizado qualquer circuito de polarização de substrato.

A Tabela 5.10 resume os circuitos de polarização de substrato com os quais foram obtidos os melhores resultados. O circuito de polarização que apresentou melhores resultados foi o de polarização Direta, tendo a maioria dos melhores resultados obtida nas simulações. Os circuitos de polarização Pasini e Duplo Direta, apesar de não se destacarem

com os melhores resultados, apresentaram muitos resultados melhores se comparados a célula SRAM sem polarização de substrato.

Portanto, a utilização dos circuitos de polarização ajuda a melhorar a Margem de Ruído Estática em células SRAM operando em baixa tensão (na região de inversão fraca), sendo o destaque para o circuito de polarização Direta.

	Circuito de Polarização com o qual foi obtido a maior Margem de Ruído Estática (SNM)			
	$V_{DD} = 400 \text{ mV}$		$V_{DD} = 200 \text{ mV}$	
	Retenção	Leitura	Retenção	Leitura
V_{T_P} nominal V_{T_N} nominal	Direta (164,1 mV)	Direta (85,7 mV)	Direta (66,7 mV)	Direta (32,4 mV)
$V_{T_P} +20\%$ $V_{T_N} -20\%$	Direta (140,6 mV)	Direta (60,2 mV)	Direta (33,4 mV)	Pasini (8,2 mV)
$V_{T_P} -20\%$ $V_{T_N} +20\%$	Direta (155,5 mV)	Sem polarização (114,1 mV)	Direta (55,7 mV)	Direta (42,2 mV)
$V_{T_P} -20\%$ $V_{T_N} -20\%$	Direta (163,9 mV)	Duplo Direta (92,8 mV)	Direta (67,9 mV)	Duplo Direta (37,3 mV)
$V_{T_P} +20\%$ $V_{T_N} +20\%$	Pasini (163,8 mV)	Pasini (82,4 mV)	Pasini (63,2 mV)	Pasini (27,2 mV)

Tabela 5.10 – Comparativo dos circuitos de polarização de substrato com relação a SNM

5.3 Análise Dinâmica da Célula SRAM com Polarização de Substrato

Para as simulações do comportamento dinâmico, foram realizadas análises transiente, para avaliar os tempos de estabilização da célula SRAM (*latch*) dados valores iniciais de V_1 e V_2 ($\Delta V_0 = V_{20} - V_{10}$). Os tempos de estabilização medidos são desde ΔV_0 até V_1 e V_2 atingirem uma diferença igual ao valor da tensão de alimentação. A Figura 5.5 mostra graficamente os tempos de estabilização medidos, para a célula SRAM sem polarização, com polarização direta, polarização Pasini e Polarização duplo direta.

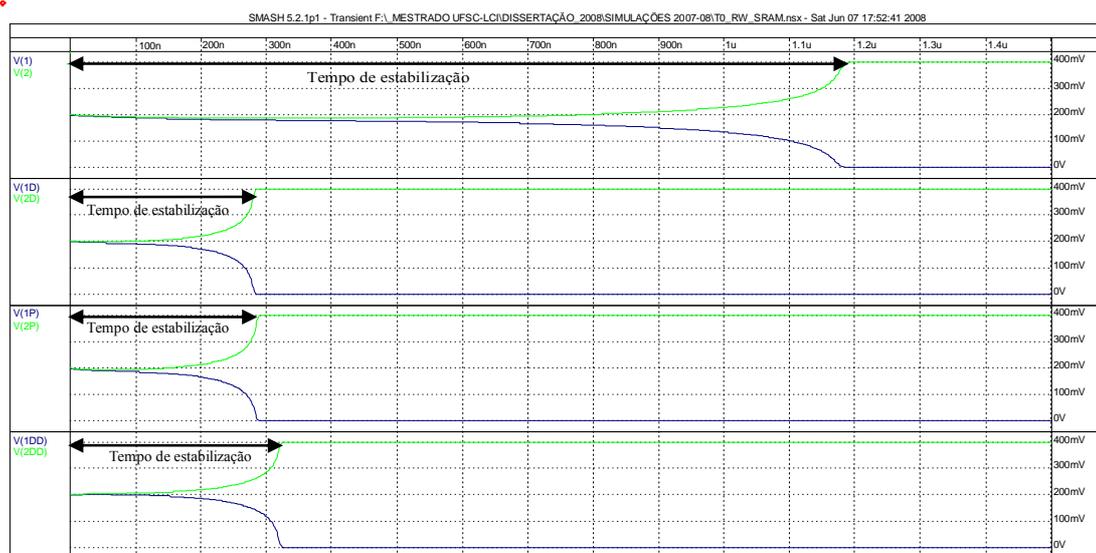


Figura 5.5 – Tempos de estabilização

Utilizando alimentação de 400mV, os valores iniciais foram $V_1=199\text{mV}$ e $V_2=201\text{mV}$ ($\Delta V_0 = 2\text{mV}$). A Tabela 5.11 apresenta os tempos de estabilização obtidos, bem como as variações percentuais em relação aos valores nominais, para as diversas condições de V_T .

	Tempo de estabilização nominal	Variação do tempo de estabilização				
		V_{T_P} nominal	$V_{T_P} +20\%$	$V_{T_P} -20\%$	$V_{T_P} -20\%$	$V_{T_P} +20\%$
		V_{T_N} nominal	$V_{T_N} -20\%$	$V_{T_N} +20\%$	$V_{T_N} -20\%$	$V_{T_N} +20\%$
Sem polarização	1200 ns	+16,66% (1400 ns)	-11,66% (1060 ns)	-85,83% (170 ns)	+648,33% (8980 ns)	
Polarização Direta	288 ns	+8,33% (312 ns)	+6,59% (307 ns)	-83,68% (47 ns)	+566,66% (1920 ns)	
Polarização Pasini	293 ns	+10,92% (325 ns)	-4,77% (279 ns)	-83,95% (47 ns)	+565,53% (1950 ns)	
Polarização Duplo Direta	328 ns	+10,67% (363 ns)	+6,7% (350 ns)	-83,84% (53 ns)	+573,78% (2210 ns)	

Tabela 5.11 – Variação do tempo de estabilização da célula SRAM com $V_{DD} = 400\text{ mV}$

Para a alimentação de 200mV os valores iniciais foram $V_1=99\text{mV}$ e $V_2=101\text{mV}$ ($\Delta V_0 = 2\text{mV}$). Na Tabela 5.12, são apresentados os tempos de estabilização e suas variações para as diversas condições de V_T .

	Tempo de estabilização nominal	Variação do tempo de estabilização			
		$V_{T_P} +20\%$	$V_{T_P} -20\%$	$V_{T_N} -20\%$	$V_{T_N} +20\%$
	V_{T_P} nominal	$V_{T_P} +20\%$	$V_{T_P} -20\%$	$V_{T_P} -20\%$	$V_{T_P} +20\%$
	V_{T_N} nominal	$V_{T_N} -20\%$	$V_{T_N} +20\%$	$V_{T_N} -20\%$	$V_{T_N} +20\%$
Sem polarização	20,4 μs	+2792% (590 μs)* ¹	+25,98% (25,7 μs)	-87,16% (2,62 μs)	+738% (171 μs)
Polarização Direta	8,39 μs	+81,76% (15,25 μs)	+12,28% (9,42 μs)	-86,29% (1,15 μs)	+743,9% (70,8 μs)
Polarização Pasini	8,64 μs	+137,3% (20,5 μs)	+26,16% (10,9 μs)	-86,23% (1,19 μs)	+808% (78,45 μs)
Polarização Duplo Direta	9,7 μs	+83,51% (17,8 μs)	+14,43% (11,1 μs)	-86,29% (1,33 μs)	+720,6% (79,6 μs)

*¹ Atingiu 145 mV de tensão diferencial (V_2-V_1) final.

Tabela 5.12 – Variação do tempo de estabilização da célula SRAM com $V_{DD} = 200 \text{ mV}$

Dos resultados obtidos para os tempos de estabilização, observa-se que os mesmos são de aproximadamente 4 vezes menores quando utilizados os circuitos de polarização de substrato e alimentação de 400mV (Tabela 5.11). Já com alimentação de 200mV (Tabela 5.12), quando utilizada a polarização de substrato, os tempos são de aproximadamente 2,5 vezes menores.

Em relação às condições nominais (V_{T_P} e V_{T_N} nominais), quando os transistores estão com V_T s 20% maiores ($V_{T_P} +20\%$ e $V_{T_N} +20\%$) os tempos aumentaram mais de 5 vezes para 400mV de alimentação e mais de 7 vezes para 200mV de alimentação.

Já quando os transistores estão com V_{Ts} 20% menores (V_{Tp} -20% e V_{Tn} -20%), os tempos diminuem mais de 6 vezes em relação as condições com valores nominais.

Nas condições de descasamento em que V_{Tp} +20% e V_{Tn} -20% ou V_{Tp} -20% e V_{Tn} +20%, se comparados a condição nominal, os tempos aumentaram em quase todos os casos. A exceção foi quando a tensão de alimentação foi de 400mV e não foi utilizado polarização de substrato ou quando foi utilizada a polarização Pasini.

Comparando os percentuais de variações, quando utilizados os circuitos de polarização de substrato as variações são menores do que quando não se utiliza alguma técnica de polarização.

No comparativo das técnicas de polarização de substrato utilizadas, a técnica de polarização do substrato traz melhores resultados quanto aos tempos de estabilização, dado uma condição inicial. Ainda, comparando as duas técnicas de polarização (Direta e Pasini), estas apresentam resultados muito semelhantes. A melhor opção é a utilização do circuito de polarização Direta devido ao seu menor consumo de energia, quando comparada ao circuito de polarização Pasini.

A Tabela 5.13 resume o melhor circuito de polarização para cada uma das condições consideradas. Vê-se que o circuito de polarização direta é o que apresenta a maioria dos melhores resultados. Ainda sobre a Tabela 5.13, nota-se que diminuindo a alimentação de 400mV para 200mV, os tempos aumentam mais de 30 vezes em cada condição de V_{Tp} e V_{Tn} .

	Circuito de Polarização com o qual foi obtido o menor tempo de estabilização	
	$V_{DD} = 400 \text{ mV}$	$V_{DD} = 200 \text{ mV}$
V_{TP} nominal	Direta	Direta
V_{TN} nominal	(288 ns)	(8,39 μs)
$V_{TP} +20\%$	Direta	Direta
$V_{TN} -20\%$	(312 ns)	(15,25 μs)
$V_{TP} -20\%$	Pasini	Direta
$V_{TN} +20\%$	(279 ns)	(9,42 μs)
$V_{TP} -20\%$	Direta	Direta
$V_{TN} -20\%$	(47 ns)	(1,15 μs)
$V_{TP} +20\%$	Direta	Direta
$V_{TN} +20\%$	(1920 ns)	(70,8 μs)

Tabela 5.13 – Comparativo dos circuitos de polarização de substrato com relação aos tempos de estabilização

5.3.1 Análise da Célula SRAM na Operação de Escrita

Para avaliar o comportamento das células SRAM na operação de escrita, utilizando circuitos de polarização de substrato, foram realizadas análises transiente e medidos os tempos entre o início da escrita de um valor contrário ao valor armazenado até a célula se estabilizar no novo valor, conforme mostrado na Figura 5.6.

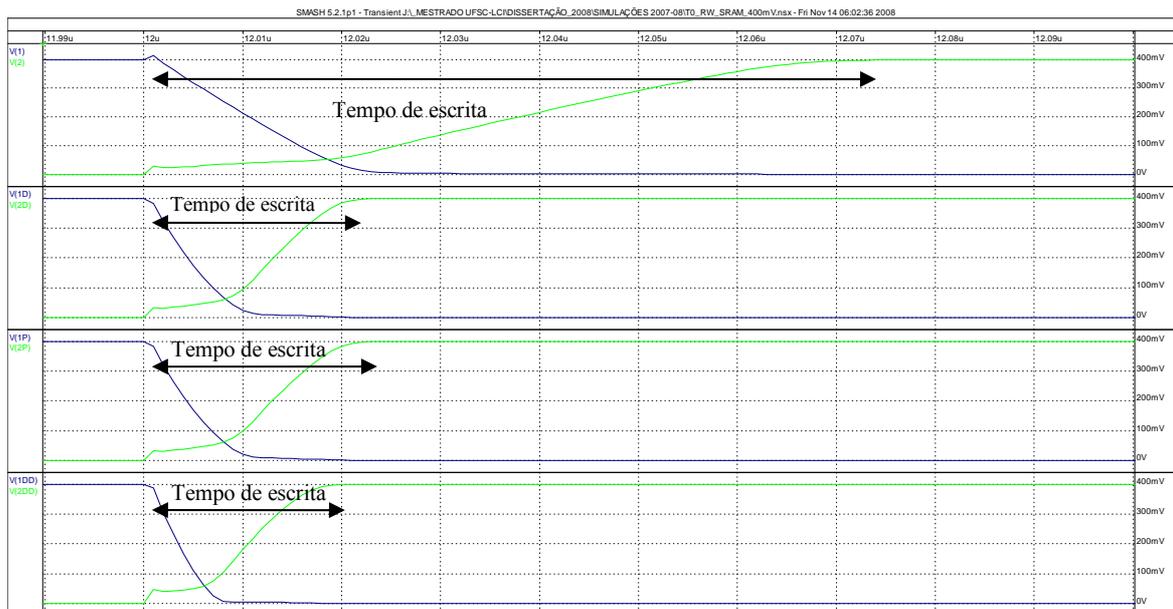


Figura 5.6 – Tempos de escrita na célula SRAM

As Tabelas 5.14 e 5.15 mostram os tempos de escrita obtidos, para tensões de alimentação de 400mV e 200mV, e condições de variação do parâmetro V_T .

	Tempo de escrita nominal	Variação do tempo de escrita			
		$V_{Tp} +20\%$	$V_{Tp} -20\%$	$V_{Tn} -20\%$	$V_{Tn} +20\%$
	V_{Tp} nominal	$V_{Tp} +20\%$	$V_{Tp} -20\%$	$V_{Tn} -20\%$	$V_{Tn} +20\%$
	V_{Tn} nominal	$V_{Tn} -20\%$	$V_{Tn} +20\%$	$V_{Tn} -20\%$	$V_{Tn} +20\%$
Sem polarização	74,5 ns	+295,97% (295 ns)	+215,43% (235 ns)	-81,21% (14 ns)	+557,72% (490 ns)
Polarização Direta	22,5 ns	+64,44% (37 ns)	+6,66% (24 ns)	-73,77% (5,9 ns)	+460% (126 ns)
Polarização Pasini	23,5 ns	+108,51% (49 ns)	87,23% (44 ns)	-74,89% (5,9 ns)	+461,7% (132ns)
Polarização Duplo Direta	20,5 ns	+104,88% (42 ns)	-31,7% (14 ns)	-73,66% (5,4 ns)	+441,46% (111 ns)

Tabela 5.14 – Variação do tempo de escrita da célula SRAM com $V_{DD} = 400$ mV

	Tempo de escrita	Variação do tempo de escrita			
		$V_{Tp} +20\%$	$V_{Tp} -20\%$	$V_{Tp} -20\%$	$V_{Tp} +20\%$
	$V_{Tn} \text{ nominal}$	$V_{Tn} -20\%$	$V_{Tn} +20\%$	$V_{Tn} -20\%$	$V_{Tn} +20\%$
Sem polarização	6,17 μs	+238,9% * ² (20,91 μs)	* ¹	-86,71% (0,82 μs)	+544,2% * ³ (39,75 μs)
Polarização Direta	2,7 μs	+108,9% (5,64 μs)	* ¹	-84,81% (0,41 μs)	+615,9% (19,33 μs)
Polarização Pasini	2,75 μs	+182,2% (7,76 μs)	* ¹	-85,09% (0,41 μs)	+637,5% (20,28 μs)
Polarização Duplo Direta	2,28 μs	+142,5% (5,53 μs)	+87,28% (4,27 μs)	-86,4% (0,31 μs)	+725,4% (18,82 μs)

*¹ Não ocorreu escrita (troca de nível lógico)

*² Atingiu 175 mV de tensão diferencial ($V_2 - V_1$).

*³ Atingiu 190 mV de tensão diferencial ($V_2 - V_1$).

Tabela 5.15 – Variação do tempo de escrita da célula SRAM com $V_{DD} = 200$ mV

Na operação de escrita na célula SRAM, tem-se uma grande variação nos tempos de escrita do dado a ser armazenado. Para uma alimentação de 400 mV, o pior caso ocorre quando os V_T s dos transistores NMOS e PMOS estão 20% acima dos valores nominais e o melhor caso quando os V_T s estão 20% abaixo do nominal.

Já para alimentação de 200mV, na condição de descasamento $V_{Tp} -20\%$ e $V_{Tn} +20\%$, somente a célula SRAM com polarização duplo direta realizou corretamente a escrita do dado. Isso mostra a dificuldade de se operar uma SRAM com muito baixa tensão de alimentação.

Ainda sobre a condição de alimentação de 200mV, os tempos de escrita (Tabela 5.15) e os tempos de estabilização (Tabela 5.12) são muito elevados. Isso inviabilizaria a utilização da célula SRAM em condições que não seja de apenas armazenar o dado, por exemplo, estando a memória em um estado adormecido (*drowsy*).

Assim como para os tempos de estabilização, nas situações onde foram utilizados os circuitos de polarização de substrato, os resultados foram melhores do que quando não se utilizou tal polarização.

Em relação ao tempo de estabilização, o circuito de polarização Duplo Direta apresentou os piores resultados entre os três circuitos de polarização avaliados (Tabela 5.11 e Tabela 5.12). Mas, na operação de escrita na célula SRAM, o tempo para a célula trocar de nível lógico, na maioria das situações avaliadas, foi menor nos circuitos utilizando a polarização Duplo Direta. Sendo o único circuito de polarização que permitiu que ocorresse a escrita na célula SRAM, com alimentação de 200mV e condição de descasamento $V_{Tp} -20\%$ e $V_{Tn} +20\%$. Isso demonstra que não deixou de ser uma boa opção para polarizar substratos de transistores de células SRAM. Como vantagem, é o que apresenta menor consumo estático dos três circuitos estudados, e como desvantagem, é o que ocupa maior área dos três circuitos de polarização comparados.

Mantendo um bom desempenho nas várias condições em que se tem avaliado os circuitos de polarização, o circuito de polarização Direta, na situação de escrita na célula SRAM, apresentou bons resultados, ficando atrás apenas do circuito duplo Direta, mas com resultados próximos.

Na avaliação do circuito de polarização Pasini aplicado à célula SRAM em operação de escrita, este apresentou resultados inferiores aos demais circuitos de polarização de substrato. Ainda, como desvantagem, é o que apresenta maior consumo estático.

A Tabela 5.16 resume o melhor circuito de polarização para cada uma das condições consideradas (valores de VT). Vê-se que o circuito de polarização duplo direta é o que apresenta a maioria dos melhores resultados. Ainda sobre a Tabela 5.16, nota-se que diminuído a alimentação de 400mV para 200mV, os tempos aumentam mais de 30 vezes nas diversas condições de V_{Tp} e V_{Tn} .

	Circuito de Polarização com o qual foi obtido o menor tempo de escrita	
	$V_{DD} = 400 \text{ mV}$	$V_{DD} = 200 \text{ mV}$
V_{T_P} nominal V_{T_N} nominal	Duplo Direta (20,5 ns)	Duplo Direta (2,28 μs)
$V_{T_P} +20\%$ $V_{T_N} -20\%$	Direta (37 ns)	Duplo Direta (5,53 μs)
$V_{T_P} -20\%$ $V_{T_N} +20\%$	Duplo Direta (14 ns)	Duplo Direta (4,27 μs)
$V_{T_P} -20\%$ $V_{T_N} -20\%$	Duplo Direta (5,4 ns)	Duplo Direta (0,31 μs)
$V_{T_P} +20\%$ $V_{T_N} +20\%$	Duplo Direta (111 ns)	Duplo Direta (18,82 μs)

Tabela 5.16 – Comparativo dos circuitos de polarização de substrato com relação aos tempos de escrita

5.3.2 Conclusões sobre o Comportamento Dinâmico da Célula SRAM Utilizando Polarização de Substrato

Como pôde ser visto na seção anterior, a polarização de substrato ajudou a reduzir os tempos de estabilização do nível lógico válido na célula SRAM, dado um valor inicial, bem como os tempos de troca de nível lógico em uma operação de escrita.

Considerando a condição de baixa tensão de alimentação, onde a célula SRAM tem seu desempenho reduzido comparando com a condição de maior tensão de alimentação, os circuitos de polarização proporcionaram resultados que compensam parcialmente a redução do desempenho.

Novamente cabe ressaltar que o circuito de polarização Direta apresentou bons resultados nas várias situações simuladas. Os circuitos de polarização Pasini e duplo direta

também se mostraram funcionais no que diz respeito às diminuições dos tempos de estabilização e escrita.

5.4 Consumo Estático de Células SRAM utilizando Polarização de Substrato

O consumo estático de uma memória SRAM é um dos principais fatores a ser observado. Como geralmente a memória SRAM ocupa uma área considerável dentro de um *chip*, exemplos são as memórias *cache* em microprocessadores, e por apenas uma pequena parte estar ativa (executado alguma operação de leitura ou escrita), ou seja, a maior parte acaba ficando na situação de retenção de dado, apenas tendo como consumo o consumo estático, devido às correntes de fuga.

Quando aplicados a células SRAM, os circuitos de polarização de substrato comparados nesse trabalho propiciaram melhora na margem de ruído estática e na velocidade (tempos de escrita). Em contrapartida, o custo da utilização dos circuitos de polarização se refletiu no consumo estático. Para melhorar a velocidade de chaveamento dos transistores da célula SRAM, a polarização de substrato melhorou (aumentou) a condução dos transistores, diminuindo a tensão de limiar. Dessa forma, com transistores conduzindo melhor, resulta em maior consumo estático do que se não tivesse sido aplicada a polarização de substrato.

A Tabela 5.17 apresenta potência estática da célula SRAM, em 200 mV e 400 mV.

	$V_{DD} = 400 \text{ mV}$		$V_{DD} = 200 \text{ mV}$	
Sem polarização	2,253 pW		0,8199 pW	
Polarização Direta	10,93 pW	7,99 pW (célula) 2,936 pW (cct pol.)	2,176 pW	1,601 pW (célula) 0,5749 pW (cct pol.)
Polarização Pasini	475,9 pW	8,029 pW (célula) 467,8 pW (cct pol.)	9,857 pW	1,614 pW (célula) 8,243 pW (cct pol.)
Polarização Duplo Direta	10,87 pW	10,22 pW (célula) 0,6495 pW (cct pol.)	2,062 pW	1,843 pW (célula) 0,2192 pW (cct pol.)

Tabela 5.17 – Consumo estático da célula SRAM utilizando polarização de substrato

Da Tabela 5.17, nota-se que o consumo da célula SRAM sem polarização de substrato é menor do que com algum tipo de polarização. Utilizando a polarização Pasini, o consumo estático foi muito maior devido ao elevado consumo do próprio circuito de polarização.

Quando utilizado o circuito de polarização Duplo Direta, se obteve o menor consumo do conjunto célula SRAM mais circuito de polarização de substrato.

Já com a utilização do circuito de polarização Direta, o consumo foi levemente maior do que o com o circuito Duplo Direta. Mas, o consumo somente da célula foi o menor dos três que utilizam a técnica de polarização de substrato. Ainda, o circuito de polarização Direta ocupa metade da área (2 transistores) do que o circuito Duplo Direta (4 transistores).

Com isso, nessa seção foi mostrada a desvantagem dos circuitos de polarização de substrato quando aplicados a células SRAM. E, mais uma vez o circuito de polarização Direta se mostrou melhor dos três circuitos comparados.

Capítulo 6

CONCLUSÕES E TRABALHOS FUTUROS

Para se conseguir uma memória SRAM operando em baixo consumo, a principal alternativa é reduzir a tensão de alimentação. Com isso, se reduzem alguns fatores como a margem de ruído estática e a velocidade de operação.

Para compensar essa diminuição de desempenho, foram utilizados circuitos de polarização direta de substrato (FBB). Estes se mostraram adequados para recuperar parcialmente o desempenho perdido, e a um custo pequeno, pois são circuitos simples e de tamanho reduzido, o que não compromete a área em um *chip*. Na pior situação, sendo necessário um circuito de polarização por célula de memória, o aumento de área seria de 33% quando utilizado o circuito de polarização direta.

Quanto à diminuição da margem de ruído estática com a redução da alimentação, quando utilizados os circuitos de polarização, esta teve melhora sobre as células SRAM que não utilizam polarização de substrato. Mas a grande melhora foi conseguida na velocidade de operação. Sempre que foram utilizados os circuitos de polarização a velocidade foi significativamente superior.

Ainda, das experimentações feitas no simulador, as variações no parâmetro V_T (Tensão de limiar do transistor MOS) em muitos casos fizeram com que o comportamento da célula SRAM piorasse, sendo que com os circuitos polarizando os substratos, os prejuízos foram sempre amenizados. Sendo assim, os circuitos de polarização se mostraram eficientes em situações de descasamento de transistores.

Dos três circuitos de polarização utilizados nas simulações, em alguns poucos casos o circuito de polarização Pasini e o circuito de polarização Duplo Direta se apresentaram

como os melhores. Porém, na grande maioria das situações, a vantagem foi do circuito de polarização Direta.

Portanto, com base em resultados de simulações conclui-se que a polarização de substrato, utilizando o circuito de polarização Direta [18], se mostrou como uma boa opção, no que diz respeito a melhorar o desempenho de células SRAM operando no regime de sublimiar e sob condições de descasamentos de transistores.

O fato de ser um circuito bastante simples e pequeno permite que possa ser utilizado em vários pontos em uma mesma pastilha, cumprindo assim o papel de compensar variações de parâmetros tecnológicos, mesmo que estas sejam locais (*intra-die*).

Como sugestão para trabalhos futuros, fica a indicação da implementação em *chip* de uma memória SRAM para operar em baixa tensão de alimentação e utilizando circuito de polarização de substrato. Apesar da preferência pelo circuito de polarização Direta, os circuitos de polarização Pasini e Duplo Direta se mostram funcionais para serem implementados. Atenção deverá ser dada ao consumo dos circuitos que se utilizarem da técnica de polarização de substrato.

Implementando uma SRAM com polarização de substrato, também deverá ser avaliada a necessidade e viabilidade da utilização de vários circuitos de polarização em uma mesma pastilha, compensando variações locais de parâmetros tecnológicos.

Outra questão em aberto é o dimensionamento dos circuitos de polarização de substrato. Deverá ser realizado estudo sobre o dimensionamento dos transistores, bem como da área (tamanho ou quantidade) dos circuitos digitais em que os circuitos de polarização se apresentarão funcionais.

Anexo A

PARÂMETROS DE SIMULAÇÕES

A.1 Parâmetros SPICE do modelo BSIM versão 3.1 para a tecnologia TSMC 0.18 μ m

```
.MODEL NMOS NMOS ( LEVEL = 49
+VERSION = 3.1          TNOM = 27          TOX = 4.2E-9
+XJ = 1E-7             NCH = 2.3549E17     VTH0 = 0.3729345
+K1 = 0.5911591       K2 = 3.007223E-3     K3 = 1E-3
+K3B = 2.3393631     W0 = 1E-7           NLX = 1.742723E-7
+DVT0W = 0           DVT1W = 0           DVT2W = 0
+DVT0 = 1.5143867    DVT1 = 0.4394265     DVT2 = 0.0461099
+U0 = 256.2652827    UA = -1.528208E-9  UB = 2.382175E-18
+UC = 4.869842E-11  VSAT = 1.048225E5   A0 = 1.9933604
+AGS = 0.4270688    B0 = 3.490909E-7    B1 = 5E-6
+KETA = -0.0131087  A1 = 0              A2 = 0.9073425
+RDSW = 137.1370976 PRWG = 0.3389529    PRWB = -0.2
+WR = 1              WINT = 1.948048E-10 LINT = 1.447793E-8
+XL = 0              XW = -1E-8         DWG = -4.571064E-9
+DWB = 9.725675E-9  VOFF = -0.0920056  NFACTOR = 2.4661822
+CIT = 0             CDSC = 2.4E-4        CDSCD = 0
+CDSCB = 0           ETA0 = 2.799633E-3  ETAB = 9.440921E-6
+DSUB = 0.0163514   PCLM = 0.7476704   PDIBLC1 = 0.1642233
+PDIBLC2 = 2.170537E-3 PDIBLCB = -0.1     DROUT = 0.6895268
+PSCBE1 = 8E10      PSCBE2 = 1.714915E-9 PVAG = 1.745429E-3
+DELTA = 0.01       RSH = 6.7          MOBMOD = 1
+PRT = 0            UTE = -1.5         KT1 = -0.11
+KT1L = 0           KT2 = 0.022        UA1 = 4.31E-9
+UB1 = -7.61E-18    UC1 = -5.6E-11     AT = 3.3E4
+WL = 0             WLN = 1            WW = 0
+WWN = 1            WWL = 0            LL = 0
+LLN = 1            LW = 0              LWN = 1
+LWL = 0            CAPMOD = 2          XPART = 0.5
+CGDO = 8.02E-10    CGSO = 8.02E-10    CGBO = 1E-12
+CJ = 9.50106E-4    PB = 0.8           MJ = 0.3783704
+CJSW = 2.429356E-10 PBSW = 0.8         MJSW = 0.1155199
+CJSWG = 3.3E-10    PBSWG = 0.8        MJSWG = 0.1155199
+CF = 0             PVTH0 = -9.861363E-4 PRDSW = -3.1061658
+PK2 = 8.347166E-4  WKETA = 2.838389E-4 LKETA = -7.160166E-3
+PU0 = 4.1578782    PUA = -1.64205E-13 PUB = 0
+PVSAT = 1.305917E3 PETA0 = 6.567234E-5 PKETA = -8.535331E-4
)
```

```

.MODEL PMOS PMOS ( LEVEL      = 49
+VERSION = 3.1                TNOM      = 27                TOX      = 4.2E-9
+XJ      = 1E-7                NCH     = 4.1589E17       VTH0     = -0.4075115
+K1      = 0.5857189           K2      = 0.0331921       K3       = 0
+K3B     = 12.2405601          W0      = 1E-6            NLX      = 8.34956E-8
+DVT0W   = 0                   DVT1W   = 0              DVT2W    = 0
+DVT0    = 0.540657           DVT1    = 0.3618395     DVT2     = 0.1
+U0      = 114.351172          UA      = 1.500235E-9     UB       = 1E-21
+UC      = -7.63355E-11        VSAT    = 2E5            A0       = 1.8616494
+AGS     = 0.4071023          B0      = 5.347155E-7     B1       = 1.719601E-6
+KETA    = 0.0184405          A1      = 0.5644893       A2       = 0.3
+RDSW   = 247.8365148         PRWG    = 0.5            PRWB     = -0.0937912
+WR      = 1                   WINT    = 0              LINT     = 2.540644E-8
+XL      = 0                   XW      = -1E-8           DWG      = -3.336159E-8
+DWB     = 9.779975E-9         VOFF    = -0.0923541     NFACTOR  = 1.8856469
+CIT     = 0                   CDSC    = 2.4E-4           CDSCD    = 0
+CDSCB   = 0                   ETA0    = 0.0558438         ETAB     = -0.0374936
+DSUB    = 0.8784624          PCLM    = 2.9106088       PDIBLC1  = 1.331262E-4
+PDIBLC2 = 0.0333116          PDIBLCB = -1E-3           DROUT    = 9.970234E-4
+PSCBE1  = 3.204313E9         PSCBE2  = 9.273321E-10    PVAG     = 15
+DELTA   = 0.01               RSH     = 7.7             MOBMOD   = 1
+PRT     = 0                   UTE     = -1.5            KT1      = -0.11
+KT1L    = 0                   KT2     = 0.022           UA1      = 4.31E-9
+UB1     = -7.61E-18          UC1     = -5.6E-11        AT       = 3.3E4
+WL      = 0                   WLN     = 1              WW       = 0
+WWN     = 1                   WWL     = 0              LL       = 0
+LLN     = 1                   LW      = 0              LWN      = 1
+LWL     = 0                   CAPMOD  = 2              XPART    = 0.5
+CGDO    = 6.58E-10            CGSO    = 6.58E-10        CGBO     = 1E-12
+CJ      = 1.16195E-3          PB      = 0.8347189       MJ       = 0.4033366
+CJSW   = 2.053873E-10        PBSW    = 0.8582178       MJSW    = 0.3123837
+CJSWG  = 4.22E-10            PBSWG   = 0.8582178       MJSWG   = 0.3123837
+CF      = 0                   PVTH0   = 1.204949E-3     PRDSW   = 2.1519589
+PK2     = 1.902399E-3         WKETA   = 0.0277547       LKETA   = -3.019454E-3
+PU0     = -0.8585387         PUA     = -4.63302E-11    PUB     = 1E-21
+PVSAT   = -50                PETA0   = -2.003159E-4    PKETA   = -3.997451E-3
)

```

Referências Bibliográficas

- [1] LEE, W. L. “*Low Power Requirements for Future Digital Life Style*”. In: *International Symposium on Low Power Electronics and Design (ISLPED'03, Aug. 25-27, 2003, Seoul, Korea)*. Seoul, 2003. p. 1.

- [2] WILKERSON, C.; GAO, H.; ALAMELDEE, A. R. *et al.* “*Trading off Cache Capacity for Reliability to Enable Low Voltage Operation*”. In: *35th International Symposium on Computer Architecture (ISCA 2008, June 21-25, 2008)*. 2008. p. 203-214.

- [3] KHELLAH, M. M.; KESHAVARZI, A.; SOMASEKHAR, D. *et al.* “*Read and Write Circuit Assist Techniques for Improving Vccmin of Dense 6T SRAM Cell*” In: *IEEE International Conference on Integrated Circuit Design and Technology and Tutorial, 2008. (ICICDT 2008, June 2-4, 2008)*. 2008. p. 185-188.

- [4] JAIN, P.; DASANI, J.; KUMAR, A. “*Sleep Circuit for SRAM Core with Improved Noise-Margin*”. In: *IEEE International Conference on Integrated Circuit Design and Technology and Tutorial (ICICDT 2008, June 2-4, 2008)*. 2008. P. 139-142.

- [5] KIM, T.; LIU, J.; KEANE, J. *et al.* “*Circuit Techniques for Ultra-Low Power Subthreshold SRAM*”. In: *IEEE International Symposium on Circuits and Systems (ISCAS 2008, May 18-21, 2008)*. 2008. p. 2574-2577.

- [6] MOHAMMAD, B.; SAINT-LAURENT, M.; BASSETT, P. *et al.* “*Cache Design for Low power and High Yield*”. In: *International Symposium on Quality Electronic Design (ISQED 2008, Mar. 17-19, 2008)*. 2008. p. 103-107.

- [7] HANSON, S.; SEOK, M.; SYLVESTER, D. *et al.* "Nanometer Device Scaling in Subthreshold Logic and SRAM". *IEEE Transactions on Electron Devices*, v. 55, n. 1, p. 175-185, Jan. 2008.
- [8] ZHAI, B.; BLAAUW, D.; SYLVESTER, D. *et al.* "A Sub-200mV 6T SRAM in 0.13 μ m CMOS". In: *IEEE International Solid-State Circuits Conference (ISSCC 2007, Feb. 11-15, 2007). Digest of Technical Papers*. 2007. p. 332-334.
- [9] CHEN, J.; CLARK, L. T.; CHEN T. "An Ultra-Low-Power Memory with a Subthreshold Power Supply Voltage". *IEEE Journal of Solid-State Circuits*, v. 41, n. 10, p. 2344-2353, Oct. 2006.
- [10] ZUSHI, J.; ZENG, G.; TOMIYAMA, H. *et al.* "Improved Policies for Drowsy Caches in Embedded Processors". In: *4th IEEE International Symposium on Electronic Design, Test and Applications (DELTA 2008)*, 2008. p. 362-367.
- [11] PEI, W.; JONE, W.; HU, Y. "Fault Modeling and Detection for Drowsy SRAM Caches". *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, v. 26, n. 6, p. 1084-1100, June 2007.
- [12] KIM, N. S.; FLAUTNER, K.; BLAAUW, D. *et al.* "Circuit and Microarchitectural Techniques for Reducing Cache Leakage Power". *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v.12, n. 2, p. 167-184, Dec. 2004.
- [13] EL-DIB, D. A.; ABID, Z.; SHAWKEY, H. A. "Investigating an Aggressive Mode for Drowsy Cache Cells". In: *Canadian Conference on Electrical and Computer Engineering, 2008 (CCECE 2008, May 4-7, 2008)*, 2008. p. 901-904.
- [14] FLAUTNER, K.; KIM, N. S.; MARTIN S. *et al.* "Drowsy Caches: Simple Techniques for Reducing Leakage Power". In: *International Symposium on Computer Architecture (ISCA 02, 29th Annual, May 25-29, 2002). Proceedings*. IEEE, 2002. p. 148-157.

- [15] POWELL M.; YANG, S.; FALSAFI, B. et al. “*Gated-Vdd: A Circuit Technique to Reduce Leakage in Deep-Submicron Cache Memories*”. In: *International Symposium on Low Power Electronics and Design 2000 (ISLPED’00, Rapallo, Italy). Proceedings*. Rapallo, 2000. p. 90-95.
- [16] KAXIRAS, S.; HU, Z.; MARTONOSI, M. “*Cache Decay: Exploiting Generational Behavior to Reduce Cache Leakage Power*”. In: *International Symposium on Computer Architecture (ISCA 2001, 28th Annual, 30 June-4 July 2001)* 2001. p. 240-251.
- [17] RAYCHOWDHURY, A.; MUKHOPADHYAY, S.; ROY, K. “*A Feasibility study of Subthreshold SRAM across technology Generations*”. In: *International Conference on Computer Design: VLSI in Computer and Processors (ICCD 2005, Oct. 2-5, 2005). Proceedings. IEEE, 2005*. p. 417-422.
- [18] BRYANT, A.; BROWN, J.; COTTRELL, P. et al. “*Low-Power CMOS at $V_{dd}=4kT/q$* ”. *Device Research Conference*, p. 22-23, 2001.
- [19] MELEK, Luiz A. P. “*Operação de Circuitos Lógicos CMOS de (Ultra)-Baixo Consumo*”. Florianópolis, 2004. Dissertação (Mestrado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [20] GIUSTI, Gustavo B. “*Projeto de um Circuito Divisor de Frequência de Ultra-baixo Consumo de Potência*”. Florianópolis, 2007. Dissertação (Mestrado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [21] VITTOZ, E. A. “*Weak Inversion for Ultimate Low-Power Logic*”. In: PIGUET, C.; KELLY, L. *Low-Power Electronics Design*. CRC Press, 2004. p. 16.1-16.18.
- [22] LOHSTROH, J.; SEEVINCK, E.; GROOT, J. D. “*Worst-Case Static Noise Margin Criteria for Logic Circuits and their Mathematical Equivalence*”. *IEEE Journal of Solid-State Circuits*, v. SC-18, n. 6, p.803-806, Dec. 1983.

- [23] QIN, H.; CAO, Y.; MARKOVIC, D. *et al.* “Standby supply voltage minimization for deep sub-micron SRAM”. *Microelectronics Journal*, v. 36, issue 9, p. 789-800, Sep. 2005.
- [24] CALHOUN, B. H.; CHANDRAKASAN, A. P. “Static Noise Margin Variation for Sub-threshold SRAM in 65-nm CMOS”. *IEEE Journal of Solid-State Circuits*, v. 41, n. 7, p.1673-1679, Jul. 2006.
- [25] SIL, A.; GHOSH, S.; GOGINENI, N. *et al.* “A Novel High Write Speed, Low Power, Read-SNM-Free 6T SRAM Cell”. In: *51st Midwest Symposium on Circuits and Systems (MWSCAS 2008, Aug 10-13, 2008)*, 2008. p. 771-774.
- [26] KEERTHI, R.; CHEN, C. H. “Stability and Static Noise Margin Analysis of Low-Power SRAM”. In: *IEEE International and Measurement Technology Conference (I²MTC 2008, May 12-15, 2008)*, Victoria, Vancouver island, Canada, 2008.
- [27] VAN NOIJE, W. A. M.; LIU, W. T.; NAVARRO, S. J. “Precise Final State Determination of Mismatched CMOS Latches”. *IEEE Journal of Solid-State Circuits*, v. 30, n. 5, p.607-611, May 1995.
- [28] PORTMANN, C. L. “Characterization and Reduction of Metastability Errors in CMOS Interface Circuits”. Stanford, USA, 1995. Tese (Doutorado em Engenharia Elétrica) - Stanford University.
- [29] LEBLEBICI, Y.; KANG, S. “CMOS Digital Integrated Circuits – Analysis and Design”, New York: McGraw-Hill, 1996.
- [30] KIM, L.; DUTTON, R. W. “Metastability of CMOS latch/flip-flop”. *IEEE Journal of Solid-State Circuits*, v. 25, n. 4, p. 942-951, Aug. 1990.
- [31] ROSENBERGER, F. U; MOLNAR, C. E. “Comments on “Metastability of CMOS Latch/flip-flop”. *IEEE Journal of Solid-State Circuits*, v. 27, n. 1, p. 128-130, Jan. 1992.

- [32] Programa MOSIS. In: *www.mosis.com*.
- [33] RABAEY, J. M.; CHANDRAKASAN, A.; NIKOLIC, B. “*Digital Integrated Circuits – A Design Perspective*”. *Second Edition, New Jersey: Person Education, 2003.*
- [34] HANSON, S.; ZHAI, B.; BERNSTEIN, K. et al. “*Ultralow-voltage minimum-energy CMOS*”. *IBM J. RES. & DEV.*, v. 50, n. 4/5, July/Sep. 2006.
- [35] LIU, Z.; KURSUN, V. “*High Read Stability and Low Leakage Cache Memory Cell*”. In: *IEEE International Symposium on Circuits and Systems (ISCAS 2007, 27-30 May 2007)*. 2007. p. 2774-2777.
- [36] SOELEMEN, H.; ROY, K.; Paul, B. C. “*Robust Subthreshold Logic for Ultra-Low Power Operation*”. *IEEE Transactions on VLSI Systems*, v. 9, n. 1, p. 90-99, Feb. 2001.
- [37] TSCHANZ, J. W.; KAO, J. T.; NARENDRA, S. G. et al. “*Adaptive Body Bias for Reducing Impacts of Die-to-Die and Within-Die Parameter Variations on Microprocessor Frequency and leakage*”. *IEEE Journal of Solid-State Circuits*, v. 37, n. 11, p.1396-1402, Nov. 2002.
- [38] JAYAPAL, S.; MANOLI, Y. “*Minimizing Energy Consumption with Variable Forward Body Bias for Ultra-Low Energy LSIs*”. In: *International Symposium on VLSI Design, automation and Test 2007 (VLSI-DAT 2007, 25-27 Apr. 2007)*. 2007. p 1-4.
- [39] VOLDMAN, S.; GEBRESELASIE, M. A.; HERSHBERGER, D. C. et al. “*Latchup in Merged Triple Well Structure*”. In: *IEEE International Reliability Physics Symposium (43rd Annual, Apr. 17-21, 2005, San Jose)*. *Proceedings*. 2005. p. 129-136.

- [40] SCHNEIDER, M. C.; GALUP-MONTORO, C.; MACHADO, M. C. *et al.* “*About the Concept of Threshold in MOS Transistors*”. In: *20th Symposium on Microelectronics Technology and Devices (SBMicro 05), Florianópolis. Proceedings. 2005. New York: Pennington The Electrochemical Society, 2005.*