

LUIZ ALBERTO PASINI MELEK

**OPERAÇÃO DE CIRCUITOS LÓGICOS
CMOS DE (ULTRA)-BAIXO CONSUMO**

FLORIANÓPOLIS

2004

UNIVERSIDADE FEDERAL DE SANTA CATARINA

**PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA**

**OPERAÇÃO DE CIRCUITOS LÓGICOS
CMOS DE (ULTRA)-BAIXO CONSUMO**

Dissertação submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a
obtenção do grau de Mestre em Engenharia Elétrica.

LUIZ ALBERTO PASINI MELEK

Florianópolis, fevereiro de 2004.

OPERAÇÃO DE CIRCUITOS LÓGICOS CMOS DE (ULTRA)-BAIXO CONSUMO

LUIZ ALBERTO PASINI MELEK

“Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em Circuitos Integrados, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.”

Carlos Galup-Montoro, Dr.

Orientador

, Dr.

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

, Dr.

Presidente

, Dr.

, Dr.

AGRADECIMENTOS

Antes de tudo, gostaria de agradecer à Caroline pela paciência, compreensão, apoio e incentivo durante todo tempo que fiquei longe, pelas vezes que estive em Florianópolis e pelos finais de semana em Curitiba. Seu apoio e paciência foram fundamentais, sem os quais nada seria feito.

Agradeço imensamente aos meus pais e irmãos pela ajuda e apoio em Curitiba, e pelas vezes que estiveram em Florianópolis.

Agradeço à Capes e ao CNPq pelo apoio financeiro.

Agradeço à MOSIS pela fabricação gratuita dos circuitos.

Agradeço ao pessoal do Laboratório de Circuitos Integrados.

Para finalizar, agradeço a Deus por ter me dado esta oportunidade.

Perfect - Alanis Morissete

Sometimes is never quite enough
If you're flawless, then you'll win my love
Don't forget to win first place
Don't forget to keep that smile on your face

Be a good boy
Try a little harder
You've got to measure up
And make me prouder

How long before you screw it up
How many times do I have to tell you to hurry up
With everything I do for you
The least you can do is keep quiet

Be a good girl
You've gotta try a little harder
That simply wasn't good enough
To make us proud

I'll live through you
I'll make you what I never was
If you're the best, then maybe so am I
Compared to him, compared to her
I'm doing this for your own damn good
You'll make up for what I blew
What's the problem...why are you crying

Be a good boy
Push a little farther now
That wasn't fast enough
To make us happy
We'll love you just the way you are if you're perfect

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

OPERAÇÃO DE CIRCUITOS LÓGICOS CMOS DE (ULTRA)-BAIXO CONSUMO

LUIZ ALBERTO PASINI MELEK

Fevereiro/2004

Orientador: Carlos Galup-Montoro, Dr.

Área de Concentração: Circuitos Integrados

Palavras-chave: baixo consumo, circuitos lógicos, polarização de substrato, lógica estática, circuitos integrados.

Número de Páginas: 113

A presente dissertação visa estudar o comportamento e operação de circuitos lógicos CMOS de (ultra)-baixo consumo. Envolve o dimensionamento dos transistores NMOS e PMOS que compõem os circuitos, a determinação da melhor tensão de alimentação e técnicas de polarização do poço, visando o balanceamento dos tempos de subida e descida dos circuitos e evitar desperdício de energia. Para isso, são desenvolvidas formulações analíticas para a função de transferência DC, tempos de transiente e dissipação de potência de portas lógicas estáticas. A análise do descasamento dos transistores e do efeito da dispersão tecnológica são avaliados para que se possa evitá-los ou minimizá-los. Com este intuito, técnicas de polarização do substrato são empregadas e dois circuitos de compensação são propostos. Validação das técnicas empregadas é feita com diversos circuitos e portas lógicas, através de simulações, em circuitos com componentes discretos e na forma de elementos testes em um circuito integrado fabricado especialmente para este propósito, nas tecnologias AMIS 1,5 μ m e TSMC 0,35 μ m.

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

CMOS LOGIC CIRCUITS OPERATION IN SUB-THRESHOLD REGIME

LUIZ ALBERTO PASINI MELEK

February/2004

Advisor: Carlos Galup-Montoro

Area of Specialty: Integrated Circuits

Keywords: low-power, logic circuits, body-bias, static logic, integrated circuits.

Number of Pages: 113

The present dissertation shows the study of the behavior and the operation of (ultra) low-power CMOS logic circuits. It deals with the sizing of NMOS and PMOS transistors that compose the circuits, the determination of the best supply voltage and well biasing techniques, in order to equalize rise and fall times of the gates and to avoid wasting too much energy. Analytical formulations for the DC transfer function, rise and fall times and power dissipation in static logic gates are developed. The analysis of the mismatch in the transistors and the effect of the dispersion in technological parameters are assessed in order to be avoided or minimized. With this purpose, body-bias techniques are employed and two compensation circuits are proposed. Validation of the technique is done by several circuits and logic gates, by means of simulations and measurements in test elements with discrete components and in integrated circuits specially fabricated for this purpose, in AMIS 1.5 μm and TSMC 0.35 μm technologies.

SUMÁRIO

AGRADECIMENTOS _____	iv
SUMÁRIO _____	vii
LISTA DE FIGURAS _____	ix
1. INTRODUÇÃO _____	1
1.1 APLICAÇÕES _____	3
1.2 REVISÃO DA LITERATURA _____	6
2. OPERAÇÃO DE PORTAS LÓGICAS EM INVERSÃO FRACA _____	11
2.1 INVERSOR LÓGICO CMOS _____	14
2.1.1 Tempo de Subida e Descida _____	14
2.2. OSCILADOR EM ANEL _____	16
2.3 PROBLEMAS DECORRENTES DOS PARÂMETROS TECNOLÓGICOS _____	17
2.4 PROBLEMAS DECORRENTES DA VARIAÇÃO DA TEMPERATURA _____	22
3. TÉCNICA DE COMPENSAÇÃO _____	24
3.1 CIRCUITO DE COMPENSAÇÃO _____	24
3.2 FORMULAÇÕES ANALÍTICAS PARA O INVERSOR _____	28
3.2.1 Transferência DC _____	28
3.2.2. Análise Transiente _____	32
3.2.3 Dissipação de Potência _____	42
3.3 CIRCUITOS COMPLEXOS: LATCH-D E CONTADOR BINÁRIO _____	44
3.3.1 Latch-D _____	44
3.3.2 Contador Binário _____	46
3.4 VALIDAÇÃO PRÁTICA INICIAL _____	49
4. RESULTADOS EXPERIMENTAIS _____	53
4.1 TRANSFERÊNCIA DC _____	57
4.1.1 Corrente de Escala e Tensão de Limiar _____	57
4.1.2 Tensão de Polarização _____	60

4.1.3 Transferência DC do Inversor _____	65
4.1.4 Transferência DC da Porta NAND _____	70
4.2 RESPOSTA EM FREQUÊNCIA _____	71
5. CONCLUSÃO _____	75
ANEXO 1: FREQUÊNCIA DE OSCILAÇÃO DO OSCILADOR EM ANEL _____	78
ANEXO 2: PARÂMETROS TECNOLÓGICOS _____	80
ANEXO 3: EQUACIONAMENTO DE $G_{N(P)}$ _____	93
ANEXO 4: FORMULAÇÕES ANALÍTICAS PARA PORTAS NAND E NOR _____	94
i) Transferência DC _____	94
ii) Análise Transiente _____	97
GLOSSÁRIO _____	99
REFERÊNCIAS BIBLIOGRÁFICAS _____	100

LISTA DE FIGURAS

Fig.1.1: Lógica Sub-Dominó (a) Pré-carga alta; (b) Pré-carga baixa _____	7
Fig.1.2: Lógica Sub-DTMOS (a) tipo 1; (b) tipo 2 _____	8
Fig.1.3: Técnica de polarização de poço proposta em [19] _____	9
Fig.2.1: Corte esquemático de um transistor NMOS e um PMOS _____	11
Fig.2.2: Inversor CMOS _____	14
Fig.2.3: Circuito equivalente para (a) o tempo de subida; (b) o tempo de descida	14
Fig.2.4: Oscilador em anel de 3 estágios _____	16
Fig.2.5: Valores de V_{TN} e V_{TP} para três tecnologias em diversas rodadas _____	17
Fig.2.6: T_{HL}/T_{LH} _____	18
Fig.2.7: Tensão de saída do inversor _____	19
Fig.2.8: Corrente de dreno dos transistores NMOS e PMOS _____	20
Fig.2.9: Frequência de oscilação para $N=3$ (a) Gráfico 3D; (b) Gráfico de contorno _____	21
Fig.2.10: Tempos de subida e descida em função da temperatura _____	22
Fig.3.1: Três circuitos de compensação possíveis _____	25
Fig.3.2: V_W (mV) em função das tensões de limiar, $V_{TN(P)}$ (V) (a) gráfico 3D; (b) gráfico de contorno _____	26
Fig.3.3: Circuito de polarização mostrando os diodos de fonte _____	27
Fig.3.4: V_W em função da tensão de alimentação V_{DD} _____	27
Fig.3.5: Modelo do Inversor com condutâncias _____	28
Fig.3.6: Característica de transferência de tensão DC para diferentes I_{ON}/I_{OP} _____	31
Fig.3.7: Comparação entre cálculo e simulação do tempo de subida e descida	34
Fig.3.8: Inversores simulados (a) Sem compensação; (b) Com compensação _____	35
Fig. 3.9.(a): Corrente nos transistores do inversor sem compensação – escala horizontal de $1000\mu s$ _____	36

Fig. 3.9.(b): Corrente nos transistores do inversor com compensação – escala horizontal de 40 μ s _____	36
Fig.3.10.(a): Transiente de tensão do inversor sem compensação – escala horizontal de 1000 μ s _____	37
Fig.3.10.(b): Transiente de tensão do inversor com compensação – escala horizontal de 40 μ s _____	37
Fig.3.11: Transiente de tensão do inversor com compensação – escala horizontal de 400 μ s _____	38
Fig.3.12: Transiente de corrente – escala horizontal de 400 μ s _____	39
Fig.3.13: Transiente de tensão com compensação das correntes de <i>drive</i> _____	40
Fig.3.14: Transiente de corrente com compensação das correntes de <i>drive</i> _____	40
Fig.3.15: Variação de V_W com a temperatura _____	42
Fig.3.16: Inversor com diodos de fonte e dreno _____	43
Fig.3.17: Latch-D (a) circuito com portas lógicas; (b) símbolo _____	44
Fig.3.18: Resultados da simulação do latch _____	45
Fig.3.19: Detalhe da simulação (zoom) _____	46
Fig.3.20: Esquema das portas lógicas estáticas componentes do contador 0-9 _____	47
Fig.3.21: Resultado da simulação do contador 0-9 _____	48
Fig.3.22: Detalhe da simulação da saída D _____	48
Fig.3.23: Oscilador em anel de três estágios (a) sem compensação (b) com compensação _____	50
Fig.3.24: Oscilador em anel (a) sem compensação – $V_{DD}=1,1V$, $F_{OSC}=15Hz$ (b) com compensação – $V_{DD}=0,65V$, $F_{OSC}=25Hz$ _____	51
Fig.3.25: Freqüência de oscilação em função da tensão de alimentação _____	52
Fig.3.26: Potência dissipada em função da freqüência de oscilação _____	52
Fig.4.1(a): Circuito de compensação com gates livres _____	54
Fig.4.1(b): Transistores NMOS e PMOS para formar o inversor _____	54

Fig.4.1(c): NAND de 2 entradas _____	55
Fig.4.1(d): Oscilador em anel de 5 estágios _____	55
Fig.4.1(d): Latch-D _____	56
Fig.4.1(f): Contador binário de 0 a 9 _____	56
Fig.4.2: $I_D \times V_{GB}$ – AMIS 1,5 μ m – a) NMOS; b) PMOS _____	58
Fig.4.3: $I_D \times V_{GB}$ – TSMC 0,35 μ m – a) NMOS; b) PMOS _____	59
Fig.4.4: V_W em função de V_{DD} – AMIS 1,5 μ m – Polarização média _____	62
Fig.4.5: V_W em função de V_{DD} – AMIS 1,5 μ m – Polarização cruzada _____	63
Fig.4.6: V_W em função de V_{DD} – AMIS 1,5 μ m – Polarização direta _____	63
Fig.4.7: V_W em função de V_{DD} – TSMC 0,35 μ m – Polarização média _____	64
Fig.4.8: V_W em função de V_{DD} – TSMC 0,35 μ m – Polarização cruzada _____	64
Fig.4.9: V_W em função de V_{DD} – TSMC 0,35 μ m – Polarização direta _____	65
Fig.4.10: Inversor polarizado _____	65
Fig.4.11: Transferência DC do Inversor – $V_{DD}=600\text{mV}$ _____	67
Fig.4.12: Transferência DC do Inversor – $V_{DD}=500\text{mV}$ _____	67
Fig.4.13: Transferência DC do Inversor – $V_{DD}=400\text{mV}$ _____	68
Fig.4.14: Transferência DC do Inversor – $V_{DD}=300\text{mV}$ _____	68
Fig.4.15: Transferência DC do Inversor – $V_{DD}=250\text{mV}$ _____	69
Fig.4.16: Transferência DC da porta NAND – $V_{DD}=500\text{mV}$ _____	70
Fig.4.17: Esquema de medição do inversor _____	71
Fig.4.18: Resposta em Freqüência do Inversor – $V_I = 500\text{mV} / 1000\text{Hz}$ _____	72
Fig.4.19: Resposta em Freqüência do Inversor – $V_I = 400\text{mV} / 500\text{Hz}$ _____	72
Fig.4.20: Resposta em Freqüência do Inversor – $V_I = 300\text{mV} / 200\text{Hz}$ _____	72
Fig.4.21: Medidas do Inversor com <i>Buffer</i> de Corrente _____	74
Fig.A.4.1: Portas lógicas estáticas (a) NAND; (b) NOR _____	94

CAPÍTULO 1

INTRODUÇÃO

A utilização e a necessidade de equipamentos eletrônicos como, por exemplo, telefones celulares, laptops, próteses auditivas e aparelhos portáteis vêm crescendo de forma bastante acelerada nos últimos anos. Normalmente, esses equipamentos deveriam ser pequenos, leves e funcionar através de baterias de longa duração. Um exemplo disso são as próteses auditivas que devem ficar alojadas no ouvido ou até mesmo dentro do canal auditivo. Outro exemplo são os computadores de mão ou PDA (*Personal Digital Assistant*) que devem ter uma boa velocidade de processamento, pois muitos deles possuem editores de texto, agendas, jogos, planilhas eletrônicas, mas devem consumir pouca energia, pois ainda assim funcionam com baterias. Por isso, os circuitos integrados analógicos e digitais que os compõem deveriam operar com fonte de alimentação de baixa tensão e dissipar o mínimo de potência possível [1], para que a bateria tenha uma vida útil longa.

Sistemas computacionais operados por baterias, antes caracterizados por baixa capacidade de processamento, deixaram de ter esta característica, pois cada vez mais os aplicativos exigem toda a capacidade funcional. Entretanto, o avanço da tecnologia das baterias ainda é pequeno se comparado com o desenvolvimento da eletrônica. As modernas baterias de níquel-cádmio são capazes de fornecer apenas 26W, com um peso de 500g [2].

Além disso, avanços na microeletrônica, permitiram que terminais portáteis plenamente funcionais se tornassem uma realidade. Para aumento da velocidade de processamento, o tamanho do transistor vem sendo constantemente reduzido. Isso acarretou no aumento da dissipação de potência por unidade de área,

levando a um novo problema: a remoção de calor através de sistemas de refrigeração maiores e mais caros [3].

Por esses motivos, metodologias de projetos visando redução no consumo de potência têm sido, ao longo dos últimos anos, uma das metas dos projetistas de circuitos integrados, que compõe esses equipamentos. Não só através do projeto, mas melhorias na utilização da energia disponível também podem ser obtidas através de modificações em processos tecnológicos básicos de produção de circuitos integrados, pelas novas arquiteturas de comunicação ou computação, transformações de algoritmos e melhoria na qualidade das fontes de alimentação [4,5]. A diminuição do consumo de potência requer um esforço consciente em todos os níveis de abstração e em cada fase da etapa de projeto [6].

Dentre as diversas tecnologias disponíveis para fabricação de circuitos integrados, a tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) convencional é a que conseguiu atingir a maior utilização atualmente e, muito provavelmente, durante os próximos 15 anos, com custo acessível e disponível através de diversos fabricantes (*foundries*). É a tecnologia que apresenta menor consumo de potência se comparada com outras como, por exemplo, a bipolar ou BiCMOS. Além disso, a operação dessa tecnologia em regime de inversão fraca, ou sub-limiar, apresenta características que a tornam ainda mais adequada quando a principal especificação é o consumo de potência mesmo que haja um certo detrimento da velocidade de processamento [1]. É uma técnica bastante promissora para aplicações de (ultra)-baixo consumo ou até mesmo em velocidades moderadas. Pode ser utilizada ainda em aplicações que requeiram maior velocidade de processamento se técnicas como *pipeline* ou arquiteturas paralelas são empregadas. Neste caso a penalidade pode ser a área de silício ocupada pelo circuito.

Usualmente, a potência em circuitos lógicos CMOS é dividida em duas componentes: a potência dinâmica, dependente da atividade de chaveamento do circuito, e a potência estática, independente da frequência. As duas principais componentes da dissipação dinâmica são provenientes da corrente necessária para carregar e descarregar os capacitores de carga, compostos basicamente por outras portas lógicas e interconexão, e da corrente de curto-circuito, consumida quando ambas as redes PMOS (PUN – *Pull-up Network*) e NMOS (PDN – *Pull-*

down Network) estão simultaneamente conduzindo, durante a transição da porta lógica. Usualmente a última é uma pequena fração da potência dinâmica. Por sua vez, a potência estática tem como principais componentes a dissipação devido às correntes de fuga nas junções p-n de dreno e fonte dos transistores e às correntes de sub-limiar nos transistores MOS. Para tecnologias submicrométricas, a corrente de fuga de junções p-n é desprezível, se comparada à corrente de sub-limiar. Em primeira aproximação, a dissipação estática é diretamente proporcional à tensão de alimentação, enquanto que a dissipação dinâmica é proporcional ao quadrado da tensão de alimentação. Assim, uma forma usual de redução de consumo é a redução de tensão de alimentação [1,7], o que, por sua vez, acarreta no aumento do tempo de atraso em portas lógicas. Nos casos em que o aumento do atraso for inaceitável, a redução da tensão da fonte de alimentação deve ser acompanhada da redução da tensão de limiar, através da troca de tecnologia. A desvantagem desta escolha está na possibilidade de um custo de fabricação maior e aumento da potência estática. Outra alternativa está na divisão de tarefas entre processadores paralelos, o que leva a um aumento de área de silício aproximadamente proporcional ao número de processadores.

Entretanto, em boa parte das aplicações que especificam um baixo consumo, não há a necessidade de processamento de sinais em altas taxas. Os requisitos sobre os atrasos das portas podem ser mais relaxados, mas o consumo de potência passa a ser a especificação fundamental a ser seguida. Os transistores podem operar com tensões extremamente reduzidas, inclusive abaixo da própria tensão de limiar, o que caracteriza a operação do circuito no regime de sub-limiar, de inversão fraca ou exponencial.

1.1 APLICAÇÕES

Basicamente o que foi encontrado sobre as aplicações de circuitos de baixíssimo consumo se refere a filtros digitais de diferentes arquiteturas e especificações e processadores digitais de sinais (DSP) com funções de filtragem digital, modulação e demodulação, compressão de sinais e controle de teclado e *display* de cristal líquido (LCD). Esses circuitos são usados principalmente em próteses auditivas, telefones celulares e aparelhos de som portáteis.

Em [8] é desenvolvido um circuito utilizando tecnologia SOI (*Silicon on Insulator*) para circuito de relógio de pulso de ultra-baixo consumo, operando com 0,42V e 30nA de corrente. A corrente é extremamente baixa, o que permite uma longa duração da bateria. Tipicamente, a frequência de operação de tais circuitos é de apenas 32kHz.

Em [9] é desenvolvido um sistema bastante interessante composto de um gerador de energia, um regulador e uma carga formada por um sistema digital. O sistema funciona independentemente da rede elétrica ou de baterias e pilhas. Toda a energia para o funcionamento do sistema é proveniente da geração através de um dispositivo eletro-mecânico, em tecnologia tipo MEMS (Microeletromechanical Systems), cuja tensão máxima de saída é de 180mV. O regulador tem como função aumentar essa tensão e regulá-la para fornecer uma tensão compatível com o funcionamento do sistema digital. Esse sistema realiza processamento digital de sinais provenientes de sensores, por meio de um filtro digital FIR (Finite Impulse Response), de 8 *taps* e 8 bits, do tipo passa-baixas. O filtro consome 4,75 μ W, com 1V de alimentação e 500kHz de frequência de *clock*. O sistema tem aplicações compatíveis com monitoramento, aquisição e detecção de sinais biomédicos, *tags* de identificação alimentados por energia de rádio-frequência (RF) e *smart-cards* alimentados indutivamente.

Em [10] é mostrado um filtro adaptativo, do tipo DLMS (*Delayed Least Mean Square*), trabalhando na região de inversão fraca, para aplicações de aparelhos auditivos. Simulações apresentadas mostram que o sistema pode processar sinais de voz com uma taxa de 22kHz, com tensão de alimentação de 400mV. É utilizada uma arquitetura paralela, o que permitiu que o sistema tivesse uma melhora de 91% em comparação com a técnica não paralela. No projeto protótipo foi utilizado um filtro de comprimento 12, com 8bits de resolução. O sistema foi testado com um sinal de entrada de 1kHz e implementado com três tipos de arquiteturas. Na arquitetura do tipo *folded*, a frequência de *clock* é de 748kHz, com 650mV de alimentação e um gasto de 19,1nJ por operação. Na arquitetura não-*folded* Sub-CMOS, o *clock* é de apenas 22kHz, com 450mV de alimentação e um gasto de 2,47nJ por operação. Por último, na arquitetura não-*folded* Sub-Pseudo NMOS, a taxa é de 22kHz, com 400mV de alimentação e apenas 1,77nJ por operação.

Um sistema com um Processador Digital de Sinais (DSP), desenhado exclusivamente para um sistema para aparelhos auditivos e outras aplicações de áudio é mostrado em [11]. É desenvolvido um DSP de 16bits e um filtro digital do tipo WOLA (weighted overlap-add filterbank) em hardware. É indicado que aplicações desse tipo devam consumir menos de 1mW com 1V, e ter flexibilidade para realizar diversos algoritmos, incluindo compressão do range dinâmico, redução de ruído e processamento direcional. O DSP provê 1MIPS/MHz, com frequência máxima de 4MHz, com 1V. Com 1,8V, operação em 30MHz é possível. A versão em 1V, consome menos de 500 μ A, com 0,125mW/MIPS.

Em [12] é mostrado um DSP específico para aplicações de aparelhos auditivos com funções de compressão de 20 bandas, reconhecimento de padrões, filtragem adaptativa e cancelamento de ruído. Consome apenas 660 μ W com 1,05V e é capaz de realizar 50MOPS-22bits, operando em 2,5MHz. O chip possui 1,3M transistores com tecnologia de 0.25 μ m, 5M-1P, com tensões de limiar comuns. Atinge 0,013mW/MOP, sendo que o objetivo do circuito era atingir 50MOPS, consumindo menos de 1mW com 1,2V, o que foi plenamente atingido.

Em [13] é mostrado um Processador Digital de Sinais (DSP) programável para aplicações de comunicações sem fio, mais especificamente telefones celulares. O projeto foi otimizado para minimizar o consumo de potência sem sacrificar a performance. Possui um conjunto de instruções e microarquitetura específicos para aplicações sem fio. O DSP opera com 1V, chegando a 63MHz e dissipando 17mW, sendo obtido 0,21mW/MHz. Tem como função fazer a codificação de voz, codificação do canal, demodulação e equalização. A tecnologia utilizada é de 0,35 μ m poço-duplo, *dual-Vt*, com comprimento mínimo de canal de 0,25 μ m. O sistema opera com tensões até 600mV. Pode chegar a 100MHz, com 1,35V.

Como apresentadas, as aplicações têm especificação de baixa-média velocidade, uma vez que a dissipação de potência aumenta com o aumento da frequência de operação. Operam de alguns poucos quilohertz a até algumas dezenas de megahertz, o que é suficiente para uma grande quantidade de aplicações. Como já mencionada, alta frequência de operação não é o mais importante nesses casos, e sim o baixo consumo de energia, que varia de poucos microwatts até alguns miliwatts.

1.2 REVISÃO DA LITERATURA

No regime de inversão fraca, a dependência da performance do circuito é bastante influenciada pela variação dos parâmetros de fabricação, mais especificamente a tensão de limiar, V_T , dos transistores. Sendo assim, técnicas de compensação desses parâmetros devem ser empregadas para a correta utilização dos circuitos. A revisão da literatura mostra que o princípio mais utilizado é o da compensação das variações tecnológicas através da polarização do substrato dos transistores com uma tensão apropriada. Diversas técnicas foram propostas conforme revisado a seguir.

H. Soeleman e K. Roy, em [14], estudam as várias características de circuitos digitais operando no regime de inversão fraca, ou sub-limiar, com a intenção de alcançar (ultra)-baixo consumo. Afirmam que diversas vantagens podem ser obtidas nesse caso, tais como: maior ganho, melhor margem de ruído e baixa dissipação de energia. Entretanto, devido a sua baixa performance, os circuitos operando em inversão fraca devem ser utilizados em aplicações nas quais o baixo consumo é o requisito fundamental.

Em [15] H. Soeleman, K. Roy e B. Paul fazem a proposta de uma nova família de circuitos lógicos, a Lógica Sub-Dominó. Esta nova família é semelhante à lógica Dominó, exceto pelo fato de os transistores estarem polarizados na região sub-limiar. Os transistores devem ser, obrigatoriamente, pré-carregados (fase de pré-carga) em nível lógico alto ou baixo, para posteriormente passarem à fase de avaliação. Às vezes, a saída da porta é carregada para imediatamente ser descarregada na fase de avaliação. Dessa forma, a atividade do sinal de saída pode ser alta, o que ocasiona uma dissipação de potência alta, se comparada com a lógica CMOS estática [6]. A lógica com pré-carga em nível lógico alto tem preferência sobre a pré-carga em nível baixo devido à presença de transistores NMOS na rede lógica. Para permitir o cascadeamento da lógica, um inversor estático deve ser utilizado no nó de saída, como mostrado na Fig.1.1, sendo que somente portas lógicas não-inversoras podem ser implementadas, o que torna esta família de portas lógicas de difícil utilização. Outra desvantagem é que a lógica dominó não é escalável como a lógica estática devido à baixa imunidade ao ruído, sendo necessários transistores com tensões de limiar mais altas. Para

validação da nova proposta é feita uma comparação com a lógica Sub-CMOS, mostrando diversas características, entre elas: maior velocidade de processamento, menor área ocupada e maior dissipação de potência.

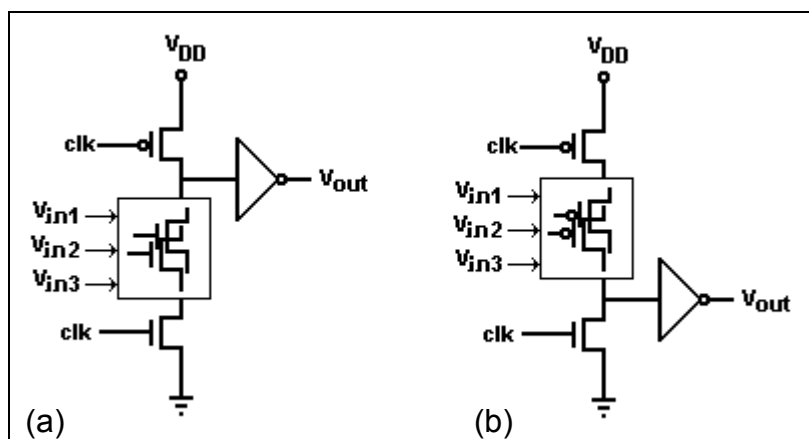


Fig.1.1: Lógica Sub-Dominó
(a) Pré-carga alta (b) Pré-carga baixa

Novamente em [16,17], os mesmos autores propõem outras duas famílias lógicas, visando o baixo consumo de energia. A primeira é a lógica VT-sub-CMOS (Variable Threshold Voltage Subthreshold CMOS) e a segunda é a lógica Sub-DTMOS (Subthreshold Dynamic Threshold Voltage MOS), mostrada na Fig.1.2. É reportado que ambas têm dissipação de energia comparáveis à lógica convencional CMOS em regime sub-limiar. A lógica VT-Sub-CMOS é descrita como a lógica CMOS convencional operada no regime de sub-limiar, porém com um circuito de estabilização, para evitar os efeitos das variações dos parâmetros tecnológicos e temperatura. Este circuito monitora a corrente que passa nos transistores e fornece uma tensão apropriada para o substrato dos mesmos. É um circuito razoavelmente complexo, pois é composto de um estágio de sensibilização da corrente, dois amplificadores, um oscilador em anel e uma “charge-pump”. Já a lógica Sub-DTMOS não utiliza esquema de estabilização, porém os transistores têm seus *gates* conectados ao substrato. Se comparada à lógica CMOS estática em regime de sub-limiar, a lógica Sub-DTMOS tem dissipação de energia maior. As duas lógicas propostas têm desvantagens fundamentais: a lógica VT-Sub-CMOS deve ser implementada em processo com poço duplo e requer um esquema de estabilização, e a lógica Sub-DTMOS só

pode ser implementada em um processo de poço triplo. Em qualquer caso, os processos de fabricação de poços duplo e triplo são mais caros que a tecnologia convencional de poço simples, que utiliza menos máscaras durante a fabricação.

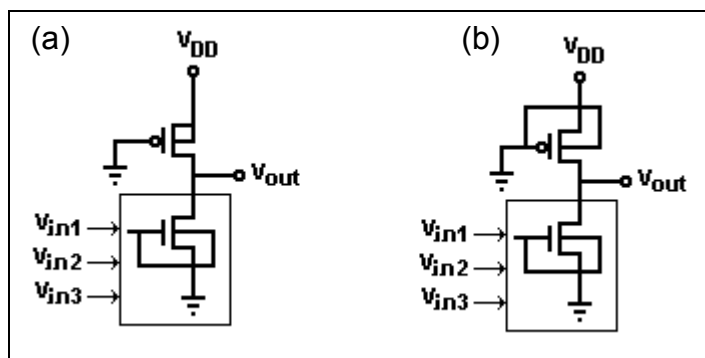


Fig.1.2: Lógica Sub-DTMOS

(a) tipo 1 (b) tipo 2

J. Kao, M. Miyazaki e A. Chandrakasan desenvolvem em [18] um circuito com a função de multiplicação e acumulação operando com 175mV. Reportam também uma nova técnica que minimiza a potência ativa total através do ajuste dinâmico da tensão de alimentação e tensão de limiar, baseados nas condições de operação do circuito. Esta é utilizada para determinar a melhor tensão de alimentação do circuito visando atingir uma determinada velocidade de processamento. Para minimizar os efeitos da variação dos parâmetros tecnológicos, utiliza a técnica de polarização do poço dos transistores NMOS e PMOS, com diferentes tensões, fornecidas por um circuito ASB (*Automatic Supply and Body Biasing*) composto de um oscilador em anel e um gerador de tensão. A técnica tem a desvantagem de ter um circuito de compensação razoavelmente complexo e necessitar de uma tecnologia de poço triplo.

Já, A. Bryant, et al, em [19] propõem uma técnica bastante simples de polarização do poço para a compensação das variações tecnológicas na operação de circuitos digitais em regime de sub-limiar. A técnica consiste em polarizar tanto os transistores NMOS quanto os PMOS com a mesma tensão, V_w , proveniente do circuito de polarização mostrado na figura 1.3. Este consiste de um MOSFET do tipo P e outro do tipo N, numa configuração semelhante a um inversor, mas com ambos substratos conectados ao dreno. Os gates são

conectados à fonte dos transistores, de forma que estes estão sempre cortados. A tensão comum dos drenos polariza os substratos de outras portas lógicas. O circuito proposto nesta referência é extremamente simples e foi amplamente utilizado como fonte de inspiração nesta dissertação.

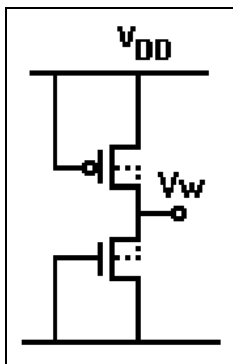


Fig.1.3: Técnica de polarização de poço proposta em [19]

Espera-se com este trabalho utilizar a técnica de polarização do substrato dos transistores que compõem portas lógicas estáticas, de forma semelhante ao que foi proposto em [19]. O objetivo é a obtenção de portas lógicas estáticas plenamente funcionais com baixíssimo consumo de potência em uma dada velocidade de processamento.

A presente dissertação está dividida da seguinte forma.

No Capítulo 2, são desenvolvidas formulações analíticas para o funcionamento de portas lógicas funcionando no regime de inversão fraca, como é feito tradicionalmente. São mostrados os problemas decorrentes da variação de parâmetros tecnológicos nesse regime de operação, que evidenciam a necessidade de um circuito de compensação.

No Capítulo 3, é apresentado o circuito de compensação proposto anteriormente em [19] e dois novos circuitos semelhantes, com a mesma finalidade. Diversas simulações são feitas e é realizada a implementação prática de um oscilador em anel com o componente discreto CD4007 para comprovar o funcionamento dos circuitos.

Já, no Capítulo 4 são mostrados os circuitos experimentais desenvolvidos na forma de elementos testes, em duas tecnologias diferentes, TSMC 0,35 μ m e AMIS 1,5 μ m. Resultados experimentais provenientes de testes nos circuitos

fabricados são apresentados para comprovar o funcionamento de todo o sistema de compensação.

Finalmente, as conclusões deste trabalho e sugestões para trabalhos futuros são apresentadas no Capítulo 5.

CAPÍTULO 2

OPERAÇÃO DE PORTAS LÓGICAS EM INVERSÃO FRACA

O transistor MOS (Metal-Óxido-Semicondutor) é o componente básico de circuitos digitais CMOS, entre eles portas lógicas estáticas. É composto por quatro terminais: dreno, porta ou *gate*, fonte e substrato, sendo que este último será tomado como referência nas formulações analíticas. Pode ser do tipo P, quando o canal a ser formado abaixo da porta for tipo P, dentro de uma área N, ou ainda tipo N quando o canal for tipo N em uma área tipo P. Na Fig.2.1 é exemplificada, com um corte esquemático de um transistor NMOS e um PMOS, uma tecnologia CMOS convencional de um único poço tipo N e um substrato P. Outras tecnologias permitem que se faça dois ou três poços, para isolação completa entre transistores. Porém essas tecnologias requerem maior número de máscaras durante a fabricação, o que eleva o seu custo.

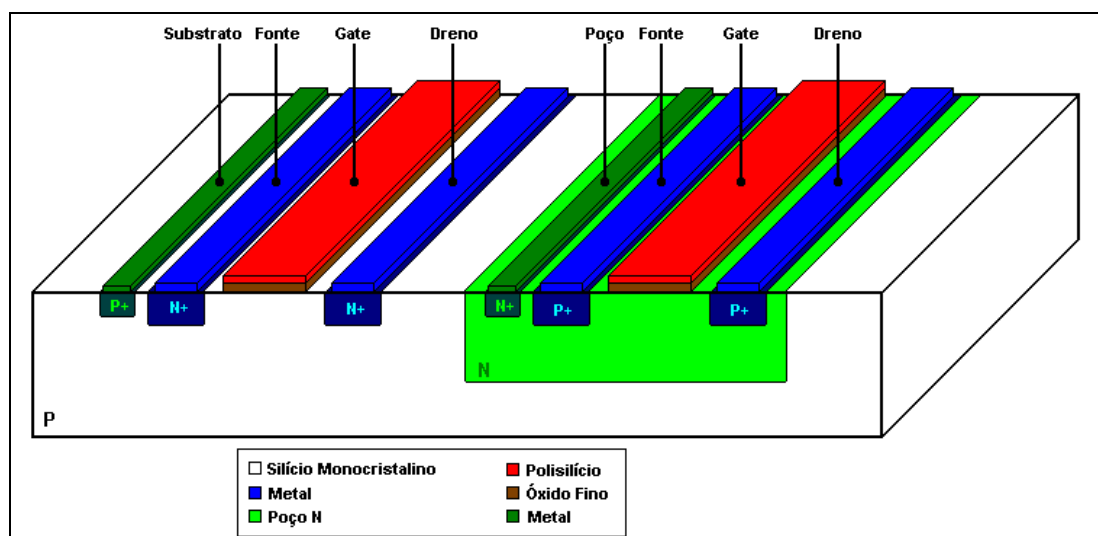


Fig.2.1: Corte esquemático de um transistor NMOS e um PMOS

Para o correto funcionamento do transistor deve ser aplicada uma tensão entre os terminais de gate e substrato, com o objetivo de se formar uma região de depleção e um canal logo abaixo do gate. Aí, aplicando-se uma tensão entre dreno e fonte, surge uma corrente de elétrons ou lacunas, sendo que o regime de condução é denominado de inversão. Com uma concentração alta de portadores majoritários ao longo do canal, o regime de condução é forte, e este é devido, principalmente, à condução de portadores de carga. Com uma concentração baixa de portadores, o regime de condução é fraco e é devido à difusão de portadores. O regime de inversão forte é, tradicionalmente, o mais utilizado. O regime de inversão fraca também é conhecido como exponencial ou de sub-limiar, como será visto adiante.

A corrente de dreno de um transistor pode ser modelada pela diferença de uma corrente direta (I_F) e uma reversa (I_R)

$$I_D = I_F - I_R \quad (2.1)$$

definidas por

$$I_{F(R)} = \frac{I_O}{2e} \cdot i_{f(r)} \quad (2.2)$$

onde e é a base dos logaritmos neperianos, $i_{f(r)}$ é a corrente de saturação normalizada, também chamada de nível de inversão e I_O é a corrente de escala definida por

$$I_O = \mu \cdot n \cdot C'_{OX} \phi_T^2 \cdot e \cdot \frac{W_{EF}}{L_{EF}} \quad (2.3)$$

n é o fator de rampa [20], ligeiramente dependente da tensão V_{GB} , com valor entre 1 e 2, μ é a mobilidade dos elétrons (ou lacunas em um transistor PMOS), C'_{OX} é a capacitância do óxido por unidade de área, ϕ_T é a tensão térmica, aproximadamente 26mV na temperatura ambiente, e W_{EF} e L_{EF} são as dimensões elétricas do canal.

A relação entre as tensões aplicadas em cada um dos terminais do transistor e as correntes normalizadas pode ser determinada pela seguinte expressão

$$\frac{V_{GB(BG)} - |V_{TN(P)}| - n_{N(P)} \cdot V_{SB(DB)}}{n_{N(P)} \cdot \phi_T} = \sqrt{1 + i_{f(r)}} - 2 + \ln(\sqrt{1 + i_{f(r)}} - 1) \quad (2.4)$$

onde V_T é um parâmetro tecnológico definido como tensão de limiar. Os índices N e P na expressão indicam o tipo de transistor.

No regime de inversão fraca, assume-se que $i_{f(r)} < 1$. À partir de (2.1), (2.2) e (2.4), a corrente de dreno I_D nos transistores NMOS e PMOS pode ser aproximada por [20]

$$I_{DN(P)} = I_{ON(P)} \cdot e^{\frac{V_{GB(BG)} - |V_{TN(P)}| - n_N \cdot V_{SB(BS)}}{n_N \cdot \phi_T}} \cdot \left(1 - e^{-\frac{V_{DS(SD)}}{\phi_T}} \right) \quad (2.5)$$

caracterizando o regime de inversão fraca, exponencial ou de sub-limiar.

Quando o transistor está saturado, a tensão V_{DS} , entre dreno e fonte, não mais influencia de forma considerável o funcionamento do transistor, que passa a funcionar aproximadamente como uma fonte de corrente, com valor aproximado pela expressão (2.6). O limite dessa tensão, definido como V_{DSSAT} , pode ser expresso por (2.7) e tem um valor aproximadamente constante e igual a 100mV, no regime de inversão fraca.

$$I_{DN(P)} = I_{ON(P)} \cdot e^{\frac{V_{GB(BG)} - |V_{TN(P)}| - n_N \cdot V_{SB(BS)}}{n_N \cdot \phi_T}} \quad (2.6)$$

$$V_{DSSAT} = \phi_T \cdot \left(3 + \sqrt{1 + i_f} \right) \quad (2.7)$$

2.1 INVERSOR LÓGICO CMOS

O inversor lógico CMOS, mostrado na Fig.2.2, com as conexões de substrato e poço ligadas às fontes, como usualmente é feito no regime de inversão forte, é a porta lógica mais básica existente. É a partir dela que outras portas e circuitos mais complexos como, por exemplo, o oscilador em anel, portas NAND, NOR, XOR, e até mesmo contadores ou multiplexadores, são derivados. Além disso, por sua simplicidade, normalmente é a porta lógica mais estudada.

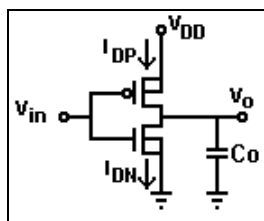


Fig.2.2: Inversor CMOS

2.1.1 Tempo de Subida e Descida

Uma das principais especificações das portas lógicas se refere ao tempo de transiente em que uma porta lógica leva para variar a sua saída, após a variação do estado lógico da entrada. O tempo de subida e descida de um inversor pode ser determinado a partir das figuras auxiliares 2.3(a) e 2.3(b). Na fig. 2.3(a) o estado lógico “0” (0V) na entrada faz com que o transistor NMOS fique cortado e o capacitor de carga seja carregado através do transistor PMOS. Já, na fig. 2.3(b) o estado lógico “1” (V_{DD}) na entrada faz com que o transistor PMOS fique cortado e o capacitor seja descarregado através do transistor NMOS.

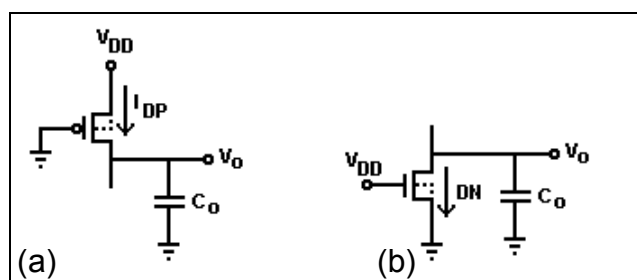


Fig.2.3: Circuito equivalente para
(a) o tempo de subida e (b) o tempo de descida

O tempo de subida, T_{LH} , e descida, T_{HL} , podem ser determinados calculando-se o tempo de carga e descarga do capacitor de saída, baseando-se na equação (2.5), tal que

$$I_{DN(P)} = -(+)C_O \cdot \frac{dV_O}{dt} \quad (2.7)$$

$$I_{ON(P)} \cdot e^{\frac{V_{GB(BG)} - |V_{TN(P)}|}{n_{N(P)} \cdot \phi_T}} \cdot \left[1 - e^{-\frac{V_{DS(SD)}}{\phi_T}} \right] = -(+)C_O \cdot \frac{dV_O}{dt} \quad (2.8)$$

$$\int dt = t_{HL(LH)} = \frac{C_O}{I_{OP} \cdot e^{\frac{V_{DD} - |V_{TN(P)}|}{n_{N(P)} \cdot \phi_T}}} \cdot \int_{0,1V_{DD}}^{0,9V_{DD}} \frac{dV_O}{1 - e^{-\frac{V_O}{\phi_T}}} \quad (2.9)$$

$$t_{HL(LH)} = \frac{C_O}{I_{ON(P)} \cdot e^{\frac{V_{DD} - |V_{TN(P)}|}{n_{N(P)} \cdot \phi_T}}} \left\{ 0,8 \cdot V_{DD} + \phi_T \cdot \ln \left(\frac{1 - e^{-\frac{0,9 \cdot V_{DD}}{\phi_T}}}{1 - e^{-\frac{0,1 \cdot V_{DD}}{\phi_T}}} \right) \right\} \quad (2.10)$$

onde V_{DD} é a tensão de alimentação. O tempo de subida é definido entre 10% e 90% da tensão de alimentação e o tempo de descida entre 90% e 10%.

Na maior parte do tempo de subida ou descida, os transistores PMOS e NMOS, respectivamente, estão saturados e funcionam praticamente independente da tensão V_{DS} , como se fossem uma fonte de corrente. Além disso, como a tensão de alimentação é normalmente muito maior do que a tensão térmica, a expressão (2.10) pode ser simplificada, resultando em

$$t_{HL(LH)} = \frac{0,8 \cdot C_O \cdot V_{DD}}{I_{ON(P)} \cdot e^{\frac{V_{DD} - |V_{TN(P)}|}{n_{N(P)} \cdot \phi_T}}} \quad (2.11)$$

A capacitância equivalente de carga, C_O , é formada pela capacitância do próximo estágio, nesse caso também um inversor, capacitâncias devido ao metal e polissilício para interconexão com o próximo estágio e capacitâncias intrínsecas do transistor, de acordo com a expressão

$$C_O = \sum_{N,P} (C_{OV} + C_{jD}) + C_{INT} + \sum_{N,P} C_{GATE} \quad (2.12)$$

C_{OV} é a capacitância de *overlap*, C_{jD} é a capacitância de junção de dreno, C_{INT} é a capacitância de interconexão com o próximo estágio e C_{GATE} é a capacitância do *gate* de cada transistor do próximo estágio.

A expressão (2.11) define os tempos de subida e descida do inversor operando em inversão fraca. É à partir dela que serão detectados os problemas decorrentes das variações dos parâmetros tecnológicos e de temperatura, como será mostrado no item 2.3.

2.2. OSCILADOR EM ANEL

Além de ser largamente empregado em circuitos práticos, o oscilador em anel é um elemento interessante para testes de desempenho. É formado por um número ímpar de inversores em cascata de tal forma que a saída do último inversor é realimentada como entrada do primeiro, como mostrado na Fig.2.4.

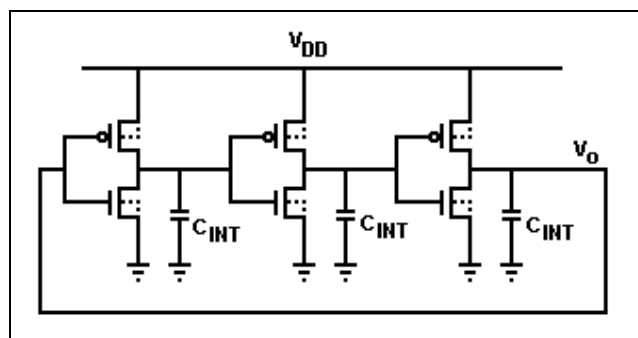


Fig.2.4: Oscilador em anel de 3 estágios

A frequência de oscilação do circuito é determinada a partir do tempo de atraso de cada um dos inversores que o compõem (detalhes no anexo 1). Operando em inversão fraca, a frequência, F_{OSC} , de operação do oscilador pode ser expressa por

$$F_{OSC} = \frac{2}{N \cdot V_{DD} \cdot C_O \cdot \left(\frac{1}{I_{ON} \cdot e^{\frac{V_{DD}-V_{TN}}{n_N \cdot \phi_T}}} + \frac{1}{I_{OP} \cdot e^{\frac{V_{DD}-|V_{TP}|}{n_P \cdot \phi_T}}} \right)} \quad (2.13)$$

onde N é o número ímpar de estágios, maior que três. Essa expressão ajudará, da mesma forma que o inversor, a exemplificar os problemas devido à variação dos parâmetros tecnológicos no funcionamento de portas lógicas, no item 2.3.

2.3 PROBLEMAS DECORRENTES DOS PARÂMETROS TECNOLÓGICOS

O funcionamento do inversor em inversão fraca é extremamente sensível ao processo de fabricação. Variações tecnológicas dentro de um mesmo circuito integrado (*intrachip*) e entre rodadas de fabricação (*interchip*), que levem a variações na corrente de normalização I_0 e na tensão de limiar V_T , prejudicam consideravelmente o desempenho do inversor em inversão fraca. Variações na corrente de normalização ficam em torno de 30%, enquanto que variações em V_T podem ser de até 100mV, em torno de seu valor médio especificado.

Na Fig. 2.5 é mostrada a variação de V_{TN} e V_{TP} entre diversas rodadas de fabricação de algumas tecnologias a partir de dados fornecidos pela MOSIS (<http://www.mosis.org>). As variações de V_{TN} e V_{TP} não são correlacionadas, ou seja, variam de forma independente uma da outra.

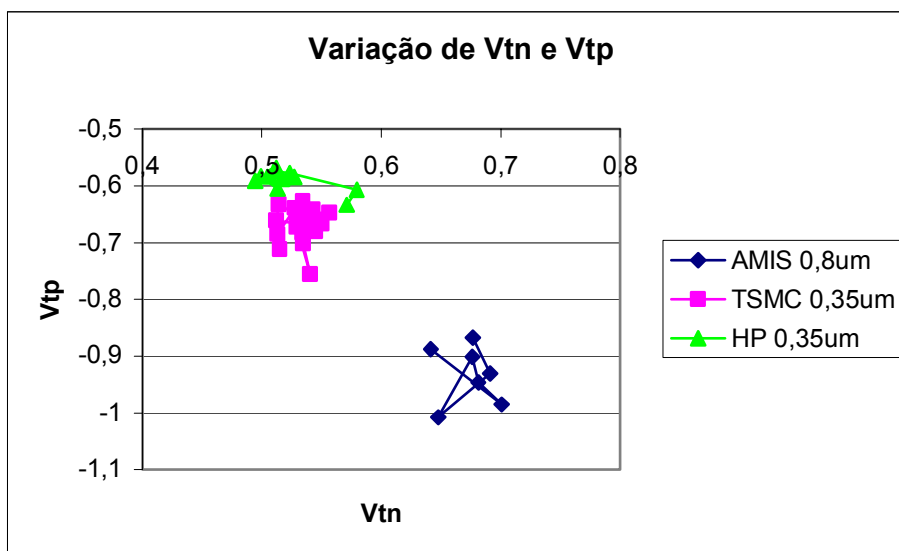


Fig.2.5: Valores de V_{TN} e V_{TP} para três tecnologias em diversas rodadas

Nesses casos, assumindo que, para uma determinada tensão de alimentação, as correntes dos transistores PMOS e NMOS variam de uma ordem

de grandeza devido aos processos tecnológicos, os tempos de subida e descida do inversor também irão variar de uma ordem de grandeza.

Na Fig. 2.6 é mostrada a razão dos tempos de subida e descida do inversor em função das tensões de limiar dos transistores NMOS e PMOS, com base na expressão (2.11). Primeiro, os valores de V_{TN} e $|V_{TP}|$ foram variados concomitantemente entre 0,7V e 0,9V. Segundo, o valor de $|V_{TP}|$ foi fixado no seu valor nominal de 0,8V, enquanto V_{TN} foi variado entre 0,7V e 0,9V. Por último, fixou-se o valor de V_{TN} em 0,8V e apenas variou-se o valor de $|V_{TP}|$ entre 0,7V e 0,9V. Foi utilizada uma tecnologia fictícia BET0,8um para os cálculos, para qual V_{TN} e $|V_{TP}|$ assumem o valor nominal de 0,8V (a lista completa dos parâmetros tecnológicos utilizados está no anexo 2), transistores com dimensões $(W/L)_N=15\mu\text{m}/9\mu\text{m}$, $(W/L)_P=45\mu\text{m}/9\mu\text{m}$, $C_o=1,3\text{pF}$ com tensão de alimentação V_{DD} de 650mV. A razão de aspecto (W/L) entre os transistores PMOS e NMOS é de aproximadamente três vezes, como normalmente é feito em inversão forte, para compensar a mobilidade das lacunas que é aproximadamente três vezes menor que a dos elétrons. Com isso $I_{ON}\approx I_{OP}$.

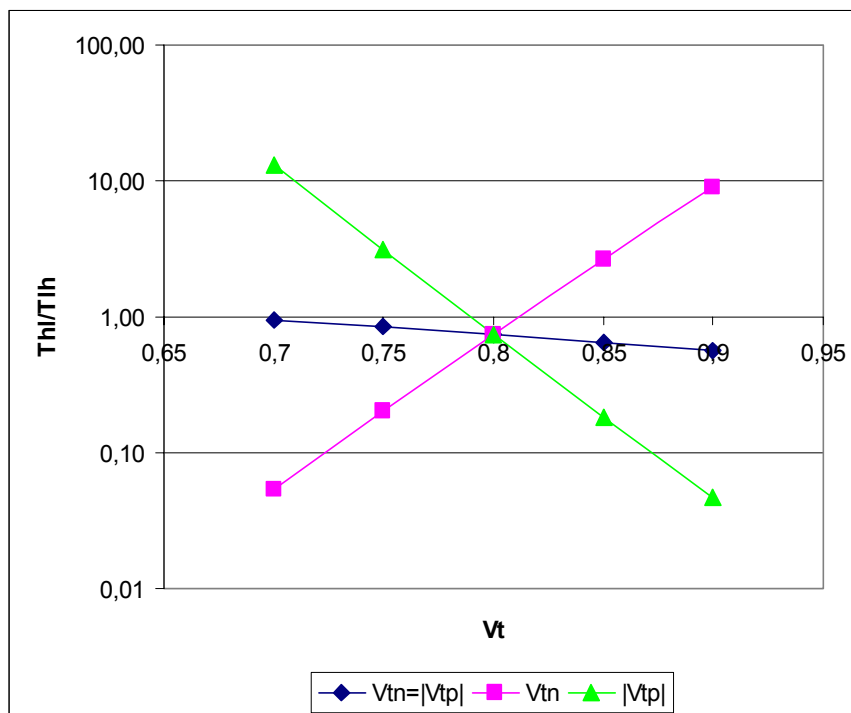


Fig.2.6: T_{HL}/T_{LH} : em azul (♦) variando-se V_{TN} e $|V_{TP}|$ igualmente
: em rosa (■) variando-se V_{TN} ($|V_{TP}|=0,8\text{V}$)
: em verde (▲) variando-se $|V_{TP}|$ ($V_{TN}=0,8\text{V}$)

Nota-se que a variação de T_{HL}/T_{LH} é extremamente sensível à tensão de limiar V_T dos transistores, podendo chegar a mais de duas ordens de grandeza. Adicionando-se à variação de até 100mV na tensão de limiar, uma variação de até 30% na corrente de escala $I_{ON(P)}$, a razão entre T_{HL} e T_{LH} pode chegar até aproximadamente 400 vezes, no pior caso. Esse fato decorre da variação da corrente de dreno disponível para carregar e descarregar o capacitor de carga. Na Fig. 2.7 é mostrada a diferença entre os tempos de subida e descida de um inversor com comprimento de canal mínimo e razão de aspecto $(W/L)_N=2\mu\text{m}/0,8\mu\text{m}$ e $(W/L)_P=6\mu\text{m}/0,8\mu\text{m}$, na tecnologia AMS 0,8 μm cujas tensões de limiar são $V_{TN}=0,845\text{V}$ e $V_{TP}=-0,755\text{V}$. A tensão de alimentação utilizada é de 600mV e capacitância de carga de 668fF. Na Fig.2.8 é mostrada a clara diferença na capacidade de corrente dos transistores NMOS e PMOS. Os resultados foram obtidos através de simulação utilizando o simulador SMASH versão 4.0 e o modelo ACM para os transistores MOS.

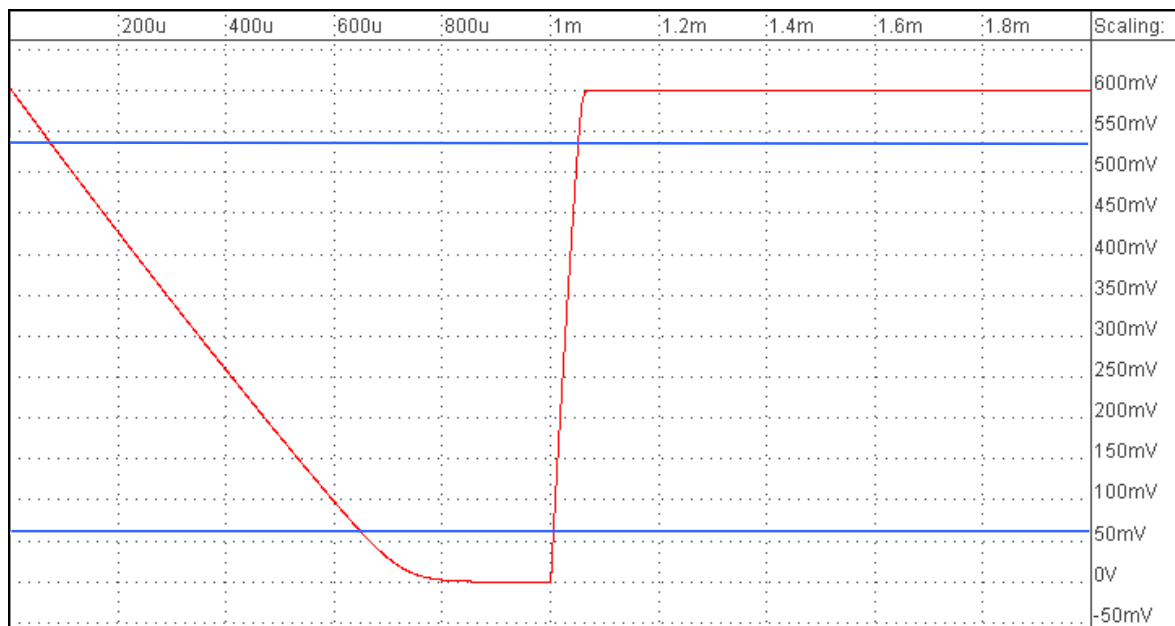


Fig.2.7: Tensão de saída do inversor

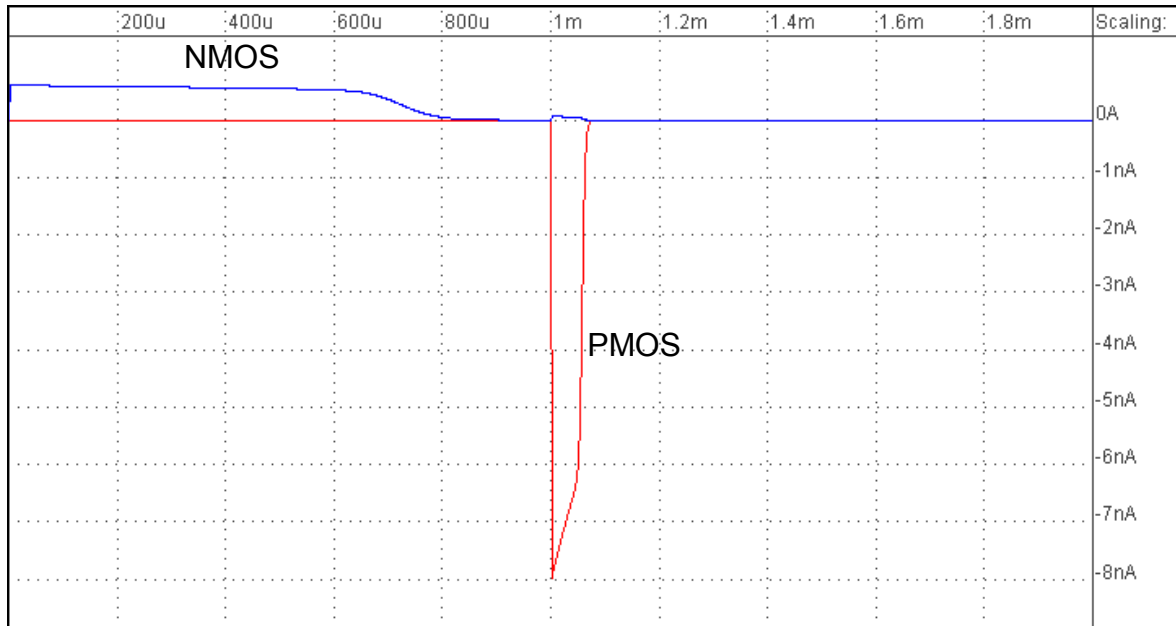


Fig.2.8: Corrente de dreno dos transistores NMOS e PMOS

O tempo de descida, T_{HL} , simulado ficou em torno de $580\mu\text{s}$, para uma corrente de dreno cerca de 550pA , e o tempo de subida, T_{LH} , ficou em torno de $46\mu\text{s}$ para uma corrente entre 6nA e 8nA . A variação da corrente é devido a efeitos de canal curto como, por exemplo, modulação do comprimento do canal.

A frequência máxima de operação do inversor, f_{MAX} , é expressa pelo inverso da soma dos tempos de subida e descida.

$$f_{MAX} = \frac{1}{T_{HL} + T_{LH}} \quad (2.14)$$

Com a variação dos parâmetros tecnológicos pode ocorrer o fato de um dos tempos de subida ou descida ser muito maior que o outro, como já mostrado. Assim, o maior tempo, devido à menor corrente de dreno no transistor, passa a influenciar de maneira preponderante a máxima frequência de operação do inversor. Entretanto, energia está sendo dissipada inutilmente através do transistor com corrente de dreno maior, uma vez que ele pouco influencia a máxima frequência de operação. Para os valores obtidos anteriormente, verifica-se que o tempo de descida de $580\mu\text{s}$ influencia sobremaneira a máxima frequência de operação do inversor que ficou em torno de $1,6\text{kHz}$. Entretanto,

durante o tempo de subida a corrente de dreno do transistor PMOS por volta de doze vezes maior que a do transistor NMOS durante o tempo de descida, representando um desperdício de energia.

Fazendo uma análise semelhante com o oscilador em anel, verifica-se que sua frequência de oscilação, mostrada na expressão (2.13), também é bastante dependente da tensão de limiar dos transistores que o compõem. Na Fig. 2.9 é mostrada a variação da frequência de oscilação, em função de V_{TN} e $|V_{TP}|$ dos transistores NMOS e PMOS, respectivamente. Para os cálculos foi utilizada a tecnologia fictícia BET $0,8\mu\text{m}$, cujo V_{TN} e $|V_{TP}|$ nominais são $0,8\text{V}$. Novamente foi utilizada tensão de alimentação V_{DD} de 650mV . Para esse caso, escolheu-se comprimento de canal mínimo para os transistores, com razão de aspecto de $(W/L)_N=2\mu\text{m}/0,8\mu\text{m}$ e $(W/L)_P=6\mu\text{m}/0,8\mu\text{m}$, levando a uma capacitância equivalente de carga, C_O , de 22fF . No melhor caso em que $V_{TN}=0,7$ e $V_{TP}=-0,7$ a frequência de oscilação ficou em torno de $4,3\text{MHz}$, enquanto que no pior caso em que $V_{TN}=0,9$ e $V_{TP}=-0,9$ a frequência de oscilação caiu para somente $15,7\text{kHz}$. Se forem levadas em consideração as variações nas correntes de escala I_O , o melhor caso passa para $5,6\text{MHz}$, enquanto que o pior caso passa para 11kHz . Novamente a variação da frequência de oscilação com os parâmetros tecnológicos é maior do que duas ordens de grandeza, aproximadamente 500 vezes, entre o melhor caso e o pior.

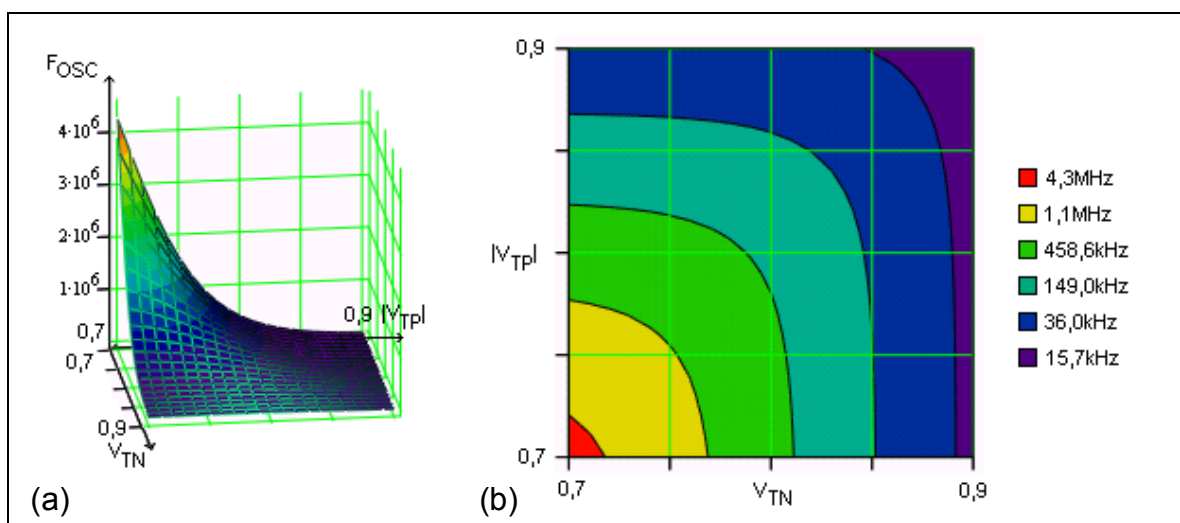


Fig.2.9: Frequência de oscilação para $N=3$

(a) Gráfico 3D; (b) Gráfico de contorno

2.4 PROBLEMAS DECORRENTES DA VARIAÇÃO DA TEMPERATURA

Analogamente às análises dos problemas decorrentes da variação dos parâmetros tecnológicos, pode ser feita a análise da variação da temperatura no funcionamento das portas lógicas estáticas, com resultados semelhantes. A temperatura se relaciona com a tensão térmica, ϕ_T , através da seguinte relação

$$\phi_T = \frac{k \cdot T}{q} \quad (2.15)$$

onde k é a constante de Boltzmann, com valor igual a $1,38 \cdot 10^{-23} \text{ J/K}$, T é a temperatura absoluta em kelvin e q é a carga do elétron, igual a $1,6 \cdot 10^{-19} \text{ C}$. Em temperatura ambiente de 27°C ou 300K , a tensão térmica assume o valor aproximado de $25,8\text{mV}$.

Na Fig. 2.10 é mostrada a variação do tempo de subida e descida calculados de um inversor na tecnologia AMS $0,8\mu\text{m}$, com alimentação de 650mV , $(W/L)_N=2\mu\text{m}/0,8\mu\text{m}$ e $(W/L)_P=6\mu\text{m}/0,8\mu\text{m}$ e $C_O=50\text{fF}$. Verifica-se novamente um comportamento exponencial, com uma variação de 8,5 vezes em T_{HL} e 4,7 em T_{LH} , para uma variação extrema entre -10°C e 120°C .

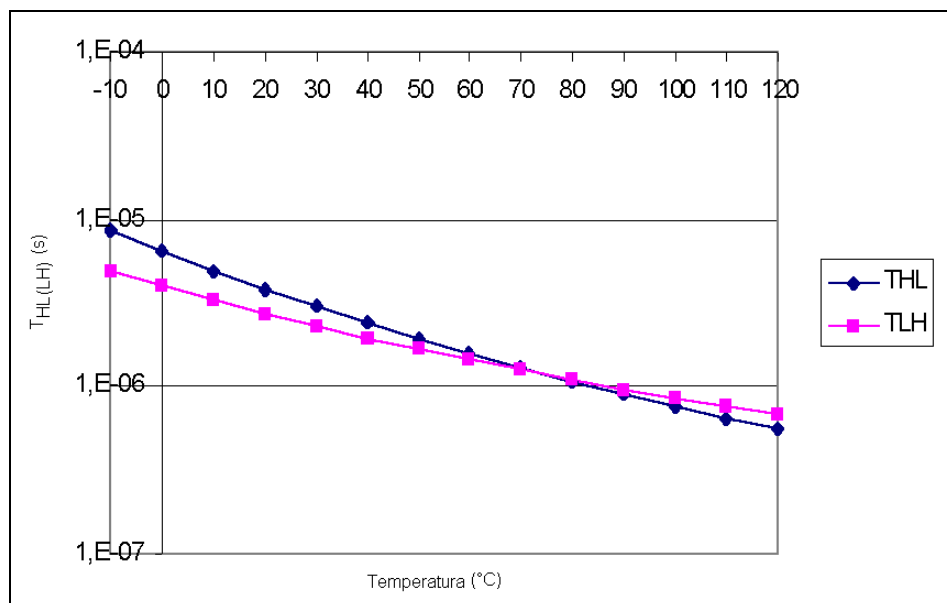


Fig.2.10: Tempos de subida e descida em função da temperatura

Entretanto, para aplicações em que a variação da temperatura é pequena, como, por exemplo, em circuitos implantáveis, que funcionam no interior do corpo humano com temperatura aproximadamente constante e igual a 37°C, ou em ambientes automatizados com controle de temperatura, a dependência da performance dos circuitos em função da temperatura pode ser desconsiderada.

Como pôde ser verificado pelas análises feitas com o inversor e com o oscilador em anel apresentadas neste capítulo, a dependência do funcionamento desses circuitos com a variação dos parâmetros tecnológicos e temperatura é extremamente sensível. Os tempos de subida e descida no inversor e a frequência de oscilação do oscilador em anel variam mais do que duas ordens de grandeza devido às variações nas correntes dos transistores que os compõem. Dessa forma, fica evidente que deve ser empregada uma forma de se minimizar esses efeitos, através de uma técnica de compensação das variações dos parâmetros tecnológicos e temperatura. A técnica proposta é a da polarização do poço, como será visto no próximo capítulo.

CAPÍTULO 3

TÉCNICA DE COMPENSAÇÃO

Como já mencionado e bem exemplificado no Capítulo 2, as variações dos parâmetros tecnológicos e da temperatura afetam de maneira excessiva o funcionamento de portas lógicas estáticas operando no regime de inversão fraca. Por isso, são propostos neste capítulo circuitos que compensem essas variações e permitam que os circuitos lógicos funcionem de forma adequada. A compensação é feita através da polarização do poço e substrato, e que possui as seguintes características: compensa variações dos parâmetros tecnológicos e de temperatura, pode ser empregado em tecnologias convencionais de poço simples, sem a necessidade de máscaras adicionais para fabricação e, finalmente, aumenta a velocidade de processamento das portas lógicas [3,6]. Esta última característica é importante porque no regime de inversão fraca a corrente de dreno que flui nos transistores é particularmente pequena, o que aumenta os tempos de subida, de descida e de atraso das portas lógicas. Assim, com o aumento da velocidade de processamento, maior quantidade de aplicações pode se beneficiar desta técnica.

3.1 CIRCUITO DE COMPENSAÇÃO

Em [16] foi reportado o circuito de polarização mostrado na Fig.1.1, e repetido aqui por conveniência na Fig. 3.1.(a), composto por um transistor PMOS e outro NMOS. Este circuito serviu de inspiração para esta dissertação e a partir dele outros dois circuitos, mostrados na Fig. 3.1.(b)-(c), são propostos. Em qualquer um dos três circuitos, a tensão V_W estabiliza em um valor tal que a corrente nos transistores PMOS e NMOS é a mesma, proporcionando a

equalização das correntes dos transistores para quaisquer tensões de limiar, corrente de escala, I_O , ou tensão de alimentação. O circuito da Fig.3.1.(a) equaliza as correntes apenas quando os transistores estão cortados (I_{OFF}), da Fig.3.1.(b) equaliza a corrente de *drive* dos transistores (I_{ON}), enquanto que o circuito da Fig.3.1.(c) equaliza as correntes tal que a tensão dos *gates* é igual à tensão comum dos drenos. A tensão V_W será utilizada para polarizar tanto os transistores PMOS quanto os NMOS, da mesma forma.

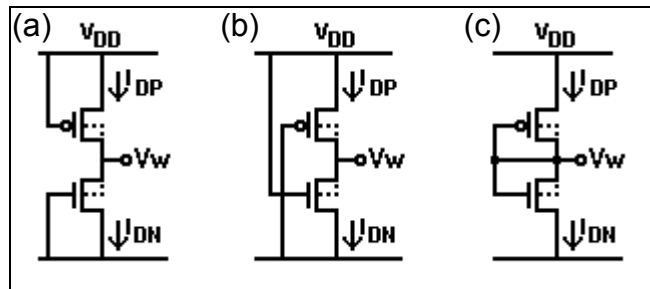


Fig.3.1: Três circuitos de compensação possíveis

Os três circuitos são plenamente funcionais e fornecem perfeitamente uma tensão V_W para polarização das portas lógicas, de forma análoga. Entretanto, a não ser que seja claramente informado daqui para adiante esforços serão concentrados da análise do circuito mostrado na Fig.3.1.(c). Este circuito foi escolhido porque tende a diminuir a diferença das correntes I_{OFF} (e I_{ON}) dos transistores de um inversor, se comparadas com os outros circuitos.

Admitindo que ambos os transistores PMOS e NMOS do circuito de compensação estão em saturação, a tensão V_W pode ser calculada empregando-se a equação (2.6). Assim:

$$I_{DP} = I_{DN} \quad (3.1)$$

$$I_{OP} \cdot e^{\frac{V_{BGP} - |V_{TP}| - n_P \cdot V_{BSP}}{n_P \cdot \phi_T}} = I_{ON} \cdot e^{\frac{V_{GBN} - V_{TN} - n_N \cdot V_{SBN}}{n_N \cdot \phi_T}} \quad (3.2)$$

$$I_{OP} \cdot e^{\frac{0 - |V_{TP}| - n_P \cdot (V_W - V_{DD})}{n_P \cdot \phi_T}} = I_{ON} \cdot e^{\frac{0 - V_{TN} - n_N \cdot (0 - V_W)}{n_N \cdot \phi_T}} \quad (3.3)$$

$$\frac{I_{OP}}{I_{ON}} = e^{\frac{-V_{TN}}{n_N \cdot \phi_T} + \frac{|V_{TP}|}{n_P \cdot \phi_T} + \frac{2 \cdot V_W}{\phi_T} - \frac{V_{DD}}{\phi_T}} \quad (3.4)$$

$$\frac{2 \cdot V_W}{\phi_T} = \frac{V_{DD}}{\phi_T} + \frac{V_{TN}}{n_N \cdot \phi_T} - \frac{|V_{TP}|}{n_P \cdot \phi_T} + \ln\left(\frac{I_{OP}}{I_{ON}}\right) \quad (3.5)$$

$$V_W = \frac{V_{DD}}{2} + \frac{V_{TN}}{2 \cdot n_N} - \frac{|V_{TP}|}{2 \cdot n_{PT}} + \frac{\phi_T}{2} \ln\left(\frac{I_{OP}}{I_{ON}}\right) \quad (3.6)$$

O valor de V_W , da equação (3.6), adapta-se ao valor da tensão de alimentação V_{DD} utilizada, às tensões de limiar V_{TN} e V_{TP} , à tensão térmica e à razão entre as correntes de escala dos transistores PMOS e NMOS. Dessa forma, qualquer variação dos parâmetros tecnológicos ou de temperatura, faz com que o valor a ser aplicado ao substrato e poço dos transistores varie de acordo, compensando esses desvios indesejados. Na Fig.3.2, abaixo, é mostrado o valor de V_W obtido por simulação, para variações de $\pm 100\text{mV}$ nas tensões de limiar. Foi utilizada tecnologia AMS $0,8\mu\text{m}$, cujas tensões de limiar nominais dos transistores NMOS e PMOS são $0,845\text{V}$ e $-0,755\text{V}$, respectivamente, com o modelo ACM. A tensão de alimentação é de 600mV , com transistores de dimensões mínimas, $(W/L)_N=(W/L)_P=2\mu\text{m}/0,8\mu\text{m}$. A valor de V_W varia de 238mV , para $V_{TN}=0,745\text{V}$ e $V_{TP}=-0,855\text{V}$, para 324mV , para $V_{TN}=0,945\text{V}$ e $V_{TP}=-0,655\text{V}$.

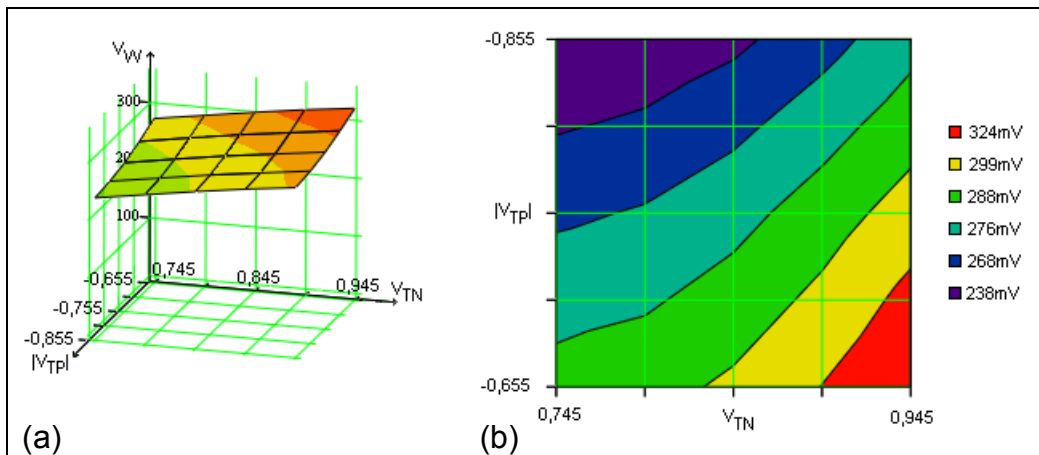


Fig.3.2: V_W (mV) em função das tensões de limiar, $V_{TN(P)}$ (V)

(a) gráfico 3D; (b) gráfico de contorno

Idealmente, quando as tensões de limiar V_{TN} e V_{TP} têm o mesmo valor em módulo, os fatores de rampa, n , são iguais e as correntes de escala dos transistores são idênticas, a tensão V_W reduz-se à metade da tensão de

alimentação. Polarizando-se o poço e substrato com a tensão V_W , acarreta que os dois diodos de fonte dos transistores ficam diretamente polarizados, como na Fig.3.3. Isso limita a técnica a tensões de alimentação abaixo de 1V, para evitar que a corrente flua através dos diodos e não pelo canal dos transistores, e até mesmo para que eles não dissipem energia. Pode-se até chegar a ponto de queimarem por excessiva dissipação de calor, inutilizando o circuito integrado inteiro.

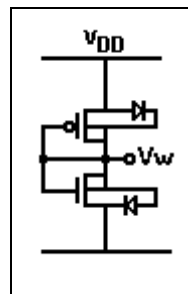


Fig.3.3: Circuito de polarização mostrando os diodos de fonte

Na Fig.3.4, abaixo, é mostrado o resultado de medida experimental do V_W em função da tensão de alimentação. O resultado foi obtido com o circuito integrado discreto CD4007, comercial, composto por três transistores PMOS e três NMOS, os quais tem uma tensão de limiar em torno de 1,2V em módulo, e uma corrente de escala I_0 de $5,4\mu\text{A}$.

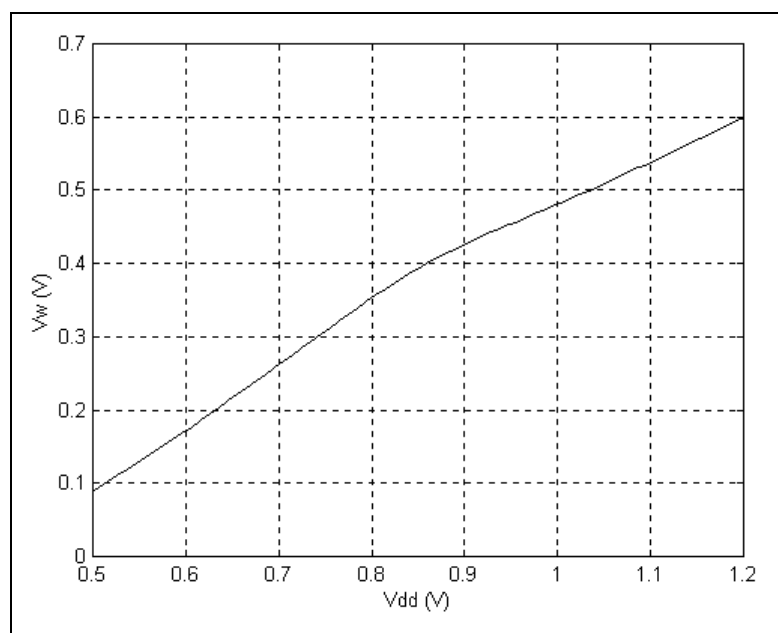


Fig.3.4: V_W em função da tensão de alimentação V_{DD}

Pelos resultados experimentais, percebe-se que a tensão V_W acompanha coerentemente a tensão de alimentação. Na Fig.3.4, existe um ponto na curva numa tensão de alimentação por volta de 0,85V, indicando que provavelmente os diodos de fonte já começam a influenciar mais significativamente no resultado de V_W . Para tensões acima de 1,2V o chip começa a esquentar e acima de 2V ele queima, indicando que a corrente nos diodos de fonte é excessiva. Para tensões abaixo de 0,5V o nível de inversão é muito baixo. Conseqüentemente, a corrente nos transistores também é baixa, fazendo com que não tenha utilidade em circuitos práticos.

3.2 FORMULAÇÕES ANALÍTICAS PARA O INVERSOR

3.2.1 Transferência DC

A análise do inversor começa com a curva de transferência DC, substituindo os transistores por condutâncias equivalentes [21], como mostrado na Fig.3.5. Apesar de menos preciso, modelar os transistores como condutâncias controladas resulta em expressões mais simples do que como fontes de corrente, especialmente para circuitos mais complexos do que o inversor. A condutância é definida em (3.7) como a derivada da corrente de dreno, I_D , dos transistores em função da tensão dreno-fonte, V_{DS} , para $V_{DS}=0$.

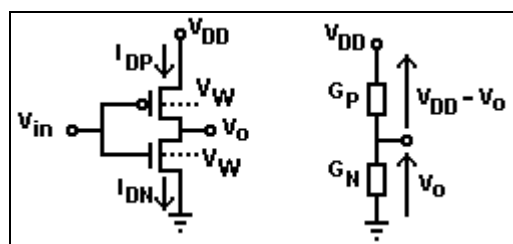


Fig.3.5: Modelo do Inversor com condutâncias

$$G = \left. \frac{dI_D}{dV_{DS}} \right|_{V_{DS}=0} \quad (3.7)$$

Equacionando a condutância para os transistores PMOS e NMOS com auxílio da equação (2.5), obtém-se

$$G_P = \frac{I_{OP}}{\phi_T} \cdot e^{\frac{n_P \cdot V_{DD} - V_{IN} - |V_{TP}| - V_W \cdot (n_P - 1)}{n_P \cdot \phi_T}} \quad (3.8.a)$$

$$G_N = \frac{I_{ON}}{\phi_T} \cdot e^{\frac{V_{IN} - V_{TN} + V_W \cdot (n_N - 1)}{n_N \cdot \phi_T}} \quad (3.8.b)$$

Analisando o circuito apresentado na Fig.3.5, a transferência DC é obtida através do divisor de tensão

$$V_O = \frac{V_{DD}}{1 + \frac{G_N}{G_P}} \quad (3.9)$$

Substituindo as condutâncias de (3.8)

$$V_O = \frac{V_{DD}}{1 + \frac{\frac{I_{ON}}{\phi_T} \cdot e^{\frac{V_{IN} - V_{TN} + V_W \cdot (n_N - 1)}{n_N \cdot \phi_T}}}{\frac{I_{OP}}{\phi_T} \cdot e^{\frac{n_P \cdot V_{DD} - V_{IN} - |V_{TP}| - V_W \cdot (n_P - 1)}{n_P \cdot \phi_T}}}} \quad (3.10)$$

$$V_O = \frac{V_{DD}}{1 + \frac{I_{ON}}{I_{OP}} \cdot e^{\frac{V_{IN}}{\phi_T} \left(\frac{1}{n_N} + \frac{1}{n_P} \right) - \frac{V_{DD} - V_{TN} + |V_{TP}| + V_W \cdot \left(\frac{n_N - 1}{n_N} + \frac{n_P - 1}{n_P} \right)}}} \quad (3.11)$$

Sabendo que V_{TH} é a tensão de limiar do inversor, definida tal que $V_{IN} = V_O$, essa expressão pode ser escrita como

$$V_O = \frac{V_{DD}}{1 + e^{\frac{V_{IN} - V_{TH}}{\phi_T} \left(\frac{1}{n_N} + \frac{1}{n_P} \right)}} \quad (3.12)$$

Utilizando o circuito da Fig.3.1(c) para fornecer a tensão V_W de polarização, naturalmente resulta que $V_{TH}=V_W$, ou seja

$$V_{TH} = V_W = \frac{V_{DD}}{2} + \frac{V_{TN}}{2 \cdot n_N} - \frac{|V_{TP}|}{2 \cdot n_{PT}} + \frac{\phi_T}{2} \ln\left(\frac{I_{OP}}{I_{ON}}\right) \quad (3.13)$$

O valor resultante de V_{TH} é bastante coerente, uma vez que a tensão de limiar é definida como a tensão na qual $V_{IN}=V_O$. Uma comparação instintiva do inversor e do circuito de compensação mostra que eles são circuitos completamente equivalentes nessa condição.

Na Fig.3.6, a seguir, é mostrada uma comparação entre a transferência DC para diferentes razões I_{ON}/I_{OP} , obtida tanto do modelo de condutâncias quanto de simulações. Simulações apresentam transições mais acentuadas do que o modelo de condutâncias, o que pode ser explicado lembrando que o modelo de condutâncias é uma representação bastante simples do transistor, mais precisa nas tensões de dreno-fonte próximas de zero. Disso resulta que, na realidade, o transistor real tem uma resistência de saída maior do que apresentado pela condutância, levando a um ganho mais elevado. Foi utilizada uma tensão de alimentação de 650mV. A razão I_{ON}/I_{OP} igual a 5,8 corresponde a transistores com dimensões $(W/L)_N=(W/L)_P=2\mu\text{m}/0,8\mu\text{m}$, levando-se em consideração a difusão lateral. A tecnologia utilizada foi a AMS $0,8\mu\text{m}$, com o modelo ACM do transistor nas simulações.

Os valores de V_{TH} obtidos pela equação (3.13) e por simulações para diferentes I_{ON}/I_{OP} são comparados na tabela 3.1, seguinte. A diferença dos valores é praticamente imperceptível, e são devidas a pequenas diferenças no cálculo exato dos parâmetros. Os resultados obtidos são excelentes e, mais uma vez, comprovam a eficácia do método utilizado.

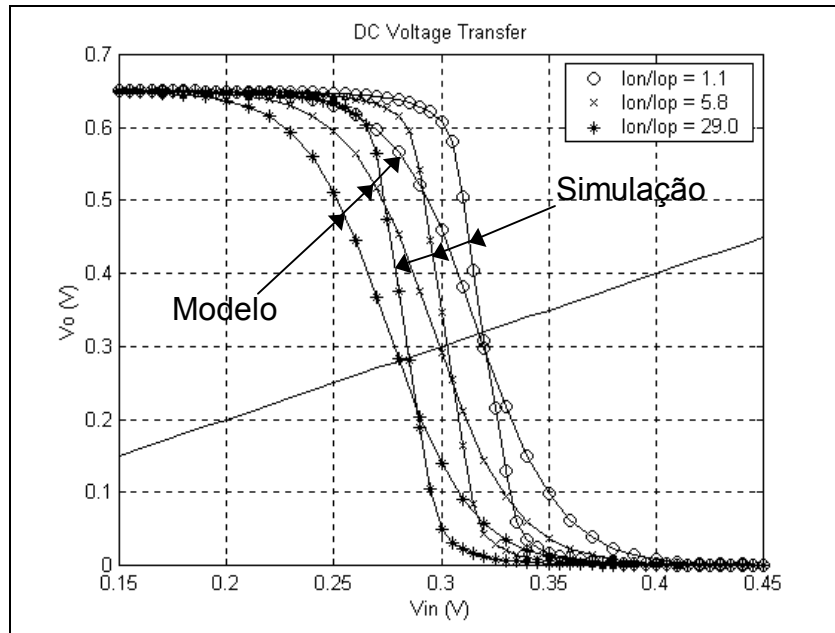


Fig.3.6: Característica de transferência de tensão DC para diferentes I_{ON}/I_{OP}

Tabela 3.1: V_{TH} para diferentes razões I_{ON}/I_{OP}

I_{ON}/I_{OP}	V_{TH} (mV)	
	Modelo	Simulação
1.1	315.6	312.7
5.8	294.9	293.0
29.0	274.0	273.0

A corrente nos transistores do inversor pode ser calculada para qualquer valor da tensão de entrada, V_{IN} , através da equação (2.6). Particularmente, a máxima corrente, $I_{D,TH}$, (corrente de curto-circuito), mostrada na expressão (3.18), é obtida quando ambos os transistores estão em saturação, quando $V_{IN}=V_{TH}$. Assim

$$I_{D,TH} = I_{DN(P)} = I_{ON(P)} \cdot e^{\frac{V_{GB(BG)} - |V_{TN(P)}| - n_N \cdot V_{SB(BS)}}{n_N \cdot \phi_T}} \quad (3.14)$$

$$I_{D,TH} = I_{ON} \cdot e^{\frac{(V_{TH} - V_W) - V_{TN} - n_N \cdot (0 - V_W)}{n_N \cdot \phi_T}} \quad (3.15)$$

Como $V_{TH} \equiv V_W$, resulta em

$$I_{D,TH} = I_{ON} \cdot e^{\frac{V_W - V_{TN}}{\phi_T}} \cdot n_N \cdot \phi_T \quad (3.16)$$

Substituindo o valor de V_W de (3.6), tem-se que

$$I_{D,TH} = I_{ON} \cdot e^{\frac{\frac{V_{DD} + V_{TN}}{2} - \frac{|V_{TP}|}{2} + \frac{\phi_T}{2} \ln\left(\frac{I_{OP}}{I_{ON}}\right) - V_{TN}}{\phi_T}} \cdot n_N \cdot \phi_T \quad (3.17)$$

$$I_{D,TH} = \sqrt{I_{OP} \cdot I_{ON}} \cdot e^{\frac{V_{DD} - V_{TN} - V_{TP}}{2 \cdot \phi_T}} \cdot n_N \cdot \phi_T \quad (3.18)$$

Comparações entre o modelo, que assume $n_N=1,58$ e $n_P=1,37$, e simulações são apresentadas na tabela 3.2, para diferentes tensões de alimentação e $(W/L)_N=(W/L)_P=2\mu\text{m}/0,8\mu\text{m}$. A diferença do modelo e da simulação se deve principalmente aos valores dos fatores de rampa n_N e n_P que foram assumidos constantes. Entretanto, eles são levemente dependentes da tensão de alimentação.

Tabela 3.2: Máxima corrente, $I_{D,TH}$

V_{DD} (mV)	$I_{D,TH}$ (pA)	
	Modelo	Simulação
400	3.16	1.42
500	14.57	10.18
600	69.88	72.55
700	394.49	515.00

3.2.2. Análise Transiente

A análise transiente do inversor polarizado através do circuito de compensação pode ser desenvolvida de forma análoga à que já foi feita com o inversor sem nenhum tipo de compensação, nas equações (2.7)-(2.11). Para uma completa elucidação da análise transiente é mostrado a seguir o resultado dos tempos de subida e descida. Assim

$$T_{HL(LH)} = \frac{0,8 \cdot C_O \cdot V_{DD}}{I_{DRIVE,N(P)}} \quad (3.19)$$

onde $I_{DRIVE,N(P)}$ é a corrente de saturação dos transistores NMOS e PMOS, definida em (2.8). Procedendo o equacionando chega-se a expressões analíticas diferentes para a corrente de saturação dos transistores NMOS e PMOS no inversor, uma vez que, na condição de saturação, $V_{GBN}=V_{DD}-V_W \neq V_{BGP}=V_W$. Dessa forma

$$I_{DRIVE,N} = I_{ON} \cdot e^{\frac{V_{DD}-V_{TN}+V_W \cdot (n_N-1)}{n_N \cdot \phi_T}} \quad (3.20.a)$$

$$I_{DRIVE,P} = I_{OP} \cdot e^{\frac{n_P \cdot V_{DD} - |V_{TP}| - V_W \cdot (n_P-1)}{n_P \cdot \phi_T}} \quad (3.20.b)$$

A Fig.3.7, a seguir, mostra uma comparação entre os tempos de subida e descida de um inversor, obtidos através do cálculo pela relação (3.19) e através de simulações, para níveis de tensão de alimentação variando entre 400mV e 800mV. Foi utilizada a tecnologia AMS 0,8 μ m, modelo ACM, transistores com dimensões $(W/L)_N=(W/L)_P=2\mu\text{m}/0,8\mu\text{m}$, e um capacitor de carga de 1,3pF. A diferença entre o modelo e a simulação, a partir de aproximadamente 700mV, pode ser prontamente explicada porque para tensões de alimentação mais elevadas os transistores saem do regime de inversão fraca e entram no regime de inversão moderada/forte e as equações (2.5) e (2.6) não são mais válidas.

A tabela 3.3 mostra um resumo dos valores dos tempos de subida e descida simulados, mostrados na Fig.3.6, e a razão entre eles. A análise desses valores mostra que os tempos de subida e descida não são exatamente iguais, ou seja, as correntes nos transistores que carregam e descarregam a capacitância de carga não são exatamente iguais. Isso é perfeitamente aceitável uma vez que os diodos de fonte e dreno influem no valor da tensão de polarização V_W e os transistores estão sujeitos à modulação do comprimento do canal (com diferentes tensões de Early). Entretanto, a diferença nas correntes não deve afetar de forma significativa a operação dos inversores, que funcionam muito melhor do que se não tivessem o circuito de polarização. A máxima diferença entre os tempos de

subida e de descida é de 71%, com 800mV de alimentação. Porém nesse caso, a variação é plenamente aceitável para circuitos digitais, apesar de que o inversor já está saindo do nível de inversão fraca e entrando em inversão moderada/forte.

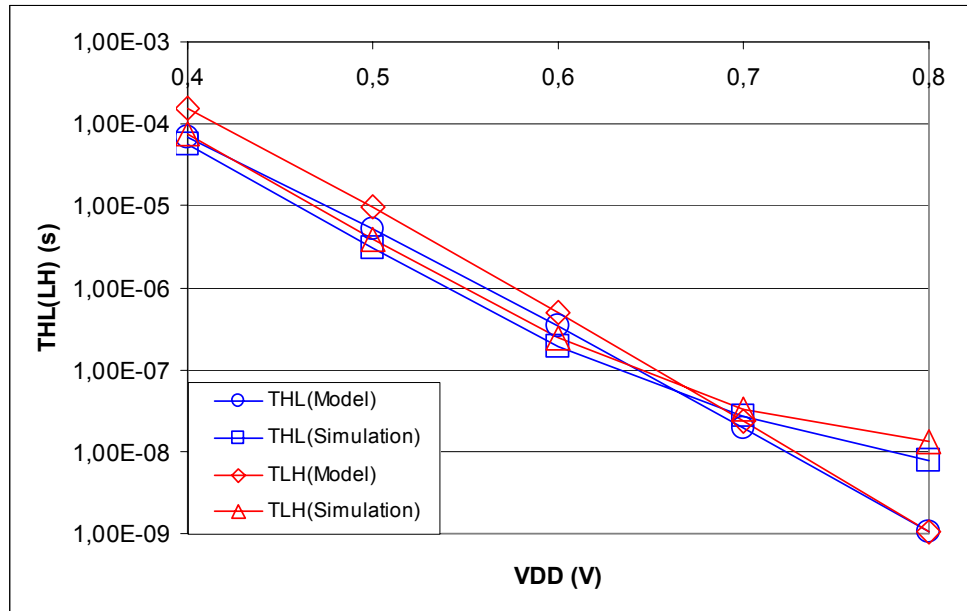


Fig.3.7: Comparação entre cálculo e simulação do tempo de subida e descida

Tabela 3.3: Comparação dos tempos de subida e descida simulados

V _{DD} (V)	T _{HL}	T _{LH}	T _{LH} /T _{HL}
400	56,00μs	74,06μs	1,32
500	3,03μs	3,89μs	1,28
600	192,80ns	240,50ns	1,25
700	27,46ns	32,28ns	1,18
800	7,71ns	13,19ns	1,71

Novamente, foi verificada a eficácia do método de polarização através da medida da corrente de dreno dos transistores em dois inversores: um sem nenhum tipo de compensação e outro com a compensação proposta. No primeiro inversor, sem nenhum tipo de compensação, o poço e o substrato foram ligados às respectivas fontes dos transistores, como normalmente é feito no regime de inversão forte. No segundo inversor foi utilizada a compensação através da polarização do poço e substrato, com tensão fornecida pelo circuito da Fig.3.1(c).

Os inversores simulados são mostrados na Fig.3.8, junto com as capacitâncias de carga.

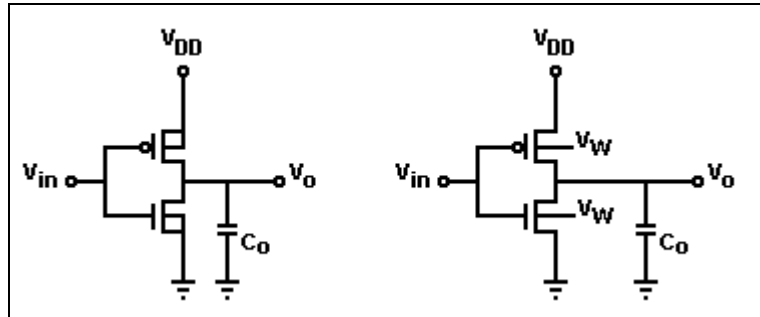


Fig.3.8: Inversores simulados (a) Sem compensação
(b) Com compensação

Na Fig.3.9.(a)-(b), nas páginas seguintes, são mostradas as correntes de dreno dos transistores. Foi utilizada a tecnologia AMS 0,8 μ m, dimensões mínimas, $(W/L)_N=(W/L)_P=2\mu\text{m}/0,8\mu\text{m}$, tensão de alimentação de 650mV, capacitância de carga de 1,3pF. No caso do inversor não compensado a diferença nas correntes de saturação dos transistores pode ser de mais de duas ordens de grandeza, devido ao descasamento dos parâmetros tecnológicos, acarretando variações da mesma ordem de grandeza nos tempos de subida e descida. Entretanto, aplicando a polarização com a tensão V_w aos transistores PMOS e NMOS, as correntes são equalizadas e os tempos de subida e descida ficam praticamente os mesmos. A transferência de tensão é mostrada na Fig.3.10.(a)-(b), através da qual são medidos os tempos de subida. No inversor sem compensação, as correntes nos transistores NMOS e PMOS são de aproximadamente 2,2nA e 13nA, respectivamente, levando a um tempo de subida de 64 μ s e de descida de 336 μ s. Já, no inversor com circuito de compensação as correntes nos transistores NMOS e PMOS são de 125nA e 140nA, respectivamente, levando aos tempos de descida de 6,19 μ s e subida de 5,17 μ s. A máxima frequência de operação do inversor, calculada a partir de (2.14), na primeira simulação é de apenas 2,5kHz, enquanto que na segunda é de 88kHz, cerca de trinta e cinco vezes maior.

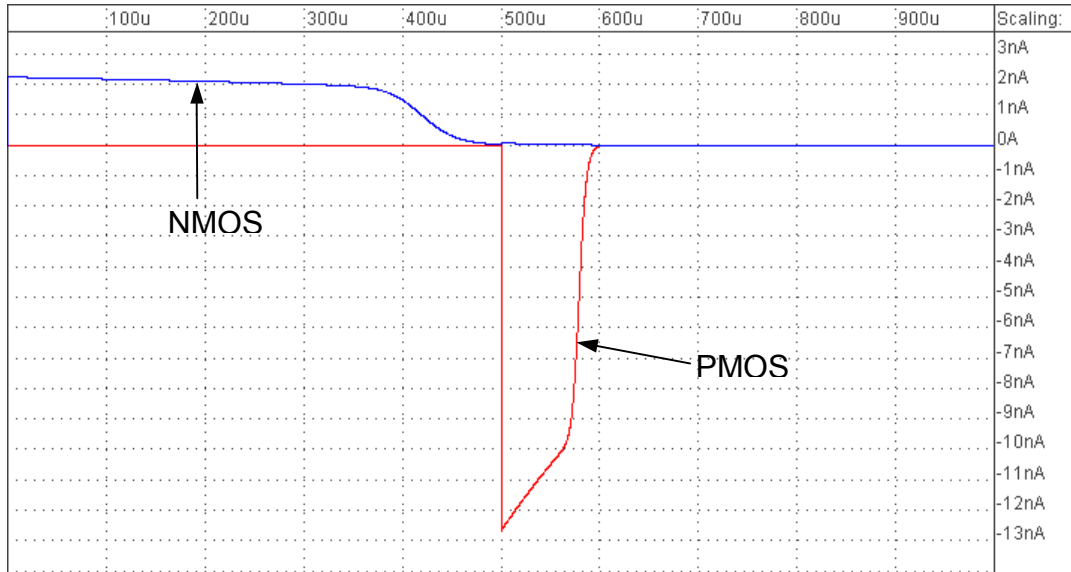


Fig. 3.9.(a): Corrente nos transistores do inversor sem compensação – escala horizontal de $1000\mu\text{s}$

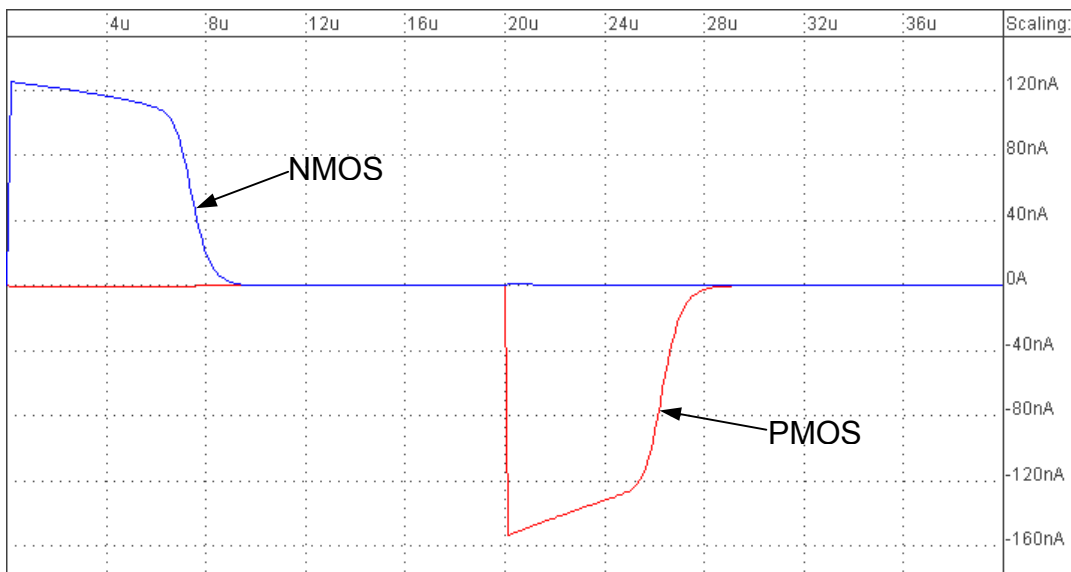


Fig. 3.9.(b): Corrente nos transistores do inversor com compensação – escala horizontal de $40\mu\text{s}$

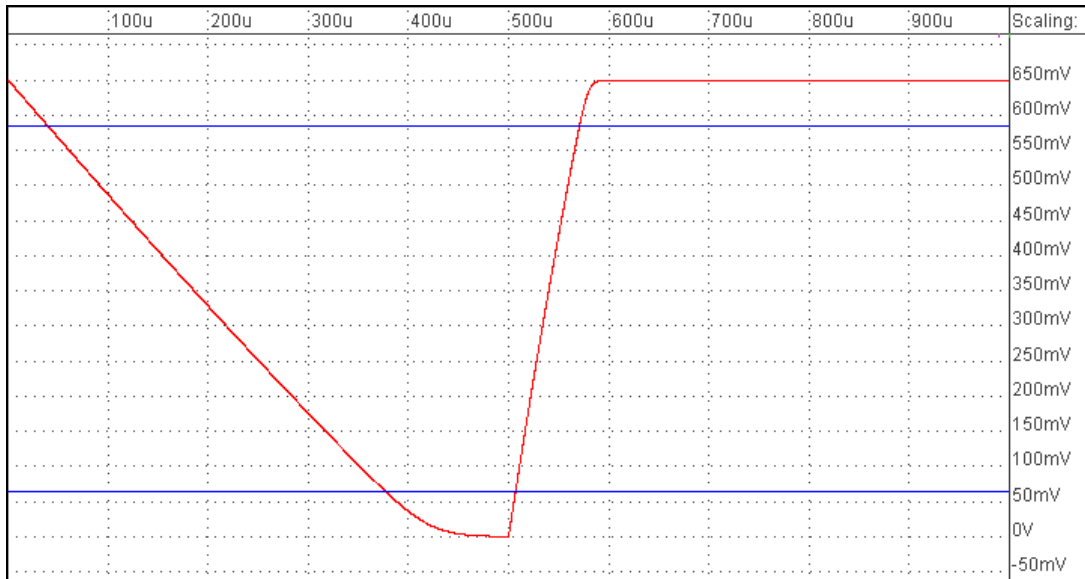


Fig.3.10.(a): Transiente de tensão do inversor sem compensação – escala horizontal de $1000\mu\text{s}$

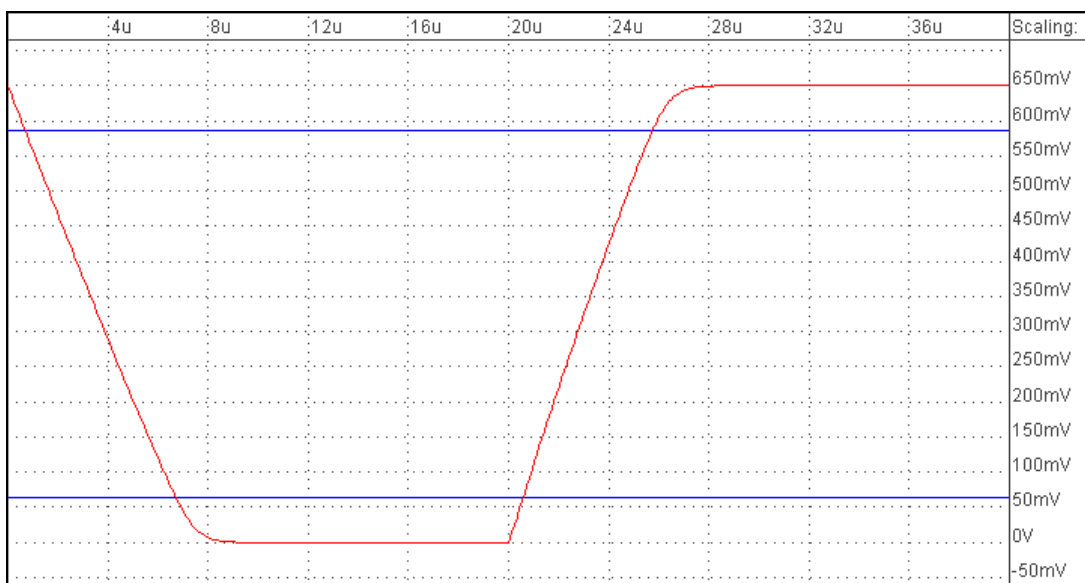


Fig.3.10.(b): Transiente de tensão do inversor com compensação – escala horizontal de $40\mu\text{s}$

Através dessa simulação fica comprovada uma outra vantagem da polarização de poço: tanto os transistores NMOS quanto os PMOS podem ter dimensões mínimas, não sendo necessário que os PMOS sejam aproximadamente três vezes maiores que os NMOS. Isso é possível porque V_w se ajusta num valor tal que as correntes nos transistores são iguais,

independentemente das dimensões dos transistores. Sendo assim, a capacitância de carga, determinada por (2.12), pode ser reduzida em mais de três vezes, devido à menor área do gate, interconexões menores e menores áreas de sobreposição (*overlap*) e de difusão de dreno. Tempos de chaveamento menores e maior frequência de operação podem ser atingidos, e circuitos maiores podem ser desenvolvidos na mesma área de silício, pela redução dos transistores.

Para verificação adicional, foi simulado o mesmo inversor utilizando a tecnologia AMS 0,35 μm , com o modelo BSIM3v3, cujas tensões de limiar são aproximadamente 0,56V e -0,61V para os transistores NMOS e PMOS, respectivamente. Foram utilizados transistores de dimensões mínimas permitidas pela tecnologia, ou seja $(W/L)_N=(W/L)_P=0,4\mu\text{m}/0,35\mu\text{m}$, uma capacitância de carga de 10fF, para tensão de alimentação de 400mV. A compensação foi realizada com o circuito da Fig.3.1.(c). O transiente de tensão e a corrente nos transistores são mostrados nas Fig.3.11 e Fig.3.12.

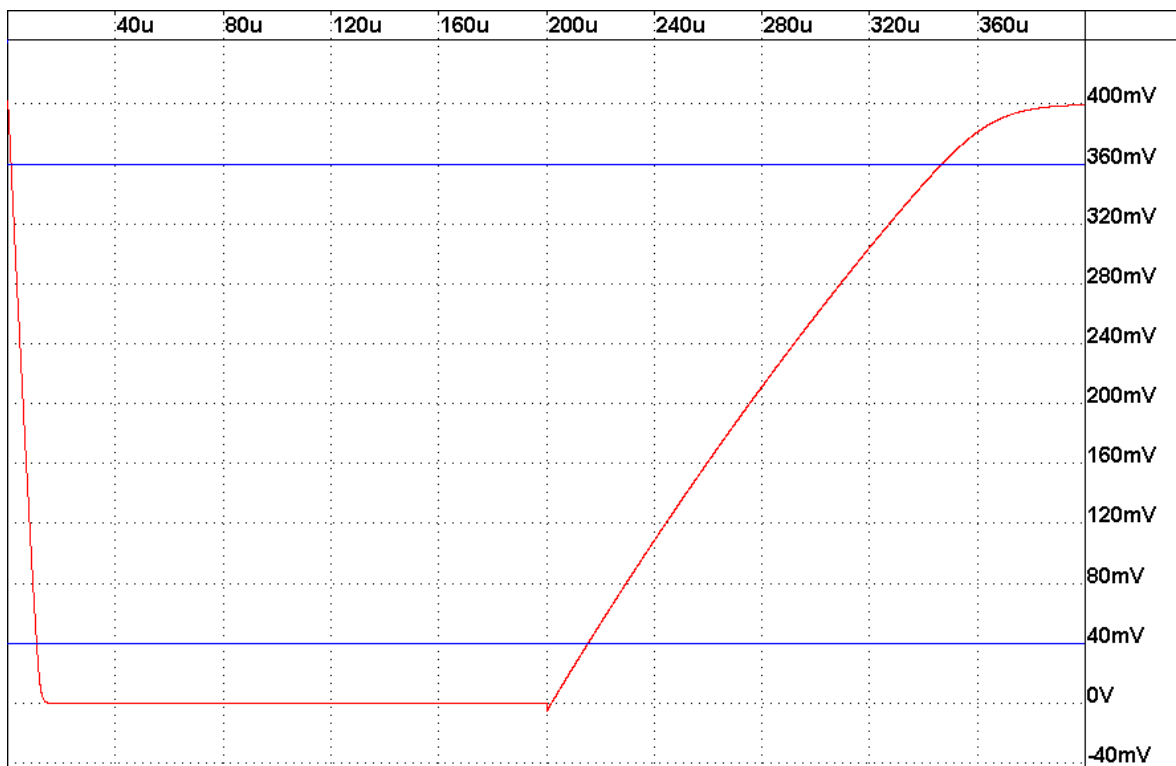


Fig.3.11: Transiente de tensão do inversor com compensação – escala horizontal de 400 μs

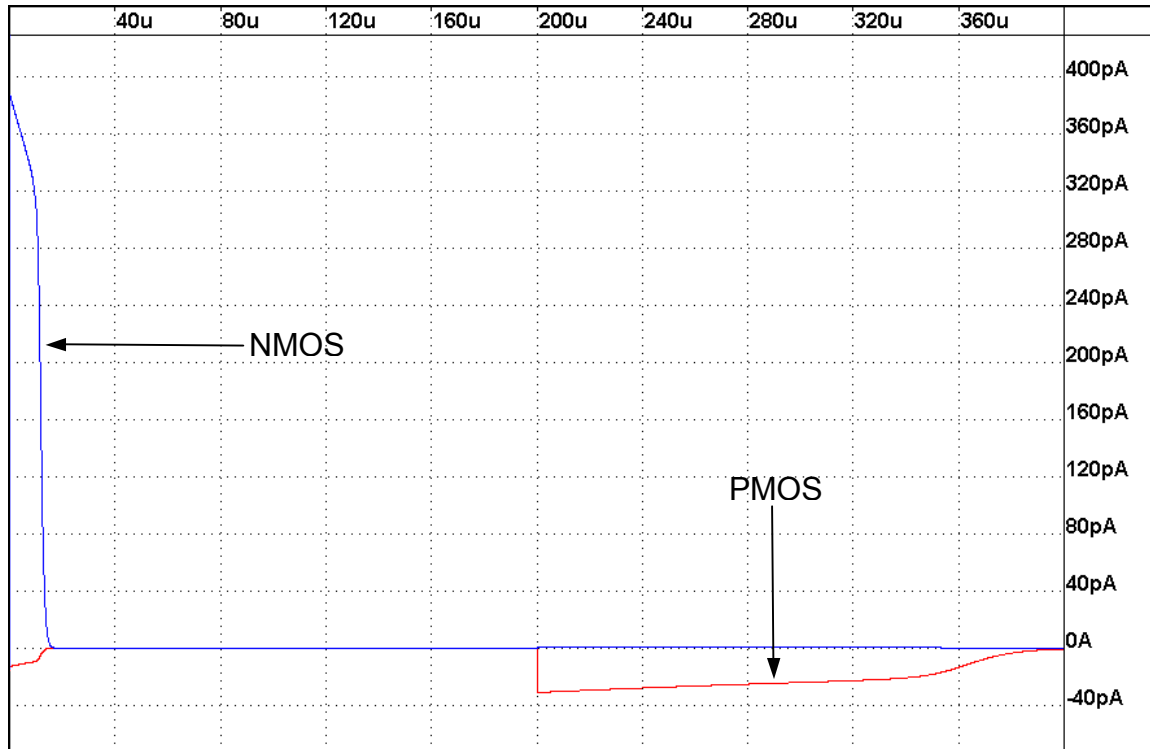


Fig.3.12: Transiente de corrente – escala horizontal de $400\mu\text{s}$

A corrente no transistor NMOS ficou em torno de 380pA , o que acarreta num tempo de descida de aproximadamente $9,5\mu\text{s}$, enquanto a corrente no transistor PMOS ficou cerca de doze vezes menor, perto de 30pA , levando a um tempo de subida de $131,7\mu\text{s}$. Dessa forma, a máxima freqüência de operação do circuito fica em torno de $7,1\text{kHz}$.

A diferença nas correntes de dreno apresentadas pode existir, mesmo com o circuito de compensação. Isso acontece porque o circuito de polarização é capaz de equalizar as correntes no caso em $V_{IN}=V_O$, mas não quando $V_{IN}=V_{DD}$ ou $V_{IN}=V_{SS}$, como está sendo feito, devido à diferença no valor do fator de rampa, n , dos transistores.

Para verificação do efeito da polarização, o circuito da Fig.3.1.(b), que equaliza as correntes de *drive*, $I_{DRIVE,N(P)}$, foi utilizado. Os transientes da tensão de saída e das correntes são mostrados nas Fig.3.13 e Fig.3.14, respectivamente. Foram obtidos melhores resultados e a diferença nas correntes diminuiu. A corrente no transistor NMOS ficou em 140pA e no PMOS 60pA . Já, o tempo de descida ficou em $26,1\mu\text{s}$, enquanto que o de subida diminuiu para $64,8\mu\text{s}$, sendo obtida uma freqüência máxima de $11,6\text{kHz}$.

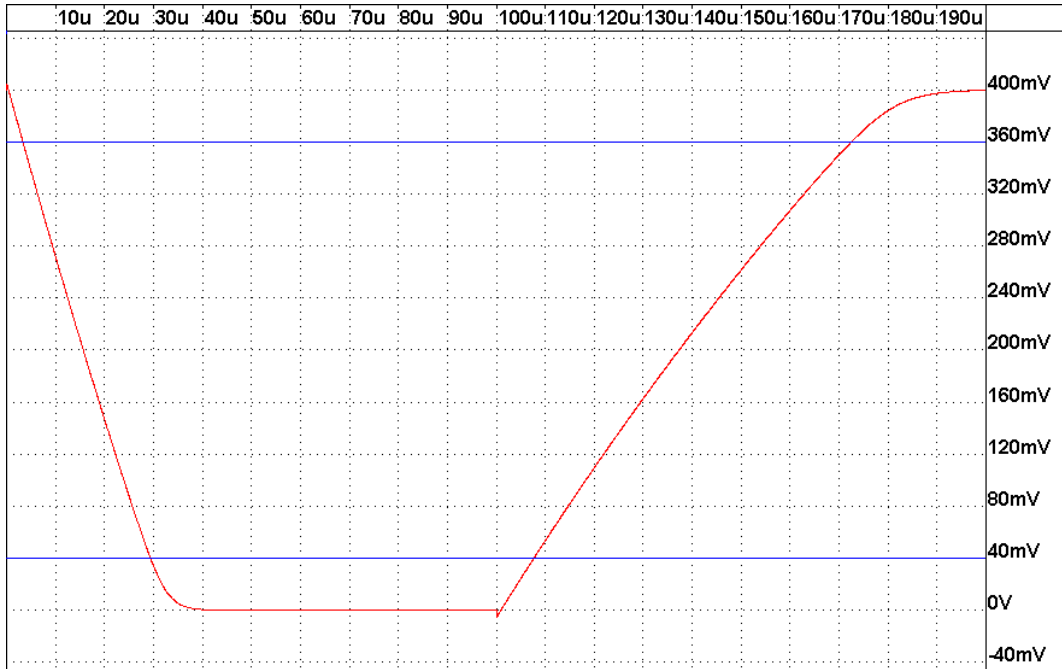


Fig.3.13: Transiente de tensão com compensação das correntes de *drive*

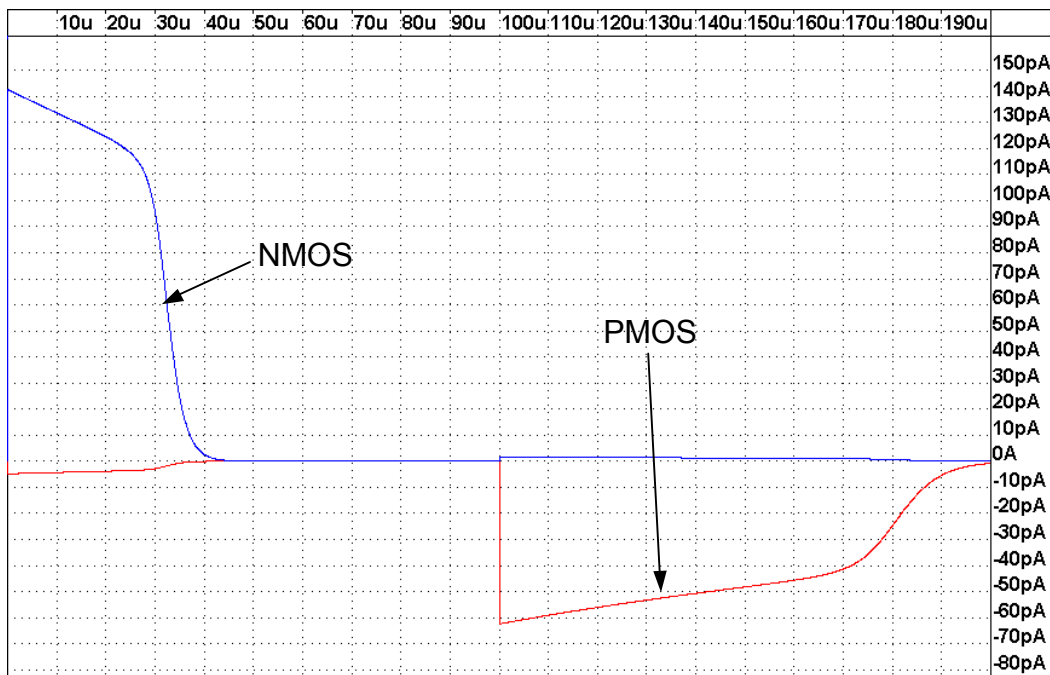


Fig.3.14: Transiente de corrente com compensação das correntes de *drive*

Através destas simulações uma conclusão importante pode ser obtida. Com o avanço das tecnologias futuras a tensão de limiar tende a ser reduzida. Com isso, os circuitos poderão operar com o mesmo nível de inversão e

aproximadamente mesma faixa de freqüências, porém com tensão de alimentação menor, dissipando menos energia.

Para simulação final, o último circuito, Fig.3.1.(c), foi simulado variando-se a temperatura, entre 0°C e 100°C. Como esperado, o circuito de compensação fornece uma tensão V_W , dependente da temperatura, tal que os tempos de subida e descida fiquem equalizados. A tabela 3.4 mostra um resumo dos valores obtidos. A variação extrema de temperatura impõe uma variação do valor absoluto dos tempos de subida e descida de mais de trezentas vezes. Porém a razão entre os tempos é pequena, entre 1,2 e 3,9 vezes. Entretanto, em aplicações em que a variação de temperatura é pequena, esse efeito é desprezível.

A Fig.3.15 mostra a adaptação de V_W com a temperatura, que mantém a razão T_{HL}/T_{LH} o mais próxima possível de um. Os resultados mostram que a polarização do poço/substrato auxilia a performance do circuito em faixas extremas de temperatura.

Tabela 3.4: Tempos de subida e descida em função da temperatura

Temperatura (°C)	T_{HL} (μ s)	T_{LH} (μ s)	T_{LH}/T_{HL}
0	128,2us	509,7u	3,9
10	68,7us	225,7us	3,2
20	38,36u	106,3	2,7
30	22,17u	52,78u	2,3
40	13,3u	27,76u	2,1
50	8,2u	15,2u	1,8
60	5,2u	8,7u	1,6
70	3,4u	5,2u	1,5
80	2,3u	3,2u	1,4
90	1,5u	2,1u	1,4
100	1,1u	1,4u	1,2

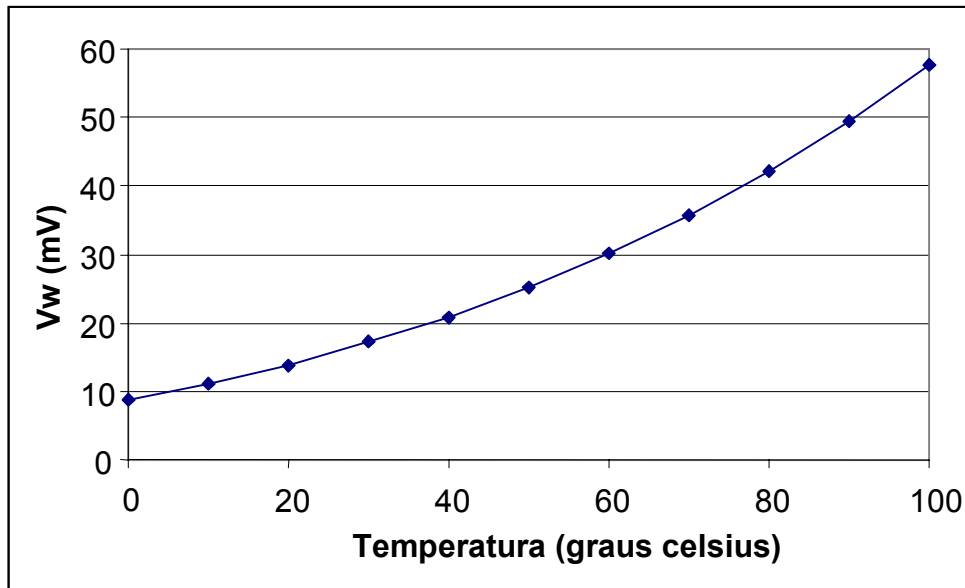


Fig.3.15: Variação de V_w com a temperatura

3.2.3 Dissipação de Potência

Normalmente, a potência em um circuito eletrônico pode ser dividida em potência dinâmica e de curto-circuito, que dependem da frequência de operação do circuito, e potência estática, que independe da frequência. A potência dinâmica, P_{DIN} , é devida à energia necessária para carregar e descarregar a capacitância de carga. Pode ser calculada através da energia média transferida à carga, num ciclo completo de chaveamento. Assim:

$$Q = C_O \cdot V_{DD} \quad (3.21)$$

$$\frac{Q}{T} = I_{MED} = C_O \cdot V_{DD} \cdot f \quad (3.22)$$

$$P_{DIN} = I_{MED} \cdot V_{DD} \quad (3.23)$$

$$P_{DIN} = C_O \cdot V_{DD}^2 \cdot f \quad (3.24)$$

onde Q é a carga acumulada no capacitor e I_{MED} é a corrente média através da fonte de alimentação.

A potência de curto-circuito, devido à condução simultânea dos transistores, é uma pequena fração da potência dinâmica.

A potência estática é devida à dissipação de energia através dos transistores quando os mesmos estão supostamente cortados. Entretanto, de forma semelhante ao circuito de polarização, ao se polarizar o substrato e o poço o inversor com a tensão V_W , os diodos de fonte ficam diretamente polarizados. Dependendo do nível de tensão na saída do inversor os diodos de dreno também poderão ficar diretamente polarizados, dissipando energia. Comparando a dissipação de potência nos diodos com os transistores cortados, estes últimos dissipam uma quantidade de energia desprezível. O esquemático do inversor, com os diodos de fonte e dreno, é mostrado na Fig.3.16.

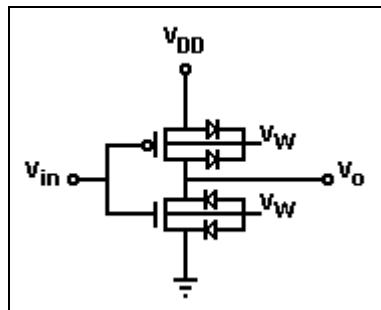


Fig.3.16: Inversor com diodos de fonte e dreno

A corrente através dos diodos pode ser aproximada por

$$I = I_S \cdot e^{\frac{V_D}{\eta \cdot \phi_T}} \quad (3.25)$$

onde I_S é uma corrente de escala, η é o coeficiente de emissão e V_D é a tensão através dos terminais do diodo. Os diodos de fonte estão sempre conduzindo, enquanto que os diodos de dreno, em condição estática conduzem um de cada vez, dependendo do estado da saída. Assim, a potência estática nos diodos pode ser calculada pela soma da potência nos diodos, assumindo que a saída fica 50% do tempo em nível alto e 50% do tempo em nível baixo.

$$P_{EST} = P_{D,NS} + P_{D,ND} + P_{D,PS} + P_{D,PD} \quad (3.26)$$

$$P_{EST} = \left(I_{SN} \cdot e^{\frac{V_{DD}}{2\eta \cdot \phi_T}} + \frac{1}{2} \cdot I_{SN} \cdot e^{\frac{V_{DD}}{2\eta \cdot \phi_T}} + I_{SP} \cdot e^{\frac{V_{DD}}{2\eta \cdot \phi_T}} + \frac{1}{2} \cdot e^{\frac{V_{DD}}{2\eta \cdot \phi_T}} \right) \cdot V_{DD} \quad (3.27)$$

$$P_{EST} = \frac{3 \cdot V_{DD}}{2} \cdot e^{\frac{V_{DD}}{2\eta \cdot \phi_T}} \cdot (I_{SN} + I_{SP}) \quad (3.28)$$

A tensão nos diodos foi aproximada por $V_{DD}/2$. Os índices N e P indicam diodos de fonte e dreno dos transistores NMOS e PMOS, respectivamente. A equação (3.28) pode representar o pior caso de dissipação de potência estática se o coeficiente de emissão dos diodos em (3.25) foi considerado igual a um.

Através da análise das relações (3.24) e (3.28), que representam a dissipação de potência dinâmica e estática, respectivamente, verifica-se que quanto menores a tensão de alimentação e a frequência de relógio do circuito, menor a dissipação de potência. Ao longo dos anos, essas têm sido as técnicas utilizadas nos circuitos, de forma a reduzir o consumo de energia a níveis aceitáveis.

3.3 CIRCUITOS COMPLEXOS: LATCH-D E CONTADOR BINÁRIO

Para completa validação da técnica de polarização do poço/substrato, conforme já apresentada, simulações foram realizadas com circuitos mais complexos, compostos somente por portas lógicas estáticas.

3.3.1 Latch-D

Um latch tipo D foi desenvolvido para simulação com portas NAND e um inversor, conforme mostrado na Fig.3.17.

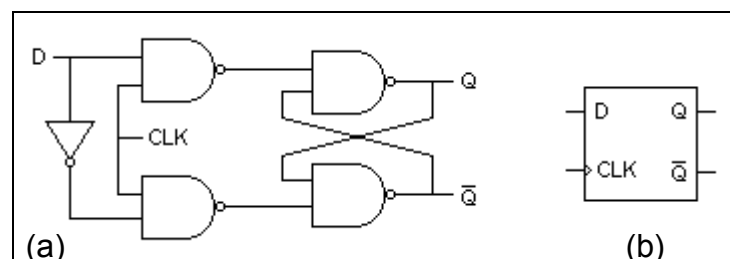


Fig.3.17: Latch-D (a) circuito com portas lógicas; (b) símbolo

Para simulações foi utilizada a tecnologia TSMC 0,35 μm , modelo BSIM3v3, que possui os seguintes parâmetros: $V_{TN}=0,55\text{V}$ e $V_{TP}=-0,65\text{V}$. Os transistores foram projetados com dimensões mínimas $(W/L)=0,4\mu\text{m}/0,35\mu\text{m}$. A primeira simulação realizada foi a de se verificar o funcionamento do latch, operando em inversão fraca e se os tempos de subida e descida são compensados, como no caso do inversor. Na Fig.3.18 é mostrado o resultado dessa simulação, com uma tensão de alimentação de 400mV e uma frequência de relógio, CLK, de 1kHz, com diferentes sinais de entrada (D). Quando o sinal de relógio está no nível alto e a entrada D altera o seu nível, as saídas também são alteradas. Quando o relógio está no nível baixo, nada acontece com as saídas. Um detalhe da simulação (zoom), apresentado na Fig.3.19, mostra que os tempos de subida e descida da tensão de saída Q, do latch, estão satisfatoriamente compensadas.

Medidas da dissipação de potência também foram levantadas através do simulador. A primeira medida, mostrada na tabela 3.5, foi realizada com tensão de alimentação constante de 500mV. A frequência de operação do circuito foi variada entre 1kHz até 1MHz. A segunda medida, apresentada na tabela 3.6, foi feita com frequência fixa de 100kHz, porém com tensão de alimentação variável, entre 300mV e 500mV.

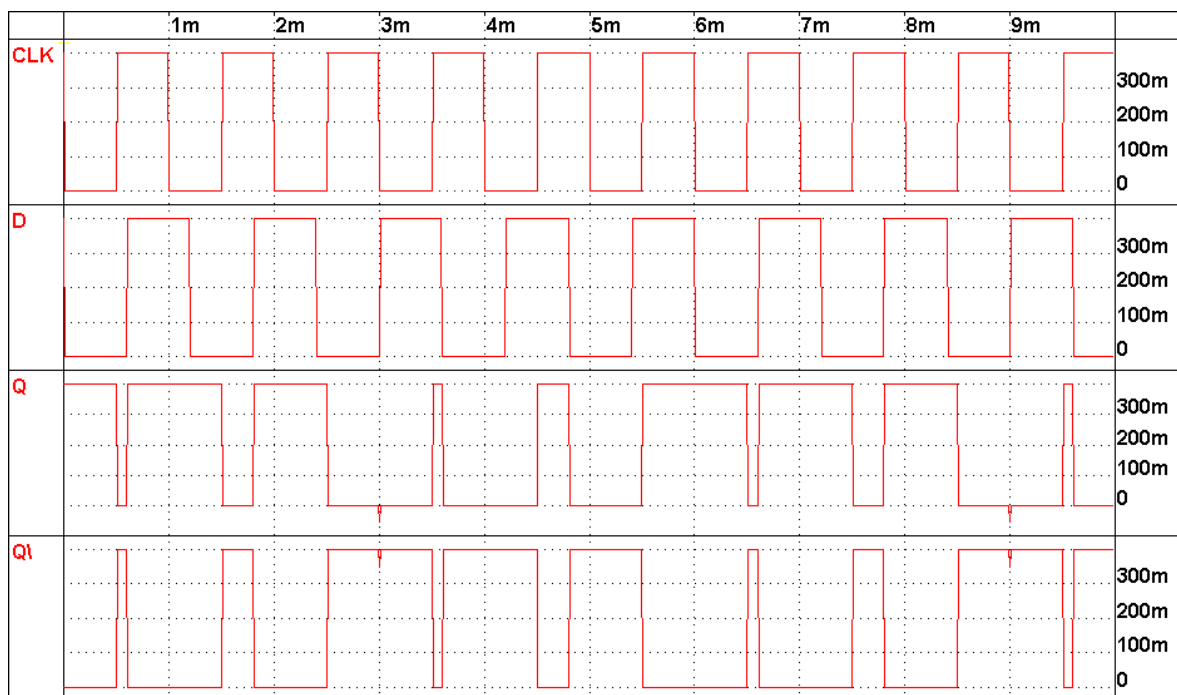


Fig.3.18: Resultados da simulação do latch

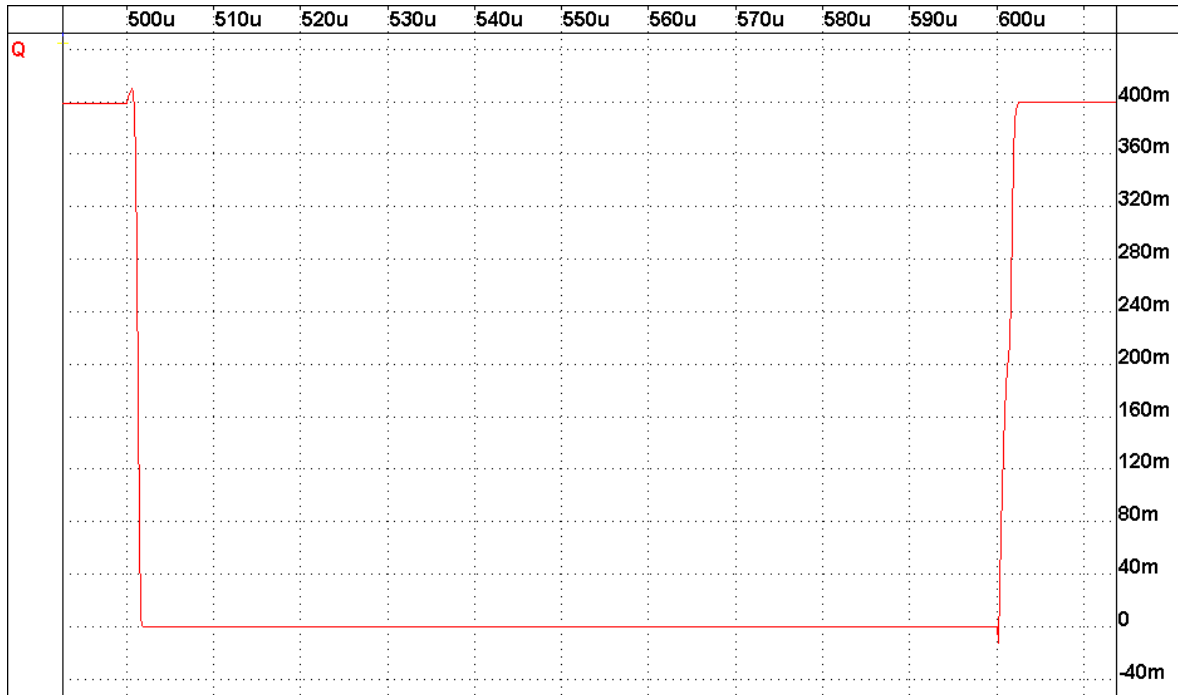


Fig.3.19: Detalhe da simulação (zoom)

Tabela 3.5: Dissipação de potência em função da frequência de operação

Frequência CLK	Potência total
1 kHz	27,3 pW
10 kHz	94,8 pW
100 kHz	252,4 pW
1 MHz	1,7 nW

Tabela 3.6: Dissipação de potência em função da tensão de alimentação

Tensão de alimentação	Potência total
500 mV	252,4 pW
400 mV	128,6 pW
300 mV	18,4 pW

3.3.2 Contador Binário

Utilizando a mesma tecnologia, TSMC 0,35 μ m, foi simulado um contador binário de zero a nove, de quatro bits (A, B, C e D). A é o bit mais significativo (MSB) e D é o menos significativo (LSB). Somente portas lógicas estáticas foram

utilizadas como, por exemplo, AND, OR, NOT, e flip-flops tipo D, formados por latches na configuração mestre-escravo, e transistores com dimensões mínimas. O esquemático do circuito simulado é mostrado na Fig. 3.20.

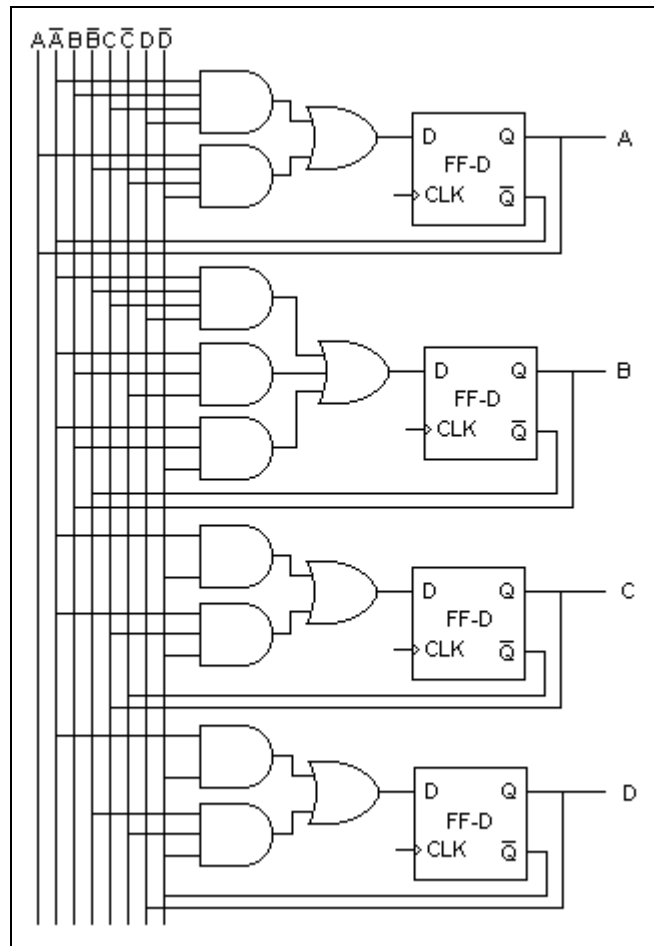


Fig.3.20: Esquema das portas lógicas estáticas componentes do contador 0-9

Na Fig. 3.21, abaixo, é mostrado o resultado da simulação da contagem cíclica realizada pelo circuito, sensível à borda de descida do relógio. A tensão de alimentação é de 500mV, com freqüência de operação de 100kHz.

Medidas da dissipação de potência também foram tomadas através do simulador para o contador binário. A primeira medida, mostrada na tabela 3.7, foi realizada com tensão de alimentação de 500mV. A freqüência de operação do circuito foi variada entre 1kHz até 1MHz. A segunda medida, apresentada na tabela 3.8, foi feita com freqüência fixa de 100kHz e com tensão de alimentação variando entre 300mV e 500mV.

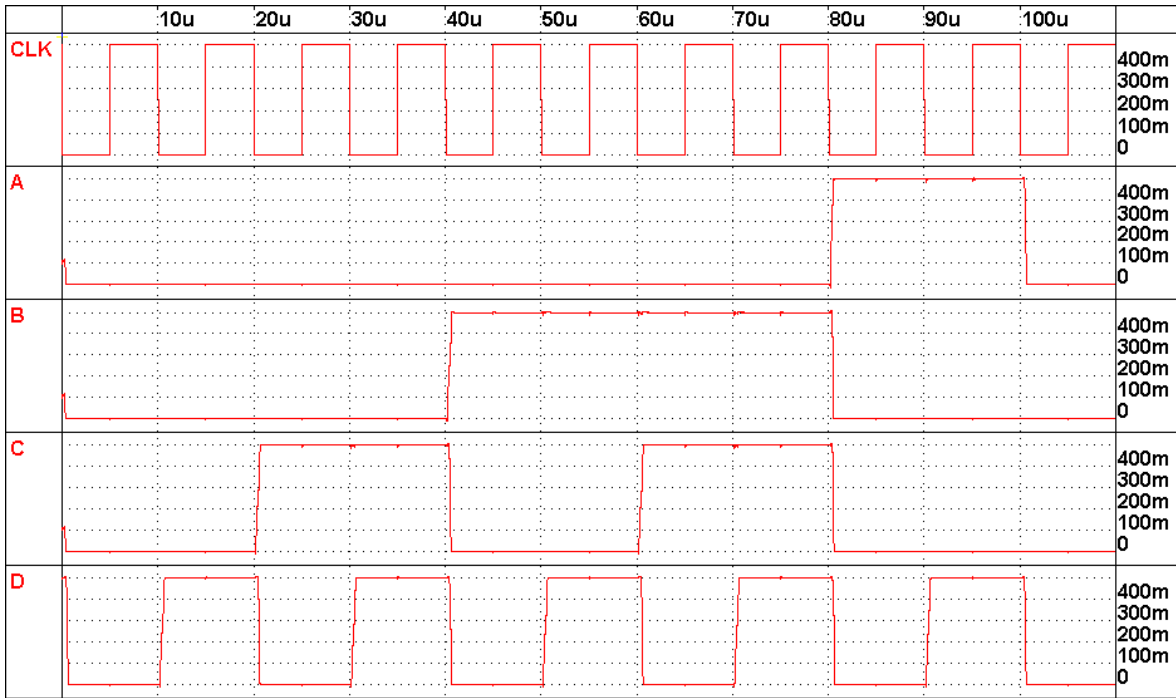


Fig.3.21: Resultado da simulação do contador 0-9

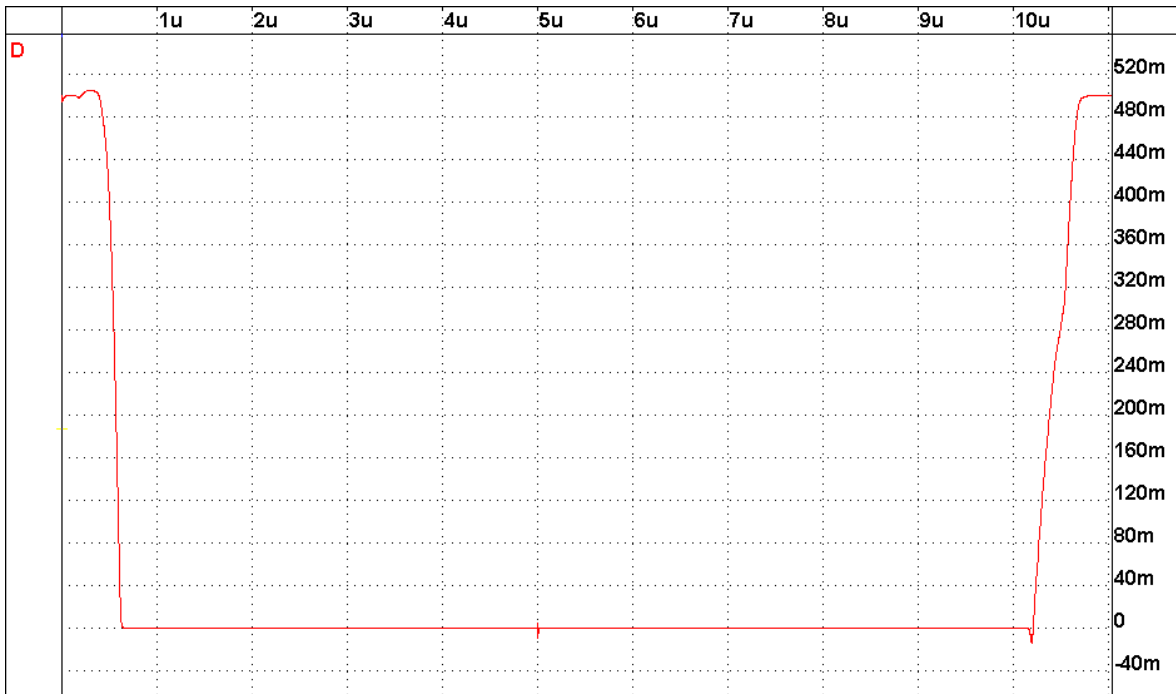


Fig.3.22: Detalhe da simulação da saída D

Tabela 3.7: Dissipação de potência em função da frequência de operação

Frequência	Potência total
1 kHz	409,9 pW
10 kHz	547,6 pW
100 kHz	1,65 nW
1 MHz	26,6 nW

Tabela 3.8: Dissipação de potência em função da tensão de alimentação

Tensão de alimentação	Potência total
500 mV	1,6 nW
400 mV	981,4 pW
300 mV	100,9 pW

Através das diversas simulações com o latch-D e com o contador binário de zero a nove, conclui-se que o circuito de polarização também funciona corretamente para circuitos mais complexos, equalizando de forma adequada os tempos de subida e descida. A operação dos circuitos em inversão fraca, com compensação, é possível com baixa dissipação de energia alcançando uma frequência de operação bastante interessante para diversas aplicações.

3.4 VALIDAÇÃO PRÁTICA INICIAL

Como validação prática inicial do método, foi implementado um oscilador em anel utilizando os componentes discretos CD4007, montados em uma placa de circuito impresso. Por simplicidade, o oscilador em anel montado tem apenas três estágios além do circuito de polarização. Para isso foram necessários três circuitos integrados. Foram escolhidos circuitos integrados nos quais os transistores apresentavam corrente de escala, $I_{ON(P)}$, aproximadamente igual a $5,4\mu\text{A}$ e tensão de limiar, $V_{TN(P)}$, de $1,2\text{V}$, e que fossem casados entre transistores de mesmo tipo.

Dois testes foram realizados. No primeiro teste, os substratos e poços dos transistores foram ligados às fontes de alimentação, como normalmente é feito em inversão forte, sem nenhum esquema de compensação. O circuito é mostrado

na Fig.3.23(a), onde C_{INT} representa a capacitância de interconexão. O circuito não oscilou para tensões de alimentação menor do que 1V. A Fig. 3.24(a) mostra o oscilador em anel operando com uma tensão de alimentação de 1,1V, atingindo apenas 15Hz de frequência de oscilação e aproximadamente 600mV_{PP}. Fica evidente pela figura que os tempos de subida e descida desse oscilador são bem diferentes e as correntes de dreno dos transistores não estão equalizadas. O segundo teste realizado foi feito de forma semelhante, porém os transistores foram polarizados com a tensão V_W proveniente do circuito de compensação, como mostrado na Fig.3.23(b). O resultado, mostrado na Fig.3.24(b), mostra que o oscilador opera com uma frequência de oscilação de 25Hz, maior que o caso anterior, com aproximadamente 300mV_{PP} e com a nítida vantagem de ser alimentado com apenas 650mV.

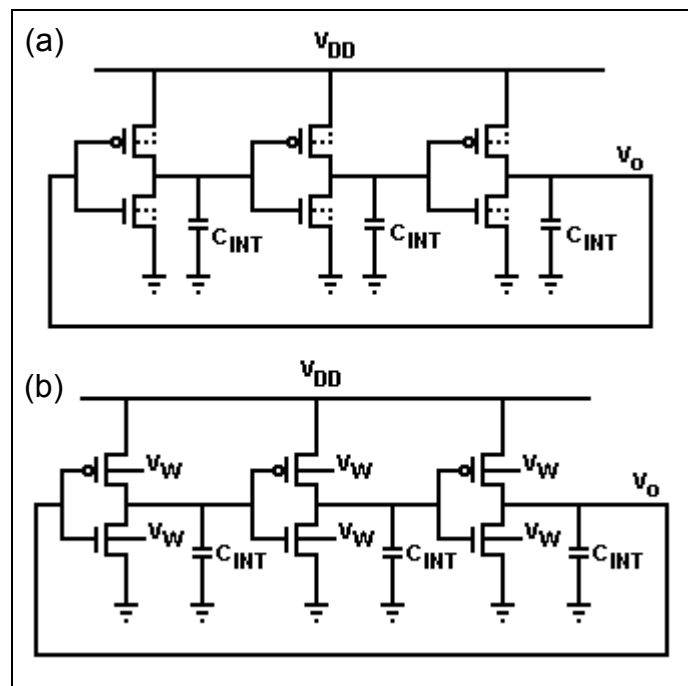


Fig.3.23: Oscilador em anel de três estágios (a) sem compensação
(b) com compensação

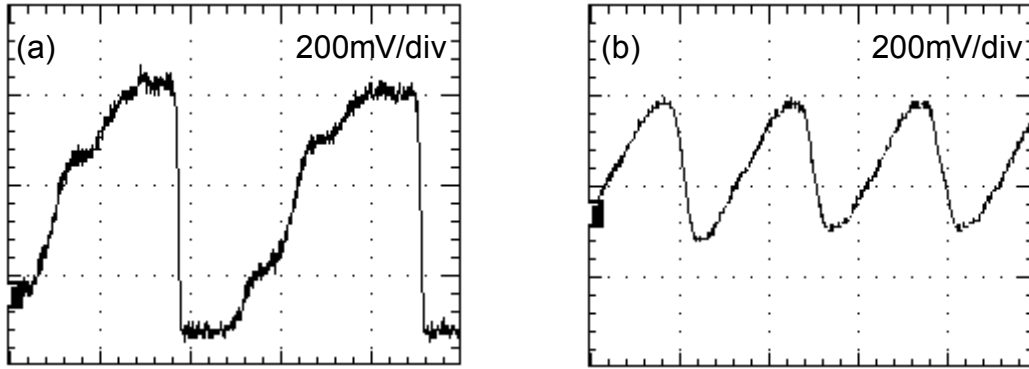


Fig.3.24: Oscilador em anel (a) sem compensação – $V_{DD}=1,1V$, $F_{OSC}=15Hz$
 (b) com compensação – $V_{DD}=0,65V$, $F_{OSC}=25Hz$

A baixa frequência obtida com o oscilador em anel, implementado com o circuito integrado 4007, é devido à alta tensão de limiar da série 4000. Simulações mostram que o mesmo oscilador em anel operando com 650mV de tensão de alimentação deve oscilar em aproximadamente 770kHz, se fosse utilizada a tecnologia AMS 0,8 μ m.

Uma comparação das Fig.3.24(a)-(b) mostra claramente as duas vantagens principais da técnica proposta: equalização dos tempos de subida e descida dos circuitos compensados e maior velocidade de operação dos circuitos com tensão de alimentação muito menores. A frequência de oscilação e a potência total do circuito da Fig.3.23(b), incluindo o esquema de polarização, foram medidas para diferentes tensões de alimentação e são mostradas nas Fig.3.25 e Fig.3.26, com a correspondente frequência de oscilação. Como esperado, quanto maior a tensão, maior a frequência de oscilação e, conseqüentemente, maior a potência dissipada.

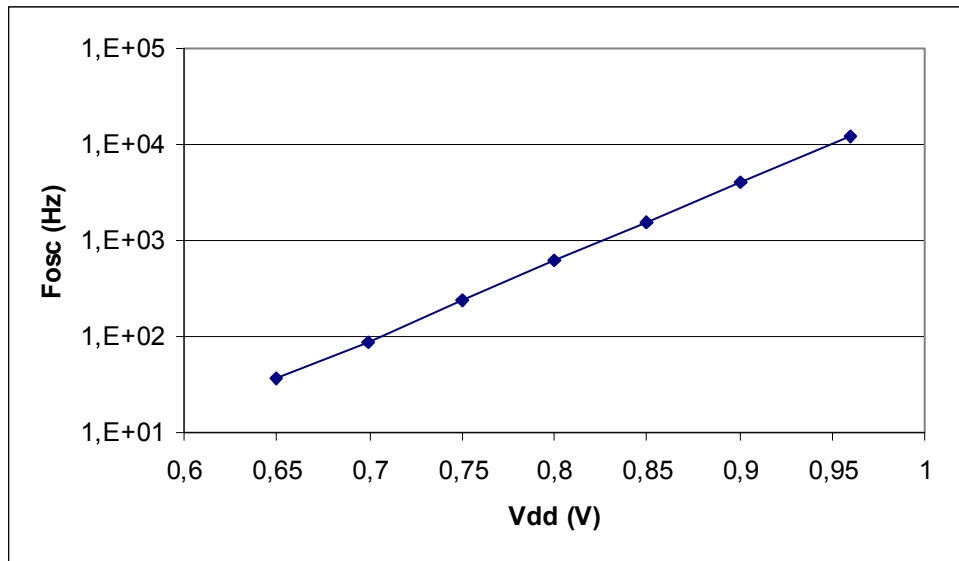


Fig.3.25: Frequência de oscilação em função da tensão de alimentação

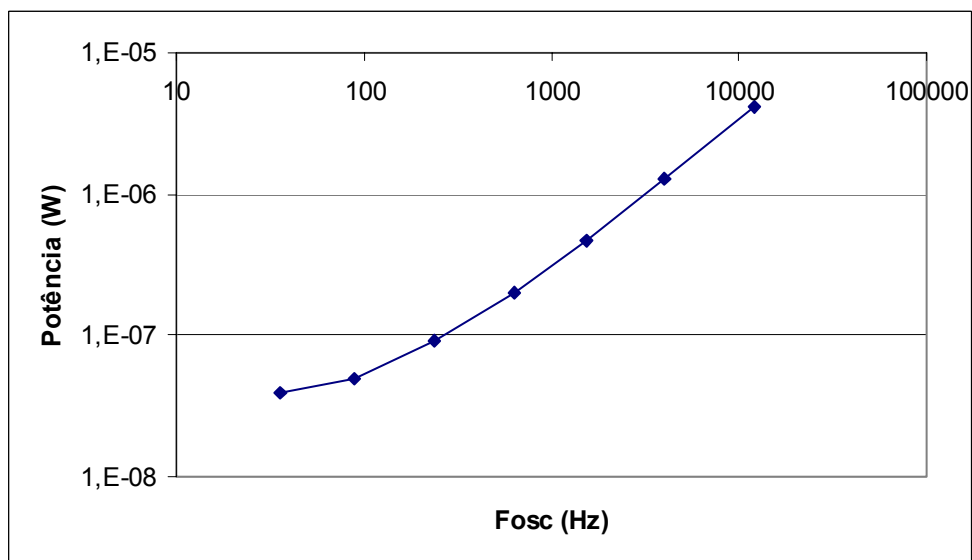


Fig.3.26: Potência dissipada em função da frequência de oscilação

CAPÍTULO 4

RESULTADOS EXPERIMENTAIS

Para validação prática das propostas de utilização dos circuitos lógicos CMOS operando em regime de inversão fraca e da técnica de compensação, foi projetado um circuito integrado dedicado com um conjunto de elementos testes. Esses circuitos foram desenvolvidos especialmente para se realizar medidas práticas em bancada e são compostos de circuitos de três grupos. O primeiro grupo é formado por circuitos lógicos estáticos básicos. É formado por um transistor NMOS e um PMOS arranjados de forma que possibilite a extração de parâmetros importantes, como por exemplo, I_0 e V_T , e ainda podem ser conectados para formar um inversor CMOS. Uma porta lógica NAND com duas entradas também foi incluída. O segundo grupo é formado somente por um oscilador em anel de 5 estágios e foi incluído porque é um circuito que demonstra a possibilidade de utilização da técnica proposta, fornecendo medidas da performance em frequência e dissipação de potência que podem ser atingidas. O terceiro grupo de circuitos é formado por um latch-D e um contador binário cíclico de zero a nove formados por portas lógicas estáticas básicas. Esses circuitos foram projetados porque são mais complexos do que somente portas lógicas simples e são bastante comuns nos projetos de circuitos digitais. Além desses elementos, no leiaute dos chips foi incluído o circuito de compensação. O leiaute dos blocos componentes do circuito desenvolvido é mostrado nas Fig.4.1.(a)-(f) e foi projetado de forma que tanto medidas DC quanto medidas em frequência fossem possíveis. Também é possível a utilização dos três circuitos de compensação mostrados na Fig.3.1.

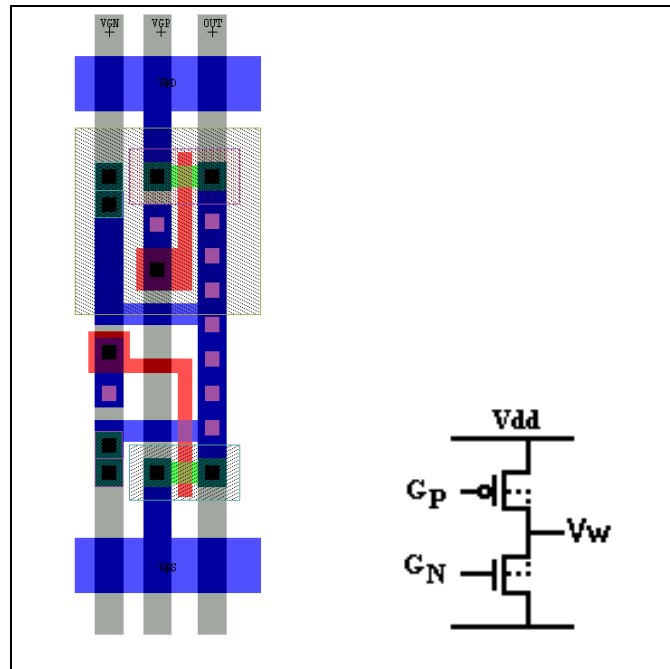


Fig.4.1(a): Circuito de compensação com gates livres

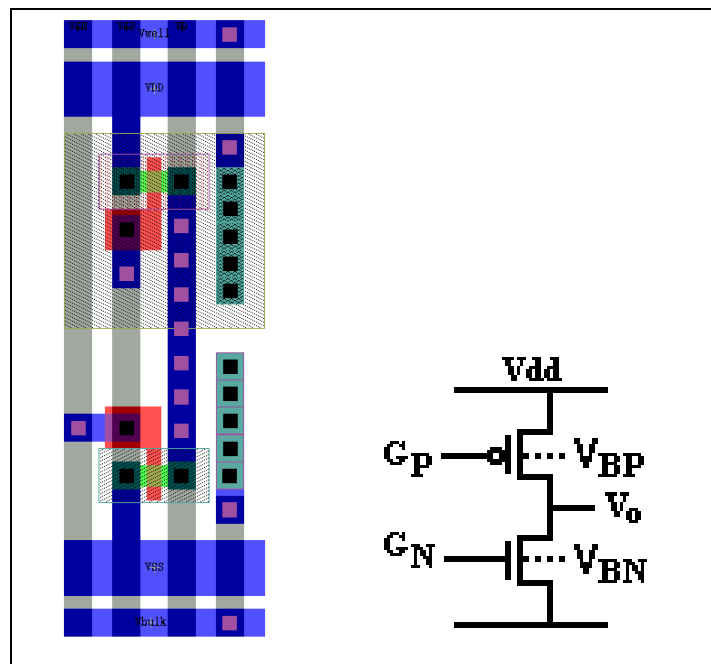


Fig.4.1(b): Transistores NMOS e PMOS para formar o inversor

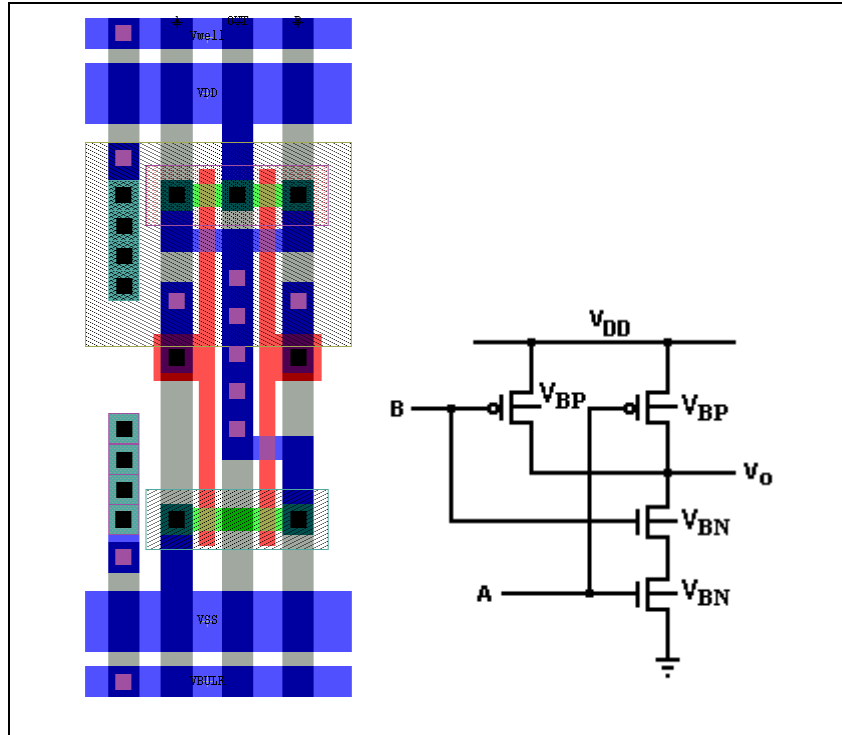


Fig.4.1(c): NAND de 2 entradas

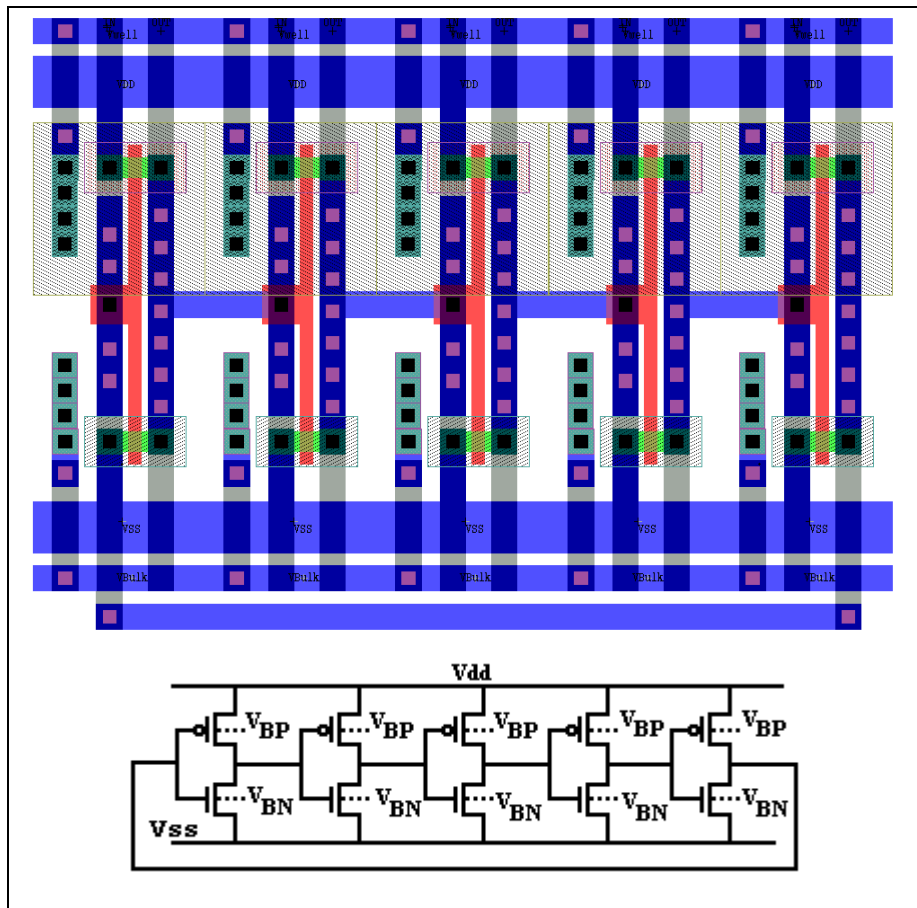


Fig.4.1(d): Oscilador em anel de 5 estgios

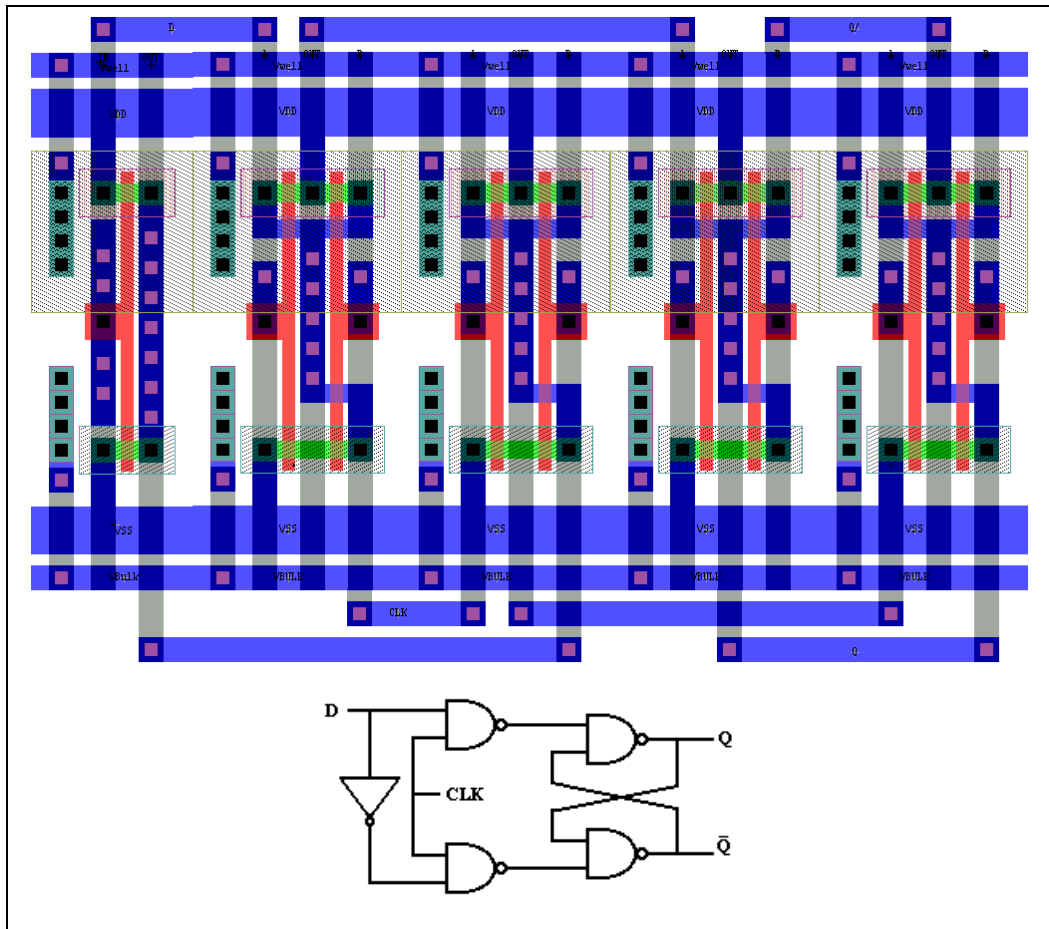


Fig.4.1(d): Latch-D

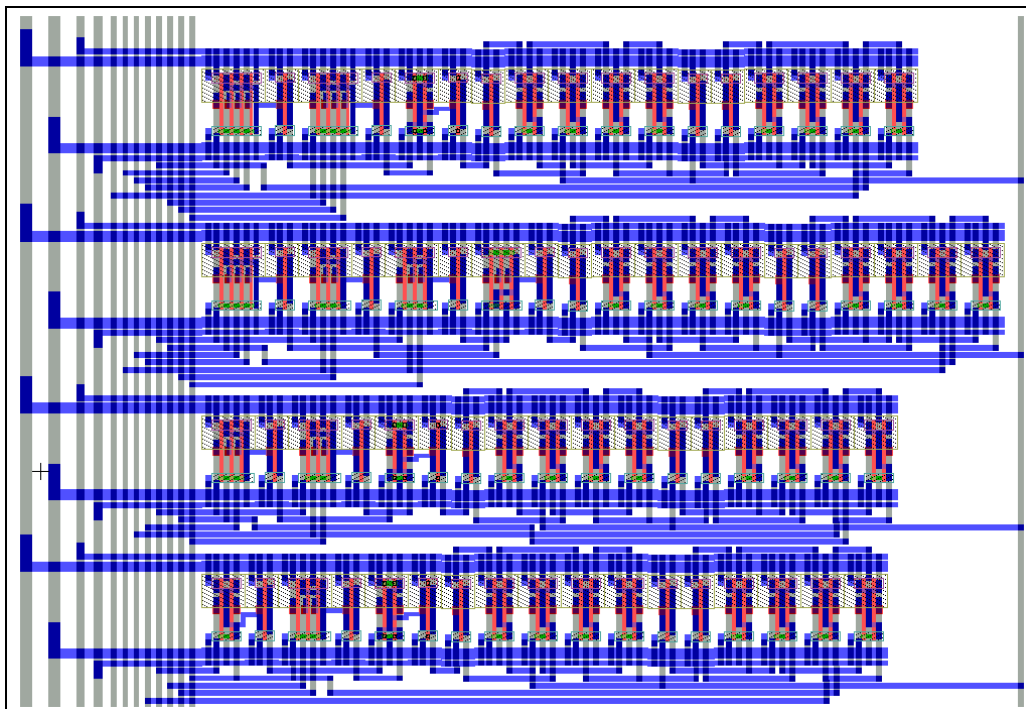


Fig.4.1(f): Contador binário de 0 a 9

Como já descrito anteriormente, quanto menor a tensão de limiar da tecnologia utilizada melhor, pois assim é possível se reduzir a tensão de alimentação e o consumo de energia, porém atingindo-se a mesma frequência de operação. Dessa forma, para testes práticos foram escolhidas duas tecnologias para comparação dos resultados, sendo os circuitos projetados com base nas regras de projeto escaláveis (SCMOS – *Scalable* CMOS), opção SCNA, fornecidas pela MOSIS. Essas regras podem ser aplicadas a tecnologias PMOS com pelo menos duas camadas de metal e duas de polissilício (2M2P). Com essa técnica de projeto, o mesmo leiaute pode ser utilizado para diferentes tecnologias, desde que sejam aplicadas as regras de escalonamento, pela mudança no fator de escala λ dependente da tecnologia.

A primeira tecnologia utilizada é a AMIS 1,5 μm , com λ igual a 0,8 μm , e cujas tensões de limiar são aproximadamente 0,54V e -0,84V para os transistores NMOS e PMOS, respectivamente. A segunda tecnologia utilizada é a TSMC 0,35 μm , com λ igual a 0,25 μm , e cujas tensões de limiar são aproximadamente 0,47V e -0,64V para os transistores NMOS e PMOS, respectivamente. Assim, resultados melhores de dissipação de energia e frequência de operação são esperados com a tecnologia TSMC 0,35 μm , uma vez que as tensões de limiar dos transistores são menores. A lista completa dos parâmetros extraídos durante a fabricação e fornecidos pela MOSIS é mostrada no anexo 2. O lote fornecido pela MOSIS da tecnologia AMIS 1,5 μm é composto por cinco circuitos integrados, enquanto que o da tecnologia TSMC 0,35 μm é de 40 circuitos.

4.1 TRANSFERÊNCIA DC

4.1.1 Corrente de Escala e Tensão de Limiar

O primeiro teste foi realizado nos transistores NMOS e PMOS projetados no circuito, com a função de se fazer a extração dos principais parâmetros que definem o funcionamento dos circuitos lógicos propostos: a corrente de escala, I_0 , e a tensão de limiar, V_T . Para isso, as curvas da corrente de dreno em função da tensão de gate, $I_D \times V_{GB}$, devem ser medidas.

O levantamento foi realizado em ambas as tecnologias, de acordo com o modelo de corrente do transistor apresentado em (2.6) [20]. Durante este teste, a tensão V_{DS} foi mantida constante e igual a 1V nos transistores NMOS e igual a -1V nos transistores PMOS. Já, a tensão V_{GB} foi variada de 0V a 1V nos NMOS e de -1V a 0V nos PMOS. Os resultados são mostrados abaixo, nas Fig. 4.2 e 4.3, para as tecnologias AMIS 1,5 μm e TSMC 0,35 μm , respectivamente.

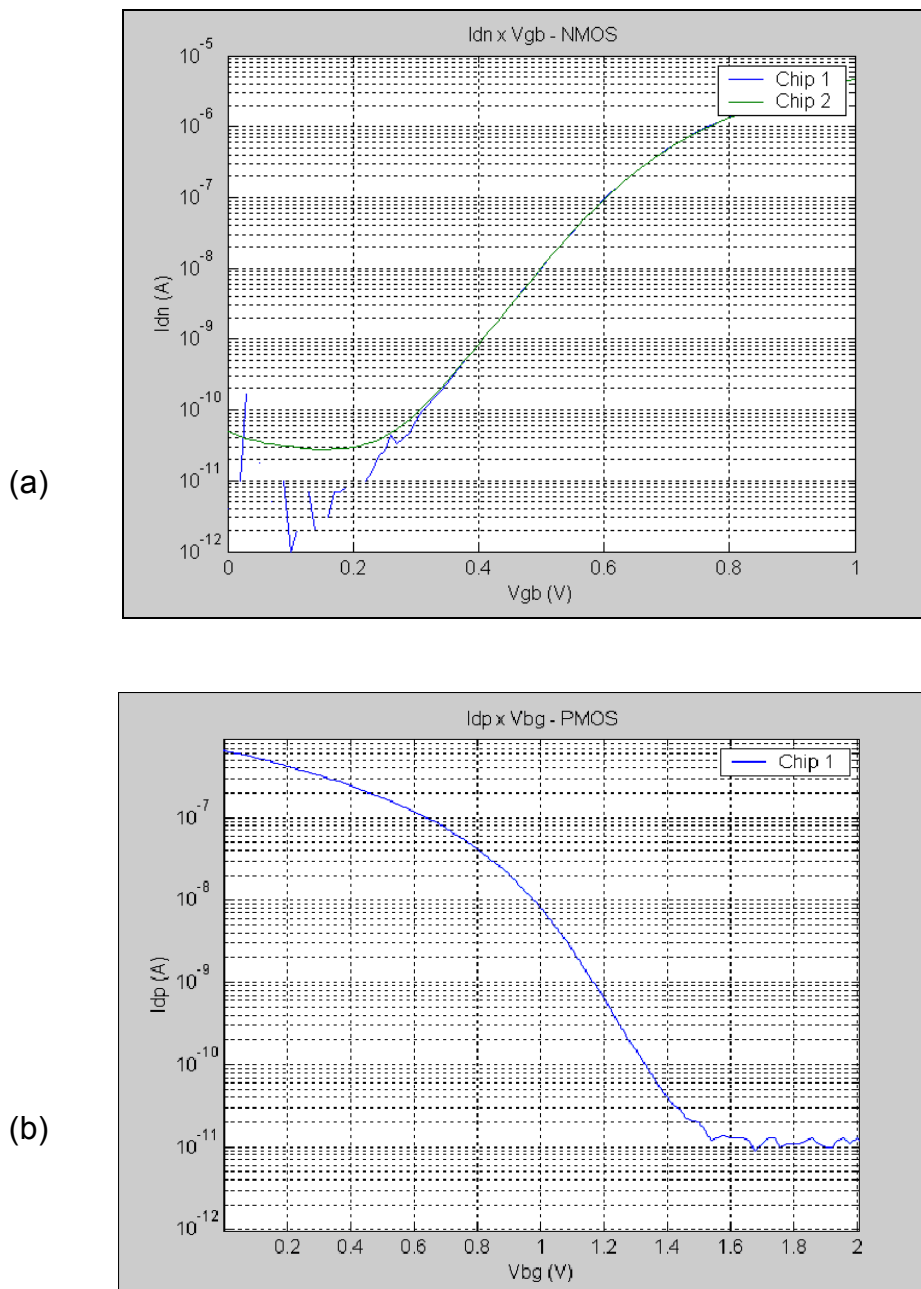


Fig.4.2: $I_D \times V_{GB}$ – AMIS 1,5 μm – a) NMOS; b) PMOS

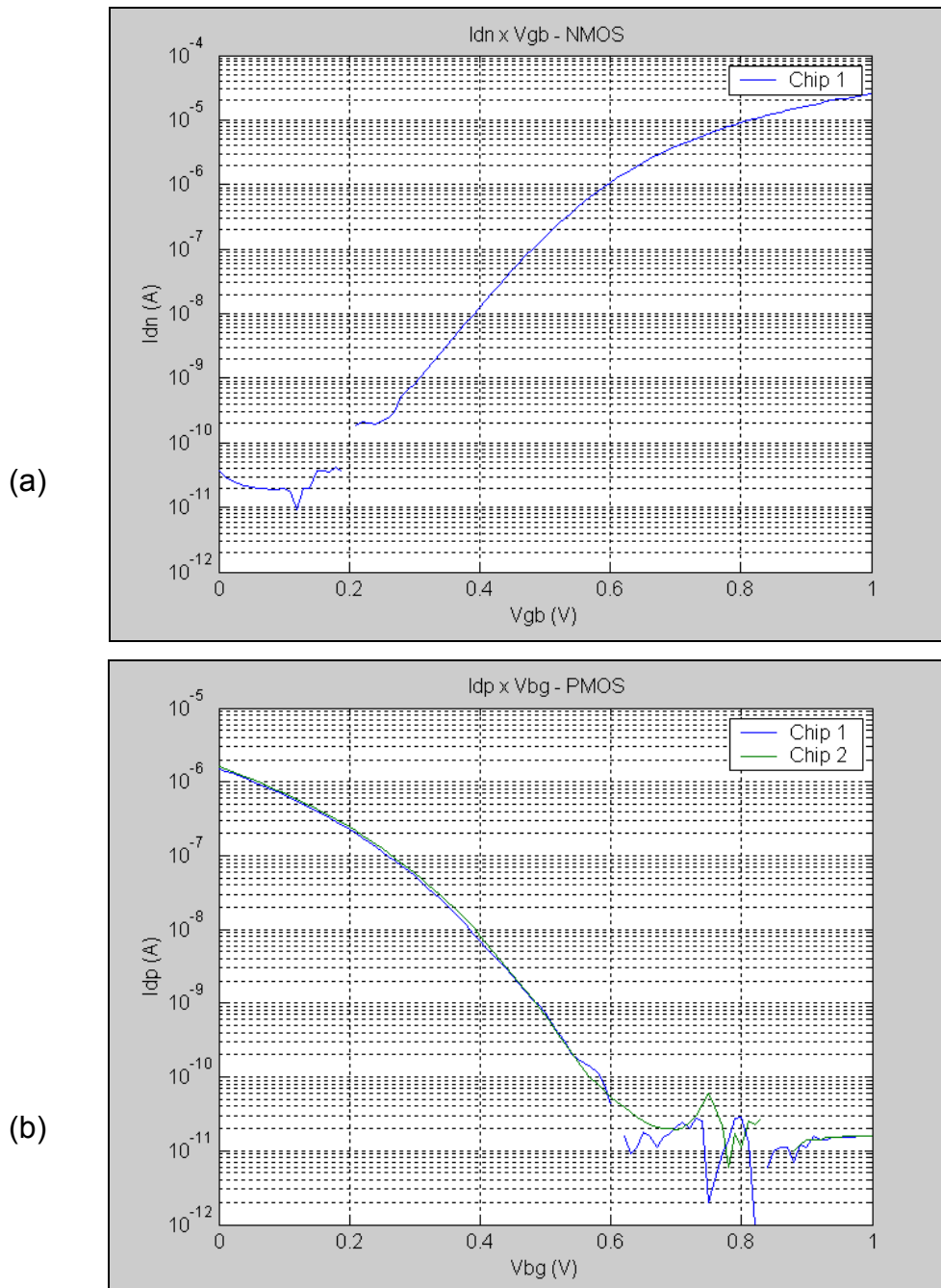


Fig.4.3: $I_D \times V_{GB}$ – TSMC $0,35\mu\text{m}$ – a) NMOS; b) PMOS

Fazendo-se a análise dessas curvas, pela aproximação das medidas práticas pela equação 2.6, que descreve o transistor, os seguintes valores para as correntes de escala e tensões de limiar podem ser obtidos:

Tabela 4.1: Correntes de escala e tensões de limiar extraídos

Tecnologia	V_{TN}	V_{TP}	I_{ON}	I_{OP}
AMIS 1,5 μ m	0,63V	-0,95V	203nA	67nA
TSMC 0,35 μ m	0,55V	-0,73V	420nA	135nA

Os resultados obtidos mostram que as tensões de limiar e correntes de escala estão condizentes com os parâmetros BSIM3v3 fornecidos pela MOSIS. Particularmente, as correntes de escala obtidas estão muito próximas dos valores teóricos. Na tecnologia AMIS 1,5 μ m as correntes de escala ficaram em 202nA e 75nA para os transistores NMOS e PMOS, respectivamente, e na tecnologia TSMC 0,35 μ m esses valores são de 530nA e 212nA. Medidas foram realizadas a partir de alguns circuitos integrados para cada tecnologia e refletem a média dos diversos valores obtidos. As pequenas diferenças do valor teórico para os valores medidos, mostrados na tabela 4.1, podem ser prontamente explicados pelos efeitos de difusão lateral no canal dos transistores, efeito de corpo e diminuição da mobilidade com a polarização, e que não foram levadas em consideração nos cálculos teóricos.

Através do levantamento dos parâmetros tecnológicos da tensão de limiar e corrente de escala percebe-se que as suas variações com relação a diferentes *chips* (*interchip*) são pequenas e estão bastante próximos dos valores teóricos. Entretanto, deve-se atentar para o fato de que a variação pode ser bastante significativa para *chips* distantes um do outro, mesmo dentro do mesmo *wafer*. Isso não está refletido nos valores apresentados, pois a quantidade de circuitos medidos é pequena.

4.1.2 Tensão de Polarização

Em segundo lugar, foram realizadas medidas nos circuitos integrados das diferentes tecnologias para se obter o valor da tensão de polarização, V_W , em função da tensão de alimentação, V_{DD} , do circuito. Foi obtida à partir dos três circuitos de polarização possíveis, mostrados na Fig.3.1. Os resultados obtidos para as duas tecnologias utilizadas são mostrados nas Fig.4.4 a Fig.4.9.

Duas análises podem ser realizadas nas medidas obtidas na tecnologia AMIS 1,5 μm (Fig.4.4-4.6) e TSMC 0,35 μm (Fig.4.7-4.9). A primeira análise é devido ao fato da tensão de polarização estar bastante próximo do valor nulo, para qualquer circuito de polarização utilizado, nas Fig.4.4 a Fig.4.6. Isso pode ser explicado porque no circuito de polarização utilizado, a capacidade de corrente dos transistores PMOS é maior que a capacidade dos transistores NMOS nos circuitos medidos anteriormente. Então, para igualar as correntes nos transistores, o que é uma exigência dada pela topologia utilizada, a tensão de polarização é praticamente nula. Pela grande diferença nas tensões de limiar e para baixas tensões de alimentação, a equação (3.6) poderia resultar em valores negativos, o que não é possível fisicamente. Nessa condição, a tensão de polarização teórica, dada por (3.6) para o circuito de polarização média, não é mais válida, pois os transistores deixam de estar no regime de saturação. A tensão é bastante baixa até o ponto em que a capacidade de corrente do transistor NMOS se aproxima da capacidade do transistor PMOS, pelo aumento de V_{DD} , e a tensão de polarização se aproxima de uma função diretamente proporcional à tensão de alimentação, V_{DD} . Este fato é mais visível na tecnologia AMIS 1,5 μm . De acordo com as medidas obtidas para esta tecnologia, a tensão de polarização passa a ter um valor diferente de zero à partir da tensão de alimentação variando entre 200mV e 500mV.

A segunda análise que pode ser realizada é devido ao fato de as curvas apresentarem diferentes inclinações no regime de saturação. Isso pode ser explicado lembrando-se que os diodos de fonte e dreno, não considerados na determinação da equação (3.6), realmente drenam uma fração da corrente que deveria passar pelo canal dos transistores. Entretanto, uma vez que a tensão de alimentação deve ser baixa, a influência dos diodos deve ser pequena. Já, para alimentação próxima da tensão de condução dos diodos, perto de 0,6V, a corrente dos mesmos passe a ser apreciável, e muito maior do que aquela que flui pelos transistores. Nesse caso, o controle da tensão de polarização V_W deixa de ser dos transistores e passa a ser unicamente dos diodos, invalidando o objetivo dos circuitos de polarização propostos. Esta ocorrência pode ser mais facilmente observada nas curvas obtidas com a tecnologia TSMC 0,35 μm . Na Fig.4.7, a inclinação da curva $V_W \times V_{DD}$ apresenta uma pequena variação a partir

de 0,7V, enquanto que na Fig.4.9 a tensão é de aproximadamente 0,7V e 0,8V nos diferentes circuitos medidos. As variações existentes nessas curvas para as tensões próximas de 0,3V são decorrentes de ruídos originados no equipamento de medida. Na Fig.4.8, a medida obtida é, aparentemente, fora do padrão esperado em que V_W é uma função linear de V_{DD} . Pode ser decorrente da influência extrema dos diodos polarizados diretamente ou, mais provavelmente, que os circuitos medidos estivessem com imperfeições ou queimados, invalidando as medidas.

As tensões de polarização obtidas com os diferentes circuitos propostos e mostradas nas Fig. 4.4 a Fig. 4.9 variam de circuito para circuito. Este fato é bastante evidente, uma vez que as tensões de limiar dos transistores, os fatores de rampa e as correntes de escala variam entre circuitos e até mesmo entre transistores fabricados no mesmo *die*. Essa variação é bastante interessante porque mostra o verdadeiro objetivo do circuito de compensação: variar a tensão fornecida para os demais circuitos, de acordo com os parâmetros tecnológicos e geométricos, de forma a igualar a intensidade da corrente elétrica que flui nos transistores.

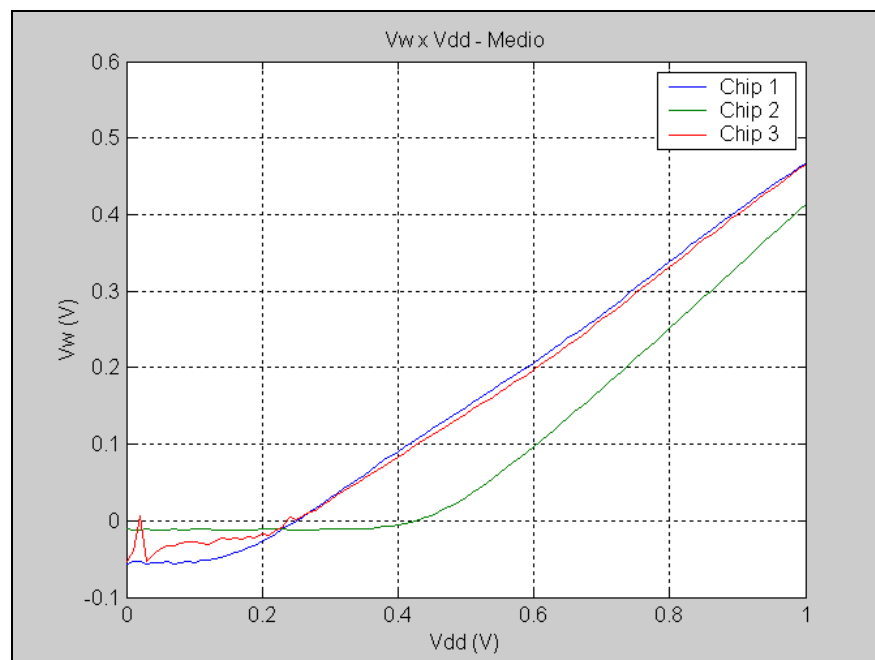


Fig.4.4: V_W em função de V_{DD} – AMIS 1,5 μ m – Polarização média

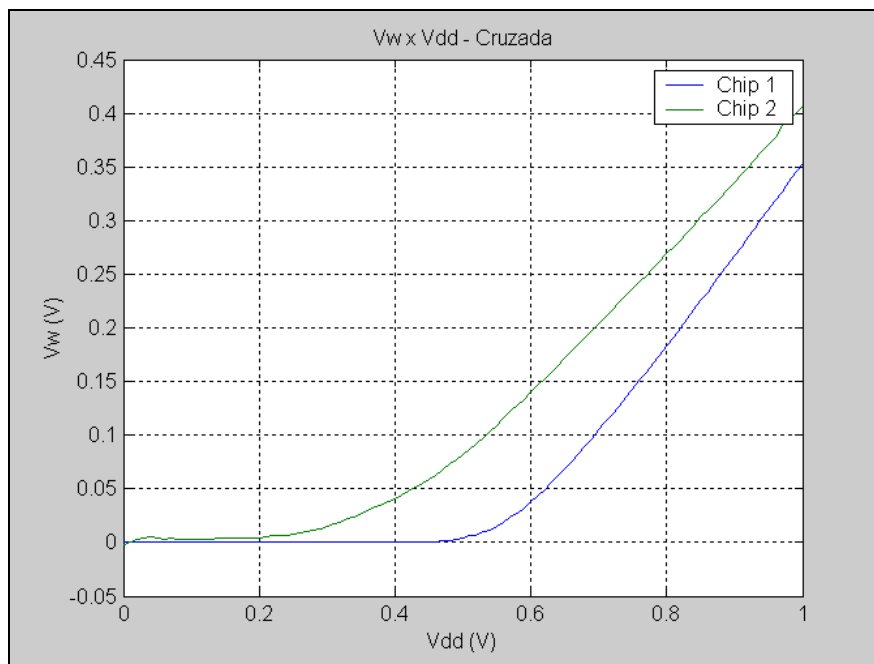


Fig.4.5: V_w em função de V_{DD} – AMIS 1,5 μ m – Polarização cruzada

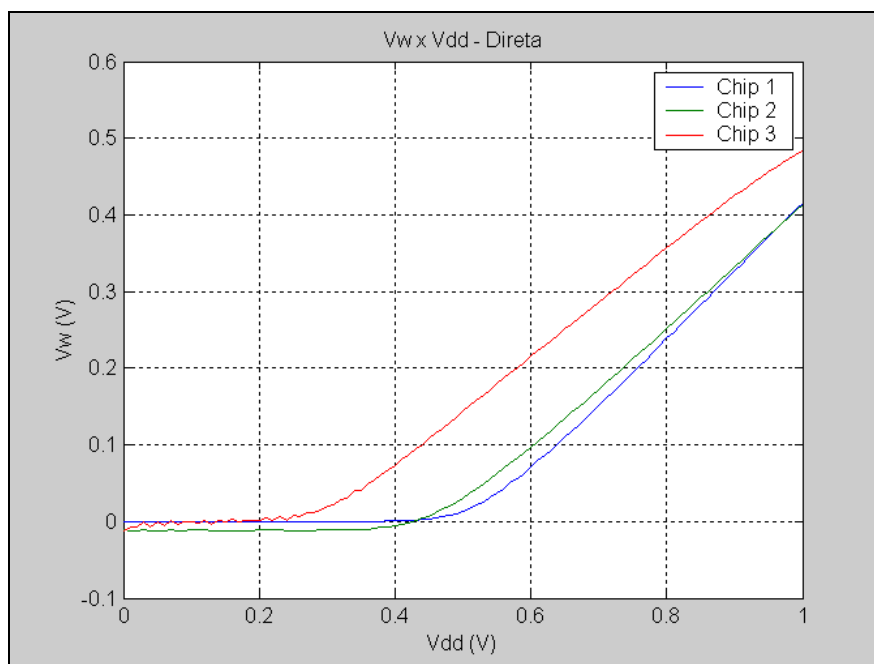


Fig.4.6: V_w em função de V_{DD} – AMIS 1,5 μ m – Polarização direta

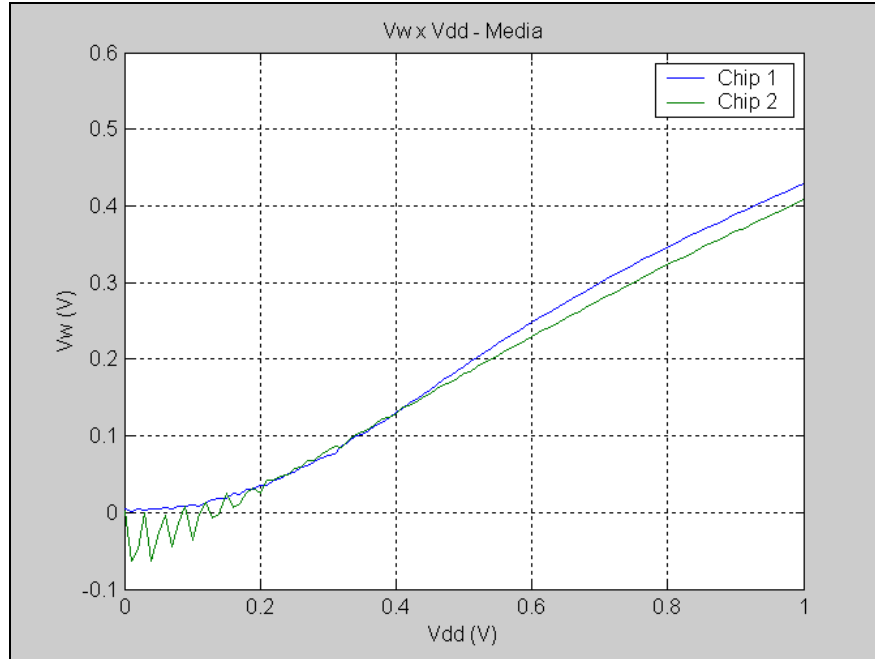


Fig.4.7: V_w em função de V_{DD} –TSMC 0,35 μ m – Polarização média

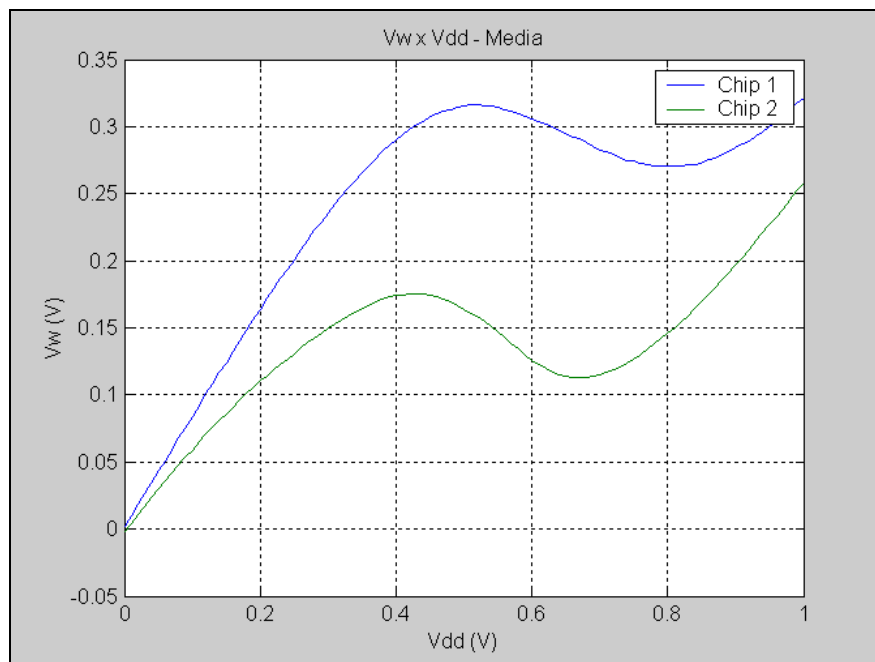


Fig.4.8: V_w em função de V_{DD} –TSMC 0,35 μ m – Polarização cruzada

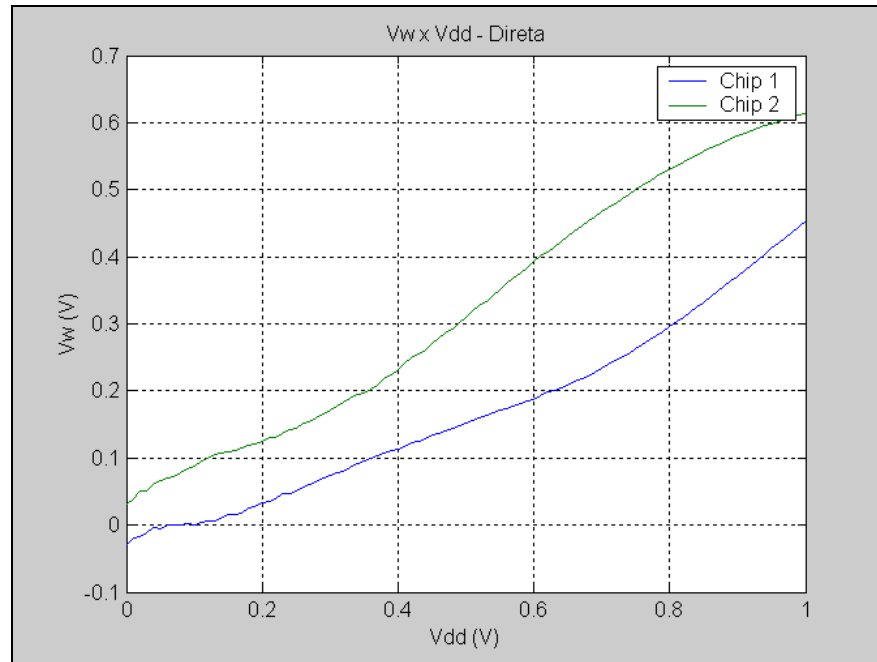


Fig.4.9: V_W em função de V_{DD} – TSMC 0,35 μ m – Polarização direta

4.1.3 Transferência DC do Inversor

Uma vez que a transferência de corrente dos transistores individuais, NMOS e PMOS, foi levantada e comprovou-se que os circuitos de polarização sugeridos podem fornecer a tensão de compensação adequada, pode-se aplicar a proposta, inicialmente, a circuitos lógicos básicos. Nessa classificação está o inversor, como a porta lógica mais básica possível. Esta porta, em conjunto com o circuito de polarização utilizado, é mostrado na Fig. 4.10. Para o levantamento da transferência DC foi utilizado sempre o mesmo circuito de polarização.

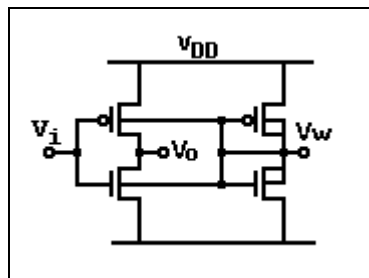


Fig.4.10: Inversor polarizado

Para a tecnologia AMIS 1.5 μ m, não foi obtido o gráfico da transferência. Entretanto, as medidas realizadas com os chips mostraram que com uma tensão de alimentação de 700mV, a tensão de limiar da porta lógica, V_{TH} , é de aproximadamente 210mV, fornecendo um ganho igual a -18mV/mV na região linear de transição. Quando a tensão de entrada da porta está em 0V, ou nível lógico baixo, a tensão de saída da porta é de apenas 540mV, e não 700mV, nível lógico alto, como poderia se esperar, pois o diodo de dreno conduz corrente elétrica e altera a tensão de saída.

Já, com a tecnologia TSMC 0,35 μ m diversas curvas foram obtidas, formando um conjunto abrangente de resultados, mostrado nas Fig.4.11 a Fig.4.15. Foram utilizadas diversas tensões de alimentação, variando entre 250mV e 600mV, o que força o regime de operação em inversão fraca, uma vez que as tensões de limiar ficaram próximas de 600mV, como observado anteriormente.

Nas Fig.4.12 a Fig.4.15, nas quais as medidas foram realizadas em conjuntos diferentes de *chips*, pode-se notar que as curvas de transferências dos inversores têm formatos bastante semelhantes, porém deslocadas lateralmente. Isso é devido às diferentes tensões de limiar da porta lógica, decorrente das diferentes tensões de limiar dos transistores individualmente. Essas curvas comprovam que o circuito de polarização não altera o funcionamento em regime estático do inversor e que esse pode ser utilizado também no regime de inversão fraca, como tradicionalmente é feito em inversão forte.

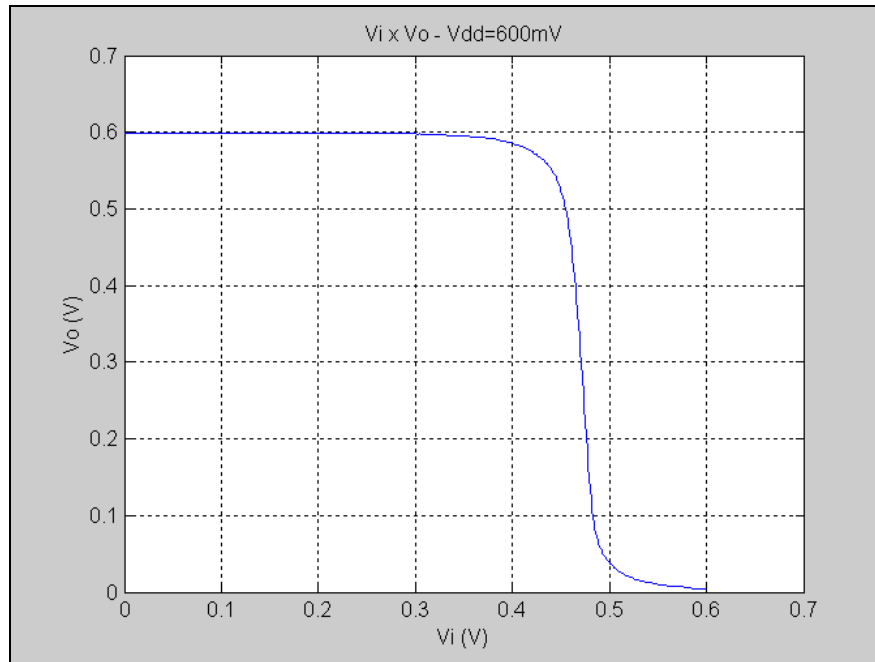


Fig.4.11: Transferência DC do Inversor – $V_{DD}=600\text{mV}$

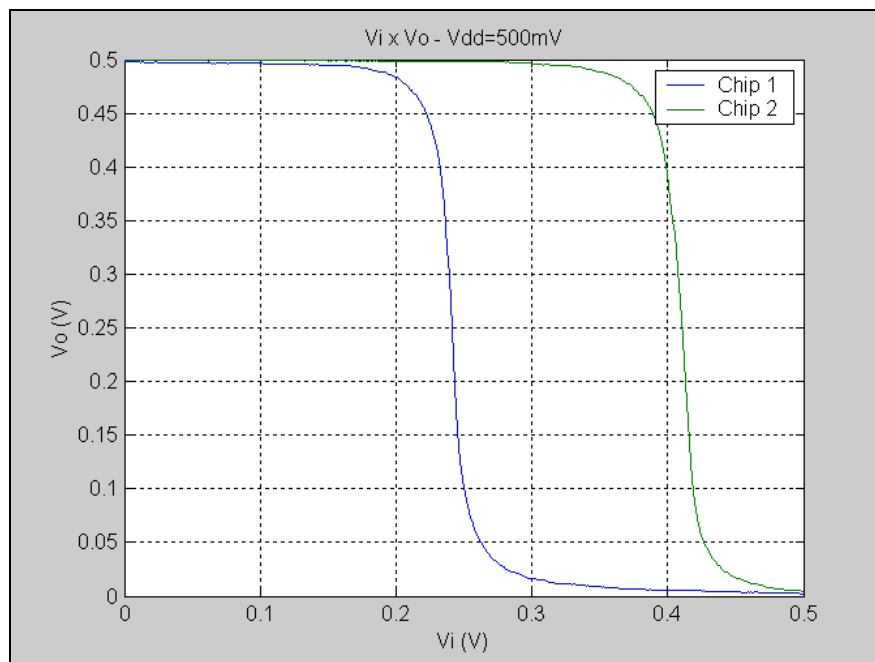


Fig.4.12: Transferência DC do Inversor – $V_{DD}=500\text{mV}$

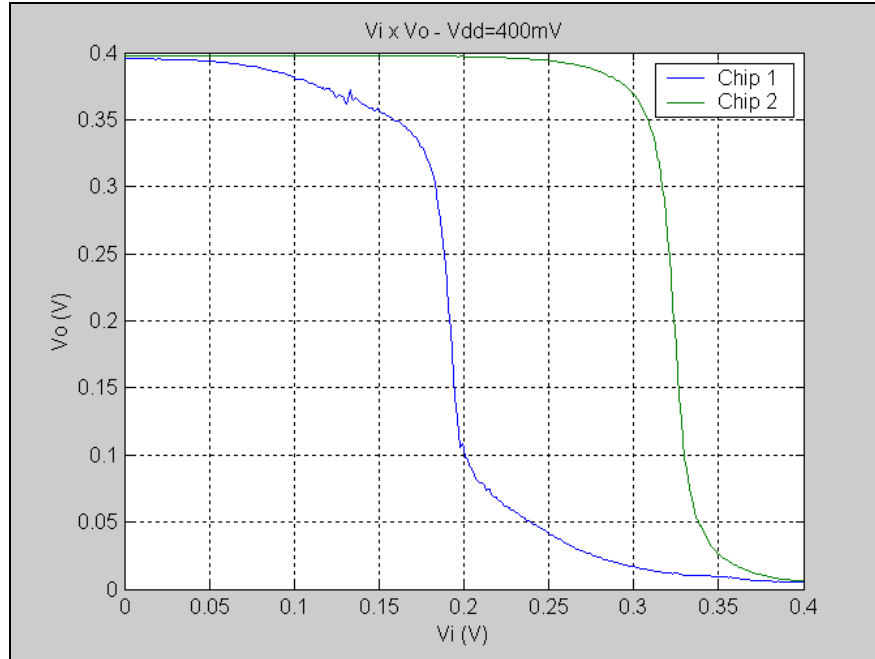


Fig.4.13: Transferência DC do Inversor – $V_{DD}=400\text{mV}$

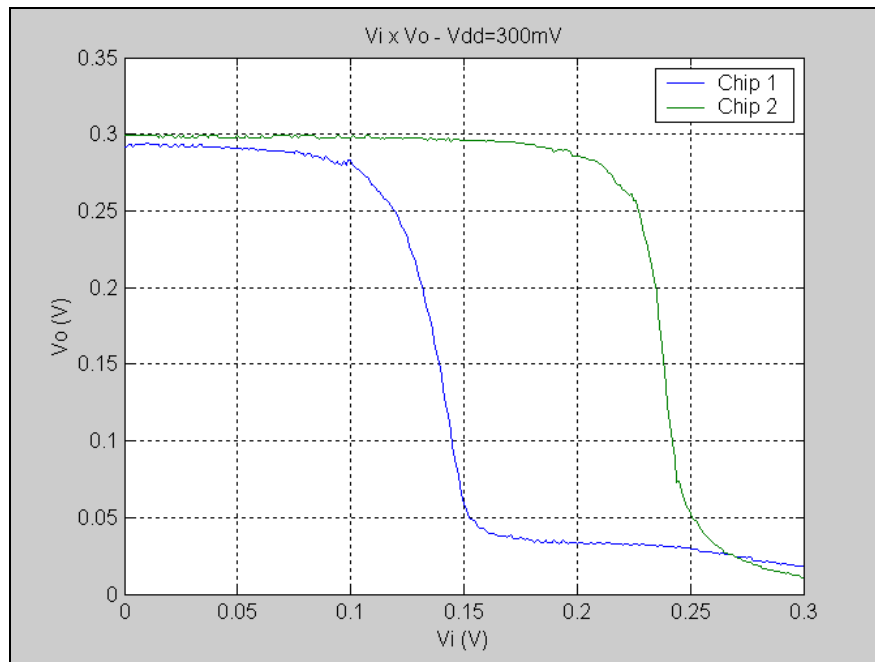


Fig.4.14: Transferência DC do Inversor – $V_{DD}=300\text{mV}$

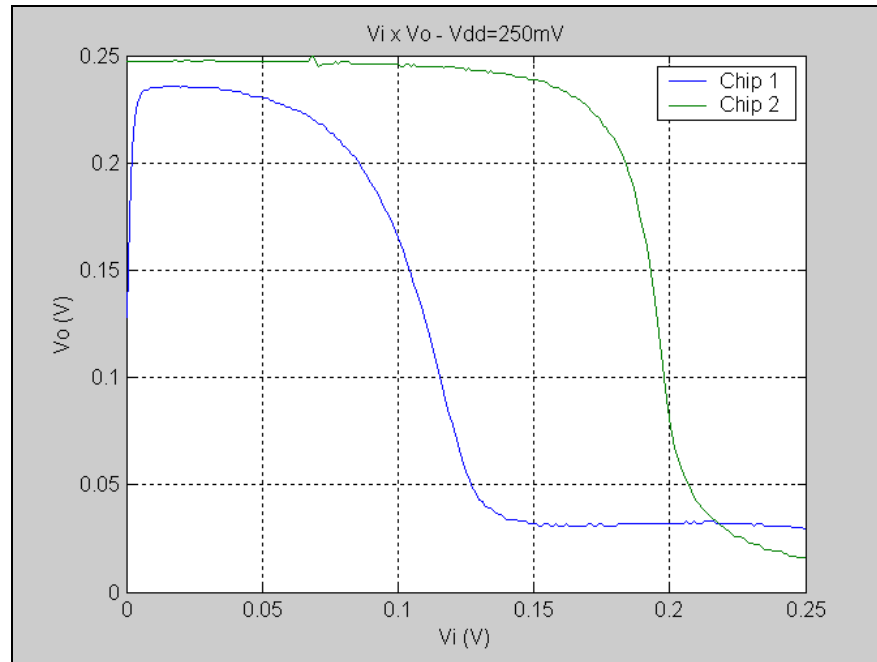


Fig.4.15: Transferência DC do Inversor – $V_{DD}=250\text{mV}$

O ganho do inversor na região linear, próxima da tensão de limiar, foi medido para as diferentes condições de alimentação, expressas nos gráficos anteriores. Um resumo dos valores obtidos é mostrado na tabela 4.2 e indica que quanto maior o V_{DD} maior o ganho. Abaixo de 250mV os circuitos deixaram de funcionar como esperado, pois a operação dos circuitos chegou próximo do limite teórico da mínima tensão de alimentação [22], que é de 100mV, em temperatura ambiente. Nesse caso, o ganho é igual a unidade.

Tabela 4.2: Ganho da região linear do inversor

Tensão (mV)	Ganho (V/V)	
	Chip 1	Chip 2
600	-16,3	-
500	-16,8	-14,1
400	-15,2	-13,8
300	-11,8	-7,6
250	-9,2	-4,2

4.1.4 Transferência DC da Porta NAND

Estendendo as medidas de transferência DC para a porta lógica NAND, com duas entradas, também se pode comprovar o funcionamento de mais uma porta lógica básica utilizada em circuitos digitais. Nesse caso somente resultados com a tecnologia TSMC 0,35 μ m foram obtidos. A tensão de polarização do circuito é proveniente do mesmo circuito do inversor, sem nenhuma alteração.

Na Fig.4.16, é mostrada a transferência DC da porta NAND, com tensão de alimentação igual a 500mV de duas formas. Na primeira, as duas entradas, representadas pelas tensões V_a e V_b , foram curto-circuitadas, ou seja, as tensões de entrada das duas portas variam concomitantemente ($V_a=V_b$). Na segunda, uma das tensões (V_b) foi mantida constante e igual a V_{DD} (um transistor PMOS cortados), enquanto que a outra (V_a) foi variada. Os resultados dos dois casos são bastante semelhantes, como era de se esperar, porém no caso em que ambas as tensões das entradas variam em conjunto, a tensão de limiar V_{TH} da porta lógica é mais elevada. Na primeira forma de medida a tensão de limiar é de 253mV e na segunda é de 219mV.

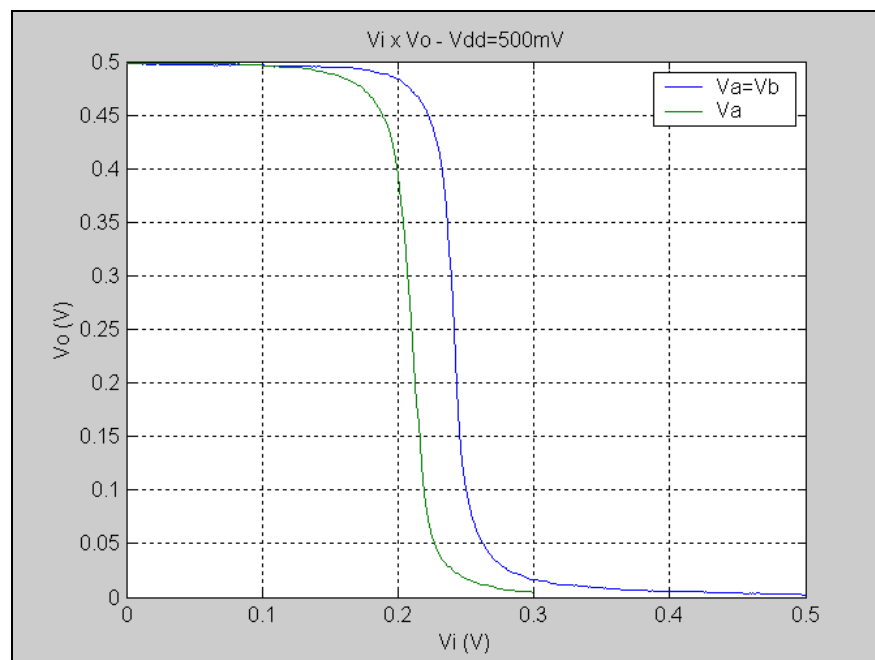


Fig.4.16: Transferência DC da porta NAND – VDD=500mV

4.2 RESPOSTA EM FREQUÊNCIA

Diversos elementos testes foram projetados para avaliar a resposta em frequência dos circuitos operando em inversão fraca, como já mostrados, através de medidas práticas. Entretanto para tais medidas é necessária a inclusão de *buffers* de corrente no próprio circuito para que as capacitâncias dos circuitos a serem medidos fiquem equalizadas com a capacitância de entrada do equipamento de medida, e os circuitos não fiquem sobrecarregados. A capacitância equivalente de saída do inversor, calculada pela expressão (2.12), na tecnologia TSMC 0.35 μ m é de aproximadamente 1fF, enquanto que a do osciloscópio utilizado é de aproximadamente 16pF. Para que as medidas sejam possíveis deve-se incluir ainda um seguidor de tensão, circuitos integrados BUF634 ou OPA37, com aproximadamente 6pF de capacitância de entrada, vista pelo circuito a ser medido. Infelizmente, esses *buffers* internos aos *chips* não foram incluídos, o que impossibilita a correta determinação da resposta em frequência de circuitos mais complexos como, por exemplo, o oscilador em anel, o contador binário e o latch-D.

Mesmo assim, foi realizada a medida da resposta do inversor na tecnologia TSMC 0.35 μ m, carregado com o seguidor de tensão e o osciloscópio, o que leva a um *fan-out* de aproximadamente 6000. Apesar desse valor extremamente alto, o objetivo da medida é comprovar a equalização dos tempos de subida e descida do inversor. Para isso foi utilizada uma onda quadrada, com diferentes tensões de alimentação e frequências de oscilação, como sinal de entrada do inversor, de acordo com o esquema da Fig.4.17. As tensões de saída do circuito lógico compensado, para diferentes condições, são mostradas nas Fig.4.18 a Fig.4.21, com a clara evidência da compensação dos tempos de subida e descida.

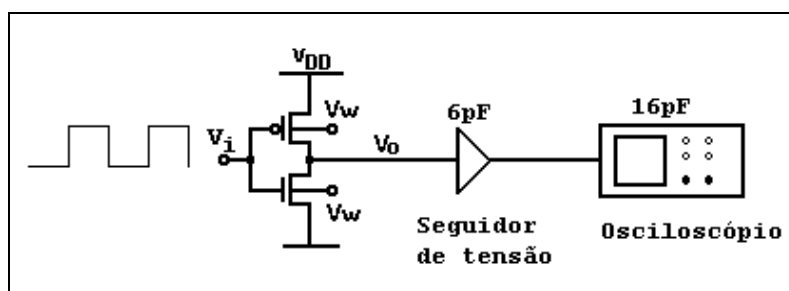


Fig.4.17: Esquema de medição do inversor

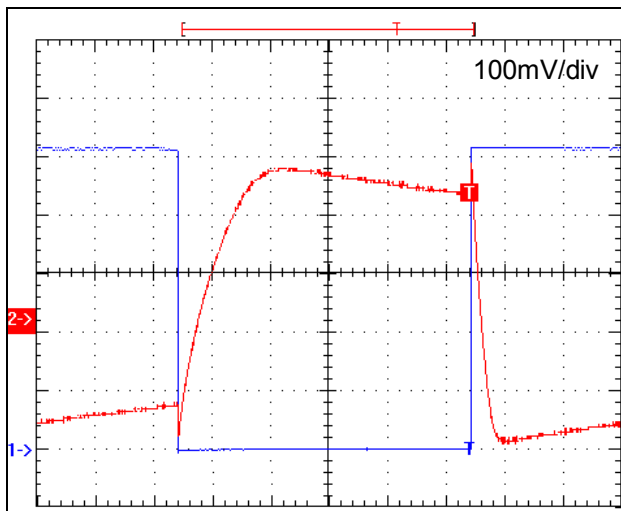


Fig.4.18: Resposta em Frequência do Inversor – $V_1 = 500\text{mV} / 1000\text{Hz}$

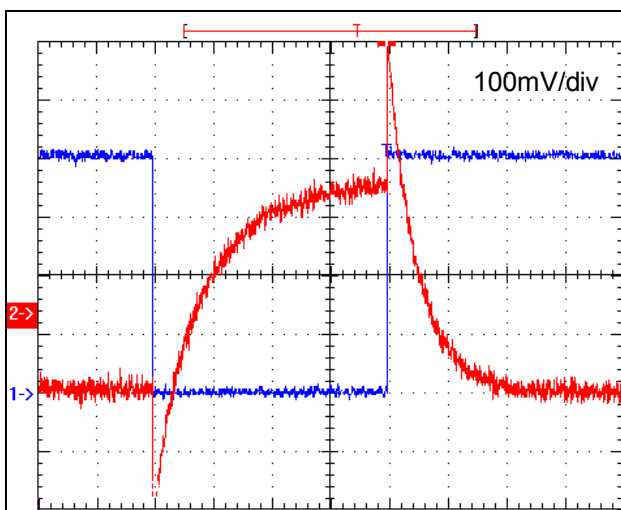


Fig.4.19: Resposta em Frequência do Inversor – $V_1 = 400\text{mV} / 500\text{Hz}$

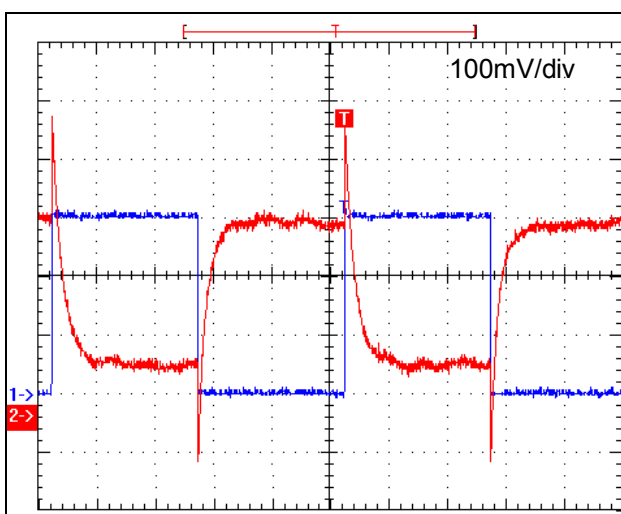


Fig.4.20: Resposta em Frequência do Inversor – $V_1 = 300\text{mV} / 200\text{Hz}$

Nas Fig.4.19 e 4.20 são visíveis *glitches* na tensão de saída durante a transição da entrada. Esse efeito é normal e é decorrente da injeção de carga acumulada nos capacitores do seguidor de tensão e do osciloscópio.

Na tabela 4.3, são mostrados os tempos de subida, T_{LH} , e descida, T_{HL} , do inversor operando nas condições mostradas nas Fig.4.18 a 4.20. Apesar dos tempos de subida e descida não serem exatamente iguais devido, principalmente, do ruído das fontes de alimentação utilizadas, é à partir desses resultados práticos que fica definitivamente comprovada a funcionalidade do método proposto. Uma relação de algumas poucas unidades entre os tempos de subida e descida é perfeitamente aceitável e bem abaixo da razão dos tempos se não fosse utilizada a compensação. Além disso, uma vez que foi utilizado um esquema de medida sem o *buffer* interno e que o *fan-out* é alto, a resposta em frequência do circuito é bastante baixa. Entretanto, se o *fan-out* fosse igual a um, teoricamente o circuito poderia ser utilizado em frequências na faixa de dezenas ou centenas de megahertz. A máxima frequência de operação dos circuitos, baseando-se na tabela 4.3, teoricamente pode chegar a 50MHz, 11,3MHz e 9,6MHz com tensões de alimentação de apenas 500mV, 400mV e 300mV, respectivamente, e um *fan-out* igual a um.

Tabela 4.3: Tempos de subida e descida do inversor (*fan-out* =20000)

V_{DD} (mV)	T_{HL} (μ s)	T_{LH} (μ s)	$f_{M\acute{A}X}$ (Hz)
500	24,2	96	8319
400	198	335	1876
300	374	248	1607

Novamente, com essas medidas atingiu-se tensão de alimentação próxima do limite teórico de 100mV [22].

Os outros circuitos projetados, o latch-D, o oscilador em anel e o contador binário de zero a nove, por não possuírem o *buffer* de corrente nos sinais de saída a serem medidos não puderam ser experimentados na prática. Entretanto, estes buffers, devem ser previstos em todos os circuitos nos quais se deseja fazer medidas de resposta em frequência. Assim, para uma capacitância de carga de aproximadamente 6pF (seguidor de tensão) deve-se utilizar seis estágios

inversores para formar o buffer, com uma relação dois na razão de aspecto dos transistores entre cada estágio [23]. O esquema do circuito inversor com o buffer de corrente para medidas é mostrado na Fig. 4.21.

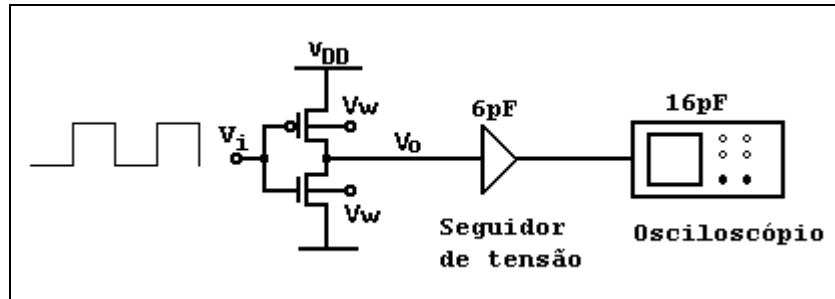


Fig.4.21: Medidas do Inversor com Buffer de Corrente

O mesmo circuito de buffer de corrente deve ser incluído em cada uma das saídas dos circuitos que se deseja fazer medidas de resposta em frequência. Nesse contexto, novos circuitos de elementos testes devem ser projetados para se realizar medidas práticas de componentes mais complexos e que possam ser utilizados na prática como, por exemplo, o latch-D, o oscilador em anel e o contador binário de zero a nove.

CAPÍTULO 5

CONCLUSÃO

Na presente dissertação foi analisado o comportamento das portas lógicas estáticas operando no regime de inversão fraca. Comparando-se esta família de portas com outras, conclui-se que ela é bastante atrativa para circuitos de baixo consumo de energia. Entretanto, deve ser utilizada em aplicações em que a principal especificação é o baixo consumo de energia, com relativamente baixa frequência de operação. Felizmente, verificou-se que as aplicações que atendem a estes requisitos, como microcontroladores, microprocessadores e filtros digitais, são fartas e podem operar em baixa frequência de relógio, entre alguns quilohertz até centenas de megahertz.

Nesse contexto, foi verificada também que a operação das portas lógicas estáticas no regime sub-limiar é extremamente dependente de parâmetros tecnológicos. Assim, técnicas de compensação devem ser aplicadas como, por exemplo, a polarização do corpo dos transistores. Baseando-se em uma proposta já existente na literatura foram sugeridos dois novos circuitos de polarização semelhantes, capazes de equalizar as correntes de dreno dos transistores e igualar os tempos de subida e descida. Um dos circuitos compensa as correntes de *drive* dos transistores NMOS e PMOS, o outro as correntes *OFF* e o terceiro as correntes tais que a tensão de porta dos transistores é a mesma que a tensão de polarização. Todos os circuitos se mostraram completamente funcionais e podem ser utilizados com bons resultados, como apresentado através de simulações e pelos circuitos experimentais fabricados especialmente para este propósito. Nessa idéia, diversas simulações foram realizadas com diferentes tecnologias e circuitos para comprovação da técnica. Além disso, para a completa comprovação do proposto, elementos testes foram fabricados em duas tecnologias diferentes,

AMIS $1,5\mu\text{m}$ e TSMC $0,35\mu\text{m}$, e se mostraram plenamente funcionais, com melhores resultados para a última tecnologia, que possui menor tensão de limiar. Foram analisados os comportamentos dos transistores individualmente e dos circuitos de polarização, a transferência DC do inversor e da porta lógica NAND e a resposta em frequência do inversor. Todos obtiveram resultados satisfatórios e dentro do esperado.

Entretanto, a análise das portas lógicas operando no regime de inversão fraca pode ser estendida para o desenvolvimento de sistemas eletrônicos completos. Circuitos inteiros e até mesmo sistemas podem utilizar a técnica proposta e se beneficiar do baixo consumo de energia. Por isso, como sugestões para continuidade em trabalhos futuros ficam as seguintes idéias:

- Analisar com mais profundidade o efeito da temperatura, inclusive com experimentação prática, sobre o circuito de polarização e as portas lógicas. Como mostrado, a temperatura degrada os bons resultados obtidos com o circuito de polarização e uma forma de contornar o problema deve ser buscada;
- Novos circuitos devem ser projetados e medidos para se avaliar de forma mais real e completa e com mais resultados práticos a frequência de operação que pode ser atingida com a técnica proposta. Circuitos complexos como os projetados podem reforçar o bom desempenho apresentado com circuitos básicos;
- Tecnologias atuais e mais recentes devem ser analisadas. Uma vez que a tendência futura é de se baixar cada vez mais a tensão de limiar, a técnica pode se beneficiar com esse fato. Entretanto, efeitos de segunda ordem intrínsecos das tecnologias sub-micrométricas podem afetar a operação dos circuitos e, por isso, uma análise mais detalhada deve ser realizada.
- Circuitos lógicos mais complexos, como por exemplo, microcontroladores e microprocessadores, circuitos de interface, filtros digitais e outros, projetados através de uma linguagem de descrição de hardware (HDL),

devem ser analisados em mais profundidade. Entretanto, não foi encontrada até o presente momento nenhuma ferramenta de síntese digital com foco em circuitos de baixo consumo de energia [6]. Para isso, sugere-se que uma biblioteca especialmente com esse objetivo seja desenvolvida e utilizada na síntese dos circuitos.

- Analisar o casamento (*matching*) dos transistores utilizados e seu efeito sobre a operação dos circuitos. Possivelmente, para se obter melhores resultados sejam empregados transistores maiores do que os mínimos oferecidas pela tecnologia.

ANEXO 1

FREQUÊNCIA DE OSCILAÇÃO DO OSCILADOR EM ANEL

A frequência de oscilação, F_{OSC} , do oscilador em anel pode ser expressa pela seguinte expressão [6]

$$F_{OSC} = \frac{1}{2 \cdot N \cdot t_p} \quad (A.1.1)$$

onde N é o número de estágios e t_p é o atraso de propagação dos inversores que compõem o oscilador. Este por sua vez depende do atraso do tempo de subida, t_{PLH} , e de descida, t_{PHL} , definidos como o tempo de atraso entre a tensão de saída e a tensão de entrada em $V_{DD}/2$.

$$t_p = \frac{t_{PLH} + t_{PHL}}{2} \quad (A.1.2)$$

Da mesma forma que foi realizado para o cálculo do tempo de descida e de subida do inversor não compensado, obtém-se

$$I_{DN(P)} = -(+)C_o \cdot \frac{dV_o}{dt} \quad (A.1.3)$$

$$I_{ON(P)} \cdot e^{\frac{V_{DD} - |V_{TN(P)}|}{n_{N(P)} \cdot \phi_T}} \cdot t_{PHL(LH)} = -(+)C_o \cdot V_o \Big|_{V_{DD}/2} \quad (A.1.4)$$

$$t_{PHL(LH)} = \frac{C_o \cdot V_{DD}}{2 \cdot I_{ON(P)} \cdot e^{\frac{V_{DD} - |V_{TN(P)}|}{n_{N(P)} \cdot \phi_T}}} \quad (A.1.5)$$

onde C_o é a capacitância equivalente de cada inversor.

Substituindo (A.1.2) e (A.1.5) em (A.1.1) e manipulando algebricamente a expressão, a freqüência de oscilação pode ser determinada por

$$F_{OSC} = \frac{2}{N \cdot V_{DD} \cdot C_O \cdot \left[\frac{1}{I_{ON} \cdot e^{\frac{V_{DD}-V_{TN}}{n_N \cdot \phi_T}}} + \frac{1}{I_{OP} \cdot e^{\frac{V_{DD}-|V_{TP}|}{n_P \cdot \phi_T}}} \right]} \quad (\text{A.1.6})$$

De forma semelhante, a freqüência de oscilação com compensação pode ser expressa por

$$F_{OSC} = \frac{2}{N \cdot V_{DD} \cdot C_O \cdot \left[\frac{1}{I_{DRIVE,N}} + \frac{1}{I_{DRIVE,P}} \right]} \quad (\text{A.1.7})$$

onde $I_{DRIVE,N(P)}$ é a corrente de saturação dos transistores determinadas por (3.20.a) e (3.20.b). Como as correntes são aproximadamente iguais a expressão reduz-se a

$$F_{OSC} = \frac{I_{DRIVE,N(P)}}{N \cdot V_{DD} \cdot C_O} \quad (\text{A.1.8})$$

ANEXO 2

PARÂMETROS TECNOLÓGICOS

A seguir são mostrados os parâmetros tecnológicos utilizados nas simulações e extraídos pela MOSIS, durante a fabricação dos circuitos. Os parâmetros utilizados foram dos modelos BSIM3v3 e ACM, no simulador SMASH. Para as simulações com o modelo ACM, a versão 4.0 do SMASH deve ser utilizada, obrigatoriamente. Inicialmente, nas simulações foram utilizados os parâmetros ACM, que possuem menos parâmetros e facilitam os cálculos à mão. Posteriormente, em outras simulações, foram utilizados os parâmetros BSIM3v3, que são mais completos que o modelo ACM. As tecnologias utilizadas em simulações foram AMS 0,8 μ m, BET 0,8 μ m (fictícia), AMS 0,35 μ m e TSMC 0,35 μ m e para fabricação a AMIS 1,5 μ m e TSMC 0,35 μ m.

A tecnologia BET 0,8 μ m, fictícia, foi criada baseada na tecnologia AMS 0,8 μ m, a partir dos valores dos parâmetros tecnológicos ideais ou nominais. Por exemplo, o valor de V_{TN} extraído da tecnologia AMS 0,8 μ m para o modelo ACM é de 0,845V, enquanto que o valor nominal é de 0,8V. Dessa forma, o valor de V_{TN} na tecnologia BET 0,8 μ m foi escolhido como sendo 0,8V, arbitrariamente. O mesmo ocorreu com os demais parâmetros, para facilitar cálculos e análises.

- Tecnologia AMS 0,8 μ m – modelo ACM

```

.MODEL ACMAN NMOS LEVEL=10
+ TOX=15.8E-9          UO=514          PHI=0.7
+ VTO=0.845           GAMMA=0.69        SIGMA=3.2E-15
+ THETA=0.2           VMAX=89.4E3       XJ=300E-9
+ PCLM=1.23           LD=209E-9         DW=3.853E-7
+ CGDO=3.5E-10        CGSO=3.5E-10      CGBO=1.5E-10
+ CJ=2.9E-4           CJSW=2.3E-10
+ RSH=2.5E1           JS=1E-5
+ CJ=2.9E-4           CJSW=2.3E-10
+ MJ=4.6E-01          MJSW=3.3E-01
+ PB=8.6E-01
*-----
.MODEL ACMAP PMOS LEVEL=10
+ TOX=16.27E-9        UO=190           PHI=0.7
+ VTO=VTP             GAMMA=0.463       SIGMA=8.9E-15
+ THETA=0.31          VMAX=98.2E3       XJ=300E-9
+ PCLM=1.62           LD=54.86E-9       DW=3.844E-07
+ CGDO=3.5E-10        CGSO=3.500E-10    CGBO=1.500E-10
+ CJ=2.9E-04          CJSW=2.300E-10
+ RSH=2.6E+01         JS=1E-5
+ CJ=2.9E-04          CJSW=2.300E-10
+ MJ=4.6E-01          MJSW=3.300E-01
+ PB=8.4E-01
*-----

```

- Tecnologia AMS 0,8 μ m – modelo BSIM3v3

```

.MODEL MODN NMOS LEVEL=8
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 NOIMOD =1.000e+00
+K1      =1.183e+00 K2      =-1.59e-01 K3      =1.404e-01 K3B     =-3.19e-01
+NCH     =6.937e+16 VTH0    =8.357e-01 VOFF    =-9.95e-02
+DVT0    =3.368e+00 DVT1    =7.995e-01 DVT2    =-1.72e-01 KETA     =-2.55e-02
+PSCBE1  =4.194e+08 PSCBE2  =1.000e-04
+DVT0W   =-3.78e-01 DVT1W   =2.061e+05 DVT2W   =-1.36e-01
+UA      =1.000e-12 UB      =2.199e-18 UC      =5.554e-11 UO      =4.872e+02
+DSUB    =5.000e-01 ETA0    =6.982e-03 ETAB    =-2.63e-02
+NFACTOR =6.710e-01 EM      =4.100e+07 PCLM    =1.101e+00
+PDIBLC1 =4.797e-02 PDIBLC2 =9.152e-04 DROUT   =5.000e-01
+A0       =8.383e-01 A1       =0.000e+00 A2       =1.000e+00
+PVAG     =0.000e+00 VSAT    =9.079e+04 AGS      =1.583e-01
+B0       =2.356e-07 B1       =0.000e+00 DELTA    =1.000e-02
+PDIBLCB =3.040e-01 W0       =1.633e-06 DLC      =2.090e-07
+DWC      =3.853e-07 DWB      =0.000e+00 DWG      =0.000e+00
+LL       =0.000e+00 LW       =0.000e+00 LWL      =0.000e+00
+LLN      =1.000e+00 LWN      =1.000e+00 WL       =0.000e+00
+WW       =0.000e+00 WWL      =0.000e+00 WLN      =1.000e+00
+WWN      =1.000e+00 AT       =3.300e+04 UTE      =-1.80e+00
+KT1      =-4.11e-01 KT2      =2.200e-02 KT1L     =0.000e+00
+UA1      =0.000e+00 UB1      =0.000e+00 UC1      =0.000e+00
+PRT      =0.000e+00 CGDO     =3.500e-10 CGSO     =3.500e-10 CGBO     =1.500e-10
+CGDL     =0.000e+00 CGSL     =0.000e+00 CKAPPA  =6.000e-01
+CF       =0.000e+00 ELM      =5.000e+00 XPART    =1.000e+00
+CLC      =1.000e-15 CLE      =6.000e-01 RDSW     =1.776e+03
+CDSC     =1.269e-03 CDSCB    =3.987e-04 CDSCD    =9.439e-05
+PRWB     =0.000e+00 PRWG     =0.000e+00 CIT      =2.566e-05
+TOX      =1.585e-08 NLX      =1.000e-10
+ALPHA0   =0.000e+00 BETA0    =3.000e+01
+AF       =1.451e+00 KF       =2.330e-26 EF       =1.000e+00
+NOIA     =1.000e+20 NOIB     =5.000e+04 NOIC     =-1.40e-12
+LINT     =2.090e-07 WINT     =3.853e-07 XJ       =3.000e-07
+RSH      =2.500e+01 JS       =1.000e-05
+CJ       =2.900e-04 CJSW    =2.300e-10
+MJ       =4.600e-01 MJSW    =3.300e-01
+PB       =8.600e-01 PBSW    =8.600e-01
* -----

```

```

.MODEL MODP PMOS LEVEL=8
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 NOIMOD =1.000e+00
+K1      =5.752e-01 K2      =-3.60e-02 K3      =8.354e+00 K3B     =2.133e-01
+NCH     =3.659e+16 VTH0   =-7.44e-01 VOFF    =-9.71e-02
+DVT0    =7.075e-01 DVT1   =4.135e-01 DVT2    =-1.98e-01 KETA     =-1.18e-03
+PSCBE1  =1.459e+08 PSCBE2 =2.562e-07
+DVT0W   =6.991e+00 DVT1W  =6.689e+05 DVT2W   =1.091e-01
+UA      =1.184e-09 UB      =2.053e-18 UC      =-2.36e-11
+U0      =1.972e+02 DSUB   =5.000e-01 ETA0    =6.488e-02 ETAB     =-1.81e-02
+NFACTOR =6.729e-01 EM      =4.100e+07 PCLM   =2.335e+00
+PDIBLC1 =1.056e-02 PDIBLC2 =2.002e-03 DROUT   =5.000e-01
+A0      =6.233e-02 A1      =0.000e+00 A2      =1.000e+00
+PVAG    =0.000e+00 VSAT   =9.829e+04 AGS     =1.540e-01
+B0      =2.667e-07 B1      =0.000e+00 DELTA   =1.000e-02
+PDIBLCB =3.714e-01 W0      =6.651e-07 DLC     =5.486e-08
+DWC     =3.844e-07 DWB     =0.000e+00 DWG     =0.000e+00
+LL      =0.000e+00 LW      =0.000e+00 LWL     =0.000e+00
+LLN     =1.000e+00 LWN     =1.000e+00 WL      =0.000e+00
+WW      =0.000e+00 WWL     =0.000e+00 WLN     =1.000e+00
+WWN     =1.000e+00 AT      =3.300e+04 UTE     =-1.49e+00
+KT1     =-5.34e-01 KT2     =2.200e-02 KT1L    =0.000e+00
+UA1     =0.000e+00 UB1     =0.000e+00 UC1     =0.000e+00
+PRT     =0.000e+00 CGDO    =3.500e-10 CGSO    =3.500e-10
+CGBO    =1.500e-10 CGDL    =0.000e+00 CGSL    =0.000e+00
+CKAPPA  =6.000e-01 CF      =0.000e+00 ELM     =5.000e+00
+XPART   =1.000e+00 CLC     =1.000e-15 CLE     =6.000e-01
+RDSW    =2.979e+03 CDSC    =0.000e+00 CDSCB   =1.000e-05
+CDSCD   =0.000e+00 PRWB    =0.000e+00 PRWG    =0.000e+00
+CIT      =0.000e+00 TOX     =1.627e-08 NLX     =1.466e-07
+ALPHA0  =0.000e+00 BETA0   =3.000e+01
+AF      =1.279e+00 KF      =6.314e-29 EF      =1.000e+00
+NOIA    =1.000e+20 NOIB    =5.000e+04 NOIC    =-1.40e-12
+LINT    =5.486e-08 WINT    =3.844e-07 XJ      =3.000e-07
+RSH     =4.800e+01 JS      =4.000e-05 CJ      =4.900e-04 CJSW    =2.100e-10
+MJ      =4.700e-01 MJSW   =2.900e-01 PB      =8.000e-01 PBSW    =8.000e-01
* -----

```

- Tecnologia fictícia BET 0,8 μ m – modelo ACM

```
.MODEL MOSN NMOS LEVEL=10
+ TOX=15E-9          UO=520          PHI=0.7
+ VTO=0.8           GAMMA=0.7        SIGMA=3E-15
+ THETA=0.2         VMAX=104E3       XJ=300E-9
+ PCLM=1.2          LD=200E-9        DW=4E-7
+ CGDO=3.5E-10     CGSO=3.5E-10       CGBO=1.5E-10
+ CJ=3E-4           CJSW=2.3E-10
+ RSH=25            JS=10E-6
+ CJ=3E-4           CJSW=2.3E-10
+ MJ=4.6E-01       MJSW=3.3E-01
+ PB=8E-01
```

*-----

```
.MODEL MOSP PMOS LEVEL=10
+ TOX=15E-9          UO=200          PHI=0.7
+ VTO=-0.8          GAMMA=0.5        SIGMA=9E-15
+ THETA=0.3         VMAX=120E3       XJ=300E-9
+ PCLM=1.6          LD=55E-9         DW=4E-07
+ CGDO=3.5E-10     CGSO=3.500E-10   CGBO=1.500E-10
+ CJ=3E-04          CJSW=2.300E-10
+ RSH=25            JS=10E-6
+ CJ=3E-04          CJSW=2.300E-10
+ MJ=4.6E-01       MJSW=3.300E-01
+ PB=8E-01
```

*-----

- Tecnologia AMS 0,35 μ m – modelo BSIM3v3

```

.MODEL MODN NMOS LEVEL=8
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 NOIMOD =3.000e+00
+K1      =6.044e-01
+K2      =2.945e-03 K3      =-1.715e+00 K3B      =6.325e-01
+NCH     =2.310e+17 VTH0    =5.655e-01
+VOFF    =-5.719e-02 DVT0   =2.227e+01 DVT1     =1.051e+00
+DVT2    =3.393e-03 KETA   =-6.207e-04
+PSCBE1  =2.756e+08 PSCBE2 =9.645e-06
+DVT0W   =0.000e+00 DVT1W  =0.000e+00 DVT2W   =0.000e+00
+UA      =1.000e-12 UB     =1.723e-18 UC     =5.756e-11
+U0      =4.035e+02
+DSUB    =5.000e-01 ETA0   =3.085e-02 ETAB    =-3.947e-02
+NFACTOR=1.119e-01
+EM      =4.100e+07 PCLM   =6.831e-01
+PDIBLC1=1.076e-01 PDIBLC2=1.453e-03 DROUT   =5.000e-01
+A0      =2.208e+00 A1     =0.000e+00 A2     =1.000e+00
+PVAG    =0.000e+00 VSAT   =1.178e+05 AGS     =2.490e-01
+B0      =-1.765e-08 B1     =0.000e+00 DELTA  =1.000e-02
+PDIBLCB=2.583e-01
+W0      =1.184e-07 DLC     =3.000e-08
+DWB     =0.000e+00 DWG    =0.000e+00
+LL      =0.000e+00 LW     =0.000e+00 LWL     =0.000e+00
+LLN     =1.000e+00 LWN    =1.000e+00 WL     =0.000e+00
+WW      =0.000e+00 WWL    =0.000e+00 WLN     =1.000e+00
+WWN     =1.000e+00
+AT      =3.300e+04 UTE    =-1.800e+00
+KT1     =-3.302e-01 KT2   =2.200e-02 KT1L    =0.000e+00
+UA1     =0.000e+00 UB1   =0.000e+00 UC1     =0.000e+00
+PRT     =0.000e+00
+CGDO    =1.300e-10 CGSO   =1.300e-10 CGBO    =1.100e-10
+CGDL    =1.380e-10 CGSL   =1.380e-10 CKAPPA =6.000e-01
+CF      =0.000e+00 ELM    =5.000e+00
+XPART   =1.000e+00 CLC    =1.000e-15 CLE     =6.000e-01
+RDSW    =6.043e+02
+CDSC    =0.000e+00 CDSCB  =0.000e+00 CDSCD   =8.448e-05
+PRWB    =0.000e+00 PRWG   =0.000e+00 CIT     =1.000e-03
+TOX     =7.700e-09
+NLX     =1.918e-07
+ALPHA0  =0.000e+00 BETA0  =3.000e+01
+AF      =1.3600e+00 KF     =5.1e-27 EF     =1.000e+00
+NOIA    =1.73e+19 NOIB    =7.000e+04 NOIC    =-5.64e-13
+LINT    =8.285e-09 WINT   =2.676e-08 XJ     =3.000e-07
+RSH     =8.200e+01 JS     =2.000e-05
+CJ      =9.300e-04 CJSW  =2.800e-10
+MJ      =3.100e-01 MJSW  =1.900e-01
+PB      =6.900e-01 PBSW  =6.900e-01
* -----

```



```

.MODEL MODP PMOS LEVEL=8
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 NOIMOD =3.000e+00
+K1      =5.675e-01
+K2      =-4.39e-02 K3      =4.540e+00 K3B     =-8.518e-01
+NCH     =1.032e+17 VTH0    =-6.171e-01
+VOFF    =-1.128e-01 DVT0   =1.482e+00 DVT1    =3.884e-01
+DVT2    =-1.154e-02 KETA   =-2.558e-02
+PSCBE1  =1.000e+09 PSCBE2 =1.000e-08
+DVT0W   =0.000e+00 DVT1W  =0.000e+00 DVT2W   =0.000e+00
+UA      =2.120e-10 UB      =8.290e-19 UC      =-5.284e-11
+U0      =1.296e+02
+DSUB    =5.000e-01 ETA0    =2.293e-01 ETAB     =-3.917e-03
+NFACTOR =8.237e-01
+EM      =4.100e+07 PCLM    =2.979e+00
+PDIBLC1 =3.310e-02 PDIBLC2 =1.000e-09 DROUT    =5.000e-01
+A0      =1.423e+00 A1      =0.000e+00 A2      =1.000e+00
+PVAG    =0.000e+00 VSAT    =2.000e+05 AGS      =3.482e-01
+B0      =2.719e-07 B1      =0.000e+00 DELTA    =1.000e-02
+PDIBLCB =-1.777e-02
+W0      =4.894e-08 DLC      =2.500e-08
+DWB     =0.000e+00 DWG     =0.000e+00
+LL      =0.000e+00 LW      =0.000e+00 LWL     =0.000e+00
+LLN     =1.000e+00 LWN     =1.000e+00 WL      =0.000e+00
+WW      =0.000e+00 WWL     =0.000e+00 WLN     =1.000e+00
+WWN     =1.000e+00
+AT      =3.300e+04 UTE     =-1.350e+00
+KT1     =-5.703e-01 KT2    =2.200e-02 KT1L    =0.000e+00
+UA1     =0.000e+00 UB1    =0.000e+00 UC1     =0.000e+00
+PRT     =0.000e+00
+CGDO    =1.100e-10 CGSO    =1.100e-10 CGBO    =1.100e-10
+CGDL    =1.150e-10 CGSL    =1.150e-10 CKAPPA  =6.000e-01
+CF      =0.000e+00 ELM     =5.000e+00
+XPART   =1.000e+00 CLC     =1.000e-15 CLE     =6.000e-01
+RDSW    =1.853e+03
+CDSC    =6.994e-04 CDSCB   =2.943e-04 CDSCD   =1.970e-04
+PRWB    =0.000e+00 PRWG    =0.000e+00 CIT     =1.173e-04
+TOX     =7.700e-09
+N LX    =1.770e-07
+ALPHA0  =0.000e+00 BETA0   =3.000e+01
+AF      =1.48e+00 KF       =8.5e-27 EF       =1.000e+00
+NOIA    =1.52e+18 NOIB    =7.75e+03 NOIC    =5.0e-13
+LINT    =-5.64e-08 WINT    =3.845e-08 XJ       =3.000e-07
+RSH     =1.560e+02 JS      =2.000e-05
+CJ      =1.420e-03 CJSW    =3.800e-10
+MJ      =5.500e-01 MJSW    =3.900e-01
+PB      =1.020e+00 PBSW    =1.020e+00

```

* -----

- Tecnologia TSMC 0,35 μ m – modelo BSIM3v3

```

.MODEL NMOS NMOS (
+VERSION = 3.1          TNOM      = 27          LEVEL   = 8
+XJ          = 1E-7      NCH      = 2.2E17      TOX     = 7.8E-9
+K1          = 0.5703777 K2      = 0.0177952   VTH0    = 0.5489781
+K3B        = -10       W0      = 5.702177E-6   K3      = 0.2462456
+DVT0W      = 0         DVT1W   = 0          NLX     = 1.923501E-7
+DVT0       = 2.8765237 DVT1    = 0.7666657   DVT2W  = 0
+U0         = 424.8175205 UA      = -1.40647E-11   DVT2   = -0.1289256
+UC         = 3.792303E-11 VSAT    = 1.68779E5     UB      = 1.504204E-18
+AGS        = 0.1876717 B0      = 1.20039E-6   A0      = 1.2410197
+KETA       = 8.472374E-3 A1      = 0          B1      = 5E-6
+RDSW       = 1.018719E3 PRWG    = -0.0267917  A2      = 0.3759311
+WR         = 1         WINT    = 1.421905E-7 PRWB    = -0.0745329
+XL         = -5E-8     XW      = 1.5E-7     LINT    = 0
+DWB        = 7.764485E-10 VOFF    = -0.0849451  DWG     = -3.750191E-9
+CIT        = 0         CDSC    = 2.4E-4     NFACTOR = 1.3086711
+CDSCB      = 0         ETA0    = 0.6347405   CDSCD   = 0
+DSUB       = 0.8691331 PCLM    = 1.7023053   ETAB    = 3.987499E-3
+PDIBLC2    = 4.373453E-3 PDIBLCB = 0.0621348   PDIBLC1 = 1.064032E-3
+PSCBE1     = 7.375017E8 PSCBE2  = 1E-3       DROUT   = 0.0698852
+DELTA      = 0.01     RSH     = 3.2       PVAG    = 0
+PRT        = 0         UTE     = -1.5      MOBMOD  = 1
+KT1L       = 0         KT2     = 0.022    KT1     = -0.11
+UB1        = -7.61E-18 UC1     = -5.6E-11  UA1     = 4.31E-9
+WL         = 0         WLN     = 1        AT      = 3.3E4
+WWN        = 1         WWL     = 0       WW      = 0
+LLN        = 1         LW      = 0       LL      = 0
+LWL        = 0         CAPMOD  = 2       LWN     = 1
+CGDO       = 2.74E-10 CGSO    = 2.74E-10  XPART   = 0.5
+CJ         = 9.885241E-4 PB      = 0.8       CGBO    = 1E-12
+CJSW       = 3.718969E-10 PBSW    = 0.8      MJ      = 0.3309477
+CJSWG      = 1.82E-10  PBSWG   = 0.8     MJSW   = 0.1348345
+CF         = 0         PVTH0   = -0.0205624 MJSWG  = 0.1348345
+PK2        = 1.017395E-3 WKETA   = -8.530987E-3 PRDSW  = -96.4465853
)                  LKETA   = -4.227194E-3

```

```

.MODEL PMOS PMOS (
+VERSION = 3.1          TNOM    = 27          LEVEL   = 8
+XJ      = 1E-7        NCH     = 8.52E16       TOX     = 7.8E-9
+K1      = 0.4655026   K2     = -0.0162825    VTH0    = -0.647182
+K3B     = -1.6379212  W0     = 1.583368E-6   K3      = 30.3277658
+DVT0W   = 0          DVT1W  = 0           NLX     = 2.445002E-7
+DVT0    = 1.1383021  DVT1   = 0.5816997   DVT2W   = 0
+U0      = 154.6001152 UA     = 1E-10        DVT2    = -0.0628995
+UC      = -9.56755E-12 VSAT   = 1.253245E5   UB      = 1.945327E-18
+AGS     = 0.3651514  B0     = 2.30729E-6   A0      = 1.0621045
+KETA    = -5.315135E-3 A1     = 7.427067E-4  B1      = 5E-6
+RDSW   = 4E3        PRWG   = -0.1255351  A2      = 0.5159983
+WR      = 1         WINT   = 1.375183E-7  PRWB   = 0.1291205
+XL      = -5E-8     XW     = 1.5E-7       LINT    = 0
+DWB     = 1.112793E-8 VOFF   = -0.1303041  DWG     = -1.135248E-8
+CIT     = 0         CDSC   = 2.4E-4       NFACTOR = 2
+CDSCB   = 0        ETA0   = 1.600647E-3  CDSCD   = 0
+DSUB    = 6.149332E-3 PCLM   = 3.617664    ETAB    = 3.828331E-5
+PDIBLC2 = 1.137352E-3 PDIBLCB = -1E-3       PDIBLC1 = 0.0809914
+PSCBE1  = 7.814379E10 PSCBE2 = 5E-10       DROUT   = 0.385733
+DELTA   = 0.01     RSH    = 2.5        PVAG    = 1.8313772
+PRT     = 0        UTE    = -1.5       MOBMOD  = 1
+KT1L    = 0        KT2    = 0.022     KT1     = -0.11
+UB1     = -7.61E-18 UC1     = -5.6E-11  UA1     = 4.31E-9
+WL      = 0        WLN    = 1         AT      = 3.3E4
+WWN     = 1        WWL    = 0       WW      = 0
+LLN     = 1        LW     = 0       LL     = 0
+LWL     = 0        CAPMOD = 2        LWN    = 1
+CGDO    = 3.09E-10 CGSO    = 3.09E-10  XPART  = 0.5
+CJ      = 1.421775E-3 PB      = 0.99     CGBO   = 1E-12
+CJSW    = 4.003101E-10 PBSW   = 0.99     MJ     = 0.5555958
+CJSWG   = 4.42E-11  PBSWG  = 0.99     MJSW  = 0.2964776
+CF      = 0        PVTH0  = 9.665284E-3 MJSWG  = 0.2964776
+PK2     = 1.226446E-3 WKETA  = 7.630843E-4 PRDSW  = 35.6037067
)          LKETA  = -3.344572E-3

```

• Tecnologia TSMC 0,35 μ m – modelo BSIM3v3 – extraídos durante a fabricação

```
.MODEL CMOSN NMOS (
+VERSION = 3.1          TNOM    = 27          TOX    = 7.7E-9
+XJ      = 1E-7         NCH    = 2.2E17         VTH0   = 0.479871
+K1      = 0.5955345   K2    = 4.870054E-3   K3     = 31.0560237
+K3B     = -10         W0    = 1.927877E-5   NLX    = 2.315339E-7
+DVT0W   = 0          DVT1W  = 0          DVT2W  = 0
+DVT0    = 3.7277856  DVT1   = 0.7127523   DVT2   = -0.1341752
+U0      = 370.5621715 UA    = -6.20728E-10  UB     = 2.12351E-18
+UC      = 3.946931E-11 VSAT  = 1.578372E5    A0     = 1.3160965
+AGS     = 0.2035805  B0    = 8.684055E-7   B1     = 5E-6
+KETA    = 1.195258E-3 A1    = 5.01445E-4    A2     = 0.4367848
+RDSW    = 930.3632681 PRWG  = -0.0662495   PRWB   = -0.1020032
+WR      = 1          WINT   = 1.543877E-7  LINT   = 2.502774E-10
+XL      = -5E-8      XW    = 1.5E-7       DWG    = -5.601953E-9
+DWB     = 4.116379E-9 VOFF  = -0.077016    NFACTOR = 1.4098046
+CIT     = 0          CDSC  = 2.4E-4       CDSCD  = 0
+CDSCB   = 0         ETA0  = 1           ETAB   = 9.332354E-3
+DSUB    = 0.8313448 PCLM  = 1.6100703    PDIBLC1 = 1.908382E-3
+PDIBLC2 = 2.883754E-6 PDIBLCB = -1E-3         DROUT  = 0
+PSCBE1  = 7.38739E8  PSCBE2 = 9.669555E-4  PVAG   = 0
+DELTA   = 0.01      RSH   = 80.7        MOBMOD  = 1
+PRT     = 0         UTE   = -1.5       KT1    = -0.11
+KT1L    = 0         KT2   = 0.022      UA1    = 4.31E-9
+UB1     = -7.61E-18 UC1    = -5.6E-11   AT     = 3.3E4
+WL      = 0         WLN   = 1         WW     = 0
+WWN     = 1         WWL   = 0         LL     = 0
+LLN     = 1         LW    = 0         LWN   = 1
+LWL     = 0         CAPMOD = 2        XPART  = 0.5
+CGDO    = 2.85E-10  CGSO  = 2.85E-10    CGBO   = 1E-12
+CJ      = 9.055464E-4 PB     = 0.8         MJ     = 0.3471175
+CJSW    = 3.480887E-10 PBSW  = 0.8         MJSW  = 0.1340635
+CJSWG   = 1.82E-10  PBSWG = 0.8         MJSWG = 0.1340635
+CF      = 0         PVTH0 = -0.0186275   PRDSW  = -101.4287928
+PK2     = 3.100094E-3 WKETA = -1.618383E-3  LKETA  = 4.928755E-4
)
*
```

```

.MODEL CMOSP PMOS (
+VERSION = 3.1          TNOM    = 27          LEVEL  = 49
+XJ      = 1E-7        NCH    = 8.52E16       TOX    = 7.7E-9
+K1      = 0.4288598  K2    = -0.0114832    VTH0   = -0.7350925
+K3B     = -5         W0    = 4.171945E-6   K3     = 47.2991619
+DVT0W   = 0         DVT1W  = 0          NLX    = 2.858711E-7
+DVT0    = 1.3953697  DVT1   = 0.5738767   DVT2W  = 0
+U0      = 148.7534168 UA    = 1.311082E-10  DVT2   = -0.017946
+UC      = -2.16371E-11 VSAT  = 1.063971E5    UB     = 1.681499E-18
+AGS     = 0.3718935  B0    = 2.707795E-6   A0     = 1.1377393
+KETA    = -5.402566E-3 A1    = 0          B1     = 5E-6
+RDSW    = 4E3       PRWG   = -0.1143203  A2     = 0.5708398
+WR      = 1        WINT   = 1.455594E-7  PRWB   = 0.2137738
+XL      = -5E-8     XW    = 1.5E-7       LINT   = 0
+DWB     = 8.356249E-9 VOFF  = -0.1357486   DWG    = -1.395886E-8
+CIT     = 0        CDSC   = 2.4E-4       NFACTOR = 2
+CDSCB   = 0       ETA0   = 0.0584765    CDSCD  = 0
+DSUB    = 0.6168241 PCLM  = 3.9466493    ETAB   = 0.1338624
+PDIBLC2 = 2.719856E-3 PDIBLCB = 4.291327E-3  PDIBLC1 = 6.201752E-3
+PSCBE1  = 8E10    PSCBE2 = 5E-10       DROUT  = 0.0605352
+DELTA   = 0.01    RSH    = 156.9      PVAG   = 1.0085966
+PRT     = 0       UTE    = -1.5      MOBMOD = 1
+KT1L    = 0       KT2    = 0.022     KT1    = -0.11
+UB1     = -7.61E-18 UC1    = -5.6E-11  UA1    = 4.31E-9
+WL      = 0       WLN    = 1        AT     = 3.3E4
+WWN     = 1       WWL    = 0       WW     = 0
+LLN     = 1       LW     = 0       LL    = 0
+LWL     = 0       CAPMOD = 2       LWN   = 1
+CGDO    = 3.31E-10 CGSO   = 3.31E-10  XPART  = 0.5
+CJ      = 1.424439E-3 PB     = 0.99      CGBO   = 1E-12
+CJSW    = 3.914772E-10 PBSW   = 0.99      MJ     = 0.546665
+CJSWG   = 4.42E-11  PBSWG  = 0.99     MJSW  = 0.3050481
+CF      = 0       PVTH0  = 6.780387E-3 MJSWG = 0.3050481
+PK2     = 1.444567E-3 WKETA  = -1.356105E-3 PRDSW  = -7.3589179
)
*
LKETA   = -5.850895E-3

```

• Tecnologia AMIS 1,5 μ m – modelo BSIM3v3 – extraídos durante a fabricação

```

.MODEL CMOSN NMOS (
+VERSION = 3.1          TNOM    = 27          LEVEL  = 49
+XJ          = 3E-7      NCH     = 7.5E16       TOX    = 3.17E-8
+K1          = 0.9888895 K2     = -0.088491    VTH0   = 0.5411966
+K3B        = -1.9600226 W0     = 1.154047E-6   K3     = 2.2821274
+DVT0W      = 0         DVT1W  = 0           NLX    = 1E-8
+DVT0       = 0.7888622 DVT1   = 0.2484332   DVT2W  = 0
+U0         = 635.6213774 UA     = 1.192582E-9    DVT2   = -0.1893183
+UC         = 2.216389E-11 VSAT   = 1.107551E5     UB     = 2.249227E-18
+AGS        = 0.1185576 B0     = 2.231643E-6   A0     = 0.5996649
+KETA       = -4.554948E-3 A1     = 0           B1     = 5E-6
+RDSW       = 3E3      PRWG    = -0.0210556   A2     = 1
+WR         = 1        WINT    = 7.575466E-7   PRWB   = -0.0348979
+XL         = 0        XW     = 0           LINT   = 2.290759E-7
+DWB        = 2.857465E-8 VOFF   = -2.080034E-3 DWG    = -1.647646E-8
+CIT        = 0        CDSC    = 0           NFACTOR = 0.6581796
+CDSCB      = 1.256029E-5 ETA0    = -0.9280471     CDSCD  = 0
+DSUB       = 0.928588 PCLM   = 1.2825948   ETAB   = -0.4586256
+PDIBLC2    = 2.045422E-3 PDIBLCB = -0.1         PDIBLC1 = 9.148022E-3
+PSCBE1     = 2.177406E9 PSCBE2 = 5E-10         DROUT  = 0.0628104
+DELTA      = 0.01    RSH    = 54.5         PVAG   = 0.1940505
+PRT        = 0        UTE    = -1.5        MOBMOD = 1
+KT1L       = 0        KT2    = 0.022       KT1    = -0.11
+UB1        = -7.61E-18 UC1     = -5.6E-11   UA1    = 4.31E-9
+WL         = 0        WLN    = 1           AT     = 3.3E4
+WWN        = 1        WWL    = 0           WW     = 0
+LLN        = 1        LW     = 0           LL     = 0
+LWL        = 0        CAPMOD = 2           LWN    = 1
+CGDO       = 1.66E-10 CGSO    = 1.66E-10   XPART  = 0.5
+CJ         = 2.801621E-4 PB      = 0.99         CGBO   = 1E-9
+CJSW       = 1.254856E-10 PBSW   = 0.99         MJ     = 0.5414186
+CJSWG      = 6.4E-11  PBSWG  = 0.99         MJSW  = 0.1
+CF         = 0        )           MJSWG  = 0.1
*

```

```

.MODEL CMOSP PMOS (
+VERSION = 3.1          TNOM    = 27          LEVEL  = 49
+XJ      = 3E-7        NCH     = 2.4E16        TOX    = 3.17E-8
+K1      = 0.4513608   K2     = 2.379699E-5    VTH0   = -0.8476404
+K3B     = -2.2238332  W0     = 9.577236E-7    K3     = 13.3278347
+DVT0W   = 0          DVT1W  = 0          NLX    = 6.922967E-7
+DVT0    = 1.2655923  DVT1   = 0.3539144    DVT2W  = 0
+U0      = 236.8923827 UA     = 3.833306E-9    DVT2   = -0.0538372
+UC      = -1.08562E-10 VSAT   = 1.404421E5     UB     = 1.487688E-21
+AGS     = 0.6982443  B0     = 7.886477E-6    A0     = 0.1
+KETA    = 0.0212344  A1     = 0          B1     = 5E-6
+RDSW    = 936.8475086 PRWG   = 0.3          A2     = 0.364
+WR      = 1          WINT   = 7.565065E-7  PRWB   = -0.3
+XL      = 0          XW     = 0          LINT   = 2.308492E-8
+DWB     = 3.857544E-8 VOFF   = -0.0877184   DWG    = -2.13917E-8
+CIT      = 0          CDSC   = 2.924806E-5  NFACTOR = 0.2508342
+CDSCB   = 1.091488E-4 ETA0    = 0.29103         CDSCD  = 1.497572E-4
+DSUB    = 0.2873     PCLM   = 4.199361E-10 ETAB   = -8.744308E-3
+PDIBLC2 = 1.780117E-3 PDIBLCB = -1E-3         PDIBLC1 = 7.86451E-4
+PSCBE1  = 3.522953E9 PSCBE2 = 5.285496E-10 DROUT  = 0
+DELTA   = 0.01      RSH    = 77.9         PVAG   = 15
+PRT     = 0          UTE    = -1.5        MOBMOD = 1
+KT1L    = 0          KT2    = 0.022       KT1    = -0.11
+UB1     = -7.61E-18  UC1    = -5.6E-11    UA1    = 4.31E-9
+WL      = 0          WLN    = 1          AT     = 3.3E4
+WWN     = 1          WWL    = 0          WW     = 0
+LLN     = 1          LW     = 0          LL     = 0
+LWL     = 0          CAPMOD = 2          LWN    = 1
+CGDO    = 1.94E-10   CGSO   = 1.94E-10    XPART  = 0.5
+CJ      = 2.994021E-4 PB     = 0.8          CGBO   = 1E-9
+CJSW    = 1.557811E-10 PBSW   = 0.8626764    MJ     = 0.4412198
+CJSWG   = 3.9E-11   PBSWG  = 0.8626764  MJSW   = 0.1
+CF      = 0          )          MJSWG  = 0.1
*

```

ANEXO 3

EQUACIONAMENTO DE $G_{N(P)}$

Para o equacionamento das condutâncias dos transistores, são calculadas as derivadas das correntes de dreno em função das tensões dreno-fonte, V_{DS} , para $V_{DS}=0$. Assim:

$$G_{N(P)} = \left. \frac{dI_D}{dV_{DS}} \right|_{V_{DS}=0} \quad (\text{A.3.1})$$

$$G_{N(P)} = \frac{d}{dV_{DS}} \left[I_{ON(P)} \cdot e^{\frac{V_{GB(BG)} - |V_{TN(P)}| - n_{N(P)} \cdot V_{SB(BS)}}{n_{N(P)} \cdot \phi_T}} \cdot \left(1 - e^{-\frac{V_{DS(SD)}}{\phi_T}} \right) \right]_{V_{DS}=0} \quad (\text{A.3.2})$$

$$G_{N(P)} = \frac{I_{ON(P)}}{\phi_T} \cdot e^{\frac{V_{GB(BG)} - |V_{TN(P)}| - n_{N(P)} \cdot V_{SB(BS)}}{n_{N(P)} \cdot \phi_T}} \quad (\text{A.3.3})$$

$$G_N = \frac{I_{ON}}{\phi_T} \cdot e^{\frac{V_{IN} - V_{TN} + V_W \cdot (n_N - 1)}{n_N \cdot \phi_T}} \quad (\text{A.3.4.a})$$

$$G_P = \frac{I_{OP}}{\phi_T} \cdot e^{\frac{n_P \cdot V_{DD} - V_{IN} - |V_{TP}| - V_W \cdot (n_P - 1)}{n_P \cdot \phi_T}} \quad (\text{A.3.4.b})$$

ANEXO 4

FORMULAÇÕES ANALÍTICAS PARA PORTAS NAND E NOR

Outras portas lógicas estáticas mais complexas como, por exemplo, NAND e NOR podem ser analisadas como se fossem uma extensão do inversor. Resultados semelhantes são obtidos para as formulações analíticas da transferência DC e transiente. Na Fig.A.4.1 são mostradas as portas do tipo NAND e NOR, cujos transistores são polarizados com a tensão V_W , provenientes do circuito de compensação. As entradas das portas são representadas por A e B, com tensões V_A e V_B .

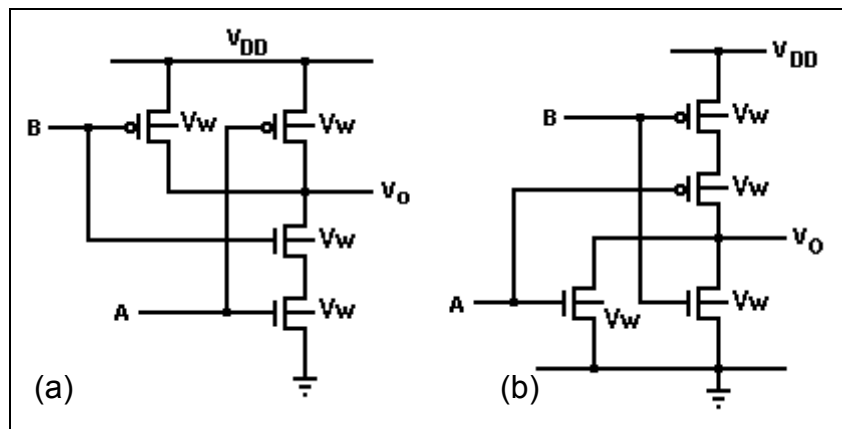


Fig.A.4.1: Portas lógicas estáticas (a) NAND; (b) NOR

i) Transferência DC

Da mesma forma em que foi feita a substituição dos transistores por condutâncias equivalentes no inversor, podem-se substituir os transistores de portas lógicas estáticas mais complexas como, por exemplo, NAND e NOR.

A transferência DC da porta NAND pode ser determinada substituindo-se os transistores por condutâncias e igualando-se as correntes do ramo PMOS (I_P) com o ramo NMOS (I_N). Assim:

$$I_P = I_N \quad (\text{A.4.1})$$

$$(G_{PA} + G_{PB}) \cdot (V_{DD} - V_O) = V_O \cdot \left(\frac{G_{NA} + G_{NB}}{G_{NA} \cdot G_{NB}} \right) \quad (\text{A.4.2})$$

$$V_O = \frac{V_{DD}}{1 + \frac{1}{(G_{PA} + G_{PB}) \cdot \left(\frac{1}{G_{NA}} + \frac{1}{G_{NB}} \right)}} \quad (\text{A.4.3})$$

Substituindo os valores das condutâncias determinadas no anexo 3, após algumas manipulações algébricas chega-se a:

$$V_O = \frac{V_{DD}}{1 + \frac{I_{OP} \cdot e^{\frac{n_P \cdot V_{DD} - |V_{TP}| - V_W \cdot (n_P - 1)}{n_P \cdot \phi_T}} \cdot \left(e^{\frac{-V_A}{n_P \cdot \phi_T}} + e^{\frac{-V_B}{n_P \cdot \phi_T}} \right) \cdot \frac{\phi_T}{I_{ON}} \left(e^{\frac{-V_A}{n_N \cdot \phi_T}} + e^{\frac{-V_B}{n_N \cdot \phi_T}} \right) \cdot e^{\frac{V_{TN} - V_W \cdot (n_N - 1)}{n_N \cdot \phi_T}}}}{\phi_T}} \quad (\text{A.4.4})$$

$$V_O = \frac{V_{DD}}{1 + \frac{I_{OP}}{I_{ON}} \cdot e^{\frac{V_{DD} + V_{TN} - |V_{TP}| - V_W \cdot (n_P - 1) - V_W \cdot (n_P - 1)}{n_N \cdot \phi_T}} \cdot \left(e^{\frac{-V_A}{n_N \cdot \phi_T}} + e^{\frac{-V_B}{n_N \cdot \phi_T}} \right) \cdot \left(e^{\frac{-V_A}{n_P \cdot \phi_T}} + e^{\frac{-V_B}{n_P \cdot \phi_T}} \right)}}{\phi_T}} \quad (\text{A.4.5})$$

Assumindo que V_{TH} é a tensão de limiar da porta lógica obtém-se a expressão (3.33) pode ser reescrita como

$$V_O = \frac{V_{DD}}{1 + \frac{1}{\left(e^{\frac{V_A - V_{TH}}{n_N \cdot \phi_T}} + e^{\frac{V_B - V_{TH}}{n_N \cdot \phi_T}} \right) \cdot \left(e^{\frac{V_A - V_{TH}}{n_P \cdot \phi_T}} + e^{\frac{V_B - V_{TH}}{n_P \cdot \phi_T}} \right)}}} \quad (\text{A.4.6})$$

com

$$V_{TH} = \frac{V_{DD}}{2} + \frac{V_{TN}}{2 \cdot n_N} - \frac{|V_{TP}|}{2 \cdot n_{PT}} + \frac{\phi_T}{2} \ln \left(\frac{I_{OP}}{I_{ON}} \right) \quad (\text{A.4.7})$$

Ou seja, a expressão da tensão de limiar da porta NAND é a mesma encontrada no inversor. No caso em que $n=n_N \approx n_P$ as expressões (A.4.6) e (A.4.7) podem ser simplificadas, respectivamente, para:

$$V_O = \frac{V_{DD}}{1 + \left(e^{\frac{V_A - V_{TH}}{n \cdot \phi_T}} + e^{\frac{V_B - V_{TH}}{n \cdot \phi_T}} \right)^{-2}} \quad (\text{A.4.8})$$

$$V_{TH} = \frac{V_{DD}}{2} + \frac{V_{TN} - |V_{TP}|}{2 \cdot n} + \frac{\phi_T}{2} \ln \left(\frac{I_{OP}}{I_{ON}} \right) \quad (\text{A.4.9})$$

Procedendo à análise análoga para a porta lógica NOR obtém-se

$$V_O = \frac{V_{DD}}{1 + \left(e^{\frac{V_A - V_{TH}}{n_N \cdot \phi_T}} + e^{\frac{V_B - V_{TH}}{n_N \cdot \phi_T}} \right) \cdot \left(e^{\frac{V_A - V_{TH}}{n_P \cdot \phi_T}} + e^{\frac{V_B - V_{TH}}{n_P \cdot \phi_T}} \right)} \quad (\text{A.4.10})$$

ou de forma simplificada

$$V_O = \frac{V_{DD}}{1 + \left(e^{\frac{V_A - V_{TH}}{n \cdot \phi_T}} + e^{\frac{V_B - V_{TH}}{n \cdot \phi_T}} \right)^2} \quad (\text{A.4.11})$$

O valor da tensão de limiar da porta lógica NOR é, como esperado, o mesmo da porta NAND, expressa nas equações (A.4.7) e (A.4.9).

ii) Análise Transiente

A análise transiente das portas NAND e NOR pode ser feita utilizando o mesmo procedimento utilizado para o inversor CMOS. Entretanto, deve ser notado que, para a porta NAND, o tempo de subida depende se apenas uma entrada varia ou ambas variam ao mesmo tempo. Quando apenas uma entrada varia e a outra está em nível lógico alto, “1”, o tempo de subida é determinado pela corrente de saturação de um único transistor. Entretanto, quando as duas entradas variam ao mesmo tempo, a corrente flui através de ambos os transistores PMOS, que estão em paralelo. Dessa forma, o tempo de subida pode ser calculado pela mesma expressão do inversor, (3.19), levando em consideração a seguinte condição para o cálculo da corrente de escala, I_0

$$\left(\frac{W}{L}\right)_{eq} = \begin{cases} \left(\frac{W}{L}\right)_{A,B}, & \text{se uma entrada varia} \\ \left(\frac{W_A + W_B}{L}\right), & \text{se ambas as entradas variam} \end{cases} \quad (\text{A.4.12})$$

Durante o tempo de descida, os transistores NMOS estão em série e a razão de aspecto equivalente a ser considerada, que não depende do evento de chaveamento, é

$$\left(\frac{W}{L}\right)_{eq} = \left(\frac{W}{L_A + L_B}\right) \quad (\text{A.4.13})$$

Condições semelhantes podem ser determinadas para a porta NOR, que possui os transistores PMOS em série e os NMOS em paralelo.

Uma vez que a quantidade de transistores presentes nessas portas lógicas é o dobro da quantidade apresentada pelo inversor, a capacitância de carga deve ser modificada para

$$C_O = 2 \cdot \sum_{N,P} (C_{OV} + C_{jD}) + C_{INT} + 2 \cdot \sum_{N,P} C_{GATE} \quad (\text{A.4.14})$$

Simulações com a porta NAND também foram realizadas para validação dos resultados obtidos. Foi utilizada tensão de alimentação de 650mV, transistores de dimensões mínimas na tecnologia AMS 0,8 μ m, com o modelo BSIM3v3. Comparações da simulação com valores teóricos são mostrados na tabela A.4.1 e indicam a boa qualidade do modelo desenvolvido e, principalmente, que o circuito de compensação apresenta bom desempenho.

Tabela A.4.1: Tempos de subida e descida da porta NAND

	Teórico	Simulação
T_{LH} (μ s) – 1 entrada varia	16,2	20,3
– 2 entradas variam	8,1	10,1
T_{HL} (μ s)	7,1	12,5

GLOSSÁRIO

CMOS – Complementary Metal Oxide Semiconductor

DSP – Digital Signal Processor

FET – Field Effect Transistor

LCD – Liquid Cristal Display

LSB – Least Significant Bit

MEMS – Microelectromechanical Systems

MOS – Metal Oxide Semiconductor

MOSFET – Metal Oxide Semiconductor Field Effect Transistor

MSB – Most Significant Bit

RF – Rádio Freqüência

SOI – Silicon on Insulator

WOLA – Weighted Overlap-Add Filterbank

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Chandrakasan, A., Brodersen, R., Low Power Digital CMOS Design, Kluwer Academic Publishers, Boston, 1995.
- [2] Hiraki, M., et al, "A 63- μ W Standby Power Microcontroller With On-Chip Hybrid Regulator Scheme", IEEE Journal of Solid-Stat Circuits, vol. 37, no.5, May 2002.
- [3] "ISSCC focuses on power management", Solid-State Circuits Society Newsletter, vol. 8, no.1, January 2003, pp.1-4.
- [4] Kuroda et al., "A 0.9-V, 150-MHz, 10-mV, 4-mm², 2-D discrete cosine transform core processor with variable threshold-voltage (VT) scheme", IEEE Journal of Solid-State Circuits, vol. 31, no. 11, November 1996, pp. 1770-1779.
- [5] Miyazaki, M., et al, "A 1.2 GIPS/W microprocessor using speed-adaptive threshold-voltage CMOS with forward bias", IEEE Journal of Solid-State Circuits, vol. 37, no. 2, February 2002, pp. 210-217.
- [6] K. Roy, S. Prasad, "Low-Power CMOS VLSI Circuit Design", Wiley-Interscience, 2000.
- [7] Brodersen, R., "Methods for True Power Minimization", ICCAD-2002 Digest of Technical Papers, November 2002, pp. 35-42.
- [8] Ebina, A., et al, "Ultra low-power CMOS IC using partially-depleted SOI technology", Proceedings of the IEEE 2000 , p. 57-60, 21-24 May 2000.
- [9] Amirtharajah, R., Chandrakasan, A., "Self-Powered Signal Processing Using Vibration-Based Power Generation", IEEE Journal of Solid-State Circuits, vol. 33, No. 5, May 1998.
- [10] Kim, H., Roy, K., "Ultra-Low Power DLMS Adaptive Filter For Hearing Aid Applications", ISLEPD'01, August 6-7, 2001, Huntington Beach, California.
- [11] Schneider, T., Brennan, R., Balsiger, P., Heubi, A., "An Ultra-Low-Power Programmable DSP System for Hearing Aids and Other Audio Applications", ICSPAT'99 Proceedings, November 1-4, 1999, Orlando, FL.
- [12] Mosch, P., et al, "A 660- μ W 50-Mops 1-V DSP for a Hearing Aid Chip Set", IEEE Journal of Solid-State Circuits, vol. 35, no. 11, November 2000.
- [13] Lee, W. et al, "A 1-V Programmable DSP for Wireless Applications", IEEE Journal of Solid-State Circuits, vol. 32, no. 11, November 1997.

- [14] Soeleman, H., Roy, K., "Ultra-Low Power Digital Subthreshold Logic Circuits", International Symposium on Low Power Electronics and Design, 1999, p.94-96.
- [15] Soeleman, H., Roy, K., Paul, B., "Sub-Domino Logic: Ultra-Low Power Dynamic Sub-Threshold Digital Logic", IEEE International Conference on VLSI Design, 2001, p.211-214.
- [16] Soeleman, H., Roy, K., Paul, B., "Robust Subthreshold Logic for Ultra-Low Power Operation", IEEE Transactions on VLSI Systems, vol. 9, no.1, February, 2001, p.90-99.
- [17] Soeleman, H., Roy, K., Paul, B., "Robust Ultra-Low Power Sub-threshold DTMOS Logic", International Symposium on Low Power Electronics & Design, 2000.
- [18] Kao, J., Miyazaki, M., Chandrakasan, A., "A 175-mV Multiply-Accumulate Unit Using an Adaptive Supply Voltage and Body Bias Architecture", IEEE Journal of Solid-State Circuits, vol. 37, no. 11, November 2002, p.1545-1554.
- [19] Bryant, A., et al, "Low-Power CMOS at $V_{dd}=4kT/q$ ", Device Research Conference 2001.
- [20] O. C. Gouveia-F., A. I. A. Cunha, M. C. Schneider, C. Galup-Montoro, "The ACM Model for Circuit Simulation and Equation for SMASH." [Online], Available: <http://www.dolphin.fr>
- [21] C. Mead, L. Conway, "Introduction to VLSI Systems", Addison Wesley, 1980.
- [22] R. Feynmann, Feynmann Lectures on Computation, T. Hey and R.W. Allen (editors), Perseus Publishing, Massachusetts, 1999.