

**UNIVERSIDADE FEDERAL DE SANTA CATARINA**  
**PROGRAMA DE PÓS-GRADUAÇÃO**  
**EM ENGENHARIA ELÉTRICA**

**FILTROS ATIVOS SÉRIE PARA A COMPENSAÇÃO**  
**DE HARMÔNICAS DE TENSÃO**

Tese submetida à  
Universidade Federal de Santa Catarina  
como parte dos requisitos para a  
obtenção do grau de Doutor em Engenharia Elétrica.

**ENIO ROBERTO RIBEIRO**

Florianópolis, fevereiro de 2003.

# **FILTROS ATIVOS SÉRIE PARA A COMPENSAÇÃO DE HARMÔNICAS DE TENSÃO**

ENIO ROBERTO RIBEIRO

‘Esta Tese foi julgada adequada para obtenção do título de Doutor em Engenharia Elétrica, **Área de Eletrônica de Potência e Acionamento Elétrico**, e aprovada em sua forma final pelo Curso de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’

---

Prof. Ivo Barbi, Dr. Ing.  
Orientador

---

Prof. Edson Roberto De Pieri, Dr.  
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

---

Prof. Ivo Barbi, Dr. Ing.  
Presidente

---

Prof. Maurício Aredes, Dr.-Ing.

---

Prof. Enes Gonçalves Marra, Dr.

---

Prof. Denizar Cruz Martins, Dr.

---

Profa. Fabiana Pöttker de Souza, Dra.

À Anesilda,  
meu porto seguro.

## **AGRADECIMENTOS**

Ao Professor Ivo Barbi pela orientação, comprometimento e ensinamentos transmitidos no decorrer deste trabalho.

Aos professores Maurício Aredes, Enes Gonçalves Marra, Denizar Cruz Martins e Fabiana Pöttker de Souza pela participação na Banca Examinadora da Tese de Doutorado e por suas contribuições para o aprimoramento desta Tese.

Aos professores Alexandre Ferrari de Souza, Arnaldo José Perin, Denizar Cruz Martins, Ênio Valmor Kassick, Hari Bruno Mohr e João Carlos dos Santos Fagundes, do Instituto de Eletrônica de Potência, UFSC, pelos conhecimentos compartilhados.

Aos funcionários e funcionárias do INEP pela contribuição e auxílio nas atividades de pesquisa e burocráticas.

A Coordenadoria de Pós-Graduação em Engenharia Elétrica da UFSC pela presteza e competência no atendimento.

Aos amigos e colegas do INEP: Rogers Demonti, Demercil, Sérgio Vidal, Luís Tomaselli, Kefas, Samir, Falcondes, Domingo, René, Grover, Marcelo Lobo, Adriano Péres, Ivan Colling, Anderson André, Petry, Marlos, André de Andrade, Romeu Hausmann, José Augusto, Deivis, Yales, Roger Gules, Mauro Peraça, Carlos Illa Font e tantos outros, pelo companheirismo, pela oportunidade de enriquecimento cultural, pelas discussões técnicas e pelos momentos de lazer.

À CAPES pelo apoio financeiro.

À UNIFEI, aos amigos e colegas professores do Departamento de Eletrônica da UNIFEI pelo apoio à minha capacitação.

Aos amigos professores Luiz Eduardo Borges da Silva e Carlos Augusto Ayres por me conduzirem à eletrônica de potência e, ao Paulo C. Rosa pelo companheirismo e suporte.

Em especial, aos meus pais Mário e Abadia, pelo apoio incondicional, incentivo, carinho e compreensão nessa jornada.

Resumo da Tese apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Doutor em Engenharia Elétrica.

## **FILTROS ATIVOS SÉRIE PARA A COMPENSAÇÃO DE HARMÔNICAS DE TENSÃO**

**Enio Roberto Ribeiro**

Fevereiro / 2003

Orientador: Prof. Ivo Barbi, Dr. Ing.

Área de Concentração: Eletrônica de Potência e Acionamento Elétrico.

Palavras-chave: Filtro ativo série, compensação de harmônicas de tensão, filtragem ativa.

Número de páginas: 213

Este trabalho propõe uma estrutura de filtragem ativa série para a redução de harmônicas de tensão. Com a modificação de um filtro ativo híbrido gera-se o filtro ativo série. A partir deste, propõe-se um conjunto de estruturas básicas de filtragem do tipo paralelo e série. Desse conjunto de estruturas, o filtro ativo série com o inversor de tensão e entrada em tensão, (FAS-VSI-V), é escolhido para análise. O FAS-VSI-V é equacionado e seus parâmetros e componentes são determinados. Com esses dados várias simulações numéricas são efetuadas e seus resultados exibem o comportamento da estrutura de filtragem ativa série. Um protótipo foi construído, com o qual se obteve vários resultados experimentais. Esses resultados demonstraram a adequada operação do filtro ativo série que disponibilizou à carga uma tensão com reduzido conteúdo harmônico. As experiências com o filtro foram realizadas usando cargas lineares e não lineares. O controle do filtro ativo utiliza a tecnologia analógica. Esta tecnologia não permite modificações, é suscetível ao envelhecimento de componentes e à ação da temperatura. Adicionalmente, a estratégia de controle proposta inclui uma etapa de filtragem para a extração da componente fundamental da tensão de entrada. Estes aspectos incentivaram o estudo e aplicação da tecnologia digital ao filtro ativo. Ainda, nesta etapa outro processo de modelagem é apresentado e aplicado ao filtro ativo. Com os modelos obtidos, projeta-se o sistema de controle digital. Através do protótipo mencionado realizam-se outras experiências. Seus resultados são coletados, analisados e apontam o adequado funcionamento do filtro ativo série.

Abstract of Thesis presented to UFSC as a partial fulfillment of the requirements  
for the degree of Doctor in Electrical Engineering.

## **SERIES ACTIVE FILTERS FOR HARMONIC VOLTAGE COMPENSATION**

**Enio Roberto Ribeiro**

2003 / February

Advisor: Prof. Ivo Barbi, Dr. Ing.

Area of Concentration: Power Electronics and Electrical Drives.

Keywords: Series active filter, harmonic voltage compensation, active filtering.

Number of pages: 213

This work proposes a series active filtering structure for harmonic voltage reduction. A hybrid active filter is modified yielding a series active filter, as well as a set of parallel and series basic filtering structures. Among these structures, the series active filter with VSI (FAS-VSI-V) is chosen to be analyzed. Theoretical analysis is done to FAS-VSI-V, and its parameters and elements are defined. From this data several simulations are done and their results show the behavior of the FAS-VSI-V. A prototype was built and from it various experimental results were obtained. These results demonstrate the properly action of the active filter. It delivered a good quality voltage to the load. Linear and non linear loads were tested with the filter. Analogue technology is used to control the active filter. This technology does not accept any modifications and it is susceptible to aging and temperature effects. Additionally, the proposed control strategy includes a filtering stage to extract the fundamental component from the input voltage source. These aspects motivate the study and application of the digital technology to the active filter. Moreover, other modeling process is presented and applied to the filter. The digital control system is designed. Again the mentioned prototype were used and other experiences were accomplished. Their results are acquired, analyzed and indicate an appropriate conduct of the filter.

## SUMÁRIO

Capítulo I - <b>INTRODUÇÃO</b> .....	1
Capítulo II - <b>TOPOLOGIAS DE FILTROS ATIVOS</b> .....	12
2.1 INTRODUÇÃO .....	12
2.2 FILTROS ATIVOS PARALELOS .....	13
2.2.1 Filtro ativo paralelo - VSI - entrada em tensão .....	13
2.2.2 Filtro ativo paralelo - CSI - entrada em tensão .....	14
2.2.3 Filtro ativo paralelo - VSI - entrada em corrente .....	14
2.2.4 Filtro ativo paralelo - CSI - entrada em corrente .....	15
2.3 FILTROS ATIVOS SÉRIE .....	16
2.3.1 Filtro ativo série - CSI - entrada em corrente .....	16
2.3.2 Filtro ativo série - VSI - entrada em corrente .....	17
2.3.3 Filtro ativo série - CSI - entrada em tensão .....	17
2.3.4 Filtro ativo série - VSI - entrada em tensão .....	18
2.4 ESTRATÉGIA DE CONTROLE DOS FILTROS ATIVOS .....	18
2.4.1 Estratégia de controle do FAP-VSI-V e do FAP-CSI-V .....	19
2.4.2 Estratégia de controle do FAP-VSI-I e do FAP-CSI-I .....	21
2.4.3 Estratégia de controle do FAS-CSI-I e do FAS-VSI-I .....	22
2.4.4 Estratégia de controle do FAS-VSI-V e do FAS-CSI-V .....	24
2.5 CONCLUSÃO .....	26
Capítulo III - <b>SIMULAÇÃO DE FILTROS ATIVOS</b> .....	27
3.1 INTRODUÇÃO .....	27
3.2 FILTROS ATIVOS PARALELOS - ESTRATÉGIA DE CONTROLE .....	27
3.2.1 Controle da corrente por valores médios instantâneos .....	27
3.2.1.1 Modulação com dois níveis de tensão .....	28
A.1 Ondulação de corrente .....	28
A.2 Função de transferência da malha de corrente .....	31

3.2.2 Exemplo de projeto - filtro ativo paralelo . . . . .	33
3.2.2.1 Controle por valores médios instantâneos . . . . .	34
A.1 Dois níveis de tensão . . . . .	34
3.3 SIMULAÇÃO DAS TOPOLOGIAS DE FILTROS ATIVOS PARALELOS . . . . .	36
3.3.1 Simulação da topologia FAP-VSI-V . . . . .	36
3.3.2 Simulação da topologia FAP-CSI-V . . . . .	37
3.3.3 Simulação da topologia FAP-VSI-I . . . . .	39
3.3.4 Simulação da topologia FAP-CSI-I . . . . .	39
3.4 FILTROS ATIVOS SÉRIE - ESTRATÉGIA DE CONTROLE DA TENSÃO . . . . .	41
3.4.1 Controle da tensão por valores médios instantâneos . . . . .	41
3.4.1.1 Modulação a dois níveis de tensão . . . . .	41
A.1 A razão cíclica $D$ e a ondulação de corrente $\Delta i_a$ . . . . .	43
A.2 Determinação da função de transferência $\Delta V_{ca}(s)/\Delta D(s)$ . . . . .	46
A.3 Função de transferência de tensão $\Delta V_d(s)/\Delta V_{ca}(s)$ . . . . .	49
A.4 O capacitor de acoplamento $C_a$ . . . . .	51
A.5 Capacitor ( $C_d$ ) do barramento CC do inversor . . . . .	52
3.4.2 Exemplo de projeto - filtro ativo série . . . . .	55
3.5 SIMULAÇÃO DAS TOPOLOGIAS DE FILTROS ATIVOS SÉRIE . . . . .	58
3.5.1 Simulação da topologia FAS-CSI-I . . . . .	58
3.5.2 Simulação da topologia FAS-VSI-I . . . . .	59
3.5.3 Simulação da topologia FAS-CSI-V . . . . .	60
3.5.4 Simulação da topologia FAS-VSI-V . . . . .	61
3.6 CONCLUSÃO . . . . .	62
Capítulo IV - <b>PROTÓTIPO E RESULTADOS EXPERIMENTAIS</b> . . . . .	63
4.1 INTRODUÇÃO . . . . .	63
4.2 FAS-VSI-V - PROJETO DO CONVERSOR E DOS COMPENSADORES . . . . .	63
4.3 SIMULAÇÕES NUMÉRICAS DO FAS-VSI-V . . . . .	68
4.3.1 Simulação numérica do FAS-VSI-V com carga resistiva (R) . . . . .	69
4.3.2 Simulação numérica do FAS-VSI-V com carga resistiva-indutiva (RL) . . . . .	70
4.3.3 Simulação numérica do FAS-VSI-V com carga não-linear . . . . .	72



4.4 FAS-VSI-V - PROTÓTIPO E ASPECTOS CONSTRUTIVOS .....	73
4.4.1 Circuito de potência .....	73
4.4.2 Circuito de controle e de comando .....	76
4.5 FAS-VSI-V - RESULTADOS EXPERIMENTAIS .....	85
4.5.1 FAS-VSI-V com carga resistiva (R) .....	85
4.5.2 FAS-VSI-V com carga resistiva-indutiva (RL) .....	89
4.5.3 FAS-VSI-V com carga não linear .....	95
4.6 CONCLUSÃO .....	101
Capítulo V - <b>FILTRO ATIVO SÉRIE COM CONTROLE DIGITAL - ASPECTOS</b>	
<b>GERAIS</b> .....	102
5.1 INTRODUÇÃO .....	102
5.2 O PROCESSADOR DE SINAIS DIGITAL (DSP) .....	103
5.2.1 Aspectos gerais do DSP .....	103
5.2.2 Representação numérica no DSP .....	104
5.2.3 O processador digital de sinais TMS320F243 .....	109
5.3 CONTROLADOR DIGITAL PARA O FILTRO ATIVO SÉRIE .....	111
5.3.1 Modelagem do filtro ativo série .....	112
5.3.1.1 Modelo do interruptor PWM .....	112
5.3.1.2 Modelo do interruptor PWM para razão cíclica constante .....	114
5.3.1.3 Modelo do interruptor PWM para razão cíclica com perturbação	
.....	115
5.3.1.4 Modelo do interruptor PWM com elementos parasitas .....	115
5.3.1.5 Células de comutação no filtro ativo .....	117
5.3.1.6 Análise CC do inversor de tensão .....	119
5.3.1.7 Análise do inversor de tensão com $d = D$ .....	121
5.3.1.8 Análise do inversor de tensão com $d = D + \hat{d}$ .....	124
5.3.2 Método de controle digital .....	129
5.3.3 Noções básicas de controle digital .....	131
5.3.3.1 Noção de sistema de controle discreto .....	132
5.3.3.2 Amostragem e seu modelo analítico .....	134

5.3.3.3 Propriedades de $E^*(s)$ . . . . .	137
5.3.3.4 A relação entre $E(z)$ e $E^*(s)$ . . . . .	139
5.3.3.5 A função de transferência pulso . . . . .	140
5.3.3.6 Sistemas com atraso . . . . .	142
5.3.3.7 Mapeamento do plano $s$ no plano $z$ . . . . .	143
5.3.4 Projeto do controlador digital . . . . .	144
5.3.4.1 Determinação do controlador da tensão do filtro . . . . .	145
5.4 SIMULAÇÃO DO CONTROLADOR DIGITAL . . . . .	148
5.4.1 Simulação com o compensador no domínio $z$ e a planta . . . . .	148
5.5 CONCLUSÃO . . . . .	157
Capítulo VI - <b>FILTRO ATIVO SÉRIE COM CONTROLE DIGITAL - EXPERIMENTAÇÃO</b> . . . . .	158
6.1 INTRODUÇÃO . . . . .	158
6.2 REALIZAÇÃO DO CONTROLE DIGITAL . . . . .	158
6.2.1 Aspectos gerais da estratégia de controle . . . . .	158
6.2.2 Ciclo de amostragem . . . . .	159
6.3 CIRCUITOS DE AQUISIÇÃO E CONDICIONAMENTO DE SINAIS . . . . .	162
6.3.1 Aquisição e condicionamento de $v_{si}(t)$ (CS1) . . . . .	162
6.3.2 Aquisição e condicionamento de $v_{ca}(t)$ (CS2) . . . . .	163
6.3.3 Aquisição e condicionamento de $v_d(t)$ (CS3) . . . . .	163
6.3.4 Geração de tensão de referência dinâmica e habilitação de pulsos (CS4) . . . . .	164
6.3.5 Módulo F243DSK e circuito de acionamento dos interruptores . . . . .	166
6.4 COMPENSADOR DISCRETO $H_2(z)$ . . . . .	166
6.4.1 Projeto do compensador discreto . . . . .	166
6.4.2 Organização do programa de controle . . . . .	169
6.5 FAS-VSI-V RESULTADOS EXPERIMENTAIS . . . . .	171
6.5.1 FAS-VSI-V com carga resistiva (R) . . . . .	171
6.5.2 FAS-VSI-V com carga resistiva-indutiva (RL) . . . . .	175
6.6 CONCLUSÃO . . . . .	181

<b>CONCLUSÃO GERAL</b> .....	182
<b>APÊNDICE A</b> .....	186
<b>APÊNDICE B</b> .....	189
<b>APÊNDICE C</b> .....	192
<b>APÊNDICE D</b> .....	196
<b>APÊNDICE E</b> .....	205
<b>REFERÊNCIAS BIBLIOGRÁFICAS</b> .....	210

# CAPÍTULO I

## INTRODUÇÃO

### O CONTEXTO ATUAL

Os dispositivos semicondutores, com os avanços tecnológicos das últimas décadas, tornaram-se abundantes e acessíveis. Entre estes, os interruptores de potência passaram a constituintes importantes dos inumeráveis e variados tipos de equipamentos eletro-eletrônicos. O funcionamento desses equipamentos implicam na conversão, de uma forma à outra, da energia elétrica que lhes é disponibilizada. Dessa forma, os equipamentos eletro-eletrônicos ao funcionarem causam perturbações no sistema elétrico ao qual estão conectados. Para o sistema elétrico esses equipamentos, vistos como cargas não lineares e em face de sua vasta utilização, são fontes de seus distúrbios.

Extensivo trabalho de pesquisa tem sido feito com o intuito de quantificar os problemas associados a determinado sistema elétrico suportando cargas não lineares [1], [2]. Constata-se, então, que esses distúrbios podem ser atribuídos às componentes, reativas e harmônicas, das correntes drenadas por tais equipamentos. Algumas das conseqüências, de um sistema elétrico com problemas, são:

- distorção da tensão da rede no ponto de conexão comum<sup>1</sup>;
- circulação de correntes harmônicas no condutor neutro de sistemas trifásicos a 4 fios;
- interferência em outros instrumentos ou equipamentos nele conectados, etc.

A constatação destes aspectos é seguida do estabelecimento de normas técnicas. As normas IEC 61000-3-2 [3] e IEC 61000-3-4 [4] se aplicam, respectivamente, aos equipamentos de baixa tensão com correntes inferiores e superiores a 16 A. A norma IEEE 519 [5] trata dos limites da emissão harmônica para instalações, no ponto de conexão comum, não se importando com o que ocorre dentro da instalação, mas sim com os seus efeitos sobre o sistema.

A Portaria 1569/93 do DNAEE define o limite mínimo para o fator de potência (fator de deslocamento) e regulamenta o faturamento de reativos excedentes, não fazendo referência quanto aos limites das distorções harmônicas de corrente ou de tensão.

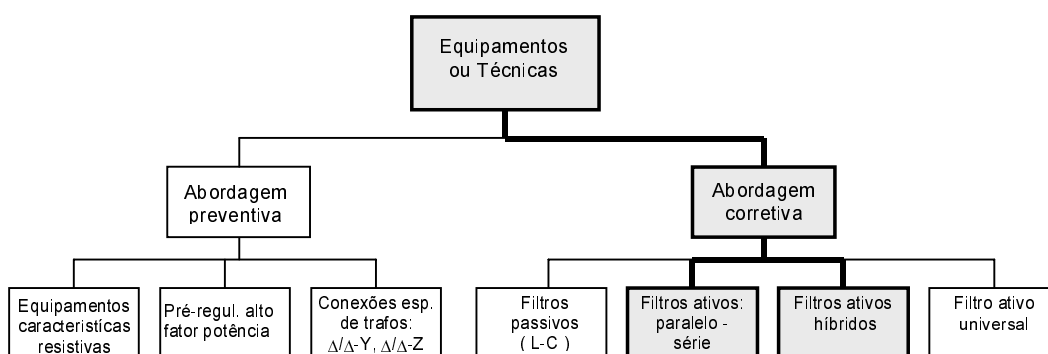
---

<sup>1</sup>A noção de ponto de conexão comum será apresentada no capítulo II.

## AS SOLUÇÕES

A fig. 1.1 ilustra uma possível forma de classificar as técnicas ou equipamentos [6] utilizados na redução ou eliminação dos problemas detectados. A solução tipo preventiva, implica na utilização de equipamentos que se apresentem como cargas não geradoras ou consumidoras de harmônicos e reativos para o sistema que as alimenta. Esta abordagem é indicada para novas instalações ou na substituição de equipamentos já instalados e nela encontram-se:

- os equipamentos apresentando-se com características resistivas à rede;
- equipamentos com pré-reguladores com correção do fator de potência;
- equipamentos com transformadores de conexões especiais.



**Fig. 1.1** - Equipamentos ou técnicas de: redução ou eliminação de distúrbios elétricos.

A abordagem corretiva é uma técnica que possibilita a redução ou eliminação dos distúrbios do sistema elétrico sem exigir a substituição dos equipamentos nele existentes. Os *filtros passivos*, em diversas configurações, constituídos basicamente de indutores e capacitores (L e C), têm sido uma solução largamente usada. Os filtros passivos, no entanto, apresentam algumas desvantagens: grande tamanho, características de compensação fixas e podem entrar em ressonância com a rede de alimentação.

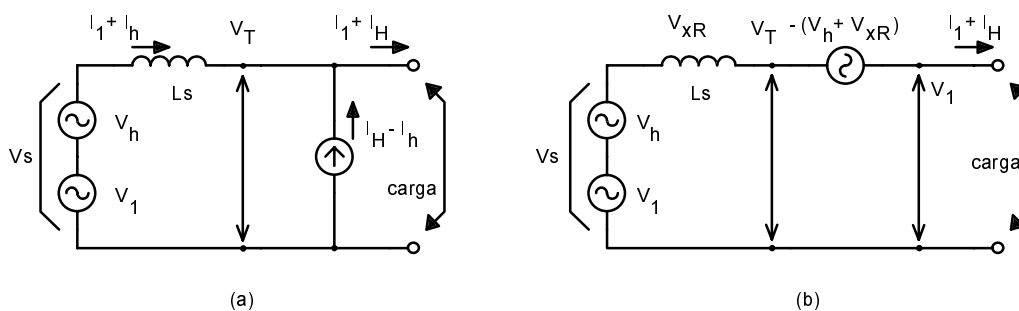
É possível inferir da literatura técnica, que o termo *filtro ativo de potência* define um equipamento ou sistema, incorporando circuitos eletrônicos, semicondutores de potência, filtros e elementos armazenadores de energia (indutor ou capacitor), capaz de compensar a potência reativa e harmônica das cargas não lineares. Comparados aos filtros passivos, eles apresentam melhores características de compensação, além de superar outras desvantagens. Tendo em vista a severidade da poluição harmônica dos sistemas elétricos e o fato de ser uma solução dinâmica e ajustável, os *filtros ativos* têm sido foco de inúmeros trabalhos técnicos nos últimos anos.

Os *filtros híbridos*, uma combinação de filtros ativos e passivos, são uma outra opção na abordagem corretiva. Apesar dos filtros ativos serem, em alguns aspectos, melhores do que os passivos, eles também apresentam desvantagens, as quais são superadas com o uso dos filtros híbridos. Os filtros ativos e os passivos, ao serem combinados, apresentam melhores características do que aquelas que apresentariam cada um deles separadamente. Ainda, tem-se a categoria denominada de *filtro ativo universal*, isto é, a combinação de filtros ativos, paralelo e série.

### FILTROS ATIVOS - PRINCÍPIOS BÁSICOS

Os princípios básicos de funcionamento de um filtro ativo são apresentados a seguir. Filtros ativos, teoricamente perfeitos, podem ser realizados por geradores ideais de tensão e de corrente [7]. Seja uma fonte de alimentação alternada, com uma tensão não senoidal e uma impedância interna  $X_s = \omega.L_s$ , suprido uma carga. A tensão da fonte  $V_s$  é dada pela soma vetorial,  $V_s = V_1 + V_h$ , onde  $V_1$  é a tensão na frequência fundamental e  $V_h$  representa todas as tensões harmônicas geradas internamente. A corrente da carga  $I_o$  de forma análoga, é constituída por todas as correntes harmônicas  $I_H$  e pela corrente fundamental  $I_1$ , ou seja,  $I_o = I_H + I_1$ .

Nesta situação, a distorção da tensão terminal  $V_T$  é causada pelas tensões harmônicas geradas internamente e pela circulação, das correntes da carga, através da impedância interna da fonte. Um filtro ideal pode remover todas as harmônicas da tensão terminal sem afetar o fluxo da corrente fundamental da carga. Tal filtro pode, em princípio, ser realizado por um gerador perfeito de correntes ondulatórias ( $I_H - I_h$ ), interconectando-se os terminais da fonte alternada como se vê na fig. 1.2a.



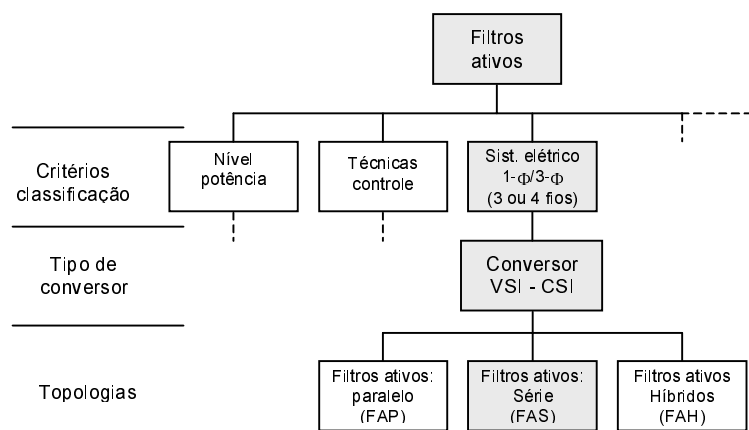
**Fig. 1.2** - Filtragem ativa: geradores ideais de corrente (a); de tensão (b).

Como o gerador perfeito de corrente alimenta todas as correntes harmônicas existentes, as correntes harmônicas da carga e as da fonte, não circularão, respectivamente, através da impedância interna da fonte e nem através da carga. Isto assegura, de fato, que os terminais são curto-circuitados em todas as frequências harmônicas e conseqüentemente a tensão terminal é uma senóide na frequência fundamental da fonte.

Em vez de curto-circuitar os terminais da fonte alternada nas frequências harmônicas, a filtragem pode ser conseguida pela geração de componentes harmônicas que se oponham e cancelem a tensão terminal harmônica. A tensão terminal  $V_T$  é, em geral, a soma da tensão fundamental  $V_1$ , da tensão harmônica gerada internamente (soma de todas as tensões harmônicas)  $V_h$  e da tensão ondulatória  $V_{xR}$ , produzida pelas correntes harmônicas da carga fluindo pela reatância da fonte  $X_s$ . Sinteticamente, escreve-se:  $V_T = V_1 + V_h + V_{xR}$ . Portanto, a tensão terminal ondulatória pode ser cancelada pela conexão de um gerador perfeito de tensões ondulatórias -  $(V_h + V_{xR})$  entre a fonte e a carga, de acordo com a fig. 1.2b.

### CLASSIFICAÇÃO DOS FILTROS ATIVOS

Os filtros ativos podem ser organizados ou classificados sob vários critérios [8], [9]. Retomados, do organograma precedente, os blocos de filtros ativos em destaque (em negrito) são rerepresentados de outra maneira na fig. 1.3. Esta forma de organizá-los está direcionada ao desenvolvimento deste trabalho.



**Fig. 1.3** - Organograma: classificação dos filtros ativos.

Consideremos o critério: *nível de potência*. Ele pode ser subdividido em: aplicações de baixa (< 100 kVA), de média (100 kVA a 10 MVA) e elevada (> 10 MVA) potência. Neste critério, a potência do sistema que está sendo compensado e sua velocidade de resposta têm

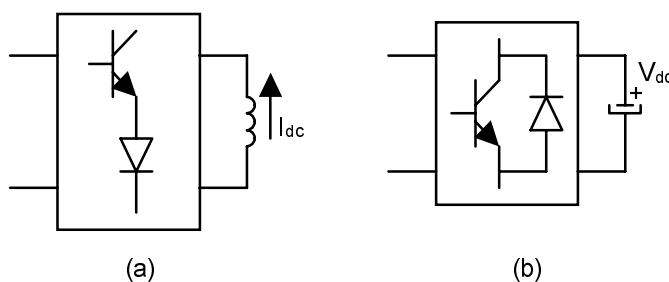
grande importância quando da decisão da filosofia de controle para implementar o filtro apropriado.

O segundo critério é a classificação por *técnicas de controle*. A técnica de controle é um aspecto crucial dos filtros ativos e é implementada em três estágios. No primeiro estágio, o de condicionamento de sinal, as tensões e as correntes essenciais são amostradas, isoladas, amplificadas e entregues ao estágio seguinte. No próximo estágio, os sinais de compensação, em termos de níveis de correntes e de tensões, são derivados com base nos métodos de controle e nas configurações do filtro ativo. E no último estágio, o de geração de sinais de disparo aos elementos do filtro ativo, onde os sinais são gerados com estratégias de modulação por largura de pulso (PWM), de histerese, de modos deslizantes ou ainda de lógica difusa.

No terceiro critério, a classificação dos filtros ativos é baseada no *sistema de alimentação* (ou na carga). Este sistema pode ser do tipo monofásico ou trifásico a 3 ou a 4 condutores.

#### OS TIPOS DE CONVERSORES

Tanto neste último quanto nos critérios anteriores, dois tipos de conversores são aplicáveis no desenvolvimento de filtros ativos. A fig. 1.4a representa um inversor de corrente (CSI - *current source inverter*). Este inversor ao operar faz com que a corrente contínua  $I_{dc}$ , disponível em seu lado CC, assuma um comportamento não senoidal para atender os requisitos de correntes harmônicas da carga não linear. O outro conversor usado como filtro ativo, mostrado na fig. 1.4b, é o inversor de tensão (VSI - *voltage source inverter*), o qual dispõe, em seu lado CC, de uma tensão contínua obtida por meio de um ou vários capacitores. Esta alternativa tornou-se dominante, em virtude de apresentar menor tamanho e custo, além de possibilitar o uso em configurações com multiníveis. O transistor representa, de forma genérica, o interruptor de potência.



**Fig. 1.4** - Tipos de conversores: CSI (a); VSI (b).

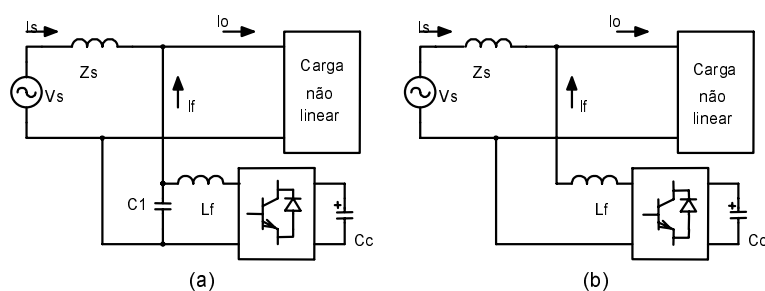


## AS TOPOLOGIAS

### Filtro ativo paralelo

O filtro ativo paralelo é o mais utilizado para eliminar correntes harmônicas, compensação de potência reativa e balanceamento de correntes desequilibradas. Ele é, em geral, colocado junto às cargas não lineares em razão das correntes harmônicas que elas produzem. Estes filtros injetam correntes de compensação, iguais e em oposição de fase, para cancelar as componentes harmônicas ou reativas daquelas correntes no ponto de conexão.

A fig. 1.5 apresenta as configurações comuns usadas com os filtros paralelos. Nesta figura, a estrutura em (a), foi utilizada para compensar os distúrbios causados por um retificador a diodos com filtro capacitivo [10]. Ela faz essa compensação com uma estratégia de controle que observa a tensão de entrada e a corrente da carga.



**Fig. 1.5** - Filtros ativos paralelos.

Na parte (b), da fig. 1.5, é mostrada uma outra estrutura de filtro [11]. As estruturas se diferenciam-se em poucos aspectos: na estratégia de controle, no acréscimo do capacitor de filtragem  $C_1$  e na metodologia de projeto do elemento de armazenagem de energia - o capacitor  $C_c$ . Recapitulando, a estrutura em (a) usa a combinação dos sinais, tensão de entrada e corrente da carga, para gerar os comandos de compensação do filtro, enquanto que na topologia (b), a tensão e a corrente de entrada são monitoradas com o mesmo objetivo. Embora tenham pequenas diferenças, as estruturas mencionadas são capazes de compensar potências reativas, de harmônicas e de fundamental e, funcionam corretamente mesmo com cargas tipo retificador a diodos seguido de filtro capacitivo.

### Filtro ativo série

A configuração básica do filtro ativo série é mostrada na fig. 1.6a. Ele é conectado (em série) entre a fonte e carga, na maioria das vezes, com o auxílio de um transformador de

acoplamento. É usado na eliminação de tensões harmônicas, para balancear e regular as tensões terminais da carga ou da fonte. Os filtros série são menos comuns do que os seus pares - os paralelos - isto em virtude de terem que suportar a corrente da carga. No entanto, são ideais para a eliminação de tensões harmônicas e balanceamento de tensões em sistemas trifásicos [9].

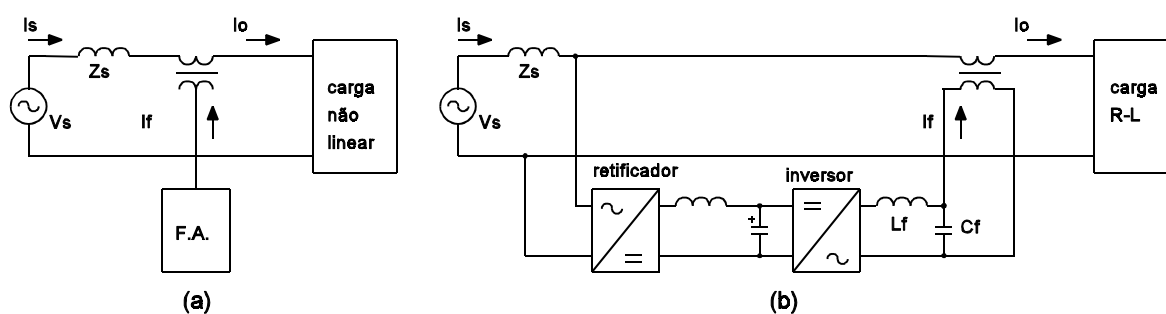
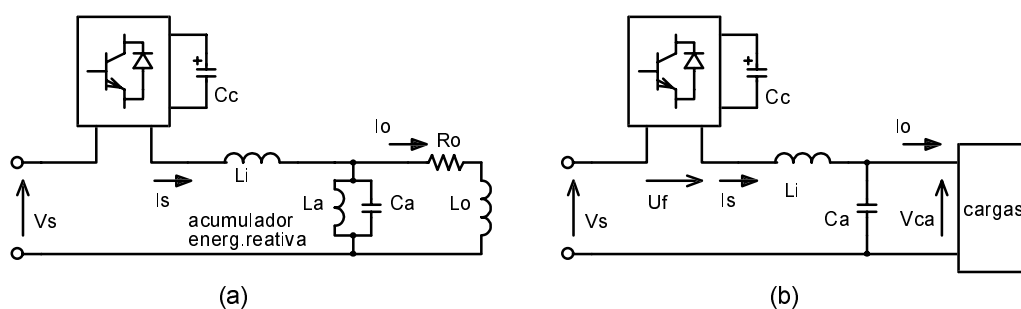


Fig. 1.6 - Configuração básica de filtro ativo série (a); compensador (ativo) série de tensão (b).

A fig. 1.6b mostra a representação unifilar de um compensador ativo série de tensão, trifásico, usado para eliminar o desequilíbrio e regular a tensão da carga em um sistema trifásico [12]. Três inversores monofásicos, tipo VSI, foram utilizados para compor o filtro. A substituição dos inversores monofásicos por um trifásico e a modificação da estratégia de controle [13], [14], para a citada topologia, permitiu sua utilização no mesmo objetivo - correção de desequilíbrio e regulação de tensões - com resultados igualmente satisfatórios.

As técnicas de controle usadas nas topologias anteriores, tais como, extração de componentes simétricas por filtragem dos sinais da carga, geração de seqüências negativa e positiva de tensões, foram substituídas por outras e, entre elas, citam-se: *dead-beat*, *d-q synchronous reference frame* e detecção de tensões da carga. Estas estratégias fundamentaram, respectivamente, as publicações [15], [16] e [17], onde se constata que não foram feitas modificações substanciais nas topologias e no tipo de aplicação a que se destinavam.

Com o intuito de reduzir os esforços devido à corrente que circula pelos conversores, outra estrutura [18] de compensador série é proposta. De acordo com seus autores, a utilização de dois conversores - seu diferencial - permite reduzir o esforço (de corrente) do conversor que opera em frequência mais elevada. O conversor que opera com a menor frequência - o conversor multi-pulsos - assume a regulação da tensão na frequência da fundamental da fonte de alimentação, enquanto o outro é direcionado à compensação das harmônicas da fonte e do conversor multi-pulsos.



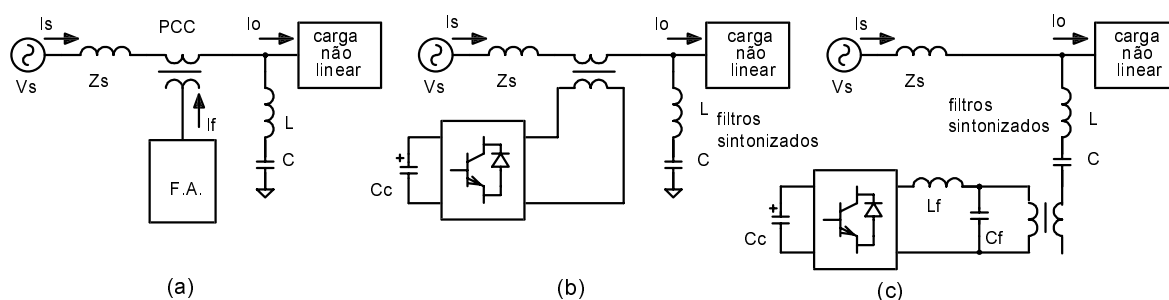
**Fig. 1.7** - Topologias de filtros série sem transformadores de acoplamento.

Uma topologia de filtro ativo série [19], sem a utilização de transformadores de acoplamento e sistemas auxiliares de alimentação, é mostrada na fig. 1.7a. Das informações em [19] nota-se que apesar das modificações apresentadas, o propósito do filtro é o da compensação de correntes harmônicas. Esse sistema, incorpora um indutor,  $L_i$ , como limitador da taxa de variação da corrente da carga e um elemento armazenador de energia reativa ( $L_a$  e  $C_a$  conectados em paralelo).

Outra estrutura de filtragem ativa série [20] que substituiu, comparada à anterior, o bloco armazenador de energia reativa por um capacitor é apresentada na fig. 1.7b. Apesar da diferença mínima entre esta e a aquela estrutura, este filtro tem um objetivo diferente do anterior. Ele é usado para compensar tensões harmônicas, disponibilizando à carga uma tensão puramente senoidal. Isto é obtido baseado no seu princípio de funcionamento, ou seja, o controle total da corrente que circula pelo capacitor  $C_a$ . As referências necessárias de corrente e tensão e suas respectivas amplitudes e defasagens são de difícil determinação e apresentadas, segundo seus autores, como um aspecto desfavorável deste filtro. A tensão senoidal na carga é obtida às custas de uma corrente senoidal no capacitor  $C_a$ , implicando que a fonte de alimentação deverá processar essa potência reativa.

### Filtro ativo híbrido

Topologias de filtros ativos híbridos são mostradas na fig. 1.8. Eles tornaram-se populares devido à redução da potência, tamanho e custo dos dispositivos semicondutores empregados na parte ativa do conjunto. A topologia em (a), a qual combina um filtro ativo (em série) com um passivo (em paralelo), usualmente é projetada de forma que o filtro ativo elimine uma parcela das correntes - as de menores amplitudes, enquanto que o passivo eliminará a parcela que contém as correntes de maiores amplitudes do conjunto de correntes harmônicas.



**Fig. 1.8** - Topologias de filtros ativos híbridos.

O filtro híbrido apresentado em (b), a exceção de ser um filtro trifásico, é a mesma estrutura básica observada em (a). Neste conjunto, o filtro ativo constitui uma impedância elevada para as frequências harmônicas, enquanto que o passivo propicia um caminho de menor impedância às correntes harmônicas da carga. Juntos, estes filtros melhoram, reciprocamente, suas características e encontram aplicação na compensação de correntes harmônicas em sistemas de potência [21]. Nesta topologia, a introdução de pequenas alterações como a adição de um condutor neutro, a divisão em vários níveis das tensões do barramento CC [22] e variações no método de controle [23] estendem a aplicação desses filtros à compensação de componente fundamental de tensão de seqüência negativa e zero, à correção do fator de potência e à regulação da tensão de carga.

Uma variante da estrutura anterior é mostrada na fig. 1.8c. O filtro passivo é conectado em paralelo e neste, o filtro ativo é inserido em série. Esta topologia [24], usada com o mesmo objetivo da precedente, foi proposta visando uma redução da potência do filtro ativo, ao mesmo tempo que procurava-se melhorar as características do filtro passivo. Observamos, finalmente, que outras modificações foram introduzidas nas topologias discutidas e entre elas citamos: a modificação na estratégia de controle e a substituição do filtro passivo sintonizado por capacitores menores. E estas alterações são descritas em [25] e [26] e apresentam-se como alternativas às restrições que as originaram. Outros trabalhos sobre estas estruturas, além desses, dão ênfase aos métodos de controle e seus efeitos [27], [28].

## A PROPOSIÇÃO

Conforme o organograma da fig. 1.3, abordamos sucintamente os filtros ativos do tipo paralelo, os quais são amplamente contemplados na literatura técnica. Em seguida, os filtros ativos série e os híbridos foram discutidos. Nessa discussão, todas as topologias, com exceção

daquela apresentada na fig. 1.7b, utilizam o filtro ativo série como uma impedância variável interposta entre a fonte e a carga para dificultar a circulação de correntes harmônicas.

Conclui-se que o princípio de compensação dessas topologias tem como abordagem reduzir ou eliminar a circulação, na impedância da fonte de alimentação, das correntes harmônicas e assim, de forma indireta, impedir o aparecimento das distorções de tensão. Entretanto, a estrutura proposta em [20], denominada *filtro ativo híbrido*, tem um enfoque diferente. Não existe a intenção de impedir a circulação das correntes harmônicas no sistema. Busca-se proporcionar à carga uma tensão de qualidade, com pouca ou nenhuma distorção, sem contudo preocupar-se com a circulação dessas correntes.

No presente trabalho propõe-se uma outra arquitetura de filtragem ativa resultante da modificação da estrutura mencionada. Esta nova arquitetura define a estrutura básica de filtragem ativa série - o enfoque deste trabalho - e visa ultrapassar as restrições e evitar a circulação da potência reativa inerente do *filtro ativo híbrido*. Com a permutação dos conversores (VSI ou CSI), de suas cargas e fontes e com a aplicação do princípio da dualidade à estrutura proposta desenvolve-se uma família de filtros ativos do tipo série e paralelo. Os filtros paralelos, em função da ampla documentação já disponível, serão propostos, analisados de forma abreviada e simulados. Os do tipo série serão, considerando-se o aspecto de sua ação como geradores de tensões harmônicas, discutidos com maiores detalhes e implementados.

No capítulo II são apresentadas as arquiteturas de filtros ativos e a estratégia de controle adotada para esses filtros. No seguinte, o capítulo III, é apresentada a simulação dos filtros ativos. Observa-se que nesses capítulos, a apresentação das arquiteturas de filtragem ativa inicia-se com os filtros ativos paralelos. Isto ocorre em virtude da maior disponibilidade de informações técnicas sobre esses filtros e, por conseqüência, da familiaridade estabelecida com os mesmos. Ressalva-se, no entanto, que a quantidade de informações veiculadas, nesses capítulos, sobre as arquiteturas de filtragem, do tipo série e paralelo, estão equilibradas.

Considerando-se o foco deste trabalho - a filtragem ativa série - seria de maior naturalidade iniciar-se a discussão sobre as arquiteturas de filtragem pelo filtro ativo série. Entretanto, notou-se que o procedimento usado para obter a família de filtros ativos, a partir do filtro ativo série, pode ser aplicado com a mesma eficiência ao filtro ativo paralelo e produzir, igualmente, a mesma família de filtros ativos. Por essa razão e do exposto no parágrafo anterior optou-se por essa ordem de apresentação das arquiteturas de filtragem ativa.

Ainda no capítulo III, escolhe-se uma das estruturas de filtragem ativa série e para esta estrutura desenvolve-se um equacionamento que contempla seus principais parâmetros e componentes. As informações obtidas dessa etapa facilitam a construção de circuitos de filtros ativos série para a simulação numérica.

O equacionamento produzido no capítulo acima mencionado é utilizado no projeto do filtro ativo efetivado experimentalmente - isto é descrito no capítulo IV. Antes de se construir o filtro ativo outras avaliações por simulações numéricas são efetuadas. Essas simulações são realizadas com condições mais próximas daquelas de fato existentes. Na etapa seguinte constrói-se o filtro, alguns experimentos são realizados e resultados são coletados.

No capítulo V aborda-se o controle digital aplicado ao filtro ativo. As dificuldades encontradas - na realização do controle do filtro ativo usando a tecnologia analógica - e as perspectivas apontadas pela tecnologia digital são as razões que nortearam a opção por esta abordagem. Os vários e significativos aspectos que envolvem a aplicação da tecnologia digital são discutidos. Adicionalmente, apresenta-se um equacionamento mais abrangente que aquele desenvolvido no capítulo III. Encerra-se o capítulo V com simulações numéricas do filtro ativo série usando o controle digital.

São descritos, no capítulo VI, os aspectos construtivos da aplicação do controle digital ao filtro ativo. Ensaios são realizados com a conseqüente coleta de resultados.

## CAPÍTULO II

### TOPOLOGIAS DE FILTROS ATIVOS

#### 2.1 INTRODUÇÃO

Considere um sistema de alimentação como o mostrado na fig. 2.1a, onde de um lado, tem-se o alimentador representado pela fonte de tensão  $v_s$  e sua impedância  $Z_s$  e de outro, várias cargas nele conectadas representadas pelas impedâncias ( $Z_1, Z_2, \dots, Z_{n-1}, Z_n$ ). Nesse sistema arbitram-se vários pontos de observação ( $PCC_1, PCC_2, \dots, PCC_{n-1}, PCC_n$ ). Dessas opções escolhe-se um ponto de observação de interesse, doravante designado de *ponto de conexão comum* (PCC). Estabelecido o PCC reconfigura-se o sistema elétrico, o qual é rerepresentado na fig. 2.1b.

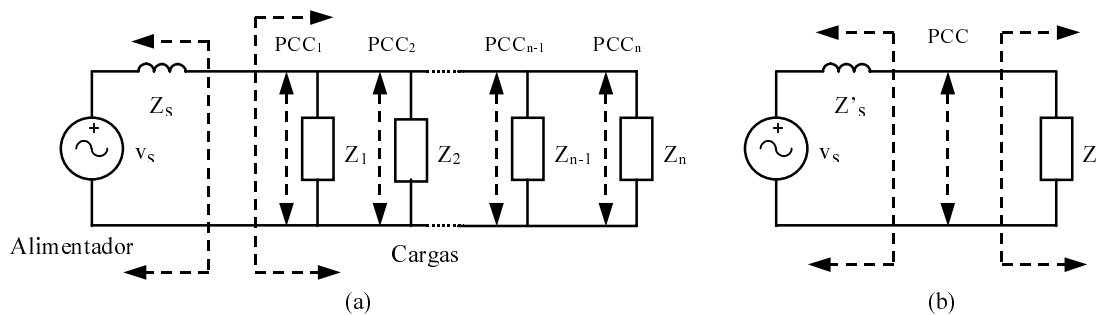


Fig. 2.1 - Sistema elétrico: designação do ponto de conexão comum - PCC.

Na representação dada pela fig. 2.1b, dependendo da escolha do PCC, a impedância do alimentador  $Z'_s$  constituir-se-á somente de  $Z_s$  ou da combinação entre  $Z_s$  e as outras impedâncias consideradas no circuito. Da mesma forma, a impedância  $Z$  representando a carga poderá constituir-se ou não da combinação de outras impedâncias do circuito.

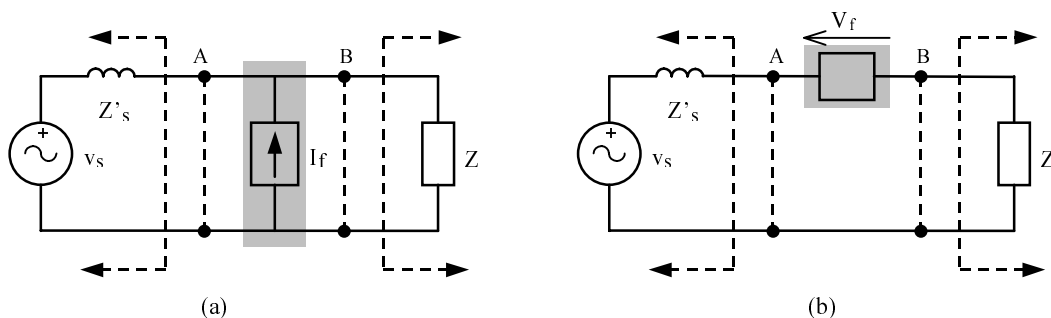


Fig. 2.2 - Diagrama de conexão de filtros ativos: em paralelo (a); em série (b).

No PCC é possível constatar a existência de tensões e correntes com conteúdo harmônico. A remoção ou redução dessa parcela harmônica, em virtudes de seus malefícios, é desejável e em geral requer a utilização de filtros. Os filtros requeridos, no PCC, podem ser inseridos entre os condutores ( filtro em paralelo (fig. 2.2a)) ou entre os terminais A e B (filtro em série (fig. 2.2b)) para remover, respectivamente, as correntes e as tensões harmônicas.

Considerando-se este enfoque, apresentar-se-á uma família de filtros ativos, que a princípio, funcionam como geradores ideais de tensões e de correntes. Nos parágrafos que se seguem, os terminais A e B são designados, respectivamente, *entrada* e *saída*, aos quais serão conectados componentes de circuitos elétricos representando o alimentador e a carga. O alimentador e a carga serão tratados, nos desenvolvimentos a seguir, como elementos ideais de circuito: fonte de tensão e ou fonte de corrente.

## 2.2 FILTROS ATIVOS PARALELOS

### 2.2.1 Filtro ativo paralelo - VSI - entrada em tensão

Seja o circuito equivalente de um filtro ativo paralelo apresentado na fig. 2.3. Sua parte ativa é composta de um inversor de tensão (VSI). Dispõe-se na entrada de uma fonte de tensão senoidal e na saída de uma carga representada por duas fontes de corrente. Uma das fontes contém a componente fundamental e a outra, todas as demais componentes harmônicas de corrente.

O inversor de tensão mantém, em seu lado CC, uma tensão contínua obtida com capacitores de elevada capacitância. Essa tensão é representada por  $V_{dc}$ . Portanto, o inversor possui uma característica de fonte de tensão e um indutor de acoplamento ( $L_v$ ) é necessário para lhe conferir a desejada característica de fonte de corrente.

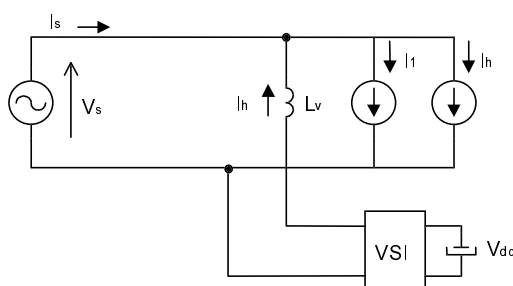


Fig. 2.3 - Filtro ativo paralelo - VSI - entrada em tensão (FAP-VSI-V).

A topologia apresentada pela fig. 2.3 é uma configuração fundamental de filtro ativo paralelo usando o VSI. Ele é controlado para fornecer a corrente de compensação  $I_h$  requerida,



inicialmente, da fonte de alimentação. Sua atuação elimina a circulação de correntes harmônicas na fonte.

### 2.2.2 Filtro ativo paralelo - CSI - entrada em tensão

Na fig. 2.4 é apresentado o filtro ativo paralelo que utiliza em sua parte ativa um inversor de corrente (CSI). As condições de entrada e saída, para este filtro, são iguais àquelas admitidas para o filtro anterior. O inversor CSI apresenta-se, naturalmente, como uma fonte de corrente. Esta fonte de corrente é assegurada pela presença do indutor  $L_f$ , com elevado valor de indutância.

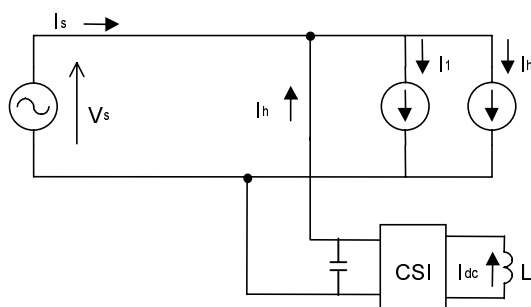


Fig. 2.4 - Filtro ativo paralelo - CSI - entrada em tensão (FAP-CSI-V).

A topologia mostrada pela fig. 2.4 é uma configuração fundamental de filtro ativo paralelo com o CSI.

Este filtro, análogo à estrutura precedente, é controlado para fornecer a corrente de compensação  $I_h$  requerida, a princípio, da fonte de alimentação. Sua atuação impede a circulação de correntes harmônicas na fonte de alimentação.

### 2.2.3 Filtro ativo paralelo - VSI - entrada em corrente

A fig. 2.5 apresenta o circuito equivalente de um filtro ativo paralelo cuja parte ativa é formada por um inversor de tensão. Nesse caso, considerando-se as estruturas discutidas nas seções 2.2.1 e 2.2.2 fez-se uma inversão dos elementos de entrada e de saída.

Na entrada, a fonte de alimentação é representada pelas fontes de corrente  $I_{s1}$  e  $I_{sh}$ . Elas contemplam, respectivamente, a componente fundamental e todas as outras componentes harmônicas de corrente.

A carga, por sua vez, é representada por uma fonte de tensão senoidal  $V_o$ .

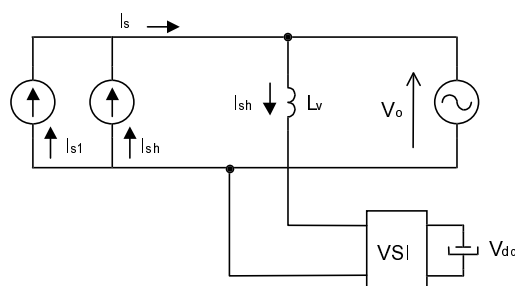


Fig. 2.5 - Filtro ativo paralelo - VSI - entrada em corrente (FAP-VSI-I).

O inversor desta configuração, possui as mesmas características descritas para inversor do filtro ativo paralelo com fonte de entrada em tensão (FAP-VSI-V). O filtro é controlado para absorver a corrente de compensação  $I_{sh}$  produzida pela fonte de alimentação. Seu funcionamento impede a circulação dessa corrente na carga (de tensão  $V_o$ ) e em consequência lhe será fornecida somente a componente fundamental  $I_{s1}$  das correntes de entrada.

#### 2.2.4 Filtro ativo paralelo - CSI - entrada em corrente

Um inversor de corrente compõe a parte ativa do circuito equivalente do filtro apresentado pela fig. 2.6. Para esta topologia admitiu-se, igualmente, as inversões dos elementos terminais do filtro, conforme a descrição no item 2.2.3.

Assim, todas as características mencionadas naquele item são aplicadas ao presente circuito. Da mesma forma, o inversor apresenta-se como uma fonte de corrente. Esta fonte é garantida pela presença do indutor  $L_i$  com elevado valor de indutância.

O filtro é controlado para absorver a corrente de compensação  $I_{sh}$  produzida pela fonte de alimentação. Seu funcionamento deve evitar a circulação dessa corrente na carga ( $V_o$ ). Nesta carga deverá circular somente a componente fundamental  $I_{s1}$  das correntes de entrada.

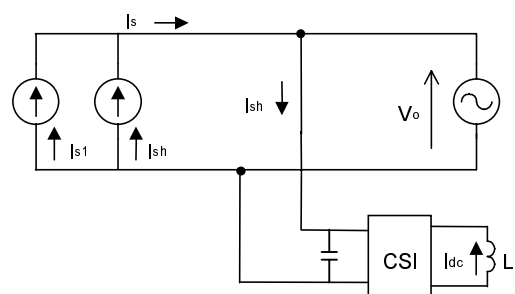


Fig. 2.6 - Filtro ativo paralelo - CSI - entrada em corrente (FAP-CSI-I).

As topologias apresentadas pela figuras 2.5 e 2.6 são, respectivamente, configurações

fundamentais de filtros ativos paralelos, com entrada em corrente, com inversores tipo VSI e CSI.

### 2.3 FILTROS ATIVOS SÉRIE

Na seção anterior, foram apresentadas e discutidas topologias de filtros ativos paralelos. Iniciou-se com duas topologias, seções 2.2.1 e 2.2.2, as quais são amplamente encontradas na literatura, e a seguir fez-se a inversão de seus elementos terminais. Esta modificação produziu duas outras estruturas. Estas últimas foram analisadas, qualitativamente, nos itens 2.2.3 e 2.2.4.

Ainda, considerando-se as duas primeiras topologias, a fonte de tensão senoidal ( $V_s$ ) e as fontes de corrente em paralelo ( $I_1$  e  $I_h$ ) serão substituídas, respectivamente, por uma fonte de corrente senoidal ( $I_s$ ) e pelas fontes de tensão em série ( $V_1$  e  $V_h$ ). Estes últimos são elementos duais de ( $V_s$ ) e ( $I_1$  e  $I_h$ ).

Aplicando-se este procedimento para todos os componentes de cada filtro ativo paralelo teremos como resultado quatro topologias de filtros ativos série.

Os filtros ativos série, comentados na seqüência, foram obtidos ao se construir os circuitos duais das quatro estruturas inicialmente apresentadas.

#### 2.3.1 Filtro ativo série - CSI - entrada em corrente

A fig. 2.7 apresenta o circuito equivalente do filtro ativo série. Em seus terminais nota-se, de um lado, a fonte de corrente senoidal ( $I_s$ ) e de outro, as fontes de tensão em série ( $V_1$  e  $V_h$ ). Esses elementos representam, nessa ordem, a fonte e a carga para o filtro. Eles são também os elementos duais da fonte de tensão senoidal e das fontes de corrente em paralelo (item 2.2.1).

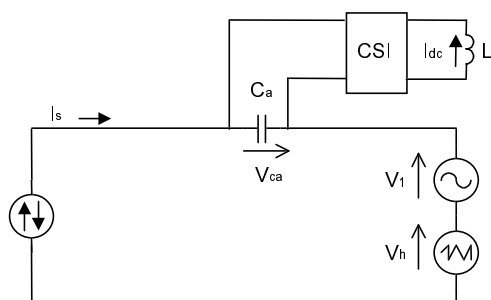


Fig. 2.7 - Filtro ativo série - CSI - entrada em corrente (FAS-CSI-I).

A fonte  $V_1$  contém a componente fundamental e  $V_h$  as demais componentes harmônicas de tensão. A parte ativa do filtro é obtida com o inversor de corrente cujas características foram apresentadas nos itens precedentes.

O inversor faz circular uma corrente harmônica em  $C_a$ . Esta corrente deverá impor sobre o capacitor  $C_a$  uma tensão  $V_{ca}$ , de mesma amplitude e em oposição de fase à tensão harmônica  $V_h$ . Dessa forma, as distorções de tensão não serão transferidas da carga à entrada do sistema.

### 2.3.2 Filtro ativo série - VSI - entrada em corrente

O filtro ativo série, mostrado pela fig. 2.8, difere do precedente em sua parte ativa. Ela é formada por um inversor de tensão que teve suas características já descritas.

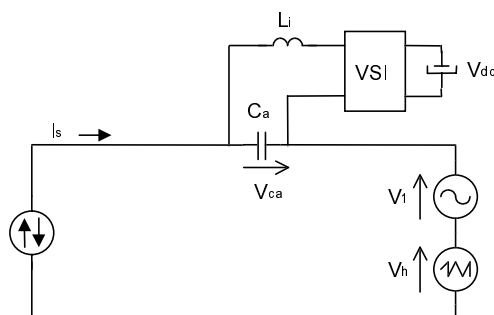


Fig. 2.8 - Filtro ativo série - VSI - entrada em corrente (FAS-VSI-I).

Este filtro é controlado de maneira que sobre o capacitor  $C_a$ , apareça uma tensão  $V_{ca}$  que anule a tensão  $V_h$ . Sua atuação impede que as distorções de tensão se propaguem da carga à entrada.

### 2.3.3 Filtro ativo série - CSI - entrada em tensão

Seja o circuito equivalente do filtro ativo série mostrado na fig. 2.9. Em seus terminais nota-se, de um lado, as fontes de tensão em série ( $V_{s1}$  e  $V_{sh}$ ) e de outro, a fonte de corrente senoidal ( $I_0$ ). Esses elementos representam a fonte e a carga para o filtro. Eles são, também, os dispositivos duais das fontes de corrente em paralelo e da fonte de tensão senoidal. A fonte contém a componente fundamental  $V_{s1}$  e as demais componentes harmônicas de tensão  $V_{sh}$ . A parte ativa do filtro é obtida com o inversor de corrente.

O inversor causa a circulação de uma corrente harmônica, sobre o capacitor  $C_a$ , fazendo aparecer a tensão harmônica  $V_{ca}$ . Esta tensão deve ter a mesma amplitude e estar em oposição de fase à tensão harmônica  $V_{sh}$ . Dessa forma as distorções de tensão não serão

transferidas da entrada à carga.

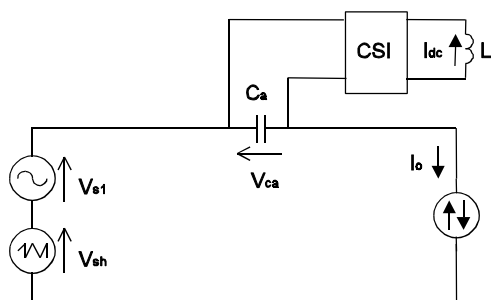


Fig. 2.9 - Filtro ativo série - CSI - entrada em tensão (FAS-CSI-V).

### 2.3.4 Filtro ativo série - VSI - entrada em tensão

A topologia apresentada na fig. 2.10, é similar à anterior diferindo-se somente com relação ao conversor utilizado. A sua parte ativa é constituída de um inversor de tensão. Análogo ao filtro precedente, o inversor faz circular uma corrente harmônica sobre o capacitor  $C_a$  impondo-lhe uma tensão  $V_{ca}$  de mesma amplitude e em oposição de fase à tensão harmônica  $V_{sh}$ . Dessa forma as distorções de tensão não serão transferidas da entrada à carga.

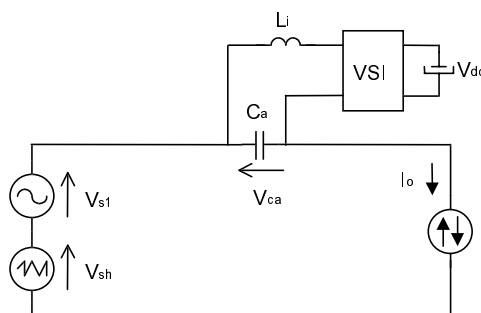


Fig. 2.10 - Filtro ativo série - VSI - entrada em tensão (FAS-VSI-V).

Evidencia-se, neste ponto, que esta é a arquitetura básica de filtragem ativa derivada daquela apresentada em [20]. Nesta arquitetura, aplicando-se as permutações de fonte e de carga e o princípio da dualidade encontra-se a mesma família como mostrado nas seções 2.2 e 2.3 de filtros ativos. Portanto, a mobilidade dessa abordagem e seus resultados e os aspectos mencionados na INTRODUÇÃO (capítulo I) influenciaram na opção, aqui adotada, para a apresentação da família de filtros ativos.

## 2.4 ESTRATÉGIA DE CONTROLE DOS FILTROS ATIVOS

A estratégia de controle dos filtros ativos é importante, entre outros aspectos, na compensação desejada e nas características de filtragem, tanto no regime transitório quanto no permanente. Atento à importância da escolha de um controle apropriado, estabeleceu-se

uma estratégia de controle simples mas que permitirá, a priori, verificar os princípios da filtragem ativa para as arquiteturas previamente discutidas.

#### 2.4.1 Estratégia de controle do FAP-VSI-V e do FAP-CSI-V

A fig. 2.11, apresenta o circuito equivalente de potência e de controle do filtro ativo paralelo, usando o VSI, com entrada em tensão. A estratégia de controle é a de detecção da corrente [10] harmônica de carga.

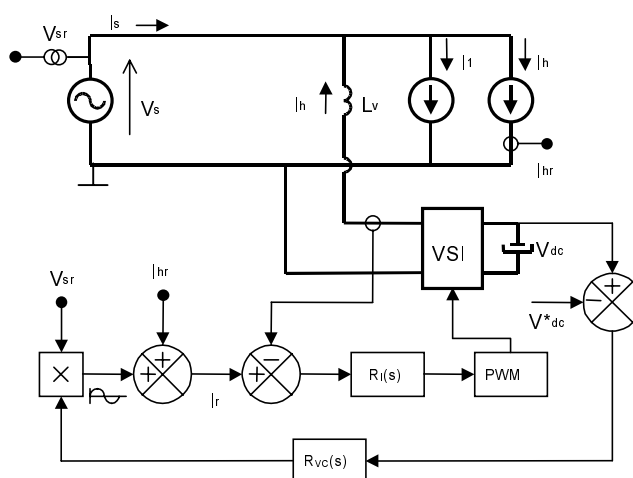


Fig. 2.11 - Estratégia de controle do FAP-VSI-V.

A corrente de referência  $I_r$  é gerada através da malha de controle da tensão do barramento de corrente contínua (CC) do inversor. A tensão  $V_{dc}$  é amostrada e comparada com a tensão de referência  $V_{dc}^*$ . A diferença entre essas tensões (o erro) é aplicada a um controlador de tensão ( $R_{vc}(s)$ ). O sinal de saída deste controlador é multiplicado por uma amostra da tensão de entrada  $V_{sr}$ . O resultado desta operação é uma tensão senoidal com uma determinada amplitude.

A seguir, essa senóide é somada a uma amostra de corrente distorcida  $I_{hr}$  produzindo a corrente de referência  $I_r$  para o filtro ativo. Observa-se que  $I_{hr}$  é o resultado da detecção e amostragem da corrente harmônica de carga  $I_{hr}$ . A corrente de referência  $I_r$  é, então, comparada à corrente do filtro e o sinal de erro resultante será aplicado ao controlador de corrente apropriado  $R_i(s)$ . Finalmente, o sinal de saída deste controlador é usado para produzir os sinais de comando para os interruptores do inversor.

As variações de carga serão compensadas da seguinte forma. Se houver um aumento da potência total na carga ocorre o aumento da corrente harmônica implicando em um aumento da corrente amostrada  $I_{hr}$  e, conseqüentemente, da corrente de referência  $I_r$ . Esta situação resulta num sinal de erro maior que após passar pelo controlador ( $R_i(s)$ ) faz com que o inversor seja comandado a fornecer a corrente harmônica requerida.

Ao contrário, para uma diminuição da potência total na carga ocorre o decréscimo da corrente harmônica resultando em uma diminuição da corrente amostrada  $I_{hr}$  e, conseqüentemente, da corrente de referência  $I_r$ . Isto produz um sinal de erro menor que após passar pelo controlador ( $R_i(s)$ ) faz com que o inversor seja comandado a reduzir a corrente harmônica fornecida ao sistema, adequando-se a nova situação de potência requerida. Finalmente, observa-se que malha de controle do barramento CC deve manter constante o valor médio da tensão  $V_{dc}$  levando-se em conta as perdas do capacitor e do inversor.

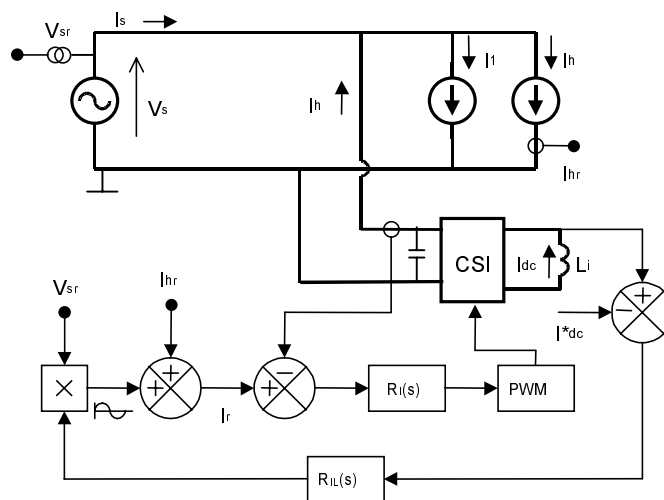


Fig. 2.12 - Estratégia de controle do FAP-CSI-V.

Na fig. 2.12 tem-se um filtro ativo com o inversor CSI e entrada em tensão. Sua estratégia de controle é similar à descrita nos parágrafos anteriores exceto pela seguinte diferença. A corrente  $I_r$  é produzida pela malha de controle da corrente do barramento CC do inversor. A corrente  $I_{dc}$  é amostrada e comparada com a corrente de referência  $I_{dc}^*$ . A diferença entre essas correntes, o erro, é aplicado a um controlador de corrente  $R_{IL}(s)$ . A partir deste ponto, o funcionamento dessa estratégia é igual ao descrito para o FAP-VSI-V. Para esta arquitetura observa-se que a malha de controle do barramento CC do CSI deve manter constante o valor médio da corrente  $I_{dc}$ , repondo as perdas do indutor e do inversor.

### 2.4.2 Estratégia de controle do FAP-VSI-I e do FAP-CSI-I

O circuito equivalente de potência e de controle do filtro ativo paralelo, com entrada em corrente, é mostrado na fig. 2.13. A tensão  $V_{dc}$  é amostrada e comparada com a tensão de referência  $V_{dc}^*$ . A diferença entre essas tensões é aplicada a um controlador de tensão ( $R_{vc}(s)$ ). O sinal de saída deste controlador é multiplicado por uma amostra da corrente de entrada  $I_{s1r}$ . O resultado desta operação é um sinal senoidal com uma determinada amplitude.

A seguir, essa senóide é somada à uma amostra de corrente distorcida  $I_{shr}$  produzindo a corrente de referência  $I_r$  para o filtro ativo. O sinal  $I_{shr}$  é o resultado da detecção e amostragem da corrente harmônica de entrada  $I_{sh}$ . A corrente de referência  $I_r$  é, então, comparada à corrente do filtro e o sinal de erro resultante será aplicado ao controlador de corrente apropriado ( $R_i(s)$ ). Finalmente, o sinal de saída deste controlador é usado para produzir os sinais de comando para os interruptores do inversor.

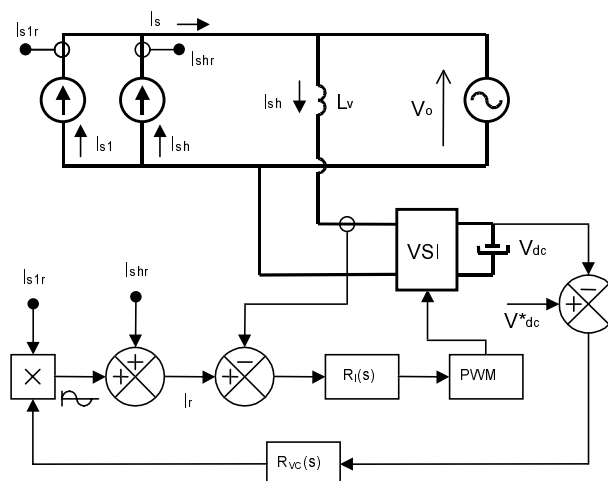


Fig. 2.13 - Estratégia de controle do FAP-VSI-I.

As variações dos sinais de entrada serão corrigidas como explicado a seguir. Um aumento da potência total da fonte acarretará o aumento da corrente harmônica implicando em um aumento da corrente amostrada  $I_{shr}$  e, conseqüentemente, da corrente de referência  $I_r$ . Esta situação resulta um sinal de erro maior que após passar pelo controlador ( $R_i(s)$ ) determina que o inversor seja comandado a compensar a corrente harmônica excedente, isentando, assim, a carga das correntes harmônicas.

Se a potência total da fonte diminuir ocorre o decréscimo da corrente harmônica implicando em uma diminuição da corrente amostrada  $I_{shr}$  e, conseqüentemente, da corrente



de referência  $I_r$ . Isto resulta um sinal de erro menor que após passar pelo controlador ( $R_i(s)$ ) comanda o inversor a reajustar-se a essa redução da corrente harmônica, adequando-se à nova situação de potência disponível.

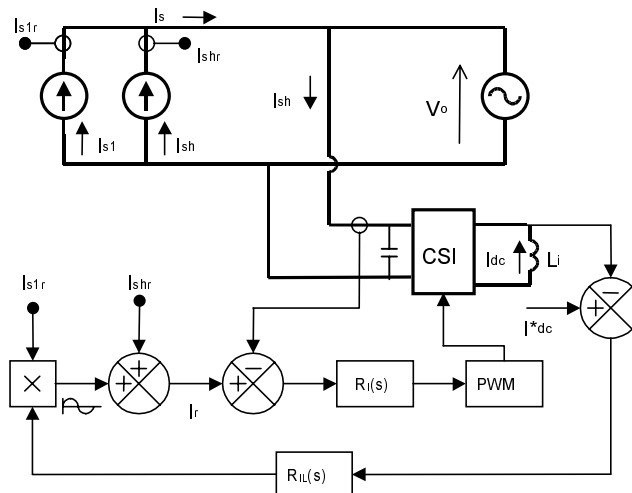


Fig. 2.14 - Estratégia de controle do FAP-CSI-I.

O circuito equivalente do filtro ativo paralelo com entrada em corrente, FAP-CSI-I, é mostrado na fig. 2.14. Sua estratégia de controle difere da anterior no seguinte aspecto. No barramento CC, a corrente  $I_{dc}$  é amostrada e comparada com a corrente de referência  $I_{dc}^*$ . A diferença entre esses sinais é aplicada a um controlador de corrente  $R_{iL}(s)$ . O sinal de saída deste controlador é multiplicado por uma amostra da corrente de entrada  $I_{s1r}$ . A partir desta fase, esta estratégia se desenvolve como a anterior.

A malha de controle do barramento CC, das duas arquiteturas apresentadas, deve manter o valor médio de suas respectivas grandezas, isto é, da tensão,  $V_{dc}$ , ou da corrente,  $I_{dc}$ , repondo as perdas do inversor, do capacitor e ou do indutor.

### 2.4.3 Estratégia de controle do FAS-CSI-I e do FAS-VSI-I

Na fig. 2.15, tem-se o filtro ativo série e sua malha de controle. A corrente  $I_{dc}$  é amostrada e comparada com a corrente de referência  $I_{dc}^*$ . A diferença entre esses sinais é aplicada a um controlador de corrente ( $R_{iL}(s)$ ). O sinal de saída deste controlador é multiplicado por uma amostra da corrente de entrada  $I_{sr}$  resultando em um sinal senoidal de amplitude determinada. O sinal anterior é somado à uma amostra da tensão harmônica  $V_{hr}$  produzindo a tensão de referência  $V_r$  para o filtro ativo.

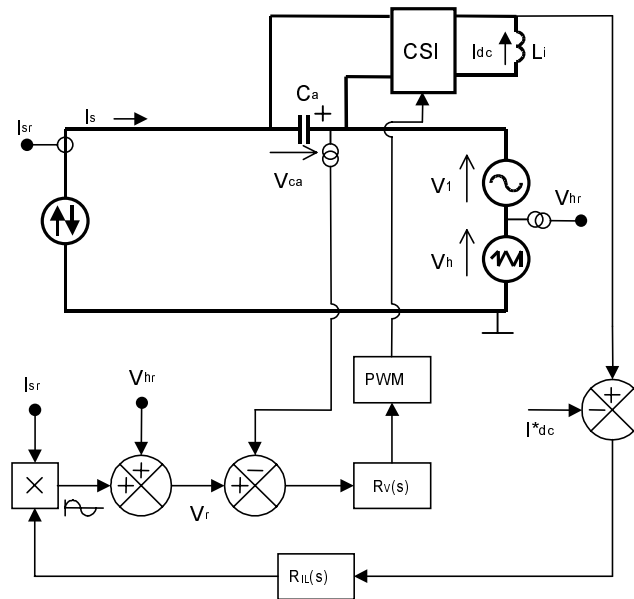


Fig. 2.15 - Estratégia de controle do FAS-CSI-I.

A tensão de referência  $V_r$  é, então, comparada à tensão do filtro e o sinal de erro resultante será aplicado ao controlador de tensão apropriado  $R_v(s)$ . O sinal de saída deste controlador é usado para produzir os sinais de comando para o inversor. Ele fará circular uma determinada corrente sobre o capacitor  $C_a$  produzindo a tensão  $V_{ca}$  em oposição de fase e com mesma amplitude de  $V_h$ . Isto evitará que as distorções da carga sejam transferidas a fonte.

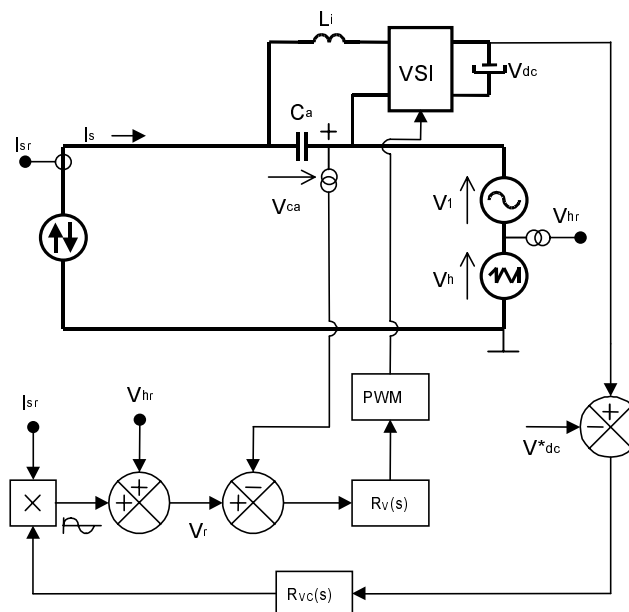


Fig. 2.16 - Estratégia de controle do FAS-VSI-I.

Um aumento da tensão harmônica  $V_h$  da carga implica em um aumento da tensão amostrada  $V_{hr}$  e, conseqüentemente, da tensão de referência  $V_r$ . Esta situação resulta num sinal

de erro maior que após passar pelo controlador  $R_v(s)$  faz com que o inversor seja comandado a compensar a tensão harmônica excedente.

Se a tensão harmônica da carga  $V_h$  diminuir implica em uma diminuição da tensão amostrada  $V_{hr}$ . A tensão de referência  $V_r$  diminui. Isto resulta um sinal de erro menor que após passar pelo controlador  $R_v(s)$  faz com que o inversor seja comandado a reduzir a tensão harmônica produzida em  $C_a$ , adequando-se à nova situação da carga.

O filtro ativo série, com o inversor VSI e sua malha de controle, é mostrado na fig.2.16. A tensão  $V_{dc}$  é amostrada e comparada com a tensão de referência  $V_{dc}^*$ . A diferença entre essas tensões é aplicada a um controlador de tensão  $R_{vc}(s)$ . O sinal de saída deste controlador é multiplicado por uma amostra da corrente de entrada  $I_{sr}$ . A estratégia de controle segue, deste ponto em diante, aquela apresentada para o FAS-CSI-I.

#### 2.4.4 Estratégia de controle do FAS-VSI-V e do FAS-CSI-V

O filtro ativo série, com um VSI, e respectiva malha de controle são vistos na fig. 2.17. A tensão  $V_{dc}$  é amostrada e comparada com a tensão de referência  $V_{dc}^*$ . A diferença entre essas tensões é aplicada a um controlador de tensão ( $R_{vc}(s)$ ). O sinal de saída deste controlador é multiplicado por uma amostra da tensão de entrada  $V_{s1r}$ . O resultado desta operação é uma tensão senoidal com uma determinada amplitude.

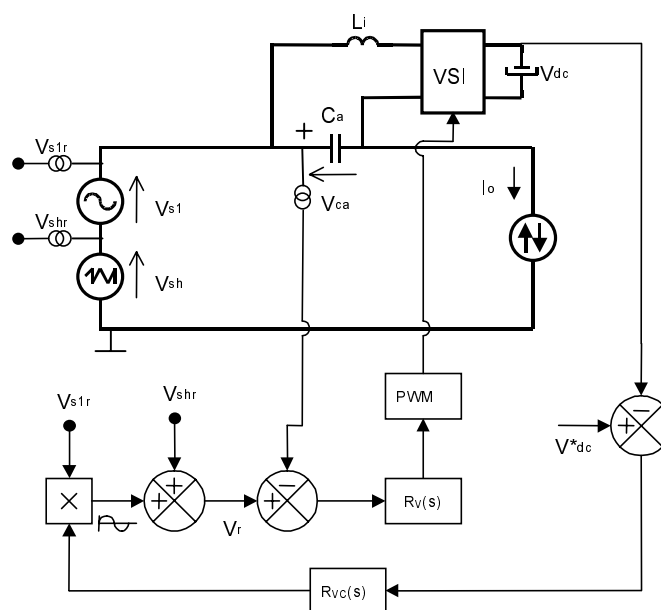


Fig. 2.17 - Estratégia de controle do FAS-VSI-V.

O sinal senoidal é somado à uma amostra da tensão harmônica  $V_{shr}$  produzindo a tensão de referência  $V_r$  para o filtro ativo. A tensão de referência  $V_r$  é, então, comparada à

tensão do filtro e o sinal de erro resultante será aplicado ao controlador de tensão apropriado ( $R_V(s)$ ). O sinal de saída deste controlador é usado para produzir os sinais de comando para o inversor. Ele fará circular uma determinada corrente sobre o capacitor  $C_a$  produzindo a tensão  $V_{ca}$  em oposição de fase e com mesma amplitude de  $V_h$ . Isto evitará que as distorções da fonte sejam transferidas à carga.

Se a tensão  $V_{sh}$  aumentar ela causa um aumento da tensão amostrada  $V_{shr}$  e, por conseguinte, da tensão de referência  $V_r$ . Esta situação resulta em um sinal de erro maior que após passar pelo controlador  $R_V(s)$  determina que o inversor a altere a tensão harmônica em  $C_a$  evitando que esse distúrbio seja transferido à carga.

Se a tensão harmônica da fonte diminuir ocorre o decréscimo de  $V_{sh}$  e resulta na diminuição da tensão amostrada  $V_{shr}$ . A tensão de referência  $V_r$  diminui. Isto produz um sinal de erro menor que após passar pelo controlador  $R_V(s)$  determina que o inversor reduza a tensão harmônica produzida em  $C_a$ , adequando-se à nova situação da fonte.

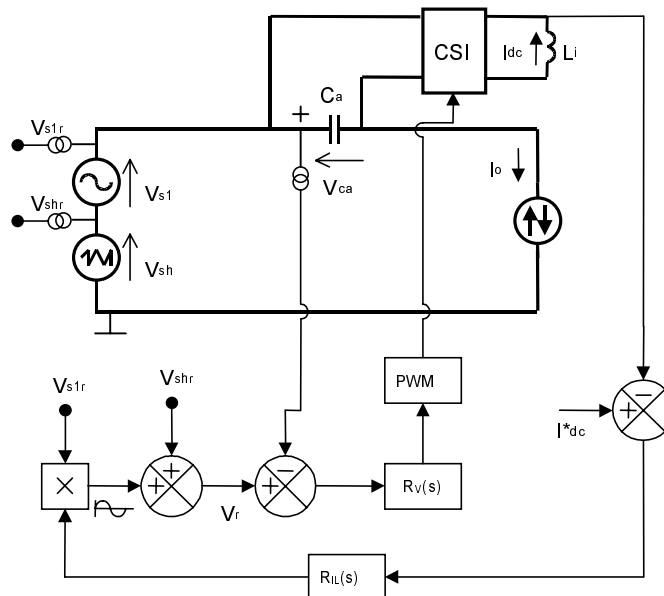


Fig. 2.18 - Estratégia de controle do FAS-CSI-V.

O filtro ativo série, com o CSI e sua malha de controle, é visto na fig. 2.18. A corrente  $I_{dc}$  é amostrada e comparada com corrente de referência  $I_{dc}^*$ . A diferença entre estes sinais é entregue a um controlador de  $R_{IL}(s)$ . O sinal de saída deste controlador é multiplicado por uma amostra da tensão de entrada  $V_{s1r}$  produzindo em consequência um sinal senoidal com determinada amplitude. A partir desta fase, a estratégia segue como aquela do FAS-VSI-V.

## **2.5 CONCLUSÃO**

**O capítulo II iniciou com a apresentação da noção de ponto de conexão comum. Em seguida apresentou-se a família de filtros ativos paralelos. A estes, seguiu-se a apresentação da família de filtros ativos série. As estruturas de filtragem apresentadas foram obtidas pela permutação de suas fontes e cargas, bem como pela aplicação do princípio da dualidade.**

**Estabeleceu-se, para cada estrutura de filtragem, uma estratégia de controle.**

# CAPÍTULO III

## SIMULAÇÃO DE FILTROS ATIVOS

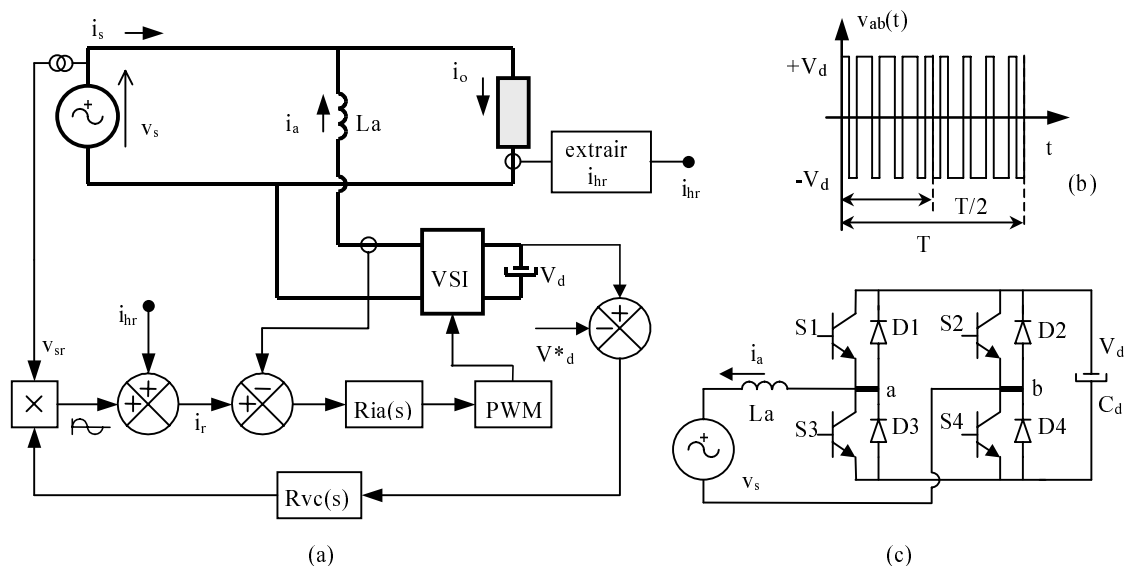
### 3.1 INTRODUÇÃO

A estratégia de controle de um filtro ativo é um aspecto importante e pode ser dividida em três estágios. Estes estágios são: o condicionamento dos sinais, a derivação dos sinais de compensação e a geração dos sinais de comando para os interruptores do filtro ativo. Para o estudo qualitativo, via simulação, somente os dois últimos itens serão discutidos a seguir e estarão baseados em técnicas de compensação, no domínio do tempo, do tipo proporcional-integral (P-I) e geração de sinais por modulação de largura de pulsos (PWM).

### 3.2 FILTROS ATIVOS PARALELOS - ESTRATÉGIA DE CONTROLE

#### 3.2.1 Controle da corrente por valores médios instantâneos

O procedimento de controle é efetuado monitorando-se a corrente de carga (fig. 3.1a). Dessa corrente é extraída a parcela de corrente  $i_{hr}$  que contém as harmônicas a serem compensadas. No barramento CC do inversor deve ser mantido constante um valor médio de tensão  $V_d$  e as perdas do inversor e do capacitor devem ser repostas.



**Fig. 3.1** - Diagrama de blocos do controle por valores médios instantâneos (a); níveis da tensão  $v_{ab}(t)$  (b); circuito do inversor conectado à fonte  $v_s(t)$  (c).

A seguir, a tensão  $V_d$  é subtraída da tensão de referência  $V_d^*$  e o sinal resultante dessa operação é aplicado ao controlador  $R_{vc}(s)$ . O sinal de saída deste compensador multiplica um sinal senoidal, em fase e proporcional à tensão de entrada obtido da amostragem dessa tensão. O resultado desta operação é a referência de corrente senoidal a ser processada pelo filtro para fazer a manutenção da tensão  $V_d$ . A referência de corrente senoidal somada à corrente  $i_{hr}$  resulta na corrente de referência  $i_r$  para o filtro ativo. A corrente do filtro  $i_a$  é amostrada e comparada à corrente de referência  $i_r$  e o resultado dessa comparação é enviado ao controlador de corrente. Seu sinal de saída é comparado a um sinal triangular, cujo resultado é a produção dos sinais de comando para os interruptores do conversor. A frequência, na qual os interruptores são comandados, é fixa e determinada pela frequência de um sinal triangular.

A frequência de comutação é constante, no entanto a ondulação de corrente no indutor  $L_a$  é variável e a determinação de seus valores, máximos e mínimos, é necessária. A ondulação da corrente assume diferentes formatos de acordo com o número de níveis, disponíveis, da tensão  $v_{ab}$ . Esses níveis estão ilustrados na fig. 3.1b. A função de transferência da malha de corrente,  $G_i(s) = \Delta I_a(s) / \Delta D(s)$ , isto é, a variação da corrente  $i_a$  em função da variação da razão cíclica  $D$ , modifica-se em conformidade com o número de níveis da tensão  $v_{ab}$ . Logo, a determinação desses parâmetros é importante para escolher e dimensionar adequadamente o controlador desse sistema de filtragem. O equacionamento descrito no item a seguir foi apresentado em [6] e é retomado, neste trabalho, em virtude das arquiteturas de filtros ativos paralelos apresentadas. Ele será, também, estendido à família de filtros ativos série.

### 3.2.1.1 Modulação com dois níveis de tensão

#### A.1 Ondulação de corrente

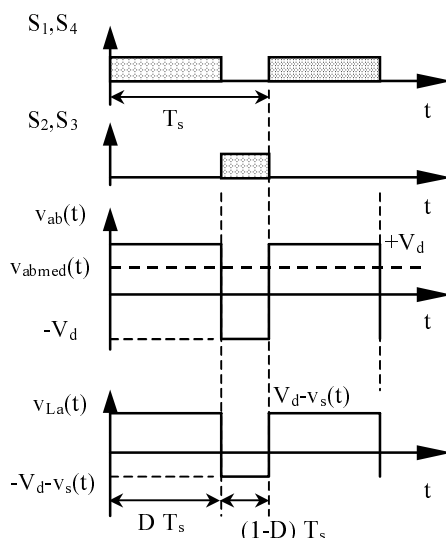
Na operação com dois níveis, a tensão  $v_{ab}(t)$  varia entre  $-V_d$  e  $+V_d$  conforme se constata na fig. 3.2. Nela, observando-se o formato da tensão  $v_{ab}(t)$  calcula-se o seu valor médio em um período de comutação  $T_s = 1/f_s$  com a expressão (3.1).

$$V_{abmed}(t) = \frac{1}{T_s} \left( \int_0^{DT_s} V_d dt + \int_0^{(1-D)T_s} -V_d dt \right) \quad (3.1)$$

Resolvendo-se a integral, resulta (3.2).

$$V_{abmed}(t) = V_d (2D - 1) \quad (3.2)$$

Estabelece-se que, durante um intervalo de comutação  $T_s$ , a tensão contínua do barramento CC permanece constante e com um valor médio igual a  $V_d$ . A razão cíclica  $D$  está associada aos interruptores  $S_1$  e  $S_4$  e seu complemento  $(1-D)$  aos interruptores  $S_2$  e  $S_3$ . Ela pode ser expressa como a relação  $t_c/T_s$ , isto é, a divisão entre o tempo de condução  $t_c$ , dos interruptores  $S_1$  e  $S_4$ , pelo intervalo de comutação  $T_s$ .



**Fig. 3.2** - Formas de onda no inversor: sinais de comando de  $S_1$ ,  $S_2$ ,  $S_3$ ,  $S_4$ , tensões  $v_{ab}(t)$  e  $v_{La}(t)$ .

A tensão  $v_{ab}(t)$  é uma forma de onda em alta frequência composta por uma portadora e seu sinal modulante. O filtro não deve processar potência ativa - exceto a parcela para reposição das perdas - e portanto supõe-se que a tensão  $v_{ab}(t)$  possua uma componente fundamental de mesma frequência, amplitude e em fase com a tensão da rede  $v_s(t)$ . A tensão  $v_{ab}(t)$ , para um período da frequência da rede  $\omega = 2\pi f$ , é expressa por (3.3).

$$V_{abl}(t) = V_{abp} \text{sen}(\omega t) \quad (3.3)$$

Se a frequência  $f_s$ , de operação do conversor, for muito maior do que a frequência  $f$  da rede, admite-se que, em um intervalo de comutação  $T_s$ , a tensão  $V_{abmed}(t) = V_{abl}(t)$ . Assim, substituindo-se (3.3) em (3.2) obtém-se a equação (3.4).

$$\frac{V_{abp} \text{sen}(\omega t)}{V_d} = 2D(t) - 1 \quad (3.4)$$



Explicitando-se a razão cíclica  $D(t)$  na expressão (3.4) encontra-se a função de modulação apresentada por (3.5). Admitindo-se a existência de pequenas diferenças no valor do sinal analisado, entre períodos subseqüentes de comutação, estende-se esta expressão para um ciclo da frequência do sinal da rede e, portanto, ela define a razão cíclica em 60 Hz.

$$D(t) = 0,5 + 0,5 \frac{V_{abp} \text{sen}(\omega t)}{V_d} \quad (3.5)$$

A corrente do indutor  $L_a$  é caracterizada por uma forma de onda senoidal constituída de uma componente de baixa frequência (igual à da rede) e de outra de alta frequência (frequência de comutação). O valor do indutor será calculado levando-se em conta a máxima variação de corrente. Assim, quando os interruptores  $S_1$  e  $S_4$ , mostrados na fig. 3.1c, estiverem em condução escreve-se a expressão (3.6).

$$V_d - V_{sp} \text{sen}(\omega t) = L_a \frac{di_a(t)}{dt} \quad (3.6)$$

Para um período de comutação  $T_s$  a expressão anterior é rescrita como em (3.7).

$$V_d - V_{sp} \text{sen}(\omega t) = L_a \frac{\Delta i_a(t)}{\Delta t} \quad (3.7)$$

$$\Delta t = DT_s \quad (3.8)$$

Substituindo-se as equações (3.8) e (3.5) em (3.7) resulta a expressão (3.9) para o comportamento da ondulação de corrente no indutor.

$$\Delta i_a(t) = \frac{T_s}{L_a} \left( 0,5 + 0,5 \frac{V_{abp}}{V_d} \text{sen}(\omega t) \right) (V_d - V_{sp} \text{sen}(\omega t)) \quad (3.9)$$

Parametrizando-se a equação (3.9) obtém-se a expressão (3.10).

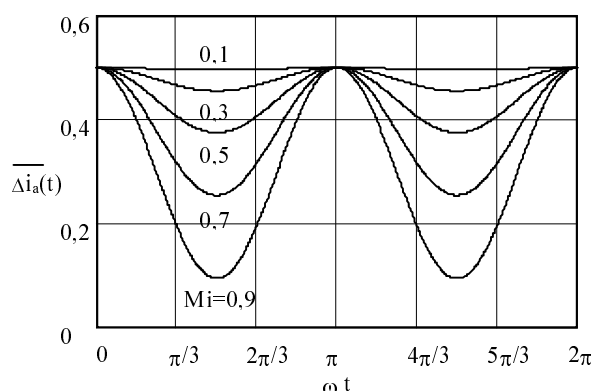
$$\overline{\Delta i_a(t)} = \frac{L_a \Delta i_a(t)}{V_d T_s} = 0,5 - 0,5 \frac{V_{sp}}{V_d} \text{sen}(\omega t) + 0,5 \frac{V_{abp}}{V_d} \text{sen}(\omega t) - 0,5 \frac{V_{sp} V_{abp}}{V_d^2} \text{sen}(\omega t)^2 \quad (3.10)$$

Admitindo-se que  $V_{abp} = V_{sp}$  define-se o índice de modulação  $M_i$ , dado por (3.11), e substituindo-o em (3.10) encontra-se (3.12).

$$M_i = \frac{V_{sp}}{V_d} \quad (3.11)$$

$$\overline{\Delta i_a(t)} = \frac{L_a \Delta i_a(t)}{V_d T_s} = 0,5 - 0,5 (M_i \text{sen}(\omega t))^2 \quad \text{para } (0 \leq \omega t \leq 2\pi) \quad (3.12)$$

O aspecto gráfico da ondulação de corrente, expressão (3.12), é ilustrado na fig. 3.3. Nela constata-se que, para o controle por valores médios instantâneos, o valor máximo da ondulação de corrente ocorre em  $0, \pi$  e  $2\pi$ , e é igual a 0,5. O valor mínimo da ondulação de corrente ocorre em  $\pi/2$  e em  $3\pi/2$ , e depende do índice de modulação conforme é visto na fig. 3.3.



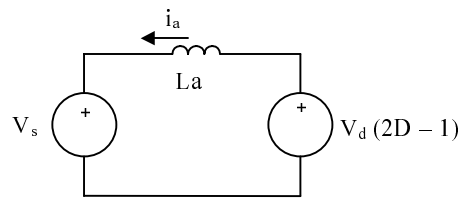
**Fig. 3.3** - Variação da ondulação da corrente no indutor  $L_a$ .

Logo, no cálculo do valor do indutor retoma-se a equação (3.12) considerando-se seu valor máximo. Reescreve-se a equação anterior na forma apresentada por (3.13).

$$L_a = \frac{V_d}{2 \Delta i_{amax} f_s} \quad (3.13)$$

### A.2 Função de transferência da malha de corrente

No item precedente verificou-se que o valor médio da tensão  $v_{ab}(t)$ , em um período de comutação, é dado por (3.2) e representando-se o conversor, por seus valores médios, na frequência de comutação, conectado à fonte  $v_s(t)$  através do indutor  $L_a$ , obtém-se o modelo de grandes sinais mostrado pela fig. 3.4.



**Fig. 3.4** - Modelo de grandes sinais do inversor e fonte  $v_s(t)$  ( $v_{ab}(t)$ ) com 2 níveis de tensão).

Do circuito, da fig. 3.4, pode-se escrever (3.14).

$$V_s + L_a \frac{di_a(t)}{dt} = V_d (2D - 1) \quad (3.14)$$

Reorganizando (3.14) obtém-se (3.15).

$$\frac{di_a(t)}{dt} = \frac{V_d (2D - 1) - V_s}{L_a} \quad (3.15)$$

A função de transferência da corrente  $i_a(t)$  em relação à variação da razão cíclica  $D$ , pode ser obtida com uma perturbação incremental, de magnitude igual a  $\Delta D$ , na razão cíclica  $D$ . Assim, para as variações incrementais  $\Delta D$  em (3.15) resulta (3.16).

$$\frac{di_a(t)}{dt} + \frac{d\Delta i_a(t)}{dt} = \frac{V_d [2(D + \Delta D) - 1] - V_s}{L_a} \quad (3.16)$$

Comparando-se (3.16) com (3.15) obtém-se a equação (3.17)

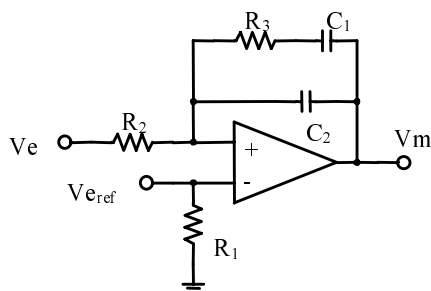
$$\frac{d\Delta i_a(t)}{dt} = \frac{2V_d \Delta D}{L_a} \quad (3.17)$$

Na equação (3.17) aplicando-se a transformada de Laplace resulta a equação (3.18).

$$Gi(s) = \frac{\Delta I_a(s)}{\Delta D(s)} = \frac{2V_d}{sL_a} \quad (3.18)$$

Para esta função de transferência será usado o controlador analógico, usado em [6], cujo circuito é mostrado na fig. 3.5. Neste circuito, os sinais  $V_{\text{eref}}$  e  $V_e$  são designados, respectivamente, ao sinal de referência da corrente ( $i_r$ ) e ao sinal da corrente controlada ( $i_a$ ) -

(ver fig.3.1a).  $V_m$  é seu sinal de saída, ou seja, a tensão de controle a ser comparada com a portadora triangular para gerar o sinal PWM.



**Fig. 3.5** - Diagrama elétrico do compensador de corrente.

A função de transferência do compensador de corrente (fig. 3. 5) é dada pela expressão (3.19).

$$Hi(s) = \frac{V_m}{V_e}(s) = \frac{-(1 + s R_3 C_1)}{s R_2 (C_1 + C_2) \left( 1 + s R_3 \frac{C_1 C_2}{C_1 + C_2} \right)} \quad (3.19)$$

A função de transferência de laço aberto, do sistema (conversor + compensador), é expressa por (3.20), onde:  $K_{is}$  é o ganho com que a corrente harmônica é amostrada, e  $V_{Tpp}$  é valor de pico a pico do sinal triangular.

$$FTLAI(s) = \frac{K_{is}}{V_{Tpp}} Gi(s) Hi(s) \quad (3.20)$$

O filtro ativo paralelo para funcionar adequadamente necessita, no barramento CC do inversor, de uma tensão média constante e com um valor superior ao valor de pico da tensão da rede. Portanto, a tensão do barramento CC requer um controlador. Este aspecto não foi abordado neste procedimento - ele foi contemplado em [6]. Dessa forma, com o objetivo de simplificar as simulações das arquiteturas de filtragem, uma fonte de tensão contínua será conectada ao barramento CC do inversor.

### 3.2.2 Exemplo de projeto - filtro ativo paralelo

Será apresentado, nesta seção, o procedimento de projeto dos elementos e do compensador, para o filtro ativo paralelo, com controle da corrente por valores médios instantâneos a dois níveis de tensão. O filtro é projetado para compensar cargas de até 1250

W. Supondo-se que o filtro ativo paralelo e carga não linear drenem uma corrente da fonte de alimentação, a princípio, senoidal e em fase com a tensão da rede, o seu valor de pico poderá ser calculado como se segue.

$$I_{sp} = \frac{2P_o}{V_{sp}} = \frac{2 \times 1250}{311} = 8,04 \text{ A}$$

### 3.2.2.1 Controle por valores médios instantâneos

Sejam as seguintes especificações:

$$V_{sp} = 311 \text{ V}, f_{rede} = f = 60 \text{ Hz}$$

$$V_d = 400 \text{ V}, f_s = 30 \text{ kHz}$$

$$\Delta i_{amax} = 45 \% I_{sp}$$

O índice de modulação  $M_i$  é calculado de acordo com a expressão abaixo.

$$M_i = \frac{V_{sp}}{V_d} = \frac{311}{400} = 0,7775$$

A ondulação de corrente é determinada em função da corrente de pico da rede. O seu valor será dado por:

$$\Delta i_{amax} = 45 \% I_{sp} = 0,45 \times 8,04 = 3,62 \text{ A}$$

O ganho  $K_{is}$  com que a corrente harmônica será amostrada é igual a 0,30. Como referência de corrente, na simulação, utilizou-se uma fonte de corrente senoidal em paralelo com o resistor  $R_1$ . Assim, estabelecido que o valor máximo da corrente harmônica é 15,57 A calcula-se a amplitude da fonte de corrente.

$$I_{sref} R_1 = I_{sh} K_{is} = 15,57 \times 0,30 = 4,671$$

Adotando-se  $R_1$  com o seguinte valor:  $R_1 = 10 \text{ k}\Omega$

$$I_{sref} = 467,1 \text{ }\mu\text{A}$$

O valor de pico a pico do sinal portador triangular é:  $V_{Tpp} = 10 \text{ V}$

#### A.1 Dois níveis de tensão

A indutância  $L_a$  é calculada de acordo com a expressão (3.13).

$$L_a = \frac{V_d}{2 \Delta i_{amax} f_s} = \frac{400}{2 \times 3,62 \times 30000} = 1,84 \text{ mH}$$

A função de transferência  $G_i(s)$  é calculada de acordo com a equação (3.18).

$$G_i(s) = \frac{\Delta I_a(s)}{\Delta D(s)} = \frac{2 V_d}{s L_a} = \frac{2 \times 400}{s 1,84 \times 10^{-3}} = \frac{434,8 \times 10^3}{s}$$

O zero do compensador de corrente será posicionado na frequência  $f_{zi}$ , vinte e cinco vezes menor do que a frequência de comutação. Logo, tem-se:

$$f_{zi} = 1200 \text{ Hz} = \frac{1}{2\pi R_3 C_1}$$

Escolhendo-se  $R_3 = 50 \times 10^3 \Omega$  obtém-se o valor da capacitância  $C_1$ .

$$C_1 = \frac{1}{1200 \times 2\pi \times 50 \times 10^3} = 2,65 \times 10^{-9} \text{ F}$$

O pólo do compensador de corrente será posicionado numa frequência vinte e cinco vezes maior que a frequência do zero.

$$f_p = 30000 = \frac{C_1 + C_2}{2\pi R_3 C_1 C_2}$$

$$C_2 = \frac{2,65 \times 10^{-9}}{30000 \times 2\pi \times 50 \times 10^3 \times 2,65 \times 10^{-9} - 1} = 110,8 \times 10^{-12} \text{ F}$$

$$R_2 = 10 \times 10^3 \Omega$$

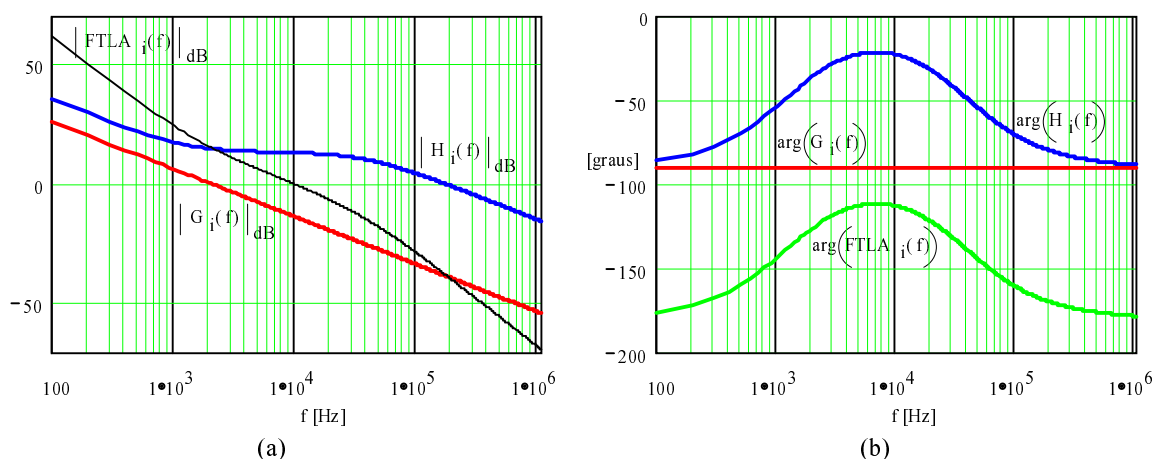
A função de transferência do compensador é dada por  $H_i(s)$ :

$$H_i(s) = \frac{(1 + s 0,1325 \times 10^{-3})}{s 27,6 \times 10^{-6} \times (1 + s 5,32 \times 10^{-6})}$$

A função de transferência de laço aberto é apresentada a seguir:

$$FTLAI(s) = \frac{K_{is}}{V_{Tpp}} Gi(s) Hi(s) = 0,03 \times \frac{434,8 \times 10^3}{s} \times \frac{(1 + s 0,1325 \times 10^{-3})}{s 27,6 \times 10^{-6} \times (1 + s 5,32 \times 10^{-6})}$$

Na fig.3.6 são apresentados os diagramas de Bode, de módulo e de fase, de  $Gi(s)$ ,  $Hi(s)$  e  $FTLAI(s)$ . A frequência de cruzamento de ganho é de aproximadamente 10 kHz e a margem de fase de  $67,5^\circ$ .



**Fig. 3.6** -Diagrama de Bode: módulo (a) e fase (b), de  $Gi(s)$ ,  $Hi(s)$  e  $FTLAI(s)$ .

### 3.3 SIMULAÇÃO DAS TOPOLOGIAS DE FILTROS ATIVOS PARALELOS

Nesta seção são apresentados os resultados de simulação das quatro topologias de filtragem ativa paralela. Admite-se que o filtro ativo e a carga constituam uma carga única de, aproximadamente, 1250 W para a fonte de alimentação. Do exemplo de projeto retiraram-se os dados para os circuitos a serem simulados. O programa de simulação utilizado é o PSpice [29].

#### 3.3.1 Simulação da topologia FAP-VSI-V

Na Fig. 3.7, tem-se o circuito do filtro ativo paralelo simulado, com controle da corrente por valores médios instantâneos. Com este tipo de inversor, inversor em ponte completa, é possível obter uma tensão  $v_{ab}$ , dependendo da modulação utilizada, com dois ou três níveis. A tensão máxima sobre os interruptores é igual a  $V_d$ . No lado do barramento CC do inversor, o capacitor foi substituído por uma fonte de tensão  $V_d$  com amplitude superior ao valor de pico da tensão de entrada. A modulação empregada proporciona no lado CA do inversor dois níveis de tensão.

Nesta técnica, os interruptores  $S_1$  e  $S_4$  são comandados de forma complementar em relação à  $S_2$  e  $S_3$ . A fonte de corrente  $i_h$ , representando as correntes harmônicas da carga, é composta da soma de várias fontes de correntes harmônicas ( $3^a$ ,  $5^a$ ,  $7^a$ , ... harmônicas).

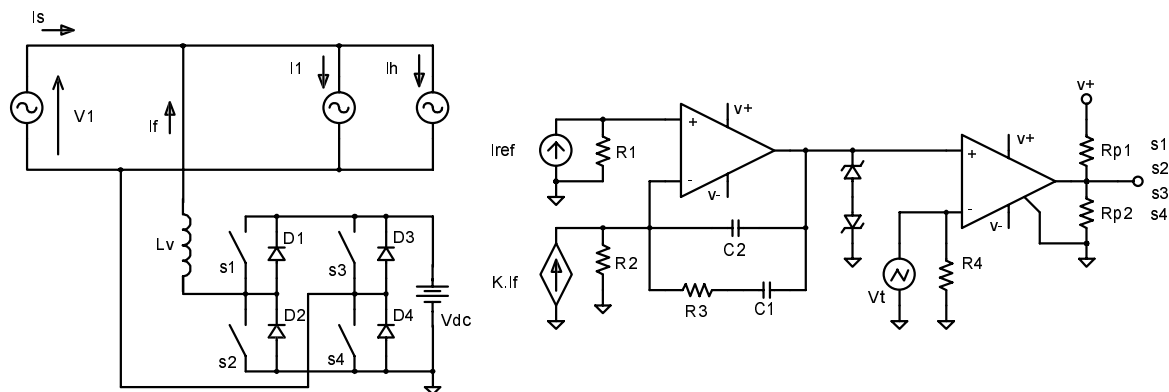


Fig. 3.7 - Circuito simulado do FAP-VSI-V.

Na Fig. 3.8, em (a) são apresentadas a tensão de entrada  $v_s$ , a corrente fornecida pela fonte  $i_s$  e corrente total drenada pela carga  $i_T$ . Nota-se que  $i_s$ , quando comparada à corrente total solicitada pela carga, está praticamente isenta de suas harmônicas. Na parte (b), são vistas a corrente do filtro  $i_a$  e a parcela harmônica da corrente da carga  $i_h$ . O filtro processa a corrente harmônica da carga.

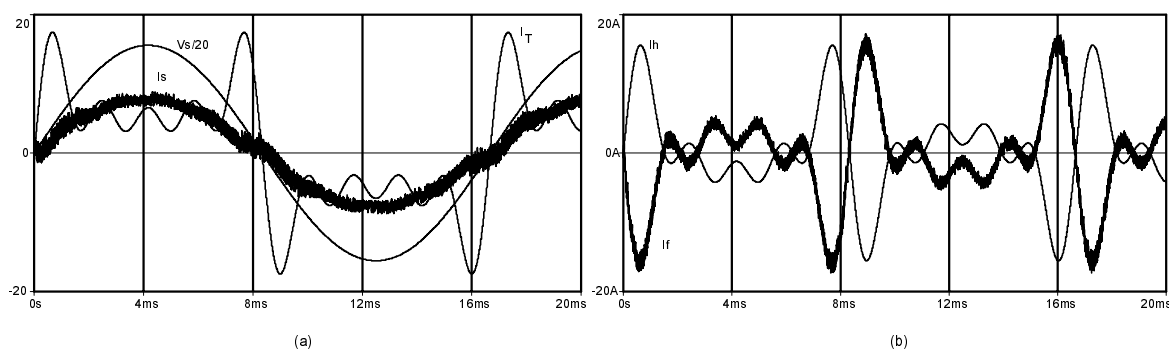


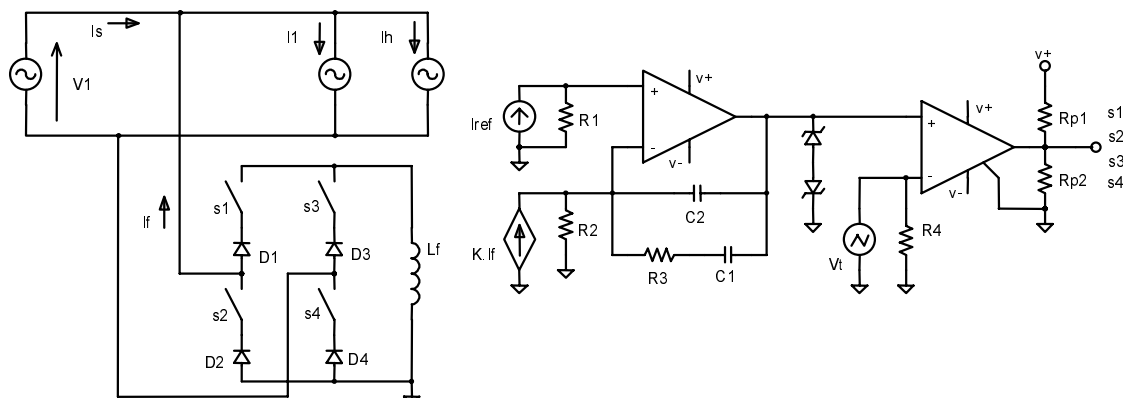
Fig. 3.8 - Tensão de entrada  $v_s$ , corrente de entrada  $i_s$  e corrente da carga  $i_T$  (a); corrente harmônica  $i_h$  e corrente do filtro  $i_a$  (b).

### 3.3.2 Simulação da topologia FAP-CSI-V

O circuito usado para a simulação do filtro ativo com um inversor de corrente é apresentado na fig. 3.9. Da mesma forma, como no item precedente, a modulação utilizada permite dois níveis de corrente no lado CA do inversor. No lado CA foi utilizado um filtro LC para reduzir o efeito da frequência de comutação dos interruptores. Na simulação, o indutor

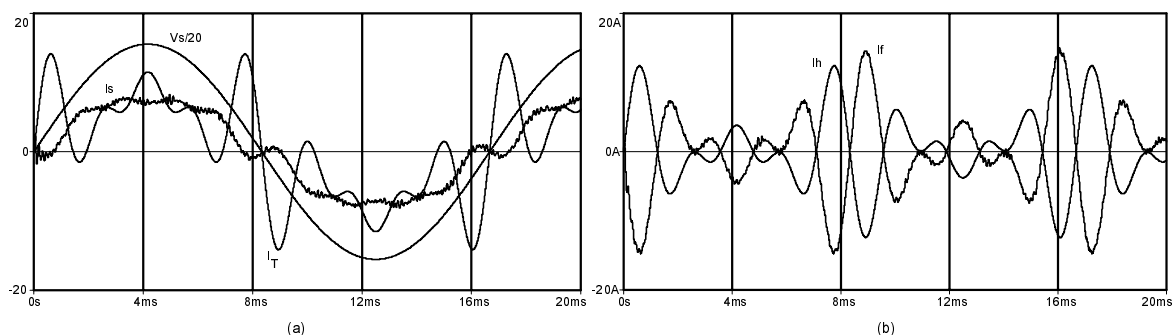


$L_f$  é substituído por uma fonte de corrente.



**Fig. 3.9** - Circuito simulado do FAP-CSI-V.

Nas curvas da fig. 3.10a, tem-se a tensão de entrada  $v_s$ , a corrente fornecida pela fonte  $i_s$  e corrente total drenada pela carga  $i_T$ . A corrente da fonte  $i_s$  apresenta um conteúdo harmônico reduzido quando comparado àquele contido na corrente total da carga. Na fig.3.10b, observa-se a parcela harmônica da corrente de carga  $i_h$  e a corrente fornecida pelo filtro ativo  $i_a$ , as quais são praticamente iguais.



**Fig. 3.10** - Tensão de entrada  $v_s$ , corrente de entrada  $i_s$  e corrente da carga  $i_T$  (a); corrente harmônica  $i_h$  e corrente do filtro  $i_a$  (b).

Para as duas estruturas apresentadas, FAP-VSI-V e FAP-CSI-V, confirmou-se a expectativa de que o filtro impediria a circulação, pela fonte de alimentação  $v_s$ , das correntes harmônicas da carga. De acordo com o equacionamento, previamente apresentado, não se fez análise algébrica para um filtro ativo que utilize um inversor de corrente (CSI). Neste procedimento de simulação, para a estrutura da fig. 3.9, usou-se o compensador projetado para o filtro ativo com o inversor de tensão (VSI).

### 3.3.3 Simulação da topologia FAP-VSI-I

O circuito simulado do filtro ativo, com inversor VSI e com entrada em corrente, é apresentado na fig.3.11. A fonte de alimentação é composta pelas fontes de corrente. O filtro deve eliminar as correntes harmônicas  $i_h$ .

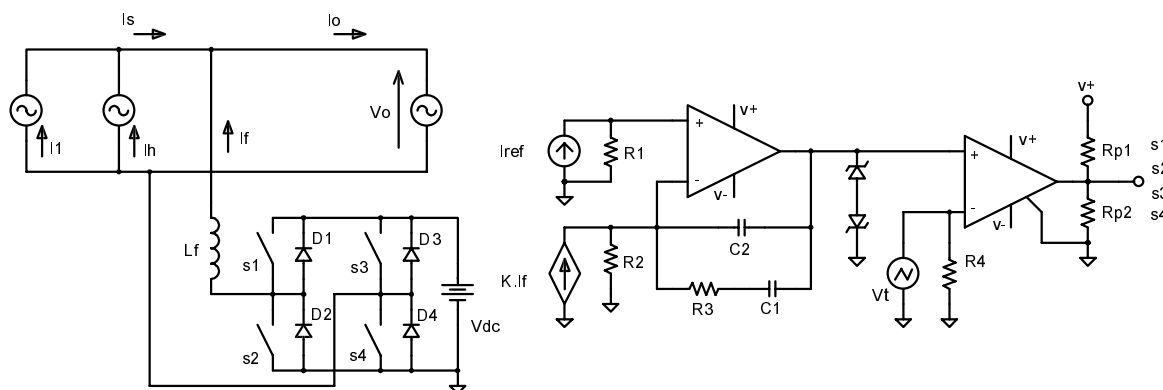


Fig. 3.11 - Circuito simulado do FAP-VSI-I.

A fig. 3.12a mostra a tensão de saída  $v_o$ , a corrente fornecida a essa fonte  $i_o$  e a corrente total fornecida pela fonte de alimentação  $i_T$ . A corrente fornecida à carga está isenta da parcela de correntes harmônicas  $i_h$ .

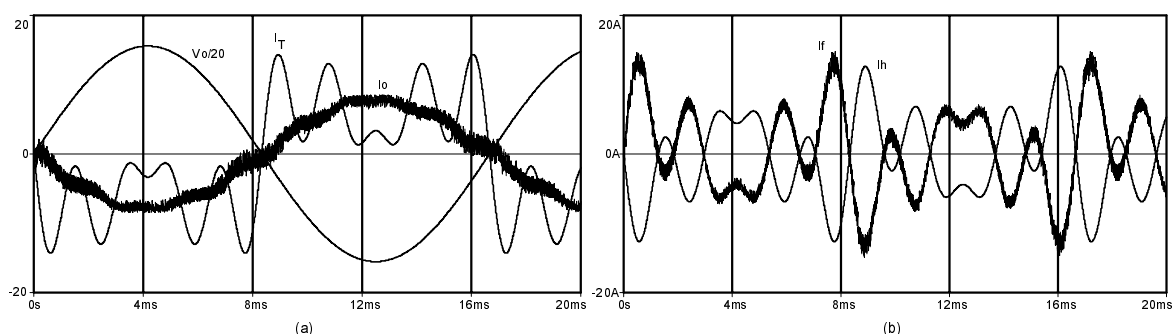


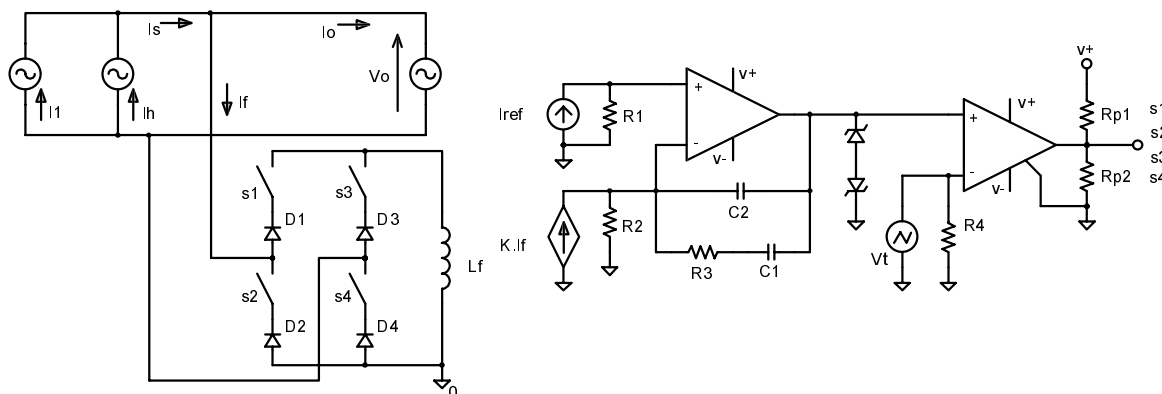
Fig. 3.12 - Tensão de saída  $v_o$ , corrente da fonte  $i_T$ , corrente de carga  $i_o$  (a); corrente harmônica de entrada  $i_h$  e do filtro  $i_a$  (b).

Na fig. 3.12b, a corrente do filtro  $i_a$  e a corrente harmônica da fonte  $i_h$  são apresentadas. A corrente do filtro está em oposição de fase à corrente harmônica e, portanto, essa corrente não circulará pela carga.

### 3.3.4 Simulação da topologia FAP-CSI-I

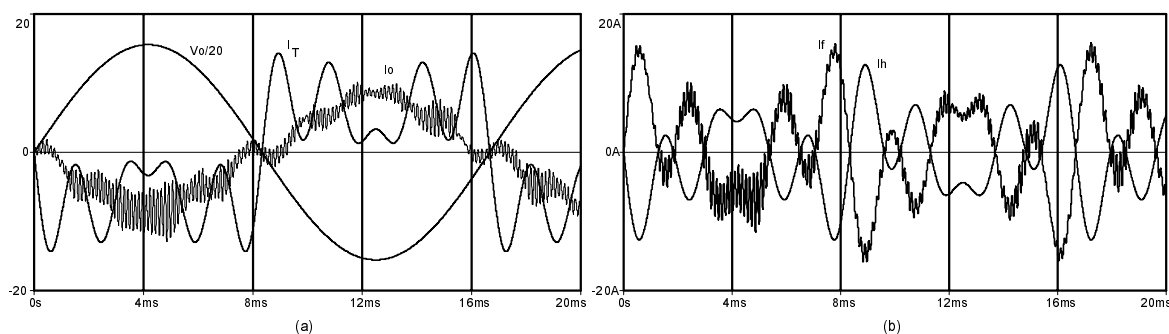
O circuito simulado do filtro ativo, com o inversor CSI e com entrada em corrente, é apresentado na fig. 3.13. A fonte de alimentação é constituída pelas fontes de corrente. O filtro deve eliminar as correntes harmônicas  $i_h$ . No inversor, no lado CA, é usado um filtro LC para minimizar os efeitos da frequência de operação dos interruptores. Para simplificar os

diagramas dos circuitos elétricos, nas duas estruturas que usam o inversor de corrente, o filtro LC não é apresentado. Além disso, o indutor  $L_f$ , quando da simulação foi substituído por uma fonte de corrente.



**Fig. 3.13** - Circuito simulado do FAP-CSI-I.

Na fig. 3.14 são apresentados os resultados dessa simulação. Em (a), tem-se a tensão de saída  $v_o$ , a corrente proporcionada à carga  $i_o$  e a corrente total fornecida pela fonte de alimentação  $i_T$ . A corrente  $i_o$  tem um aspecto senoidal com um conteúdo harmônico bem inferior à corrente total  $i_T$ .



**Fig. 3.14** - Tensão de saída  $v_o$ , corrente da fonte  $i_T$ , corrente de carga  $i_o$  (a); corrente harmônica de entrada  $i_h$  e do filtro  $i_a$  (b).

Em (b) observa-se a corrente harmônica  $i_h$ , produzida pela fonte, e a corrente processada pelo filtro  $i_a$ . A corrente do filtro encontra-se em oposição de fase e com uma amplitude próxima à da corrente harmônica. Logo, a ação do filtro impede a circulação da corrente harmônica pela carga. Observa-se que para esta arquitetura de filtragem o compensador usado é aquele projetado para o filtro ativo com um inversor de tensão.

### 3.4 FILTROS ATIVOS SÉRIE - ESTRATÉGIA DE CONTROLE DA TENSÃO

#### 3.4.1 Controle da tensão por valores médios instantâneos

Na simulação do filtros ativos série usa-se o controle da tensão por valores médios instantâneos. O controle do filtro ativo série (fig. 3.15) é efetuado monitorando-se a tensão de entrada. Dessa tensão, através da função  $E(s)$ , dois sinais são obtidos: a sua componente fundamental  $v_{s1}(t)$  e o sinal  $v_{hr}(t)$ , que contém as harmônicas a serem compensadas.

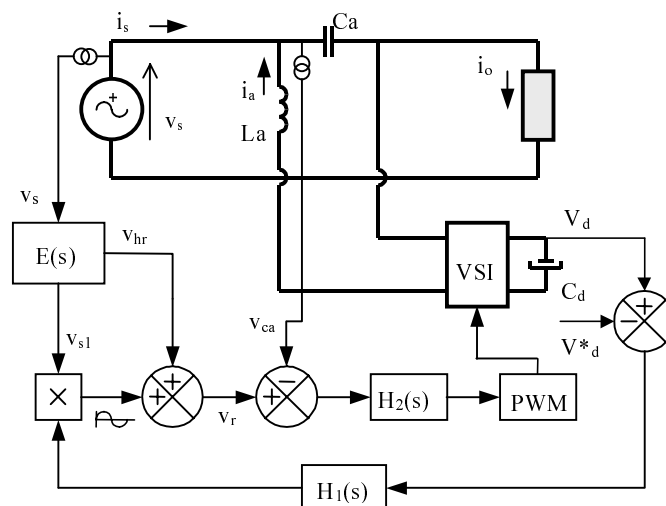


Fig. 3.15 - Diagrama de blocos do controle da tensão por valores médios instantâneos.

No barramento CC do inversor é necessário manter constante um valor médio de tensão ( $V_d$ ) e, portanto, deve-se compensar as perdas do inversor e do capacitor  $C_d$ . A tensão  $v_d(t)$  é controlada, e o sinal de saída de seu controlador  $H_1(s)$  multiplica um sinal senoidal ( $v_{s1}$ ), em fase e proporcional à componente fundamental da tensão de entrada. Isto resulta em um sinal senoidal, o qual é responsável pela compensação das perdas mencionadas.

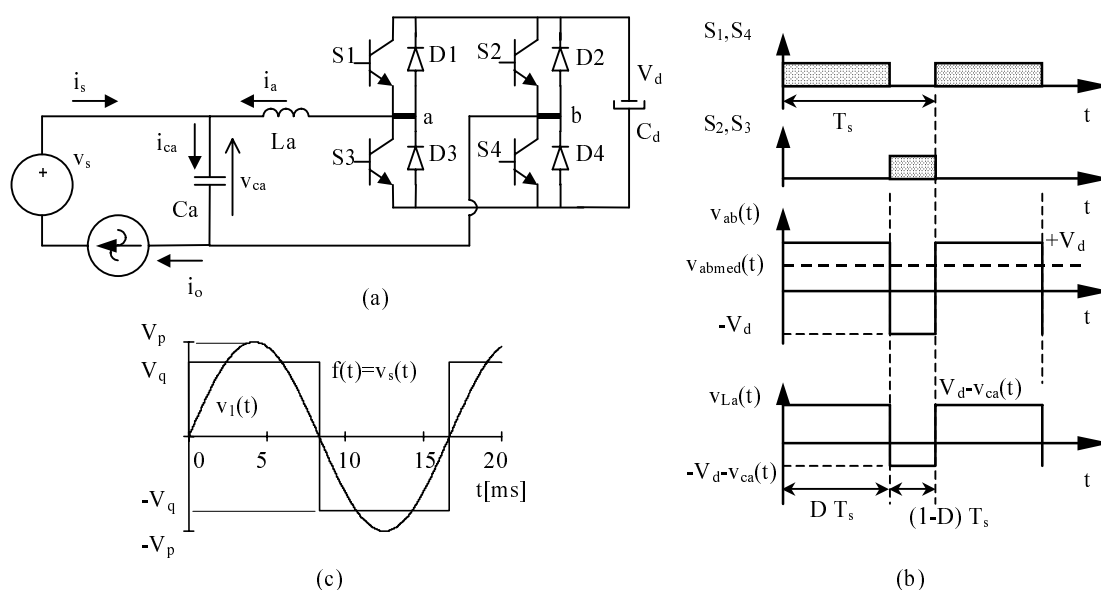
Ele será adicionado ao sinal  $v_{hr}(t)$  que encerra as informações de conteúdo harmônico da tensão de entrada. Esta operação produz a referência de tensão, isto é, o sinal  $v_r$  a ser produzido em  $C_a$ . Este sinal e aquele amostrado no capacitor  $C_a$  são comparados e fornecidos ao compensador  $H_2(s)$ , o qual atua sobre o inversor fechando, portanto, a malha de controle. O sinal de saída de  $H_2(s)$  é comparado a uma forma de onda triangular produzindo, conseqüentemente, os sinais de comando para os interruptores do inversor.

#### 3.4.1.1 Modulação a dois níveis de tensão

A fig. 3.16a reinterpreta o filtro ativo série sendo utilizado entre uma fonte de tensão, contendo a fundamental e um determinado conteúdo harmônico, e uma carga representada por

uma fonte de corrente. O procedimento analítico, usado na seção 3.2.1, é estendido, com os ajustes necessários, a esta situação permitindo extrair as informações essenciais para a topologia do filtro ativo série.

Em operação os interruptores do inversor são comandados de forma complementar. No intervalo  $(D T_s)$  os interruptores  $S_1$  e  $S_4$  serão ligados e  $S_2$  e  $S_3$  desligados. No intervalo  $(1-D)T_s$  esta situação se inverte. Isto caracteriza uma modulação a dois níveis da tensão entre os terminais **a** e **b**. Esta tensão, a tensão sobre o indutor  $L_a$  e os sinais de comando para os interruptores, usados na análise teórica do filtro, são mostrados na fig. 3.16b.



**Fig. 3.16** - Diagrama do filtro ativo série (a); tensões no inversor (b); tensão de entrada (c).

A tensão  $v_o(t)$  sobre a carga deve ser senoidal. Por outro lado, questiona-se que aspecto teria a tensão de entrada  $v_s(t)$ ? Como representá-la? Consta-se, na literatura específica, a representação ou a descrição analítica, por exemplo, das correntes de cargas não lineares [30], entretanto é raro constatar situação análoga para as tensões não puramente senoidais. Dessa forma, adota-se para a tensão de entrada  $v_s(t)$  a forma de onda quadrada  $f(t)$  apresentada na fig. 3.16c ficando estabelecido que  $v_s(t) = f(t)$ . O sinal  $v_s(t)$  tem amplitude máxima  $V_q$ , período  $T = 1/60$  s, e  $\omega = 2\pi/T$  e é expresso por (3.21).

$$v_s(t) = \frac{4 V_q}{\pi} \text{sen}(\omega t) + \frac{4 V_q}{\pi 3} \text{sen}(3 \omega t) + \frac{4 V_q}{\pi 5} \text{sen}(5 \omega t) + \dots \quad (3.21)$$

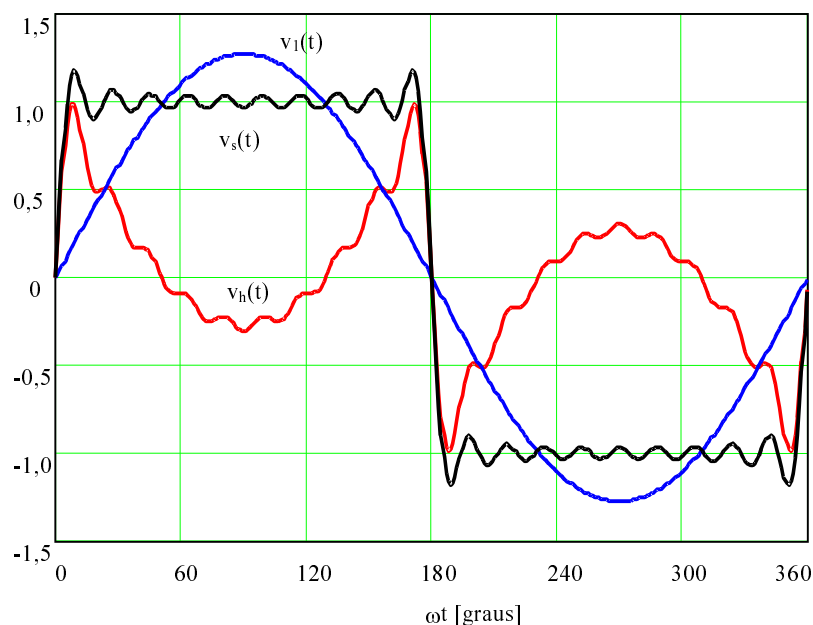
Ou ainda se escreve (3.22) para  $v_s(t)$ .

$$v_s(t) = \frac{4V_q}{\pi} \text{sen}(\omega t) + \frac{4V_q}{\pi} \left[ \sum_{n=2}^m \frac{1}{2n-1} \text{sen}[(2n-1)\omega t] \right] \quad (3.22)$$

Fazendo-se  $(4/\pi)V_q = V_p$ , reescreve-se  $v_s(t)$  como em (3.23).

$$v_s(t) = V_p \text{sen}(\omega t) + V_p \left[ \sum_{n=2}^m \frac{1}{2n-1} \text{sen}[(2n-1)\omega t] \right] = v_1(t) + v_h(t) \quad (3.23)$$

A tensão  $v_s(t)$  é constituída de uma componente fundamental  $v_1(t)$  e de uma parcela  $v_h(t)$  contendo as suas inúmeras harmônicas. Para  $\omega = 2\pi 60 = 377$  rad/s,  $V_q = 1,0$  e  $m = 10$ , os sinais  $v_s(t)$ ,  $v_1(t)$  e  $v_h(t)$  são ilustrados na fig. 3.17.



**Fig. 3.17** - Tensão de entrada  $v_s(t)$  e suas componentes.

No gráfico da fig. 3.17 verifica-se que a amplitude máxima de  $v_1(t)$  é  $V_p = (4V_q)/\pi$  e ao considerarmos um número elevado de componentes harmônicas, isto é, para  $m > 10$ , a função  $v_h(t)$  terá o seguinte valor máximo:  $v_{h\max}(t) = V_q$ . A tensão  $v_h(t)$  é a componente de  $v_s(t)$  que deve ser anulada pelo filtro ativo para que a carga fique submetida a uma tensão senoidal sem distorções.

#### A.1 A razão cíclica $D$ e a ondulação de corrente $\Delta i_a$

No capacitor  $C_a$  deve ser produzida a tensão necessária para anular o conteúdo harmônico de  $v_s(t)$ . Portanto, considera-se que a tensão  $v_{ca}(t)$ , sobre o capacitor  $C_a$ , contendo

as  $v$  harmônicas a serem filtradas é dada por (3.24).

$$v_{ca}(t) = \frac{4V_q}{\pi} \left[ \sum_{u=2}^v \frac{1}{2u-1} \text{sen}[(2u-1)\omega_c t] \right] \quad (3.24)$$

Entre os terminais **a** e **b** existe uma forma de onda em alta frequência, composta por um sinal portador e seu sinal modulante, ou seja, a tensão  $v_{ab}(t)$ . Esta tensão é similar à tensão  $v_{ca}(t)$  e constitui-se, também, de  $m$  harmônicas. Dessa forma, a tensão  $v_{ab}(t)$  é expressa por (3.25).

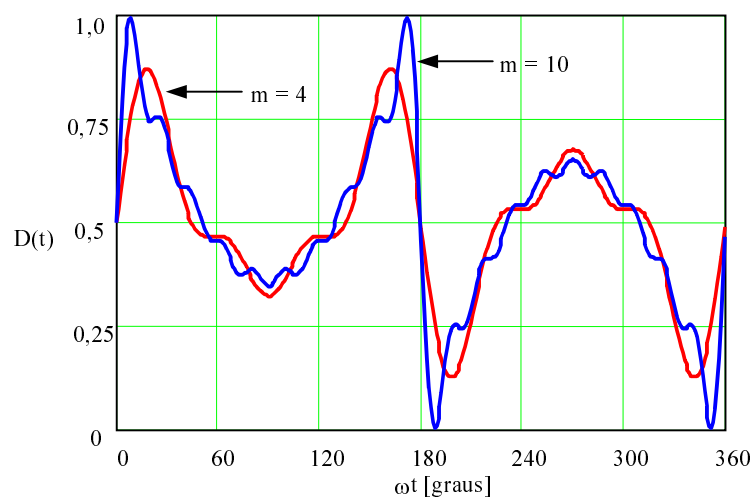
$$v_{ab}(t) = \frac{4V_q}{\pi} \left[ \sum_{n=2}^m \frac{1}{2n-1} \text{sen}[(2n-1)\omega_a t] \right] \quad (3.25)$$

Supondo que a frequência de comutação  $f_s$  é muito maior do que a frequência da componente harmônica de mais alta ordem, contemplada em (3.25), admite-se que o valor médio de  $V_{abmed}(t)$ , para um período  $T_s$ , é igual a  $v_{ab}(t)$ . Combinando-se a expressão (3.2) com a expressão (3.25), resulta em (3.26), que representa a razão cíclica  $D(t)$ .

$$D(t) = 0,5 \left[ 1 + \frac{4V_q}{\pi V_d} \left[ \sum_{n=2}^m \frac{1}{2n-1} \text{sen}[(2n-1)\omega_a t] \right] \right] \quad (3.26)$$

O comportamento da razão cíclica  $D(t)$  é apresentado na fig. 3.18, para dois valores de  $m$ , isto é,  $m=4$  e  $m=10$ , e com as condições apresentadas a seguir:

$$\omega_a = 377 \text{ rad/s} \quad V_q = 1,0 \quad V_d = 1,0$$



**Fig. 3.18** - Variação da razão cíclica  $D(t)$ .

Das curvas, apresentadas na fig. 3.18, nota-se que para  $V_q=V_d$  à medida que maior número de componentes harmônicas são consideradas, a excursão de  $D(t)$  tende, em algumas regiões, aos valores limites 1,0 e 0. Um aspecto importante é apreendido dessa observação. A tensão do barramento CC do inversor deve possuir, sempre, uma amplitude igual ou superior ao valor máximo da tensão a ser produzida em  $C_a$ . Dessa forma, define-se o índice de modulação de tensão  $M_v$ , expresso em (3.27).

$$M_v = \frac{V_q}{V_d} \quad (3.27)$$

Durante o intervalo de condução de  $S_1$  e  $S_4$ , do circuito da fig. 3.16a, obtém-se a expressão (3.28).

$$L_a \frac{d i_a(t)}{dt} = V_d - v_{ca}(t) \quad (3.28)$$

Em um intervalo de comutação  $T_s$ , reescreve-se a expressão anterior resultando (3.29).

$$L_a \frac{\Delta i_a(t)}{\Delta t} = V_d - v_{ca}(t) \quad (3.29)$$

As expressões (3.8), (3.26) e (3.24) são substituídas em (3.29) resultando a expressão (3.30), deduzida no Apêndice A. Esta última representa a variação paramétrica da ondulação da corrente no indutor  $L_a$  do filtro ativo série.

$$\overline{\Delta i_a(t)} = \frac{L_a \Delta i_a(t)}{V_d T_s} = \left[ 0,5 - 2 \left( \frac{2}{\pi} M_v \right)^2 \left( \sum_{n=2}^m \alpha_n \text{sen}(\gamma_n \omega_a t) \right) \left( \sum_{u=2}^v \alpha_u \text{sen}(\gamma_u \omega_c t) \right) \right] \quad (3.30)$$

onde:

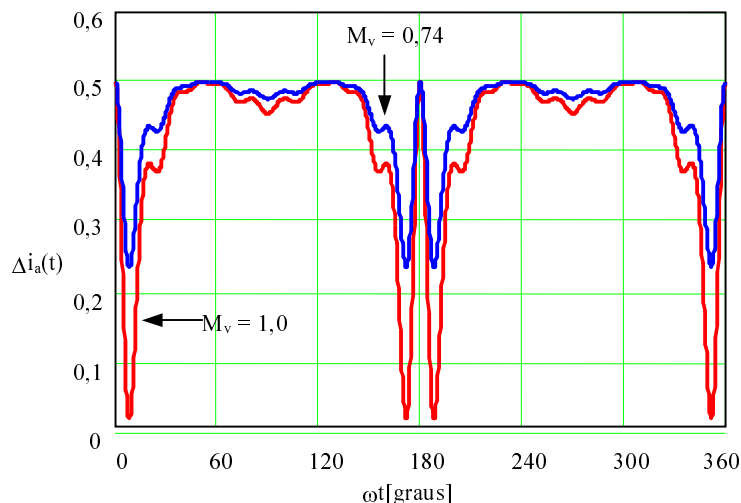
$$M_v = \frac{V_q}{V_d} \quad \alpha_n = \frac{1}{2n-1} \quad \alpha_u = \frac{1}{2u-1}$$

$$\gamma_n = (2n-1) \quad \gamma_u = (2u-1)$$

A fig. 3.19 mostra a variação da ondulação da corrente do indutor, parametrizada, em



um período da frequência da rede para dois níveis da tensão  $v_{ab}(t)$ . Este gráfico foi gerado, considerando-se da 3ª até 19ª harmônica, para dois valores de  $M_v$ . A variação de  $M_v$  modifica as curvas reduzindo a faixa de variação da ondulação parametrizada.



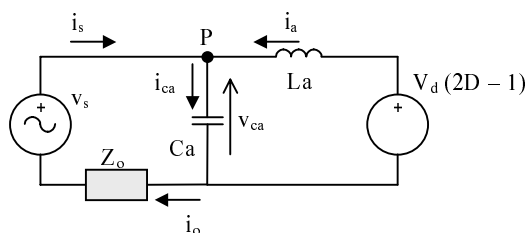
**Fig. 3.19** - Variação da ondulação da corrente do indutor  $L_a$ .

Observa-se que o valor máximo desta ondulação, ou seja da expressão (3.30), é igual a 0,5. Logo, em função desse dado, o valor de  $L_a$  pode ser determinado por (3.31).

$$L_a = \frac{0,5 V_d}{f_s \Delta i_{amax}} \quad (3.31)$$

#### A.2 Determinação da função de transferência $\Delta V_{ca}(s)/\Delta D(s)$

Considerando-se o circuito do conversor, por seus valores médios, na frequência de comutação, seu modelo de grandes sinais pode ser visto na fig. 3.20. O valor médio da tensão  $v_{ab}(t)$ , para dois níveis de tensão, é dado por (3.2).



**Fig. 3.20** - Modelo de grandes sinais do inversor para  $v_{ab}(t)$  com dois níveis de tensão.

Supondo uma operação contínua do circuito mostrado na fig. 3.20 extraem-se as expressões (3.32), (3.33) e (3.34).

$$\frac{di_a(t)}{dt} = \frac{V_d(2D-1) - v_{ca}(t)}{L_a} \quad (3.32)$$

$$i_s(t) = i_o(t) \quad (3.33)$$

$$i_s(t) = i_{ca}(t) - i_a(t) \quad (3.34)$$

A função de transferência  $\Delta V_{ca}(s)/\Delta D(s)$  pode se obtida quando se introduz perturbações mínimas na razão cíclica  $D$ , isto é, de amplitudes iguais a  $\Delta D$ . Estabelece-se que a carga  $Z_o$  é uma carga com característica de fonte de corrente. Por conseqüência, as alterações produzidas na corrente  $i_a(t)$ , em virtude da perturbação em  $D$ , terão efeitos sobre a corrente  $i_{ca}(t)$  que por sua vez modificará  $v_{ca}(t)$ . Logo, as expressões (3.35), (3.36), (3.37) e (3.38) são estabelecidas.

$$D = D + \Delta D \quad (3.35)$$

$$i_a(t) = i_a(t) + \Delta i_a(t) \quad (3.36)$$

$$i_{ca}(t) = i_{ca}(t) + \Delta i_{ca}(t) \quad (3.37)$$

$$v_{ca}(t) = v_{ca}(t) + \Delta v_{ca}(t) \quad (3.38)$$

Substituindo-se (3.35), (3.36) e (3.38) em (3.32) resulta (3.39).

$$\frac{di_a(t)}{dt} + \frac{d\Delta i_a(t)}{dt} = \frac{V_d(2D-1) - v_{ca}(t)}{L_a} + \frac{2V_d\Delta D - \Delta v_{ca}(t)}{L_a} \quad (3.39)$$

Por comparação entre as expressões (3.32) e (3.39) retira-se a expressão (3.40).

$$\frac{d\Delta i_a(t)}{dt} = \frac{2V_d\Delta D - \Delta v_{ca}(t)}{L_a} \quad (3.40)$$

Reescreve-se (3.34) como apresentado em (3.41).

$$i_a(t) = i_{ca}(t) - i_s(t) \quad (3.41)$$

Substituindo-se (3.36) e (3.37) em (3.41) resulta (3.42).

$$i_a(t) + \Delta i_a(t) = i_{ca}(t) - i_s(t) + \Delta i_{ca}(t) \quad (3.42)$$

Comparando-se (3.41) e (3.42) determina-se a condição exposta em (3.43).

$$\Delta i_a(t) = \Delta i_{ca}(t) \quad (3.43)$$

A tensão no capacitor  $C_a$  é dada por (3.44).

$$v_{ca}(t) = \frac{1}{C_a} \int i_{ca}(t) \quad (3.44)$$

Aplicando-se (3.37) e (3.38) em (3.44) resulta a expressão (3.45).

$$v_{ca}(t) + \Delta v_{ca}(t) = \frac{1}{C_a} \int i_{ca}(t) + \frac{1}{C_a} \int \Delta i_{ca}(t) \quad (3.45)$$

Observando-se (3.44) e (3.45) conclui-se que a variação da tensão no capacitor  $C_a$  será dada por (3.46).

$$\Delta v_{ca}(t) = \frac{1}{C_a} \int \Delta i_{ca}(t) \quad (3.46)$$

Aplicando-se Laplace em (3.40), (3.43) e (3.46) obtêm-se (3.47), (3.48) e (3.49).

$$\Delta I_a(s) = \frac{2V_d \Delta D(s) - \Delta V_{ca}(s)}{sL_a} \quad (3.47)$$

$$\Delta I_a(s) = \Delta I_{ca}(s) \quad (3.48)$$

$$\Delta V_{ca}(s) = \frac{\Delta I_{ca}(s)}{sC_a} \quad (3.49)$$

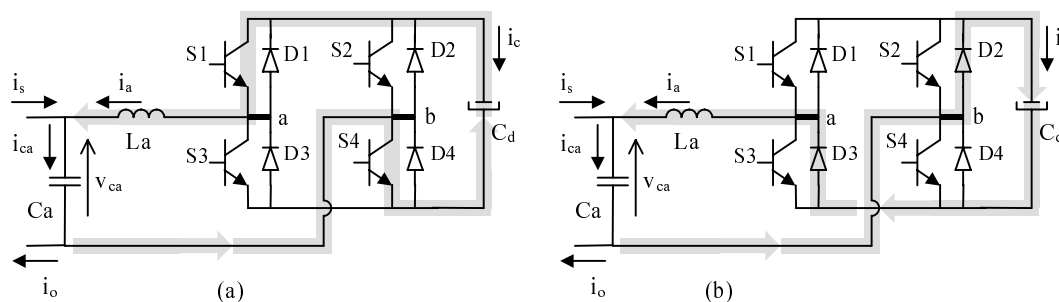
Da substituição de (3.47), (3.48) em (3.49) e fazendo-se algumas manipulações

algébricas chega-se a (3.50). Esta última representa a função de transferência que relaciona a variação da tensão em  $C_a$  em função das variações da razão cíclica  $D$ .

$$G_a(s) = \frac{\Delta V_{ca}(s)}{\Delta D(s)} = \frac{2V_d}{1 + s^2 L_a C_a} \quad (3.50)$$

### A.3 Função de transferência de tensão $\Delta V_d(s)/\Delta V_{ca}(s)$

O valor médio da tensão de barramento CC do inversor deve ser mantido constante e, conseqüentemente, necessita de um controlador. Para definir esse controlador é necessário, a princípio, conhecer como se comporta a variação dessa tensão em função da variação da tensão sobre o capacitor  $C_a$ . Para obter essa função de transferência considere os circuitos da fig. 3.21 contendo as etapas de operação do filtro ativo durante o período de comutação  $T_s$ .



**Fig. 3.21** - Etapas de operação do filtro ativo para um período de comutação.

No intervalo  $(DT_s)$  os interruptores  $S_1$  e  $S_4$  estão ligados e conduzem a corrente que circula no capacitor  $C_d$  e no intervalo  $((1-D).T_s)$ , os interruptores  $S_2$  e  $S_3$  são desligados e a circulação de corrente se dará através dos diodos  $D_2$  e  $D_3$ . O valor médio da corrente do capacitor  $C_d$ , durante o período de comutação  $T_s$ , é expresso por (3.51).

$$i_{cmed}(t) = \frac{1}{T_s} \left( \int_0^{DT_s} -i_a(t) dt + \int_{DT_s}^{T_s} i_a(t) dt \right) = -i_a(2D-1) \quad (3.51)$$

onde o  $i_a$  é o valor de  $i_a(t)$  para o período considerado. A corrente no capacitor  $C_d$  também pode ser expressa por (3.52).

$$i_c(t) = C_d \frac{dv_d(t)}{dt} \quad (3.52)$$

Aplicando-se a transformada de Laplace em (3.51) e (3.52) encontram-se as equações (3.53) e (3.54).

$$I_{cmed}(s) = -I_a(s) (2D - 1) \quad (3.53)$$

$$I_c(s) = s C_d V_d(s) \quad (3.54)$$

Substituindo-se (3.54) em (3.53) encontra-se (3.55). Esta operação é efetuada admitindo-se sempre uma frequência elevada de comutação.

$$V_d(s) = \frac{-I_a(s) (2D - 1)}{s C_d} \quad (3.55)$$

Retomando-se a equação (3.32) e nela causando uma perturbação mínima em  $i_a(t)$  resulta a equação (3.56).

$$\frac{di_a(t)}{dt} + \frac{\Delta i_a(t)}{dt} = \frac{(V_d + \Delta V_d)(2D - 1) - (v_{ca}(t) + \Delta v_{ca}(t))}{L_a} \quad (3.56)$$

Da comparação entre (3.56) e (3.32) retira-se (3.57).

$$\frac{\Delta i_a(t)}{dt} = \frac{\Delta V_d (2D - 1) - \Delta v_{ca}(t)}{L_a} \quad (3.57)$$

Na expressão (3.57) aplicando-se a transformada de Laplace resulta (3.58).

$$\Delta I_a(s) = \frac{\Delta V_d(s) (2D - 1) - \Delta V_{ca}(s)}{s L_a} \quad (3.58)$$

Causando-se uma perturbação em  $V_d$ , a expressão (3.55) é reescrita como em (3.59).

$$V_d(s) + \Delta V_d(s) = \frac{-(I_a(s) + \Delta I_a(s)) (2D - 1)}{s C_d} \quad (3.59)$$

Da expressão (3.59) retira-se a expressão de  $\Delta V_d(s)$  definida por (3.60).

$$\Delta V_d(s) = \frac{-\Delta I_a(s) (2D - 1)}{s C_d} \quad (3.60)$$

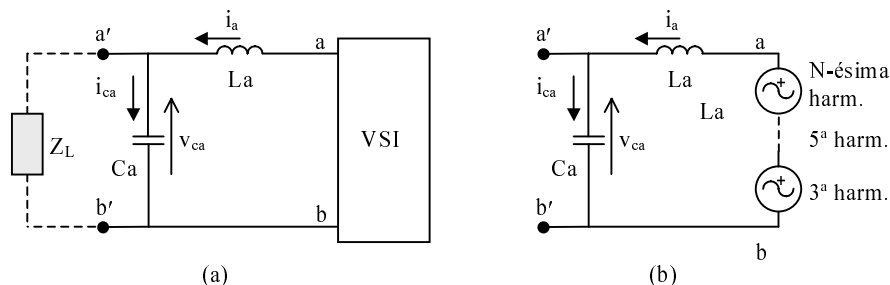
Substituindo-se (3.58) em (3.60) produz-se a função de transferência procurada,  $\Delta V_d(s)/\Delta V_{ca}(s)$ , expressa por (3.61).

$$Gd(s) = \frac{\Delta V_d(s)}{\Delta V_{ca}(s)} = \frac{(2D-1)}{s^2 L_a C_d + (2D-1)^2} \quad (3.61)$$

#### A.4 O capacitor de acoplamento $C_a$

No filtro ativo série, a determinação de valores apropriados para os componentes  $L_a$  e  $C_a$ , do filtro LC, é um aspecto importante. O valor do indutor  $L_a$  foi definido de acordo com a variação da ondulação de corrente a que estará sujeito no período de comutação.

Para a situação em que o sinal modulante (fig. 3.22a), nos terminais **a** e **b** do inversor, é uma tensão senoidal a ser produzida entre os terminais **a'** e **b'**, pode-se definir uma impedância  $Z_L$  que representa a carga e é conectada entre esses terminais. Com esta configuração analisa-se os efeitos [31] dos valores de  $L_a$  e  $C_a$ , sobre as componentes fundamentais da corrente e da tensão na carga e, em consequência, obtém-se a sinalização para um ajuste apropriado dos valores de  $L_a$  e  $C_a$ .



**Fig. 3.22** - Circuito equivalente usado para a determinação da corrente eficaz de  $C_a$ .

Mas para essa estrutura de filtragem ativa série, a tensão  $v_{ab}(t)$  (fig. 3.22b), excluído o sinal modulador, é constituída de várias harmônicas. E este sinal deve ser visível sobre o capacitor  $C_a$  para que a ação do filtro seja eficiente. Dessa forma, considerar-se-á somente o filtro LC - remove-se a impedância  $Z_L$ .

Arbitra-se um valor para  $C_a$ , definindo-se uma frequência de ressonância ou de corte, para o filtro LC, superior à frequência da harmônica de mais alta ordem a ser reduzida ou eliminada. Por outro lado, esta frequência de corte deve ser pelo menos 4 vezes menor do que a frequência de comutação  $f_s$ . De acordo com o exposto nos parágrafos anteriores determina-se, assim, o filtro LC. Entretanto é possível acrescentar um outro parâmetro à determinação

do capacitor  $C_a$ . A corrente eficaz  $i_{cae}(t)$ , a que se submeterá ao produzir a tensão harmônica  $v_{cae}(t)$  em seus terminais.

Sabe-se que a queda de tensão no capacitor  $C_a$  é dada por (3.62).

$$v_{cae}(t) = X_{caeq} i_{cae}(t) \quad (3.62)$$

Nota-se que a tensão  $v_{cae}(t)$  (fig. 3.22b) é composta das harmônicas ímpares ( $3^a$ ,  $5^a$ ,  $7^a$ ,  $\dots \infty$ ) e dessa forma escreve-se (3.63)

$$v_{cae}(t) = \sqrt{\frac{1}{2\pi} \left[ \int_0^\pi \left( V_q - \frac{4V_q}{\pi} \text{sen}(\omega t) \right)^2 dt + \int_\pi^{2\pi} \left( -V_q - \frac{4V_q}{\pi} \text{sen}(\omega t) \right)^2 dt \right]} \quad (3.63)$$

Resolvendo-se a integral apresentada em (3.63) encontra-se o valor eficaz de  $v_{cae}(t)$  dado por (3.64).

$$v_{cae}(t) = \frac{V_q}{\pi} \sqrt{(\pi^2 - 8)} \quad (3.64)$$

O capacitor  $C_a$ , quando submetido as fontes de tensões harmônicas (fig. 3.22b), apresenta a reatância  $X_{caeq}$  expressa por (3.65).

$$X_{caeq} = \sqrt{\frac{\sum_{n=2}^m \left( \frac{1}{2n-1} \right)^2}{(m-1)(\omega_1 C_a)^2}} \quad (3.65)$$

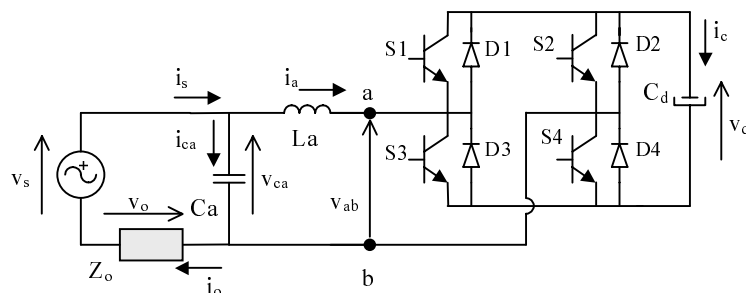
Na equação (3.65) tem-se:  $n = (2, 3, 4, \dots, m)$ ,  $(m-1)$  é o número de harmônicas contidas na tensão  $v_{ca}(t)$  e  $\omega_1$  é a frequência da tensão fundamental.

Com o valor arbitrado para o capacitor  $C_a$  obtém-se um valor para a reatância  $X_{caeq}$  através da equação (3.65). Aplicando-se este valor em (3.62) encontra-se o valor da corrente eficaz  $i_{cae}(t)$  que circulará pelo capacitor  $C_a$ . Com essas informações verifica-se, junto às especificações do fabricante do componente, se o capacitor  $C_a$  escolhido atende ao requisito de corrente eficaz.

#### A.5 Capacitor ( $C_d$ ) do barramento CC do inversor

Outro componente a ser determinado para a estrutura de filtragem é o capacitor  $C_d$  do

barramento de corrente contínua do inversor. Com base no circuito apresentado na fig. 3.23 estabelece-se as condições para seu cálculo. Usar-se-á uma carga linear representada pela impedância  $Z_o$ . A fonte de alimentação proporciona em seus terminais uma tensão  $v_s(t)$ , a qual é uma forma de onda quadrada. Supõe-se um funcionamento adequado do filtro. A tensão sobre a carga será senoidal e, conseqüentemente, a corrente de carga também o será.



**Fig. 3.23** - Circuito equivalente para a determinação do capacitor  $C_d$ .

Equacionando-se o circuito da fig. 3.23, para um intervalo igual à metade do período da componente fundamental de  $v_s(t)$ , estabelecem-se as expressões (3.66), (3.67) e (3.68).

$$v_s(t) = V_q \quad (3.66)$$

$$v_{ab}(t) = v_{ca}(t) - v_{La}(t) \quad (3.67)$$

$$i_a(t) = i_s(t) - i_{ca}(t) \quad (3.68)$$

Para os capacitores  $C_a$  e  $C_d$  escrevem-se as equações (3.69) e (3.70).

$$i_{ca}(t) = C_a \frac{dv_{ca}(t)}{dt} \quad (3.69)$$

$$i_c(t) = C_d \frac{dv_d(t)}{dt} \quad (3.70)$$

Sobre o capacitor  $C_a$  deve ser produzida a tensão harmônica expressa por (3.71).

$$v_{ca}(t) = V_q - \frac{4V_q}{\pi} \text{sen}(\omega t) \quad (3.71)$$



Dessa forma a tensão sobre a carga será senoidal e também sua corrente, a qual é descrita pela equação (3.72).

$$i_s(t) = i_o(t) = \sqrt{2} I_1 \text{sen}(\omega t) \quad (3.72)$$

No circuito da fig. 3. 23, conclui-se que a energia processada nos terminais **a** e **b** é igual àquela processada no barramento CC, no capacitor  $C_d$ . Portanto, pelo balanço de potência escreve-se (3.73).

$$v_d(t)i_c(t) = v_{ab}(t)i_a(t) \quad (3.73)$$

Na equação (3.73) substituindo-se as equações (3.67) e (3.68) resulta a equação (3.74).

$$v_d(t)i_c(t) = v_{ca}(t)i_s(t) - v_{ca}(t)i_{ca}(t) - v_{La}(t)i_s(t) + v_{La}(t)i_{ca}(t) \quad (3.74)$$

Após a utilização das equações (3.69), (3.70) e (3.71) e várias outras substituições e manipulações algébricas sobre a equação (3.74) obtém-se a equação (3.75). Ela apresenta o comportamento da tensão  $v_d(t)$ .

$$v_d(t) = \sqrt{c_1(1-C) - c_2(-0,5CS + 0,5u) + c_3S + (c_4 + c_5 - c_7)(C2 - 1) - c_6S2 + V_d^2} \quad (3.75)$$

Na equação (3.75) tem-se:

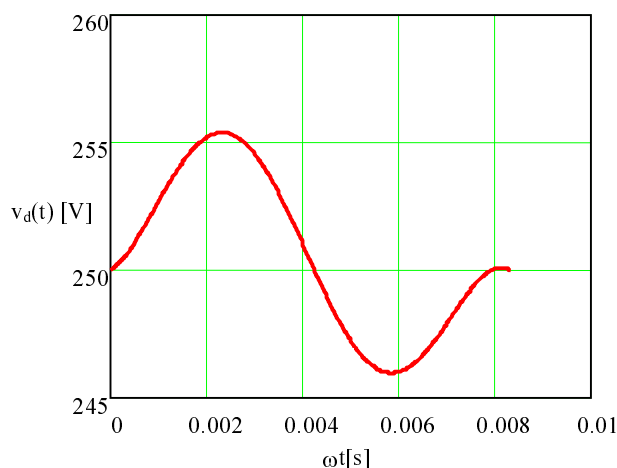
$$C = \cos(\omega t) \quad C2 = \cos(2\omega t) \quad S = \text{sen}(\omega t) \quad S2 = \text{sen}(2\omega t) \quad u = \omega t$$

$$c_1 = \sqrt{2} \frac{2V_q}{\omega C_d} I_1 \quad c_2 = \frac{8}{\pi} \sqrt{2} \frac{V_q}{\omega C_d} I_1 \quad c_3 = 8 \frac{C_a}{\pi} \frac{V_q^2}{C_d} \quad c_4 = 8 \frac{C_a}{\pi^2} \frac{V_q^2}{C_d}$$

$$c_5 = \frac{L_a}{C_d} I_1^2 \quad c_6 = 4L_a \frac{C_a}{\pi} \frac{V_q}{C_d} \omega \sqrt{2} I_1 \quad c_7 = 8L_a \frac{C_a^2}{\pi^2} \frac{V_q^2}{C_d} \omega^2$$

Com essa expressão, arbitrado um valor para o capacitor  $C_d$ , pode-se observar a variação da tensão do barramento CC (fig. 3.24). Para variações da tensão  $v_d(t)$ , inferiores ou superiores aos limites especificados para uma determinada estrutura de filtragem, novos valores para  $C_d$  podem ser testados até que se consiga os limites definidos.

O gráfico da fig. 3.24 mostra o comportamento da tensão  $v_d(t)$  em meio período da tensão de entrada  $v_s(t)$ . Tem-se a expectativa de que resultado análogo será encontrado para a segunda metade daquele período uma vez que a tensão  $v_s(t)$  inverte sua polaridade.



**Fig. 3.24** - Variação da tensão  $v_d(t)$  do barramento CC do inversor.

As condições para a obtenção do gráfico anterior são:

$$\omega = 377 \text{ rad/s}; V_q = 244 \text{ V}; V_d = 250 \text{ V}; I_1 = 5,3 \text{ A}; C_d = 470 \text{ } \mu\text{F}; C_a = 4,7 \text{ } \mu\text{F} \text{ e } L_a = 3,17 \text{ mH}$$

### 3.4.2 Exemplo de projeto - filtro ativo série

Um exemplo de projeto é descrito a seguir. Ele consiste na determinação dos principais componentes do filtro ativo série, com um VSI e será usado para suas simulações. Estabelece-se que o controle do sistema é por valores médios instantâneos a dois níveis de tensão. O filtro é projetado para compensar cargas de até 1250 W. Supondo-se que o filtro ativo série e a carga drenem uma corrente da fonte de alimentação, a princípio, senoidal e em fase com a tensão da rede, o seu valor de pico poderá ser calculado como se segue.

$$I_{sp} = \frac{2P_o}{V_{sp}} = \frac{2 \times 1250}{311} = 8,04 \text{ A}$$

Sejam as seguintes especificações:

$$\begin{aligned} V_{sp} &= 311 \text{ V}, & f &= 60 \text{ Hz} \\ V_d &= 250 \text{ V}, & V_q &= 244 \text{ V}, & f_s &= 20 \text{ kHz} \\ \Delta i_{amax} &= 25 \% I_{sp}, & C_a &= 4,7 \text{ } \mu\text{F} \end{aligned}$$

O índice de modulação  $M_v$  é calculado de acordo com a expressão abaixo:

$$M_v = \frac{V_q}{V_d} = \frac{244}{250} = 0,97$$

A ondulação de corrente é calculada em função da corrente de pico da rede conforme mostrado a seguir.

$$\Delta i_{\text{amax}} = 25 \% I_{\text{sp}} = 0,25 \times 8,04 = 2,01 \text{ A}$$

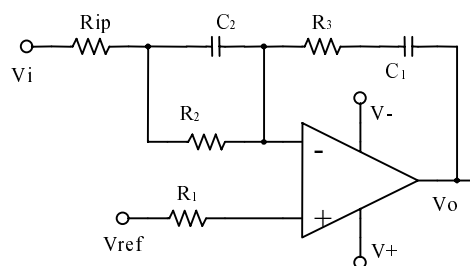
A indutância  $L_a$  é calculada de acordo com a expressão (3.31)

$$L_a = \frac{V_d \overline{\Delta i_a}}{\Delta i_{\text{amax}} f_s} = \frac{250 \times 0,5}{2,01 \times 20000} = 3,11 \text{ mH}$$

A função de transferência é calculada de acordo com a equação (3.50).

$$\frac{\Delta V_{ca}(s)}{\Delta D(s)} = \frac{2 V_d}{1 + s^2 L_a C_a} = \frac{2 \times 250}{1 + s^2 3,11 \times 10^{-3} \times 4,7 \times 10^{-6}} = \frac{500}{1 + s^2 14,62 \times 10^{-9}}$$

A função de transferência da planta em questão ( $\Delta V_{ca}(s)/\Delta D(s)$ ) possui um par de pólos complexos. Logo, adota-se para o controle deste sistema um compensador do tipo PID (2 pólos - 2 zeros), cujo esquema é apresentado na fig. 3.25 .



**Fig. 3.25** - Circuito do compensador de tensão (2 pólos - 2 zeros).

A função de transferência do compensador escolhido é dada por (3.76).

$$H_2(s) = \frac{V_o(s)}{V_i(s)} = \frac{(1 + s R_2 C_2)(1 + s R_3 C_1)}{s C_1 (R_{ip} + R_2) \left( 1 + s C_2 \frac{R_{ip} R_2}{R_{ip} + R_2} \right)} \quad (3.76)$$

O zeros deste compensador serão alocados na frequência de ressonância dada pela composição dos componentes  $L_a$  e  $C_a$ . Os seus pólos serão posicionados em 0 Hz e 10 kHz.

Seguindo-se o procedimento ilustrado em [32], os componentes do circuito ficam determinados e seus valores são apresentados a seguir.

$$C_1 = 1,016 \times 10^{-9} \text{ F} \quad C_2 = 4,48 \times 10^{-9} \text{ F}$$

$$R_{ip} = 1,240 \times 10^3 \text{ } \Omega \quad R_2 = 2,7 \times 10^4 \text{ } \Omega \quad R_3 = 119,0 \times 10^3 \text{ } \Omega$$

A função de transferência do compensador terá o seguinte valor numérico substituindo-se os valores desses componentes em (3.76).

$$H_2(s) = \frac{(1 + sR_2 C_2)(1 + sR_3 C_1)}{s C_1 (R_{ip} + R_2) \left( 1 + s C_2 \frac{R_{ip} R_2}{R_{ip} + R_2} \right)} = \frac{(1 + s 120,96 \cdot 10^{-6})(1 + s 120,90 \cdot 10^{-6})}{s 28,69 \cdot 10^{-6} (1 + s 5,311 \cdot 10^{-6})}$$

A função de transferência de laço aberto é apresentada a seguir. O ganho  $K_{vs}$ , com o qual serão amostradas as tensões, é igual a 0,0128465.

$$\begin{aligned} FTLAv(s) &= \frac{K_{vs}}{V_{Tpp}} Ga(s) H_2(s) = \\ &= 0,00128465 \cdot \frac{500}{1 + s^2 14,62 \cdot 10^{-9}} \cdot \frac{(1 + s 120,96 \cdot 10^{-6})(1 + s 120,90 \cdot 10^{-6})}{s 28,69 \cdot 10^{-6} \cdot (1 + s 5,311 \cdot 10^{-6})} \end{aligned} \quad (3.77)$$

Os diagramas de Bode, de módulo e de fase, de  $Ga(s)$ ,  $H_2(s)$  e  $FTLAv(s)$  são mostrados na fig. 3.26. A frequência de cruzamento é de aproximadamente 4 kHz e a margem de fase de  $47^\circ$ .

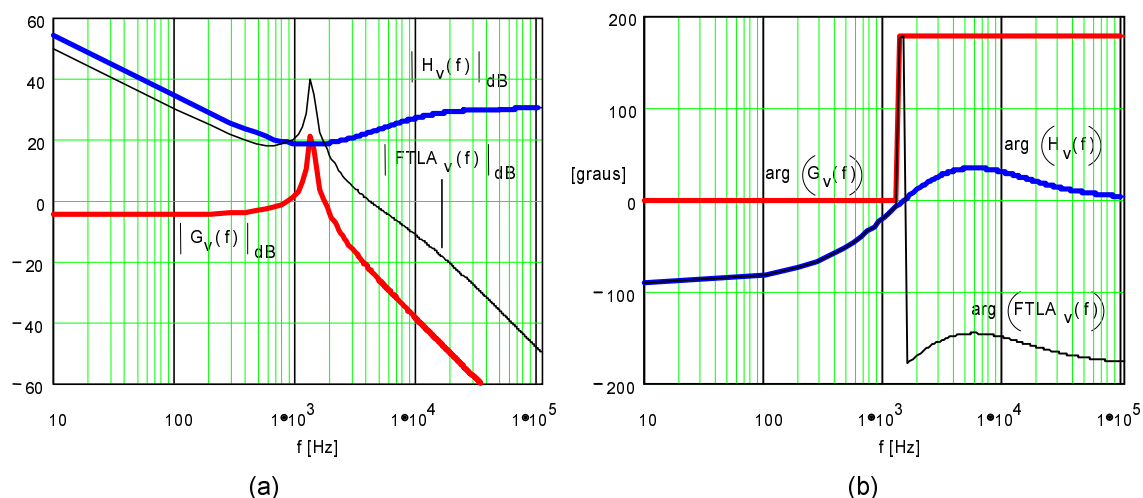


Fig. 3.26 - Diagrama de Bode, módulo (a) e fase (b), de  $Ga(s)$ ,  $H_2(s)$  e  $FTLAv(s)$ .

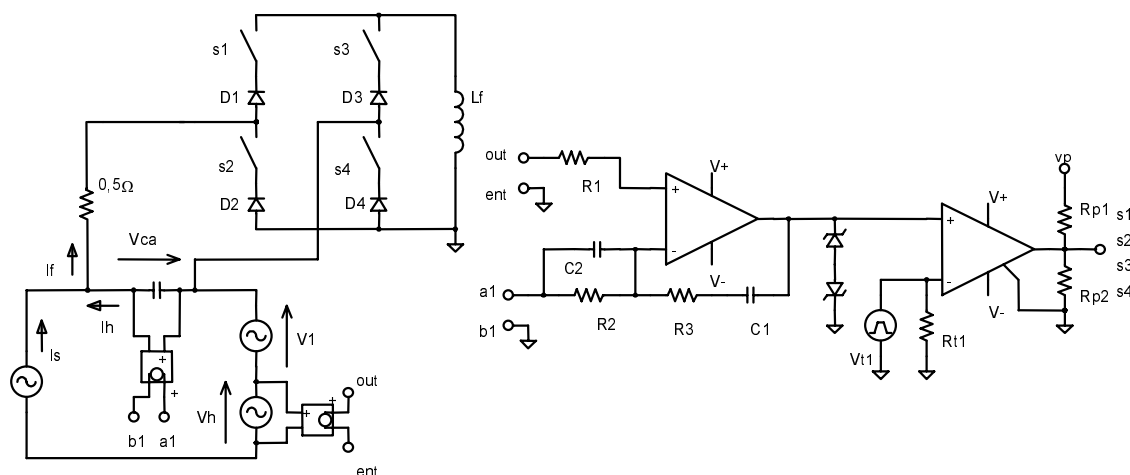
### 3.5 SIMULAÇÃO DAS TOPOLOGIAS DE FILTROS ATIVOS SÉRIE

Serão apresentados nos próximos seções, os resultados de simulação das quatro topologias de filtro ativo série. Definiu-se que o filtro e carga constituem uma carga única de 1250 W para a fonte de alimentação. Do procedimento de projeto obteve-se os parâmetros necessários à simulação dos circuitos. O programa de simulação usado é o Pspice [29].

#### 3.5.1 Simulação da topologia FAS-CSI-I

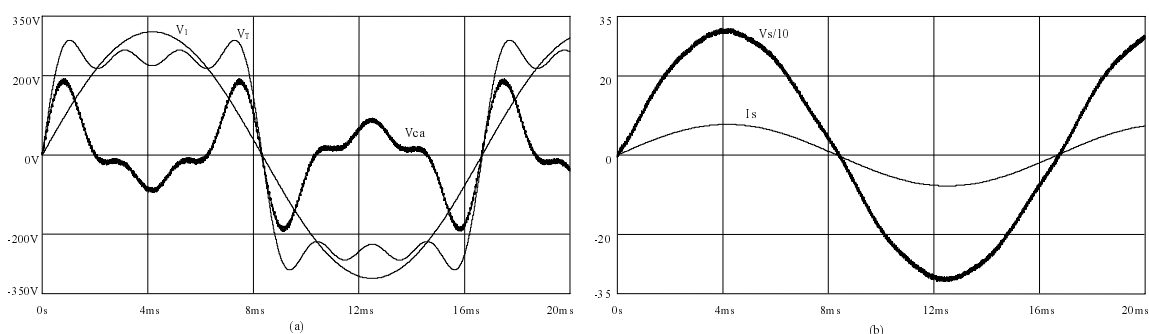
Na fig. 3.27 é apresentado o circuito simulado do filtro ativo série, com um inversor de corrente e entrada em corrente. Trata-se de um circuito simplificado - o circuito completo (dfap\_vsi\_v4.sch) é encontrado no Apêndice B. No lado CC do inversor o indutor  $L_f$  é substituído por uma fonte de corrente ideal para facilitar a simulação. O controle do inversor é por valores médios instantâneos com modulação a dois níveis.

No estágio de potência, a entrada é alimentada por uma fonte de corrente senoidal de 7,75 A de amplitude. No lado da carga, encontra-se a fonte de tensão distorcida, a qual é composta da componente fundamental, 3ª, 5ª e 7ª harmônicas de acordo com a equação (3.23).



**Fig. 3.27** - Circuito simulado do FAS-CSI-I.

Na fig. 3.28a tem-se a tensão total distorcida  $v_T$ , sua respectiva tensão fundamental  $v_1$  e a tensão no capacitor  $C_a$ . Na fig. 3.28b, observa-se a tensão  $v_s$  produzida sobre a fonte de corrente de entrada e a sua corrente  $i_s$ . A tensão produzida sobre o capacitor  $C_a$  é a parcela harmônica de  $v_T$  e faz com que a tensão no terminal de entrada, sobre a fonte de corrente, seja puramente senoidal.

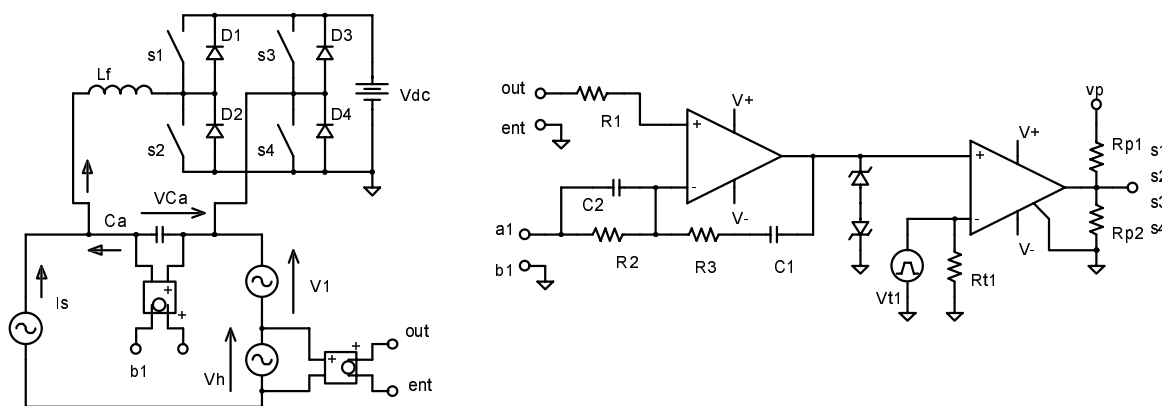


**Fig. 3.28** - Tensão de saída  $v_T$ , tensão fundamental de saída  $v_1$  e tensão no capacitor  $v_{ca}$  (a); tensão de entrada  $v_s$  e corrente de entrada  $i_s$  (b).

### 3.5.2 Simulação da topologia FAS-VSI-I

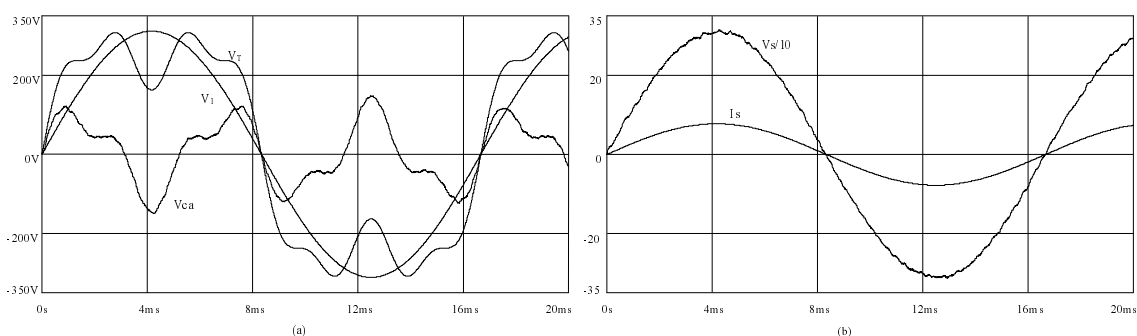
Um filtro ativo série, usando um inversor de tensão, com controle por valores médios instantâneos e com modulação a dois níveis é mostrado na fig. 3.29. O capacitor do lado CC é substituído por uma fonte de tensão  $V_{dc}$ . O circuito apresentado nesta figura é um diagrama simplificado do filtro - o circuito completo simulado (dfap\_csi\_v4.sch) encontra-se no Apêndice B.

Na entrada, no circuito de potência, é conectada uma fonte de corrente senoidal de 7,75 A de amplitude. No lado da carga, encontra-se a fonte de tensão distorcida, a qual é composta da componente fundamental, 3ª e 7ª harmônicas em conformidade com a equação (3.23).



**Fig. 3.29** - Circuito simulado do FAS-VSI-I.

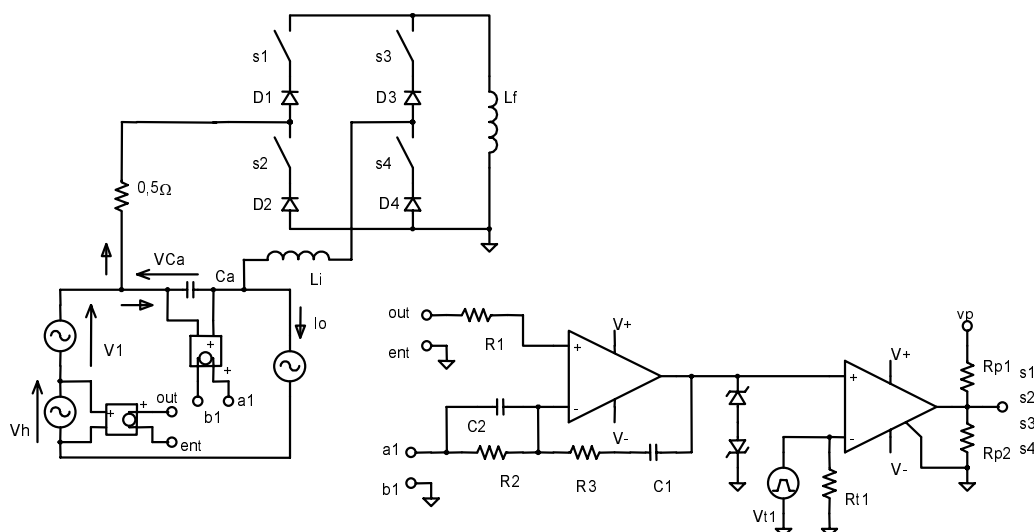
A fig. 3.30a mostra a tensão total distorcida  $v_T$ , a tensão fundamental  $v_1$  e a tensão no capacitor  $C_a$ . A tensão sobre o capacitor  $C_a$  tem o mesmo aspecto da parcela harmônica da tensão da carga. A tensão  $v_s$ , resultado da ação filtro, aplicada sobre a fonte de corrente da entrada e a corrente  $i_s$  são apresentadas em (b). A tensão  $v_s$  apresenta-se com um aspecto senoidal muito próximo àquele da componente fundamental.



**Fig. 3.30** - Tensão de saída  $v_T$ , tensão fundamental de saída  $v_1$  e tensão no capacitor  $v_{ca}$  (a); tensão de entrada  $v_s$  e corrente de entrada  $i_s$  (b).

### 3.5.3 Simulação da topologia FAS-CSI-V

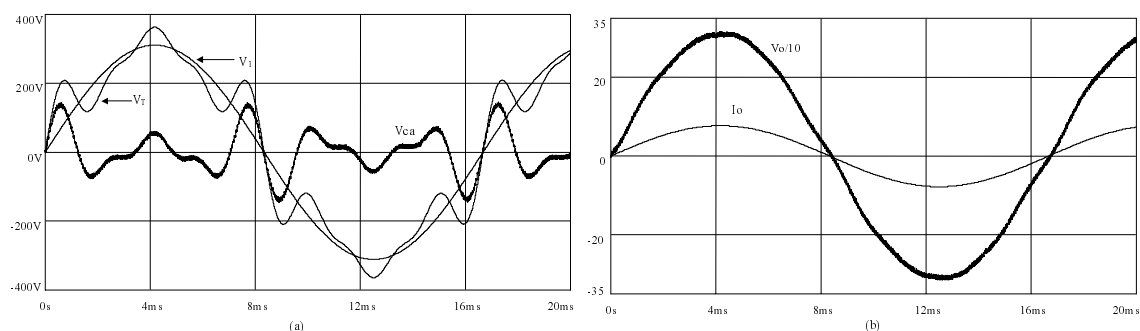
O circuito do filtro série, dual do FAP-VSI-I, é apresentado na fig. 3.31. Este circuito é comandado usando-se técnica de valores médios instantâneos com modulação a dois níveis. O indutor  $L_f$  é substituído por uma fonte de corrente para simplificar a simulação. O circuito apresentado nessa figura é um circuito simplificado. Ele é apresentado integralmente no Apêndice B (dfap\_vsi\_i4.sch). No estágio de potência, a fonte harmônica de entrada é constituída da componente fundamental, 5ª, 7ª e 9ª harmônicas de acordo com a expressão (3.23). Como carga utiliza-se uma fonte de corrente senoidal de 7,75 A de amplitude.



**Fig. 3.31** - Circuito simulado do FAS-CSI-V.

A fig. 3.32a apresenta a tensão total de entrada  $v_T$ , sua parte fundamental  $v_1$  e a tensão  $v_{ca}$  produzida sobre o capacitor  $C_a$ . Essa tensão corresponde à parte harmônica de  $v_T$ , permitindo que a tensão sobre a carga seja puramente senoidal. Na fig. 3.32b é mostrada a

tensão aplicada à carga  $v_o$  e a corrente da carga  $i_o$ . Pode-se dizer que a tensão  $v_o$  é própria a tensão fundamental  $v_1$ .

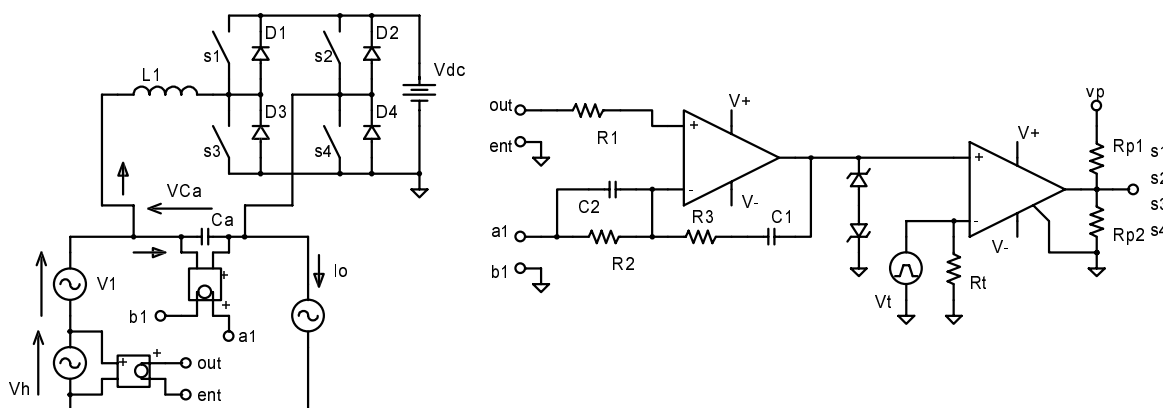


**Fig. 3.32** - Tensão de entrada total  $v_T$ , tensão fundamental de entrada  $v_1$  e tensão no capacitor  $v_{ca}$  (a); tensão na carga  $v_o$  e corrente na carga  $i_o$  (b).

É oportuno observar que na seção (3.4.1) desenvolveu-se a análise teórica para o filtro ativo série com o inversor de tensão (VSI). Dessa análise, estabeleceram-se os parâmetros e o compensador a ser usado para verificar o comportamento daquela estrutura de filtragem. Estendeu-se o uso desse compensador para a simulação das topologias FAS-CSI-I (seção (3.5.1)) e FAS-CSI-V (seção (3.5.3)), as quais, quando simuladas, apresentaram bons resultados. É possível que resultados ainda melhores sejam obtidos se um equacionamento específico para o inversor de corrente (CSI) for desenvolvido.

### 3.5.4 Simulação da topologia FAS-VSI-V

A fig. 3.33 mostra o circuito elétrico para simulação do filtro ativo série dual do FAP-CSI-I. Para simplificar, no lado CC do inversor, o capacitor foi substituído por uma fonte de tensão. O controle é por valores médios instantâneos com modulação a dois níveis.

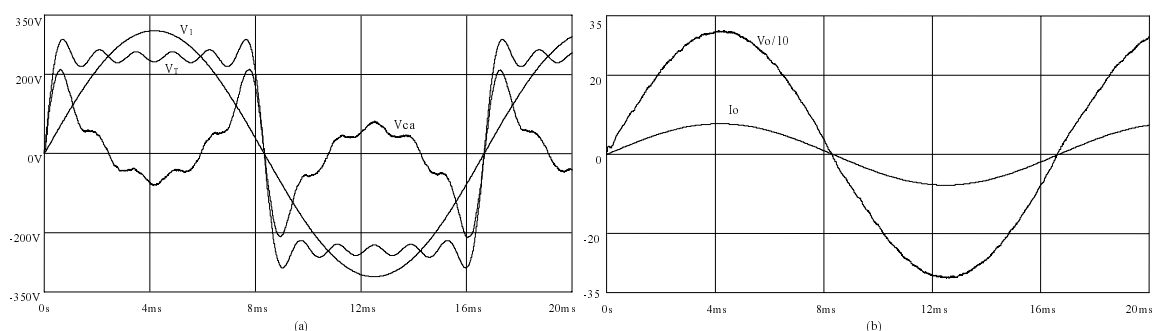


**Fig. 3.33** - Circuito simulado do FAS-VSI-V.



O diagrama do filtro, apresentado na fig. 3.33, é um diagrama simplificado. O circuito completo (dfap\_csi\_i6.sch) pode ser encontrado no Apêndice B. Na entrada do filtro (estágio de potência) tem-se uma fonte de tensão com distorções, a qual é constituída da componente fundamental, 3<sup>a</sup>, 5<sup>a</sup>, 7<sup>a</sup>, 9<sup>a</sup> e 11<sup>a</sup> harmônicas em concordância com a equação (3.23). A carga é composta por uma fonte de corrente senoidal de 7,75 A de amplitude.

A tensão distorcida da entrada  $v_T$ , sua componente fundamental  $v_1$  e a tensão  $v_{ca}$ , produzida sobre o capacitor  $C_a$  e responsável pela eliminação da parcela harmônica da tensão de entrada, são mostradas na fig. 3.34a. Na fig. 3.34b tem-se a tensão de saída resultante  $v_o$  aplicada à carga e a corrente de carga  $i_o$ . O filtro atuou adequadamente e impediu o aparecimento de tensões harmônicas no lado da carga.



**Fig. 3.34** - Tensão de entrada  $v_T$  e tensão fundamental de entrada  $v_1$  e tensão no capacitor  $v_{ca}$  (a); tensão de saída  $v_o$  e corrente na carga  $i_o$  (b).

### 3.6 CONCLUSÃO

A estratégia de controle para o filtro ativo paralelo é discutida e alguns de seus parâmetros são determinados. Um exemplo de projeto de filtro é apresentado. A família de filtros ativos paralelos é simulada.

Um procedimento análogo ao anterior foi estabelecido para a família de filtros ativos série. Ressalta-se que maior número de parâmetros foram investigados para o filtro ativo série com o VSI e entrada em tensão.

## CAPÍTULO IV

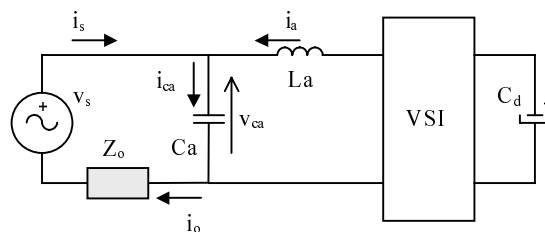
### PROTÓTIPO E RESULTADOS EXPERIMENTAIS

#### 4.1 INTRODUÇÃO

Quatro arquiteturas de filtragem ativa do tipo série foram propostas. O filtro ativo série com o inversor de tensão e entrada em tensão é a estrutura básica inicial que gerou as demais estruturas e foi a escolhida para a realização experimental. Esta escolha também se justifica pelo fato do inversor de tensão ser um conversor largamente usado nesse tipo de aplicação e pela constatação, cada vez mais freqüente, de cargas alimentadas por fontes de tensões distorcidas.

#### 4.2 FAS-VSI-V - PROJETO DO CONVERSOR E DOS COMPENSADORES

As especificações para a estrutura de filtragem ativa série (fig. 4.1) e o procedimento de projeto de seus principais componentes, ( $C_a$ ,  $L_a$  e  $C_d$ ), são apresentados nesta seção. São estabelecidas as seguintes especificações para o filtro ativo.



**Fig. 4.1** - Diagrama de conexão do filtro ativo série.

$V_{sp} = 311 \text{ V}$ , (amplitude da componente fundamental da tensão de entrada);

$f = 60 \text{ Hz}$ ;  $P_o = 1250 \text{ W}$ ;

$V_q = 244 \text{ V}$ , (a tensão de entrada é uma forma de onda quadrada, de acordo com (3.22));

$V_d = 250 \text{ V}$ ;  $f_s = 20 \text{ kHz}$ ;  $\Delta i_{amax} = 25 \% I_{sp}$ .

A tensão  $V_d$  do barramento CC é maior do que a amplitude  $V_q$ , da tensão de entrada, e dessa forma o índice de modulação de tensão  $M_v$ , estabelecido pela equação (3.27), é menor do que um. Isto assegura a possibilidade de um funcionamento adequado para o filtro ativo e é possível verificar, usando a expressão (3.30), que o valor máximo da ondulação de corrente será igual a 0,5.

Estabelece-se que o filtro ativo e a carga representam uma carga única de 1250 W para a fonte de alimentação. Logo a corrente de pico solicitada do alimentador é:

$$I_{sp} = \frac{2P_o}{V_{sp}} = \frac{2 \cdot 1250}{311} = 8,04 \text{ A}$$

A ondulação de corrente é obtida a partir da corrente de pico e tem o seguinte valor.  $\Delta i_{amax} = 25 \% I_{sp} = 0,25 \times 8,04 = 2,01 \text{ A}$ . Portanto, a indutância  $L_a$  é calculada através da equação (3.31).

$$L_a = \frac{V_d \overline{\Delta i_a}}{\Delta i_{amax} f_s} = \frac{250 \cdot 0,5}{2,01 \cdot 20000} = 3,11 \text{ mH}$$

Arbitra-se uma freqüência de corte para o filtro  $L_a C_a$  de aproximadamente 1300 Hz. Logo, para esta situação escolhe-se um capacitor  $C_a = 4,7 \mu\text{F}$ . Com esses dados a função de transferência  $G_a(s)$  é calculada de acordo com a expressão (3.50).

$$G_a(s) = \frac{2V_d}{1 + s^2 L_a C_a} = \frac{2 \cdot 250}{1 + s^2 3,11 \cdot 10^{-3} \cdot 4,7 \cdot 10^{-6}} = \frac{500}{1 + s^2 14,62 \cdot 10^{-9}}$$

O compensador a ser utilizado é aquele apresentado na seção 3.32, cuja função de transferência é dada pela equação (3.76). O zeros deste compensador serão posicionados na freqüência de ressonância dada pela composição dos componentes  $L_a$  e  $C_a$ . Os seus pólos serão alocados em 0 Hz e 10 kHz. Seguindo-se o procedimento ilustrado em [32], os componentes do circuito ficam determinados e seus valores são apresentados a seguir.

$$C_1 = 1,016 \times 10^{-9} \text{ F} \quad C_2 = 4,48 \times 10^{-9} \text{ F}$$

$$R_{ip} = 1,240 \times 10^3 \Omega \quad R_2 = 2,7 \times 10^4 \Omega \quad R_3 = 119,0 \times 10^3 \Omega$$

A função de transferência do compensador terá, com a substituição dos valores acima em (3.76), o seguinte valor numérico.

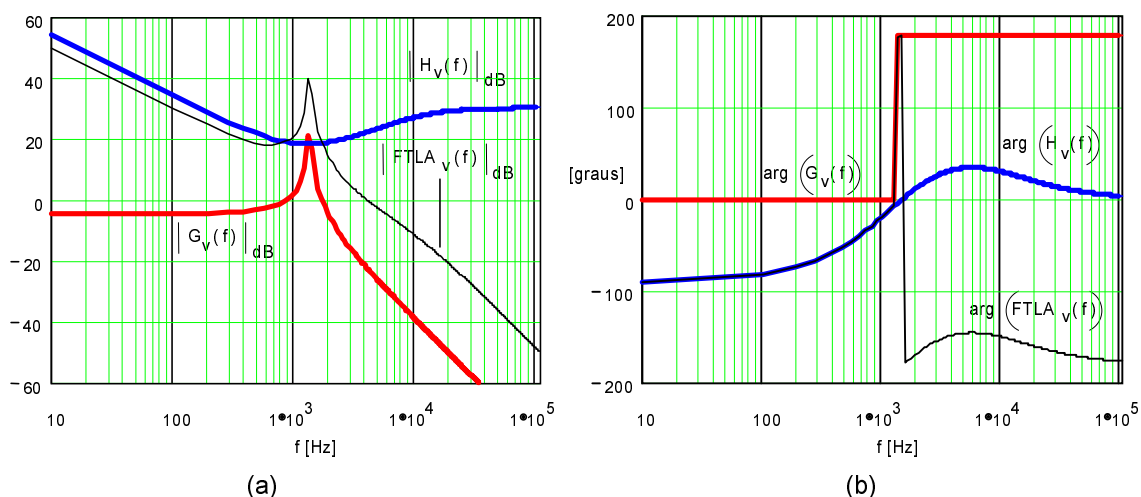
$$H_2(s) = \frac{(1 + sR_2 C_2)(1 + sR_3 C_1)}{s C_1 (R_{ip} + R_2) \left( 1 + s C_2 \frac{R_{ip} R_2}{R_{ip} + R_2} \right)} = \frac{(1 + s 120,96 \cdot 10^{-6})(1 + s 120,90 \cdot 10^{-6})}{s 28,69 \cdot 10^{-6} (1 + s 5,311 \cdot 10^{-6})}$$

A função de transferência de laço aberto é apresentada a seguir. O ganho  $K_{vs}$ , com o qual serão amostradas as tensões, é igual a 0,0128465. O valor de pico a pico  $V_{Tpp}$ , do sinal triangular usado para gerar os pulsos de comando para os interruptores, é de 10,0 V.

$$FTLAv(s) = \frac{K_{vs}}{V_{Tpp}} Ga(s) H_2(s) =$$

$$= 0,00128465 \cdot \frac{500}{1 + s^2 14,62 \cdot 10^{-9}} \cdot \frac{(1 + s 120,96 \cdot 10^{-6})(1 + s 120,90 \cdot 10^{-6})}{s 28,69 \cdot 10^{-6} (1 + s 5,311 \cdot 10^{-6})}$$

Os diagramas de Bode, de módulo e de fase, de  $G_v(s)$ ,  $H_v(s)$  e  $FTLAv(s)$  são mostrados na fig. 4.2. A frequência de cruzamento é de aproximadamente 4 kHz e a margem de fase de 47°.



**Fig. 4.2** - Diagrama de Bode, módulo (a) e fase (b), de  $G_v(s)$ ,  $H_v(s)$  e  $FTLAv(s)$ .

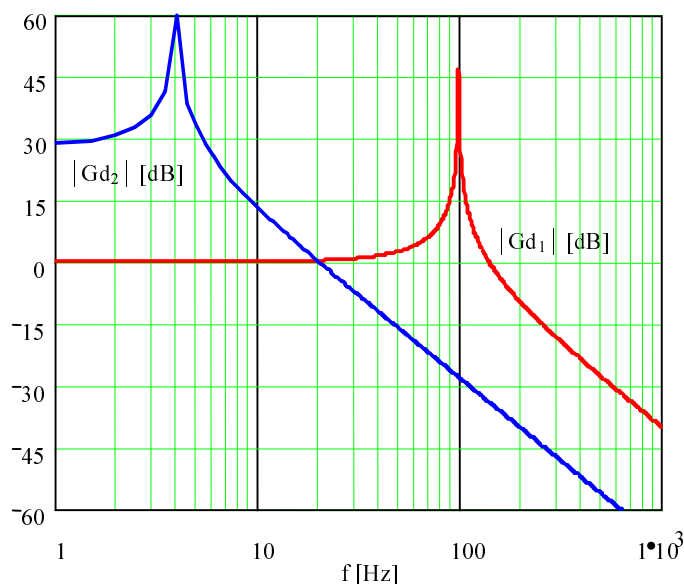
Adota-se para o barramento CC do inversor o capacitor  $C_d = 470 \mu F$  em conformidade com a expressão (3.75) e as condições estabelecidas para a construção do gráfico da fig. 3.24. Naquele gráfico observa-se uma ondulação de aproximadamente 10 V de amplitude na tensão  $v_d(t)$ . A corrente de pico  $I_{sp}$ , correspondente ao valor de pico de  $i_o(t)$  (equação (3.72)), tem maior valor e é possível que amplitudes maiores na ondulação da tensão do barramento CC possam ocorrer. Se essas ondulações se mostrarem substanciais um novo valor para o capacitor  $C_d$  deverá ser calculado. A tensão  $v_d(t)$ , que deve ser controlada, será amostrada com um ganho  $K_d = 0,01$ .

A função de transferência  $G_d(s)$  é calculada de acordo com a expressão (3.61). Adota-se para a razão cíclica, de acordo com a expressão (3.26) e fig. 3.18, um valor próximo de 0,5. Por exemplo  $D = 0,510$  ou  $D = 0,490$ .

$$Gd(s) = \frac{(2D-1)}{s^2 L_a C_d + (2D-1)^2} = \frac{0,02}{s^2 1,4617 \cdot 10^{-6} + 4 \cdot 10^{-4}}$$

A função de transferência  $Gd(s)$  depende do ponto de operação  $D$ . É conhecido que  $D$  sofre variações para que a ação do filtro seja efetiva. Dessa forma o valor de  $D$ , adotado anteriormente, é uma expectativa para o valor médio de  $D$  em um período da frequência da rede.

O comportamento da função de transferência  $Gd(s)$ , juntamente com os ganhos de amostragem da tensão de entrada ( $K_{v_s}$ ) e da tensão do barramento CC ( $K_d$ ), é apresentado na fig. 4.3.

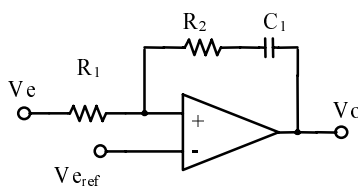


**Fig. 4.3** - Diagrama de Bode de módulo da função  $Gd(s)$ .

Observa-se na fig. 4.3 que quando  $D$  tende a 0,5 a função  $Gd(s)$  se desloca para a esquerda, além de apresentar um aumento do ganho. Considera-se que esta situação é a mais desfavorável para ser controlada e, por essa razão, o controlador será especificado para esta condição.

Utiliza-se a função de transferência  $Gd(s)$ , em face de seu comportamento (fig. 4.3), como um instrumento de orientação para a determinação do compensador  $H_1(s)$ .

No barramento CC do inversor deve ser mantido um valor médio de tensão. Assim, estabelece-se como compensador para esta variável o controlador do tipo proporcional-integral, apresentado na fig. 4.4, cuja função de transferência é dada pela expressão (4.1).



**Fig. 4.4** - Diagrama do compensador PI para o barramento CC.

$$H_1(s) = \frac{V_o}{V_e}(s) = \frac{-(1 + s R_2 C_1)}{s R_1 C_1} = -\frac{R_2}{R_1} \cdot \frac{(1 + s R_2 C_1)}{s R_2 C_1} \quad (4.1)$$

Posiciona-se o zero do compensador em  $fz = 150$  Hz. Adota-se:  $C_2 = 1,0 \mu F$  e o valor de  $R_2$  será dado por:

$$R_2 = \frac{1}{2\pi C_2 fz} = \frac{1}{2\pi \cdot 1,0 \cdot 10^{-6} \cdot 150} = 1061 \Omega$$

Para o resistor anterior será escolhido um valor comercial próximo ao valor calculado, isto é,  $R_2 = 1,0$  k $\Omega$ . Admite-se um ganho menor do que um para parte proporcional do compensador e dessa forma arbitra-se  $R_1 = 8,2$  k $\Omega$ . A função de transferência  $H_1(s)$  terá o seguinte valor numérico.

$$H_1(s) = -\frac{R_2}{R_1} \cdot \frac{(1 + s R_2 C_1)}{s R_2 C_1} = -\frac{(1 + s 1,0 \cdot 10^{-3})}{s 8,2 \cdot 10^{-3}}$$

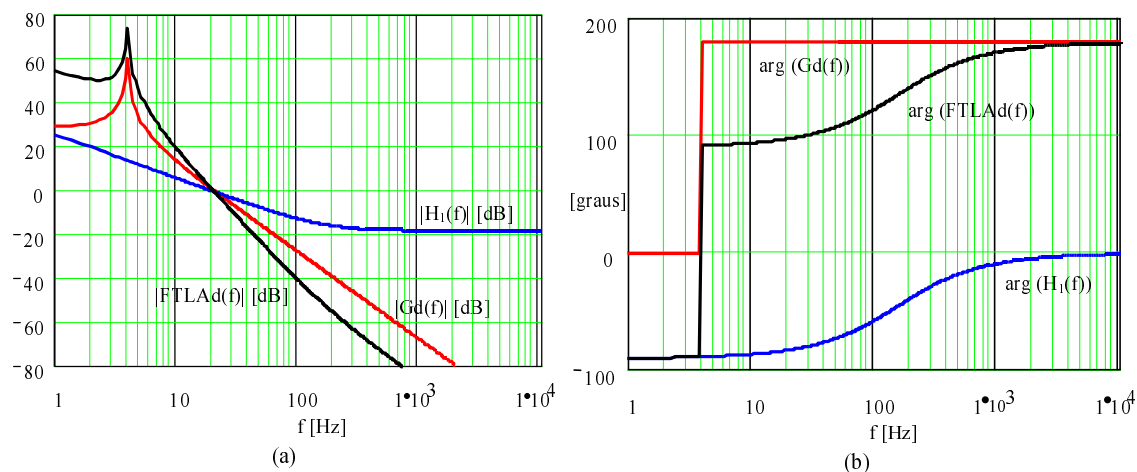
A equação (4.2) representa a função de transferência em malha aberta para o controle da tensão do barramento CC.

$$FTLAd(s) = \frac{K_d}{K_{vs}} Gd(s) H_1(s) \quad (4.2)$$

Substituindo-se os valores dos componentes na equação (4.2) resulta a seguinte expressão para a função de transferência de laço aberto.

$$FTLAd(s) = \frac{K_d}{K_{vs}} Gd(s) H_1(s) = 0,7784 \cdot \frac{0,02}{s^2 1,4617 \cdot 10^{-6} + 4 \cdot 10^{-4}} \cdot \frac{(1 + s 1,0 \cdot 10^{-3})}{s 8,2 \cdot 10^{-3}}$$

O diagrama de Bode, de módulo e fase, da função de transferência  $G_d(s)$ ,  $H_1(s)$  e da função de transferência em laço aberto ( $FTLAd(s)$ ) é mostrado na fig. 4.5. De acordo com as curvas apresentadas na figura mencionada, na frequência de cruzamento de ganho do compensador ( $f_{comp} = 20$  Hz), nota-se que a  $FTLAd(s)$  indica um sistema instável.



**Fig. 4.5** - Diagrama de Bode de módulo (a) e fase (b) de  $G_d(s)$ ,  $H_1(s)$  e  $FTLAd(s)$ .

Quando os valores de  $D$  distanciam-se do valor 0,5, através dos mesmos diagramas, pode-se constatar que, com a utilização do compensador proporcional-integral, o sistema é estável. Dessa forma, para aquela situação em que se tem a indicação de um sistema instável, o ajuste do compensador foi concluído através de simulações numéricas do filtro ativo usando o programa PSpice.

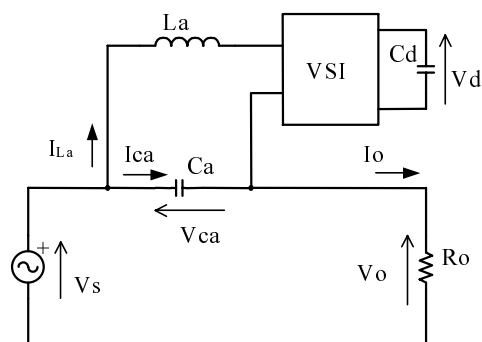
### 4.3 SIMULAÇÕES NUMÉRICAS DO FAS-VSI-V

As simulações numéricas apresentadas no capítulo anterior foram realizadas usando-se como carga fontes de corrente. Porém, quando da realização experimental sabe-se que as cargas não serão fontes de corrente e nem a rede uma fonte de tensão ideal (ou uma forma de onda quadrada). Dessa forma e com o intuito de verificar e ratificar a validade do desenvolvimento analítico apresentado, simulações numéricas com o filtro ativo são efetuadas.

Este procedimento configura-se como a etapa precedente ao desenvolvimento experimental. Ela possibilita observar o comportamento do filtro ativo, operando com suas malhas de controle, quando usado com cargas reais.

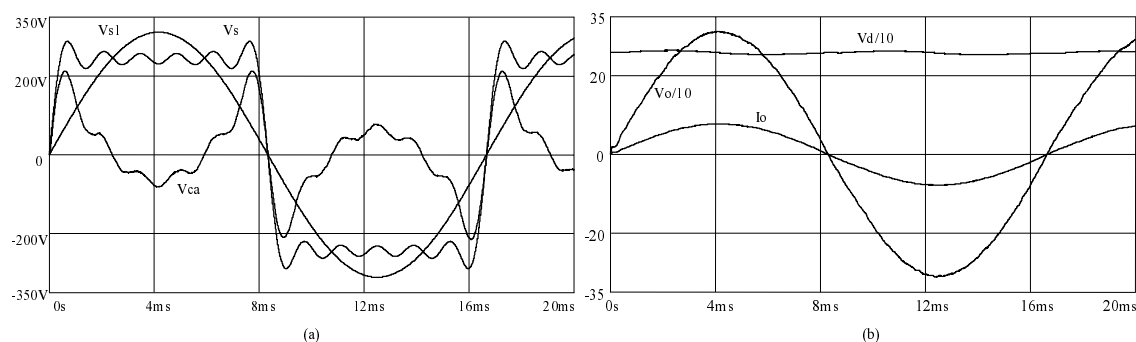
### 4.3.1 Simulação numérica do FAS-VSI-V com carga resistiva (R)

A fig. 4.6 apresenta um diagrama simplificado do filtro ativo série simulado. O diagrama completo (*fas\_vsi\_vR.sch*) está disponível no Apêndice C. O filtro tem como carga um resistor de  $40\Omega$ . A tensão de alimentação é composta da soma de uma tensão fundamental e de várias fontes de tensões harmônicas.



**Fig. 4.6** - Diagrama simplificado do filtro ativo série simulado com carga: resistiva.

Os sinais que serão mostrados e comentados, a partir do resultado de simulação, são aqueles indicados na fig. 4.6. A fig. 4.7a mostra a tensão de entrada  $v_s$ , sua componente fundamental  $v_{s1}$  e a tensão  $v_{ca}$  no capacitor  $C_a$ . Esta última corresponde à parcela harmônica da tensão de entrada. Na fig. 4.7b tem-se a tensão  $v_o$  proporcionada à carga resistiva e sua corrente  $i_o$ .

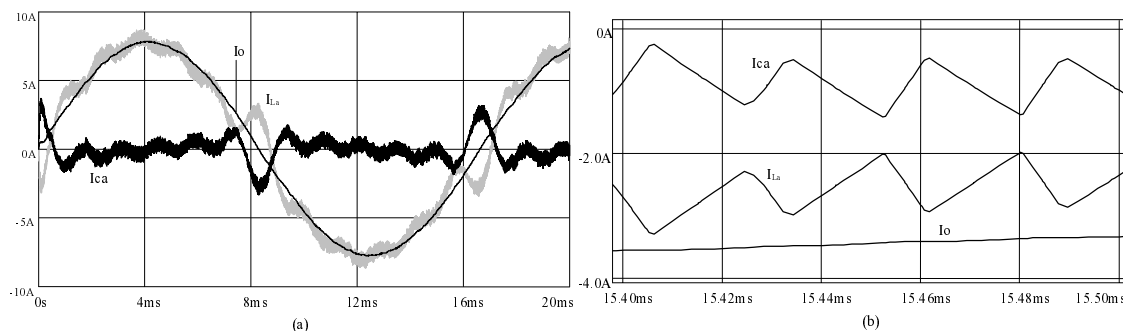


**Fig. 4.7** - Tensão de entrada  $v_s$  e sua componente fundamental  $v_{s1}$  e tensão  $v_{ca}$  no capacitor  $C_a$  (a); tensão de saída  $v_o$ , corrente de saída  $i_o$  e tensão  $v_d$  do barramento CC (b).

Não foi realizado, para os resultados desta simulação, uma análise quantitativa do conteúdo harmônico das tensões de entrada e de saída. Entretanto, visualmente percebe-se que a tensão de saída  $v_o$  é praticamente igual à componente fundamental  $v_{s1}$ . A tensão de saída  $v_o$  é um sinal de qualidade muito superior quando comparada a tensão de entrada  $v_s$ . A tensão  $v_d$  do barramento CC apresenta ondulações mas se mantém estabilizada em torno do valor médio  $V_d$ .



Na fig. 4.8 são apresentadas a corrente de carga  $i_o$ , a corrente  $i_{L_a}$  do indutor  $L_a$  e a corrente  $i_{c_a}$  do capacitor  $C_a$ . Na fig. 4.8a observa-se o aspecto geral dessas correntes. A corrente  $i_{L_a}$  tem o mesmo formato da corrente de carga  $i_o$  e dessa forma pode-se inferir que, em um período da rede, a corrente de carga circula principalmente pelo conversor.

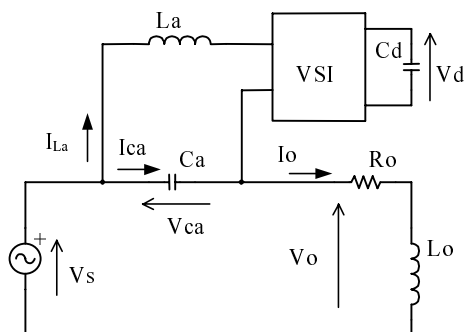


**Fig. 4.8** - Corrente de carga  $i_o$ , corrente  $i_{L_a}$  no indutor  $L_a$  e corrente  $i_{c_a}$  no capacitor  $C_a$ : (a) aspecto geral para um ciclo de rede; (b) ampliação para alguns períodos de comutação.

Da fig. 4.8b percebe-se que, mesmo para intervalos de tempo na mesma ordem de grandeza do período de comutação, as variações da corrente de saída  $i_o$  são pequenas em relação àquelas que ocorrem com as correntes do indutor  $L_a$  e do capacitor  $C_a$ .

#### 4.3.2 Simulação numérica do FAS-VSI-V com carga resistiva-indutiva (RL)

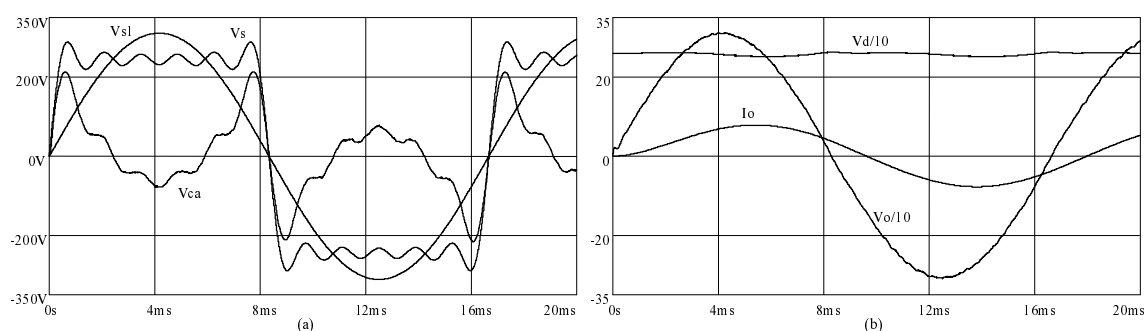
Na fig. 4.9 tem-se um diagrama simplificado do filtro ativo série simulado. O diagrama completo (*fas\_vsi\_vRL.sch*) está disponível no Apêndice C. O filtro tem como carga o resistor  $R_o$  de  $35 \Omega$  em série com o indutor  $L_o$  de  $50 \text{ mH}$ . A tensão de alimentação  $v_s$  é constituída da soma de várias fontes de tensões. Uma delas com a componente fundamental e as demais com as componentes harmônicas ímpares ( $3^a$ ,  $5^a$ ,  $7^a$ ,  $9^a$  e  $11^a$ ).



**Fig. 4.9** - Diagrama simplificado do filtro ativo série simulado com carga resistiva-indutiva (RL).

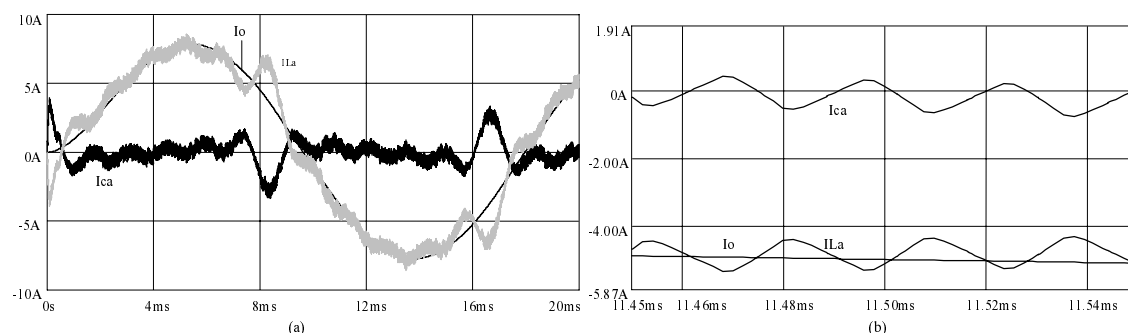
As tensões e correntes que serão comentadas, a partir do resultado de simulação, são aquelas mostradas no diagrama da fig. 4.9. A fig. 4.10a apresenta a tensão de entrada  $v_s$ , sua

componente fundamental  $v_{s1}$  e a tensão  $v_{ca}$  no capacitor  $C_a$ . Na fig. 4.10b tem-se a tensão  $v_o$  disponibilizada à carga resistiva-indutiva e sua corrente  $i_o$ . Não se fez análise quantitativa do conteúdo harmônico das tensões de entrada e de saída. Porém nota-se que a tensão de saída  $v_o$  está praticamente isenta, de acordo com sua forma gráfica, das componentes harmônicas presentes na tensão de entrada. A corrente de carga  $i_o$  encontra-se, tendo em vista o tipo de carga usado, defasada em torno de  $30^\circ$  de sua respectiva tensão. Ainda, nessa figura tem-se a tensão  $v_d$  do barramento CC do inversor. Ela tem ondulações e mantém-se estável em torno do valor médio  $V_d$ .



**Fig. 4.10** - Tensão de entrada  $v_s$  e sua componente fundamental  $v_{s1}$  e tensão  $v_{ca}$  no capacitor  $C_a$  (a); tensão de saída  $v_o$ , corrente de saída  $i_o$  e tensão  $v_d$  do barramento CC.

A corrente de carga  $i_o$ , a corrente  $i_{L_a}$  do indutor  $L_a$  e a corrente  $i_{ca}$  do capacitor  $C_a$  são apresentadas na fig. 4.11. Na fig. 4.11a observa-se o aspecto geral dessas correntes. A corrente  $i_{L_a}$  assemelha-se, em termos de formato, à corrente de carga  $i_o$  e dessa forma conclui-se que, em um período da rede, a corrente de carga circula principalmente pelo conversor.

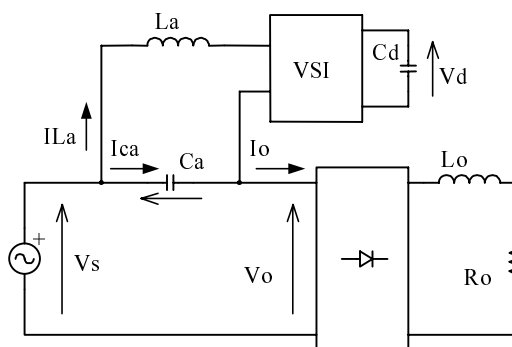


**Fig. 4.11** - Corrente de carga  $i_o$ , corrente  $i_{L_a}$  no indutor  $L_a$  e corrente  $i_{ca}$  no capacitor  $C_a$ : (a) aspecto geral para um ciclo de rede; (b) ampliação para alguns períodos de comutação.

Para intervalos de tempo na mesma ordem de grandeza do período de comutação, na fig. 4.11b, observa-se que as variações da corrente de carga  $i_o$  são muito menores do que aquelas observadas nas correntes  $i_{L_a}$  e  $i_{ca}$ .

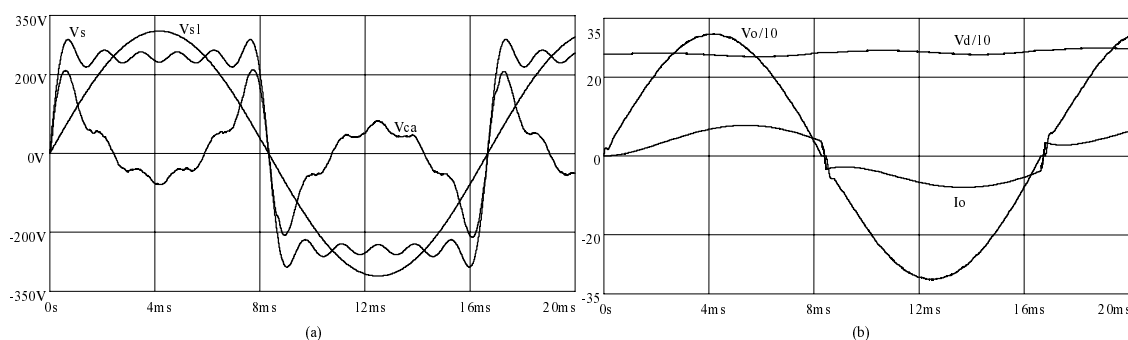
### 4.3.3 Simulação numérica do FAS-VSI-V com carga não-linear

O diagrama simplificado do filtro ativo série simulado é mostrado na fig. 4.12. O diagrama completo (*fas\_vsi\_vRetRL.sch*) é apresentado no Apêndice C. O filtro está conectado, em série, entre o alimentador e uma carga não-linear. Trata-se, esta última, de um retificador em ponte completa com um filtro indutivo. Os valores do indutor e do resistor são:  $L_o = 50 \text{ mH}$  e  $R_o = 35 \Omega$ . Ainda, para a simulação a seguir, a tensão de alimentação  $v_s$  é constituída da soma de várias fontes de tensões. Uma com a componente fundamental e as demais com as componentes harmônicas ímpares (3ª, 5ª, 7ª, 9ª e 11ª).



**Fig. 4.12** - Diagrama simplificado do filtro ativo série simulado com carga não linear.

As tensões e as correntes, obtidas da simulação numérica, que serão apresentadas a seguir são aquelas indicadas no diagrama da fig. 4.12. A tensão de entrada  $v_s$ , sua componente fundamental  $v_{s1}$  e a tensão  $v_{ca}$  no capacitor  $C_a$  são apresentadas na fig. 4.13a. Esta última é responsável por impedir ou reduzir o aparecimento das distorções da tensão de entrada na tensão de saída.

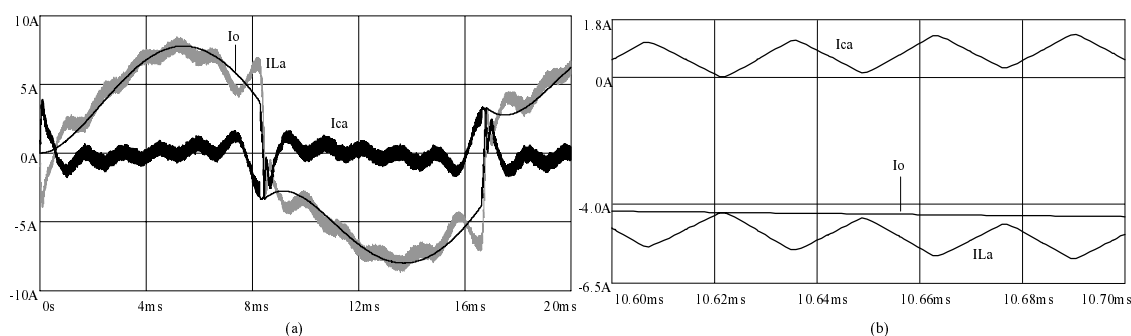


**Fig. 4.13** - Tensão de entrada  $v_s$  e sua componente fundamental  $v_{s1}$  e tensão  $v_{ca}$  (a); tensão de saída  $v_o$ , corrente de carga  $i_o$  e tensão  $v_d$ .

Também para esta simulação, não se quantificou o conteúdo harmônico das tensões de entrada e de saída. Entretanto, nota-se que a tensão de saída  $v_o$  está praticamente isenta, de acordo com seu aspecto gráfico, das componentes harmônicas presentes na tensão de entrada.

Logo a tensão de saída  $v_o$  é um sinal de melhor qualidade quando comparada a tensão de entrada  $v_s$ . A tensão  $v_d$ , do barramento CC do inversor, apresenta ondulações mas permanece estável em torno do valor médio  $V_d$ .

Na fig. 4.14 são apresentadas a corrente de carga  $i_o$ , do indutor  $L_a$ ,  $i_{L,a}$ , e a do capacitor  $C_a$ ,  $i_{c,a}$ . Na fig. 4.14a observa-se o aspecto geral dessas correntes. Constata-se, igualmente, nesta situação que a corrente  $i_{L,a}$  assemelha-se graficamente à corrente de carga  $i_o$  e portanto conclui-se que, em um período da rede, a corrente de carga transita principalmente pelo conversor.



**Fig. 4.14** - Corrente de carga  $i_o$ , corrente  $i_{L,a}$  no indutor  $L_a$  e corrente  $i_{c,a}$  no capacitor  $C_a$ : (a) aspecto geral para um ciclo de rede; (b) ampliação para alguns períodos de comutação.

Na fig. 4.14b essas correntes são mostradas de forma ampliada e para intervalos de tempo próximos do período de comutação verifica-se que as variações das correntes  $i_{L,a}$  e  $i_{c,a}$  não causam variações consideráveis na corrente de carga  $i_o$ .

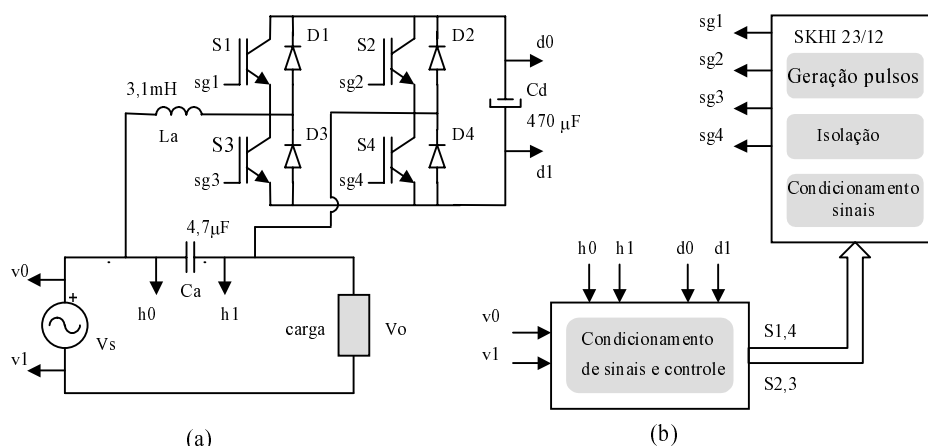
## 4.4 FAS-VSI-V - PROTÓTIPO E ASPECTOS CONSTRUTIVOS

### 4.4.1 Circuito de potência

Na fig. 4.15a é apresentado o diagrama de potência do protótipo de um filtro ativo série. Sua frequência de operação,  $f_s$ , é de 20 kHz. Cada braço do inversor foi realizado com um módulo de semicondutores de potência, o qual integra o interruptor e seu respectivo diodo em anti-paralelo. No barramento CC tem-se a tensão contínua proporcionada pelo capacitor  $C_d$ . No lado CA do inversor tem-se os componentes  $L_a$  e  $C_a$ . Estes últimos e o capacitor  $C_d$  foram especificados conforme o desenvolvimento analítico precedente (seção 4.1). Seus valores são:

- $C_d = 470 \mu F / 450V$ ,  $C_a = 4,7 \mu F / 250V$
- $L_a = 3,1 mH$

O bloco designado condicionamento de sinais e controle, na fig. 4.15b, é responsável pela aquisição, isolamento e condicionamento das tensões a serem controladas. Ele contém, ainda, os compensadores das duas malhas de tensão do filtro ativo. Em sua saída são disponibilizados sinais modulados por largura de pulso (PWM). E estes são enviados ao circuito de geração de sinais de acionamento dos interruptores.



**Fig. 4.15** - Circuito de potência do filtro ativo (a); diagrama do sistema de controle e de comando dos interruptores (b).

Como observado anteriormente, a corrente fornecida pela fonte de alimentação (ou de carga) circula, em grande parte, pelo inversor. Para a potência considerada, admite-se que seu valor de pico ( $I_{sp} = 8,0 A$ ) é o valor máximo dentro de um intervalo de comutação. Não se fez aqui uma determinação precisa da corrente média que circulará pelos interruptores. Dessa forma, tomar-se-á como parâmetro de escolha dos interruptores a corrente  $I_{sp}$  e a tensão do barramento CC. Isto posto, escolheu-se o interruptor descrito a seguir.

- interruptores  $S_1, S_3$  e diodos  $D_1, D_3 =$  módulo SKM50GB063D
- interruptores  $S_2, S_4$  e diodos  $D_2, D_4 =$  módulo SKM50GB063D

A corrente no indutor  $L_a$ , de indutância 3,11 mH, constitui-se da corrente de carga e da corrente circulante no capacitor  $C_a$ . Logo, adota-se uma corrente de pico de 9,0 A ( $I_{L,ap}$ ) e valor eficaz de 6,36 A ( $I_{L,a\epsilon}$ ). O projeto físico do indutor é apresentado a seguir [32, 34] e para o cálculo do núcleo magnético (de ferrite) usou-se:

$$B_{max} = 0,25 T \quad \text{máxima densidade de fluxo magnético}$$

$$J_{max} = 330 A/cm^2 \quad \text{máxima densidade de corrente no enrolamento}$$

$$K = 0,7 \quad \text{fator de utilização}$$

$$\mu_0 = 4 \pi \cdot 10^{-7} \quad \text{permeabilidade magnética do ar}$$

O produto mínimo das áreas do núcleo magnético é dado pela expressão (4.3).

$$A_e \cdot A_w = \frac{L_a I_{Lap} I_{Lae} 10^4}{K_w B_{\max} J_{\max}} [cm^4] \quad (4.3)$$

Substituindo-se os valores das variáveis em (4.3) resulta:

$$A_e \cdot A_w = \frac{3,11 \cdot 10^{-3} \cdot 9,0 \cdot 6,36 \cdot 10^4}{0,7 \cdot 0,25 \cdot 330} = 30,82 [cm^4]$$

Do produto  $A_e A_w$  obtido, escolhe-se o núcleo EE-65/26, (dois elementos em paralelo) resultando:

$$A_e = 2,5,32 = 10,64 \text{ cm}^2 \quad A_w = 3,7 \text{ cm}^2 \quad A_e A_w = 39,368 \text{ cm}^4$$

O número de espiras do enrolamento é obtido por (4.4).

$$N = \frac{L_a I_{Lap} 10^4}{B_{\max} A_e} = \frac{3,11 \cdot 10^{-3} \cdot 9,0 \cdot 10^4}{0,25 \cdot 10,64} = 105 \text{ espiras} \quad (4.4)$$

O entreferro ( $\mu_r \approx 1$ ) é calculado pela expressão (4.5).

$$lg = \frac{N^2 \mu_0 A_e 10^{-2}}{L_a} = \frac{105^2 \cdot 4\pi \cdot 10^{-7} \cdot 10,64 \cdot 10^{-2}}{3,11 \cdot 10^{-3}} = 0,474 \text{ cm} \quad (4.5)$$

A área da seção do condutor é especificada em (4.6).

$$S_{cond} = \frac{I_{Lae}}{J_{\max}} = \frac{6,36}{330} = 0,01928 \text{ cm}^2 \quad (4.6)$$

O diâmetro apropriado do condutor, para a frequência de comutação utilizada, é determinado considerando-se o fator de penetração da corrente. Logo, de acordo com a expressão (4.7) obtém-se:

$$D_{cond} = \frac{2 \cdot 7,314}{\sqrt{f_s}} = \frac{2 \cdot 7,314}{\sqrt{20 \cdot 10^3}} = 0,10344 \text{ cm} \quad (4.7)$$

O condutor escolhido é o fio 19 AWG, com  $0,006527 \text{ cm}^2$  de área de cobre. O número de condutores necessários para suportar a corrente no indutor é dado por (4.8).

$$N_{cond} = \frac{0,01928}{0,006527} = 2,954 \quad (4.8)$$

Portanto o enrolamento será constituído por três condutores em paralelo, com bitola 19 AWG. Após sua construção, o indutor foi medido resultando:

- $L_a = 3,17 \text{ mH}$ , núcleo 2xEE 65/26, 105 espiras (3x19AWG), entreferro= 0,47cm

#### 4.4.2 Circuito de controle e de comando

A estratégia de controle para o filtro ativo série foi apresentada e discutida na seção 3.4.1. Esta estratégia é efetivada experimentalmente e o diagrama de blocos, apresentado na fig. 4.16, ilustra as funções e os processos utilizados em sua realização. Buscou-se em [33] suporte para os projetos dos circuitos analógicos. Os blocos serão discutidos nos parágrafos subseqüentes. No sistema de controle dispôs-se de tensões de alimentação reguladas de +15, -15 e +5 volts.

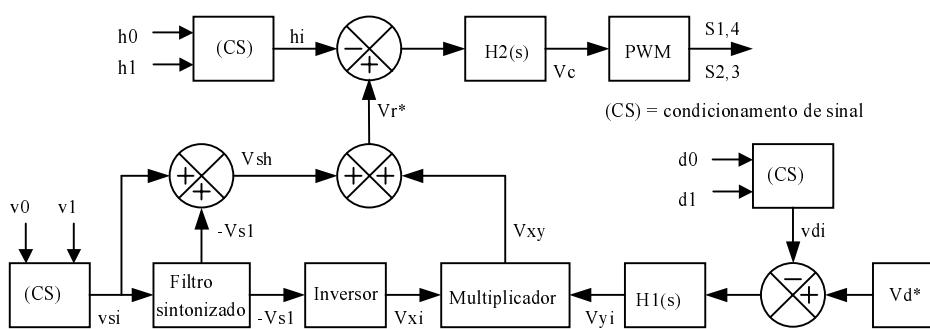


Fig. 4.16 - Diagrama em blocos do sistema de controle realizado.

#### ▪ Circuito de aquisição e condicionamento das tensões $v_s$ , $v_{ca}$ e $v_d$

O circuito de aquisição e condicionamento para as tensões do filtro ativo é apresentado na fig. 4.17. A imagem de uma tensão é obtida com o transdutor de efeito Hall, LV25-P, produzido pela empresa LEM Components. Esse transdutor, segundo seu fabricante, possibilita a medição de elevadas tensões, tem boa linearidade e precisão, responde a uma ampla faixa de frequências e proporciona um sinal de saída em corrente. Essas características justificam sua escolha.

Uma pequena corrente, limitada pelo resistor série ( $R_e$ ) (fig. 4.17), é obtida da fonte de tensão a ser medida e é conduzida a circular por um enrolamento primário. O fluxo

magnético criado pela corrente primária  $I_p$  é contrabalançado por um fluxo complementar produzido por uma corrente criada no enrolamento secundário. O dispositivo Hall e os circuitos eletrônicos a ele associados são usados para gerar a corrente no secundário (de compensação) que é uma representação fiel da tensão aplicada ao primário.

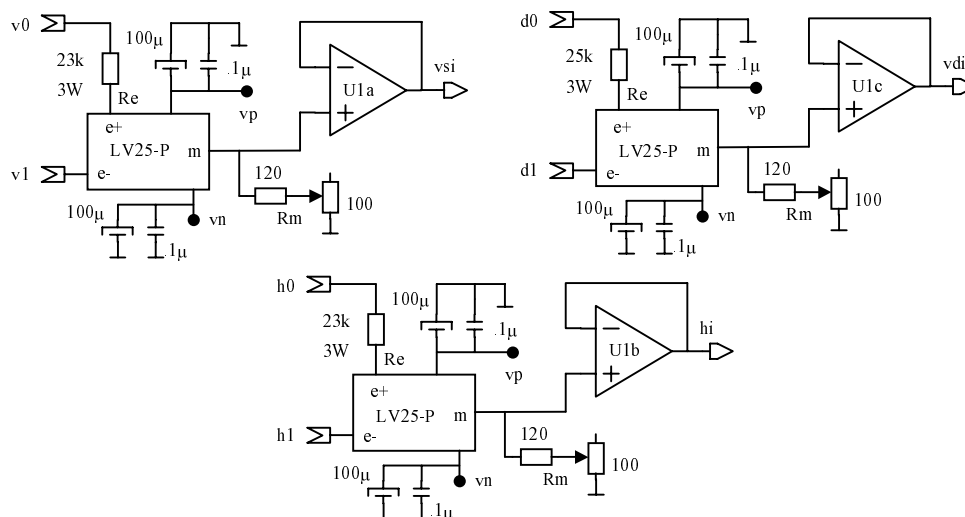


Fig. 4.17 - Circuito de aquisição e condicionamento das tensões  $v_s$ ,  $v_{ca}$  e  $v_d$ .

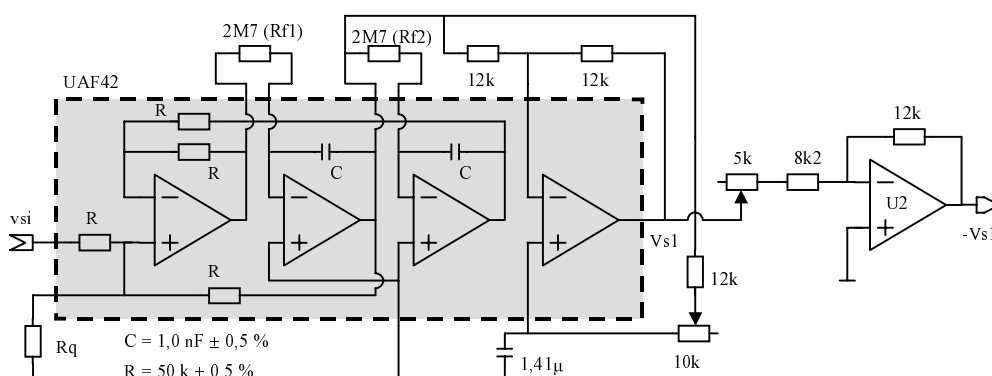
Essa corrente é disponível em um terminal do transdutor. Ela é convertida em tensão ao circular pelo resistor de medição ( $R_m$ ) com valor entre  $100\ \Omega$  e  $350\ \Omega$ . Optou-se por utilizar um resistor de  $120\ \Omega$  em série com um potenciômetro de  $100\ \Omega$ . Isto permite ajustar a amplitude da tensão obtida nessa conversão. A tensão de saída é, então, aplicada ao amplificador operacional U1, na configuração seguidor de tensão.

No transdutor, o resistor de entrada  $R_e$ , usado para limitar a corrente do primário  $I_p$ , é facilmente especificado seguindo-se as recomendações do fabricante. Três blocos de aquisição de tensão são construídos. Um para a tensão de entrada  $v_s$ , outro para a tensão do capacitor  $C_a$  ( $v_{ca}$ ) e um terceiro para a tensão do barramento CC ( $v_d$ ). As tensões  $v_s$  e  $v_{ca}$  são obtidas com um ganho de 0,0128465. A título de exemplo, quando a tensão de entrada apresentar uma amplitude de pico de  $311\ V$  obter-se-á, na saída do circuito integrado U1a, a tensão  $v_{si}$  com amplitude máxima de  $4,0\ V$ . Com o mesmo ganho, na saída de U1b dispõe-se do sinal  $h_i$  que é a imagem da tensão  $v_{ca}$ . Ainda, o sinal  $v_{di}$ , na saída de U1c, é a imagem da tensão do barramento CC amostrada com um ganho igual a 0,1.



### ▪ Circuito do filtro sintonizado em 60 Hz

A tensão  $v_{si}$ , imagem da tensão de entrada, contém a fundamental e possivelmente outras componentes harmônicas. É necessário separar essa parcela com conteúdo harmônico tal que ela seja a referência de tensão harmônica a ser reduzida ou eliminada. Esse processo inicia-se com a extração da componente fundamental  $v_{s1}$  da tensão de entrada  $v_{si}$ . A componente fundamental  $v_{s1}$  é obtida através de um filtro sintonizado em 60 Hz. Este filtro é mostrado na fig. 4.18.



**Fig. 4.18** - Circuito do filtro sintonizado em 60 Hz.

A construção de um filtro sintonizado usando componentes discretos (capacitores, resistores e amplificadores operacionais) é uma tarefa árdua em virtude da ampla faixa de variação dos valores daqueles componentes. Por essa razão, adotou-se para esta tarefa um circuito integrado específico fabricado pela Burr-Brown Corporation. Trata do circuito integrado UAF42 (Universal Active Filter) que pode ser configurado em várias estruturas de filtragem.

No UAF42 são integrados resistores e capacitores de precisão (com variações de 0,5% em seus valores), os quais permitem ultrapassar, no projeto deste tipo de estrutura de filtragem, a dificuldade exposta. O projeto do filtro sintonizado é concluído com a adição de alguns resistores externos (com tolerância de 1% em seus valores).

Para a presente aplicação, como o mencionado, configurou-se o UAF42 para resultar um filtro passa faixa sintonizado em 60 Hz, com fator  $Q = 10$  e ordem 2. Com o auxílio do programa FilterPro FILTER42, oferecido pelo fabricante do componente, obtém-se o valor de cada um dos resistores externos ( $R_q$ ,  $R_{f1}$ ,  $R_{f2}$ ) a serem nele conectados. O sinal de saída do filtro sintonizado apresenta uma leve defasagem em relação ao seu sinal de entrada. Logo, o

quarto amplificador operacional disponível no UAF42 foi aproveitado para se construir um circuito defasador.

Dessa forma, obteve-se o sinal de saída  $v_{s1}$  (a componente fundamental) em fase com aquele conectado a entrada do filtro sintonizado. Conectou-se na saída do UAF42 um circuito inversor de sinal com ganho variável, usando o amplificador operacional U2, o que permite inverter e fazer correções mínimas na amplitude de  $v_{s1}$ . Portanto, a saída de U2 é a componente fundamental ( $v_{s1}$ ) da tensão entrada defasada em  $180^\circ$  de seu sinal de origem ( $v_{si}$ ).

#### ▪ Obtenção da tensão harmônica $v_{sh}$ e da tensão $v_{xi}$

A subtração da componente fundamental  $v_{s1}$  da tensão de entrada  $v_{si}$  resulta a tensão harmônica  $v_{sh}$ . Isto é obtido pelo circuito somador inversor, realizado com o amplificador operacional U3 e apresentado na fig. 4.19.

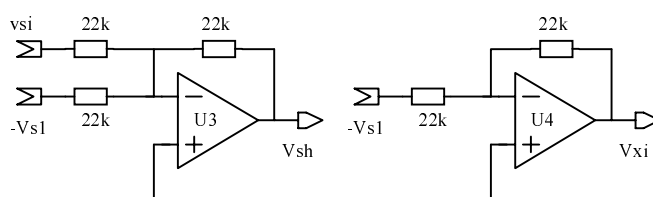
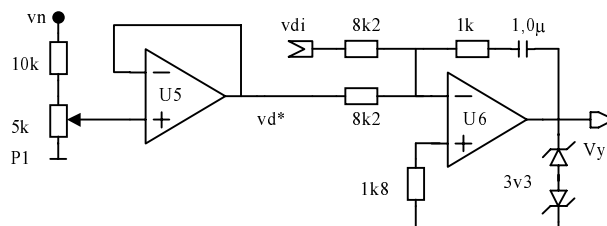


Fig. 4.19 - Circuito para a obtenção da tensão harmônica  $v_{sh}$  e da tensão  $v_{xi}$ .

Deve-se manter constante, no barramento CC, o valor médio de tensão  $V_d$ . Portanto é necessário produzir-se uma componente fundamental, em fase e proporcional à tensão  $v_{si}$ , na entrada do filtro ativo, ou seja, sobre os terminais do capacitor  $C_a$ . Um sinal senoidal, em fase com  $v_{si}$ , denominado  $v_{xi}$  é obtido com o circuito inversor mostrado na fig. 4.19 (com o amplificador operacional U4). Mais adiante, se discutirá sobre a definição da amplitude de  $v_{xi}$ .

#### ▪ O compensador da tensão $v_d$ (barramento CC)

A tensão de referência  $v_d^*$ , para o barramento CC do inversor, é conseguida com um divisor resistivo e o circuito seguidor de tensão (U5). O compensador  $H_1(s)$ , do tipo proporcional-integral, é formado pelo circuito integrado U6 e seus componentes. Ele controla a tensão do barramento CC e os valores de seus componentes foram definidos na seção 4.2. O gerador de tensão de referência e compensador  $H_1(s)$  são mostrados na fig. 4.20. O sinal de saída do compensador  $H_1(s)$  é designado de  $v_{yi}$ .



**Fig. 4.20** - Circuito do gerador da tensão de referência  $v_{d^*}$  e do compensador  $H_1(s)$ .

#### ■ O multiplicador das tensão $v_{xi}$ e $v_{yi}$

A amplitude da componente fundamental  $v_{xi}$ , que está relacionada à reposição de perdas do filtro ativo visando manter um valor médio constante no barramento CC, é resultado da multiplicação do sinal  $v_{xi}$  pelo sinal  $v_{yi}$ . Esta operação é realizada com o circuito integrado MC1595-L fabricado pela Motorola Semiconductors, Inc. Este dispositivo produz um sinal linear, em sua saída, resultante do produto de duas tensões de entrada.

O diagrama elétrico do multiplicador com o deslocador de nível (usando amplificador operacional) é apresentado na fig. 4.21. O deslocador de nível tem a função de converter a saída em corrente, do multiplicador, em uma saída em tensão referenciada ao terra. Os componentes externos do multiplicador e deslocador de nível são especificados nos parágrafos seguintes.

#### Os resistores $R_3$ e $R_{13}$

Os sinais  $v_{xi}$  e  $v_{yi}$  têm amplitudes máximas de 4 V, ainda assim, usa-se um divisor resistivo para as entradas x e y (pinos 9 e 4). Então para um fator de escala geral igual a 0,1 tem-se a tensão de saída dada por (4.9).

$$V_o = \frac{V_{xi} V_{yi}}{10} = \frac{(2v_x)(2v_y)}{10} = \frac{4}{10} v_x v_y = K v_x v_y \quad (4.9)$$

Onde  $K = 4/10$  é fator de escala do multiplicador excluindo o divisor resistivo. Levando-se em conta a dissipação de potência é sugerido que as correntes  $I_3$  e  $I_{13}$  estejam entre 1,0 e 2,0 mA. Adota-se:  $I_3 = I_{13} = 1,0$  mA. Assegura-se esta condição conectando-se os pinos 3 e 13 ao terra através, respectivamente, dos resistores  $R_3$  e  $R_{13}$ , os quais são definidos por (4.10). A tensão  $V_{c-}$  corresponde à tensão de alimentação de -15 V.

$$R_{3(13)} = \frac{|V_{c-}| - 0,7V}{I_{3(13)}} - 500\Omega = \frac{15 - 0,7}{0,001} - 500\Omega = 13,8k\Omega \quad (4.10)$$

Adota-se  $R_{13} = 12\text{ k}\Omega$  e  $R_3 = 15\text{ k}\Omega$  ( $10\text{ k}\Omega$  + potenciômetro de  $5\text{ k}\Omega$ ). O potenciômetro permite ajustar o fator de escala do multiplicador.

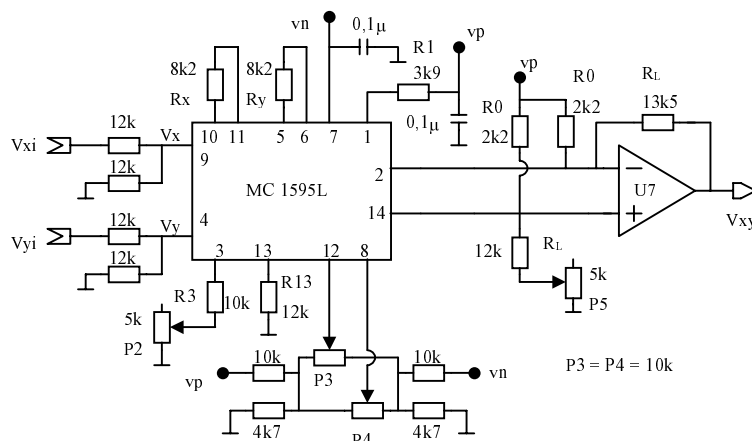


Fig. 4.21 - Circuito do multiplicador de tensões.

#### Os resistores $R_x$ e $R_y$

Para assegurar que os transistores de entrada do MC1595-L estejam sempre ativos deve-se ter  $v_x/R_x < I_{13}$  e  $v_y/R_y < I_3$ . Quanto maior os fatores  $I_3 \cdot R_y$  e  $I_{13} \cdot R_x$ , respectivamente, em relação às tensões  $v_x$  e  $v_y$ , mais preciso será o multiplicador. Adota-se:

$$R_x = R_y = 8,2\text{ k}\Omega \quad (4.11)$$

#### Os resistores $R_L$

Com a determinação de  $R_x$ ,  $R_y$  e  $I_3$ , os resistores denominados  $R_L$  serão especificados de acordo com a expressão (4.12).

$$R_L = \frac{K R_x R_y I_3}{2} = \frac{0,4 \cdot 8,2 \cdot 2 \cdot 10^3 \cdot 8,2 \cdot 10^3 \cdot 0,001}{2} = 13448\Omega \quad (4.12)$$

Define-se  $R_L = 13,5\text{ k}\Omega$ . Este resistor é conectado entre a entrada inversora e saída do amplificador operacional U7. O outro resistor  $R_L$  é inserido entre a entrada não-inversora e o terra. Neste caso, divide-se-o em um resistor fixo de  $12\text{ k}\Omega$  em série com um potenciômetro de  $5\text{ k}\Omega$ . Isto permite um ajuste de deslocamento do sinal de saída de U7.

### **O resistor $R_1$**

Para que os transistores do multiplicador mantenham-se em uma região ativa, ao longo de toda a faixa de variação de seus sinais de entrada, ( $v_x$  e  $v_y$ ), é necessário que a tensão no pino 1 ( $V_{\text{pino1}}$ ) esteja pelo menos 2,0 V acima da amplitude máxima daqueles sinais de entrada. Logo, define-se  $V_{\text{pino1}} = 7,0$  V e considerando que a corrente que circula, pelo pino 1, é duas vezes a corrente  $I_3$ , o resistor  $R_1$  é calculado por (4.13).

$$R_1 = \frac{V_{c+} - V_{\text{pino1}}}{2 I_3} = \frac{15 - 7,0}{0,002} = 4,0 \text{ k}\Omega \quad (4.13)$$

Usar-se-á  $R_1 = 3,9$  k $\Omega$  (valor comercial mais próximo). A tensão  $V_{c+}$  corresponde à tensão de alimentação de +15 V.

### **Os resistores $R_0$**

As tensões nos pinos 2 e 14 devem ter um valor entre aquele do pino 1 ( $V_{\text{pino1}}$ ) e o da tensão de alimentação  $V_{c+}$ . Estabelece-se para a tensão no pino 2(14)  $V_{\text{pino2(14)}} = 11$  V. Dessa forma,  $R_0$  será obtido por (4.14).

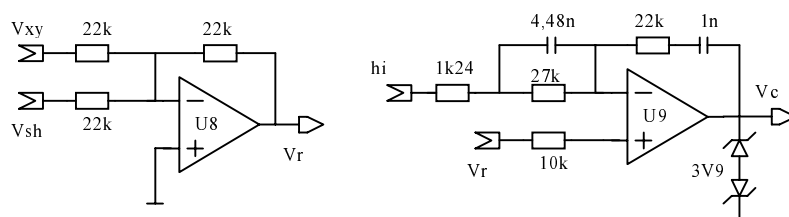
$$R_0 = \frac{V_{c+} - V_{\text{pino2}}}{(V_{\text{pino2}}/R_L) + I_3} = \frac{15 - 11}{11/13,5 \cdot 10^3 + 0,001} = 2204 \Omega \quad (4.14)$$

Os pinos 8 e 12 (fig. 4.21) estão sendo polarizados com tensões variáveis. Isto permite um ajuste fino do deslocamento (offset) do sinal de saída relacionado às tensões de entrada  $v_x$  e  $v_y$ .

Finalmente, faz-se notar que o sinal de saída  $v_{xy}$  (U7) é um sinal senoidal com a amplitude determinada pelo sinal  $v_{yi}$ , oriundo do controlador  $H_1(s)$ , e determinará o quanto de energia será transferido ao filtro ativo para compensar suas perdas.

### **■ O gerador da tensão de referência $v_r$ e o compensador $H_2(s)$**

A fig. 4.22 mostra os circuitos elétricos do gerador da tensão de referência  $v_r$  (U8) e controlador  $H_2(s)$  (U9). O gerador da tensão de referência  $v_r$  é um somador inversor. Ele faz a adição do sinal de referência da tensão harmônica  $v_{sh}$  e da componente senoidal  $v_{xy}$  (em fase e proporcional à componente fundamental da tensão de entrada) resultando o sinal de referência da tensão a ser gerada no capacitor de acoplamento  $C_a$ .

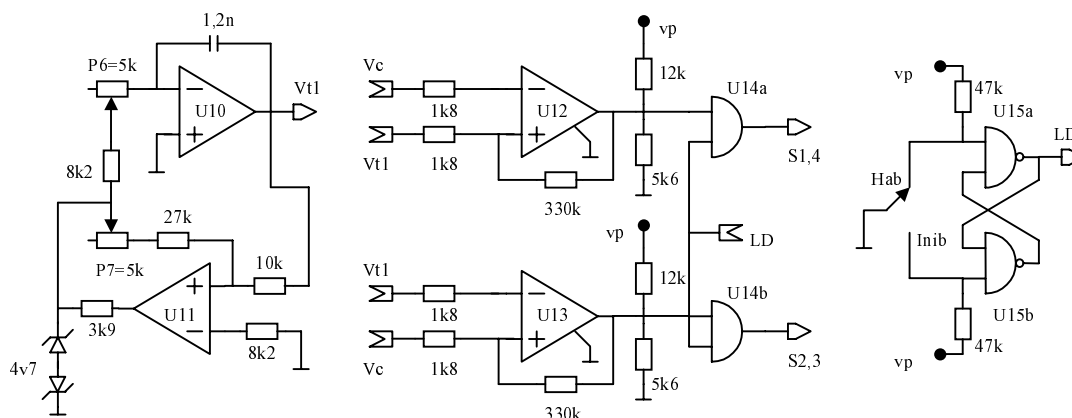


**Fig. 4.22** - Circuito do gerador da tensão de referência  $v_r$  e do compensador  $H_2(s)$ .

O compensador  $H_2(s)$  é realizado com o auxílio do amplificador operacional U9 e suas componentes foram determinadas na seção 4.1. A partir de uma amostra da tensão produzida pelo filtro (em  $C_a$ ), disponível no terminal de saída de U1b (hi), e da tensão de referência  $v_r$  aplicadas ao controlador  $H_2(s)$  obtém a tensão de controle  $v_c$ . Limita-se esta tensão de saída, em aproximadamente 4,6 V, com os diodos zener de 3,9 V (fig. 4.22).

#### ▪ O gerador de sinais de gatilho dos interruptores

A fig. 4.23 apresenta o circuito do gerador de sinais de comando para os interruptores do inversor. Ele é composto do gerador de sinal triangular, do gerador de pulsos modulados em largura e do circuito de habilitação/inibição de pulsos.



**Fig. 4.23** - Circuito do gerador de sinais de gatilho dos interruptores.

O gerador de sinal triangular é constituído de um integrador (U10) e um comparador com histerese (U11). A saída do comparador assume os valores  $V_{cp+}$  e  $V_{cp-}$ . Estas tensões aplicadas ao integrador estabelecem uma corrente de carga ou de descarga para o capacitor de 1,2 nF e resultam no aparecimento de um sinal triangular ( $v_{t1}$ ) na saída de U10. Os diodos zener conectados em U11 asseguram uma simetria aos valores  $V_{cp+}$  e  $V_{cp-}$  e fazem com que o sinal triangular também seja simétrico em suas amplitudes. Os componentes deste bloco são

especificados de forma que o sinal triangular tenha uma frequência de 20 kHz.

O circuito gerador de pulsos modulados em largura é constituído dos comparadores U12 e U13. Nestes são conectados o sinal triangular  $v_{t1}$  e o sinal de controle  $v_c$ . A comparação destes sinais produz pulsos modulados em largura. Suas amplitudes, para se conformarem aos níveis lógicos de U14a e U14b, estarão definidas pelo divisor resistivo conectado à saída de cada um dos comparadores. Os pulsos são enviados às portas lógicas E (U14a,U14b) que habilitam ou não estes sinais para o circuito de comando dos interruptores.

O circuito de habilitação/inibição de pulsos é composto do interruptor de um pólo e duas posições e das portas lógicas NÃO-E (U15a, U15b). Este circuito gera o sinal LD, isento de ruídos espúrios, o qual é enviado às portas lógicas E permitindo ou não que os pulsos dos comparadores estejam presentes nos terminais  $S_{1,4}$  e  $S_{2,3}$ .

Os circuitos integrados denominados U1a, U1b, U1c, U2, U3, ..., U9 e U10 são amplificadores operacionais do tipo LF411 (ou LF 351). U11 é o amplificador operacional LM318. U12 e U13 são, também, amplificadores operacionais do tipo LM311. U14a e U14b são portas lógicas do circuito integrado CD4081B. Para U15a e U15b usou-se o circuito integrado CD4011B.

#### ▪ O circuito de acionamento dos interruptores

Os sinais de gatilho para os interruptores do inversor estão disponíveis nos terminais de saída de U14a e U14b. Eles são enviados ao circuito de acionamento dos interruptores - o SKHI23/12 produzido pela SEMIKRON (fig. 4.15). O SKHI23/12 pode ser dividido em três blocos: condicionamento de sinais, isolamento e geração de pulsos.

O bloco de condicionamento de sinais recebe os sinais de gatilho, gerados pelo sistema de controle, em níveis TTL, e faz a adequação desses sinais para serem aplicados ao primário dos transformadores de pulsos. O circuito de isolamento propicia a isolamento elétrica do sinais de gatilho. Inclui-se neste bloco as fontes isoladas que proporcionam, a partir da tensão de alimentação do lado primário, a tensão para o circuito de geração de pulsos no lado dos interruptores.

O circuito de geração de pulsos amplifica e condiciona os sinais de gatilho, deixando-os adequados ao acionamento dos interruptores (IGBT's). Vários ajustes são possíveis, de acordo com seu fabricante, para o circuito de acionamento de interruptores SKHI23/12. A

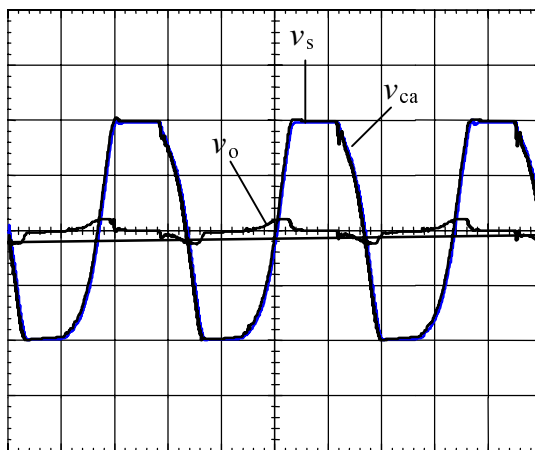
título de exemplo tem-se a configuração dos níveis dos sinais de entrada (TTL ou CMOS), a proteção por intertravamento dos sinais de acionamento, a monitoração da tensão  $V_{ce}$  do IGBT, etc. Finalmente, o circuito de acionamento dos interruptores disponibiliza em sua saída os sinais  $sg1$ ,  $sg2$ ,  $sg3$  e  $sg4$  que serão conectados aos interruptores  $S_1$ ,  $S_2$ ,  $S_3$  e  $S_4$ .

## 4.5 FAS-VSI-V - RESULTADOS EXPERIMENTAIS

### 4.5.1 FAS-VSI-V com carga resistiva (R)

O filtro ativo série foi ensaiado com uma carga resistiva ( $R_o = 30 \Omega$ ). A fonte de alimentação ( $v_s$ ) constituiu-se de um inversor que proporcionou uma tensão de saída com elevado conteúdo harmônico. Entre esses componentes conectou-se o filtro ativo através dos terminais do capacitor de acoplamento  $C_a$ . Os principais sinais que serão apresentados a seguir são aqueles descritos na fig. 4.6.

Na fig. 4.24 são apresentadas as tensões de entrada  $v_s$ , a de saída  $v_o$  e a tensão  $v_{ca}$  do capacitor  $C_a$ . O inversor está inativo e a queda de tensão nos terminais de  $C_a$  é muito próxima da tensão de entrada. Portanto a tensão de saída é praticamente nula.



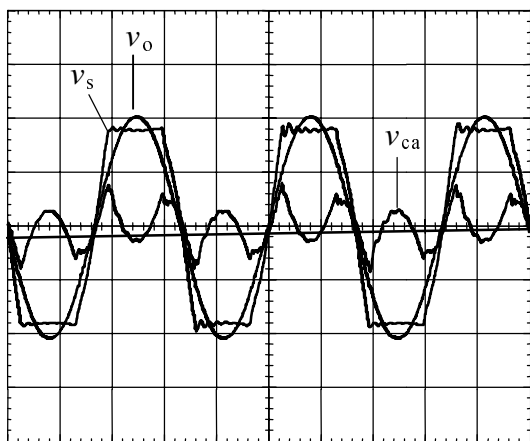
**Fig. 4.24** - Tensões: de entrada, no capacitor  $C_a$  e de saída (na carga) (100 V/div., 5 ms/div.).

Constata-se na fig. 4.24 que a tensão de entrada é, de fato, uma tensão bastante distorcida com um valor de pico de aproximadamente 200 V.

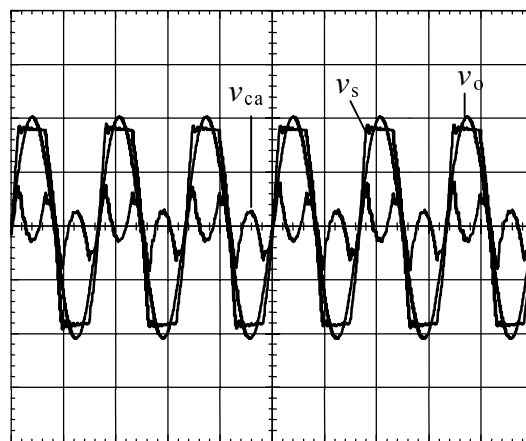
A fig. 4.25, já com o filtro ativo em operação, mostra as tensões de entrada  $v_s$ , a de saída  $v_o$  e a tensão  $v_{ca}$  do capacitor  $C_a$ . A tensão de entrada  $v_s$  está distorcida e a ação do filtro faz com que a tensão de saída  $v_o$  seja senoidal. A tensão  $v_{ca}$  corresponde à parcela que contém as tensões harmônicas da tensão de entrada. Além disso, ela deve conter uma componente fundamental de pequena amplitude para compensar as perdas do filtro.



Na fig. 4.26 estes sinais são rerepresentados em uma outra escala de tempo (maior número de ciclos). Ela é utilizada para o cálculo do conteúdo harmônico daqueles sinais.

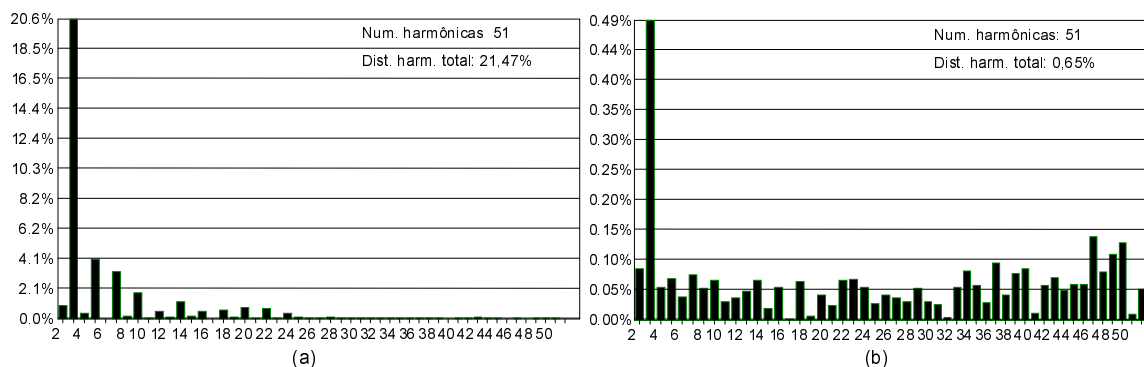


**Fig. 4.25** - Tensões: de entrada, no capacitor  $C_a$  e de saída (na carga) (100 V/div., 5 ms/div.).



**Fig. 4.26** - Tensões: de entrada, no capacitor  $C_a$  e de saída (na carga) (100 V/div., 10 ms/div.).

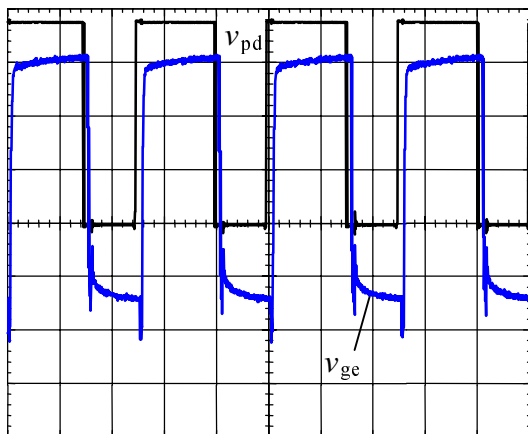
Com o auxílio do programa WaveStar, proporcionado pela Tektronix, usou-se os sinais coletados da fig. 4.26 (as tensões  $v_s$  e  $v_o$ ) para calcular o conteúdo harmônico daquelas tensões. Calculou-se, ainda, para cada um dos sinais a distorção harmônica total.



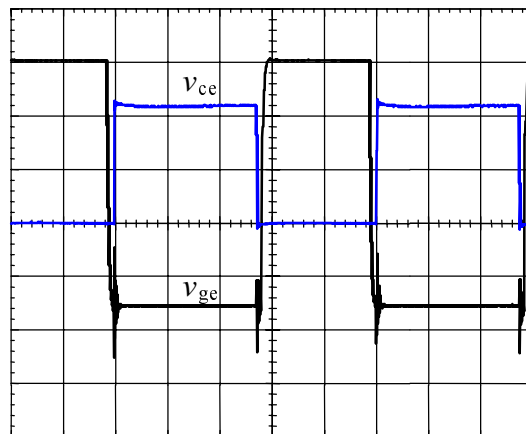
**Fig. 4.27** - Componentes harmônicas e suas amplitudes, das tensões: de entrada  $v_s$  (a) e de saída  $v_o$  (b).

Na fig. 4.27a são apresentadas as componentes harmônicas e suas amplitudes para a tensão de entrada  $v_s$ . Nota-se o acentuado valor da 3ª harmônica (em torno de 20% da amplitude da fundamental). Nesta análise foram consideradas até 51ª harmônica. A distorção harmônica total, para a tensão  $v_s$ , é de 21,47%. O espectro harmônico da tensão de saída  $v_o$  é apresentado na fig. 4.27b. Também, nesta análise considerou-se até 51ª harmônica e a distorção harmônica total encontrada para a tensão de saída é de 0,65%.

A tensão entregue à carga encontra-se, praticamente, isenta das distorções da tensão de entrada. É oportuno observar que os gráficos estão em escalas diferentes. A amplitude das componentes harmônicas, em seus eixos verticais, é apresentada como uma porcentagem da amplitude da componente fundamental e nos eixos horizontais tem-se a ordem das harmônicas.



**Fig. 4.28** - Tensão de gatilho  $v_{pd}$  (2 V/div., 20  $\mu$ s/div.) - lado do controle e tensão de acionamento  $v_{ge}$  (5 V/div., 20  $\mu$ s/div.).

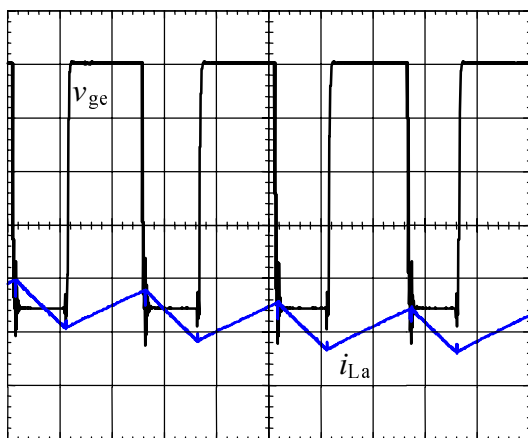


**Fig. 4.29** - Tensão de acionamento  $v_{ge}$  (5 V/div., 10  $\mu$ s/div.) e tensão coletor-emissor  $v_{ce}$  (100 V/div., 10  $\mu$ s/div.) do interruptor  $S_1$ .

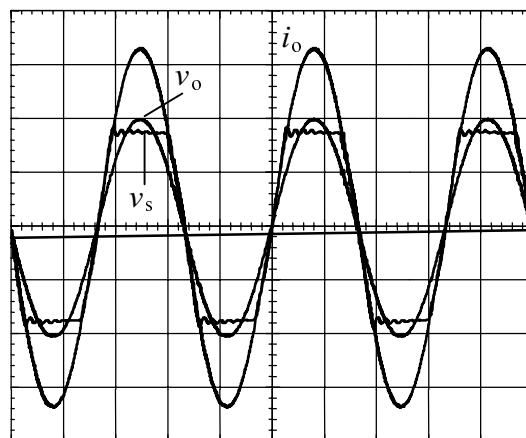
O sinal de gatilho  $v_{pd}$ , gerado pelo circuito de controle, é apresentado na fig. 4.28. É um sinal lógico digital. Trata-se do sinal  $S_{1,4}$  disponível no U14a (fig. 4.23). Ainda, na fig. 4.28 vê-se o sinal  $v_{ge}$  que corresponde ao sinal  $sg1$  (fig. 4.15) e é aplicado entre a base e o emissor do interruptor  $S_1$ . Nota-se que ocorre um atraso, de aproximadamente 4  $\mu$ s, entre os sinais gerados pelo sistema de controle e aquele aplicado ao interruptor de potência. Na fig. 4.29 são apresentados o sinal de acionamento  $v_{ge}$  e a tensão  $v_{ce}$  entre o coletor e o emissor do interruptor  $S_1$ . Quando o sinal  $v_{ge}$  encontra-se com amplitude negativa desligando o interruptor potência, nota-se que este último fica submetido à tensão do barramento CC.

A evolução do corrente no interruptor  $S_1$  pode ser vista nas curvas da fig. 4.30. Quando o sinal  $v_{ge}$  encontra-se com amplitude positiva o interruptor  $S_1$  estará ligado e conduzindo a corrente  $i_{L,a}$ . A ondulação de corrente encontra-se dentro dos limites calculados (em torno de 2 A). A fig. 4.31 mostra a tensão de entrada  $v_s$ , de saída  $v_o$  e a corrente de carga  $i_o$  (ou também da fonte). Verifica-se, mais uma vez, o funcionamento adequado do filtro ativo - a tensão de saída é senoidal.

A corrente de carga  $i_o$  é senoidal e está em fase (carga resistiva) com as tensões de entrada e de saída. O controle adotado não causa defasagens entre aquelas tensões.

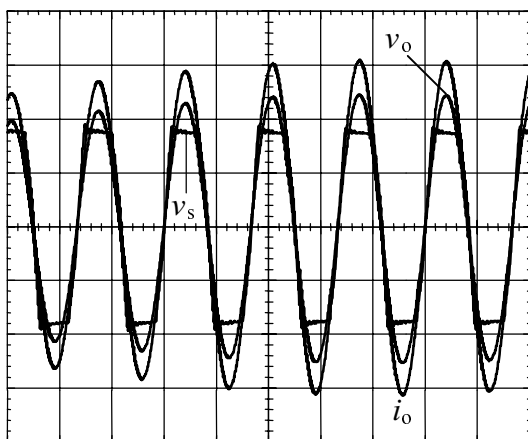


**Fig. 4.30** - Tensão de acionamento  $v_{ge}$  (2 V/div., 20  $\mu$ s/div.) e corrente no indutor  $i_{L_a}$  (2 A/div., 20  $\mu$ s/div.).

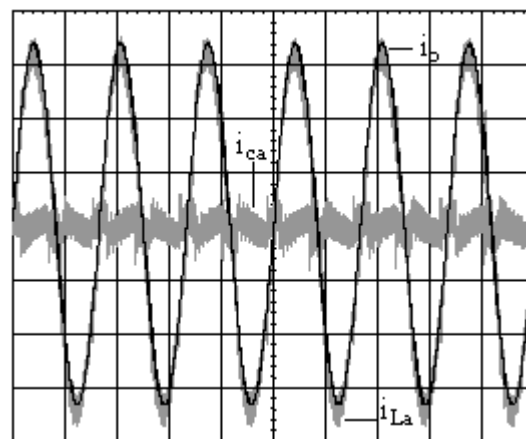


**Fig. 4.31** - Tensão de entrada  $v_s$ , de saída  $v_o$  (100 V/div., 5 ms/div.) e corrente de carga  $i_o$  (2 A/div., 5 ms/div.).

Com o intuito de observar possíveis distúrbios na tensão de saída causou-se uma perturbação de carga. Inicialmente colocou-se uma carga resistiva  $R_o = 40 \Omega$  em série com o filtro ativo.



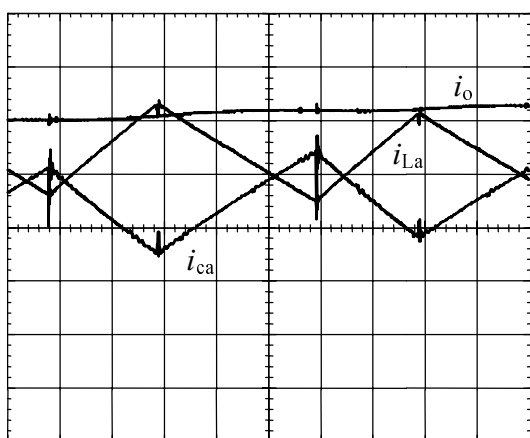
**Fig. 4.32** - Tensão de entrada  $v_s$ , de saída  $v_o$  (100 V/div., 10 ms/div.) e corrente de carga  $i_o$  (2 A/div., 10 ms/div.).



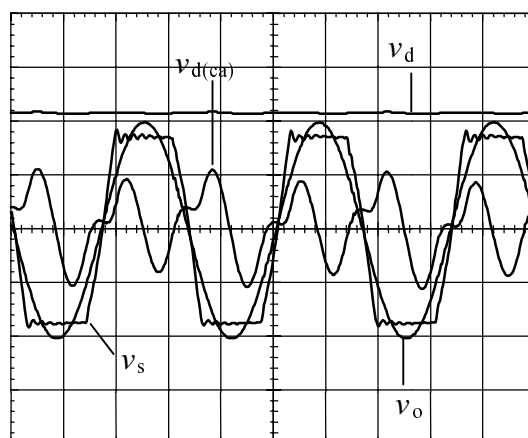
**Fig. 4.33** - Corrente de carga  $i_o$ , no indutor  $L_a$  ( $i_{L_a}$ ) e no capacitor  $C_a$  ( $i_{c_a}$ ) (2 A/div., 10 ms/div.).

Com o filtro em funcionamento alterou-se, abruptamente, seu valor para  $R_o = 30 \Omega$  e registraram-se os seguintes sinais (ver fig. 4.32): a tensão de entrada  $v_s$ , a tensão de saída  $v_o$  e a corrente de carga  $i_o$ . É possível observar a que perturbação causada não influenciou na qualidade da tensão de saída. Outro aspecto a ser observado é que o sistema manteve-se estável com a variação da carga.

As correntes de carga  $i_o$ ,  $i_{L_a}$  no indutor  $L_a$  e  $i_{C_a}$  no capacitor de acoplamento são mostradas na fig. 4.33. Nela verifica-se o formato gráfico de tais correntes. Essas correntes são mostradas em detalhes na fig. 4.34. Um aspecto relevante que pode ser constatado nessa figura é que a corrente de carga  $i_o$  sofre apenas pequenas alterações durante um período de comutação ou entre períodos subseqüentes apesar da carga não apresentar uma característica de fonte de corrente. Isto ratifica o desenvolvimento analítico apresentado na seção 3.4.1.



**Fig. 4.34** - Corrente de carga  $i_o$ , no indutor  $L_a$  ( $i_{L_a}$ ) e no capacitor  $C_a$  ( $i_{C_a}$ ) (1 A/div., 10  $\mu$ s/div.).



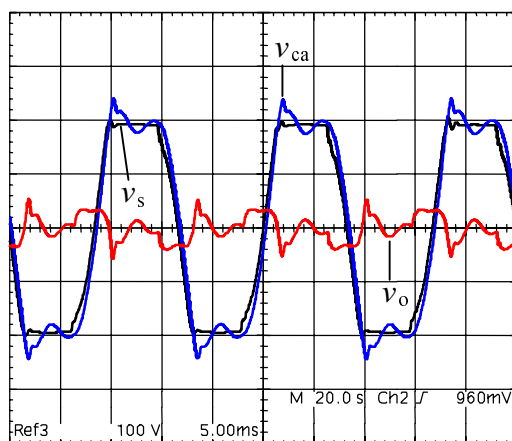
**Fig. 4.35** - Tensões: de entrada  $v_s$ , de saída  $v_o$  e no barramento CC:  $v_d$  (100 V/div., 5 ms/div.) e  $v_{d(ca)}$  (2 V/div., 5 ms/div.).

Na fig. 4.35 são apresentadas as tensões de entrada  $v_s$ , a de saída  $v_o$  e a tensão  $v_d$  do barramento CC. A tensão  $v_{d(ca)}$  constitui-se somente da parcela alternada daquela tensão. As tensões de entrada e de saída estabelecem uma referência para a observação da componente alternada da tensão do barramento CC. Portanto é possível verificar que a tensão alternada  $v_{d(ca)}$ , considerando-se o aspecto gráfico, assemelha-se substancialmente com a tensão prevista analiticamente (fig. 3.24).

#### 4.5.2 FAS-VSI-V com carga resistiva-indutiva (RL)

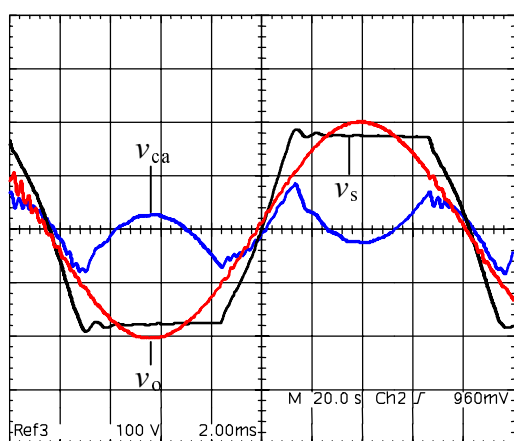
Um segundo experimento usando o filtro ativo série e uma carga ôhmico-indutiva foi realizado. A carga tem os seguintes valores:  $R_o = 30 \Omega$  e  $L_o = 50 \text{ mH}$ . Estes componentes foram alimentados por um inversor, cuja a tensão de saída se apresentava com elevada distorção. A configuração para este experimento e alguns dos sinais que serão descritos, nos próximos parágrafos, são ilustrados na fig. 4.9.

As tensões de entrada  $v_s$ , a de saída  $v_o$  e a tensão  $v_{ca}$  do capacitor  $C_a$  são mostradas na fig. 4.36. Nela observa-se a elevada distorção da tensão de alimentação  $v_s$  e seu valor de pico de aproximadamente 200 V. Uma tensão ( $v_{ca}$ ), de formato e amplitude semelhantes à tensão de entrada, é observada nos terminais do capacitor de acoplamento em virtude do filtro estar desligado. Em conseqüência, a tensão na carga  $v_o$  tem pequena amplitude e formato não senoidal.

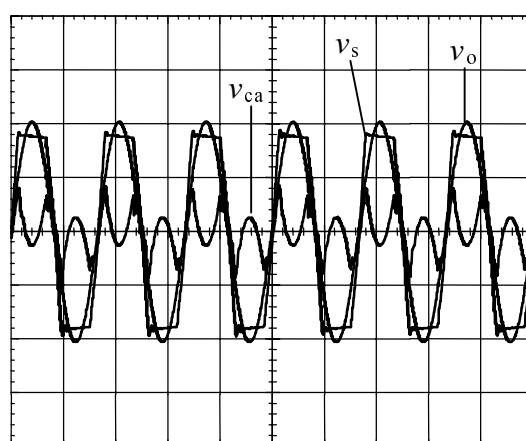


**Fig. 4.36** - Tensões: de entrada, no capacitor  $C_a$  e de saída (na carga) (100 V/div., 5 ms/div.).

Na fig. 4.37, com o filtro ativo em funcionamento, são apresentadas as tensões de entrada  $v_s$ , a tensão  $v_{ca}$  do capacitor  $C_a$  e a de saída  $v_o$ . O inversor mantém a tensão de alimentação com suas distorções e na carga tem-se uma tensão de formato senoidal ( $v_o$ ).



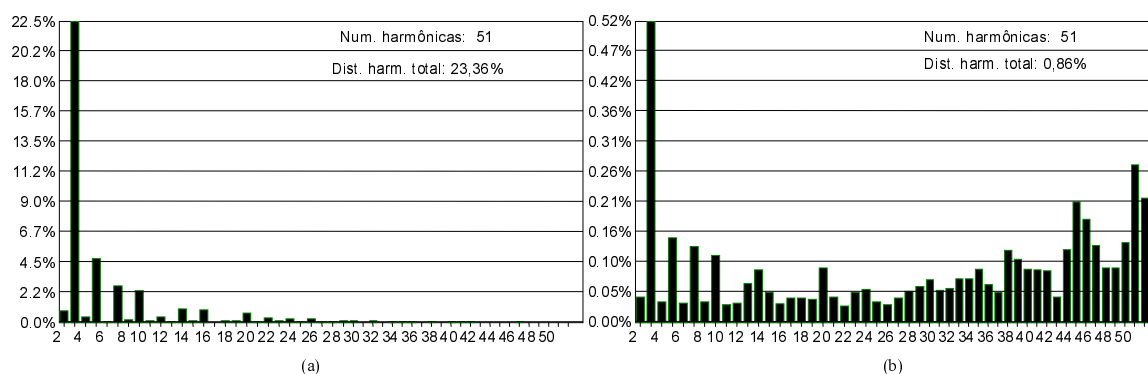
**Fig. 4.37** - Tensões: de entrada, no capacitor  $C_a$  e de saída (na carga) (100 V/div., 2 ms/div.).



**Fig. 4.38** - Tensões: de entrada, no capacitor  $C_a$  e de saída (na carga) (100 V/div., 10 ms/div.).

A tensão  $v_{ca}$  é um sinal não senoidal que elimina as distorções da tensão de entrada. A tensão produzida pelo filtro, possivelmente, engloba uma componente em 60 Hz responsável por suprir suas perdas. Os sinais da fig. 4.37 são retomados na fig. 4.38 com um número maior de ciclos. Eles foram assim registrados para a análise de seu conteúdo harmônico.

Novamente, usando o programa WaveStar, com os sinais coletados na fig. 4.38 calculou-se o conteúdo harmônico das tensões  $v_s$  e  $v_o$ . As componentes harmônicas e suas amplitudes, para a tensão de entrada  $v_s$ , são apresentadas na fig. 4.39a. Neste gráfico observa-se que a 3ª harmônica destaca-se com uma amplitude de 22,5% em relação à componente fundamental. Além desta harmônica outras estão presentes e contribuem para que a tensão de entrada  $v_s$  apresente uma distorção harmônica total de 23,36%.

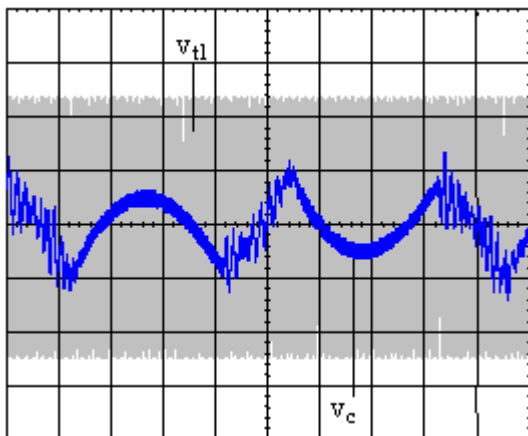


**Fig. 4.39** - Componentes harmônicas e suas amplitudes das tensões: de entrada  $v_s$  (a) e de saída  $v_o$  (b).

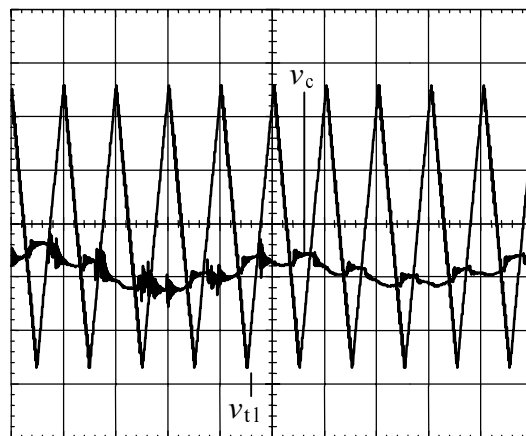
Na fig. 4.39b tem-se o espectro harmônico da tensão de saída  $v_o$ . A distorção harmônica total encontrada para aquela tensão é de 0,86%. Logo, a tensão disponibilizada à carga encontra-se, praticamente, isenta dos distúrbios apresentados pela tensão do alimentador. Nas duas análises realizadas, considerou-se até 51ª harmônica. Os gráficos estão em escalas diferentes e a amplitude das componentes harmônicas, em seus eixos verticais, é dada como uma porcentagem da amplitude da componente fundamental e no eixos horizontais, tem-se a ordem das harmônicas.

O sinal triangular  $v_{t1}$  de 20 kHz bem como a tensão de controle  $v_c$ , observável nos terminais de saída do compensador  $H_2(s)$  (fig. 4.22), são mostrados na fig. 4.40. O sinal triangular se apresenta como uma faixa contínua (cor cinza) em virtude da escala de tempo com a qual foi coletado.

Isto, então, permite observar a forma gráfica, na frequência da fundamental, da tensão de controle  $v_c$ . Ela é semelhante à tensão produzida pelo filtro ativo (em  $C_a$ ) e suas amplitudes máximas não ultrapassam os limites (positivo e negativo) da portadora triangular.

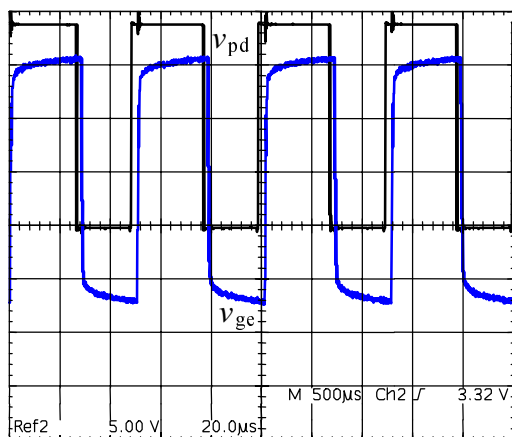


**Fig. 4.40** - Sinal triangular  $v_{t1}$  e tensão de controle  $v_c$  (2 V/div., 2 ms/div.).

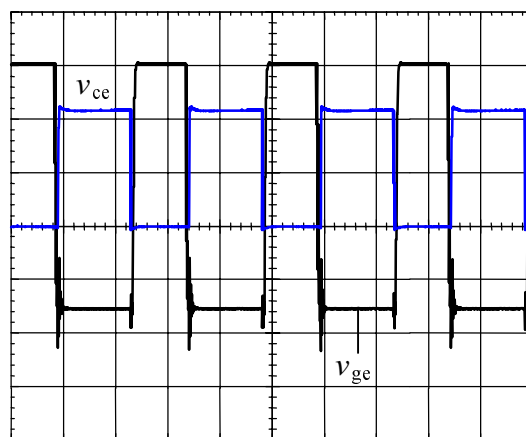


**Fig. .41** - Sinal triangular  $v_{t1}$  e tensão de controle  $v_c$  (2 V/div., 50  $\mu$ s/div.).

A fig. 4.41 representa os sinais anteriores em uma escala de tempo menor. É possível observar que a tensão de controle  $v_c$  não apresenta grandes variações quando comparada à portadora triangular.



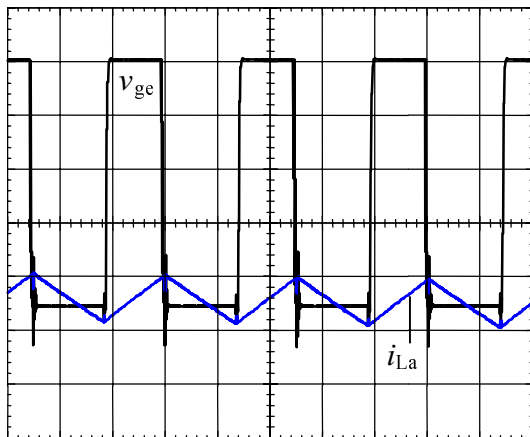
**Fig. 4.42** - Tensão de gatilho  $v_{pd}$  (2 V/div., 20  $\mu$ s/div.) - lado do controle e tensão de acionamento  $v_{ge}$  (5 V/div., 20  $\mu$ s/div.).



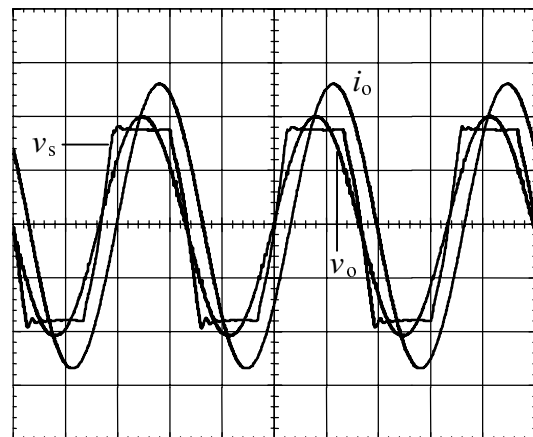
**Fig. 4.43** - Tensão de acionamento  $v_{ge}$  (5 V/div., 10  $\mu$ s/div.) e tensão coletor-emissor  $v_{ce}$  (100 V/div., 10  $\mu$ s/div.) do interruptor  $S_1$ .

Na fig. 4.42 é mostrado o sinal de gatilho  $v_{pd}$  gerado pelo circuito de controle. Ele é um sinal lógico digital e é denominado sinal  $S_{1,4}$ , o qual é disponível na saída de U14a (fig. 4.23). Também, na mesma figura, vê-se o sinal  $v_{ge}$  que corresponde ao sinal  $sg1$  (fig. 4.15) e

é aplicado entre a base e o emissor do interruptor  $S_1$ . O sinal  $sg1$  atrasa-se, em aproximadamente  $4 \mu s$ , do sinal gerado pelo sistema de controle. Na fig. 4.43 são apresentados o sinal de acionamento  $v_{ge}$  e a tensão  $v_{ce}$  entre o coletor e o emissor do interruptor  $S_1$ . Quando o sinal  $v_{ge}$  encontra-se com amplitude negativa, período no qual o interruptor potência encontra-se desligado, nota-se que este último fica submetido à tensão do barramento CC.



**Fig. 4.44** - Tensão de acionamento  $v_{ge}$  (5 V/div., 20  $\mu s$ /div.) e corrente no indutor  $i_{L.a}$  (2 A/div., 20  $\mu s$ /div.).



**Fig. 4.45** - Tensão de entrada  $v_s$ , de saída  $v_o$  (100 V/div., 5 ms/div.) e corrente de carga  $i_o$  (2 A/div., 5 ms/div.).

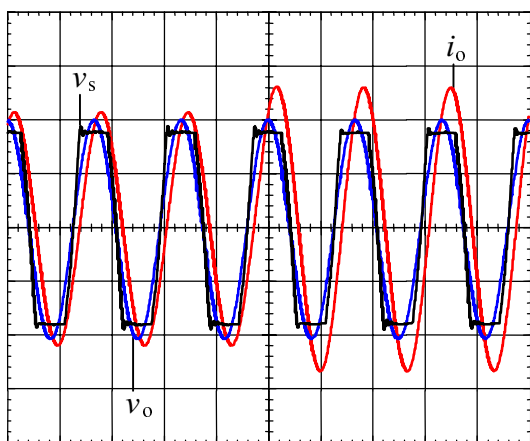
O comportamento da corrente no interruptor  $S_1$  pode ser visto na fig. 4.44. Quando  $v_{ge}$  tem amplitude positiva o interruptor  $S_1$  estará ligado e conduzindo a corrente  $i_{L.a}$ . A corrente é negativa e enquanto o interruptor estiver desligado ( $v_{ge}$  com amplitude de  $-8 V$ ) a corrente circulará pelos diodos em anti-paralelo. A ondulação de corrente encontra-se dentro dos limites previstos (na faixa de 2 A).

A fig. 4.45 apresenta a tensão de entrada  $v_s$ , a de saída  $v_o$  e a corrente de carga  $i_o$  (que é também a da fonte). Verifica-se, de acordo com o aspecto senoidal da tensão de saída, o adequado funcionamento do filtro ativo. A corrente de carga  $i_o$  é senoidal e está defasada (carga ôhmico-indutiva) das tensões de entrada e de saída. O controle adotado não causa defasagens entre aquelas tensões.

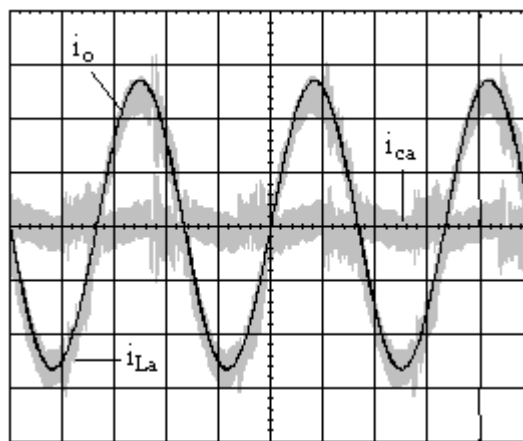
Neste ensaio fez-se também uma variação de carga. Inicia-se o sistema com uma carga  $R_o = 40 \Omega$  e  $L_o = 50 mH$ . A seguir, com o filtro em funcionamento, alterou-se o valor do resistor de  $40 \Omega$  para  $30 \Omega$  resultando uma carga  $R_o = 30 \Omega$  e  $L_o = 50 mH$ . Os resultados deste evento foram registrados e são apresentados na fig. 4.46.



Assim, a fig. 4.46 apresenta a tensão de entrada  $v_s$ , a tensão de saída  $v_o$  e a corrente de carga  $i_o$ . É possível observar a que perturbação causada não influenciou na qualidade da tensão de saída. O regime permanente é alcançado em poucos ciclos. Observa-se, ainda, que o sistema manteve-se estável com a variação da carga.

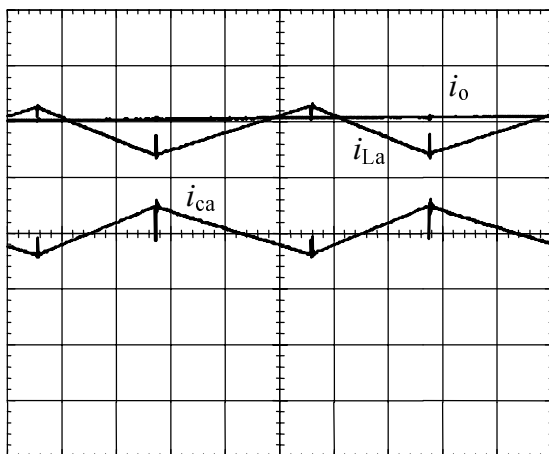


**Fig. 4.46** - Tensão de entrada  $v_s$ , de saída  $v_o$  (100 V/div., 10 ms/div.) e corrente de carga  $i_o$  (2 A/div., 10 ms/div.).

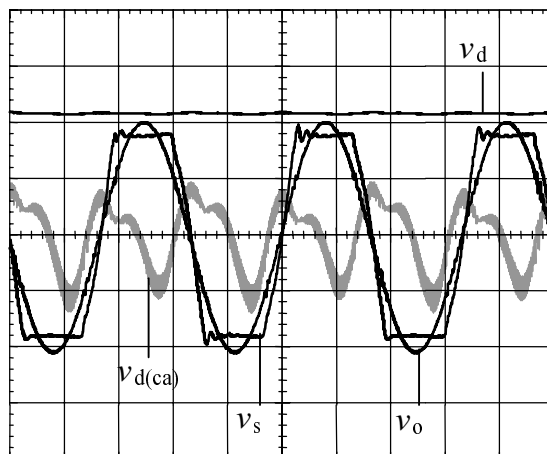


**Fig. 4.47** - Corrente de carga  $i_o$ , no indutor  $L_a$  ( $i_{L_a}$ ) e no capacitor  $C_a$  ( $i_{C_a}$ ) (2 A/div., 5 ms/div.).

As correntes de carga  $i_o$  (curva em preto),  $i_{L_a}$  no indutor  $L_a$  e  $i_{C_a}$  no capacitor de acoplamento são mostradas na fig. 4.47. Nela verifica-se o formato gráfico dessas correntes.



**Fig. 4.48** - Corrente de carga  $i_o$ , no indutor  $L_a$  ( $i_{L_a}$ ) e no capacitor  $C_a$  ( $i_{C_a}$ ) (1 A/div., 10  $\mu$ s/div.).



**Fig. 4.49** - Tensões: de entrada  $v_s$ , de saída  $v_o$  e no barramento CC:  $v_d$  (100 V/div., 5 ms/div.) e  $v_{d(ca)}$  (2 V/div., 5 ms/div.).

O formato da corrente  $i_{L_a}$  segue, muito proximamente, o formato da corrente de carga  $i_o$ . Isto permite inferir que, em um período da componente fundamental, a corrente de carga circula, em grande parte, pelo filtro ativo (ou inversor).

As correntes da fig. 4.47 são reapresentadas, em detalhes, na fig. 4.48. Nota-se nesta figura que a corrente de carga  $i_o$  sofre pequenas alterações durante um período de comutação ou entre períodos subseqüentes. Estas alterações são menores do aquelas observadas na fig. 4.34, possivelmente pelo fato da carga apresentar uma característica de fonte de corrente. Este aspecto vem corroborar o desenvolvimento analítico apresentado na seção 3.4.1.

Na fig. 4.49 são apresentadas as tensões de entrada  $v_s$ , a de saída  $v_o$  e a tensão  $v_d$  do barramento CC. A tensão  $v_{d(ca)}$  representa apenas a parcela alternada daquela tensão. As tensões de entrada e de saída estabelecem uma referência para a observação da componente alternada da tensão do barramento CC. Adicionalmente, é possível verificar que a tensão alternada  $v_{d(ca)}$ , considerando-se o aspecto gráfico, não se parece com a tensão prevista analiticamente e ilustrada na fig. 3.24 - equação (3.75). Entretanto, a ondulação de  $v_{d(ca)}$  permanece dentro dos limites previstos e portanto o valor adotado para o capacitor  $C_d$  (no barramento CC) continua sendo uma escolha apropriada.

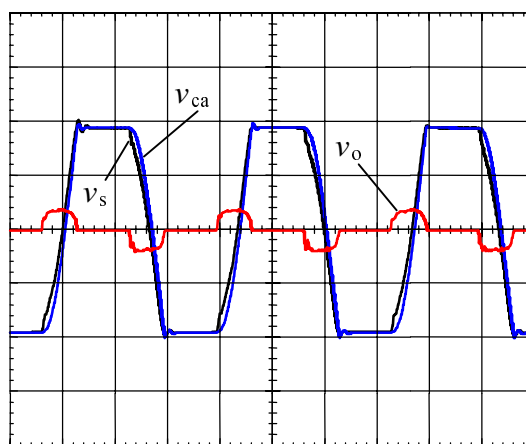
#### 4.5.3 FAS-VSI-V com carga não linear

O filtro ativo série foi, ainda, ensaiado com uma carga não linear. Esta carga é composta de um retificador em ponte completa alimentando um indutor e um resistor ligados em série. Seus valores são  $R_o = 30 \Omega$  e  $L_o = 50 \text{ mH}$ . A fonte de alimentação, para este propósito, continua sendo o inversor, cuja tensão de saída é distorcida. A configuração para este experimento e alguns dos sinais que serão descritos nos parágrafos subseqüentes são ilustrados na fig. 4.12.

Na fig. 4.50 são ilustradas as tensões de entrada  $v_s$ , a de saída  $v_o$  e a tensão  $v_{ca}$  do capacitor  $C_a$ . O inversor está desligado e a queda de tensão nos terminais do capacitor  $C_a$  é praticamente igual à tensão de entrada. Dessa forma, a tensão de saída é de amplitude reduzida e não senoidal. Nota-se, ainda, que a tensão de entrada é bastante distorcida e com uma amplitude próxima de 200 V.

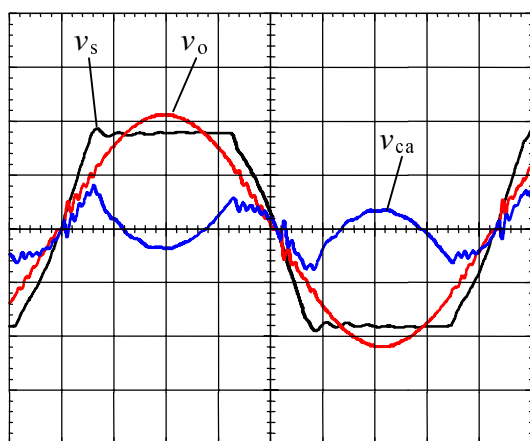
Na fig. 4.51, com o filtro ativo em funcionamento, são apresentadas as tensões de entrada  $v_s$ , a tensão  $v_{ca}$  do capacitor  $C_a$  e a de saída  $v_o$ . O alimentador mantém sua tensão de saída com distorções e na carga tem-se uma tensão de formato senoidal ( $v_o$ ) em virtude da ação do filtro ativo. A tensão produzida pelo filtro no terminais capacitor  $C_a$  contém a tensão que reduz as distorções da tensão de entrada.

A tensão  $v_{ca}$  inclui, possivelmente, uma componente em 60 Hz para que as perdas do filtro ativo sejam repostas.

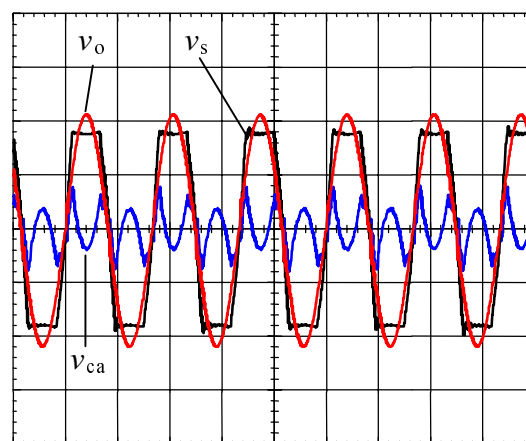


**Fig. 4.50** - Tensões: de entrada, no capacitor  $C_a$  e de saída (na carga) (100 V/div., 5 ms/div.).

Os sinais da fig. 4.51 são retomados na fig. 4.52 com um número maior de ciclos. Eles foram assim registrados para o cálculo de seu conteúdo harmônico. Com o programa WaveStar e os sinais coletados na fig. 4.52 calculou-se o conteúdo harmônico das tensões  $v_s$  e  $v_o$ . As componentes harmônicas e suas amplitudes, para a tensão de entrada  $v_s$ , são apresentadas na fig. 4.53a. Neste gráfico observa-se que a 3ª harmônica evidencia-se com uma amplitude de 22,2% em relação à componente fundamental.



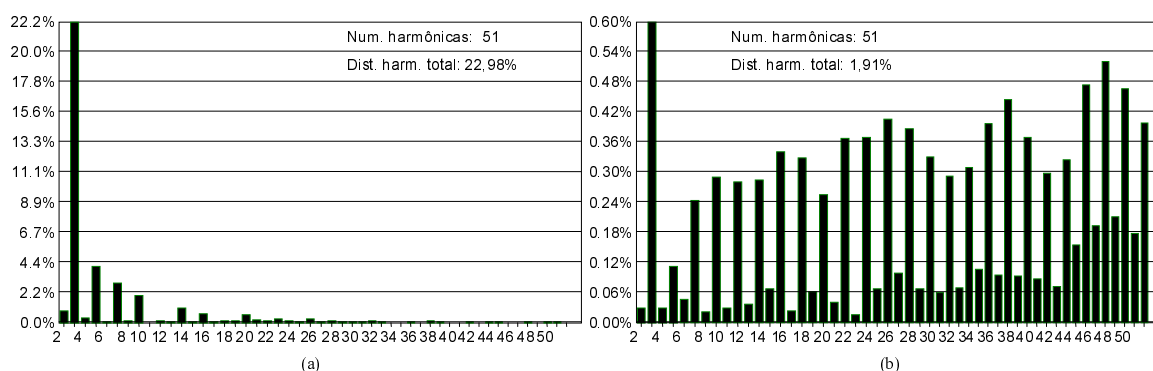
**Fig. 4.51** - Tensões: de entrada, no capacitor  $C_a$  e de saída (na carga) (100 V/div., 2 ms/div.).



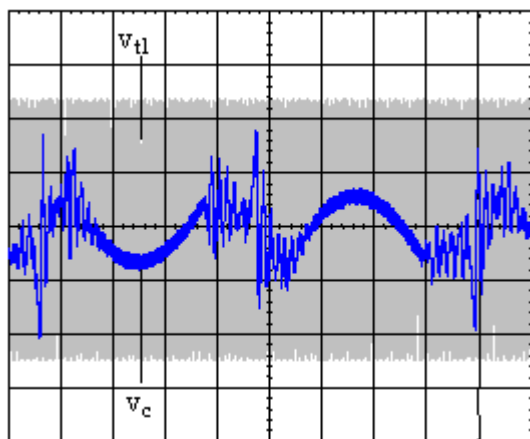
**Fig. 4.52** - Tensões: de entrada, no capacitor  $C_a$  e de saída (na carga) (100 V/div., 10 ms/div.).

Outras componentes, além da 3ª harmônica, estão presentes e contribuem para que a tensão de entrada  $v_s$  apresente uma distorção harmônica total de 22,98%.

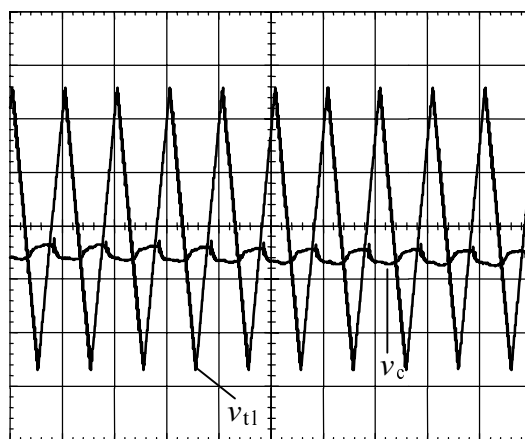
Na fig. 4.53b tem-se o espectro harmônico da tensão de saída  $v_o$ . A distorção harmônica total encontrada para aquela tensão é de 1,91%. Logo, a tensão disponibilizada à carga encontra-se com um reduzido conteúdo harmônico quando comparado àquele apresentado pela tensão do alimentador. Nas duas análises realizadas considerou-se até 51ª harmônica. Os gráficos estão em escalas diferentes e a amplitude das componentes harmônicas, em seus eixos verticais, é dada como uma porcentagem da amplitude da componente fundamental e no eixos horizontais, tem-se a ordem das harmônicas.



**Fig. 4.53** - Componentes harmônicas e suas amplitudes das tensões: de entrada  $v_s$  (a) e de saída  $v_o$  (b)



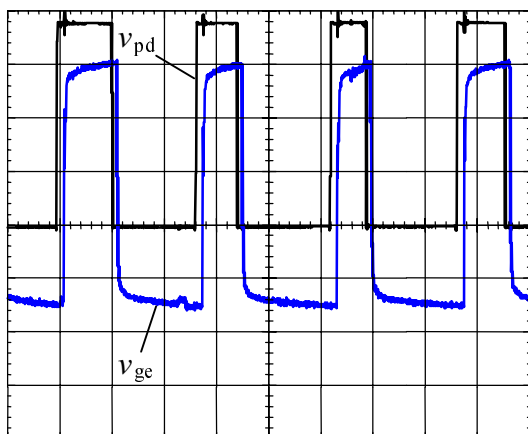
**Fig. 4.54** - Sinal triangular  $v_{t1}$  e tensão de controle  $v_c$  (2 V/div., 2 ms/div.).



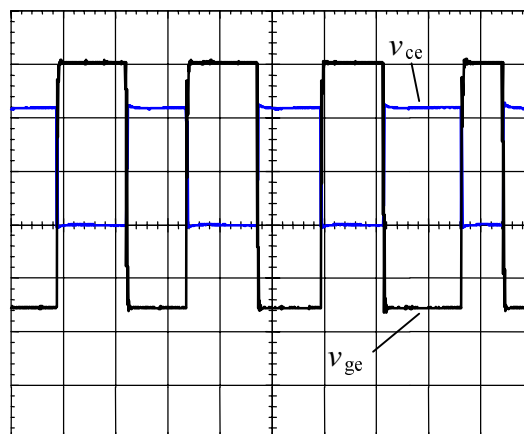
**Fig. 4.55** - Sinal triangular  $v_{t1}$  e tensão de controle  $v_c$  (2 V/div., 50  $\mu$ s/div.).

O sinal triangular  $v_{t1}$  de 20 kHz bem como a tensão de controle  $v_c$ , disponível nos terminais de saída do compensador  $H_2(s)$  (fig. 4.22), são mostrados na fig. 4.54. O sinal triangular é apresentado como uma faixa contínua (cor cinza) em virtude da escala de tempo com a qual foi coletado. A fig. 4.54 possibilita observar a forma gráfica, na freqüência da

fundamental, da tensão de controle  $v_c$ . Ela tem o formato semelhante à tensão produzida pelo filtro ativo (em  $C_a$ ) e suas amplitudes máximas estão dentro dos limites (positivo e negativo) da portadora triangular. Na fig. 4.55, a portadora triangular e a tensão de controle são apresentadas em uma escala de tempo menor e nota-se que esta última não apresenta elevadas variações em comparação ao sinal triangular.



**Fig. 4.56** - Tensão de gatilho  $v_{pd}$  (2 V/div., 20  $\mu$ s/div.) - lado do controle e tensão de acionamento  $v_{ge}$  (5 V/div., 20  $\mu$ s/div.).



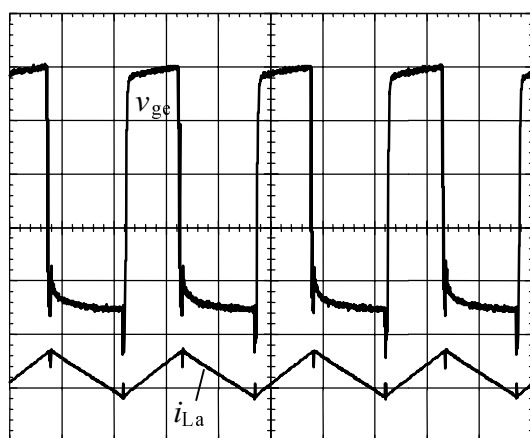
**Fig. 4.57** - Tensão de acionamento  $v_{ge}$  (5 V/div., 10  $\mu$ s/div.) e tensão coletor-emissor  $v_{ce}$  (100 V/div., 10  $\mu$ s/div.) do interruptor  $S_1$ .

Na fig. 4.56 é apresentado o sinal de gatilho  $v_{pd}$  gerado pelo circuito de controle. É um sinal lógico digital e é denominado  $S_{1,4}$ . Ele está disponível na saída de U14a (fig. 4.23). Na mesma figura vê-se o sinal  $v_{ge}$  que corresponde ao sinal  $sg1$  (fig. 4.15) e é aplicado entre a base e o emissor do interruptor  $S_1$ . O sinal  $sg1$  atrasa-se, em aproximadamente 4  $\mu$ s, do sinal produzido pelo sistema de controle.

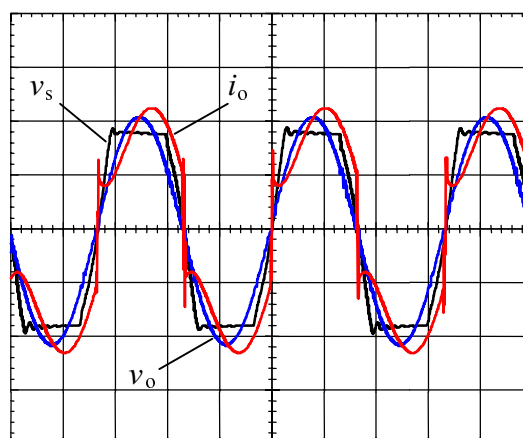
Na fig. 4.57 são apresentados o sinal de acionamento  $v_{ge}$  e a tensão  $v_{ce}$  entre o coletor e o emissor do interruptor  $S_1$ . Quando o sinal  $v_{ge}$  encontra-se com amplitude negativa, período no qual o interruptor potência encontra-se desligado, nota-se que este último fica submetido à tensão do barramento CC.

A fig. 4.58 ilustra o comportamento da corrente no interruptor  $S_1$ . Quando  $v_{ge}$  tem amplitude positiva o interruptor  $S_1$  estará ligado e conduzindo a corrente  $i_{La}$ . Considerando-se que a corrente é negativa, enquanto o interruptor estiver desligado ( $v_{ge}$  com amplitude de -8 V), ela circulará pelos diodos em antiparalelo.

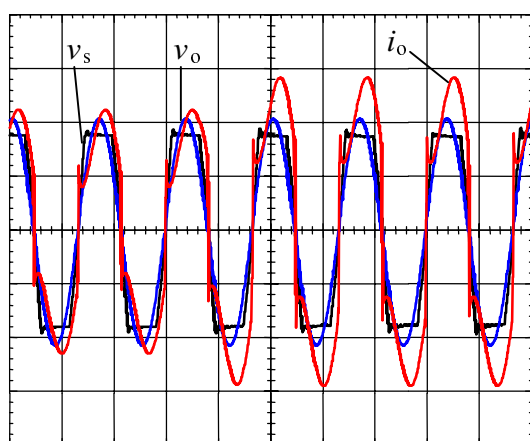
A ondulação de corrente encontra-se dentro dos limites previstos (na faixa de 2 A). A fig. 4.59 apresenta a tensão de entrada  $v_s$ , a de saída  $v_o$  e a corrente de carga  $i_o$  (que é a própria corrente da fonte). Verifica-se, de acordo com o aspecto senoidal da tensão de saída, o adequado funcionamento do filtro ativo. A corrente de carga  $i_o$  é não senoidal. É apropriado observar que o filtro permite a circulação de correntes de natureza não senoidais. O controle adotado não causa defasagens entre as tensões de entrada e de saída.



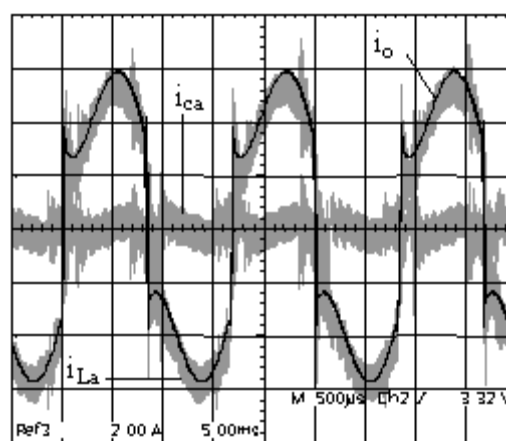
**Fig. 4.58** - Tensão de acionamento  $v_{ge}$  (5 V/div., 20  $\mu$ s/div.) e corrente no indutor  $i_{La}$  (2 A/div., 20  $\mu$ s/div.).



**Fig. 4.59** - Tensão de entrada  $v_s$ , de saída  $v_o$  (100 V/div., 5 ms/div.) e corrente de carga  $i_o$  (2 A/div., 5 ms/div.).



**Fig. 4.60** - Tensão de entrada  $v_s$ , de saída  $v_o$  (100 V/div., 10 ms/div.) e corrente de carga  $i_o$  (2 A/div., 10 ms/div.).

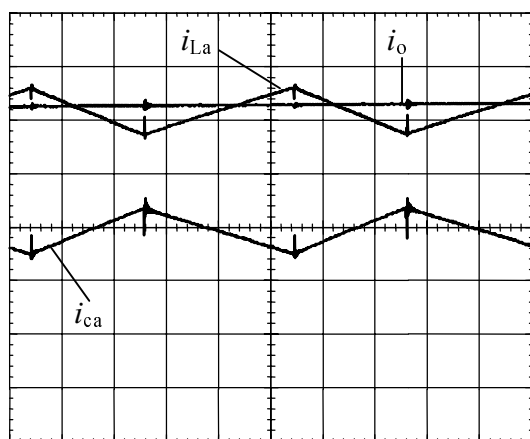


**Fig. 4.61** - Corrente de carga  $i_o$ , no indutor  $L_a$  ( $i_{La}$ ) e no capacitor  $C_a$  ( $i_{ca}$ ) (2 A/div., 5 ms/div.).

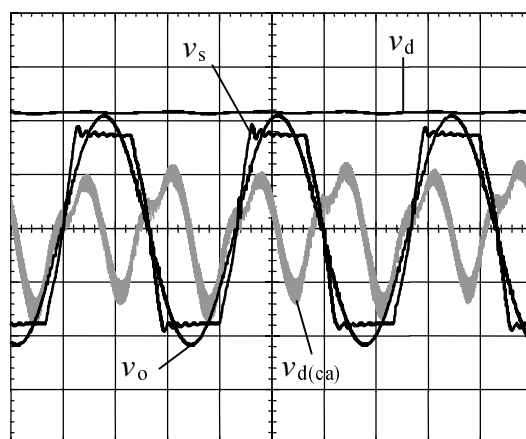
Neste experimento, fez-se também uma variação de carga. Inicia-se o sistema com uma carga  $R_o = 40\Omega$  e  $L_o = 50$  mH. A seguir, com o filtro em funcionamento, alterou-se o valor do resistor de  $40\Omega$  para  $30\Omega$  resultando uma carga  $R_o = 30\Omega$  e  $L_o = 50$  mH.

Os resultados deste evento foram registrados e são apresentados na fig. 4.60. Assim, esta última apresenta a tensão de entrada  $v_s$ , a tensão de saída  $v_o$  e a corrente de carga  $i_o$ . É possível observar a que perturbação causada não influenciou na qualidade da tensão de saída. O regime permanente é alcançado em poucos ciclos. Observa-se, ainda, que o sistema manteve-se estável com a variação da carga.

As correntes de carga  $i_o$  (curva destacada em preto),  $i_{L_a}$  no indutor  $L_a$  e  $i_{c_a}$  no capacitor de acoplamento são mostradas na fig. 4.61. Esta figura foi registrada para se observar o formato dessas correntes. A corrente  $i_{L_a}$  segue de forma coincidente (excetuando-se sua ondulação) a corrente de carga  $i_o$ . Em conseqüência infere-se que, em um período da componente fundamental, a corrente de carga circula, principalmente, pelo filtro ativo.



**Fig. 4.62** - Corrente de carga  $i_o$ , no indutor  $L_a$  ( $i_{L_a}$ ) e no capacitor  $C_a$  ( $i_{c_a}$ ) (1 A/div., 10  $\mu$ s/div.).



**Fig. 4.63** - Tensões: de entrada  $v_s$ , de saída  $v_o$  e no barramento CC:  $v_d$  (100 V/div., 5 ms/div.) e  $v_{d(ca)}$  (2 V/div., 5 ms/div.).

As correntes da fig. 4.61 são rerepresentadas, em detalhes, na fig. 4.62. Nota-se nesta figura que a corrente de carga  $i_o$  sofre pequenas alterações durante um período de comutação ou entre períodos subseqüentes. Estas alterações são menores do aquelas observadas na fig. 4.34, possivelmente pelo fato da carga apresentar uma característica de fonte de corrente. Este aspecto vem corroborar o desenvolvimento analítico apresentado na seção 3.4.1.

Na fig. 4.63 são apresentadas as tensões: de entrada  $v_s$ , a de saída  $v_o$  e a tensão  $v_d$  do barramento CC. A tensão  $v_{d(ca)}$  representa a parcela alternada daquela tensão. As tensões de entrada e de saída estabelecem uma referência para a observação da componente alternada da tensão do barramento CC.

Ainda, é possível verificar que a tensão alternada  $v_{d(ca)}$ , considerando-se o aspecto

*gráfico, difere da tensão prevista analiticamente - equação (3.75) - e ilustrada na fig. 3.24. Ela difere, também, dos resultados experimentais mostrados nas figuras 4.35 e 4.49. Entretanto sua ondulação permanece dentro dos limites previstos e portanto o valor adotado para o capacitor  $C_d$  (no barramento CC) continua sendo uma escolha adequada.*

#### **4.6 CONCLUSÃO**

*Para a experimentação foi escolhido o filtro ativo série com o VSI e entrada em tensão. Apresenta-se, para esse objetivo, um exemplo de projeto seguido de suas variadas simulações. Na etapa seguinte discutem-se os aspectos construtivos do filtro ativo, de seus circuitos auxiliares e de interface.*

*Em seguida, alguns experimentos foram realizados com a conseqüente coleta e análise de dados. Constatou-se o adequado funcionamento do filtro ativo.*



# CAPÍTULO V

## FILTRO ATIVO SÉRIE COM CONTROLE DIGITAL - ASPECTOS GERAIS

### 5.1 INTRODUÇÃO

Os sistemas de eletrônica de potência<sup>1</sup> ao serem controlados requerem o desenvolvimento de variadas funções, tais como: filtragem de sinais, geração de sinais de disparo, medições, proteções, etc. A realização dessas funções tem recaído sobre as tecnologias analógicas, as quais são interconectadas fisicamente. Nessa abordagem de *conexão física*, componentes analógicos e digitais (circuitos integrados), alguns com funções específicas, são conectados em um certo arranjo afim de proporcionar determinado sistema de controle ou funções. Uma das vantagens desta abordagem é a operação paralela dos blocos de funções resultando em um sistema de controle de rápida execução. Em contrapartida, sua desvantagem está na rigidez do sistema construído. Qualquer modificação exige, em geral, a construção de um outro sistema de controle. Ainda, pode-se considerar que a complexidade dos sistemas a serem construídos aumenta à medida que os algoritmos de controle tornam-se mais complexos.

Nas últimas décadas, o desenvolvimento dos microprocessadores tem promovido o uso da tecnologia digital no controle de sistemas de eletrônica de potência através de outra abordagem - a da *programação*. O uso dessa tecnologia traz como vantagens: menor suscetibilidade ao envelhecimento dos componentes e à ação da temperatura, além da flexibilidade para modificações e atualizações [35].

No controle de sistemas de eletrônica de potência, dependendo de suas especificações, vários tipos de processadores podem ser usados: microprocessadores genéricos, microcontroladores, processadores avançados (DSP, processadores RISC, processadores paralelos, etc.). A escolha do microprocessador é crítica no desempenho e no comportamento do controlador (ou compensador) digital. Alguns fatores devem ser considerados quando da seleção do microprocessador: arquitetura do processador, capacidade matemática, velocidade

---

<sup>1</sup> Equipamentos ou dispositivos que processam energia elétrica usando conversores estáticos de potência - definição informal segundo [35].

de processamento, capacidade de operação em tempo real, integração periférica [35, 36].

De acordo com [36], os microprocessadores foram projetados especialmente para agirem como dispositivos de processamento nos microcomputadores e os microcontroladores, por sua vez, para substituir funções específicas, manipular aquisição de dados ou ainda para funções ou decisões lógicas. Ambos se configuravam como processadores digitais desprovidos de uma arquitetura conveniente para o *processamento de sinal* e em conseqüência os controladores digitais não eram largamente usados. Ainda que não contivessem os requisitos para o processamento de sinais, aqueles processadores foram usados no controle digital. O processador de sinais digital (ou *digital signal processor* - DSP) possui uma arquitetura direcionada ao processamento de sinal e é, portanto, indicado para o controle digital de sistemas de eletrônica de potência entre outras aplicações.

A estratégia de controle, adotada para o filtro ativo série e apresentada nos capítulos anteriores, inclui um estágio de extração da componente fundamental de um sinal (a tensão de alimentação) em 60 Hz, que pode ou não conter componentes harmônicas. Este estágio mostrou-se de difícil realização. Este aspecto, somado aos fatores apontados nos parágrafos precedentes, tornou-se um motivador para o estudo e a realização do controle digital aplicado ao filtro ativo série. O compensador do filtro ativo série é um sistema de 2ª ordem e prevê-se que seu análogo digital exigirá do processador a ser utilizado a capacidade de efetuar operações matemáticas, tais como adição e multiplicação, de forma otimizada e, conseqüentemente, a escolha do processador digital convergiu para o DSP.

## **5.2 O PROCESSADOR DE SINAIS DIGITAL (DSP)**

### **5.2.1 Aspectos gerais do DSP**

A maior parte dos DSP é construída com a estrutura denominada Harvard, na qual dados e instruções ocupam memórias distintas e trafegam em diferentes barramentos (ou vias). Com esta estrutura de barramento duplo, o processador pode executar a procura (*fetch*), simultânea, de instruções e dados. Em conseqüência, torna-se possível o enfileiramento de instruções e transferências de dados resultando em uma elevada taxa de operações.

Essas características podem ter vários estágios ou níveis dependendo da arquitetura do processador. Para otimizar a velocidade de processamento operações importantes, tais como multiplicação e deslocamentos, são efetivadas fisicamente (*hardware*) aos invés de se utilizar recursos de programação.

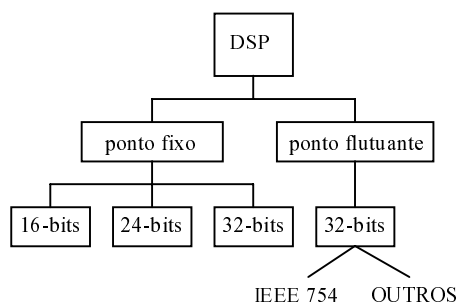
Nos DSP mais recentes, a velocidade de execução é ainda melhorada pela utilização de outras unidades independentes, vários barramentos, bancos de registros e memórias de duplo acesso, etc.

As operações nos DSP são aperfeiçoadas tal que a maior parte das instruções é executada em um único ciclo de operação. DSP mais avançados podem inclusive executar multiplicações paralelas e operações na unidade lógica aritmética (ALU: *arithmetic logic unit*) com números inteiros ou em ponto flutuante em apenas um ciclo de operação. Essas operações são usadas, freqüentemente, nos algoritmos de processamento de sinais e de controle - por exemplo nos filtros digitais, na transformada rápida de Fourier e nos controladores PID. Ainda, instruções especiais são disponíveis para aumentar a velocidade de execução do processamento de sinais e dos algoritmos de controle. Como exemplo, tem-se instruções que fazem o DSP repetir uma determinada operação. A taxa de amostragem, a freqüência de trabalho e a representação numérica são outras características comuns aos DSP [37].

### 5.2.2 Representação numérica no DSP

Em sistemas digitais, números são armazenados em palavras binárias. Uma palavra binária é uma seqüência finita de dígitos binários (1 e 0). A maneira como os sistemas digitais ou os programas interpretam esta seqüência de 1 e 0 é denominada de tipo de representação binária.

Logo, uma característica importante na escolha de um DSP, para uma determinada aplicação, é o tipo de representação binária numérica usada pelo processador. Os DSP são agrupados em duas categorias, de acordo com a fig. 5.1, definidas pelo tipo de representação binária que usam [37].



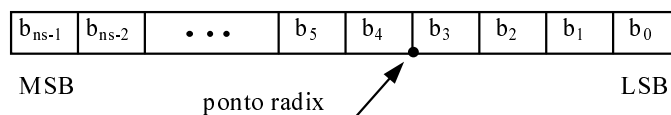
**Fig. 5.1** - Representações numéricas comuns aos DSP.

De um lado, a aritmética de ponto flutuante, gerenciada em uma categoria de DSP, requer o uso de pelo menos 32 *bits* para representar cada dado. O formato **ponto-flutuante** de precisão simples da norma IEEE-754 define uma palavra de 32 *bits* dividida em 1 *bit* de sinal, 8 *bits* para o expoente e 23 *bits* para a fração (ou mantissa). Outros formatos, além do IEEE-754, são possíveis.

Os processadores apropriados à aritmética de ponto flutuante, em geral, suportam também a de ponto-fixado. Isto é necessário para facilitar algumas de suas operações que são, inerentemente, típicas do formato ponto-fixado - por exemplo, o endereçamento de memória. A aritmética de ponto-flutuante é um mecanismo mais geral e flexível que a de ponto-fixado. Com o ponto-flutuante dispõe-se de uma faixa dinâmica maior (relação entre o maior e o menor número que pode ser representado) e ainda melhor precisão.

Do outro lado, dispõe-se dos processadores direcionados à aritmética de ponto-fixado. Os números de ponto-fixado podem ser números inteiros ou fracionários e, ainda, serem sinalizados ou não sinalizados.

Uma possível representação para um dado binário no formato ponto-fixado (sinalizado ou não sinalizado) é ilustrada pela fig. 5.2. O formato **ponto-fixado** é caracterizado pelo tamanho da palavra binária (número de *bits*) e pela posição do ponto binário (ou ponto **radix**).



**Fig. 5.2** - Representação de um número binário no formato ponto fixo.

Na fig. 5.2 tem-se:

- $b_i$ : dígitos binários (*bits*);
- $ns$ : tamanho da palavra em *bits*;
- $b_{ns-1}$ : o *bit* mais significativo (MSB - *the most significant bit*), isto é, o último dígito à esquerda;
- $b_0$ : o *bit* menos significativo (LSB - *the least significant bit*), isto é, o último dígito à direita e
- o ponto radix é posicionado entre o 4º e 5º *bits* - na fig. 5.2.

Os processadores, tipicamente, representam a negação de um número binário em ponto-fixado em três maneiras: sinal-amplitude, complemento de um e complemento de dois.

Dessa forma, se um valor em ponto-fixado é sinalizado ou não, é um fato não codificado explicitamente na palavra binária (não há um *bit* de sinal). Todavia, a informação de sinal é implícita na arquitetura do processador.

O ponto radix é o meio pelo qual um número em ponto-fixado é escalonado. É na programação que se determina o ponto radix. O processador (o hardware) quando executa suas funções matemáticas usa seus circuitos lógicos que desconsideram o valor de escalonamento. Em outras palavras, os seus circuitos lógicos desconhecem este fator de escala. Eles executam a álgebra de ponto-fixado, sinalizada ou não, como se o ponto radix estivesse à direita de  $b_0$ . Logo, sinalizados ou não sinalizados, e a posição do ponto radix são as principais diferenças entre os dados tipo ponto-fixado.

A faixa dinâmica, considerando-se palavras de mesmo tamanho, dos números em ponto-fixado é muito menor do que a dos números em ponto-flutuante. Para evitar os transbordamentos (*underflow* e *overflow*) e minimizar erros de quantização, os números em ponto-fixado devem ser escalonados.

Uma expressão genérica para representar um número em ponto-fixado [38] é dado por (5.1). Ela é conhecida como método inclinação/deslocamento (*slope/bias*). Pela simplicidade, opta-se pelo escalonamento ponto radix que implica simplesmente na movimentação do ponto radix dentro da representação genérica da palavra em ponto-fixado (fig. 5.2).

$$V \approx \bar{V} = S \cdot Q + B \quad (5.1)$$

onde:

- V: o valor real;
- $\bar{V}$ : o valor aproximado;
- Q: um número inteiro que codifica V;
- $S = F \cdot 2^E$ : a inclinação (*slope*) e
- B: o deslocamento (*bias*).

A inclinação é dividida em:

- $2^E$ : especifica o ponto radix e E é o expoente da potência de dois;
- F: a inclinação fracionária e é normalizada de forma que  $1 \leq F \leq 2$ .

Com o escalonamento ponto radix algumas partes da expressão (5.1) passam a ter os seguintes valores:  $B = 0$ ,  $F = 1$  e  $S = 2^E$  resultando a expressão (5.2).

$$V \approx \bar{V} = 2^E \cdot Q \quad (5.2)$$

O valor  $Q$ , de um valor real  $V$ , é representado por (5.3) para um valor não sinalizado e por (5.4) para um valor sinalizado, ambos em ponto-fixo.

$$Q = \left[ \sum_{i=0}^{ns-1} b_i 2^i \right] \quad (5.3)$$

$$Q = \left[ -b_{ns-1} 2^{ns-1} + \sum_{i=0}^{ns-2} b_i 2^i \right] \quad (5.4)$$

A forma prática de se trabalhar os valores em ponto-fixo, considerando-se o processador que se usará (da Texas Instruments), é comentada a seguir. Números fracionários são representados no que se denomina formato de ponto-fixo em complemento de dois [39]. A Texas Instruments adota a denominação formato  $Q$ . No formato  $Q_n$ ,  $n$  indica o número de *bits* à direita do ponto binário. Portanto, uma palavra de 16 *bits* tem um *bit* de sinal,  $15-n$  *bits* inteiros e  $n$  *bits* fracionários. Por exemplo, a palavra binária  $1101000000000000b$  pode ser interpretada de várias formas, dependendo do formato  $Q_n$  usado.

- $Q_0$ :  $1101000000000000b = -2^{15} + 2^{14} + 2^{12} = -12288$ ;
- $Q_{14}$ :  $11.0100000000000000b = -2^1 + 2^0 + 2^{-2} = -0,75$ ;
- $Q_{15}$ :  $1.1010000000000000b = -2^0 + 2^{-1} + 2^{-3} = -0,375$ .

$Q_0$  é uma representação equivalente à representação padrão para números inteiros sinalizados. No formato  $Q$  de 16 *bits* o valor mais negativo representável é  $1000000000000000b$  (8000h) e o mais positivo é  $0111111111111111b$  (7FFFh). A tabela 1 estabelece as faixas numéricas dos formatos  $Q$ .

Escolhe-se um formato  $Q_n$ , de acordo com a tabela 1, conveniente à representação do valor decimal usado. Observa-se que, escolhido um formato  $Q_n$ , o número a ser representado deve estar contido na faixa de abrangência de  $Q_n$  e nela um número finito de estados discretos existem. Em conseqüência, quando um número não coincide com um desses estados discretos é necessário o arredondamento.

**Tabela 1** - Faixas do formato  $Q_n$  para uma palavra de 16 *bits* sinalizada.

n ( $Q_n$ )	valor mínimo	valor máximo
0	-32768	32767
1	-16384	16383,5
2	-8192	8191,75
3	-4096	4095,875
4	-2048	2047,9375
5	-1024	1023,84375
6	-512	511,984375
7	-256	255,9296875
8	-128	127,87109375
9	-64	63,998046875
10	-32	31,9990234375
11	-16	15,99951171875
12	-8	7,999755859375
13	-4	3,999877929687
14	-2	1,999938964843
14	-1	0,999969482421

Para converter um valor fracionário positivo para o formato  $Q_n$  pode-se usar a expressão (5.5).

$$Q_n = \left[ N_d 2^n \right]_d \quad (5.5)$$

onde:

- $Q_n$ : número no formato  $Q_n$ ;
- $N_d$ : número decimal a ser convertido;
- $n$ : posição do ponto radix.

De forma análoga, para converter números fracionários negativos sugere-se a expressão (5.6).

$$Q_n = \left[ \left( 2^{16} - N_d 2^n \right) + 1 \right]_d \quad (5.6)$$

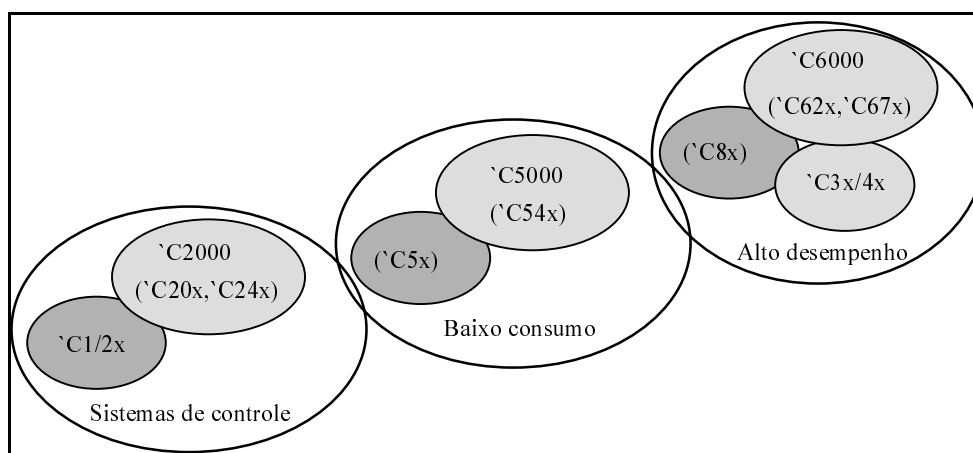
A conversão de um número em ponto-fixa para o seu equivalente em decimal pode ser obtida através da expressão (5.2). As expressões (5.5), (5.6) e a tabela 1 foram, originalmente, desenvolvidas em [40].

### 5.2.3 O processador digital de sinais TMS320F243

Disponibilizou-se para esta pesquisa o processador digital de sinais denominado TMS320F243 produzido pela Texas Instruments. Ele pertence a uma família de processadores digitais de sinais - a família TMS320.

A família TMS320 constitui-se de processadores digitais de sinais (DSP) de ponto-fixo, ponto-flutuante e de multiprocessamento e, ainda, de DSP controladores de ponto-fixo. Os DSP dessa família possuem uma arquitetura projetada especificamente para o processamento de sinais em tempo real. Presentemente, a família TMS320 é formada pelas seguintes gerações: 'C1x, 'C2x, 'C24x, 'C5x, 'C54x e 'C6x (DSP de ponto-fixo), 'C3x e 'C4x (DSP de ponto-flutuante) e 'C8x (DSP de multiprocessamento).

Dispositivos de uma mesma geração, dessa família, possuem a mesma estrutura nuclear, todavia apresentam configurações diferentes para suas memórias e periféricos. Essas gerações são organizadas em três classes conforme se verifica na fig. 5.3 e essas classes possuem, cada qual, características otimizadas para as suas respectivas áreas de aplicação [41].



**Fig. 5.3** - As gerações da família TMS320.

O TMS320F243 é, de acordo com os parágrafos precedentes, um processador digital de sinais de ponto-fixo de 16 *bits* pertencente à classe 'C2000 e está aperfeiçoado para o controle digital de motores e de movimentos. Suas principais características são [42]:

- tecnologia CMOS estático de alto desempenho;
- núcleo tipo TMS320C2xx:
  - instruções de 50 ns (menor tempo de execução);
- memória:



544 *words*<sup>2</sup> em memória interna RAM de duplo acesso;

8192 *words* de memória tipo FLASH EEPROM;

- interface para memória externa;
- módulo gerenciador de eventos:
  - oito saídas para modulação de largura de pulsos (PWM) ou comparação;
  - dois temporizadores de uso geral de 16 bits;
  - três unidades de comparação com tempo morto;
  - três unidades de captura de pulsos;
- um conversor analógico digital de 10 bits com 8 entradas multiplexadas;
- módulo de interface de comunicação serial (SCI), etc.

Não foram citadas todas as principais características do processador usado. Procurou-se nomear aquelas que serão, nesta aplicação, usadas e informações adicionais estão disponíveis em [41, 42 e 43].

A fig. 5.4 ilustra, por meio de um diagrama de blocos funcional, a arquitetura do TMS320F243. Ela é baseada numa arquitetura Harvard modificada, a qual suporta uma estrutura de barramentos próprios (separados) para os espaços de dados e de programas. Um terceiro espaço, para os periféricos de entrada e de saída, é disponível. Eles são acessíveis através do barramento de interface externa.

Para suportar e manusear todos os periféricos é necessário um outro barramento, o barramento de periféricos. Ele é mapeado no espaço de dados e faz interface como o barramento de dados através do módulo especial sistema-interface. Dessa forma todas as instruções que atuam sobre o espaço de dados também o fazem sobre todos os registros dos periféricos.

Espaços separados de dados e programas permitem acesso simultâneo às instruções de programa e aos dados. Exemplificando: enquanto um dado é multiplicado, um produto precedente pode ser adicionado ao acumulador, e ao mesmo tempo, um novo endereço pode ser gerado. Este paralelismo permite que um conjunto de operações aritméticas, lógicas e de manipulação de *bits* possa ser efetivado em apenas um ciclo de máquina. O processador inclui, também, mecanismos de gerenciamento de interrupções, de repetição de operações e de chamadas de funções e subrotinas.

---

<sup>2</sup> Word(s): deve ser interpretado como uma palavra de 16 *bits*.

Foram comentados, nos parágrafos anteriores, os barramentos da arquitetura do TMS320F243. Além disso, destacam-se nessa arquitetura os blocos funcionais do núcleo do DSP, da memória interna e dos periféricos. Pode-se adicionar aos blocos funcionais alguns sistemas e características distribuídas, tais como: dispositivos de reinicializações, de interrupções, de operação de baixo consumo, etc.

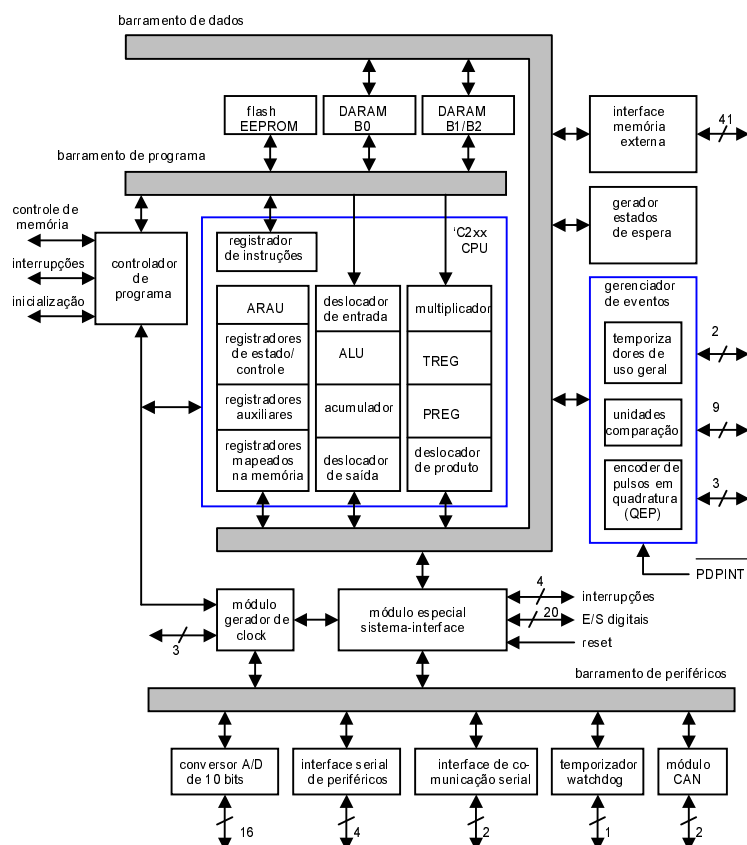


Fig. 5.4 - Diagrama de blocos da arquitetura do TMS320F243.

Conclui-se que este processador dispõe de vários subsistemas e possivelmente ultrapassa, em alguns aspectos, a necessidade desta aplicação. Somente alguns de seus subsistemas serão aqui utilizados e optou-se por descrevê-los no momento em que forem usados.

### 5.3 CONTROLADOR DIGITAL PARA O FILTRO ATIVO SÉRIE

A especificação de um controlador digital para uma determinada planta (ou processo) pressupõe pelos menos duas etapas fundamentais. Uma delas é a obtenção de um modelo analítico que descreva a planta e possa ser utilizado na análise e projeto do controlador digital e a outra, trata-se exclusivamente do projeto do controlador digital, o qual deve satisfazer as

especificações de comportamento e desempenho da planta (ou processo). Estes aspectos serão apresentados a seguir.

### 5.3.1 Modelagem do filtro ativo série

Os processadores de ponto-fixo são menos dispendiosos, pois têm um hardware menor, e isto é um atrativo para escolhê-los. Em contrapartida, possuem palavras digitais finitas e as vezes pequenas (tipicamente são de 16 *bits*).

Os principais aspectos na implementação do controlador digital são: os efeitos do comprimento finito da palavra digital, a própria estrutura do controlador, os atrasos computacionais e os desenvolvimentos dos programas para os microprocessadores ou DSP. Destes, os efeitos do tamanho da palavra digital e, consecutivamente, da aritmética de ponto-fixo são os mais importantes na efetivação do controle digital. Em outras palavras, nos processadores de ponto-fixo um espaço finito, isto é uma palavra digital de tamanho determinado, é disponível para representar as variáveis e os coeficientes do processo. Eles precisam ser escalonados e ajustados para estarem de acordo com o tamanho da palavra digital disponível. Neste processo emerge o efeito da quantização, dos coeficientes e das variáveis, o que pode causar a instabilidade do sistema a ser controlado [36].

Os pontos expostos podem ser considerados como uma orientação no sentido de que um modelo mais completo, para o filtro ativo série, deve ser utilizado. A modelagem do filtro ativo será efetuada usando-se o modelo do interruptor PWM.

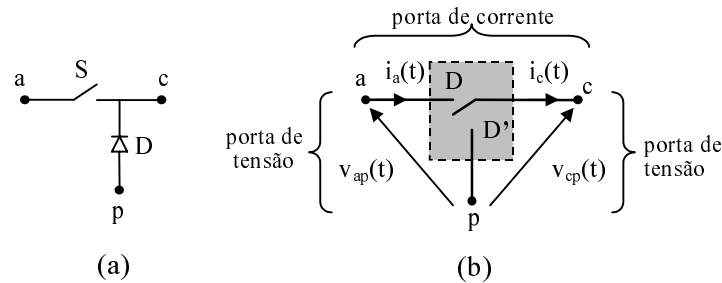
#### 5.3.1.1 Modelo do interruptor PWM

O interruptor PWM, mostrado na fig. 5.5a, é um dispositivo não linear de três terminais composto por um interruptor ativo e um passivo interconectados. Seus terminais são designados **a**, **p** e **c** e referem-se, respectivamente, aos terminais ativo, passivo e comum. Na fig. 5.5b,  $D$  é a razão cíclica associada ao interruptor ativo e  $D'$  ( $D' = 1 - D$ ) ao interruptor passivo.

A designação das portas (pares de terminais de entrada e de saída) do interruptor PWM é importante à medida que ele é considerado um bloco básico na constituição de conversores e apresenta um conjunto de relações invariantes entre suas portas. Essas portas (ou pares de terminais), são designadas de portas de tensão e de corrente.

As relações invariantes entre essas portas podem ser, então, estabelecidas e isto é

efetivado para o modo de condução contínua (*continuous conduction mode - CCM*), isto é, a corrente no terminal comum é diferente de zero.



**Fig. 5.5** - Interruptores: ativo e passivo (a); interruptor PWM (b).

Observa-se que a corrente instantânea no terminal ativo é sempre igual à corrente do terminal comum durante o intervalo  $DT_s$ . E que as tensões terminais instantâneas  $v_{ap}(t)$  e  $v_{cp}(t)$  são sempre coincidentes durante o mesmo intervalo. Dessa forma as relações invariantes para as quantidades terminais instantâneas são dadas por (5.7) e (5.8).

$$i_a(t) = \begin{cases} i_c(t) & , 0 \leq t \leq DT_s \\ 0 & , DT_s \leq t \leq T_s \end{cases} \quad (5.7)$$

$$v_{cp}(t) = \begin{cases} v_{ap}(t) & , 0 \leq t \leq DT_s \\ 0 & , DT_s \leq t \leq T_s \end{cases} \quad (5.8)$$

Em geral, nos conversores as quantidades médias são de maior interesse para a determinação de suas características e por isso as relações invariantes para quantidades terminais médias são estabelecidas com as devidas considerações em relação ao terminal de tensão **a-p**, o qual estará conectado a uma fonte de tensão ou a um capacitor. Isto, possivelmente, introduzirá um resistência entre aqueles terminais, a resistência  $r_e$ . De outra forma,  $r_e$  é a resistência equivalente vista entre os terminais **a** e **p**. Considerando o intervalo  $DT_s$ , as grandezas médias são dadas por (5.9) e (5.10).

$$i_a = d i_c \quad (5.9)$$

$$v_{cp} = \begin{cases} d(v_{ap} - i_c r_e d') & , r_e \neq 0 \\ d v_{ap} & , r_e = 0 \end{cases} \quad (5.10)$$

Observa-se que  $d$  é o valor médio da razão cíclica e é expresso por (5.11). A razão cíclica do interruptor passivo é  $d'$ , ou seja,  $d' = (1 - d)$ . Também, em valores médios, as variáveis  $i_a$ ,  $i_c$ ,  $v_{ap}$  e  $v_{cp}$  são estabelecidas em (5.11).

$$\begin{aligned} d &= D + \hat{d} \\ i_a &= I_a + \hat{i}_a \\ i_c &= I_c + \hat{i}_c \\ v_{ap} &= V_{ap} + \hat{v}_{ap} \\ v_{cp} &= V_{cp} + \hat{v}_{cp} \end{aligned} \quad (5.11)$$

Uma perturbação mínima, no valor médio de determinada grandeza, é representada pelo seu correspondente símbolo com a sobreposição do acento circunflexo (^). Por exemplo: a perturbação na razão cíclica média  $d$  é representado por  $\hat{d}$ . Quando a perturbação for nula, o valor médio da grandeza poderá ser representado pela sua respectiva letra maiúscula, ou seja,  $i_a = I_a$ ,  $i_c = I_c$ , etc.

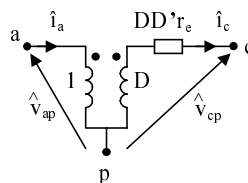
### 5.3.1.2 Modelo do interruptor PWM para razão cíclica constante

Supondo razão cíclica constante, isto é,  $d = D$  e que as quantidades terminais médias de tensão e de corrente, do interruptor PWM, sofram perturbações em virtude de variações das tensões de entrada ou de carga, e introduzindo-se estas perturbações nas expressões (5.9) e (5.10) estabelecem-se as relações (5.12) e (5.13).

$$\hat{i}_a = D \hat{i}_c \quad (5.12)$$

$$\hat{v}_{cp} = D \hat{v}_{ap} - \hat{i}_c r_e D D' \quad (5.13)$$

Das expressões (5.12) e (5.13) obtém-se o circuito equivalente do interruptor PWM para valores médios e razão cíclica constante, mostrado na fig. 5.6.



**Fig. 5.6** - Circuito equivalente do modelo do interruptor PWM para valores médios e razão cíclica constante.

### 5.3.1.3 Modelo do interruptor PWM para razão cíclica com perturbação

Admitindo-se que a razão cíclica apresente pequenas variações, isto é, que a razão cíclica tenha o valor dado por (5.11), as correntes  $\hat{i}_a$ ,  $\hat{i}_c$  e as tensões  $\hat{v}_{ap}$  e  $\hat{v}_{cp}$  também as apresentarão. Aplicando-se esta perturbação (da razão cíclica) nas equações (5.9) e (5.10) resultam as expressões (5.14), (5.15), (5.16) e (5.17).

$$\hat{i}_a = D \hat{i}_c + I_c \hat{d} \quad (5.14)$$

$$\hat{v}_{cp} = D \hat{v}_{ap} - \hat{i}_c r_e D D' + V_D \hat{d} \quad (5.15)$$

$$\hat{v}_{ap} = \frac{\hat{v}_{cp}}{D} + \hat{i}_c r_e D' - \frac{V_D}{D} \hat{d} \quad (5.16)$$

$$V_D = V_{ap} + I_c r_e (D - D') \quad (5.17)$$

Das expressões (5.14) a (5.17), obtém-se o circuito equivalente do interruptor PWM apresentado na fig. 5.7.

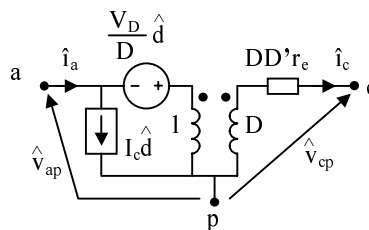
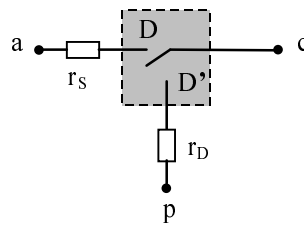


Fig. 5.7 - Circuito equivalente do modelo do interruptor PWM para variações em  $d$ .

### 5.3.1.4 Modelo do interruptor PWM com elementos parasitas

O modelo do interruptor PWM é flexível e permite a inclusão de elementos parasitas tais como: as resistências dos interruptores (ativo e passivo) e de seus terminais. Esta inclusão é ilustrada na fig. 5.8.

Da fig. 5.8 verifica-se que o terminal comum (**c**) permanece, durante o período  $D$ , em série com a resistência  $r_s$  e no período  $D'$  isto ocorre com a resistência  $r_D$ . Logo a resistência efetiva naquele terminal é  $D r_s + D' r_D$  e escrevendo-se a relação entre as tensões terminais médias do interruptor PWM resulta (5.18).



**Fig. 5.8** - Interruptor PWM com as resistências parasitas  $r_s$  e  $r_D$ .

$$v_{cp} = d(v_{ap} - i_c r_e d' - i_c r_s) - i_c r_D d' \quad (5.18)$$

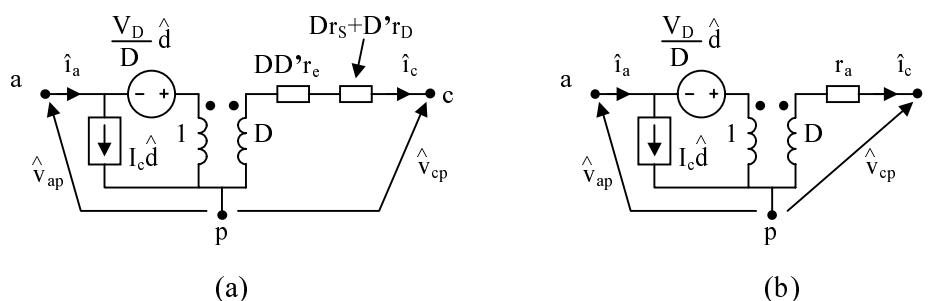
Causando-se uma perturbação na razão cíclica  $d$  ( $d = D + \hat{d}$ ) e após algumas manipulações algébricas obtém-se (5.19), (5.20) e (5.21). A relação para as correntes terminais permanece inalterada na inclusão de  $r_s$  e  $r_D$  e portanto, usa-se a equação (5.14).

$$\hat{v}_{ap} = \frac{\hat{v}_{cp}}{D} + \frac{\hat{i}_c r_a}{D} - \frac{V_D}{D} d' \quad (5.19)$$

$$V_D = V_{ap} + I_c r_e (D - D') + I_c (r_D - r_s) \quad (5.20)$$

$$r_a = D D' r_e + D r_s + D' r_D \quad (5.21)$$

Das equações anteriores produz-se o circuito equivalente do interruptor PWM com elementos parasitas, o qual é apresentado na fig. 5.9a. Uma alternativa à representação anterior é a da fig. 5.9b, onde as resistências foram todas agrupadas em  $r_a$ . É importante observar que o modelo do interruptor PWM, aqui sucintamente apresentado, encontra-se amplamente discutido em [44].



**Fig. 5.9** - Circuito equivalente do interruptor PWM com resistências parasitas: explicitadas (a); agrupadas  $r_a$  (b).

### 5.3.1.5 Células de comutação no filtro ativo

O diagrama do filtro ativo série é apresentado na fig. 5.10. Estabelece-se que o inversor opera no modo de condução contínua (CCM) com modulação tipo bipolar (2 níveis de tensão). Os interruptores  $S_1$  e  $S_4$  são acionados simultânea e complementarmente aos interruptores  $S_2$  e  $S_3$ . Designa-se a razão cíclica  $D$  aos interruptores  $S_1$  e  $S_4$  e seu complemento  $D' = (1-D)$  ao par  $S_2$  e  $S_3$ .

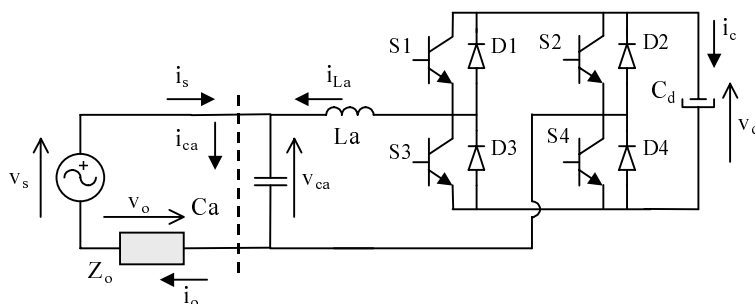


Fig. 5.10 - Filtro ativo série.

Cada interruptor ativo é unidirecional e conduz corrente no sentido contrário ao sentido de condução de seu diodo em antiparalelo. Admite-se, também, que a carga  $Z_o$  tenha características de fonte de corrente. Isto possibilita desmembrar o inversor (juntamente com seu filtro  $L_a C_a$ ) dos demais componentes - fonte de alimentação e carga - facilitando seu equacionamento e análise.

A fig. 5.11 apresenta o inversor com suas etapas de operação durante o período de comutação  $T_s$ . Enquanto os interruptores  $S_1$  e  $S_4$  estão ativados,  $S_2$  e  $S_3$  estão inibidos e os diodos  $D_2$  e  $D_3$  estarão polarizados reversamente pela tensão  $V_d$ . Para  $i_{L_a} > 0$ , os interruptores  $S_1$  e  $S_4$  conduzem durante o intervalo  $DT_s$  e os diodos  $D_2$  e  $D_3$  o fazem durante o intervalo  $(1-D)T_s$ . Esta situação da origem ao circuito equivalente da fig. 5.12a, onde são explicitados os pares de interruptores ativos e passivos que constituem o interruptor PWM.

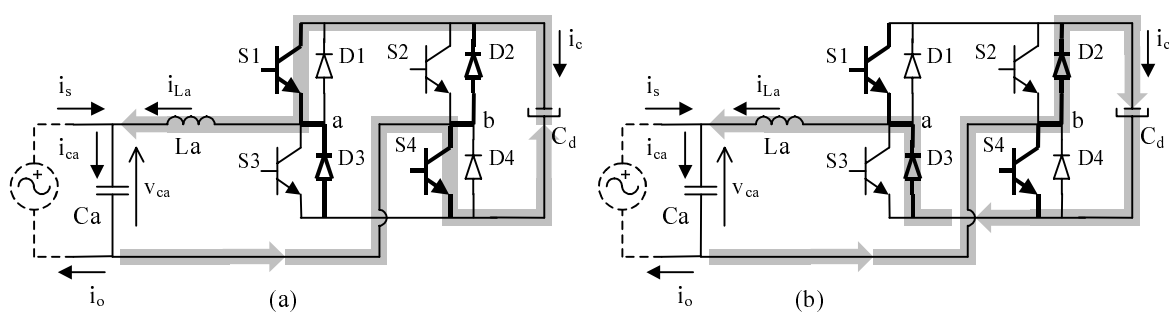
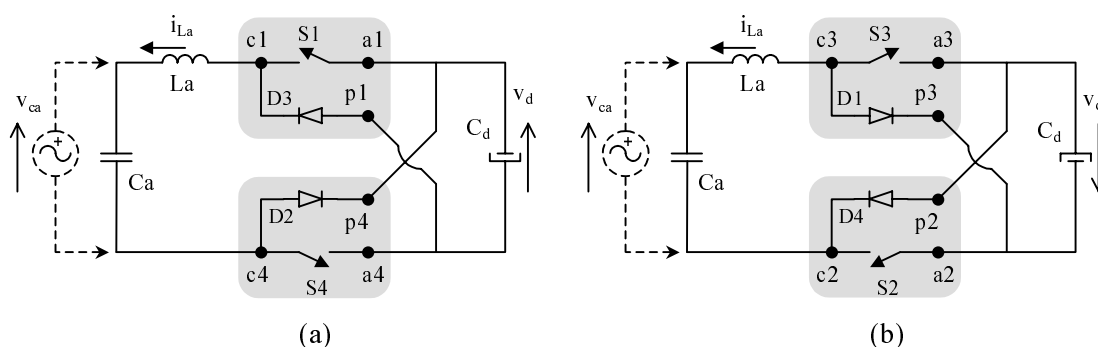


Fig. 5.11 - Etapas de operação do filtro ativo série para um período de comutação.



Por outro lado, considerar-se-á o circuito da fig. 5.11 quando a corrente  $i_{L_a}$  estiver em sentido contrário ao indicado ( $i_{L_a} < 0$ ). Nesse circuito, enquanto os interruptores  $S_2$  e  $S_3$  estão ativados,  $S_1$  e  $S_4$  são desabilitados e os diodos  $D_1$  e  $D_4$  estarão polarizados reversamente pela tensão  $V_d$ . Para  $i_{L_a} < 0$ , os interruptores  $S_2$  e  $S_3$  conduzem durante o intervalo  $(1-D)T_s$  e os diodos  $D_1$  e  $D_4$  o fazem durante o intervalo  $DT_s$ . Esta situação, define o circuito da fig. 5.12b onde são evidenciados os pares de interruptores ativos e passivos que constituem o interruptor PWM.



**Fig. 5.12** - Circuito equivalente do inversor explicitando o interruptor PWM:  $i_{L_a} > 0$  (a);  $i_{L_a} < 0$  (b).

As células de comutação são indicadas, de acordo com a orientação da fig. 5.5, pelos terminais **a**, **p** e **c**, aos quais são adicionados os índices do interruptor ativo da referida célula. A fonte de tensão, em linha tracejada, representa a tensão  $v_{ca}$  sobre o capacitor  $C_a$ .

O circuito equivalente do inversor de tensão é obtido pela substituição das células de comutação pelo circuito equivalente apresentado na fig. 5.9.

A substituição das células será efetivada, a priori, no circuito da fig. 5.12a, resultando o circuito equivalente do inversor ilustrado na fig. 5.13. As perdas no capacitor  $C_d$  (do barramento CC) serão representados por sua resistência série equivalente  $r_{C_d}$ . Observando-se os circuitos mostrados na fig. 5.12 conclui-se que a resistência  $r_e$  corresponde, no inversor de tensão, à resistência série equivalente do capacitor  $C_d$ , ou seja,  $r_e = r_{C_d}$ .

Salienta-se, novamente, que a resistência  $r_a$  inclui a resistência série equivalente do capacitor  $C_d - (DD'r_e)$ , interligado entre os terminais **a** e **p**, e as resistências de condução do interruptor ativo ( $Dr_s$ ) e passivo ( $D'r_D$ ) conforme se constata na expressão (5.20).

No circuito equivalente do inversor incluem-se, também, as resistências  $r_{L_a}$  e  $r_{C_a}$ . Estas são, respectivamente, a resistência do indutor  $L_a$  e a do capacitor  $C_a$ . As variáveis  $\hat{v}_{ca}$ ,  $\hat{v}_d$  e  $\hat{i}_{L_a}$  indicam as perturbações sobre a tensão de  $C_a$ , a tensão do barramento CC e da corrente

circulante pelo inversor.

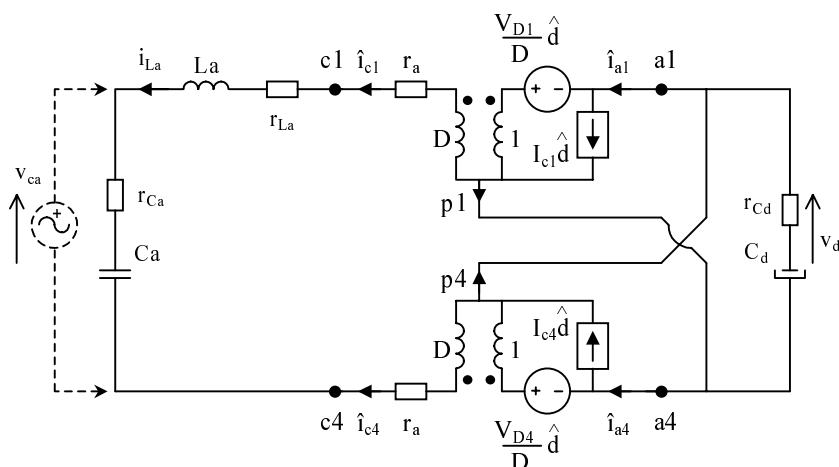


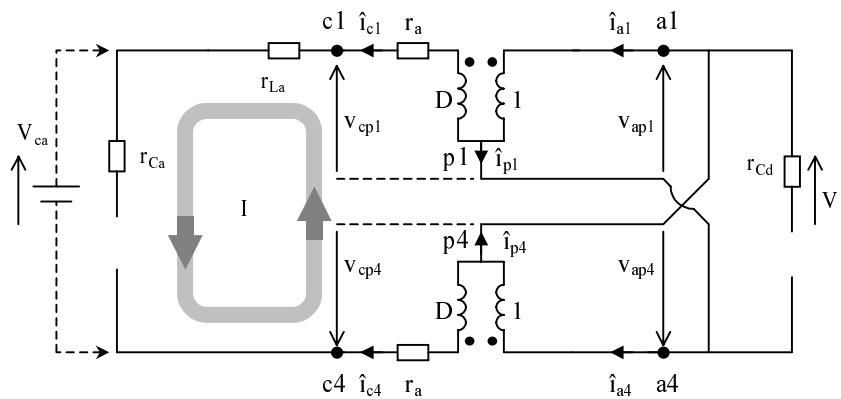
Fig. 5.13 - Circuito equivalente do inversor usando o interruptor PWM.

A substituição das células de comutação, pelo circuito equivalente do interruptor PWM, no circuito da fig. 5.12b resultaria em um circuito similar àquele da fig. 5.13. A resistência  $r_a$  seria definida como na expressão (5.20) porém com a permutação de  $D$  por  $D'$  e vice-versa. Quanto mais próximos os valores de  $r_S$  e  $r_D$  menor será a diferença entre a resistência  $r_a$  de cada um dos circuitos resultantes daquela substituição. Adicionalmente, de acordo com a equação (3.26) vê-se que, na operação como filtro ativo série, a razão cíclica varia em torno de 0,5. Em função do exposto, prevê-se que ambos circuitos teriam comportamento similar e optou-se por aquele apresentado na fig. 5.13 para a análise do inversor de tensão.

### 5.3.1.6 Análise CC do inversor de tensão

O modelo genérico da fig. 5.13 permite obter várias relações de interesse para se verificar o comportamento do inversor de tensão. Para sua análise CC, obtém-se da fig. 5.13 o circuito apresentado na fig. 5.14. Nesta análise adotam-se as seguintes condições:

- o indutor é curto-circuitado e considera-se sua resistência própria  $r_{L_a}$ ;
- os capacitores são circuitos abertos e somente suas resistências série equivalentes são consideradas ( $C_d \Rightarrow r_{C_d}$  e  $C_a \Rightarrow r_{C_a}$ );
- a razão cíclica é constante,  $d = D$ ;
- a tensão  $v_{ca}$  (do capacitor  $C_a$ ) tem valor constante  $v_{ca} = V_{ca}$ ;
- a tensão  $v_d$  (do barramento CC) tem valor constante  $v_d = V_d$ .



**Fig. 5.14** - Circuito equivalente do inversor usando o interruptor PWM para análise CC (ganho estático).

Das condições estabelecidas, do circuito da fig. 5.14 e das expressões (5.11), (5.14) e (5.18) resulta:

- para o interruptor  $S_1$

$$I_{a1} = DI_{c1} \quad (5.22)$$

$$V_{cp1} = D(V_{ap1} - I_{c1}r_e D' - I_{c1}r_s) - I_{c1}r_D D' \quad (5.23)$$

- para o interruptor  $S_4$

$$I_{a4} = DI_{c4} \quad (5.24)$$

$$V_{cp4} = D(V_{ap4} - I_{c4}r_e D' - I_{c4}r_s) - I_{c4}r_D D' \quad (5.25)$$

- nós p1 e p4

$$I_{a1} - I_{p1} - I_{c1} = 0 \quad (5.26)$$

$$I_{c1} = -I_{c4} \quad (5.27)$$

$$I_{p1} = I_{a4} \quad (5.28)$$

Combinando as equações acima resulta:  $I_{a1} = I_{a4} = I_{c1} = I_{c4} = 0$ .

- da inspeção do circuito e da malha I (fig. 5.14) vem:

$$v_{ap1} = V_{ap1} = V_d \quad (5.29)$$

$$v_{ap4} = V_{ap4} = -V_d \quad (5.30)$$

$$V_{cp1} - V_{ca} - V_{cp4} - V_d = 0 \quad (5.31)$$

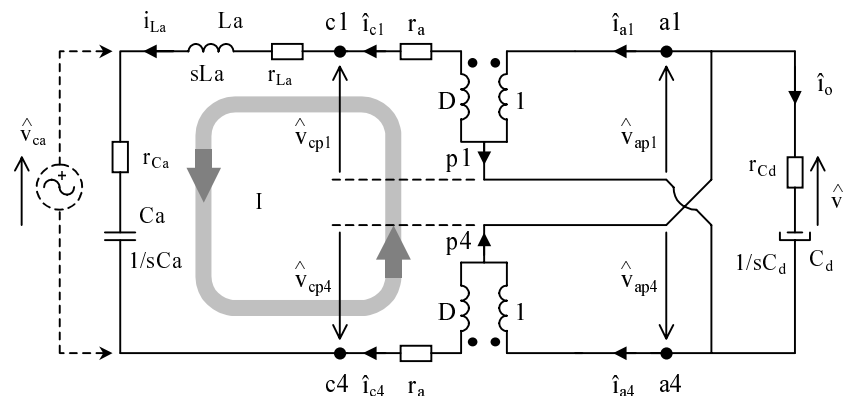
Substituindo-se (5.23) e (5.25) em (5.31) e combinando-se com (5.29) e (5.30) encontra-se (5.32). Esta equação representa o ganho estático de tensão do conversor.

$$\frac{V_d}{V_{ca}} = \frac{1}{2D-1} \quad (5.32)$$

### 5.3.1.7 Análise do inversor de tensão com $d = D$

As correntes e as tensões nos terminais do interruptor PWM sofrem perturbações em virtude das variações da tensão de entrada e ou da tensão de carga. Isto permite obter as seguintes relações entre algumas variáveis do circuito:  $\hat{v}_d(s)/\hat{v}_{ca}(s)$ ,  $\hat{i}_{La}(s)/\hat{v}_{ca}(s)$  e  $\hat{v}_d(s)/\hat{i}_{La}(s)$ .

A partir do circuito da fig. 5.13 obtém-se o circuito mostrado na fig. 5.15 apropriado à determinação das relações mencionadas.



**Fig. 5.15** - Circuito equivalente do inversor usando o interruptor PWM para análise CA com  $d = D$ .

#### ■ Determinação da função de transferência $\hat{v}_d(s)/\hat{v}_{ca}(s)$

Nesta análise admite-se que a razão cíclica mantenha-se constante,  $d = D$ , e que as tensões sobre o capacitor  $C_a$  e no barramento CC sofram pequenas variações, isto é,  $v_{ca} = V_{ca} + \hat{v}_{ca}$  e  $v_d = V_d + \hat{v}_d$ . A equação (5.18) pode ser reescrita sob a forma apresentada em (5.33).

$$\hat{v}_{cp} = d \left( \hat{v}_{ap} - \hat{i}_c r_e d' - \hat{i}_c r_s \right) - \hat{i}_c r_D d' \quad (5.33)$$

Das equações (5.11), (5.14) e (5.33), das condições definidas e do circuito da fig. 5.15 estabelece-se:

- para o interruptor  $S_1$

$$\hat{i}_{a1} = D \hat{i}_{c1} \quad (5.34)$$

$$\hat{v}_{cp1} = D \hat{v}_{ap1} - \hat{i}_{c1} r_a \quad (5.35)$$

- para o interruptor  $S_4$

$$\hat{i}_{a4} = D \hat{i}_{c4} \quad (5.36)$$

$$\hat{v}_{cp4} = D \hat{v}_{ap4} - \hat{i}_{c4} r_a \quad (5.37)$$

- da inspeção e da malha I, no circuito vem:

$$\hat{v}_{ca} + (r_{La} + s L_a) \hat{i}_{c1} - \hat{v}_{cp1} + \hat{v}_d + \hat{v}_{cp4} = 0 \quad (5.38)$$

$$\hat{v}_{ap1} = \hat{v}_d \quad (5.39)$$

$$\hat{v}_{ap4} = -\hat{v}_d \quad (5.40)$$

$$\hat{i}_o = \frac{s C_d \hat{v}_d}{s r_{Cd} C_d + 1} \quad (5.41)$$

- nós p1, a1

$$\hat{i}_{a1} = \hat{i}_{p1} + \hat{i}_{c1} \quad (5.42)$$

$$\hat{i}_{p1} = \hat{i}_{a4} - \hat{i}_o \quad (5.43)$$

$$\hat{i}_{c1} = -\hat{i}_{c4} \quad (5.44)$$

Após várias manipulações algébricas do conjunto de equações anteriores, ((5.34) a (5.44)), chega-se a expressão (5.45). Esta última é a função de transferência que relaciona as variações da tensão do barramento CC em função das variações da tensão sobre o capacitor  $C_a$ .

$$\frac{\hat{v}_d(s)}{\hat{v}_{Ca}(s)} = \frac{(2D-1)(sr_{Cd}C_d) + (2D-1)}{s^2 C_d L_a + s C_d (r_{La} + r_{Cd} (2D-1)^2 + 2r_a) + (2D-1)^2} \quad (5.45)$$

Na expressão (5.45) desprezando-se as resistências dos interruptores ativo e passivo e aquelas do indutor  $L_a$  e do capacitor  $C_d$  obtém-se a expressão (5.46).

$$\frac{\hat{v}_d(s)}{\hat{v}_{Ca}(s)} = \frac{(2D-1)}{s^2 C_d L_a + (2D-1)^2} \quad (5.46)$$

#### ▪ Determinação da função de transferência $\hat{i}_{La}(s)/\hat{v}_{ca}(s)$

Durante o processo de determinação da expressão (5.45) encontra-se uma equação para a perturbação na corrente  $i_{c1}$ , dada por (5.47).

$$\hat{i}_{c1}(s) = \frac{\hat{i}_o(s)}{(1-2D)} = \frac{-\hat{i}_o(s)}{(2D-1)} \quad (5.47)$$

Do circuito, ainda da fig. 5.15, constata-se que  $\hat{i}_{La}(s) = \hat{i}_{c1}(s)$  e substituindo-se a corrente  $i_o(s)$  (5.47) na expressão (5.41) resulta (5.48).

$$\hat{i}_{La}(s) = \hat{i}_{c1}(s) = \frac{-s C_d \hat{v}_d(s)}{(s r_{Cd} C_d + 1)} \frac{1}{(2D-1)} \quad (5.48)$$

Usando a expressão (5.45) em (5.48) e após algumas operações resulta a expressão (5.49). Esta equação explicita a relação entre a variação da corrente no indutor  $L_a$  em função da variação da tensão do capacitor  $C_a$ .

$$\frac{\hat{i}_{La}(s)}{\hat{v}_{Ca}(s)} = \frac{-s C_d}{s^2 C_d L_a + s C_d (r_{La} + r_{Cd} (2D-1)^2 + 2r_a) + (2D-1)^2} \quad (5.49)$$

Desprezando-se na equação (5.49) as resistências  $r_{La}$  e  $r_{Cd}$ , bem como as resistências dos interruptores ativo e passivo, resulta (5.50)

$$\frac{\hat{i}_{La}(s)}{\hat{v}_{Ca}(s)} = \frac{-s C_d}{s^2 C_d L_a + (2D-1)^2} \quad (5.50)$$

▪ **Determinação da função de transferência  $\hat{v}_d(s)/\hat{i}_{La}(s)$**

Retoma-se a expressão (5.49) e nela reorganizando-se alguns termos obtém-se a função que relaciona  $\hat{v}_d$  e  $\hat{i}_{La}$ , a equação (5.51).

$$\frac{\hat{v}_d(s)}{\hat{i}_{La}(s)} = \frac{(1-2D)(sr_{Cd}C_d+1)}{sC_d} \quad (5.51)$$

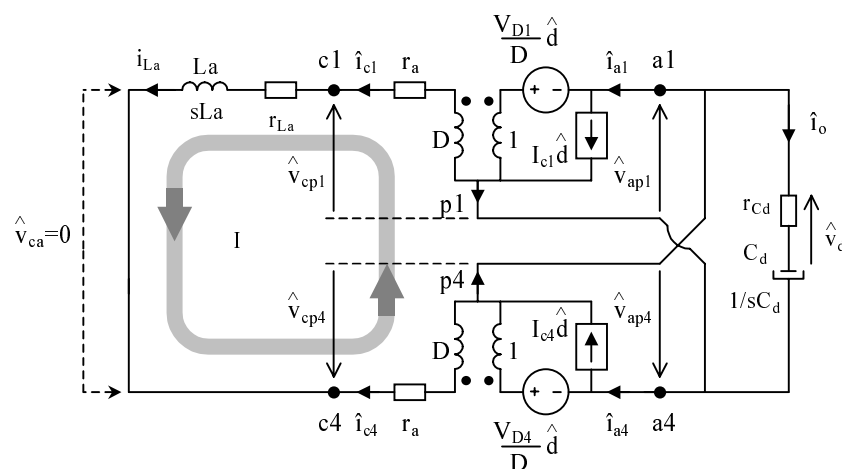
Desconsiderando-se a resistência série equivalente do capacitor do barramento CC,  $r_{Cd}$ , tem-se (5.52).

$$\frac{\hat{v}_d(s)}{\hat{i}_{La}(s)} = \frac{(1-2D)}{sC_d} \quad (5.52)$$

**5.3.1.8 Análise do inversor de tensão com  $d = D + \hat{d}$**

A perturbação da razão cíclica  $d$ , isto é,  $d = D + \hat{d}$  causa, conseqüentemente, variações na corrente circulante no inversor e em suas tensões de entrada e saída. Esta situação torna possível explicitar as funções que relacionam a variação da corrente e das tensões, no inversor, em função da variação de sua razão cíclica  $d$ . Algumas dessas funções são:  $\hat{i}_{La}(s)/\hat{d}(s)$ ,  $\hat{v}_d(s)/\hat{d}(s)$  e  $\hat{v}_{ca}(s)/\hat{d}(s)$ .

Para a determinação das duas funções subseqüentes, admite-se que a tensão de entrada, ou seja, a tensão sobre o capacitor  $C_a$  varie lentamente e por esta razão será considerada uma fonte de tensão com valor constante. Logo, colocar-se-á  $v_{ca}$  em repouso. Dessa forma, a partir do circuito da fig. 5.13, obteve-se o circuito mostrado na fig. 5.16.



**Fig. 5.16** - Circuito equivalente do inversor usando o interruptor PWM para análise CA ( $d = D + \hat{d}$ ,  $v_{ca} = 0$ ).

▪ **Determinação da função de transferência  $\hat{i}_{La}(s)/\hat{d}(s)$**

Das condições definidas, do circuito da fig. 5.16 e das expressões (5.11), (5.14), (5.19) e (5.20) resulta:

- para o interruptor  $S_1$

$$\hat{i}_{a1} = D \hat{i}_{c1} + I_{c1} \hat{d} \quad (5.53)$$

$$\hat{v}_{ap1} = \frac{\hat{v}_{cp1}}{D} + \frac{\hat{i}_{c1} r_a}{D} - \frac{V_{D1}}{D} d' \quad (5.54)$$

$$V_{D1} = V_{ap1} + I_{c1} r_e (D - D') + I_{c1} (r_D - r_S) \quad (5.55)$$

- para o interruptor  $S_4$

$$\hat{i}_{a4} = D \hat{i}_{c4} + I_{c4} \hat{d} \quad (5.56)$$

$$\hat{v}_{ap4} = \frac{\hat{v}_{cp4}}{D} + \frac{\hat{i}_{c4} r_a}{D} - \frac{V_{D4}}{D} d' \quad (5.57)$$

$$V_{D4} = V_{ap4} + I_{c4} r_e (D - D') + I_{c4} (r_D - r_S) \quad (5.58)$$

No ponto de operação, isto é, quando  $d = D$ , tem-se:  $(v_{ap1}, i_{c1}) = (V_d, I_{c1})$  e  $(v_{ap4}, i_{c4}) = (-V_d, I_{c4})$ . Essas condições levadas às equações (5.55) e (5.58) resulta a condição dada por (5.59).

$$V_{D1} = -V_{D4} \quad (5.59)$$

- da inspeção e da malha I, no circuito da fig. 5.16, vem:

$$(r_{La} + sL_a) \hat{i}_{c1} - \hat{v}_{cp1} + \hat{v}_d + \hat{v}_{cp4} = 0 \quad (5.60)$$

$$\hat{v}_{ap1} = -\hat{v}_{ap4} = \hat{v}_d \quad (5.61)$$

$$\hat{i}_{c1} = -\hat{i}_{c4} \quad (5.62)$$



$$\hat{i}_o = \frac{s C_d \hat{v}_d}{s r_{Cd} C_d + 1} \quad (5.63)$$

• Para os nós p1, a1 devem ser consideradas as expressões, anteriormente apresentadas, (5.42), (5.43) e (5.44).

Após a manipulação das expressões (5.53) a (5.63) chega-se a expressão (5.64).

$$\frac{\hat{i}_{La}(s)}{\hat{d}(s)} = \frac{s 2 V_{D1} C_d + 2 I_{cl} (1 - 2D) (s r_{Cd} C_d + 1)}{s^2 C_d L_a + s C_d (r_{La} + r_{Cd} (2D - 1)^2 + 2r_a) + (2D - 1)^2} \quad (5.64)$$

Considerando  $I_{cl} = 0$ , de acordo com o desenvolvimento na seção 5.3.1.6, e colocando-se esta informação em (5.55) resulta:  $V_{D1} = V_d$ . Transportando este dado para a expressão (5.64) obtém-se (5.65).

$$\frac{\hat{i}_{La}(s)}{\hat{d}(s)} = \frac{s 2 V_d C_d}{s^2 C_d L_a + s C_d (r_{La} + r_{Cd} (2D - 1)^2 + 2r_a) + (2D - 1)^2} \quad (5.65)$$

A expressão (5.65) define a função de transferência da corrente no indutor  $L_a$  em função da variação da razão cíclica. Ignorando-se as resistências do indutor  $L_a$  e do capacitor  $C_a$ , além daquelas dos interruptores ativo e passivo, chega-se à equação (5.66).

$$\frac{\hat{i}_{La}(s)}{\hat{d}(s)} = \frac{s 2 V_d C_d}{s^2 C_d L_a + (2D - 1)^2} \quad (5.66)$$

#### ▪ Determinação da função de transferência $\hat{v}_d(s)/\hat{d}(s)$

Durante a determinação da função de transferência  $\hat{i}_{La}(s)/\hat{d}(s)$  algumas equações intermediárias são geradas. As equações (5.67) e (5.68), retiradas desse procedimento, são apresentadas a seguir.

$$\hat{i}_{cl} = \frac{\hat{i}_o + 2 I_{cl} \hat{d}}{(1 - 2D)} \quad (5.67)$$

$$(r_{La} + s L_a + 2 r_a) \hat{i}_{cl} + (1 - 2D) \hat{v}_d = 2 V_{D1} \hat{d} \quad (5.68)$$

Fazendo operações com as equações (5.67), (5.68) e (5.63) gera-se função de transferência que relaciona a variação da tensão do barramento CC em função da variação da razão cíclica  $d$ . Esta função de transferência é apresentada em (5.69).

$$\frac{\hat{v}_d(s)}{\hat{d}(s)} = \frac{[2V_{D1}(1-2D) - 2I_{c1}(r_{La} + sL_a + 2r_a)](sr_{Cd}C_d + 1)}{s^2C_dL_a + sC_d(r_{La} + r_{Cd}(2D-1)^2 + 2r_a) + (2D-1)^2} \quad (5.69)$$

Tendo em vista que  $I_{c1} = 0$ , de acordo com o desenvolvimento na seção 5.3.1.6, e colocando-se esta informação em (5.55) resulta:  $V_{D1} = V_d$ . Inserindo-se este dado na expressão (5.69) obtém-se (5.70).

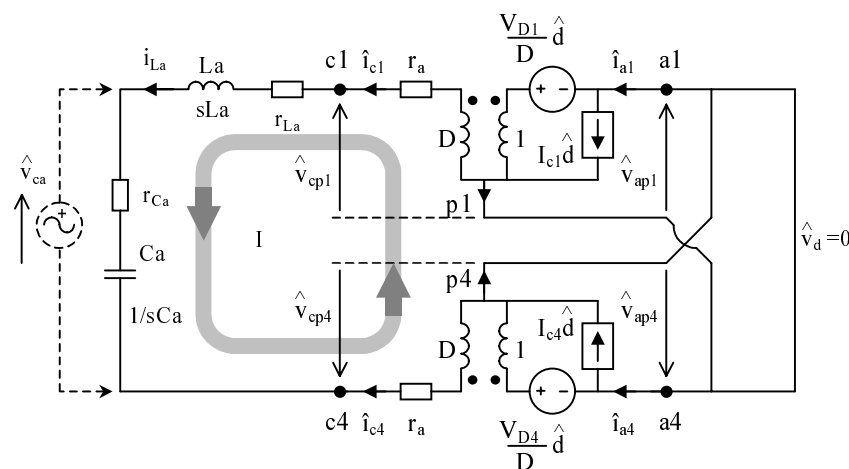
$$\frac{\hat{v}_d(s)}{\hat{d}(s)} = \frac{2V_d(1-2D)(sr_{Cd}C_d + 1)}{s^2C_dL_a + sC_d(r_{La} + r_{Cd}(2D-1)^2 + 2r_a) + (2D-1)^2} \quad (5.70)$$

Desprezando-se todas as resistências parasitas (indutor  $L_a$ , capacitor  $C_d$ , interruptores ativo e passivo) encontra-se a expressão simplificada (5.71).

$$\frac{\hat{v}_d(s)}{\hat{d}(s)} = \frac{2V_d(1-2D)}{s^2C_dL_a + (2D-1)^2} \quad (5.71)$$

#### ■ Determinação da função de transferência $\hat{v}_{ca}(s)/\hat{d}(s)$

A relação  $\hat{v}_{ca}(s)/\hat{d}(s)$  é obtida com o auxílio do circuito da fig. 5.17, derivado daquele apresentado na fig. 5.13.



**Fig. 5.17** - Circuito equivalente do inversor usando o interruptor PWM para análise CA ( $d = D + \hat{d}$ ,  $v_d = 0$ ).

Para esta função de transferência admitir-se-á que a tensão do barramento CC, em função da elevada constante de tempo do banco capacitivo, é constante e igual a  $V_d$  ( $\hat{v}_d = 0$ ). Logo essa fonte foi colocada em repouso (curto-circuitada) conforme constata-se do circuito da fig. 5.17. As equações (5.54) e (5.57) podem ser reescritas como apresentado em (5.72) e (5.73).

$$\hat{v}_{cp1} = \hat{v}_{ap1} D - \hat{i}_{c1} r_a + V_{D1} \hat{d} \quad (5.72)$$

$$\hat{v}_{cp4} = \hat{v}_{ap4} D - \hat{i}_{c4} r_a + V_{D4} \hat{d} \quad (5.73)$$

Inspecionando-se o circuito da fig. 5.17 e considerando-se a malha I, resultam as relações (5.74), (5.75) e (5.76).

$$\hat{v}_{ca} + (r_{La} + sL_a) \hat{i}_{c1} - \hat{v}_{cp1} + \hat{v}_{cp4} = 0 \quad (5.74)$$

$$\hat{v}_{ap1} = \hat{v}_{ap4} = 0 \quad (5.75)$$

$$\hat{i}_{c1} = \frac{s C_a \hat{v}_{ca}}{s r_{Ca} C_a + 1} \quad (5.76)$$

Operando o conjunto de expressões (5.72) a (5.76) chega-se à equação (5.77). Ela expressa a relação entre a tensão do capacitor  $C_a$  e a variação da razão cíclica  $d$ .

$$\frac{\hat{v}_{ca}(s)}{\hat{d}(s)} = \frac{2 V_{D1} (s r_{Ca} C_a + 1)}{s^2 C_a L_a + s C_a (r_{Ca} + r_{La} + 2 r_a) + 1} \quad (5.77)$$

Quando  $I_{c1} = 0$ , de acordo com o desenvolvimento na seção 5.3.1.6, e colocando-se esta informação em (5.55) resulta:  $V_{D1} = V_d$ . Transportando-se esta informação para a expressão (5.77) obtém-se (5.78).

$$\frac{\hat{v}_{ca}(s)}{\hat{d}(s)} = \frac{2 V_d (s r_{Ca} C_a + 1)}{s^2 C_a L_a + s C_a (r_{Ca} + r_{La} + 2 r_a) + 1} \quad (5.78)$$

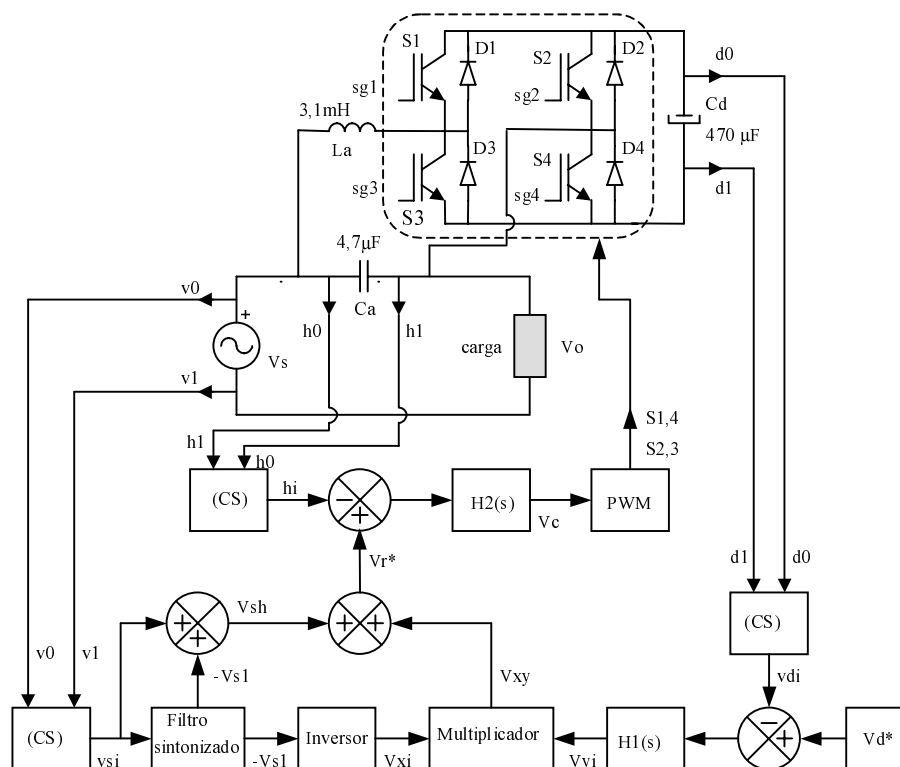
Se as resistências dos interruptores ativo e passivo, as resistências série equivalentes dos capacitores  $C_a$  e  $C_d$  e aquela do indutor  $L_a$  forem desconsideradas na expressão (5.78), obter-se-á, então, (5.79).

$$\frac{\hat{v}_{ca}(s)}{\hat{d}(s)} = \frac{2V_d}{s^2 C_a L_a + 1} \quad (5.79)$$

O equacionamento apresentado nas seções 5.3.1.6 a 5.3.1.8 é rerepresentado, de forma integral, no Apêndice D.

### 5.3.2 Método de controle digital

A fig. 5.18 ilustra como o controle do filtro ativo série foi realizado usando a tecnologia analógica. Trata-se de um controle por valores médios e verifica-se naquela figura duas malhas de controle. Uma delas controla a tensão sobre o capacitor de acoplamento  $C_a$  e a outra, a tensão do barramento CC.



**Fig. 5.18** - Diagrama em blocos do sistema de controle analógico do filtro ativo série.

A malha que controla a tensão sobre o capacitor  $C_a$  é especificada para seguir uma referência de tensão harmônica modulada por uma tensão senoidal de amplitude reduzida. A tensão harmônica é procedente da diferença entre a tensão de entrada e uma tensão senoidal, sendo esta última uma imagem da componente fundamental da tensão de entrada.

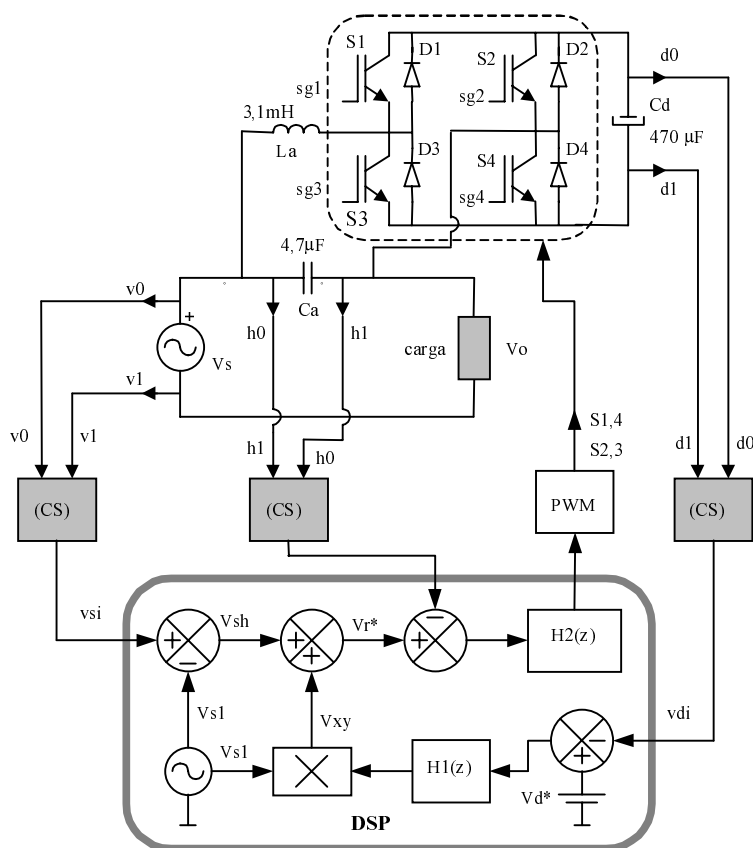
A imagem da componente fundamental é obtida pela filtragem (filtro sintonizado em

60 Hz) da tensão de entrada.

O sinal modulante, a tensão senoidal de amplitude reduzida é o resultado da multiplicação de dois sinais: a tensão senoidal imagem da componente fundamental e a tensão proveniente da saída do controlador da tensão do barramento CC. A multiplicação é desempenhada por um multiplicador analógico.

Obtida a referência para a tensão do filtro ativo (a tensão em  $C_a$ ) esta é comparada com a tensão de fato produzida no capacitor de acoplamento. O resultado desta operação é o sinal de entrada do compensador  $H_2(s)$ , do qual o sinal saída é comparado à portadora triangular produzindo os pulsos modulados em largura para o inversor. A malha de controle da tensão contínua deve manter, seguindo um valor de referência, o valor médio daquela tensão.

Com base no sistema de controle analógico concebe-se a sistemática de controle digital para o filtro ativo série. A tecnologia digital demanda algumas alterações em relação ao sistema de controle analógico e, entre estas, as principais estão representadas na fig. 5.19 e são comentadas a seguir.



**Fig. 5.19** - Diagrama em blocos do sistema de controle digital do filtro ativo série.

As variáveis são convertidas de valores contínuos a valores discretos, isto é, ocorre a conversão do formato analógico ao digital o que implica um em processo de amostragem, retenção e conversão das grandezas de interesse. Esta situação requer, outrossim, que um filtro passa-baixa seja adicionado ao bloco designado de condicionamento de sinais (CS). Este filtro é conhecido como filtro *anti-aliasing* e será comentado posteriormente.

Filtros analógicos de vários tipos podem ser realizados de forma digital e portanto o filtro sintonizado também o seria. Entretanto, presume-se que a realização de um filtro digital é um acréscimo importante, em termos de programação, dentro do algoritmo digital de controle.

Uma alternativa à implementação digital do filtro sintonizado é a geração de um sinal senoidal a partir de uma tabela de valores armazenados no processador DSP. O sinal senoidal poderá ser controlado em sua amplitude e deslocamento em relação à tensão de entrada. Supõe-se que esta alternativa é atrativa em relação à anterior, pois exige menor espaço de programação e foi, conseqüentemente, adotada.

O bloco do multiplicador analógico é realizado por uma multiplicação digital, função que é realizada de forma especializada pelo processador digital.

Os compensadores contínuos  $H_1(s)$  e  $H_2(s)$ , sejam eles do tipo proporcional-integral (PI) ou proporcional-integral-derivativo (PID), terão, igualmente, seus pares implementados digitalmente. Faz-se notar que esses compensadores podem ser interpretados como filtros e portanto a sua efetivação no domínio discreto é amplamente conhecida.

Finalmente, a geração dos pulsos modulados em largura pode, também, ser concretizada de forma discreta. O processador digital possui subsistemas integrados que facilitam esta tarefa. Assim, o bloco denominado PWM, que no controle contínuo estava incluído no procedimento de geração daqueles pulsos, tem, nesta abordagem, a função de condicionar os pulsos digitais tipo PWM, gerados pelo processador, e aplicá-los aos interruptores do conversor.

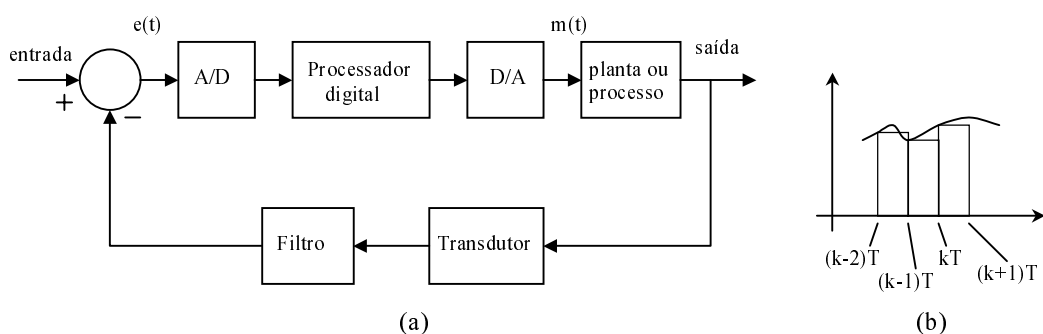
### **5.3.3 Noções básicas de controle digital**

O projeto do controlador digital, como mencionado previamente, envolve duas fases importantes. A primeira é a obtenção do modelo que represente a planta ou processo e a outra, é a determinação do controlador digital. A fase de obtenção do modelo foi apresentada na seção 5.3.1 e nos parágrafos seguintes discutir-se-á o projeto do controlador digital. Esta fase

será desenvolvida com apresentação dos aspectos essenciais da teoria de controle digital com objetivo de facilitar o entendimento de seu uso na especificação do controlador (ou compensador) digital.

### 5.3.3.1 Noção de sistema de controle discreto

Para ilustrar a idéia de um sistema discreto considere o sistema de controle digital mostrado na fig. 5.20a. O processador digital desempenha a função de compensação dentro do sistema. A interface de entrada do processador é um conversor analógico-digital (conversor A/D) e ele é necessário para converter o sinal de erro, um sinal contínuo no tempo, em uma forma que possa ser rapidamente usada pelo processador. Na saída do processador um conversor digital-analógico (conversor D/A) é requerido para converter os sinais binários (do processador) em forma adequada para condução da planta.



**Fig. 5.20** - Diagrama em blocos de um sistema de controle discreto (a); integração numérica (b).

Considere o exemplo a seguir de acordo com a fig. 5.20a. Suponha que o conversor A/D, o processador digital e o conversor D/A substituam um compensador proporcional-integral (PI) analógico (ou contínuo) de maneira que a resposta do sistema de controle digital tenha essencialmente as mesmas características do sistema analógico.

O controlador analógico tem uma saída dada por (5.80).

$$m(t) = K_p e(t) + K_I \int_0^t e(\tau) d\tau \quad (5.80)$$

Onde  $e(t)$  e  $m(t)$  são, respectivamente, o sinal de entrada e o de saída do controlador e  $K_p$  e  $K_I$  são ganhos constantes determinados no projeto do controlador. Neste exemplo, a integração é realizada numericamente pela regra retangular, mostrada na fig. 5.20b. A área sob a curva da fig. 5.20b é aproximada pela soma das áreas retangulares. Então, tornando  $x(t)$  a integral numérica de  $e(t)$  escreve-se (5.81).

$$x(kT) = x[(k-1)T] + T e(kT) \quad (5.81)$$

onde  $T$  é o passo de cálculo do algoritmo numérico, em segundos. Então (5.80) torna-se, para o compensador digital, a expressão (5.82).

$$m(kT) = K_p e(kT) + K_I x(kT) \quad (5.82)$$

A equação (5.81) é uma equação de diferenças linear de primeira ordem. A forma geral para uma equação de diferenças linear invariante de primeira ordem é dada por (5.83) - ( $T$  foi omitido por conveniência).

$$x(k) = b_1 e(k) + b_0 e(k-1) - a_0 x(k-1) \quad (5.83)$$

Esta equação é de primeira ordem porque somente sinais do último instante de amostragem aparecem explicitamente na equação. A forma geral de uma equação de diferenças linear de  $n$ -ésima ordem é expressa por (5.84).

$$x(k) = b_n e(k) + b_{n-1} e(k-1) + \dots + b_0 e(k-n) - a_{n-1} x(k-1) - \dots - a_0 x(k-n) \quad (5.84)$$

Desde que o processador digital pode ser programado para multiplicar e adicionar, isto é, ele pode integrar numericamente, a equação do controlador pode ser realizada usando o processador digital.

Então o processador digital na fig. 5.20a pode ser programado para resolver a equação de diferenças de formato dado pela equação (5.84) e o projeto do sistema de controle digital terá seu foco na determinação: (1) do período de amostragem  $T$ , (2) da ordem da equação diferença e (3) dos coeficientes  $a_i$  e  $b_i$  do filtro, de maneira que o sistema de controle alcance as características desejadas. É possível, ainda, demonstrar que se a planta também é linear e invariante no tempo, o sistema inteiro pode ser modelado por uma equação de diferenças, como a equação (5.84), a qual será de ordem superior àquela do controlador.

Duas abordagens podem ser usadas no projeto de compensadores digitais. A primeira, um compensador analógico pode ser usado e convertido, por algum procedimento de aproximação, em um compensador digital como mostrado no exemplo dos parágrafos anteriores. A segunda, um procedimento analítico baseado na metodologia convencional (do domínio  $s$ ) é aplicado nas funções discretizadas.



### 5.3.3.2 Amostragem e seu modelo analítico

Em contraste aos sistemas contínuos, cuja operação é descrita (ou modelada) por um conjunto de equações diferenciais, no sistema de controle discreto a operação é governada por um conjunto de equações de diferenças. É possível constatar que os sinais dentro do sistema digital são interpretados (ou descritos) como seqüências numéricas. E algumas dessas seqüências numéricas podem ser geradas pela amostragem de um sinal contínuo no tempo, isto é, nos sistemas de controle digital. Afim de proporcionar uma base para um melhor entendimento de um sistema de controle digital, é necessário determinar o efeito da amostragem de um sinal contínuo no tempo - o que ocorre quando se amostra um sinal contínuo no tempo.

Antes do desenvolvimento do tema amostragem, relembra-se que nos sistemas lineares invariantes e contínuos no tempo, a transformada de Laplace pode ser usada para análise e projeto desse tipo de sistema. As equações de diferenças surgiram com a noção de sistema de controle discreto (ou amostrado) e, por conseqüência, uma ferramenta equivalente à transformada de Laplace é estabelecida para a análise e projeto dos sistemas discretos. Trata-se da transformada  $z$ . Esta transformada é essencial e amplamente usada nos sistemas amostrados mas não será aqui discutida.

A amostragem, evento que ocorre nos sistemas de controle digital, e seu modelo matemático são apresentados a seguir. Seja o sistema de malha fechada mostrado na fig. 5.21. Admite-se que a cada  $T$  segundos o sistema atualize suas informações. Assim, o sinal  $e(t)$  é conhecido somente a cada  $T$  segundos. Entretanto, a planta deve receber informações, isto é, o sinal  $\bar{e}(t)$  a todo instante ( $t \neq kT$ ) e como somente  $e(kT)$  é conhecido algo deve ser providenciado para  $\bar{e}(t)$ .

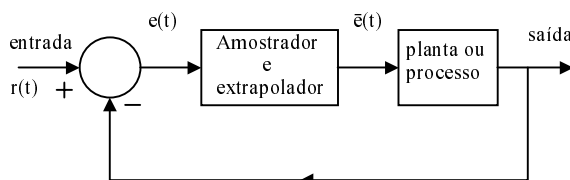
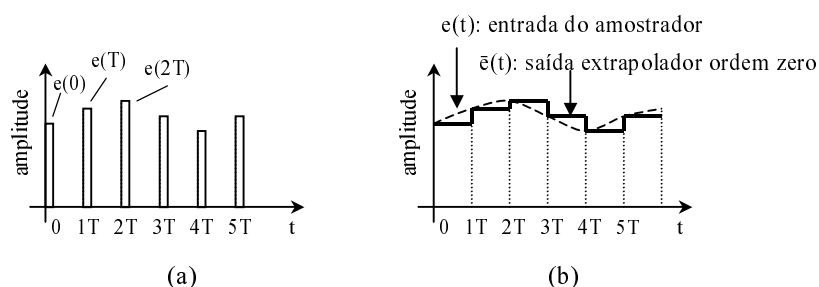


Fig. 5.21 - Diagrama em blocos de um sistema de controle amostrado.

Não é aconselhável aplicar o sinal na forma amostrada ( $e(kT)$ ), como o trem de pulsos apresentado na fig. 5.22a, em virtude das altas freqüências que ele contém. Dessa forma, um dispositivo de reconstrução de sinal, designado de extrapolador, deve ser inserido no sistema,

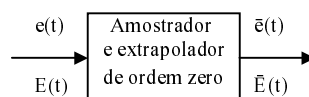
imediatamente após o amostrador. O propósito do extrapolador é reconstruir o sinal amostrado em um formato que se aproxime do sinal originalmente amostrado. O dispositivo mais simples de reconstrução de dados, e um dos mais usados, é o extrapolador de ordem zero - EOZ (*the zero-order hold - ZOH*).

A operação combinada do amostrador e extrapolador de ordem zero é descrita pelos sinais mostrados na fig. 5.22b. O extrapolador de ordem zero conserva o sinal de saída em um valor igual aquele do sinal de entrada no instante em que foi amostrado.



**Fig. 5.22** - Sinal amostrado no formato trem de pulsos (a); sinais de entrada e saída do amostrador e extrapolador de ordem zero (b).

O amostrador e o extrapolador de ordem zero podem ser representados pelo diagrama em bloco mostrado na fig. 5.23.



**Fig. 5.23** - Representação em bloco do amostrador e extrapolador de ordem zero.

O sinal  $\bar{e}(t)$  pode ser expresso como em (5.85).

$$\bar{e}(t) = e(0)[u(t) - u(t-T)] + e(T)[u(t-T) - u(t-2T)] + e(2T)[u(t-2T) - u(t-3T)] + \dots \quad (5.85)$$

onde  $u(t)$  é a função degrau unitário. A transformada de Laplace de  $\bar{e}(t)$  é  $\bar{E}(s)$  e é expressa por (5.86).

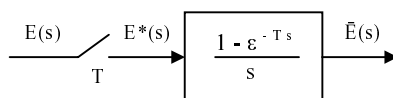
O primeiro fator na expressão (5.86) é visto como sendo uma função do sinal de entrada  $e(t)$  e do período de amostragem  $T$ . O segundo fator se mostra independente de  $e(t)$  e será, daqui por diante, considerado como uma função de transferência.

$$\begin{aligned}
\bar{E}(s) &= e(0) \left[ \frac{1}{s} - \frac{\varepsilon^{-Ts}}{s} \right] + e(T) \left[ \frac{\varepsilon^{-Ts}}{s} - \frac{\varepsilon^{-2Ts}}{s} \right] + e(2T) \left[ \frac{\varepsilon^{-2Ts}}{s} - \frac{\varepsilon^{-3Ts}}{s} \right] + \dots \\
&= \left[ \frac{1 - \varepsilon^{-Ts}}{s} \right] \left[ e(0) + e(T)\varepsilon^{-Ts} + e(2T)\varepsilon^{-2Ts} + \dots \right] \\
&= \left[ \sum_{n=0}^{\infty} e(nT)\varepsilon^{-nTs} \right] \left[ \frac{1 - \varepsilon^{-Ts}}{s} \right]
\end{aligned} \tag{5.86}$$

Da expressão (5.86), a função  $E^*(s)$ , denominada *starred transform*, é definida por (5.87).

$$E^*(s) = \left[ \sum_{n=0}^{\infty} e(nT)\varepsilon^{-nTs} \right] \tag{5.87}$$

Assim, a equação (5.86) é satisfeita pela representação mostrada na fig. 5.24. A operação representada pelo interruptor, na fig. 5.24, e definida pela expressão (5.87) é denominada amostrador ideal. A operação representada pela função de transferência é denominada extrapolador de dados.



**Fig. 5. 24** - Representação do modelo analítico do amostrador e extrapolador de ordem zero.

Enfatiza-se que  $E^*(s)$  não aparece no sistema físico mas aparece como resultado da fatoração de (5.86). O amostrador (o interruptor) não modela um amostrador físico e o bloco (a função de transferência) não modela um extrapolador de dados físico. Todavia, esta combinação é um modelo preciso da característica entrada-saída do dispositivo amostrador-extrapolador, de acordo com exposto previamente.

Um amostrador real amostra o sinal de entrada periodicamente e produz uma seqüência de pulsos como saída. Enquanto a duração da amostragem (a largura do pulso) do amostrador real é muito pequena (mas nunca será zero), a suposição de largura zero, o que implica que a seqüência de pulsos torna-se uma seqüência de impulsos cuja amplitude é igual ao valor do sinal contínuo amostrado nos instantes de amostragem, simplifica a análise dos sistemas

discretos. Esta suposição é válida se a duração da amostragem é muito pequena quando comparada com as constantes de tempo significativas do sistema (ou quando comparada ao período de amostragem  $T$ ).

### 5.3.3.3 Propriedades de $E^*(s)$

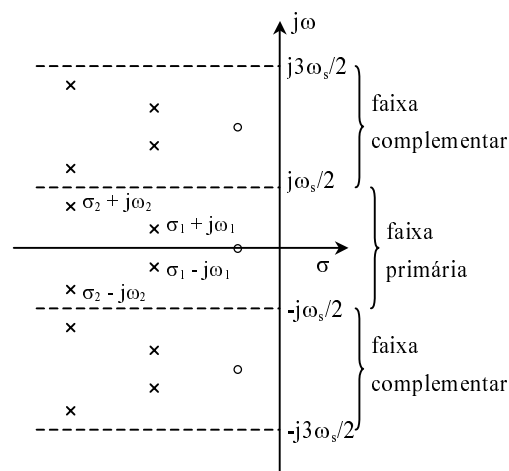
A função  $E^*(s)$  é periódica em  $s$  com período  $j\omega_s$  e esta propriedade é expressa pela equação (5.88).

$$E^*(s + jm\omega_s) = \left[ \sum_{n=0}^{\infty} e(nT) \varepsilon^{-nT(s + jm\omega_s)} \right] \quad (5.88)$$

Uma segunda propriedade estabelece que se  $E(s)$  tem um pólo em  $s=s_1$ , então  $E^*(s)$  deve ter pólos em  $s = s_1 + jm\omega_s$ , para  $m = (0, \pm 1, \pm 2, \dots)$ . Esta propriedade é dada por (5.89).

$$E^*(s) = \frac{1}{T} \sum_{n=-\infty}^{\infty} E(s + jn\omega_s) = \frac{1}{T} \left[ E(s) + E(s + j\omega_s) + E(s + j2\omega_s) + \dots \right. \\ \left. \dots + E(s - j\omega_s) + E(s - j2\omega_s) + \dots \right] \quad (5.89)$$

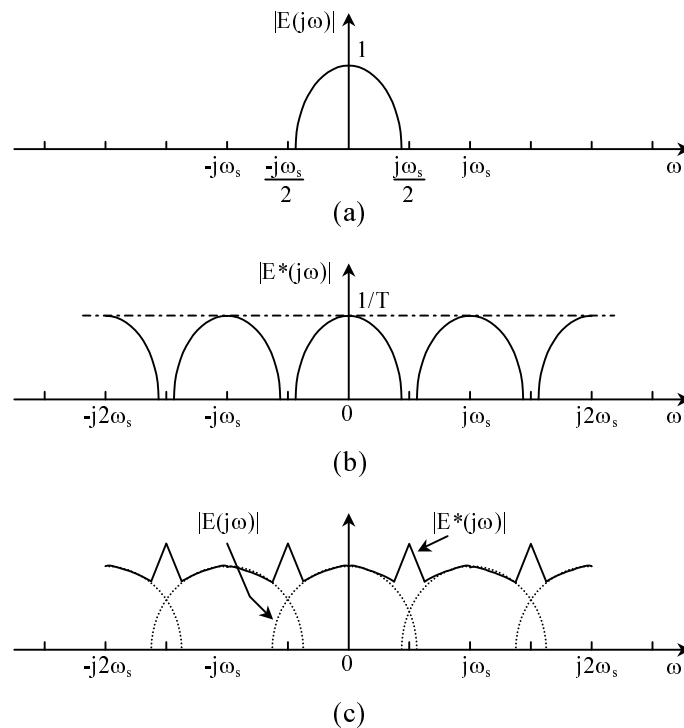
Um exemplo de posicionamento pólos e zeros de  $E^*(s)$  é apresentado na fig. 5.25, onde a faixa primária no plano  $s$  é definida como sendo aquela para  $-\omega_s/2 < \omega < \omega_s/2$ . Observa-se que se o posicionamento de pólos e zeros é conhecido para  $E^*(s)$ , na faixa primária, então a localização dos pólos e zeros de todo o plano  $s$  é conhecida.



**Fig. 5. 25** - Posicionamento de pólos e zeros para a função  $E^*(s)$ .

Na fig. 5.25, se  $E(s)$  tem um pólo em  $(-\sigma_1 + j\omega_1)$  a operação de amostragem gera um pólo em  $E^*(s)$  em  $(-\sigma_1 + j(\omega_1 + \omega_s))$ . Contrariamente, se  $E(s)$  tem um pólo em  $(-\sigma_1 + j(\omega_1 + \omega_s))$  então  $E^*(s)$  terá um pólo em  $(-\sigma_1 + j\omega_1)$ .

Uma dada função  $e(t)$ , para a qual admite-se a existência das transformadas de Laplace e de Fourier, apresenta o espectro de amplitude  $|E(j\omega)|$  mostrado na fig. 5.26a, onde  $E(j\omega)$  é a transformada de Fourier de  $e(t)$ . Então  $E^*(j\omega)$  (expressão (5.90)) tem o espectro de amplitude apresentado na fig. 5.26b.



**Fig. 5.26** - Espectro de freqüências para as funções  $E(j\omega)$  e  $E^*(j\omega)$ .

Este espectro pode ser obtido através da avaliação da equação (5.89) para  $(s=j\omega)$  cujo resultado é apresentado em (5.90).

$$E^*(j\omega) = \frac{1}{T} \left[ E(j\omega) + E(j\omega + j\omega_s) + E(j\omega + j2\omega_s) + \dots \right. \\ \left. \dots + E(j\omega - j\omega_s) + E(j\omega - j2\omega_s) + \dots \right] + \frac{e(0)}{2} \quad (5.90)$$

Assim o efeito da amostragem ideal é repetir o espectro original centrado em  $\omega_s, 2\omega_s, 3\omega_s, -\omega_s, -2\omega_s, -3\omega_s$ , etc. Um filtro ideal é um filtro com ganho unitário na faixa de passagem e ganho zero fora dessa banda. Nota-se na fig. 5.26b que um filtro ideal passa-baixa poderia

recuperar completamente  $E(j\omega)$  (ou seja  $e(t)$ ) se sua largura de faixa fosse  $\omega_s/2$ , considerando-se que a frequência mais elevada presente em  $E(j\omega)$  é menor do  $\omega_s/2$ . Esta idéia engloba o teorema de Shannon.

Suponha, com base na fig. 5.26b, que  $\omega_s$  seja diminuído até que as componentes de frequências elevadas, presentes em  $E(j\omega)$ , sejam maiores do  $\omega_s/2$ . Dessa forma  $E^*(j\omega)$  teria o espectro de amplitude como aquele mostrado na fig. 5.26c e neste caso nenhum tipo de filtragem poderia recuperar o sinal  $e(t)$ . Portanto a frequência de amostragem para um sistema de controle digital deve ser pelo menos o dobro da frequência da componente de maior frequência do sinal amostrado.

De outra forma, quaisquer frequências  $\omega \geq \omega_s/2$  irão refletir dentro da faixa de frequências  $0 \leq \omega \leq \omega_s/2$ . Este efeito é chamado de *frequency aliasing*. Estas frequências refletidas serão interpretadas pelo sistema como informações de baixa frequência no sinal  $e(t)$  e isto não deve ocorrer. Este efeito pode ser evitado pelo aumento da frequência de amostragem ou pela colocação de um filtro, denominado filtro *antialiasing*, na entrada do amostrador. O filtro *antialiasing* é um filtro passa-baixa que impede a presença de frequências maiores do que  $\omega_s/2$  no sinal  $e(t)$ .

#### 5.3.3.4 A relação entre $E(z)$ e $E^*(s)$

Estabelece-se que a transformada  $z$  de uma seqüência numérica  $\{e(k)\}$  é definida pela expressão (5.91).

$$\mathfrak{Z}[e(k)] = E(z) = e(0) + e(1)z^{-1} + e(2)z^{-2} + \dots \quad (5.91)$$

Ainda a *starred transform* para uma função  $e(t)$  é definida como em (5.92).

$$E^*(s) = e(0) + e(T)\varepsilon^{-Ts} + e(2T)\varepsilon^{-2Ts} + \dots \quad (5.92)$$

A semelhança entre estas duas transformadas é visível. Assumindo que a seqüência numérica  $\{e(k)\}$  é obtida da amostragem de uma função temporal  $e(t)$  - [isto é, se  $e(k)$  da expressão (5.91) é igual a  $e(kT)$  da expressão (5.92)] - e que  $\varepsilon^{Ts} = z$  em (5.92), então a expressão (5.92) torna-se a transformada  $z$ . Dessa forma tem-se a expressão (5.93).

$$E(z) = E^*(s) \Big|_{\varepsilon^{Ts} = z} \quad (5.93)$$

Nota-se que a transformada  $z$  pode ser considerada um caso especial da transformada de Laplace. É comum empregar a troca de variáveis em (5.93) e usar a transformada  $z$  em vez da *starred transform* na análise de sistemas discretos.

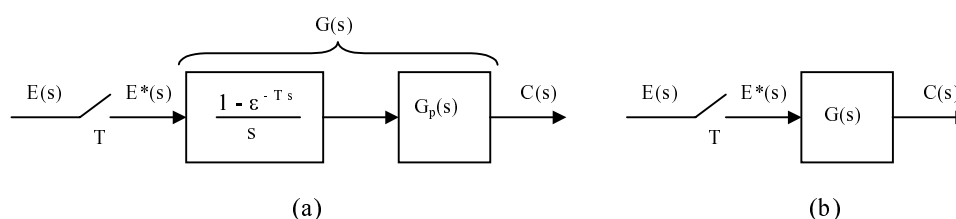
Ressalta-se que quando se transforma  $\varepsilon^{Ts}$  em  $z$ , o conceito de amostragem por impulsos (o qual é um processo puramente matemático) habilita-nos a analisar pelo método da transformada  $z$  sistemas de controle discretos que envolvam amostradores e extrapoladores. Isto significa que, pelo uso da variável complexa  $z$ , as técnicas desenvolvidas para os métodos da transformada de Laplace podem ser aplicadas para analisar sistemas discretos envolvendo a operação de amostragem.

### 5.3.3.5 A função de transferência pulso

Um sistema de controle em malha aberta é mostrado na fig. 5.27a. Nele  $G_p(s)$  é a função de transferência da planta e denomina-se de  $G(s)$  o produto da função de transferência da planta e do extrapolador de ordem zero. A função de  $G(s)$  é dada por (5.94).

$$G(s) = \frac{1 - \varepsilon^{-Ts}}{s} G_p(s) \quad (5.94)$$

Portanto o sistema pode ser representado como ilustrado na fig. 5.27b. Salienta-se que quando um sistema como o da fig. 5.27b é dado,  $G(s)$  deve conter a função de transferência do extrapolador de dados.



**Fig. 5.27** - Sistema de controle amostrado em malha aberta.

Em geral, a função de transferência do extrapolador de dados não é apresentada separadamente mas sim combinada com a função de transferência da parte do sistema que aparece, imediatamente, após o extrapolador. Da fig. 5.27 vem a equação (5.95).

$$C(s) = G(s) E^*(s) \quad (5.95)$$

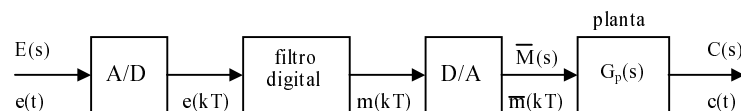
É possível demonstrar, após algumas operações, que  $C(z)$  é dado por (5.96).

$$C(z) = E(z)G(z) \quad (5.96)$$

$G(z)$  é denominada de função transferência pulso e é a função de transferência entre a entrada amostrada e a saída nos instantes de amostragem. Ou de outro modo, a função de transferência para os sistemas contínuos relaciona a transformada de Laplace da saída desse sistema contínuo em relação à sua entrada ao passo que a função de transferência pulso relaciona a transformada  $z$  da saída nos instantes de amostragem com a entrada amostrada.

Da exposição efetuada na seção 5.3.3.2 pode-se questionar: por quê apresentar um sistema de dados amostrados como aquele ilustrado na fig. 5.21? Aquele sistema contém um amostrador para ler (ou examinar) um sinal contínuo em determinados instantes do tempo e é seguido de um extrapolador para reconstruir o sinal original.

A resposta a essa questão é que existem sistemas que operam dessa maneira e uma outra razão é que nos sistemas de controle digital se adiciona um bloco - o compensador - entre o amostrador e o extrapolador com o objetivo de melhorar o desempenho do sistema. Um exemplo dessa situação é apresentado na fig. 5.28. O conversor A/D, na entrada do filtro, converte o sinal contínuo  $e(t)$  em uma seqüência numérica  $\{e(kT)\}$ ; o filtro digital processa esta seqüência numérica  $\{e(kT)\}$  produzindo um seqüência numérica de saída  $m(kT)$ , a qual é convertida em um sinal contínuo  $\bar{m}(t)$  pelo conversor D/A.



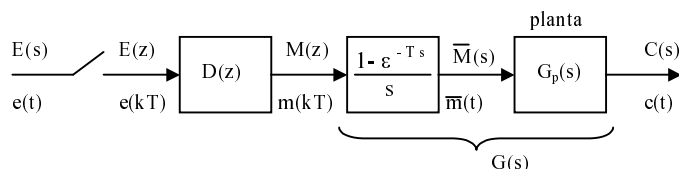
**Fig. 5.28** - Sistema de controle amostrado, em malha aberta, com o filtro digital.

Como mencionado previamente, o filtro digital que resolve a equação de diferenças linear de coeficientes constantes pode ser representado pela função de transferência  $D(z)$ . O conversor D/A, em geral, incorpora um extrapolador que lhe confere a característica de extrapolador de ordem zero e  $\bar{m}(t)$  tem o formato de  $\bar{e}(t)$  como exposto na fig. 5.22b. Depois de algumas operações, demonstra-se que  $C(z)$  é dado por (5.97).

$$C(z) = \mathfrak{Z} \left[ G_p(s) \frac{1 - e^{-Ts}}{s} \right] D(z) E(z) = G(z) D(z) E(z) \quad (5.97)$$



E pode-se afirmar que o filtro digital e os dispositivos a ele associados, os conversores A/D e D/A, podem ser representados em diagrama de blocos como se visualiza na fig. 5.29.



**Fig. 5.29** - Modelo para o controle amostrado em malha aberta.

O dispositivo de processamento digital que realiza o filtro digital na fig. 5.28 de fato processa os valores das amostras dos dados de entrada  $\{e(kT)\}$ . Todavia o modelo aqui estabelecido para o filtro digital processa uma seqüência de funções impulsivas (ou impulsos) de valores  $\{e(kT)\}$ . Dessa forma, o modelo que deve ser usado é o da fig. 5.29; ele é a combinação de um amostrador ideal, do filtro  $D(z)$  e do extrapolar de ordem zero e, modela de forma precisa a combinação: conversor A/D, filtro digital e conversor D/A.

### 5.3.3.6 Sistemas com atraso

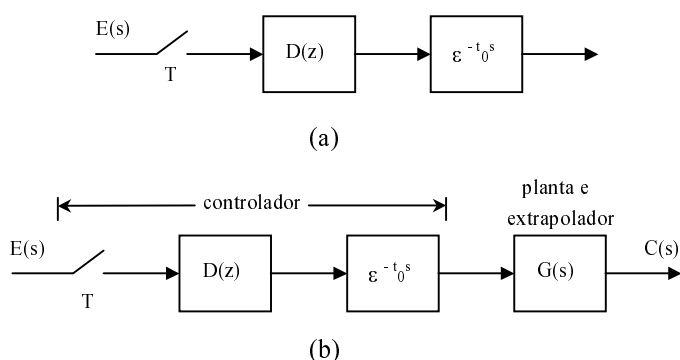
Para analisar sistemas com atrasos ideais define-se a transformada z modificada. Ela pode ser apresentada como na expressão (5.98).

$$E(z, m) = E(z, \Delta) \Big|_{\Delta=1-m} = \mathfrak{Z} \left[ E(s) \varepsilon^{-\Delta Ts} \right] \Big|_{\Delta=1-m} \quad (5.98)$$

A razão para esta consideração é que a transformada z modificada pode ser usada para determinar a função de transferência pulso de um sistema de controle digital, no qual o tempo de processamento do dispositivo digital de controle (processador ou computador) não pode ser negligenciado. Um controlador digital deve resolver uma equação de diferenças linear de enésima ordem, a cada T segundos, como mostrado em (5.84) e rerepresentado em (5.99).

$$m(k) = b_n e(k) + b_{n-1} e(k-1) + \dots + b_0 e(k-n) - a_{n-1} m(k-1) - \dots - a_0 m(k-n) \quad (5.99)$$

Admite-se que o tempo requerido para o controlador digital calcular a equação (5.99) seja  $t_0$  segundos. Então para uma entrada no instante  $t = 0$  ele produzirá uma saída em  $t = t_0$ , e para uma entrada em  $t = T$  produzirá uma saída em  $t = T + t_0$  e assim por diante. Conseqüentemente, um controlador digital pode ser modelado como um controlador digital sem atrasos seguido de um atraso ideal de  $t_0$  segundos como ilustrado pela fig. 5.30a.



**Fig. 5.30** - Sistema de controle digital incluindo o tempo de processamento.

Um sistema de controle contendo este tipo de controlador poderá ser, então, modelado como mostrado na fig. 5.30b e para este tipo de sistema tem-se a equação (5.100).

$$C(z) = z^{-k} G(z, m) D(z) E(z) \quad (5.100)$$

onde  $m = 1 - \Delta$  e  $0 < \Delta \leq 1$ .

Os aspectos abordados nas seções precedentes são estendidos aos sistemas de malha fechada resultando relações similares àquelas obtidas quando se trabalha no domínio  $s$ .

### 5.3.3.7 Mapeamento do plano $s$ no plano $z$

No projeto dos sistemas de controle contínuo a localização dos pólos e zeros no plano  $s$  é importante na previsão do comportamento dinâmico desses sistemas. De forma semelhante, no projeto de sistemas de controle discretos a localização dos pólos e zeros no plano  $z$  é, igualmente, importante.

Quando um sistema de amostragem impulsiva é incorporado ao processo, as variáveis complexas  $z$  e  $s$  são relacionadas pela expressão (5.101).

$$z = \epsilon^{Ts} \quad (5.101)$$

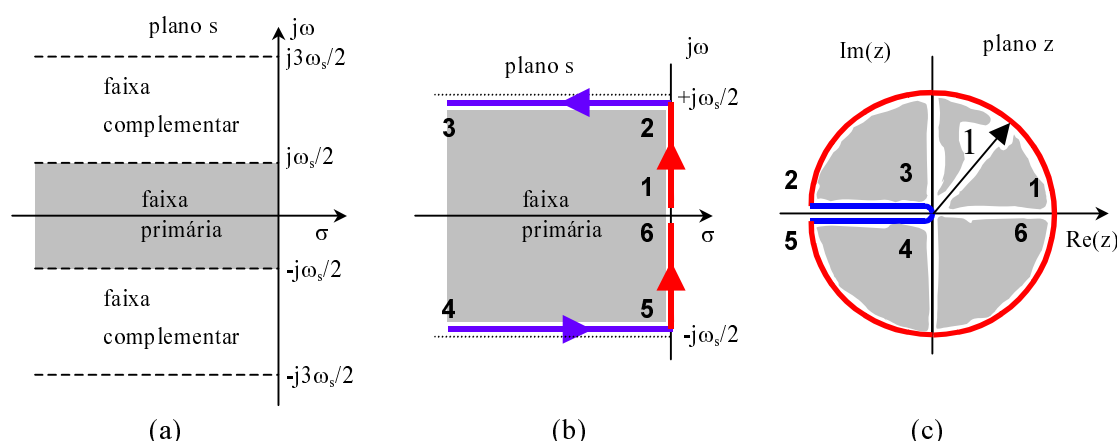
Isto significa que um pólo no plano  $s$  pode ser posicionado no plano  $z$  através da transformação dada em (5.101). Desde que a variável complexa  $s$  tem uma parte real ( $\sigma$ ) e uma imaginária ( $\omega$ ), escrevem-se (5.102) e (5.103).

$$s = \sigma + j\omega \quad (5.102)$$

$$z = \epsilon^{T(\sigma + j\omega)} = \epsilon^{T\sigma} \epsilon^{jT\omega} = \epsilon^{T\sigma} \epsilon^{j(T\omega + 2\pi k)} \quad (5.103)$$

Desta última equação vê-se que os pólos e zeros do plano  $s$ , cujas frequências diferem em múltiplos da frequência de amostragem  $\omega_s=2\pi/T$ , são mapeados na mesma posição no plano  $z$ . Isto significa que é possível existir muitos valores de  $s$  para cada valor de  $z$ .

Após as devidas considerações, das análises tem-se que cada faixa de largura  $\omega_s$  no semiplano esquerdo do plano  $s$  é mapeada dentro do círculo unitário no plano  $z$ . Isto significa que a metade esquerda do plano  $s$  pode ser dividida em infinito número de faixas periódicas como mostra a fig. 5.31a. A faixa primária estende-se de  $j\omega=-j\omega_s/2$  a  $j\omega_s/2$ .



**Fig. 5.31** - Faixas periódicas no plano  $s$  (a); correspondência entre a faixa primária do plano  $s$  e o círculo unitário no plano  $z$ : trajetória no plano  $s$  (b); trajetória equivalente no plano  $z$  (c).

Para a faixa primária, traça-se a seqüência de pontos 1, 2, ..., 6 no plano  $s$ , como mostrado pelos números na fig. 5.31b, e este traçado é mapeado dentro do círculo de raio unitário centrado na origem do plano  $z$  de acordo com fig. 5.31c. Os pontos correspondentes àqueles da fig. 5.31b são os pontos 1, 2, ..., 6 no plano  $z$ .

Em síntese, o eixo imaginário ( $\sigma = 0$ ) no plano  $s$  corresponde à circunferência de raio unitário no plano  $z$  e o interior desta circunferência, ou seja o círculo de raio unitário, corresponde ao semiplano esquerdo do plano  $s$ . Finalmente, é oportuno destacar que as noções básicas de sistemas de controle digital, apresentadas nesta e nas seções antecedentes, estão baseadas em [45], [46] e [47].

### 5.3.4 Projeto do controlador digital

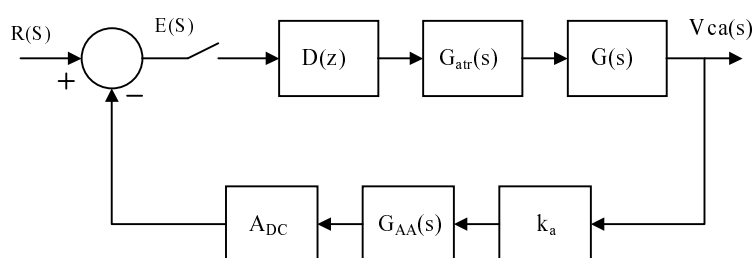
Como apresentado, a estabilidade de um sistema de controle pode ser investigada com relação ao círculo unitário no plano  $z$ . Por exemplo, se os pólos de malha fechada são complexos conjugados e localizam-se dentro do círculo unitário, em conseqüência, a resposta

ao degrau unitário será oscilatória. Além de se verificar a resposta característica a certas perturbações em um dado sistema, os efeitos do ganho e do período de amostragem na estabilidade desse sistema (de malha fechada) são, igualmente, aspectos importantes a serem verificados. E para este propósito o método do lugar das raízes é muito útil.

O método do lugar das raízes, desenvolvido para sistemas contínuos, pode ser estendido sem modificações - a exceção de que o limite de estabilidade é deslocado do eixo  $j\omega$  no plano  $s$  para o círculo unitário no plano  $z$  - ao sistemas discretos. A razão pela qual o método do lugar das raízes pode ser estendido ao sistema discretos é porque a equação característica para os sistemas discretos é da mesma forma como aquela para os sistemas contínuos no plano  $s$ . O método do lugar das raízes é o método aqui adotado para análise das funções de transferência do filtro ativo.

#### 5.3.4.1 Determinação do controlador da tensão do filtro

A fig. 5.32 mostra o diagrama de blocos da malha de controle - malha fechada - da tensão do filtro, ou seja, da tensão sobre o capacitor  $C_a$ . Inclui-se neste diagrama os blocos referentes ao atraso de processamento  $G_{atr}(s)$ , ao filtro *antialiasing*  $G_{AA}(s)$  e ao ganho  $k_a$ . O filtro *antialiasing* é um filtro passa-baixa e introduz um pólo na malha de controle e se necessário pode-se verificar os efeitos desse pólo.



**Fig. 5.32** - Diagrama em blocos da malha de controle da tensão  $v_{ca}$ .

A variável controlada, a tensão em  $C_a$ , na entrada do amostrador estará, em geral, variando entre 0 e 5V, ou seja, entre os valores mínimo ( $V_{rLO}$ ) e máximo ( $V_{rHI}$ ) da tensão de referência do conversor A/D. Após a conversão a variável estará confinada entre os valores decimais 0 a 1023 e estes valores podem ser obtidos usando-se a equação (5.104). Conclui-se, igualmente, que nesta conversão existe em fator de escala, o qual deve ser incluído na malha de controle. Ele é designado  $A_{DC}$  e é obtido pela divisão do número 1024 pelo valor adotado para a referência  $V_{rHI}$ .

$$valorA/D = 1023 \frac{tensão amostrada - V_{rLO}}{V_{rHI} - V_{rLO}} \quad (5.104)$$

Adota-se, inicialmente, que a amostragem ocorrerá a cada intervalo da frequência de comutação, isto é,  $T_a = T_s = 1/f_s$ . Assim, no início de cada intervalo de comutação o processador amostra a variável de interesse, faz os cálculos requeridos e disponibilizará a informação processada no início do próximo intervalo, momento em que recomeçará sua rotina. Logo, o atraso do processador é de um período de comutação e por isso a função de transferência  $G_{atr}(s)$ , referente a esse atraso, encontra-se incorporada na fig. 5.32.

O bloco  $G(s)$  constitui-se da função de transferência da planta acompanhada do extrapolador de ordem zero. Há, ainda, em  $G(s)$  o fator  $1/per$  que é equivalente ao valor de pico da portadora tipo dente de serra. A constante  $per$  é determinada através da equação (5.105).

$$per = \frac{T_{PWM}}{T_{clk}} \quad (5.105)$$

#### ■ O filtro *antialiasing*

Como mencionado na seção 5.2.3.3 *aliasing* é um evento que ocorre em sistemas amostrados. Para evitar esse fenômeno insere-se um filtro passa-baixa para impedir que frequências superiores à metade da frequência de amostragem estejam presentes no sinal amostrado. A função de transferência do filtro é dada por (5.106).

$$G_{AA}(s) = \frac{k}{s + k} \quad (5.106)$$

onde  $k = \pi f_a$  e  $f_a$  é a frequência de amostragem.

O filtro passa-baixa foi realizado conforme se vê na fig. 5.33 e será usado para todas as variáveis que forem coletadas digitalmente.

A função de transferência do filtro, apresentado na fig. 5.33, é dada por (5.107).

$$\frac{V_o(s)}{V_i(s)} = \frac{Ra/Rb}{sRaCa + 1} \quad (5.107)$$

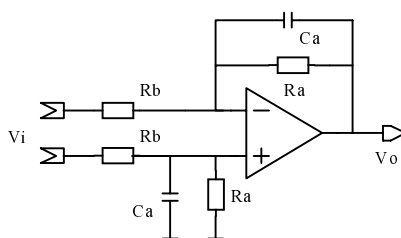


Fig. 5.33 - Circuito do filtro *antialiasing* realizado.

Fazendo  $R_a = R_b$  resulta a expressão (5.108).

$$G_{AA}(s) = \frac{V_o(s)}{V_i(s)} = \frac{1}{s R_a C_a + 1} = \frac{1 / R_a C_a}{s + 1 / R_a C_a} \quad (5.108)$$

Observando-se (5.108) conclui-se que:

$$k = \frac{1}{R_a C_a} \quad (5.109)$$

O filtro aqui usado foi extraído de [40] e com as equações acima seus componentes ficam determinados.

#### ▪ Discretização das funções de transferência

O projeto do controlador discreto é efetivado usando-se todas as funções de transferências convertidas ao domínio  $z$ .

##### • Discretização da função de transferência do filtro *antialiasing*

A função de transferência do filtro *antialiasing* é dada por (5.106). Aplicando-se a transformada  $z$  nesta função encontra-se (5.110).

$$G_{AA}(z) = \mathfrak{Z} \left[ \frac{a}{s + a} \right] = \frac{1 - \varepsilon^{-aT}}{z - \varepsilon^{-aT}} \quad (5.110)$$

##### • Discretização da função de transferência $G(s)$

As funções de transferências relativas ao filtro ativo são aquelas disponíveis na seção 5.3.1. Do diagrama da fig. 5.32 seja a função de transferência  $G(s)$  expressa por (5.111).

$$G(s) = G_h(s) \frac{G_p(s)}{per} \quad (5.111)$$

$G_h(s)$  é a função de transferência do extrapolador de ordem zero.  $G_p(s)$  é a função de transferência da planta, isto é, a relação entre a tensão do filtro e a razão cíclica  $d$ . Aplicando-se a transformada  $z$  modificada na expressão (5.111) obtém-se (5.112). O uso da transformada  $z$  modificada permite incluir, se desejado, o atraso de processamento.

$$G(z, m) = \mathfrak{Z}m \left[ G_h(s) \frac{G_p(s)}{per} \right] = \mathfrak{Z}m \left[ \frac{1 - \varepsilon^{-Ts}}{s} \frac{G_p(s)}{per} \right] = \frac{z-1}{z} \mathfrak{Z}m \left[ \frac{1}{per} \frac{G_p(s)}{s} \right] \quad (5.112)$$

O resultado final para a função  $G(z, m)$  depende da função de transferência que será adotada para  $G_p(s)$ .

## 5.4 SIMULAÇÃO DO CONTROLADOR DIGITAL

Simulações serão efetuadas para verificar o comportamento do controle digital proposto. O programa de simulação usado no capítulo III não é adequado para estas simulações pelo fato de não dispor de ferramentas para a construção de modelos usando a aritmética de ponto-fixado. Desse modo opta-se por um outro programa de simulação - adotou-se o programa Matlab - que além de realizar simulações através de diagramas de blocos possui instrumentos para trabalhar com a aritmética de ponto-fixado.

### 5.4.1 Simulação com o compensador no domínio $z$ e a planta

Nesta seção as simulações serão efetuadas usando um modelo do compensador no domínio  $z$ . O filtro ativo não será representado por um modelo funcional como ocorre com o compensador. A planta (o filtro ativo) foi efetivada usando-se modelos de interruptores e componentes discretos (indutores, capacitores, etc).

Entretanto a obtenção da função de transferência do controlador requer um modelo da planta. Nesta primeira avaliação retoma-se, para representar a planta, a equação (5.79) - são desconsiderados os elementos parasitas. Sejam os dados a seguir:

$V_d = 240\text{V}$ ,  $f_a = f_s = 36\text{ kHz}$ ,  $L_a = 3,17\text{ mH}$ ,  $C_a = 4,7\text{ }\mu\text{F}$ ,  $k_a = 0,0064282$ ,  $per = 278$  e  $A_{DC} = 220,215$ .

Com esses dados obtém-se para a planta  $G_p(s)$  a expressão (5.113)

$$G_p(s) = \frac{480}{1,4899 \cdot 10^{-8} s^2 + 1} \quad (5.113)$$

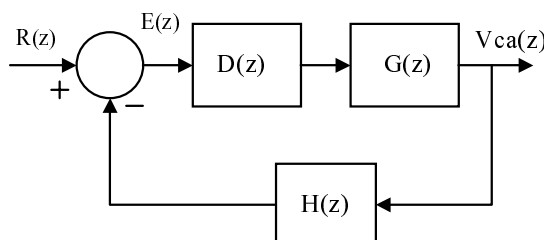
Dividindo-se (5.113) pela constante per resulta (5.114)

$$G_p(s) = \frac{1,72662}{1,4899 \cdot 10^{-8} s^2 + 1} \quad (5.114)$$

Supondo o extrapolador de ordem zero junto a planta  $G_p(s)$  e aplicando-se a transformada  $z$  resulta (5.115).

$$G(z) = \frac{0,04452z + 0,04452}{z^2 - 1,948z + 1} \quad (5.115)$$

Com a equação (5.115), o diagrama de blocos da fig. 5.3.2 se resume ao diagrama mostrado na fig. 5.34.



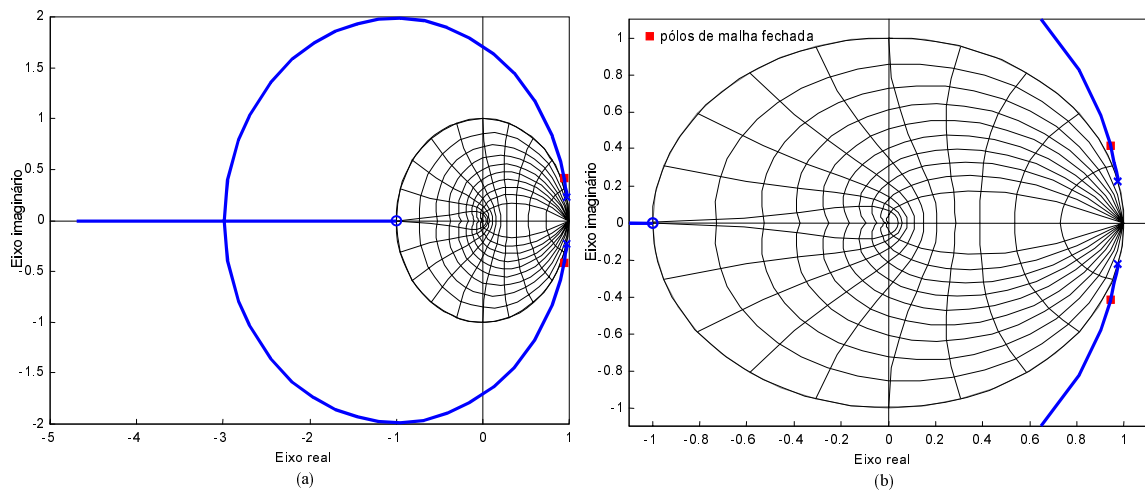
**Fig. 5.34** - Diagrama em blocos da malha da tensão  $v_{ca}$  ( $G(s)$  sem componentes parasitas).

Nesse diagrama resta a determinar o controlador  $D(z)$ . O lugar das raízes, admitindo-se  $D(z) = 1$  para o sistema de malha fechada da fig. 5.34, é apresentado na fig. 5.35.

A não consideração de elementos parasitas reduz a complexidade da expressão (5.78). Por outro lado a função de transferência resultante apresenta-se com pólos complexos sem qualquer amortecimento e possivelmente com um grau maior de dificuldade para ser compensada. Por essa razão retoma-se a expressão (5.78), para a qual serão consideradas a resistência série equivalente  $r_{Ca}$  do capacitor  $C_a$  e a resistência  $r_{La}$  do indutor  $L_a$ . Seus valores são estimados em:  $r_{Ca} = 0,120 \Omega$  e  $r_{La} = 0,090 \Omega$ .

Com estes dados inseridos na expressão (5.78) resulta (5.116).





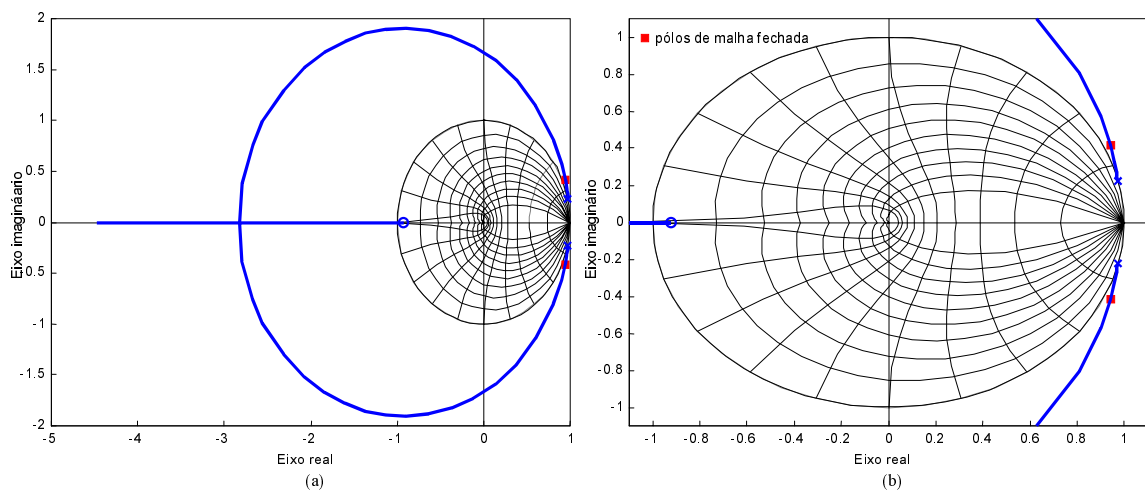
**Fig. 5.35** - Lugar das raízes para a malha de controle da tensão  $v_{ca}(t)$  ( $G(z) = (5.115)$ ): aspecto geral (a); detalhes no círculo unitário (b).

$$G_p(s) = \frac{9,73814 \cdot 10^{-7} s + 1,72662}{1,4899 \cdot 10^{-8} s^2 + 9,87 \cdot 10^{-7} s + 1} \quad (5.116)$$

Aplicando-se a transformada z em (5.116), incluído o EOZ, resulta (5.117).

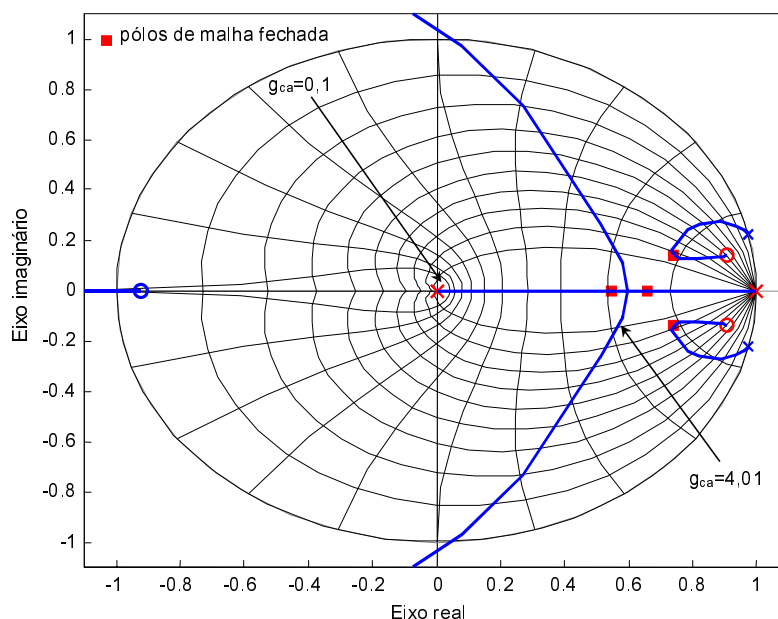
$$G(z) = \frac{0,04629 z + 0,04266}{z^2 - 1,947 z + 0,9982} \quad (5.117)$$

Com a função de transferência dada por (5.117) e admitindo-se  $D(z) = 1$  esboça-se o gráfico do lugar das raízes para a malha de controle da tensão  $v_{ca}(t)$ . O lugar das raízes para essa função é dado na fig. 5.36.



**Fig. 5.36** - Lugar das raízes para a malha de controle da tensão  $v_{ca}(t)$  ( $G(z) = (5.117)$ ): aspecto geral (a); detalhes no círculo unitário (b).

A partir do gráfico apresentado na fig. 5.36 posiciona-se os pólos e zeros do compensador  $D(z)$ . Um pólo será posicionado em  $z_1=(1,0)$  - ele equivale ao pólo localizado na origem do plano  $s$  - procurando-se obter erro nulo em regime permanente. Os demais pólos e zeros serão posicionados com o objetivo de alcançar a resposta desejada para o filtro ativo. Isto é feito aproveitando o instrumento gráfico de projeto, através do lugar das raízes, disponível no programa Matlab. O resultado da alocação de pólos e zeros escolhidos para este sistema é apresentado no gráfico da fig. 5.37.

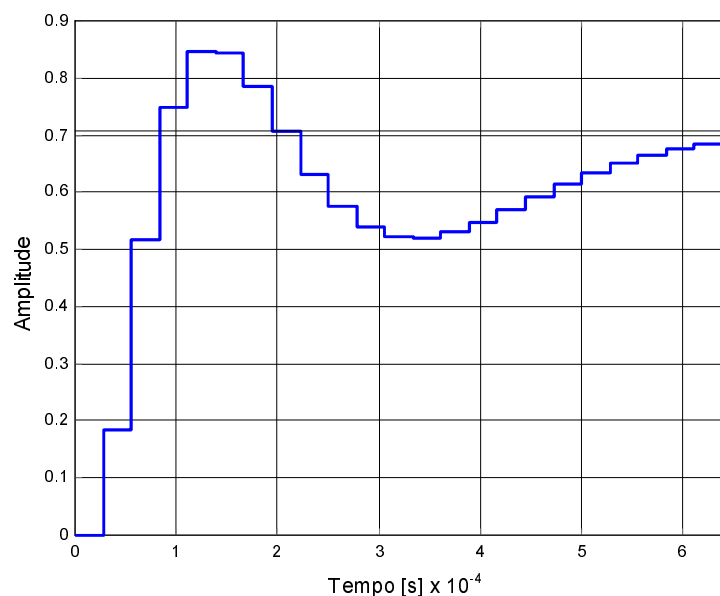


**Fig. 5.37** - Lugar das raízes para a malha de controle da tensão  $v_{ca}(t)$  ( $G(z) = (5.117)$ ).

Uma faixa de variação do ganho do compensador é indicada na fig. 5.37. Com ganho abaixo de 2,0 a resposta do sistema é lenta. Entre 2,0 e 4,01, a resposta é mais rápida e permite ao filtro melhor desempenho na compensação de harmônicas. Os pólos de malha fechada, no local em que são apresentados, resultaram em um ganho  $g_{ca}$  para o compensador de 4,0. O compensador  $D(z)$  fica, dessa forma, determinado e é dado pela expressão (5.118).

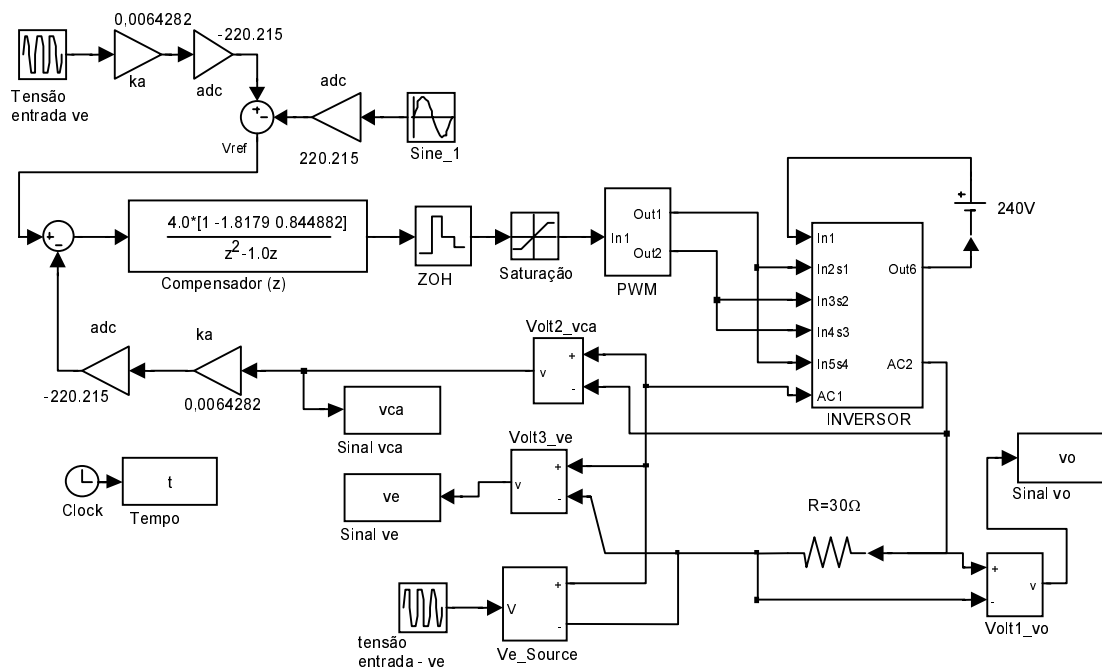
$$D(z) = \frac{g_{ca}(z^2 - 1,8179z + 0,844882)}{z^2 - 1,0z} = \frac{(4,0z^2 - 3,2716z + 3,379528)}{z^2 - 1,0z} \quad (5.118)$$

Ainda, nesta fase de projeto pode-se observar o comportamento do sistema diante de perturbações. Logo, aplicou-se ao sistema uma excitação tipo degrau unitário. A resposta a essa perturbação é apresentada na fig. 5.38.



**Fig. 5.38** - Resposta ao degrau da malha de controle da tensão  $v_{ca}(t)$  ( $G(z) = (5.117)$ ).

Da fig. 5.38, percebe-se que o sistema atinge, em aproximadamente  $6 \times 10^{-4}$  s, seu valor final. A partir dos dados estabelecidos, para usar o referido programa de simulação, construiu-se o filtro ativo e seu sistema de controle (fig. 5.39), sendo este último um bloco funcional no domínio z. O inversor e o filtro LC poderiam ser, igualmente, representados por uma função de transferência em z.



**Fig. 5.39** - Diagrama em blocos do filtro ativo simulado com o compensador no domínio z.

Entretanto, optou-se pelo uso de um modelo para o inversor e seu filtro LC constituído de interruptores e componentes discretos (indutores, capacitores, etc.) disponíveis no programa de simulação usado. Este modelo está representado, fig. 5.39, pelo bloco denominado "inversor". O bloco "inversor" é ilustrado na fig. 5.40. Os interruptores usados são modelos de interruptores do tipo MOSFET e as resistências parasitas do indutor e capacitor são incorporadas no "inversor".

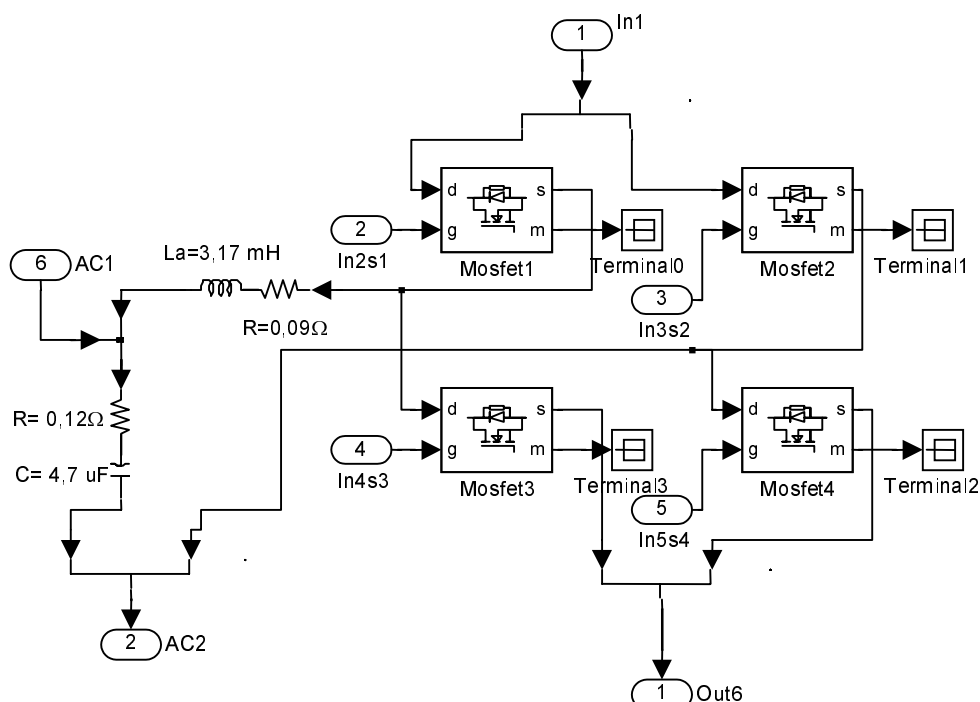


Fig. 5.40 - Diagrama de blocos do modelo do "inversor".

O filtro ativo foi simulado usando-se uma carga resistiva  $R = 30 \Omega$ . A tensão de entrada é um sinal distorcido. Concluída a simulação, três sinais foram coletados para uma análise qualitativa. Eles são: a tensão de entrada  $v_s(t)$ , a do filtro  $v_{ca}(t)$  e de saída  $v_o(t)$ . Essas tensões são apresentados nas curvas da fig. 5.41. Observa-se que o filtro atua de forma a corrigir a tensão sobre a carga. Apesar das imperfeições apresentadas pela tensão de carga conclui-se que o compensador escolhido faz com que o filtro funcione apropriadamente e produza bons resultados.

Ainda que no domínio  $z$ , na simulação recém efetivada, os dados são manipulados no formato ponto-flutuante. Porém, o compensador determinado nesta seção, ou um outro compensador similar, deverá ser concretizado digitalmente ou seja através do dispositivo de processamento digital implicando que as informações serão manipuladas no formato ponto-fixe. Em virtude disso, a simulação será refeita usando-se a aritmética de ponto-fixe.



Neste diagrama observa-se que a parte referente ao modelo da planta não foi modificada; as variáveis de interesse (tensão de entrada  $v_s(t)$  e a tensão do filtro  $v_{ca}(t)$ ) são amostradas, quantizadas e convertidas ao formato ponto-fixado e, ainda neste formato, o compensador foi desenvolvido através de uma equação de diferenças. Na fig. 5.42 o compensador é representado pelo bloco em cor cinza denominado "compensador em ponto-fixado". Sua estrutura é ilustrada pelo diagrama da fig. 5.43.

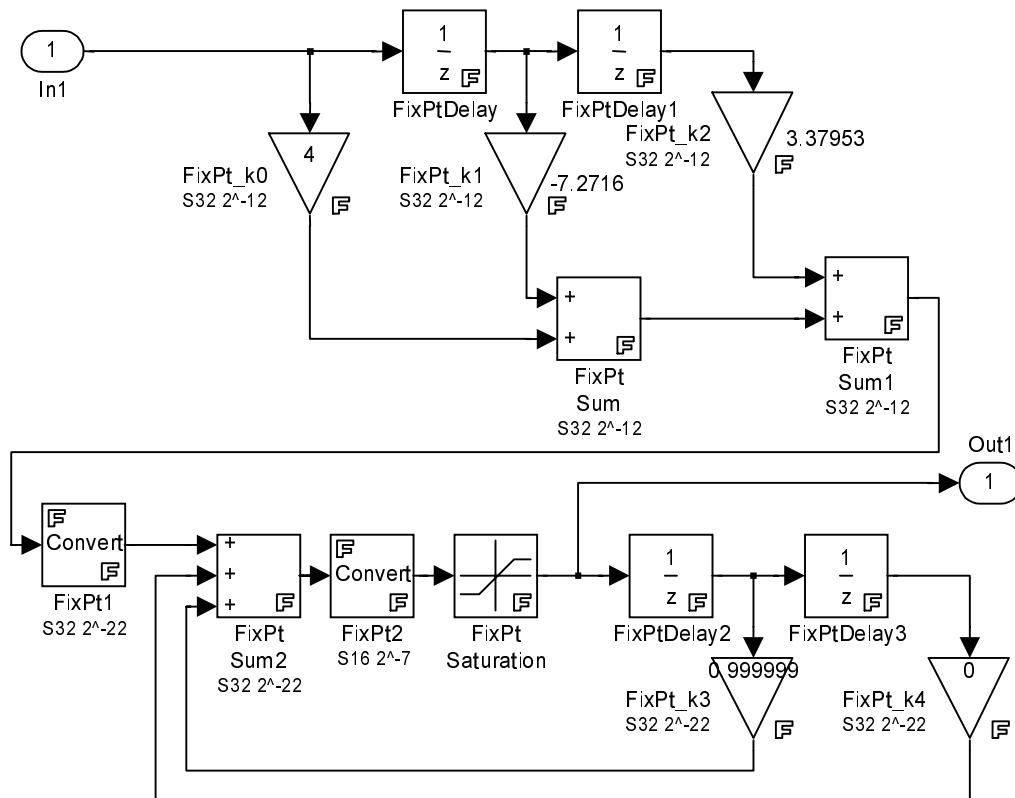


Fig. 5.43 - Estrutura do compensador realizado na notação de ponto-fixado.

A equação (5.118) pode ser reescrita na forma mostrada por (5.119).

$$\frac{u(z)}{e(z)} = \frac{(4,0z^2 - 3,2716z + 3,379528)}{z^2 - 1,0z} \quad (5.119)$$

Fazendo o produto das variáveis resulta a expressão (5.120).

$$z^2 u(z) - z u(z) = 4,0z^2 e(z) - 3,2716z e(z) + 3,379528 e(z) \quad (5.120)$$

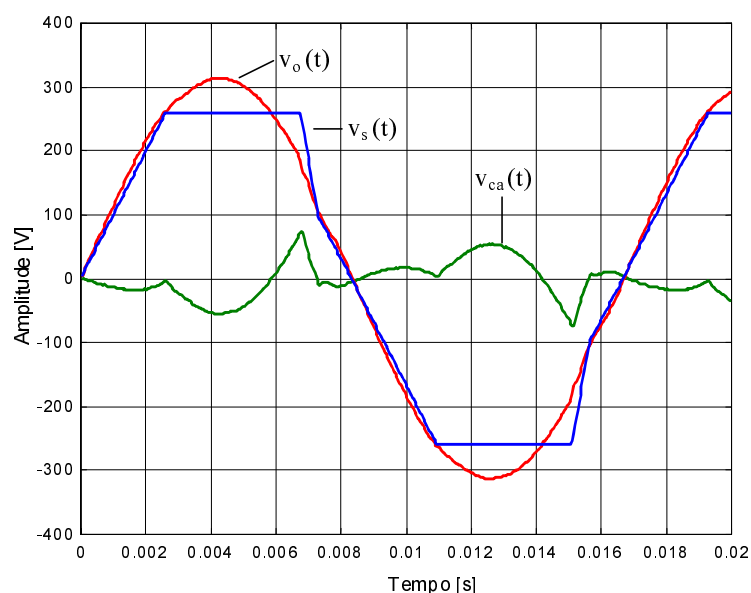
Multiplicando-se (5.120) por  $z^{-2}$  e isolando-se o termo  $u(z)$  resulta (5.121).

$$u(z) = z^{-1} u(z) + 4,0 e(z) - 3,2716 z^{-1} e(z) + 3,379528 z^{-2} e(z) \quad (5.121)$$

Sabendo-se que o fator  $z^{-1}$  equivale ao atraso de uma amostra, a partir de (5.121), escreve-se diretamente a equação de diferenças (5.122).

$$u(k) = u(k-1) + 4,0 e(k) - 3,2716 e(k-1) + 3,379528 e(k-2) \quad (5.122)$$

O diagrama mostrado na fig. 5.43, usando a aritmética de ponto-fixado, ilustra a realização do compensador a partir da expressão (5.122). O erro  $e(k)$ , informação proveniente de amostragens e conversão analógico-digital, é tratado no formato  $Q_0$ . Os coeficientes que multiplicam as amostras de  $e(k)$  estão no formato  $Q_{12}$ . A saída do compensador (*Out1*) encontra-se no formato  $Q_7$ .



**Fig. 5.44** - Resultado de simulação: tensão de entrada  $v_s(t)$ , do filtro  $v_{ca}(t)$  e de saída  $v_o(t)$ .

O filtro ativo foi simulado na mesma condição de carga da simulação precedente (carga resistiva  $R = 30 \Omega$ ). A tensão de entrada é um sinal distorcido. Concluída a simulação, três sinais foram coletados para uma análise qualitativa e para a comparação com resultado da simulação usando a notação de ponto-flutuante. Eles são: a tensão de entrada  $v_s(t)$ , a do filtro  $v_{ca}(t)$  e de saída  $v_o(t)$ . Essas tensões são apresentadas nas curvas da fig. 5.44. Observa-se que o filtro atua de forma a corrigir a tensão sobre a carga. A tensão  $v_o(t)$  da carga, a exemplo daquela mostrada na fig. 5.41, também apresenta imperfeições. Entretanto quando comparada à tensão de entrada, conclui-se que o compensador especificado é apropriado e faz com que o filtro funcione com bons resultados.

Os resultados das simulações para os dois sistemas discretos efetivados - o de ponto-flutuante (fig. 5.39) e o de ponto-fixo (fig. 5.42) - apresentaram-se praticamente idênticos. Isto permite concluir, a princípio, que a aritmética de ponto-fixo não será um aspecto desfavorável na concretização do sistema de controle digital.

## **5.5 CONCLUSÃO**

O controle digital aplicado ao filtro ativo é discutido no capítulo V. Ele abordou o dispositivo digital de processamento de sinais (o DSP) e as partes a ele relacionadas. Posteriormente, outra modelagem do filtro ativo é realizada usando o modelo do interruptor PWM.

Adicionalmente, noções básicas de controle digital foram apresentadas, bem como o projeto do controlador digital. Encerrando o capítulo, outras simulações - do filtro ativo com o controlador digital - foram realizadas.



# CAPÍTULO VI

## FILTRO ATIVO SÉRIE COM CONTROLE DIGITAL - EXPERIMENTAÇÃO

### 6.1 INTRODUÇÃO

O princípio de funcionamento do filtro ativo série foi descrito na seção 5.3.2. Para concretizar o controle digital do filtro ativo série outras informações serão aqui adicionadas.

### 6.2 REALIZAÇÃO DO CONTROLE DIGITAL

#### 6.2.1 Aspectos gerais da estratégia de controle

A partir da fig. 5.19 deriva-se a fig. 6.1 que ilustra a estratégia do controle digital a ser efetivada. A princípio, implementar-se-á um controle misto. A malha de controle da tensão  $v_{ca}(t)$  do filtro ativo será realizada via processamento digital e o controle da tensão do barramento CC será efetivado com um compensador analógico. O sinal de saída do controlador  $H_1(s)$  será combinado com os sinais da malha de controle digital.

Para efetuar o controle digital é necessário o manuseio de quatro sinais. Três desses sinais serão amostrados e convertidos da forma analógica à digital, isto é, a tensão da fonte de alimentação ou de entrada  $v_{si}(t)$ , a tensão  $v_{ca}(t)$  no capacitor  $C_a$  e a tensão  $v_{dh1}(t)$  de saída do controlador  $H_1(s)$ . O último é a tensão  $v_z(t)$  que é uma forma de onda quadrada. Ela é obtida do sinal da fonte alimentação. A forma de onda quadrada será usada como sinal de sincronismo para reiniciar a estratégia de controle a cada ciclo da frequência do alimentador.

Com estes sinais o DSP efetiva o algoritmo de controle e calcula a razão cíclica do sinal PWM. Os valores de razão cíclica calculados são usados no módulo de geração de sinais PWM, os quais propiciam os sinais PWM de saída para os interruptores do conversor. A inserção de um tempo morto nesses sinais evita a condição de curto-circuito nos braços do inversor. O tempo morto é um intervalo de tempo programável no DSP e faz com que dois interruptores de um braço não estejam ligados simultaneamente. Os amplificadores dos sinais PWM, os módulos SKHI23/12 usados nesse trabalho têm essa possibilidade e por essa razão não se utilizou o recurso disponível no DSP.

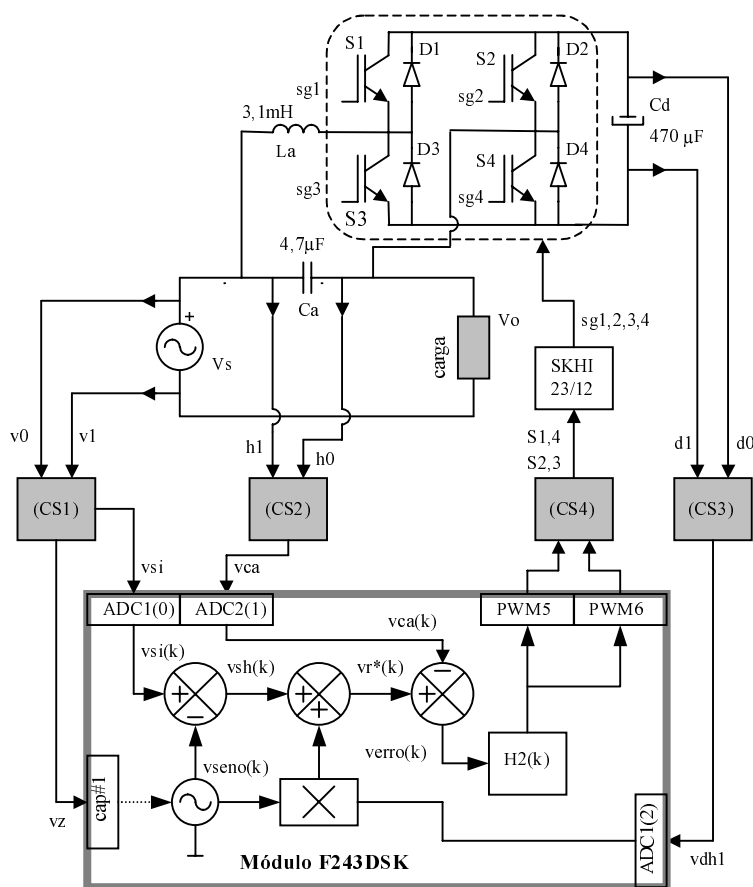


Fig. 6.1 - Diagrama em blocos do sistema de controle digital com o módulo F243DSK.

## 6.2.2 Ciclo de amostragem

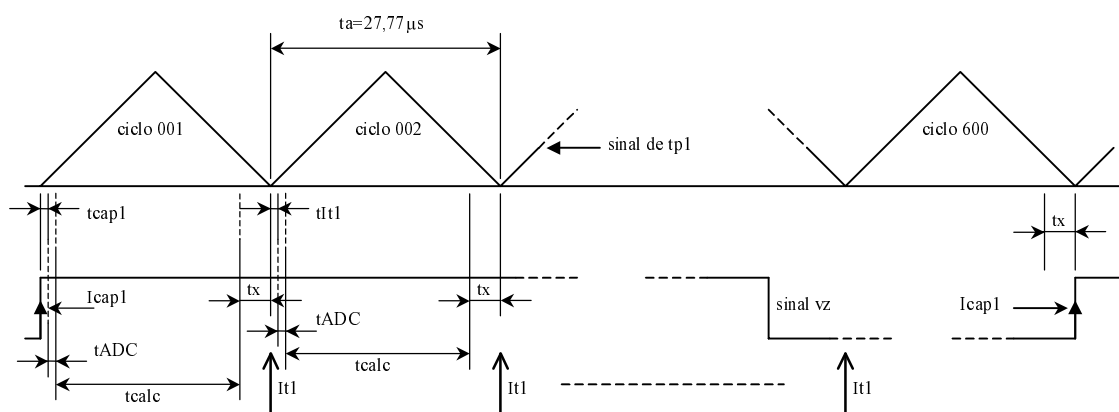
A fig. 6.2 mostra o diagrama temporal do ciclo de amostragem realizado com o DSP TMS320F243. O seu temporizador de uso genérico (*Timer1*), ora denominado  $tp1$ , providencia a base de tempo para a leitura dos dados do conversor A/D, para a geração dos sinais PWM e para o cálculo do algoritmo de controle.

O temporizador  $tp1$  opera no modo de contagem contínua crescente/decrescente. A frequência do ciclo de amostragem da malha de controle da tensão  $v_{ca}(t)$  é de 36 kHz. Assim, em conformidade com a fig. 6.2, o ciclo de contagem de  $tp1$  é de 27,77  $\mu s$ . Os registros IMR, EVIMRA, EVIMRB e EVIMRC são configurados para permitir que, quando a contagem de  $tp1$  atingir zero (*underflow*) e o sinal de sincronismo  $v_z(t)$ , conectado à entrada  $cap\#1$ , deslocar-se de 0 a 5 V, sejam causadas requisições de interrupção.

Quando se coloca o processador em funcionamento, isto é, para realizar o programa de controle, os sinais  $v_z(t)$  e  $tp1$  estarão não sincronizados até que a 1ª passagem por zero da tensão de entrada seja detectada. Neste instante o sinal  $v_z(t)$  muda de estado passando de 0 a

5 V, causando a requisição de interrupção  $I_{cap1}$  para o DSP. O DSP ao reconhecer esta requisição de interrupção consome o intervalo de tempo  $t_{cap1}$  para identificar a fonte de interrupção e armazenar o conteúdo de alguns registros.

Em seguida, na rotina de interrupção de  $I_{cap1}$ , recomeça-se a contagem do temporizador  $tp1$  e inicia-se a conversão de  $v_{dh1}(t)$  ( $A_{DC1}(an2)$ ). As variáveis convertidas  $v_{si}(t)$  ( $A_{DC1}(an0)$ ) e  $v_{ca}(t)$  ( $A_{DC2}(an1)$ ) são lidas e armazenadas. Aguarda-se o término da conversão de  $v_{dh1}(t)$ . Terminada essa conversão, o seu valor é lido e armazenado. Reconfigura-se os conversores para continuarem a conversão de  $v_{dh1}(t)$  e  $v_{ca}(t)$ . Desabilita-se a requisição de interrupção pelo sinal aplicado a  $cap\#1$  e em contrapartida habilita-se a solicitação de interrupção pelo temporizador  $tp1$ , a qual é causada quando sua contagem atinge zero.



**Fig. 6.2** - Diagrama temporal do ciclo de amostragem.

Para terminar esta rotina de serviço de interrupção alguns registros auxiliares são inicializados e os registros armazenados no início dessa rotina são restaurados. O programa retorna ao ponto onde se encontrava quando foi interrompido. Admite-se que este procedimento consumiu o intervalo de tempo  $t_{ADC}$ .

De volta ao programa principal duas funções de cálculo são chamadas, isto é, executadas. A primeira rotina, retoma o valor de  $v_{si}(k)$  e dele extrai a componente senoidal. Isto resulta o sinal contendo as harmônicas  $v_{sh}(k)$ . Em seguida, a tensão de controle  $v_{dh1}(k)$ , do barramento CC, é multiplicada por uma amostra da senóide  $\text{seno}(k)$ . O resultado dessa operação é somado à tensão harmônica  $v_{sh}(k)$  produzindo a tensão de referência  $v_r^*(k)$ . O valor de  $v_{ca}(k)$  é subtraído de  $v_r^*(k)$  resultando a tensão de erro  $v_{erro}(k)$ . Isto encerra a primeira rotina de cálculo.

A segunda rotina de cálculo implementa o compensador  $H_2(k)$ . Ela recebe o valor do erro  $v_{\text{erro}}(k)$  e processa-o. Isto resulta um valor que é enviado ao módulo de geração de sinais PWM. Este último, em consequência, gera os pulsos PWM para os interruptores do conversor. O tempo necessário para a execução dessas rotinas é designado  $t_{\text{calc}}$ . Ao término dessa etapa o temporizador  $tp1$  continua, ainda, sua contagem. Portanto, dispõe-se do tempo  $tx$ . O processador aguarda o transcurso do intervalo  $tx$ . No instante em que  $tx$  termina ocorre a primeira requisição de interrupção de  $It1$ . Neste instante eventos simultâneos acontecem: os pulsos PWM calculados recentemente (ciclo 001) são transferidos aos interruptores, o temporizador  $tp1$  reinicia sua contagem e o processador atende a requisição de interrupção de  $It1$ . A primeira ocorrência de  $It1$  marca o início do ciclo 002.

Igualmente, como no atendimento da requisição de interrupção pelo sinal  $cap\#1$ , o processador ao reconhecer a solicitação de interrupção proveniente do temporizador  $tp1$  consumirá um intervalo de tempo para determinar a fonte da interrupção e armazenar alguns registros. Esse tempo é designado  $t_{It1}$ . Em seguida, o processador executa a rotina de serviço de interrupção de  $It1$ . Na primeira fase dessa rotina inicia-se a conversão de  $v_{dh1}(t)$  ( $A_{DC1}(an2)$ ) e as variáveis convertidas  $v_{si}(t)$  ( $A_{DC1}(an0)$ ) e  $v_{ca}(t)$  ( $A_{DC2}(an1)$ ) são lidas e armazenadas. Espera-se o final da conversão de  $v_{dh1}(t)$ . Terminada essa conversão, seu valor é lido e armazenado. Os conversores A/D são reconfigurados para fazerem a conversão de  $v_{dh1}(t)$  e  $v_{ca}(t)$ . Até este ponto transcorreu-se o intervalo de tempo  $t_{ADC}$ . Essa rotina continua com a execução das duas rotinas de cálculo. A primeira que começa com a retomada do valor  $v_{si}(k)$  e termina produzindo a tensão de erro  $v_{\text{erro}}(k)$  e a segunda, que a partir de  $v_{\text{erro}}(k)$  implementa  $H_2(z)$ , cujo resultado de saída permite que o módulo de geração de sinais PWM produza os pulsos de comando.

Em seguida, alguns registros auxiliares são atualizados e para encerrar, os registros armazenados no início dessa rotina de serviço de interrupção são restaurados. Ao retornar dessa rotina, o temporizador  $tp1$  não terá ainda encerrado a sua contagem e portanto dispõe-se do intervalo  $tx$ . Ao atingir o final de sua contagem (e do intervalo  $tx$ ) o temporizador produz uma outra requisição de interrupção ( sinal  $It1$ ).

A partir deste instante repete-se o ciclo descrito nos dois últimos parágrafos até aquele de número 600. No ciclo de número 600, durante o intervalo  $tx$  inibe-se a permissão de interrupção pelo temporizador  $tp1$  e em seguida habilita-se aquela que causa interrupção pela transmissão do sinal aplicado em  $cap\#1$  ( $I_{cap1}$ ). Isto possibilita que o sistema de controle se

mantenha sincronizado com o sinal da fonte de alimentação e que o todo procedimento descrito anteriormente se reinicie a partir do ciclo 001.

## 6.3 CIRCUITOS DE AQUISIÇÃO E CONDICIONAMENTO DE SINAIS

### 6.3.1 Aquisição e condicionamento de $v_{si}(t)$ (CS1)

O circuito de aquisição e condicionamento da tensão  $v_{si}(t)$  denominado CS1 é apresentado na fig. 6.3. Ele é constituído do circuito do transdutor/isolador, do circuito de ajuste de ganho e do circuito deslocador de nível. O transdutor/isolador é o mesmo utilizado no sistema de controle analógico e encontra-se descrito na seção 4.4.2.

Tendo em vista os limites da tensão a ser disponibilizada no terminal  $v_{si}$  e para continuar seguindo as orientações de utilização do sensor LV25-P (com relação à resistência de medição  $R_m$ ) foi necessário introduzir o circuito de ajuste de ganho realizado com amplificador operacional U2. A excursão da tensão de saída  $v_{si}(t)$ , entre seus valores máximo e mínimo, não deve ultrapassar 4 V. O filtro antialiasing está incluído neste circuito - ele pode ou não ser utilizado. Este filtro foi descrito na seção 5.3.4.1 e seu circuito elétrico encontra-se na fig. 5.33.

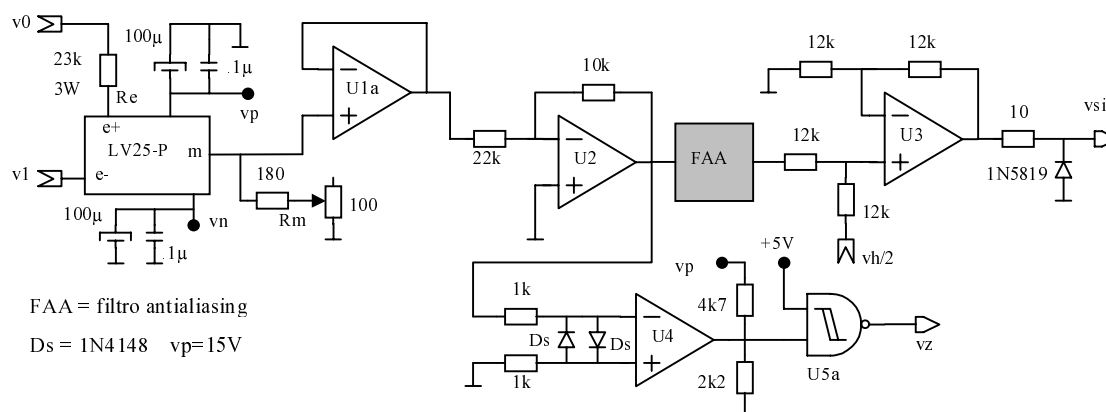


Fig. 6.3 - Circuito de aquisição e condicionamento de sinais CS1.

Os sinais que serão manuseados pelo processador devem ser unipolares positivos e estarem contidos entre 0 V e valor da tensão de alimentação do processador - aproximadamente 5 V. Isto requer que o sinal disponível na saída de U2 (ou do filtro antialiasing) seja deslocado por um determinado nível de tensão e torne-se um sinal unipolar positivo. O deslocamento da tensão de saída de U2 é realizado com circuito somador não inversor, o qual é efetivado com componentes discretos e o amplificador operacional U3.

Encontra-se, incluído neste bloco de aquisição e condicionamento, o circuito detector de passagem por zero. Este circuito é realizado com componentes discretos, o amplificador operacional U4 e a porta lógica NÃO-E com histerese (U5a). O sinal de saída deste circuito é o sinal lógico de sincronismo designado  $v_z(t)$  (terminal vz).

### 6.3.2 Aquisição e condicionamento de $v_{ca}(t)$ (CS2)

A tensão do filtro ou seja a tensão  $v_{ca}(t)$  é uma das variáveis controladas e portanto deve ser amostrada. O seu circuito de aquisição e condicionamento é designado CS2. Este circuito, a menos do detector de passagem por zero, é idêntico ao de aquisição e condicionamento da tensão  $v_{si}(t)$  e está ilustrado na fig. 6.4. O sinal de saída  $v_{ca}(t)$  será também sinal unipolar positivo. Os amplificadores operacionais U1b, U6 e U7, o transdutor LV25-P e alguns componentes discretos constituem o bloco de aquisição CS2.

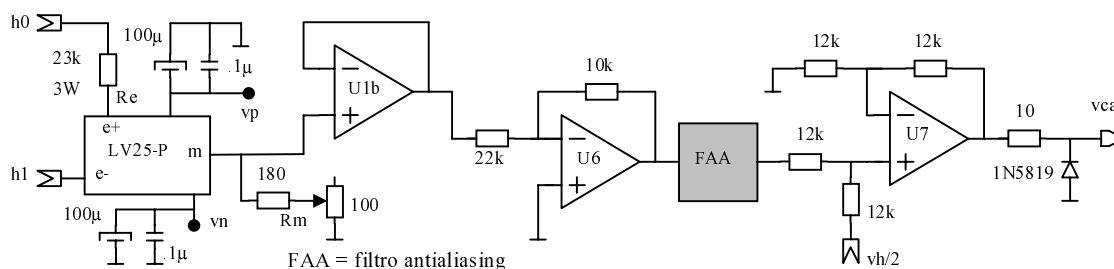


Fig. 6.4 - Circuito de aquisição e condicionamento de sinais CS2.

É conveniente observar que para os dois blocos de condicionamento, CS1 e CS2, a relação entre os seus sinais de saída e de entrada é representada, respectivamente, pelos ganhos  $K_e$  e  $K_a$ . Para que os sinais de saída estejam dentro da faixa estabelecida (4 volts), os sinais  $v_{si}(t)$  e  $v_{ca}(t)$  serão amostrados com ganho de 0,0064282. Ilustrando, quando a tensão de entrada tiver amplitude de pico de 311V, obter-se-á na saída de U3 (terminal vs<sub>i</sub>) um sinal de 2,0 V de amplitude acrescido do valor  $V_{rHI}/2$ .

### 6.3.3 Aquisição e condicionamento de $v_d(t)$ (CS3)

O bloco CS3, de aquisição e condicionamento da tensão  $v_d(t)$ , é apresentado na fig. 6.5. Ele é constituído do sensor LV25-P, dos amplificadores operacionais U1c, U8, U9 e de alguns componentes discretos. Seu princípio de funcionamento foi apresentado na seção 4.4.2. O controlador da tensão  $v_d(t)$  não foi efetivado digitalmente e foi incluído no sistema apresentado pela fig. 6.5.

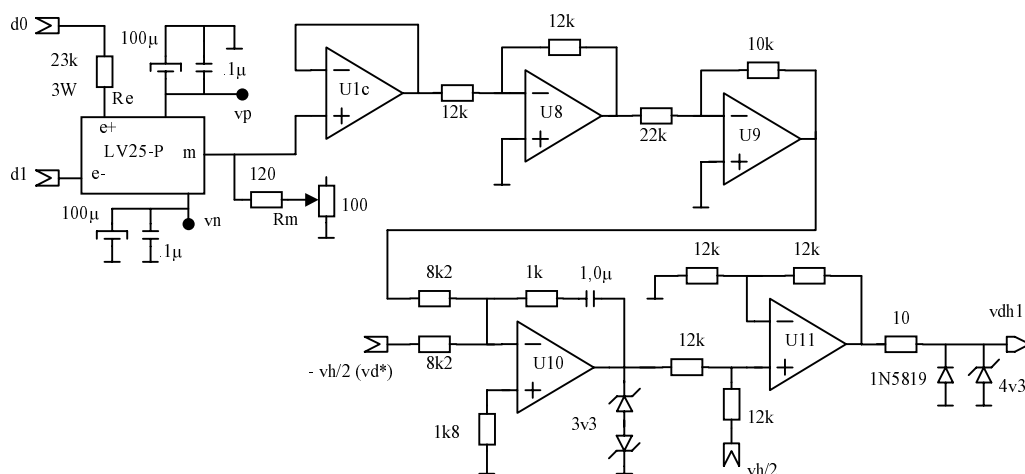


Fig. 6.5 - Circuito de aquisição e condicionamento de sinais CS3.

Adota-se, por conveniência, para a tensão de referência  $V_d^*$  - do barramento CC do inversor - o valor  $V_{rHI}/2$  com sinal invertido. Isto implica que o ganho  $K_d$  com o qual se mostra a tensão  $v_d(t)$  será de aproximadamente 0,01. O ganho  $K_d$  é a relação entre a tensão disponível na saída de U9 e aquela na entrada do sensor Hall (LV25-P).

A título de exemplo considere-se valor médio da tensão do barramento CC,  $V_d = 220V$  e a tensão de referência  $V_d^* = 2,3V$ . Dessa forma para o ganho  $K_d$  escreve-se:

$$K_d = 2,3V/220V = 0,01045.$$

O controlador  $H_1(s)$  da tensão  $v_d(t)$  é aquele formado pelo amplificador operacional U10 e os componentes a ele associados. Os valores desses componentes foram estabelecidos na seção 4.2. O sinal de saída de U10 (o compensador  $H_1(s)$ ) é um sinal alternado e portanto precisa ser deslocado por um nível de tensão. Isto é providenciado com o circuito somador não inversor constituído do circuito integrado U11 e os componentes a ele conectados.

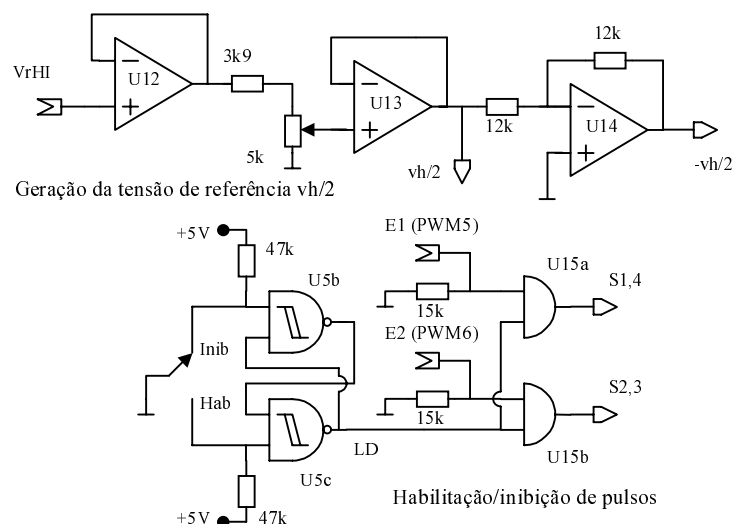
#### 6.3.4 Geração de tensão de referência dinâmica e habilitação de pulsos (CS4)

O circuito de geração de referência dinâmica de tensão é apresentado na fig. 6.6. Ele é composto dos circuitos amplificadores operacionais U12, U13 e U14 e os componentes a eles conectados.

Os sinais  $v_{si}(t)$ ,  $v_{ca}(t)$  e  $v_{dhi}(t)$  serão amostrados e convertidos em valores digitais. O melhor aproveitamento da conversão analógico digital é conseguido quando a excursão da variável a ser convertida ocupa plenamente a faixa de tensões de referências fornecida ao conversor A/D do dispositivo de processamento digital.

Para esta aplicação estabelecem-se os seguintes valores limites para as tensões de referência do conversor A/D,  $V_{rLO} = 0\text{ V}$  e  $V_{rHI} = 4,65\text{ V}$ . A tensão de amplitude igual a  $4,65\text{ V}$  é uma tensão interna disponível no módulo de processamento digital.

Da explicação acerca dos módulos de aquisição e condicionamento de sinais CS1, CS2 e CS3 conclui-se que as variáveis coletadas podem excursionar entre  $\pm 2$  volts. Para torná-las unipolares e positivas um deslocamento de pelo menos 2 volts é necessário.



**Fig. 6.6** - Circuito de aquisição e condicionamento de sinais CS4.

Para essa finalidade aproveita-se o sinal  $V_{rHI}$  e divide-se o por 2. Isto resulta o sinal de deslocamento  $V_h/2 = 2,325$ . Este sinal é considerado uma referência dinâmica uma vez que as alterações na amplitude de  $V_{rHI}$  são automaticamente seguidas por  $V_h/2$ . Outra vantagem desse circuito é o fato de deslocar os sinais alternados a serem coletados para uma posição que representa o centro da faixa de conversões analógico-digital do conversor A/D utilizado.

Adicionalmente, na fig. 6.6, tem-se um circuito de habilitação/inibição de pulsos, o qual é composto das portas lógicas U5b, U5c, U15a e U15b. Na saída da porta lógica U5c tem-se o sinal LD isento de ruídos, o qual é enviado aos circuitos lógicos E, habilitando ou não que os pulsos modulados em largura, oriundos do processador digital, sejam transferidos aos terminais  $S_{1,4}$  e  $S_{2,3}$ . Os pulsos disponibilizados pelo processador digital são enviados aos terminais E1 e E2.

Os circuitos integrados designados U1a, U1b, U1c, U2, U3, U4, U6, ... e U14 são amplificadores operacionais do tipo LF411 (ou LF351). U5a, U5b e U5c são portas lógicas com histerese do circuito integrado CD4093B. U15a e U15b são portas lógicas do circuito integrado CD4081B.



### 6.3.5 Módulo F243DSK e circuito de acionamento dos interruptores

Salienta-se que o desenvolvimento do sistema de controle digital não é efetivado com apenas o uso do circuito integrado de processamento de sinal - DSP TMS320F243. Este processador e outros circuitos de suporte são integrados numa placa de circuito impresso formando um equipamento para o desenvolvimento de controle (ou outras aplicações) digital. Este equipamento não será descrito neste trabalho mas suas informações são disponíveis em [48], [49] e [50].

Os sinais de comando para os interruptores do inversor estão disponíveis nos terminais de saída de U15a e U15b. Eles são enviados ao circuito de acionamento dos interruptores - o SKHI23/12 - que foi descrito na seção 4.4.2.

## 6.4 COMPENSADOR DISCRETO $H_2(z)$

### 6.4.1 Projeto do compensador discreto

O sistema de controle digital requer a utilização de um compensador, o qual será transformado em uma equação de diferenças, que posteriormente será realizado via programação. As especificações para o filtro ativo são:  $V_d = 240$  V,  $f_a = f_s = 36$  kHz,  $L_a = 3.17$  mH,  $C_a = 4,7$   $\mu$ F,  $k_a = 0,0064282$ ,  $per = 278$ ,  $A_{DC} = 220,215$ ,  $r_{Ca} = 0,120$   $\Omega$  e  $r_{La} = 0,090$   $\Omega$ .

Com estes dados encontra-se a função de transferência que representa a relação entre a tensão do filtro e a razão cíclica. Esta função é dada por (6.1).

$$G(z) = \frac{0,04629z + 0,04266}{z^2 - 1,947z + 0,9982} \quad (6.1)$$

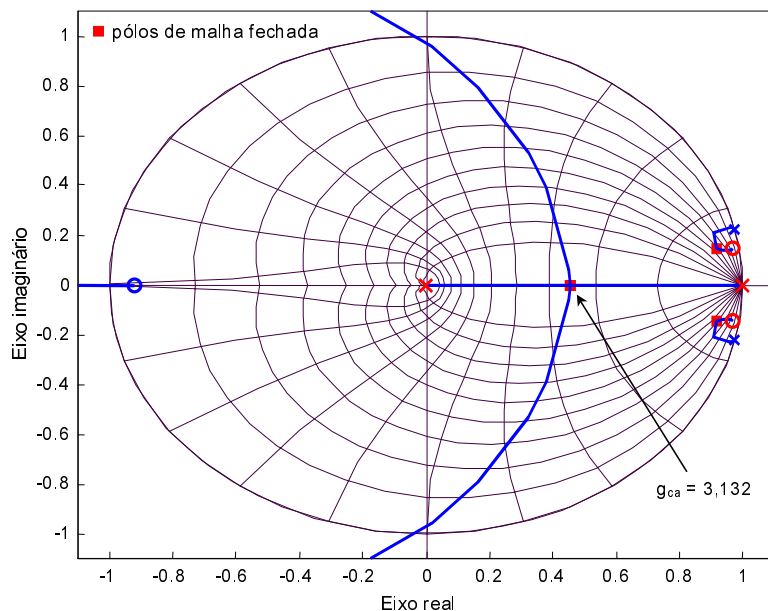
Usando-se a ferramenta gráfica de projeto, o lugar das raízes, após o posicionamento de pólos e zeros resulta o compensador dado por (6.2).

$$D(z) = \frac{g_{ca}(z^2 - 1,936z + 0,95733)}{z^2 - 0,995z - 0,005} \quad (6.2)$$

Adota-se para a expressão (6.2) um ganho  $g_{ca} = 3,132$  resultando a expressão (6.3).

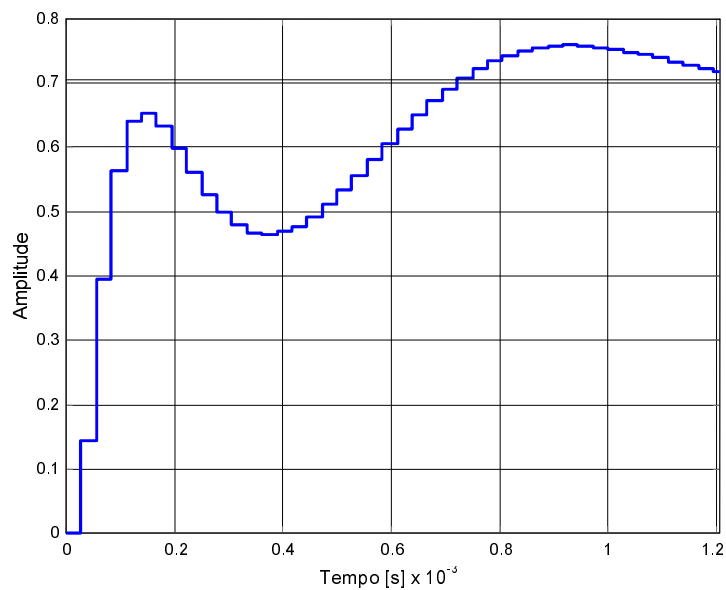
$$D(z) = \frac{3,132z^2 - 6,0636z + 2,9984}{z^2 - 0,995z - 0,005} \quad (6.3)$$

Para o posicionamento de pólos e zeros e o ganho adotados, o lugar das raízes é ilustrado na fig. 6.7. Os pólos de malha fechada, no local em que são apresentados, correspondem ao ganho  $g_{ca} = 3,132$ .



**Fig. 6.7** - Lugar das raízes para a malha de controle da tensão  $v_{ca}(t)$  ( $G(z) = (6.1)$ ).

A fig. 6.8 apresenta a resposta do compensador estabelecido para uma entrada do tipo degrau unitário. Do gráfico, observa-se que o sistema deve atingir seu valor de regime após 0,012s.



**Fig. 6.8** - Resposta ao degrau unitário da malha de controle da tensão  $v_{ca}(t)$  ( $G(z) = (6.1)$ ).

O compensador  $D(z)$  deve ser escrito na forma de uma equação de diferenças. Para isto retoma-se (6.3) reescrevendo-a como em (6.4).

$$D(z) = \frac{u(z)}{e(z)} = \frac{3,132z^2 - 6,0636z + 2,9984}{z^2 - 0,995z - 0,005} \quad (6.4)$$

Realizando-se o produto invertido dos fatores na expressão (6.4) resulta (6.5).

$$z^2 u(z) - 0,995 z u(z) - 0,005 u(z) = 3,132 z^2 e(z) - 6,0636 z e(z) + 2,9984 e(z) \quad (6.5)$$

Multiplicando-se (6.5) por  $z^{-2}$  e isolando-se o termo  $u(z)$  tem-se a expressão (6.6).

$$u(z) = 0,995 z^{-1} u(z) + 0,005 z^{-2} u(z) + 3,132 e(z) - 6,0636 z^{-1} e(z) + 2,9984 z^{-2} e(z) \quad (6.6)$$

Da expressão (6.6), conhecendo-se que o fator  $z^{-1}$  equivale ao atraso de uma amostra, escreve-se diretamente a equação de diferenças (6.7).

$$u(k) = 0,995 u(k-1) + 0,005 u(k-2) + 3,132 e(k) - 6,0636 e(k-1) + 2,9984 e(k-2) \quad (6.7)$$

O DSP utilizado nesta aplicação manipula os dados no formato ponto-fixo. Para atender este requisito e também facilitar o desenvolvimento da rotina que realiza o controlador - a rotina que efetua a equação de diferenças - adota-se as designações e formatos apresentados a seguir para os coeficientes daquela equação.

$$k_0 = 3,132 \quad \Rightarrow \quad k_0 \text{ no formato Q12}$$

$$k_1 = -6,0636 \quad \Rightarrow \quad k_1 \text{ no formato Q12}$$

$$k_2 = 2,9984 \quad \Rightarrow \quad k_2 \text{ no formato Q13}$$

$$k_3 = 0,995 \quad \Rightarrow \quad k_3 \text{ no formato Q15}$$

$$k_4 = 0,005 \quad \Rightarrow \quad k_4 \text{ no formato Q15}$$

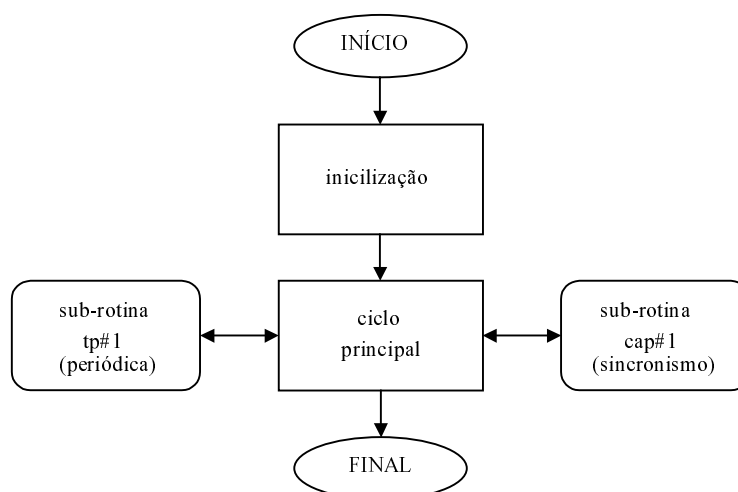
Com o auxílio das equações (5.5) e (5.6) os coeficientes  $k_0$ ,  $k_1$ ,  $k_2$ ,  $k_3$  e  $k_4$  são convertidos ao formato  $Q_n$  escolhido. Com uma mudança de base, os coeficientes, além de serem apresentados no formato decimal também o serão no formato hexadecimal. Esta base de representação numérica é usada na programação do DSP.

Ressalta-se que (fig. 6.1) as variáveis amostradas e convertidas serão tratadas no formato  $Q_0$ . A mesma situação é admitida para o sinal senoidal gerado internamente. Esses dados serão manuseados até a obtenção do sinal de erro  $v_{\text{erro}}(k)$  que estará no formato  $Q_0$ . E finalmente o sinal de saída do compensador  $H_2(k)$  é disponível no formato  $Q_7$ .

### 6.4.2 Organização do programa de controle

A fig.6.9 mostra o fluxograma do programa realizado para o controle do filtro ativo série. Este fluxograma é descrito nos parágrafos seguintes e sua compreensão torna-se mais simples à medida que sua descrição é acompanhada, também, da análise do diagrama temporal fig. 6.2.

O programa, no primeiro instante, inicializa todas as variáveis. Em seguida habilita as solicitações de interrupções requeridas, configura o temporizador, o módulo de captura de sinais, o de geração de sinais PWM, o de conversão analógico-digital, reserva espaços de memória, etc. Esta fase está representada pelo bloco "inicialização".

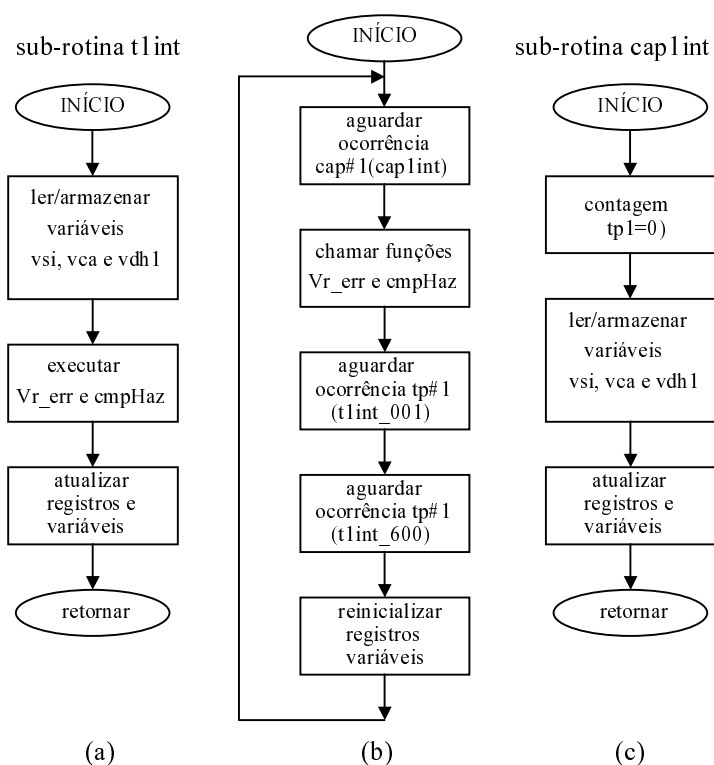


**Fig. 6.9** - Fluxograma do programa de controle do filtro ativo série.

Em seguida, o programa atinge a etapa "ciclo principal". Nesta fase ocorre a interação com as sub-rotinas geradas a partir das interrupções programadas.

No "ciclo principal", apresentado pela fig. 6.10b, o programa aguarda a ocorrência da requisição de interrupção provocada pelo sinal  $v_z(t)$  ( $I_{cap1}$ ). Após o reconhecimento da interrupção ele executa a sub-rotina  $cap1int$ . Terminada essa sub-rotina o programa continua seu percurso executando as funções  $Vr\_err$  e  $cmpHaz$ . A função  $Vr\_err$  é encarregada de produzir, a partir dos dados amostrados e convertidos, o sinal de erro  $v_{erro}(k)$ . Por sua vez, a função  $cmpHaz$  realiza o compensador  $H_2(k)$ .

Após a execução dessas funções, aguarda-se a ocorrência da primeira requisição de interrupção proveniente do temporizador  $tp1$  ( $It1$ ). Uma vez detectada e reconhecida, o processador executa a sub-rotina  $t1int$ . Ao seu final, o programa retorna ao ciclo principal.



**Fig. 6.10** - Fluxograma do programa de controle do filtro ativo série: sub-rotina periódica (a); ciclo principal (b) e sub-rotina de sincronismo (c).

A partir deste instante, o processador aguarda e controla a execução de 599 ciclos da sub-rotina  $t1int$ . No término desses ciclos, 600 intervalos de comutação terão sido processados dentro do período da frequência da tensão fundamental e o programa de controle é redirecionado ao seu ponto de partida.

O fluxograma da sub-rotina  $cap1int$  é mostrado na fig. 6.10c. Esta sub-rotina é executada quando o sinal  $v_z(t)$  faz a transição de 0 à 5V. No instante inicial, ela reparte de 0 (zero) a contagem do temporizador  $tp1$ . Pois a partir deste instante ele é responsável pela determinação dos 600 intervalos de comutação dentro do período da frequência da tensão fundamental. A seguir as variáveis amostradas são lidas e armazenadas. No passo seguinte algumas variáveis e registros são atualizados e ocorre o retorno ao ciclo principal.

A sub-rotina  $t1int$  tem seu fluxograma apresentado pela fig. 6.10a. Ela é executada sempre que o temporizador terminar uma contagem que equivale a um período de comutação. Uma vez reconhecida, ela executa a leitura e armazenagem das variáveis amostradas. Na etapa seguinte executa as funções  $Vr\_err$  e  $cmpHaz$ . Ressalta-se que o sinal de saída da função  $cmpHaz$  é usado para a geração dos pulsos de gatilho dos interruptores. Concluída esta função ocorre a atualização de registros e variáveis e retorna-se ao ciclo principal.

O programa de controle do filtro ativo série, abordado nos parágrafos precedentes, é concretizado na linguagem (assembly) própria do processador TMS320F243 ([41] e [51]) e é apresentado no Apêndice E.

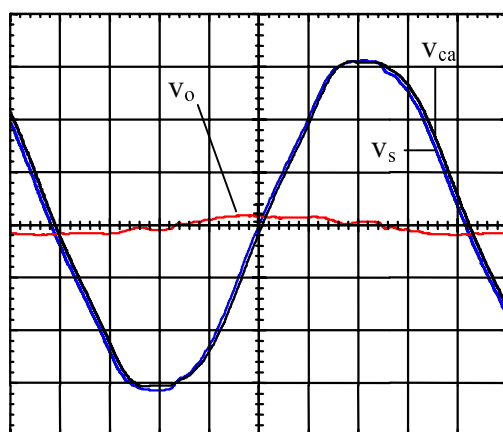
## 6.5 FAS-VSI-V RESULTADOS EXPERIMENTAIS

### 6.5.1 FAS-VSI-V com carga resistiva (R)

Após a conclusão do sistema de interface entre o estágio de potência do filtro e o módulo de processamento digital F243DSK, elaborou-se o programa de controle do filtro (comentado na seção 6.4.2).

A próxima etapa é a de experimentação do filtro ativo. Suas especificações continuam sendo aquelas apresentadas na seção 4.4. Neste experimento o filtro ativo série foi ensaiado com uma carga resistiva ( $R_o = 31,1\Omega$ ). A fonte de alimentação usada é a própria rede elétrica disponível no local do ensaio (laboratórios do INEP). A fig. 4.6 indica os principais sinais que serão apresentados.

Na fig. 6.11 são apresentadas as tensões de entrada  $v_s$ , a de saída  $v_o$  e a tensão  $v_{ca}$  do capacitor  $C_a$ . O inversor é mantido desligado e a queda de tensão nos terminais de  $C_a$  faz com que a tensão de saída seja praticamente nula.

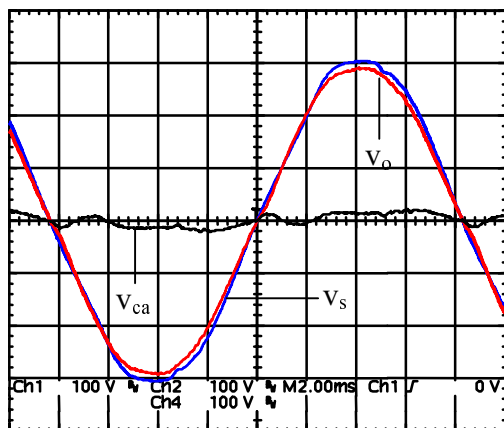


**Fig. 6.11** - Tensões: de entrada, no capacitor  $C_a$  e de saída (100 V/div., 2 ms/div.)

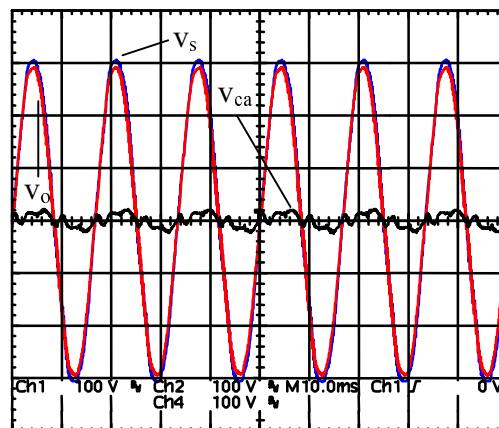
A tensão de entrada, observada na fig. 6.11, não apresenta distorção acentuada e tem aproximadamente 311 V de pico.

O filtro ativo é colocado em funcionamento e a fig. 6.12 mostra as tensões de entrada  $v_s$ , a de saída  $v_o$  e a tensão  $v_{ca}$  do capacitor  $C_a$ . A tensão de entrada  $v_s$  está distorcida e a ação do filtro faz com que a tensão de saída  $v_o$  seja uma senóide de melhor aspecto. A tensão  $v_{ca}$

equivale à parcela que contém as tensões harmônicas da tensão de entrada. A tensão  $v_{ca}$  incorpora também uma componente fundamental de amplitude reduzida para compensar as perdas do filtro.



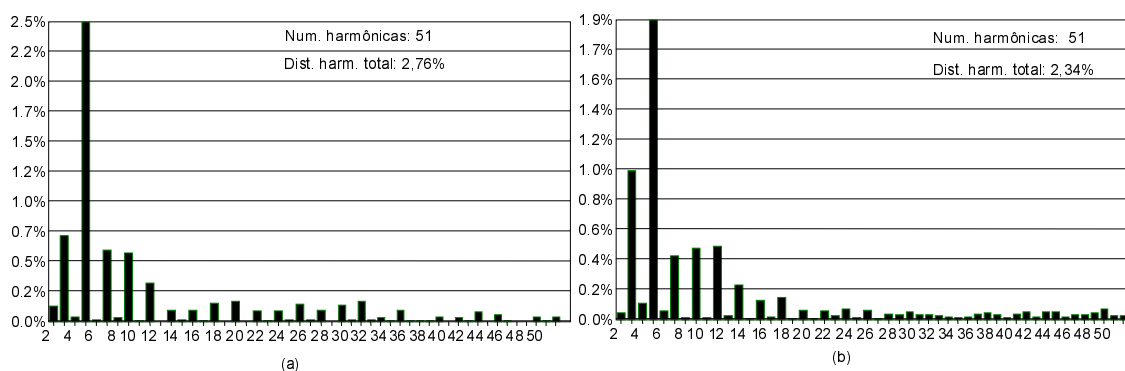
**Fig. 6.12** - Tensões: de entrada, no capacitor  $C_a$  e de saída (100 V/div., 2 ms/div.).



**Fig. 6.13** - Tensões: de entrada, no capacitor  $C_a$  e de saída (100 V/div., 100 ms/div.).

Na fig. 6.13, as tensões mencionadas são rerepresentadas em uma outra escala de tempo. As tensões da fig. 6.13 são usadas para o cálculo de suas componentes harmônicas.

Usando o programa WaveStar, já mencionado, apresenta-se o espectro harmônico das tensões  $v_s$  e  $v_o$  (fig. 6.14). Calcula-se, ainda, para cada uma das tensões o valor da distorção harmônica total.



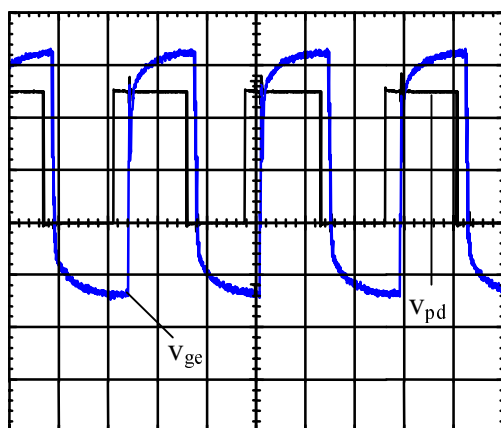
**Fig. 6.14** - Componentes harmônicas e suas amplitudes, das tensões: de entrada  $v_s$  (a) e de saída  $v_o$  (b).

Na fig. 6.14a são apresentadas as componentes harmônicas e suas amplitudes para a tensão de entrada  $v_s$ . A harmônica de maior expressão é a de 5ª ordem - 2,5% da amplitude da fundamental. Nesta análise foram consideradas até a 51ª harmônica e a distorção harmônica total, para a tensão  $v_s$ , é de 2,76%. O espectro harmônico da tensão de saída  $v_o$  é apresentado na fig. 6.14b. Ainda, nesta verificação considerou-se até a 51ª harmônica e a distorção

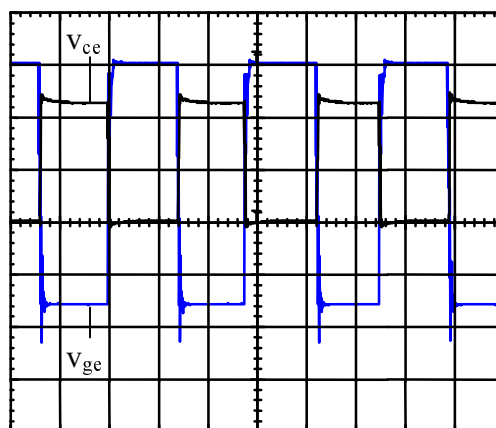
harmônica total obtida para a tensão de saída é de 2,34%. A tensão de entrada não encontrava-se com uma grande distorção harmônica. Mas a ação do filtro possibilitou uma tensão de saída com um conteúdo harmônico menor do que aquele da tensão de entrada.

A amplitude das componentes harmônicas é dada, na ordenada, como uma porcentagem da amplitude da componente fundamental e na abscissa tem-se a ordem das harmônicas.

O sinal de gatilho  $v_{pd}$ , produzido pelo sistema de controle, é apresentado na fig. 6.15. É um sinal lógico digital. Trata-se do sinal  $S_{1,4}$  disponível no U15a (fig. 6.6). Também, na fig. 6.15 vê-se o sinal  $v_{ge}$  que corresponde ao sinal  $sg1$  (fig. 6.1). Observa-se que ocorre um atraso, de aproximadamente  $4\mu s$ , entre os sinais gerados pelo sistema de controle e aquele aplicado ao interruptor. Este fato é o mesmo que ocorreu na experiência anterior (seção 4.5.1) pois usou-se o mesmo amplificador e isolador para acionar os interruptores.



**Fig. 6.15** - Tensão de gatilho  $v_{pd}$  (2 V/div., 10  $\mu s$ /div.) - lado do controle e tensão de acionamento  $v_{ge}$  (5 V/div., 10  $\mu s$ /div.).



**Fig. 6.16** - Tensão de acionamento  $v_{ge}$  (5 V/div., 10  $\mu s$ /div.) e tensão coletor - emissor  $v_{ce}$  (100 V/div., 10  $\mu s$ /div.) do interruptor  $S_1$ .

Na fig. 6.16 são apresentados: o sinal de acionamento  $v_{ge}$  e a tensão  $v_{ce}$  entre o coletor e o emissor do interruptor  $S_1$ . Quando o sinal  $v_{ge}$  tem amplitude negativa o interruptor de potência encontra-se desligado e fica submetido à tensão do barramento CC.

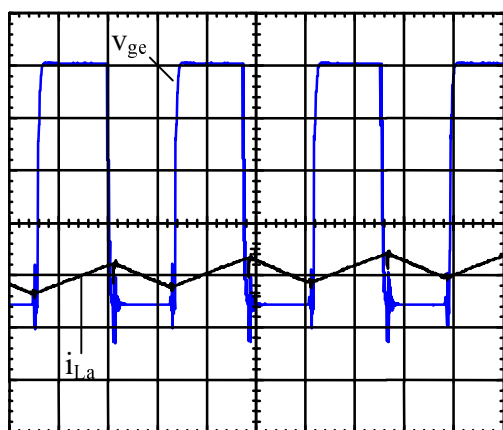
O comportamento da corrente no interruptor  $S_1$  pode ser observado na fig. 6.17. Quando o sinal  $v_{ge}$  encontra-se com valor positivo, o interruptor  $S_1$  estará ligado e conduzindo a corrente ( $i_{L_a}$ ) que circula pelo indutor  $L_a$ . A ondulação de corrente está dentro dos limites calculados (em torno de 2 A).

A tensão de entrada  $v_s$ , a de saída  $v_o$  e a corrente de carga  $i_o$  são mostradas na fig. 6.18. Nela verifica-se, outra vez, a ação do filtro - a tensão de saída sofre uma correção quando

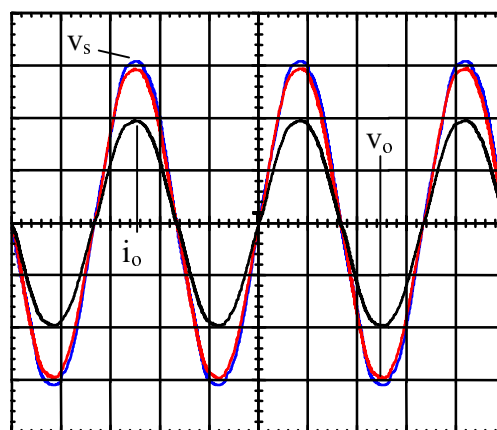


comparada à de entrada. A corrente de carga  $i_o$  é senoidal e está, visto que a carga é resistiva, em fase com as tensões de entrada e de saída.

O controle estabelecido não causa defasagens entre aquelas tensões. Observa-se que apesar da reduzida distorção do sinal de entrada, este ensaio permitiu colocar o filtro em operação com a carga nominal - aproximadamente 1500W.

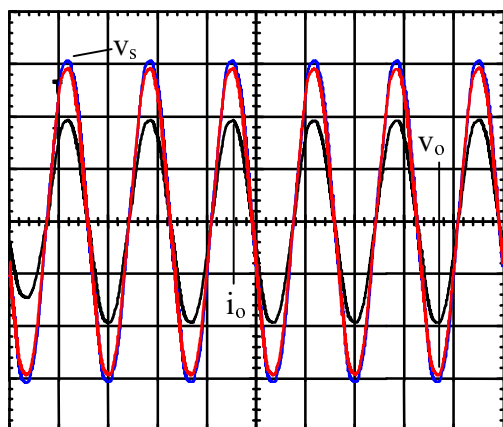


**Fig. 6.17** - Tensão de acionamento  $v_{ge}$  (5 V/div., 10  $\mu$ s/div.) e corrente no indutor  $i_{La}$  (2 A/div., 10  $\mu$ s/div.)

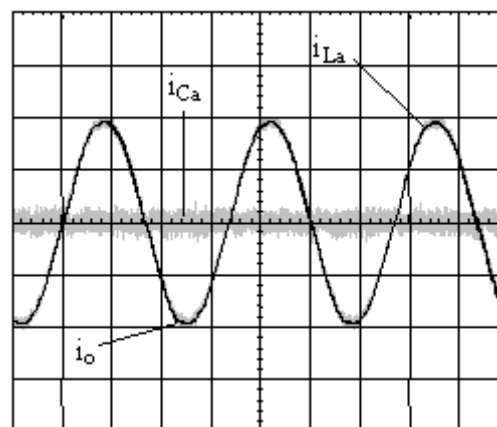


**Fig. 6.18** - Tensão de entrada  $v_s$ , de saída  $v_o$  (100 V/div., 5 ms/div.) e corrente de carga  $i_o$  (5 A/div., 5 ms/div.).

Para verificar possíveis alterações na tensão de saída, causou-se uma perturbação de carga. Inicialmente, colocou-se uma carga resistiva  $R_o = 41,3 \Omega$  em série com filtro ativo. Pôs-se o filtro em funcionamento e alterou-se, instantaneamente, o valor de  $R_o$  para  $31,1 \Omega$ . Registraram-se os sinais apresentados na fig. 6.19, ou seja, a tensão de entrada  $v_s$ , a tensão de saída  $v_o$  e a corrente de carga  $i_o$ .



**Fig. 6.19** - Tensão de entrada  $v_s$ , de saída  $v_o$  (100 V/div., 10 ms/div.) e corrente de carga  $i_o$  (5 A/div., 10 ms/div.).

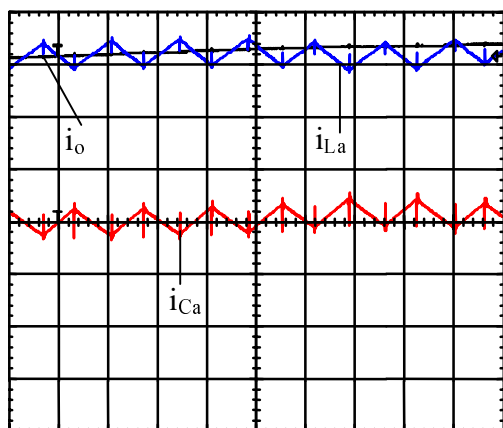


**Fig. 6.20** - Corrente de carga  $i_o$ ,  $i_{La}$  no indutor  $L_a$  (5 A/div., 5 ms/div.) e  $i_{Ca}$  no capacitor  $C_a$  (2 A/div., 5 ms/div.).

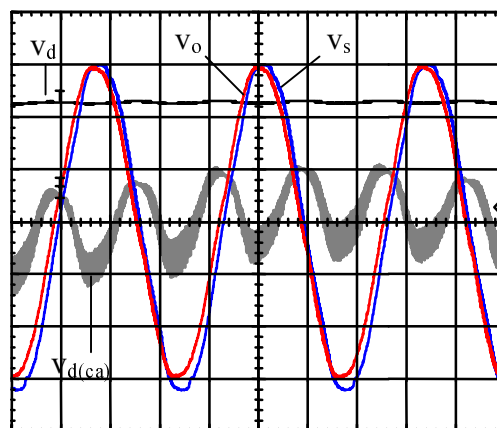
Nota-se que a variação da carga não influenciou na qualidade da tensão de saída. Outro aspecto positivo é que o sistema permaneceu estável com a variação da carga.

A fig. 6.20 apresenta as correntes de carga  $i_o$ ,  $i_{L_a}$  do indutor  $L_a$  e  $i_{C_a}$  no capacitor  $C_a$ . Esta figura permite verificar o aspecto gráfico dessas correntes e conclui-se que a corrente de carga circula, acentuadamente, pelo filtro ativo - a corrente de carga  $i_o$  e a corrente  $i_{L_a}$  do indutor são praticamente coincidentes.

As correntes anteriores são apresentadas de forma ampliada na fig. 6.21. Um fato que deve ser notado é que a corrente de carga sofre alterações bastante reduzidas durante um período de comutação ou entre períodos subseqüentes, embora a carga não apresente uma característica de fonte de corrente. Esta situação vem confirmar os resultados anteriores (seções 4.5.1, 4.5.2 e 4.5.3).



**Fig. 6.21** - Corrente de carga  $i_o$ ,  $i_{L_a}$  no indutor  $L_a$  e  $i_{C_a}$  no capacitor  $C_a$  (2 A/div., 20  $\mu$ s/div.).



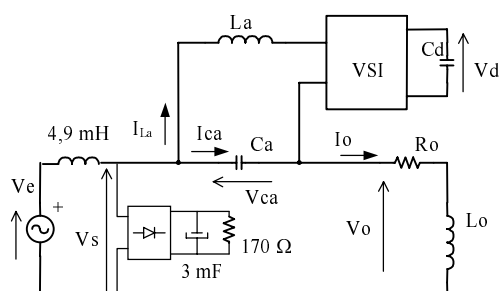
**Fig. 6.22** - Tensões: de entrada  $v_s$ , de saída  $v_o$  e no barramento CC:  $v_d$  (100 V/div., 5 ms/div.) e  $v_{d(ca)}$  (2 V/div., 5 ms/div.).

Na fig. 6.22 são apresentadas as tensões de entrada  $v_s$ , a de saída  $v_o$  e a tensão  $v_d$  do barramento CC. A tensão  $v_{d(ca)}$  é parcela alternada desta última. As tensões de entrada e de saída definem uma referência para observação da ondulação da tensão do barramento CC. A tensão alternada  $v_{d(ca)}$  não tem o mesmo aspecto gráfico daquele previsto analiticamente e apresentado na fig. 3.24. Porém, a amplitude de  $v_{d(ca)}$  permanece dentro dos limites previstos e portanto o valor adotado para o capacitor  $C_d$  mostra-se, ainda, uma escolha adequada.

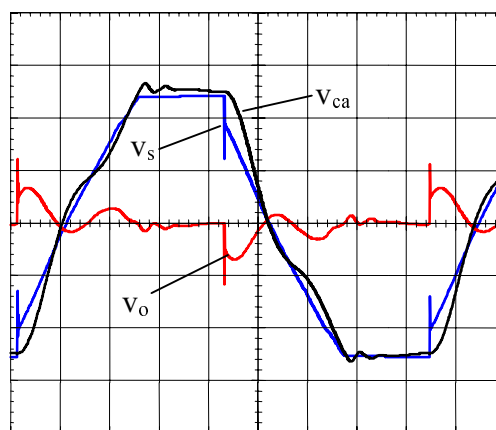
### 6.5.2 FAS-VSI-V com carga resistiva-indutiva (RL)

Um outro ensaio usando o filtro ativo série alimentando uma carga restiva-indutiva foi

realizada. A carga tem a seguinte especificação:  $R_o = 31,5 \Omega$  e  $L_o = 45 \text{ mH}$ . O filtro ativo e a carga foram conectados a um sistema de alimentação cuja tensão apresentava distorções. Para obter certa distorção na tensão de alimentação do filtro usou-se o circuito mostrado na fig. 6.23. Esta figura, além de apresentar o arranjo para desfigurar a tensão, indica os principais sinais que serão comentados nos parágrafos subseqüentes.



**Fig. 6.23** - Diagrama de conexão do filtro ativo para distorção da tensão de entrada.

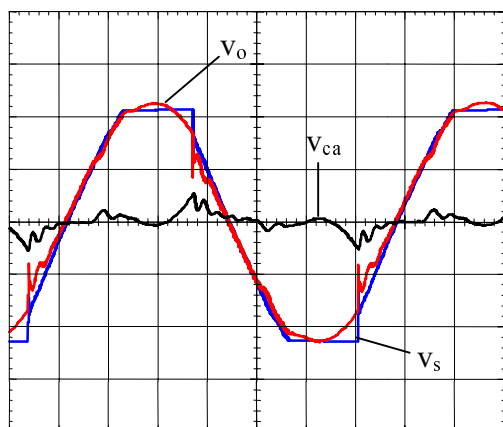


**Fig. 6.24** - Tensões: de entrada, no capacitor  $C_a$  e de saída (100 V/div., 2 ms/div.).

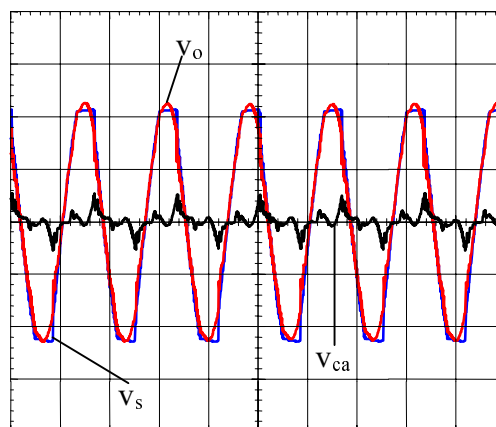
As tensões de entrada  $v_s$ , a de saída  $v_o$  e a tensão  $v_{ca}$  do capacitor  $C_a$  são mostradas na fig. 6.24. Nela observa-se que a tensão de alimentação  $v_s$  é bastante distorcida e com um valor de pico de aproximadamente 240 V. A tensão  $v_{ca}$ , de formato e amplitude semelhantes à tensão de entrada, é observada nos terminais do capacitor de acoplamento em virtude do filtro estar desligado. Conseqüentemente, a tensão na carga  $v_o$  tem reduzida amplitude e formato não senoidal.

Na fig. 6.25 são apresentadas as tensões de entrada  $v_s$ , a tensão  $v_{ca}$  do capacitor  $C_a$  e a de saída  $v_o$  recolhidas com o filtro ativo em funcionamento. A tensão de alimentação preserva-se com suas distorções e na carga obteve-se uma tensão de formato senoidal ( $v_o$ ) porém com algumas deformações.

A tensão  $v_{ca}$  é um sinal não senoidal que elimina, parcialmente, as distorções da tensão de entrada. A tensão produzida pelo filtro, a princípio, engloba uma componente em 60 Hz responsável por suprir suas perdas. Os sinais da fig. 6.25 são retomados na fig. 6.26 com um número maior de ciclos. Eles foram assim registrados para a análise de seu conteúdo harmônico.

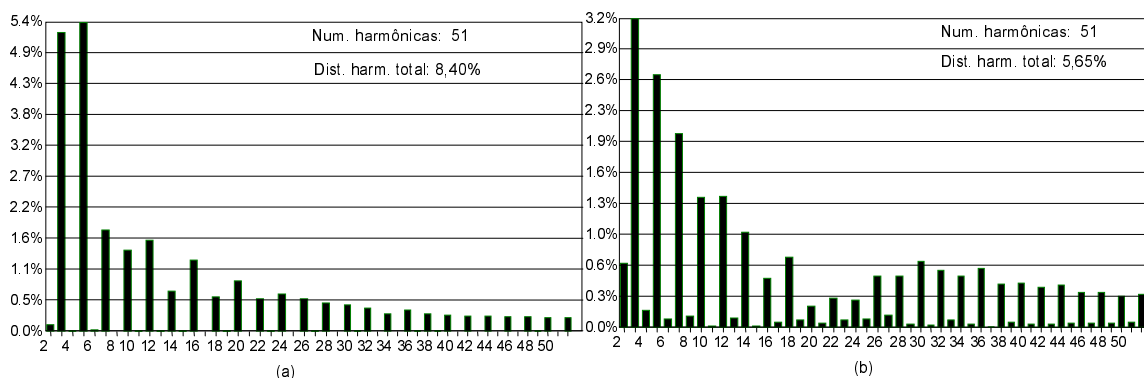


**Fig. 6.25** - Tensões: de entrada, no capacitor  $C_a$  e de saída (100 V/div., 2,5 ms/div.).



**Fig. 6.26** - Tensões: de entrada, no capacitor  $C_a$  e de saída (100 V/div., 10 ms/div.).

Usando-se o programa WaveStar, com os sinais coletados na fig. 6.26 calculou-se o conteúdo harmônico das tensões  $v_s$  e  $v_o$ . As componentes harmônicas e suas amplitudes, para a tensão de entrada  $v_s$ , são apresentadas na fig. 6.27a. Neste gráfico observa-se que a 3ª e 5ª harmônicas destacam-se, respectivamente, com amplitudes de 5,25% e 5,4% em relação à componente fundamental. Além destas harmônicas, outras estão presentes e contribuem para que a tensão de entrada  $v_s$  apresente uma distorção harmônica total de 8,40%.



**Fig. 6.27** - Componentes harmônicas e suas amplitudes, das tensões de: entrada  $v_s$  (a) e de saída  $v_o$  (b).

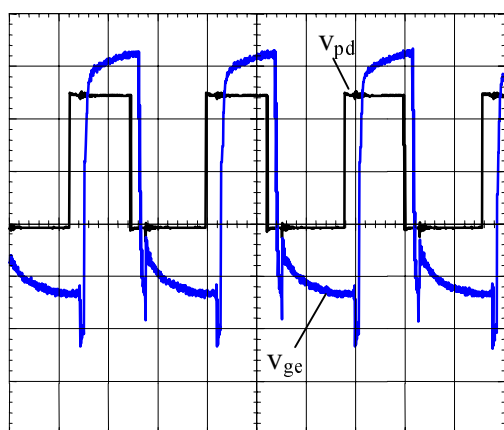
Na fig. 6.27b tem-se o espectro harmônico da tensão de saída  $v_o$ . A distorção harmônica total encontrada para aquela tensão é de 5,65%. A tensão disponibilizada à carga encontra-se com menor conteúdo harmônico comparado àquele apresentado pela tensão de alimentação.

O conteúdo harmônico da tensão de saída contínua elevado tendo em vista que o sistema de controle digital apresentou um desempenho menos satisfatório, quando comparado

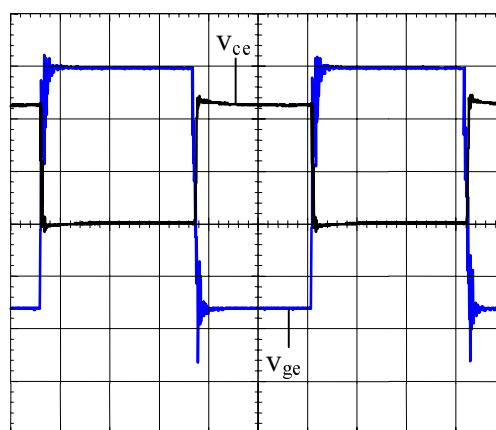
ao analógico, nas situações em que o sinal de entrada modifica-se abruptamente. Nas duas análises realizadas, considerou-se até 51<sup>a</sup> harmônica.

Os gráficos estão em escalas diferentes e a amplitude das componentes harmônicas, em seus eixos verticais, é dada como uma porcentagem da amplitude da componente fundamental e no eixos horizontais, tem-se a ordem das harmônicas.

A fig. 6.28 apresenta o sinal de gatilho  $v_{pd}$  gerado pelo circuito de controle. Ele é um sinal lógico digital e é denominado sinal  $S_{1,4}$ , o qual é disponível na saída de U15a (fig. 6.6). Ainda, na mesma figura, vê-se o sinal  $v_{ge}$  que corresponde ao sinal  $sg1$  (fig. 6.1) e é aplicado entre a base e o emissor do interruptor  $S_1$ . O sinal  $sg1$  atrasa-se, em aproximadamente  $4 \mu s$ , do sinal gerado pelo sistema de controle - este fato é similar àquele da experiência anterior. Na fig. 6.29 são apresentados: o sinal de acionamento  $v_{ge}$  e a tensão  $v_{ce}$  entre o coletor e o emissor do interruptor  $S_1$ . Quando o sinal  $v_{ge}$  encontra-se com amplitude negativa, período no qual o interruptor potência encontra-se desligado, nota-se que este último fica submetido à tensão do barramento CC.



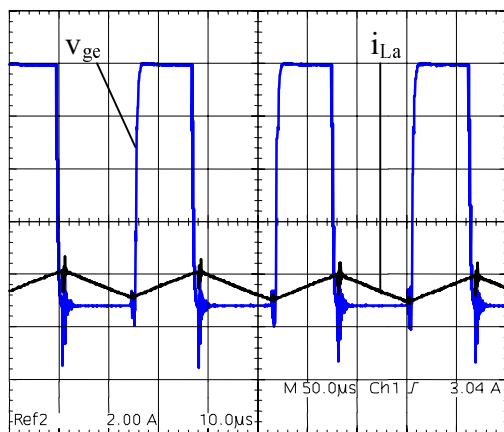
**Fig. 6.28** - Tensão de gatilho  $v_{pd}$  (2 V/div., 10  $\mu s$ /div.) - lado do controle e tensão de acionamento  $v_{ge}$  (5 V/div., 10  $\mu s$ /div.).



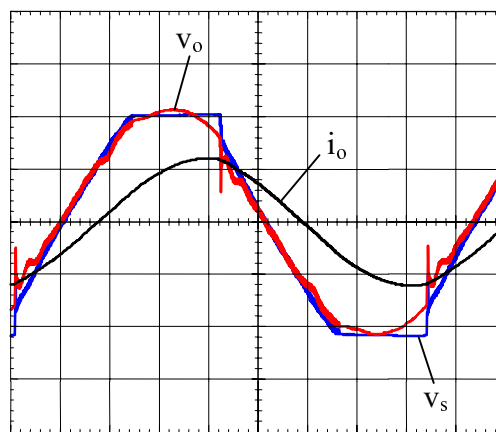
**Fig. 6.29** - Tensão de acionamento  $v_{ge}$  (5 V/div., 5  $\mu s$ /div.) e tensão coletor-emissor  $v_{ce}$  (100 V/div., 5  $\mu s$ /div.) do interruptor  $S_1$ .

A evolução da corrente no interruptor  $S_1$  pode ser observada na fig. 6.30. Quando  $v_{ge}$  tem amplitude positiva o interruptor  $S_1$  estará ligado e conduzindo a corrente  $i_{L,a}$ . Levando-se em conta que a corrente é negativa, enquanto o interruptor estiver desligado ( $v_{ge}$  com amplitude de - 8 V), a corrente circulará pelos diodos em anti-paralelo. A ondulação de corrente está contida entre os limites previstos (na faixa de 2 A).

A fig. 6.31 apresenta a tensão de entrada  $v_s$ , a de saída  $v_o$  e a corrente de carga  $i_o$  (que também circula pela fonte). Novamente, pode-se constatar o aspecto senoidal da tensão de saída - apesar de suas deformações - em virtude do funcionamento do filtro ativo.



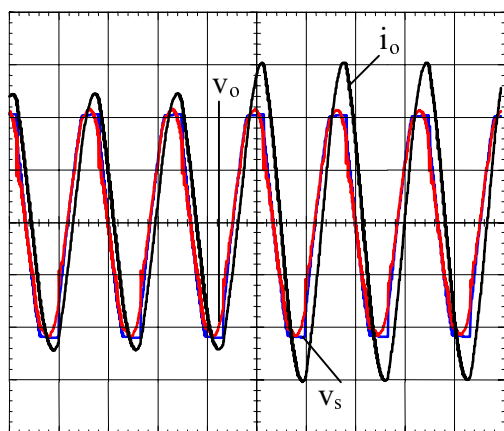
**Fig. 6.30** - Tensão de acionamento  $v_{ge}$  (5 V/div., 10  $\mu$ s/div.) e corrente no indutor  $i_{La}$  (2 A/div., 10  $\mu$ s/div.).



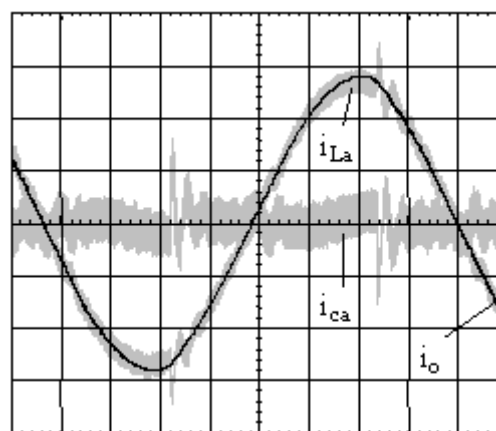
**Fig. 6.31** - Tensão de entrada  $v_s$ , de saída  $v_o$  (100 V/div., 2 ms/div.) e corrente de carga  $i_o$  (5 A/div., 2 ms/div.).

A corrente de carga  $i_o$  é senoidal e está defasada (carga resistiva-indutiva) das tensões de entrada e de saída. O controle adotado não introduz defasagens entre aquelas tensões.

Neste ensaio, fez-se também uma variação de carga. Inicia-se o sistema com uma carga  $R_o = 41,5\Omega$  e  $L_o = 45$  mH. Em seguida, com o filtro em funcionamento, alterou-se o valor do resistor de  $41,5\Omega$  para  $31,1\Omega$  resultando uma carga  $R_o = 31,1\Omega$  e  $L_o = 45$  mH. Os resultados deste evento foram registrados e são apresentados na fig. 6.32. Logo, a tensão de entrada  $v_s$ , a tensão de saída  $v_o$  e a corrente de carga  $i_o$  são mostradas na fig. 6.32.



**Fig. 6.32** - Tensão de entrada  $v_s$ , de saída  $v_o$  (100 V/div., 10 ms/div.) e corrente de carga  $i_o$  (2 A/div., 10 ms/div.).

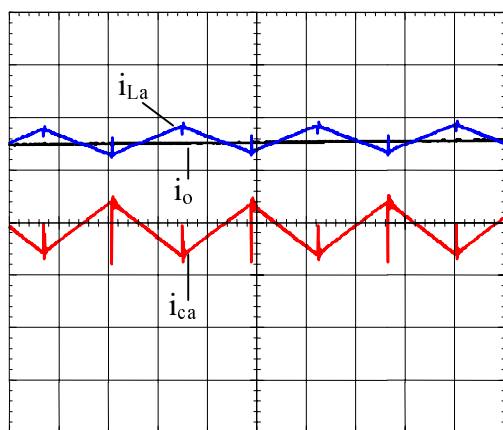


**Fig. 6.33** - Corrente de carga  $i_o$ ,  $i_{La}$  no indutor  $L_a$  (2 A/div., 2 ms/div.) e  $i_{ca}$  no capacitor  $C_a$  (1 A/div., 2 ms/div.).

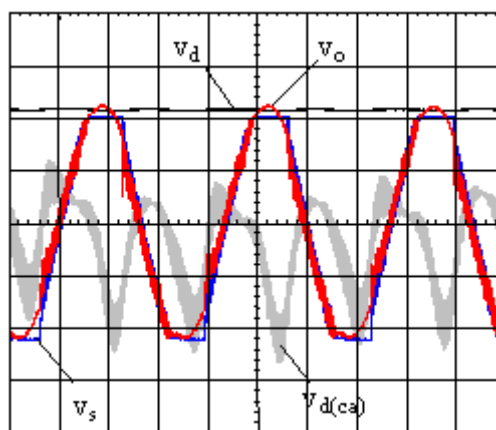
É possível observar a que perturbação causada não influenciou na qualidade da tensão de saída. O regime permanente é alcançado em poucos ciclos. Atenta-se, ainda, para o fato de que o sistema mantém-se estável com a variação da carga.

As correntes de carga  $i_o$  (curva em preto),  $i_{L_a}$  no indutor  $L_a$  e  $i_{C_a}$  no capacitor de acoplamento são mostradas na fig. 6.33. Nela verifica-se o aspecto gráfico dessas correntes. O formato da corrente  $i_{L_a}$  segue, muito proximamente, o formato da corrente de carga  $i_o$ . Isto permite concluir que, em um período da componente fundamental, a corrente de carga circula, em grande parte, pelo filtro ativo (ou inversor).

As correntes da fig. 6.33 são rerepresentadas, em detalhes, na fig. 6.34. Nota-se nesta figura, que a corrente de carga  $i_o$  sofre pequenas alterações durante um período de comutação ou entre períodos subseqüentes.



**Fig. 6.34** - Corrente de  $i_o$ ,  $i_{L_a}$  no indutor  $L_a$  (2 A/div., 10  $\mu$ s/div.) e  $i_{C_a}$  no capacitor  $C_a$  (1 A/div., 10  $\mu$ s/div.).



**Fig. 6.35** - Tensões de entrada  $v_s$ , de saída  $v_o$  e no barramento CC:  $v_d$  (100 V/div., 5 ms/div.) e  $v_{d(ca)}$  (2 V/div., 5 ms/div.).

Mas estas alterações são visivelmente menores do aquelas que ocorrem com as correntes do indutor  $L_a$  e do capacitor  $C_a$ . Este aspecto vem, novamente, ao encontro do desenvolvimento analítico apresentado na seção 3.4.1.

Na fig. 6.35 são apresentadas as tensões de entrada  $v_s$ , a de saída  $v_o$  e a tensão  $v_d$  do barramento CC. A tensão  $v_{d(ca)}$  representa a parcela alternada daquela tensão. As tensões de entrada e de saída estabelecem uma referência para a observação da tensão  $v_{d(ca)}$  do barramento CC.

Adicionalmente, é possível verificar que essa tensão alternada, levando-se em conta sua forma gráfica, não é similar à tensão prevista analiticamente - equação (3.75) - e ilustrada na fig. 3.24. Sua ondulação, entretanto, permanece próxima dos limites previstos e portanto o valor adotado para o capacitor  $C_d$  é, ainda, uma escolha apropriada.

## 6.6 CONCLUSÃO

Neste capítulo, aspectos construtivos da realização do controle digital aplicado ao filtro ativo são mostrados.

São abordados os aspectos gerais da estratégia de controle, o ciclo de amostragem, os circuitos de aquisição e condicionamento de sinais, o projeto do compensador discreto, etc.

Na etapa subsequente, ensaios foram realizados. Este capítulo é concluído com a coleta e análise dos dados provenientes dos ensaios.



## CONCLUSÃO GERAL

O capítulo introdutório trouxe uma síntese relativa aos filtros ativos paralelo e série. Evidencia-se, entre esses filtros, uma estrutura de filtragem ativa série, denominada por seus autores de *filtro ativo híbrido*, que tornou-se o foco deste trabalho.

No capítulo subsequente apresenta-se uma família de filtros ativos do tipo paralelo e série. Cada estrutura apresentada é considerada uma configuração básica (ou fundamental) de filtro ativo. A seguir, estratégias de controle são propostas para cada uma das estruturas de filtragem ativa estabelecidas.

Destaca-se que o *filtro ativo híbrido* foi modificado resultando uma estrutura de filtro ativo série. Nela, fez-se a permutação de seus conversores, de suas cargas e fontes e aplicou-se o princípio da dualidade. Em consequência, produziu-se a referida família de filtros ativos.

Supondo um controle por valores médios instantâneos e modulação a dois níveis de tensão, desenvolveu-se para o filtro ativo paralelo com inversor de tensão uma análise simplificada. Dessa análise, extraem-se os principais parâmetros e componentes desse filtro o que possibilitou a observação de seu comportamento através de simulações numéricas. Essas simulações foram estendidas às demais configurações de filtros ativos paralelos. Bons resultados de simulação foram obtidos - especialmente aquele relacionado ao filtro ativo paralelo com o inversor de tensão e entrada em tensão.

Desenvolve-se, na seqüência, um equacionamento para o filtro ativo série com o inversor de tensão e entrada em tensão. Os parâmetros e componentes essenciais dessa topologia são estabelecidos. Com essas informações algumas de suas variáveis podem ser avaliadas e seus componentes determinados. Por conseguinte, através das simulações numéricas, avaliações de seu comportamento são realizadas. Similar ao que ocorreu com o filtro ativo paralelo, bons resultados de simulações foram conseguidos. Este parágrafo e o anterior resumem o conteúdo do capítulo III.

Com o equacionamento produzido para o filtro ativo série (capítulo II) apresenta-se, no capítulo IV, um exemplo de projeto para esta estrutura de filtragem. A partir de suas especificações determinam-se seus componentes. Em conformidade com a estratégia de controle proposta define-se um compensador apropriado.

Algumas simulações numéricas, com condições mais próximas daquelas que serão encontradas em laboratório, são efetivadas. Uma vez mais, seus bons resultados ratificam o desenvolvimento analítico efetuado. Constrói-se um protótipo experimental e os circuitos necessários ao funcionamento do filtro ativo. Realiza-se, então, um ensaio com carga resistiva. Os resultados obtidos são de boa qualidade. Deles, nota-se que o filtro reduz significativamente a distorção harmônica existente na tensão de entrada, entregando à carga uma tensão com reduzido conteúdo harmônico. O comportamento das correntes de carga, do indutor ( $L_a$ ) e do capacitor ( $C_a$ ) é concordante com as previsões analíticas. O mesmo ocorre em relação à variação da tensão no barramento CC, cuja amplitude e formato estão próximos da estimativa teórica.

Um segundo ensaio, usando uma carga ôhmico-indutiva, é realizado. As formas de onda coletadas deste ensaio apresentaram, igualmente, bons resultados. Na verificação do conteúdo harmônico das tensões de entrada e de saída constata-se a efetiva ação do filtro ativo. A título de ilustração, a tensão de entrada possuía uma distorção harmônica total de 23,3% e a distorção da tensão de saída foi reduzida a 0,9%.

As correntes de carga, do indutor ( $L_a$ ) e do capacitor ( $C_a$ ) têm comportamento mais próximos, quando comparadas àquelas do ensaio anterior, do previsto analiticamente. Por fim, testou-se o filtro ativo com uma carga não linear, ou seja, um retificador em ponte completa alimentando uma carga RL.

A análise dos resultados coletados, em relação ao conteúdo harmônico das tensões de entrada e de saída, apresenta a mesma qualidade dos anteriores. Confirma-se a não linearidade da corrente de carga, a qual circula, sem dificuldades, pelo filtro ativo. Este evento destaca a atuação do filtro ativo série como uma fonte controlável de tensão.

Diferente do que ocorreu no ensaio com a carga resistiva, a tensão do barramento CC para estes dois últimos experimentos apresentou-se com um formato diferente daquele previsto teoricamente. Entretanto, sua amplitude continua dentro dos limites daquela previsão, o que vem ao encontro da metodologia de especificação do capacitor do barramento CC.

Confirma-se, neste ensaio, que as correntes de carga, do indutor ( $L_a$ ) e do capacitor ( $C_a$ ), no que se refere às suas variações, estão em acordo com as estimativas analíticas. Adicionalmente, nota-se que as correntes circulam, de forma acentuada, através do inversor.

Para todos os experimentos realizados variou-se a carga. Dos resultados dessa perturbação, constata-se que a tensão de saída não sofre alterações significativas e que o

sistema permanece estável.

Um ponto desfavorável da metodologia de controle proposta para o filtro ativo série é o estágio de extração da componente fundamental da tensão de entrada. Este estágio é de difícil realização. O controle do referido filtro concretizou-se através do uso da tecnologia analógica que apresenta desvantagens como a rigidez do sistema construído, a suscetibilidade ao envelhecimento dos componentes e à ação da temperatura, etc. Por outro lado, o desenvolvimento dos microprocessadores tem promovido o uso da tecnologia digital no controle de sistemas de eletrônica de potência. Estes aspectos incentivaram o estudo e a aplicação do controle digital ao filtro ativo série. Este tópico é contemplado no capítulo V.

Em relação ao controle digital abordou-se o processador digital de sinais, seus aspectos genéricos, a representação numérica e o próprio dispositivo usado, o DSP TMS320F243. Outra modelagem do filtro é realizada. Ela usa o conceito do interruptor PWM, com a inclusão de elementos parasitas. Dessa forma, modelos mais completos para o sistema analisado foram estabelecidos.

As noções básicas de controle digital são introduzidos e encerram-se com o exemplo de projeto do controlador digital. Posteriormente, avaliações numéricas são realizadas e de seus resultados constata-se a viabilidade da efetivação prática do controle digital.

No capítulo VI alguns aspectos construtivos da efetivação do controle digital são discutidos. Em seguida dois ensaios são realizados, sendo um com carga resistiva e o outro com carga resistiva-indutiva.

As condições para o ensaio com a carga resistiva eram mais favoráveis. A tensão de entrada apresentava reduzida distorção. Os resultados desse experimento mostraram-se análogos àqueles produzidos com o sistema de controle analógico.

No experimento seguinte, exige-se um esforço maior do filtro ativo série. A tensão de entrada estava distorcida e continha variações abruptas de níveis. A ação do filtro mostrou-se menos significativa. Mesmo assim, uma redução do conteúdo harmônico da tensão de saída em relação àquele da tensão de entrada é observável. Nos instantes das variações abruptas da tensão de entrada ocorrem oscilações na tensão de saída. Esta condição indica uma deficiência do sistema de controle digital realizado. As demais condições observadas nas experiências de filtro ativo com o controle analógico são, igualmente, constatadas nesses dois últimos experimentos.

Finalizando, acredita-se que este trabalho tenha alcançado o objetivo proposto e

considerando as contribuições apresentadas, [52] e [53], sugere-se para trabalhos futuros:

- a utilização de outros valores para o filtro LC, de forma que se possa aumentar a velocidade de resposta do filtro ativo;
- proposição de circuitos de proteção e de pré-carga do capacitor do barramento CC;
- usar estratégias de controle com modulação a três níveis.

Essas sugestões podem ser aproveitadas no sistema com controle digital.

Especificamente, para este tipo de controle sugere-se:

- o estudo sobre variações na forma de realizar os algoritmos de controle e
- o estudo de outras estratégias de controle.

## APÊNDICE A

### ONDULAÇÃO DA CORRENTE $\Delta i_a$ E DA TENSÃO $v_d$

No capítulo III, seção 3.4, fez-se o equacionamento do filtro ativo série para o controle da tensão por valores médios instantâneos. Apresenta-se, nos parágrafos seguintes, o desenvolvimento do equacionamento realizado de acordo com as condições que são observadas na referida seção.

#### A.1 Dedução da expressão da ondulação da corrente $i_a(t)$ - (capítulo III, seção 3.4)

Retoma-se as expressões (3.8), (3.24), (3.26) e (3.29), as quais são denominadas, respectivamente, de expressões (a.1), (a.2), (a.3) e (a.4).

$$\Delta t = DT_s \quad (\text{a.1})$$

$$V_{ca}(t) = \frac{4V_g}{\pi} \left[ \sum_{u=2}^v \frac{1}{2u-1} \sin[(2u-1)\omega_c t] \right] \quad (\text{a.2})$$

$$D(t) = 0,5 \left[ 1 + \frac{4V_g}{\pi V_d} \left[ \sum_{n=2}^m \frac{1}{2n-1} \sin[(2n-1)\omega_a t] \right] \right] \quad (\text{a.3})$$

$$L_a \frac{\Delta i_a(t)}{\Delta t} = V_d - v_{ca}(t) \quad (\text{a.4})$$

A substituição de (a.1) em (a.4) resulta (a.5).

$$L_a \frac{\Delta i_a(t)}{D(t)T_s} = V_d - v_{ca}(t) \quad (\text{a.5})$$

Considerando-se um período da frequência da rede, substitui-se (a.3) em (a.5) resultando (a.6).

$$L_a \frac{\Delta i_a(t)}{T_s} = 0,5 \left[ 1 + \frac{4V_g}{\pi V_d} \left[ \sum_{n=2}^m \frac{1}{2n-1} \sin[(2n-1)\omega_a t] \right] \right] (V_d - v_{ca}(t)) \quad (\text{a.6})$$

Faz-se em (a.6) a substituição da tensão  $v_{ca}(t)$ , o que produz (a.7).

$$\frac{L_a \Delta i_a(t)}{0,5 T_s} = \left[ 1 + \frac{4 V_q}{\pi V_d} \left[ \sum_{n=2}^m \frac{1}{2n-1} \sin[(2n-1)\omega_a t] \right] \right] \left[ V_d - \frac{4 V_q}{\pi} \left[ \sum_{u=2}^v \frac{1}{2u-1} \sin[(2u-1)\omega_c t] \right] \right] \quad (\text{a.7})$$

Para facilitar o desenvolvimento de (a.7) adota-se as designações apresentadas em (a.8).

$$\alpha_n = \frac{1}{2n-1} \quad \alpha_u = \frac{1}{2u-1} \quad \gamma_n = (2n-1) \quad \gamma_u = (2u-1) \quad (\text{a.8})$$

Usando as designações de (a.8), (a.7) é reescrita como em (a.9).

$$\frac{L_a \Delta i_a(t)}{0,5 T_s} = \left[ 1 + \frac{4 V_q}{\pi V_d} \left[ \sum_{n=2}^m \alpha_n \sin(\gamma_n \omega_a t) \right] \right] \left[ V_d - \frac{4 V_q}{\pi} \left[ \sum_{u=2}^v \alpha_u \sin(\gamma_u \omega_c t) \right] \right] \quad (\text{a.9})$$

Sejam as designações dadas em (a.10) e (a.11)

$$A = \frac{(4 V_q)^2}{\pi^2 V_d} \left[ \sum_{n=2}^m \alpha_n \sin(\gamma_n \omega_a t) \right] \quad (\text{a.10})$$

$$B = \left[ \sum_{u=2}^v \alpha_u \sin(\gamma_u \omega_c t) \right] \quad (\text{a.11})$$

Efetuando-se a multiplicação dos fatores em (a.9) e usando-se (a.10) e (a.11) tem-se (a.12).

$$\frac{L_a \Delta i_a(t)}{0,5 T_s} = \left[ V_d + \frac{4 V_q}{\pi} \left[ \sum_{n=2}^m \alpha_n \sin(\gamma_n \omega_a t) \right] - \frac{4 V_q}{\pi} \left[ \sum_{u=2}^v \alpha_u \sin(\gamma_u \omega_c t) \right] - AB \right] \quad (\text{a.12})$$

A ação do filtro permite supor que as tensões  $v_{ca}(t)$  e  $v_{ab}(t)$  (equação (3.25)) são iguais. Logo, escreve-se as relações dadas por (a.13).

$$\alpha_n = \alpha_u \quad \gamma_n = \gamma_u \quad \omega_a t = \omega_c t = \omega t \quad (\text{a.13})$$

Aplicando-se (a.13) em (a.12) resulta (a.14)

$$\frac{L_a \Delta i_a(t)}{V_d T_s} = \left[ 0,5 - 2 \left( \frac{2 V_q}{\pi V_d} \right)^2 \left[ \sum_{n=2}^m \alpha_n \sin(\gamma_n \omega_a t) \right] \left[ \sum_{u=2}^v \alpha_u \sin(\gamma_u \omega_c t) \right] \right] \quad (\mathbf{a.14})$$

Designando-se o índice de modulação de tensão  $M_v$ , de acordo com o mostrado em (a.15), e aplicando-o à expressão (a.14) obtém-se (a.16).

$$M_v = \frac{V_q}{V_d} \quad (\mathbf{a.15})$$

A expressão (a.16) representa a ondulação  $\Delta i_a(t)$ , parametrizada, da corrente no indutor  $L_a$ .

$$\overline{\Delta i_a(t)} = \frac{L_a \Delta i_a(t)}{V_d T_s} = \left[ 0,5 - 2 \left( \frac{2 M_v}{\pi} \right)^2 \left[ \sum_{n=2}^m \alpha_n \sin(\gamma_n \omega_a t) \right] \left[ \sum_{u=2}^v \alpha_u \sin(\gamma_u \omega_c t) \right] \right] \quad (\mathbf{a.16})$$

A ondulação da corrente do indutor pode, ainda, ser apresentada como em (a.17).

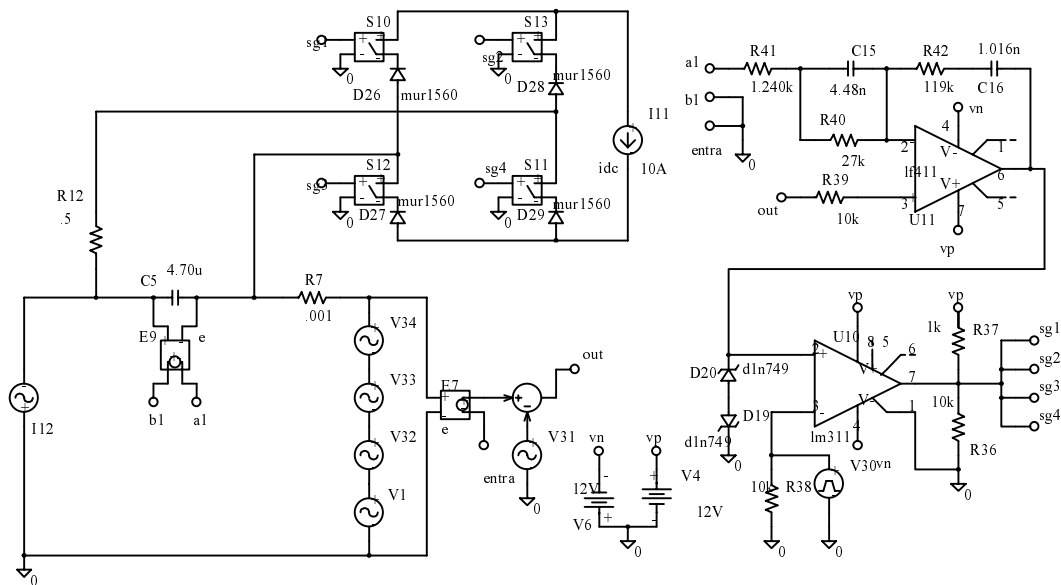
$$\overline{\Delta i_a(t)} = \frac{L_a \Delta i_a(t)}{V_d T_s} = \left[ 0,5 - 2 \left( \frac{2 M_v}{\pi} \right)^2 \left[ \sum_{n=2}^m \alpha_n \sin(\gamma_n \omega t) \right]^2 \right] \quad (\mathbf{a.17})$$

## APÊNDICE B

### CIRCUITOS SIMULADOS DO FAS-VSI-V COM FONTES DE CORRENTE E DE TENSÃO

Os circuitos das simulações numéricas do filtro ativo série, mencionados no capítulo III, seção 3.5, são apresentados nas páginas seguintes. As listagens para esses circuitos são similares àquelas apresentadas no Apêndice C e, por conveniência, não serão aqui apresentadas.

#### B.1 Simulação numérica do FAS-CSI-I (capítulo III, seção 3.5.1)



**Fig. B.1** - Circuito do filtro ativo série simulado: FAS-CSI-I (dfap\_vsi\_v4.sch).

#### B.1 Simulação numérica do FAS-VSI-I (capítulo III, seção 3.5.2)



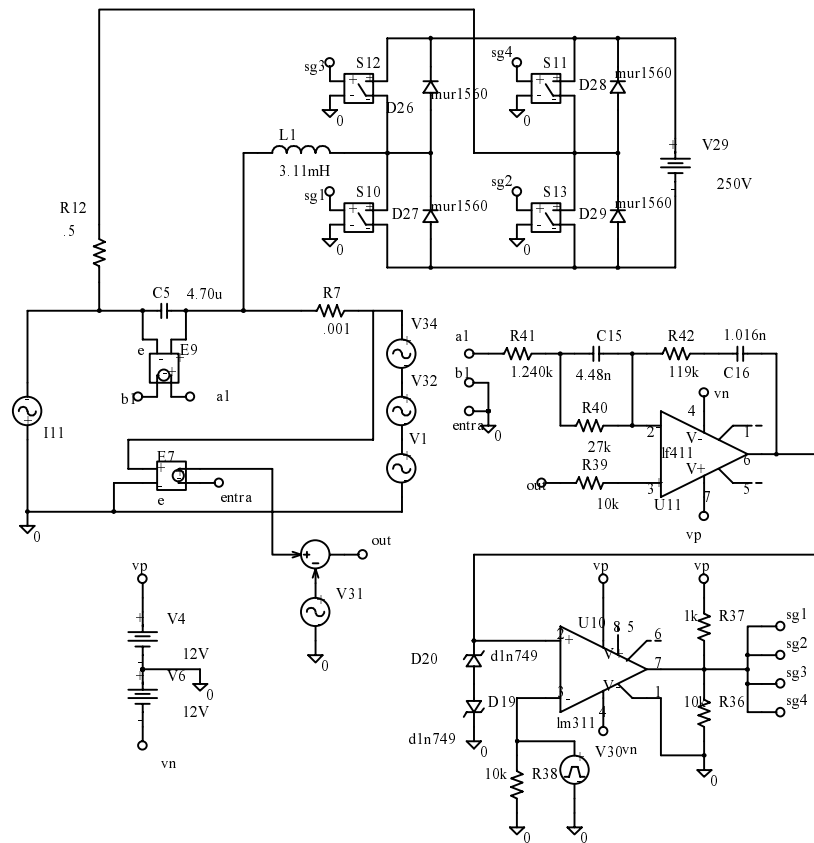


Fig. B.2 - Circuito do filtro ativo série simulado: FAS-VSI-I (dfap\_csi\_v4.sch).

### B.3 Simulação numérica do FAS-CSI-V (capítulo III, seção 3.5.3)

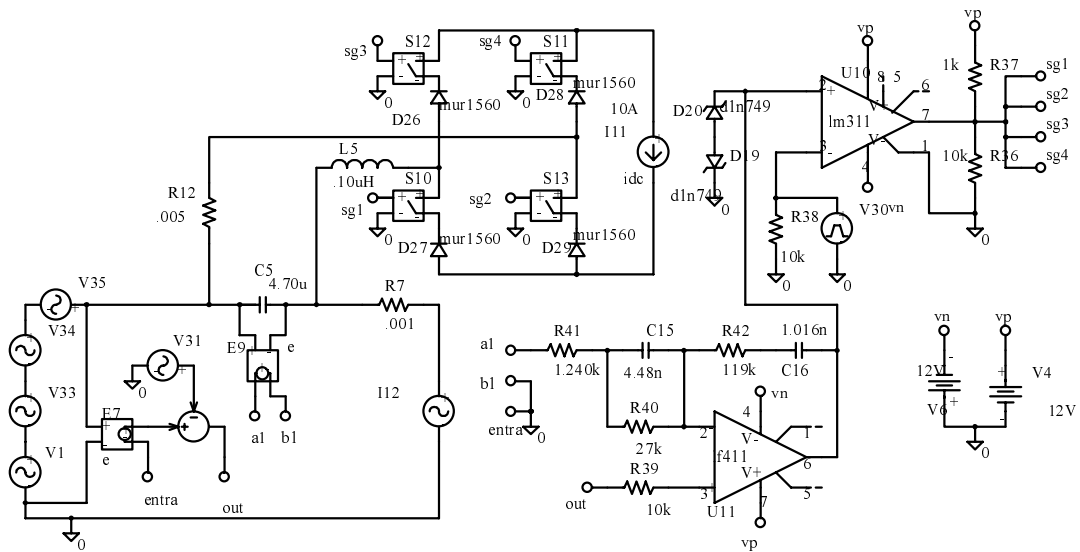
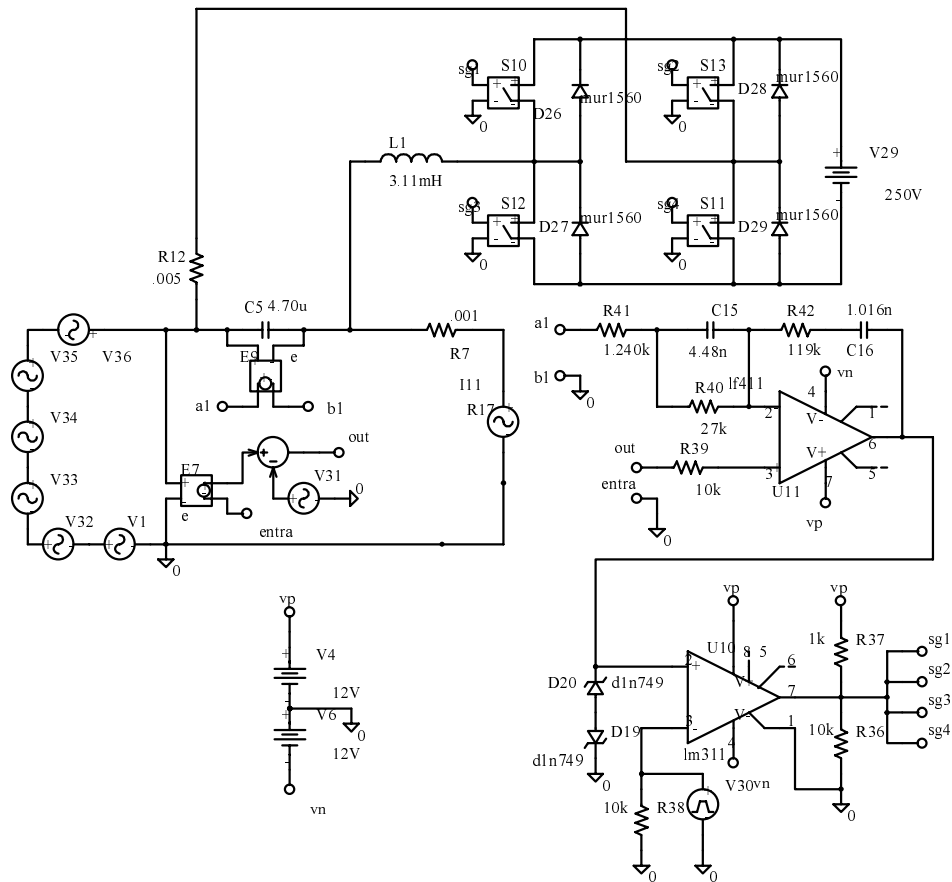


Fig. B.3 - Circuito do filtro ativo série simulado: FAS-CSI-V (dfap\_vsi\_i4.sch).

### B.4 Simulação numérica do FAS-VSI-V (capítulo III, seção 3.5.4)



**Fig. B.4** - Circuito do filtro ativo série simulado: FAS-VSI-V (dfap\_csi\_i6.sch).

## APÊNDICE C

### CIRCUITOS SIMULADOS DO FAS-VSI-V COM CARGAS: RESISTIVA, RESISTIVA-INDUTIVA E NÃO LINEAR

As listagens e os circuitos das simulações numéricas do filtro ativo série, mencionados no capítulo IV, seção 4.3, são apresentados nas páginas seguintes.

#### C.1 Simulação numérica do FAS-VSI-V com carga resistiva (R) (capítulo IV, seção 4.3.1)

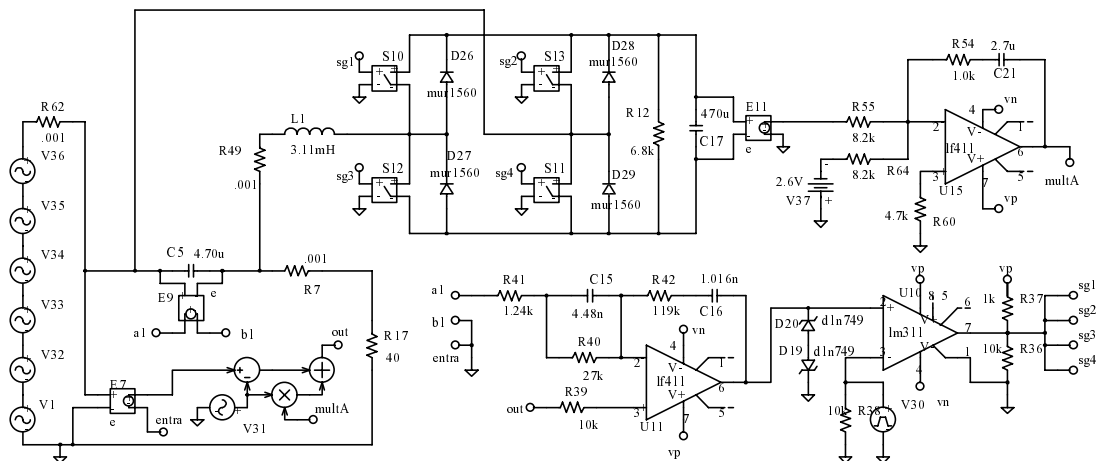


Fig. C.1 - Circuito do filtro ativo série simulado com carga resistiva: fas\_vsi\_vR.sch

listagem do circuito fas\_vsi\_vR.net \*(Schematics Netlist)\*

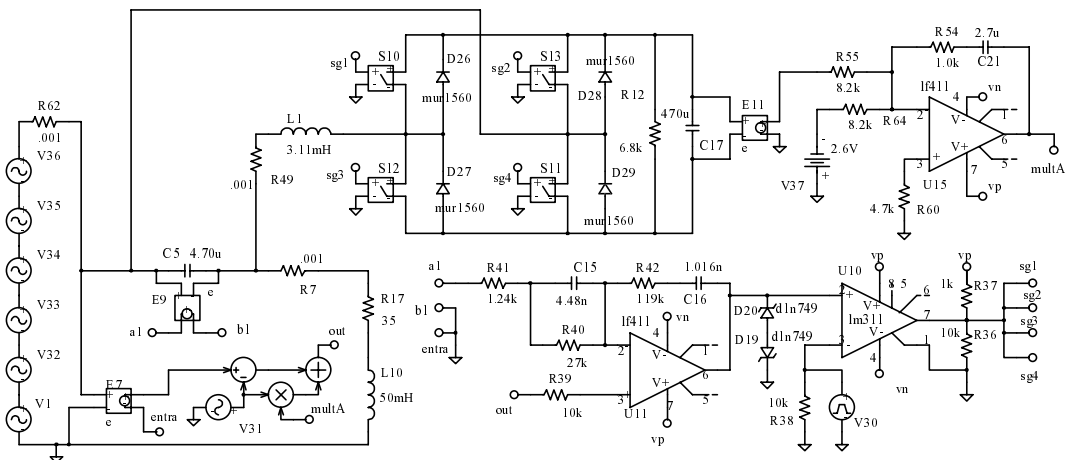
```
R_R39 out $N_0001 10k
R_R40 $N_0003 $N_0002 27k
D_D19 $N_0004 0 D1N749
D_D20 $N_0004 $N_0005 D1N749
D_D29 $N_0006 $N_0007 MUR1560
D_D27 $N_0006 $N_0008 MUR1560
V_V4 vp 0 12V
V_V6 0 vn 12V
D_D26 $N_0008 $N_0009 MUR1560
D_D28 $N_0007 $N_0009 MUR1560
R_R41 a1 $N_0003 1.24k
C_C15 $N_0003 $N_0002 4.48n IC=0V
R_R42 $N_0002 $N_0010 119k
C_C16 $N_0010 $N_0005 1.016n IC=0V
X_U11 $N_0001 $N_0002 vp vn $N_0005 LF411
L_L1 $N_0013 $N_0008 3.11mH IC=0.0A
E_E9 a1 0 $N_0007 $N_0014 0.0128564
R_R55 $N_0016 $N_0015 8.2k
E_E11 $N_0016 0 $N_0009 $N_0006 0.01
C_C17 $N_0009 $N_0006 470u IC=260V
```

```
C_C5 $N_0007 $N_0014 4.70u IC=0
X_S13 sg1 0 $N_0009 $N_0007 fas_vsi_vR_S13
X_S12 sg1 0 $N_0008 $N_0006 fas_vsi_vR_S12
X_S11 sg1 0 $N_0007 $N_0006 fas_vsi_vR_S11
X_S10 sg1 0 $N_0009 $N_0008 fas_vsi_vR_S10
R_R7 $N_0017 $N_0014 .001
R_R17 $N_0017 0 40
R_R12 $N_0006 $N_0009 6.8k
V_V33 $N_0018 $N_0019 DC 0 AC 0
+SIN 0 62.2 300 0 0 0
V_V32 $N_0019 $N_0020 DC 0 AC 0
+SIN 0 103.7 180 0 0 0
V_V36 $N_0021 $N_0022 DC 0 AC 0
+SIN 0 28.3 660 0 0 0
V_V35 $N_0022 $N_0023 DC 0 AC 0
+SIN 0 34.6 540 0 0 0
V_V34 $N_0023 $N_0018 DC 0 AC 0
+SIN 0 44.4 420 0 0 0
R_R62 $N_0021 $N_0007 .001
V_V1 $N_0020 0 DC 0 AC 0
+SIN 0 311.13 60 0 0 0
E_MULT3 $N_0024 0 VALUE {V(multA)*V($N_0025)}
E_SUM2 out 0 VALUE {V($N_0026)+V($N_0024)}
```

```

E_E7    $N_0027 0 $N_0007 0 0.0128564
E_DIFF1  $N_0026 0 VALUE {V($N_0027,$N_0025)}
V_V31    $N_0025 0 DC 0 AC 0
+SIN 0 4.0060 0 0 0
R_R54    $N_0015 $N_0028 1.0k
X_U15    $N_0029 $N_0015 vp vn multA LF411
R_R60    $N_0029 0 4.7k
R_R64    $N_0032 $N_0015 8.2k
V_V37    0 $N_0032 2.6V
R_R37    vp sg1 1k
R_R36    sg1 0 10k
X_U10    $N_0005 $N_0033 vp vn sg1 0 LM311
R_R38    $N_0033 0 10k
V_V30    $N_0033 0 DC 0 AC 0
+PULSE -5.0 5.0 0 13.855u 13.855u 20n 27.75u
C_C21    $N_0028 multA 2.7u IC=0V
R_R49    $N_0013 $N_0014 .001
.subckt fas_vsi_vr_S13 1 2 3 4
S_S13    3 4 1 2 Sbreak
RS_S13    1 2 1G
.ends fas_vsi_vr_S13
.subckt fas_vsi_vr_S12 1 2 3 4
S_S12    3 4 1 2 Sbreak
RS_S12    1 2 1G
.ends fas_vsi_vr_S12
.subckt fas_vsi_vr_S11 1 2 3 4
S_S11    3 4 1 2 sbreak1
RS_S11    1 2 1G
.ends fas_vsi_vr_S11
.subckt fas_vsi_vr_S10 1 2 3 4
S_S10    3 4 1 2 sbreak1
RS_S10    1 2 1G
.ends fas_vsi_vr_S10
    
```

**C.2 Simulação numérica do FAS-VSI-V com carga resistiva-indutiva (RL) (capítulo IV, seção 4.3.2)**



**Fig. C.2 - Circuito do filtro ativo série simulado com carga resistiva-indutiva: fas\_vsi\_vRL.sch.**

listagem do circuito fas\_vsi\_vRL.net \*(Schematics Netlist)\*

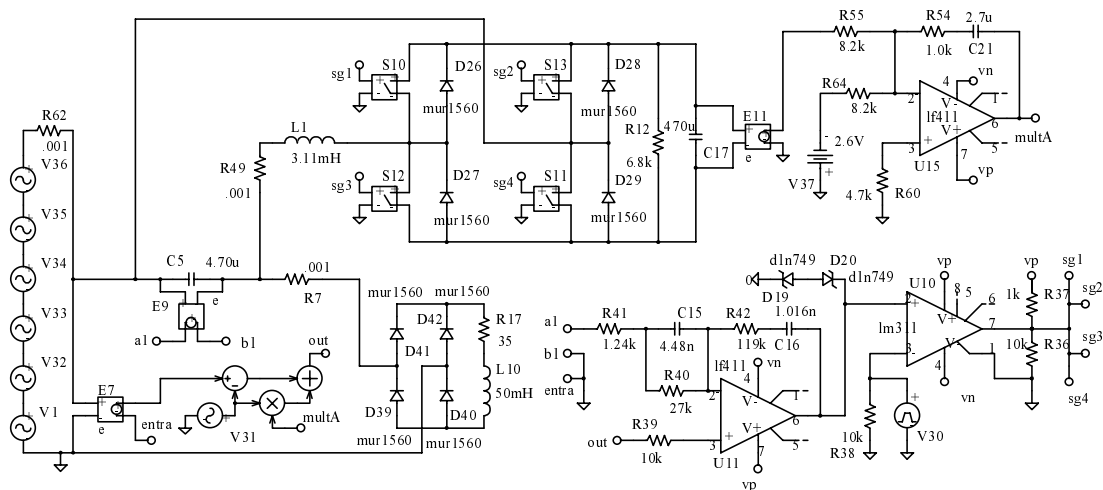
```

D_D29    $N_0001 $N_0002 MUR1560
D_D27    $N_0001 $N_0003 MUR1560
D_D26    $N_0003 $N_0004 MUR1560
D_D28    $N_0002 $N_0004 MUR1560
L_L1     $N_0005 $N_0003 3.11mH IC=0.0A
E_E9     a1 0 $N_0002 $N_0006 0.0128564
R_R55    $N_0008 $N_0007 8.2k
E_E11    $N_0008 0 $N_0004 $N_0001 0.01
C_C5     $N_0002 $N_0006 4.70u IC=0
X_S13    sg1 0 $N_0004 $N_0002 fas_vsi_vRL_S13
X_S12    sg1 0 $N_0003 $N_0001 fas_vsi_vRL_S12
X_S11    sg1 0 $N_0002 $N_0001 fas_vsi_vRL_S11
X_S10    sg1 0 $N_0004 $N_0003 fas_vsi_vRL_S10
R_R7     $N_0009 $N_0006 .001
R_R12    $N_0001 $N_0004 6.8k
V_V33    $N_0010 $N_0011 DC 0 AC 0
+SIN 0 62.2 300 0 0 0
V_V32    $N_0011 $N_0012 DC 0 AC 0
+SIN 0 103.7 180 0 0 0
V_V36    $N_0013 $N_0014 DC 0 AC 0
+SIN 0 28.3 660 0 0 0
V_V35    $N_0014 $N_0015 DC 0 AC 0
+SIN 0 34.6 540 0 0 0
V_V34    $N_0015 $N_0010 DC 0 AC 0
+SIN 0 44.4 420 0 0 0
R_R62    $N_0013 $N_0002 .001
    
```

```

V_V1    $N_0012 0 DC 0 AC 0
+SIN 0 311.13 60 0 0 0
E_MULT3  $N_0016 0 VALUE {V(multA)*V($N_0017)}
E_SUM2   out 0 VALUE {V($N_0018)+V($N_0016)}
E_E7     $N_0019 0 $N_0002 0 0.0128564
E_DIFF1  $N_0018 0 VALUE {V($N_0019,$N_0017)}
V_V31    $N_0017 0 DC 0 AC 0
+SIN 0 4.00 60 0 0 0
R_R54    $N_0007 $N_0020 1.0k
X_U15    $N_0021 $N_0007 vp vn multA LF411
R_R60    $N_0021 0 4.7k
R_R64    $N_0024 $N_0007 8.2k
V_V37    0 $N_0024 2.6V
C_C21    $N_0020 multA 2.7u IC=0V
R_R49    $N_0005 $N_0006 .001
L_L10    $N_0025 0 50mH
R_R17    $N_0009 $N_0025 35
C_C17    $N_0004 $N_0001 470u IC=260V
R_R39    out $N_0026 10k
R_R40    $N_0028 $N_0027 27k
R_R41    a1 $N_0028 1.24k
C_C15    $N_0028 $N_0027 4.48n IC=0V
R_R42    $N_0027 $N_0029 119k
C_C16    $N_0029 $N_0030 1.016n IC=0V
X_U11    $N_0026 $N_0027 vp vn $N_0030 LF411
D_D19    $N_0033 0 D1N749
R_R37    vp sg1 1k
R_R36    sg1 0 10k
R_R38    $N_0034 0 10k
V_V30    $N_0034 0 DC 0 AC 0
+PULSE -5.0 5.0 0 13.855u 13.855u 20n 27.75u
D_D20    $N_0033 $N_0030 D1N749
X_U10    $N_0030 $N_0034 vp vn sg1 0 LM311
V_V4     vp 0 12V
V_V6     0 vn 12V
.subckt fas_vsi_vRL_S13 1 2 3 4
S_S13    3 4 1 2 Sbreak
RS_S13   1 2 1G
.ends fas_vsi_vRL_S13
.subckt fas_vsi_vRL_S12 1 2 3 4
S_S12    3 4 1 2 Sbreak
RS_S12   1 2 1G
.ends fas_vsi_vRL_S12
.subckt fas_vsi_vRL_S11 1 2 3 4
S_S11    3 4 1 2 Sbreak1
RS_S11   1 2 1G
.ends fas_vsi_vRL_S11
.subckt fas_vsi_vRL_S10 1 2 3 4
S_S10    3 4 1 2 Sbreak1
RS_S10   1 2 1G
.ends fas_vsi_vRL_S10
    
```

**C.3 Simulação numérica do FAS-VSI-V com carga não linear (capítulo IV, seção 4.3.3)**



**Fig. C.3 - Circuito do filtro ativo simulado com carga não linear: fas\_vsi\_vRetRL.sch.**

listagem do circuito fas\_vsi\_vRetRL.net \*(Schematics Netlist)\*

```

V_V4     vp 0 12V
V_V6     0 vn 12V
L_L1     $N_0001 $N_0002 3.11mH IC=0.0A
E_E9     a1 0 $N_0003 $N_0004 0.0128564
X_S13    sg1 0 $N_0005 $N_0003 fas_vsi_vRetRL_S13
X_S12    sg1 0 $N_0002 $N_0006 fas_vsi_vRetRL_S12
X_S11    sg1 0 $N_0003 $N_0006 fas_vsi_vRetRL_S11
X_S10    sg1 0 $N_0005 $N_0002 fas_vsi_vRetRL_S10
    
```

```

V_V33    $N_0007 $N_0008 DC 0 AC 0
+SIN 0 62.2 300 0 0 0
V_V35    $N_0009 $N_0010 DC 0 AC 0
+SIN 0 34.6 540 0 0 0
V_V34    $N_0010 $N_0007 DC 0 AC 0
+SIN 0 44.4 420 0 0 0
R_R49    $N_0001 $N_0004 .001
D_D19    $N_0011 0 D1N749
R_R62    $N_0012 $N_0003 .001
E_MULT3   $N_0013 0 VALUE {V(multA)*V($N_0014)}
E_SUM2    out 0 VALUE {V($N_0015)+V($N_0013)}
V_V31    $N_0014 0 DC 0 AC 0
+SIN 0 4.0060 0 0 0
E_DIFF1   $N_0015 0 VALUE {V($N_0016,$N_0014)}
E_E7     $N_0016 0 $N_0003 0 0.0128564
R_R7     $N_0017 $N_0004 .001
L_L10    $N_0018 $N_0019 50mH
R_R39    out $N_0020 10k
R_R40    $N_0022 $N_0021 27k
X_U11    $N_0020 $N_0021 vp vn $N_0023 LF411
R_R41    a1 $N_0022 1.24k
R_R37    vp sg1 1k
R_R36    sg1 0 10k
R_R38    $N_0026 0 10k
V_V30    $N_0026 0 DC 0 AC 0
+PULSE -5.0 5.0 0 13.855u 13.855u 20n 27.75u
X_U10    $N_0023 $N_0026 vp vn sg1 0 LM311
D_D20    $N_0011 $N_0023 D1N749
C_C15    $N_0022 $N_0021 4.48n IC=0V
R_R42    $N_0021 $N_0029 119k
C_C16    $N_0029 $N_0023 1.016n IC=0V
E_E11    $N_0030 0 $N_0005 $N_0006 0.01
R_R55    $N_0030 $N_0031 8.2k
V_V37    0 $N_0032 2.6V
R_R54    $N_0031 $N_0033 1.0k
C_C21    $N_0033 multA 2.7u IC=0V
X_U15    $N_0034 $N_0031 vp vn multA LF411

R_R60    $N_0034 0 4.7k
R_R64    $N_0032 $N_0031 8.2k
D_D29    $N_0006 $N_0003 MUR1560
D_D28    $N_0003 $N_0005 MUR1560
R_R12    $N_0006 $N_0005 6.8k
C_C17    $N_0005 $N_0006 470u IC=260V
D_D27    $N_0006 $N_0002 MUR1560
D_D26    $N_0002 $N_0005 MUR1560
C_C5     $N_0003 $N_0004 4.70u IC=0
V_V32    $N_0008 $N_0037 DC 0 AC 0
+SIN 0 103.7 180 0 0 0
V_V1     $N_0037 0 DC 0 AC 0
+SIN 0 311.13 60 0 0 0
V_V36    $N_0012 $N_0009 DC 0 AC 0
+SIN 0 28.3 660 0 0 0
D_D40    $N_0019 0 MUR1560
D_D42    0 $N_0038 MUR1560
R_R17    $N_0038 $N_0018 35
D_D41    $N_0017 $N_0038 MUR1560
D_D39    $N_0019 $N_0017 MUR1560
.subckt fas_vsi_vRetRL_S13 1 2 3 4
S_S13    3 4 1 2 Sbreak
RS_S13   1 2 1G
.ends fas_vsi_vRetRL_S13
.subckt fas_vsi_vRetRL_S12 1 2 3 4
S_S12    3 4 1 2 Sbreak
RS_S12   1 2 1G
.ends fas_vsi_vRetRL_S12
.subckt fas_vsi_vRetRL_S11 1 2 3 4
S_S11    3 4 1 2 sbreak1
RS_S11   1 2 1G
.ends fas_vsi_vRetRL_S11
.subckt fas_vsi_vRetRL_S10 1 2 3 4
S_S10    3 4 1 2 sbreak1
RS_S10   1 2 1G
.ends fas_vsi_vRetRL_S10

```

## APÊNDICE D

### MODELAGEM DO FILTRO ATIVO SÉRIE USANDO O INTERRUPTOR PWM

No capítulo V, item 5.3.1, propõe-se a modelagem do filtro ativo série usando o interruptor PWM. Para esta finalidade foram apresentados os modelos do referido interruptor, os quais permitem estabelecer relações entre determinadas grandezas do filtro ativo. Apresenta-se, nos parágrafos seguintes, o desenvolvimento completo dos equacionamentos efetuados de acordo com as condições que são observadas na referida seção.

#### D.1 Análise CC do inversor de tensão - (capítulo V, seção 5.3.1.6)

##### ▪ Determinação do ganho estático $V_d/V_{ca}$

Retoma-se as expressões (5.22) a (5.25), as quais são denominadas, respectivamente, de expressões (d.1), (d.2), (d.3) e (d.4). Estas são equações para os interruptores  $S_1$  e  $S_4$ .

$$I_{a1} = DI_{c1} \quad (\text{d.1})$$

$$V_{cp1} = D \left( V_{ap1} - I_{c1} r_e D' - I_{c1} r_S \right) - I_{c1} r_D D' \quad (\text{d.2})$$

$$I_{a4} = DI_{c4} \quad (\text{d.3})$$

$$V_{cp4} = D \left( V_{ap4} - I_{c4} r_e D' - I_{c4} r_S \right) - I_{c4} r_D D' \quad (\text{d.4})$$

- nós p1 e p4 (circuito fig.5.14)

$$I_{a1} - I_{p1} - I_{c1} = 0 \quad (\text{d.5})$$

$$I_{c1} = -I_{c4} \quad (\text{d.6})$$

$$I_{p1} = I_{a4} \quad (\text{d.7})$$

- circuito e da malha I

$$v_{ap1} = V_{ap1} = V_d \quad (\text{d.8})$$

$$v_{ap4} = V_{ap4} = -V_d \quad (\text{d.9})$$

$$V_{cp1} - V_{ca} - V_{cp4} - V_d = 0 \quad (\text{d.10})$$

Substituindo-se (d.6) em (d.1) e (d.5), resultam (d.11) e (d.12).

$$I_{a1} = D(-I_{c4}) \quad (\text{d.11})$$

$$I_{a1} - I_{p1} + I_{c4} = 0 \quad (\text{d.12})$$

De (d.7) em (d.12) produz-se (d.13).

$$I_{a1} - I_{a4} + I_{c4} = 0 \quad (\text{d.13})$$

De (d.3) e (d.11) em (d.13) resulta:

$$-DI_{c4} - DI_{c4} + I_{c4} = 0 \quad (\text{d.14})$$

que resolvido produz:

$$I_{c4}(1 - 2D) = 0$$

como  $D \neq 0 \Rightarrow I_{c4} = I_{c1} = I_{a1} = I_{a4} = 0$ . As expressões (d.2) e (d.4) são reescritas como em (d.15) e (d.16).

$$V_{cp1} = D V_{ap1} \quad (\text{d.15})$$

$$V_{cp4} = D V_{ap4} \quad (\text{d.16})$$

As expressões (d.8) e (d.9) são substituídas, respectivamente, em (d.15) e (d.16), e o resultado é aplicado em (d.10). Isto produz (d.17).

$$DV_d - V_{ca} - (-DV_d) - V_d = 0 \quad (\text{d.17})$$

Resolvendo-se (d.17), resulta (d.18) que expressa o ganho estático do conversor.

$$\frac{V_d}{V_{ca}} = \frac{1}{2D - 1} \quad (\text{d.18})$$



## D.2 Análise do inversor de tensão com $d = D$ - (capítulo V, seção 5.3.1.7)

### ▪ Determinação da função de transferência $\hat{v}_d(s)/\hat{v}_{ca}(s)$

A equação (5.18) pode ser reescrita sob a forma apresentada em (d.19).

$$\hat{v}_{cp} = d \left( \hat{v}_{ap} - \hat{i}_c r_e d' - \hat{i}_c r_s \right) - \hat{i}_c r_D d' \quad (\text{d.19})$$

Das equações (5.11), (5.14) e (5.33), das condições definidas e do circuito da fig. 5.15 estabelece-se:

- para os interruptores  $S_1$  e  $S_4$

$$\hat{i}_{a1} = D \hat{i}_{c1} \quad (\text{d.20})$$

$$\hat{v}_{cp1} = D \hat{v}_{ap1} - \hat{i}_{c1} r_a \quad (\text{d.21})$$

$$\hat{i}_{a4} = D \hat{i}_{c4} \quad (\text{d.22})$$

$$\hat{v}_{cp4} = D \hat{v}_{ap4} - \hat{i}_{c4} r_a \quad (\text{d.23})$$

- da inspeção e da malha I, no circuito vem:

$$\hat{v}_{ca} + (r_{La} + sL_a) \hat{i}_{c1} - \hat{v}_{cp1} + \hat{v}_d + \hat{v}_{cp4} = 0 \quad (\text{d.24})$$

$$\hat{v}_{ap1} = \hat{v}_d \quad (\text{d.25})$$

$$\hat{v}_{ap4} = -\hat{v}_d \quad (\text{d.26})$$

$$\hat{i}_o = \frac{s C_d \hat{v}_d}{s r_{Cd} C_d + 1} \quad (\text{d.27})$$

- nós p1, a1

$$\hat{i}_{a1} = \hat{i}_{p1} + \hat{i}_{c1} \quad (\text{d.28})$$

$$\hat{i}_{p1} = \hat{i}_{a4} - \hat{i}_o \quad (\text{d.29})$$

$$\hat{i}_{c1} = -\hat{i}_{c4} \quad (\text{d.30})$$

Substitui-se (d.29) em (d.28) e isto resulta (d.31).

$$\hat{i}_{a1} = \hat{i}_{a4} - \hat{i}_o + \hat{i}_{c1} \quad (\text{d.31})$$

De (d.20) e (d.22) em (d.31) produz-se (d.32).

$$D\hat{i}_{cl} = D\hat{i}_{c4} - \hat{i}_o + \hat{i}_{cl} \quad (\text{d.32})$$

Substituindo-se em (d.32) a expressão (d.30) e reorganizando-se o resultado obtém-se (d.33).

$$\hat{i}_{cl} = \frac{\hat{i}_o}{(1-2D)} \quad (\text{d.33})$$

Levando-se (d.25) em (d.21) resulta a expressão (d.34).

$$\hat{v}_{cp1} = D\hat{v}_d - \hat{i}_{cl} r_a \quad (\text{d.34})$$

Com (d.26) e (d.30) substituídas em (d.23) resulta (d.35)

$$\hat{v}_{cp4} = -D\hat{v}_d + \hat{i}_{cl} r_a \quad (\text{d.35})$$

Retomando-se (d.24) e nela substituindo-se (d.34), (d.35) e (d.33) resulta (d.36).

$$\hat{v}_{ca} + (r_{La} + sL_a + 2r_a)\hat{i}_{cl} + \hat{v}_d(1-2D) = 0 \quad (\text{d.36})$$

Em (d.36) substitui-se (d.33) e resulta (d.37).

$$\hat{v}_{ca}(1-2D) + (r_{La} + sL_a + 2r_a)\hat{i}_o + \hat{v}_d(1-2D)^2 = 0 \quad (\text{d.37})$$

Levando-se (d.27) em (d.37) chega-se a expressão (d.38) - a função de transferência que relaciona as variações da tensão do barramento CC em função das variações da tensão sobre o capacitor  $C_a$ .

$$\frac{\hat{v}_d(s)}{\hat{v}_{ca}(s)} = \frac{(2D-1)(sr_{Cd}C_d) + (2D-1)}{s^2C_dL_a + sC_d(r_{La} + r_{Cd}(2D-1)^2 + 2r_a) + (2D-1)^2} \quad (\text{d.38})$$

#### ■ Determinação da função de transferência $\hat{i}_{La}(s)/\hat{v}_{ca}(s)$

Reescreve-se a expressão (d.33) como apresentado em (d.39).

$$\hat{i}_{cl} = \frac{\hat{i}_o}{(1-2D)} = \frac{-\hat{i}_o}{(2D-1)} \quad (\text{d.39})$$

Do circuito, na fig. 5.15, constata-se que  $\hat{i}_{La}(s) = \hat{i}_{cl}(s)$  e substituindo-se a corrente  $i_o$ , (d.27), na expressão (d.39) resulta (d.40).

$$\hat{i}_{La} = \hat{i}_{cl} = \frac{-s C_d \hat{v}_d}{(s r_{Cd} C_d + 1)} \frac{1}{(2D - 1)} \quad (\text{d.40})$$

Usando a expressão (d.38) em (d.40) e após algumas operações resulta a expressão (d.41). Esta equação relaciona a variação da corrente no indutor  $L_a$  em função da variação da tensão do capacitor  $C_a$ .

$$\frac{\hat{i}_{La}(s)}{\hat{v}_{Ca}(s)} = \frac{-s C_d}{s^2 C_d L_a + s C_d (r_{La} + r_{Cd} (2D - 1)^2 + 2r_a) + (2D - 1)^2} \quad (\text{d.41})$$

#### ▪ Determinação da função de transferência $\hat{v}_d(s)/\hat{i}_{La}(s)$

Dividindo-se (d.38) por (d.41) encontra-se a expressão (d.42) - a função de transferência que relaciona  $\hat{v}_d$  e  $\hat{i}_{La}$ .

$$\frac{\hat{v}_d(s)}{\hat{i}_{La}(s)} = \frac{(1 - 2D)(s r_{Cd} C_d + 1)}{s C_d} \quad (\text{d.42})$$

### D.3 Análise do inversor de tensão com $d = D + \hat{d}$ - (capítulo V, seção 5.3.1.8)

#### ▪ Determinação da função de transferência $\hat{i}_{La}(s)/\hat{d}(s)$

Retomam-se, aqui, as expressões (5.53) a (5.58) renomeadas, respectivamente, (d.43) a (d.48).

- para o interruptor  $S_1$

$$\hat{i}_{a1} = D \hat{i}_{cl} + I_{cl} \hat{d} \quad (\text{d.43})$$

$$\hat{v}_{apl} = \frac{\hat{v}_{cpl}}{D} + \frac{\hat{i}_{cl} r_a}{D} - \frac{V_{Dl}}{D} \hat{d}' \quad (\text{d.44})$$

$$V_{Dl} = V_{apl} + I_{cl} r_e (D - D') + I_{cl} (r_D - r_S) \quad (\text{d.45})$$

- para o interruptor  $S_4$

$$\hat{i}_{a4} = D\hat{i}_{c4} + I_{c4}\hat{d} \quad (\text{d.46})$$

$$\hat{v}_{ap4} = \frac{\hat{v}_{cp4}}{D} + \frac{\hat{i}_{c4}r_a}{D} - \frac{V_{D4}}{D}d' \quad (\text{d.47})$$

$$V_{D4} = V_{ap4} + I_{c4}r_e(D - D') + I_{c4}(r_D - r_S) \quad (\text{4.48})$$

No ponto de operação, isto é, quando  $d = D$ , tem-se:  $(v_{ap1}, i_{c1}) = (V_d, I_{c1})$  e  $(v_{ap4}, i_{c4}) = (-V_d, I_{c4})$ . Essas condições levadas às equações (d.45) e (d.48) resulta a condição dada por (d.49).

$$V_{D1} = -V_{D4} \quad (\text{d.49})$$

- da inspeção e da malha I, no circuito da fig. 5.16, vem:

$$(r_{La} + s_{La})\hat{i}_{c1} - \hat{v}_{cp1} + \hat{v}_d + \hat{v}_{cp4} = 0 \quad (\text{d.50})$$

$$\hat{v}_{ap1} = -\hat{v}_{ap4} = \hat{v}_d \quad (\text{d.51})$$

• Para os nós p1, a1 devem ser consideradas as expressões, anteriormente apresentadas, (d.28), (d.29) e (d.30).

De (d.29) em (d.28) resulta (d.52).

$$\hat{i}_{a1} = \hat{i}_{c1} + \hat{i}_{a4} - \hat{i}_o \quad (\text{d.52})$$

Levando (d.43) e (d.46) em (d.52) obtém-se (d.53).

$$D\hat{i}_{c1} + I_{c1}\hat{d} = \hat{i}_{c1} + (D\hat{i}_{c4} + I_{c4}\hat{d}) - \hat{i}_o \quad (\text{d.53})$$

Em (d.53) substituindo-se (d.30) e lembrando que  $I_{c1} = -I_{c4}$  resulta (d.54).

$$\hat{i}_{c1} = \frac{\hat{i}_o + 2I_{c1}\hat{d}}{(1 - 2D)} \quad (\text{d.54})$$

Isolando-se os termos  $\hat{v}_{cp1}$  e  $\hat{v}_{cp4}$  em (d.44) e (d.47) produzem-se (d.55) e (d.56).

$$\hat{v}_{cp1} = \hat{v}_{ap1} D - \hat{i}_{cl} r_a + V_{D1} \hat{d} \quad (\text{d.55})$$

$$\hat{v}_{cp4} = \hat{v}_{ap4} D - \hat{i}_{c4} r_a + V_{D4} \hat{d} \quad (\text{d.56})$$

Substituindo-se (d.55) e (d.56) em (d.50) resulta (d.57)

$$\left(r_{La} + sL_a\right) \hat{i}_{cl} - \hat{v}_{ap1} D + \hat{i}_{cl} r_a - V_{D1} \hat{d} + \hat{v}_d + \hat{v}_{ap4} D - \hat{i}_{c4} r_a + V_{D4} \hat{d} = 0 \quad (\text{d.57})$$

De (d.42), (d.51) e (d.30) levadas em (d.57) resulta (d.58).

$$\left(r_{La} + sL_a + 2r_a\right) \hat{i}_{cl} + (1 - 2D) \hat{v}_d = 2V_{D1} \hat{d} \quad (\text{d.58})$$

Isolando-se  $\hat{v}_d$  em (d.27) e aplicando-o em (d.58) obtém-se (d.59).

$$sC_d \left(r_{La} + sL_a + 2r_a\right) \hat{i}_{cl} + (1 - 2D) \left(sr_{Cd} Cd + 1\right) \hat{i}_o = sC_d \left(2V_{D1} \hat{d}\right) \quad (\text{d.59})$$

Separando-se  $\hat{i}_o$  em (d.54) e substituindo-o em (d.59), após algumas operações algébricas, obtém-se (d.60).

$$\frac{\hat{i}_{La}(s)}{\hat{d}(s)} = \frac{s 2V_{D1} C_d + 2I_{cl} (1 - 2D) (sr_{Cd} C_d + 1)}{s^2 C_d L_a + sC_d \left(r_{La} + r_{Cd} (2D - 1)^2 + 2r_a\right) + (2D - 1)^2} \quad (\text{d.60})$$

Considerando  $I_{cl} = 0$ , de acordo com o desenvolvimento na seção 5.3.1.6, e colocando-se esta informação em (d.45) resulta:  $V_{D1} = V_d$ . Transportando este dado para a expressão (d.60) obtém-se (d.61).

$$\frac{\hat{i}_{La}(s)}{\hat{d}(s)} = \frac{s 2V_d C_d}{s^2 C_d L_a + sC_d \left(r_{La} + r_{Cd} (2D - 1)^2 + 2r_a\right) + (2D - 1)^2} \quad (\text{d.61})$$

A expressão (d.61) define a função de transferência da corrente no indutor  $L_a$  em função da variação da razão cíclica.

#### ■ Determinação da função de transferência $\hat{v}_d(s)/\hat{d}(s)$

Recuperando-se a expressão (d.58) e nela substituindo-se (d.54) produz-se (d.62).

$$\left(r_{La} + sL_a + 2r_a\right) \hat{i}_o + (1 - 2D)^2 \hat{v}_d = 2V_{D1} (1 - 2D) \hat{d} - 2I_{cl} \left(r_{La} + sL_a + 2r_a\right) \hat{d} \quad (\text{d.62})$$

Trocando  $\hat{i}_o$ , expresso em (d.27), na equação (d.62), depois de realizadas algumas operações, encontra-se (d.63). Esta é a função de transferência que relaciona a variação da tensão do barramento CC em função da variação da razão cíclica  $d$ .

$$\frac{\hat{v}_d(s)}{\hat{d}(s)} = \frac{[2V_{D1}(1-2D) - 2I_{c1}(r_{La} + sL_a + 2r_a)](sr_{Cd}C_d + 1)}{s^2C_dL_a + sC_d(r_{La} + r_{Cd}(2D-1)^2 + 2r_a) + (2D-1)^2} \quad (\text{d.63})$$

Tendo em vista que  $I_{c1} = 0$ , de acordo com o desenvolvimento na seção 5.3.1.6, e colocando-se esta informação em (d.45) resulta:  $V_{D1} = V_d$ . Inserindo-se este dado na expressão (d.63) obtém-se (d.64).

$$\frac{\hat{v}_d(s)}{\hat{d}(s)} = \frac{2V_d(1-2D)(sr_{Cd}C_d + 1)}{s^2C_dL_a + sC_d(r_{La} + r_{Cd}(2D-1)^2 + 2r_a) + (2D-1)^2} \quad (\text{d.64})$$

#### ▪ Determinação da função de transferência $\hat{v}_{ca}(s)/\hat{d}(s)$

A relação  $\hat{v}_{ca}(s)/\hat{d}(s)$  é obtida com o auxílio do circuito da fig. 5.17, derivado daquele apresentado na fig. 5.13.

Para esta função de transferência admitir-se-á que a tensão do barramento CC, em função da elevada constante de tempo do banco capacitivo, é constante e igual a  $V_d$  ( $\hat{v}_d = 0$ ). Logo essa fonte foi colocada em repouso (curto-circuitada) conforme constata-se do circuito da fig. 5.17. Inspeccionando-se o circuito da fig. 5.17 e considerando-se a malha I, resultam as relações (d.65), (d.66) e (d.67).

$$\hat{v}_{ca} + (r_{La} + sL_a)\hat{i}_{c1} - \hat{v}_{cp1} + \hat{v}_{cp4} = 0 \quad (\text{d.65})$$

$$\hat{v}_{ap1} = \hat{v}_{ap4} = 0 \quad (\text{d.66})$$

$$\hat{i}_{c1} = \frac{sC_a\hat{v}_{ca}}{sr_{Ca}C_a + 1} \quad (\text{d.67})$$

Aplicando-se (d.66) nas expressões (d.55) e (d.56) resultam (d.68) e (d.69).

$$\hat{v}_{cp1} = -\hat{i}_{c1}r_a + V_{D1}\hat{d} \quad (\text{d.68})$$

$$\hat{v}_{cp4} = -\hat{i}_{c4}r_a + V_{D4}\hat{d} \quad (\text{d.69})$$

Levando-se (d.49) e (d.30) na expressão (d.69) encontra-se (d.70).

$$\hat{v}_{cp4} = \hat{i}_{cl} r_a - V_{DI} \hat{d} \quad (\text{d.70})$$

Usando-se as expressões (d.67), (d.68) e (d.70) na expressão (d.65) produz-se (d.71).

$$\hat{v}_{ca} + (r_{La} + sL_a) \frac{s C_a \hat{v}_{ca}}{s r_{ca} C_a + 1} + 2 \hat{i}_{cl} r_a = 2 V_{DI} \hat{d} \quad (\text{d.71})$$

Substituindo-se novamente  $\hat{i}_{c1}$ , (d.67) em (d.71), resulta (d.72), a qual expressa a relação entre a tensão do capacitor  $C_a$  e a variação da razão cíclica  $d$ .

$$\frac{\hat{v}_{ca}(s)}{\hat{d}(s)} = \frac{2 V_{DI} (s r_{Ca} C_a + 1)}{s^2 C_a L_a + s C_a (r_{Ca} + r_{La} + 2 r_a) + 1} \quad (\text{d.72})$$

Quando  $I_{c1} = 0$ , de acordo com o desenvolvimento na seção 5.3.1.6, e colocando-se esta informação em (d.46) resulta:  $V_{DI} = V_d$ . Transportando-se esta informação para a expressão (d.72) obtém-se (d.73).

$$\frac{\hat{v}_{ca}(s)}{\hat{d}(s)} = \frac{2 V_d (s r_{Ca} C_a + 1)}{s^2 C_a L_a + s C_a (r_{Ca} + r_{La} + 2 r_a) + 1} \quad (\text{d.73})$$

## APÊNDICE E

### PROGRAMA DE CONTROLE DO FILTRO ATIVO SÉRIE

No capítulo VI, seção 6.4.2 discutiu-se a organização do programa de controle para o filtro ativo série. Aquele programa foi escrito em linguagem de baixo nível (*assembly* do DSP TMS320F243) e seu código fonte é apresentado a seguir.

```
;arquivo: e_fas19c.asm
;-----
;section: allocation in memory
;-----
;program memory sections
    .setsect "vectors" ,08000h,0
    .setsect "text" ,08800h,0
;data memory sections
    .setsect "dram" ,0300h,1
    .setsect ".data" ,08100h,1
    .setsect "buffer" ,09000h,1
    .setsect "stack" ,0a000h,1
;-----
; 320C24x registros
;core registers
imr .set 0004h ; Interrupt Mask Register
greg .set 0005h ; Global memory allocation Register
ifr .set 0006h ; Interrupt Flag Register
;-----
;System configuration and interrupt registers
scsr .set 7018h ; System Control & Status Reg. X241/2/3 only.
dir .set 701Ch ; Device Identification Register.
pivr .set 701Eh ; Peripheral Interrupt Vector Reg. X241/2/3 only.
pirqr0 .set 7010h ; Periph Interrupt Request Reg 0. X241/2/3 only.
pirqr1 .set 7011h ; Periph Interrupt Request Reg 1. X241/2/3 only.
;-----
; External interrupt configuration registers
xint1cr .set 7070h ; Ext. interrupt 1 config reg for X241/2/3 only.
xint2cr .set 7071h ; External interrupt 2 config. X241/2/3 only.
;-----
; Digital I/O registers
ocra .set 7090h ; Output Control Reg A
ocrb .set 7092h ; Output Control Reg B
padatdir .set 7098h ; I/O port A Data & Direction reg.
pbdatdir .set 709Ah ; I/O port B Data & Direction reg.
pcdatdir .set 709Ch ; I/O port C Data & Direction reg.
pddatdir .set 709Eh ; I/O port D Data & Direction reg.
;-----
; Watchdog (WD) registers
wdcntr .set 7023h ; WD Counter reg
wdkey .set 7025h ; WD Key reg
wdcr .set 7029h ; WD Control reg
;-----
; ADC registers
adctrl1 .set 7032h ; ADC Control Reg1
adctrl2 .set 7034h ; ADC Control Reg2
adcifo1 .set 7036h ; ADC DATA REG FIFO for ADC1
adcifo2 .set 7038h ; ADC DATA REG FIFO for ADC2
;-----
; SPI registers
;-----
; SCI registers
scicor .set 7050h ; SCI Communication control reg
scicl1 .set 7051h ; SCI Control reg1
scihbaud .set 7052h ; SCI Baud Rate MSbyte reg
scilbaud .set 7053h ; SCI Baud Rate LSbyte reg
scicl2 .set 7054h ; SCI Control reg2
scirxst .set 7055h ; SCI Receiver Status reg
scirxemu .set 7056h ; SCI Emulation Data Buffer reg
scirxbuf .set 7057h ; SCI Receiver Data buffer reg
scitxbuf .set 7059h ; SCI Transmit Data buffer reg
scipri .set 705Fh ; SCI Priority control reg
;-----
; Event Manager (EV) registers
gptcon .set 7400h ; GP Timer control register.
t1cnt .set 7401h ; GP Timer 1 counter register.
t1cmpr .set 7402h ; GP Timer 1 compare register.
t1pr .set 7403h ; GP Timer 1 period register.
t1con .set 7404h ; GP Timer 1 control register.
t2cnt .set 7405h ; GP Timer 2 counter register.
t2cmpr .set 7406h ; GP Timer 2 compare register.
t2pr .set 7407h ; GP Timer 2 period register.
t2con .set 7408h ; GP Timer 2 control register.
comcon .set 7411h ; Compare control register.
acr .set 7413h ; Full compare action control register.
dbtcon .set 7415h ; Dead-band timer control register.
cmpr1 .set 7417h ; Full compare unit compare register1.
cmpr2 .set 7418h ; Full compare unit compare register2.
cmpr3 .set 7419h ; Full compare unit compare register3.
capcon .set 7420h ; Capture control register.
capfif0 .set 7422h ; Capture FIFO status register.
cap1fif0 .set 7423h ; Capture Channel 1 FIFO Top
cap2fif0 .set 7424h ; Capture Channel 2 FIFO Top
cap3fif0 .set 7425h ; Capture Channel 3 FIFO Top
cap1fbot .set 7427h ; Bottom Register of Capture FIFO Stack 1
cap2fbot .set 7428h ; Bottom Register of Capture FIFO Stack 2
cap3fbot .set 7429h ; Bottom Register of Capture FIFO Stack 3
evimra .set 742Ch ; Group A Interrupt Mask Register
evimrb .set 742Dh ; Group B Interrupt Mask Register
evimrc .set 742Eh ; Group C Interrupt Mask Register
evifra .set 742Fh ; Group A Interrupt Flag Register
evifrb .set 7430h ; Group B Interrupt Flag Register
evifrc .set 7431h ; Group C Interrupt Flag Register
;-----
; CAN registers. F241/3 only.
;-----
; I/O space mapped registers
wsgr .set 0FFFFh ; Wait State Generator Control Reg
fcmr .set 0FF0Fh ; Flash control mode register
;-----
; Bit codes for Test bit instruction (BIT) (15 Loads bit 0 into TC)
bit15 .set 0000h ; Bit Code for 15
bit14 .set 0001h ; Bit Code for 14
bit13 .set 0002h ; Bit Code for 13
bit12 .set 0003h ; Bit Code for 12
bit11 .set 0004h ; Bit Code for 11
bit10 .set 0005h ; Bit Code for 10
bit9 .set 0006h ; Bit Code for 9
bit8 .set 0007h ; Bit Code for 8
bit7 .set 0008h ; Bit Code for 7
bit6 .set 0009h ; Bit Code for 6
bit5 .set 000Ah ; Bit Code for 5
bit4 .set 000Bh ; Bit Code for 4
bit3 .set 000Ch ; Bit Code for 3
bit2 .set 000Dh ; Bit Code for 2
bit1 .set 000Eh ; Bit Code for 1
bit0 .set 000Fh ; Bit Code for 0
;-----
; Other useful definitions
;-----
;Data page definitions for LDP instruction
dp_p1 .set 224 ;sys.WD,ADC,SPI,SCI,extINTregs(7000h-707fh)
dp_p2 .set 225 ;GPIO (7080h-70ffh)
dp_ev .set 232 ;Event manager (7400h-747fh)
;-----
;interrupt vector table
    .sect "vectors"
    B start ;00h reset
int1: B int1 ;02h INT1
int2: B t1int ;04h INT2
int3: B int3 ;06h INT3
int4: B cap1int ;08h INT4
int5: B int5 ;0ah INT5(reserved by the
DSK)
int6: B int6 ;0ch INT6
int7: B int7 ;0eh reserved
int8: B int8 ;10h INT8 user defined
int9: B int9 ;12h INT9 user defined
```



```

int10:    B        int10        ;14h INT10 user defined
int11:    B        int11        ;16h INT11 user defined
int12:    B        int12        ;18h INT12 user defined
int13:    B        int13        ;1ah INT13 user defined
int14:    B        int14        ;1ch INT14 user defined
int15:    B        int15        ;1eh INT15 user defined
int16:    B        int16        ;20h INT16 user defined
int17:    B        int17        ;22h TRAP
int18:    B        int18        ;24h NMI
int19:    B        int19        ;26h reserved
int20:    B        int20        ;28h INT20 user defined
int21:    B        int21        ;2ah INT21
int22:    B        int22        ;2ch INT22
int23:    B        int23        ;2eh INT23
int24:    B        int24        ;30h INT24
int25:    B        int25        ;32h INT25
int26:    B        int26        ;34h INT26
int27:    B        int27        ;36h INT27
int28:    B        int28        ;38h INT28
int29:    B        int29        ;3ah INT29
int30:    B        int30        ;3ch INT30
int31:    B        int31        ;3eh INT31
;-----
;constants definitions - program
;-----
t1_rate      set      278        ;freq amostragem 35971kHz
stk_len      equ      100        ;tamanho do stack
dp_300       equ      06         ;@ pag. DARAM (@0300h)
dp_8100      equ      258        ;@ p a g .   d a s
variáveis(@8100h)
dp_buf       equ      288        ;@ p a g .   d o s
buffers(@9000h)
dp_stk       equ      320        ;@ pag. do stack(@A000h)
f_cmp3       equ      139        ;full compare#3 (pwm6,5)
;-----
;coef. de H2(z) - constantes
k0_in        equ      321dh      ;q12
k1_in        equ      9efbh      ;q12
k2_in        equ      5ff3h      ;q13
k3_in        equ      7f5ch      ;q15
k4_in        equ      00a4h      ;q15
;-----
ukpmax       equ      4580h      ;
uknmax       equ      0ba80h     ;
ukref        equ      4580h      ;
;-----
epmax        equ      007fh      ;127=7fh(q0)
enmax        equ      0ff80h     ;128=ff80h(q0)
e_ref        equ      007fh      ;127=7fh(q0)
dpmax        equ      00ffh      ;255=ffh(q0)
dnmax        equ      0ff00h     ;255=ff00h(q0)
vdref        equ      00ffh      ;255=ffh(q0)
;-----
;variable and section definitions
;-----
temp1        .data             ;@08100h
               .int             ;variável temporária
;-----
AD_an0       .sect "dram" @0300
AD_an1       .int             0 ;AD_an0(Ve)
AD_an2       .int             0 ;AD_an1(Va)
seno1        .int             0 ;AD_an2(Vdc)
somabuf      .int             0 ;valor do seno
index        .int             0 ;índice p/ tabela-seno
flag1        .int             0 ;flag de teste
contaux      .int             0 ;contador
;-----
;reservar espaço para variáveis
en0          .int             0 ;
en1          .int             0 ;
en2          .int             0 ;
unL          .int             0 ;
unH          .int             0 ;
un2          .int             0 ;
raux1        .int             0 ;reg. auxiliar1
raux0        .int             0 ;reg. auxiliar2
k0           .int             0 ;
k1           .int             0 ;
k2           .int             0 ;
k3           .int             0 ;
k4           .int             0 ;
;-----
raux2        .int             0 ;
va1          .int             0 ;
vdh1         .int             0 ;
;-----
stk          .sect "stack" ,0a000h
               .int             0 ;stk (1a. posição)
               space (stk_len-1)*16
;-----
;23456789012345678901 PROGRAMA PRINCIPAL
;-----

```

```

.text
start:
        setc        intm        ;desativa as interrupções
globalmente
        clrc        sxm        ;zera o bit de extensão
;-----
;Disable the watchdog
;-----
        ldp        #dp_p1        ;dp=dp_p1=224, pag. do
watchdog
        splk       #01101000b,wdcr ;desabil. watchdog
               x76543210
;-----
;Setup the system control register
;-----
        ldp        #dp_p1
        splk       #000000000000000b,scsr
               x5432109876543210
;-----
;setup the wait-state generator
;-----
        ldp        #temp1
        splk       #000000000000000b,temp1
               x5432109876543210
        out        temp1,wsgr
;-----
;configura stack de programa
;-----
        lar        AR1,#stk      ;stack do programa AR1=@stk
;-----
;setup the core interrupts
;-----
        ldp        #0h           ;dp=00h
        lacl       #001011b     ;permite int. por int#4,2,1
        sacl       ifr          ;limpa os flags de
interrupção
        or         imr          ;OR com o imr
        sacl       imr          ;atualiza o imr
;-----
;Setup shared I/O pins
;-----
        ldp        #dp_p2        ;cfg i/o pins(TxD,RxD,cap#1)
        splk       #0000110000001011b,ocra
               x5432109876543210
;-----
        splk       #000000000000000b,ocrb
               x5432109876543210
;-----
;configura o ADC
;-----
        ldp        #dp_p1        ;dp = ADC registros
        splk       #0011110100010000b,adctrl1
               x5432109876543210
;-----
        splk       #001100000000000b,adctrl2
               x5432109876543210
;-----
;setup GP Timer1
;-----
        ldp        #dp_ev        ;dp=@(reg. timer1 -
@7400h-747fh)
        splk       #0000h,t1cnt  ;zera contador do timer1
        splk       #t1_rate,t1pr ;inicial. timer1 period (36 kHz)
;-----
        splk       #0000000001000000b,gptcon ;inicial. gptcon register
               x5432109876543210
;-----
        splk       #000010000000000b,t1con  ;config.
timer1(up/down cont.)
        splk       #0000100001000000b,t1con  ;inicia
contagem(up/down cont.)
               x5432109876543210
;-----
        splk       #0010001000000000b,comcon ;init COMCON
register
        splk       #1010001000000000b,comcon ;init COMCON
register
               x5432109876543210
;-----
        splk       #0000001100000000b,actr ;init ACTR register
               x5432109876543210
;-----
        splk       #0000h,dbtcon  ;inicial. deadband register,
deadband=0
               x5432109876543210
;-----
;configurar capture #1
;-----
        ldp        #dp_ev        ;dp=@regs.do EV
@7400h-747fh)
        splk       #0010000001000000b,capcon ;
        splk       #1010000001000000b,capcon ;inicia o
capture #1

```



```

;limites de u(k)      sacL      raux0,1      ;raux0<=accl      splk      #0000h,contaux      ;contaux=0
verif:      lacc      raux1      ;acc<=raux1(q7)      ;retorno de subrotina      splk      #0000h,index      ;index=0
            bcnd      ukneg,lT      ;se acc<0, ir p/ ukneg      mar      *,AR1      ;arp=AR1
            b      ukpos      ;se acc>0, ir p/ ukpos      mar      *-      ;decrem. AR1 >>aponta p/
ukneg:      add      #ukref      ;acc(q7)<=raux1+ukref      ultima entrada      lacl      *-      ;restaura accl
            bcnd      uklim,lT      ;acc<0, (uk<(ukref))      add      *,16      ;restaura acch
            b      visto      ;acc>0, (uk<(ukref)) ir p/      lst      #0,*-      ;restaura ST0
visto      splk      #uknmax,raux1      ;(q7)raux1<=uknmax      lst      #1,*      ;restaura ST1
uklimL:      splk      #0,raux0      ;raux0=0      clrc      intm      ;habilita interrupcoes
            setc      xf      ;ir p/ visto      ret      ;retorno de subrotina
            b      visto      ;ir p/ visto      ;~~~~~
ukpos:      sub      #ukref      ;acc(q12)<=raux1-ukref      ;timer1 (int2) interrupt service routine
            bcnd      uklimH,gt      ;acc>0, (uk<(ukref))      ;~~~~~
            b      visto      ;acc<0, (uk<(ukref)) ir p/      t1int:      ;salvar conteúdos
visto      splk      #ukpmax,raux1      ;(q12)raux1<=ukpmax      mar      *,AR1      ;arp=AR1->aponta p/ stack
uklimH:      splk      #0,raux0      ;raux0=0      sst      #1,*+      ;armz ST1
            setc      xf      ;      sst      #0,*+      ;armz ST0
;atualiza valor de u(k)      lacc      raux0      ;accL=raux0, accH=0      ;iniciar conversão adc#1-an2
visto:      lacl      raux0      ;a c c H < = r a u x 1 e      ldp      #dp_p1      ;aponta > pag. ADC
acc(q23)=uk(raux1+raux0)      add      raux1,16      ;      splk      #0010110100000100b,adctrl1      ;An2
;atualizar u(k)      sach      unH      ;raux1(q7)=>unH, (atualiza      ;ler e armaz. resultado adc#1-an0 (2o,3o,... resultados)
valor de u(k)      sacL      unL      ;raux0=>unL      clrc      sxm      ;sem extensão de sinal
            sach      raux1      ;raux1(q7)      lacc      adcfifo1,10      ;le resultado ADC (na fifo)
;conversão de u(k) p/ usar no reg. compare      lacc      raux1      ;raux1 q7      lacc      adcfifo1,10      ;le resultado ADC (na fifo)
            rpt      #6      ;      ldp      #dp_300      ;dp=@(AD_an0)
            sfr      ;      sach      AD_an0      ;AD_an0<=accH(an0)
            add      #8bh      ;      ;ler e armaz. resultado adc#2-an1 (2o,3o,... resultados)
            sacL      raux0      ;      ldp      #dp_p1      ;aponta > pag. ADC
;carregar valor p/ reg. pwm      lacc      adcfifo2,10      ;le resultado ADC (na fifo)
            ldp      #dp_ev      ;dp=@(7400h-747fh)      lacc      adcfifo2,10      ;le resultado ADC (na fifo)
            sacL      cmpR3      ;atualiza compare register      ldp      #dp_300      ;dp=@(AD_an1)
            ret      ;fim e retorno da função      sach      AD_an1      ;AD_an1<=accH(an1)
cmpHaz      ;aguardar (2xeoc) adc#1-an2      ldp      #dp_p1      ;dp=@ADC registros
            ;adcg1:      bit      adctrl2,bit4      ;tc<=bit4 (2 valores na fifo)
            bcnd      adcg1,NTC      ;tc=0(bit4=0), aguardar      ;reinicar adc#1,2-an0,an1
            splk      #0011110100010000b,adctrl1      ;an0,an1
            ;ler/armz. adc#1-an2      splk      #0011110100010000b,adctrl1      ;an0,an1
            ;      x5432109876543210
            ;ler/armz. adc#1-an2      lacc      adcfifo1,10      ;le resultado ADC (na fifo)
            lacc      adcfifo1,10      ;le resultado ADC (na fifo)
            ldp      #dp_300      ;dp=@(AD_an2)
            sach      AD_an2      ;AD_an2<=accH(an2)
            ;chamar funções
            call Vr_err
            call cmpHaz
            ;~~~~~
            ;limpar flag req. interrupção
            ldp      #dp_ev      ; d p = @ ( e v e n t
            reg.)=@(7400h-747fh)      ;
            splk      #0ffff,evifra      ;clear interrupt flags
            ;atualizar contador auxiliar (contaux)
            ldp      #dp_300      ;
            lacl      contaux      ;acc=(contaux)
            add      #1h      ;acc=*+
            sach      contaux      ;contaux=(acc)
            ;context restore
            mar      *,AR1      ;arp=AR1
            mar      *-      ;decrem. AR1 >>aponta p/
ultima entrada      lacl      *-      ;restaura accl
            add      *,16      ;restaura acch
            lst      #0,*-      ;restaura ST0
            lst      #1,*      ;restaura ST1
            clrc      intm      ;habilita interrupcoes
            ret      ;retorno de subrotina
            ;~~~~~
;Tabela valores de seno
stable      .word 0,5,9,14,18,23,28,32,37,42
            .word 46,51,55,60,64,69,74,78,83,87
            .word 92,96,101,105,110,114,119,123,127,132
            .word 136,141,145,149,154,158,162,167,171,175
            .word 179,184,188,192,196,200,204,208,212,216
            .word 221,224,228,232,236,240,244,248,252,255
            .word 259,263,267,270,274,278,281,285,288,292
            .word 295,299,302,305,309,312,315,318,321,325
            .word 328,331,334,337,340,343,346,348,351,354
            .word 357,359,362,365,367,370,372,375,377,380
            .word 382,384,386,389,391,393,395,397,399,401
            .word 403,405,407,408,410,412,413,415,416,418
            .word 419,421,422,423,425,426,427,428,429,430
            .word 431,432,433,434,435,436,436,437,438,438
            .word 439,439,439,440,440,440,441,441,441,441
            .word 441,441,441,441,441,440,440,440,439,439
            .word 439,438,438,437,436,436,435,434,433,432
            .word 431,430,429,428,427,426,425,423,422,421
            .word 419,418,416,415,413,412,410,408,407,405
            .word 403,401,399,397,395,393,391,389,386,384
            .word 382,380,377,375,372,370,367,365,362,359

```

.word 357,354,351,348,346,343,340,337,334,331  
.word 328,325,321,318,315,312,309,305,302,299  
.word 295,292,288,285,281,278,274,270,267,263  
.word 259,255,252,248,244,240,236,232,228,224  
.word 221,216,212,208,204,200,196,192,188,184  
.word 179,175,171,167,162,158,154,149,145,141  
.word 136,132,127,123,119,114,110,105,101,96  
.word 92,87,83,78,74,69,64,60,55,51  
.word 46,42,37,32,28,23,18,14,9,5  
.word 0,-5,-9,-14,-18,-23,-28,-32,-37,-42  
.word -46,-51,-55,-60,-64,-69,-74,-78,-83,-87  
.word -92,-96,-101,-105,-110,-114,-119,-123,-127,-132  
.word -136,-141,-145,-149,-154,-158,-162,-167,-171,-175  
.word -179,-184,-188,-192,-196,-200,-204,-208,-212,-216  
.word -221,-224,-228,-232,-236,-240,-244,-248,-252,-255  
.word -259,-263,-267,-270,-274,-278,-281,-285,-288,-292  
.word -295,-299,-302,-305,-309,-312,-315,-318,-321,-325  
.word -328,-331,-334,-337,-340,-343,-346,-348,-351,-354  
.word -357,-359,-362,-365,-367,-370,-372,-375,-377,-380  
.word -382,-384,-386,-389,-391,-393,-395,-397,-399,-401  
.word -403,-405,-407,-408,-410,-412,-413,-415,-416,-418  
.word -419,-421,-422,-423,-425,-426,-427,-428,-429,-430

.word -431,-432,-433,-434,-435,-436,-436,-437,-438,-438  
.word -439,-439,-439,-440,-440,-440,-441,-441,-441,-441  
.word -441,-441,-441,-441,-441,-440,-440,-440,-439,-439  
.word -439,-438,-438,-437,-436,-436,-435,-434,-433,-432  
.word -431,-430,-429,-428,-427,-426,-425,-423,-422,-421  
.word -419,-418,-416,-415,-413,-412,-410,-408,-407,-405  
.word -403,-401,-399,-397,-395,-393,-391,-389,-386,-384  
.word -382,-380,-377,-375,-372,-370,-367,-365,-362,-359  
.word -357,-354,-351,-348,-346,-343,-340,-337,-334,-331  
.word -328,-325,-321,-318,-315,-312,-309,-305,-302,-299  
.word -295,-292,-288,-285,-281,-278,-274,-270,-267,-263  
.word -259,-255,-252,-248,-244,-240,-236,-232,-228,-224  
.word -221,-216,-212,-208,-204,-200,-196,-192,-188,-184  
.word -179,-175,-171,-167,-162,-158,-154,-149,-145,-141  
.word -136,-132,-127,-123,-119,-114,-110,-105,-101,-96  
.word -92,-87,-83,-78,-74,-69,-64,-60,-55,-51  
.word -46,-42,-37,-32,-28,-23,-18,-14,-9,-5

-----  
.end

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1] GRUZS, Thomas M. A survey of neutral currents in three-phase computer power systems. *IEEE Trans. on Industry Applications*, New York, v. 26, n. 4, p. 719-725, July/Aug. 1990.
- [2] EMANUEL, Alexander E.; ORR, John A.; CYGANSKI, David et al. A survey of harmonics voltages, currents at the customer's bus. *IEEE Trans. on Power Delivery*, New York, v. 8, n. 1, p. 411-421, Jan. 1993.
- [3] INTERNATIONAL ELETROTECHNICAL COMMISSION, IEC 61000-3-2 International Standard, Geneve- Switzerland, 1998.
- [4] INTERNATIONAL ELETROTECHNICAL COMMISSION, IEC 61000-3-4 International Standard, Geneve- Switzerland, 1998.
- [5] INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, IEEE Recommended Practices for Harmonic Control in Electric Power System, IEEE 519, 1992.
- [6] PÖTTKER DE SOUZA, Fabiana. *Correção do fator de potência para instalações de baixa potência empregando filtros ativos*. Florianópolis, 2000. Tese (Doutorado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [7] GYUGYI, L.; STRYCUDA, E. C. Active AC power filter. In: Conf. Rec. IEEE-IAS Annual Meeting, 1976, p. 529-535.
- [8] SINGH, Bhim; AL-HADDAD Kamal; CHANDRA, Ambrish. A review of active filters for power quality improvement. *IEEE Trans. on Industrial Electronics*, New York, v. 46, n. 5, p. 960-971, Oct. 1999.
- [9] EL-HABROUK, M.; DARWISH, M. K.; MEHTA, P. Active power filters: a review. *IEE Proceedings of Electric Power Applications*, v.147, n. 5, p. 403-413, Sept. 2000.
- [10] HSU, Chin-Yuan; WU, Horng-Yuan. A new single-phase active power filter with reduced energy storage capacitor. In: IEEE ANNUAL POWER ELECTRONICS SPECIALISTS CONFERENCE - PESC 1995 (26. : June 18-22, 1995 : Atlanta, Georgia - USA). *Conference Proceedings*. Atlanta, 1995. v.1, p. 202-208.
- [11] PÖTTKER, Fabiana; BARBI, Ivo. Power factor correction of non-linear loads employing a single-phase active power filter: control strategy, design methodology and experimentation. In: IEEE ANNUAL POWER ELECTRONICS SPECIALISTS CONFERENCE - PESC 1997 (28. : June 22-27, 1997 : St. Louis, Missouri - USA) *Record*. St. Louis, 1997. v. 1, p. 412-417.
- [12] CAMPOS, Alexandre; JOOS, Geza; ZIOGAS, Phoivos D. et al. Analysis and design of a series voltage compensator for three-phase unbalanced sources. In: INTERNATIONAL CONFERENCE ON INDUSTRIAL ELECTRONICS, CONTROL AND INSTRUMENTATION - IECON'91 ( : October 28 - November 1, 1991 : Kobe - JAPAN). *Proceedings*. Kobe, 1991. p. 729-734.
- [13] \_\_\_\_\_. Analysis and design of a series voltage unbalance compensator based on a three-phase VSI operating with unbalanced switching functions. In: IEEE ANNUAL POWER ELECTRONICS SPECIALISTS CONFERENCE - PESC 1992 (23. : June 29 - July3, 1992 : Toledo - SPAIN) *Record*. Toledo, 1992. p. 1221-1228.

- [14] \_\_\_\_\_. Analysis and design of a series-connected PWM voltage regulator for single-phase AC sources. *IEEE Trans. on Industry Applications*, New York, v. 32, n. 6, p. 1285-1292, Nov./Dec. 1996.
- [15] CLARO, Carlos Alberto; CAMPOS, Alexandre. Analysis and design of a series AC voltage conditioner employing a dead beat control technique. In: INTERNATIONAL CONFERENCE ON INDUSTRIAL ELECTRONICS, CONTROL AND INSTRUMENTATION - IECON'98 (24. : August 31 - September 4, 1998 : Aachen - GERMANY). *Proceedings*. Aachen, 1998. v. 1, p. 385-390.
- [16] LEE, S.-Y.; CHAE, Y.-M.; CHO, J.-S. et al. A new control strategy for instantaneous voltage compensator using 3-phase PWM inverter. In: IEEE ANNUAL POWER ELECTRONICS SPECIALISTS CONFERENCE - PESC 1998 (29. : May 17 - 22, 1998 : Fukuoka - JAPAN). *Record*. Fukuoka, 1998. v. 1, p. 248-254.
- [17] WANG, Qun; YAO, Weizheng; LIU, Jinjun et al. Voltage type harmonic source and series active power filter adopting new control approach. In: INTERNATIONAL CONFERENCE ON INDUSTRIAL ELECTRONICS, CONTROL AND INSTRUMENTATION - IECON'99 (25. : November 29 - December 3, 1999 : San Jose, CA - USA). *Proceedings*. San Jose, 1999. v. 2, p. 843-848.
- [18] RAJU, N. R.; VENKATA, S. S.; SASTRY, V. V. A decoupled series compensator for voltage regulation and harmonic compensation. In: IEEE ANNUAL POWER ELECTRONICS SPECIALISTS CONFERENCE - PESC 1996 (27. : June 23-27, 1996 : Baveno (VB), - ITALY). *Record*. Baveno, 1996. v. 1, p. 527-531.
- [19] NASTRAN, Janko; CAJHEN, Rafael; SELIGER, Matija et al. Active power filter for nonlinear AC loads. *IEEE Trans. on Power Electronics*, New York, v. 9, n. 1, p. 92-96, Jan. 1994.
- [20] KOCZARA, Wlodzimierz; DAKYO, Brayima. AC voltage hybrid filter. In: INTERNATIONAL TELECOMMUNICATIONS ENERGY CONFERENCE - INTELEC 1999 (21. : June 6-9, 1999 : Copenhagen, DENMARK). *Proceedings* Copenhagen, 1999. section 9-2, 8 pp.
- [21] PENG, Fang Zheng; AKAGI, Hirofumi; NABAE, Akira. A new approach to harmonic compensation in power systems - a combined system of shunt passive and series active filters. *IEEE Trans. on Industry Applications*, New York, v. 26, n. 6, p. 983-990, Nov./Dec. 1990.
- [22] MORÁN, Luis; WERLINGER, Pedro; DIXON, Juan et al. A series active power filter which compensates current harmonics and voltage unbalance simultaneously. In: IEEE ANNUAL POWER ELECTRONICS SPECIALISTS CONFERENCE - PESC 1995 (26. : June 18-22, 1995 : Atlanta, Georgia - USA). *Conference Proceedings*. Atlanta, 1995. v.1 p. 222-227.
- [23] DIXON, Juan; VENEGAS, Gustavo; MORÁN, Luis. A series active power filter based on a sinusoidal current controlled voltage source inverter. In: INTERNATIONAL CONFERENCE ON INDUSTRIAL ELECTRONICS, CONTROL AND INSTRUMENTATION - IECON'95 (21. : November 6-10, 1995 : Orlando, Florida - USA). *Proceedings*. Orlando, 1995. v. 2, p. 639-644.
- [24] FUJITA, Hideaki; AKAGI, Hirofumi. A practical approach to harmonic compensation in power systems - series connection of passive and active filters. *IEEE Trans. on Industry Applications*, New York, v. 27, n. 6, p. 1020-1025, Nov./Dec. 1991.
- [25] LÍBANO, Fausto B.; COBOS, José A; UCEDA, Javier. Simplified control strategy for hybrid active filters. In: IEEE ANNUAL POWER ELECTRONICS SPECIALISTS

- CONFERENCE - PESC 1997 (28. : June 22-27, 1997 : St. Louis, Missouri - USA). *Record*. St. Louis, 1997. v. 2, p. 1102-1108.
- [26] JUNG, Gu H.; CHO, Gyu H. New active power filter with simple low cost structure without tuned filters. In: IEEE ANNUAL POWER ELECTRONICS SPECIALISTS CONFERENCE - PESC 1998 (29. : May 17 - 22, 1998 : Fukuoka - JAPAN). *Record*. Fukuoka, 1998. v.1, p. 217-222.
- [27] KAMRAN, Farrukh; HABELTLER, Thomas G. Combined deadbeat control of a series-parallel converter combination used as a universal power filter. In: IEEE ANNUAL POWER ELECTRONICS SPECIALISTS CONFERENCE - PESC 1995 (26. : June 18-22, 1995 : Atlanta, Georgia - USA). *Conference Proceedings*. Atlanta, 1995. v. 1, p. 196-201.
- [28] CLARO, Carlos A.; KAFFKA, Jonas; CAMPOS, Alexandre. A fully digital control employing a dead beat technique for active power filters. In: IEEE ANNUAL POWER ELECTRONICS SPECIALISTS CONFERENCE - PESC 1999 (30. : June - July, 1999 : Charleston, South Carolina - USA). *Record*. Charleston, 1999. v. 1, p. 143-148.
- [29] Microsim Design Center, 1997. Versão 8.0. Pspice, programa de simulação de circuitos eletrônicos analógicos e digitais.
- [30] BARBI, Ivo. *Eletrônica de potência*. 3 ed. Edição do autor: Florianópolis, 2000.
- [31] SHATTUCK, D. P. Improving the inverter output waveshape. In: BEDFORD, B. D.; HOFT, R. G. *Principles of inverter circuits*. 1 ed. New York: John Wiley & Sons, Inc., 1964. p. 279-315.
- [32] BARBI, Ivo. *Eletrônica de potência: projetos de fontes chaveadas*. Edição do autor: Florianópolis, 2001.
- [33] FRANCO, Sergio. *Design with operational amplifiers and analog integrated circuits*. 2 ed. Singapore: McGraw-Hill International Editions, 1998.
- [34] UNITRODE. *Switching regulated power supply design seminar manual*. 1986.
- [35] LE-HUY, Hoang. Microprocessors and digital ICs for control of power electronics and drives. In: BOSE, B. K. *Power electronics and variable frequency drives: technology and applications*. 1. ed. New York: IEEE PRESS, 1996. p. 480-558.
- [36] AHMED, Irfan. *Digital control applications with the TMS320 family: selected application notes*. 1 ed. Owensville, Missouri: Texas Instruments Inc., 1991.
- [37] LAPSLEY, Phil; BIER, Jeff; SHOHAM, Amit et al. *DSP processor fundamentals: architectures and features*. 1 ed. New York: IEEE PRESS, 1997.
- [38] THE MATHWORKS INC. *Fixed-point blockset for use with SIMULINK user's guide: modeling, simulation, implementation - version 2.0*. 3 ed. Natick: The MathWorks Inc., 1999
- [39] ALTER, David. *TMS320 DSP Designer's notebook: using the capture units for low speed velocity estimation on a TMS320C240*. Application brief: SPRA363. 1 ed. Houston: Texas Instruments, 1997
- [40] TOMASELLI, Luis Cândido. *Controle de um pré-regulador com alto fator de potência utilizando o controlador DSP TMS320F243*. Florianópolis, 2001. Dissertação (Mestrado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [41] TEXAS INSTRUMENTS. *TMS320F/C24x DSP controllers reference guide: cpu and instruction set*. Literatura number: SPRU160C.1 ed. Dallas: Tarrant Dallas Printing, Inc., 1999.

- [42] TEXAS INSTRUMENTS. *TMS320F243, TMS320F241 DSP controllers*. Literature number: SPRUS064B. 2 ed. Houston: Texas Instruments, 1999.
- [43] TEXAS INSTRUMENTS. *TMS320F243, TMS320F241 DSP controllers*. Literature number: SPRU276C. Houston: Texas Instruments, 2000.
- [44] VORPÉRIAN, Vatché. Simplified analysis of PWM converters using the model of the PWM switch - Part I: continuous conduction mode. In: SEVENTH ANNUAL VIRGINIA POWER ELECTRONICS CENTER SEMINAR - 1989 VPEC SEMINAR (7. : September 25-27, 1989 : Blacksburg, Virginia - USA). *Proceedings*. Blacksburg, 1989. v. 7, p. 1-9.
- [45] JURY, E. I. *Theory and application of the z-transform method*. 3. ed. Malabar: Robert E. Krieger Publishing Company, Inc., 1982.
- [46] PHILLIPS, Charles L.; NAGLE, H. Troy. *Digital control system analysis and design*. 3 ed. New Jersey, Prentice-Hall, Inc., 1995.
- [47] OGATA, Katsuhiko. *Discrete-time control systems*. 2. ed. New Jersey: Prentice-Hall, Inc., 1995.
- [48] SPECTRUM DIGITAL, INC. *F243DSK Technical reference*. Houston: Spectrum Digital Inc., 1999.
- [49] SPECTRUM DIGITAL, INC. *F24x DSK Setup and tutorial*. Houston: Spectrum Digital Inc., 1999.
- [50] SPECTRUM DIGITAL, INC. *Spectrum digital symbolic assembler for the F24x DSP - Technical reference*. Houston: Spectrum Digital Inc., 1999.
- [51] TEXAS INSTRUMENTS. *TMS320C1x/C2x/C2xx/C5x assembly language tools user guide*. Owensville: Custom Printing Company, 1995.
- [52] RIBEIRO, Enio R.; BARBI, Ivo. A series active power filter for harmonic voltage suppression. In: INTERNATIONAL TELECOMMUNICATIONS ENERGY CONFERENCE - INTELEC 2001 (23. : October 14-18, 2001 :Edinburgh, UK). *Conference Publication No. 484*. Edinburgh, 2001. p. 514-519.
- [53] RIBEIRO, Enio R.; BARBI, Ivo. A terminal harmonic voltage compensation using a series active filter. In: CONGRESSO BRASILEIRO DE ELETRÔNICA DE POTÊNCIA - COBEP 2001 (6. : 11 - 14 Novembro, 2001 : Florianópolis, BRASIL). *Anais*. Florianópolis, 2001. p. 403-408.