

LUIS CÂNDIDO TOMASELLI

CONTROLE DE UM PRÉ-REGULADOR COM ALTO
FATOR DE POTÊNCIA UTILIZANDO O
CONTROLADOR DSP TMS320F243

FLORIANÓPOLIS

2001

UNIVERSIDADE FEDERAL DE SANTA CATARINA
CURSO DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

CONTROLE DE UM
PRÉ-REGULADOR
COM ALTO
FATOR DE POTÊNCIA
UTILIZANDO O
CONTROLADOR DSP TMS320F243

Dissertação submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a
obtenção do grau de Mestre em Engenharia Elétrica.

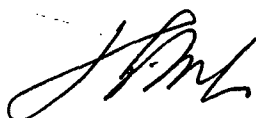
LUIS CÂNDIDO TOMASELLI

Florianópolis, Fevereiro de 2001.

**CONTROLE DE UM PRÉ-REGULADOR COM ALTO FATOR DE POTÊNCIA
UTILIZANDO O CONTROLADOR DSP TMS320F243**

LUIS CÂNDIDO TOMASELLI

Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, na área de concentração de Eletrônica de Potência, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.



Professor Hari Bruno Mohr, Dr.
Orientador




Professor Aguinaldo Silveira e Silva, Ph. D.
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:



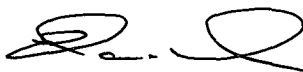
Professor Hari Bruno Mohr, Dr.
Presidente da Banca



Professor Ivo Barbi, Dr. Ing.



Professor Alexandre Ferrari de Souza, Dr.



Professor Enio Valmor Kassick, Dr.

“Realmente, só pelo fato de ser consciente das causas que inspiram minhas ações, estas causas já são objetos transcendentais para minha consciência; elas estão fora. Em vão tentaria apreendê-las. Escapo delas pela minha própria existência. Estou condenado a existir para sempre além da minha essência, além das causas e motivos dos meus atos. Estou condenado a ser livre. Isso quer dizer que nenhum limite para minha liberdade pode ser estabelecido exceto a própria liberdade, ou, se você preferir; que nós não somos livres para deixar de ser livres.”

Jean-Paul Sartre, *O Ser e o Nada* (1943), Quarta parte

Agradecimentos

Por muitas vezes caminhamos, por razões diferentes, em busca de escopos comuns. Não há nada que apraze mais nossa opropriedade do que a satisfação das metas que traçamos um dia.

Hoje as lembranças representam momentos de alegria e a existência destas, propicia a possibilidade de um futuro. As muitas pessoas, que compõe a minha trajetória, dispenso as minhas atenções e reverências em agradecimento a tudo o que me ensinaram.

Gostaria de agradecer a todos os membros que compõe o corpo técnico e administrativo do Instituto de Eletrônica de Potência (INEP) e em especial ao meu orientador, o Prof. Hari Bruno Mohr, a CAPES pela bolsa concedida, a Texas Instrument pela doação da placa de desenvolvimento e aos professores Daniel Pagano, Júlio Elias, Enio, Arnaldo, João, Denizar, Alexandre e Ivo pelos conhecimentos transmitidos durante o período de créditos.

Dedico, também, agradecimentos ao meu colega e amigo Samir que foi uma fonte de incentivos constantes mesmo nos momentos em que os revezes se sobressaiam em relação aos sucessos.

Aos meus conspícuos amigos Sérgio, Luciano, Djonny, Milton, Paulo, José, Kefas, Romeu, César David, Marcos Muricame, Valcir e Yales agradecimentos pela convivência durante este pequeno intervalo o qual estivemos nesta jornada.

Minha admiração aos meus pais e irmãos por sua inefável paciência em lidar com uma pessoa tão teimosa quanto eu.

A todos aqueles aos quais não mencionei, não por falta de merecimento mas, por minha inépcia em fazê-lo em tão pouco espaço e com tão poucas palavras.

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

CONTROLE DE UM PRÉ-REGULADOR COM ALTO FATOR DE POTÊNCIA UTILIZANDO O CONTROLADOR DSP TMS320F243

Luis Cândido Tomaselli

Fevereiro de 2001.

Orientador: Professor Hari Bruno Mohr, Dr.

Área de Concentração: Eletrônica de Potência.

Palavras-chave: Controlador DSP, pré-regulador, alto fator de potência, conversor Boost.

Número de páginas: 95

RESUMO: Este trabalho trata de um estudo da aplicação de um controlador DSP, em eletrônica de potência, na implementação do controle digital de um conversor Boost operando como pré-regulador com alto fator de potência. Parte-se de um estudo sobre as principais características, necessárias ao projeto, do controlador DSP. Prossegue-se através do projeto do conversor Boost e dos controladores das malhas de controle da tensão e da corrente. Os resultados de simulação são apresentados e em uma última etapa são mostrados os resultados experimentais de um protótipo com potência de 500W, tensão de saída de 400V e frequência de comutação de 50kHz.

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

A HIGH POWER FACTOR PRE-REGULATOR CONTROL USING THE DSP CONTROLLER TMS320F243

Luis Cândido Tomaselli

February of 2001.

Advisor: Professor Hari Bruno Mohr, Dr.

Área of Concentration: Power Electronics.

Keywords: DSP Controller, pre-regulator, high power factor, Boost converter.

Number of pages: 95

ABSTRACT: This work deals with a study of a Boost converter operating as a high power factor pre-regulator using the DSP controller TMS320F243 from Texas Instruments. The study begins with a description of the controller and its peripheral devices that were used. After this, it is shown the design of the controllers of the voltage control loop and the current control loop. The results obtained by simulation and by experimentation are presented for a prototype implementation with output voltage of 400V, output power of 500W and switching frequency of 50kHz.

SUMÁRIO

| | |
|--|------------|
| RESUMO | vi |
| ABSTRACT | vii |
| SIMBOLOGIA | x |
| INTRODUÇÃO GERAL | 1 |
| CAPÍTULO 1 | |
| O CONTROLADOR DSP (DIGITAL SIGNAL PROCESSOR) TMS320F243 | 3 |
| 1.1 INTRODUÇÃO | 3 |
| 1.2 PROCESSADOR DIGITAL DE SINAIS – DSP | 3 |
| 1.3 FORMATOS NUMÉRICOS EM UM PROCESSADOR DSP | 6 |
| 1.3.1 Ponto fixo | 9 |
| 1.3.2 Ponto flutuante | 14 |
| 1.4 A FAMÍLIA TMS320 | 15 |
| 1.4.1 TMS320F243 | 16 |
| 1.4.1.1 A arquitetura interna | 18 |
| 1.4.1.2 Interrupções | 19 |
| 1.4.1.3 Gerenciador de eventos | 20 |
| 1.4.1.4 Conversor analógico digital pseudo-dual | 24 |
| 1.5 CONCLUSÃO | 26 |
| CAPÍTULO 2 | |
| PROJETO DO CONTROLADOR DIGITAL PARA O CONVERSOR BOOST | |
| PRÉ-REGULADOR | 27 |
| 2.1 INTRODUÇÃO | 27 |
| 2.2 DESCRIÇÃO DO MÉTODO DE CONTROLE UTILIZADO | 27 |
| 2.3 PROJETO DO ESTÁGIO DE POTÊNCIA DO CONVERSOR | 30 |
| 2.4 PROJETO DO CONTROLE DIGITAL DO CONVERSOR | 35 |
| 2.4.1 Obtenção das funções de transferência discretizadas | 38 |
| 2.4.2 Projeto dos filtros de <i>anti-aliasing</i> | 42 |
| 2.4.3 Projeto do controlador da malha de corrente | 43 |
| 2.4.4 Projeto do controlador da malha de tensão | 48 |

| | | |
|---|---|-----------|
| 2.4.5 | Cálculo da malha de <i>feedforward</i> | 51 |
| 2.4.6 | Obtenção da equação à diferenças | 52 |
| 2.4.7 | Exemplo de projeto dos controladores | 53 |
| 2.5 | CONCLUSÃO | 59 |
| CAPÍTULO 3 | | |
| RESULTADOS DE SIMULAÇÃO | | 61 |
| 3.1 | INTRODUÇÃO | 61 |
| 3.2 | RESULTADOS DE SIMULAÇÃO UTILIZANDO-SE AS FUNÇÕES DE TRANSFERÊNCIA | 61 |
| 3.3 | RESULTADOS DE SIMULAÇÃO USANDO A MODELAGEM POR EQUAÇÕES DE ESTADO DO CONVERSOR BOOST | 67 |
| 3.4 | CONCLUSÃO | 78 |
| CAPÍTULO 4 | | |
| IMPLEMENTAÇÃO DO PROTÓTIPO | | 79 |
| 4.1 | INTRODUÇÃO | 79 |
| 4.2 | O PROGRAMA | 79 |
| 4.3 | OS CIRCUITOS DE INTERFACE | 81 |
| 4.4 | RESULTADOS EXPERIMENTAIS | 84 |
| 4.5 | CONCLUSÃO | 90 |
| CONCLUSÃO GERAL | | 91 |
| REFERÊNCIAS BIBLIOGRÁFICAS | | 93 |

SIMBOLOGIA

1. Símbolos adotados nos equacionamentos.

| <i>Símbolo</i> | <i>Significado</i> | <i>Unidade</i> |
|----------------|--|-----------------|
| η | rendimento | % |
| τ_1 | freqüência de corte do filtro | Rad/s |
| ω_z | freqüência do zero do compensador | Rad/s |
| A_e | área da perna central | cm ² |
| A_w | área da janela | cm ² |
| B | <i>offset</i> | |
| C_0 | capacitância de saída | F |
| C_a | capacitor do filtro de <i>anti-aliasing</i> | F |
| C_s | capacitância do <i>snubber</i> | F |
| D'_{med} | razão cíclica complementar média | |
| D_{min} | razão cíclica mínima | |
| E | potência do radix | |
| F | inclinação fracional | |
| f_a | freqüência de amostragem | Hz |
| f_c | freqüência de cruzamento | Hz |
| FE_i | fator de escala da malha de corrente | |
| FE_v | fator de escala da malha de tensão | |
| F_{feed} | fator de correção <i>feedforward</i> | |
| f_r | freqüência da rede | Hz |
| f_s | freqüência de comutação | Hz |
| Ganho | ganho do amplificador de corrente | |
| $Gi(s)$ | função de transferência da corrente do indutor pela razão cíclica no domínio de s | |
| $Gi(w)$ | função de transferência da corrente do indutor pela razão cíclica no domínio de w | |
| $Gi(z)$ | função de transferência da corrente do indutor pela razão cíclica no domínio de z | |
| $Gim(s)$ | função de transferência da corrente do indutor pela razão cíclica modificada no domínio de s | |
| $Gim(w)$ | função de transferência da corrente do indutor pela razão cíclica modificada no domínio de w | |
| $Gim(z)$ | função de transferência da corrente do indutor pela razão cíclica modificada no domínio de z | |
| $Gv(s)$ | função de transferência da tensão pela corrente do indutor domínio de s | |
| $Gv(w)$ | função de transferência da tensão pela corrente do indutor domínio de w | |
| $Gv(z)$ | função de transferência da tensão pela corrente do indutor domínio de z | |
| H_v | função de transferência de malha fechada da malha de corrente | |
| I_d | corrente média no diodo de saída | A |
| I_D | corrente de dreno | A |
| I_{dr} | corrente média nos diodos retificadores | A |
| I_{FAV} | corrente média no diodo | A |
| I_{in} | corrente de entrada | A |
| IL_{in} | corrente do indutor de entrada | A |
| I_p | corrente de pico | A |
| I_{REFp} | corrente de referência de pico da tabela | |
| I_S | corrente eficaz no interruptor | A |
| I_{sn} | corrente de descarga do capacitor de <i>snubber</i> | A |
| K_{p_i} | ganho do controlador da malha de corrente | |

| | | |
|-------------------|---|-----------------|
| K_p | ganho do controlador da malha de tensão | |
| k_v | ganho do divisor resistivo | |
| l_g | comprimento do entreferro | mm |
| L_{in} | indutância <i>boost</i> | H |
| M | mantissa | |
| MF | margem de fase | ° |
| n | posição do ponto do radix | |
| N | número de espiras | |
| N_d | número decimal que se deseja converter | |
| P_o | potência de saída | W |
| P_{com} | perdas por comutação | W |
| P_{cond} | perdas por condução | W |
| PER | valor do registrador de período PWM | |
| $PrSH$ | potência da resistência <i>shunt</i> | W |
| P_s | potência dissipada pelo <i>snubber</i> | W |
| Q | número inteiro equivalente que codifica V | |
| $q(t)$ | função de chaveamento | |
| $R_{\theta ha}$ | resistência térmica dissipador-ambiente | °C/W |
| $R_{\theta ja}$ | resistência térmica junção-ambiente | °C/W |
| $R_{\theta jc}$ | resistência térmica junção-cápsula | °C/W |
| R_a | resistor do filtro de <i>anti-aliasing</i> | Ω |
| R_{DSON} | resistência em condução do MOSFET | Ω |
| RSH | resistência <i>shunt</i> | Ω |
| R_{sn} | resistência do <i>snubber</i> | Ω |
| S | inclinação | |
| Scu | área de cobre necessário para o condutor | cm ² |
| T_a | período de amostragem | s |
| T_{ca} | temperatura da cápsula | °C |
| T_{CLK} | valor do período de clock | s |
| td_{off} | tempo de atraso no bloqueio do MOSFET | s |
| td_{on} | tempo de atraso na entrada em condução do MOSFET | s |
| t_f | tempo de descida no bloqueio do MOSFET | s |
| T_j | temperatura da junção | °C |
| T_{PWM} | valor do período de comutação | s |
| t_r | tempo de subida na entrada em condução do MOSFET | s |
| T_{rr} | tempo de recuperação reversa | s |
| V | valor real equivalente | |
| V_o | tensão de saída | V |
| $vc(t)$ | tensão de saída em função do tempo | V |
| V_{d_p} | tensão reversa máxima sobre o diodo <i>boost</i> | V |
| V_{dr_p} | tensão reversa máxima sobre os diodos retificadores | V |
| V_{DSS} | tensão dreno source | V |
| V_F | queda de tensão direta do diodo | V |
| $V_{in_{RMS}}$ | tensão eficaz de entrada | V |
| $V_{med_{atual}}$ | valor médio atual | |
| $V_{med_{norm}}$ | valor médio calculado para a tensão mínima de entrada | |
| V_{REFHI} | tensão de referência alto do conversor A/D | V |
| V_{REFLO} | tensão de referência baixa do conversor A/D | V |
| V_{RRM} | tensão reversa máxima no diodo | V |
| V_{S_p} | tensão máxima sobre o interruptor | V |

2. Sub-índices utilizados.

| <i>Sub-índice</i> | <i>Significado</i> |
|-------------------|--|
| Δ | variação de uma grandeza em torno de um valor |
| aux | valor relativo ao enrolamento auxiliar do transformador de ferro-silício |
| ef | valor eficaz da grandeza |
| M | valor relativo ao interruptor principal |
| max | valor máximo da grandeza |
| med | valor médio da grandeza |
| min | valor mínimo da grandeza |
| pk | valor de pico da grandeza |

3. Símbolos para referenciar elementos de circuitos.

| <i>Símbolo</i> | <i>Significado</i> |
|----------------|--------------------|
| C | Capacitor |
| D | Diodo |
| L | Indutor |
| M | Interruptor |
| Q | Transistor |
| R | Resistor |
| TX | Transformador |
| V | Fonte de tensão |

4. Símbolos de unidades de grandezas físicas.

| <i>Sub-índice</i> | <i>Significado</i> |
|-------------------|--------------------|
| Ω | Ohm |
| A | Ampère |
| dB | Decibel |
| F | Farad |
| H | Henry |
| Hz | Hertz |
| m | Metro |
| rad | Radiano |
| s | Segundo |
| T | Tesla |
| V | Volt |
| W | Watt |

4. Acrônimos e abreviaturas.

| | <i>Significado</i> |
|-----------|--|
| ACTR | <i>Full Compare Action Control Register</i> |
| ADC | <i>Analog-Digital Converter</i> |
| ADC_FIFOx | <i>ADC Data Register (x = 1 e 2)</i> |
| ADCTRLx | <i>ADC Control Register (x = 1 e 2)</i> |
| ADCx | <i>Analog-Digital Input (x = 0, 1, 2, 3, 4, 5, 6 e 7)</i> |
| ANSI | <i>American National Standards Institute</i> |
| CAN | <i>Control Area Network</i> |
| CAPES | <i>Coordenação de Aperfeiçoamento de Pessoal de Nível Superior</i> |
| CC-CC | <i>Corrente contínua – corrente contínua</i> |
| CI | <i>Circuito integrado</i> |
| CMPRx | <i>Compare Register (x = 1, 2 e 3)</i> |
| COMCON | <i>Compare Control Register</i> |
| CPU | <i>Central Processor Unit</i> |
| DAC | <i>Digital-Analog Converter</i> |
| DARAM | <i>Dual Access Random Access Memory</i> |
| DC | <i>Direct Current</i> |
| DSP | <i>Digital Signal Processor</i> |
| DSP | <i>Digital Signal Processing</i> |
| EEPROM | <i>Electrically Erasable Programmable Read Only Memory</i> |
| EV | <i>Event Manager</i> |
| EVIFRx | <i>Event Manager Interrupt Flag Register (x = A, B e C)</i> |
| EVIMRx | <i>Event Manager Interrupt Mask Register (x = A, B e C)</i> |
| FFT | <i>Fast Fourier Transform</i> |
| FTLA | <i>Função de transferência de laço aberto</i> |
| FTMF | <i>Função de transferência de malha fechada</i> |
| GISR | <i>General Interrupt Service Routine</i> |
| GP | <i>General Purpose</i> |
| GPIO | <i>General Purpose Input/Output</i> |
| GPTCON | <i>General Purpose Timer Control Register</i> |
| IEEE | <i>Institute of Electrical and Electronics Engineers</i> |
| IFR | <i>Interrupt Flag Register</i> |
| IMR | <i>Interrupt Mascarable Register</i> |
| INEP | <i>Instituto de Eletrônica de Potência</i> |
| ISR | <i>Interrupt Service Routine</i> |
| LSB | <i>Least Significant Bit</i> |
| MOSFET | <i>Metal-oxide-semiconductor field-effect-transistor</i> |
| MSB | <i>Most Significant Bit</i> |
| NMI | <i>Non Mascarable Interrupt</i> |
| PAB | <i>Program Address Bus</i> |
| PI | <i>Proporcional integral</i> |
| PIACK | <i>Peripheral Interrupt Acknowledge</i> |
| PIC | <i>Peripheral interface controller</i> |
| PID | <i>Proporcional integral derivativo</i> |
| PIE | <i>Peripheral Interface Expansion</i> |
| PIVR | <i>Peripheral Interrupt Vector Register</i> |
| PLL | <i>Phase Locked Loop</i> |
| PWM | <i>Pulse width modulation</i> |
| SCI | <i>Serial Communication Interface</i> |
| SPI | <i>Serial Peripheral Interface</i> |
| TxCMP | <i>General Purpose Timer Compare/PWM Output (x = 1 e 2)</i> |
| TxCMPR | <i>General Purpose Compare Register (x = 1 e 2)</i> |
| TxCNT | <i>General Purpose Counter Register (x = 1 e 2)</i> |

| | |
|-------|---|
| TxCON | <i>General Purpose Control Register (x = 1 e 2)</i> |
| TxPR | <i>General Purpose Period Register (x = 1 e 2)</i> |
| FFT | <i>Fast Fourier Transform</i> |
| FIR | <i>Finite Impulse Response</i> |
| UFSC | Universidade Federal de Santa Catarina |

INTRODUÇÃO GERAL

A eletrônica vem se desenvolvendo rapidamente e com isto, propiciando uma verdadeira reestruturação dos conceitos pertinentes à ciência. É inegável que todas as áreas, que geram conhecimento, possuem em algum grau a presença ou influência dos recursos disponíveis por intermédio da eletrônica.

E a eletrônica de potência pode ser vista como uma área de estudos abrangente e que também se faz presente em diversas instâncias dentro deste cenário. Assim como as revoluções desta, de um certo modo, acabam interferindo nas outras tecnologias, mudanças em outras áreas também acabam interferindo nesta. Dentro deste quadro surge a eletrônica digital como uma ferramenta, muito poderosa, disponível para quem estuda e trabalha com eletrônica de potência.

O controle digital, embora seja uma ciência muito bem fundamentada desde a metade do século, vem a cada dia assumindo um papel cada vez mais importante dentro da eletrônica de potência. Por intermédio dos processadores DSPs, hoje, pode-se implementar em produtos comerciais diversas formas de controle antes somente presentes em laboratórios de alta tecnologia ou em ambientes de simulação.

O estudo, que será apresentado, utiliza-se de um controlador DSP (TMS320F243) para implementar digitalmente o controle de um conversor pré-regulador Boost.

Não é abordado neste trabalho aspectos relativos a viabilidade econômica do projeto, ou seja, não é feito um estudo para verificar onde o controle digital passa a ser mais atrativo em relação ao controlador analógico.

No capítulo 1 será mostrado uma breve descrição do componente, procurando-se detalhar, principalmente, a questão de representação numérica de uma grandeza, tanto no formato de ponto fixo quanto no formato de ponto flutuante, e também quanto aos periféricos utilizados.

No capítulo 2 apresenta-se, com detalhes, todo o projeto do conversor. É abordado desde o estágio de potência até o cálculo das leis de controle a serem implementadas, digitalmente.

O capítulo 3 ilustra todo o procedimento de simulação, para investigação e

comprovação da funcionalidade das leis de controle, utilizado durante o desenvolvimento do trabalho.

Finalmente no capítulo 4 apresentam-se todos os resultados obtidos experimentalmente e irá observar-se a conformidade ou não destes com relação às normas que vigoram atualmente e com os dados encontrados por simulação.

1 O controlador DSP (Digital Signal Processor) TMS320F243

1.1 Introdução

Estuda-se e apresenta-se um pré-regulador com alto fator de potência controlado por um processador digital de sinais (DSP). A topologia escolhida para desenvolver o trabalho é o conversor Boost (Fig. 1.1). Uma estrutura que, em termos de pesquisa, está consolidada e é amplamente utilizada para este fim [1] a [8].

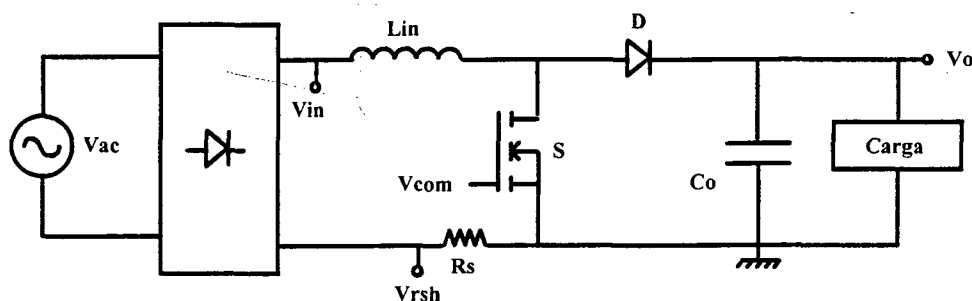


Fig. 1.1 – Conversor Boost operando como pré-regulador.

Não é objetivo apresentar um estudo do funcionamento do conversor, que pode ser encontrado em literaturas específicas [1] a [8], mas sim de como efetuar um projeto do controle digital e implementá-lo a partir de um controlador digital.

Como início é apresentado uma síntese que retrata um pouco os DSPs. Procura-se descrever um DSP, como se faz a representação numérica e as diferenças entre os formatos adotados e por último uma visão genérica do controlador TMS320F243 e dos periféricos, a ele associados, usados para implementar o controle do conversor Boost.

1.2 Processador Digital de Sinais – DSP

Um DSP é, basicamente, um tipo de microprocessador otimizado para efetuar processamento matemático enquanto os demais processadores são otimizados para manipulação e gerenciamento de dados. Esta característica o faz apto a trabalhar com aplicações que não toleram atrasos de transporte significativos entre a aquisição de um dado digital, efetuação dos cálculos necessários e devolução da resposta digital.

A Fig. 1.2 mostra uma arquitetura típica de um DSP básico de formato de ponto fixo. Por esta, pode-se observar algumas das características dos núcleos DSP tais como:

barramentos múltiplos, arquitetura de 16 *bits*, registradores de 32 *bits* e implementação por *hardware* de várias funções (deslocadores, multiplicadores...).

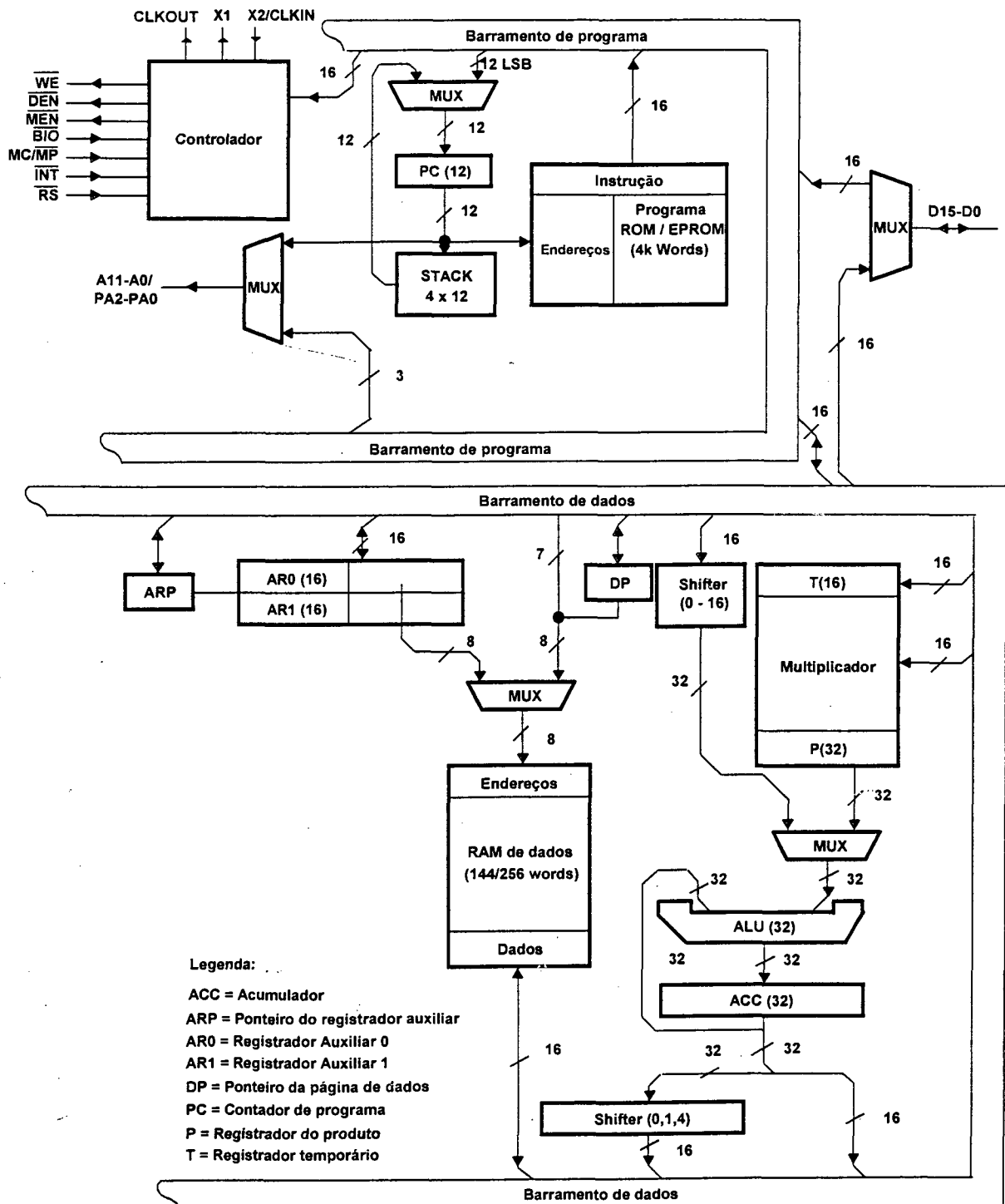


Fig. 1.2 – Arquitetura do núcleo DSP da família TMS320.

Os processadores usados em computadores são otimizados de modo a gerenciar e trabalhar com bancos de dados além de efetuar operações relacionais em detrimento das operações matemáticas. Isto por que a maior parte das tarefas a serem executadas são de

processamento *off-line*.

Segundo Smith [9], no processamento *off-line* o sinal de entrada inteiro reside no computador no mesmo tempo. Como exemplos de processamento *off-line* têm-se as imagens médicas, como as tomografias computadorizadas e exames de ressonância magnética. O conjunto de dados é adquirido enquanto o paciente está dentro da máquina, mas a reconstrução da imagem pode ser atrasada no tempo sem impor restrições ao desempenho do processamento. O ponto chave é que toda a informação está disponível simultaneamente para o processamento pelo programa.

Alternativamente, ainda sob a visão de Smith [9], no processamento em tempo real, o sinal de saída é produzido ao mesmo tempo que o sinal de entrada é adquirido. Por exemplo, isto é necessário na comunicação por telefone, aparelhos auditivos e radares. Estas aplicações devem ter a informação imediatamente disponível, embora possa haver um pequeno atraso (devido ao processamento requerido). Neste instante, um atraso de 10 ms em um telefone não pode ser detectado pelo locutor ou pelo ouvinte. Do mesmo modo, não faz diferença se um sinal de radar é atrasado por uns poucos segundos antes de ser mostrado para o operador.

Deste modo criou-se diferentes necessidades que dificultaram a fabricação de um processador que tratasse eficientemente os dois tipos de processamento. Assim, no início, o processador ou era otimizado para gerenciamento de dados e ou era otimizado para processamento matemático (devido as dificuldades e custos envolvidos para se obter um componente otimizado para ambos). Esta filosofia começou a mudar com a criação das redes de comunicação (tal como a INTERNET), nas quais tem-se a necessidade de processamento em tempo real fazendo que em um futuro próximo seja possível, em um mesmo componente, ter-se um bom desempenho tanto no gerenciamento de dados quanto no processamento matemático.

O fato do DSP estar otimizado para processamento matemático não o impede de efetuar tarefas de gerenciamento, o mesmo valendo para os demais processadores que podem efetuar processamento matemático. Apenas que, o desempenho será mais pobre quando comparado com um processador otimizado àquela aplicação.

Entretanto, um sinal digital é uma seqüência de uns e zeros que pode ser processada matematicamente pelo processador. Os DSPs podem manusear com grandes velocidades os sinais digitais, porém, necessitam de *interfaces* com o mundo real.

Deste modo sempre se faz necessário a inclusão da eletrônica analógica em conjunto com estes dispositivos. Por exemplo, sinais de intensidade luminosa, pressão sonora, velocidade, amplitudes de sinais periódicos, tão comuns no mundo como percebemos não são representados diretamente por sinais digitais. É necessário a conversão destes por intermédio de um conversor analógico-digital para que o processador possa trabalhar esta informação.

Do mesmo modo, para que possamos compreender os resultados do processamento, é necessário converter estes por intermédio de conversores digital-analógicos. São alguns exemplos de aplicações: comunicações sem fio, ampliação da capacidade de transmissão de dados por fios, aplicações INTERNET, áudio, vídeo, controle de robôs, acionamentos, etc.

Neste ponto pode caber a pergunta: por que tratarmos os sinais como digitais, se não são desta natureza? Diversos são os motivos que levam um projetista a escolher uma tecnologia em detrimento a outra. Mas podemos partir de um princípio que a eletrônica digital permite uma maior capacidade de adaptação (haja visto que muitas das modificações podem ser feitas via *software*) e uma maior possibilidade de implementação de técnicas e leis de controle antes presentes somente em laboratórios de pesquisa.

1.3 Formatos numéricos em um processador DSP

O formato numérico de um processador está ligado a forma como são armazenados e manipulados os dados em sua arquitetura interna. Os dados podem ser trabalhados tanto no formato de **ponto fixo** quanto no formato de **ponto flutuante**. Deste modo os DSPs são divididos em duas grandes categorias, definidas pelo modo de como é tratado o formato numérico.

A representação de ponto fixo é caracterizada pelo ponto *radix* (binário) e pelo comprimento da palavra (16 *bits*, 32 *bits*...). O ponto *radix* indica o modo de como a palavra binária é escalonada. Os números de ponto fixo podem, ainda, serem subdivididos em:

- Representação com sinal e representação sem sinal;
- Representação por números inteiros e representação fracionária.

A principal diferença entre os números do formato de ponto fixo é o seu ponto *radix*. Por intermédio deste é que se faz o escalonamento da representação numérica. Ele equivale a uma constante (sempre uma potência de dois) que multiplica o valor numérico da palavra.

Na representação de números inteiro sem sinal, o valor armazenado em um processador de 16 *bits* pode tomar qualquer valor entre 0 e 65535. Similarmente, a representação de números inteiros com sinal utiliza o complemento de dois para poder incluir a escala de números negativos, de -32768 a 32767, neste caso o *bit* mais significativo (MSB) é usado para representar o sinal. Com notação fracional sem sinal e *radix* 15, os 65535 níveis são divididos uniformemente entre 0 e 1. E por último, a notação fracional com sinal e *radix* 15 permite a representação de números negativos, igualmente espaçados entre -1 e 1.

Os dados, do tipo ponto flutuante, são caracterizados por um campo para a mantissa (ou fração), um campo para o expoente e um *bit* de sinal. A principal norma que define estes formatos é a IEEE 754.

Os DSPs de ponto flutuante, tipicamente, usam um mínimo de 32 *bits* para armazenar cada valor. Isto resulta em um número maior de *bits* para representação do que no ponto fixo, $2^{32} = 4.294.968.296$, para ser exato. Um ponto importante a ser ressaltado sobre a notação de ponto flutuante é que os números representados não são uniformemente espaçados. No formato mais comum (ANSI/IEEE Std. 754-1985), o maior e o menor número são $\pm 3,4 \times 10^{38}$ e $\pm 1,2 \times 10^{-38}$, respectivamente.

Aqui cabe uma ressalva. O fato do processador trabalhar com um tipo específico de dado (ponto fixo ou ponto flutuante) não o impede de trabalhar com o outro tipo de dado. Os DSPs de ponto fixo podem manusear dados de ponto flutuante, somente que, isto deve ser feito por *software* e não mais por *hardware* (como nos DSPs de ponto flutuante) o que acaba onerando a programação e o tempo de execução.

Já nos processadores de ponto flutuante o *hardware* está adaptado para trabalhar com os dois formatos, porém, necessitam de um conjunto de instruções maior do que nos processadores de ponto fixo. Isto se faz necessário devido à necessidade de se usar contadores, laços e os próprios sinais provenientes dos ADC que trabalham com números no formato de ponto fixo tornando necessária instruções que também manipulem este tipo

de dados.

A vantagem do tratamento do dado como ponto flutuante é que este possui uma melhor precisão e uma escala dinâmica maior do que o equivalente em ponto fixo, além de não haver uma real necessidade de se preocupar com fenômenos associados ao formato de ponto fixo, tais como, *underflow*, *overflow* e erros de arredondamento.

A principal vantagem do formato de ponto fixo está no custo. Pelo *hardware* ser mais “simples”, seu custo, usualmente, é bem menor do que o de um processador de ponto flutuante.

A diferença chave entre os processadores de ponto fixo e de ponto flutuante está ligado ao desempenho de ambos em relação a uma característica: relação sinal-ruído. A representação por palavras binárias só é possível para um determinado conjunto de valores. Se o número não coincidir com um destes valores este será arredondado, inserindo um ruído denominado de **ruído de quantização**.

No formato de ponto flutuante, o espaço existente entre dois números adjacentes é muito menor do que aquele que há no formato de ponto fixo, ou seja, adiciona-se um ruído de quantização muito maior nos processadores de ponto fixo.

Para melhorar o desempenho quanto a relação sinal-ruído, os processadores de ponto fixo geralmente trabalham com acumuladores de precisão estendida (2 a 3 vezes o comprimento da palavra de dados) para que não haja perda da relação sinal-ruído. Esta escala estendida, virtualmente, elimina ruído de arredondamento enquanto a acumulação está em progresso. O único erro de arredondamento que ocorre é quando este valor é armazenado em uma memória de 16 *bits*.

Por ter menor ruído de quantização, sistemas de ponto flutuante também são mais fáceis de serem projetados. Muitas das técnicas DSP (processamento de sinais digitais) são baseadas na repetição de multiplicações e adições. Em ponto fixo, a possibilidade de *overflow/underflow* precisa ser considerada em cada operação. Deve-se conhecer a amplitude dos números, como os erros de quantização são acumulados e que escalonamento é necessário. Em comparação, estas necessidades não surgem em ponto flutuante (com raras exceções).

Neste ponto é necessário abordar uma questão: qual formato numérico trabalhar? Segundo Smith [9], há alguns pontos para se considerar:

1. **Verificar quantos bits são usados no ADC ou DAC.** Em muitas aplicações, 12-14 bits por amostra é o ponto de cruzamento entre o formato de ponto fixo e de ponto flutuante. Por exemplo, sinais de televisão e de vídeo tipicamente usam um ADC e ou DAC de 8 bits e a precisão de ponto fixo é aceitável. Em contrapartida nas aplicações de áudio profissional podem ser requeridas amostras de 20 ou 24 bits, e quase certamente necessita-se de ponto flutuante para poder manusear a larga escala dinâmica.
2. **Verificar a complexidade do algoritmo a ser implementado.** Se é relativamente simples, pode-se trabalhar no formato de ponto fixo; se é muito complicado pode-se utilizar formato de ponto flutuante. Por exemplo, um filtro FIR e outras operações no domínio do tempo somente requerem umas poucas dezenas de linhas de código, inclinando-se para lógica de ponto fixo. Em contraste, os algoritmos no domínio da frequência, como um analisador de espectro e a convolução FFT, são muito detalhados e podem ser muitos difíceis de serem escritos em lógica de ponto fixo. O tempo de desenvolvimento pode ser reduzido utilizando-se a lógica de ponto flutuante.
3. **Verificar a implicação de custo.** Quando escolhe-se o formato de ponto fixo, o custo do produto irá ser reduzido mas o custo de desenvolvimento cresce em comparação ao de formato de ponto flutuante. De modo contrário, o sistema de ponto flutuante terá um ciclo de desenvolvimento mais barato, mas um produto final mais caro.

1.3.1 Ponto fixo

Uma representação comum para os números binários de ponto fixo é dada na Fig. 1.3. O formato é caracterizado pelo comprimento da palavra (número de bits) e pelo ponto *radix*.

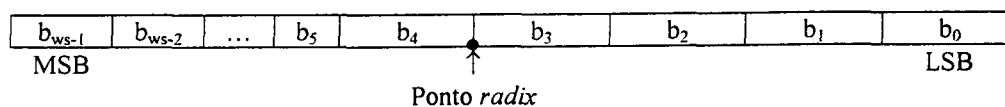


Fig. 1.3 – Representação de um número no formato de ponto fixo.

onde:

- b_i = dígitos binários (*bits*).

- ws = tamanho da palavra em *bits*.
- MSB = *bit* mais significativo - é o *bit* mais a esquerda, representado pela locação b_{ws-1} .
- LSB = *bit* menos significativo é o *bit* mais a direita, representado pela locação b_0 .
- ponto *radix* (binário) é mostrado quatro posições da direita para esquerda.

O ponto *radix* pode ser interpretado como sendo a forma com que o dado será escalonado, ou seja, pode ser entendido como um fator de escala, que é sempre uma potência de dois, multiplicando o dado para melhor adequá-lo a representação adotada. O ponto *radix* é geralmente usado na programação, pois os circuitos lógicos do processador realizam todas as funções matemáticas (soma, subtração, multiplicação...) como se o número tivesse um ponto *radix* constante (a direita do LSB).

Um esquema que pode ser utilizado para efetuar a conversão é o modelo de *slope/bias*. *Slope* significa que o dado será multiplicado por uma constante (potência de dois) que modificará a inclinação de modo a ocupar mais convenientemente a escala numérica do padrão de *bits* adotado. *Bias* representa um *offset* do dado. É efetuado quando se deseja cobrir números que estão fora do padrão adotado. Esse esquema é matematicamente representado pela Eq. 1.1.

$$V \approx \tilde{V} = S \times Q + B \quad (1.1)$$

onde:

- V é um valor real.
- \tilde{V} é um valor aproximado.
- Q é um número inteiro que codifica V .
- $S = F \times 2^E$ é a inclinação (*slope*).
- B é o *offset* (*bias*).

A inclinação é dividida em duas partes:

- 2^E especifica o ponto *radix*. E é o expoente da potência de dois.
- F é a inclinação fracional. É normalizado tal que $1 \leq F \leq 2$.

Tanto S quanto B são constantes e não representam diretamente o *hardware* do processador. Trabalha-se somente com o valor quantizado Q . São usados somente para

interpretar os valores do “mundo real” na linguagem de ponto fixo da máquina.

Neste trabalho, utilizar-se-á somente o escalonamento do ponto *radix*. Deste modo:

$$B = 0 \quad (1.2)$$

$$F = 1 \quad (1.3)$$

Assim:

$$V \approx \tilde{V} = 2^E \times Q \quad (1.4)$$

Ou seja, o escalonamento de um número do “mundo real” é definido somente pela inclinação ou melhor, pelo ponto *radix*.

A representação de formato de ponto fixo com *radix* 0 é usada para armazenar números inteiros, positivos e negativos: ...-3, -2, -1, 0, 1, 2, 3.... Como exemplo, pode-se analisar o caso de um processador de 16 *bits*. No caso mais simples, existem $2^{16} = 65536$ possibilidades de representação, que são equivalentes aos números 0 à 65535. Denomina-se formato de números inteiros sem sinal. A conversão entre o modelo de *bits* e o equivalente decimal é apenas uma conversão de base (decimal para binária). A desvantagem é que números negativos não podem ser representados.

Um dos modos de representar os números negativos é por intermédio de um **offset binário**, que é similar ao formato de números inteiros sem sinal, exceto que os valores decimais são deslocados para permitir valores negativos. Deste modo, uma representação de 16 *bits* pode usar um *offset* de 32767 resultando em uma escala de -32767 a 32768. *Offset* binário não é um formato padronizado e pode-se encontrar qualquer valor de *offset* em uso, como 32768, por exemplo. É mais usado na conversão ADC ou DAC.

Outro método para representação de números negativos é o método de **sinal e amplitude**. O *bit* mais a esquerda (MSB) é chamado de *bit* de sinal, sendo zero quando o número for positivo e um para números negativos. Isto resulta em um padrão perdido, haja visto que possui dois zeros, o zero positivo (0000h) e o zero negativo (1000h). Este esquema de codificação resulta em números de 16 *bits* com uma escala de -32767 até 32767.

Embora sejam simples, estas representações são de difícil implementação em *hardware*. O formato mais comum adotado para representação de números negativos é o **complemento de dois**. Este método facilita o projeto do *hardware* do processador que é

um circuito eletrônico que modela as funções matemáticas necessárias como por exemplo, tendo um dado A e outro B como entradas constrói-se um circuito lógico que resulta na sua saída C, tal que:

$$A + B = C \quad (1.5)$$

O **complemento de dois** é o padrão utilizado para representar os números negativos nos computadores. Para entendê-lo, toma-se o número inteiro decimal 0 (0000b). Contando-se progressivamente, o número decimal é simplesmente o equivalente binário (0 = 0000b, 1 = 0001b, 2 = 0010b...). Retornando ao número 0 (0000b) e agora subtraindo, o equipamento digital automaticamente conta no complemento de dois (0 = 0000b, -1 = 1111b, -2=1110,...).

Usando 16 *bits*, o complemento de dois pode representar números de -32768 à 32767. O *bit* mais significativo é zero se o número é positivo ou um se o número é negativo. Consequentemente o *bit* mais significativo é chamado de *bit* de sinal, assim como na representação de sinal e amplitude.

Um ponto em questão no momento é como efetivamente usar o que até então foi explanado para representação numérica em um processador, tanto de números fracionais, como inteiros, positivos e ou negativos. Inicialmente, números fracionais são representados nos DSPs em um formato de ponto fixo na forma de complemento de dois. A TI™ (Texas Instrument) adota a simbologia denominada de formato Q, a qual será usada daqui por diante por ter-se trabalhado com um processador fabricado por esta empresa.

No formato Q_n, o *n* significa o número de *bits* a direita do ponto binário (*radix*). Assim, uma palavra de 16-*bits* tem um *bit* de sinal, 15 - *n bits* inteiros e *n bits* fracionais. O número binário 1100000000000001b pode ser interpretado, por exemplo, como segue:

$$Q0: 1100000000000001b = -2^{15} + 2^{14} + 2^0 = -16383$$

$$Q14: 11.00000000000001b = -2^1 + 2^0 + 2^{-14} = -0,9999389648438$$

$$Q15: 1.100000000000001b = -2^0 + 2^{-1} + 2^{-15} = -0,4999694824219$$

Q0 é equivalentemente visto como uma representação padrão para números inteiros positivos e negativos. Em qualquer formato Q de 16-*bits*, o valor mais negativo que pode ser representado é 1000000000000000b (8000h), e o valor máximo positivo é 011111111111111b (07FFFh). A tabela 1 mostra as escalas numéricas dos formatos Q. Convém ressaltar que entre estes dois limites pode-se assumir somente alguns estados

discretos, definidos por intervalos regulares, o que condiciona o arredondamento quando um número não se enquadra a um destes estados.

Baseado na tabela 1, pode-se escolher o formato Q_n para representar o número decimal. O número deve estar contido dentro da escala do formato adotado. Para realizar a conversão de um valor fracional decimal positivo para o formato Q_n escolhido pode-se utilizar a seguinte fórmula:

$$Q_n = (N_d \times 2^n)_d \quad (1.6)$$

onde:

Q_n = número no formato Q_n ;

N_d = número decimal que se deseja converter;

n = formato do número representado (posição do ponto *radix*).

Tabela 1 – Escala do formato Q_n para uma palavra de 16 bits com sinal.

| n (Q_n) | Valor mínimo | Valor máximo |
|-------------|--------------|----------------|
| 0 | -32768 | 32767 |
| 1 | -16384 | 16383,5 |
| 2 | -8192 | 8191,75 |
| 3 | -4096 | 4095,875 |
| 4 | -2048 | 2047,9375 |
| 5 | -1024 | 1023,84375 |
| 6 | -512 | 511,984375 |
| 7 | -256 | 255,9296875 |
| 8 | -128 | 127,87109375 |
| 9 | -64 | 63,998046875 |
| 10 | -32 | 31,9990234375 |
| 11 | -16 | 15,99951171875 |
| 12 | -8 | 7,999755859375 |
| 13 | -4 | 3,999877929687 |
| 14 | -2 | 1,999938964843 |
| 15 | -1 | 0,999969482421 |

O resultado ainda está no formato decimal, não sendo necessário convertê-lo aos formatos hexadecimal e ou binário, pois o *Assembler* o faz na compilação do programa. Do mesmo modo, para representar números fracionais negativos, pode-se usar a seguinte fórmula:

$$Q_n = ((2^{16} - N_d \times 2^n) + 1)_d \quad (1.7)$$

Alternativamente, para se fazer a conversão de uma palavra binária para o seu equivalente no “mundo real” pode-se usar a Eq. 1.8 para o caso de um valor de ponto fixo

sem consideração de sinal e a Eq. 1.9 para um valor considerando o sinal. Deve-se notar que é usado o sistema de representação com *slope/bias*.

$$\tilde{V} = S \cdot \left[\sum_{i=0}^{ws-1} b_i \cdot 2^i \right] + B \quad (1.8)$$

$$\tilde{V} = S \cdot \left[-b_{ws-1} \cdot 2^{ws-1} + \sum_{i=0}^{ws-2} b_i \cdot 2^i \right] + B \quad (1.9)$$

V = é um valor aproximado.

$S = F \times 2^E$ é a inclinação (*slope*).

B = é o *offset* (*bias*).

ws = é o comprimento da palavra.

bi = é o bit em questão da palavra.

1.3.2 Ponto Flutuante

A representação de ponto fixo é limitada quando se trata de representar uma escala com grandes variações e nas quais é necessário representar números muito pequenos e extremamente grandes. Isto pode ser contornado usando a notação científica, podendo relocar, dinamicamente, o ponto *radix* à posição mais conveniente, de modo a melhor representar o número, a medida que as operações são efetuadas.

Este é um sistema mais complicado do que o esquema usado na representação de ponto fixo. A idéia básica é a mesma usada na notação científica, onde uma **mantissa** é multiplicada por 10 elevado a algum **expoente**. Por exemplo, $5,4321 \times 10^6$, 5,4321 é a *mantissa* e 6 é o *expoente*. Notar que os números representados na notação científica são normalizados até que haja somente um único dígito não nulo à esquerda da vírgula. Isto é obtido ajustando o expoente adequadamente.

A representação de ponto flutuante é similar a notação científica, exceto que é apresentada na base 2, ao invés da base 10. A forma de representar é dada pela Eq. 1.10.

$$\tilde{V} = \pm f \times 2^{\pm e} \quad (1.10)$$

Embora haja diversos formatos similares em uso, o mais comum é ANSI/IEEE Std. 754-1985. Este padrão define o formato de números de 32 *bits* chamados de precisão

simples, assim como os números de 64 *bits*, chamados de dupla precisão. Os 32 *bits* usados na precisão simples são divididos em três grupos separados: *bits* 0 até 22 formam a mantissa, *bits* 23 até 30 formam o expoente, e o *bit* 31 é o *bit* de sinal. Estes *bits* formam o número no formato de ponto flutuante, v , dado pela seguinte relação:

$$v = (-1)^S \times M \times 2^{E-127} \quad (1.11)$$

O termo $(-1)^S$, simplesmente significa o *bit* de sinal, S é zero para números positivos e um para números negativos. A variável, E , é um número entre 0 e 255 representando os oito *bits* do expoente. Subtraindo 127 deste número, permite que o expoente varie de -127 à 128 . Em outras palavras o expoente é armazenado com um *offset binário* de 127. A mantissa, M , é formada de 23 *bits* como uma fração binária.

Usando este esquema, o maior e o menor número representáveis são, respectivamente: $\pm 6,8 \times 10^{38}$ e $\pm 5,9 \times 10^{-39}$. O padrão IEEE reduz esta escala para permitir que determinados padrões obtenham significados especiais. Em particular o maior número e o menor número permitidos pelo padrão são: $\pm 3,4 \times 10^{38}$ e $\pm 1,2 \times 10^{-39}$, respectivamente. Os padrões não usados permitem três casos especiais de classes de números:

- (1) ± 0 é definido como todos os *bits* da mantissa e do expoente sendo zeros.
- (2) $\pm \infty$ é definido como todos os *bits* da mantissa sendo zeros e todos os *bits* do expoente sendo uns.
- (3) Um grupo de números muito pequenos não normalizados entre $\pm 1,2 \times 10^{-38}$ e $\pm 1,4 \times 10^{-45}$. Estes são números de menor precisão obtidos pela remoção da restrição de que o primeiro dígito da mantissa seja um. Além destas três classes especiais, há o modelo de *bits* que não é dado nenhum significado, comumente referidos como NANs (*not a number*).

O padrão IEEE para dupla precisão simplesmente adiciona mais *bits*, tanto para a mantissa quanto para o expoente. Dos 64 *bits* usados para armazenar o número com dupla precisão, os *bits* de 0 à 51 são a mantissa, os *bits* de 52 até 62 são o expoente e o *bit* 63 é o *bit* de sinal. Como antes, a mantissa está entre 1 e 2. O expoente de 11 *bits* forma um número entre 0 e 2047, com um *offset* de 1023, permitindo expoentes de -1023 à 1024 . O maior número representável e o menor número representável são: $\pm 1,8 \times 10^{308}$ e $\pm 2,2 \times 10^{-308}$, respectivamente.

1.4 A família TMS320

O primeiro processador desta família foi fabricado em 1982, quando a Texas Instrument lançou no mercado o TMS32010, o primeiro DSP de ponto fixo da família TMS320. Consiste de **processadores** de sinais digitais (DSPs) de ponto fixo, ponto flutuante e multiprocessamento e de **controladores** DSP.

Atualmente a família TMS320 é constituída pelas seguintes gerações: 'C1x,'C2x, 'C24x, 'C5x, 'C54x e 'C6x, para DSPs de ponto fixo; 'C3x e 'C4x, para DSPs de ponto flutuante, e 'C8x para multiprocessadores DSP. Existem três plataformas principais e estas são:

1. Plataforma 'C2000;
2. Plataforma 'C5000 e
3. Plataforma 'C6000.

Componentes dentro de uma mesma plataforma da família TMS320 compartilham o mesmo núcleo DSP, mas diferentes configurações de memória interna e periféricos.

Cada plataforma apresenta características otimizadas a um determinado grupo de aplicações. Deste modo, por exemplo, a plataforma 'C2000 é mais apropriada à aplicações de sistemas de controle em geral. A plataforma 'C5000 é otimizada para produtos portáteis e de baixo consumo. A plataforma 'C6000 é otimizada para um alto desempenho de processamento para aplicações que exijam uma alta capacidade de processamento, como áudio, por exemplo.

1.4.1 TMS320F243

É um controlador DSP de ponto fixo de 16 *bits* que pertence a plataforma 'C2000. Tanto o núcleo quanto os periféricos são otimizados para serem utilizados em projetos de controle de motores e de movimentos. As principais características deste componente são:

- *Interface* para memória externa;
- Módulo gerenciador de eventos;

❖ Oito canais de modulação de largura de pulso

(PWM)/comparador;

- ❖ Dois temporizadores de uso geral de 16 *bits* com quatro modos de operação;
- ❖ Três unidades de comparação completa com tempo morto;
- ❖ Três unidades de captura (duas com possibilidade de *interface* com um *encoder* de pulso em quadratura);

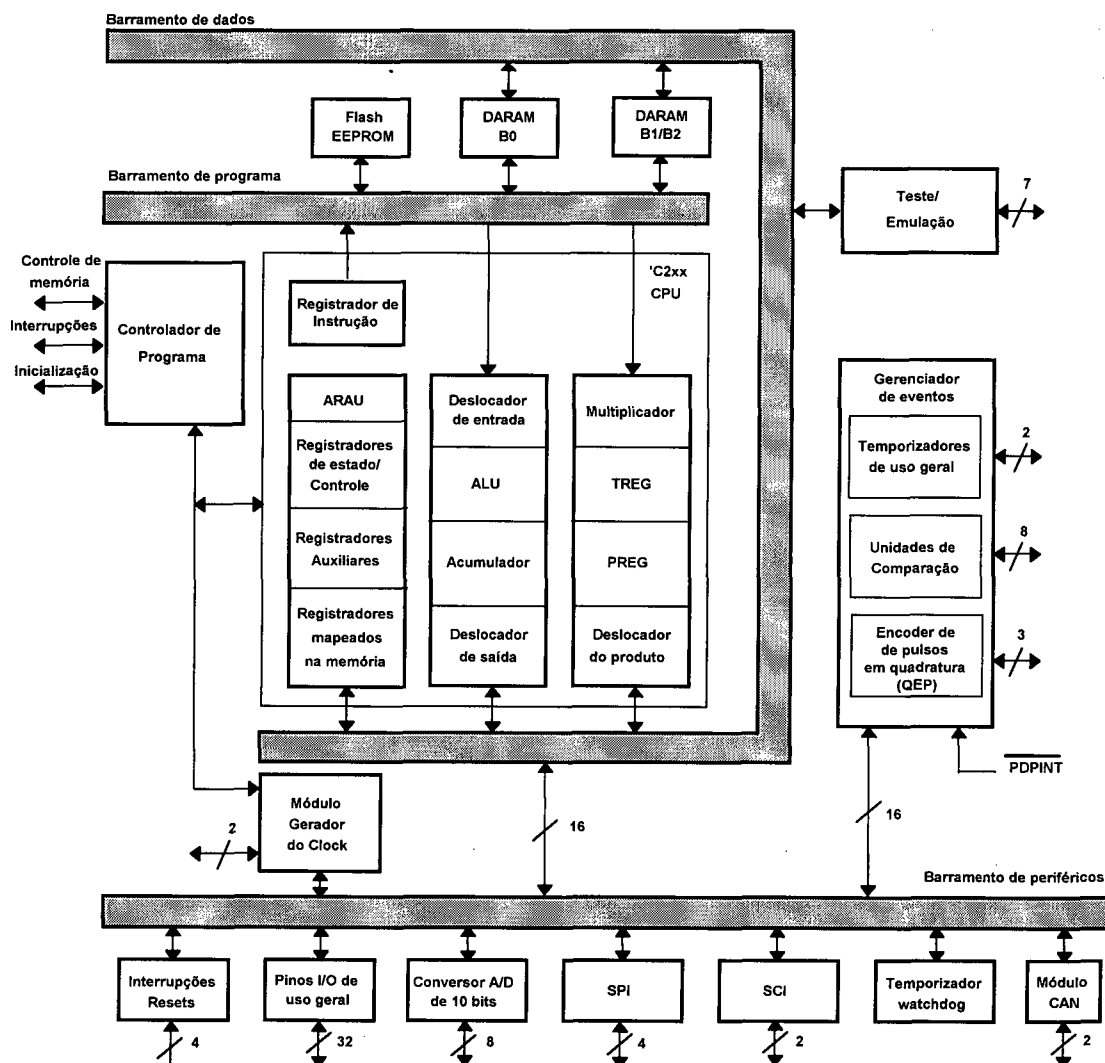


Fig. 1.4 – Diagrama de blocos funcional da arquitetura do núcleo do controlador DSP.

- Um conversor analógico digital de 10 *bits* (ADC) com uma entrada multiplexada de oito canais;
- Um módulo de controlador de rede local CAN (*Controler Area Network*);
- 26 pinos individualmente programados de uso genérico I/O (GPIO);

- Pulsos de *clock* do sistema baseados em um módulo PLL;
- Módulo temporizador *watchdog*;
- Módulo de *interface* de comunicação serial (SCI);
- Módulo de *interface* periférico serial (SPI);
- Cinco interrupções externas (*power drive protection, reset, NMI* e duas interrupções mascaráveis);
- Três modos de baixo consumo;
- Memória:
 - ❖ 544 palavras de 16 *bits* de memória RAM de dados/programa interna de acesso duplo (DARAM);
 - ❖ 8k de palavras de 16 *bits* de memória FLASH EEPROM
 - ❖ 224k de palavras de 16 *bits* de memória total.

1.4.1.1 Arquitetura interna

É baseada no modelo *Harward* modificado, que suporta barramentos separados para o programa e para os dados. Um terceiro (entrada/saída), é também disponível e acessível através de um barramento de *interface* externa. Por suportar uma grande quantidade de periféricos, é usado um barramento para estes. Isto permite que haja acesso simultâneo de dados e instruções de programa. Por exemplo, enquanto um dado é multiplicado, um produto prévio pode ser adicionado ao acumulador, e ao mesmo tempo, um novo endereço pode ser gerado. Devido a este paralelismo, o componente suporta uma série de instruções aritméticas, lógicas e manipulação de *bits*, que podem ser efetuados em um único ciclo de *clock*. Possui ainda mecanismos de gerenciamento de interrupções, repetição de operações e chamada de funções/subrotinas.

O bloco funcional é apresentado na Fig. 1.4 e dá uma boa descrição do componente. É composto de três blocos principais: núcleo DSP, memória interna e periféricos. Em adição a estas, há diversos sistemas e características distribuídas. A isto incluem-se: registradores mapeados na memória, reinicializações, interrupções,

entradas/saídas digitais, geração de pulso de *clock* e modo de operação de baixo consumo.

1.4.1.2 Interrupções

Interrupções são geradas por componentes que precisam enviar ou buscar alguma informação do núcleo DSP como, por exemplo, conversores A/D e outros processadores digitais de sinal. Quando ocorre o reconhecimento da interrupção, suspende-se a execução do código específico e executa-se uma seqüência de instruções ligadas ao evento que gerou a interrupção.

O processador digital de sinais TMS320F243 contém muitas interrupções de periféricos internos, cada uma capaz de gerar múltiplas interrupções em resposta a cada evento. A CPU suporta uma interrupção não mascarada (não pode ser desabilitada) e seis interrupções mascaradas e não manipula diretamente as requisições de interrupção. Devido a isto utiliza-se um controlador de interrupções centralizado para arbitrar sobre elas, denominado Expansão de Controle de Periféricos (PIE – *Peripheral Interface Expansion*).

A PIE gerencia todas as requisições de interrupção dos periféricos. É conectado entre os periféricos, a CPU e os barramentos de endereços e informações. Contém três registradores:

- PIRQ – *Peripheral Interrupt Request* – Detecta e grava qualquer requisição de interrupção dos periféricos.
- PIVR – *Peripheral Interrupt Vector Register* – Contém o vetor de interrupção da requisição mais recente e que foi reconhecida.
- PIACK – *Peripheral Interrupt Acknowledge* – Envia o reconhecimento da interrupção para os periféricos.

O nível de prioridade da interrupção é programado em alguns casos. As interrupções do ADC, SCI, SPI, CAN e as interrupções externas podem ser configuradas para serem de alta prioridade e ou de baixa prioridade para o controlador PIE. Em cada periférico, um *bit* de indicação de interrupção e um *bit* de habilitação (máscara) irão causar uma requisição de interrupção no módulo PIE. Esta requisição simplesmente reflete o estado do periférico. A requisição pode ser apagada reconhecendo-a e ou pelo programa

(escrevendo 1 no indicador correspondente no periférico). Se nenhuma requisição de interrupção, não reconhecida pela CPU, de mesma prioridade foi previamente transmitida, um sinal de interrupção é gerado e transmitido a CPU quando a PIRQ estiver ativa. A interrupção requerida, irá ativar o *bit* correspondente no registro de indicadores de interrupção (IFR). Se a interrupção da CPU estiver habilitada por um *bit* apropriado no registrador de máscara de interrupção (IMR) e se o *bit* INTM estiver em zero a CPU reconhecerá a interrupção.

Depois de aceita a requisição, a CPU envia ao módulo PIE um sinal de reconhecimento de interrupção e um valor no barramento de endereços de programa (PAB), que corresponde ao nível de interrupção que está sendo respondida. O PIE decodifica este valor e reconhece qual requisição de interrupção foi reconhecida, enviando ao periférico um sinal de reconhecimento de interrupção (PIACK). Este sinal será usado pelo periférico para limpar o indicador de interrupção.

Quando uma interrupção é reconhecida, o controlador PIE carrega o vetor de interrupção de periféricos dentro do registrador do vetor de interrupção de periféricos (PIVR) com o valor armazenado na tabela. Então, a rotina de interrupção de serviço genérica (GISR) salva os conteúdos necessários e lê o valor do PIVR. Em seguida executa um salto para um local da memória apropriado que contém a rotina de interrupção de serviço específica, usando o vetor como base para localizar o endereço.

As referências [13] e [14] fazem uma abordagem sobre como tratar as interrupções. As interrupções não usadas devem prover um salto para uma rotina fantasma, pois caso haja algum imprevisto, não se perde o controle do processo.

1.4.1.3 Gerenciador de eventos

Há dois temporizadores de uso genérico no gerenciador de eventos do 'F243. Estes podem ser usados como base de tempo independentes em aplicações como:

- Geração do período de amostragem em um sistema de controle.
- Propiciar uma base de tempo para processamento de sinal do sensor decodificador em quadratura em um sistema de controle de um motor.
- Fornecer uma base de tempo para os comparadores de ação completa e circuitos

PWM associados para gerar saídas PWM em um sistema de controle de um motor.

- Servir como base de tempo para monitorar o intervalo entre dois eventos externos ao processador por intermédio do circuito de captura.

Na Fig. 1.5 tem-se o diagrama de blocos funcional de um temporizador de uso genérico, que resumidamente contém:

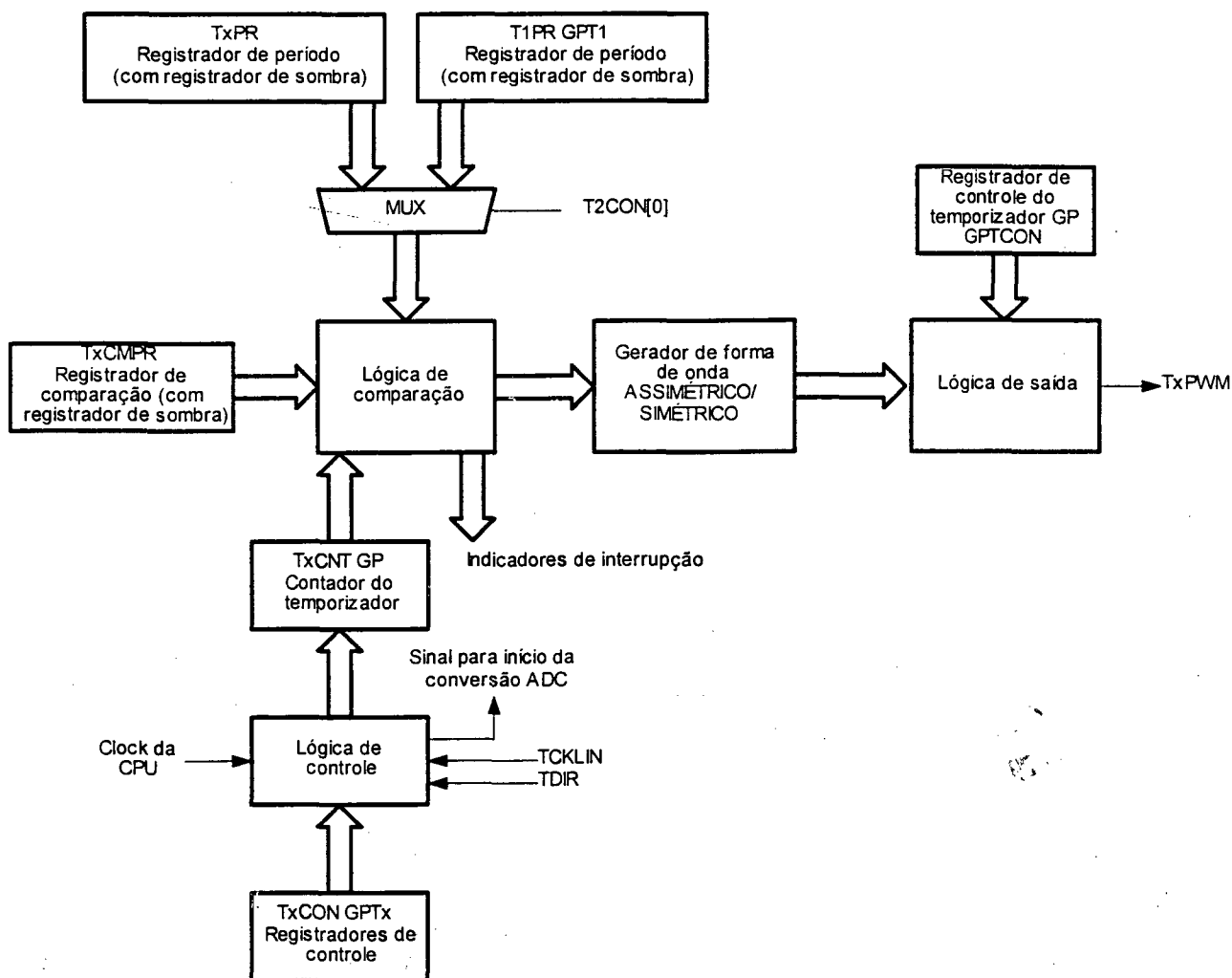


Fig. 1.5 – Diagrama de blocos funcional do temporizador de uso genérico.

- Um registrador que armazena o valor de contagem (UP/DOWN), TxCNT ($x = 1,2$). Armazena o valor corrente da contagem e incrementam ou decrementam a cada *clock* de acordo com o modo de contagem selecionado.
- Um registrador de comparação, TxCMPR ($x = 1,2$), duplicado o que permite que a recarga seja programada por diferentes eventos.
- Um registrador de período, TxPR ($x = 1,2$), duplicado.

- Um registrador de controle individual, TxCON ($x = 1,2$).
- Divisor do número de *clocks* programável para pulsos gerados internamente e ou externamente.
- Lógica de controle de interrupção.
- Um pino de saída do comparador, TxCMP ($x = 1,2$).
- Lógica de saída programável.

Um registrador de controle genérico (GPTCON) especifica a ação a ser tomada pelos temporizadores nos diferentes eventos de temporização e indica a direção de contagem dos temporizadores:

São quatro, os modos de funcionamento dos temporizadores:

- Modo de contagem pára/mantém.
- Modo de contagem contínua crescente.
- Modo de contagem contínua crescente/decrescente.
- Modo de contagem direcional crescente/decrescente.

Cada temporizador pode ser programado para, independentemente, fornecer uma saída PWM. Para se criar uma saída PWM (assimétrica ou simétrica) deve-se parametrizar os seguintes registradores:

- TxPR em acordo com a frequência da portadora (frequência PWM).
- TxCON para especificar o modo de contagem e a fonte de *clock* e o início da operação.
- TxCMPR com o valor da razão cíclica calculado em tempo real.

Além destes existem outros registradores que devem ser configurados para se obter a característica desejada do GP (temporizador de uso genérico), sendo eles o GPTCON, EVIFRA, EVIFRB, EVIFRC, EVIMRA, EVIMRB e EVIMRC. Estes são registradores de controle das interrupções e de controle de funções comuns aos dois temporizadores (GPTCON).

A unidade de comparação é composta de seis comparadores que podem ser configurados para gerarem três saídas PWM (assimétricas ou simétricas) com

complemento, que podem ser usadas para acionamento de motores. A base de tempo para esta unidade só pode ser obtida do temporizador um. O gerenciador de eventos ainda possui:

- Três registradores de comparação, duplicados, CMPR_x (x = 1, 2 e 3).
- Um registrador de controle de comparação (COMCON).
- Um registrador de controle de ação (ACTR), duplicado.
- Seis pinos de saída PWM.
- Lógica de controle e interrupção.

A operação pode ser descrita da seguinte forma: o valor do contador do temporizador um é continuamente comparado com o valor do registrador de comparação. Quando os dois valores se igualam, uma transição ocorre nas duas saídas da unidade de comparação de acordo com a configuração dos *bits* do registrador de controle de ação (ACTR). Os *bits* no ACTR podem individualmente especificar cada saída para comutar ativo baixo ou ativo alto (se não, forçado baixo ou forçado alto) quando este evento ocorrer. O indicador associado com a unidade de comparação é posto em nível alto se a comparação estiver habilitada. Uma PIRQ é gerada se a interrupção não estiver mascarada. As saídas das unidades de comparação estão sujeitas à modificações pela lógica de saída, unidades de tempo morto e a lógica de vetor de espaço PWM. A seqüência de configuração dos registradores é:

$$T1PR \Rightarrow ACTR \Rightarrow CMPR_x \Rightarrow COMCON \Rightarrow T1CON$$

Existem, ainda, unidades auxiliares que tornam possível gerar saídas PWM com tempo morto e por vetores de espaço. Resumidamente pode-se listar a capacidade, como um todo, do gerenciador de eventos:

- Cinco saídas PWM independentes, três associadas as geradas pelos comparadores de ação completa; as outras duas são geradas pelos comparadores dos temporizadores GP, mais três saídas dependentes das três unidades de comparação completa.
- Tempo morto programável para os pares das saídas PWM associadas com as unidades de comparação.

- Duração mínima de tempo morto de um pulso de *clock*.
- Mínima largura de pulso e incremento/decremento desta de um pulso de *clock*.
- Máxima resolução PWM de 16-*bits*.
- Mudança da frequência da portadora no funcionamento assim como da largura de pulso.
- Interrupção de proteção do circuito de potência gerada externamente.
- Geração programável de formas de onda PWM simétrica, assimétrica e vetor de espaço.
- Não há interferência da CPU na recarga dos registradores de período e comparação.

Maiores informações sobre o gerenciador de eventos podem ser encontradas na bibliografia [11 à 24] e com o fabricante do componente.

1.4.1.4 Conversor analógico digital pseudo-dual

O método usado para efetuar a conversão A/D é o de aproximações sucessivas. Utiliza-se um capacitor para fazer a amostragem e retenção do sinal. Diferente do F240, o F243 possui somente um conversor A/D e um único circuito de amostra e retenção. Este periférico funciona como se tivesse dois conversores, ADC1 e ADC2, mas como dito possui apenas um. Esta medida é tomada para garantir o mínimo de modificações em relação aos controladores com dois conversores A/D. Deste modo o 'F/C243 apresenta os mesmos registradores (ADCNTRL1 e ADCNTRL2, ADCFIFO1 e ADCFIFO2...) o que faz com que a programação deste periférico equivale a do 'F/C240 e permite a conversão (quase simultânea) de dois sinais analógicos. O tempo mínimo de conversão é de 850 ns a uma frequência de 20 MHz. Tensões de referência externas e internas podem ser usadas. Possui oito entradas analógicas multiplexadas. Também permite a divisão dos pulsos de *clock* e gera interrupções (com prioridade programada) quando termina a conversão de um sinal. Pode operar em conversão contínua ou conversão simples. Possui precisão de 10 *bits*.

A Fig. 1.6 apresenta o diagrama de blocos funcional do conversor analógico digital. Foi elaborado um programa que realiza uma conversão a cada 20 μ s a partir de uma base de tempo proveniente do temporizador 2. Ao se completar a conversão gera-se uma

interrupção que armazena o valor lido na memória de dados do controlador DSP.

Foram efetuadas aquisições de sinais utilizando a rotina elaborada. Na Fig. 1.7 apresenta-se a aquisição de um sinal cuja forma de onda é senoidal e a frequência deste é de 833 Hz. A presença do nível DC se faz necessária pois a escala de conversão do AD é de 0 à 5V.

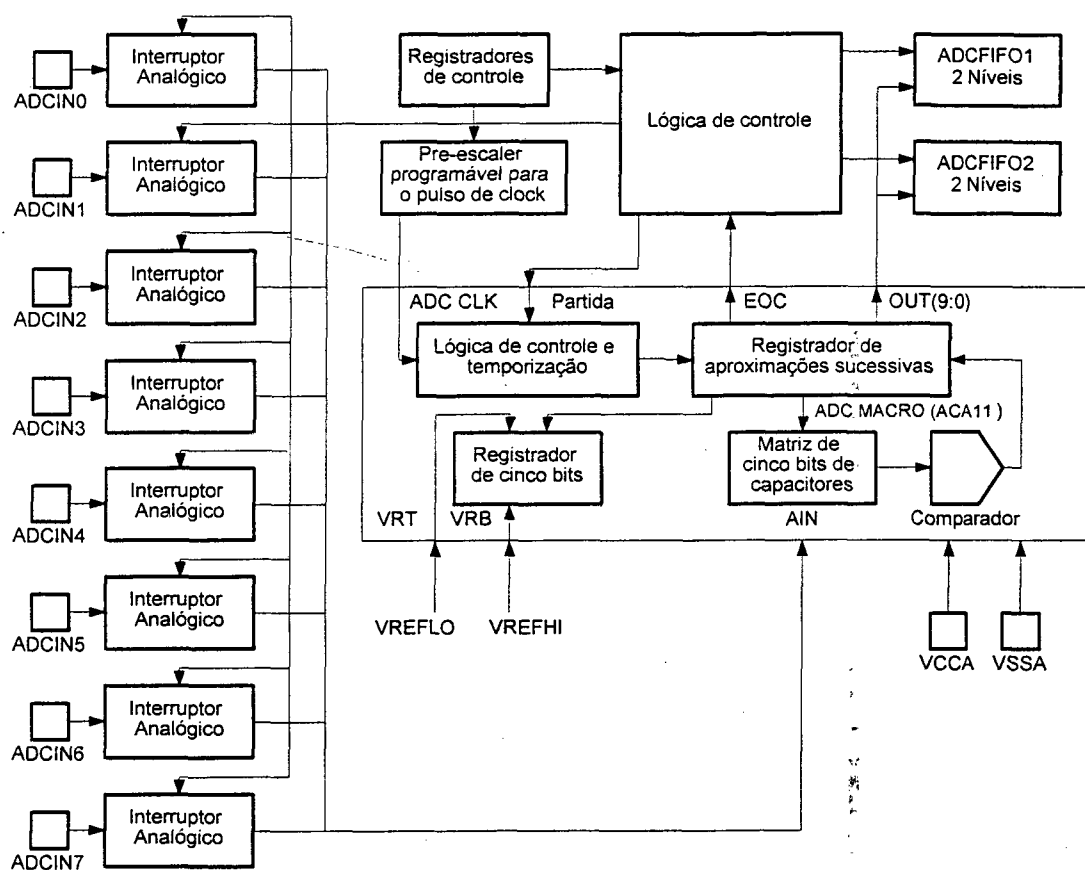


Fig. 1.6 – Diagrama de blocos funcional do pseudo-dual ADC.

Do mesmo modo foram feitas aquisições para formas de onda triangular (Fig. 1.8) e quadrada (Fig. 1.9). As frequências destas também foram de 833 Hz. As aquisições destas formas de onda foram efetuadas sem a inserção de um filtro e um *buffer* na entrada.

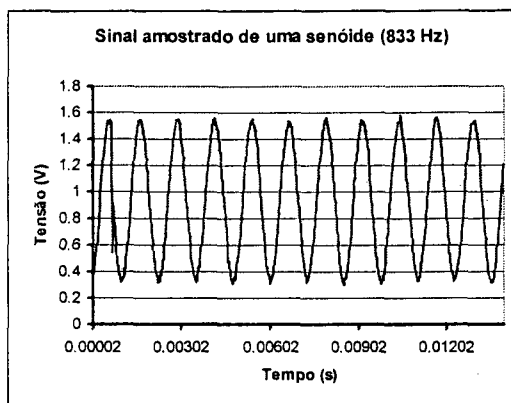


Fig. 1.7 – Aquisição de uma forma de onda senoidal de frequência de 833Hz com frequência de amostragem de 50KHz.

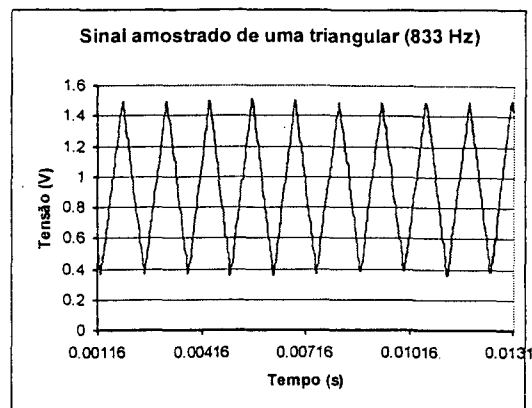


Fig. 1.8 – Aquisição de uma forma de onda triangular de frequência de 833Hz com frequência de amostragem de 50KHz.

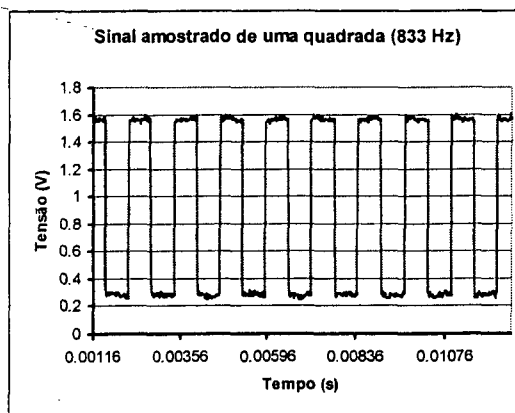


Fig. 1.9 – Aquisição de uma forma de onda quadrada de frequência de 833Hz com frequência de amostragem de 50KHz.

1.5 Conclusão

Este capítulo teve o escopo de ilustrar alguns pontos importantes a respeito do controlador DSP utilizado no projeto. Foi apresentado o controlador e discutido com uma determinada profundidade as principais partes, utilizadas (o EV e o AD) no trabalho desenvolvido.

Teve a finalidade, também, de mostrar como é feito o tratamento numérico dentro do controlador. Fez-se um estudo em cima dos formatos numéricos disponíveis. Dentro do projeto, como um todo, é essencial saber como se representa os ganhos calculados dentro da lógica do controlador.

Dependendo da escolha do *radix* a dinâmica do sistema pode se alterar significativamente, o que implica na necessidade da compreensão completa do sistema de representação numérica.

2. Projeto do Controlador Digital para o Conversor Boost Pré-regulador

2.1 Introdução

Tanto o método de projeto do conversor pré-regulador Boost quanto do controle por valores médios já são de domínio das comunidades científica e industrial e estão amplamente estudadas e apresentadas em diversas publicações [1] a [8].

O que se faz, neste trabalho, é apenas reaplicar as conclusões obtidas de um compêndio das proposições encontradas de modo a projetar um controlador digital. As regras que irão reger o projeto do controlador digital serão as mesmas que são usadas no projeto do compensador analógico. É importante ter-se em mente que, embora o tratamento matemático seja diferente, a filosofia aplicada é a mesma.

2.2 Descrição do método de controle utilizado

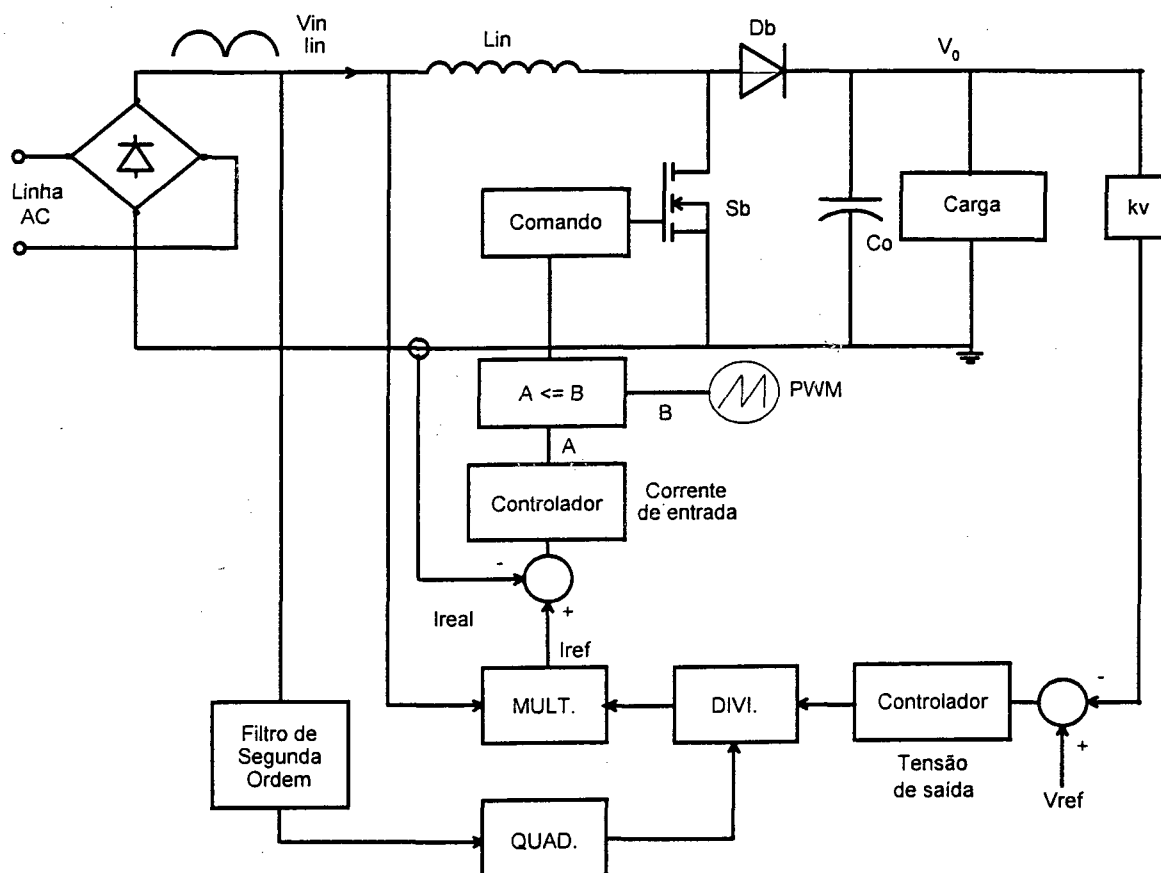


Fig. 2.1 – Diagrama de blocos do controle de um pré-regulador com alto fator de potência.

A Fig. 2.1 mostra o diagrama de blocos funcional do método de controle por valores médios de corrente (utilizado pelo controlador UC3854 da Unitrode [30]) em um conversor Boost. Esta é apenas uma representação ilustrativa, uma visão mais completa pode ser obtida dos dados fornecidos, em notas de aplicação, pelo fabricante.

Nota-se a existência de duas malhas de controle, um laço interno de controle da corrente de entrada e um laço externo de controle da tensão de saída. O laço de corrente é programado para seguir a referência da tensão retificada. Esta referência tem sua amplitude modulada por dois sinais sendo, um proveniente do compensador de tensão e o outro da malha de controle *feedforward*. A tensão de saída é controlada alterando-se o valor da amplitude da corrente de entrada. Um multiplicador analógico cria a corrente de referência multiplicando a tensão de referência retificada pela ação de controle do controlador de tensão e dividindo pela ação do *feedforward* ao quadrado (o sinal *feedforward* é proveniente de um filtro de segunda ordem). Deste modo a corrente de entrada é programada para ter o formato da tensão de entrada retificada e uma amplitude que controla a tensão média de saída. O fator de divisão (*feedforward*) serve para corrigir as variações da tensão na carga devido aos distúrbios ou variações da tensão de entrada. Seu valor é elevado ao quadrado para tornar a referência da forma de onda inversamente proporcional à tensão de entrada - se fosse somente a tensão média (proveniente do filtro de entrada), sem elevar-se ao quadrado, o único resultado seria tornar a referência da forma de onda independente da tensão de entrada, ou seja, com amplitude constante, sem a ação de correção *feedforward*.

A partir do esquema acima descrito concebeu-se a forma de como controlar o conversor Boost, operando como pré-regulador, digitalmente. Mas devido às facilidades que o sistema de controle digital proporciona, fez-se algumas modificações neste esquema. Estas alterações são apresentadas na Fig. 2.2.

A primeira destas modificações está relacionado com a referência da forma de onda da corrente de entrada. Diferente do controlador contínuo, base para este projeto, preferiu-se impor a forma de onda a partir de uma tabela de pontos na memória de programa do controlador DSP. Deste modo há uma referência que é independente da tensão de entrada e é rigidamente uma senóide (existe uma pequena distorção, devido à natureza desta senóide, pois ela é discreta).

No controlador convencional utiliza-se a forma de onda da tensão da rede, que pode apresentar uma distorção em seu formato estendida à corrente de entrada, empobrecendo o

fator de potência. Outro ponto é que, usando como referência a tensão da rede, é necessário calcular o quadrado do valor médio da tensão de entrada para calcular a ação *feedforward*, o que implica em um aumento da complexidade do programa.

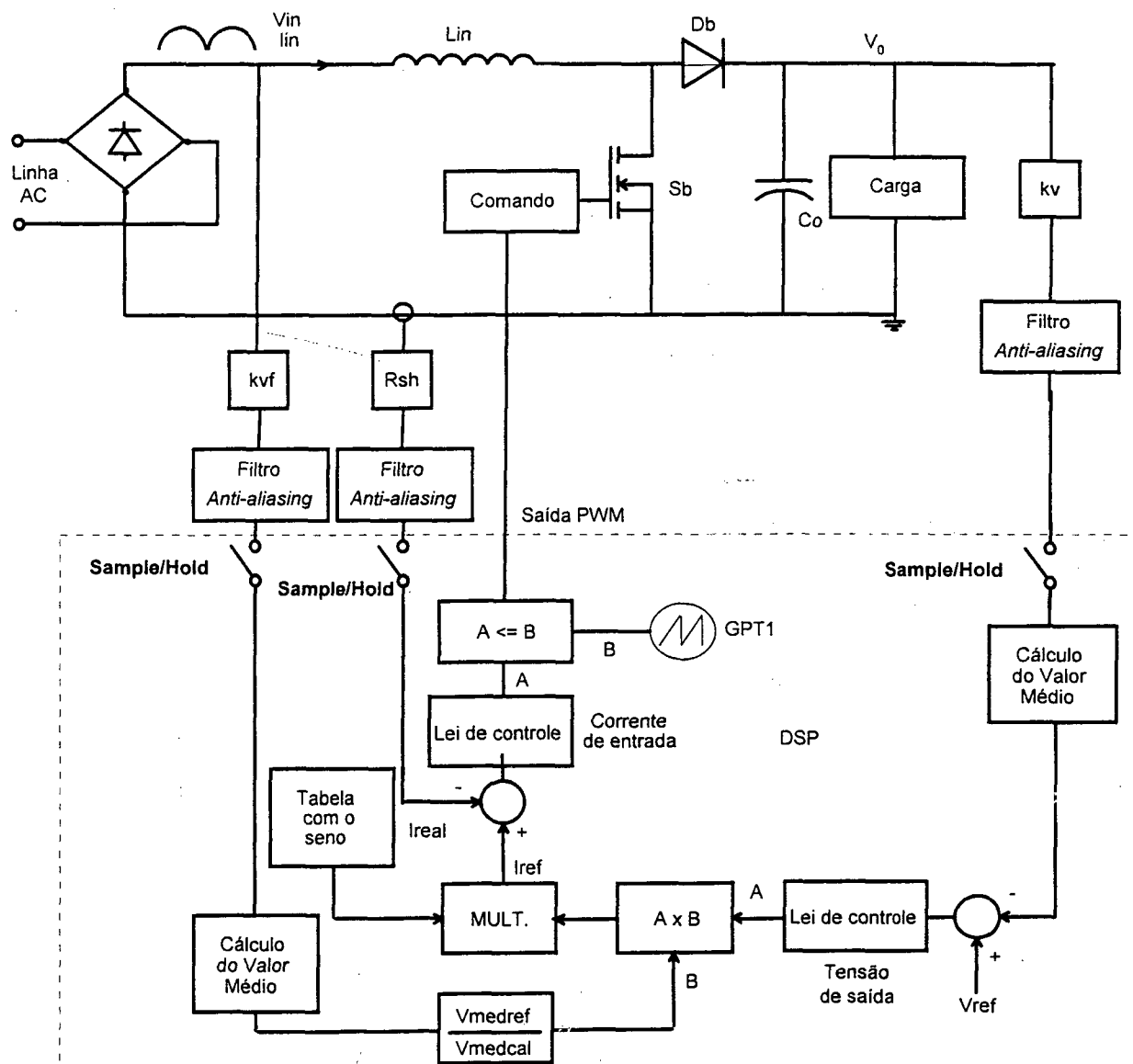


Fig. 2.2 – Diagrama em blocos funcional do controle implementado com controlador DSP em um conversor pré-regulador.

Para calcular-se a ação de controle *feedforward* fez-se o cálculo do valor médio da tensão de entrada retificada. No controlador contínuo é feito do mesmo modo, porém, por um filtro de segunda ordem e que sempre possui uma ondulação. Esta ondulação se reflete no formato da corrente de entrada aumentando a distorção harmônica de corrente. Utilizando-se o valor médio calculado e atualizando a cada semi-ciclo (durante o cruzamento por zero) esta influência reduz-se.

Como se deseja controlar o valor médio da tensão de saída, calculou-se e controlou-se este, em vez do valor instantâneo. Com o exposto nesse item passa-se agora a abordar a metodologia de cálculo utilizada, pormenorizando os cálculos e aspectos de escalonamento das variáveis a medida que as abordagens forem feitas.

2.3 Projeto do estágio de potência do conversor

Antes de iniciar o projeto do compensador é necessário definir o projeto do estágio de potência do conversor. Após, em uma segunda etapa, o projeto do controlador digital. O estágio de potência foi projetado seguindo um procedimento adotado de referências [4,5]. Para iniciar os cálculos são necessários alguns parâmetros de projeto que caracterizam o conversor:

- Tensão de alimentação ($V_{in_{RMS}}$): 90 – 250V.
- Potência de saída (P_0): 500W.
- Frequência da tensão de alimentação (f_r): 60 Hz.
- Tensão de saída CC (V_0) – 400V.
- Máxima ondulação da tensão de saída (ΔV_0): $\pm 2,5\%$ de V_0 .
- Máxima ondulação da corrente de entrada ($\Delta I_{n_{max}}$): 20% de $I_{L_{IN}}$.
- Frequência de comutação (f_s): 50kHz.
- Frequência de amostragem (f_a): 50 kHz.
- Rendimento esperado (η): 95%.

A partir destes parâmetros, fez-se o dimensionamento e os cálculos são apresentados a seguir:

a) Corrente eficaz de entrada

$$I_{in_{ef\ nom}} = \frac{P_0}{V_{in_{ef}}} = \frac{500}{220} = 2,239\ A \quad (2.1)$$

$$I_{in_{ef\ max}} = \frac{P_0}{V_{in_{ef\ min}}} = \frac{500}{90} = 5,848\ A \quad (2.2)$$

b) Corrente de pico de entrada:

$$I_{p_{nom}} = I_{in_{ef}} \times \sqrt{2} = 2,239 \times \sqrt{2} = 3,383 \text{ A} \quad (2.3)$$

$$I_{p_{max}} = I_{in_{ef_{max}}} \times \sqrt{2} = 5,848 \times \sqrt{2} = 8,27 \text{ A} \quad (2.4)$$

c) Máxima ondulação da corrente de entrada:

$$\Delta I_{p_{nom}} = I_{p_{nom}} \times \Delta I_{in_{max}} = 3,383 \times 0,2 = 0,667 \text{ A} \quad (2.5)$$

$$\Delta I_{p_{max}} = I_{p_{max}} \times \Delta I_{in_{max}} = 8,27 \times 0,2 = 1,654 \text{ A} \quad (2.6)$$

d) Cálculo da indutância Boost:

$$L_{in} = \frac{0,32 \times V_{in_{pk_{max}}}}{\Delta I_{p_{max}} \times f_s} = \frac{0,32 \times 339,4}{1,654 \times 50000} = 1,313 \text{ mH} \quad (2.7)$$

e) Capacitor de saída:

$$C_0 = \frac{P_0}{2 \times \pi \times f_r \times V_0^2 \times \Delta V_0} = \frac{500}{2 \times \pi \times 60 \times 400^2 \times 0,025} = 331,6 \mu\text{F} \quad (2.8)$$

Valor adotado:

$$C_0 = 470 \mu\text{F} \quad (2.9)$$

f) Cálculo do indutor:

f.1) Escolha do núcleo do indutor:

$$A_e \times A_w = \frac{L_{in} \times I_{p_{max}} \times I_{in_{ef_{max}}}}{K_w \times B_m \times J_m} = \frac{1,35 \times 8,27 \times 5,848}{0,7 \times 0,25 \times 300} = 12,098 \text{ cm}^4 \quad (2.10)$$

Utiliza-se o núcleo EE-65/26.

$$A_e \times A_w = 19,684 \text{ cm}^4 \quad A_e = 5,32 \text{ cm}^2 \quad A_w = 3,7 \text{ cm}^2$$

f.2) Cálculo do número de espiras:

$$N = \frac{L_{in} \times (I_{p_{max}} + 0,5 \times \Delta I_{p_{max}})}{B_m \times A_e} = \frac{1,35 \times (8,27 + 0,5 \times 1,654)}{0,25 \times 5,32} = 90 \text{ esp} \quad (2.11)$$

f.3) Cálculo do entreferro:

$$l_g = \frac{N^2 \times \mu_0 \times A_e}{L_{in}} = \frac{90^2 \times 4 \times \pi \times 10^{-7} \times 5,32}{1,35} = 4,123 \text{ mm} \quad (2.12)$$

f.4) Cálculo do diâmetro do condutor:

$$S_{cu} = \frac{I_{n_{ef \max}}}{J_m} = \frac{5,58}{300} = 18,06 \times 10^{-3} \text{ cm}^2 \quad (2.13)$$

Utiliza-se então o condutor 2 x 17 AWG (0,010379 cm² de diâmetro)

g) Esforços nos componentes

g.1) Corrente eficaz no interruptor para um ciclo da rede:

$$I_{S_{ef}} = \sqrt{I_{n_{ef \max}}^2 - \frac{3}{8} \times \left(\frac{V_{in_{pk \min}} \times I_{p_{\max}}}{V_o} \right)^2} = \sqrt{5,848^2 - \frac{3}{8} \times \left(\frac{127 \times 8,27}{400} \right)^2} = 5,662 \text{ A} \quad (2.14)$$

g.2) Tensão máxima sobre o interruptor:

$$V_{S_p} = V_o \times \left(\frac{2 + \Delta V_o}{2} \right) = 400 \times \left(\frac{2 + 20}{2} \right) = 411 \text{ V} \quad (2.15)$$

g.3) Corrente média no diodo de saída:

$$I_{d_{med}} = \frac{P_o}{V_o} = \frac{500}{400} = 1,25 \text{ A} \quad (2.16)$$

g.4) Tensão reversa máxima sobre o diodo de saída:

$$V_{d_p} = V_{S_p} = 410 \text{ V} \quad (2.17)$$

g.5) Corrente média nos diodos retificadores de entrada:

$$I_{dr_{med}} = \frac{I_{p_{\max}}}{\pi} = \frac{8,27}{\pi} = 2,633 \text{ A} \quad (2.18)$$

g.6) Tensão reversa máxima sobre os diodos retificadores de entrada:

$$V_{dr_p} = V_{in_{pk}} = 339,411 \text{ V} \quad (2.19)$$

Foi escolhido o interruptor MOSFET IRFP 460, cujos principais dados são:

$$V_{DSS} = 500 \text{ V} \quad R_{DSON} = 0,27 \Omega \quad I_D = 13 \text{ A (100}^\circ\text{C)}$$

$$t_r = 59 \text{ ns} \quad t_f = 58 \text{ ns} \quad t_{doff} = 110 \text{ ns}$$

$$t_{don} = 59 \text{ ns} \quad R_{\theta jcl} = 0,45 \text{ }^\circ\text{C/W} \quad R_{\theta jal} = 0,45 \text{ }^\circ\text{C/W}$$

$$T_{jl} = 110 \text{ }^\circ\text{C} \quad T_{ca} = 100 \text{ }^\circ\text{C}$$

Para o diodo de saída foi escolhido o componente MUR450, cujos dados são:

$$\begin{array}{lll} I_{FAV} = 4 \text{ A} & V_{RRM} = 500 \text{ V} & V_{F1} = 1,25 \text{ V} \\ t_{rr} = 75 \text{ ns} & T_{j2} = 175 \text{ }^\circ\text{C} & R_{\theta ja2} = 50 \text{ }^\circ\text{C/W} \end{array}$$

Para o estágio de retificação de entrada foi escolhido o diodo retificador 1N5404, cujos dados são:

$$\begin{array}{lll} I_{FAV} = 3 \text{ A} & V_{RRM} = 400 \text{ V} & V_{F1} = 1,2 \text{ V} \\ I_{RM} = 250 \text{ } \mu\text{A} & T_{j2} = 175 \text{ }^\circ\text{C} & R_{\theta ja2} = 53 \text{ }^\circ\text{C/W} \end{array}$$

h) Cálculo do *snubber*:

h.1) Valor da capacitância:

$$C_s = \frac{I_{p_{\max}} \times (t_f + t_{d_{\text{off}}})}{2 \times V_{\text{off}}} = \frac{8,27 \times (58 \times 10^{-9} + 110 \times 10^{-9})}{2 \times 300} = 2,316 \text{ nF} \quad (2.20)$$

Valor adotado: $C_s = 2,2 \text{ nF}$

h.2) A razão cíclica mínima é dada por:

$$D_{\min} = 1 - \frac{V_{in_{pk \max}}}{V_0} = 1 - \frac{339}{400} = 0,151 \quad (2.21)$$

h.3) A resistência do *snubber* deverá ser menor ou igual a:

$$R_{sn} = \frac{D_{\min}}{3 \times C_s \times f_s} = \frac{0,151}{3 \times 2,2 \times 10^{-9} \times 50000} = 436,08 \text{ } \Omega \quad (2.22)$$

Valor adotado: $R_{SN} = 220 \text{ } \Omega / 12 \text{ W}$

h.4) A corrente de descarga do capacitor do *snubber*:

$$I_{sn} = \frac{V_0}{R_{sn}} = \frac{400}{205} = 1,951 \text{ A} \quad (2.23)$$

h.5) A potência dissipada pelo *snubber*:

$$P_s = \frac{1}{2} \times C_s \times V_0^2 \times f_s = \frac{1}{2} \times 2,2 \times 10^{-9} \times 400^2 \times 50000 = 9,263 \text{ W} \quad (2.24)$$

i) Cálculo térmico

i.1) Interruptor principal

i.1.1) Perdas por condução:

$$P_{cond} = I_{ef}^2 \times R_{DS(ON)} = 5,56^2 \times 0,27 = 9,234 \text{ W} \quad (2.25)$$

i.1.2) Perdas por comutação:

$$P_{com} = \frac{I_{p_{max}}^2 \times (t_f + t_{d_{off}})^2 \times f_s}{24 \times C_s} + \frac{f_s \times (t_r + t_{d_{on}}) \times 2 \times I_{p_{max}} \times V_{s_p}}{2 \times \pi} \quad (2.26)$$

$$P_{com} = \frac{8,27^2 \times ((58 + 110) \times 10^{-9})^2 \times 50000}{24 \times 2,2 \times 10^{-9}} + \frac{50000 \times ((59 + 55) \times 10^{-9}) \times 2 \times 8,27 \times 411}{2 \times \pi} \quad (2.27)$$

$$P_{com} = 8,105 \text{ W} \quad (2.28)$$

i.1.3) Perdas totais:

$$P_{total} = P_{com} + P_{cond} = 8,105 + 9,234 = 17,338 \text{ W} \quad (2.29)$$

i.1.5) Cálculo da resistência térmica entre junção ambiente:

$$R_{\theta_{ja}} = \frac{T_{j1} - T_a}{P_{total}} = \frac{110 - 40}{17,338} = 3,911 \frac{^{\circ}\text{C}}{\text{W}} \quad (2.30)$$

i.1.6) Cálculo da resistência térmica do dissipador:

$$R_{\theta_{ch}} = R_{\theta_{ja}} - R_{\theta_{jc}} = 3,911 - 0,45 = 3,461 \frac{^{\circ}\text{C}}{\text{W}} \quad (2.31)$$

i.2) Diodo de saída:

i.2.1) Perdas em condução:

$$P_{cond} = V_{F1} \times I_{DMED} = 1,25 \times 1,25 = 1,563 \text{ W} \quad (2.32)$$

i.2.2) Perdas na comutação:

$$P_{com} = \frac{t_{rr} \times I_{RM} \times V_0 \times f_s}{3} = \frac{75 \times 10^{-9} \times 250 \times 10^{-6} \times 400 \times 50000}{3} = 1,25 \times 10^{-4} \text{ W} \quad (2.33)$$

i.2.2) Perdas totais no diodo Boost:

$$P_{total} = P_{com} + P_{cond} = 1,563 + 1,25 \times 10^{-4} = 1,563 \text{ W} \quad (2.34)$$

i.2.3) Resistência térmica junção ambiente necessária:

$$R_{\theta_{ja}} = \frac{T_{j2} - T_a}{P_{total}} = \frac{175 - 40}{1,563} = 86,393 \frac{^{\circ}C}{W} \quad (2.35)$$

Não há necessidade de dissipador.

i.3) Diodos de entrada:

i.3.1) Perdas em condução:

$$P_{cond} = V_{F2} \times I_{DRMED} = 1,2 \times 2,633 = 3,159 W \quad (2.36)$$

i.3.2) Resistência térmica junção ambiente necessária:

$$R_{\theta_{ja}} = \frac{T_{j3} - T_a}{P_{cond}} = \frac{175 - 40}{3,159} = 86,393 \frac{^{\circ}C}{W} \quad (2.37)$$

Não há necessidade de dissipador.

i.3.3) Resistência shunt

$$R_{SH} = 0,1 \Omega \quad (2.38)$$

$$Pr_{SH} = I_{ef_{max}}^2 \times R_{SH} = 5,84^2 \times 0,1 = 3,41 W \quad (2.39)$$

Valor adotado: $R_{SH} = 0,1 \Omega / 10 W$

2.4 Projeto do Controle Digital do Conversor

O projeto do controlador é dividido em duas partes fundamentais. A primeira delas consiste em obter um modelo matemático que descreva o processo e que possa ser usado para análise e projeto do sistema de controle. Usa-se aqui, um método para modelagem do conversor utilizando o modelo da chave PWM, proposto por Vorperian [1]. Por meio deste método, um modelo da planta ou processo é obtido. Através deste modelo, utiliza-se algum método de discretização para encontrar o modelo equivalente no domínio z.

A segunda questão é, propriamente, o projeto do controlador que faça com que a planta atenda às especificações desejadas quanto ao desempenho e ao comportamento deste mediante distúrbios.

Basicamente, há duas formas de projetar um controlador digital. Uma destas é por aproximação, que consiste no projeto do compensador no domínio de s e, após a sua

conclusão, utilizar algum método de discretização por aproximação [28] (Método de Tustin ou Transformação Bilinear, Método da Transformação Casada, Método da Transformação Casada Modificada e Método da Transformação Bilinear com Distorção em Frequência) para obter a função de transferência no domínio de z .

O outro método é analítico, baseado nas ferramentas de projeto do domínio de s aplicadas na função de transferência discretizada [27]. Tende a ser mais preciso do que os métodos por aproximação.

De um modo análogo ao projeto dos compensadores no domínio s , optou-se por um projeto de controlador utilizando-se um método de resposta em frequência. Dentre os existentes resolveu-se optar pelo método de projeto por diagramas de Bode. Este método consiste em modificar a resposta em frequência do sistema pela inserção de um compensador (filtro) a fim de obter-se a resposta desejada.

$$z = e^{j\omega T} \quad (2.40)$$

A desvantagem deste método, no entanto, é que ao trabalhar-se no domínio de z perde-se a simplicidade oferecida pelos diagramas de Bode, pois a frequência aparece como um termo exponencial (Eq. 2.40). Para contornar esta situação é feito um remapeamento da variável complexa em um novo plano, por meio da transformada **bilinear** ou transformada w , apresentada na Eq. 2.41.

$$z = \frac{1 + \left(\frac{T}{2}\right) \times w}{1 - \left(\frac{T}{2}\right) \times w} \quad (2.41)$$

Sendo que, T é o período de amostragem do sistema. Convertendo uma função de transferência no plano z em uma função racional de w , os métodos de resposta em frequência podem ser estendidos para sistemas de controle de tempo discreto.

$$w = \frac{2}{T} \times \frac{z-1}{z+1} \quad (2.42)$$

Através das transformações z e w , a banda primária do semiplano esquerdo do plano s é primeiro mapeada dentro do círculo unitário no plano z e então mapeada em todo o semiplano esquerdo do plano w . Os dois processos são mostrados na Fig. 2.3.

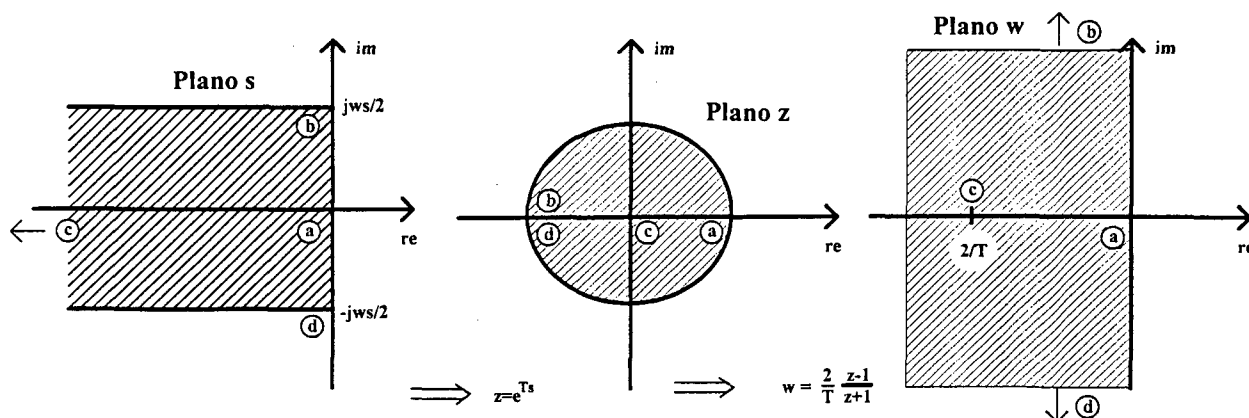


Fig. 2.3 – Mapeamento do plano s no plano z e o plano z no plano w.

Substituindo $j\omega$ por $j\nu$, as técnicas de resposta em frequência podem ser usadas para traçar o diagrama de Bode para a função de transferência em w . Embora o plano w reconstrua o plano s geometricamente, o eixo de frequência no plano w é distorcido. A frequência fictícia ν e a frequência atual ω são relacionadas como segue:

$$w = \frac{2}{T} j \tan \frac{\omega T}{2} \text{ ou } \nu = \frac{2}{T} \tan \frac{\omega T}{2} \quad (2.43)$$

Pelas equações acima, percebe-se que quando a frequência atual ω é pequena;

$$\omega = \nu \quad (2.44)$$

Isto significa que para pequenos valores de ωT as funções de transferência $G(s)$ e $G(w)$ tendem a ser iguais. Isto deve-se à inclusão do fator $2/T$ na equação que mapeia z em w . A presença deste fator permite manter os erros constantes antes e depois da transformação.

Segundo Ogata [27], deve-se seguir os seguintes procedimentos de projeto quando utilizar o plano w :

1. Primeiro, obtém-se $G(z)$, a transformada z da planta precedida de um grampeador. Então aplica-se a transformada bilinear para obter-se a função de transferência no domínio de w . É importante que o período seja apropriadamente escolhido. Uma regra é que a frequência de amostragem seja de 10 vezes a largura de banda do sistema de malha fechada.
2. Substituir $j\omega = j\nu$ em $G(w)$ e traçar os diagramas de Bode para $G(j\nu)$.
3. Ler no diagrama de Bode as constantes de erro estático, a margem de fase e a margem de ganho.

4. Assumindo que o ganho de baixa frequência da função do controlador no tempo discreto (ou controlador digital) $G_d(w)$ é unitária, determinar o ganho do sistema que satisfaça a constante de erro estática. Então, usando as técnicas de projeto convencionais para sistemas de controle contínuos no tempo, determinar os pólos e zeros da função de transferência do controlador digital.
5. Transformar a função de transferência do controlador $G_d(w)$ em $G_d(z)$ através da transformação bilinear, obtendo a função de transferência de pulso do controlador digital.
6. Implementar a função de transferência de pulso $G_d(z)$ através de um algoritmo computacional.

2.4.1 Obtenção das funções de transferência discretizadas

Para efetuar o projeto no domínio do tempo discreto é necessário converter os modelos adotados para a planta ao domínio do plano z . As funções que modelam o conversor foram obtidas a partir do modelo da chave PWM [1] e uma dedução de como obtê-las pode ser obtida na literatura [5,29]. Aplicar-se-á a transformada z na função de transferência com um grampeador de ordem zero precedendo-a. A Fig. 2.4 mostra o diagrama de blocos que exemplifica o enunciado anterior.

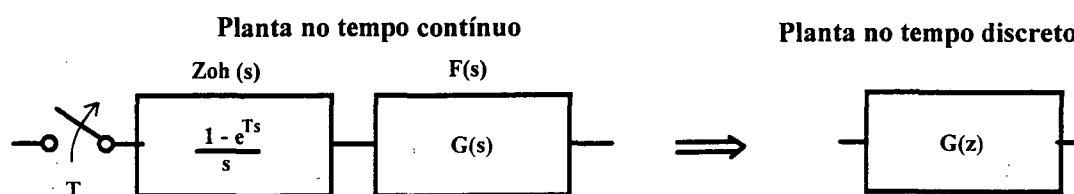


Fig. 2.4 – Diagrama de blocos do processo no domínio de s e para o domínio z .

Seja a função de transferência simplificada [5,29] entre a corrente e a razão cíclica:

$$G_i(s) = \frac{I_L(s)}{D(s)} = \frac{V_0}{s \times L_{IN}} \quad (2.45)$$

Aplicando-se a transformada z a Eq. 2.45, obtém-se como resultado a Eq. 2.46.

$$G_i(z) = \frac{V_0}{L_{IN}} \times \frac{Tz}{(z-1)} \quad (2.46)$$

Para se usar o método de resposta em frequência deve-se remapear a Eq. 2.46 para o

domínio do plano w usando a transformada dada pela Eq. 2.41, que resulta na Eq. 2.47.

$$Gi(w) = \frac{V_0}{L_{IN}} \times \frac{\left(1 - \left(\frac{Ta}{2}\right) \times w\right)}{w} \quad (2.47)$$

A partir da Eq. 2.47 pode-se projetar o compensador da malha de corrente.

Do mesmo modo, deve-se proceder com a função de transferência entre a tensão de saída e corrente no indutor de entrada [5,29]:

$$Gv(s) = \frac{V_0(s)}{I_L(s)} = \frac{(1-D) \times R_0}{1 + s \times R_0 \times C_0} \quad (2.48)$$

Aplicando-se a transformada z com um circuito grampeador de ordem zero a Eq. 2.48 obtém-se a Eq. 2-49.

$$Gv(z) = \frac{(1-D) \times R_0 \times \left(1 - e^{-\frac{Ta}{R_0 \times C_0}}\right)}{\left(z - e^{-\frac{Ta}{R_0 \times C_0}}\right)} \quad (2.49)$$

Se:

$$a = (1-D) \times R_0 \times \left(1 - e^{-\frac{Ta}{R_0 \times C_0}}\right) \quad (2.50)$$

$$b = e^{-\frac{Ta}{R_0 \times C_0}} \quad (2.51)$$

Então:

$$Gv(z) = \frac{a}{(z - b)} \quad (2.52)$$

Do mesmo modo que o efetuado para a função de transferência da corrente, passa-se a Eq. 2.52 para o domínio do plano w por meio da Eq. 2.41 o que resulta na Eq. 2.53.

$$Gv(w) = \frac{a \times \left(1 - \left(\frac{Ta}{2}\right) \times w\right)}{\left(\frac{Ta}{2}\right) \times w \times (1 + b) + 1 - b} \quad (2.53)$$

Substituindo as Eq. 2.50 e 2.51 em 2.53:

$$Gv(w) = \frac{(1-D) \times R_0 \times \left(1 - e^{-\frac{Ta}{R_0 \times C_0}}\right) \times \left(1 - \left(\frac{Ta}{2}\right) \times w\right)}{\left(\frac{Ta}{2}\right) \times w \times \left(1 + e^{-\frac{Ta}{R_0 \times C_0}}\right) + 1 - e^{-\frac{Ta}{R_0 \times C_0}}} \quad (2.54)$$

A partir das funções de transferência no plano w é possível realizar o projeto do compensador discreto. Antes de iniciar o projeto, porém, recomenda-se fazer uma análise comparativa entre os modelos em frequência obtidos, com relação aos modelos reais. Para tanto, é feita uma análise em frequência para ambos os planos (s e w) utilizando-se os parâmetros calculados no item 2.2 deste capítulo.

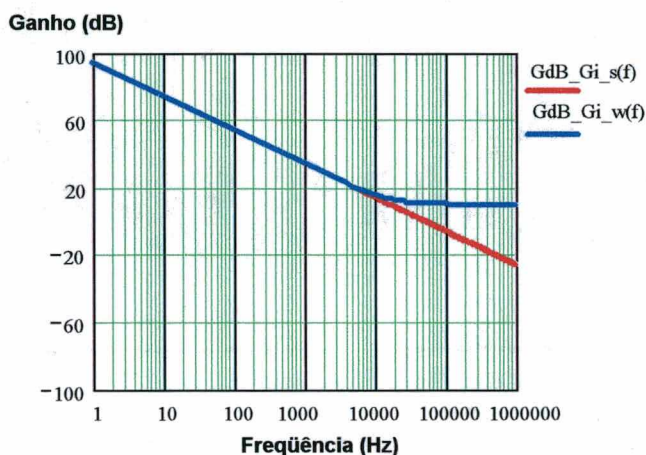


Fig. 2.5 – Gráfico do ganho em dB da função de transferência corrente no indutor pela razão cíclica no domínio s (GdB_Gi_s) e w (GdB_Gi_w).

A Fig. 2.5 mostra o comportamento em frequência do ganho em dB das Eq. 2.45 e 2.47. A diferença essencial entre as duas funções de transferência é que a escala de frequências $0 < \omega < \omega_s/2$ (no plano s) é mapeada de $0 < v < \infty$, onde v é uma frequência fictícia no plano w . Isto explica a existência de uma faixa com ganho plano no domínio w . Na função no domínio s , o valor do ganho para a frequência tendendo ao infinito é um valor infinito, enquanto que para o domínio w , o ganho tende a um valor constante e igual ao valor encontrado na metade da frequência de amostragem no domínio s .

A Fig. 2.6 apresenta o comportamento da fase, em função da frequência, das Eq. 2.45 e 2.47. Neste caso há uma divergência muito maior entre os dois resultados. No plano s , o modelo é um sistema de fase mínima com uma fase constante de 90° . No plano w surge um zero no semi-plano direito (devido ao efeito de amostragem) que o torna um sistema de fase não mínima. Deve-se tomar um cuidado maior, neste caso, no projeto do compensador que provavelmente terá uma frequência de cruzamento menor.

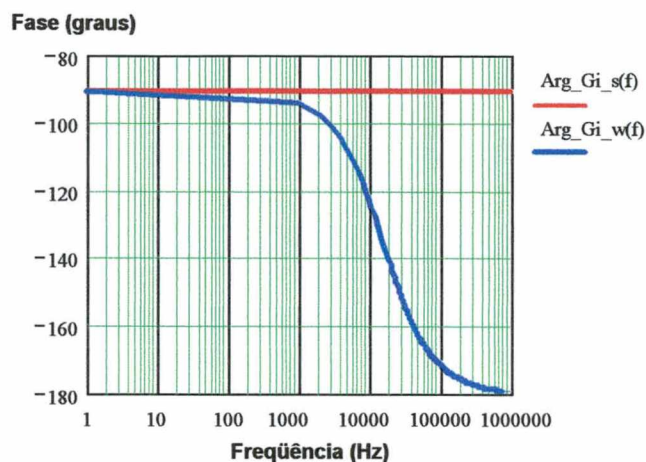


Fig. 2.6 - Gráfico da fase da função de transferência corrente no indutor pela razão cíclica no domínio s (Arg_Gi_s) e w (Arg_Gi_w).

De maneira equivalente analisa-se as funções de transferência entre tensão de saída e corrente de entrada, dadas pelas Eq. 2.48 e 2.54. Para se plotar as funções, e posteriormente dimensionar o compensador de tensão, utilizou-se uma razão cíclica complementar média dada pela Eq. 2.55.

$$D'_{med} = \frac{2 \times V_p}{\pi \times V_0} \quad (2.55)$$

Por intermédio da Fig. 2.7, percebe-se que não há diferença no módulo do ganho entre as duas funções de transferência nos diferentes planos, para esta faixa de frequências. Isto ocorre porque a frequência de amostragem utilizada é bem maior do que a frequência de análise do gráfico de ganho. Esta conclusão é importante no momento do projeto do compensador de tensão.

Na Fig. 2.8 é ilustrado o comportamento da fase nos dois planos. Percebe-se que somente na parte alta da faixa de valores utilizado ocorreu um desvio maior. Apesar deste desvio se pronunciar, se for usado uma escala de valores mais ampla, no projeto do compensador de tensão, a frequência de cruzamento em malha aberta será muito baixa e por este motivo não se encontrará variações projetando-se o compensador de tensão usando-se o modelo no plano s e ou no plano w , nos seus valores.

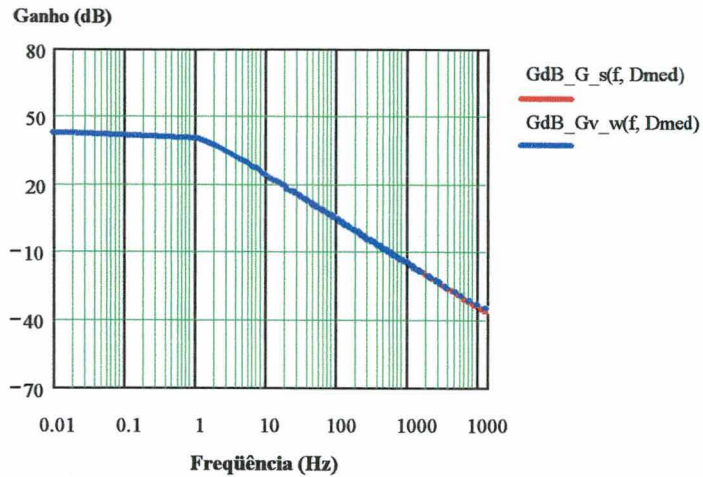


Fig. 2.7- Gráfico do ganho em dB da função de transferência tensão de saída pela corrente no indutor no domínio s ($G_{dB_G_s}$) e w ($G_{dB_Gv_w}$).

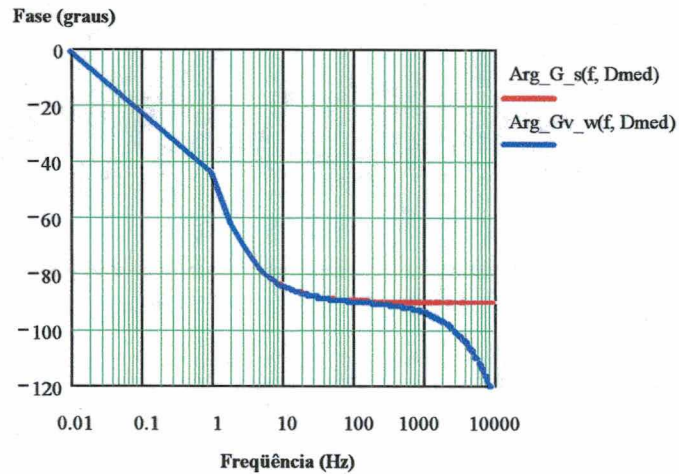


Fig. 2.8 - Gráfico da fase da função de transferência tensão de saída pela corrente no indutor no domínio s (Arg_G_s) e w (Arg_Gv_w).

2.4.2 Projeto dos filtros de *anti-aliasing*

Aliasing é um fenômeno que ocorre em sistemas amostrados e que pode ser entendido como sendo quando um sinal de alta frequência (uma frequência superior a metade da frequência de amostragem) assume a identidade de um sinal de uma frequência inferior (abaixo da metade da frequência de amostragem) – isso ocorre porque não existe uma quantidade de amostras suficiente para caracterizar o sinal e este fenômeno pode ser facilmente visualizado e compreendido analisando-se o espectro em frequência de um sinal amostrado.

A fim de evitar o fenômeno de *aliasing* é inserido um filtro para atenuar as componentes de frequência superior a metade da frequência de amostragem. A função de transferência do filtro é apresentada na Eq. 2.56.

$$Gf(s) = \frac{k}{s+k} \quad (2.56)$$

Onde:

$$k = \pi \times fa \quad (2.57)$$

Para implementar este filtro foi construído um filtro analógico (Fig. 2.9). A função de transferência deste filtro é dado pela Eq. 2.58. Para cada variável monitorada inseriu-se um filtro destes em série com o sinal.

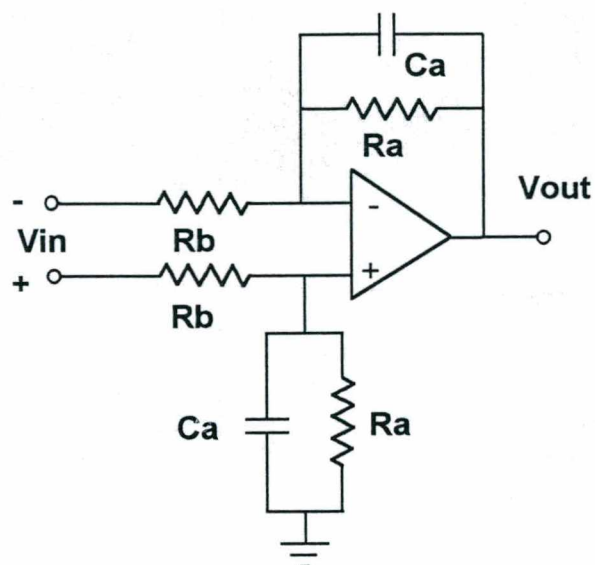


Fig. 2.9 – Filtro de *anti-aliasing* implementado.

Se $V_{in(-)}$ é zero:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{Ra/Rb}{s \times Ca \times Ra + 1} \quad (2.58)$$

Se $Ra = Rb$:

$$Gf(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{1}{s \times Ca \times Ra + 1} = \frac{1/Ca \times Ra}{s + 1/Ca \times Ra} \quad (2.59)$$

Comparando as Eq. 2.56 e 2.59 conclui-se que:

$$k = \frac{1}{Ra \times Ca} \quad (2.60)$$

Deste modo, pode-se agora projetar e implementar o filtro de *anti-aliasing*.

2.4.3 Projeto do controlador da malha de corrente

Para projetar o laço de corrente é necessário a obtenção da função de transferência de malha aberta. Para isto é apresentado o diagrama de blocos funcional da malha de corrente do conversor pré-regulador na Fig. 2-10.

Aqui cabe ressaltar a presença do filtro de *anti-aliasing* no diagrama de blocos. Antes de prosseguir, far-se-á um estudo sobre a influência do pólo inserido pelo filtro na função de transferência da corrente no indutor pela razão cíclica.

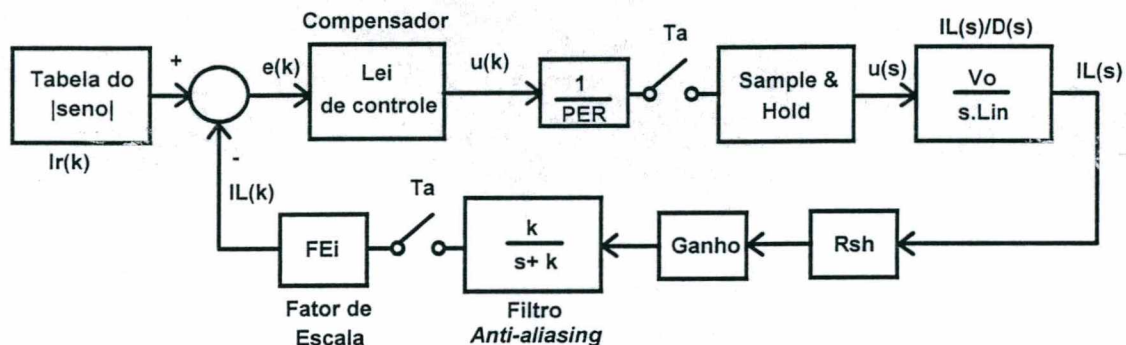


Fig. 2.10 – Diagrama de blocos da malha de corrente.

A inserção do filtro modifica a resposta em frequência, no plano w , da função de transferência dada pela Eq. 2.47. O que será visto a partir de agora é o quanto a resposta é alterada. Seja a função de transferência modificada (considerando o filtro, o ganho do amplificador e a resistência *shunt*) no domínio de s dado pela Eq. 2.61.

$$Gim(s) = \frac{k}{s+k} \times Rsh \times Ganho \times \frac{V_0}{s \times Lin} \quad (2.61)$$

Aplicando a transformada z com um circuito *sample and hold* precedendo a função de transferência obtém-se a Eq. 2.62.

$$Gim(z) = a \times \frac{(z+b)}{(z-1) \times (z-c)} \quad (2.62)$$

Onde:

$$a = \frac{Gan \times (\tau_1 \times Ta - 1 + e^{-\tau_1 \times Ta})}{\tau_1^2} \quad (2.63)$$

$$b = \frac{1 - e^{-\tau_1 \times Ta} - \tau_1 \times Ta \times e^{-\tau_1 \times Ta}}{\tau_1 \times Ta - 1 + e^{-\tau_1 \times Ta}} \quad (2.64)$$

$$c = e^{-\tau_1 \times Ta} \quad (2.65)$$

E:

Ta = período de amostragem.

$\tau_1 = k$ (frequência de corte do filtro).

$$Gan = \frac{Ganho \times V_0 \times Rsh \times k}{Lin} = \text{ganho estático no domínio de s.}$$

Passa-se a Eq. 2.62 para o domínio do plano w por meio da Eq. 2.41 o que resulta na Eq. 2.66.

$$Gim(w) = \frac{a \times (b-1)}{2 \times (1+c)} \times \frac{\left(w - \frac{2 \times (1+b)}{Ta \times (b-1)}\right) \times \left(w - \frac{2}{Ta}\right)}{\left(w + \frac{2 \times (1-c)}{Ta \times (1+c)}\right) \times w} \quad (2.66)$$

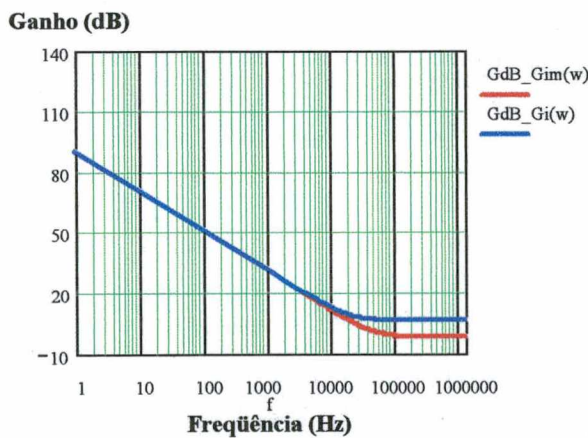


Fig. 2.11 – Diagrama de ganho para as duas funções de transferência obtidas.

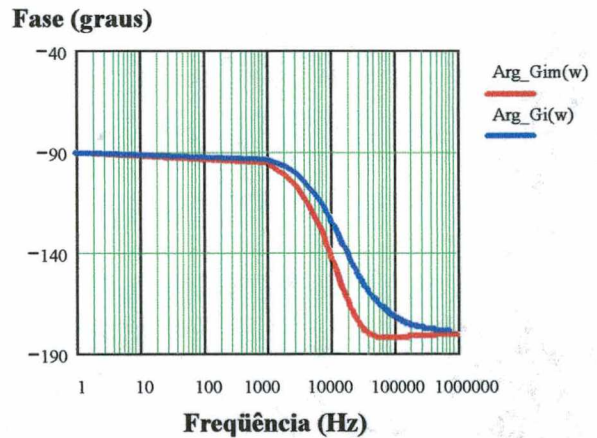


Fig. 2.12 - Diagrama de fase para as duas funções de transferência obtidas.

A partir da Eq. 2.66 pode-se comparar a resposta em frequência das duas funções de transferência obtidas entre corrente no indutor e razão cíclica (sendo necessário multiplicar a Eq. 2.47 pelo termo $Rsh \times Ganho$). Utilizando-se os parâmetros calculados nos itens anteriores, tracejou-se o diagrama de Bode para as duas funções de transferência encontradas.

A inclusão do filtro de *anti-aliasing* acabou alterando um pouco a resposta em

freqüência (Fig. 2.11 e Fig. 2.12) da função de transferência obtida (Eq. 2.47). A diferença é mais acentuada a partir da metade da freqüência de amostragem e principalmente para a fase do sistema. Como a banda passante da função de transferência adotada neste projeto é de um sexto da freqüência de amostragem, optou-se por utilizar a Eq. 2.47, mais simples de manipular, em detrimento de um modelo mais completo e complexo dado pela Eq. 2.66.

O controlador adotado para a malha de corrente é do tipo proporcional integral e tem sua função de transferência dada pela Eq. 2.67.

$$C_i(w) = k_p \times \frac{(w + \omega z)}{w} \quad (2.67)$$

Para a alocação do zero do compensador e para o cálculo do ganho k_p foram adotadas as mesmas restrições impostas para o projeto do compensador no plano s . As restrições mencionadas [5] são:

- A freqüência de cruzamento de ganho deve ser menor que a metade da freqüência de comutação (isto é obtido pelo ajuste do ganho k_p);
- O zero deverá estar alocado abaixo da freqüência de cruzamento de ganho e a pelo menos uma década abaixo da freqüência de cruzamento.

Deste modo:

$$f_c < \frac{f_s}{6} \quad (2.68)$$

$$\omega z = \frac{2 \times \pi \times f_s}{20} \quad (2.69)$$

Porém, como há uma distorção em freqüência no plano w , aplicou-se a Eq. 2.43, para corrigir as restrições. Isto resultou nas seguintes restrições no plano w :

$$f_c = \frac{f_a}{\pi} \times \tan\left(\frac{\pi \times f_s}{6 \times f_a}\right) \quad (2.70)$$

$$\omega z = 2 \times f_a \times \tan\left(\frac{\pi \times f_s}{20 \times f_a}\right) \quad (2.71)$$

A freqüência de cruzamento foi diminuída um pouco (em relação a sugerida por [5]) devido a presença do zero no semi-plano direito da função de transferência encontrada. A partir dos dados apresentados até agora é possível projetar o compensador do mesmo modo

que no caso do plano s .

Observando o diagrama de blocos, percebe-se que já se tem a função de transferência discretizada (utilizar-se-á a função sem a presença do filtro e com o ganho do amplificador e do resistor *shunt* considerados). Desta forma, pode-se redesenhar o diagrama de blocos (Fig. 2.13).

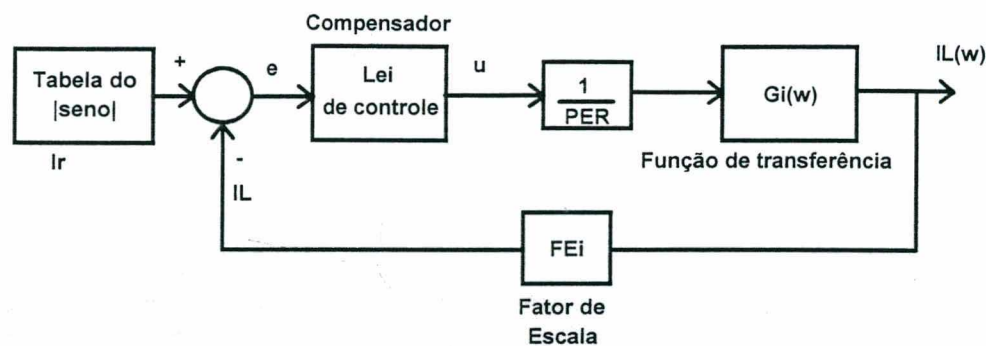


Fig. 2.13 – Diagrama de blocos da malha de corrente no plano w .

A forma final de $G_i(w)$ (considerando os ganhos do resistor *shunt*, do amplificador – necessário pois a tensão sobre os terminais do resistor *shunt* é muito baixa – e de $1/PER$ - que é o equivalente ao máximo valor da tensão da dente de serra) é dada pela Eq. 2.72. FE_i é um fator de escalonamento que está ligado ao modo de como é interpretada a palavra (o *radix*) discretizada.

$$G_i(w) = \frac{V_0 \times R_{sh} \times Ganho \times FE_i}{L_{IN} \times PER} \times \frac{\left(1 - \left(\frac{T_a}{2}\right) \times w\right)}{w} \quad (2.72)$$

Neste ponto é interessante inserir uma questão a respeito do fator de escala (FE_i) e do valor do período PWM (PER). Como pode-se determinar o valor destas variáveis? Primeiramente, é interessante analisar as Eq. 2.73 e 2.74. Por estas equações é possível prever a excursão das variáveis. Neste trabalho optou-se por utilizar o formato Q0 (*radix* 0). Deste modo a variável monitorada (corrente no indutor) depois de amostrada irá excursionar de 0 à 1023 decimal. No entanto, o valor real (antes da digitalização) excursiona somente de V_{REFLO} (neste caso 0V) até V_{REFHI} (neste caso 5V). Assim, fez-se necessário a inserção de um fator de multiplicação no laço para ajustar os valores (para encontrar este valor basta simplesmente usar a Eq. 2.74). Do mesmo modo, a partir da Eq. 2.73, pode-se obter o valor do período (PER) também no formato Q0 (*radix* 0).

$$PER = \frac{T_{PWM}}{T_{CLK}} - 1 \quad (2.73)$$

$$Digital\ result = 1023 \times \frac{Tensão\ de\ entrada - V_{REFLO}}{V_{REFHI} - V_{REFLO}} \quad (2.74)$$

Seria possível utilizar outro formato? A resposta é afirmativa, porém, isto deve ser levado cuidadosamente ao projeto. A questão das tensões de referência para o A/D também é um fator importante, pois, da escolha de seus valores é feito um melhor aproveitamento da palavra de dez *bits* do A/D. Por exemplo, supondo que a excursão da variável monitorada seja de 0 à 2,5V e a tensão de referência seja de 5V, a palavra digitalizada estará entre um valor de 0 a 512, ou seja, utilizar-se-á somente nove bits da palavra o que significa um acréscimo de ruído desnecessário. Remanejando a tensão de referência para 2,5V utiliza-se agora os dez bits otimizando a conversão (o menor ruído possível).

Tendo todos os elementos em questão sido avaliados pode-se iniciar o projeto do compensador. Para tanto utiliza-se a função de transferência de malha aberta do sistema (Eq. 2.75). Um exemplo de projeto será visto no final deste capítulo.

$$FTLA_i(w) = kp \times \frac{(w + \omega z)}{w} \times \frac{V_0 \times Rsh \times Ganho \times FE_i}{L_{IN} \times PER} \times \frac{\left(1 - \left(\frac{Ta}{2}\right) \times w\right)}{w} \quad (2.75)$$

A partir das características da resposta em frequência da função de transferência de malha aberta pode-se obter a resposta dinâmica desejada do sistema em malha fechada.

2.4.4 Projeto do controlador da malha de tensão

De modo similar ao efetuado para a malha de corrente, para projetar-se a malha de tensão é necessário obter-se a função de transferência de laço aberto. Para isto é apresentado o diagrama de blocos funcional da malha de tensão do conversor pré-regulador na Fig. 2-14.

Neste diagrama percebe-se claramente os dois laços de controle presentes no modo de controle por valores médios de corrente. No entanto para se fazer o projeto é necessário simplificar um pouco o problema. Considerando o sistema que vai da saída do multiplicador ($I_r(k)$) até $I_L(s)$ como sendo um bloco único [6], chega-se ao diagrama de blocos funcional da

Fig. 2-15. Onde H_v representa a função de transferência de malha fechada do laço de corrente.

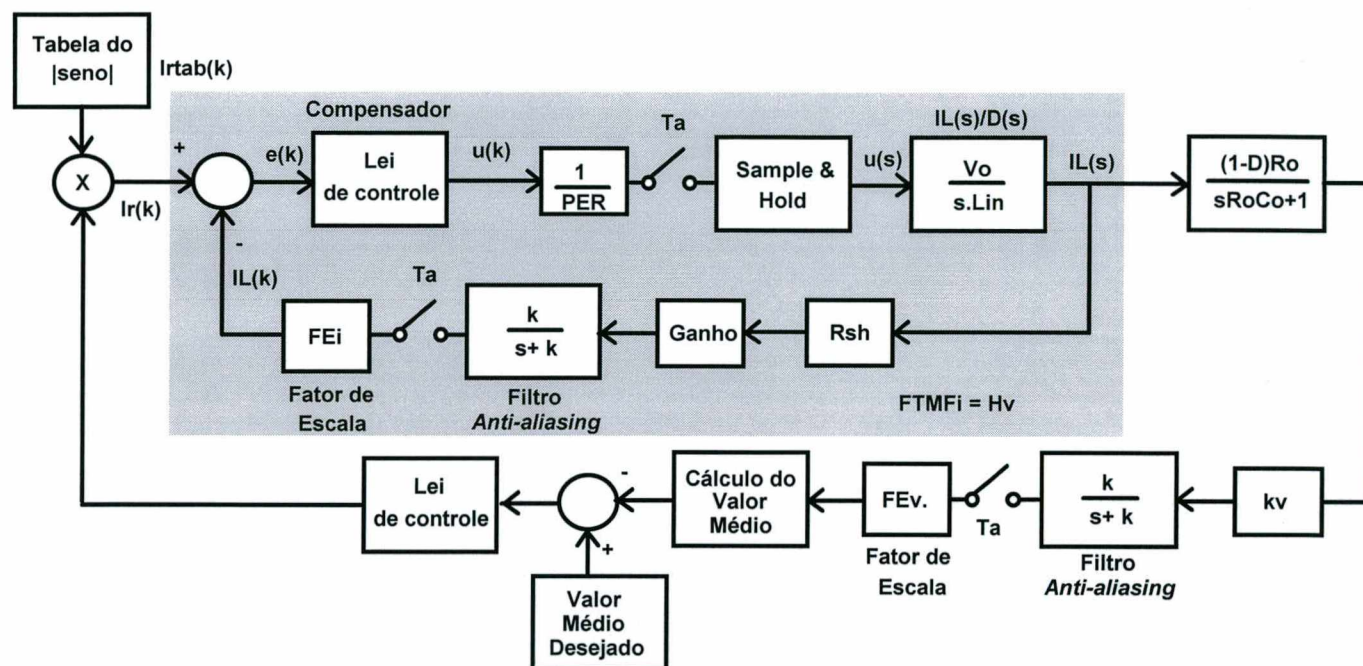


Fig. 2.14 – Diagrama de blocos da malha de tensão.

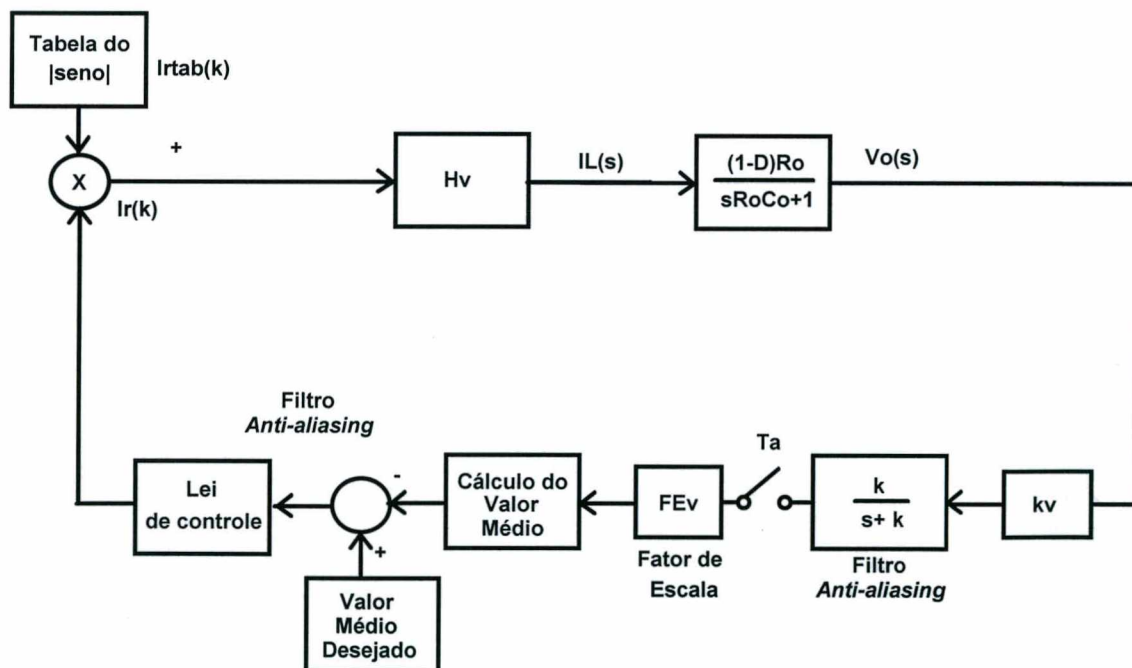


Fig. 2.15 – Diagrama de blocos funcional simplificado da malha de tensão.

Como a banda de passagem da malha de tensão é bem menor que a banda de passagem da malha de corrente pode-se substituir a função de transferência de malha fechada

(Hv) por um ganho constante dado pela Eq. 2.76.

$$Hv = \frac{1}{Rsh} \quad (2.76)$$

É necessário considerar o ganho do amplificador e o fator de escala na Eq. 2.76 resultando na Eq. 2.77.

$$Hv = \frac{1}{Rsh \times Ganho \times FE_i} \quad (2.77)$$

A corrente de referência é considerada um valor constante e igual ao seu valor médio [6]. Do mesmo modo a razão cíclica complementar é substituída por um valor médio dado pela Eq. 2.78 [6].

$$D'_{med} = \frac{2 \times D_{max}}{\pi} \quad (2.78)$$

Com estes dados é possível obter a função de transferência de laço aberto da malha de tensão dado pela Eq. 2.79.

$$FTMA_v(w) = kp_v \times \frac{w + wz}{w} \times \frac{1}{Rsh \times Ganho \times FE_i} \times Gv(w) \times FE_v \times kv \times Iref_{pk} \times \frac{2}{\pi} \quad (2.79)$$

Onde FE_v é o fator de escala da variável monitorada (tensão de saída). Como mencionado anteriormente, pela frequência de amostragem ser muito maior em relação a banda passante do sistema, pode-se trabalhar tanto no domínio de s quanto no domínio de w , pois as respostas em frequência serão praticamente idênticas. Assume-se aqui o plano w para projeto dos compensadores.

Para encerrar este item é necessário uma breve discussão sobre os critérios para alocação do zero do compensador bem como do cálculo para o ganho kp_v . O zero do compensador é colocado de modo a cancelar o pólo inserido pelo sistema [6]. O ganho kp_v , por sua vez é limitado pela quantidade de segunda harmônica no multiplicador que se permite haver na saída do compensador de tensão. Isto resulta em uma malha de controle muito lenta. Para melhorar um pouco a dinâmica do sistema utiliza-se, neste caso, o valor médio como variável de controle e deste modo utilizou-se o lugar geométrico das raízes para determinar o ganho do compensador. Apesar variável controlada estar sendo amostrada a uma frequência de 50kHz o valor médio se atualiza a uma frequência bem menor, modificando a frequência de amostragem para 120Hz. Isto é importante na hora de calcular a equação à diferenças do

controlador e de verificar a estabilidade do sistema (diferente dos sistemas contínuos, um sistema discretizado não pode possuir um ganho infinito pois o sistema tenderia a instabilidade - as raízes se localizariam fora do círculo unitário). Do mesmo modo que no controlador de corrente, é necessário fazer a correção da frequência do zero usando a Eq. 2.43 quando utiliza-se o valor médio, caso a frequência do pólo do modelo seja comparável frente a frequência de amostragem. Caso se opte por não trabalhar com o valor médio, não é necessário qualquer fator de correção.

2.4.5 Cálculo da malha do *feedforward*

No projeto elaborado existem diferenças em relação aos projetos mais comuns estudados (UC3854). Geralmente utiliza-se uma constante de proporcionalidade em relação ao quadrado do valor eficaz de entrada e para isto utiliza-se um circuito que produz, sob seus terminais, uma tensão que é o valor médio da tensão de entrada e - depois por um circuito analógico obtém-se o valor quadrático - como não existe uma distorção harmônica muito grande, pode-se considerar que esta é um espelho do valor eficaz a menos de uma constante. Em vez de utilizar-se um valor médio calculado por intermédio de um filtro de segunda ordem, optou-se por calcular numericamente o valor médio da tensão de entrada. Isto permite diminuir a distorção harmônica devida a ondulação proveniente da malha de *feedforward*.

Outro ponto é que, neste caso, pela referência ser imposta não há necessidade do valor médio ser elevado ao quadrado. Quando toma-se como referência a tensão da rede percebe-se que esta varia conforme seu valor eficaz. Deste modo ter-se-ia uma variação contrária a desejada para corrigir o distúrbio representado pela variação da tensão de entrada. Assim é necessário haver duas ações de correção: uma para manter a tensão de referência constante e uma segunda para corrigir a referência e desacoplar a tensão de saída quanto a distúrbios da tensão de entrada (ação *feedforward*). Assim, neste caso, é necessário somente uma ação de correção.

O que se fez neste projeto foi somente amostrar a tensão de entrada no período de comutação e somar as amostras em um semi-período da rede. O resultado desta soma é escalonado para poder ser representado por uma variável de 16 *bits*. Assim foi medido o resultado para a tensão nominal mínima e este valor foi tomado como referência (Eq. 2.80). Deste modo, quando o valor médio da tensão de entrada retificada estiver em seu valor

mínimo ou um valor menor, o resultado será 1 (um) (100%) – a rotina de divisão satura em um, ou seja, a divisão nunca resultará um valor maior do que um. Com a tensão aumentando, o valor médio aumentará proporcionalmente e a ação *feedforward* também diminuirá proporcionalmente e este valor é que será aplicada à referência de corrente. Assim a corrente de referência diminuirá na mesma proporção que a tensão de entrada aumenta mantendo a potência de entrada constante e conseqüentemente tornando a tensão de saída imune à variações da tensão de entrada.

$$F_{feed} = \frac{Vmed_{norm}}{Vmed_{atual}} \quad (2.80)$$

Onde:

F_{feed} = fator de correção *feedforward*.

$Vmed_{norm}$ = valor médio calculado para a tensão mínima (valor de referência).

$Vmed_{atual}$ = valor médio atual (calculado).

2.4.6 Obtenção da equação à diferenças

Para que se possa implementar a lei de controle em um processador é necessário escrevê-la na forma de equações à diferenças. Para tanto, toma-se a lei de controle projetada (no domínio de w e que possui a forma dada pela Eq. 2.67) e aplicando a anti-transformada (Eq. 2.42) remapeia-se esta no plano z obtendo a Eq. 2.81.

$$C(z) = a \times \frac{1 + b \times z^{-1}}{1 - z^{-1}} \quad (2.81)$$

Onde:

$$a = \frac{k}{2} \times (2 + wz \times Ta) \quad (2.82)$$

$$b = \frac{wz \times Ta - 2}{wz \times Ta + 2} \quad (2.83)$$

A partir da Eq. 2.81 pode-se encontrar a lei de controle na forma de equações à diferenças. Sabendo que $C(z) = U(z)/E(z)$ obtém-se a Eq. 2.85.

$$\frac{U(z)}{E(z)} = a \times \frac{1 + b \times z^{-1}}{1 - z^{-1}} \quad (2.84)$$

$$U(z) \times (1 - z^{-1}) = E(z) \times (1 + b \times z^{-1}) \quad (2.85)$$

Sabendo que o termo z^{-1} equivale a um atraso de uma amostra pode-se escrever diretamente a equação à diferenças (Eq. 2.86).

$$u(k) - u(k-1) = a \times e(k) + a \times b \times e(k-1) \quad (2.86)$$

Ou simplificada:

$$u(k) = u(k-1) + a \times e(k) + a \times b \times e(k-1) \quad (2.87)$$

A Eq. 2.87 é a lei de controle a ser implementada no controlador DSP. As constantes a e b são obtidas das Eq. 2.82 e 2.83 respectivamente.

2.4.7 Exemplo de projeto dos controladores

Com os parâmetros, dados no item 2.3 deste capítulo, é possível obter as leis de controle a serem implementadas. As fórmulas que serão utilizadas nesta seção já foram abordadas durante este capítulo.

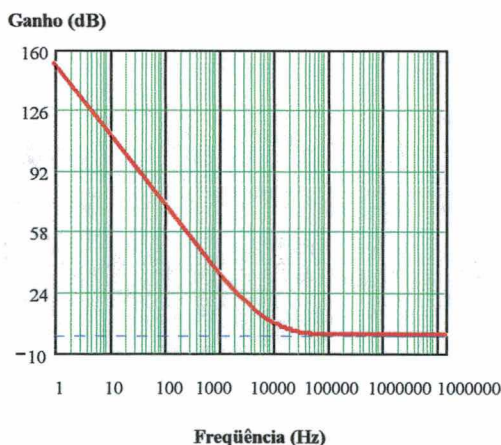


Fig. 2.16 – Ganho da FTLA₁ com $k_{p_i} = 1$.

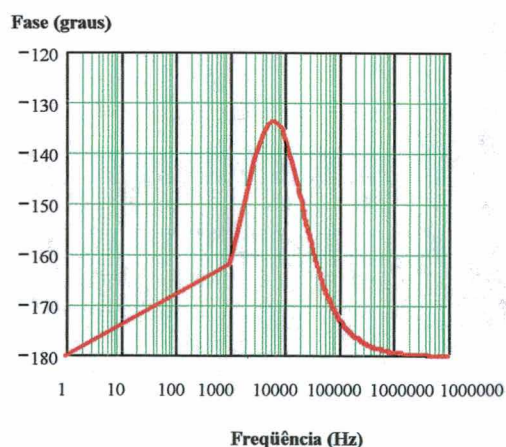


Fig. 2.17 – Fase da FTLA₁ com $k_{p_i} = 1$.

a) Malha de corrente:

a.1) Determinação do zero do compensador.

$$\omega z = 2 \times fa \times \tan\left(\frac{\pi \times fs}{20 \times fa}\right) = 2 \times 50000 \times \tan\left(\frac{\pi \times 50000}{20 \times 50000}\right) = 15384 \frac{rad}{s} \quad (2.88)$$

a.2) Obtenção da função de transferência de laço aberto com ganho $kp_i = 1$.

A partir da Eq. 2.91 foi tracejado os diagramas do ganho e da fase do sistema em laço aberto com $kp_i = 1$ (Fig. 2.16 e 2.17). Utilizando-se a Eq. 2.89 determina-se a frequência de cruzamento desejada.

$$fc = \frac{fa}{\pi} \times \tan\left(\frac{\pi \times fs}{6 \times fa}\right) = \frac{50000}{\pi} \times \tan\left(\frac{\pi \times 50000}{6 \times 50000}\right) = 9189 Hz \quad (2.89)$$

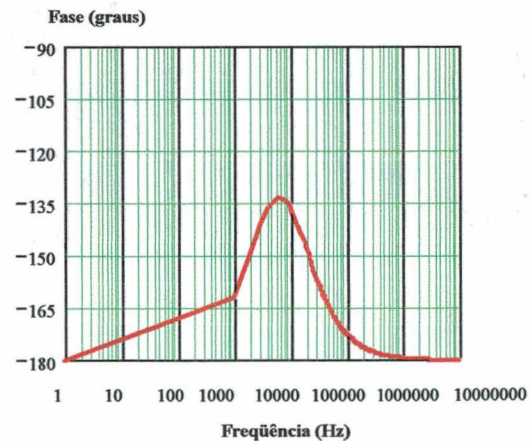
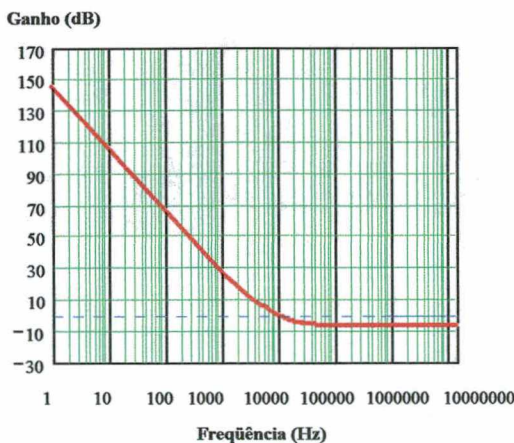
Com a frequência de cruzamento determinada calcula-se (Eq. 2.92) o ganho do sistema para esta, utilizando-se a função de transferência de malha aberta com o ganho (kp_i) do controlador sendo considerado unitário.

$$Gi(w) = \frac{V_0 \times Rsh \times Ganho \times FE_i}{L_{IN} \times PER} \times \frac{\left(1 - \left(\frac{Ta}{2}\right) \times w\right)}{w} \quad (2.90)$$

$$Gi(w) = \frac{400 \times 0,1 \times 6 \times 204,6}{1,2 \times 10^{-3} \times 400} \times \frac{\left(1 - \left(\frac{50000}{2}\right) \times w\right)}{w} \quad (2.91)$$

$$Ganho = 20 \times \log\left(|FTLA_i(fc)|\right) = 7,289 dB \quad (2.92)$$

Deste modo, nota-se a necessidade de se efetuar uma atenuação de aproximadamente 7,3 dB no sistema. Assim recalcula-se o novo valor do ganho kp_i utilizando-se a Eq. 2.93.



$$kp_i = 10^{\frac{-Ganho}{20}} = 10^{\frac{-7,289}{20}} = 0,432 \quad (2.93)$$

Com o novo valor de ganho calculado tracou-se os diagramas de ganho e fase da função de transferência de malha aberta apresentados nas Fig. 2.18 e 2.19 respectivamente.

Deste modo, pode-se calcular (Eq. 2.94) a margem de fase do sistema na nova frequência de cruzamento a partir da função de transferência de malha aberta (Eq. 2.90).

$$MF = 180 - \arg(FTLA_i(fc)) = 180 - 135,341 = 44,66^\circ \quad (2.94)$$

Assim, a lei de controle no plano w foi determinada e toma a forma da Eq. 2.95.

$$Ci(w) = 0,432 \times \frac{(w + 15384)}{w} \quad (2.95)$$

Resta escrevê-la na forma de uma equação à diferenças. Aplicando as Eq. 2.42 e 2.81 e substituindo na Eq. 2.87 chega-se na equação à diferenças desejada.

$$u(k) = u(k-1) + a \times e(k) + a \times b \times e(k-1) = u(k-1) + 0,5 \times e(k) - 0,364 \times e(k-1) \quad (2.96)$$

b) Malha de tensão

b.1) Determinação do zero do compensador no plano w e no plano z .

b.1.1) Plano w :

$$wz = 2 \times fa \times \tan\left(\frac{1}{2 \times fa \times C_0 \times R_0}\right) = 2 \times 120 \times \tan\left(\frac{1}{2 \times 120 \times 0,000470 \times 320}\right) = 6,65 \frac{rad}{s} \quad (2.97)$$

b.1.2) Plano z :

$$z_1 = \frac{wz - 2 \times fa}{wz + 2 \times fa} = \frac{6,65 - 2 \times 120}{6,65 + 2 \times 120} = -0,946 \quad (2.98)$$

b.2) Cálculo do ganho kp_v do compensador.

A partir do item b.1.2 pode-se escrever a lei de controle no domínio de z (Eq. 2.81) e a partir desta e da $FTLA_v(z)$ (Eq. 2.79) obtém-se a equação característica do sistema (Eq. 2.99). A partir da equação característica plota-se o lugar geométrico das raízes e por meio das especificações quanto a dinâmica da resposta desejada, determina-se o ganho kp_v .

$$EC = 1 + kp_v \times \frac{z + z_1}{z - 1} \times \frac{(1 - D) \times R_0 \times \left(1 - e^{-\frac{Ta}{R_0 \times C_0}}\right)}{z - e^{-\frac{Ta}{R_0 \times C_0}}} \times \frac{FE_v}{Rsh \times Ganho \times FE} \times Iref_{pk} \times kv \times \frac{2}{\pi} \quad (2.99)$$

$$EC = 1 + kpv \times \frac{z - 0,946}{z - 1} \times \frac{7,931}{z - 0,946} \times 0,01 \quad (2.100)$$

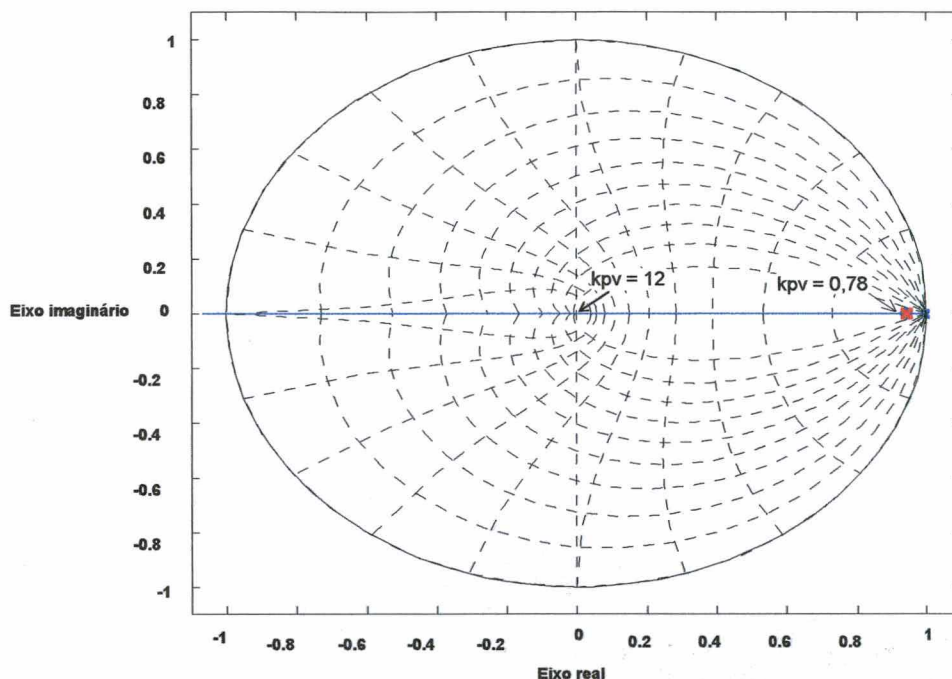


Fig. 2.20 – Lugar geométrico das raízes para a malha de tensão.

Tracou-se o lugar geométrico das raízes para a equação característica encontrada (Fig. 2.20). Pelo gráfico pode-se observar que até o valor de 12, para kpv , o sistema apresentará raízes sobre o eixo real, o que significa uma ausência de oscilações. Quanto maior este ganho, mais rápido torna-se o sistema. Um ganho acima de 12 acarretará em uma resposta não desejada com o sistema alterando entre valores positivos e negativos a cada cálculo da ação de controle. Optou-se por um kpv de 0,78 (caso haja uma necessidade de uma resposta mais rápida é possível ainda aumentar-se o valor de kpv).

Deste modo a lei de controle final, no domínio de z , é apresentada na Eq. 2.101.

$$Cv(z) = 0,78 \times \frac{z - 0,946}{z - 1} \quad (2.101)$$

Resta escrevê-la na forma de uma equação à diferenças. Substituindo na Eq. 2.87 chega-se na equação à diferenças desejada.

$$u(k) = u(k - 1) + a \times e(k) + a \times b \times e(k - 1) = u(k - 1) + 0,78 \times e(k) - 0,74 \times e(k - 1) \quad (2.102)$$

c) Projeto do filtro de *anti-aliasing*:

A partir das Eq. 2.57 e 2.56 pode-se determinar o valor dos componentes dos filtros. Devido a limitação de escolha, quanto aos valores comerciais, de capacitores é feita a seleção

de um valor para este.

$$Ca = 680 \text{ pF} \quad (2.103)$$

$$k = \pi \times fa = \frac{1}{Ra \times Ca} \quad (2.104)$$

$$Ra = \frac{1}{Ca \times \pi \times fa} = \frac{1}{680 \times 10^{-12} \times \pi \times 50000} = 9362 \Omega \quad (2.105)$$

Valor adotado: $Ra = 10k\Omega$.

A partir da Eq. 2.106 pode-se tracejar a resposta em frequência do filtro projetado (Fig. 2.21 e 2.22) e verificar se este apresenta uma resposta adequada ao projeto.

$$Gf(s) = \frac{Vout(s)}{Vin(s)} = \frac{1}{s \times Ca \times Ra + 1} = \frac{1/Ca \times Ra}{s + 1/Ca \times Ra} \quad (2.106)$$

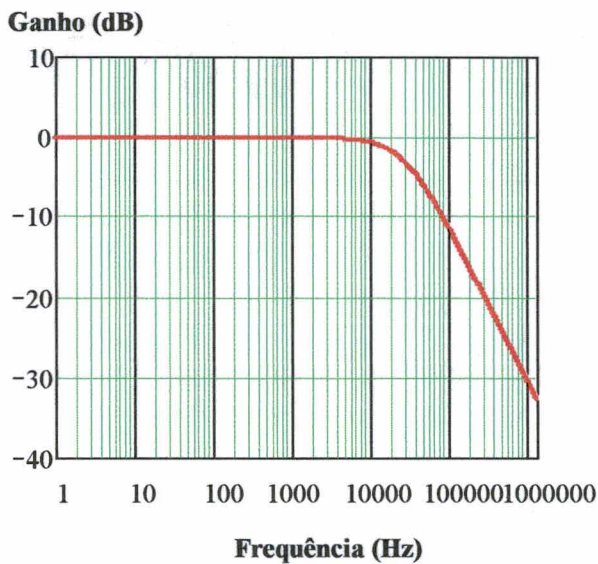


Fig. 2.21 – Diagrama do ganho da função de transferência do filtro projetado.

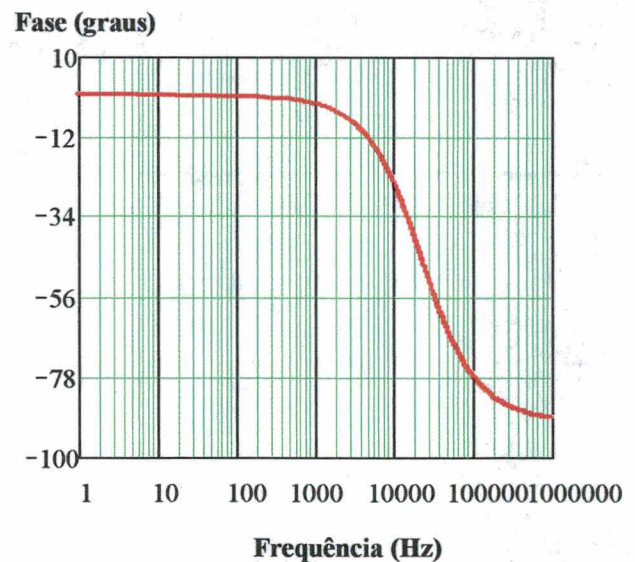


Fig. 2.22 - Diagrama da fase da função de transferência do filtro projetado.

d) Projeto da malha de corrente usando o método do lugar geométrico das raízes (uma alternativa de projeto ao item a).

b.1) Determinação do zero do compensador no plano w e no plano z .

d.1.1) Plano w :

$$\omega z = 2 \times fa \times \tan\left(\frac{\pi \times fs}{20 \times fa}\right) = 2 \times 50000 \times \tan\left(\frac{\pi \times 50000}{20 \times 50000}\right) = 15384 \frac{rad}{s} \quad (2.107)$$

d.1.2) Plano z:

$$z_1 = \frac{wz - 2 \times fa}{wz + 2 \times fa} = \frac{15840 - 2 \times 50000}{15840 + 2 \times 50000} = -0,727 \quad (2.108)$$

b.2) Cálculo do ganho k_{pi} do compensador.

A partir do item d.1.2 pode-se escrever a lei de controle no domínio de z (Eq. 2.81) e a partir desta e da FTLA_i(z) (Eq. 2.46) obtém-se a equação característica do sistema (Eq. 2.109). A partir da equação característica plota-se o lugar geométrico das raízes (utilizando-se algum programa específico para isto) e por meio das especificações quanto a dinâmica da resposta desejada, determina-se o ganho k_{pi} .

$$EC = 1 + k_{pi} \times \frac{z + z_1}{z - 1} \times \frac{1}{z - 1} \times \frac{V_0 \times Rsh \times Ganho \times FE}{fa \times Lin \times PER} \quad (2.109)$$

$$EC = 1 + k_{pi} \times \frac{z - 0,727}{z - 1} \times \frac{1}{z - 1} \times \frac{400 \times 0,1 \times 6 \times 204,6}{50000 \times 1,5 \times 10^{-3} \times 400} \quad (2.110)$$

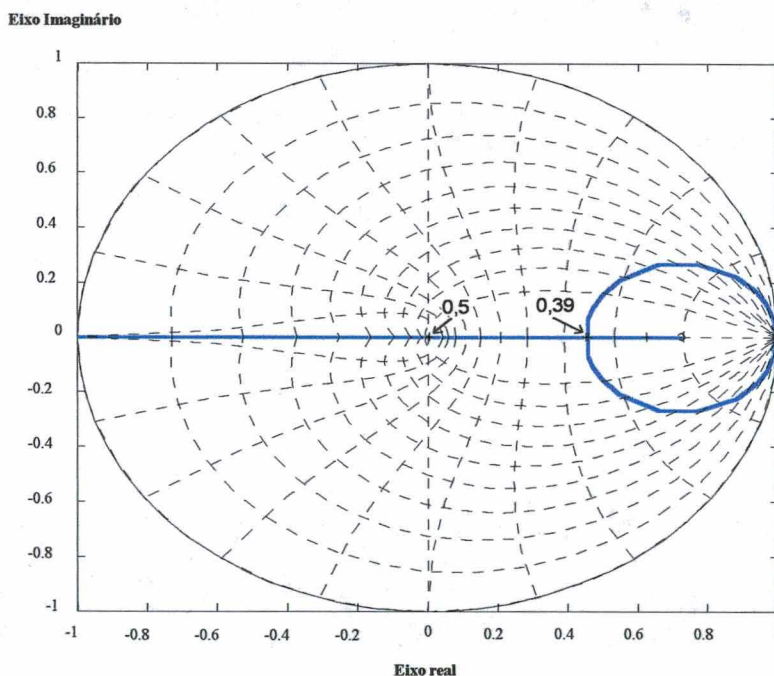


Fig. 2.23 – Lugar geométrico das raízes para a malha de corrente.

Tracejou-se o lugar geométrico das raízes para a equação característica encontrada (Fig. 2.23). Pelo gráfico pode-se observar que a faixa de ganho de 0,39 à 0,5 apresentará raízes sobre o eixo real, o que significa ausência de oscilações, e quanto maior este ganho, mais rápido torna-se o sistema. Um ganho abaixo de 0,39 apresentará raízes complexas conjugadas que irão fornecer uma resposta oscilatória. Um ganho acima de 0,5 acarretará em

uma resposta não desejada com o sistema alterando entre valores positivos e negativos a cada cálculo da ação de controle. Deste modo percebe-se que o ganho calculado pelo método de Bode está dentro dos limites determinados pelo lugar geométrico das raízes. Um valor intermediário pode ser usado neste caso ($k_{p_i} = 0,44$).

Deste modo a lei de controle final, no domínio de z , é apresentada na Eq. 2.111.

$$Cv(z) = 0,44 \times \frac{z - 0,727}{z - 1} \quad (2.111)$$

Resta escrevê-la na forma de uma equação à diferenças. Aplicando as Eq. 2.42 e 2.81 e substituindo na Eq. 2.111 chega-se na equação à diferenças desejada.

$$u(k) = u(k-1) + a \times e(k) + a \times b \times e(k-1) = u(k-1) + 0,44 \times e(k) - 0,3198 \times e(k-1) \quad (2.112)$$

e) Representação no formato de ponto fixo de 16 bits dos ganhos calculados:

e.1) Ganhos do compensador de corrente.

Utiliza-se as Eq. 1.6 e 1.7 para efetuar as conversões. Adota-se o formato numérico Q15 (*radix* 15). Utilizou-se os ganhos calculados pelo método de diagramas de Bode (item a).

$$a = (N_d \times (2^n - 1))_d = (0,5 \times (2^{15} - 1))_d = 16383_d \quad (2.113)$$

$$b = ((2^{16} - 0,364 \times 2^{15}) + 1)_d = 53609_d \quad (2.114)$$

e.2) Ganhos do compensador de tensão.

Utiliza-se as Eq. 1.6 e 1.7 para efetuar as conversões. Adota-se o formato numérico Q15 (*radix* 15).

$$a = (N_d \times (2^n - 1))_d = (0,78 \times (2^{15} - 1))_d = 25558_d \quad (2.115)$$

$$b = ((2^{16} - 0,74 \times 2^{15}) + 1)_d = 41289_d \quad (2.116)$$

2.5 Conclusão

Foram apresentados dois modos para o cálculo das leis de controle a serem implementadas no controlador DSP. A metodologia de projeto é idêntica à utilizada nos controladores projetados no domínio de tempo contínuo.

As principais diferenças em relação ao controlador contínuo são:

- ❑ a forma de onda é imposta por uma referência obtida de uma tabela cuja varredura é sincronizada com a rede.
- ❑ a ação de controle *feedforward* não precisa ser elevada ao quadrado.
- ❑ controla-se o valor médio da tensão de saída.

Algumas simplificações foram tomadas para facilitar o dimensionamento dos controladores, porém, estas não apresentaram uma influência muito grande nas leis de controle obtidas.

3. Resultados de Simulação

3.1 Introdução

A fim de averiguar a validade das leis de controle projetadas no capítulo anterior, faz-se simulações em computador para observar a resposta do sistema com o controlador frente aos distúrbios.

No entanto, devido às limitações impostas pela lógica de ponto fixo do controlador DSP utilizado, os simuladores (como os da plataforma SPICE) tornaram-se uma ferramenta limitada para efetuar a simulação do circuito projetado pois trabalham com um formato de ponto flutuante.

Deste modo optou-se por utilizar um programa de simulação por diagramas de blocos funcionais e que oferecia um conjunto de instruções de ponto fixo que permitiram emular o funcionamento do núcleo do controlador DSP.

Utilizando-se as funções de transferência do conversor Boost [1] em uma primeira etapa e depois utilizando a técnica de modelagem por equações de estado faz-se a análise das leis de controle.

3.2 Resultados de simulação utilizando-se as funções de transferência

Para validar as leis de controle encontradas foi simulado o conversor utilizando-se um ambiente que emula, modeliza e analisa a dinâmica do sistema. Para tanto foram utilizados os modelos do conversor [1]. A Fig. 3.1 mostra o diagrama de blocos funcional da estrutura completa com os compensadores de tensão e corrente sem a presença da malha *feedforward*.

Utiliza-se as funções de transferência dadas pelas Eq. 2.45 e 2.48 para modelizar o conversor Boost. Para se verificar o efeito da variação de carga no sistema optou-se por implementar a função de transferência entre tensão de saída e corrente de entrada por blocos [3].

Em uma primeira etapa verifica-se o comportamento do sistema simulando-o, utilizando o formato de ponto flutuante. Esta atitude fez com que a resposta dinâmica do sistema fosse melhor do que a resposta utilizando a lógica de ponto fixo como será visto.

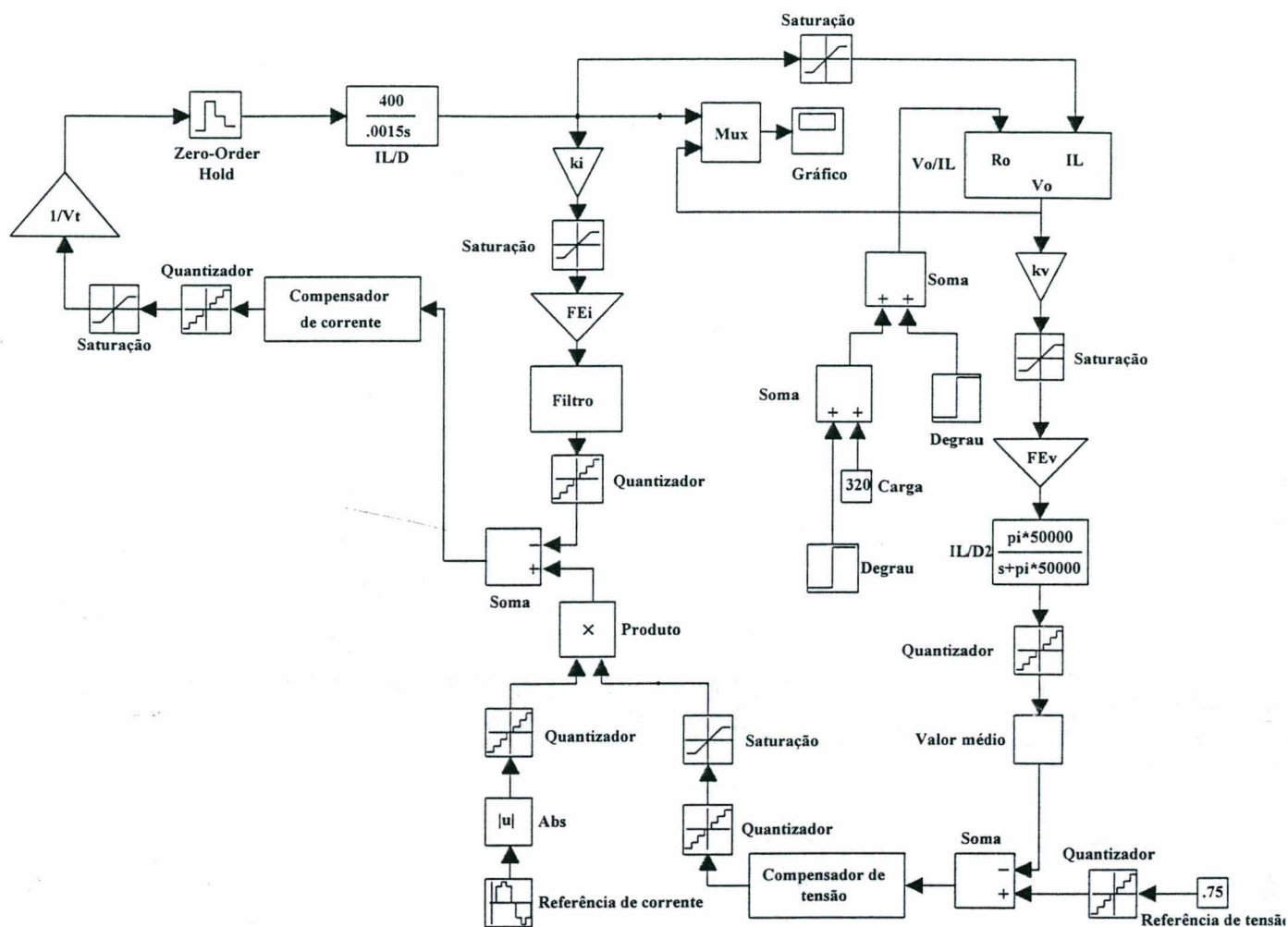


Fig. 3.1 – Diagrama do circuito simulado.

Aplicou-se dois degraus de carga sendo o primeiro uma diminuição da carga e o segundo o restabelecimento da carga nominal. Os resultados obtidos são mostrados a seguir.

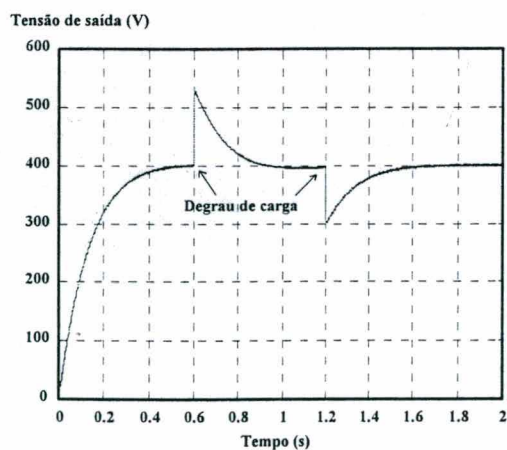


Fig. 3.2 – Comportamento da tensão de saída.

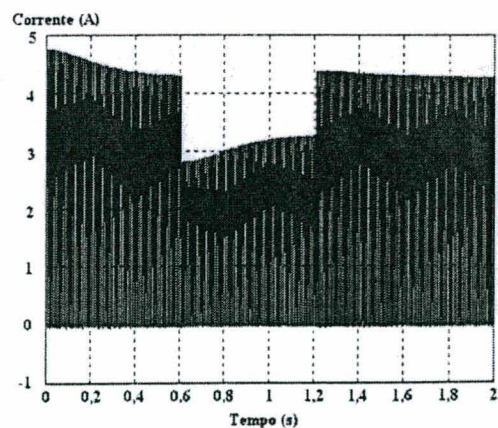


Fig. 3.3 – Comportamento da corrente de entrada.

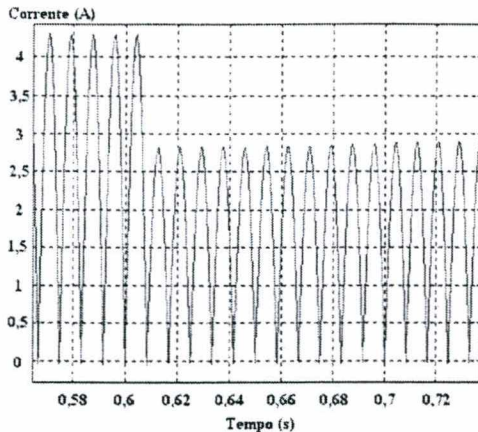


Fig. 3.4 – Detalhe do comportamento da corrente de carga com a diminuição de carga.

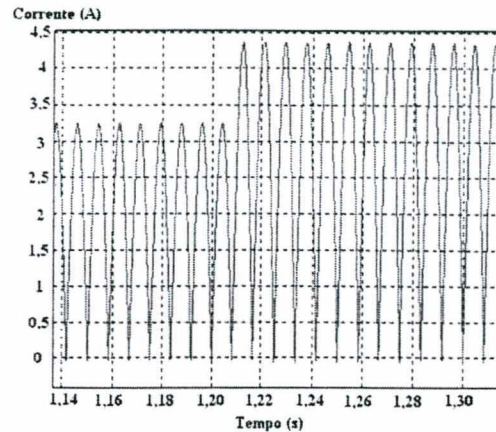


Fig. 3.5 - Detalhe do comportamento da corrente de carga com aumento de carga.

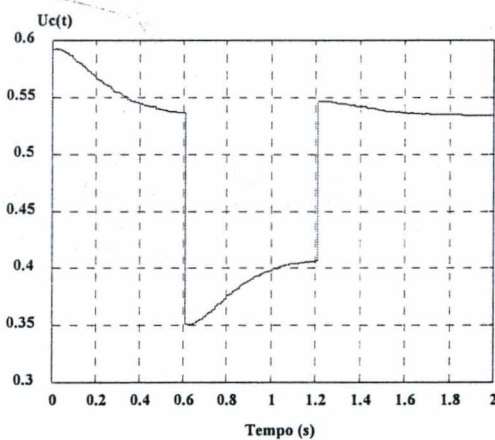


Fig. 3.6 – Ação de controle do controlador de tensão.

A Fig. 3.2 apresenta a dinâmica da tensão de saída na qual observa-se que a tensão segue o valor de referência frente aos degraus de carga aplicado (30%). A Fig. 3.3 mostra o comportamento da corrente de entrada e a partir das Fig. 3.4 e 3.5 pode-se observar o atraso de meio ciclo da rede na ação de controle da malha de tensão pois utiliza-se o conceito de valor médio e a atualização de seu valor se realiza nesta freqüência. A Fig. 3.6 ilustra o comportamento da saída do controlador e por esta percebe-se que o mesmo não saturou.

A análise destes resultados ilustram que os objetivos foram alcançados, ou seja, a tensão de saída manteve-se regulada no valor desejado e a corrente de entrada tinha o formato de onda de uma senóide retificada.

No entanto devido a limitações do controlador, que trabalha com números de ponto fixo, refez-se as simulações utilizando um conjunto de instruções de ponto fixo tendo em vista que os resultados anteriores utilizaram variáveis no formato de ponto flutuante. A Fig. 3.7 mostra o diagrama de blocos do conversor simulado.

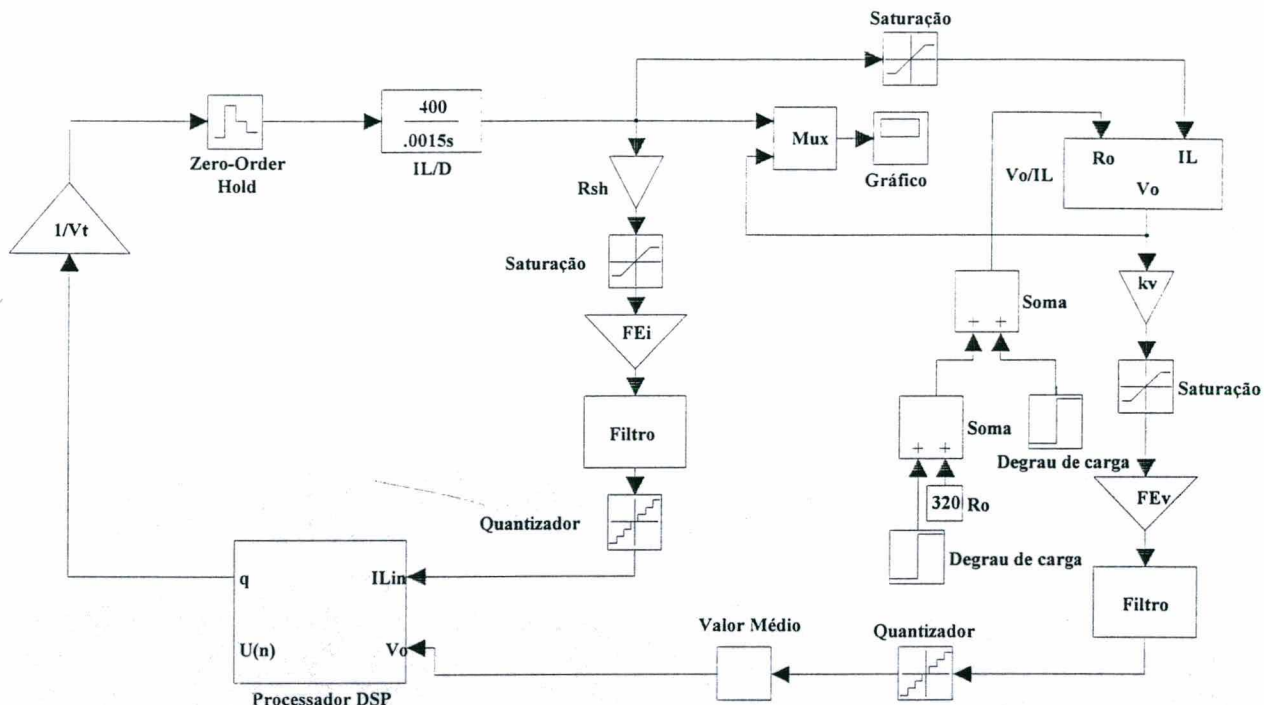


Fig. 3.7 – Diagrama de blocos do conversor com controlador no formato de ponto fixo.

A Fig. 3.8 apresenta em detalhe o bloco do controlador DSP. A diferença atual em relação ao controlador simulado anteriormente é a utilização do formato de ponto fixo para construir-se as leis de controle. A Fig. 3.9 mostra em detalhe o diagrama de blocos do controlador utilizando os blocos de ponto fixo.

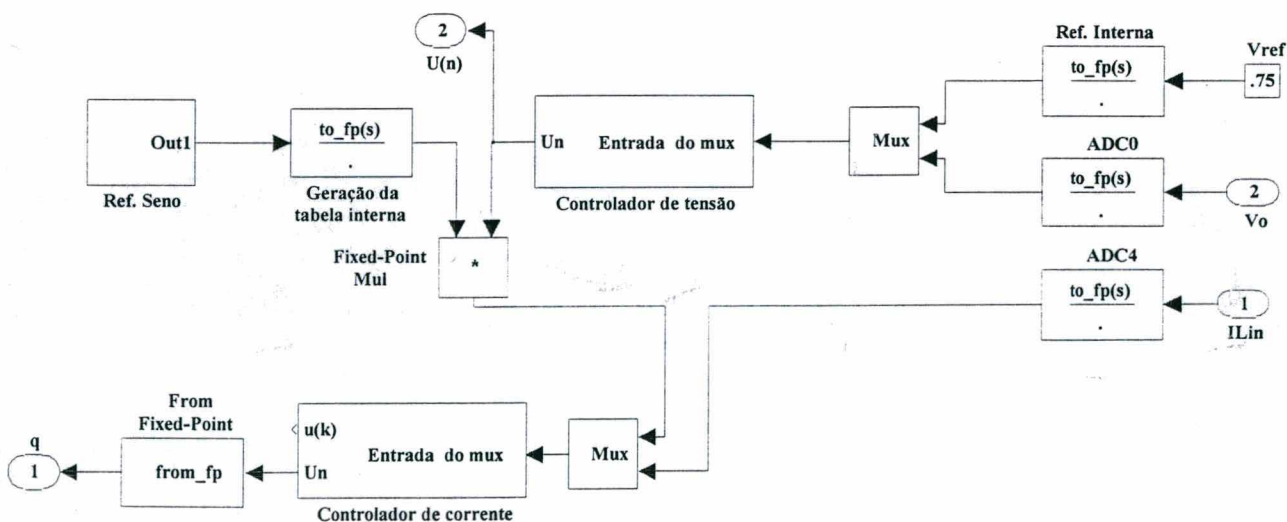


Fig. 3.8 – Diagrama de blocos internos do processador DSP (simulado).

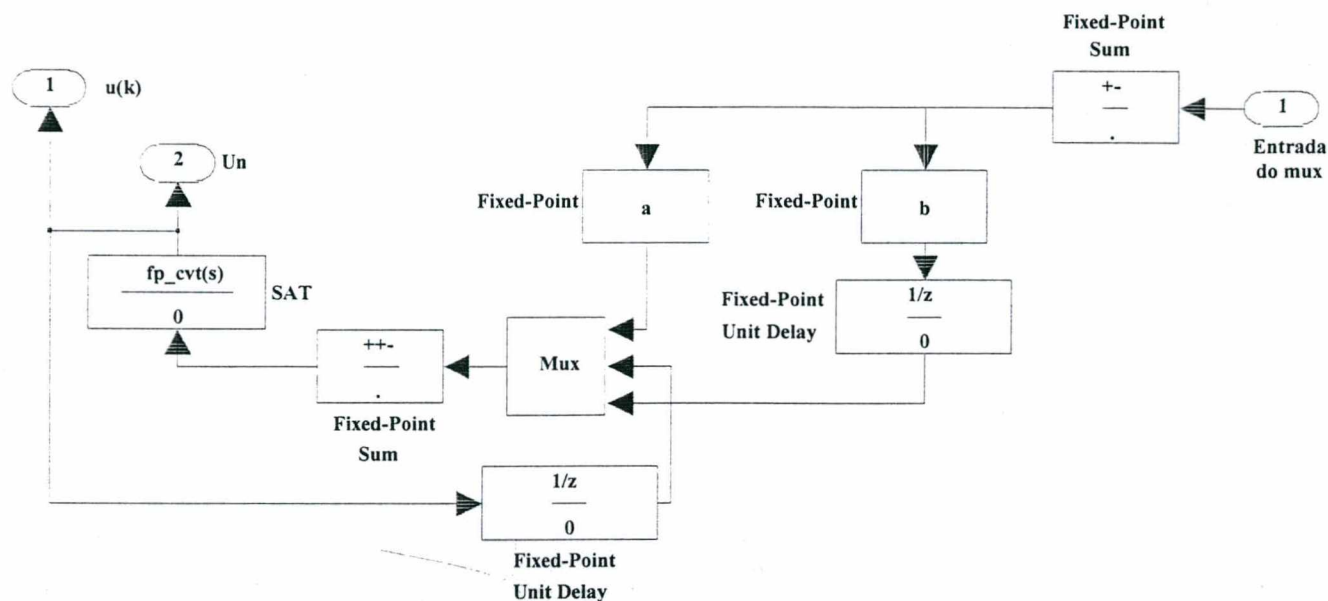


Fig. 3.9 – Diagrama de blocos dos controladores.

A partir deste circuito obteve-se dados que mostram um pouco das limitações da lógica de ponto fixo. Percebe-se nitidamente que a utilização de controladores no formato de ponto fixo alterou a resposta dinâmica do sistema em relação aos resultados anteriormente simulados. No entanto nota-se que a tensão de saída (Fig. 3.10) continua seguindo a referência bem como a corrente de entrada segue o formato imposto (Fig. 3.11, 3.12, 3.13 e 3.14). Do mesmo modo percebe-se que a ação de controle do controlador de tensão não saturou (Fig. 3.15).

Com estas simulações chega-se a conclusão de que as leis de controle calculadas não apresentaram problemas de estabilidade com um distúrbio na carga. Percebe-se ainda que a dinâmica do sistema está associada com o formato numérico utilizado e é de valia fazer as simulações utilizando-se o formato com o qual o controlador trabalha. Neste caso utilizou-se o formato de ponto fixo, característica do controlador adotado.

Uma vantagem adicional da implementação da lei de controle com lógica de ponto fixo é a otimização que esta característica permite efetuar por intermédio de sucessivas simulações. Pode-se verificar a resposta do controlador trabalhando-se com diferentes *radix* para os ganhos calculados e verificar a melhor resposta dinâmica para o sistema. Deste modo pode-se descobrir qual o melhor escalonamento possível.

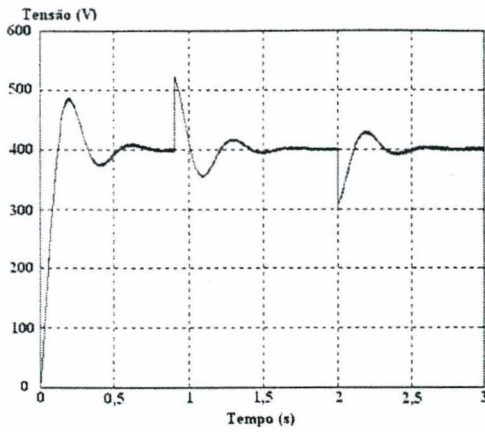


Fig. 3.10 – Comportamento da tensão de saída.

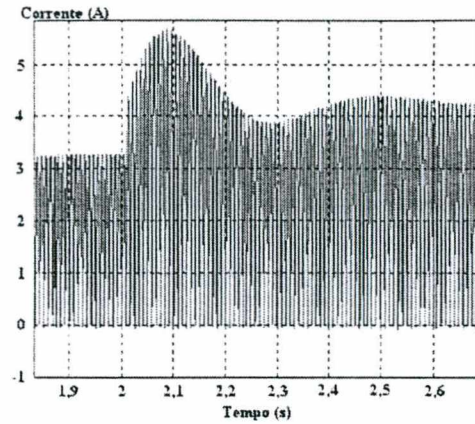


Fig. 3.13 - Detalhe do comportamento da corrente de entrada frente a um aumento de carga.

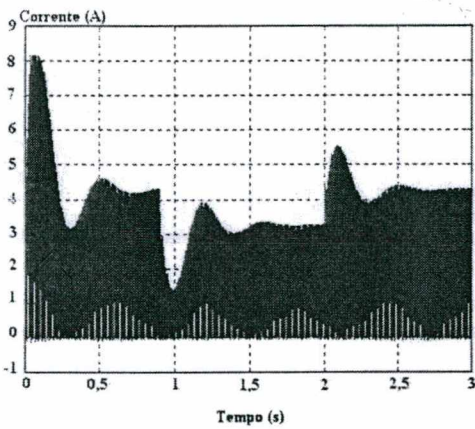


Fig. 3.11 – Comportamento da corrente de entrada.

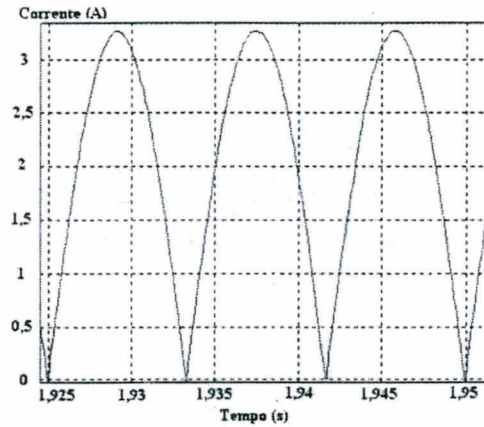


Fig. 3.14 – Detalhe da corrente de entrada.

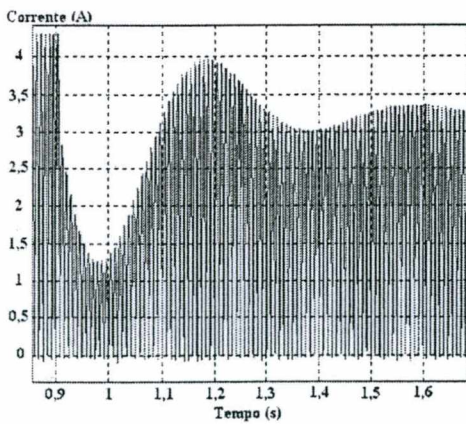


Fig. 3.12 – Detalhe do comportamento da corrente de entrada frente a uma diminuição de carga.

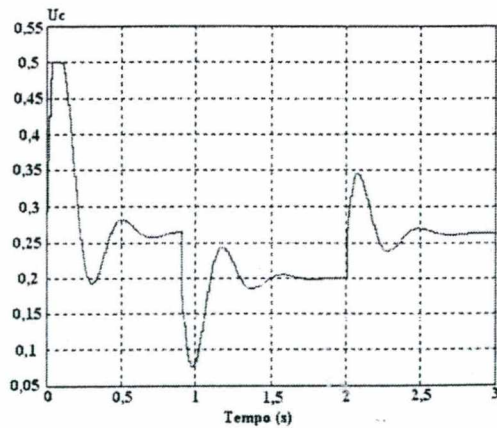


Fig. 3.15 – Ação de controle do controlador de tensão.

3.3 Resultados de simulação usando modelagem por equações de estado do conversor Boost

Apesar da existência de ferramentas que permitem uma simulação dinâmica mais próxima da realidade optou-se por utilizar o equacionamento por equações de estado do conversor Boost. Percebe-se que as variáveis que se deseja controlar são justamente as variáveis de estado do sistema. Deste modo como o único objetivo aqui é testar as leis de controle elaboradas utiliza-se o modelo obtido pelas equações de estado para modelar o conversor. Foram assumidas as seguintes hipóteses simplificadoras para obter-se o modelo aqui proposto:

- Tanto a resistência do diodo quanto do interruptor são nulas quando em condução e infinitas quando em bloqueio;
- O conversor sempre opera no modo de operação contínua;
- Não é considerado os parâmetros intrínsecos dos componentes (resistências série equivalente do indutor e capacitor, indutâncias de dispersão...);
- As variáveis de estado escolhidas são corrente no indutor de entrada e tensão no capacitor de saída;
- Cria-se uma função de chaveamento ($q(t)$), que assume dois valores possíveis: um (1) quando o interruptor está em condução e o diodo está bloqueado e zero (0) quando o interruptor está bloqueado e o diodo está em condução. O valor médio de $q(t)$ sobre um período de comutação é denominado de razão cíclica (D).

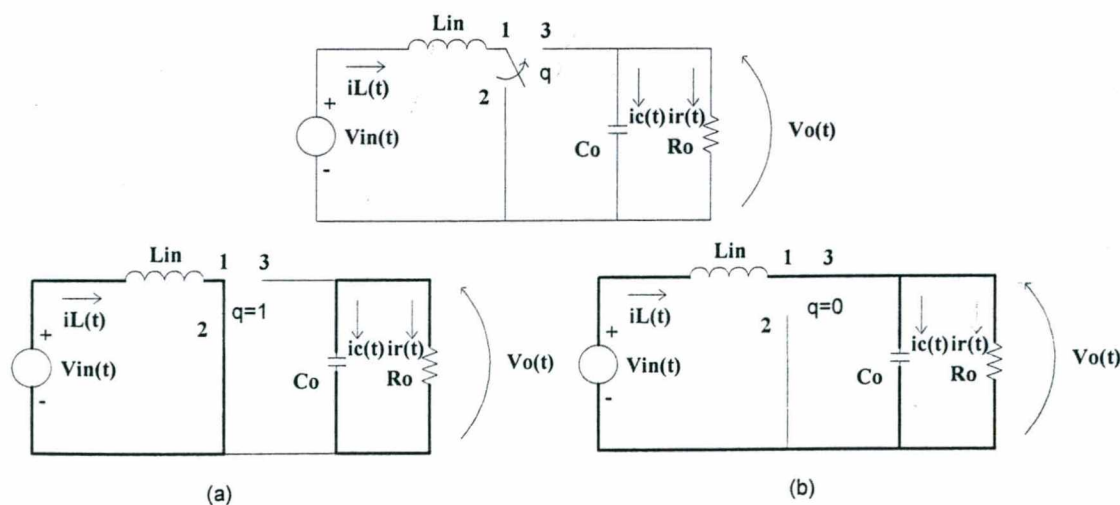


Fig. 3.16 – Etapas de funcionamento do conversor Boost em operação contínua.

Com o exposto acima percebe-se que o conversor possui duas etapas distintas de funcionamento. A primeira etapa (a) ocorre quando o interruptor está em condução. O indutor armazena energia da rede e o capacitor fornece energia para a carga. A segunda etapa (b) ocorre quando o interruptor bloqueia. O indutor cede a energia armazenada durante a primeira etapa para a carga e o capacitor de saída. A Fig. 3.16 ilustra o exposto.

Para a primeira etapa pode-se escrever as seguintes equações:

$$\frac{diL(t)}{dt} = \frac{vin(t)}{Lin} \quad (3.1)$$

$$\frac{dvc(t)}{dt} = -\frac{vc(t)}{R_0 \times C_0} \quad (3.2)$$

$$q(t) = 1 \quad (3.3)$$

Para a segunda etapa pode-se escrever as seguintes equações:

$$\frac{diL(t)}{dt} = \frac{(vin(t) - vc(t))}{Lin} \quad (3.4)$$

$$\frac{dvc(t)}{dt} = \frac{iL(t)}{C_0} - \frac{vc(t)}{R_0 \times C_0} \quad (3.5)$$

$$q(t) = 0 \quad (3.6)$$

Somando a Eq. 3.1 com 3.4 e a Eq. 3.2 com 3.5 e inserindo a função de chaveamento obtém-se as Eq. 3.7 e 3.8.

$$\frac{diL(t)}{dt} = \frac{vin(t)}{Lin} \times q(t) + \frac{(vin(t) - vc(t))}{Lin} \times (1 - q(t)) \quad (3.7)$$

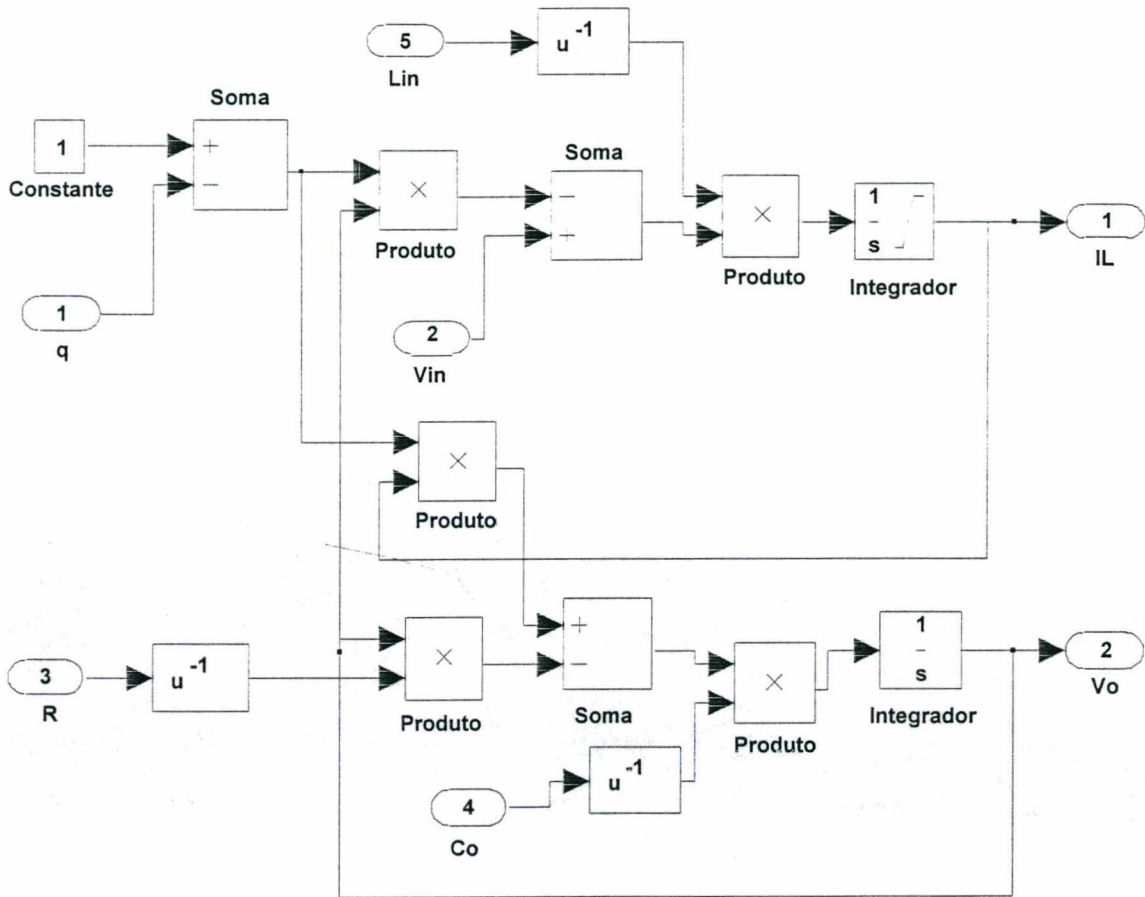
$$\frac{dvc(t)}{dt} = -\frac{vc(t)}{R_0 \times C_0} \times q(t) + \left(\frac{iL(t)}{C_0} - \frac{vc(t)}{R_0 \times C_0} \right) \times (1 - q(t)) \quad (3.8)$$

Simplificando as Eq. 3.7 e 3.8 obtém-se as expressões abaixo:

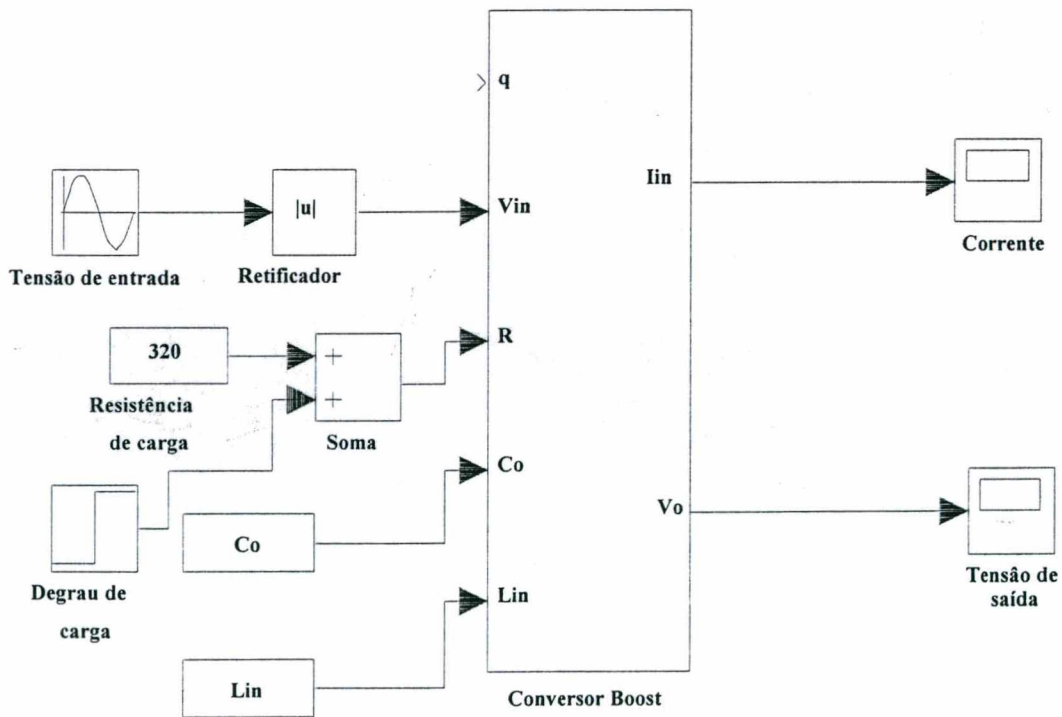
$$\frac{diL(t)}{dt} = \frac{1}{Lin} \times (vin(t) - vc(t) \times (1 - q(t))) \quad (3.9)$$

$$\frac{dvc(t)}{dt} = \frac{1}{C_0} \times \left(iL(t) \times (1 - q(t)) - \frac{vc(t)}{R_0} \right) \quad (3.10)$$

$$v_0(t) = vc(t) \quad (3.11)$$



(a)



(b)

Fig. 3.17 – Diagrama de blocos do modelo do conversor Boost adotado.

Este tipo de modelagem é conhecida como modelo instantâneo ou modelo chaveado [30]. A partir das equações obtidas torna-se possível desenvolver um circuito que modela o conversor por um diagrama de blocos que é apresentado na Fig. 3.17.

Na Fig. 3.17.b, tem-se o bloco compactado com as variáveis do conversor (resistência de carga, capacitância de saída, indutância de entrada, tensão de entrada e a função de chaveamento). Na Fig. 3.17.a, mostra-se a estrutura interna do bloco e esta representa as Eq. 3.9, 3.10 e 3.11.

A partir deste modelo torna-se possível simular o conversor a fim de estudar o comportamento da lei de controle quando implementado no formato de ponto fixo com um modelo mais próximo do real (lembrar que as simulações anteriores baseavam-se nas funções de transferência do conversor linearizado). Assim pode-se analisar os diversos efeitos que aparecem com este tipo de formato (erros de arredondamento, erros de truncamento, ruídos de quantização...).

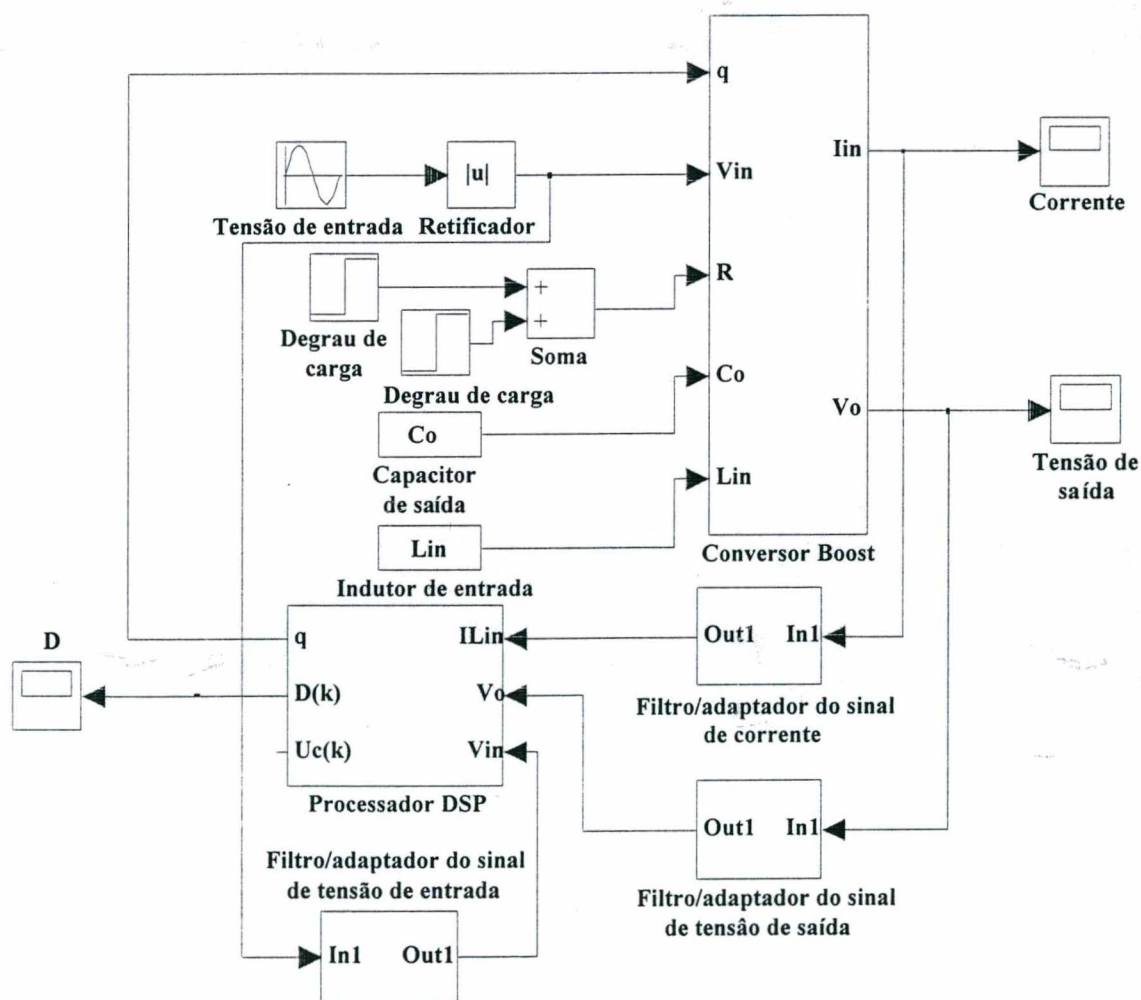


Fig. 3.18 – Circuito completo simulado do conversor Boost mais controlador DSP.

Não é possível, porém, estudar outros detalhes importantes que ocorrem no conversor (correntes e tensões no interruptor, diodo, capacitor e resistência de carga assim como a comutação). As únicas variáveis monitoradas são a tensão de entrada, corrente de entrada e tensão de saída.

A Fig. 3.18 mostra o circuito de simulação completo (conversor, controlador DSP e filtros). As Fig. 3.9 e 3.8 detalham o processador. A Fig. 3.19 mostra o filtro e adaptador de sinal.

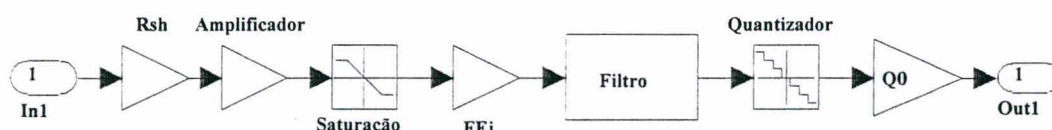


Fig. 3.19 – Filtro e adaptador do sinal de corrente.

Deve-se notar que no início destas simulações existe um transitório devido às condições iniciais não estarem estabelecidas. Deste modo leva-se um determinado tempo para que o sistema se estabilize.

A Fig. 3.20 mostra o comportamento da tensão de saída do conversor frente a variações de carga de 30% e com tensão de entrada de 220 V. Primeiramente diminui-se a carga em 30% e depois restabelece-se seu valor nominal. Nota-se, comparando esta com os resultados apresentados nas Fig. 3.2 e 3.10, que o valor da sobretensão diminui consideravelmente e que, posteriormente, será visto mais próximo dos valores obtidos nos resultados experimentais para a mesma situação. Isto nos permite afirmar que em termos de validação das leis de controles é preferível utilizar este modelo. A Fig. 3.25 ilustra o comportamento da corrente quando submetidos aos degraus de carga.

Por este modelo também pode-se perceber o detalhe do comportamento da razão cíclica (Fig. 3.21), o efeito *Cúspede* e a ondulação provocada pelo compensador na forma de onda da corrente de entrada (Fig. 3.22) e a ondulação de corrente (Fig. 3.23) que não podem ser analisadas quando se utiliza as funções de transferência linearizadas.

A Fig. 3.26 apresenta a saída do controlador de tensão no formato Q15 (radix 15). Percebe-se claramente que o controlador em momento algum satura frente a estes distúrbios.

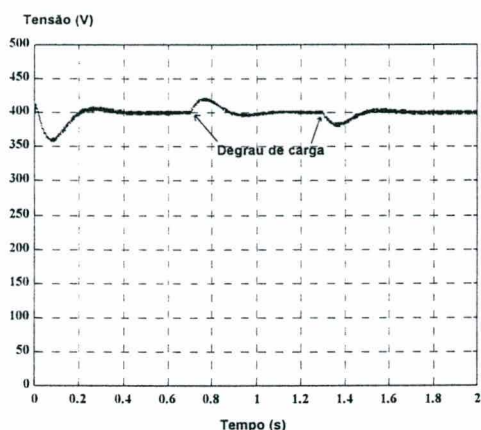


Fig. 3.20 – Comportamento da tensão de saída do conversor.

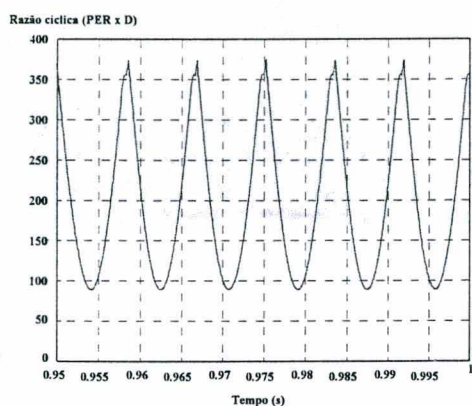


Fig. 3.21 - Comportamento da razão cíclica em função do tempo para uma tensão de entrada de 220V e carga nominal.

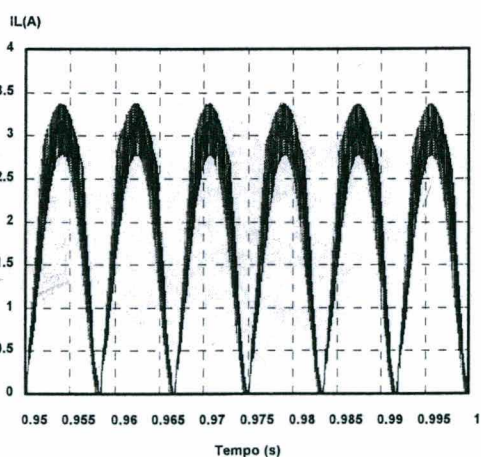


Fig. 3.22 - Corrente de entrada em função do tempo para uma tensão de entrada de 220V e carga nominal.

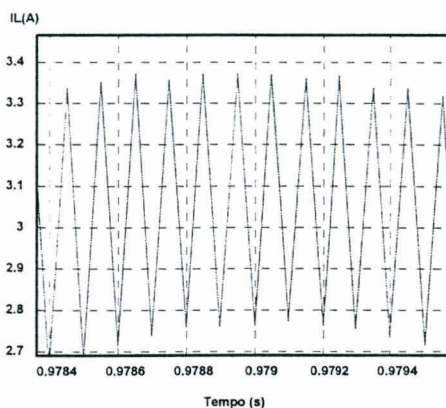


Fig. 3.23 - Detalhe da ondulação da corrente de entrada em função do tempo para uma tensão de entrada de 220V e carga nominal.

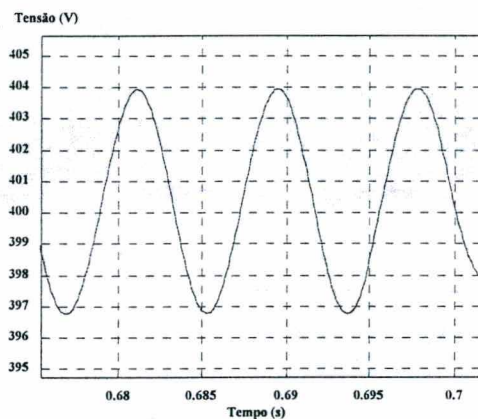


Fig. 3.24 – Detalhe da tensão de ondulação.

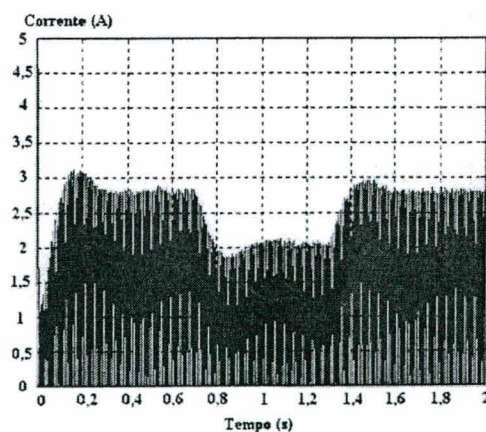


Fig. 3.25 – Comportamento da corrente de entrada frente a distúrbios de carga.

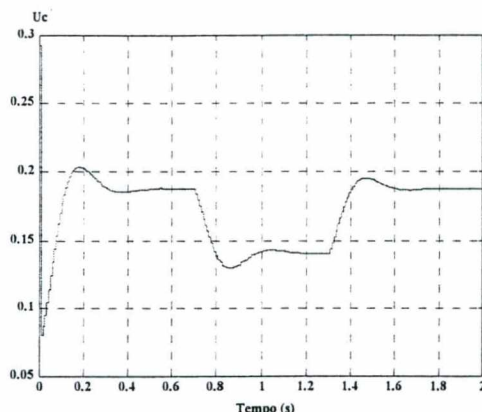


Fig. 3.26 – Ação de controle do controlador de tensão.

Para o cálculo do valor médio (necessário para calcular a ação de controle) utilizou-se um filtro do tipo Butterworth de terceira ordem, isto fez com que a resposta da ação de controle tivesse um atraso na correção (demorou dois ciclos de rede aproximadamente) o que não ocorre na prática pois o valor médio é atualizado sempre com um atraso máximo de meio ciclo da rede. Este atraso provocou uma elevação e ou diminuição no valor da tensão de saída no circuito simulado acima do que ocorre na prática.

A Fig. 3.27 apresenta o modelo utilizado para o cálculo da ação *feedforward*. A Fig. 3.28 mostra o diagrama de blocos das funções do controlador DSP implementados no simulador.

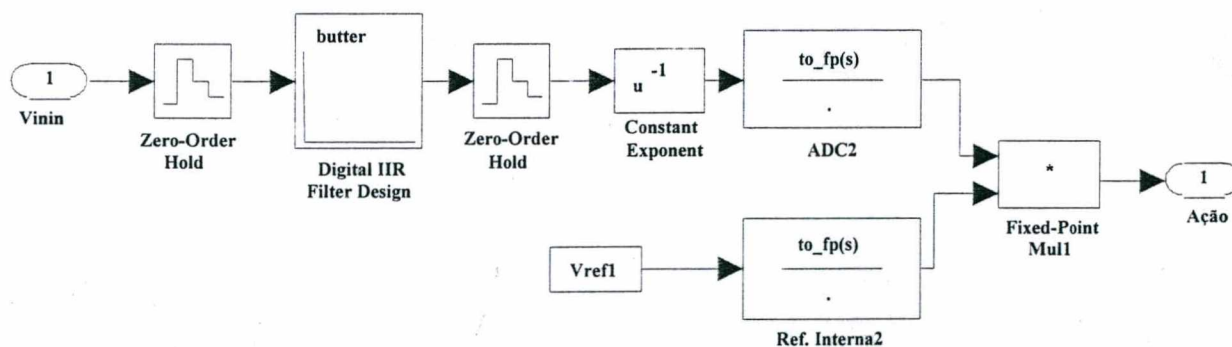


Fig. 3.27 – Diagrama de blocos do cálculo da ação de controle *feedforward*.

A Fig. 3.29 representa o comportamento da corrente de carga, com as malhas de corrente e *feedforward*, frente a uma variação da tensão de entrada de 220V para 120V e de 120V para 220V. As Fig. 3.30 e 3.31 ilustram em detalhe a ação de *feedforward* nas variações de tensão aplicadas. Vê-se que o filtro impõe um atraso na ação de controle maior do que ocorreria na prática. Isto resulta em um aumento ou diminuição, da tensão de saída, maior do que esperado.

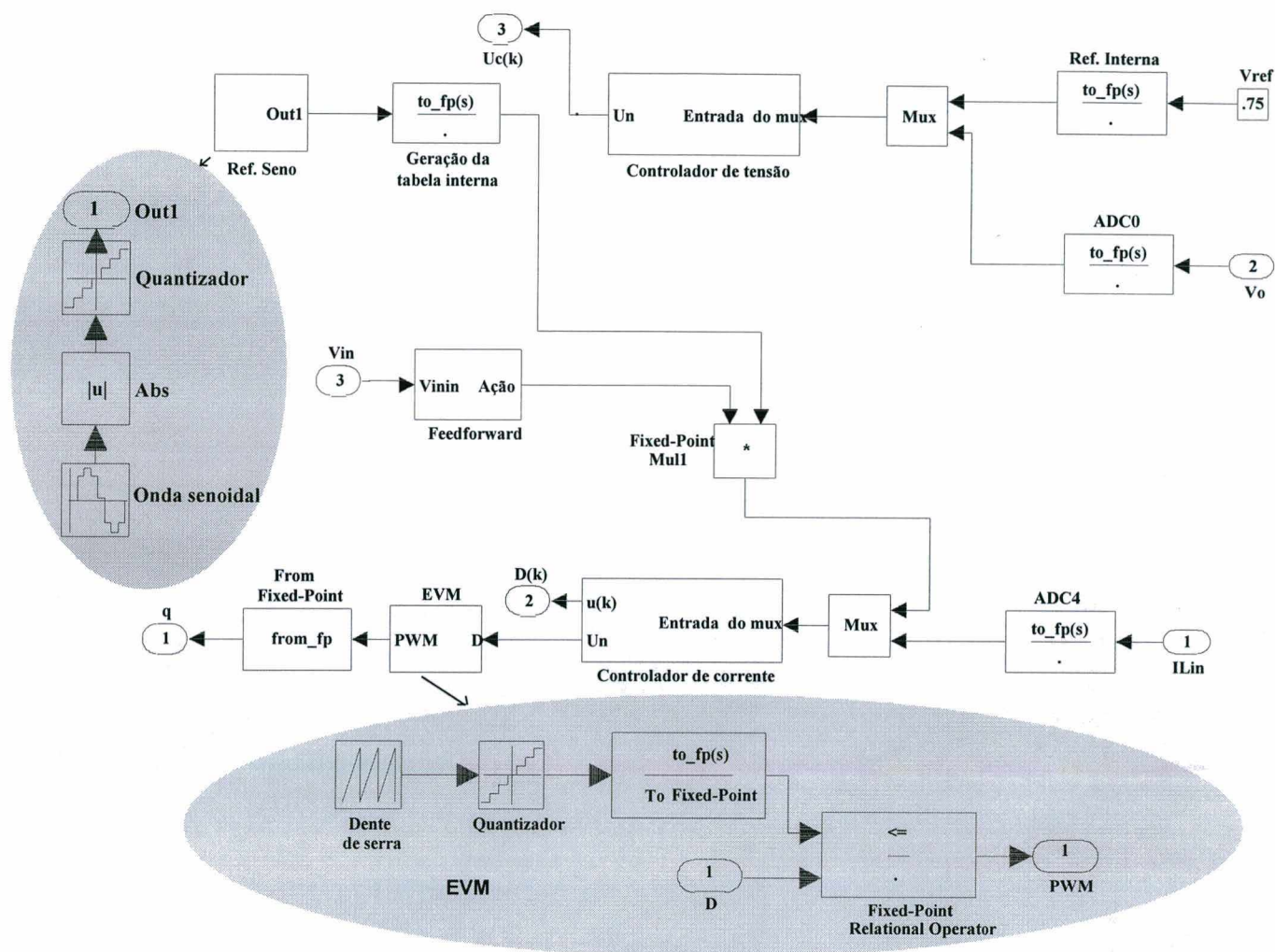


Fig. 3.28 – Diagrama de blocos das funções implementadas no controlador DSP.

A Fig. 3.32 apresenta o comportamento da razão cíclica em função do tempo, por esta pode-se observar que o valor mínimo da razão cíclica está ligado ao valor da amplitude da tensão de entrada (Eq. 3.12).

$$D(\omega t) = 1 - \frac{V_{in} \times \sqrt{2}}{V_0} \times |\text{sen}(\omega t)| \quad (3.12)$$

Na Fig. 3.33 mostra-se tanto a tensão de entrada retificada quanto a corrente de entrada, por esta pode-se notar que o atraso é de dois a três ciclos de rede e que na prática situa-se em meio ciclo.

Pela Fig. 3.34 pode-se observar em detalhe a corrente de entrada. A Fig. 3.35 mostra o comportamento da tensão de saída do conversor e onde percebe-se a variação desta devido ao

atraso da ação de controle *feedforward* e a presença de variações em seu valor de regime devido aos erros de truncamento e arredondamento da lógica de ponto fixo.

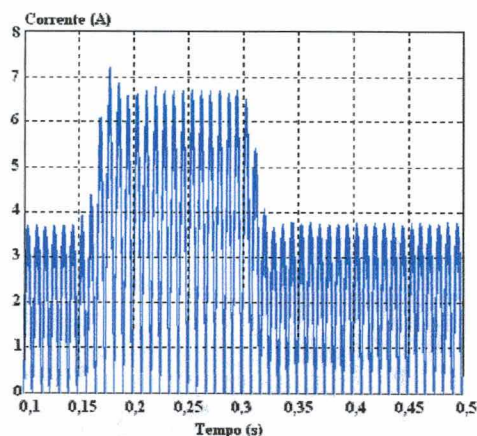


Fig. 3.29 – Corrente de entrada do conversor para um degrau de tensão de 220V para 120V e de outro de 120V para 220V.

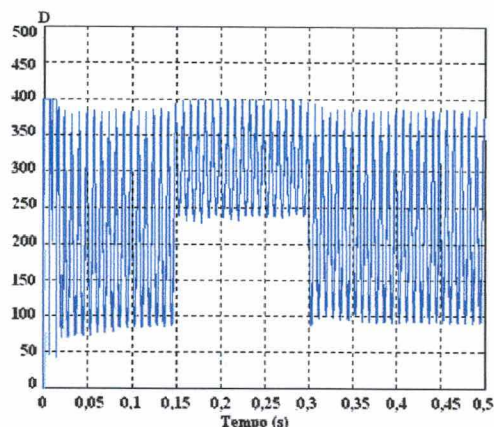


Fig. 3.32 – Comportamento da razão cíclica.

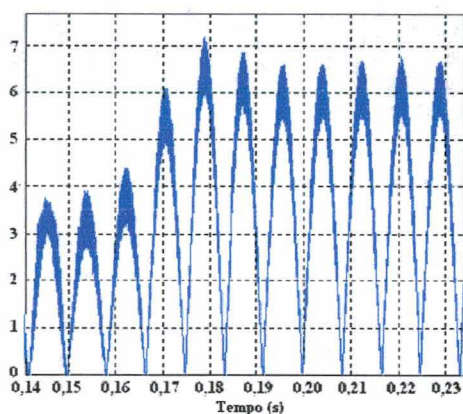


Fig. 3.30 – Detalhe do comportamento da corrente durante o degrau de tensão de 220V para 120V.

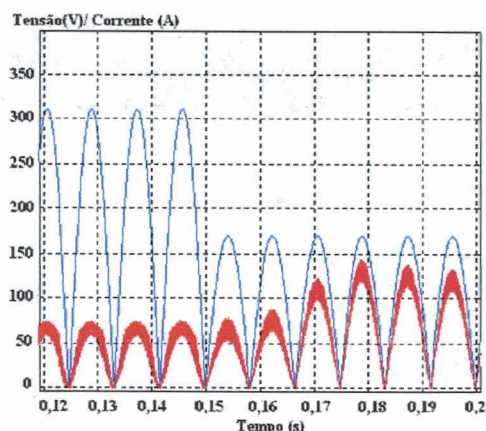


Fig. 3.33 – Tensão (azul) e corrente (x 20) de entrada para o degrau de tensão de entrada de 220V para 120V.

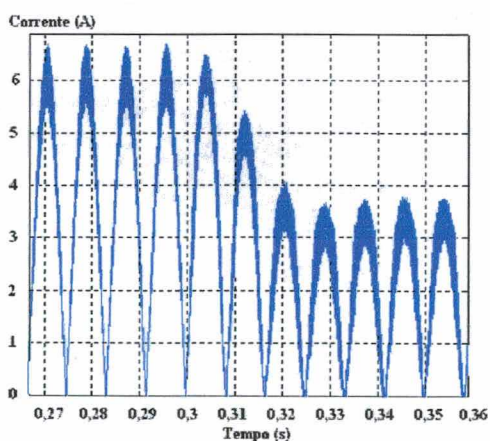


Fig. 3.31 – Detalhe do comportamento da corrente durante o degrau de tensão de 120V para 220V.

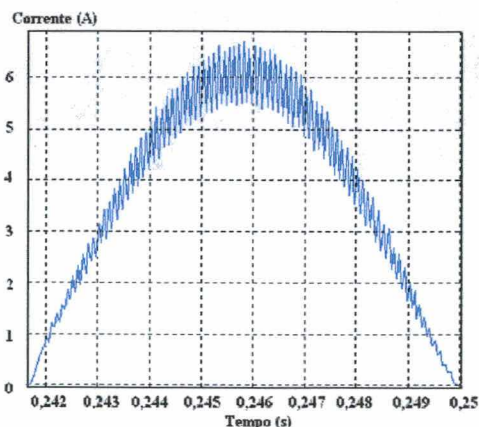


Fig. 3.34 – Detalhe da corrente de entrada do conversor.

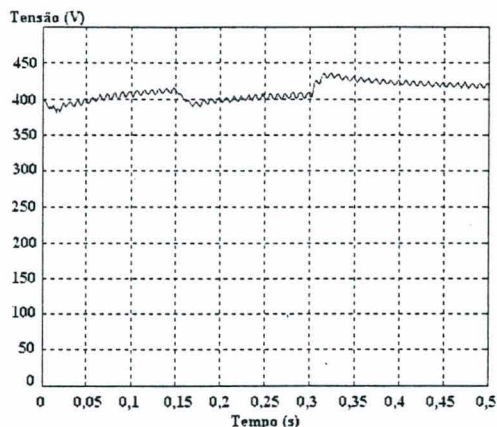


Fig. 3.35 – Comportamento da tensão de saída.

A última situação a ser analisada é a simulação do conversor com as três malhas. O diagrama de blocos do circuito simulado é apresentado na Fig. 3.18. O diagrama de blocos do modelo completo para as funções implementadas no controlador DSP é apresentado na Fig. 3.36. Os modelos dos blocos internos deste processador já foram vistos anteriormente.

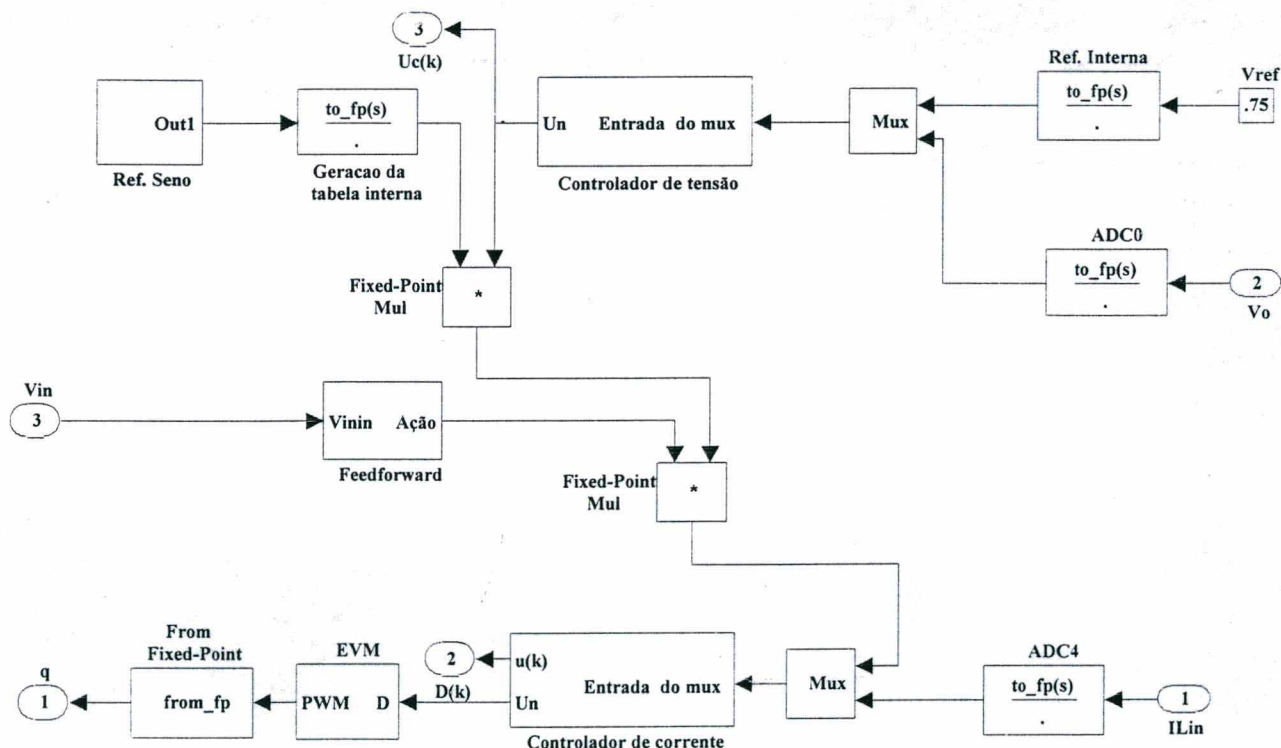


Fig. 3.36 – Diagrama de blocos do controlador.

A Fig. 3.37 mostra o comportamento da tensão frente a um degrau de carga de 30% e uma variação na tensão de entrada de 220V para 120V. Como visto, pode-se perceber que o controlador mantém a tensão de saída dentro do valor desejado.

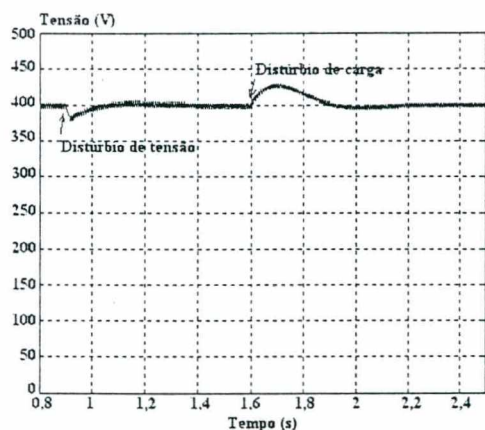


Fig. 3.37 – Comportamento da tensão de saída frente a um distúrbio na tensão de entrada (220V para 120V) e um distúrbio de carga (30%).

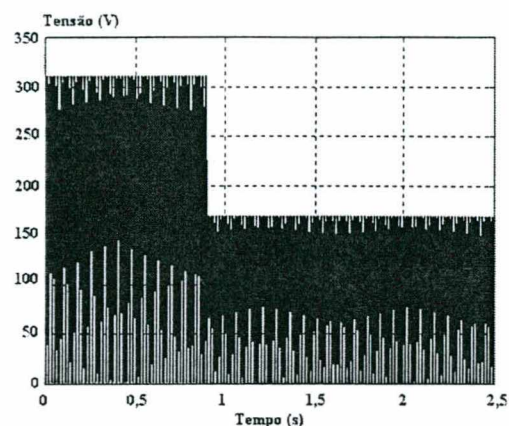


Fig. 3.39 – Tensão de alimentação retificada do conversor.

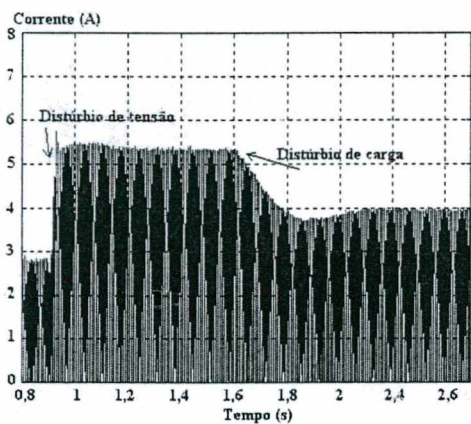


Fig. 3.38 - Comportamento da corrente de entrada frente a um distúrbio na tensão de entrada (220V para 120V) e um distúrbio de carga (30%).

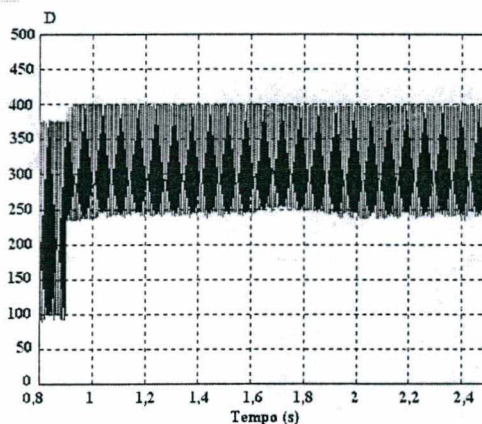


Fig. 3.40 – Comportamento da razão cíclica em função do tempo.

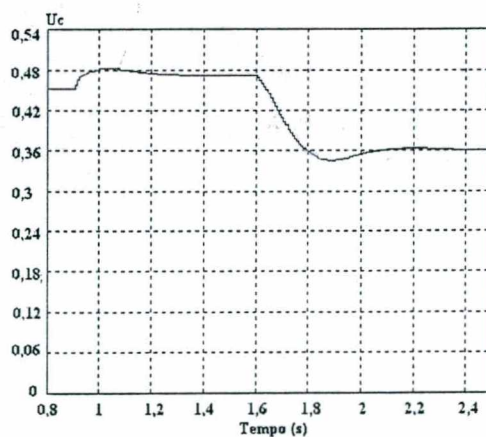


Fig. 3.41 – Saída do controlador de tensão.

A Fig. 3.38 mostra o comportamento da corrente de entrada perante aos distúrbios provocados e do mesmo modo, como para a tensão de saída, a corrente continuou seguindo a referência. Na Fig. 3.39 apresenta-se a tensão de entrada retificada a fim de se observar o momento em que ocorre a transição da tensão de entrada.

A Fig. 3.40 ilustra o comportamento da razão cíclica onde pode-se perceber que esta não satura e obedece a Eq. 3.12. A Fig. 3.41 mostra a ação de controle do controlador de tensão e por este percebe-se que não há saturação do controlador.

3.4 Conclusão

A partir dos resultados de simulação obtidos observa-se que os controladores projetados são apropriados e podem ser utilizados no programa a ser implementado. Conclui-se, também, que os resultados de simulação sofrem grande influência em acordo com o formato numérico adotado pelo simulador, alterando o comportamento dinâmico do sistema.

Deste modo pode-se perceber as diferenças entre as respostas para diferentes casos de simulação. Nesse estudo sugere-se, como melhor alternativa, a modelagem do conversor por diagramas de estado e o uso de instruções que manipulem os dados no formato de ponto fixo para se testar os controladores.

A metodologia utilizada para simular a ação de controle *feedforward* é adequado, porém, ainda necessita de aprimoramentos, pois o atraso na resposta do sistema está muito alto em relação ao esperado na implementação prática.

Por fim, espera-se ter atendido o objetivo inicial deste capítulo que era obter uma forma de simular os controladores calculados, a fim de validá-los, e verificar a existência ou não de alguma falha antes da experimentação.

4. Implementação do protótipo

4.1 Introdução

A última etapa do projeto foi a implementação do protótipo de um conversor Boost controlado digitalmente por um controlador DSP. Foi montado um conversor de 500W de potência de saída conforme especificado no item 2.3.

Esta etapa é fundamental pois, por intermédio desta, fecha-se o círculo necessário ao ciclo de trabalho: projeto, simulação e experimentação.

Os cálculos para dimensionamento do conversor e das leis de controle já foram apresentados nos primeiros capítulos bem como os resultados de simulação. Será apresentado, aqui, o programa por intermédio de um diagrama de blocos, os diagramas esquemáticos dos circuitos eletrônicos utilizados e os resultados obtidos.

4.2 O programa

A Fig. 4.1 mostra o diagrama de blocos do programa implementado no controlador DSP TMS320F/243. Inicialmente configura-se todos os registradores necessários para o funcionamento do DSP. Isto inclui, o gerador de estados de espera, o temporizador *watchdog*, o gerenciador de eventos, o conversor A/D e a interrupção necessária.

O temporizador foi configurado para trabalhar no modo contínuo crescente o que gera uma forma de onda tipo dente de serra. A ação de controle do controlador de corrente é carregada no registrador de comparação (T1CMPR) e assim, quando o valor do contador iguala-se a este valor comutasse a saída PWM para nível zero desativando o interruptor.

Utilizou-se somente uma interrupção o que dispensou o uso de rotinas de interrupção genéricas. A interrupção ocorre ao final de cada período do temporizador GPT1 (*general purpose timer 1*), ou seja, quando o registrador do contador (T1CNT) iguala-se ao registrador de período (T1PER).

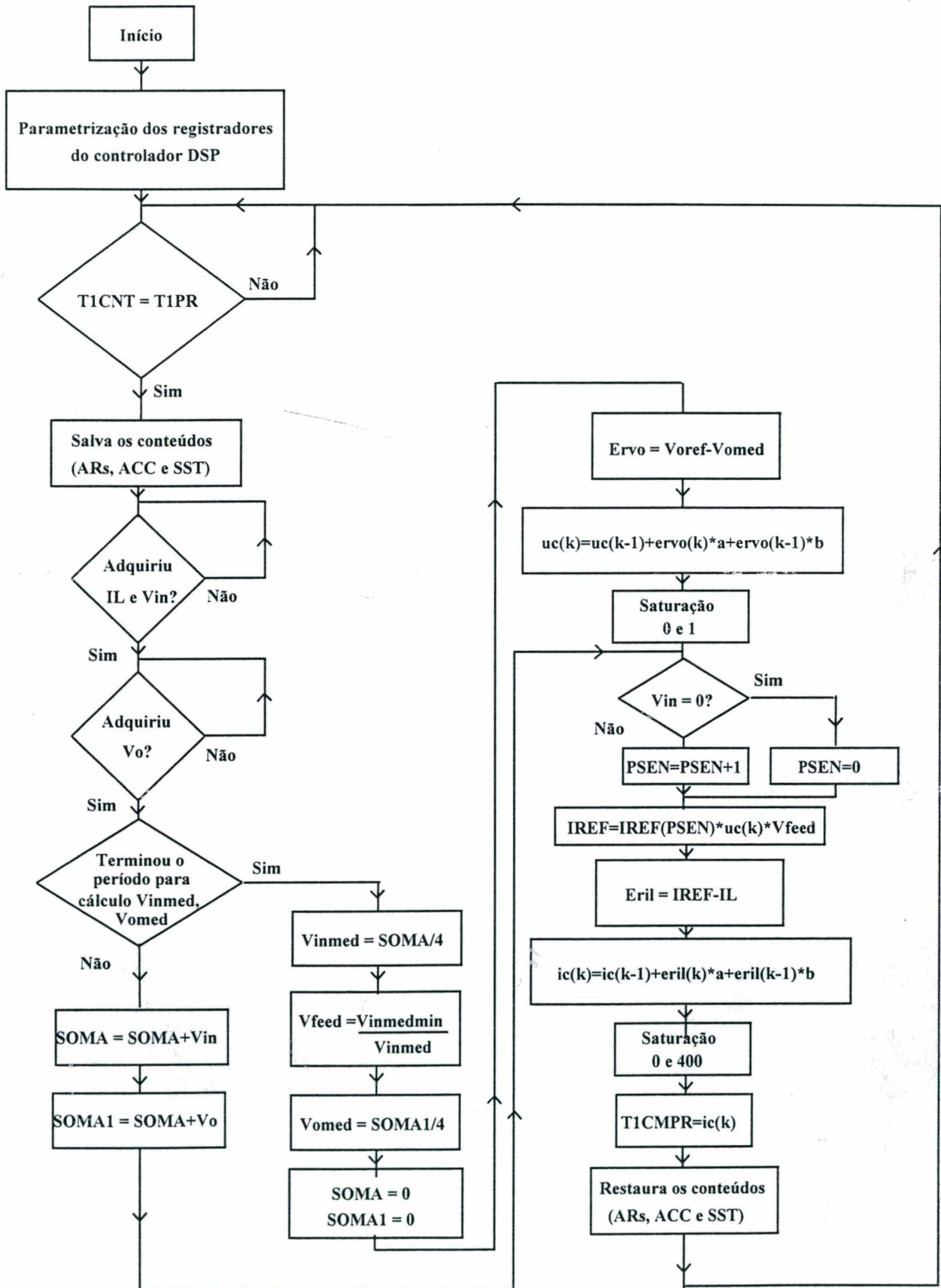


Fig. 4.1 – Diagrama de blocos do programa implementado.

Ao receber o pedido de interrupção o controlador salva o conteúdo dos registradores mais importantes e que podem ser afetados durante a rotina de interrupção e inicia a conversão das variáveis monitoradas. Após o término da conversão das variáveis, o controlador verifica se já adquiriu o número de amostras suficientes para o cálculo dos valores médios. Se sim, ele atualiza as variáveis que armazena os valores médios, calcula a ação de controle *feedforward* e a ação de controle do controlador de tensão e caso contrário soma os valores lidos as somas armazenadas para posteriormente calcular os valores médios, a ação *feedforward* e a ação do controlador de tensão.

Após este cálculo o programa efetua o sincronismo da varredura da tabela em relação a rede. Se a rede estiver passando por zero este reinicializa o apontador da tabela para o início da senóide forçando o sincronismo. O número de pontos armazenados é igual à metade do período da rede dividido pelo período de comutação. Em caso contrário o programa incrementa em um, o apontador da tabela.

Em seguida o controlador calcula a referência de corrente que é resultado da multiplicação da ação de controle *feedforward*, ação do controlador de tensão e da referência dada pela tabela. A partir desta calcula-se o erro e aplica-se a lei de controle. Passa-se por uma lógica de saturação e atualiza-se o valor do período de condução do interruptor (T1CMPR).

Restaura-se os registradores previamente salvos e fica aguardando a chamada de uma nova interrupção.

4.3 Os circuitos de interface

A Fig. 4.2 apresenta os circuitos analógicos necessários para efetuar a *interface* entre a placa DSKF243 e o conversor Boost. Este circuito basicamente é composto por três filtros de *anti-aliasing*, um retificador de precisão, um amplificador inversor para se obter ganho e inversão no sinal de corrente e um circuito *buffer* para o circuito de monitoração da tensão de saída. Existe também um circuito de comando usado para colocar o MOSFET em condução ou bloqueio.

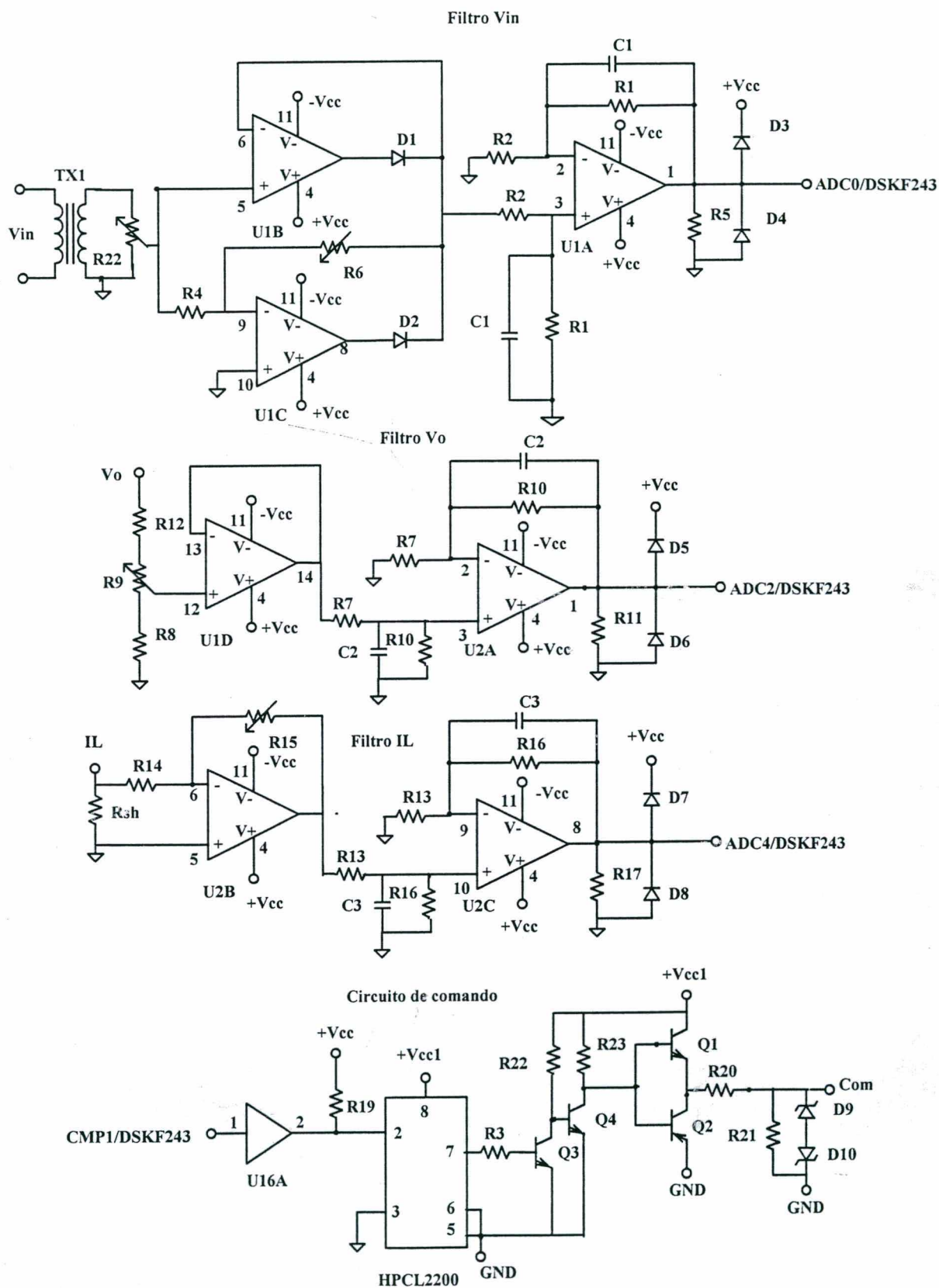


Fig. 4.2 – Esquema dos circuitos analógicos utilizados para efetuar a interface entre o DSKF243 e o estágio de potência do conversor.

A tabela 1 lista os valores dos componentes utilizados. A Fig. 4.3 mostra o esquema do estágio de potência do conversor Boost. A tabela 2 apresenta uma listagem completa dos componentes do estágio de potência.

| Referência | Descrição do componente | Valor Comercial |
|---------------------------------|--------------------------|-----------------------|
| R1, R10, R16, R2, R7, R13 | Resistor | 10 k Ω - 1/8W |
| Rsh | Resistor | 0,1 Ω - 1/8W |
| R22, R9, R15, R6 | Potenciômetro | 50 k Ω |
| R5, R11, R17 | Resistor | 470 Ω - 1/8W |
| R12 | Resistor | 220 k Ω - 1W |
| R8, R4, R14, R19, R21, R22, R23 | Resistor | 2,2 k Ω - 1/8W |
| R3 | Resistor | 2,2 k Ω - 1/8W |
| R20 | Resistor | 33 Ω - 1/8W |
| D1, D2 | Diodo | 1N4148 |
| U1, U2 | Amplificador Operacional | LM324 |
| U16 | <i>Buffer</i> | 7407 |
| U3 | Optoacoplador | HPCL2200 |
| D3, D4, D5, D6, D7, D8 | Diodo Zener | 1N751 |
| D9 | Diodo Zener | 15V; 1W |
| D10 | Diodo Zener | 10V; 0,5W |
| Q1 | Transistor NPN | BC337 |
| Q2 | Transistor PNP | BC327 |
| Q3, Q4 | Transistor NPN | BC546 |
| +Vcc | Fonte | 6,2V |
| +Vcc1 | Fonte | 15V |
| -Vcc | Fonte | -5V |
| TX1 | Transformador | 220V/12V 10VA |
| C1, C2, C3 | Capacitor cerâmico | 680 pF |

Tabela 1 – Valores para o circuito da Fig. 4.2.

| Referência | Descrição do componente | Valor Comercial |
|----------------|-------------------------|---------------------|
| D1, D2, D3, D4 | Diodo | 1N504 |
| D5 | Diodo | MUR450 |
| L1 | Indutor | 1,5 mH |
| Rsh | Resistor | 0,1 Ω - 10W |
| Ro | Resistor | 320 Ω - 500W |
| M1 | MOSFET | IRFP460 |
| C0 | Capacitor | 470uF |
| C1 | Capacitor | 150nF |
| Cs | Capacitor | 2,2nF |
| Ds | Diodo | MU8100 |
| Rs | Resistor | 210 Ω - 12W |

Tabela 2 – Lista de componentes da Fig. 4.3.

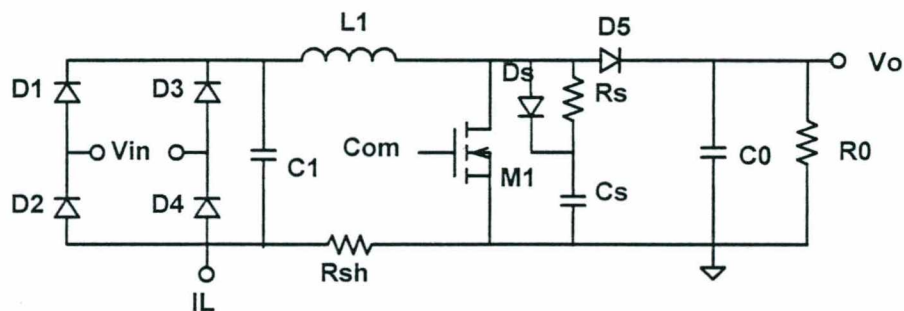


Fig. 4.3 – Estágio de potência do conversor Boost.

4.4 Resultados experimentais

Serão analisadas as principais formas de onda para o projeto em questão. Neste caso, são as variáveis que se desejam controlar (tensão de saída e corrente de entrada) e seu comportamento com relação aos distúrbios. Da Fig. 4.4 à Fig. 4.12 apresentam-se as formas de onda da tensão e corrente de entrada para diferentes valores eficazes de tensão de entrada e com carga nominal. Percebe-se, por estas, que a corrente segue perfeitamente o formato da corrente de referência interna e mantém a potência de entrada constante conforme o esperado, porém com a diminuição da corrente de entrada aumenta-se a taxa de distorção harmônica de corrente, fenômeno também encontrado em controladores analógicos.

A tabela 3 apresenta as taxas de distorção harmônica medidas para diferentes valores de tensão de entrada bem como o fator de potência medido. O pior caso ocorreu para quando a tensão de entrada era de 240V eficaz.

| Tensão eficaz | TDH _i | TDH _v | Cos ϕ | Fator de potência |
|---------------|------------------|------------------|------------|-------------------|
| 90 | 2,35% | 4,32% | 1 | 0.998792 |
| 110 | 2,02% | 3,98% | 1 | 0.999005 |
| 130 | 1,77% | 3,84% | 1 | 0.999107 |
| 140 | 1,84% | 3,76% | 1 | 0.999125 |
| 160 | 2% | 3,66% | 1 | 0.999131 |
| 170 | 2% | 3,66% | 1 | 0.999131 |
| 200 | 2,71% | 3,66% | 1 | 0.998964 |
| 220 | 3,2% | 3,7% | 1 | 0.998805 |
| 240 | 4,15% | 3,79% | 1 | 0.998423 |

Tabela 3 – Taxas de distorção harmônica da corrente e da tensão, fator de deslocamento e fator de potência em função do valor da eficaz da tensão de entrada.

Pela tabela 4 pode se ver que este caso atende as especificações da norma IEC 61000-3-2.

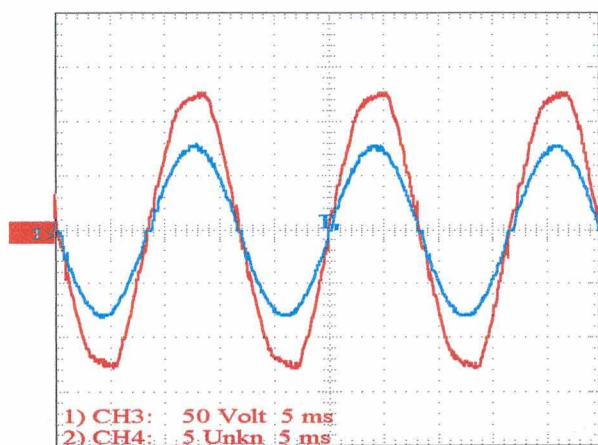


Fig. 4.4 – Tensão (vermelho) e corrente (azul) de entrada do conversor Boost ($V_{in} = 90V$).

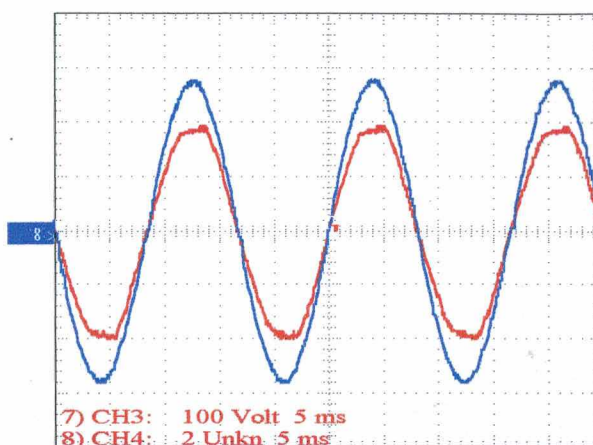


Fig. 4.7 - Tensão (vermelho) e corrente (azul) de entrada do conversor Boost ($V_{in} = 140V$).

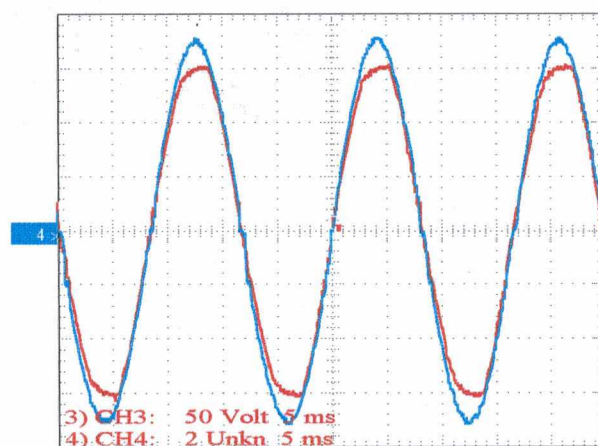


Fig. 4.5 - Tensão (vermelho) e corrente (azul) de entrada do conversor Boost ($V_{in} = 110V$).

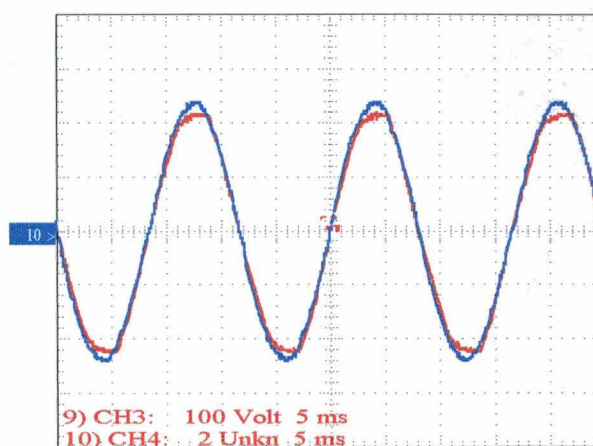


Fig. 4.8 - Tensão (vermelho) e corrente (azul) de entrada do conversor Boost ($V_{in} = 160V$).

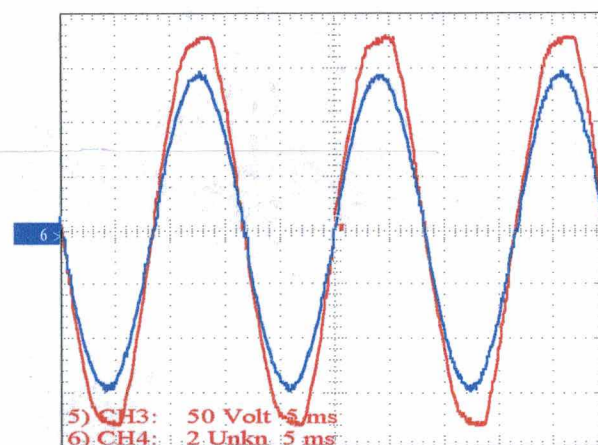


Fig. 4.6 - Tensão (vermelho) e corrente (azul) de entrada do conversor Boost ($V_{in} = 130V$).

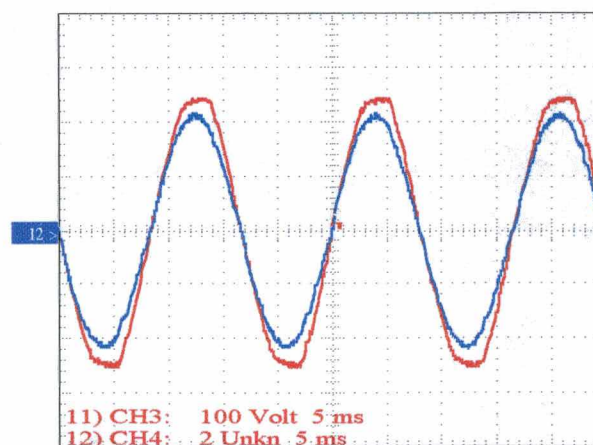


Fig. 4.9 - Tensão (vermelho) e corrente (azul) de entrada do conversor Boost ($V_{in} = 170V$).

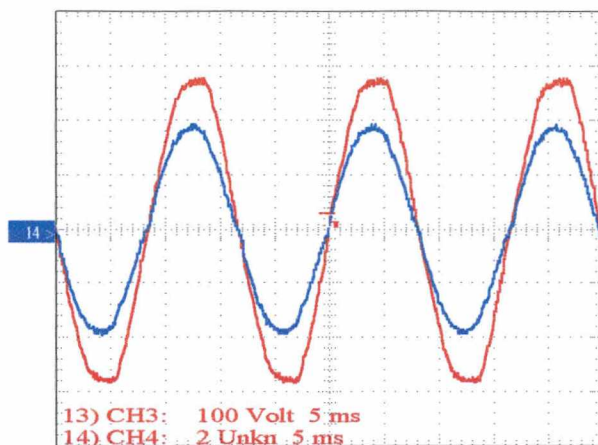


Fig. 4.10 - Tensão (vermelho) e corrente (azul) de entrada do conversor Boost ($V_{in} = 200V$).

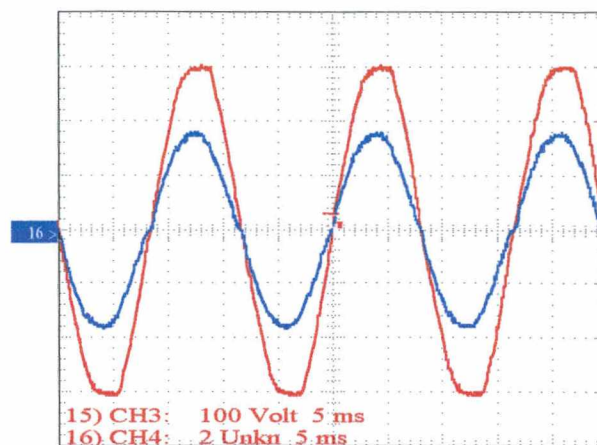


Fig. 4.11 - Tensão (vermelho) e corrente (azul) de entrada do conversor Boost ($V_{in} = 220V$).

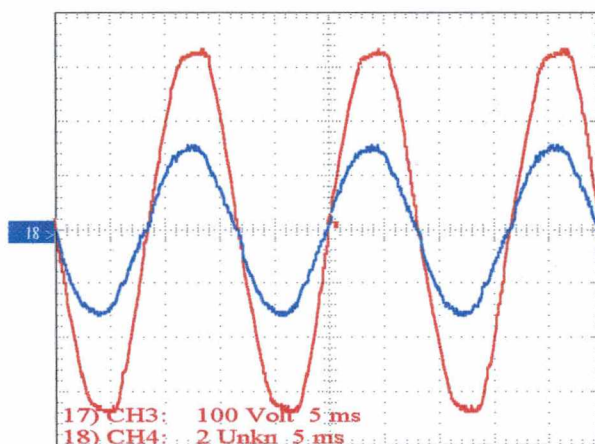


Fig. 4.12 - Tensão (vermelho) e corrente (azul) de entrada do conversor Boost ($V_{in} = 240V$).

| Ordem | Corrente | IEC 61000-3-2 | Ordem | Corrente | IEC 61000-3-2 | Ordem | Corrente | IEC 61000-3-2 |
|-------|----------|---------------|-------|----------|---------------|-------|----------|---------------|
| 2 | 25,7mA | 1,08A | 18 | 1,81mA | 0,102A | 34 | 2,73mA | 0,054A |
| 3 | 25,6mA | 2,3A | 19 | 479uA | 0,118A | 35 | 5,79mA | 0,064A |
| 4 | 8,59mA | 0,43A | 20 | 2,42mA | 0,092A | 36 | 3,89mA | 0,051A |
| 5 | 60,7mA | 1,14A | 21 | 12mA | 0,107A | 37 | 4,64mA | 0,061A |
| 6 | 7,28mA | 0,3A | 22 | 2,9mA | 0,084A | 38 | 721uA | 0,048A |
| 7 | 12,7mA | 0,77A | 23 | 7,46mA | 0,098A | 39 | 2,44mA | 0,058A |
| 8 | 6,24mA | 0,23A | 24 | 1,66mA | 0,077A | 40 | 1,11mA | 0,046A |
| 9 | 25,8mA | 0,4A | 25 | 5,12mA | 0,09A | 41 | 1,66mA | * |
| 10 | 7,58mA | 0,184A | 26 | 4,3mA | 0,071A | 42 | 3,81mA | * |
| 11 | 27,8mA | 0,33A | 27 | 11,7mA | 0,083A | 43 | 6,89mA | * |
| 12 | 2,99mA | 0,153A | 28 | 4,9mA | 0,066A | 44 | 1,42mA | * |
| 13 | 7,13mA | 0,21A | 29 | 7,85mA | 0,078A | 45 | 4,41mA | * |
| 14 | 2,11mA | 0,131A | 30 | 3,73mA | 0,061A | 46 | 1,6mA | * |
| 15 | 18,8mA | 0,15A | 31 | 1,39mA | 0,073A | 47 | 694uA | * |
| 16 | 2,48mA | 0,115A | 32 | 1,56mA | 0,058A | 48 | 2,55mA | * |
| 17 | 17,7mA | 0,132A | 33 | 2,75mA | 0,068A | 49 | 1,74mA | * |

* - a norma não trata de harmônicas maiores que quarenta.

Tabela 4 – Distorção harmônica de corrente em relação a corrente na fundamental.

Pela Fig. 4.13 pode-se verificar claramente o aumento da distorção da forma de onda da corrente com a diminuição de seu valor por variação da amplitude da tensão de entrada (a potência de saída é constante).

Também para a tensão de saída foram feitas diversas aquisições, sobre toda a faixa da excursão da tensão de entrada permitida, para verificar se o controlador de tensão e a ação de controle *feedforward* mantinham a tensão de saída constante e em 400V.

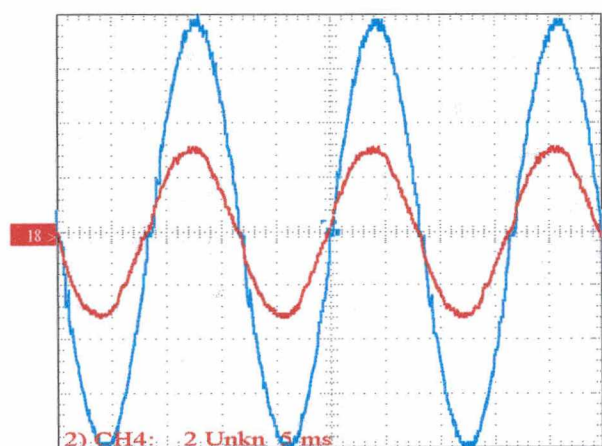


Fig. 4.13 – Corrente nominal para as tensões de 230V (vermelho) e 90V (azul).

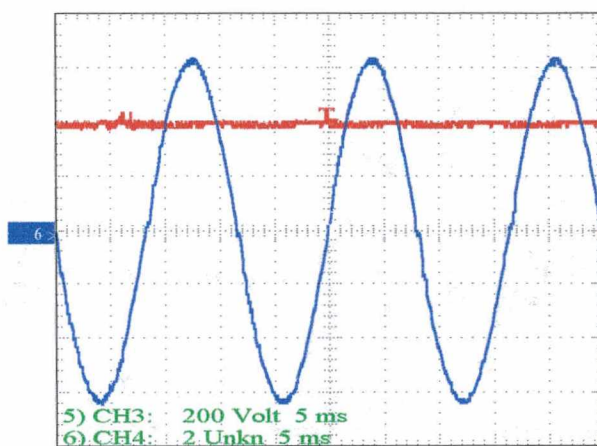


Fig. 4.15 - Tensão de saída (vermelho) e corrente de entrada (azul) para uma tensão de entrada de 110V.

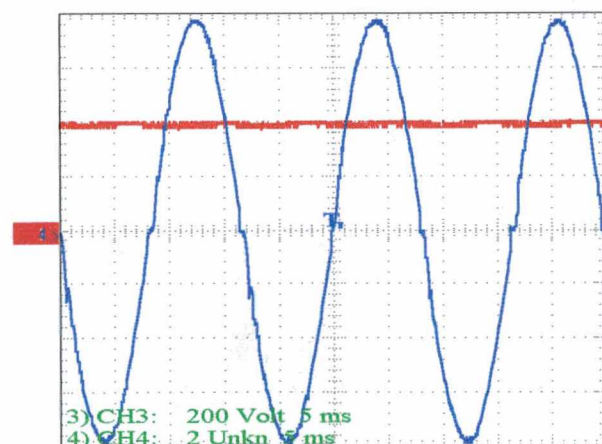


Fig. 4.14 – Tensão de saída (vermelho) e corrente de entrada (azul) para uma tensão de entrada de 95V.

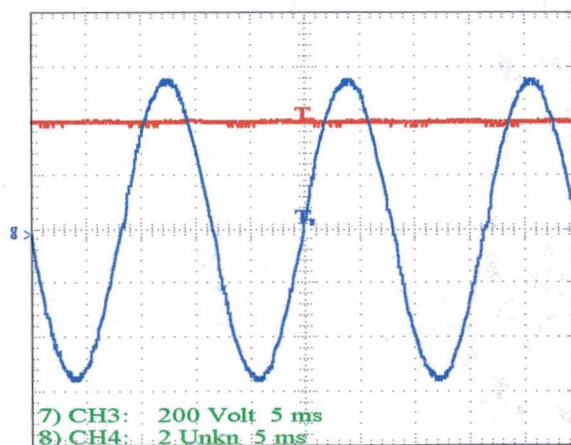


Fig. 4.16 - Tensão de saída (vermelho) e corrente de entrada (azul) para uma tensão de entrada de 130V.

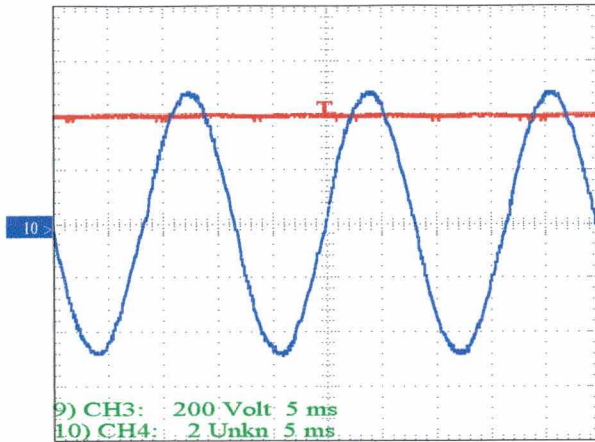


Fig. 4.17 - Tensão de saída (vermelho) e corrente de entrada (azul) para uma tensão de entrada de 150V.

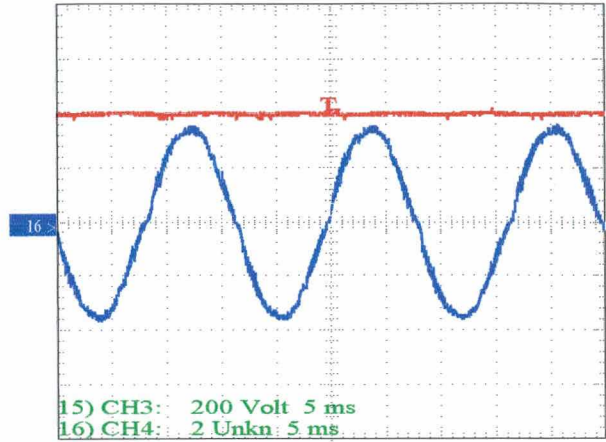


Fig. 4.20 - Tensão de saída (vermelho) e corrente de entrada (azul) para uma tensão de entrada de 220V.

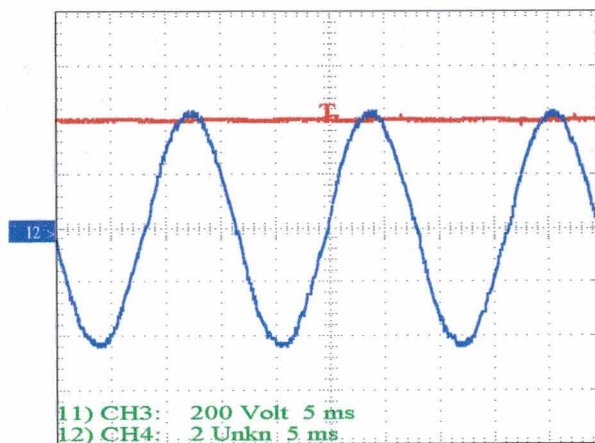


Fig. 4.18 - Tensão de saída (vermelho) e corrente de entrada (azul) para uma tensão de entrada de 180V.

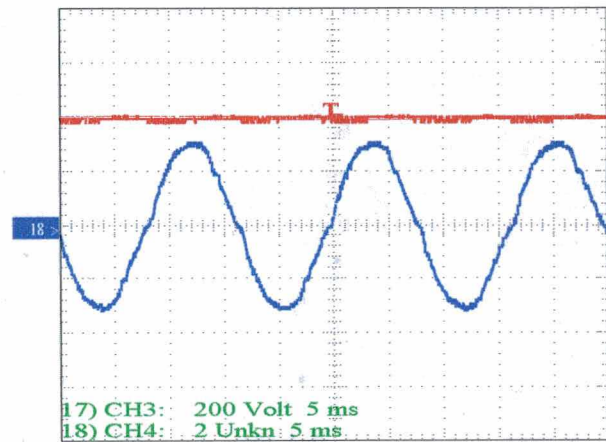


Fig. 4.21 - Tensão de saída (vermelho) e corrente de entrada (azul) para uma tensão de entrada de 240V.

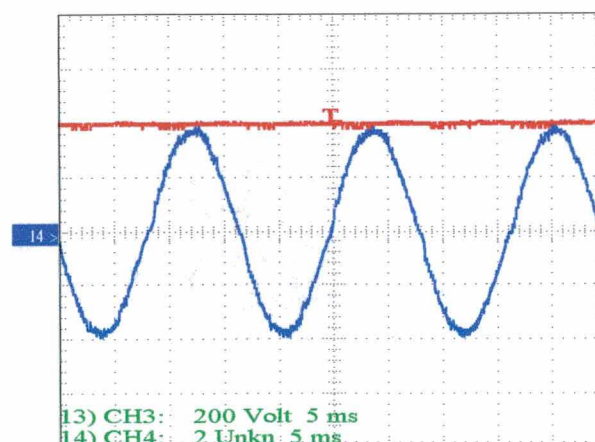


Fig. 4.19 - Tensão de saída (vermelho) e corrente de entrada (azul) para uma tensão de entrada de 200V.

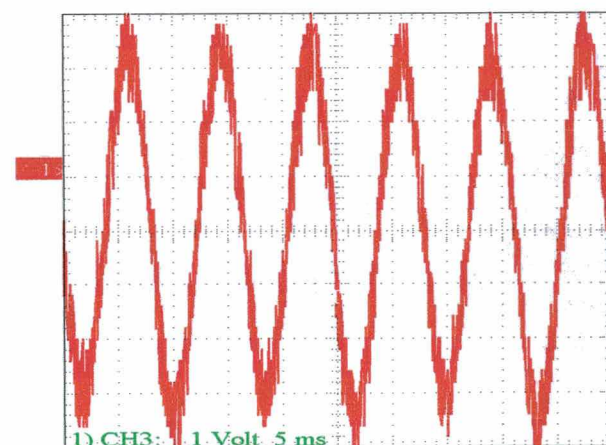


Fig. 4.22 - Detalhe da ondulação da tensão de saída.

Analisando os resultados das Fig. 4.14 à Fig. 4.21 percebe-se que a tensão de saída manteve-se constante e independente da variação da tensão de entrada. Por estas aquisições porém, se pode concluir nada a respeito da dinâmica do sistema.

A ondulação da tensão de saída ficou dentro do valor projetado (menor que 10 Vpp) conforme pode ser observado na Fig. 4.22.

Para se analisar a dinâmica do sistema fez-se ensaios aplicando distúrbios ao sistema e observando a resposta a fim de verificar se os controladores apresentam as características desejadas.

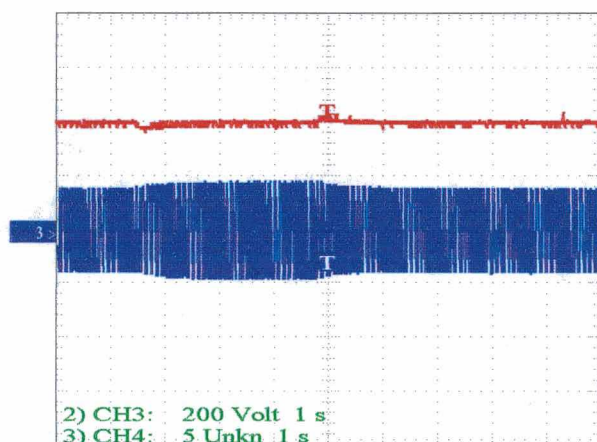


Fig. 4.23 – Tensão de saída (vermelho) e corrente de entrada (azul) com degraus de carga de 30%.

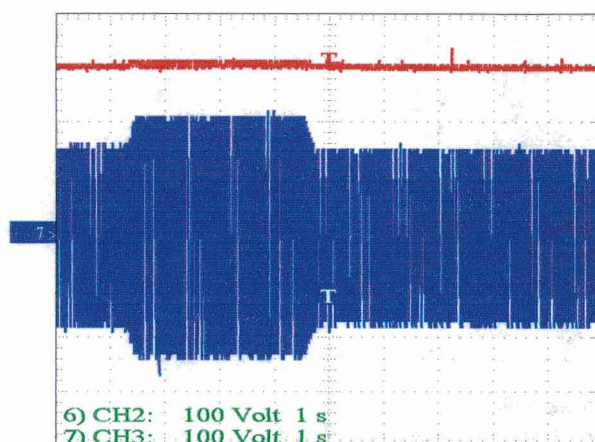


Fig. 4.25 - Tensão saída (vermelho) e tensão de entrada para variações na tensão de entrada de 20%.

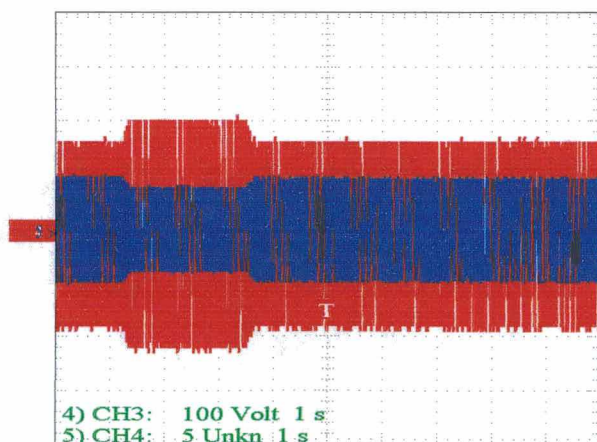


Fig. 4.24 – Tensão de entrada (vermelho) e corrente de entrada para variações na tensão de entrada de 20%.

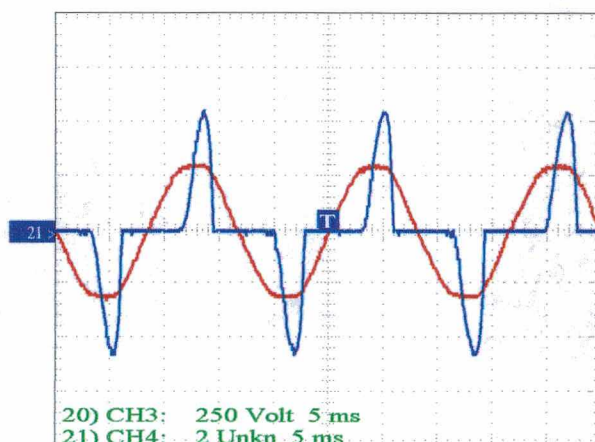


Fig. 4.26 – Tensão (vermelho) e corrente (azul) de entrada de um retificador em ponte completa.

A Fig. 4.23, mostra o comportamento da tensão de saída e da corrente para um decréscimo de 30% na carga nominal e depois o seu restabelecimento ao valor nominal. Percebe-se que tanto os tempos do transitório quanto o valor de sobretensão conferem com os resultados obtidos nas simulações utilizando o modelo do conversor por equações de estado. A sobretensão ficou em torno de 40V e o tempo de acomodação em torno de 300ms.

A Fig. 4.24, apresenta os resultados obtidos no ensaio de variação da tensão de entrada. Por esta percebe-se claramente a ação de controle *feedforward*, responsável por uma melhora na dinâmica do sistema. Mais uma vez pode-se observar a conformidade com os resultados de simulação. Na Fig. 4.25 pode-se observar o comportamento da tensão de saída e por esta conclui-se que uma variação de tensão de entrada de 20% praticamente não interferiu no valor desta. Ressalta-se que os degraus de tensão foram aplicados manualmente, assim, a tensão de entrada não variava instantaneamente.

A Fig. 4.26, ilustra o funcionamento do circuito estudado como retificador comum (o conversor Boost estava desligado) apenas para reiterar a importância de um circuito que faça a correção do fator de potência.

4.5 Conclusão

Os resultados experimentais ficaram dentro do desejado. Nota-se uma dependência da taxa de distorção harmônica da corrente em função da amplitude da corrente de entrada o que também ocorre nos conversores com controladores contínuos. No entanto, em todas as situações o conteúdo harmônico ficou dentro do permitido pela norma.

O valor médio na saída apresentou um erro relativo menor do que 2,5% para qualquer valor da escala de tensões de entrada bem como para os distúrbios de carga aplicados durante os testes. Acredita-se que este erro é resultado do formato numérico adotado e que uma precisão maior pode ser obtida trabalhando as escalas.

O controlador utilizado não apresentou problemas em relação ao tempo disponível para execução.

Conclusão Geral

Apresentou-se o estudo teórico e prático de um pré-regulador com alto fator de potência utilizando o conversor Boost com controle digital. O sistema implementado é constituído de três partes: o estágio de potência, uma placa de adaptação dos sinais e uma placa de desenvolvimento (DSKF243).

No primeiro capítulo foi apresentado uma visão genérica sobre os formatos numéricos utilizados em um processador. Neste trabalho é usado o formato de ponto fixo. Isto é importante pois fornece uma visão clara de como efetuar o escalonamento dos números. Uma escolha inadequada do *radix* (no caso da lógica de ponto fixo) pode levar a um comportamento inesperado do controlador. Foi discutido, também, um pouco sobre o controlador DSP e, em especial, os principais periféricos utilizados.

No segundo capítulo é mostrado uma metodologia de cálculo dos compensadores. Ressalta-se que, embora, esteja se trabalhando com controle discreto a forma de como projetar o controlador não destoa dos projetos realizados para os controladores contínuos. Alguns aspectos foram abordados para se ter uma visão mais clara. Foram apresentados dois métodos e cabe aos futuros projetistas a escolha de qual usar. Preferencialmente, aconselharia o método do lugar das raízes, por sua simplicidade.

O capítulo três ilustra procedimentos de simulação que podem ser utilizados. O primeiro método baseia-se nas funções de transferência linearizadas, utilizando o método da chave PWM [1], trabalhando com as variáveis no simulador como sendo de ponto flutuante. Isto, porém, não representa muito bem o que realmente acontece e por intermédio de um conjunto de instruções de ponto fixo, para implementar as leis de controle, chega-se mais próximo dos resultados reais. Os melhores resultados, no entanto, são obtidos quando se utiliza o modelo do conversor por variáveis de estado e o conjunto de instruções de ponto fixo para implementar as leis de controle. As simulações se aproximam muito mais da realidade. Muitos detalhes do projeto do controlador na prática, porém, não podem ser reproduzidos e ou são muito difíceis e demorados, porém os resultados obtidos com as simulações encorajam o seu uso para uma fase de testes antes da construção do protótipo.

No capítulo quatro são apresentados os resultados experimentais que mostram claramente que o conversor atende às normas e às características desejadas.

O controle de um pré-regulador, com alto fator de potência, usando o TMS320F243 não apresenta muitas diferenças em relação aos controladores contínuos quanto aos resultados experimentais.

A principal vantagem dos controladores digitais está na facilidade de implementação de lógicas de supervisão de falhas e de comunicação com um microcomputador, por exemplo. Uma característica positiva é a facilidade de fazer modificações no controle sem alterar o *layout* do conversor. Um aspecto relevante é que, com uma mesma estrutura, pode-se controlar conversores de diversas potências, o que pode reduzir o custo em uma cadeia de produção.

O controlador DSP utilizado apresenta uma grande capacidade de processamento, cerca de 20MIPS, e que satisfaz plenamente o processamento requerido para executar o programa e ainda trabalhar com técnicas mais elaboradas. A arquitetura do DSP, otimizada para aplicações em controle neste controlador, permitiu muitas facilidades na hora de implementação do programa. O tempo de conversão era de aproximadamente 2 μ s para cada par de sinais, o que era mais do que suficiente para implementar as malhas de controle necessárias.

Apesar do controlador utilizar a notação de ponto fixo isto não se apresentou como obstáculo. O simples fato de trabalhar-se com um conjunto finito de representações para caracterizar uma senóide não implicou em um empobrecimento do fator de potência em relação ao controlador contínuo. Caso este ponto seja importante, pode-se aumentar o número de *bits* do conversor A/D o que resultaria em uma precisão maior e uma menor distorção na forma de onda controlada.

É possível, em etapas futuras, pensar no estudo e acoplamento ao conversor Boost pré-regulador com controle digital, de sistemas para partida, supervisão e comunicação com microcomputadores.

Referências Bibliográficas

- [1] VORPERIAN, V.. “Simplified Analysis of PWM Converter Using the Model of the PWM Switch”, VPEC Seminar Tutorial, Sep. 1989.
- [2] GROSSE, ALEXANDRE S.. *Controle de um Pré-regulador com Alto Fator de Potência Utilizando Microcontrolador PIC*. Dissertação de mestrado. UFSC, Florianópolis , 1999.
- [3] HELDWEIN, MARCELO L.. *Unidade Retificadora Trifásica de Alta Potência e Alto Desempenho para Aplicação em Centrais de Telecomunicações*. Dissertação de mestrado. UFSC, Florianópolis , 1998.
- [4] BARBI, IVO; SOUZA, ALEXANDRE F.. *Correção de Fator de Potência de fontes de Alimentação*. Apostila – Publicação Interna INEP/EEL. UFSC, Florianópolis , 1995.
- [5] SOUZA, ALEXANDRE F.. *Retificadores Monofásicos de Alto Fator de Potência com Reduzidas Perdas de Condução e Comutação Suave*. Tese de doutorado. UFSC, Florianópolis , 1995.
- [6] JUNIOR, ELIAS T. S.. *Análise e Projeto de Compensadores para o Conversor Boost*. Dissertação de mestrado. UFSC, Florianópolis , 1994.
- [7] DIXON, LLOYD. *Average Current Mode Control of Switching Power Supplies*. Application Note U-140. Unitrode. <http://www.ti.com>, 2000.
- [8] TODD, PHILIP C.. *UC3854 Controlled Power Factor Correction Circuit Design*. Application Note U-134. Unitrode. <http://www.ti.com>, 2000.
- [9] *Spectrum Digital Symbolic Assembler for the F24X DSP*, Technical Reference, DSP Development Systems, Houston, 1999.
- [10] *TMS320C2XX Fixed Point Assembly Language Users Guide*, Technical Reference, Texas Instruments, Houston.
- [11] *TMS320F243, TMS320F241 DSP Controlers*, Technical Data Sheet, Texas Instruments, Houston, 1999.
- [12] *TMS320F243/F241/C242 DSP Controlers Reference Guide – System and*

- Peripherals*, Technical Reference Guide, Texas Instruments, Houston, 1999.
- [13] MONNET, CLAIRE. *Handling Different Interrupts of TMS320F241, TMS320F243 e TMS320C242 DSPs – SPRA499*, Application Report, Texas Instruments, Houston, 1998.
- [14] ZELLER, FRANK. *Setting up TMS320C2xx Interrupts in Assembler or C – SPRA495*, Application Report, Texas Instruments, Houston, 1998.
- [15] *TMS320C24x General Purpose Timer 1 Asymmetric Mode – SPRA367*, Application Report, Texas Instruments, Houston, 1997.
- [16] *TMS320C24x General Purpose Timer 1 Symmetric Mode – SPRA368*, Application Report, Texas Instruments, Houston, 1997.
- [17] *TMS320C24x PWM Full Compare in Symetric Mode – SPRA369*, Application Report, Texas Instruments, Houston, 1997.
- [18] *Dead-Time Generation on the TMS320C24x – SPRA371*, Application Report, Texas Instruments, Houston, 1997.
- [19] FIGOLI, DAVID. *Creating a Pulse Width Modulated Signal with a Fixed Duty Cycle Using the TMS320F240 EVM – SPRA410*, Application Report, Texas Instruments, Houston, 1999.
- [20] FIGOLI, DAVID. *Creating a Sine Modulated PWM Signal Using the TMS320F240 EVM – SPRA411*, Application Report, Texas Instruments, Houston, 1999.
- [21] FIGOLI, DAVID. *Creating a Two Channel Sine Wave Generator Using the TMS320F240 EVM – SPRA412*, Application Report, Texas Instruments, Houston, 1999.
- [22] FIGOLI, DAVID. *Generating a PWM Signal Modulated by an Analog Input Using the TMS320F240 EVM – SPRA413*, Application Report, Texas Instruments, Houston, 1999.
- [23] *Configuring Digital I/Os of the TMS320F240 DSP Controler – SPRA443*, Application Report, Texas Instruments, Houston, 1999.
- [24] *Implementing Circular Buffers With Bit-Reversed Addressing – SPRA292*,

- Application Report, Texas Instruments, Houston, 1999.
- [25] *Configuring PWM Outputs of TMS320F240 with Dead Band for Different Power Devices – SPRA289*, Application Report, Texas Instruments, Houston, 1999.
- [26] *TMS320C24x 1-Day Workshop* Texas Instruments, Houston, 1999.
- [27] OGATA, KATSUHICO. *Discrete-Time Control Systems*. Second Edition. Prentice Hall, Englewood Cliffs, New Jersey , 1994.
- [28] BARCZAK, CZESLAU L.. *Controle Digital de Sistemas Dinâmicos – Projeto e Análise*. Editora Edgard Blücher LTDA, São Paulo - São Paulo , 1995.
- [29] KASSICK, ENIO V.. *Notas de aula da disciplina Modelagem de Conversores Estáticos*. Curso de Pós Graduação em Engenharia Elétrica, 1999.
- [30] TODD, PHILIP C.. *UC3854 Controlled Power Factor Correction Circuit Design*. U-134, Application Note, Unitrode, 1990.
- [31] VERGHESE, GEORGE C., TAYLOR, DAVID G., JAHNS, THOMAS M. & DE DONCKER, RIK W.. *The Control Handbook – Cap. 78 - Power Electronics Control*. CRC Press, Inc. 1996.
- [32] RICO, JULIO ELIAS NORMEY. *Sinais e Sistemas Lineares*. Apostila do curso de Engenharia de Controle e Automação. DAS-UFSC. 1993.
- [33] BRUCIAPAGLIA, AUGUSTO HUMBERTO. *Sistemas Amostrados*. Apostila do curso de Pós Graduação em Engenharia Elétrica. UFSC. 1996.
- [34] RICO, JULIO ELIAS NORMEY & PAGANO, DANIEL JUAN,. *Notas de aula da disciplina DAS6008*. Curso de Pós Graduação em Engenharia Elétrica. UFSC. 2000.
- [35] IEC 61000-3-2, *Eletromagnetic compatibility (EMC) Part 3-2: Limits for harmonic current emissions (equipment input current $\leq 16 A$ per phase)*. International Electrotechnical Commission. Ed. 1.2, 1998-04.