

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

**IMPLEMENTAÇÃO DE UM INVERSOR DE TENSÃO PWM
COM CONTROLE DIGITAL DO TIPO DEADBEAT**

**DISSERTAÇÃO SUBMETIDA À UNIVERSIDADE FEDERAL DE
SANTA CATARINA PARA A OBTENÇÃO DO GRAU DE MESTRE
EM ENGENHARIA ELÉTRICA**

GERALDO ERNESTO MONDARDO

FLORIANÓPOLIS, DEZEMBRO DE 1994.

**IMPLEMENTAÇÃO DE UM INVERSOR DE TENSÃO PWM
COM CONTROLE DIGITAL DO TIPO DEADBEAT**

GERALDO ERNESTO MONDARDO

**ESTA DISSERTAÇÃO FOI JULGADA ADEQUADA PARA A OBTENÇÃO DO
TÍTULO DE MESTRE EM ENGENHARIA ELÉTRICA E APROVADA EM SUA
FORMA FINAL PELO CURSO DE PÓS-GRADUAÇÃO.**

**Prof. Hari Bruno Mohr, Dr.
ORIENTADOR**

**Prof. Ivo Barbi, Dr. Ing.
CO-ORIENTADOR**

**Prof. Enio Valmor Kassick, Dr.
Coordenador do Curso de Pós-Graduação
em Engenharia Elétrica**

BANCA EXAMINADORA:

Prof. Hari Bruno Mohr, Dr.

Prof. Ivo Barbi, Dr. Ing.

Prof. Arnaldo José Perin, Dr.

A Deus

A meus pais Moacyr Mondardo e Olga Maria

A meu irmão Moacyr Jr.

AGRADECIMENTOS

Ao Prof. Hari Bruno Mohr por sua capacidade de orientação, sempre procurando caminhos que facilitassem o desenvolvimento do trabalho e dando liberdade para a apresentação de idéias.

Ao Prof. Ivo Barbi, que como co-orientador, balizou o trabalho frente ao estágio de desenvolvimento da área.

Aos professores membros da banca examinadora: Hari Bruno Mohr, Ivo Barbi e Arnaldo José Perin pela atenção e contribuições sugeridas ao trabalho.

Aos professores Denizar Cruz Martins, Enio Valmor Kassick e João Carlos dos Santos Fagundes que através das aulas ministradas no período de créditos e pela recepção às dúvidas e perguntas também contribuíram à realização deste trabalho.

Aos engenheiros e técnicos do laboratório pela amizade e pela colaboração no sentido de facilitar a montagem do protótipo.

À TELESC, na figura da engenheira Adelce Speck Rendon Cespedes e do engenheiro Raul Becker, meus superiores, pelo apoio e compreensão na realização de uma meta pessoal.

Aos colegas de estudo pela amizade, auxílio e compreensão.

À UFSC e à Coordenadoria de Pós-Graduação em Engenharia pela especial atenção dedicada.

A todas as pessoas que de uma forma ou de outra contribuíram para a realização deste trabalho.

SUMÁRIO

RESUMO.....	vii
ABSTRACT.....	viii
SIMBOLOGIA.....	ix
INTRODUÇÃO GERAL.....	01
CAPÍTULO I - PRINCÍPIO DE FUNCIONAMENTO.....	02
1.1. Introdução.....	02
1.2. O método Deadbeat.....	03
1.3. Dedução das equações de controle Deadbeat padrão.....	05
1.4. Dedução das equações de controle Deadbeat preditivo.....	11
1.5. Conclusão	13
CAPÍTULO II - CÁLCULO DOS PARÂMETROS DE CONTROLE E	
SIMULAÇÕES.....	14
2.1. Introdução.....	14
2.2. Controle para frequência de modulação de 1,8kHz.....	14
2.3. Controle para frequência de modulação de 20kHz.....	17
2.4. Simulação para controle Deadbeat padrão a 1,8kHz.....	20
2.5. Simulação para controle Deadbeat preditivo a 20kHz.....	23
2.6. Conclusão	25
CAPÍTULO III - PROJETO DE HARDWARE.....	26
3.1. Introdução.....	26
3.2. Controlador.....	26
3.3. Placa de interface.....	27
3.4. Ponte inversora.....	39
3.5. Comando de gate.....	44
3.6. Conclusão	47

CAPÍTULO IV - SOFTWARE DE CONTROLE.....	48
4.1. Introdução.....	48
4.2. Programa Deadbeat padrão.....	48
4.3. Programa Deadbeat preditivo.....	54
4.4. Conclusão	61
CAPÍTULO V - RESULTADOS EXPERIMENTAIS.....	62
5.1. Introdução.....	62
5.2. Testes para controle Deadbeat padrão.....	63
5.3. Testes para controle Deadbeat preditivo.....	71
5.4. Análise dos resultados experimentais.....	78
5.5. Conclusão	80
CONCLUSÃO GERAL.....	81
REFERÊNCIAS BIBLIOGRÁFICAS.....	82
ANEXO I - PROGRAMA DEADBEAT PADRÃO.....	84
ANEXO II - PROGRAMA DEADBEAT PREDITIVO.....	91

RESUMO

Neste trabalho é apresentado o desenvolvimento feito para implementar um inversor de tensão com controle digital através da técnica Deadbeat. São apresentados todos os passos realizados na execução do projeto: princípio de funcionamento, cálculo dos parâmetros de controle e simulações, projeto de hardware, software de controle e resultados experimentais.

No princípio de funcionamento é mostrada a dedução da equação de controle Deadbeat. Como o método original não permite a execução do controle para frequências de modulação mais elevadas, também é deduzido um controle através do uso de um previsor.

Os parâmetros de controle são calculados para os dois métodos apresentados no princípio de funcionamento, sendo ambos para geração de 220V eficazes com 300W de potência de saída a partir de uma fonte contínua de 400V. São realizadas simulações para os dois métodos, o que permite prever o funcionamento do controle e também os valores das correntes e tensões nos componentes de potência.

Com base nos dados resultantes das simulações é projetado um inversor de tensão. É apresentada tanto a parte de potência, onde são usados transistores Mosfet, quanto a parte de controle, que envolve aquisição e atuação, e que é realizada com o uso de um Processador Digital de Sinais (DSP). Como o algoritmo de controle é numérico, também é descrito o software de controle desenvolvido, com fluxogramas e listagem do código.

No último capítulo são mostradas as formas de onda obtidas no protótipo experimental, sendo os resultados analisados e comparados com as simulações.

ABSTRACT

In this work the development made to implement a voltage inverter using deadbeat digital control is presented. All the steps needed to understand the development made are shown: introductory theory, control parameters determination, simulation, hardware project, control software and experimental results.

In the introductory theory the deadbeat control law is deduced. As the original control law does not allow the PWM modulation with higher frequencies, another control law using full order state estimation is deduced too.

The control parameters for the two control laws are calculated. Both are rated for an AC output voltage of 220 V rms, 300W of output power and input DC voltage of 400V. Simulations of both laws are made, allowing the control behavior and also currents and voltages on the power devices to be predicted.

Using the simulation results a voltage inverter is projected. It is presented the power side, with the use of Mosfet transistor, and the control side, including acquisition and actuation, what is done with a Digital Signal Processor (DSP). As the control algorithm is numerical, the control software is also presented with flowcharts and code listings.

The waveforms obtained in the experimental prototype are presented in the last chapter. The results are analyzed and compared with the simulations.

SIMBOLOGIA

\mathbf{a}_i	- Coeficientes para cálculo do exponencial de matriz
$\Delta T[k]$	- Largura do pulso PWM no ciclo k
ΔT_{max}	- Máxima largura de pulso PWM
\mathbf{I}	- Autovalores
A	- Matriz de equações de estado discretas
A_c	- Matriz de equações de estado contínuas
B	- Matriz de equações de estado discretas
B_c	- Matriz de equações de estado contínuas
C	- Matriz de equações de estado discretas
C_c	- Matriz de equações de estado contínuas
C_o	- Capacitor do filtro de saída
dV	- Máximo <i>ripple</i> de tensão
dT	- Elevação da temperatura junção-cápsula
E	- Tensão C.C. de entrada do inversor
F	- Matriz de constantes da equação de controle Deadbeat
f	- Freqüência de rede
f_s	- Freqüência de modulação
f_o	- Freqüência de corte do filtro em Hz
G	- Vetor de constantes da equação de controle Deadbeat
$i[k]$	- Corrente amostrada no instante kT
$i_{AD}[k]$	- Valor amostrado de corrente lido pelo conversor analógico-digital no instante kT
i_{cef}	- Corrente eficaz no capacitor de filtragem do retificador
i_{chg}	- Valor de pico da corrente do capacitor de filtragem do retificador
I_{chg}	- Valor eficaz da componente alternada de corrente no capacitor de filtragem do retificador

- i_{Def} - Corrente eficaz nos diodos do retificador
- I_{dis} - Valor eficaz da corrente fornecida pelo capacitor de filtragem para o regulador
- i_{Dmd} - Corrente média nos diodos do retificador
- i_{Dpk} - Corrente de pico nos diodos do retificador
- I_L - Corrente na carga
- $\hat{I}_L[k+1]$ - Previsão para a corrente I_L no instante $(k+1)T$
- $\hat{I}_{LAD}[k+1]$ - Previsão para a corrente I_L no instante $(k+1)T$ que seria lida pelo conversor analógico-digital
- i_{Lo} - Corrente no indutor do filtro de saída L_o
- $i_{LoAD}[k]$ - Valor amostrado de L_o lido pelo conversor analógico-digital no instante kT
- $\hat{i}_{Lo}[k+1]$ - Previsão para corrente i_{Lo} no instante $(k+1)T$
- $\hat{i}_{LoAD}[k+1]$ - Previsão do valor de i_{Lo} a ser lido pelo conversor analógico-digital no instante $(k+1)T$
- I_{md} - Corrente média inversa no Mosfet
- I_{md2} - Corrente médio inversa no Mosfet relativa a um meio período
- I_p - Valor de pico da corrente amostrada
- I_{pk} - Corrente de pico no Mosfet
- I_{rms} - Corrente direta rms no Mosfet
- I_{rms2} - Corrente direta rms no Mosfet correspondente a um meio período
- k - Instante de amostragem
- k_i - Constante de conversão analógico-digital de corrente
- k_{prd} - Fator de conversão para cálculo de PRD
- k_v - Constante de conversão analógico-digital de tensão
- L - Matriz de ganhos
- L_o - Indutor do filtro de saída
- P_{com} - Potência dissipada no Mosfet relativa à comutação
- P_{diodo} - Potência dissipada relativa ao diodo intrínseco do Mosfet
- P_{dir} - Potência dissipada no Mosfet relativa à condução direta

p_i	- Parâmetros de controle
P_{in}	- Potência de entrada
P_{Rc}	- Potência dissipada no resistor R_c
PRD	- Valor a ser programado no registrador de período do DSP
P_{tot}	- Potência total dissipada no Mosfet
R	- Resistor de carga
R_a	- Resistor de amostragem de tensão
R_b	- Resistor de amostragem de tensão
R_c	- Resistor do <i>shunt</i> de corrente
r_{ca}	- Resistência térmica cápsula-ambiente
r_{dis}	- Resistência térmica do dissipador
r_{ds}	- Resistência dreno-source do Mosfet
r_{th}	- Resistência térmica junção-cápsula do Mosfet
T	- Tempo de amostragem
tc	- Tempo de condução do retificador
T_{calc}	- Tempo necessário para cálculo do algoritmo
$u(t)$	- Vetor de entradas contínuo
$u[k]$	- Vetor de entradas discreto para o instante kT
$v(t)$	- Tensão de saída do inversor contínua
$v[k]$	- Tensão de saída do inversor amostrada para o instante kT
$\hat{v}[k + 1]$	- Previsão da tensão de saída do inversor para o instante $(k+1)T$
V_2	- Tensão eficaz no secundário do transformador
$v_{AD}[k]$	- Valor amostrado de tensão lido pelo conversor analógico-digital no instante kT
$\hat{v}_{AD}[k + 1]$	- Previsão do valor amostrado de tensão lido pelo conversor analógico-digital para o instante $(k+1)T$
V_{cop}	- Tensão de pico no capacitor C_o
V_D	- Queda de tensão nos diodos do retificador
V_{Dmax}	- Máxima tensão reversa nos diodos do retificador

V_i	- Tensão na entrada do filtro de saída
V_{min}	- Tensão mínima na saída do retificador
V_o	- Tensão de saída do inversor
V_{pk}	- Tensão de pico na saída do retificador
V_{Rcp}	- Tensão de pico desejada sobre o resistor R_c
$v_{ref}[k]$	- Referência de tensão tabelada
$v_{refAD}[k]$	- Referência de tensão tabelada na memória do DSP
v_{sd}	- Tensão source-dreno devido à queda no diodo intrínseco do Mosfet
ω_o	- Frequência de corte do filtro em rd/s
$x(t)$	- Vetor de variáveis de estado contínuo
$x[k]$	- Vetor de variáveis de estado discreto para o instante kT
$\hat{x}[k+1]$	- Previsão do vetor de variáveis de estado discreto para o instante (k+1)T
$y(t)$	- Vetor de saídas contínuo
$y[k]$	- Vetor de saídas discreto para o instante kT

INTRODUÇÃO GERAL

O constante aumento na utilização de sistemas eletrônicos acarreta na necessidade da melhora no fornecimento de energia que irá alimentar estes sistemas. A forma mais usual disto ser feito é através do uso de sistemas ininterruptos de energia (UPS), onde é usado um inversor para o fornecimento de energia a partir de baterias, quando houver falha na rede elétrica comercial.

Duas características são exigidas do inversor: baixo conteúdo de harmônicas, representado pelo valor da distorção harmônica total (DHT), e resposta rápida à transientes. Existem diversas formas de controle, sendo as principais aquelas que usam o chamado controle PWM otimizado, onde a largura dos pulsos PWM é calculada de forma a diminuir o conteúdo de harmônicas. Entretanto, estas formas de controle, mesmo conseguindo baixa distorção harmônica para cargas lineares, apresentam altos valores de distorção harmônicas para cargas não lineares e respostas lentas à transientes.

O controle PWM-Deadbeat possui uma rápida resposta à perturbações na carga e uma baixa distorção harmônica para cargas não lineares. A principal diferença do controle Deadbeat está no uso das equações de estado, que permitem que o sistema seja realimentado.

Existem diversas referências na literatura tratando do controle PWM Deadbeat, entre elas cita-se [1], [2], [3] e [4]. Frente a esta realidade, este trabalho tem como objetivo principal a realização de um estudo inicial do controle Deadbeat, através da implementação de um inversor monofásico de tensão com tal controle. Um objetivo secundário é o controle de dispositivos de potência a partir de processadores numéricos, aplicações que estão ficando cada dia mais freqüentes.

CAPÍTULO I

PRINCÍPIO DE FUNCIONAMENTO

1.1. Introdução

Pretende-se neste trabalho gerar uma tensão alternada senoidal a partir de uma tensão contínua, ou seja, a realizar um inversor de tensão. Diversos métodos são propostos para realização de tais inversores, tendo todos, de uma forma aproximadamente geral, uma estrutura semelhante, como mostrado na Fig. 1.1.

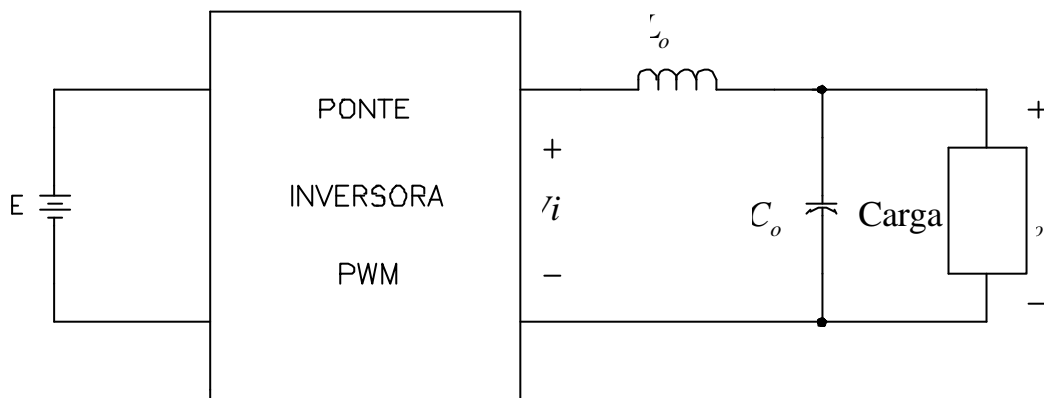


Fig. 1.1: Estrutura geral de um inversor de tensão.

A ponte inversora PWM mostrada é de três níveis, onde é possível a obtenção na saída de tensões iguais a E , 0 e $-E$. Gerando-se pulsos de tensão positiva ou negativa em uma frequência muito maior que a frequência da tensão senoidal desejada na saída, e retirando-se os componentes de maior frequência através de um filtro de saída passa-baixa, formado pelo indutor L_o e capacitor C_o , pode-se obter a tensão senoidal desejada. A grande dificuldade reside na forma de se determinar como devem ser os pulsos a

serem gerados e será a forma de gerar estes pulsos o principal diferenciador destes métodos. Os métodos convencionais são bem conhecidos [5].

O método que será implementado é o chamado Deadbeat, conforme a forma de funcionamento dada na referência [1]. O termo Deadbeat, que não foi traduzido aqui devido à falta de um termo em Português, é de uso na área de controle digital [6] e representa um sistema de controle onde a saída deve atingir o valor desejado dentro de um número finito de intervalos de amostragem.

1.2. O método Deadbeat

Os métodos mais tradicionais para implementação de um inversor de tensão são em malha aberta, isto é, não é observada a saída do inversor para a realização do controle. Uma forma simples desta implementação é a geração dos pulsos PWM pela comparação de uma onda triangular, de amplitude e frequência constante, com um sinal de referência senoidal, representando a tensão desejada na saída. A facilidade de implementação, porém, trás como desvantagem um funcionamento longe do ideal, principalmente quanto ao conteúdo de harmônicas.

Um método que pretende solucionar este problema é o de eliminação de harmônicas, onde a largura dos pulsos PWM é calculada previamente, de forma que a tensão senoidal seja gerada com o menor conteúdo de harmônicas, permitindo a redução do filtro de saída. Este método, em sua implementação mais simples, também não faz uso de nenhuma realimentação da saída sobre o controle, não permitindo que seja tomada nenhuma medida na ocorrência de variações de carga ou não linearidades.

Outros métodos surgiram, fazendo uso das variáveis de saída para a determinação da largura dos pulsos PWM, são métodos com realimentação. Entre estes métodos pode-se citar a implementação de um controlador do tipo PID. Neste tipo de regulação o controle do pulso PWM é feito através do erro da tensão de saída em relação à tensão desejada (tensão de referência). O controlador PID gera o sinal de controle

através da soma de três parcelas, uma proporcional ao erro, outra proporcional à integral do erro e uma última proporcional à derivada do erro. São as três parcelas que correspondem ao seu nome: Proporcional, Integral e Derivativo. A resposta de um controle PID será razão direta dos parâmetros escolhidos para os coeficientes proporcional, integral e derivativo. Não se tem uma previsão muito boa de como será a resposta, já que o ajuste destes parâmetros, embora exista uma boa teoria neste sentido, na prática são feitos na base da tentativa e erro.

Até este ponto a implementação do controle pode ser feita de maneira analógica. No caso do controle por eliminação de harmônicas é necessário o armazenamento de tabelas em memórias, contendo valores pré-calculados. No caso do controle PID, embora sejam feitos cálculos, estes podem ser facilmente implementados na forma analógica através de amplificadores operacionais. O método Deadbeat, necessita de muitos cálculos em tempo real, e é implementado através do uso de processadores digitais.

Como ressaltado anteriormente, o método Deadbeat é caracterizado pela obtenção na saída da resposta desejada dentro de um número finito de intervalos de amostragem. A realização se dará através da modelagem do sistema constituído pela tensão de entrada C.C., ponte inversora PWM, filtro LC de saída e carga. No seu modelo mais simples a carga é considerada como um resistor. A seguir será feita a dedução das equações para o controle Deadbeat padrão.

1.3. Dedução das equações de controle Deadbeat padrão

Denominamos de Deadbeat padrão, neste trabalho, o controle Deadbeat que tem como modelo o circuito mostrado na Fig. 1.2. A carga é considerada como uma resistência pura e os valores usados para o cálculo da largura de pulso são aqueles feitos através da leitura direta dos valores de corrente ou tensão do circuito. Na literatura também há a referência como Deadbeat resistivo [4].

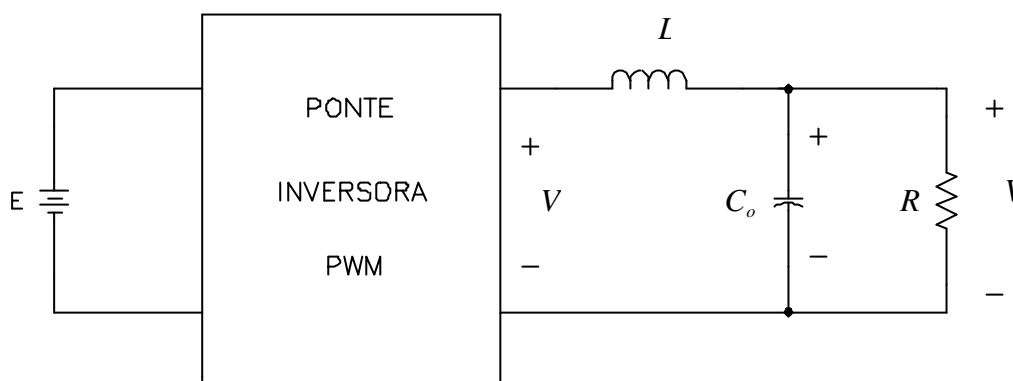


Fig. 1.2: Modelo para Deadbeat padrão.

A ponte inversora PWM gerará pulsos de tensão em frequência constante, de duração variável, centrados na metade do período, e com amplitude E ou $-E$. Portanto, a ponte inversora deverá ser do tipo de três níveis, ou seja, do tipo que possa a qualquer instante colocar em V_i tensões E , 0 ou $-E$, independente da carga. A forma dos pulsos é mostrada na Fig. 1.3.

Considerando-se o sistema formado pelo filtro de saída e carga, pode-se deduzir um sistema de equações de estado da seguinte forma:

$$\dot{x}(t) = A_c x(t) + B_c u(t) \quad (1.1)$$

$$y(t) = C_c x(t) \quad (1.2)$$

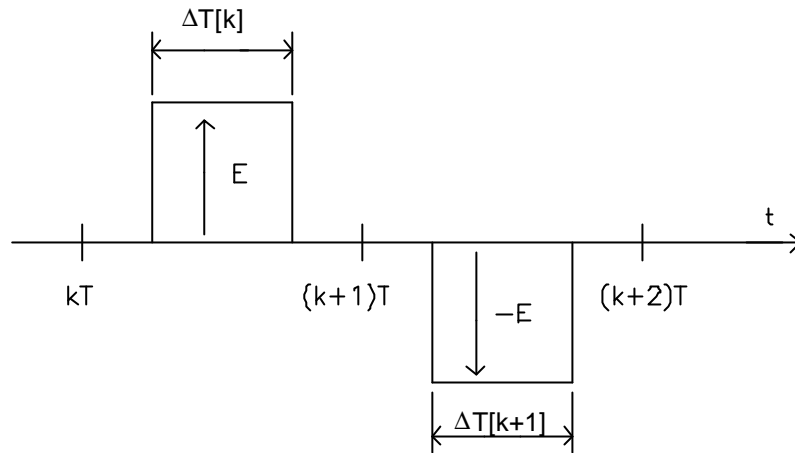


Fig. 1.3: Forma dos pulsos em Vi.

Escolhendo-se a tensão no capacitor C_o e sua derivada como variáveis de estado, o vetor $x(t)$ será:

$$x(t) = \begin{bmatrix} v(t) \\ \dot{v}(t) \end{bmatrix} \quad (1.3)$$

Onde:

$v(t)$ - Tensão sobre o capacitor C_o

$\dot{v}(t)$ - Derivada da tensão sobre o capacitor C_o

A variável de entrada será a tensão gerada pela ponte inversora PWM:

$$u(t) = Vi(t) \quad (1.4)$$

Tendo-se definido $x(t)$ e $u(t)$, é possível deduzir as matrizes A_c e B_c por simples análise de circuito, resultando:

$$A_c = \begin{bmatrix} 0 & 1 \\ -1/L_o C_o & -1/C_o R \end{bmatrix} \quad (1.5)$$

$$B_c = \begin{bmatrix} 0 \\ 1/L_o C_o \end{bmatrix} \quad (1.6)$$

A variável de saída será a tensão sobre a carga, que é a mesma tensão sobre o capacitor C_o .

$$y(t) = v(t) \quad (1.7)$$

E, portanto, a matriz C_c será definida por:

$$C_c = [1 \quad 0] \quad (1.8)$$

Desta forma, obteve-se o modelo por variáveis de estado contínuas. Entretanto, a característica do PWM é discreta. Objetiva-se, tendo-se o valor das variáveis de estado no instante kT (Fig. 1.3), calcular a largura e polaridade do pulso PWM $\Delta T[k]$. Para tanto deve-se conseguir um modelo de variáveis de estado discretas semelhante a:

$$x[k+1] = Ax[k] + Bu[k] \quad (1.9)$$

$$y[k] = Cx[k] \quad (1.10)$$

Para deduzir as equações discretas parte-se da seguinte equação, que é a solução da equação (1.1):

$$x(t) = e^{A_c(t-t_0)}x(t_0) + \int_{t_0}^t e^{A_c(t-t_0-t)}B_c u(t)dt \quad (1.11)$$

Onde o tempo inicial é t_0 e onde:

$$e^{A_c(t-t_0)} = \sum_{k=0}^{\infty} \frac{A_c^k (t-t_0)^k}{k!} \quad (1.12)$$

é a matriz de transição de estados.

Se a entrada $u(t)$ for mantida constante num intervalo $t_0 \leq t \leq T_f$, então a resolução da equação (1.11) para o instante $t = T_f$ resultará em:

$$x(T_f) = e^{A_c T_f} x(t_0) + A_c^{-1} (e^{A_c T_f} - 1) B_c u(t_0) \quad (1.13)$$

Considerando-se que $u(t)$ é um pulso de tensão de amplitude E , centrado no intervalo $t_0 \leq t \leq T$, para deduzir o valor de $x(T)$, é feita uma divisão em três intervalos de cálculo, demarcados pelos instantes t_0 , t_1 (quando inicia o pulso de tensão), t_2 (quando finaliza o pulso de tensão) e t_3 .

No intervalo $t_0 \leq t \leq t_1$, $u(t) = 0$ e então em $t = t_1$

$$x(t_1) = e^{A_c(t_1-t_0)} x(t_0) \quad (1.14)$$

No intervalo $t_1 \leq t \leq t_2$, $u(t) = E$ e em $t = t_2$

$$x(t_2) = e^{A_c(t_2-t_0)} x(t_0) + A_c^{-1} (e^{A_c \Delta T} - 1) B_c E \quad (1.15)$$

onde $\Delta T = t_2 - t_1$ é a largura do pulso de tensão.

No intervalo $t_2 \leq t \leq t_3$, com $T = t_3 - t_0$, $u(t) = 0$ e em $t = t_3$

$$x(t_3) = e^{A_c T} x(t_0) + e^{A_c(T-\Delta T)/2} A_c^{-1} (e^{A_c \Delta T} - 1) B_c E \quad (1.16)$$

Se for feita a seguinte aproximação da equação (1.12):

$$e^{A_c \Delta T/2} = I + A_c \Delta t/2 + A_c^2 (\Delta T/2)^2 / 2 \quad (1.17)$$

Então a equação (1.16) se tornará:

$$x(t_3) = e^{A_c T} x(t_0) + e^{A_c T/2} B_c E \Delta T \quad (1.18)$$

Fazendo-se:

$$kT = t_0 \quad (1.19)$$

$$(k+1)T = t_3 \quad (1.20)$$

Então obtém-se a equação de estados discretos:

$$x[k+1] = Fx[k] + G\Delta T[k] \quad (1.21)$$

$$y[k] = Cx[k] \quad (1.22)$$

Onde:

$$F = e^{A_c T} \quad (1.23)$$

$$G = e^{A_c T/2} B_c E \quad (1.24)$$

$$C = C_c \quad (1.25)$$

Se for tomado o primeiro elemento de (1.21) obtém-se:

$$v[k+1] = F_{11}v[k] + F_{12}\dot{v}[k] + G_1\Delta T[k] \quad (1.26)$$

A equação anterior mostra que, tendo-se o valor de $v[k]$, $\dot{v}[k]$ e $\Delta T[k]$, isto é, o valor da tensão sobre o capacitor C_o no instante kT , a derivada da tensão sobre o capacitor C_o no instante kT e largura do pulso PWM de tensão entre os intervalos kT e $(k+1)T$, então pode-se determinar o valor de $v[k+1]$, que é tensão na saída no instante $(k+1)T$.

A equação (1.26) poderá ser rearranjada, de forma que tendo-se os valores de $v[k]$ e $\dot{v}[k]$ e se for desejado no instante $(k+1)T$ uma tensão na saída no valor de $v_{ref}[k+1]$, então será possível determinar a largura do pulso PWM $\Delta T[k]$. A equação rearranjada é mostrada abaixo.

$$\Delta T[k] = -\frac{F_{11}}{G_1} v[k] - \frac{F_{12}}{G_1} \dot{v}[k] + \frac{1}{G_1} v_{ref}[k+1] \quad (1.27)$$

Assim, a equação (1.27) permitirá calcular a largura do pulso PWM. Entretanto, como é necessário saber-se o valor das variáveis de estado durante o próprio ciclo do pulso, haverá uma limitação na máxima largura de pulso, que será na prática menor que T . Considerando-se que o tempo necessário para leitura das variáveis de estado no instante kT e para o cálculo de $\Delta T[k]$ seja igual a T_{calc} , então a máxima largura de pulso será dada por:

$$\Delta T_{max} = T - 2T_{calc} \quad (1.28)$$

Observa-se que o tempo T_{calc} aparece em (1.28) multiplicado por 2 pois, embora este tempo seja necessário somente antes do pulso, isto é, para determinar sua largura, para que seja mantida a simetria do pulso entre os instante kT e $(k+1)T$, haverá um idêntico entre o final do pulso e o instante $(k+1)T$.

Mesmo usando-se um processador numérico e um conversor digital-analógico rápido, o tempo T_{calc} será muito significativo se for adotada uma frequência de modulação muito elevada. Uma forma de contornar-se esta limitação é através de um previsor que obtenha o valor das variáveis de estado com antecedência.

1.4. Dedução das equações de controle Deadbeat preditivo

A forma de controle descrita a seguir [4] diferencia-se da anterior por dois fatores, a carga é considerada como uma fonte de corrente cujo valor é estimado e é usado um observador para determinação das variáveis de estado com antecedência. O modelo adotado é mostrado na seguinte figura.

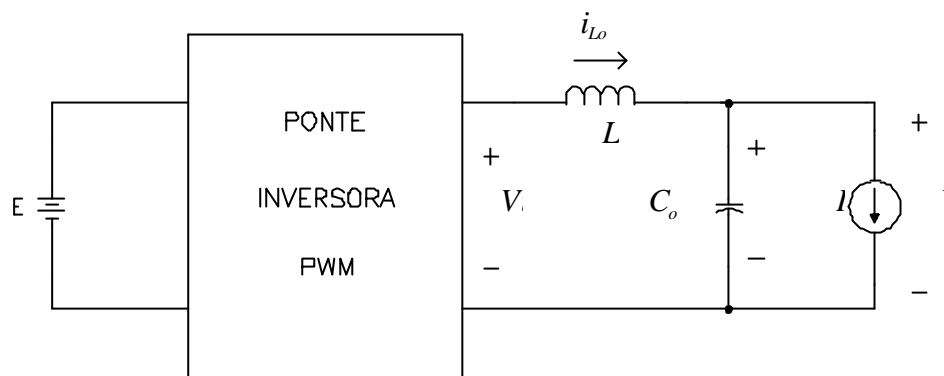


Fig. 1.4: Modelo para controle Deadbeat preditivo.

Usou-se a denominação de controle Deadbeat preditivo para diferenciar-se do controle Deadbeat mostrado anteriormente e principalmente devido ao uso de uma previsão das variáveis de estado. Deve-se observar, entretanto, que mesmo o controle Deadbeat padrão é essencialmente preditivo, quando calcula a largura do pulso PWM baseado em uma previsão da tensão de saída.

As equações de estado contínuas serão:

$$\dot{x}(t) = A_c x(t) + B_c u(t) \quad (1.29)$$

$$y(t) = C_c x(t) \quad (1.30)$$

Onde:

$$x(t) = \begin{bmatrix} v(t) \\ i_{L_o}(t) \\ I_L(t) \end{bmatrix} \quad (1.31)$$

$$u(t) = V_i(t) \quad (1.32)$$

$$A_c = \begin{bmatrix} 0 & 1/C_o & -1/C_o \\ -1/L_o & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad (1.33)$$

$$B_c = \begin{bmatrix} 0 \\ 1/L_o \\ 0 \end{bmatrix} \quad (1.34)$$

$$C_c = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \quad (1.35)$$

A equivalente discreta da equação (1.29) será:

$$x[k+1] = Fx[k] + G\Delta T[k] \quad (1.36)$$

Onde:

$$F = e^{A_c T} \quad (1.37)$$

$$G = e^{A_c T/2} B_c E \quad (1.38)$$

Neste método será necessário a realização de dois cálculos. Primeiramente, tendo-se o valor das variáveis de estado no instante k , será calculada uma previsão das variáveis de estado no instante $k+1$. Utilizando-se um observador de ordem completa [7], a equação que dará a previsão das variáveis de estado será:

$$\hat{x}[k+1] = F\hat{x}[k] + G\Delta T[k] + L(y[k] - C\hat{x}[k]) \quad (1.39)$$

O vetor $\hat{x}[k]$ é o vetor dos valores previstos. Por esta equação sempre será usado o valor da previsão anterior para o cálculo de uma nova previsão. A matriz L é uma matriz de ganho.

O segundo cálculo necessário é o da largura do pulso PWM. De forma semelhante ao caso anterior, pode-se deduzir a equação que permite este cálculo.

$$\Delta T[k+1] = -\frac{F_{11}}{G_2} \hat{v}[k+1] - \frac{F_{12}}{G_2} \hat{i}_{L_o}[k+1] - \frac{F_{13}}{G_2} \hat{I}_L[k+1] + \frac{1}{G_2} v_{ref}[k+2] \quad (1.40)$$

1.5. Conclusão

Neste capítulo, partindo-se de um diagrama de blocos genérico de um inversor de tensão, foi apresentado o princípio Deadbeat e deduzidas as equações de controle.

O controle Deadbeat é realizado através de uma modulação PWM com frequência constante, onde a largura do pulso é determinada modelando-se a carga da ponte inversora representada pelo filtro LC de saída e da carga em si do inversor, através de um sistema de variáveis de estado. A equação de controle resultante tem como variáveis de controle as próprias variáveis de estado e a tensão desejada para o próximo instante de amostragem.

Dois modos de controle Deadbeat foram deduzidos. O primeiro foi denominado de Deadbeat padrão e é caracterizado pela modelagem da carga como uma resistência pura e pela amostragem das variáveis de estado para o cálculo da largura de pulso PWM no mesmo instante de amostragem. Devido à limitação imposta sobre a máxima largura de pulso possível, o que impede a realização com frequências de modulação mais elevadas, um segundo modo de controle, denominado de Deadbeat preditivo, é apresentado, onde a limitação sobre a largura de pulso é eliminada. A característica principal deste segundo modo de controle está na previsão das variáveis de estado.

CAPÍTULO II

CÁLCULO DOS PARÂMETROS DE CONTROLE E SIMULAÇÕES

2.1. Introdução

Neste capítulo serão feitos os cálculos e simulações para o projeto de dois controladores Deadbeat conforme apresentado no capítulo anterior.

Os dois projetos serão para geração de uma tensão senoidal em 60Hz de 220V eficazes a partir de um tensão contínua de 400V e para uma potência de 300W. O primeiro projeto será para uma frequência de modulação de 1,8kHz e o segundo para uma frequência de modulação de 20kHz. O uso de uma frequência de modulação de 1,8kHz no primeiro caso permitirá a implementação do Deadbeat padrão. Já para a frequência de 20kHz somente será possível uma implementação com o uso de um previsor.

2.2. Controle para frequência de modulação de 1,8kHz

São usados os seguintes dados para os cálculos:

$$f = 60Hz \quad \text{Frequência da tensão senoidal de saída}$$

$$E = 400V \quad \text{Tensão de entrada}$$

$$R = 160\Omega \quad \text{Resistência de carga para consumir 300W.}$$

$$T = 555,56 \times 10^{-6} s \quad \text{Tempo de amostragem equivalente à frequência de modulação}$$

Escolhe-se uma frequência de corte para o filtro de saída LC que seja uma década abaixo da frequência de modulação.

$$f_s = \frac{1}{T} \quad f_s = 1,8 \times 10^3 Hz \quad \text{Frequência de modulação}$$

$$f_o = \frac{1}{10} \cdot f_s \quad f_o = 180\text{Hz} \quad \text{Frequência de corte do filtro}$$

$$w_o = 2 \cdot \boldsymbol{P} \cdot f_o \quad w_o = 1130,97\text{rd} / \text{s}$$

O valor da impedância indutiva deve ser 0,1pu (por unidade), isto é, 10% da resistência de carga para existirem condições semelhantes a [1]. Portanto, L_o será dado por:

$$L_o = \frac{0,1}{2 \cdot \boldsymbol{P} \cdot f} R \quad L_o = 42,4\text{mH}$$

O capacitor C_o será determinado por:

$$C_o = \frac{1}{L_o \cdot w_o^2} \quad C_o = 18,48\boldsymbol{\mu}\text{F}$$

Os valores de L_o e C_o usados na prática, por serem os valores disponíveis, foram:

$$L_o = 44,6\text{mH}$$

$$C_o = 15,23\boldsymbol{\mu}\text{F}$$

Para o cálculo dos parâmetros de controle precisa-se primeiramente calcular as matrizes F e G , dadas pelas equações (1.23) e (1.24), que são aqui reproduzidas por conveniência:

$$F = e^{A_c T} \quad (2.1)$$

$$G = e^{A_c T/2} B_c E \quad (2.2)$$

O exponencial de matriz é calculado por [13]:

$$e^{A T} = \boldsymbol{a}_0 \cdot I + \boldsymbol{a}_1 \cdot A + \dots + \boldsymbol{a}_{n-1} \cdot A^{n-1} \quad (2.3)$$

Onde \boldsymbol{a}_i é determinado resolvendo-se as n equações:

$$e^{I_i T} = \boldsymbol{a}_0 + \boldsymbol{a}_1 \cdot I_i + \dots + \boldsymbol{a}_{n-1} \cdot I_i^{n-1} \quad (2.4)$$

Sendo I_i os autovalores da matriz A .

A matriz A_c é dada por:

$$A_c = \begin{bmatrix} 0 & 1 \\ -\frac{1}{L_o \cdot C_o} & -\frac{1}{C_o \cdot R} \end{bmatrix} \quad A_c = \begin{bmatrix} 0 & 1 \\ -1,47 \times 10^6 & -410,37 \end{bmatrix}$$

E a matriz B_c é dada por:

$$B_c = \begin{bmatrix} 0 \\ \frac{1}{L_o \cdot C_o} \end{bmatrix} \quad B_c = \begin{bmatrix} 0 \\ 1,47 \times 10^6 \end{bmatrix}$$

Utilizando-se o método de cálculo do exponencial de matriz, resultará:

$$F = \begin{bmatrix} 0,797 & 4,60 \times 10^{-4} \\ -677,26 & 0,608 \end{bmatrix}$$

$$G = \begin{bmatrix} 1,517 \times 10^5 \\ 4,947 \times 10^8 \end{bmatrix}$$

Escrevendo-se a equação de controle (1.27) como:

$$\Delta T[k] = p1v[k] + p2\dot{v}[k] + p3v_{ref}[k + 1] \quad (2.5)$$

Então os parâmetros de controle serão:

$$\begin{aligned} p1 &= -\frac{F_{11}}{G_1} & p1 &= -5,2533 \times 10^{-6} \\ p2 &= -\frac{F_{12}}{G_1} & p2 &= -3,0327 \times 10^{-9} \\ p3 &= \frac{1}{G_1} & p3 &= 6,5924 \times 10^{-6} \end{aligned}$$

2.3. Controle para frequência de modulação de 20kHz

Para 20kHz são usados os seguintes dados para os cálculos:

$f = 60Hz$	Frequência da tensão senoidal de saída
$E = 400V$	Tensão de entrada
$R = 160\Omega$	Resistência de carga para consumir 300W.
$T = 50 \times 10^{-6} s$	Tempo de amostragem equivalente à frequência de modulação

Para que a frequência de corte do filtro LC fique localizada a uma década abaixo da frequência de modulação é calculado:

$$f_s = \frac{1}{T} \quad f_s = 20 \times 10^3 Hz \quad \text{Frequência de modulação}$$

$$f_o = \frac{1}{10} \cdot f_s \quad f_o = 2000Hz \quad \text{Frequência de corte do filtro}$$

$$\omega_o = 2 \cdot \mathbf{p} \cdot f_o \quad \omega_o = 12566,37 rd / s$$

Como a frequência de corte do filtro deverá estar aproximadamente uma década acima do caso anterior, a impedância indutiva é escolhida em 0,01pu (por unidade), isto é, 1% da resistência de carga, escolhe-se então L_o por:

$$L_o = \frac{0,1}{2 \cdot \mathbf{p} \cdot f} R \quad L_o = 5,31mH$$

O capacitor C_o será determinado por:

$$C_o = \frac{1}{L_o \cdot \omega_o^2} \quad C_o = 1,19\mathbf{nF}$$

Os valores de L_o e C_o adotados na prática foram:

$$L_o = 5,78mH$$

$$C_o = 2\mathbf{nF}$$

No cálculo dos parâmetros de controle será necessário, além das matrizes F e G , a matriz de ganho L . Primeiramente serão calculadas as matrizes F e G .

A matriz A_c é dada por:

$$A_c = \begin{bmatrix} 0 & \frac{1}{C_o} & -\frac{1}{C_o} \\ -\frac{1}{L_o} & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$$

$$A_c = \begin{bmatrix} 0 & 5,0 \times 10^5 & -5,0 \times 10^5 \\ -1,7301 \times 10^2 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$$

E a matriz B_c é dada por:

$$B_c = \begin{bmatrix} 0 \\ 1/L_o \\ 0 \end{bmatrix}$$

$$B_c = \begin{bmatrix} 0 \\ 1,7301 \times 10^2 \\ 0 \end{bmatrix}$$

O cálculo de F e G resultará em:

$$F = \begin{bmatrix} 0,8935 & 24,1443 & -24,1443 \\ -8,3544 \times 10^{-3} & 0,8935 & 0,1065 \\ 0 & 0 & 1 \end{bmatrix}$$

$$G = \begin{bmatrix} 8,5863 \times 10^5 \\ 6,7336 \times 10^4 \\ 0 \end{bmatrix}$$

A equação de controle (1.40) pode então ser reescrita como:

$$\Delta T[k+1] = p1 \cdot \hat{v}[k+1] + p2 \cdot \hat{i}_{L_o}[k+1] + p3 \cdot \hat{I}_L[k+1] + p4 \cdot v_{ref}[k+2] \quad (2.6)$$

Onde os parâmetros são:

$$p1 = -\frac{F_{11}}{G_2} \quad p1 = -1,0406 \times 10^{-6}$$

$$p2 = -\frac{F_{12}}{G_2} \quad p2 = -2,8120 \times 10^{-5}$$

$$p3 = -\frac{F_{13}}{G_2} \quad p3 = 2,8120 \times 10^{-5}$$

$$p4 = \frac{1}{G_2} \qquad p4 = 1,1647 \times 10^{-6}$$

A equação (1.39), que faz a previsão das variáveis de estado, pode ser reescrita na seguinte forma.

$$\hat{x}[k+1] = (F - L \cdot C)\hat{x}[k] + Ly[k] + G\Delta T[k] \quad (2.7)$$

Pode-se provar [13] que o erro da previsão será dado por:

$$e[k+1] = (F - L \cdot C)e[k] = A_e e[k] \quad (2.8)$$

O erro da previsão decairá para zero se A_e for estável. Isto significa que os autovalores de A_e devem estar dentro do círculo unitário. A matriz L deverá ser escolhida para que os autovalores de A_e estejam colocados nos pontos desejados. Para que isto seja feito é aplicado um método dado em [13]. Sendo:

$$\Phi = [I \cdot I - F]^{-1} \quad (2.9)$$

Escolhendo-se os autovalores $I_1 = 0,7$, $I_2 = 0,7$ e $I_3 = 0,8$, calcula-se as matrizes:

$$C_1 = C \cdot \Phi(I_1) \qquad C_1 = \begin{bmatrix} -0,8090 & 1,0096 \times 10^2 & -1,0096 \times 10^2 \\ -0,0349 & -0,8090 & -2,5243 \end{bmatrix}$$

$$C_2 = C \cdot \Phi(I_3) \qquad C_2 = \begin{bmatrix} -0,4441 & 1,1473 \times 10^2 & -1,1473 \times 10^2 \\ -0,0397 & -0,4441 & -4,5559 \end{bmatrix}$$

Forma-se então a matriz G_c , dada pela primeira e segunda linha de C_1 e a segunda linha de C_2 .

$$G_c = \begin{bmatrix} -0,8090 & 1,0096 \times 10^2 & -1,0096 \times 10^2 \\ -0,0349 & -0,8090 & -2,5243 \\ -0,0397 & -0,4441 & -4,5559 \end{bmatrix}$$

Devido à escolha de linhas de C_1 e C_2 feita, forma-se uma matriz J_c .

$$J_c = \begin{bmatrix} 1 & 0 \\ 0 & 1 \\ 0 & 1 \end{bmatrix}$$

A matriz L será então dada por:

$$L = -G_c^{-1} \cdot J_c \quad L = \begin{bmatrix} 0,4038 & 26,4981 \\ -9,2827 & 0,1831 \\ -2,6141 \times 10^{-3} & -0,0292 \end{bmatrix}$$

E a matriz A_e será:

$$A_e = (F - L \cdot C) \quad A_e = \begin{bmatrix} 0,4896 & -2,3538 & -24,1443 \\ 9,2827 \times 10^{-4} & 0,7104 & 0,1065 \\ 2,6141 \times 10^{-3} & 0,02925 & 1 \end{bmatrix}$$

2.4. Simulação para controle Deadbeat padrão a 1,8kHz

A simulação foi realizada desconsiderando-se todas as não-idealidades, tanto as referentes ao sistema de potência, como a existência de atrasos relativos à comutação, queda de tensão em componentes e ondulação da tensão em corrente contínua E, quanto as referentes ao controle, como os erros de discretização.

Para se poder ter uma previsão de como o sistema funcionaria na prática, foram feitas três simulações: sem carga, com carga nominal resistiva e com uma carga resistiva controlada por um triac a 90°.

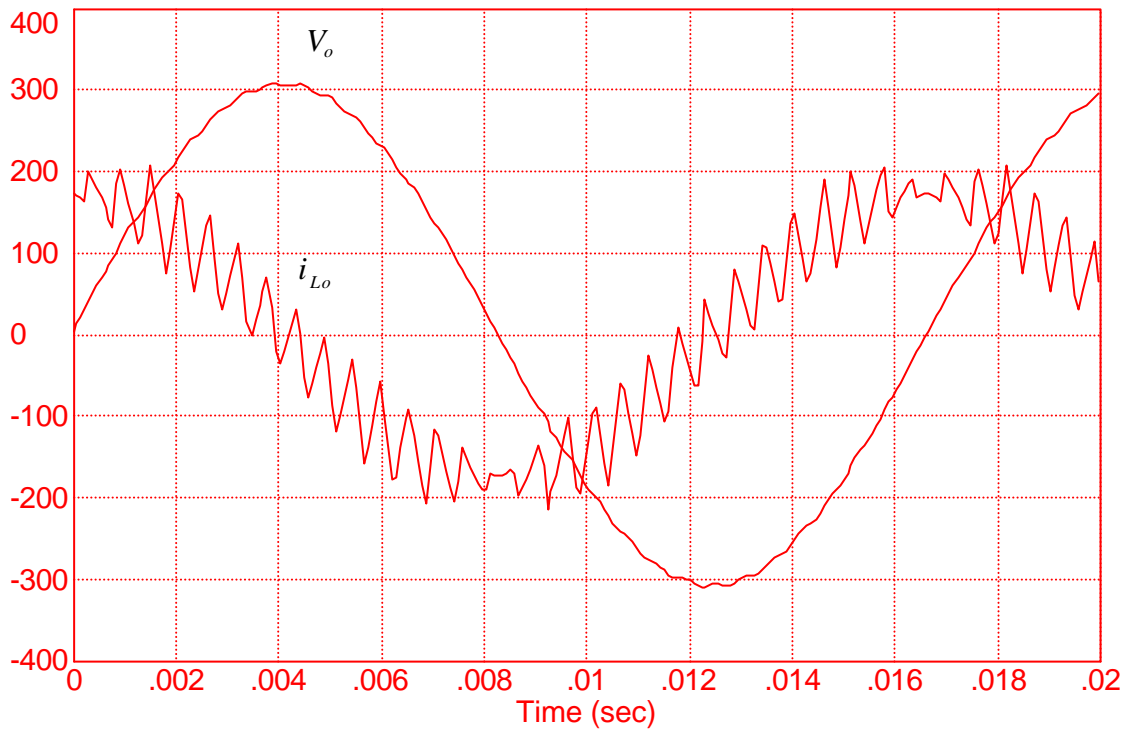


Fig. 2.1: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) a vazio.

Pela Fig. 2.1 pode ser observada a frequência de modulação da corrente no indutor L_o . Também observa-se o carregamento que o próprio filtro de saída LC faz. Mesmo sem carga a corrente em L_o tem um pico de 2A aproximadamente. Isto causa um aumento da dissipação nos transistores de potência.

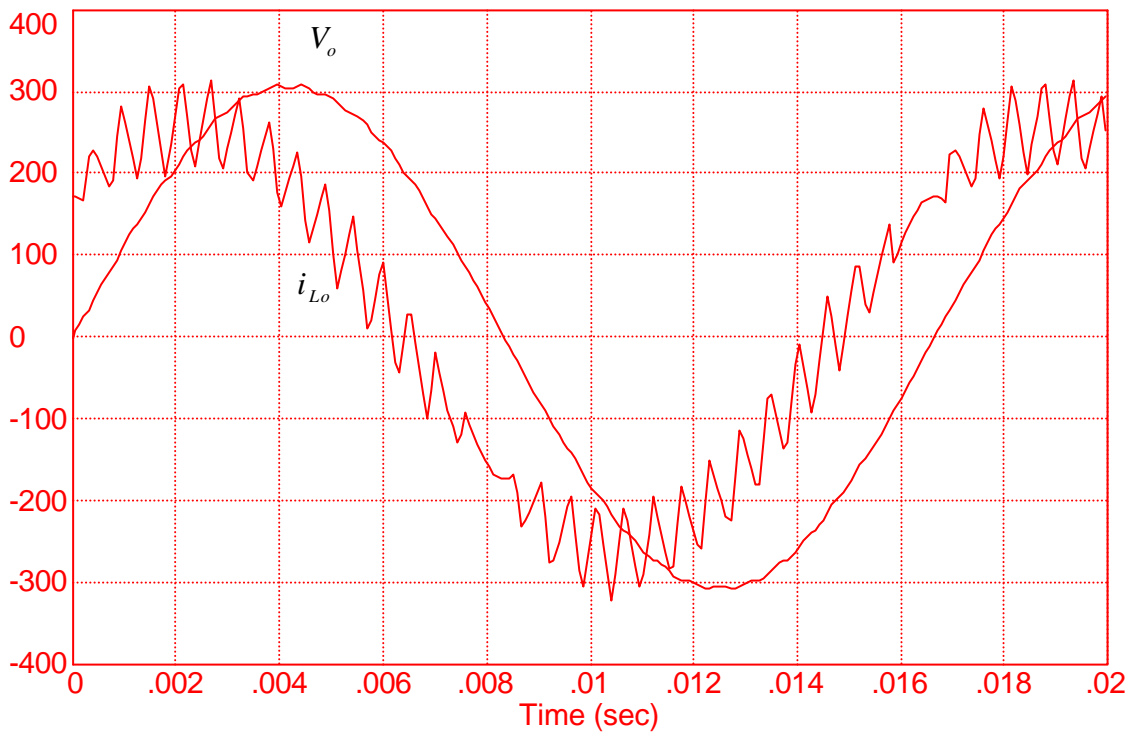


Fig. 2.2: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) com carga nominal.

A Fig. 2.2 mostra um aumento na corrente no indutor L_o devido à carga. Na Fig. 2.3 pode-se ter uma idéia da dinâmica do controle e filtro de saída. Quando a carga entra a 90° , ocorre uma súbita queda de tensão na saída, que não é maior devido ao capacitor do filtro C_o , porém, o indutor de saída, por ser de um valor relativamente elevado, não permite que a corrente aumente muito rapidamente.

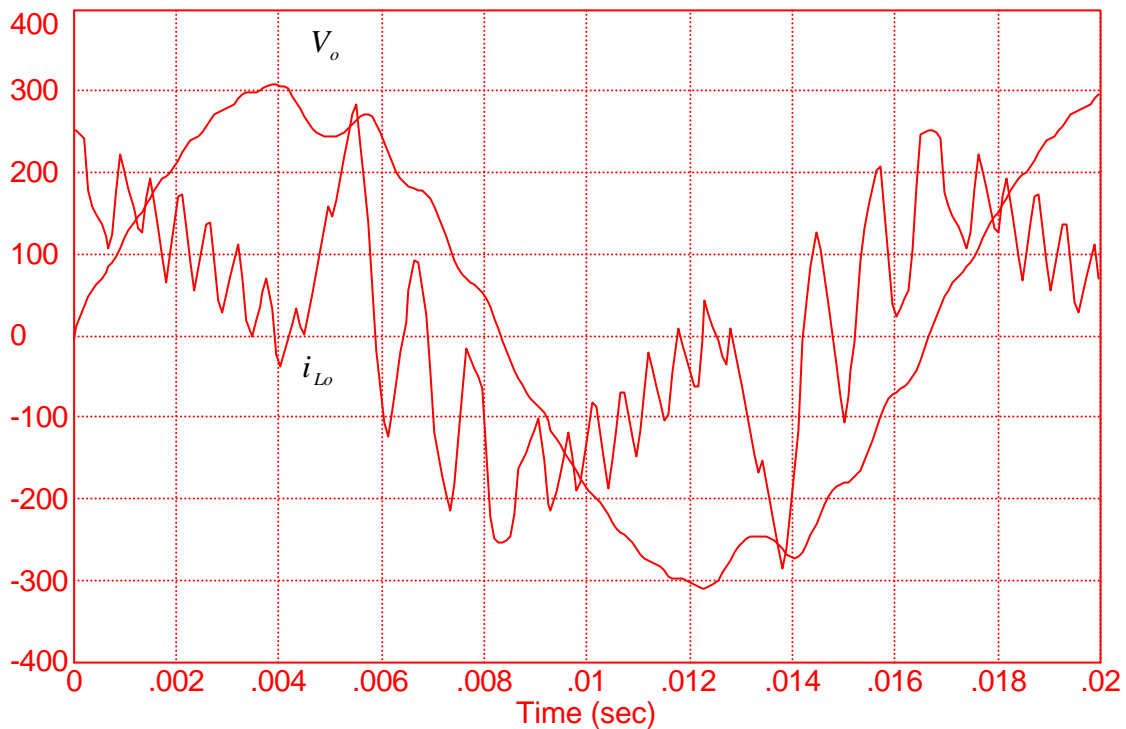


Fig. 2.3: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) com carga nominal controlada por um triac a 90° .

Resumidamente, a simulação demonstrou a ocorrência de dois pontos que poderiam ser melhorados. O primeiro é a alta corrente vista pela ponte inversora (corrente no indutor L_o) mesmo sem carga. O carregamento com carga e sem carga é muito semelhante. E o segundo é a lentidão de resposta a transitórios de carga devido ao alto valor do indutor L_o .

A tentativa de melhora nestes dois pontos é que leva a realização de uma modulação de maior frequência. Com esta maior frequência, a frequência de corte do filtro pode ser maior, conseguindo-se diminuir os valores do indutor L_o e do capacitor C_o .

2.5. Simulação para controle Deadbeat a 20kHz

As simulações feitas são semelhantes àsquelas do caso anterior.

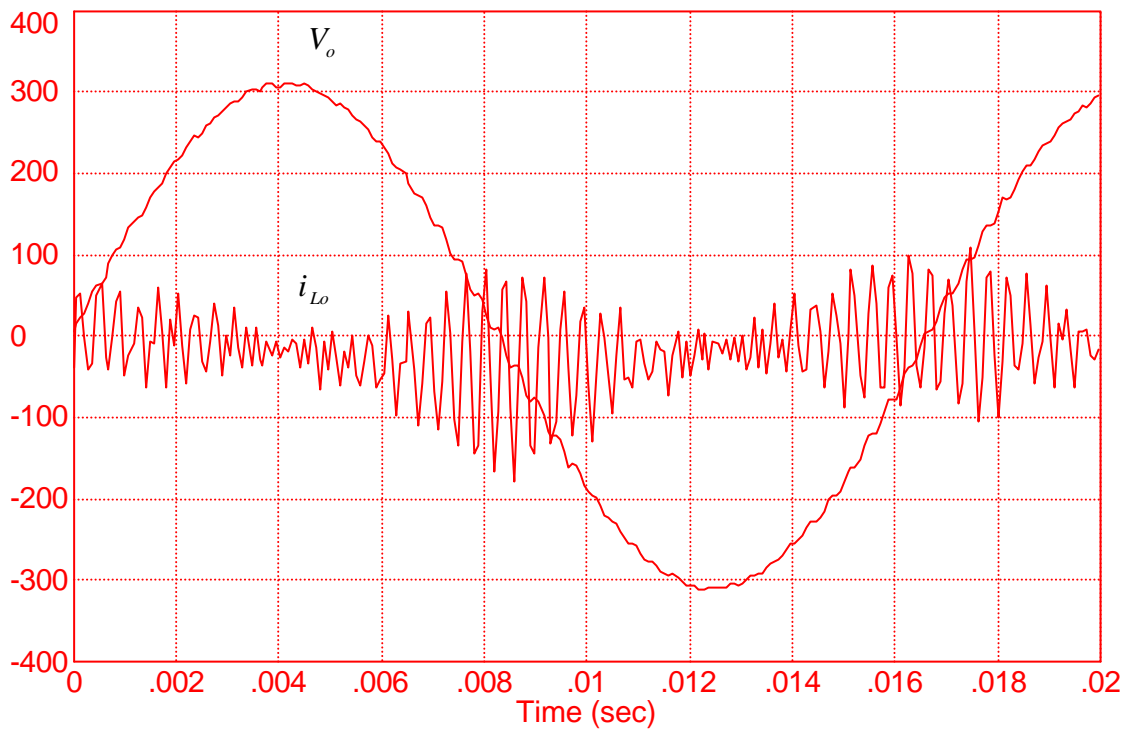


Fig. 2.4: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) a vazio.

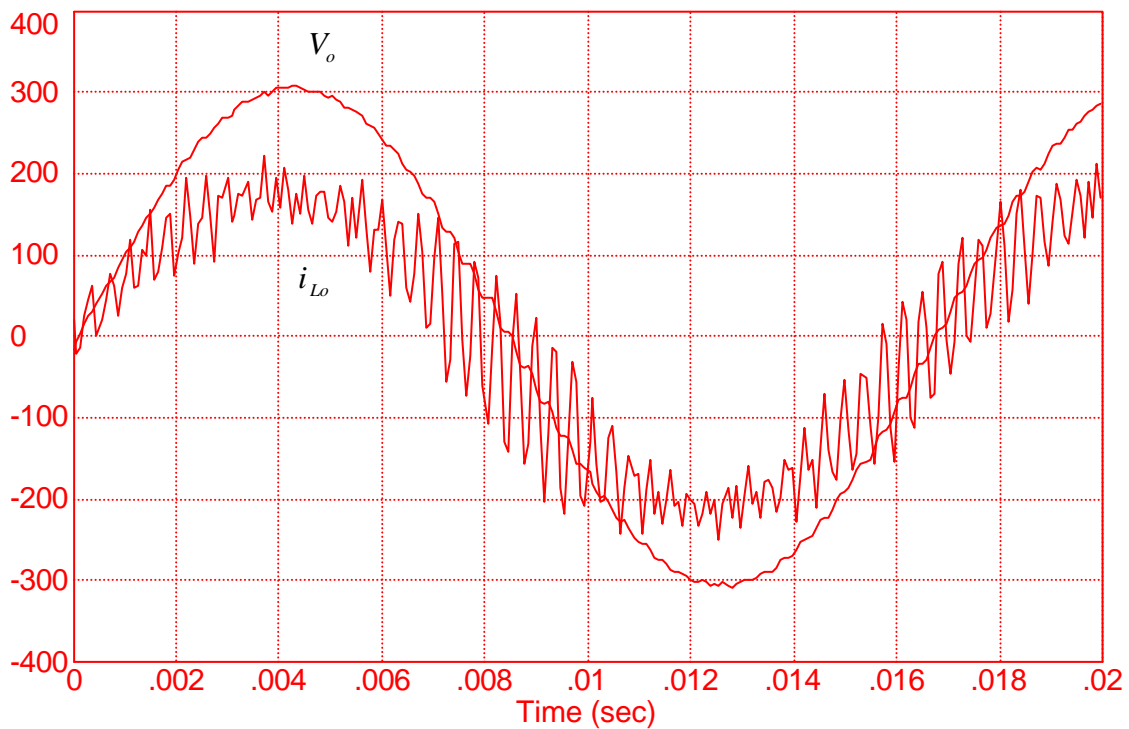


Fig. 2.5: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) com carga nominal.

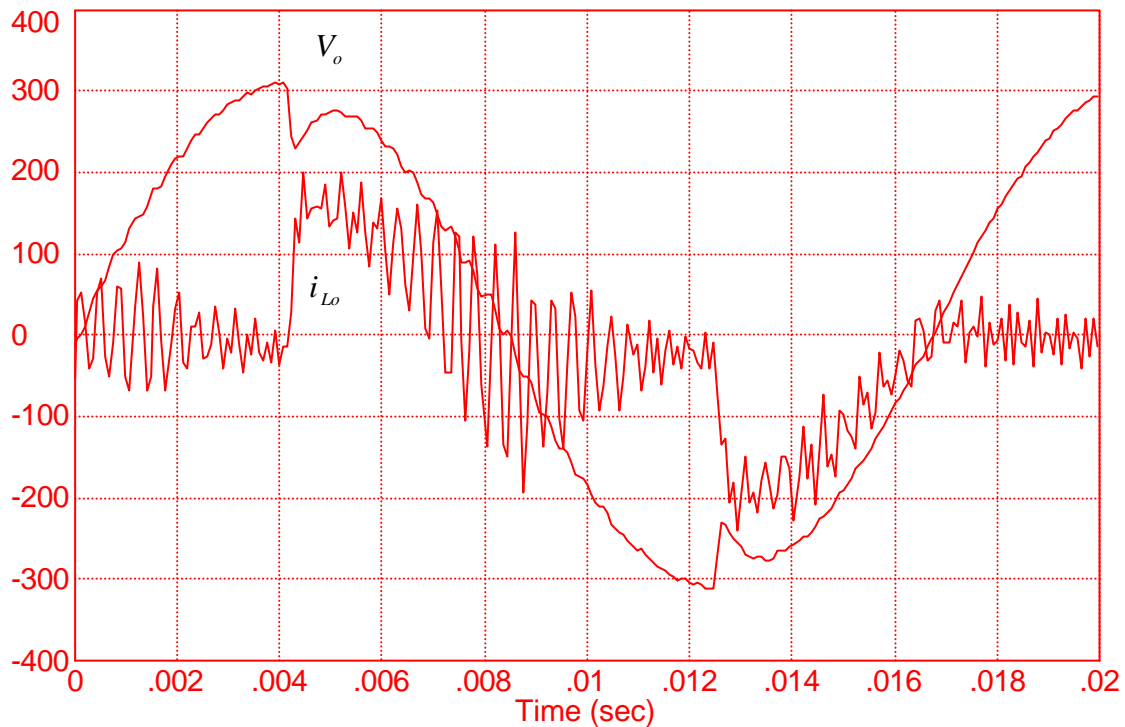


Fig. 2.6: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) com carga nominal controlada por um triac a 90° .

As simulações mostradas nas figuras 2.4, 2.5 e 2.6 apontam para um menor carregamento devido ao filtro de saída e uma resposta mais rápida para um transitório de carga. A melhora da resposta pode ser observada na maior velocidade de crescimento da corrente. Quanto ao carregamento, pode-se facilmente distinguir, através da curva da corrente, quando a carga está ligada ou não. Como ponto negativo observou-se uma certa oscilação na corrente, principalmente quando a tensão na saída está próxima de zero.

Tendo-se a confirmação do funcionamento, nos capítulos seguintes será visto a realização prática de um inversor de tensão empregando os dois métodos de controle apresentados.

Deve-se observar que a frequência das correntes I_{L0} não está de acordo com a frequência de modulação. Este problema é devido a saída gráfica do programa de simulação que não tem resolução suficientemente boa para mostrar a frequência real. Entretanto, com os valores de pico da corrente é possível distinguir uma certa envoltória para os valores de corrente.

2.6. Conclusão

Partindo-se de uma especificação comum em termos de tensões e potência, foram calculados os parâmetros de controle e escolhidos os filtros de saída para um inversor com frequência de modulação de 1,8kHz, usando o controle Deadbeat padrão, e um inversor com frequência de modulação de 20kHz, usando o controle Deadbeat preditivo.

Os dois inversores com os parâmetros de controle calculados foram simulados, obtendo-se os resultados esperados. Para o inversor com modulação a 20kHz foi observado uma resposta melhor para uma carga resistiva não linear e também uma menor circulação de potência reativa devido à diminuição do filtro de saída.

CAPÍTULO III

PROJETO DE HARDWARE

3.1. Introdução

Neste capítulo será apresentado o projeto do hardware, que incluirá tanto a parte de potência quanto a parte de controle. Este hardware deve ser compatível com os requisitos de teste, os mesmos usados para cálculo dos parâmetros no capítulo anterior, ou seja, a tensão de entrada em corrente contínua será de 400V, a tensão senoidal de saída será 220V eficazes, 60Hz e a potência de saída será aproximadamente 300W.

3.2. Controlador

O controlador possui a responsabilidade de realizar os cálculos necessários para a implementação do algoritmo, que neste caso é o cálculo da largura do pulso PWM. Isto é feito através de duas atividades: aquisição das amostras das variáveis de estado e cálculos aritméticos para implementação da lei de controle. A aquisição das amostras é feita através de um conversor analógico-digital. Como o menor ciclo de processamento será de 50 μ s, correspondendo a uma modulação PWM de 20kHz, o máximo tempo de conversão, isto é, o tempo necessário entre o início da conversão analógico-digital até que os dados convertidos estejam disponíveis, deve ser uma fração deste tempo.

Quanto ao aspecto dos cálculos aritméticos, pode-se ver que para implementação do segundo algoritmo, com previsão das variáveis de estado, é necessária a realização de aproximadamente 30 multiplicações, além de somas. Processadores de uso geral realizam multiplicações na ordem de 1 μ s, o que provavelmente faria o tempo de cálculo exceder o tempo disponível.

A crescente aplicação de algoritmos de controle digital fez surgir processadores dedicados para realização destas tarefas. Estes processadores tiveram as funções necessárias para este tipo de controle otimizadas, podendo realizar funções específicas numa fração do tempo necessário para um processador de uso geral. São denominados de DSP, a partir das iniciais de *Digital Signal Processor* (Processador Digital de Sinais).

Estão disponíveis no mercado placas adicionais para microcomputadores do tipo PC com DSP's e conversores analógico-digitais. Estas placas apresentam uma grande vantagem em termos de desenvolvimento de hardware, pois grande parte do hardware já está implementado na placa, e também em termos de software, já que a edição dos programas, compilação e depuração é feita no próprio microcomputador. Isto fez optar-se por esta solução. A placa adotada foi a *Model 250* da Dalanco Spry [8], que contém um DSP TMS320C25 da Texas Instruments [9] com frequência de *clock* de 50MHz, capaz de realizar a maioria de suas instruções, inclusive multiplicações 16x16 bits, em 80ns. Em termos de memória, a placa *Model 250* implementa todo o espaço disponível, ou seja, 64K (65536) palavras de memória RAM de programa e 64K palavras de memória RAM de dados. Também estão disponíveis 8 canais de conversão analógico-digital, implementado através de um conversor A/D de 12 bits com 4 μ s de tempo de conversão e um multiplexador analógico de 8 entradas e 2 canais de conversão digital-analógica. Este último não será usado, pois somente é necessário amostrar valores de tensão e corrente, sendo a atuação feita através dos transistores da ponte inversora de forma discreta, através de saídas digitais.

3.3. Placa de interface

A placa de interface fará a conexão entre a placa do DSP, que estará dentro do PC, e as outras placas do inversor. A placa do DSP possui dois conectores, um para ligação dos sinais aos conversores analógico-digital e digital-analógico e outro que permite o acesso ao barramento de controle, endereço e dados do DSP. Duas funções

serão executadas: leitura das variáveis de estado e atuação sobre os transistores da ponte de comando. Para detalhar o funcionamento da placa, será apresentado o esquema eletrônico em sua fase final (Fig. 3.1) e então será feita a descrição de cada um dos sub-blocos.

O conector J3 dá acesso aos sinais dos barramentos do DSP e o conector Ext Conector dá acesso aos sinais dos conversores A/D e D/A. No esquema da Fig. 3.1 os sinais destes conectores foram mostrados parcialmente, isto é, foram mostrados somente os sinais usados.

A placa *Model 250* não possui saídas digitais, que permitiriam acionar diretamente os transistores da ponte inversora. Portanto deverá ser implementado um circuito que proporcione saídas digitais. Esta implementação foi realizada junto ao conector J3 através dos Circuitos Integrados U1, U2 e U3. O TMS320C25 pode acessar três áreas de memória externa: programa, dados e entrada/saída (I/O). Toda a área de dados e programa já está em uso na placa *Model 250*, enquanto a área de I/O possui utilização parcial. As posições de I/O já utilizadas pela própria placa [8] são mostradas na Tab. 3.1.

<i>Port</i>	<i>Read</i>	<i>Write</i>
0	<i>Interrupt Ack</i>	<i>Program Timer</i>
1	<i>Interrupt PC</i>	<i>Latch Port</i>
2	<i>A/D Converter</i>	
3		<i>D/A converter</i>
4		
5		
6		
7		

Tab. 3.1: Posições de I/O usadas pela placa *Model 250* [8].

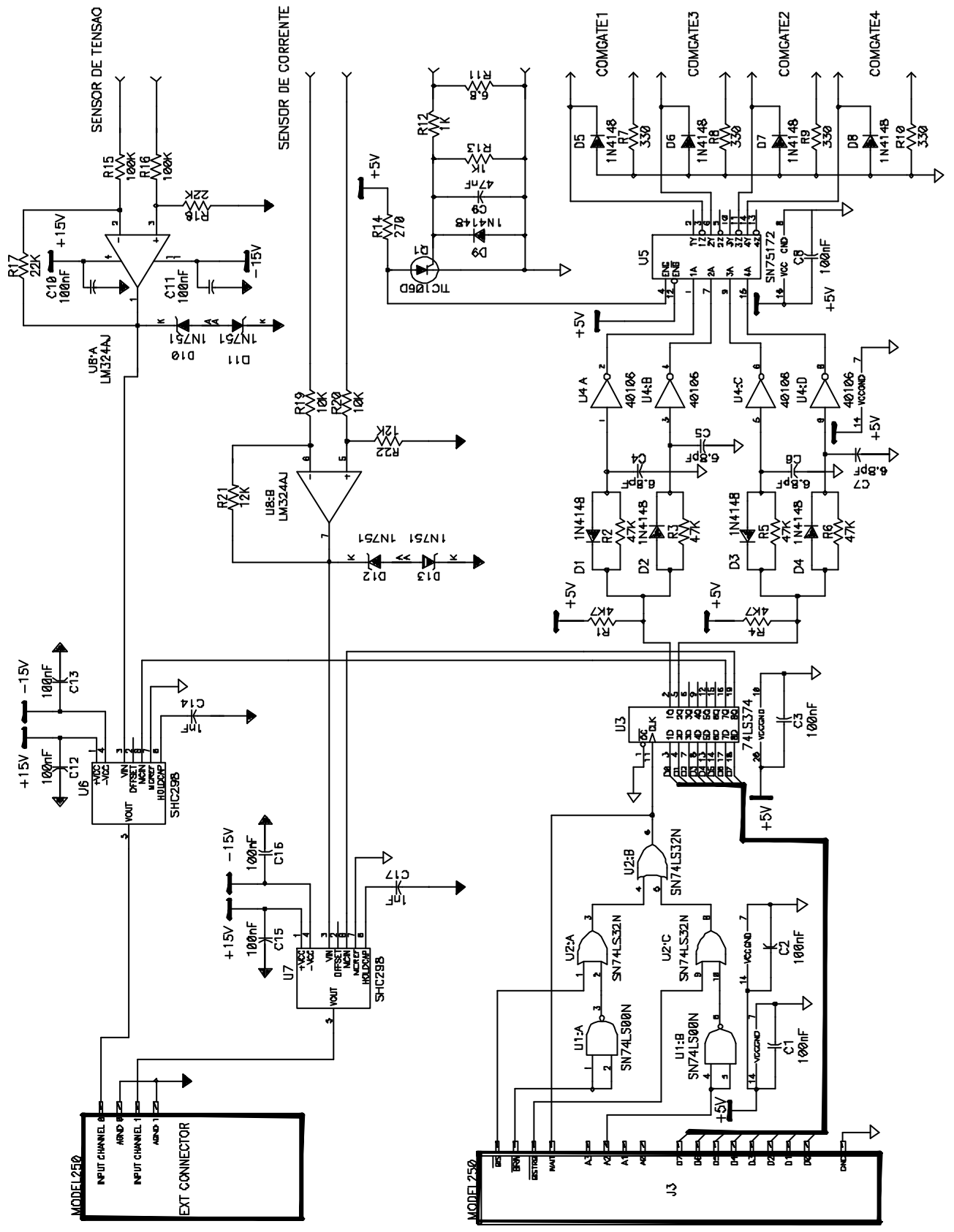


Fig. 3.1: Placa de interface.

O TMS320C25 consegue acessar 16 posições de I/O, através de 4 linhas de endereço. Para a decodificação de endereço para a saída digital foi escolhida a linha de endereço A2, para que seja habilitada a escrita nos endereços da forma x1xxB, o que não acarretará conflito com os endereços já usados pela própria placa *Model 250*. Ocorrerá mapeamento de diversos endereços de I/O, sendo normalmente usado o endereço 4.

O CI U3 é um *latch* de 8 bits que manterá em suas saídas o valor escrito por um acesso de escrita no endereço 4 de I/O. Os CI's U1 e U2 fazem a decodificação deste endereço através dos sinais do barramento de dados e sinais de controle /BIS, /BRW e /BSTRB. Estes três sinais são ativo baixo e indicam endereçamento de I/O (/BIS), acesso de escrita (/BRW) e acesso a área externa de memória (/BSTRB). Todos três sinais não vêm diretamente do TMS320C25, passando primeiramente por um *buffer*, recebendo o prefixo "B" para indicá-lo. Como o tempo de acesso externo do TMS320C25 é muito rápido são implementados *Wait State's* para prolongar este tempo. O término do tempo de *Wait State* é indicado pela colocação da entrada WAIT em nível alto, o que ocorrerá ao mesmo tempo que o *latch* U3 captura um novo dado.

As saídas 7Q e 8Q do *latch* U3 são usadas para controle dos CI's U6 e U7, cujas funções serão detalhadas mais tarde, e as saídas 1Q e 2Q são usadas para o comando dos transistores da ponte inversora. A ponte inversora é composta de 4 transistores, sendo dois em cada braço. Como os transistores de cada braço funcionam complementarmente, será necessário somente 2 sinais para o controle dos 4 transistores.

Embora os transistores funcionem complementarmente, entre a retirada do comando de condução de um transistor de um braço e a colocação de um comando de condução no outro transistor do mesmo braço, deve ser dado um tempo, de forma a evitar que os transistores coloquem em curto a fonte de corrente contínua. É o chamado tempo morto. O circuito para realização do tempo morto foi baseado em um circuito apresentado em [5] e é formado pelos resistores, diodos e capacitores ligados entre a saída do CI U3 e a entrada do CI U4. Os resistores R1 e R4 são usados para aumentar o fornecimento de corrente do CI U3 com as saída em nível alto. Os quatro conjuntos de

diodo, capacitor e resistor serão responsáveis pela realização do tempo morto em si. O diodo é usado como um caminho para carga ou descarga rápida do capacitor, conforme for o seu sentido. Então, através do resistor e do capacitor, é que será definido uma constante de tempo que corresponderá ao tempo morto. Como os sinais que saem do RC possuem uma variação muito lenta, para evitar problema de oscilação de sinal devido a indefinição do nível, este sinal passa por um *Schmidt Trigger* (U4). Os sinais estarão prontos para serem enviados às placas COMGATE, que fazem a isolação e mudança de nível entre os sinais da placa de interface e o gate dos transistores de potência. Porém, para evitar atrasos devido ao carregamento de linha entre estas duas placas é usado o CI U5 como *buffer*. A entrada da placa COMGATE é um optoisolador e para limitar a corrente do fotodiodo é usado um resistor (R7, R8, R9 e R10). Assim, limita-se esta corrente em aproximadamente 10mA. Durante os testes observou-se a ocorrência de tensões negativas nas saídas de U5. Estas tensões são provavelmente geradas devido à comutação dos transistores de potência. Para evitar o surgimento destas tensões, que poderiam danificar o CI U5 ou os fotodiodos de entrada dos optoisoladores da placa COMGATE, foram colocados diodos grampeadores nas saídas de U5.

O CI U5 também participa do circuito de proteção contra curto-circuito na ponte inversora, juntamente com o circuito associado ao tiristor Q1. Este circuito está reproduzido em detalhe na Fig. 3.2.

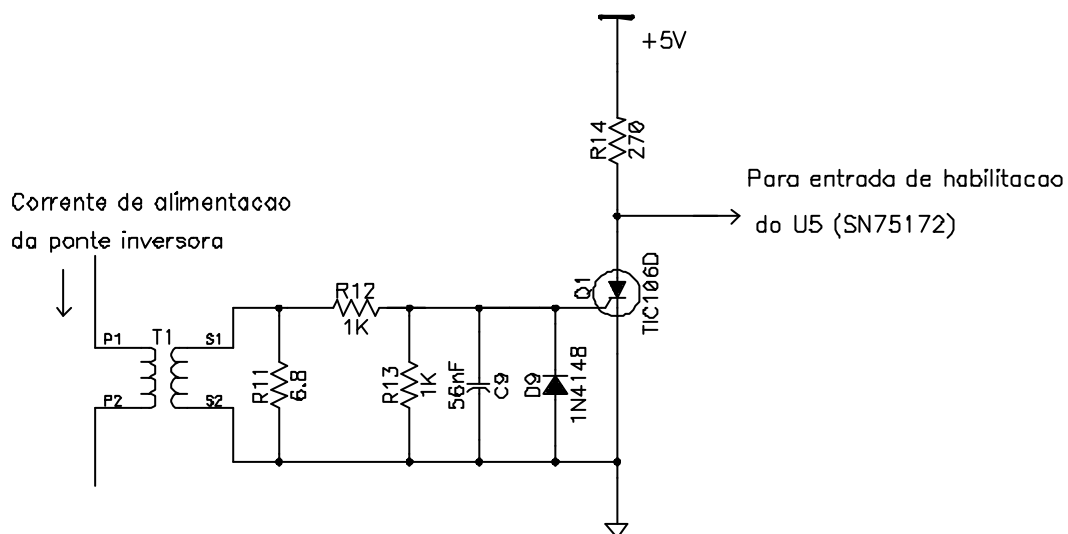


Fig. 3.2: Circuito de proteção de curto-circuito.

O circuito para proteção de curto-circuito foi adaptado do circuito de limitação de corrente apresentado em [10]. Na Fig. 3.2 é mostrado o circuito já adaptado. O transformador T1 é um toróide de ferrite de pequenas dimensões, cujo enrolamento primário é um fio pelo qual circula a corrente do barramento C.C., isto é, a corrente que alimenta a ponte inversora. Enquanto o tiristor Q1 não está conduzindo, a tensão em seu anodo será de 5V, permanecendo o CI U5 habilitado. Surgindo um pulso de corrente no primário do toróide, devido a uma sobre-corrente nos transistores da ponte inversora superior a um determinado limite, Q1 será disparado, fazendo a tensão em seu anodo cair a zero, o que desabilitará o CI U5 e conseqüentemente os transistores de potência da ponte inversora.

O valor de alguns componentes já foram determinados pela bibliografia referenciada (Q1, R12 e R13). Os valores de C9 e R11 foram adaptados para que o disparo de Q1 ocorresse com um pulso de corrente de aproximadamente 10A.

Para a implementação do controle proposto, dois sinais são amostrados, uma corrente e uma tensão. No caso do controle Deadbeat padrão é usada a corrente no capacitor C_o para o cálculo da derivada da tensão sobre C_o . Estes dois valores serão convertidos em valores discretos no conversor analógico-digital da placa *Model 250*, permitindo que os cálculos sejam realizados pelo DSP. Para que estes valores sejam entregues ao conversor, a estrutura da Fig. 3.3 é proposta para o uso com o controle Deadbeat preditivo e a Fig. 3.4 para uso com o controle Deadbeat padrão.

A tensão de saída V_o , que é a mesma tensão sobre o capacitor C_o tem o seguinte valor de pico:

$$V_{cop} = 220 \cdot \sqrt{2}$$

$$V_{cop} = 311,13 \text{ V}$$

Para que a tensão na entrada do amplificador diferencial seja no máximo 20V, então o divisor resistivo formado por Ra e Rb deverá observar:

$$20 = \frac{Rb}{Ra + Rb} \cdot V_{cop} \quad (3.1)$$

Escolhendo-se:

$$R_b = 13,5 K\Omega$$

R_a resultará em (3.1):

$$R_a = 196,5 \times 10^3 \Omega$$

Escolhe-se:

$$R_a = 220 K\Omega$$

O ganho do amplificador diferencial A deve ser no máximo 1/4, para que em sua saída a tensão máxima seja 5V. Isto pois o conversor A/D possui como limite de entrada +/-5V. Assim escolhe-se:

$$R_{15} = R_{16} = 100 K\Omega$$

$$R_{17} = R_{18} = 22 K\Omega$$

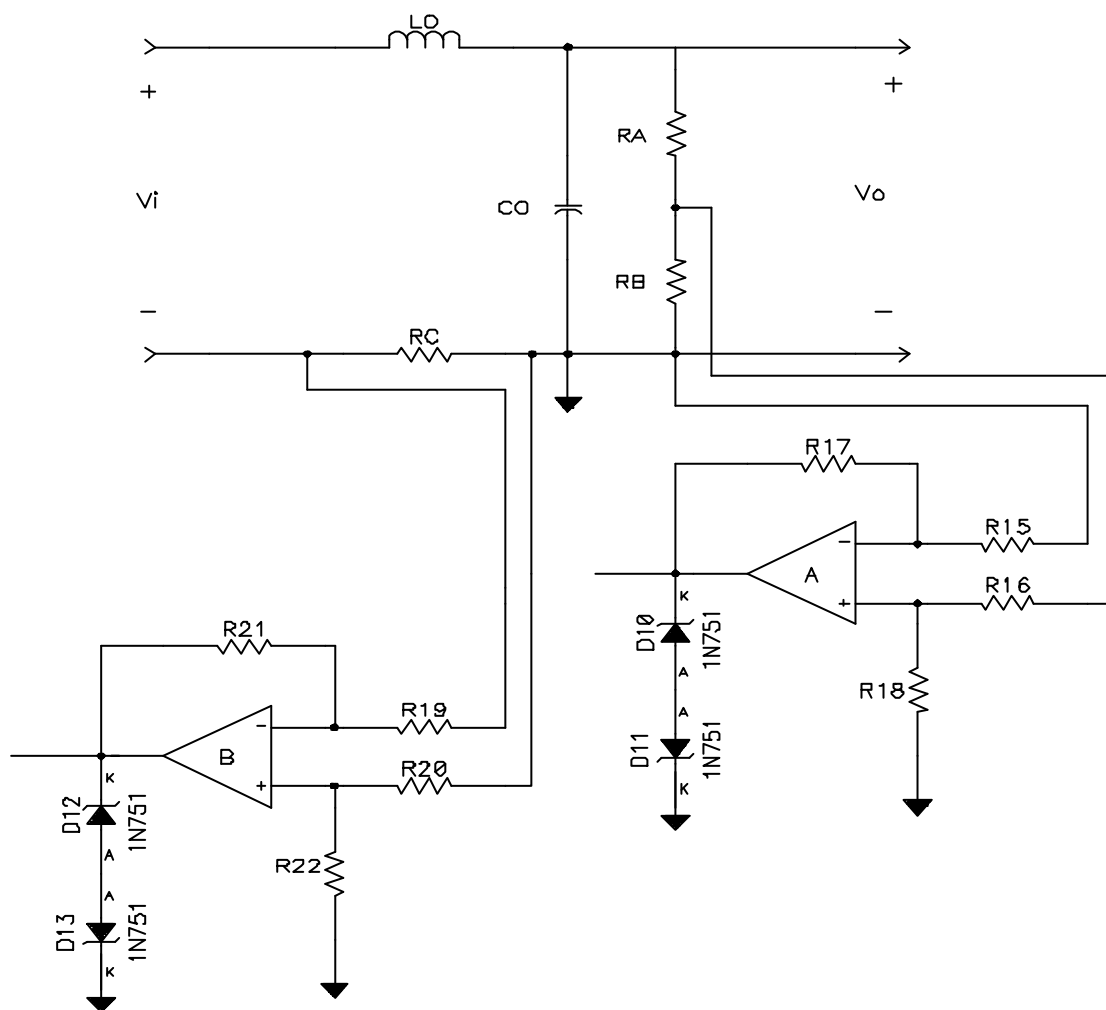


Fig. 3.3: Medição das variáveis para controle Deadbeat preditivo.

Para medição de corrente, o maior problema será a determinação do resistor *shunt* R_c . Deverão ser feitas duas escolhas: uma para a frequência de modulação de 1,8kHz e outra para a frequência de modulação de 20kHz. A necessidade desta diferenciação está em que o filtro de saída para 1,8kHz aumenta a corrente de saída do inversor e usando-se o mesmo resistor *shunt* para os dois casos haveria uma perda de resolução. No controle que usa a frequência de 1,8kHz a corrente de pico não ultrapassa 5A, enquanto que para o de 20kHz a corrente não ultrapassa 2A.

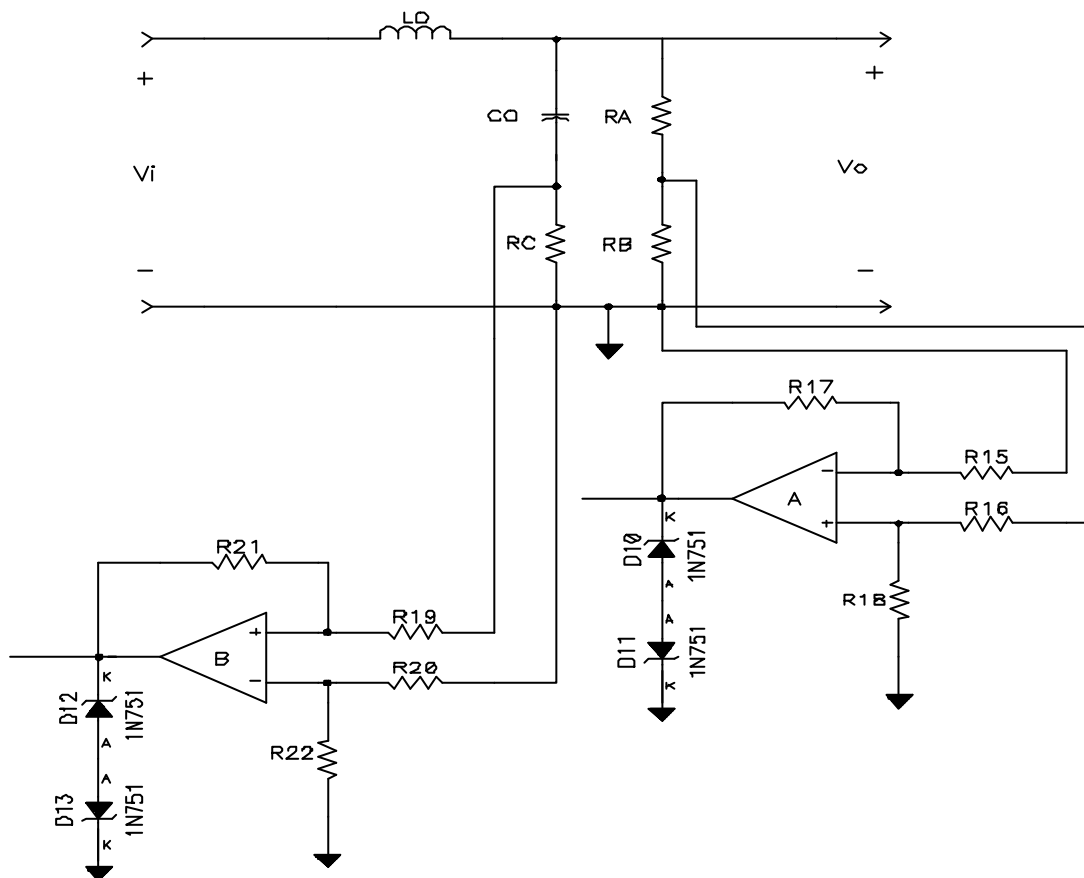


Fig. 3.4: Medição de variáveis para controle Deadbeat padrão.

Para a frequência de 1,8kHz tem-se:

$$I_p = 5A \quad \text{Corrente de pico sobre } R_c$$

$$V_{Rcp} = 2V$$

Tensão de pico desejada sobre o resistor R_C

$$R_C = \frac{V_{Rcp}}{I_p}$$

$$R_C = 0,4\Omega$$

Adota-se:

$$R_C = 0,6\Omega$$

A potência dissipada em R_C será:

$$P_{Rc} = \left(\frac{I_p}{\sqrt{2}} \right)^2 \cdot R_C \quad P_{Rc} = 7,5W$$

Para que a tensão na saída do amplificador diferencial B não ultrapasse a tensão de pico de entrada do conversor A/D, serão adotados:

$$R_{19} = R_{20} = 10K\Omega$$

$$R_{21} = R_{22} = 12K\Omega$$

Para a frequência de 20kHz tem-se:

$$I_p = 2A \quad \text{Corrente de pico sobre } R_C$$

$$V_{Rcp} = 2V \quad \text{Tensão de pico desejada sobre } R_C$$

$$R_C = \frac{V_{Rcp}}{I_p}$$

$$R_C = 1\Omega$$

Adota-se:

$$R_C = 1,1\Omega$$

A potência dissipada em R_C será:

$$P_{Rc} = \left(\frac{I_p}{\sqrt{2}} \right)^2 \cdot R_C \quad P_{Rc} = 2,2W$$

Usando-se para R19, R20, R21 e R22 os valores escolhidos anteriormente, a tensão de pico na entrada do conversor A/D não ultrapassará 5V em módulo.

A última parte da Fig. 3.1 que falta ser descrita são os *Sample and Hold* (S/H) ou amostradores. Devido à rápida variação dos sinais de tensão e corrente, que são

amplificados por U8:A e U8:B, em relação ao tempo necessário para que a conversão analógico-digital seja realizada, torna-se obrigatório um circuito que amostrasse estes sinais e mantenha-os constantes enquanto a conversão é efetuada. Para a realização desta função específica, estão disponíveis os circuitos de *Sample and Hold*, que amostram um sinal e mantêm o valor em sua saída até a ocorrência de uma nova amostragem. Foi utilizado o circuito SHC298 da Burr Brown, que no modo empregado precisa somente de um capacitor externo para manter o valor amostrado. Um sinal de controle que vem do *latch* U3 colocará o S/H em estado de *Sample*, fazendo a saída ser igual a entrada, ou em estado de *Hold*, fazendo a saída permanecer igual ao último instante antes de entrar em *Hold*.

Para o fornecimento das tensões de 5V, -15V e +15V, necessárias para a alimentação da placa de interface, foi construída a fonte mostrada na Fig. 3.5.

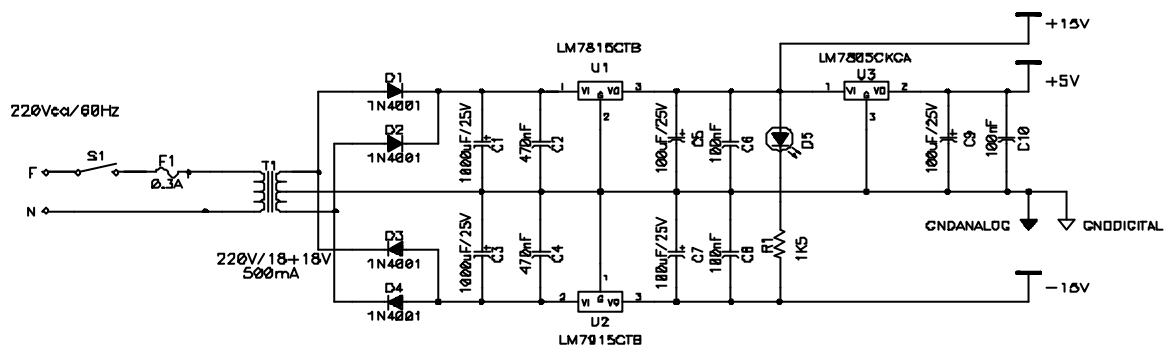


Fig. 3.5: Fonte da placa de interface.

A fonte mostrada na Fig. 3.5 fornece as três tensões necessárias por intermédio de reguladores integrados da família 78XX e 79XX. A tensão retificada é filtrada e alimenta diretamente os reguladores 7815 e 7915, responsáveis pelo fornecimento das tensões de +15V e -15V. Para que o regulador 7805 de 5V não fique submetido a uma diferença de tensão muito alta entre sua entrada e saída, dissipando muita potência, sua alimentação vem da saída do regulador de +15V.

Para especificação dos componentes do retificador, foram feitos os seguintes cálculos, de acordo com a metodologia apresentada em [10]. Os seguintes valores são adotados para os cálculos:

$E = 20V$ Tensão retificada e filtrada na entrada dos reguladores 7815 e 7915.

$I = 0.5A$ Corrente consumida pelos reguladores 7815 e 7915.

$f = 60Hz$ Frequência de rede.

$Ripple = 0.2$ (20%) Oscilação da tensão retificada.

Cálculos:

$$P_{in} = E \cdot I \quad P_{in} = 10W \quad \text{Potência de entrada}$$

$$V_{pk} = E \left[1 + \frac{Ripple}{2} \right] \quad V_{pk} = 22V \quad \text{Tensão máxima na saída}$$

$$V_{min} = E \left[1 - \frac{Ripple}{2} \right] \quad V_{min} = 18V \quad \text{Tensão mínima na saída}$$

$$C = \frac{P_{in}}{f(V_{pk}^2 - V_{min}^2)} \quad C = 1000\mu F \quad \text{Capacitor de filtragem}$$

$$tc = \frac{\arccos\left(\frac{V_{min}}{V_{pk}}\right)}{2\pi f} \quad tc = 1,62 \times 10^{-3} s \quad \text{Tempo de condução do retificador}$$

$$dV = V_{pk} - V_{min} \quad dV = 4V \quad \text{Máximo ripple de tensão}$$

$$i_{chg} = \frac{C \cdot dV}{tc} \quad i_{chg} = 2,462A \quad \text{Valor de pico da corrente do capacitor de filtragem}$$

$$I_{chg} = i_{chg} \sqrt{2 \cdot tc \cdot f (2 \cdot tc \cdot f)^2} \quad I_{chg} = 0,975A \quad \text{Valor eficaz da componente alternada de corrente no capacitor}$$

$$I_{dis} = \frac{P_{in}}{E} \quad I_{dis} = 0,5A \quad \text{Valor eficaz da corrente fornecida pelo capacitor}$$

para o regulador

$$i_{cef} = \sqrt{I_{dis}^2 + I_{chg}^2} \quad i_{cef} = 1,096A \quad \text{Corrente eficaz no capacitor}$$

$$T = \frac{1}{f} \quad \text{Período}$$

$$i_{Def} = i_{chg} \sqrt{\frac{tc}{T}} \quad i_{Def} = 0,769A \quad \text{Corrente eficaz nos diodos}$$

$$i_{Dmd} = \frac{P}{2E} \quad i_{Dmd} = 0,25A \quad \text{Corrente média nos diodos}$$

$$V_{Dmax} = V_{pk} \quad V_{Dmax} = 22V \quad \text{Máxima tensão reversa nos diodos}$$

$$i_{Dpk} = i_{chg} \quad i_{Dpk} = 2,46A \quad \text{Corrente de pico nos diodos}$$

$$V_D = 0,7V \quad \text{Queda de tensão nos diodos}$$

$$V_2 = \frac{E \left[1 + \frac{Ripple}{2} \right] + 2V_D}{\sqrt{2}} \quad V_2 = 16,54V \quad \text{Tensão eficaz no secundário do transformador}$$

Um detalhe importante na montagem da fonte é a separação da referência analógica GNDANALOG da referência digital GNDDIGITAL. Os circuitos digitais devem utilizar a referência digital e os circuitos analógicos devem utilizar a referência analógica. Embora eletricamente estes dois pontos sejam iguais, o uso indiscriminado de um ou outro pode causar o surgimento de ruídos nos circuitos analógicos. Os dois pontos de referência devem ser interconectados somente junto à fonte.

3.4. Ponte inversora

A ponte inversora é convencional e está mostrada na Fig. 3.6. Nesta figura, além da ponte inversora em si, está mostrada a ligação dos circuitos de comando de gate (COMGATE1, COMGATE2, COMGATE3 e COMGATE4), que são circuitos independentes da ponte inversora e também a ligação do filtro de saída composto do indutor L_o e do capacitor C_o e da carga, neste caso uma resistência R_{load} . Todos os componentes restantes pertencem à ponte inversora.

A especificação mais importante da ponte inversora é a do transistor de potência. A especificação do transistor a ser empregado é feita pelo método que faz esta escolha através da máxima temperatura de junção [11].

Primeiramente escolhe-se um aumento de temperatura junção-cápsula dT de pequeno valor.

$$dT = 5^{\circ}C \text{ potência dissipada} \times \text{resistência térmica junção-cápsula}$$

A dissipação de potência no transistor pode ser dividida em três partes: a relativa à condução direta, a relativa à condução do diodo intrínseco e a relativa à comutação. Desconsiderando-se esta última, a dissipação devido às duas causas anteriores é dada por:

$$P_{dir} = I_{rms}^2 \cdot r_{ds}$$

$$P_{diodo} = I_{md} \cdot v_{sd}$$

Onde:

P_{dir} - Potência dissipada relativa à condução direta

P_{diodo} - Potência dissipada relativa ao diodo intrínseco

I_{rms} - Corrente direta rms

r_{ds} - Resistência dreno-source

I_{md} - Corrente média inversa

v_{sd} - Tensão source-dreno devido à queda no diodo intrínseco

A determinação de I_{rms} e I_{md} é feita tendo-se em mente o funcionamento do circuito inversor em ponte completa. Neste tipo de circuito cada transistor conduzirá a corrente durante metade do tempo em uma base média. Entretanto, como a condução da corrente pode ser direta, dissipando potência em r_{ds} , ou em sentido inverso, dissipando potência em v_{sd} , será considerada a corrente eficaz como sendo 2/3 do valor rms relativo à metade do período e a corrente média como 2/3 do valor médio relativo à metade do período. Esta determinação não é exata, sendo feita para permitir uma avaliação dos valores com uma boa margem de segurança.

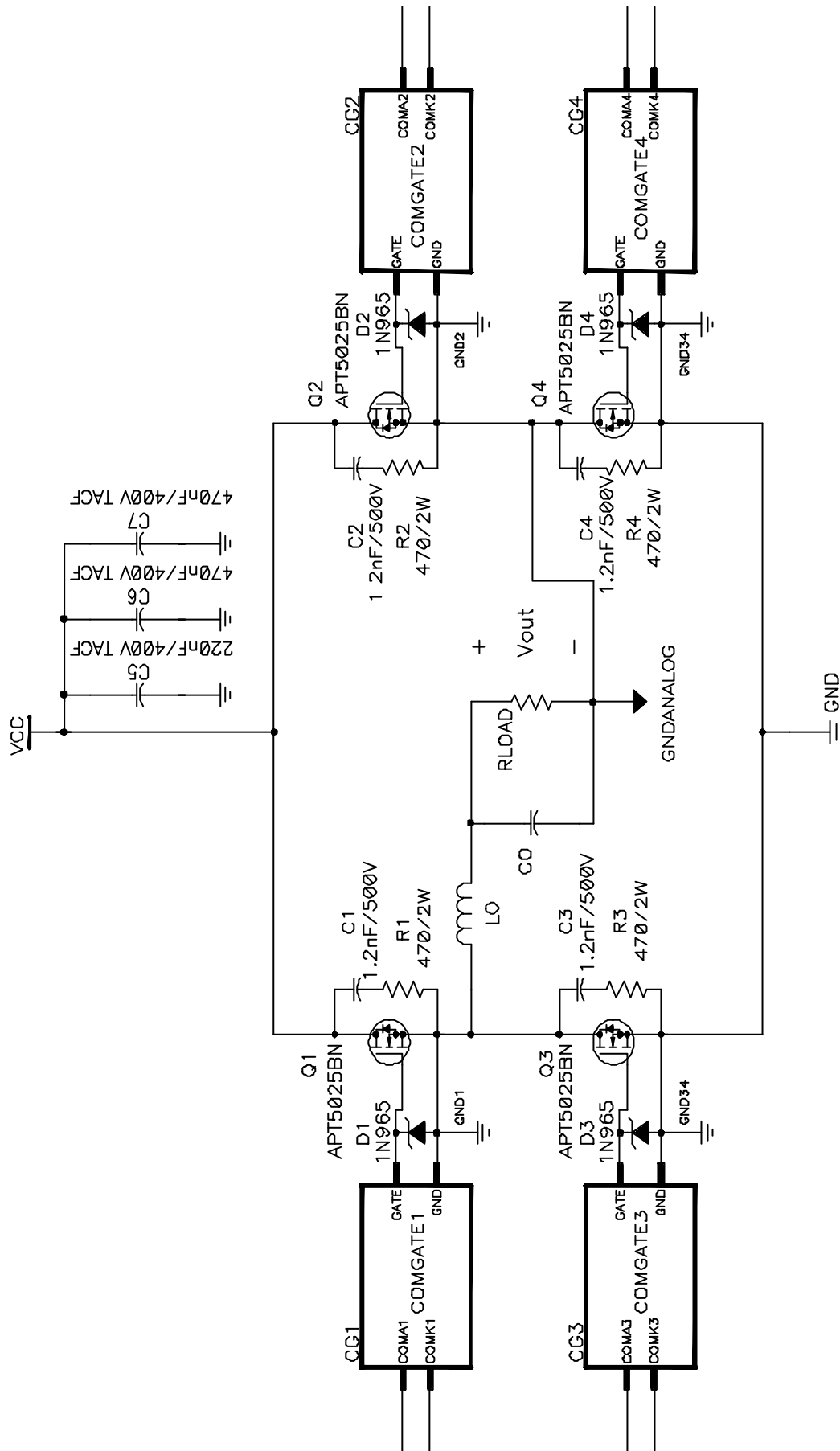


Fig. 3.6: Ponte inversora.

Para o pior caso, isto é, para frequência de comutação de 1,8kHz, a corrente de pico no filtro, obtida por simulação foi de aproximadamente 4A.

O valor eficaz relativo à metade do período será:

$$I_{pk} = 4A$$

$$\omega = 2 \cdot \pi \cdot 60$$

$$T = \frac{1}{60} s$$

$$I_{rms2} = \sqrt{\frac{1}{T} \int_0^{T/2} (I_p \cdot \text{sen}(\omega t))^2 dt} \quad I_{rms2} = 2A$$

Portanto,

$$I_{rms} = \frac{2}{3} \cdot I_{rms2} \quad I_{rms} = 1,33A$$

Da mesma forma, a corrente média relativa a meio período será:

$$I_{md2} = \sqrt{\frac{1}{T} \int_0^{T/2} I_p \cdot \text{sen}(\omega \cdot t) dt} \quad I_{md2} = 1,13A$$

Portanto,

$$I_{md} = \frac{2}{3} \cdot I_{md2} \quad I_{md} = 0,75A$$

Considerando-se:

$$v_{sd} = 2,5V$$

$$r_{th} = 1^0 C / W$$

$$dT = (P_{dir} + P_{diodo}) \cdot r_{th}$$

A resistência dreno-source deverá ser, portanto, menor que:

$$r_{ds} \leq \frac{\frac{dT}{I_{rms}} - I_{md} \cdot v_{sd}}{I_{rms}^2} \quad r_{ds} \leq 1,76\Omega$$

O transistor Mosfet a ser selecionado deverá ter as seguintes especificações:

$$V_{ds} \geq 600V$$

$$r_{th} \leq 1^0 C / W$$

$$r_{ds} \leq 1,76\Omega$$

$$v_{sd} \leq 2,5V$$

Na falta de um transistor para tensões superiores, escolheu-se o APT5025, com as seguintes características:

$$V_{ds} = 500V$$

$$r_{th} = 0,4^{\circ}C/W$$

$$r_{ds} = 0,42\Omega \text{ Para temperatura de junção de } 100^{\circ}C$$

$$v_{sd} = 1,3V$$

A potência dissipada no transistor, usada para a determinação do dissipador, terá três componentes: a potência relativa à condução direta P_{dir} , a relativa à condução inversa pelo diodo intrínseco P_{diodo} e a relativa à comutação P_{com} . Usando-se os parâmetros do transistor escolhido tem-se:

$$P_{dir} = 0,76W$$

$$P_{diodo} = 0,98W$$

A potência relativa à comutação é considerada como sendo igual a da condução direta:

$$P_{com} = 0,76W$$

A potência total dissipada em um transistor será:

$$P_{tot} = P_{dir} + P_{diodo} + P_{com} \quad P_{tot} = 2,5W$$

Adotando-se uma temperatura de junção de $100^{\circ}C$ e a temperatura ambiente de $45^{\circ}C$, então a resistência cápsula-ambiente deve ser:

$$r_{ca} \leq \frac{T_j - T_a}{P_{tot}} - r_{th} \quad r_{ca} \leq 21,6^{\circ}C/W$$

Desconsiderando-se a resistência térmica cápsula-dissipador e como a ponte é composta de quatro transistores, a resistência térmica do dissipador escolhido deve ser menor que 1/4 do valor calculado anteriormente.

$$r_{dis} = 5,4^{\circ}C/W$$

Devido à praticidade de montagem mecânica foi escolhido um dissipador com resistência térmica muito menor que o valor calculado.

Outros componentes que fazem parte da ponte inversora são os diodos zener de gate e os *snubber* RC colocados entre o dreno e source de cada transistor. Os diodos

zener são usados para evitar a ocorrência de sobre-tensões no gate dos transistores Mosfet, que poderia levar a sua danificação. Os *snubber* são usados na tentativa de evitar oscilações indesejáveis que poderiam causar sobre-tensões dreno-source nos Mosfets. Os valores do *snubber* foram escolhidos através de testes. Embora estes valores parecessem ser bons para carga resistiva, com carga indutiva, isto é, com o próprio filtro LC de saída, ocorreram picos de tensão muito perigosos. Observou-se que o problema era devido à recuperação do diodo intrínseco dos Mosfet. A solução foi o aumento do tempo de entrada em condução do Mosfet. Outra forma de diminuir estes picos é através de capacitores de desacoplamento no barramento de corrente contínua. Primeiramente foi colocado somente o capacitor C5 de 220 μ F junto à entrada de tensão da placa de potência. Posteriormente também foram colocados os capacitores C6 e C7 de 470 μ F diretamente sobre os transistores dos braços esquerdo e direito. Isto foi necessário, pois sendo a placa experimental, as distâncias entre os componentes não foram minimizadas, dando margem ao aparecimento de indutâncias parasitas.

3.5 Comando de gate

A Fig. 3.6 mostra um circuito para comando do gate dos transistores Mosfet como um bloco. Este circuito realiza a função de amplificação, fornecendo uma corrente alta para que os transistores entrem em condução ou bloqueiem rapidamente, e a função de isolamento galvânica, separando o circuito de potência do circuito de comando. A Fig. 3.7 mostra o circuito desta placa.

A função de isolamento é realizada através do optoisolador HCPL2601. As entradas COMA1 e COMK1 são ligadas à placa de interface e acionam o fotodiodo interno do optoisolador. Deve haver uma limitação de corrente através de um resistor para não ultrapassar a máxima corrente do diodo.

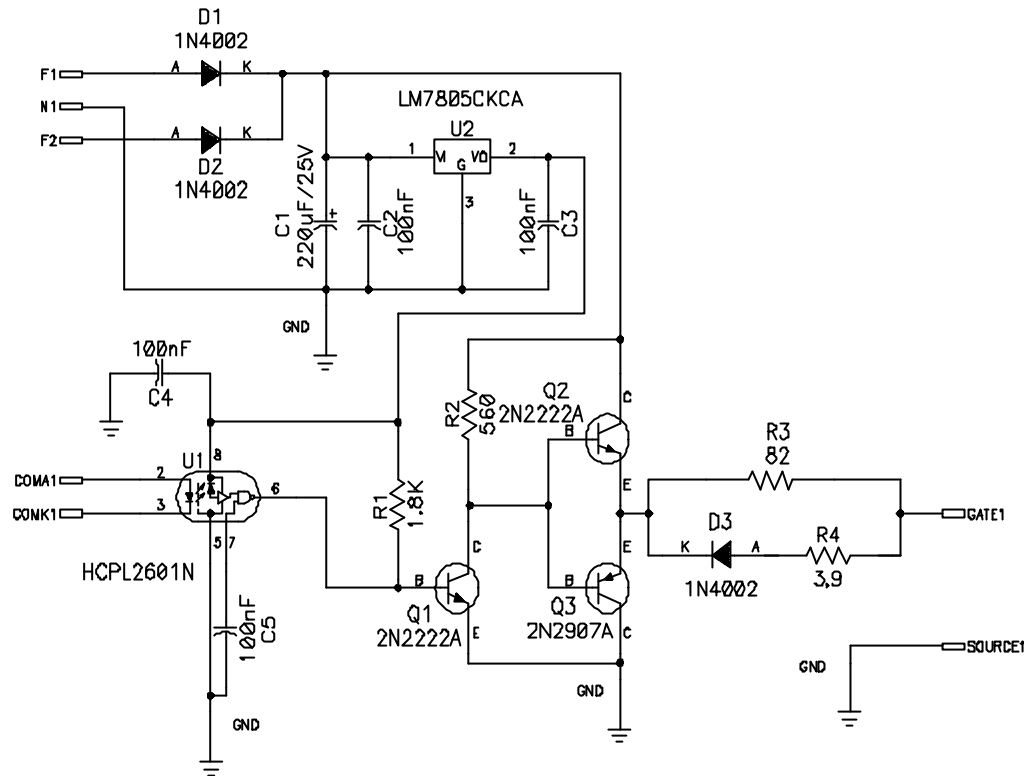


Fig. 3.7: Placa de comando de gate (COMGATE).

O optoisolador HCPL2601 é compatível com circuitos TTL e necessita de uma alimentação de 5V. Para prover esta alimentação é usado um regulador de tensão 7805. A tensão na entrada do regulador vem de um retificador situado na própria placa. Esta tensão é escolhida em 15V, já que é a mesma tensão que será utilizada para ativar o gate do Mosfet. O valor da tensão de secundário do transformador a ser ligado no retificador é dado por:

$$V_d = 0,7V \quad \text{Queda de tensão direta no diodo retificador}$$

$$V_{rms} = \frac{15}{\sqrt{2}} + V_d \quad V_{rms} = 12V$$

Para o cálculo dos resistores de polarização dos transistores assume-se um ganho Beta forçado de 20 para os transistores Q2 e Q3. Para que a corrente de coletor de Q2 seja maior de 500mA (corrente que fará o carregamento da capacitância de entrada do Mosfet), o resistor R2 é adotado em 560Ω. Assumindo-se o Beta forçado de Q1 em 10, de forma a não ultrapassar a corrente máxima de saída do optoisolador, o resistor R1 é escolhido em 1,8KΩ.

O consumo médio de corrente no circuito é de 40mA (15mA do HCPL2601 e 35mA dos transistores). O capacitor C1 será escolhido através da seguinte equação [12].

$$I_l = 40mA \quad \text{Corrente consumida}$$

$$dV = 1V \quad \text{Ripple de tensão}$$

$$C1 = \frac{I_l}{dV} \cdot 6 \times 10^{-3} \quad C1 = 2,4 \times 10^{-4} F$$

O capacitor é então adotado no valor comercial de 220µF/25V. Os capacitores C2, C3 e C4 são capacitores de desacoplamento e são escolhidos em 100nF.

Os diodos retificadores 1N4002 são suficientes para entregar a corrente consumida. O transformador que alimentará o circuito será de 12V+12V, com uma corrente de 100mA.

Os resistores R3 e R4 servirão de resistência de gate para o Mosfet. Na entrada em condução do Mosfet, quando é colocada carga na capacitância de gate, a corrente fluirá somente por R3. No bloqueio a corrente de descarga do gate passará por R3 e R4. Esta corrente será muito maior que a corrente equivalente de entrada em condução. Este esquema foi adotado para minimizar os picos de tensão que surgem devido às altas correntes de recuperação reversa do diodo intrínseco dos Mosfet. Este problema somente se manifesta quando o transistor do mesmo braço da ponte inversora entra em condução, bloqueando o diodo intrínseco do outro Mosfet. A maneira de minimizar o pico da corrente de recuperação foi fazer o transistor entrar em condução mais lentamente. Como a velocidade de bloqueio do transistor não causava nenhuma perturbação, deixou-se esta bem rápida. Esta deve realmente ser rápida, para que o tempo morto, existente entre o bloqueio de um transistor e a entrada em condução do transistor complementar do mesmo braço da ponte, fique dentro das margens de segurança.

Reportando-se à Fig. 3.6 é visto que os sinais GND das placas COMGATE não estão todos ligados ao mesmo ponto. Somente as placas denominadas de COMGATE3 e COMGATE4 estão ligadas a uma referência comum. As placas COMGATE1 e COMGATE2 possuem referências próprias e diferentes das duas anteriores. Devido a esta peculiaridade da ponte inversora, será necessário a geração de 3 alimentações separadas, sendo que uma poderá ser compartilhada pelas placas COMGATE3 e COMGATE4.

3.6. Conclusão

Foram apresentados neste capítulo os circuitos de hardware, em seus diversos blocos, usados para a implementação do inversor com controle digital.

A parte principal do controle digital é feita por uma placa de aquisição e controle *Model 250* da Dalanco Spry, composta de um DSP TMS320C25 com frequência de *clock* de 50MHz com a respectiva memória e conversores analógico-digital e digital-analógico. O uso desta placa facilita em muito a implementação, permitindo que se fixe mais no problema a ser resolvido, controle digital, do que no hardware em si.

Também foi apresentado a placa de interface, necessária para interligação da placa de aquisição e controle com a ponte inversora e filtro de saída. A função básica da placa de interface é a geração do tempo morto para os transistores da ponte inversora, a amplificação e amostragem das variáveis de estado e proteção de sobre corrente.

A ponte inversora é do tipo convencional e faz uso de transistores Mosfet. O principal problema apresentado em sua implementação foi a ocorrência de picos de tensão durante a comutação. Embora tenha-se feito uso de *snubbers* RC para diminuir tais picos, a solução completa só foi conseguida através da diminuição da velocidade de ataque de gate na placa de comando de gate. A placa comando de gate tem a função de isolar galvanicamente o circuito de comando do circuito de potência, representado pela ponte inversora.

CAPÍTULO IV

SOFTWARE DE CONTROLE

4.1. Introdução

Foram desenvolvidos dois programas de controle, um para o controle Deadbeat padrão para implementação de controle PWM a 1,8kHz e outro para controle PWM a 20kHz com controle Deadbeat preditivo. Os dois programas em linguagem *assembly* TMS32025 podem ser vistos nos Anexos I e II.

4.2. Programa Deadbeat padrão

A Fig. 4.1 mostra o fluxograma para o programa Deadbeat padrão. O seu funcionamento está intimamente ligado a uma base de tempo. Isto ocorre devido à necessidade de se amostrar as variáveis de controle dentro de uma cadência fixa, que neste caso é 30 vezes por ciclo de 60Hz. Outra necessidade é a realização do próprio pulso PWM a partir dos valores calculados pelo algoritmo. Procurando-se fazer uso intensivo dos recursos disponíveis no próprio DSP TMS320C25, lançou-se mão do uso das interrupções do *timer* (temporizador) para a realização do cadenciamento de eventos. Como só existe um *timer* no TMS320C25, é necessário fazer uma manipulação especial para permitir que este consiga sinalizar 3 eventos: amostragem das variáveis de estado, início do pulso PWM e fim do pulso PWM. O funcionamento interno do *timer* se dá a partir de 2 registradores: o registrador TIM (*Timer*), que contém o valor sendo decrementado para realização da temporização, e o registrador PRD (*Period Register*), que contém o valor inicial a ser carregado em TIM no momento da interrupção do *timer*. Assim, se for necessário que entre uma interrupção e a seguinte exista um intervalo de tempo determinado, o valor correspondente deverá estar carregado em PRD antes da

ocorrência da primeira interrupção. A estrutura de interrupções do *timer* adotada está mostrada na Fig. 4.2.

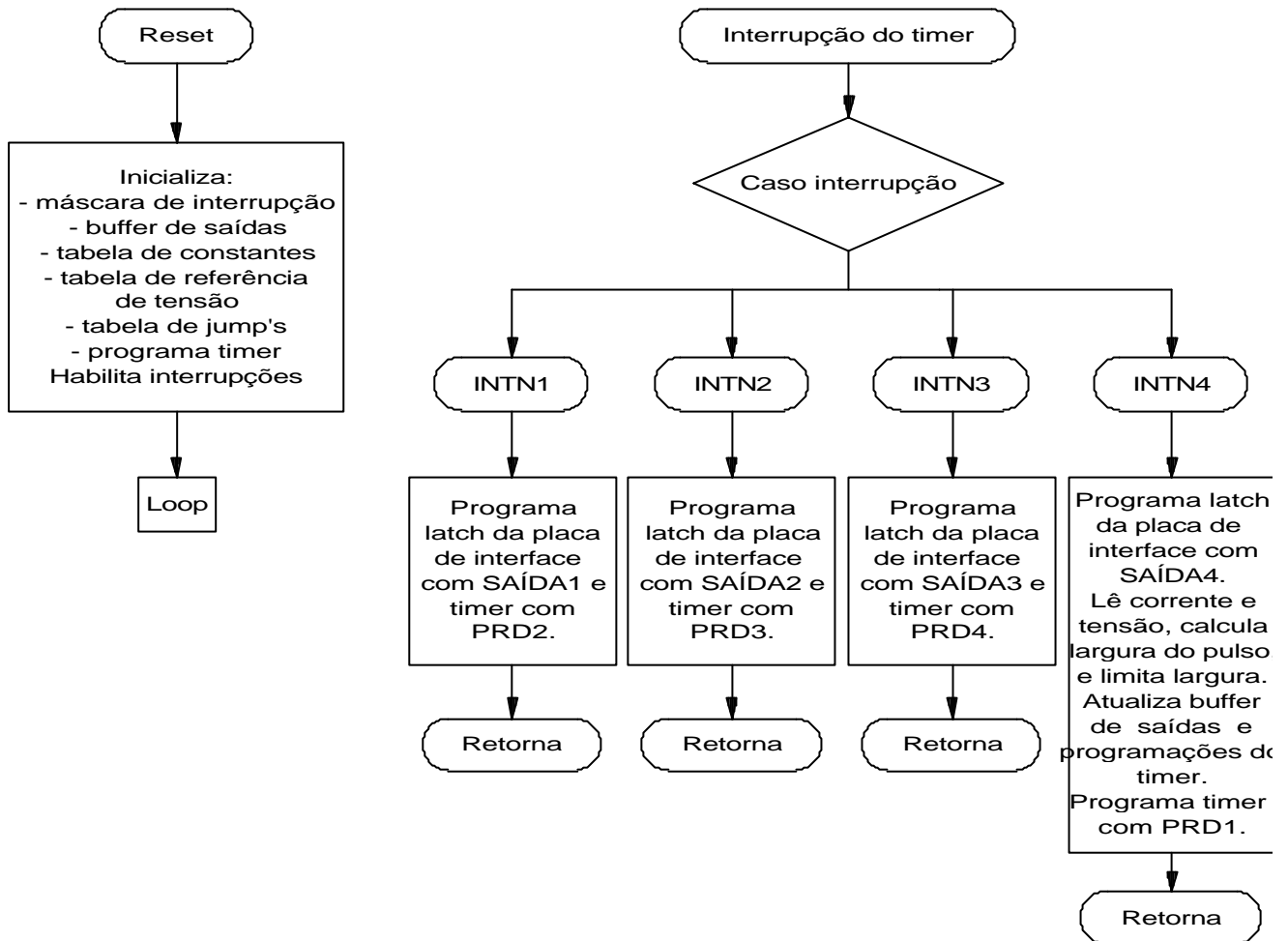


Fig. 4.1: Fluxograma do programa Deadbeat padrão.

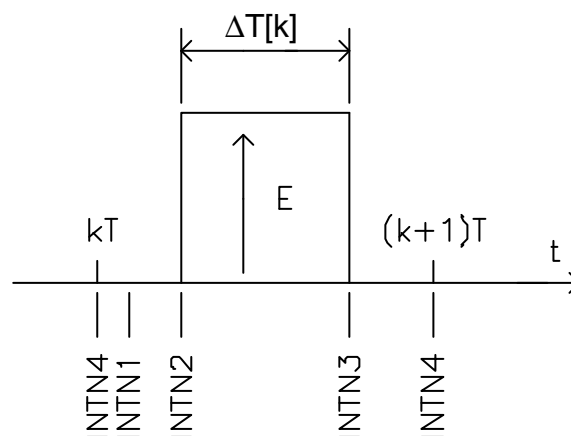


Fig. 4.2: Localização das interrupções para Deadbeat padrão.

Cada interrupção terá então duas funções básicas. A primeira será a programação do registrador PRD e a segunda será a realização de alguma atuação no hardware através da programação de um valor no *latch* da placa de interface, iniciando ou terminando o pulso PWM, ou ativando o amostrador (S/H) das variáveis de estado.

A interrupção INTN4, que ocorre no instante kT na Fig. 4.2, realiza a amostragem das variáveis de estado e cálculo da largura do pulso PWM. O tempo entre INTN4 e INTN1 é fixo e maior que o tempo necessário para execução da rotina de INTN4. A interrupção INTN1 é necessária somente para a programação do *timer*, já que o tempo entre INTN1 e INTN2 é variável e calculado durante a interrupção INTN4. As interrupções INTN2 e INTN3 realizam somente as funções básicas de atualização de PRD e do *latch* da placa de interface.

No cálculo da largura do pulso deve haver uma limitação, isto é, existirá uma largura de pulso mínima e uma largura de pulso máxima. Isto ocorre devido à necessidade de um tempo mínimo para execução das rotinas e à necessidade de cálculo da largura do pulso dentro do mesmo ciclo. Esta última pode ser traduzida pela seguinte equação, sabendo-se que o pulso PWM deverá sempre estar centrado entre os instantes kT e $(k+1)T$.

$$\Delta T_{max} = T - 2 \cdot T_{calc} \quad (4.1)$$

Onde:

ΔT_{max} Máxima largura do pulso PWM

T Tempo de amostragem

T_{calc} Tempo de cálculo

O tempo de cálculo representa o tempo que decorre entre a ocorrência da interrupção INTN4 e o fim da rotina de INTN1. Considerando-se estas limitações a razão cíclica máxima foi de aproximadamente 0,82 e a mínima de 0,004.

Para a realização dos cálculos de controle deve-se ter em mente que os valores lidos através do conversor analógico-digital não estão expressos diretamente em volts ou ampères, mas sim numa proporção destes valores, e também que os cálculos não são realizados em aritmética de ponto flutuante, mas em aritmética de ponto fixo, isto é, com números inteiros. Um terceira observação é a de que, para programar o *timer* do TMS320C25, não é usado um número expresso em segundos e sim um número correspondente a este tempo, expresso em número de ciclos de máquina.

A equação que calcula a largura do pulso PWM é dada por:

$$\Delta T[k] = p1 \cdot v[k] + p2 \cdot \dot{v}[k] + p3 \cdot v_{ref}[k+1] \quad (4.2)$$

Onde os valores $p1$, $p2$ e $p3$ são aqueles calculados no Capítulo II. Como não é possível amostrar-se diretamente a derivada da tensão sobre o capacitor $v[k]$, deve-se usar a seguinte equação.

$$i[k] = C_o \cdot \dot{v}[k] \quad (4.3)$$

Onde $i[k]$ é a corrente no capacitor. A equação (4,2) poderá então ser transformada em:

$$\Delta T[k] = p1 \cdot v[k] + p2i \cdot i[k] + p3 \cdot v_{ref}[k+1] \quad (4.4)$$

Os parâmetros serão então:

$$\begin{aligned} p1 &= -5,2533 \times 10^{-6} \\ p2i &= \frac{p2}{C_o} & p2i &= -1,9913 \times 10^{-4} \\ p3 &= 6,5924 \times 10^{-6} \end{aligned}$$

As relações entre os valores das variáveis de estado em volts ou ampères e os valores lidos pelo conversor analógico-digital são as seguintes:

$$v_{AD}[k] = k_v \cdot v[k] \quad (4.5)$$

$$i_{AD}[k] = k_i \cdot i[k] \quad (4.6)$$

As constantes foram medidas e são:

$$k_v = 4,9$$

$$k_i = 310$$

Para manter a mesma relação, com o valor de referência também será adotado:

$$v_{refAD}[k] = k_v \cdot v_{ref}[k] \quad (4.7)$$

Onde $v_{ref}[k]$ é o valor de referência em volts e $v_{refAD}[k]$ é o valor de referência tabelado na memória do DSP.

Usando estas relações poderemos reescrever a equação (4.4).

$$\Delta T[k] = a1 \cdot v_{AD}[k] + a2 \cdot i_{AD}[k] + a3 \cdot v_{refAD}[k + 1] \quad (4.8)$$

Com:

$$\begin{aligned} a1 &= \frac{p1}{k_v} & a1 &= -1,0721 \times 10^{-6} \\ a2 &= \frac{p2i}{k_i} & a2 &= -6,4235 \times 10^{-7} \\ a3 &= \frac{p3}{k_v} & a3 &= 1,3454 \times 10^{-6} \end{aligned}$$

Para fazer um escalonamento adequado para a realização dos cálculos em aritmética inteira, primeiramente divide-se toda a equação por um valor próximo da soma dos coeficientes a1, a2 e a3 em módulo:

$$|a1| + |a2| + |a3| = 3,0598 \times 10^{-6}$$

O valor escolhido é:

$$divi = 2 \times 10^{-6}$$

Tem-se então a equação:

$$DT[k] = b1 \cdot v_{AD}[k] + b2 \cdot i_{AD}[k] + b3 \cdot v_{refAD}[k + 1] \quad (4.9)$$

Com as seguintes relações:

$$\begin{aligned} DT[k] &= \frac{\Delta T[k]}{divi} \\ b1 &= \frac{a1}{divi} & b1 &= -0,5361 \\ b2 &= \frac{a2}{divi} & b2 &= -0,3212 \\ b3 &= \frac{a3}{divi} & b3 &= 0,6727 \end{aligned}$$

Observa-se que $DT[k]$ não está expresso em segundos, mas sim em segundos/divi. Para a programação do *timer* do TMS320C25 com *clock* de 50MHz, deve-

se considerar que cada unidade programada representa um tempo de 80ns. Portanto o tempo a ser programado PRD, será dado por:

$$PRD = \frac{\Delta T[k]}{80 \times 10^{-9}} \quad (4.10)$$

ou

$$PRD = \frac{divi \cdot DT[k]}{80 \times 10^{-9}}, \quad (4.11)$$

Simplificando:

$$PRD = k_{prd} \cdot DT[k] \quad (4.12)$$

Onde:

$$k_{prd} = \frac{divi}{80 \times 10^{-9}} \quad (4.13)$$

$$k_{prd} = 25$$

A equação de $DT[k]$ ainda não tem seus coeficientes em valores apropriados.

Como todos os cálculos serão feitos em ponto fixo (valores inteiros), os coeficientes $b1$, $b2$ e $b3$ serão novamente escalonados para que resultem valores inteiros. O limite para este escalonamento é o resultado não ultrapassar o maior número positivo ou negativo em 16 bits (32767 e -32768). Uma condição para este escalonamento é o uso de um fator que seja múltiplo de 2, de forma a facilitar a volta para o valor original, já que a divisão por múltiplos de 2 é simples e rápida quando realizada em aritmética binária. Considerando-se um fator:

$$fat1 = 2^{15}$$

A equação de cálculo da largura de pulso se transforma em:

$$DT_c[k] = c1 \cdot v_{AD}[k] + c2 \cdot i_{AD}[k] + c3 \cdot v_{refAD}[k + 1] \quad (4.14)$$

Com:

$$DT[k] = \frac{DT_c[k]}{fat1}$$

$$c1 = fat1 \cdot b1 \quad c1 = -17565$$

$$c2 = fat1 \cdot b2 \quad c2 = -10524$$

$$c3 = fat1 \cdot b3 \quad c3 = 22043$$

Onde c_1 , c_2 e c_3 já foram arredondados para o número inteiro mais próximo. Os cálculos serão realizados usando-se a equação (4.14), devendo o resultado ser posteriormente dividido por $fat1$ para obtenção de $DT[k]$. Usando-se então (4.12), será obtido o valor a ser programado no *timer* do TMS320C25.

4.3 Programa Deadbeat preditivo

O programa Deadbeat preditivo tem funcionamento semelhante ao programa Deadbeat padrão. A principal diferença está na realização da previsão das variáveis de estado para o próximo instante de amostragem no Deadbeat preditivo. Isto é necessário pois o tempo de amostragem é de somente $50,08\mu s$, impossibilitando a amostragem das variáveis de estado e cálculo da largura do pulso no mesmo ciclo. O que é feito é a previsão das variáveis de estado para o instante de amostragem seguinte, de forma que a largura do pulso PWM já estará calculada antes do próximo instante de amostragem. Com o auxílio da Fig. 4.4 pode-se entender como isto funciona.

No instante kT ocorre uma interrupção INTN3. Todos os valores a serem programados no *timer*, assim como os valores a serem programados no *latch* da placa de interface nas interrupções INTN3 (em kT) e nas interrupções INTN1 e INTN2 seguintes já estão disponíveis e foram calculados entre o instante $(k-1)T$ e kT . Durante a interrupção INTN3 em kT , os valores das variáveis de estado são amostradas e é calculada a previsão destas variáveis para o instante $(k+1)T$. A partir desta previsão é possível calcular a largura do pulso $\Delta T(k+1)$. As interrupções INTN1 e INTN2 serão responsáveis pelo início e término do pulso de tensão.

Deve-se observar que, como a duração da rotina de INTN3 é muito grande, dentro desta própria rotina de interrupção é habilitado a ocorrência de outras interrupções, fazendo com que as rotinas de INTN1 e INTN2, esta para pulsos mais largos, interrompam a execução da rotina de INTN3 por pequenos instantes. Para evitar atraso nas rotinas de serviço das interrupções INTN1 e INTN2, não foram utilizadas instruções

com repetição (instrução RPTK), que impedem o atendimento de interrupções até que sua execução seja completada.

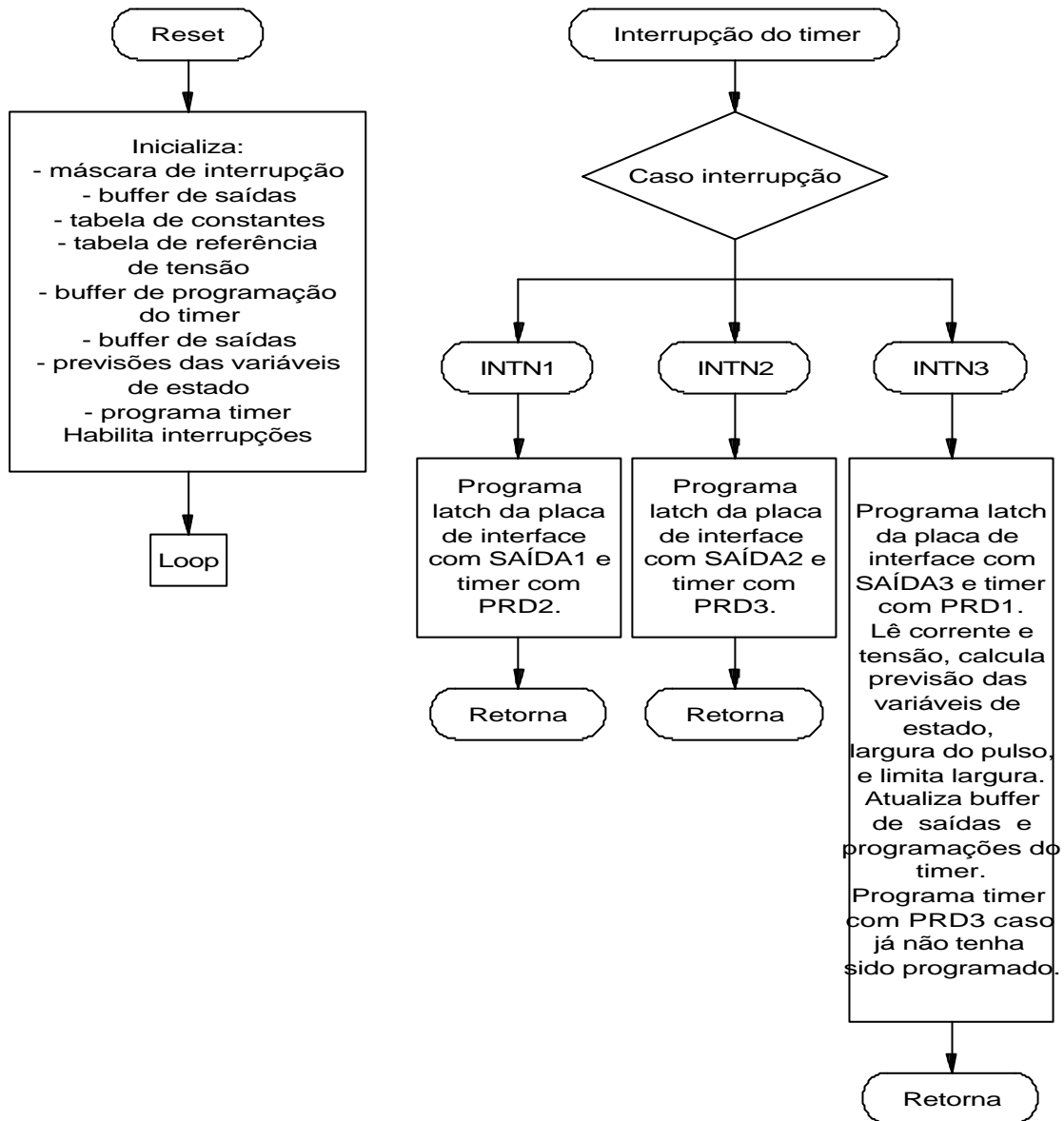


Fig. 4.3: Fluxograma do programa Deadbeat preditivo.

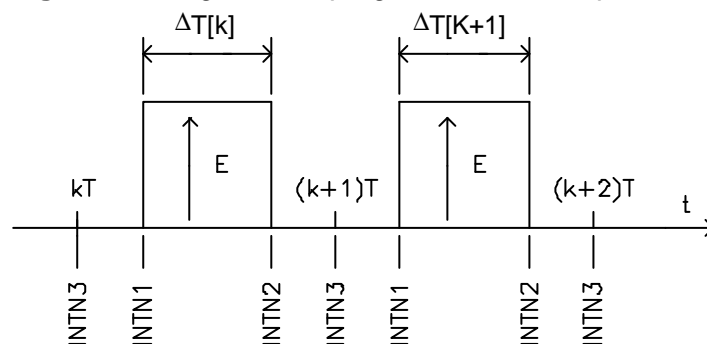


Fig. 4.4: Localização das interrupções para Deadbeat preditivo.

Como os cálculos não são mais realizados no mesmo ciclo de geração do pulso PWM, a limitação da largura de pulso só será devido à execução das rotinas de interrupção INTN1 e INTN2, fazendo com que a maior e menor razões cíclicas sejam respectivamente 0,92 e 0,04.

Pode-se realizar um procedimento semelhante àquele empregado para chegar-se a equação de cálculo da largura de pulso do DSP (4.14). Partindo-se da equação:

$$\Delta T[k+1] = p1 \cdot \hat{v}[k+1] + p2 \cdot \hat{i}_{Lo}[k+1] + p3 \cdot \hat{I}_L[k+1] + p4 \cdot v_{ref}[k+2] \quad (4.15)$$

Onde os parâmetros são

$$p1 = -1,0406 \times 10^{-6}$$

$$p2 = -2,8120 \times 10^{-5}$$

$$p3 = 2,8120 \times 10^{-5}$$

$$p4 = 1,1647 \times 10^{-6}$$

A equação (4.15) é válida quando as tensões são expressas em volts e as correntes em ampères. Sendo a seguinte relação entre as variáveis nas unidades citadas e os valores lidos através do conversor analógico-digital:

$$v_{AD}[k] = k_v \cdot v[k] \quad (4.16)$$

$$i_{LoAD}[k] = k_i \cdot i_{Lo}[k] \quad (4.17)$$

Onde:

$$k_v = 4,9$$

$$k_i = 550$$

Usando-se então estas mesmas relações para os valores previstos e valores de $v_{ref}[k]$ tabelados em memória, tem-se:

$$\hat{v}_{AD}[k] = k_v \cdot \hat{v}[k] \quad (4.18)$$

$$\hat{i}_{LoAD}[k] = k_i \cdot \hat{i}_{Lo}[k] \quad (4.19)$$

$$\hat{I}_{LAD}[k] = k_i \cdot \hat{I}_L[k] \quad (4.20)$$

$$v_{refAD}[k] = k_v \cdot v_{ref}[k] \quad (4.21)$$

Obtem-se então a seguinte equação:

$$\Delta T[k+1] = a1 \cdot \hat{v}_{AD}[k+1] + a2 \cdot \hat{i}_{LoAD}[k+1] + a3 \cdot \hat{I}_{LAD}[k+1] + a4 \cdot v_{refAD}[k+2] \quad (4.22)$$

Onde:

$$\begin{aligned} a1 &= \frac{p1}{k_v} & a1 &= -2,1236 \times 10^{-7} \\ a2 &= \frac{p2}{k_i} & a2 &= -5,1127 \times 10^{-8} \\ a3 &= \frac{p3}{k_i} & a3 &= 5,1127 \times 10^{-8} \\ a4 &= \frac{p4}{k_v} & a4 &= 2,3768 \times 10^{-7} \end{aligned}$$

A soma do módulo dos quatro coeficientes é:

$$|a1| + |a2| + |a3| + |a4| = 5,5230 \times 10^{-7}$$

Escolhe-se

$$divi = 1 \times 10^{-7}$$

Chega-se então a equação:

$$DT[k+1] = b1 \cdot \hat{v}_{AD}[k+1] + b2 \cdot \hat{i}_{LoAD}[k+1] + b3 \cdot \hat{I}_{LAD}[k+1] + b4 \cdot v_{refAD}[k+2] \quad (4.23)$$

Valendo as relações:

$$\begin{aligned} DT[k] &= \frac{\Delta T[k]}{divi} \\ b1 &= \frac{a1}{divi} & b1 &= -2,1236 \\ b2 &= \frac{a2}{divi} & b2 &= -0,5113 \\ b3 &= \frac{a3}{divi} & b3 &= 0,5113 \\ b4 &= \frac{a4}{divi} & b4 &= 2,3768 \end{aligned}$$

O valor a ser programado no *timer* será dado por:

$$PRD = k_{prd} \cdot DT[k] \quad (4.24)$$

Onde:

$$k_{prd} = \frac{divi}{80 \times 10^{-9}} \quad (4.25)$$

$$k_{prd} = 1,25$$

Dividindo-se toda a equação (4.22) por:

$$fat1 = 2^{13}$$

Resultará:

$$DT_c[k+1] = c1 \cdot \hat{v}_{AD}[k+1] + c2 \cdot \hat{i}_{LoAD}[k+1] + c3 \cdot \hat{I}_{LAD}[k+1] + c4 \cdot v_{refAD}[k+2] \quad (4.26)$$

Com:

$$DT[k] = \frac{DT_c[k]}{fat1}$$

$$c1 = fat1 \cdot b1 \quad c1 = -17397$$

$$c2 = fat1 \cdot b2 \quad c2 = -4188$$

$$c3 = fat1 \cdot b3 \quad c3 = 4188$$

$$c4 = fat1 \cdot b4 \quad c4 = 19471$$

Os valores de $c1$, $c2$, $c3$ e $c4$ já estão arredondados para o inteiro mais próximo. Outros fatores que precisam ser calculados são os usados para a previsão das variáveis de estado. A equação que dá a previsão das variáveis de estado é a (1.39), que aqui pode ser reescrita da seguinte forma:

$$\hat{x}[k+1] = A_e \cdot \hat{x}[k] + L \cdot y[k] + G \cdot \Delta T[k] \quad (4.27)$$

Onde A_e , L e G são as matrizes calculadas no Capítulo II e:

$$\hat{x}[k] = \begin{bmatrix} \hat{v}[k] \\ \hat{i}_{Lo}[k] \\ \hat{I}_L[k] \end{bmatrix} \quad \text{Vetor dos valores previstos} \quad (4.28)$$

$$y[k] = \begin{bmatrix} v[k] \\ i_{Lo}[k] \end{bmatrix} \quad \text{Vetor dos valores lidos} \quad (4.29)$$

Sistematizando o estudo, pode-se adotar uma representação matricial.

$$\hat{x}[k+1] = Bz[k] \quad (4.30)$$

Com

$$B = [A_e \quad \vdots \quad L \quad \vdots \quad G] \quad (4.31)$$

$$z[k] = \begin{bmatrix} \hat{x}[k] \\ x[k] \\ \Delta T[k] \end{bmatrix} \quad (4.32)$$

Se for feita a seguinte multiplicação:

$$\hat{x}[k+1] = B \cdot K_1^{-1} \cdot z[k] \cdot K_1 \quad (4.33)$$

Com:

$$K_1 = \begin{bmatrix} k_v & 0 & 0 & 0 & 0 & 0 \\ 0 & k_i & 0 & 0 & 0 & 0 \\ 0 & 0 & k_i & 0 & 0 & 0 \\ 0 & 0 & 0 & k_v & 0 & 0 \\ 0 & 0 & 0 & 0 & k_i & 0 \\ 0 & 0 & 0 & 0 & 0 & 1/divi \end{bmatrix}$$

Então pode-se reescrever (4.32) como:

$$\hat{x}[k+1] = C \cdot z_{AD}[k] \quad (4.34)$$

Onde:

$$C = B \cdot K_1^{-1} \quad (4.35)$$

$$z_{AD}[k] = z[k] \cdot K_1 \quad (4.36)$$

O vetor $z_{AD}[k]$ será composto pelos valores disponíveis na memória do DSP:

$$z_{AD}[k] = \begin{bmatrix} \hat{v}_{AD}[k] \\ \hat{i}_{LoAD}[k] \\ \hat{I}_L[k] \\ v_{AD}[k] \\ i_{LoAD}[k] \\ DT[k] \end{bmatrix} \quad (4.37)$$

Se toda equação (4.33) for multiplicada por K_2 , onde:

$$K_2 = \begin{bmatrix} K_v & 0 & 0 \\ 0 & K_i & 0 \\ 0 & 0 & K_i \end{bmatrix} \quad (4.38)$$

Obtem-se a equação:

$$\hat{x}_{AD}[k+1] = D \cdot z_{AD}[k] \quad (4.39)$$

Com:

$$D = K_2 \cdot C \quad (4.40)$$

$$\hat{x}_{AD}[k+1] = K_2 \cdot \hat{x}[k+1] \quad (4.41)$$

O vetor $\hat{x}_{AD}[k]$ será composto pelos valores usados para os cálculos no DSP,

isto é:

$$\hat{x}_{AD}[k] = \begin{bmatrix} \hat{v}_{AD}[k] \\ \hat{i}_{LoAD}[k] \\ \hat{I}_{LAD}[k] \end{bmatrix} \quad (4.42)$$

O último escalonamento necessário será para transformar a matriz D em valores inteiros. Isto é feito por:

$$E = fat2 \cdot D \quad (4.43)$$

Com:

$$fat2 = 2^{13}$$

Resultando:

$$E = \begin{bmatrix} 4011 & -172 & -1762 & 3308 & 1934 & 3447 \\ 854 & 5819 & 873 & -8536 & 1500 & 30339 \\ 2404 & 240 & 8192 & -2404 & -240 & 0 \end{bmatrix}$$

Para os cálculos no DSP, será primeiro calculado:

$$\hat{x}_{ADC}[k+1] = E \cdot z_{AD}[k] \quad (4.44)$$

Então dividindo-se $\hat{x}_{ADC}[k+1]$ por $fat2$ será obtido $\hat{x}_{AD}[k+1]$, que dará os valores necessários para o cálculo da largura do pulso PWM.

4.4. Conclusão

Neste capítulo foi apresentado o software de controle para o algoritmo Deadbeat padrão e para o Deadbeat preditivo. Constatou-se a apresentação dos fluxogramas dos dois programas desenvolvidos, da estratégia de controle e do cálculo dos parâmetros de controle.

Deve ser observado que o uso do *timer* do DSP em todas as suas potencialidades permitiu que, tanto a amostragem das variáveis de estado, quanto o início e término do pulso de tensão, através do uso de interrupções, fossem realizados dentro de um sincronismo perfeito, dispensando-se o uso de contador externo.

Grande atenção foi empregada na descrição do cálculo dos parâmetros de controle. Estes parâmetros de controle já haviam sido determinados no Capítulo II, porém lá foram calculados para as unidades do Sistema Internacional de Unidades (SI). Devido a forma de leitura e amostragem das variáveis de estado, os valores disponíveis para cálculo no DSP não estão no SI e então é necessário realizar um escalonamento para que dos cálculos resultem os valores corretos. Outro cuidado a se ter com os parâmetros de controle é que os cálculos são realizados em aritmética ponto fixo de 16 bits, para tanto não se pode usar valores fracionários. Este problema é solucionado escalonando-se os parâmetros fracionários para números inteiros e posteriormente dividindo-se o resultado pelo valor usado no escalonamento.

CAPÍTULO V

RESULTADOS EXPERIMENTAIS

5.1. Introdução

Neste capítulo serão mostrados e analisados os resultados experimentais obtidos com o protótipo desenvolvido. Foram feitos testes para as duas formas de controle: Deadbeat padrão e Deadbeat preditivo. Para os dois casos foram feitos testes a vazio, com carga resistiva nominal, carga resistiva controlada por triac e simulação de entrada de fonte de alimentação. Para um melhor entendimento dos gráficos é mostrado na Fig. 5.1 o circuito com a simbologia dos valores medidos. Em todos os gráficos a escala horizontal é de 2ms/div.

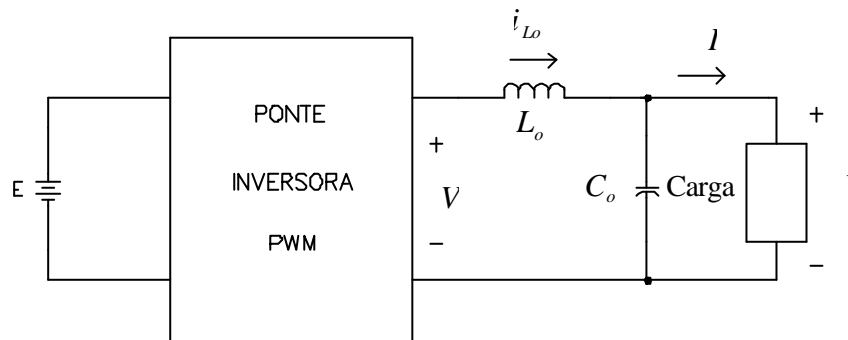


Fig. 5.1: Diagrama do circuito com valores medidos.

5.2. Testes para controle Deadbeat padrão

As figuras seguintes mostram as formas de onda obtidas nos testes.

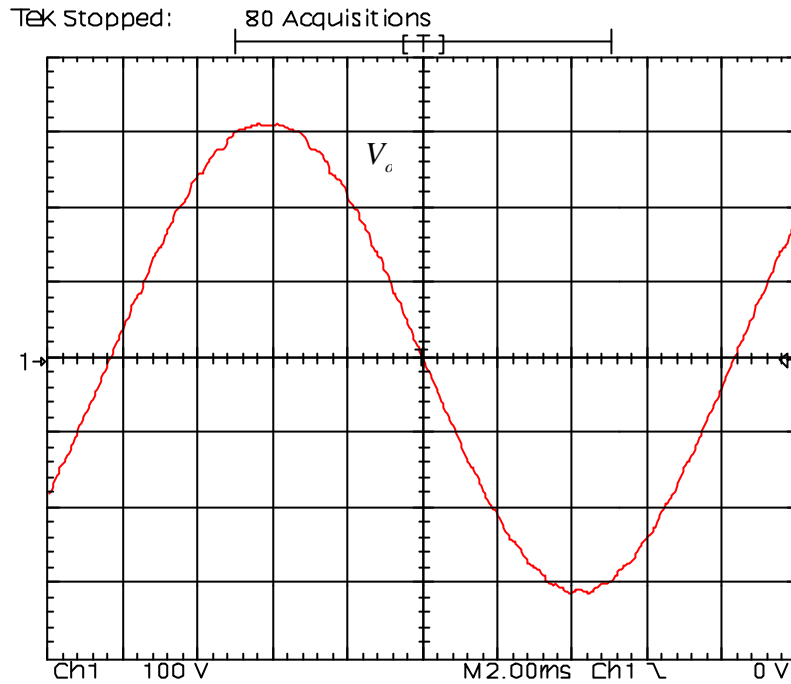


Fig. 5.2: Tensão V_o (100V/div) a vazio.

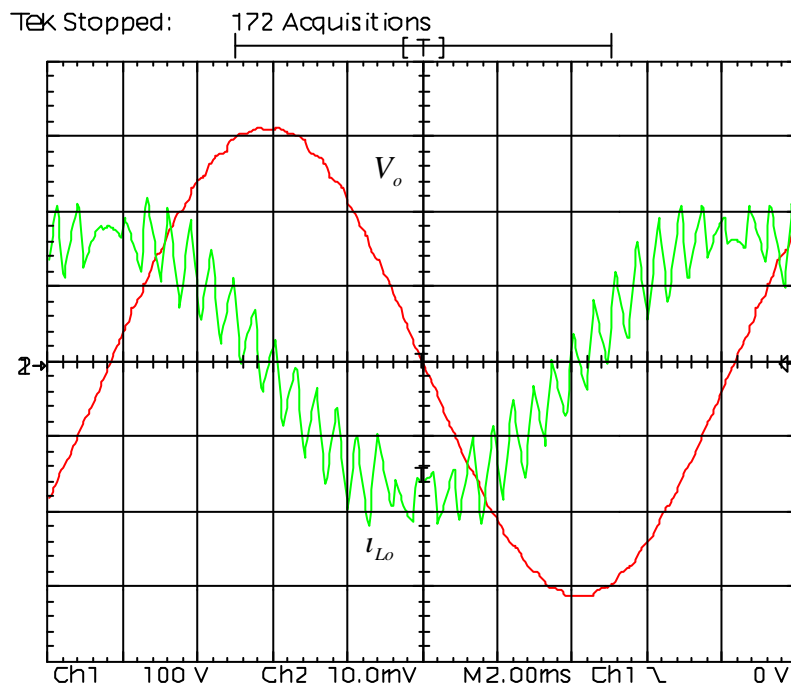


Fig. 5.3: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) a vazio.

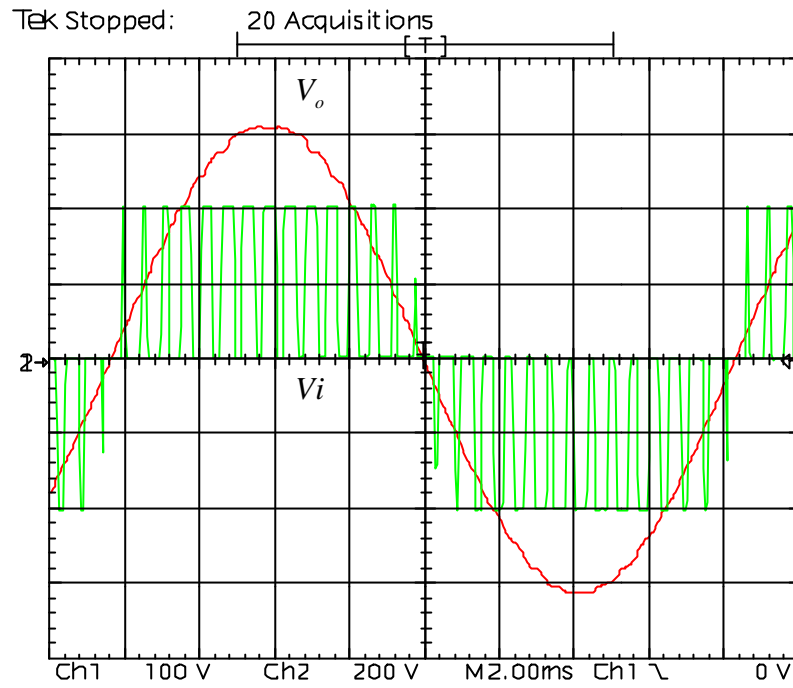


Fig. 5.4: Tensão V_o (100V/div) e tensão V_i (200V/div) a vazio.

As figuras seguintes mostram os resultados para carga resistiva nominal ($R = 160\Omega$) para consumir 300W.

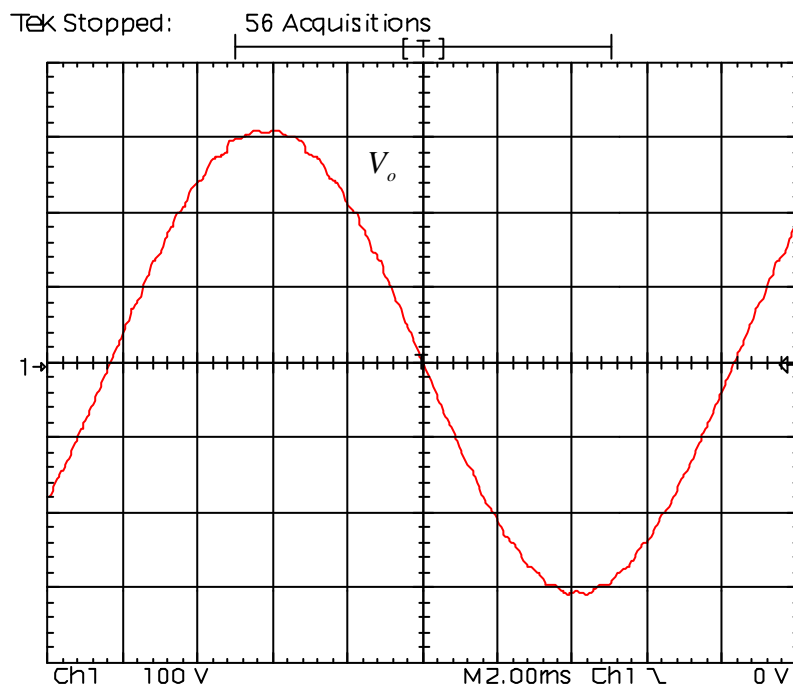


Fig. 5.5: Tensão V_o (100V/div) com carga resistiva nominal.

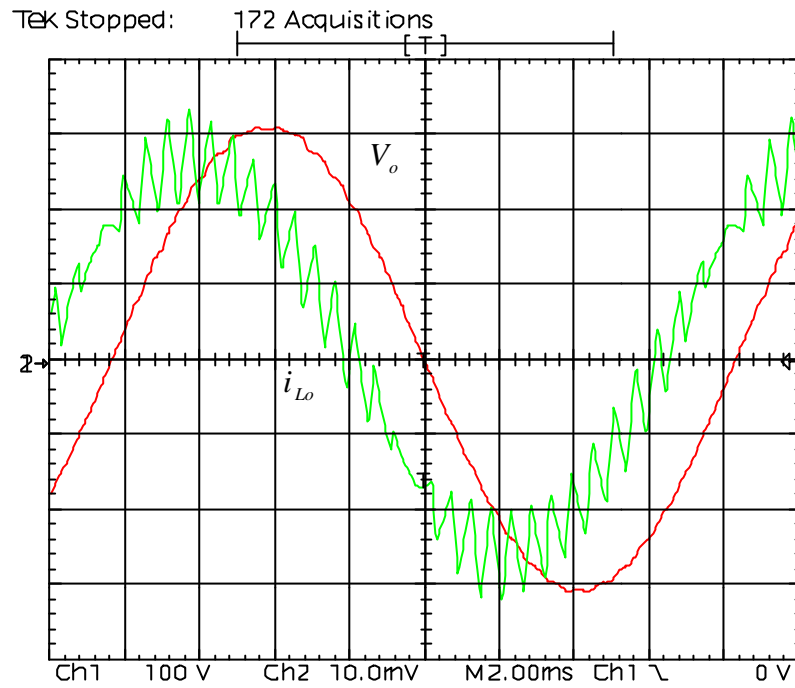


Fig. 5.6: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) com carga nominal.

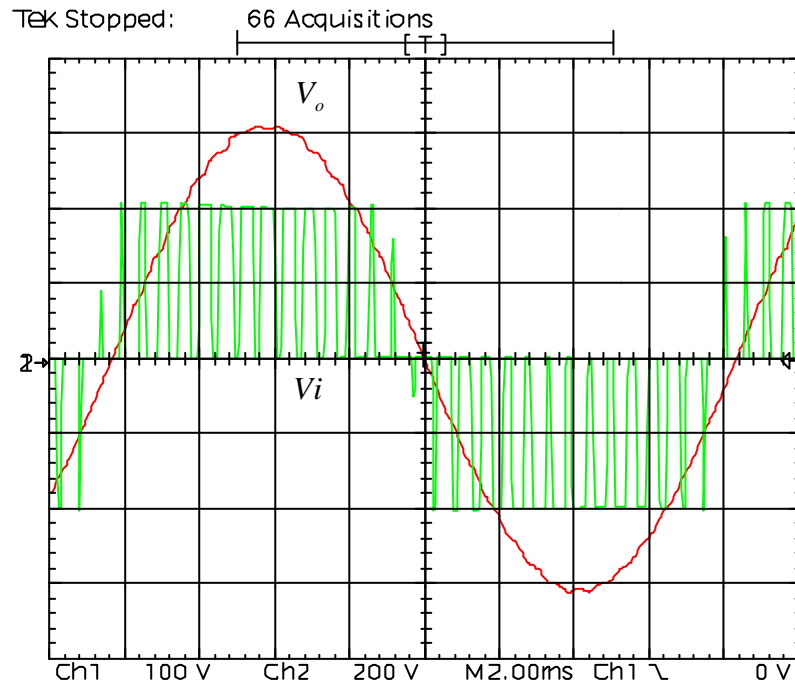


Fig. 5.7: Tensão V_o (100V/div) e tensão V_i (200V/div) com carga nominal.

Com carga resistiva controlada por triac foram feitas medições com ângulos de 45° e 90° .

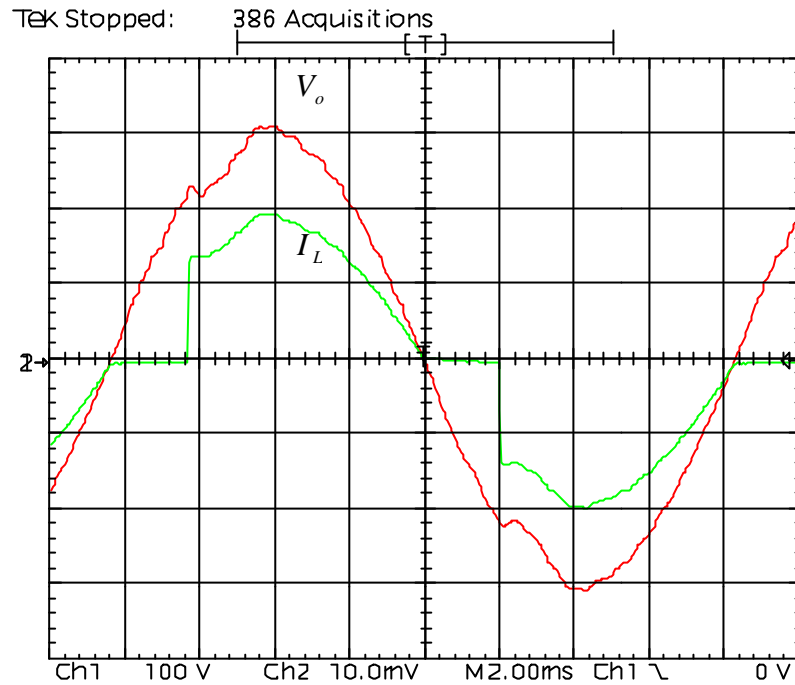


Fig. 5.8: Tensão V_o (100V/div) e corrente na carga I_L (1A/div) para carga resistiva a 45° .

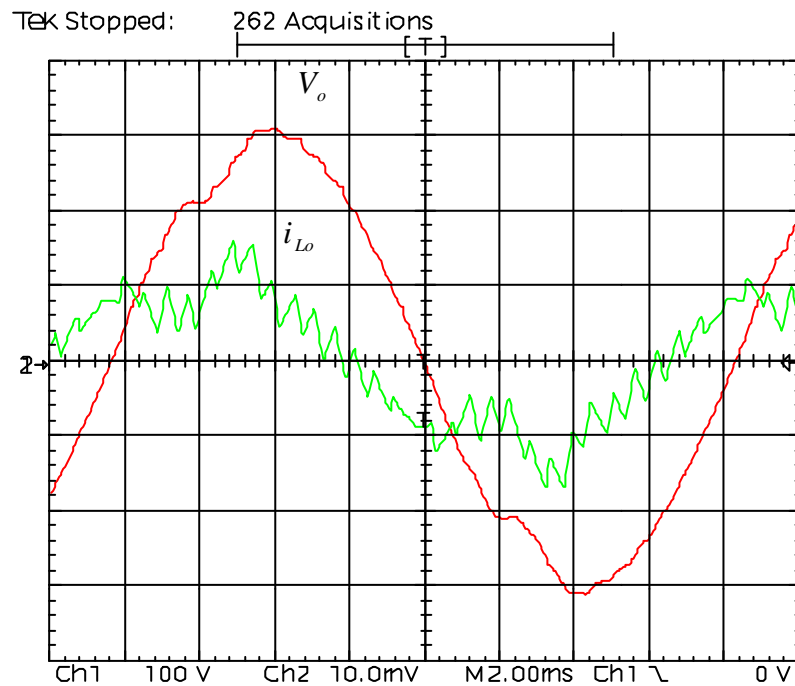


Fig. 5.9: Tensão V_o (100V/div) e corrente i_{Lo} (2A/div) para carga resistiva a 45° .

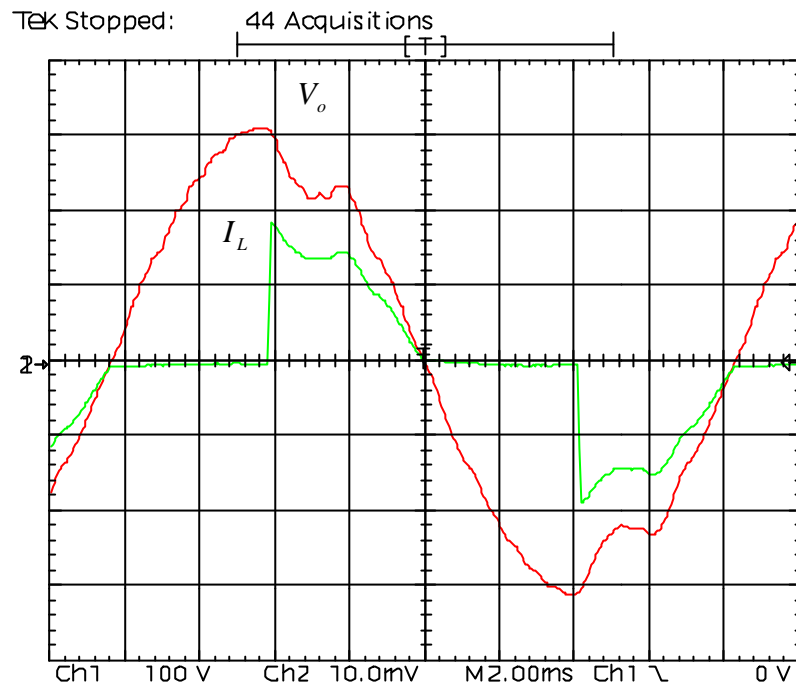


Fig. 5.10: Tensão V_o (100V/div) e corrente na carga I_L (1A/div) para carga resistiva a 90° .

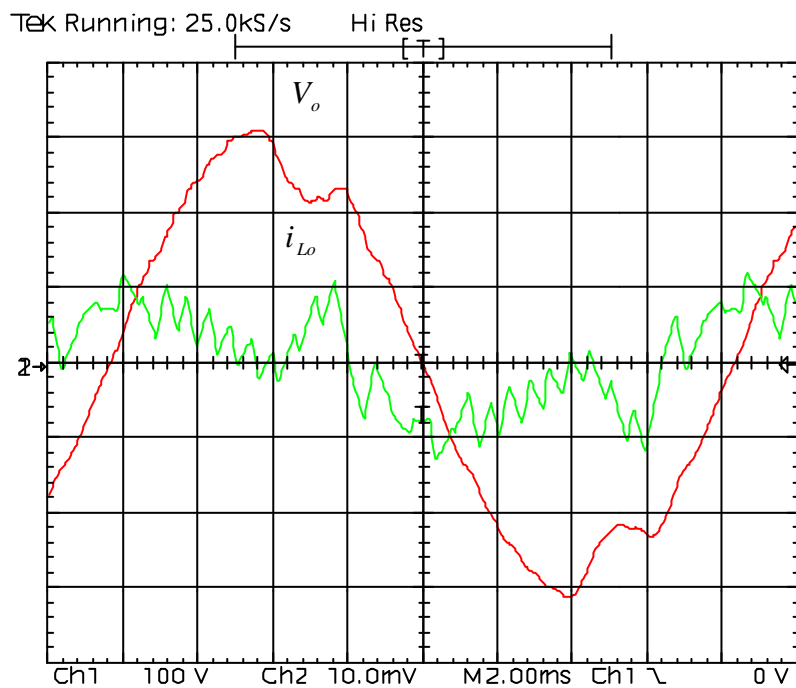


Fig. 5.11: Tensão V_o (100V/div) e corrente i_{Lo} (2A/div) para carga resistiva a 90° .

Os testes para carga representando a entrada de uma fonte de alimentação foram feitos simulando-se esta através de um retificador de ponte completa, seguido de um filtro capacitivo em paralelo com uma resistência de carga. O filtro capacitivo escolhido foi de $165\mu\text{F}$, segundo a regra usual de $0,5\mu\text{F}/\text{Watt}$ ($165\mu\text{F}/300\text{W}$). O resistor foi variado, mostrando-se nas figuras seguintes resultados para $R = 1,8\text{K}\Omega$, consumindo uma potência de aproximadamente 50W e para $R = 700\Omega$, consumindo uma potência de 112W .

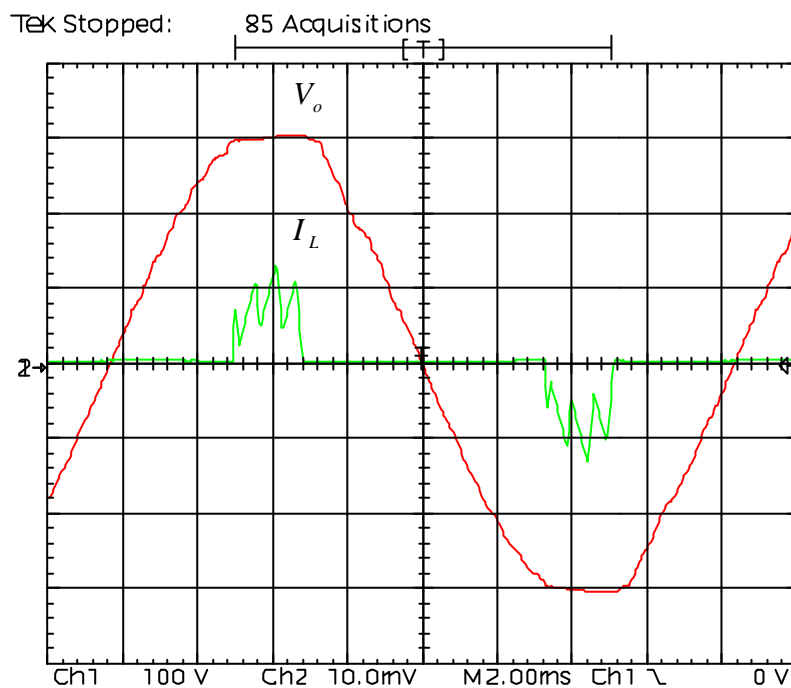


Fig. 5.12: Tensão V_o (100V/div) e corrente na carga I_L (1A/div) para carga equivalente de entrada de fonte de alimentação com $R = 1,8\text{K}\Omega$.

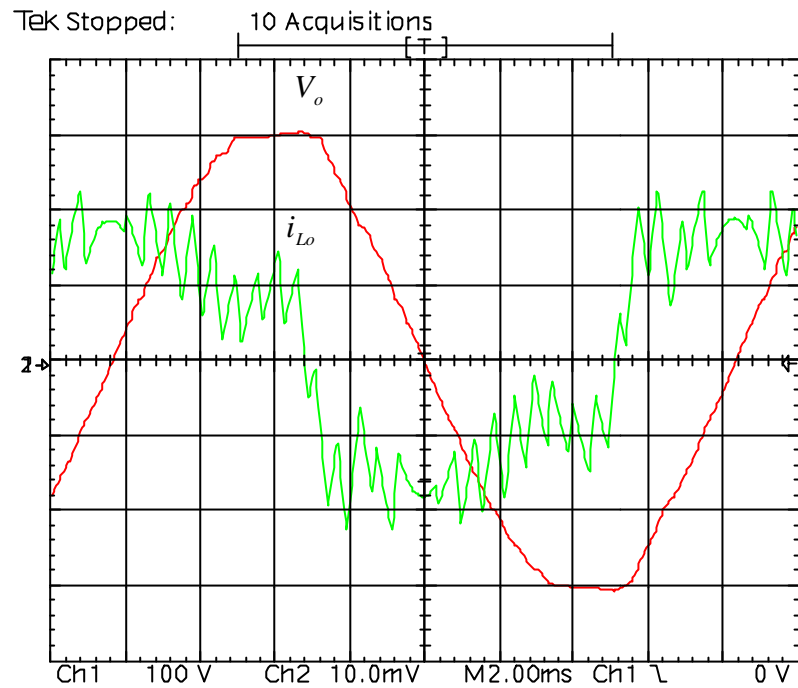


Fig. 5.13: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) para carga equivalente de entrada de fonte de alimentação com $R = 1,8K\Omega$.

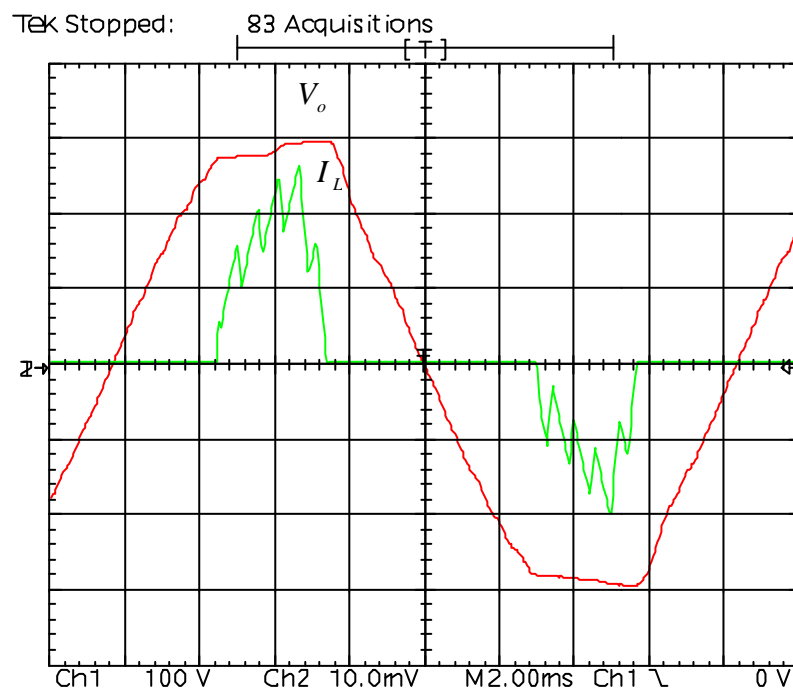


Fig. 5.14: Tensão V_o (100V/div) e corrente na carga I_L (1A/div) para carga equivalente de entrada de fonte de alimentação com $R = 700\Omega$.

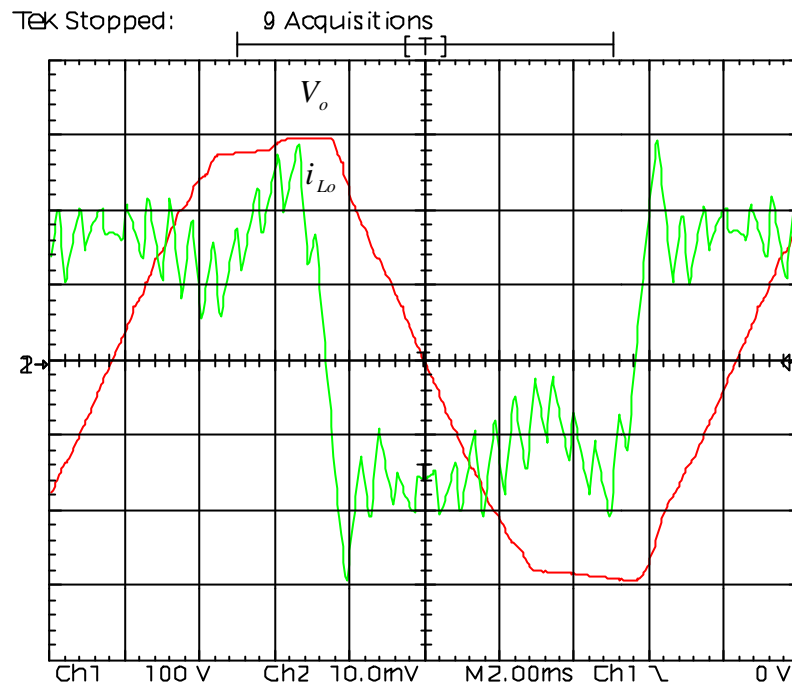


Fig. 5.15: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) para carga equivalente de entrada de fonte de alimentação com $R = 700\Omega$.

Para as tensões de saída das figuras 5.2, 5.5 e 5.10 foi feita análise harmônica, resultando a seguinte tabela.

Carga	Distorção Harmônica Total DHT (%)	Tensão de pico da fundamental V_{op} (V)
A vazio	1,03	312,5
Resistiva nominal	1,09	310,9
Resistiva nominal não-linear 90°	9,12	295,5

Tab. 5.1: Análise harmônica para controle Deadbeat padrão.

5.3. Testes para controle Deadbeat preditivo

As aquisições para controle Deadbeat preditivo são mostradas a seguir.

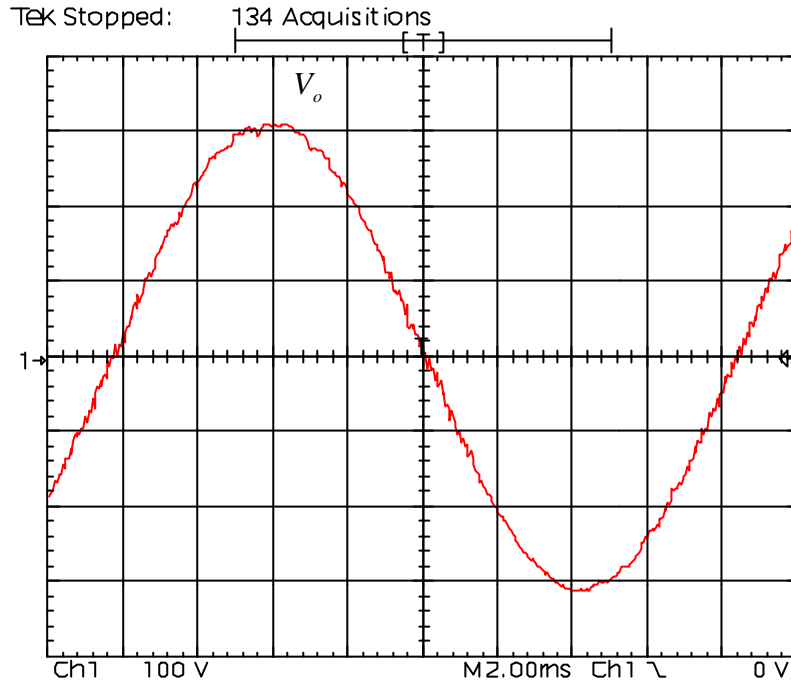


Fig. 5.16: Tensão V_o (100V/div) a vazio.

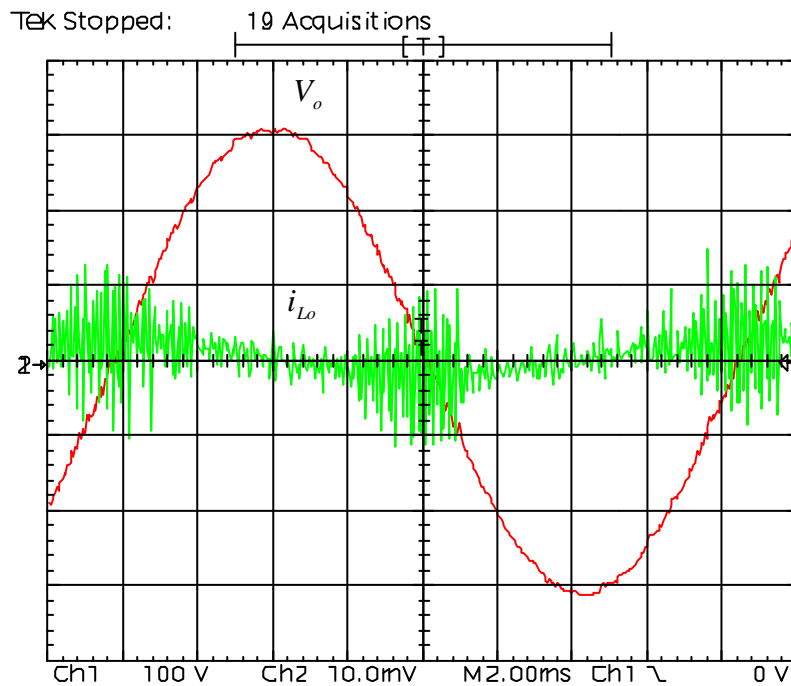


Fig. 5.17: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) a vazio.

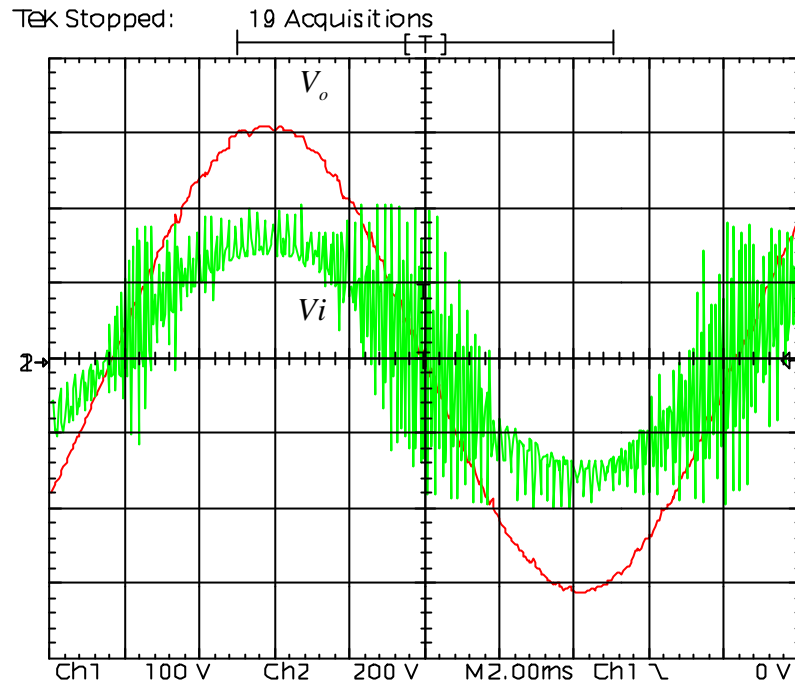


Fig. 5.18: Tensão V_o (100V/div) e tensão V_i (200V/div) a vazio.

Na Fig. 5.18, devido à alta frequência da modulação PWM (20kHz), ocorre o efeito de *aliasing* na amostragem do osciloscópio digital usado e a tensão V_i não pode ser observada convenientemente. Por isso não serão mostradas as formas de onda correspondentes para as outras aquisições.

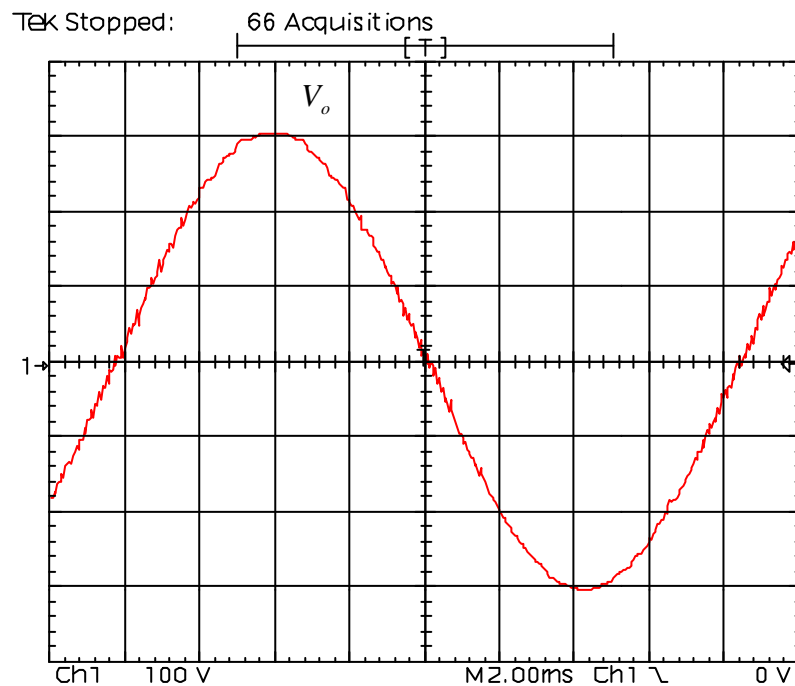


Fig. 5.19: Tensão V_o (100V/div) com carga resistiva nominal.

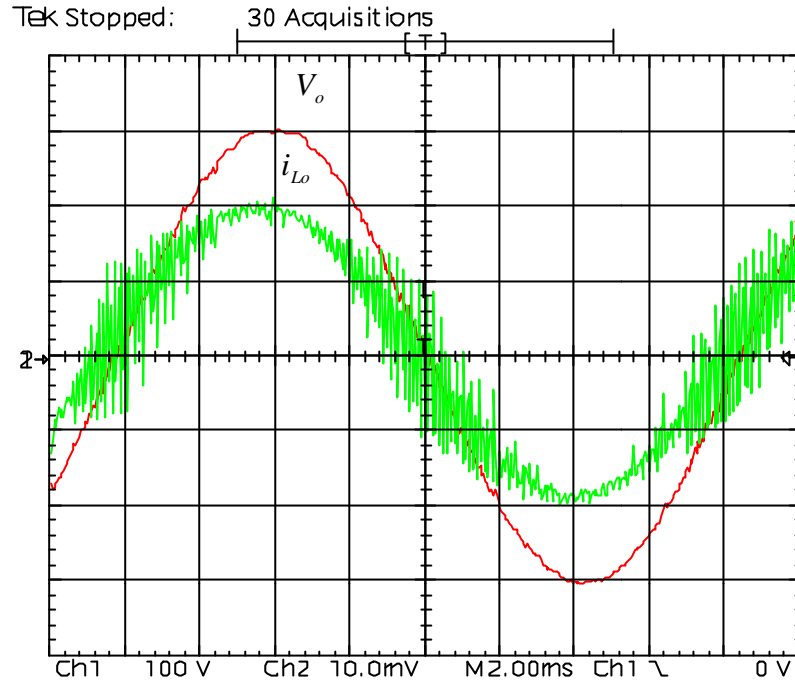


Fig. 5.20: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) com carga nominal.

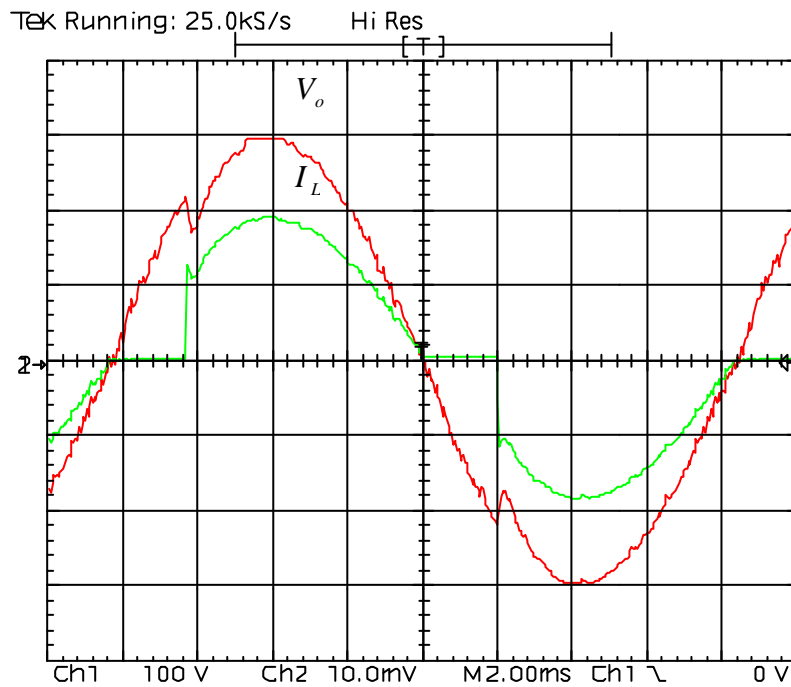


Fig. 5.21: Tensão V_o (100V/div) e corrente na carga I_L (1A/div) para carga resistiva a 45° .

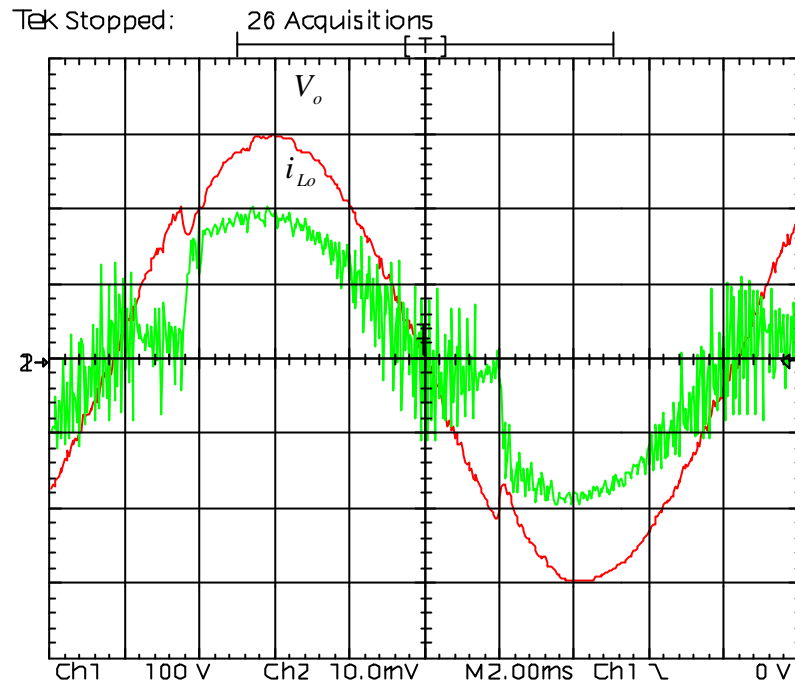


Fig. 5.22: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) com carga resistiva a 45° .

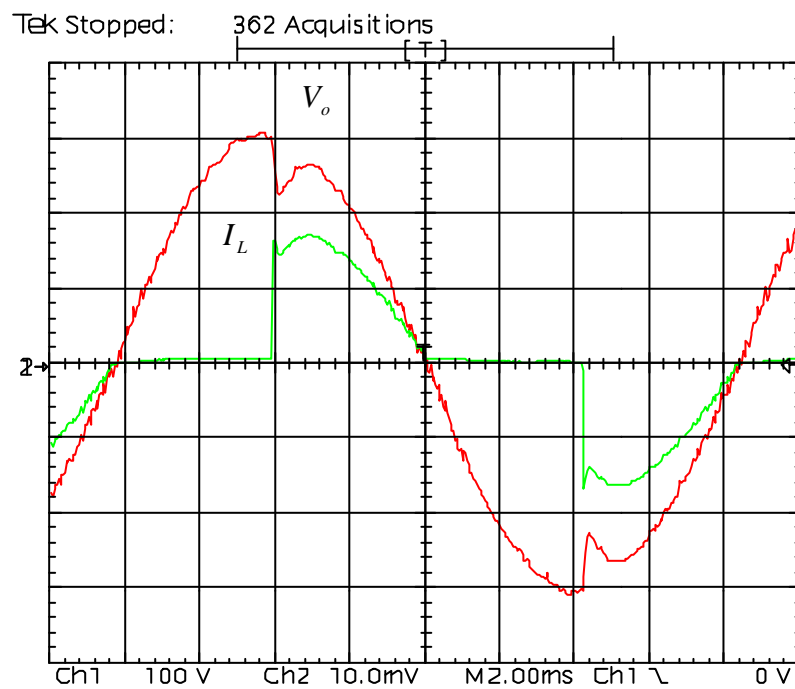


Fig. 5.23: Tensão V_o (100V/div) e corrente na carga I_L (1A/div) para carga resistiva a 90° .

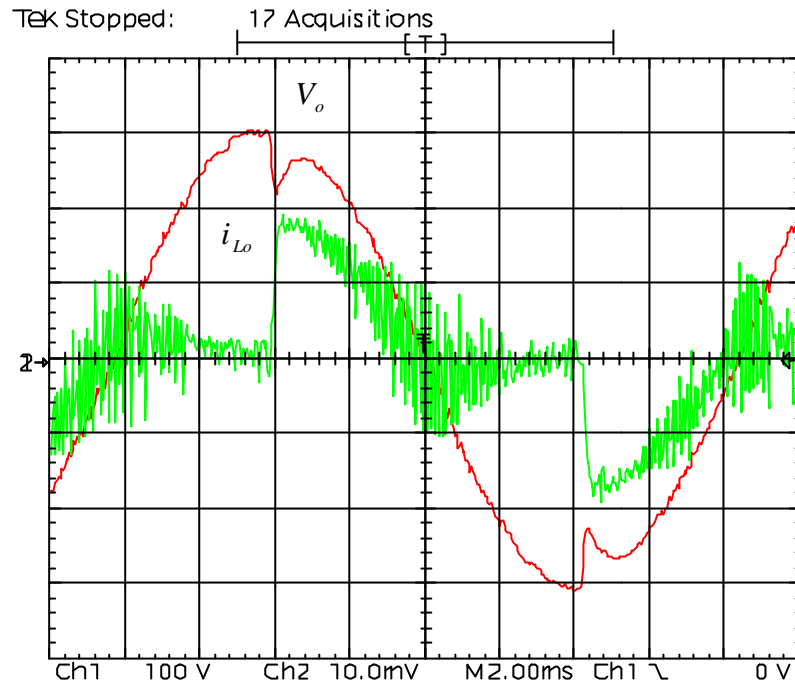


Fig. 5.24: Tensão V_o (100V/div) e corrente i_{Lo} (1A/div) para carga resistiva a 90° .

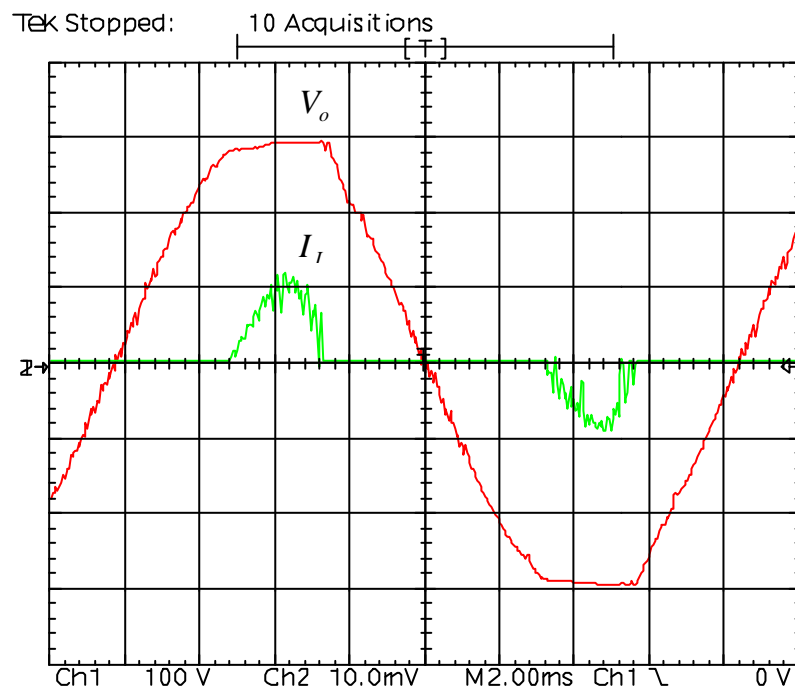


Fig. 5.25: Tensão V_o (100V/div) e corrente na carga I_L (1A/div) para carga equivalente de entrada de fonte de alimentação com $R = 1,8K\Omega$.

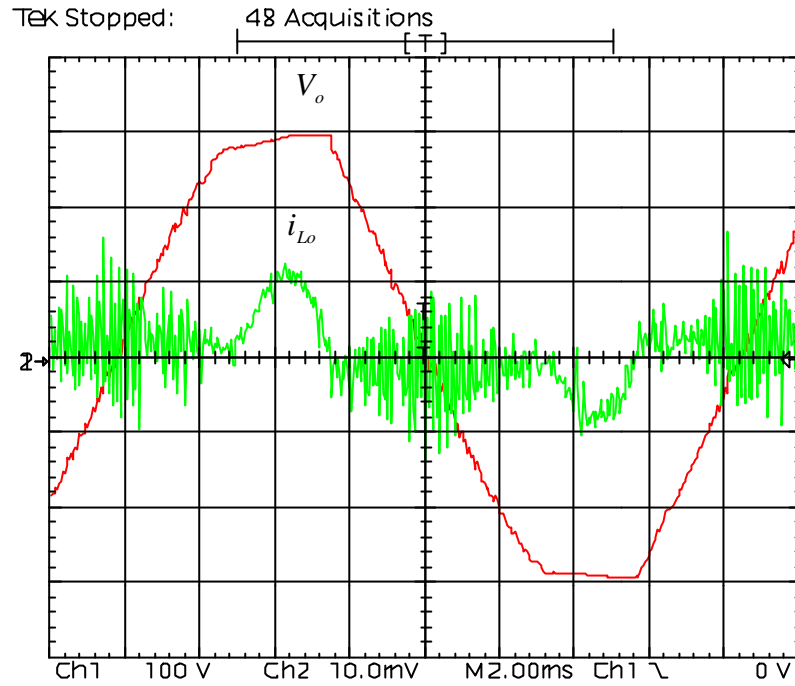


Fig. 5.26: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) para carga equivalente de entrada de fonte de alimentação com $R = 1,8K\Omega$.

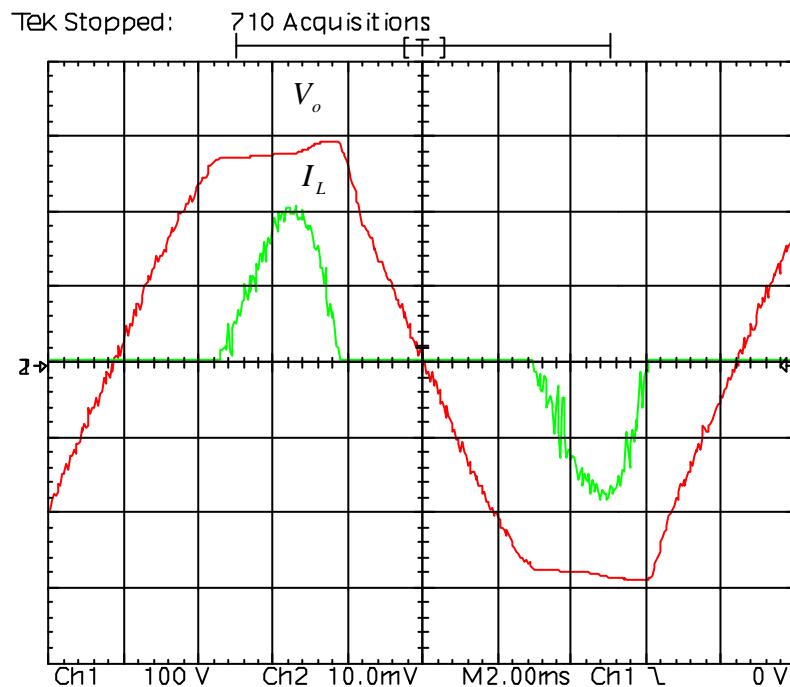


Fig. 5.27: Tensão V_o (100V/div) e corrente na carga I_L (1A/div) para carga equivalente de entrada de fonte de alimentação com $R = 700\Omega$.

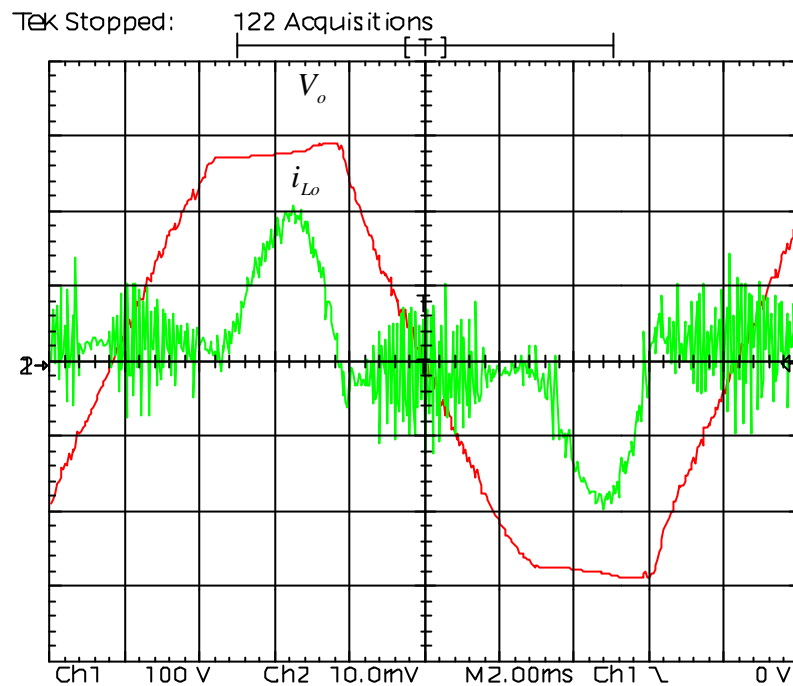


Fig. 5.28: Tensão V_o (100V/div) e corrente i_{Lo} (1A/div) para carga equivalente de entrada de fonte de alimentação com $R = 700\Omega$.

Realizou-se análise harmônica das tensões de saída correspondentes às figuras 5.16, 5.19 e 5.23. A Tab. 5.2 resume estes dados.

Carga	Distorção Harmônica Total DHT (%)	Tensão de pico da fundamental V_{op} (V)
A vazio	1,03	309,2
Resistiva nominal	0,99	302,5
Resistiva nominal não-linear 90°	7,84	300,1

Tab. 5.2: Análise harmônica para controle Deadbeat preditivo.

5.4. Análise dos resultados experimentais

Observando-se os gráficos das formas de onda experimentais pode-se ver que os resultados esperados realmente ocorreram. As formas de onda obtidas através de simulação no Capítulo II tiveram sua confirmação através dos resultados experimentais.

Se for comparada a Fig. 5.3, resultado experimental para controle Deadbeat padrão a vazio, com o equivalente simulado, representado pela Fig. 2.1, será visto que as diferenças são mínimas. Tanto o valor de tensão na saída quanto o valor da corrente no indutor L_o possuem suas formas equivalentes, inclusive no valor de amplitude. O mesmo ocorre para carga resistiva nominal apresentado na Fig. 5.6 e Fig. 2.2. Uma pequena diferença é encontrada para a carga resistiva não linear com ângulo de 90° (Fig. 5.11 e 2.3). Esta diferença pode ser devido a uma pequena diferença no ângulo de entrada da carga. Como o tempo de amostragem adotado para o Deadbeat padrão foi $555,56\mu\text{s}$, conforme for o ângulo de entrada da carga, poderá haver um atraso equivalente a este tempo de amostragem na resposta do controle. Estes resultados confirmam, portanto, a realização correta da implementação feita, tanto em termos de hardware como em termos de software de controle para o método Deadbeat padrão. Aparentemente, as não-idealidades que ocorrem na implementação, como razão cíclica mínima e número finito de dígitos dos cálculos numéricos em 16 bits não afetam os resultados.

Para uma carga equivalente a entrada de uma fonte de alimentação (retificador com carga RC), a resposta não havia sido simulada, porém, o achatamento da tensão de saída já era esperado. Além da baixa frequência de modulação, outro fator determinante foi a colocação de uma carga que não era equivalente ao modelo adotado pelo controle, isto é, a carga tinha característica capacitiva e não resistiva.

Os resultados experimentais obtidos para o controle Deadbeat preditivo a vazio, com carga resistiva nominal e carga resistiva não linear também confirmam os resultados da simulação mostrada no Capítulo II. Assim, a implementação do software de controle foi correta. A resposta para carga equivalente de entrada de fonte de alimentação foi semelhante à obtida com o controle Deadbeat padrão. Desta forma, através do uso de

uma frequência de amostragem e modulação maior, foi conseguido um resultado equivalente ao do Deadbeat padrão, com a diminuição da corrente circulante no filtro a vazio.

O controle Deadbeat preditivo apresentou o problema da grande oscilação da corrente no indutor L_o . Isto aconteceu tanto na simulação quanto na implementação experimental. Nas figuras que mostram a simulação no Capítulo II a frequência da corrente tem a aparência de ser menor, isto é devido ao programa de simulação não ter uma saída gráfica que permita uma maior resolução, o que não significa que os cálculos internos não estejam certos. Como a frequência de modulação é maior do que a adotada no controle Deadbeat padrão, era de se esperar que os níveis de variação da corrente em L_o fossem menores, porém, o fato de L_o ser menor é responsável em parte por estes níveis. Outro fator que ajuda para isto é a realização de estimativas das variáveis de estado com um certo erro. Tal fato não é devido a problemas da realização física, já que na própria simulação isto ocorre.

Para confirmação destas suspeitas foi feita uma simulação do controle semelhante ao usado no programa Deadbeat preditivo, isto é, calculando-se a largura do pulso PWM através da equação (1.40), não usando-se, porém, a equação (1.39) para cálculo das previsões das variáveis de estado. Na simulação não é necessário o cálculo do algoritmo de controle em tempo real, podendo-se "amostrar" as variáveis de estado "reais". A Fig. 5.29 mostra o resultado desta simulação. Pode-se observar que houve uma certa melhora no comportamento da corrente no indutor e uma boa melhora na tensão de saída do inversor. A corrente I_{L0} aumenta rapidamente em 90° como já acontecia com o uso do previsor, porém, consegue-se fazer a tensão V_o atingir seus valores desejados. Assim, o erro observado foi causado pela não convergência dos valores previstos dentro do tempo necessário.

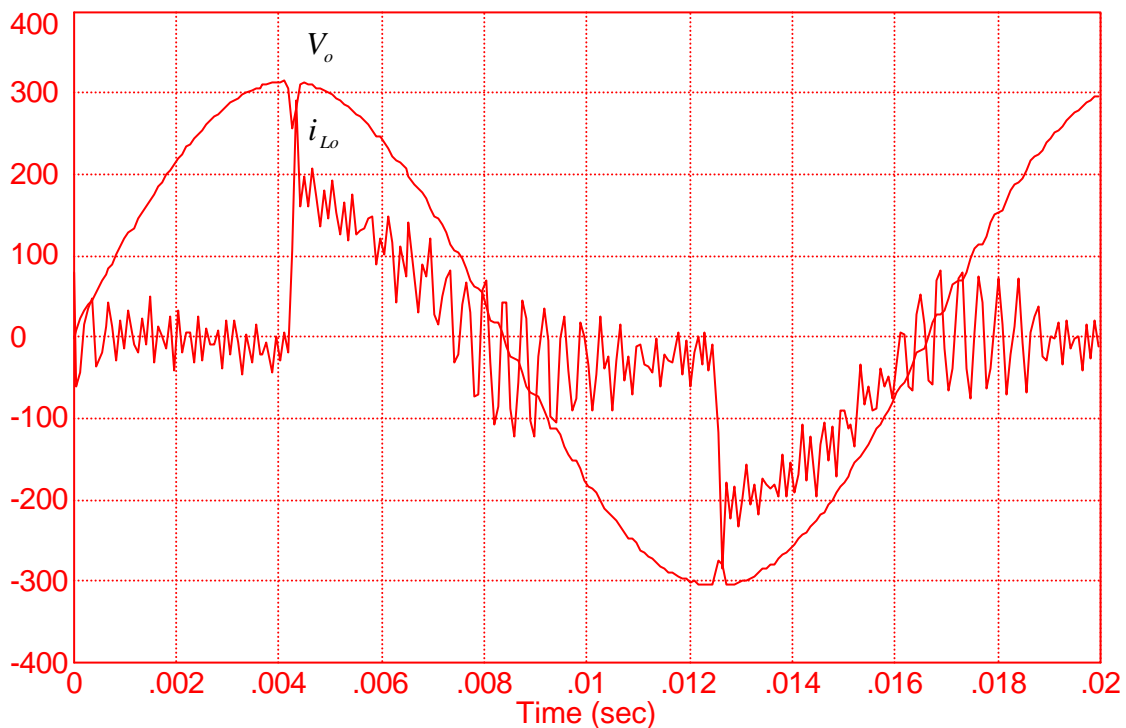


Fig. 5.29: Tensão V_o (100V/div) e corrente i_{L_o} (1A/div) para carga resistiva a 90° (simulação sem o uso de um previsor).

5.5. Conclusão

Apresentou-se neste capítulo os resultados experimentais do inversor com controle Deadbeat padrão e Deadbeat preditivo para diversos tipos de cargas. Os resultados experimentais obtidos confirmaram as simulações, comprovando a aplicabilidade do algoritmo de controle.

As principais imperfeições observadas são no controle Deadbeat padrão, a resposta pobre para cargas que não estão de acordo com o modelo adotado, e no controle Deadbeat preditivo, a não previsão correta das variáveis de estado.

CONCLUSÃO GERAL

Neste trabalho foi apresentada uma implementação de um inversor de tensão com controle digital do tipo Deadbeat. Confirmaram-se as simulações com os testes experimentais, demonstrando-se que a implementação foi correta.

Partindo-se de uma implementação de hardware comum, foram testados dois algoritmos de controle. No primeiro foi usado o controle Deadbeat denominado de padrão, que modela a carga como um resistor. Devido aos requisitos de cálculos, esta implementação só pode ser feita a baixas frequências de modulação, sendo neste caso usada a frequência de 1,8kHz. O filtro de saída para eliminar as harmônicas de maior frequência deve ter componentes L e C de grande valor. Isto gera uma circulação de corrente maior devido somente ao carregamento do filtro. Como o indutor de saída é grande, a variação instantânea da corrente fica limitada, provocando atrasos na resposta. Os testes demonstram estas observações. Para uma carga que simula uma entrada de fonte de tensão, ocorre uma distorção na tensão de saída, não observando-se reação para corrigir o erro rapidamente.

Para obter um desempenho melhor foi implementado um controle Deadbeat preditivo, que permite modulações com frequências maiores. Foi implementado com frequência de 20kHz. As respostas em termos de distorção foram equivalentes às do controle padrão. Notou-se uma maior rapidez na resposta, assim como uma diminuição nas correntes reativas, e os componentes do filtro de saída também foram menores.

Conclui-se que o objetivo deste trabalho foi alcançado, com a implementação de um inversor com controle Deadbeat em termos de hardware e software. A qualidade das respostas obtidas é semelhante às encontradas na literatura [1], não sendo porém satisfatórias para aplicações práticas. Entende-se que a resposta do controle Deadbeat preditivo possa ser melhorada e que a melhora está num estudo mais aprofundado do previsor de variáveis de estado.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] GOKHALE, Kalyan P. & KAWAMURA, Atsuo & HOFT, Richard G. "Dead beat microprocessor control of PWM inverter for sinusoidal output waveform synthesis". **IEEE Transactions on Industry Applications**, Vol. IA-23, No. 5, Setembro/Outubro 1987.
- [2] KAWAMURA, Atsuo & CHUARAYAPRATIP, Ronachai & HANEYOSHI, Toshimasa. "Deadbeat control of PWM inverter with modified pulse patterns for uninterruptible power supply". **IEEE Transactions on Industrial Electronics**, Vol. 35, No. 2, Maio 1988.
- [3] HANEYOSHI, Toshimasa & KAWAMURA, Atsuo & HOFT, Richard G. "Waveform compensation of PWM inverter with cyclic fluctuating loads". **IEEE Transactions on Industrial Electronics**, Vol. 24, No. 4 Julho/Agosto 1988.
- [4] KAWAMURA, Atsuo & YOKOYAMA, Tomoki. "Comparison of five control methods for digitally feedback controlled PWM inverters". **EPE 91 European Conference on Power Electronics and Applications**, Firenze, Setembro 1991.
- [5] MOHAN, Ned & UNDELAND, Tore M. & ROBBINS, William P. **Power electronics: converters, applications and design**. New York: John Wiley & Sons, 1989.
- [6] HOUPIS, Constantine H. & LAMONT, Gary B. **Digital control systems: theory, hardware, software**. New York: McGraw-Hill Book Company, 1985.
- [7] PHILLIPS, Charles L. & NAGLE, H. Troy. **Digital control system analysis and design**. New Jersey: Prentice-Hall, 1990.

- [8] Dalanco Spry. **Data acquisition and signal processing board for the IBM PC AT and ISA bus compatibles**. New York: Dalanco Spry, 1990.
- [9] Texas Instrumens. **TMS3202x user's guide**.
- [10] BARBI, Ivo. **Projetos de fontes chaveadas**. Florianópolis: UFSC, 1988.
- [11] PRESSMAN, Abraham I. **Switching power supply design**. New York: McGraw-Hill, 1991.
- [12] NATIONAL Semiconductor. **Voltage regulators**. 1980.
- [13] BROGAN, William L. **Modern control theory**. New Jersey: Prentice-Hall, 1985.

ANEXO I

PROGRAMA DEADBEAT PADRÃO

DSKA => DSP Starter Kit Assembler Rev 1.00 Fri Dec 02 16:55:50 1994
Copyright (c) 1992-1993 Texas Instruments Incorporated

```
0001 - ---- ---- ;PROGRAMA DB - DeadBeat Padrao
0002 - ---- ---- ;Programador: Geraldo Ernesto Mondardo
0003 - ---- ---- ;Data: 23.10.94
0004 - ---- ----
0005 - ---- ---- ;Utilizacao dos registradores auxiliares (ARx)
0006 - ---- ---- ; AR1 - Endereco do valor a ser escrito no latch da placa
de
0007 - ---- ---- ; interface
0008 - ---- ---- ; AR2 - Endereco do branch da proxima interrupcao:
0009 - ---- ---- ; INTN1 - Interrupcao apos os calculos
0010 - ---- ---- ; INTN2 - Interrupcao no inicio do pulso
0011 - ---- ---- ; INTN3 - Interrupcao no final do pulso
0012 - ---- ---- ; INTN4 - interrupcao no inicio do ciclo
0013 - ---- ---- ; AR3 - Aponta para o proximo valor de VREF
0014 - ---- ---- ;
0015 - ---- ----
0016 - ---- ---- ;Programacao do timer:
0017 - ---- ---- ;O tempo total de um ciclo e de 555,56us, o que resulta em 30
ciclos
0018 - ---- ---- ;para um ciclo de rede de 60Hz. O numero de estados Clock2
0019 - ---- ---- ;correspondente a 555,56us eh 6944 (555,56us/80ns) para um
clock de
0020 - ---- ---- ;50MHz. Assim, a frequencia da tensao gerada pelo inversor sera
0021 - ---- ---- ;60,003840Hz.
0022 - ---- ---- ;A interrupcao 4 (INTN4) tera largura de 50us
0023 - ---- ---- ;A interrupcao 2 (INTN1) tera uma largura minima de 25 ciclos
de
0024 - ---- ---- ;Clock2, ou seja, um tempo de 2us.
0025 - ---- ----
0026 - ---- ----
0027 - ---- ---- ;Valores normalmente usados
0028 - ---- ---- DRR .set 0 ;Serial port data receive register
0029 - ---- ---- DXR .set 1 ;Serial port data transmit register
0030 - ---- ---- TIM .set 2 ;Timer register
0031 - ---- ---- PRD .set 3 ;Period register
0032 - ---- ---- IMR .set 4 ;Interrupt mask register
0033 - ---- ---- GREG .set 5 ;Global memory allocation register
0034 - ---- ---- CHAN0 .set 0 ;Canal 0 do conversor A/D
0035 - ---- ---- CHAN1 .set 1 ;Canal 1 do conversor A/D
0036 - ---- ---- LSUP .set 5644 ;Largura maxima do pulso PWM
0037 - ---- ---- LINP .set 25 ;Largura minima do pulso PWM
0038 - ---- ---- I1 .set 25 ;Largura minima de INTN1
0039 - ---- ---- I3 .set 650 ;Largura minima de INTN3 (I1+I4)
0040 - ---- ---- DI1LSUP .set 5694 ;Soma da largura maxima do pulso PWM com
0041 - ---- ---- ;o dobro do valor minimo da interrupcao
INTN1
0042 - ---- ---- DI3LSUP .set 6944 ;Soma da largura maxima do pulso PWM com
0043 - ---- ---- ;o dobro do valor minimo da interrupcao
INTN3
0044 - ---- ---- ;(igual ao tempo de amostragem)
0045 - ---- ---- I4 .set 625 ;Tempo para interrupcao INTN4: 50us
0046 - ---- ---- T15US .set 187 ;Numero de Clock2-1 correspondente a 15us
```

```

0047 - ---- ----
0048 - ---- ----
0049 - ---- ----
0050 - ---- ----
0051 - ---- ----
0052 - ---- ----      .ps      0
0053 - ---- ----      .text
0054 - ---- ----
0055 - ---- ----      ;Inicializacao
0056 0 0000 ff80      RESET  B      INIT   ;Entrada do RESET
0057 0 0002 ff80      INT0   B      INT0P  ;Interrupcao INT0
0058 0 0004 ff80      INT1   B      INT1P  ;Interrupcao INT1
0059 0 0006 ff80      INT2   B      INT2P  ;Interrupcao INT2
0060 - ---- ----      .SPACE 256      ;10H*10H, espaco reservado
0061 0 0018 ff89      TINT   B      TIME,*;Interrupcao do timer carregando ARP com
1
0062 0 001a ff80      RINT   B      RCV    ;Interrupcao de recepcao serial
0063 0 001c ff80      XINT   B      XMT    ;Interrupcao de transmissao serial
0064 0 001e ff80      TRAP   B      TRAPI  ;Endereco da instrucao TRAP
0065 - ---- ----
0066 - ---- ----      .ps      20h
0067 - ---- ----
0068 0 0020 ce03      INIT   SOVM          ;Habilita modo Overflow
0069 0 0021 c800      LDPK   0            ;Carrega do Data Pointer com 0 para
acessar o
0070 - ---- ----          ;primeiro banco de mem. nos acessos
diretos
0071 0 0022 ca08      LACK   08h         ;Permite interrupcao somente do timer
0072 0 0023 6000      SACL   IMR         ;Carrega o IMR - Interrupt Mask Register
0073 0 0024 ce04      CNFD           ;RAM interna acessada como DATA
0074 0 0025 5589      LARP   1           ;ARP = 1
0075 0 0026 d100      LRLK   AR1,SAIDA1 ;
0076 0 0028 cac0      LACK   0C0h
0077 0 0029 60a0      SACL   *+         ;Escreve 0C0h em SAIDA1
0078 0 002a 60a0      SACL   *+         ;Escreve 0C0h em SAIDA2
0079 0 002b cac3      LACK   0C3h       ;
0080 0 002c 60a0      SACL   *+         ;Escreve 0C3H em SAIDA3
0081 0 002d ca00      LACK   0h
0082 0 002e 6080      SACL   *          ;Escreve 00h em SAIDA4 e deixa AR1
0083 - ---- ----          ;apontando para SAIDA4
0084 0 002f d200      LRLK   AR2,JPTAB4 ;Carrega AR2 com o endereco de JPTAB4
0085 0 0031 ca00      LACK   CHAN0      ;Salva em CANAL0 o valor que seleciona o
0086 0 0032 6000      SACL   CANAL0     ;canal 0 do conversor analogico-digital
0087 0 0033 ca00      LACK   CHAN1      ;O mesmo para o canal 1
0088 0 0034 6000      SACL   CANAL1     ;
0089 0 0035 d001      LALK   PKP1       ;Carrega ACC com endereco de PKP1
0090 0 0037 5800      TBLR   KP1        ;Transfere PKP1 para KP1
0091 0 0038 d001      LALK   PKP2       ;Carrega ACC com endereco de PKP2
0092 0 003a 5800      TBLR   KP2        ;Transfere PKP2 para KP2
0093 0 003b d001      LALK   PKP3       ;Carrega ACC com endereco de PKP3
0094 0 003d 5800      TBLR   KP3        ;Transfere PKP3 para KP3
0095 0 003e d300      LRLK   AR3,VREF   ;AR3 aponta para VREF (programa)
0096 0 0040 558b      LARP   3
0097 0 0041 d001      LALK   PVREF      ;ACC aponta para a tab. PVREF (dados)
0098 0 0043 cb23      RPTK   35
0099 0 0044 58a0      TBLR   *+         ;Faz a transferencia de 35 valores
0100 - ---- ----          ;de PVREF para VREF
0101 0 0045 d300      LRLK   AR3,VREF   ;AR3 aponta para VREF
0102 0 0047 d001      LALK   INTN1      ;Carrega em JPTAB (tabela de jumps)
0103 0 0049 6000      SACL   JPTAB1     ;os enderecos dos diversos jumps
0104 0 004a d001      LALK   INTN2
0105 0 004c 6000      SACL   JPTAB2
0106 0 004d d001      LALK   INTN3
0107 0 004f 6000      SACL   JPTAB3
0108 0 0050 d001      LALK   INTN4
0109 0 0052 6000      SACL   JPTAB4

```

```

0110 0 0053 d001          LALK   I4      ;Numero de Clock2 correspondente a 50us
0111 0 0055 6000          SACL   PRD4    ;
0112 0 0056 6000          SACL   PRD     ;Programa proxima interrupcao para 15us
0113 0 0057 5589          LARP   1       ;
0114 0 0058 ce07          SSXM                   ;Habilita o Sign Extention Mode
0115 0 0059 ce00          EINT
0116 0 005a 5500          LOOP   NOP
0117 0 005b 5500          NOP
0118 0 005c ff80          B       LOOP
0119 - ---- -
0120 - ---- -
0121 - ---- -
0122 - ---- -          .ps 100h
0123 - ---- -
0124 - ---- -
0125 - ---- -          TIME
0126 - ---- -          INT0P
0127 - ---- -          INT1P
0128 - ---- -          INT2P
0129 - ---- -          RCV
0130 - ---- -          XMT
0131 0 0100 e4aa          OUT    *,4,2   ;Escreve na porta 4 (placa de interface)
0132 - ---- -          ;o valor contido no endereco AR(1),
0133 - ---- -          ;incrementa este valor e carrega ARP com
2.
0134 0 0101 20a9          LAC    *,0,1   ;Carrega ACL com o valor apontado por
AR(2)
0135 - ---- -          ;e carrega ARP com 1.
0136 0 0102 ce25          BACC                   ;Vai para o endereco dado pelo acumulador
0137 - ---- -
0138 0 0103 2000          INTN1  LAC    PRD2
0139 0 0104 6000          SACL   PRD     ;Carrega PRD a ser usado na INTN2
0140 0 0105 ce00          EINT
0141 0 0106 ce26          RET
0142 - ---- -
0143 0 0107 2000          INTN2  LAC    PRD3
0144 0 0108 6000          SACL   PRD     ;Carrega PRD a ser usado na INTN3
0145 0 0109 ce00          EINT
0146 0 010a ce26          RET
0147 - ---- -
0148 0 010b 2000          INTN3  LAC    PRD4
0149 0 010c 6000          SACL   PRD     ;Carrega PRD a ser usado na INTN4
0150 0 010d ce00          EINT
0151 0 010e ce26          RET
0152 - ---- -
0153 0 010f e100          INTN4  OUT    CANAL0,1h ;Seleciona o canal 0 do mux analogico
0154 0 0110 cb20          RPTK   32     ;Atraso para o sinal do mux ficar estavel
0155 0 0111 5500          NOP
0156 0 0112 8200          IN     AD0,2   ;Da inicio a conversao analogico-digital
0157 - ---- -          ;O jumper J7 deve estar na posicao 'A'
0158 0 0113 cb40          RPTK   64     ;Espera 5us pela conversao.
0159 0 0114 5500          NOP
0160 0 0115 e100          OUT    CANAL1,1h ;Seleciona o canal 1 do mux analogico
0161 0 0116 8200          IN     AD0,2   ;Le o valor convertido e descarta,
0162 - ---- -          ;dando inicio a uma nova conversao
0163 0 0117 cb40          RPTK   64     ;Espera 5us pela conversao
0164 0 0118 5500          NOP
0165 0 0119 8200          IN     AD0,2   ;Le o valor convertido e escreve em AD0.
0166 - ---- -          ;Este eh o valor valido
0167 0 011a cb40          RPTK   64     ;Espera 5us pela conversao
0168 0 011b 5500          NOP
0169 - ---- -
0170 0 011c 8200          IN     AD1,2   ;Le o valor convertido e descarta
0171 0 011d cb40          RPTK   64
0172 0 011e 5500          NOP
0173 0 011f 8200          IN     AD1,2   ;Le o valor convertido para AD1.

```

```

0174 - ---- ---- ;Este e o valor valido
0175 - ---- ----
0176 0 0120 2000 LAC AD0
0177 0 0121 d003 SBLK 0802H ;Subtrai 0802h de AD0
0178 0 0123 6000 SACL AD0
0179 0 0124 2000 LAC AD1
0180 0 0125 d003 SBLK 0802H ;Subtrai 0802h de AD1
0181 0 0127 6000 SACL AD1
0182 - ---- ----
0183 0 0128 ce08 SPM 0 ;Saida do multiplicador nao e deslocada
0184 - ---- ----
0185 0 0129 a000 MPYK 0 ;Zera registrador P
0186 0 012a ca00 ZAC ;Zera o ACC
0187 0 012b 3c00 LT AD0 ;Carrega reg T com AD0
0188 0 012c 3800 MPY KP1 ;Multiplica reg T por KP1 e coloca no reg
P
0189 0 012d 3d00 LTA AD1 ;Soma o ACC com P colocando em ACC
0190 - ---- ---- ;e carrega reg T com AD1
0191 0 012e 3800 MPY KP2 ;Multiplica reg T por KP2 e coloca no reg
P
0192 0 012f 558b LARP 3
0193 0 0130 3da9 LTA *+,1 ;Soma o ACC com P colocando em ACC e
carrega
0194 - ---- ---- ;o reg T com o valor apontado por AR3
(VREF),
0195 - ---- ---- ;que eh apos incrementado e ARP carregado
com 1
0196 0 0131 3800 MPY KP3 ;Multiplica reg T por KP3 e coloca no reg
P
0197 0 0132 ce15 APAC ;Soma ACC com P
0198 - ---- ----
0199 0 0133 6900 SACH AUXI,1 ;Armazena o resultado dividido por 2^15
0200 0 0134 3c00 LT AUXI
0201 0 0135 ca00 ZAC
0202 0 0136 a019 MPYK 25 ;Multiplica por 250
0203 0 0137 ce15 APAC
0204 0 0138 f380 BLZ PULNEG ;Se o acum. for menor que zero vai para
PULNEG
0205 0 013a c7c1 LARK AR7,0C1h
0206 0 013b 7700 SAR AR7,SAIDA2 ;Coloca em SAIDA2 o valor para um
pulso pos
0207 0 013c ff80 B LIMITE
0208 0 013e c7c2 PULNEG LARK AR7,0C2h
0209 0 013f 7700 SAR AR7,SAIDA2 ;Coloca em SAIDA2 o valor para um
pulso neg
0210 0 0140 ce23 NEG ;Faz complemento 2 do acumulador
0211 0 0141 6000 LIMITE SACL PRD2 ;Salva acumulador em PRD2
0212 0 0142 d003 SBLK LSUP ;Subtrai do acumulador o limite superior
da
0213 - ---- ---- ;largura de pulso
0214 0 0144 f480 BGEZ SUP ;Vai para SUP se o pulso for maior
0215 - ---- ---- ;que o pulso superior
0216 0 0146 4100 ZALS PRD2 ;Recarrega acumulador com o valor do pulso
0217 0 0147 d003 SBLK LINF ;Subtrai do acumulador o limite inferior
0218 - ---- ---- ;da largura de pulso
0219 0 0149 f180 BGZ RESULT ;Se o acumulador for maior entao pulso
0220 - ---- ---- ;nao ultrapassa o limite inferior
0221 0 014b d001 INF LALK LINF ;O pulso e menor que o limite inferior,
entao
0222 0 014d 6000 SACL PRD2 ;gera um pulso com a largura do limite
inferior
0223 0 014e ff80 B RESULT
0224 0 0150 d001 SUP LALK LSUP ;O pulso e maior que o limite superior,
entao
0225 0 0152 6000 SACL PRD2 ;gera um pulso com a largura do limite
superior

```

```

0226 0 0153 4100  RESUL  ZALS  PRD2
0227 0 0154 d003  SBLK  DI1LSUP ;Calcula o tempo de INTN1 = (DI1LSUP-
PRD2)/2
0228 0 0156 ce23  NEG
0229 0 0157 ce19  SFR           ;Divide ACC por dois
0230 0 0158 6000  SACL  PRD1
0231 0 0159 4100  ZALS  PRD2
0232 0 015a d003  SBLK  DI3LSUP ;Calcula o tempo de INTN3 = (DI3LSUP-
PRD2)/2
0233 0 015c ce23  NEG
0234 0 015d ce19  SFR
0235 0 015e 6000  SACL  PRD3
0236 0 015f 2000  LAC   PRD1
0237 0 0160 6000  SACL  PRD
0238 0 0161 2000  LAC   SAIDA4
0239 0 0162 d005  ORK   0C0h   ;A SAIDA1 sera igual a SAIDA4 com os bits
7 e 6
0240 0 0164 6000  SACL  SAIDA1 ;setados para o S/H ficar em sample.
0241 0 0165 d006  XORK  03h   ;A SAIDA3 tera os bits que acionam os
0242 0 0167 6000  SACL  SAIDA3 ;transistores da ponte invertidos (bits 1
e 0).
0243 0 0168 d004  ANDK  03h   ;A SAIDA4 para o proximo ciclo sera igual
a
0244 0 016a 6000  SACL  SAIDA4 ;SAIDA3 do ciclo atual, somente tendo os
bits
0245 - ---- ----           ;7 e 6 resetados para ativar o hold do
S/H.
0246 0 016b 558b  LARP  03
0247 0 016c d000  LRLK  AR0,VREF30
0248 0 016e ce52  CMPR  02           ;Se AR3 > AR0 entao TC=1
0249 0 016f f880  BBZ   MENOR
0250 0 0171 d300  LRLK  AR3,VREF1
0251 0 0173 5589  MENOR LARP  01h
0252 0 0174 d100  LRLK  AR1,SAIDA1 ;Reatualiza AR1
0253 0 0176 d200  LRLK  AR2,JPTAB1 ;Reatualiza AR2
0254 0 0178 ce00  EINT
0255 0 0179 ce26  RET
0256 - ---- ----
0257 - ---- ----
0258 - ---- ----
0259 - ---- ----
0260 - ---- ----
0261 - ---- ----   .ps 200h
0262 - ---- ----
0263 0 0200 ce01  TRAPI DINT
0264 0 0201 ce04  CNFD
0265 0 0202 e400  OUT   SAIDA1,4
0266 0 0203 7800  SST   CST0   ;Salva ST0 em CST0
0267 0 0204 7900  SST1  CST1   ;Salva ST1 em CST1
0268 0 0205 c821  LDPK  021h   ;DP endereca a partir de 1080h
0269 0 0206 6000  SACL  0,0   ;Armazena ACL em 1080
0270 0 0207 6801  SACH  1,0   ;           ACH em 1081
0271 0 0208 7c02  SPL   2,0   ;           PL em 1082
0272 0 0209 7d03  SPH   3,0   ;           PH em 1083
0273 0 020a c800  LDPK  0h   ;DP endereca a partir de 0h
0274 0 020b 2000  LAC   CST0   ;Copia CST0 para 1084h
0275 0 020c c821  LDPK  21h
0276 0 020d 6004  SACL  4
0277 0 020e c800  LDPK  0h
0278 0 020f 2000  LAC   CST1   ;Copia CST1 para 1085h
0279 0 0210 c821  LDPK  21h
0280 0 0211 6005  SACL  5
0281 0 0212 7010  SAR   AR0,10h
0282 0 0213 7111  SAR   AR1,11h
0283 0 0214 7212  SAR   AR2,12h
0284 0 0215 7313  SAR   AR3,13h

```

```

0285 0 0216 7414 SAR AR4,14h
0286 0 0217 7515 SAR AR5,15h
0287 0 0218 7616 SAR AR6,16h
0288 0 0219 7717 SAR AR7,17h
0289 0 021a c800 LDPK 0h
0290 0 021b d000 LRLK AR0,1060h ;Copia de 60h ate 7Fh da memoria
0291 0 021d 5588 LARP 0h ;interna para a posicao 1060h da
0292 0 021e cb1f RPTK 1Fh ;memoria externa
0293 0 021f fda0 BLKD 060h,*+
0294 0 0221 5500 LTRAP NOP
0295 0 0222 ff80 B LTRAP
0296 - ---- ----
0297 - ---- ----
0298 - ---- ---- .ps 2A0h
0299 - ---- ----
0300 - ---- ---- PKP1 .word -17565 ;Valor a ser multiplicado por V
0300 0 02a0 bb63
0301 - ---- ---- PKP2 .word -10524 ;Valor a ser multiplicado por I
0301 0 02a1 d6e4
0302 - ---- ---- PKP3 .word 22043 ;Valor a ser multiplicado por Vref[K+1]
0302 0 02a2 561b
0303 - ---- ---- PVREF .word 00h ;Tabela com os valores de VREF
0303 0 02a3 0000
0304 - ---- ---- .word 013Dh
0304 0 02a4 013d
0305 - ---- ---- .word 026Ch
0305 0 02a5 026c
0306 - ---- ---- .word 0380h
0306 0 02a6 0380
0307 - ---- ---- .word 046Dh
0307 0 02a7 046d
0308 - ---- ---- .word 0528h
0308 0 02a8 0528
0309 - ---- ---- .word 05AAh
0309 0 02a9 05aa
0310 - ---- ---- .word 05ECh
0310 0 02aa 05ec
0311 - ---- ---- .word 05ECh
0311 0 02ab 05ec
0312 - ---- ---- .word 05AAh
0312 0 02ac 05aa
0313 - ---- ---- .word 0528h
0313 0 02ad 0528
0314 - ---- ---- .word 046Dh
0314 0 02ae 046d
0315 - ---- ---- .word 0380h
0315 0 02af 0380
0316 - ---- ---- .word 026Ch
0316 0 02b0 026c
0317 - ---- ---- .word 013Dh
0317 0 02b1 013d
0318 - ---- ---- .word 00h
0318 0 02b2 0000
0319 - ---- ---- .word 0FEC3h
0319 0 02b3 fec3
0320 - ---- ---- .word 0FD94h
0320 0 02b4 fd94
0321 - ---- ---- .word 0FC80h
0321 0 02b5 fc80
0322 - ---- ---- .word 0FB93h
0322 0 02b6 fb93
0323 - ---- ---- .word 0FAD8h
0323 0 02b7 fad8
0324 - ---- ---- .word 0FA56h
0324 0 02b8 fa56
0325 - ---- ---- .word 0FA14h

```

```

0325 0 02b9 fa14
0326 - ---- ---- .word 0FA14h
0326 0 02ba fa14
0327 - ---- ---- .word 0FA56h
0327 0 02bb fa56
0328 - ---- ---- .word 0FAD8h
0328 0 02bc fad8
0329 - ---- ---- .word 0FB93h
0329 0 02bd fb93
0330 - ---- ---- .word 0FC80h
0330 0 02be fc80
0331 - ---- ---- .word 0FD94h
0331 0 02bf fd94
0332 - ---- ---- .word 0FEC3h
0332 0 02c0 fec3
0333 - ---- ---- .word 0
0333 0 02c1 0000
0334 - ---- ---- .word 0
0334 0 02c2 0000
0335 - ---- ---- .word 0
0335 0 02c3 0000
0336 - ---- ---- .word 0
0336 0 02c4 0000
0337 - ---- ---- .word 0
0337 0 02c5 0000
0338 - ---- ---- .word 0
0338 0 02c6 0000
0339 - ---- ----
0340 - ---- ----
0341 - ---- ----
0342 - ---- ----
0343 - ---- ----
0344 - ---- ---- .ds 060h
0345 - ---- ---- .data
0346 - ---- ---- SAIDA1 .word 0 ;Valor a ser escrito no latch da placa
0346 1 0060 0000 ;de interface durante INTN1
0347 - ---- ---- ;Idem para INTN2
0348 - ---- ---- SAIDA2 .word 0
0348 1 0061 0000 ;Idem para INTN3
0349 - ---- ---- SAIDA3 .word 0
0349 1 0062 0000 ;Idem para INTN4
0350 - ---- ---- SAIDA4 .word 0
0350 1 0063 0000
0351 - ---- ---- PRD1 .word 0 ;PRD para INTN1
0351 1 0064 0000
0352 - ---- ---- PRD2 .word 0 ;PRD para INTN2
0352 1 0065 0000
0353 - ---- ---- PRD3 .word 0 ;PRD para INTN3
0353 1 0066 0000
0354 - ---- ---- PRD4 .word 0 ;PRD para INTN4
0354 1 0067 0000
0355 - ---- ---- JPTAB
0356 - ---- ---- JPTAB1 .word 0 ;Tabela de jumps: INTN1
0356 1 0068 0000 ; INTN2
0357 - ---- ---- JPTAB2 .word 0 ; INTN3
0357 1 0069 0000 ; INTN4
0358 - ---- ---- JPTAB3 .word 0 ;
0358 1 006a 0000 ;
0359 - ---- ---- JPTAB4 .word 0 ;
0359 1 006b 0000 ;
0360 - ---- ---- CANAL0 .word 0 ;Valor a ser programado no latch para
selecao
0360 1 006c 0000 ;do canal 0 do conversor A/D
0361 - ---- ---- ;O mesmo para o canal 1
0362 - ---- ---- CANAL1 .word 0
0362 1 006d 0000

```

```

0363 - ---- ---- AD0 .word 0 ;Valor lido da entrada 0 do A/D
0363 1 006e 0000
0364 - ---- ---- AD1 .word 0 ;Valor lido da entrada 1 do A/D
0364 1 006f 0000
0365 - ---- ---- KP1 .word 0 ;Valor a ser multiplicado por V
0365 1 0070 0000
0366 - ---- ---- KP2 .word 0 ;Valor a ser multiplicado por I
0366 1 0071 0000
0367 - ---- ---- KP3 .word 0 ;Valor a ser multiplicado por Vref[K+1]
0367 1 0072 0000
0368 - ---- ---- AUXI .word 0 ;Posicao auxiliar de memoria
0368 1 0073 0000
0369 - ---- ---- CST0 .word 0 ;Copia do ST0
0369 1 0074 0000
0370 - ---- ---- CST1 .word 0 ;Copia do ST1
0370 1 0075 0000
0371 - ---- ----
0372 - ---- ----
0373 - ---- ---- .ds 0400h
0374 - ---- ---- .data
0375 - ---- ---- VREF
0376 - ---- ---- VREF1 .word 0 ;Tabela de VREF
0376 1 0400 0000
0377 - ---- ---- VREF2 .word 0
0377 1 0401 0000
0378 - ---- ---- VREF3 .word 0
0378 1 0402 0000
0379 - ---- ---- VREF4 .word 0
0379 1 0403 0000
0380 - ---- ---- VREF5 .word 0
0380 1 0404 0000
0381 - ---- ---- VREF6 .word 0
0381 1 0405 0000
0382 - ---- ---- VREF7 .word 0
0382 1 0406 0000
0383 - ---- ---- VREF8 .word 0
0383 1 0407 0000
0384 - ---- ---- VREF9 .word 0
0384 1 0408 0000
0385 - ---- ---- VREF10 .word 0
0385 1 0409 0000
0386 - ---- ---- VREF11 .word 0
0386 1 040a 0000
0387 - ---- ---- VREF12 .word 0
0387 1 040b 0000
0388 - ---- ---- VREF13 .word 0
0388 1 040c 0000
0389 - ---- ---- VREF14 .word 0
0389 1 040d 0000
0390 - ---- ---- VREF15 .word 0
0390 1 040e 0000
0391 - ---- ---- VREF16 .word 0
0391 1 040f 0000
0392 - ---- ---- VREF17 .word 0
0392 1 0410 0000
0393 - ---- ---- VREF18 .word 0
0393 1 0411 0000
0394 - ---- ---- VREF19 .word 0
0394 1 0412 0000
0395 - ---- ---- VREF20 .word 0
0395 1 0413 0000
0396 - ---- ---- VREF21 .word 0
0396 1 0414 0000
0397 - ---- ---- VREF22 .word 0
0397 1 0415 0000
0398 - ---- ---- VREF23 .word 0

```



```
0398 1 0416 0000
0399 - ---- ---- VREF24 .word 0
0399 1 0417 0000
0400 - ---- ---- VREF25 .word 0
0400 1 0418 0000
0401 - ---- ---- VREF26 .word 0
0401 1 0419 0000
0402 - ---- ---- VREF27 .word 0
0402 1 041a 0000
0403 - ---- ---- VREF28 .word 0
0403 1 041b 0000
0404 - ---- ---- VREF29 .word 0
0404 1 041c 0000
0405 - ---- ---- VREF30 .word 0
0405 1 041d 0000
0406 - ---- ---- .word 0
0406 1 041e 0000
0407 - ---- ----
0408 - ---- ----
0409 - ---- ----
0410 - ---- ----
>>>> FINISHED READING ALL FILES

>>>> ASSEMBLY COMPLETE: ERRORS:0  WARNINGS:0
```

ANEXO II

PROGRAMA DEADBEAT PREDITIVO

DSKA => DSP Starter Kit Assembler Rev 1.00 Sat Dec 03 09:11:10 1994
Copyright (c) 1992-1993 Texas Instruments Incorporated

```
0001 - ---- ---- ;PROGRAMA DBP - DeadBeat Preditivo
0002 - ---- ---- ;Programador: Geraldo Ernesto Mondardo
0003 - ---- ---- ;Data: 12.11.94
0004 - ---- ----
0005 - ---- ---- ;Utilizacao dos registradores auxiliares (ARx)
0006 - ---- ---- ; AR1 - Endereco do valor a ser escrito no latch da
0007 - ---- ---- ; placa de interface
0008 - ---- ---- ; AR2 - Endereco do valor a ser programado no PRD (timer)
0009 - ---- ---- ; AR3 - Aponta para o proximo valor de VREF
0010 - ---- ---- ; AR4 - Contador de interrupcoes
0011 - ---- ---- ; AR5 - Uso geral em INTN1 e INTN2
0012 - ---- ---- ; AR6 - Uso geral em INTN3
0013 - ---- ----
0014 - ---- ---- ;Programacao do timer:
0015 - ---- ---- ;O tempo total de um ciclo e de 50,080us, o que resulta em 333
0016 - ---- ---- ;ciclos para um ciclo de rede de 60Hz. O numero de estados
Clock2
0017 - ---- ---- ;correspondente a 50,080us eh 626 (50,080us/80ns) para um
0018 - ---- ---- ;clock de 50MHz. Assim, a frequencia da tensao gerada pelo
0019 - ---- ---- ;inversor sera 59.964Hz.
0020 - ---- ----
0021 - ---- ----
0022 - ---- ----
0023 - ---- ---- ;Valores normalmente usados
0024 - ---- ---- DRR .set 0 ;Serial port data receive register
0025 - ---- ---- DXR .set 1 ;Serial port data transmit register
0026 - ---- ---- TIM .set 2 ;Timer register
0027 - ---- ---- PRD .set 3 ;Period register
0028 - ---- ---- IMR .set 4 ;Interrupt mask register
0029 - ---- ---- GREG .set 5 ;Global memory allocation register
0030 - ---- ---- CHAN0 .set 0 ;Canal 0 do conversor A/D
0031 - ---- ---- CHAN1 .set 1 ;Canal 1 do conversor A/D
0032 - ---- ---- LSUP .set 575 ;Largura maxima do pulso PWM - 46us
0033 - ---- ---- LINF .set 25 ;Largura minima do pulso PWM - 2us
0034 - ---- ---- LTOT .set 626 ;Tempo de um ciclo (tempo de amostragem
0035 - ---- ---- ;- 50,080us)
0036 - ---- ---- KPRD1 .set 5 ;Fator de escala de DT para valores
programados
0037 - ---- ---- ;no timer (deve ser dividido por 4 para
0038 - ---- ---- ;resultar em 1,25, ou seja valor de KPRD)
0039 - ---- ---- LSUPDT .set 460 ;Largura maxima do pulso PWM em DT
(LSUP/KPRD)
0040 - ---- ---- LINFDT .set 20 ;Largura minima do pulso PWM em DT
(LINF/KPRD)
0041 - ---- ----
0042 - ---- ----
0043 - ---- ---- .ps 0
0044 - ---- ---- .text
0045 - ---- ----
0046 - ---- ---- ;Inicializacao
0047 0 0000 ff80 RESET B INIT ;Entrada do RESET
0048 0 0002 ff80 INT0 B INT0P ;Interrupcao INT0
0049 0 0004 ff80 INT1 B INT1P ;Interrupcao INT1
0050 0 0006 ff80 INT2 B INT2P ;Interrupcao INT2
0051 - ---- ---- .SPACE 256 ;10H*10H, espaco reservado
```

```

0052 0 0018 ff89      TINT  B      TIME,* ,1;Interrupcao do timer carregando ARP com
1
0053 0 001a ff80      RINT  B      RCV      ;Interrupcao de recepcao serial
0054 0 001c ff80      XINT  B      XMT      ;Interrupcao de transmissao serial
0055 0 001e ff80      TRAP  B      TRAPI    ;Endereco da instrucao TRAP
0056 - ---- ----
0057 - ---- ----      .ps 20h
0058 - ---- ----
0059 0 0020 ce01      INIT  DINT          ;Desabilita interrupcoes
0060 0 0021 ce03      SOVM          ;Habilita modo Overflow
0061 0 0022 ce08      SPM  0          ;Saida do multiplicador nao eh deslocada
0062 0 0023 ce07      SSXM          ;Habilita o sign extention mode
0063 0 0024 ce04      CNFD          ;Configura RAM interna como memoria de
dados
0064 0 0025 c800      LDPK  0          ;Carrega do Data Pointer com 0 para
acessar o
0065 - ---- ----      ;primeiro banco de memoria nos acessos
diretos
0066 0 0026 ca08      LACK  08h      ;Permite interrupcao somente do timer
0067 0 0027 6000      SACL  IMR      ;Carrega o IMR - Interrupt Mask Register
0068 0 0028 5589      LARP  1          ;ARP = 1
0069 0 0029 d100      LRLK  AR1,PSAIDA1 ;
0070 0 002b cac0      LACK  0C0h
0071 0 002c 60a0      SACL  *+        ;Escreve 0C0h em PSAIDA1: nao coloca
pulso PWM
0072 0 002d cac3      LACK  0C3h      ;na saida do inversor
0073 0 002e 60a0      SACL  *+        ;Escreve 0C3H em PSAIDA2
0074 0 002f ca03      LACK  03h
0075 0 0030 6080      SACL  *          ;Escreve 00h em PSAIDA3
0076 0 0031 d100      LRLK  AR1,SAIDA1
0077 0 0033 cac0      LACK  0C0h
0078 0 0034 60a0      SACL  *+        ;Escreve 0C0h em SAIDA1
0079 0 0035 cac3      LACK  0C3h      ;
0080 0 0036 60a0      SACL  *+        ;Escreve 0C3H em SAIDA2
0081 0 0037 ca00      LACK  0h
0082 0 0038 6080      SACL  *          ;Escreve 00h em SAIDA3 e deixa AR1
0083 - ---- ----      ;apontando para SAIDA3
0084 0 0039 ca00      LACK  CHAN0     ;Salva em CANAL0 o valor que seleciona o
0085 0 003a 6000      SACL  CANAL0    ;canal 0 do conversor analogico-digital
0086 0 003b ca00      LACK  CHAN1     ;O mesmo para o canal 1
0087 0 003c 6000      SACL  CANAL1    ;
0088 0 003d 558e      LARP  6          ;Transferencia das const. para a mem. de
dados
0089 0 003e d600      LRLK  AR6,E11   ;Destino da leitura
0090 0 0040 d001      LALK  PE11      ;Origem da leitura
0091 0 0042 cb16      RPTK  22
0092 0 0043 58a0      TBLR  *+        ;Faz a transferencia das constantes da
memoria
0093 - ---- ----      ;de programa para a memoria de dados
0094 0 0044 558b      LARP  3
0095 0 0045 d300      LRLK  AR3,VREF  ;AR3 aponta para VREF (programa)
0096 0 0047 d001      LALK  PVREF     ;ACC aponta para a tabela PVREF (dados)
0097 0 0049 cbc8      RPTK  200
0098 0 004a 58a0      TBLR  *+        ;Faz a transferencia de 201 valores
0099 0 004b ccc9      ADDK  201       ;de PVREF para VREF
0100 0 004c cb84      RPTK  132
0101 0 004d 58a0      TBLR  *+        ;Faz a transf. dos 132 valores
restantates
0102 0 004e d300      LRLK  AR3,VREF  ;AR3 aponta para VREF
0103 0 0050 d001      LALK  LINF      ;Atualiza valores para programacao do
timer
0104 0 0052 6000      SACL  PRD1      ;PRD1 igual a LINF
0105 0 0053 6000      SACL  PPRD1     ;PPRD1 igual a LINF
0106 0 0054 d001      LALK  LTOT
0107 0 0056 d003      SBLK  LINF
0108 0 0058 ce19      SFR

```

```

0109 0 0059 cd01      SUBK    1
0110 0 005a 6000      SACL   PRD2
0111 0 005b 6000      SACL   PPRD2
0112 0 005c d001      LALK   LTOT
0113 0 005e 1000      SUB    PRD1
0114 0 005f 1000      SUB    PRD2
0115 0 0060 cd03      SUBK   3
0116 0 0061 6000      SACL   PRD3
0117 0 0062 6000      SACL   PPRD3
0118 0 0063 ca00      ZAC
0119 0 0064 6000      SACL   DT      ;DT=0
0120 0 0065 6000      SACL   AD0P    ;AD0P=0
0121 0 0066 6000      SACL   AD1P    ;AD1P=0
0122 0 0067 6000      SACL   ADILP   ;ADILP=0
0123 0 0068 d001      LALK   LTOT
0124 0 006a 6000      SACL   PRD     ;Programa proxima interrupcao para 50us
0125 0 006b 5589      LARP   1
0126 0 006c c200      LARK   AR2,PRD1
0127 0 006d c400      LARK   A4,0
0128 0 006e ce00      EINT
0129 0 006f 5500      LOOP   NOP
0130 0 0070 5500      NOP
0131 0 0071 ff80      B      LOOP
0132 - ---- -
0133 - ---- -
0134 - ---- -
0135 - ---- -      .ps 100h
0136 - ---- -
0137 - ---- -
0138 - ---- -      TIME
0139 - ---- -      INT0P
0140 - ---- -      INT1P
0141 - ---- -      INT2P
0142 - ---- -      RCV
0143 - ---- -      XMT
0144 0 0100 7900      SST1   CST1    ;Salva ST1 (STATUS 1) para nao perder
ARB
0145 0 0101 e4aa      OUT    **+,4,2 ;Escreve na porta 4 (placa de interface)
o
0146 - ---- -      ;valor contido no endereco AR(1),
incrementa
0147 - ---- -      ;este valor e carrega ARP com 2.
0148 0 0102 35ac      LAR    AR5,**+,4 ;Carrega AR5 com o valor a ser
programado
0149 - ---- -      ;em PRD, incrementa AR2 e carrega ARP
com 4
0150 0 0103 7500      SAR    AR5,PRD ;Programa PRD com novo valor
0151 0 0104 fb90      BANZ   RINT12,*- ;Vai para RINT12 se AR4 (contador de
0152 - ---- -      ;interrupcoes) nao for igual a zero,
0153 - ---- -      ;antes decrementando AR4
0154 0 0106 ffa0      B      INTN3,**+ ;incrementa AR4 para voltar a ser zero
e
0155 - ---- -      ;vai para INTN3
0156 0 0108 5100      RINT12 LST1   CST1    ;Restaura ST1 no valor original e
retorna
0157 0 0109 ce00      EINT
0158 0 010a ce26      RET
0159 - ---- -
0160 0 010b e100      INTN3  OUT    CANAL0,1h ;Seleciona o canal 0 do mux analogico
0161 0 010c 558e      LARP   6      ;
0162 0 010d d600      LRLK   AR6,SAIDA1 ;Transfere 6 palavras a partir de
PSAIDA1
0163 0 010f cb05      RPTK   5      ;para SAIDA1
0164 0 0110 fda0      BLKD   PSAIDA1,**+ ;
0165 0 0112 d100      LRLK   AR1,SAIDA1 ;Proxima escrita na placa de
interface

```

```

0166 - ---- ---- ;sera SAIDA1.
0167 0 0114 d200 LRLK AR2,PRD2 ;Proxima escrita no timer sera PRD2.
0168 0 0116 c402 LARK AR4,2 ;Inicializa contador de interrupcoes
em 2
0169 0 0117 ce00 EINT ;Habilita a interrupcao para que
0170 - ---- ---- ;INTN1 e INTN2 possam ocorrer
0171 0 0118 c607 LARK AR6,7
0172 0 0119 fb90 ESTAB BANZ ESTAB,*- ;Atraso para o sinal do mux ficar
estavel
0173 0 011b 8200 IN AD0,2 ;Da inicio a conversao analogico-
digital
0174 - ---- ---- ;O jumper J7 deve estar na posicao
'A'
0175 0 011c c612 LARK AR6,18
0176 0 011d fb90 LEAD01 BANZ LEAD01,*- ;Espera 5us pela conversao
0177 0 011f e100 OUT CANAL1,1h ;Seleciona o canal 1 do mux analogico
0178 0 0120 8200 IN AD0,2 ;Le o valor convertido e descarta,
dando
0179 - ---- ---- ;inicio a uma nova conversao
0180 0 0121 c612 LARK AR6,18
0181 0 0122 fb90 LEAD02 BANZ LEAD02,*- ;Espera 5us pela conversao
0182 0 0124 8200 IN AD0,2 ;Le o valor convertido e escreve em
AD0.
0183 - ---- ---- ;Este eh o valor valido
0184 0 0125 c612 LARK AR6,18
0185 0 0126 fb90 LEAD11 BANZ LEAD11,*- ;Espera 5us pela conversao
0186 0 0128 8200 IN AD1,2 ;Le o valor convertido e descarta
0187 0 0129 c612 LARK AR6,18
0188 0 012a fb90 LEAD12 BANZ LEAD12,*- ;Espera 5us pela conversao
0189 0 012c 8200 IN AD1,2 ;Le o valor convertido para AD1.
0190 - ---- ---- ;Este eh o valor valido.
0191 0 012d 2000 LAC AD0
0192 0 012e d003 SBLK 0802H ;Subtrai 0802h de AD0
0193 0 0130 6000 SACL AD0
0194 0 0131 2000 LAC AD1
0195 0 0132 d003 SBLK 0802H ;Subtrai 0802h de AD1
0196 0 0134 6000 SACL AD1
0197 - ---- ----
0198 - ---- ---- ;Calcula previsao de AD0
0199 0 0135 a000 MPYK 0 ;Zera registrador P e acumulador
0200 0 0136 ca00 ZAC
0201 0 0137 558e LARP 6
0202 0 0138 d600 LRLK AR6,E11 ;Faz calculo de:
0203 0 013a 3c00 LT AD0P ;AD0PP=E11*AD0P+E12*AD1P+E13*ADILP+
0204 0 013b 38a0 MPY *+ ;E14*AD0+E15*AD1+E16*DT
0205 0 013c 3d00 LTA AD1P ;
0206 0 013d 38a0 MPY *+ ;
0207 0 013e 3d00 LTA ADILP ;
0208 0 013f 38a0 MPY *+ ;
0209 0 0140 3d00 LTA AD0 ;
0210 0 0141 38a0 MPY *+ ;
0211 0 0142 3d00 LTA AD1 ;
0212 0 0143 38a0 MPY *+ ;
0213 0 0144 3d00 LTA DT
0214 0 0145 38a0 MPY *+
0215 0 0146 ce15 APAC ;Soma ACC com P
0216 0 0147 6b00 SACH AD0PP,3 ;Salva o resultado em AD0PP (valor
previsto
0217 - ---- ---- ;para AD0) dividindo por 2**13 (fat2)
0218 - ---- ----
0219 - ---- ---- ;Calcula previsao de AD1
0220 0 0148 a000 MPYK 0 ;Zera registrador P e acumulador
0221 0 0149 ca00 ZAC
0222 0 014a 3c00 LT AD0P ;AD1PP=E21*AD0P+E22*AD1P+E23*ADILP+
0223 0 014b 38a0 MPY *+ ;E24*AD0+E25*AD1+E26*DT
0224 0 014c 3d00 LTA AD1P ;

```

```

0225 0 014d 38a0      MPY    *+      ;
0226 0 014e 3d00      LTA    ADILP   ;
0227 0 014f 38a0      MPY    *+      ;
0228 0 0150 3d00      LTA    AD0     ;
0229 0 0151 38a0      MPY    *+      ;
0230 0 0152 3d00      LTA    AD1     ;
0231 0 0153 38a0      MPY    *+      ;
0232 0 0154 3d00      LTA    DT      ;
0233 0 0155 38a0      MPY    *+      ;
0234 0 0156 ce15      APAC                    ;Soma ACC com P
0235 0 0157 6b00      SACH   AD1PP,3 ;Salva o resultado em AD1PP (valor
previsto
0236 - ---- ----                    ;para AD1) dividindo por 2**13 (fat2)
0237 - ---- ----
0238 - ---- ----      ;Calcula previsao de ADIL
0239 0 0158 a000      MPYK   0       ;Zera registrador P e acumulador
0240 0 0159 ca00      ZAC                    ;Zera o ACC
0241 0 015a 3c00      LT     AD0P    ;ADILP=E31*AD0P+E32*AD1P+E33*ADILP+
0242 0 015b 38a0      MPY    *+      ;E34*AD0+E35*AD1+E36*DT
0243 0 015c 3d00      LTA    AD1P    ;
0244 0 015d 38a0      MPY    *+      ;
0245 0 015e 3d00      LTA    ADILP   ;
0246 0 015f 38a0      MPY    *+      ;
0247 0 0160 3d00      LTA    AD0     ;
0248 0 0161 38a0      MPY    *+      ;
0249 0 0162 3d00      LTA    AD1     ;
0250 0 0163 38a0      MPY    *+      ;
0251 0 0164 3d00      LTA    DT      ;
0252 0 0165 38a0      MPY    *+      ;
0253 0 0166 ce15      APAC                    ;Soma ACC com P
0254 0 0167 6b00      SACH   ADILP,3 ;Salva o resultado em ADILP (valor
previsto
0255 - ---- ----                    ;para ADIL) dividindo por 2**13 (fat2)
0256 0 0168 2000      LAC    AD0PP   ;Coloca valores previstos para AD0 e AD1
nas
0257 0 0169 6000      SACL   AD0P    ;respectivas posicoes
0258 0 016a 2000      LAC    AD1PP   ;
0259 0 016b 6000      SACL   AD1P    ;
0260 - ---- ----
0261 - ---- ----      ;Calcula a largura do pulso PWM
0262 0 016c a000      MPYK   0       ;Zera registrador P
0263 0 016d ca00      ZAC                    ;Zera o ACC
0264 0 016e 3c00      LT     AD0P    ;Calcula:
0265 0 016f 38a0      MPY    *+      ;DT=C1*AD0P+C2*AD1P+C3*ADILP+C4*VREF
0266 0 0170 3d00      LTA    AD1P    ;
0267 0 0171 38a0      MPY    *+      ;
0268 0 0172 3d00      LTA    ADILP   ;
0269 0 0173 38ab      MPY    *+,3    ;Carrega ARP com 3 para indexar VREF
0270 0 0174 3dae      LTA    *+,6    ;Carrega ARP com 6 para novamente indexar
0271 0 0175 38a9      MPY    *+,1    ;coeficiente C4
0272 0 0176 ce15      APAC                    ;Soma ACC com P
0273 0 0177 6b00      SACH   DT,3    ;Salva a largura de pulso em DT dividindo
0274 - ---- ----                    ;por 2**13 (fat1)
0275 0 0178 2000      LAC    DT      ;
0276 - ---- ----
0277 0 0179 f380      BLZ    PULNEG   ;Se o acum. menor que zero vai para
PULNEG
0278 0 017b c701      LARK   AR7,01h ;Os bits 7 e 6 devem estar em 0
0279 - ---- ----                    ;para deixar o S/H em estado de
hold.
0280 0 017c 7700      SAR    AR7,PSAIDA1 ;Coloca em PSAIDA1 valor para um
pulso pos
0281 0 017d ff80      B      LIMITE   ;
0282 0 017f c702      PULNEG LARK   AR7,02h ;Os bits 7 e 6 devem estar em 0
0283 - ---- ----                    ;para deixar o S/H em estado de
hold.

```

```

0284 0 0180 7700          SAR      AR7,PSAIDA1 ;Coloca em PSAIDA1 valor para um
pulso neg
0285 0 0181 ce23          NEG              ;Faz complemento 2 do acumulador
0286 0 0182 6000          LIMITE SACL PPRD1          ;Salva acumulador em PPRD1
0287 0 0183 d003          SBLK      LSUPDT          ;Subtrai do acumulador o limite
superior da
0288 - ---- ----              ;largura de pulso para DT
0289 0 0185 f480          BGEZ      SUP          ;Vai para SUP se pulso maior que pulso
superior
0290 0 0187 4100          ZALS      PPRD1          ;Recarrega acumulador com o valor do
pulso
0291 0 0188 d003          SBLK      LINFDT          ;Subtrai do acumulador o limite inferior
da
0292 - ---- ----              ;largura de pulso
0293 0 018a f180          BGZ      RESUL          ;Se o acumulador for maior entao pulso
nao
0294 - ---- ----              ;ultrapassa o limite inferior
0295 0 018c d001          INF      LALK      LINFDT          ;O pulso e menor que o limite inferior,
entao
0296 0 018e 6000          SACL      PPRD1          ;gera um pulso com a largura do limite
inferior
0297 0 018f ff80          B          RESUL
0298 0 0191 d001          SUP      LALK      LSUPDT          ;O pulso e maior que o limite superior,
entao
0299 0 0193 6000          SACL      PPRD1          ;gera um pulso com a largura do limite
superior
0300 0 0194 2000          RESUL    LAC      DT          ;Salva em DT o valor limitado
0301 0 0195 f480          BGEZ      FPOS
0302 0 0197 2000          LAC      PPRD1
0303 0 0198 ce23          NEG
0304 0 0199 ff80          B          FFIM
0305 0 019b 2000          FPOS    LAC      PPRD1
0306 0 019c 6000          FFIM    SACL      DT
0307 0 019d 3c00          LT      PPRD1          ;Faz o escalamento de PPRD1, isto eh,
0308 - ---- ----              ;multiplica por KPRD
0309 0 019e ca00          ZAC
0310 0 019f a000          MPYK    KPRD1
0311 0 01a0 ce15          APAC
0312 0 01a1 ce19          SFR              ;Divide por 2
0313 0 01a2 ce19          SFR              ;Divide por 2
0314 0 01a3 6000          SACL      PPRD1
0315 0 01a4 6000          SACL      PRD1
0316 0 01a5 d001          LALK      LTOT
0317 0 01a7 1000          SUB      PPRD1          ;Calcula o tempo de INTN2
0318 0 01a8 ce19          SFR              ;PRD2=(LTOT-PPRD1)/2-1
0319 0 01a9 cd01          SUBK     1          ;
0320 0 01aa 6000          SACL      PPRD2
0321 0 01ab d001          LALK      LTOT          ;Calcula o tempo de INTN3:
0322 0 01ad 1000          SUB      PPRD1          ;PRD3=LTOT-PRD1-PRD2-3
0323 0 01ae 1000          SUB      PPRD2
0324 0 01af cd03          SUBK     3
0325 0 01b0 6000          SACL      PPRD3
0326 0 01b1 2000          LAC      PSAIDA3          ;Faz a atualizacao de PSAIDA1 e PSAIDA3
0327 0 01b2 d005          ORK      0C0h          ;Seta bits 7 e 6 para o S/H ficar em
sample
0328 0 01b4 d006          XORK     03h          ;A SAIDA2 tera os bits que acionam os
0329 0 01b6 6000          SACL      PSAIDA2          ;transistores da ponte invertidos (bits
1 e 0)
0330 0 01b7 d004          ANDK     03h          ;A SAIDA3 sera igual a SAIDA2 tendo os
bits
0331 0 01b9 6000          SACL      PSAIDA3          ;7 e 6 resetados para ativar o hold do
S/H.
0332 0 01ba 558b          LARP     03          ;Testa se AR3 nao ultrapassou VREF333
0333 0 01bb d000          LRLK    AR0,VREF333
0334 0 01bd ce52          CMPR     02          ;Se AR3 > AR0 entao TC=1
0335 0 01be f880          BBZ     MENOR

```

```

0336 0 01c0 d300          LRLK   AR3,VREF001
0337 0 01c2 558c        MENOR  LARP   04h
0338 0 01c3 ce01          DINT
0339 0 01c4 fb80          BANZ   NPROG,*   ;Testa AR4
0340 0 01c6 3600          LAR    AR6,PPRD3 ;Se AR4=0 entao PRD com largura de
INTN3 ja
0341 0 01c7 7600          SAR    AR6,PRD   ;foi programado. Reprog. com valor
correto
0342 0 01c8 ff80          B      FIM
0343 0 01ca 3600        NPROG  LAR    AR6,PPRD3 ;Se AR4<>0 entao PRD com largura de
INTN3
0344 0 01cb 7600          SAR    AR6,PRD3 ;ainda nao foi programado. Deixa em
PRD3 o
0345 - ---- ----                ;valor corretao para ser programado
0346 0 01cc ce00        FIM    EINT
0347 0 01cd ce26          RET
0348 - ---- ----
0349 - ---- ----
0350 - ---- ----
0351 - ---- ----                .ps 250h
0352 - ---- ----
0353 - ---- ----                ;Salva variaveis e registradores na posicao 1040h da memoria
de
0354 - ---- ----                ;dados externa para serem examinados
0355 0 0250 ce01        TRAPI  DINT
0356 0 0251 ce04          CNFD
0357 0 0252 e400          OUT    SAIDA1,4
0358 0 0253 7800          SST    CST0   ;Salva ST0 em CST0
0359 0 0254 7900          SST1   CST1   ;Salva ST1 em CST1
0360 0 0255 c821          LDPK   021h   ;DP endereca a partir de 1080h
0361 0 0256 6000          SACL   0,0    ;Armazena ACL em 1080
0362 0 0257 6801          SACH   1,0    ;          ACH em 1081
0363 0 0258 7c02          SPL    2,0    ;          PL  em 1082
0364 0 0259 7d03          SPH    3,0    ;          PH  em 1083
0365 0 025a c800          LDPK   0h     ;DP endereca a partir de 0h
0366 0 025b 2000          LAC    CST0   ;Copia CST0 para 1084h
0367 0 025c c821          LDPK   21h
0368 0 025d 6004          SACL   4
0369 0 025e c800          LDPK   0h
0370 0 025f 2000          LAC    CST1   ;Copia CST1 para 1085h
0371 0 0260 c821          LDPK   21h
0372 0 0261 6005          SACL   5      ;Salva ARx's
0373 0 0262 7010          SAR    AR0,10h
0374 0 0263 7111          SAR    AR1,11h
0375 0 0264 7212          SAR    AR2,12h
0376 0 0265 7313          SAR    AR3,13h
0377 0 0266 7414          SAR    AR4,14h
0378 0 0267 7515          SAR    AR5,15h
0379 0 0268 7616          SAR    AR6,16h
0380 0 0269 7717          SAR    AR7,17h
0381 0 026a c800          LDPK   0h
0382 0 026b d000          LRLK   AR0,1060h ;Copia de 60h ate 7Fh da memoria
interna
0383 0 026d 5588          LARP   0h     ;para a posicao 1060h da memoria
externa
0384 0 026e cb1f          RPTK   1Fh
0385 0 026f fda0          BLKD   060h,*+
0386 0 0271 d000          LRLK   AR0,1040h ;Copia de 200h ate 21Fh da memoria
0387 0 0273 5588          LARP   0h     ;interna para a posicao 1040h da
memoria
0388 0 0274 cb1f          RPTK   1Fh     ;externa
0389 0 0275 fda0          BLKD   0200H,*+
0390 0 0277 5500        LTRAP  NOP
0391 0 0278 ff80          B      LTRAP
0392 - ---- ----
0393 - ---- ----

```



```

0394 - ---- ---- .ps 300h
0395 - ---- ----
0396 - ---- ---- PE11 .word 4011 ;Valores para calculo da previsao das
variaveis 0396 0 0300 0fab
0397 - ---- ---- PE12 .word -172 ;variaveis de estado
0397 0 0301 ff54
0398 - ---- ---- PE13 .word -1762 ;
0398 0 0302 f91e
0399 - ---- ---- PE14 .word 3308 ;
0399 0 0303 0cec
0400 - ---- ---- PE15 .word 1934 ;
0400 0 0304 078e
0401 - ---- ---- PE16 .word 3447 ;
0401 0 0305 0d77
0402 - ---- ---- PE21 .word 854 ;
0402 0 0306 0356
0403 - ---- ---- PE22 .word 5819 ;
0403 0 0307 16bb
0404 - ---- ---- PE23 .word 873 ;
0404 0 0308 0369
0405 - ---- ---- PE24 .word -8536 ;
0405 0 0309 dea8
0406 - ---- ---- PE25 .word 1500 ;
0406 0 030a 05dc
0407 - ---- ---- PE26 .word 30339 ;
0407 0 030b 7683
0408 - ---- ---- PE31 .word 2404 ;
0408 0 030c 0964
0409 - ---- ---- PE32 .word 240 ;
0409 0 030d 00f0
0410 - ---- ---- PE33 .word 8192 ;
0410 0 030e 2000
0411 - ---- ---- PE34 .word -2404 ;
0411 0 030f f69c
0412 - ---- ---- PE35 .word -240 ;
0412 0 0310 ff10
0413 - ---- ---- PE36 .word 0 ;
0413 0 0311 0000
0414 - ---- ---- PC1 .word -17397 ;Valor a ser multiplicado por V
0414 0 0312 bc0b
0415 - ---- ---- PC2 .word -4188 ;Valor a ser multiplicado por I
0415 0 0313 efa4
0416 - ---- ---- PC3 .word 4188 ;Valor a ser multiplicado por IL
0416 0 0314 105c
0417 - ---- ---- PC4 .word 19471 ;Valor a ser multiplicado por Vref[K+1]
0417 0 0315 4c0f
0418 - ---- ----
0419 - ---- ----
0420 - ---- ---- ;Tabela com os valores de VREF na memoria de programa
0421 - ---- ---- PVREF .word 0000h, 001Ch, 0039h, 0056h, 0072h, 008Fh, 00ACh
0422 - ---- ---- .word 00C8h, 00E5h, 0101h, 011Eh, 013Ah, 0156h, 0172h
0423 - ---- ---- .word 018Eh, 01A9h, 01C5h, 01E0h, 01FCh, 0217h, 0231h
0424 - ---- ---- .word 024Ch, 0267h, 0281h, 029Bh, 02B4h, 02CEh, 02E7h
0425 - ---- ---- .word 0300h, 0319h, 0331h, 034Ah, 0361h, 0379h, 0390h
0426 - ---- ---- .word 03A7h, 03BEh, 03D4h, 03EAh, 03FFh, 0414h, 0429h
0427 - ---- ---- .word 043Dh, 0451h, 0465h, 0478h, 048Bh, 049Dh, 04AFh
0428 - ---- ---- .word 04C1h, 04D2h, 04E3h, 04F3h, 0503h, 0512h, 0521h
0429 - ---- ---- .word 052Fh, 053Dh, 054Bh, 0558h, 0564h, 0570h, 057Ch
0430 - ---- ---- .word 0587h, 0591h, 059Bh, 05A4h, 05ADh, 05B6h, 05BEh
0431 - ---- ---- .word 05C5h, 05CCh, 05D2h, 05D8h, 05DDh, 05E2h, 05E6h
0432 - ---- ---- .word 05EAh, 05EDh, 05F0h, 05F2h, 05F3h, 05F4h, 05F4h
0433 - ---- ---- .word 05F4h, 05F4h, 05F2h, 05F1h, 05EEh, 05ECh, 05E8h
0434 - ---- ---- .word 05E4h, 05E0h, 05DBh, 05D5h, 05CFh, 05C9h, 05C1h
0435 - ---- ---- .word 05BAh, 05B2h, 05A9h, 05A0h, 0596h, 058Ch, 0581h
0436 - ---- ---- .word 0576h, 056Ah, 055Eh, 0551h, 0544h, 0536h, 0528h
0437 - ---- ---- .word 051Ah, 050Ah, 04FBh, 04EBh, 04DAh, 04CAh, 04B8h

```

```

0438 - ---- ---- .word 04A7h, 0494h, 0482h, 046Fh, 045Bh, 0447h, 0433h
0439 - ---- ---- .word 041Fh, 040Ah, 03F4h, 03DFh, 03C9h, 03B2h, 039Ch
0440 - ---- ---- .word 0385h, 036Dh, 0355h, 033Dh, 0325h, 030Dh, 02F4h
0441 - ---- ---- .word 02DBh, 02C1h, 02A8h, 028Eh, 0274h, 0259h, 023Fh
0442 - ---- ---- .word 0224h, 0209h, 01EEh, 01D3h, 01B7h, 019Ch, 0180h
0443 - ---- ---- .word 0164h, 0148h, 012Ch, 010Fh, 00F3h, 00D7h, 00BAh
0444 - ---- ---- .word 009Dh, 0081h, 0064h, 0047h, 002Bh, 000Eh, 0FFF2h
0445 - ---- ---- .word 0FFD5h, 0FFB9h, 0FF9Ch, 0FF7Fh, 0FF63h, 0FF46h,
0FF29h
0446 - ---- ---- .word 0FF0Dh, 0FEF1h, 0FED4h, 0FEB8h, 0FE9Ch, 0FE80h,
0FE64h
0447 - ---- ---- .word 0FE49h, 0FE2Dh, 0FE12h, 0FDF7h, 0FDDCh, 0FDC1h,
0FDA7h
0448 - ---- ---- .word 0FD8Ch, 0FD72h, 0FD58h, 0FD3Fh, 0FD25h, 0FD0Ch,
0FCF3h
0449 - ---- ---- .word 0FCDBh, 0FCC3h, 0FCABh, 0FC93h, 0FC7Bh, 0FC64h,
0FC4Eh
0450 - ---- ---- .word 0FC37h, 0FC21h, 0FC0Ch, 0FBF6h, 0FBE1h, 0FBCEh,
0FB9h
0451 - ---- ---- .word 0FBA5h, 0FB91h, 0FB7Eh, 0FB6Ch, 0FB59h, 0FB48h,
0FB36h
0452 - ---- ---- .word 0FB26h, 0FB15h, 0FB05h, 0FAF6h, 0FAE6h, 0FAD8h,
0FACAh
0453 - ---- ---- .word 0FABCh, 0FAAFh, 0FAA2h, 0FA96h, 0FA8Ah, 0FA7Fh,
0FA74h
0454 - ---- ---- .word 0FA6Ah, 0FA60h, 0FA57h, 0FA4Eh, 0FA46h, 0FA3Fh,
0FA37h
0455 - ---- ---- .word 0FA31h, 0FA2Bh, 0FA25h, 0FA20h, 0FA1Ch, 0FA18h,
0FA14h
0456 - ---- ---- .word 0FA12h, 0FA0Fh, 0FA0Eh, 0FA0Ch, 0FA0Ch, 0FA0Ch,
0FA0Ch
0457 - ---- ---- .word 0FA0Dh, 0FA0Eh, 0FA10h, 0FA13h, 0FA16h, 0FA1Ah,
0FA1Eh
0458 - ---- ---- .word 0FA23h, 0FA28h, 0FA2Eh, 0FA34h, 0FA3Bh, 0FA42h,
0FA4Ah
0459 - ---- ---- .word 0FA53h, 0FA5Ch, 0FA65h, 0FA6Fh, 0FA79h, 0FA84h,
0FA90h
0460 - ---- ---- .word 0FA9Ch, 0FAA8h, 0FAB5h, 0FAC3h, 0FAD1h, 0FADFh,
0FAEEh
0461 - ---- ---- .word 0FAFDh, 0FB0Dh, 0FB1Dh, 0FB2Eh, 0FB3Fh, 0FB51h,
0FB63h
0462 - ---- ---- .word 0FB75h, 0FB88h, 0FB9Bh, 0FBAFh, 0FBC3h, 0FBD7h,
0FBECh
0463 - ---- ---- .word 0FC01h, 0FC16h, 0FC2Ch, 0FC42h, 0FC59h, 0FC70h,
0FC87h
0464 - ---- ---- .word 0FC9Fh, 0FCB6h, 0FCCFh, 0FCE7h, 0FD00h, 0FD19h,
0FD32h
0465 - ---- ---- .word 0FD4Ch, 0FD65h, 0FD7Fh, 0FD99h, 0FDB4h, 0FDCFh,
0FDE9h
0466 - ---- ---- .word 0FE04h, 0FE20h, 0FE3Bh, 0FE57h, 0FE72h, 0FE8Eh,
0FEAAh
0467 - ---- ---- .word 0FEC6h, 0FEE2h, 0FEFFh, 0FF1Bh, 0FF38h, 0FF54h,
0FF71h
0468 - ---- ---- .word 0FF8Eh, 0FFAAh, 0FFC7h, 0FFE4h, 00000h, 00000h,
00000h
0469 - ---- ----
0470 - ---- ---- .ds 060h
0471 - ---- ---- .data
0472 - ---- ---- ;Variaveis na memoria de dados interna primeiro banco
0473 - ---- ---- SAIDA1 .word 0 ;Valor a ser escrito no latch da placa
de
0473 1 0060 0000
0474 - ---- ---- ;interface durante INTN1
0475 - ---- ---- SAIDA2 .word 0 ;Idem para INTN2
0475 1 0061 0000
0476 - ---- ---- SAIDA3 .word 0 ;Idem para INTN3

```

```

0476 1 0062 0000
0477 - ---- ---- PRD2 .word 0 ;PRD para INTN2
0477 1 0063 0000
0478 - ---- ---- PRD3 .word 0 ;PRD para INTN3
0478 1 0064 0000
0479 - ---- ---- PRD1 .word 0 ;PRD para INTN1
0479 1 0065 0000
0480 - ---- ----
0481 - ---- ---- ;Valores calculados no ciclo anterior:
0482 - ---- ---- PSAIDA1 .word 0 ;Valor a ser escrito no latch da placa
de
0482 1 0066 0000
0483 - ---- ---- ;interface durante INTN1
0484 - ---- ---- PSAIDA2 .word 0 ;Idem para INTN2
0484 1 0067 0000
0485 - ---- ---- PSAIDA3 .word 0 ;Idem para INTN3
0485 1 0068 0000
0486 - ---- ----
0487 - ---- ---- PPRD2 .word 0 ;PRD para INTN2
0487 1 0069 0000
0488 - ---- ---- PPRD3 .word 0 ;PRD para INTN3
0488 1 006a 0000
0489 - ---- ---- PPRD1 .word 0 ;PRD para INTN1
0489 1 006b 0000
0490 - ---- ---- CANAL0 .word 0 ;Valor a ser programado no latch para
selecao
0490 1 006c 0000
0491 - ---- ---- ;do canal 0 do conversor A/D
0492 - ---- ---- CANAL1 .word 0 ;O mesmo para o canal 1
0492 1 006d 0000
0493 - ---- ---- AD0P .word 0 ;Valor previsto de AD0 (leitura da
tensao V)
0493 1 006e 0000
0494 - ---- ---- AD1P .word 0 ;Valor previsto de AD1 (leitura da
corrente I)
0494 1 006f 0000
0495 - ---- ---- ADILP .word 0 ;Valor previsto para a corrente na carga
0495 1 0070 0000
0496 - ---- ---- AD0 .word 0 ;Valor lido da entrada 0 do A/D (tensao
V)
0496 1 0071 0000
0497 - ---- ---- AD1 .word 0 ;Valor lido da entrada 1 do A/D
(corrente I)
0497 1 0072 0000
0498 - ---- ---- DT .word 0 ;Largura do pulso
0498 1 0073 0000
0499 - ---- ---- AD0PP .word 0 ;Valor intermediario nos calculos
0499 1 0074 0000
0500 - ---- ---- AD1PP .word 0 ;Valor intermediario nos calculos
0500 1 0075 0000
0501 - ---- ----
0502 - ---- ---- CST0 .word 0 ;Copia do ST0
0502 1 0076 0000
0503 - ---- ---- CST1 .word 0 ;Copia do ST1
0503 1 0077 0000
0504 - ---- ----
0505 - ---- ---- .ds 0200h
0506 - ---- ---- .data
0507 - ---- ----
0508 - ---- ---- E11 .word 0 ;Valores para calculo da previsao das
0508 1 0200 0000
0509 - ---- ---- E12 .word 0 ;variaveis de estado
0509 1 0201 0000
0510 - ---- ---- E13 .word 0 ;
0510 1 0202 0000
0511 - ---- ---- E14 .word 0 ;

```

```

0511 1 0203 0000
0512 - ---- ---- E15 .word 0 ;
0512 1 0204 0000
0513 - ---- ---- E16 .word 0 ;
0513 1 0205 0000
0514 - ---- ---- E21 .word 0 ;
0514 1 0206 0000
0515 - ---- ---- E22 .word 0 ;
0515 1 0207 0000
0516 - ---- ---- E23 .word 0 ;
0516 1 0208 0000
0517 - ---- ---- E24 .word 0 ;
0517 1 0209 0000
0518 - ---- ---- E25 .word 0 ;
0518 1 020a 0000
0519 - ---- ---- E26 .word 0 ;
0519 1 020b 0000
0520 - ---- ---- E31 .word 0 ;
0520 1 020c 0000
0521 - ---- ---- E32 .word 0 ;
0521 1 020d 0000
0522 - ---- ---- E33 .word 0 ;
0522 1 020e 0000
0523 - ---- ---- E34 .word 0 ;
0523 1 020f 0000
0524 - ---- ---- E35 .word 0 ;
0524 1 0210 0000
0525 - ---- ---- E36 .word 0 ;
0525 1 0211 0000
0526 - ---- ---- C1 .word 0 ;Valor a ser multiplicado por V
0526 1 0212 0000
0527 - ---- ---- C2 .word 0 ;Valor a ser multiplicado por I
0527 1 0213 0000
0528 - ---- ---- C3 .word 0 ;Valor a ser multiplicado por IL
0528 1 0214 0000
0529 - ---- ---- C4 .word 0 ;Valor a ser multiplicado por Vref[K+1]
0529 1 0215 0000
0530 - ---- ----
0531 - ---- ----
0532 - ---- ----
0533 - ---- ---- .ds 0400h
0534 - ---- ---- .data
0535 - ---- ---- ;Tabela de VREF na memoria de dados
0536 - ---- ---- VREF
0537 - ---- ---- VREF001 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0538 - ---- ---- VREF021 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0539 - ---- ---- VREF041 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0540 - ---- ---- VREF061 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0541 - ---- ---- VREF081 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0542 - ---- ---- VREF101 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0543 - ---- ---- VREF121 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0544 - ---- ---- VREF141 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0545 - ---- ---- VREF161 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0546 - ---- ---- VREF181 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0547 - ---- ---- VREF201 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0548 - ---- ---- VREF221 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0549 - ---- ---- VREF241 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0550 - ---- ---- VREF261 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0551 - ---- ---- VREF281 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0552 - ---- ---- VREF301 .word 0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,0
0553 - ---- ---- VREF321 .word 0,0,0,0,0,0,0,0,0,0,0
0554 - ---- ---- VREF331 .word 0
0555 - ---- ---- VREF332 .word 0
0556 - ---- ---- VREF333 .word 0
0557 - ---- ----
>>>> FINISHED READING ALL FILES

```

```
>>>> ASSEMBLY COMPLETE: ERRORS:0  WARNINGS:0
```