



UNIVERSIDADE FEDERAL DE SANTA CATARINA
Centro de Ciências, Tecnologias e Saúde
Departamento de Computação
PLANO DE ENSINO

SEMESTRE 2022.2

I. IDENTIFICAÇÃO DA DISCIPLINA:

CÓDIGO	NOME DA DISCIPLINA	Nº DE HORAS-AULA SEMANAIS		TOTAL DE HORAS-AULA SEMESTRAIS
		TEÓRICAS	PRÁTICAS	
DEC7555	Linguagens de Descrição de Hardware	2	2	72

HORÁRIO		MODALIDADE
TURMAS TEÓRICAS	TURMAS PRÁTICAS	
6.0820(2) (4655A)	6.1010(2) (4655A)	Presencial

II. PROFESSOR(ES) MINISTRANTE(S)

Professor à contratar

III. PRÉ-REQUISITO(S)

CÓDIGO	NOME DA DISCIPLINA
DEC7546	Circuitos Digitais
DEC7123	Organização e Arquitetura de Computadores I

IV. CURSO(S) PARA O(S) QUAL(IS) A DISCIPLINA É OFERECIDA

Graduação em Engenharia de Computação

V. JUSTIFICATIVA

Dispositivos lógicos programáveis vêm sendo cada vez mais empregados no desenvolvimento de circuitos digitais de alta densidade como forma de aumentar a capacidade de processamento de sistemas computacionais, onde desempenho, paralelismo e tempo real são requisitos cruciais. Seu uso cobre uma ampla gama de áreas, desde equipamentos para processamento de imagem, até circuitos para aplicações embarcadas como automotivas, aeroespaciais e militares. É importante que o egresso de Engenharia de Computação entenda como funciona a tecnologia de dispositivos lógicos programáveis, bem como quais as estratégias podem ser adotadas para uma implementação mais eficiente de um projeto baseado neste tipo de dispositivo.

VI. EMENTA

Histórico e aspectos gerais da linguagem VHDL; Estruturas básicas da linguagem; Componentes e esquemas de iteração; Subprogramas; Funções; Bibliotecas, pacotes e configurações; Síntese de circuitos lógicos combinacionais; Síntese de circuitos lógicos sequenciais; Conceito de circuitos síncronos e assíncronos; Máquinas de Estado; Síntese de memórias, contadores e circuitos de serialização; Conceitos de Caminho de Dados e Caminho de Controle; Conversão de algoritmos em processadores de propósito único; Projeto de sistema embarcado baseado em FPGA.

VII. OBJETIVOS

Compreender o funcionamento de um FPGA e o ciclo de desenvolvimento de Hardware utilizando esse tipo de dispositivo. Compreender a capacidade desses dispositivos e as possibilidades de integração de

Hard Cores, Soft Cores e código personalizado. Escrever código em linguagem de descrição de hardware, utilizando ferramentas de desenvolvimento e simulação. Criar um pequeno projeto de dispositivo que explore os recursos de um FPGA.

VIII. CONTEÚDO PROGRAMÁTICO

UNIDADE 1: Introdução

- Objetivos da disciplina
- Metodologia de projeto: pequenos sistemas digitais
- Metodologia de projeto: grandes sistemas digitais
- Visão geral de Dispositivos lógicos programáveis

UNIDADE 2: Linguagem de Hardware e Síntese de Circuitos

- Introdução ao VHDL
- Definição de Entidade e Arquitetura
- Operadores Lógicos e Aritméticos
- Tipos de dados
- Configuração das máquinas dos alunos para uso da ferramenta de síntese em FPGA

UNIDADE 3: Definição de Componentes

- Definição de Componentes
- Formas de conexão interna de componentes
- Exemplos e exercícios de síntese e simulação de componentes

UNIDADE 4: Simuladores

- Testes em componentes criados em VHDL
- Ferramenta Qsim
- Ferramenta ModelSim
- Exercícios de síntese e simulação no ModelSim

UNIDADE 5: Comandos Concorrentes

- O que é a Concorrência em VHDL?
- Comandos concorrentes básicos: WHEN – ELSE, WITH – SELECT, e PROCESS
- Exercícios de implementação de lógica combinacional usando os comandos concorrentes apresentados

UNIDADE 6: Comandos Sequenciais

- Definição de Lista de sensibilidade
- Comandos sequenciais básicos: IF – ELSE, CASE – WHEN, e NULL
- Exercícios de implementação de lógica sequencial usando os comandos sequenciais

UNIDADE 7: Circuitos Síncronos e Assíncronos

- Conceitos de sincronismo
- Flip-flops
- Registradores
- Máquinas de estado: Mealy, Moore e One-Hot-Encoding
- Exercícios de implementação de circuitos síncronos e assíncronos
- Exercício de implementação de um cronômetro baseado em máquina de estados

UNIDADE 8: Esquemas de Geração

- Declaração de GENERIC
- Comando GENERATE
- Esquema de geração IF
- Comando LOOP
- Comando FOR
- Comando WHILE
- Exercícios de implementação de esquemas de geração

UNIDADE 9: Declaração de tipos e principais atributos

- Definição de Bibliotecas
- Definição de Pacotes
- Ordem de análise na síntese
- Tipos e Subtipos
- Vetores Unidimensionais e Multidimensionais
- Atributos que geram novos sinais
- Atributos que não geram novos sinais
- Exercícios de implementação de tipos e subtipos
- Exercícios de implementação de atributos e vetores

UNIDADE 10: Memórias e PLL

- Conceitos de memórias internas e externas ao FPGA
- Elaboração de uma Read-Only Memory (ROM) usando VHDL
- Elaboração de uma Random-Access Memory (RAM) usando VHDL
- Uso de *templates* da ferramenta de síntese para gerar memórias
- Definição de PLL
- *Template* da ferramenta de síntese para gerar um componente PLL
- Exercícios de implementação de memórias
- Exercícios de implementação de PLL

UNIDADE 11: Configurações

- Uso de configuração
- Exemplo de caso prático do uso de configuração
- Exercícios de implementação baseados no conceito de Configurações

UNIDADE 12: Variáveis

- Conceito de variáveis
- Atribuição de valores em variáveis
- Diferenças entre Sinais e Variáveis
- Exercícios de implementação utilizando o conceito de variáveis

UNIDADE 13: Instruções auxiliares

- ASSERT
- ALIAS
- PACKAGE
- FUNCTION
- PROCEDURE
- Exercício de implementação com instruções auxiliares

UNIDADE 14: Projetos de circuitos

- Registrador de deslocamento com *Data-Load*
- *Debounce* para chave
- Temporizador
- Exercício de implementação dos projetos de circuitos

UNIDADE 15: Projetos de circuitos

- Conversor Paralelo-Serial
- Conversor Serial-Paralelo
- Decodificador de endereços
- Conversor BCD para display de sete segmentos
- Exercício de implementação dos projetos de circuitos

UNIDADE 16: Projeto de circuitos

- Medidores de frequência
- Redes neurais
- Exercícios de implementação

UNIDADE 17: Caminhos de Dados e Controle

- Definição de Caminho de Dados e Caminho de controle
- Definição de um processador didático
- Exercícios de implementação

UNIDADE 18: Processador didático

- Implementação do processador didático em VHDL
- Programação e teste do processador didático
- Exercícios de implementação

UNIDADE 19: Processadores de Propósito Único - PPU

- Conceito de PPU
- Técnica de mapeamento de algoritmos para geração de PPU
- Exercício de conversão de algoritmo em PPU

UNIDADE 20: Trabalho

- Sorteio do Trabalho Final para cada aluno
- Explicação sobre cada um dos trabalhos
- Definição das documentações exigidas na entrega do Trabalho Final

IX. METODOLOGIA DE ENSINO / DESENVOLVIMENTO DO PROGRAMA

- A disciplina será ministrada com aulas expositivas fornecendo os componentes teóricos.
- Material de apoio postado no Moodle.
- Requisitos de infraestrutura necessários para ministrar as aulas:
 - Acesso à Internet;
 - Acesso à recursos do laboratório de Circuitos Digitais (osciloscópios, kits de desenvolvimento para FPGA;
- Ambiente Virtual de Aprendizagem – Moodle.

X. COMPETÊNCIAS / HABILIDADES

- Capacidade de identificar as diferentes tecnologias de dispositivos lógicos programáveis disponíveis;
- Capacidade de usar ferramenta de síntese lógica e simulador para dispositivos lógicos programáveis;
- Capacidade de desenvolvimento de sistema digital em nível RTL (*Register Transfer Level*);
- Capacidade de avaliar o uso de componentes digitais para a solução de problemas envolvendo processamento de dados e sinais digitais.

XI. METODOLOGIA E INSTRUMENTOS DE AVALIAÇÃO

A verificação do rendimento escolar compreenderá frequência e aproveitamento nos estudos, os quais deverão ser atingidos conjuntamente. Será obrigatória a frequência às atividades correspondentes a cada disciplina, no mínimo a 75% das mesmas (Frequência Suficiente - FS), ficando nela reprovado o aluno que não comparecer a mais de 25% das atividades (Frequência Insuficiente - FI).

Serão realizadas duas avaliações :

- Prova teórica (P1)
- Trabalho prático (T1)

A média final do semestre será a própria média aritmética entre P1 e T1 e assim a nota mínima para aprovação na disciplina será $MF \geq 6,0$ (seis) e Frequência Suficiente (FS). (Art. 69 e 72 da Res. nº 17/CUn/1997).

Ao aluno que não comparecer às atividades práticas ou não apresentar trabalhos no prazo estabelecido será atribuída nota 0 (zero). (Art. 70, § 4º da Res. nº 17/CUn/1997)

Observações:

Complementação de carga horária

A complementação da carga horária da disciplina ocorrerá da seguinte forma: (i) a Semana de Integração Acadêmica será contabilizada como dias letivos, conforme calendário acadêmico de 2022; e (ii) serão solicitados trabalhos de carácter prático teórico para complementação de carga horária da disciplina.

Avaliação de recuperação

Não há avaliação de recuperação nas disciplinas de carácter prático que envolve atividades de laboratório. (Res.17/CUn/97).

Nova avaliação

O aluno, que por motivo de força maior e plenamente justificado, deixar de realizar atividades avaliativas previstas no plano de ensino, deverá formalizar pedido à Chefia do Departamento de Ensino ao qual a disciplina pertence, dentro do prazo de 3 (três) dias úteis, apresentando documentação comprobatória.

XII. CRONOGRAMA PRÁTICO

Aula	Data	Conteúdo
1	26/08/2022	Unidade 1
2	26/08/2022	Unidade 2
3	02/09/2022	Unidade 3
4	02/09/2022	Unidade 4
5	09/09/2022	Unidade 5
6	09/09/2022	Unidade 6
7	16/09/2022	SAEC
8	16/09/2022	SAEC
9	23/09/2022	Unidade 7
10	23/09/2022	Unidade 8
11	30/09/2022	Unidade 9
12	30/09/2022	Unidade 10
13	07/10/2022	Unidade 11
14	07/10/2022	Unidade 12
15	14/10/2022	Unidade 13
16	14/10/2022	Unidade 14
17	21/10/2022	Unidade 15
18	21/10/2022	Prova P1
19	28/10/2022	Unidade 16
20	28/10/2022	Unidade 17
21	04/11/2022	Unidade 18
22	04/11/2022	Unidade 19
23	11/11/2022	Unidade 20
24	11/11/2022	Laboratório: implementação do trabalho T1
25	18/11/2022	Laboratório: implementação do trabalho T1
26	18/11/2022	Laboratório: implementação do trabalho T1

27	25/11/2022	Laboratório: implementação do trabalho T1
28	25/11/2022	Laboratório: implementação do trabalho T1
29	02/12/2022	Laboratório: implementação do trabalho T1
30	02/12/2022	Laboratório: implementação do trabalho T1
31	09/12/2022	Laboratório: implementação do trabalho T1
32	09/12/2022	Laboratório: implementação do trabalho T1
33	16/12/2022	Laboratório: implementação do trabalho T1
34	16/12/2022	Laboratório: implementação do trabalho T1
35	23/12/2022	Entrega e apresentação do trabalho T1
36	23/12/2022	Divulgação das notas finais

Obs.: O calendário está sujeito a pequenos ajustes de acordo com as necessidades das atividades desenvolvidas.

XIII. FERIADOS PREVISTOS PARA O SEMESTRE 2022.1:

DATA	
07/09/22	Independência do Brasil
12/10/22	Nossa Senhora Aparecida
28/10/22	Dia do Servidor Público (Lei nº 8.112 – art. 236)
02/11/22	Finados
15/11/22	Proclamação da República
09/12/22	Reservado para o vestibular 2023
10/12/22	Reservado para o vestibular 2023
11/12/22	Reservado para o vestibular 2023

XIV. BIBLIOGRAFIA BÁSICA

- *HAMBLEN, James O; HALL, Tyson S; FURMAN, Michael D. Rapid Prototyping of Digital Systems. Boston: Springer Science+Business Media, LLC, 2008.*
- *PEDRONI, Volnei A. Eletrônica digital moderna e VHDL. Rio de Janeiro: Elsevier, c2010. 619 p. ISBN 9788535234657.*
- *D'AMORE, Roberto. VHDL: descrição e síntese de circuitos digitais. 2. ed. Rio de Janeiro: LTC, c2012. xiii, 292 p. ISBN 9788521620549.*

XV. BIBLIOGRAFIA COMPLEMENTAR:

- CHU, Pong P. FPGA prototyping by VHDL examples: Xilinx Spartan-3 version. Hoboken, N.J.: Wiley-Interscience, [2008] 1 recurso online (xxv, 440 p ISBN 9780470231623 (e-book). Disponível em: <https://doi.org/10.1002/9780470231630>.
- CHU, Pong P., RTL hardware design using VHDL: coding for efficiency, portability, and scalability. Hoboken, N.J.: Wiley-Interscience, c2006. 1 online resource (xxiii, 66 ISBN 0471720925 (alk. Paper)).
- The Designer's Guide to VHDL 3 edição, Volume 3, Peter J. Ashenden ISBN: 978-0-12-088785-9 (disponível no science direct).
- FERREIRA, José Manuel Martins. Introdução ao projeto com sistemas digitais e microcontroladores. Porto: FEUP, 1998. 371 p. ISBN 9727520324.
- WILSON, Peter. The circuit designer's companion. 3rd ed. Amsterdam: Elsevier, 2012. xv, 439 p. ISBN

9780080971384.

- Free Range VHDL - Livro disponível gratuitamente em <http://www.freerangefactory.org/>
- The Designer's Guide to VHDL 3 edição, Volume 3, Peter J. Ashenden ISBN: 978-0-12-088785-9 (disponível no science direct).

Os livros acima citados constam na Biblioteca Universitária e Setorial de Araranguá (www.bu.ufsc.br).

XVI. INFRAESTRUTURA E MATERIAIS NECESSÁRIOS:

1. Computadores para os alunos com os softwares da disciplina instalados.
2. Espaço físico com mesas, cadeiras e tomadas em quantidades adequadas
3. Acesso à internet
4. Data show que possa ser operado de forma segura, sem risco de acidentes
5. Quadro branco e canetas
6. Kit de desenvolvimento Altera Terasic DE0

Obs.: A indisponibilidade de infraestrutura/materiais listados pode causar prejuízos ao processo pedagógico, inviabilizando tanto as atividades dos docentes como as dos alunos, podendo, ainda, acarretar em cancelamento de aulas em último caso.

Professor da Disciplina

Aprovado na Reunião do Colegiado do Curso em:

___/___/___

Coordenador do Curso