



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO TECNOLÓGICO
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E ELETRÔNICA

Estudo de Células de Atraso para Circuitos Integrados de Baixo Consumo

Trabalho de Conclusão de Curso submetido ao curso de Engenharia Eletrônica da Universidade Federal de Santa Catarina como requisito para aprovação da disciplina EEL7806 - Trabalho de Conclusão de Curso (TCC).

Lucas Pereira Luiz

Orientador: Márcio Cherem Schneider

Florianópolis, Janeiro de 2018.

LUCAS PEREIRA LUIZ

**ESTUDO DE CÉLULAS DE ATRASO
PARA CIRCUITOS INTEGRADOS DE
BAIXO CONSUMO**

Trabalho de Conclusão de Curso submetido ao curso de Engenharia Eletrônica da Universidade Federal de Santa Catarina como requisito para aprovação da disciplina EEL7806 - Trabalho de Conclusão de Curso (TCC).

Orientador: Márcio Cherem Schneider.

**FLORIANÓPOLIS
2018**

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Luiz, Lucas Pereira

Estudo de células de atraso para circuitos integrados de baixo consumo / Lucas Pereira Luiz ; orientador, Márcio Cherech Schneider, 2018.
75 p.

Trabalho de Conclusão de Curso (graduação) - Universidade Federal de Santa Catarina, Centro Tecnológico, Graduação em Engenharia Eletrônica, Florianópolis, 2018.

Inclui referências.

1. Engenharia Eletrônica. 2. Célula de atraso. 3. Linha de atraso. 4. Oscilador em anel. 5. Circuitos integrados. I. Schneider, Márcio Cherech. II. Universidade Federal de Santa Catarina. Graduação em Engenharia Eletrônica. III. Título.

Lucas Pereira Luiz

ESTUDO DE CÉLULAS DE ATRASO PARA CIRCUITOS INTEGRADOS DE BAIXO CONSUMO

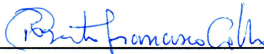
Este Trabalho de Conclusão de Curso foi julgado adequado no contexto da disciplina EEL7890 - Trabalho de conclusão de Curso (TCC), e aprovado em sua forma final pelo Departamento de Engenharia Elétrica e Eletrônica da Universidade Federal de Santa Catarina.

Florianópolis, Janeiro de 2018.

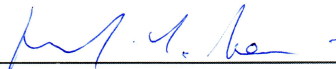


Prof. Márcio Cherem Schneider, Dr.
Orientador

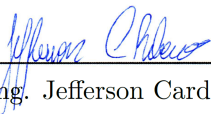
Banca examinadora:



Prof. Roberto Francisco Coelho, Dr.
Universidade Federal de Santa Catarina



Eng. Rafael Luciano Radin, MSc.
ELETROSUL Centrais Elétricas S/A



Eng. Jefferson Cardoso Ribeiro, MSc.
Chipus Microeletrônica

Agradecimentos

Desejo expressar meu reconhecimento a todos que, direta ou indiretamente, colaboraram para a realização deste trabalho. Primeiramente meu orientador Márcio Cherem Schneider por todo o suporte, dedicação e paciência em me orientar. Agradeço também aos meus pais, Isabel e Valter, cujo suporte emocional e financeiro foi fundamental durante toda a extensão de minha graduação. Agradeço ao Laboratório de Circuitos Integrados da UFSC e a todos seus integrantes pela oportunidade em trabalhar nesse interessante projeto, expandindo meus conhecimentos na área de circuitos integrados voltados para aplicações de baixo consumo. Agradeço ao serviço de fabricação de circuitos integrados MOSIS por realizar a fabricação dos circuitos projetados. Por fim, agradeço à Universidade Federal de Santa Catarina, professores e demais servidores, pela oportunidade de ensino público, gratuito e de qualidade.

RESUMO

Esse trabalho aborda o estudo e desenvolvimento de células de atraso em circuitos integrados de baixo consumo a fim de se elaborar uma cadeia de atrasos como parte de um circuito de *energy harvesting*. Essa cadeia de atrasos deve gerar 16 atrasos, iniciando em 250ns, com crescimento geométrico de 20%. O foco do trabalho é o estudo de células de atraso de baixo consumo usando a topologia *current starved* de modo a se obter um maior controle sobre o tempo de propagação de cada estágio. Uma validação inicial do estudo foi feita com a implementação e fabricação de um oscilador em anel, cujas medidas foram extraídas e comparadas com resultados de simulações, mostrando resultados satisfatoriamente similares à teoria. A cadeia de atrasos projetada também foi enviada para fabricação.

Palavras-chave: Células de atraso. Circuitos integrados. Baixo consumo. Osciladores em anel. Cadeia de atraso. Linha de atraso.

ABSTRACT

This work describes the study and development of low power integrated circuit delay cells in order to elaborate a delay line as part of an energy harvesting circuit. This delay line should generate 16 delays, starting in 250ns, with a geometric growth rate of 20%. The focus of this work is the study of low power delay cells using the current starved topology in order to obtain a greater control over each stage's propagation delay. An initial validation of the study was performed through the implementation and fabrication of a ring oscillator, whose measurements were extracted and compared to simulation results, showing results satisfactorily similar to the theory. The designed delay chain has also been submitted for fabrication.

Keywords: Delay cells. Integrated circuits. Low power. Ring oscillators. Delay chain. Delay line.

Lista de Figuras

1.1	Ilustração de uma <i>tapped delay line</i>	2
1.2	Inversores cascateados [9].	4
1.3	Um bloco <i>current starved</i> representado por fontes de corrente.	5
1.4	<i>Current starved</i> detalhado.	6
1.5	Topologia <i>pass gate</i> [9].	7
1.6	<i>Pass gate</i> com <i>Schmitt Trigger</i>	7
2.1	Representação das capacitâncias do par de inversores cascateados [14].	10
2.2	Descarga de um capacitor por um transistor NMOS. A resistência instantânea do transistor equivale a V_{DS}/I_D , e pode ser visualizada pelo ângulo com relação o eixo das ordenadas [14].	12
2.3	Ilustração do espelho de corrente.	13
2.4	Diagrama do circuito na topologia <i>current starved</i> detalhado.	14
3.1	Ilustração de um oscilador em anel de três estágios.	18
3.2	Ilustração de um <i>CSRO</i> de três estágios.	18
4.1	Interface da ferramenta Cadence TM	21
4.2	Diagrama do bloco de corrente de referência.	22
4.3	Diagrama de um bloco de atraso.	23

4.4	<i>Testbench</i> para dimensionamento inicial de um elemento de atraso.	23
4.5	Resultado da simulação do 11 ^o bloco (que gera 258 ns de atraso).	26
4.6	Gráfico do atraso por W_{SRC}	28
4.7	Gráfico de $1/t_d$ por W_{SRC}	29
4.8	Gráfico do atraso por $1/W_{SRC}$	29
4.9	<i>Layout</i> da 11 ^a célula (de 258 ns). Dimensões: 8,7 μm X 23,3 μm	30
4.10	<i>Layout</i> do bloco de corrente de referência. Dimensões: 94 μm X 120 μm	30
4.11	Inversor <i>current starved</i> e suas dimensões.	32
4.12	Espelho de corrente para polarizar o CSRO. A fonte de corrente I_{REF} não é incluída no esquemático.	33
4.13	Um estágio do CSRO 1. Dimensões: 4,3 μm X 13 μm	34
4.14	Os treze estágios do CSRO 1 conectados em <i>loop</i> . Dimensões: 30 μm X 26 μm	34
4.15	Diagrama dos estágios do oscilador e dos <i>buffers</i>	35
4.16	<i>Layout</i> do <i>buffer</i> completo. Dimensões: 63 μm X 26 μm	35
4.17	<i>Layout</i> completo do CSRO 1. Dimensões: 100 μm X 54 μm	37
4.18	Simulação em <i>corner</i> típico-típico do CSRO 1.	38
4.19	Formas de onda das tensões nos drenos dos transistores que espelham as correntes do CSRO 1. A saída do estágio, V_{OUT} , também é mostrada.	39
4.20	Varredura de V_{DD} do CSRO 1.	40
4.21	Ilustração da topologia do segundo CSRO.	41
4.22	Formas de onda das saídas do CSRO 2.	42
4.23	Formas de onda das tensões nos drenos dos transistores que espelham as correntes do CSRO 2. As duas saídas deste oscilador, V_{OUT1} e V_{OUT2} , também são mostradas. $V_{DD} = 1\text{ V}$	43
4.24	Diagrama dos estágios do oscilador e dos <i>buffers</i> com <i>dummies</i>	43
4.25	Formas de onda das tensões nos drenos dos transistores que espelham as correntes do CSRO 2 com <i>buffers dummy</i> . Também é mostrada uma das saídas (V_{OUT}) do oscilador. $V_{DD} = 1\text{ V}$	44

4.26	Varredura de V_{DD} do <i>CSRO</i> 2.	45
4.27	Varição das tensões do dreno das fontes de corrente com V_{DD} no <i>CSRO</i> 2.	46
4.28	Varredura de V_{DD} do <i>CSRO</i> 2 com <i>buffers dummy</i>	46
4.29	Varição das tensões do dreno das fontes de corrente com V_{DD} no <i>CSRO</i> 2 com <i>buffers dummy</i>	47
4.30	<i>Layout</i> completo do <i>CSRO</i> 2. Dimensões: 100 μm X 54 μm	48
4.31	Ilustração da topologia oscilador em anel simples.	49
4.32	<i>Layout</i> completo do oscilador em anel simples. Dimensões: 100 μm X 54 μm	50
4.33	Formas de onda das saídas do terceiro oscilador.	51
4.34	Diagrama do circuito com a linha de atrasos.	51
4.35	Resultados das simulações cruzadas de variação do resistor (-3σ até $+3\sigma$) e dos transistores (<i>ff</i> até <i>ss</i>).	55
4.36	Simulação da linha de atraso, selecionando a 5ª saída. Esta forma de onda é observada na saída do <i>buffer</i> quando seleciona-se pelo multiplexador a saída referente ao 5º estágio da linha de atrasos. V_{OUT} possui nível lógico inverso a V_{IN} pois o <i>buffer</i> é inversor.	56
4.37	<i>Layout</i> dos atrasos concatenados. Dimensões: 90 μm X 75 μm	58
4.38	<i>Layout</i> completo da linha de atrasos para medição. Dimensões: 225 μm X 140 μm	59
5.1	Bancada de medidas.	61
5.2	Forma de onda de uma das amostras do <i>CSRO</i> 1.	62
5.3	Histogramas de dispersão da frequência do <i>CSRO</i> 1.	63
5.4	Varredura de I_{REF} do <i>CSRO</i> 1.	65
5.5	Histograma de dispersão da frequência do terceiro oscilador.	66
5.6	Formas de onda de uma das amostras do oscilador em anel simples.	67
5.7	Varredura de V_{DD} do oscilador em anel simples.	67

Lista de Tabelas

1.1	Estágios dos atrasos desejados.	3
4.1	Parâmetros do bloco de corrente de referência.	22
4.2	Dimensões pré-estabelecidas.	24
4.3	Relação W_{SRC}/W_{REF}	25
4.4	Resultado da simulação de <i>corners</i>	27
4.5	Dimensões escolhidas para inversor <i>current starved</i>	31
4.6	Dimensões pré-estabelecidas	32
4.7	Dimensões do inversor base do <i>buffer</i>	33
4.8	Crescimento do paralelismo do <i>buffer</i>	35
4.9	Frequência de oscilação pós <i>layout</i> do <i>CSRO</i> 1 a 280 nA.	36
4.10	Frequência de oscilação pós <i>layout</i> do <i>CSRO</i> 2 a 20 nA.	41
4.11	Frequência de oscilação pós <i>layout</i> do terceiro oscilador.	49
4.12	Resultados da simulação da linha de atraso completa.	52
4.13	Parâmetros do bloco de corrente de referência após os ajustes finais.	53
4.14	Parâmetros das células de atraso após os ajustes finais.	53
4.15	Resultados das simulações cruzadas de variação do resistor (-3σ e $+3\sigma$) com os <i>corners</i> dos transistores.	54
5.1	Resultados das medidas do <i>CSRO</i> 1.	64

5.2	Frequência e consumo médios para o CSRO 1.	65
-----	--	----

Sumário

1	Introdução	1
1.1	Linhas de atraso	2
1.2	Células de atraso	3
1.2.1	<i>Cascaded inverters</i>	4
1.2.2	<i>Current starved</i>	4
1.2.3	<i>Pass gate</i>	6
1.2.4	Outras topologias	8
1.3	Estrutura do trabalho	8
2	Célula de atraso <i>current starved</i>	9
2.1	Inversores cascateados	9
2.1.1	Capacitâncias presentes no par de inversores cascateados	9
2.1.2	Análise do atraso de propagação	11
2.2	Fontes de corrente	13
2.3	Célula <i>current starved</i>	14
3	<i>Current starved ring oscillator</i>	17
3.1	Osciladores em anel	17
3.2	<i>Current starved ring oscillator</i>	17

4	Resultados de simulações	21
4.1	Células de atraso	21
4.2	Osciladores	31
4.2.1	CSRO 1	31
4.2.2	CSRO 2	41
4.2.3	Oscilador em anel simples	49
4.3	Delay line	51
5	Resultados experimentais	61
5.1	CSRO 1	62
5.2	Oscilador em anel simples	66
6	Conclusão	69
	Referências bibliográficas	73

CAPÍTULO 1

Introdução

Circuitos de baixo consumo possuem grande aplicabilidade em dispositivos móveis, *wearables*, e de *energy harvesting*. Isso devido à constante busca pelo aumento da autonomia desses sistemas. Em um escopo mais amplo, o consumo de energia também é fator limitante no aumento da performance de servidores, de sistemas de TI e de *data centers* [1]. Diante desses fatores, o estudo de circuitos integrados torna-se cada vez mais essencial, buscando-se alternativas com maior autonomia, melhor desempenho e maior eficiência.

Circuitos com lógica digital usualmente fazem uso de um sinal de relógio para sincronismo e execução de seus ciclos lógicos. Esse sinal de relógio (*clock*) é gerado por osciladores. Uma possibilidade é o uso de osciladores em anel, mais especificamente *Current Starved Ring Oscillators (CSROs)*. *CSROs* também são utilizados em *Delay-Locked Loops* [2] e ainda podem ser usados para o projeto de *Current Starved Ring Voltage Controlled Oscillators (CSVCOs)* para *Phase-Locked Loops* [3, 4].

Também existe um aumento no interesse em aplicações que fazem uso de lógica temporal, usando *Time to Digital Converters* e *Digital to Time Converters (TDCs e DTCs)*, com a premissa de redução de área

e redução de consumo em troca da redução de confiabilidade [5, 6].

Tendo em vista a vasta aplicabilidade de circuitos de atraso, neste trabalho pretende-se realizar o estudo de células de *delay* (com enfoque na topologia *current starved*). Pretende-se, com esse estudo, projetar uma *tapped delay line* [7], uma cadeia de células de atraso que garante a monotonicidade dos estágios. Na topologia *current starved*, células de atraso são constituídas por dois inversores (para não haver inversão lógica) alimentados por fontes de corrente que controlam os tempos de atraso. A cadeia de atrasos desenvolvida tem por finalidade ser integrada ao projeto de *energy harvesting* sendo desenvolvido pelo doutorando Rafael Luciano Radin.

1.1 Linhas de atraso

Uma linha de atraso tem o propósito de fornecer diferentes tempos de atraso a uma ou várias saídas. Em tecnologia CMOS, as arquiteturas de linha de atraso diferem-se principalmente em como o atraso controlado é produzido e quantas saídas são extraídas [7]. As linhas de atraso podem ter controle digital, fazendo uso de uma sequência de bits para impor determinado *delay*, ou pode ainda ser analógica usando corrente ou tensão para controle. A linha de atraso a ser implementada, denominada *tapped delay line* (TDL) [7], possui uma sequência de células de atraso encadeadas. Após cada célula é extraída uma saída, como mostra a Figura 1.1.

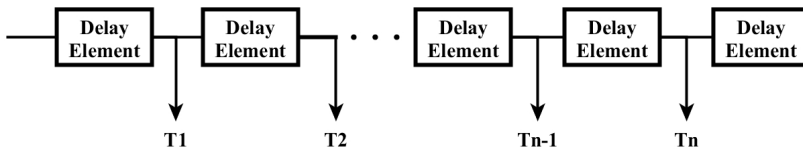


Figura 1.1: Ilustração de uma *tapped delay line*.

A arquitetura TDL comumente faz uso de células de atraso iguais encadeadas. Neste trabalho, pretende-se utilizar células de atrasos diferentes, de modo a se produzir uma cadeia de atraso com 16 diferentes saídas, realizando atrasos que se iniciam em 250ns e crescem em progressão geométrica com fator de 1,2. Os valores dos atrasos nominais estão dispostos na Tabela 1.1. A escolha do número de atrasos e de seus

valores são requisitos de projeto impostos pelo doutorando Rafael Luciano Radin. Estabeleceu-se também um consumo máximo de 100nW para a cadeia de atrasos, excluindo-se blocos de corrente de referência e outros subcircuitos usados para auxílio nas medições.

Tabela 1.1: Estágios dos atrasos desejados.

Estágio	Atraso do estágio [ns]	Atraso acumulado [ns]
1	250	250
2	50	300
3	60	360
4	72	432
5	86	518
6	104	622
7	124	746
8	149	895
9	179	1074
10	215	1289
11	258	1547
12	310	1857
13	372	2229
14	446	2675
15	535	3210
16	642	3852

1.2 Células de atraso

Uma célula de atraso é um circuito que impõe um pré-estabelecido atraso de propagação ao sinal de entrada [7]. De modo a aplicar esse efeito em circuitos integrados existem diversas topologias de projeto que levam em conta figuras de mérito como consumo, *jitter* (variação dos atrasos), tempo de atraso, área do circuito, entre outros [7]. Deseja-se também, no caso específico deste projeto, a não inversão lógica do sinal de entrada.

1.2.1 Cascaded inverters

Uma topologia simples de bloco de atraso é o cascadeamento de dois inversores (Figura 1.2) [7, 8, 9]. O atraso de subida e descida é definido pelas dimensões e por parâmetros dos transistores, e pela tensão de alimentação. As variações de W e L dos transistores e de V_{DD} afetam as correntes e as capacitâncias presentes no circuito, ditando o tempo de atraso.

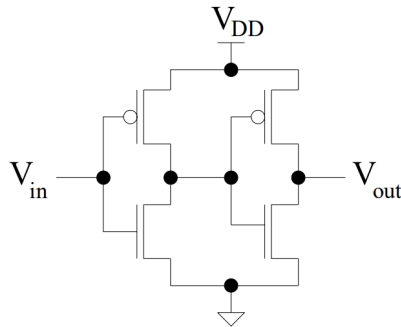


Figura 1.2: Inversores cascadeados [9].

Um desafio presente nessa montagem é a incerteza quanto a corrente que passa pelos transistores. Outra dificuldade dessa topologia é a falta de controle da capacitância entre estágios em uma linha de atraso com blocos diferentes. Isso porque, ao cascadear três blocos com dimensões diferentes entre si (de modo a produzir *delays* diferentes), a capacitância de saída do primeiro estágio é influenciada pela capacitância de entrada do segundo, e a capacitância de saída deste segundo estágio é influenciada pela capacitância de entrada do terceiro. Desse modo, as capacitâncias de saída de cada estágio seriam diferentes, tornando complexo o ajuste dos atrasos.

Outra dificuldade dessa topologia é o controle do consumo dos inversores.

1.2.2 Current starved

Outra arquitetura, alternativa à dos inversores cascadeados, é feita com a introdução de fontes de corrente para o controle dos atrasos. Essa topologia é denominada de *Current Starved* [8, 10, 11]. A Figura

1.3 ilustra o diagrama dessa topologia.

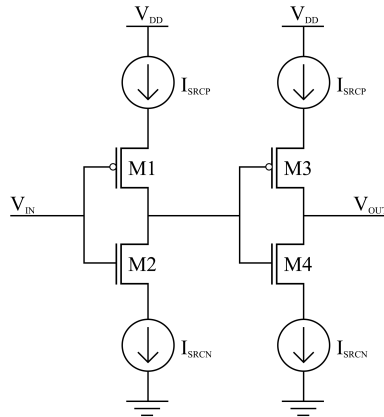


Figura 1.3: Um bloco *current starved* representado por fontes de corrente.

O motivo da nomenclatura *current starved* está associado às fontes de corrente (implementadas por transistores) que limitam a corrente que circula nos transistores centrais. As correntes são geradas por espelhamento de uma fonte fixa, como mostra a Figura 1.4.

Os transistores M9 e M10 da Figura 1.4, em conjunto com o resistor R, geram as tensões de controle V_{CTRLP} e V_{CTRLN} . Essas tensões polarizam os transistores M5-M8, de forma a controlar a corrente que passa por M1-M4 de acordo com as razões entre os transistores. Tal topologia de circuito para geração de corrente de referência foi escolhida por ser interessante para simulações e medições em laboratório, porém vale notar que a corrente de referência gerada por este circuito é dependente do resistor, da tensão de alimentação, e dos parâmetros dos transistores. Qualquer variação nos parâmetros por conta do processo de fabricação pode alterar a corrente.

Em uma cadeia de atrasos em que cada bloco possui um atraso diferente, essa topologia permite com que as dimensões dos transistores M1-M4 sejam as mesmas para todos os blocos. Assim sendo, as capacidades vistas entre os blocos acabam sendo as mesmas, independente de o estágio introduzir um atraso grande ou pequeno, pois o tamanho do *delay*, nesse caso, pode ser definido pela proporção entre o espelhamento das correntes (definido pelas dimensões de M5-M8 em relação

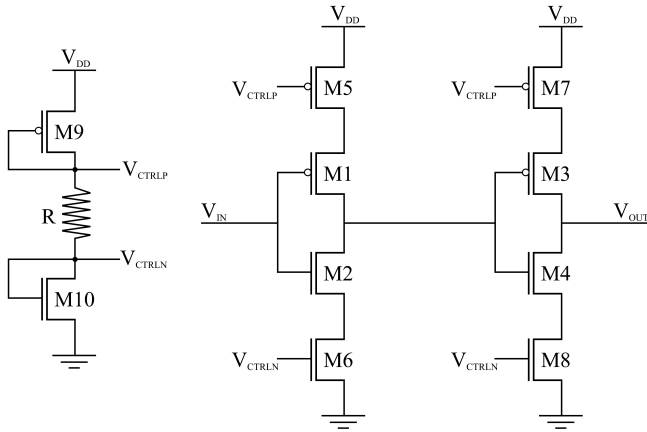


Figura 1.4: *Current starved* detalhado.

a M9-M10). Essa diferença de dimensões dos transistores de controle de corrente (M5-M8) entre cada bloco não afeta significativamente a capacitância vista por M1-M4.

Com essas liberdades de projeto, pode-se controlar os atrasos de cada bloco e as correntes (portanto, o consumo) dos mesmos. Já que é possível realizar uma redução da corrente, para gerar um atraso “grande”, as capacitâncias de *gate* de cada estágio podem ser menores se comparadas às da topologia com inversores cascadeados.

Desse modo, a topologia *current starved* apresenta um menor consumo, maior facilidade de projeto e ocupa uma menor área que uma montagem de atrasos na topologia de inversores cascadeados.

1.2.3 *Pass gate*

A topologia *Pass Gate* [8, 9], Figura 1.5, realiza o controle do atraso pelas dimensões dos transistores e pelas tensões nos *gates*. As tensões aplicadas ao *gate* controlam a corrente que passa pelo canal; aumentar W implica aumentar a corrente que é transmitida à saída; aumentar L reduz a corrente. A corrente que atravessa o canal é a corrente que carrega o capacitor visto pela saída do estágio, que é o que gera o atraso. A topologia *Pass Gate* apresenta as vantagens de se poder controlar e reduzir a corrente (e conseqüentemente o consumo), e o número de

transistores por bloco de atraso é apenas 2 [8, 9]. As principais desvantagens dessa topologia são a deterioração da forma de onda na saída do estágio, e a necessidade de dois sinais de controle complementares [8, 9].

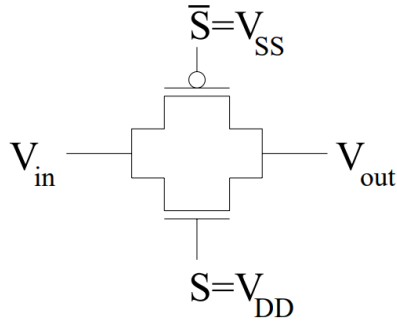


Figura 1.5: Topologia *pass gate* [9].

Uma maneira de compensar a deterioração da forma de onda é incluir um *Schmitt Trigger* na saída do *Pass Gate* [8, 9], como mostra a Figura 1.6. Essa abordagem, porém, aumenta o consumo de cada estágio de forma impactante.

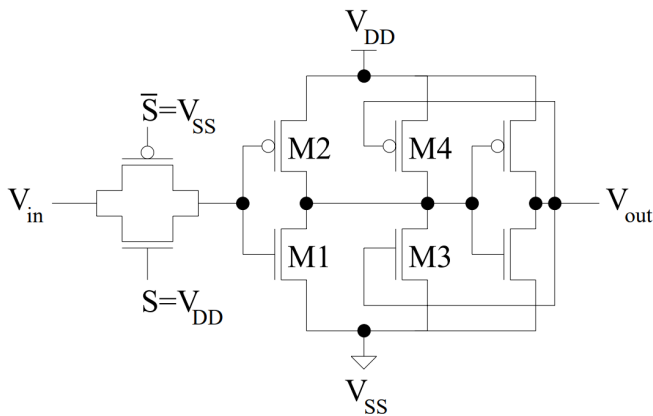


Figura 1.6: *Pass gate* com *Schmitt Trigger*.

1.2.4 Outras topologias

Elementos de atraso também podem ser implementados por cascateamento de *D-Flip-Flops* e *buffers* [7], porém tal topologia necessita de um *clock* para operação dos *Flip-Flops* (o que não é compatível com o escopo do projeto sendo desenvolvido).

Outra alternativa ainda é a topologia que usa *Interlaced Hysteresis* [12]. Essa alternativa, porém, não permite a realização do controle do atraso ou do consumo por meio de correntes ou tensões de polarização, dificultando o desenvolvimento de um projeto de baixo consumo.

1.3 Estrutura do trabalho

Este trabalho apresenta o desenvolvimento de uma linha de atrasos usando a topologia *current starved* de modo a se obter um maior controle sobre o consumo e sobre os *delays*.

O desenvolvimento dessa linha de atraso inicia-se por um leve estudo qualitativo das capacitâncias dos transistores e como elas influenciam nos atrasos, seguido de um maior aprofundamento das características de blocos de atraso *current starved*.

Após, de forma a validar os estudos de elementos *current starved*, são projetados três osciladores em anel com esses blocos. São apresentados esquemático e *layout*, simulações em *software* da CadenceTM para validação.

Em seguida, é apresentada a linha de atrasos completa. São mostrados esquemático, resultados das simulações para validação do projeto, e o *layout* desse circuito, que também foi enviado para fabricação.

Medidas dos osciladores projetados e fabricados usando o serviço MOSIS [13] são apresentados na sequência. Medidas do *chip* contendo a linha de atraso completa não serão apresentados nesse trabalho devido ao tempo necessário para fabricação, mas pretende-se realizá-las em trabalhos próximos.

Finalmente, a conclusão discute os resultados obtidos com o projeto realizado. São descritas também sugestões de trabalhos futuros.

Célula de atraso *current starved*

Conforme apresentado no capítulo 1, a topologia *current starved* é a que mais se aproxima dos objetivos desse trabalho. Para obter os atrasos desejados dentro da margem de consumo estabelecida, deve-se realizar o dimensionamento dos transistores considerando o comportamento dinâmico dos mesmos.

2.1 Inversores cascadeados

Para ter uma noção do comportamento dinâmico a fim de iniciar o dimensionamento das células *current starved*, inicialmente será apresentada uma análise do comportamento dinâmico de inversores cascadeados.

2.1.1 Capacitâncias presentes no par de inversores cascadeados

A Figura 2.1 representa as capacitâncias presentes no par de inversores cascadeados[14]. De modo a realizar uma análise do comportamento dinâmico dos transistores, essas capacitâncias são combinadas em um único capacitor C_L , localizado entre V_{out} e GND . Esse agrupamento

de capacitâncias é realizado devido à dificuldade de analisar as várias capacitâncias não lineares presentes nos transistores [14].

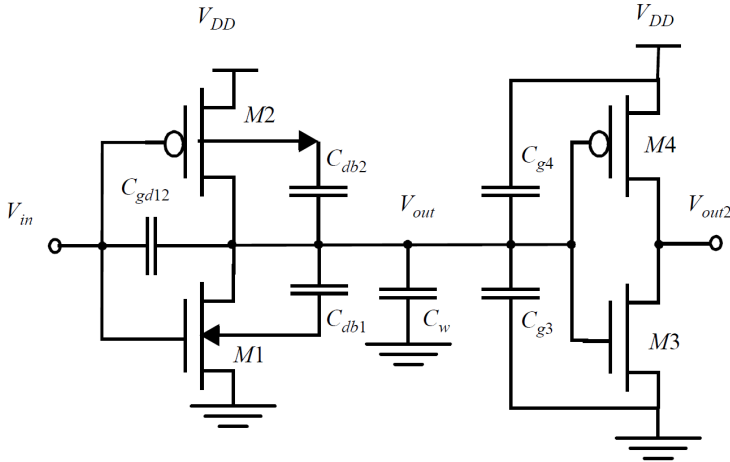


Figura 2.1: Representação das capacitâncias do par de inversores cascateados [14].

Os capacitores de *gate-drain* podem ser obtidos pela equação $C_{gd} = 2C_{GD0}W$ [14], onde W é a largura do canal e C_{GD0} é a capacitância de *overlap* por unidade de W . O fator multiplicativo 2 vem do efeito Miller.

As capacitâncias de difusão C_{db1} e C_{db2} provêm da polarização reversa da junção *pn*. Esse capacitor é altamente não linear e depende da tensão aplicada. Rabaey [14] faz uso de um fator multiplicativo K_{eq} que relaciona o capacitor linearizado ao valor da junção capacitiva na condição da junção *pn* sem polarização. $C_{eq} = K_{eq}C_{j0}$, onde C_{j0} é a capacitância da junção por unidade de área em condição de polarização nula.

A capacitância do fio C_w depende do comprimento e da largura das linhas usadas para conexão.

C_{g3} e C_{g4} são as capacitâncias de *gate*. Assume-se que a capacitância de *fanout* (capacitância de carga introduzida pelo segundo inversor)

é igual à soma das capacitâncias de *gate* de M3 e M4 [14]. Deste modo,

$$\begin{aligned} C_{fanout} &= C_{gate}(NMOS) + C_{gate}(PMOS) \\ &= (C_{GSO_n} + C_{GDO_n} + W_n L_n C_{ox}) \\ &\quad + (C_{GSO_p} + C_{GDO_p} + W_p L_p C_{ox}) \end{aligned} \quad (2.1)$$

onde $W_{n(p)}$ e $L_{n(p)}$ são as dimensões dos transistores $n(p)$, C_{ox} é a capacitância do óxido por unidade de área (dependente da tecnologia), e $C_{GSO_{n(p)}}$ e $C_{GDO_{n(p)}}$ são as capacitâncias de *overlap* por largura dos transistores $n(p)$ [14].

$$C_{GSO} = C_{GDO} = C_o W \quad (2.2)$$

onde C_o é a capacitância de *overlap* por unidade de largura do transistor [14].

A partir da análise das capacitâncias apresentadas, obtém-se uma estimativa da capacitância de carga, dada por

$$C_L = C_{gd1} + C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w \quad (2.3)$$

Nota-se que a capacitância de carga, portanto, está diretamente relacionada com as dimensões dos transistores que compõem os inversores.

2.1.2 Análise do atraso de propagação

Em uma primeira ordem, o atraso de propagação t_p pode ser estimado a partir da capacitância e da corrente de carga/descarga de C_L pela integral da Equação (2.4) [14].

$$t_p = \int_{v_1}^{v_2} \frac{C_L(v)}{i(v)} dv \quad (2.4)$$

onde i é a corrente de carga/descarga, v a tensão sobre C_L e v_1 e v_2 as tensões inicial e final.

Nota-se que se a corrente for reduzida, o tempo de propagação aumenta e vice-versa.

Rabaey [14] faz uso da estimativa da resistência média de um transistor em operação (R_{eq}). R_{eq} é obtida analisando-se a descarga de um capacitor por um transistor, como mostra a Figura 2.2.

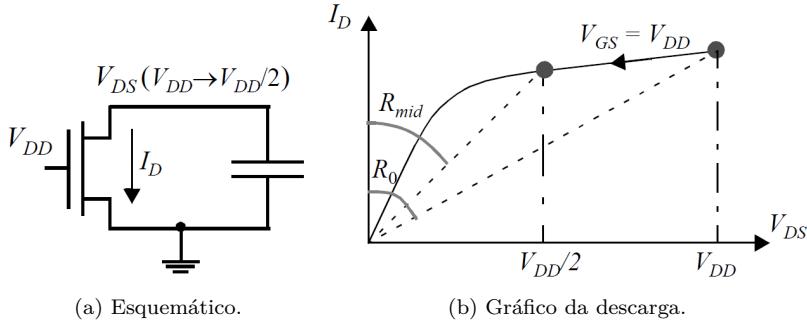


Figura 2.2: Descarga de um capacitor por um transistor NMOS. A resistência instantânea do transistor equivale a V_{DS}/I_D , e pode ser visualizada pelo ângulo com relação o eixo das ordenadas [14].

Chega-se, portanto, que

$$\begin{aligned}
 R_{eq} &= \frac{1}{-V_{DD}/2} \int_{V_{DD}}^{V_{DD}/2} \frac{V}{I_{DSAT}(1 + \lambda V)} dV \\
 &\approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{7}{9} \lambda V_{DD} \right)
 \end{aligned} \tag{2.5}$$

onde

$$I_{DSAT} = \mu_n C_{ox} \frac{W}{L} \left((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right) \tag{2.6}$$

e λ é o parâmetro de modulação do comprimento do canal. Uma análise similar pode ser realizada para um transistor PMOS.

Usando-se R_{eqn} para NMOS e R_{eqp} para PMOS, pode-se realizar uma estimativa inicial para cálculo dos tempos de descida e subida (t_{pHL} e t_{pLH}).

$$t_{pHL} = \ln(2) \cdot R_{eqn} \cdot C_L = 0,69 \cdot R_{eqn} \cdot C_L \tag{2.7}$$

$$t_{pLH} = \ln(2) \cdot R_{eqp} \cdot C_L = 0,69 \cdot R_{eqp} \cdot C_L \tag{2.8}$$

Deste modo, o tempo de propagação t_p é calculado pela média de

t_{pHL} e t_{pLH} .

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = 0,69 \cdot C_L \cdot \left(\frac{R_{eqn} + R_{eqp}}{2} \right) \quad (2.9)$$

2.2 Fontes de corrente

Fontes de corrente são usadas para controlar a velocidade de carga/descarga dos capacitores dos inversores usados na topologia *current starved*. Essas correntes são geradas por espelhamento de uma fonte de referência [15].

A Figura 2.3 ilustra o espelhamento de corrente em transistores do tipo n . Desconsiderando-se a modulação de comprimento de canal obtém-se a relação entre as correntes I_0 e I_{REF} dada por

$$\frac{I_0}{I_{REF}} = \frac{W_2/L_2}{W_1/L_1} \quad (2.10)$$

onde W e L são largura e comprimento do canal dos respectivos transistores.

Mantendo-se, portanto, uma mesma largura L entre os transistores, as correntes desejadas podem ser obtidas simplesmente escolhendo um W adequado. Quando deseja-se uma corrente I_0 maior, aumenta-se W_2 ; para reduzir I_0 , reduz-se W_2 . A ideia é manter $M1$ fixo, pois neste projeto $M1$ será usado como referência para todos os blocos. A mesma análise é válida para transistores do tipo p .

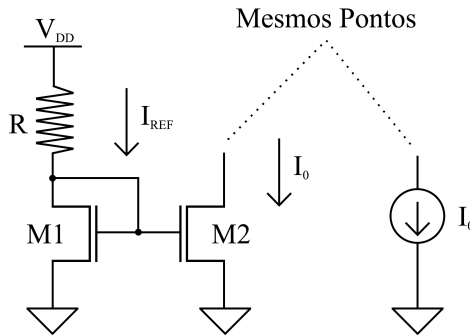


Figura 2.3: Ilustração do espelho de corrente.

2.3 Célula *current starved*

O projeto de blocos *current starved* pode ser realizado combinando-se os conceitos apresentados relativos à análise de atraso dos transistores e fontes de corrente. A Figura 2.4 ilustra as correntes das fontes e as capacitâncias C_{L1} e C_{L2} para um maior detalhamento dos cálculos do atraso de propagação. V_{IN} , V_{MID} e V_{OUT} são as tensões de entrada, intermediária e de saída de um bloco *current starved*.

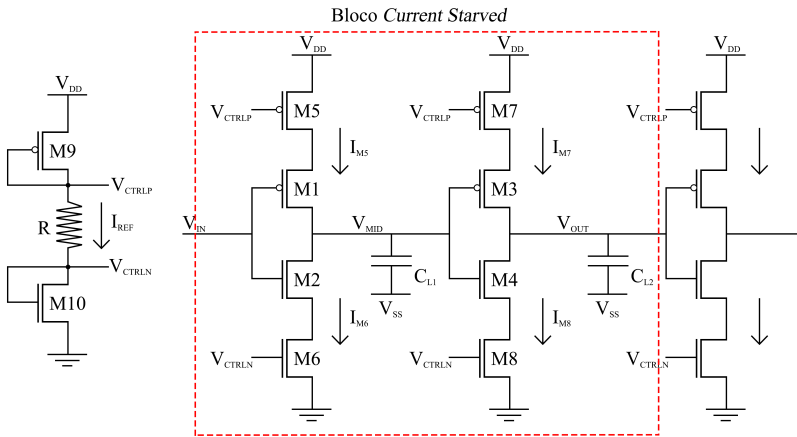


Figura 2.4: Diagrama do circuito na topologia *current starved* detalhado.

Baker [15] faz uso de uma análise simplificada mas suficiente para compreensão desse circuito. Os tempos de propagação, e tempo de carga de C_{L1} (para efeito de análise do atraso) são feitos baseados na tensão em que ocorre a inversão do estado lógico do inversor, chamada V_{SP} (*switching point voltage*). Para um projeto onde a força dos transistores p e n estão devidamente balanceadas, esse ponto é a média entre GND e V_{DD} . O tempo de carga de C_{L1} de GND até V_{SP} sob uma corrente constante I_{M5} é dado por

$$t_{pLH} = C_{L1} \cdot \frac{V_{SP}}{I_{M5}} \quad (2.11)$$

enquanto o tempo de descarga de C_{L1} partindo de V_{DD} a V_{SP} sob uma

corrente constante I_{M6} é dado por

$$t_{pHL} = C_{L1} \cdot \frac{V_{DD} - V_{SP}}{I_{M6}} \quad (2.12)$$

Em um projeto onde as relações entre as dimensões dos transistores $M9$ e $M5$ são iguais às dos transistores $M10$ e $M6$, obtém-se o equilíbrio $I_{M5} = I_{M6}$. Ao definir essa corrente como I_{SRC1} , a soma dos tempos de carga e descarga é dada por

$$t_{pLH} + t_{pHL} = C_{L1} \cdot \frac{V_{DD}}{I_{SRC1}} \quad (2.13)$$

Tendo em vista que se deseja produzir uma saída no mesmo nível lógico da entrada, apenas defasada por um determinado *delay* t_{delay} , faz-se uso de dois inversores, distribuindo o atraso t_{delay} igualmente entre ambos. Tem-se então as relações das Equações (2.14) e (2.15).

$$\begin{aligned} M1 = M3 & & M2 = M4 \\ M5 = M7 & & M6 = M8 \end{aligned} \quad (2.14)$$

$$I_{M5} = I_{M6} = I_{M7} = I_{M8} = I_{SRC1} \quad (2.15)$$

No caso em que V_{IN} está subindo, V_{MID} vai descendo, e V_{OUT} vai subir. O tempo de atraso do bloco (t_{dr} neste caso) então pode ser estimado por

$$\begin{aligned} t_{dr} &= t_{pLHCL1} + t_{pHLCL2} \\ &= \frac{C_{L1} \cdot V_{SP} + C_{L2} \cdot (V_{DD} - V_{SP})}{I_{SRC1}} \\ &= \frac{V_{SP} \cdot (C_{L1} - C_{L2}) + V_{DD} \cdot C_{L2}}{I_{SRC1}} \end{aligned} \quad (2.16)$$

Uma análise similar vale para o caso em que V_{IN} está descendo (portanto V_{MID} subindo, e V_{OUT} descendo), e é mostrada na Equação

(2.17) (t_{df} neste caso).

$$\begin{aligned}
 t_{df} &= t_{pHL_{CL1}} + t_{pLH_{CL2}} \\
 &= \frac{C_{L1} \cdot (V_{DD} - V_{SP}) + C_{L2} \cdot V_{SP}}{I_{SRC1}} \\
 &= \frac{V_{SP} \cdot (C_{L2} - C_{L1}) + V_{DD} \cdot C_{L1}}{I_{SRC1}}
 \end{aligned} \tag{2.17}$$

Para simplificar o projeto, observando a Figura 2.4, é possível fazer com que $M1$, $M3$ e todos os outros transistores p dos inversores sejam iguais. O mesmo pode ser feito com os transistores n dos inversores ($M2$, $M4$, etc.), isso é válido até para blocos que terão atrasos diferentes. Assim, o ajuste dos tempos de atraso pode ser feito unicamente pela alteração de W dos transistores mais externos ($M5$, $M6$, $M7$, $M8$ e assim por diante). Desse modo, obtém-se $C_{L1} = C_{L2} = C_L$, portanto as Equações (2.16) e (2.17) simplificam-se nas Equações (2.18) e (2.19) respectivamente.

$$t_{dr} = C_L \cdot \frac{V_{DD}}{I_{SRC1}} \tag{2.18}$$

$$t_{df} = C_L \cdot \frac{V_{DD}}{I_{SRC1}} \tag{2.19}$$

Assim sendo, o tempo de atraso t_{delay} de um bloco pode ser estimado por

$$t_{delay} \approx t_{dr} \approx t_{df} \approx \frac{C_L \cdot V_{DD}}{I_{SRC1}} \tag{2.20}$$

ou seja, o atraso t_{delay} fica inversamente relacionado com a corrente I_{SRC1} . Mais ainda, t_{delay} é inversamente proporcional ao W dos transistores que controlam a corrente. Essa restrição é imposta propositalmente, pois todos os blocos de atraso podem ter grande parte do circuito similar, de modo a fixar-se C_L e ter-se então capacitâncias de carga similares, reduzindo a variabilidade entre os blocos por conta do processo de fabricação.

Current starved ring oscillator

Este capítulo tem por objetivo realizar uma análise breve do projeto de osciladores em anel construídos a partir das células de atraso descritas no Capítulo 2.

3.1 Osciladores em anel

Um número ímpar de inversores idênticos cascateados em malha fechada forma um oscilador em anel [15], como mostra a Figura 3.1. A frequência de oscilação é dada por

$$f_{osc} = \frac{1}{n \cdot (t_{pHL} + t_{pLH})} \quad (3.1)$$

onde n é o número de estágios.

3.2 *Current starved ring oscillator*

Osciladores em anel *current starved* podem ser construídos pela concatenação de um número ímpar de inversores *current starved* (“me-tade” de uma célula *current starved*), como mostra a Figura 3.2. Assim,

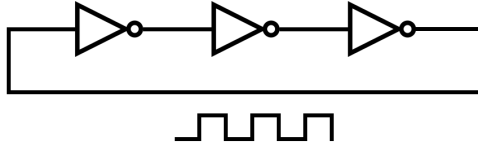


Figura 3.1: Ilustração de um oscilador em anel de três estágios.

pode-se controlar o tempo de atraso de cada inversor através da corrente, do mesmo modo que se realiza nas células de atraso mostradas no Capítulo 2, o que traduz-se num controle da frequência de oscilação do oscilador.

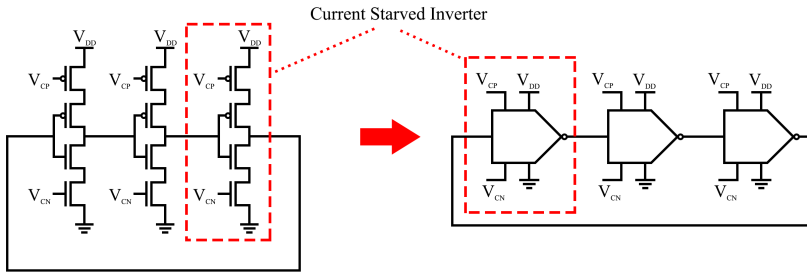


Figura 3.2: Ilustração de um *CSRO* de três estágios.

CSROs, deste modo, podem ser usados tomando-se como base os blocos de atraso, pois tempo propagação de um inversor *current starved* ($t_{inversor}$) é metade do tempo de propagação de um bloco de atraso (t_{delay}). Assim, para $t_{pHL} \approx t_{pLH} = t_{inversor}$, tem-se

$$f_{osc} = \frac{1}{n \cdot t_{inversor} \cdot 2} = \frac{1}{n \cdot t_{delay}} \quad (3.2)$$

O consumo dinâmico desse oscilador pode ser subdividido em potência de chaveamento e potência de curto-circuito. A potência de chaveamento P_{sw} pode ser calculada por

$$P_{sw} = C_L \cdot V_{DD}^2 \cdot f_{osc} \quad (3.3)$$

onde C_L é a capacitância de carga de cada inversor *current starved*. A dissipação de potência por curto-circuito também é diretamente proporcional à frequência de oscilação[14], podendo ser expressa em um

primeiro modelo por

$$P_{sc} = t_{sc} \cdot I_{peak} \cdot V_{DD} \cdot f_{osc} \quad (3.4)$$

onde t_{sc} é o tempo em que há um curto-circuito, e I_{peak} é o valor do pico da corrente de curto-circuito. O consumo total de potência é a soma das potências estática e dinâmica. Pode-se então usar CSROs para a avaliação de blocos de atraso, para medições de tempo de atraso e de consumo. A potência dinâmica de um oscilador em anel pode ser calculada por

$$P_{dyn} = \left(t_{sc} \cdot I_{peak} \cdot V_{DD} + C_L \cdot V_{DD}^2 \right) \cdot f_{osc} \quad (3.5)$$

que é a soma das potências P_{sc} e P_{sw} .

Dado que um bloco de atraso é composto por dois inversores *current starved*, um *CSRO* projetado a partir dos mesmos inversores possui as mesmas características construtivas, ou seja C_L , I_{peak} e t_{sc} são iguais para ambos, assim como a potência estática. Operando com a mesma tensão de alimentação (V_{DD}), estabelece-se, em uma primeira análise, que

$$\frac{P_{dyn_{csro}}}{n \cdot f_{csro}} = \frac{P_{dyn_{delay}}}{2 \cdot f_{delay}} \quad (3.6)$$

onde $P_{dyn_{csro}}$ e f_{csro} são o consumo dinâmico de potência e a frequência do oscilador, $P_{dyn_{delay}}$ e f_{delay} são o consumo dinâmico de potência e a frequência de operação de um bloco de atraso, e n é o número de estágios (número de inversores) do *CSRO*. Tal método de testes é empregado na Seções 4.2 e 5.1, onde são feitas medidas de *CSROs* projetados para validar o projeto dos blocos de atraso.

Resultados de simulações

4.1 Células de atraso

Seguindo as relações entre as grandezas que afetam o atraso de uma célula mostradas no Capítulo 2, foram projetadas as células de atraso necessárias para a cadeia de atrasos em tecnologia 130 nm.

Com o auxílio da ferramenta CadenceTM (Figura 4.1), foi elaborado um ambiente de *testbench* para se escolher o tamanho adequado dos transistores a serem usados.

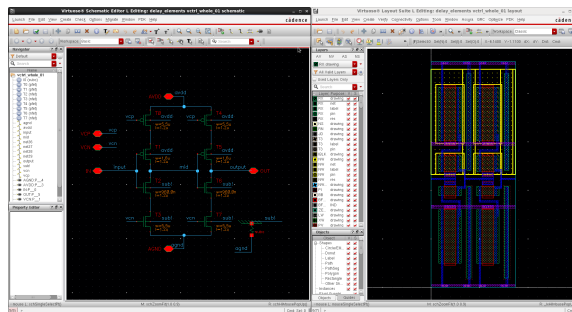


Figura 4.1: Interface da ferramenta CadenceTM.

Inicialmente estabeleceu-se como meta dimensões mínimas em torno de $1\ \mu\text{m}$ para os transistores - isso de forma a reduzir erros por variações no processo de fabricação.

Para construir o bloco de corrente de referência que gera as tensões de controle para os blocos de atraso, mostrado na Figura 4.2, usaram-se os valores da Tabela 4.1. Com essas dimensões, esse bloco gera uma corrente de referência $I_{REF} = 70\ \text{nA}$. Vale lembrar que o bloco de corrente de referência não será contabilizado para a meta dos $100\ \text{nW}$ de consumo estabelecida na Seção 1.1.

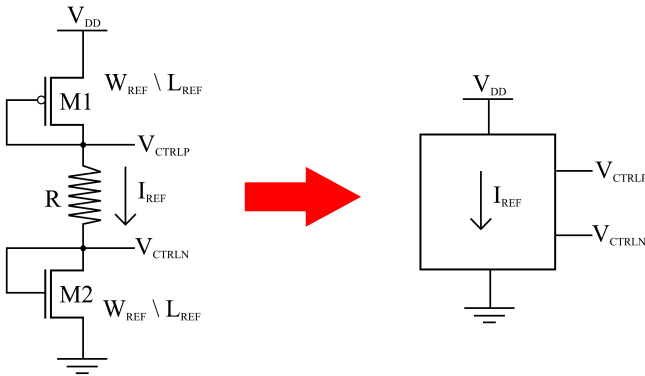


Figura 4.2: Diagrama do bloco de corrente de referência.

Tabela 4.1: Parâmetros do bloco de corrente de referência.

Parâmetro	Valor
W_{REF}	960 nm
L_{REF}	$2,4\ \mu\text{m}$
R	$10\ \text{M}\Omega$

Foi então feita a montagem de um bloco da topologia *current starved*, como mostra a Figura 4.3. As variáveis que representam as dimensões de cada transistor também estão apresentadas ao lado de cada transistor.

Três desses blocos de atraso foram cascadeados no *testbench* para se analisar o comportamento do bloco do meio, aproximando-se de uma

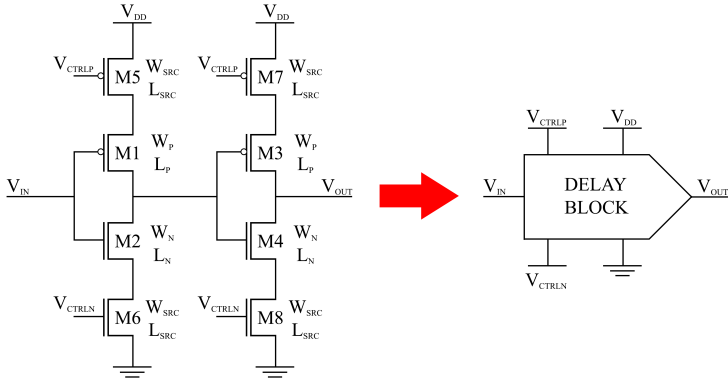


Figura 4.3: Diagrama de um bloco de atraso.

simulação no interior da linha de atraso (Figura 4.4).

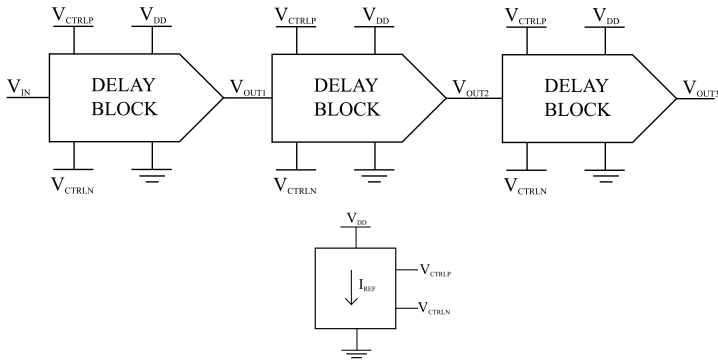


Figura 4.4: *Testbench* para dimensionamento inicial de um elemento de atraso.

Introduziu-se uma entrada de pulsos retangulares com frequência de 35 kHz em V_{IN} para simulação. $V_{DD} = 1$ V. A frequência foi definida como 35 kHz pois essa é a frequência em que a cadeia de atrasos deve operar na aplicação para a qual esse projeto está sendo implementado.

Para cada estágio da cadeia de atrasos, foi medido o atraso entre V_{OUT1} (entrada do bloco do meio) e V_{OUT2} (saída do bloco do meio). Foi também extraída a potência média do bloco do meio.

Como mencionado no Capítulo 2, os parâmetros variados foram

os W dos transistores que controlam a corrente (W_{SRC}). As outras dimensões dos transistores foram escolhidas com base no *trade-off* entre área e consumo.

As dimensões definidas (com exceção de W_{SRC}) estão apresentados na Tabela 4.2 conforme a nomenclatura da Figura 4.3.

Tabela 4.2: Dimensões pré-estabelecidas.

Parâmetro	Valor [nm]
L_P	1200
L_N	1200
W_P	1600
W_N	960
L_{SCR}	1200

Fazendo-se uso de varreduras paramétricas de W_{SRC} dos blocos e analisando-se os *corners* em cada caso, obtiveram-se valores adequados para as proporções entre as dimensões de cada bloco com relação ao bloco de referência W_{SRC}/W_{REF} (essa proporção é a mesma para transistores p ou n de um mesmo bloco). A Figura 4.5 mostra o resultado da simulação para o bloco de 258 ns de atraso como exemplo. Os valores para todos os blocos estão apresentados na Tabela 4.3.

O primeiro bloco foi construído com a concatenação de 5 blocos de 50 ns cada pois um comportamento observado durante as simulações é que uma contínua ascensão no valor do atraso provoca menos distorção da forma de onda do que se for usado um bloco de 250 ns para depois decrescer para 50 ns no segundo bloco e somente então iniciar a ascensão com o terceiro bloco, de 60 ns.

Com essas dimensões, nas simulações de *corner*, obtiveram-se os resultados apresentados na Tabela 4.4. O erro máximo foi calculado usando o atraso desejado (t_d) e os resultados dos *corners*, conforme a Equação (4.1). P_{avg} representa a potência média do bloco de atraso em simulação de *corner* típico-típico. Vale ressaltar que os valores mostrados nas Tabelas 4.3 e 4.4 não são definitivos pois requerem ajustes após *layout* da cadeia completa de atrasos ou do oscilador devido às

Tabela 4.3: Relação W_{SRC}/W_{REF} .

Bloco	Desejado [ns]	W_{SRC} [μm]	W_{SRC}/W_{REF}
1*	50	6,40	6,66
2	50	6,40	6,66
3	60	5,60	5,83
4	72	4,80	5,00
5	86	4,20	4,38
6	104	3,60	3,75
7	124	3,20	3,33
8	149	2,70	2,81
9	179	2,40	2,50
10	215	2,00	2,08
11	258	1,73	1,80
12	310	1,48	1,54
13	372	1,27	1,32
14	446	1,08	1,13
15	535	0,90	0,94
16	642	0,78	0,81

* 5 blocos, totalizando 250 ns.

influências dos blocos próximos a eles.

$$erro_{max} = \frac{\max(|ff - t_d|, |fs - t_d|, |sf - t_d|, |ss - t_d|, |tt - t_d|)}{t_d} \quad (4.1)$$

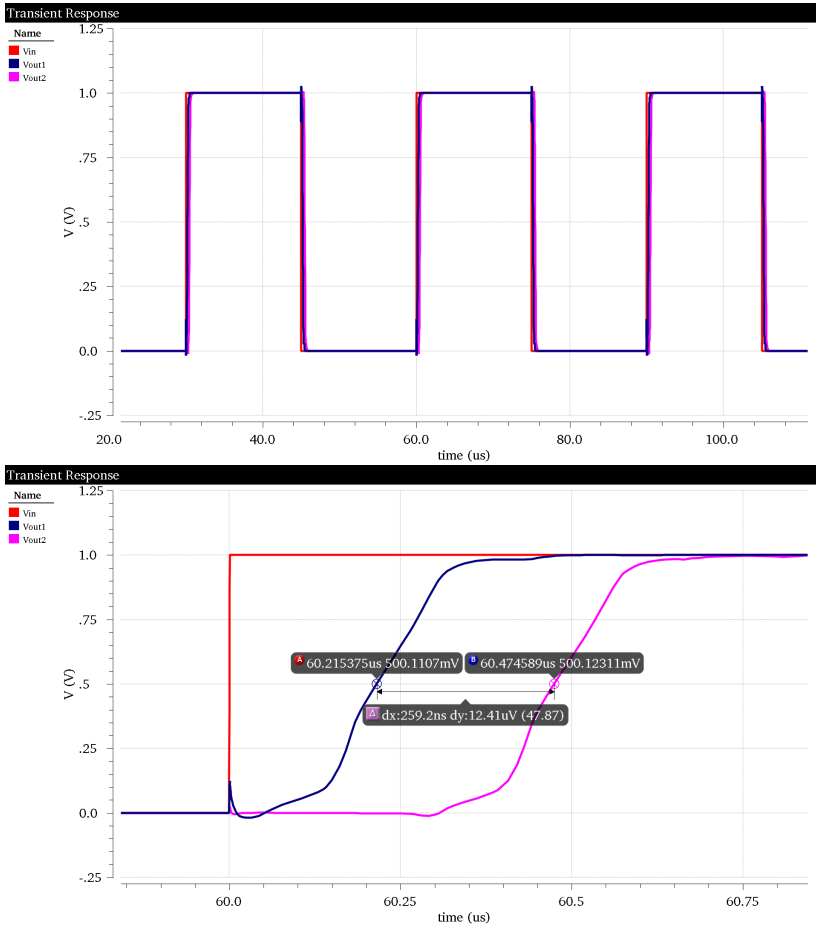


Figura 4.5: Resultado da simulação do 11^o bloco (que gera 258 ns de atraso).

Tabela 4.4: Resultado da simulação de *corners*.

Bloco	<i>Desejado</i> [ns]	P_{avg} [nW]	tt [ns]	ff [ns]	fs [ns]	sf [ns]	ss [ns]	$erro_{max}$
1*	50	5,63	50,7	53,5	52,7	49,0	48,2	7,1%
2	50	5,63	50,7	53,5	52,7	49,0	48,2	7,1%
3	60	5,64	59,9	62,9	62,0	58,2	57,3	4,9%
4	72	5,66	72,7	75,9	74,9	70,1	70,0	5,4%
5	86	5,68	86,0	89,5	88,2	84,5	83,2	4,0%
6	104	5,70	104	108	107	103	102	4,0%
7	124	5,73	122	125	124	121	119	4,0%
8	149	5,76	151	154	152	150	147	3,1%
9	179	5,78	174	177	175	174	173	3,5%
10	215	5,83	217	219	217	219	217	1,8%
11	258	5,87	258	258	256	261	259	1,1%
12	310	5,92	309	307	305	315	314	1,6%
13	372	5,96	369	364	362	377	376	2,8%
14	446	6,02	443	434	432	457	456	3,2%
15	535	6,08	544	526	526	564	565	5,6%
16	642	6,13	637	611	611	664	668	4,9%

* 5 blocos, totalizando 250 ns.

A Figura 4.6 mostra a relação da Tabela 4.3 de forma gráfica. Por interpolação, facilmente obtém-se qualquer valor intermediário de atraso.

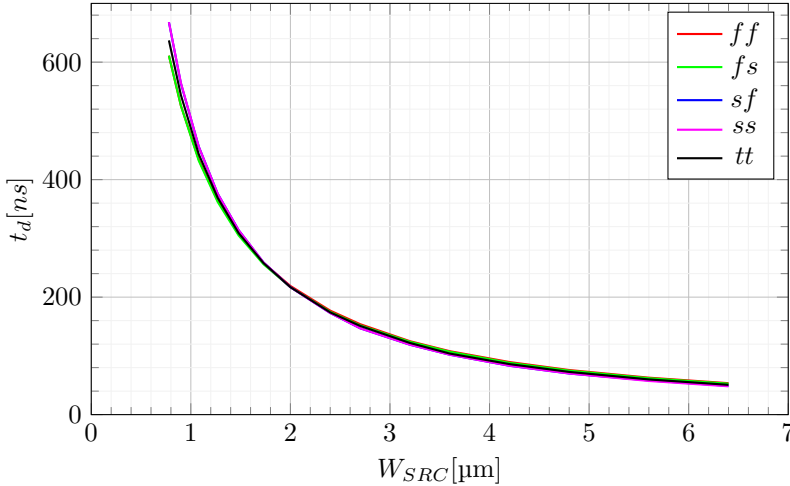


Figura 4.6: Gráfico do atraso por W_{SRC} .

A Figura 4.7 ainda mostra o inverso do atraso por W_{SRC} . Nota-se que a relação se aproxima de uma reta. A Figura 4.8 traz a razão entre W_{SRC} de um bloco ($W_{SRC} [n]$), dividido pelo do anterior ($W_{SRC} [n-1]$). A tendência aproxima-se de uma constante de valor 0,88, ou seja, para cada crescimento de 20% do atraso, W_{SRC} cai a 88% do bloco anterior.

Para uma primeira estimativa do consumo da cadeia completa, pode-se somar as potências médias dos blocos usados. Ao somar-se os valores de potência média da Tabela 4.4, obtém-se 115,54 nW de consumo médio (desconsiderando-se o bloco de corrente de referência). Um dos grandes *trade-offs* da redução do consumo é o aumento da distorção do sinal à medida em que ele se propaga pela cadeia de atrasos.

Usando $erro_{max}$ como figura de mérito para estabelecer valores adequados para o projeto, definiu-se as dimensões mostradas na Tabela 4.4, e foi feito o *layout* de cada bloco com auxílio da ferramenta CadenceTM. A Figura 4.9 mostra o 11º bloco de atraso como exemplo, e a Figura 4.10 mostra o *layout* do bloco de corrente de referência.

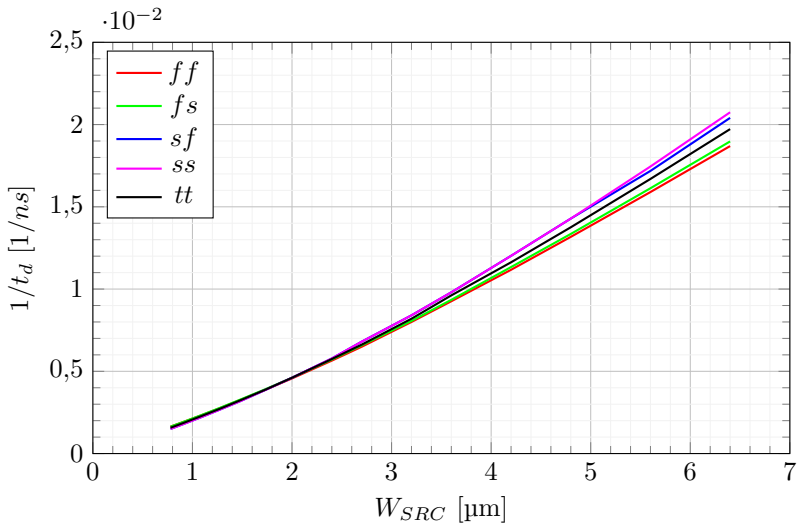


Figura 4.7: Gráfico de $1/t_d$ por W_{SRC} .

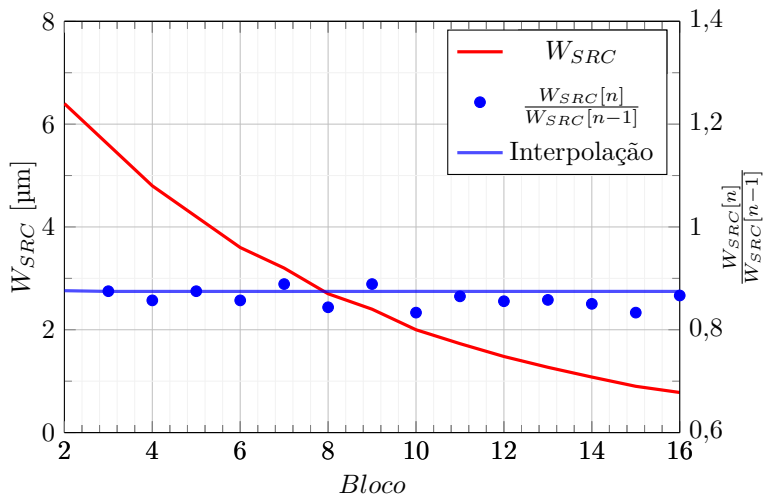


Figura 4.8: Gráfico do atraso por $1/W_{SRC}$.

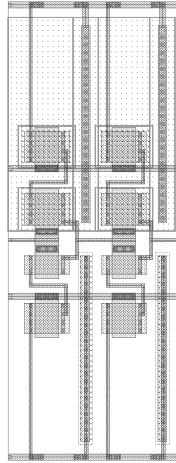


Figura 4.9: *Layout* da 11ª célula (de 258 ns). Dimensões: 8,7 μm X 23,3 μm.

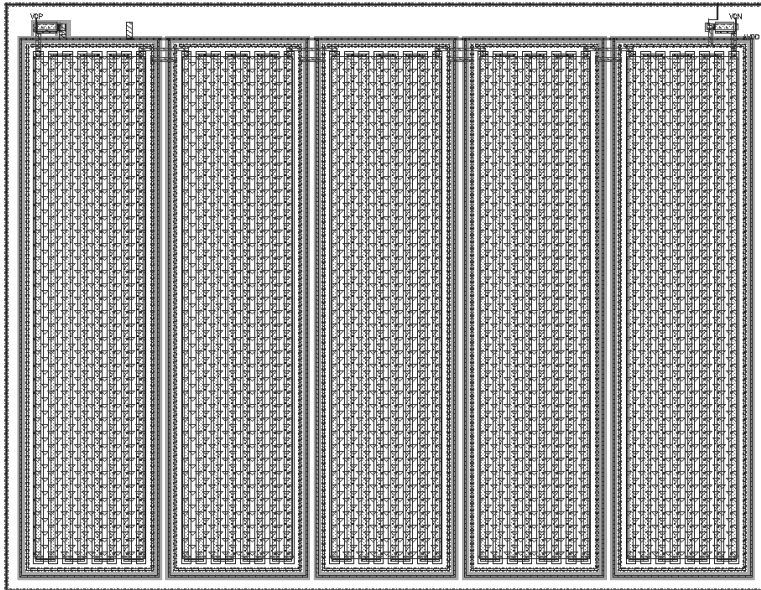


Figura 4.10: *Layout* do bloco de corrente de referência. Dimensões: 94 μm X 120 μm.

4.2 Osciladores

De modo a validar o projeto de célula de atraso desenvolvido, foram projetados três osciladores com variações na topologia, cada um descrito nas Subseções 4.2.1, 4.2.2 e 4.2.3. Deste modo, é possível realizar medidas reais para verificar o desenvolvimento dos blocos de atraso.

4.2.1 CSRO 1

Como mostrado no Capítulo 3, um *CSRO* é composto por um número ímpar de inversores com determinado atraso, assim gerando uma oscilação. Deste modo, projetou-se um inversor *current starved* para tal propósito.

Inicialmente, escolheu-se 13 como número de estágios do oscilador para o projeto de modo a evitar possíveis oscilações em modos que não o fundamental [16]. Decidiu-se usar um inversor *current starved* (Figura 4.11) com as dimensões apresentadas na Tabela 4.5.

Tabela 4.5: Dimensões escolhidas para inversor *current starved*.

Parâmetro	Valor [nm]
W_P	1600
L_P	1200
W_N	960
L_N	1200
W_{SCR}	1600
L_{SCR}	1200

Para uma maior liberdade em simulações e em medidas, optou-se por polarizar o oscilador com uma fonte de corrente externa ao circuito. Deste modo, projetou-se um espelho de corrente (Figura 4.12), cujas dimensões dos transistores estão mostradas na Tabela 4.6.

As larguras dos transistores do espelho de corrente do *CSRO* são quatro vezes maiores que as dos transistores do espelho de corrente da célula de atraso. Deste modo, para o espelho de corrente do *CSRO* espelhar uma corrente equivalente ao da célula de atraso, é necessário que I_{REF} do *CSRO* seja quatro vezes maior. Como a polarização das

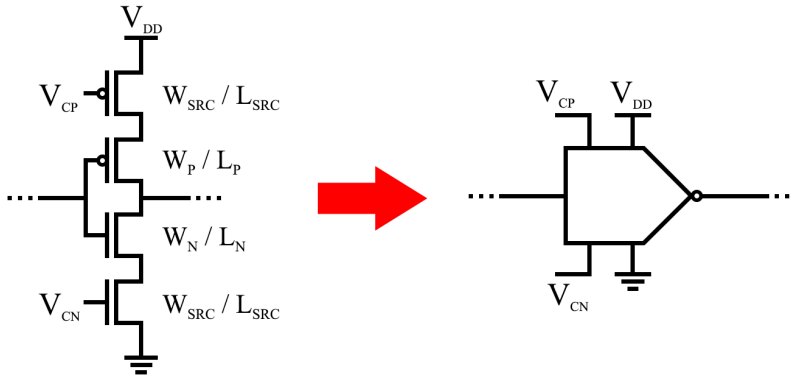


Figura 4.11: Inversor *current starved* e suas dimensões.

Tabela 4.6: Dimensões pré-estabelecidas

Parâmetro	Valor [μm]
$W_P = W_N$	3.84
$L_P = L_N$	2.40

células era feita com 70 nA, agora ela será realizada com 280 nA. Tal esforço foi feito para não gerar correntes muito baixas com o equipamento a ser usado como fonte de corrente externa.

Com as dimensões da Tabela 4.5, e por interpolação da Tabela 4.3, espera-se um atraso de aproximadamente 141 ns para cada inversor *current starved*. Usando a Equação (3.2), espera-se uma frequência de oscilação de 273 kHz.

Após, foi feito o *layout* para fabricação. Optou-se por medir duas saídas extraídas de estágios diferentes do oscilador. A Figura 4.13 mostra o *layout* de um dos estágios, e a Figura 4.14 mostra todos os 13 estágios conectados.

Tendo em mente que as capacitâncias dos instrumentos de medição são altas, projetou-se um *buffer* para colocar nas saídas do oscilador. Usou-se como base uma capacitância de carga de 16 pF. Inicialmente, para o *buffer*, elaborou-se um inversor para ser usado como estrutura básica. Suas dimensões estão apresentadas na Tabela 4.7.

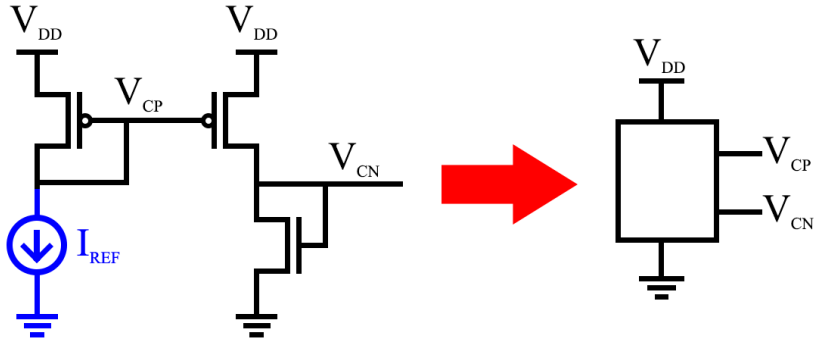


Figura 4.12: Espelho de corrente para polarizar o *CSRO*. A fonte de corrente I_{REF} não é incluída no esquemático.

Tabela 4.7: Dimensões do inversor base do *buffer*.

Parâmetro	Valor [nm]
W_P	1400
L_P	360
W_N	700
L_N	360

Foi então feito o paralelismo desse inversor para aumentar o tamanho do *buffer* gradativamente em 7 estágios [15]. A Tabela 4.8 mostra o crescimento do paralelismo. A Figura 4.15 mostra o diagrama dos estágios do oscilador e dos *buffers* para medição. A Figura 4.16 mostra o *layout* do *buffer* completo. O *buffer* é inversor.

A Figura 4.17, mostra o *layout* completo do primeiro oscilador.

Com o *layout* pronto, foram feitas simulações com extração de elementos parasitas. A Tabela 4.9 mostra os resultados da simulação. A frequência de oscilação ficou em torno dos 320 kHz, o que é cerca de 15% acima do estimado inicialmente.

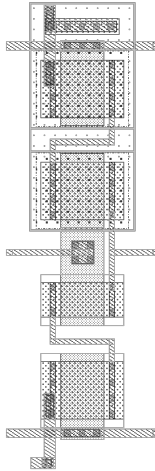


Figura 4.13: Um estágio do *CSRO* 1. Dimensões: $4,3\ \mu\text{m}$ X $13\ \mu\text{m}$.

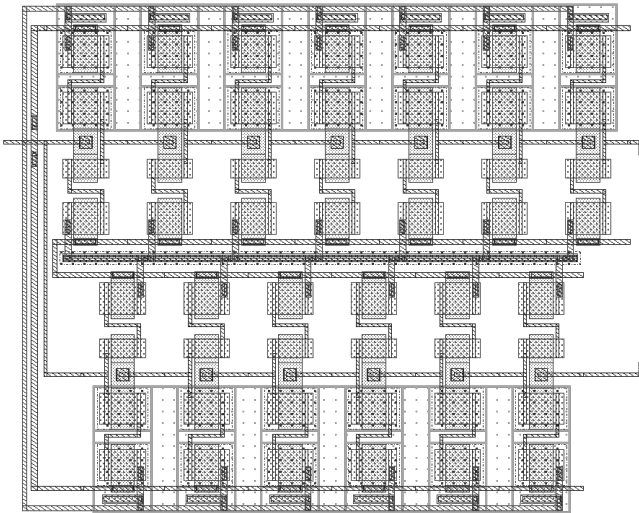


Figura 4.14: Os treze estágios do *CSRO* 1 conectados em *loop*. Dimensões: $30\ \mu\text{m}$ X $26\ \mu\text{m}$.

Tabela 4.8: Crescimento do paralelismo do *buffer*.

Estágio	n° de inversores em paralelo
1°	1
2°	1
3°	2
4°	4
5°	8
6°	16
7°	32

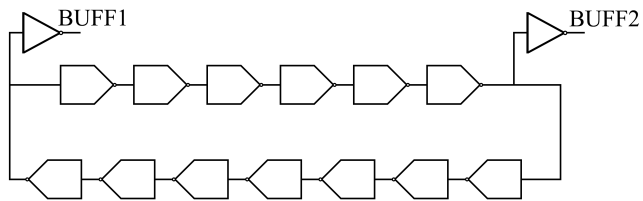
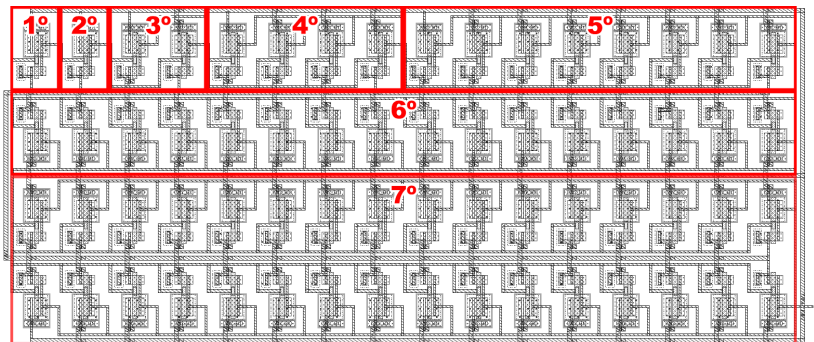
Figura 4.15: Diagrama dos estágios do oscilador e dos *buffers*.Figura 4.16: *Layout* do *buffer* completo. Dimensões: 63 μm X 26 μm .

Tabela 4.9: Frequência de oscilação pós *layout* do *CSRO* 1 a 280 nA.

Corner	Frequência [kHz]
<i>tt</i>	318,8
<i>ff</i>	295,0
<i>fs</i>	320,9
<i>sf</i>	314,7
<i>ss</i>	341,4

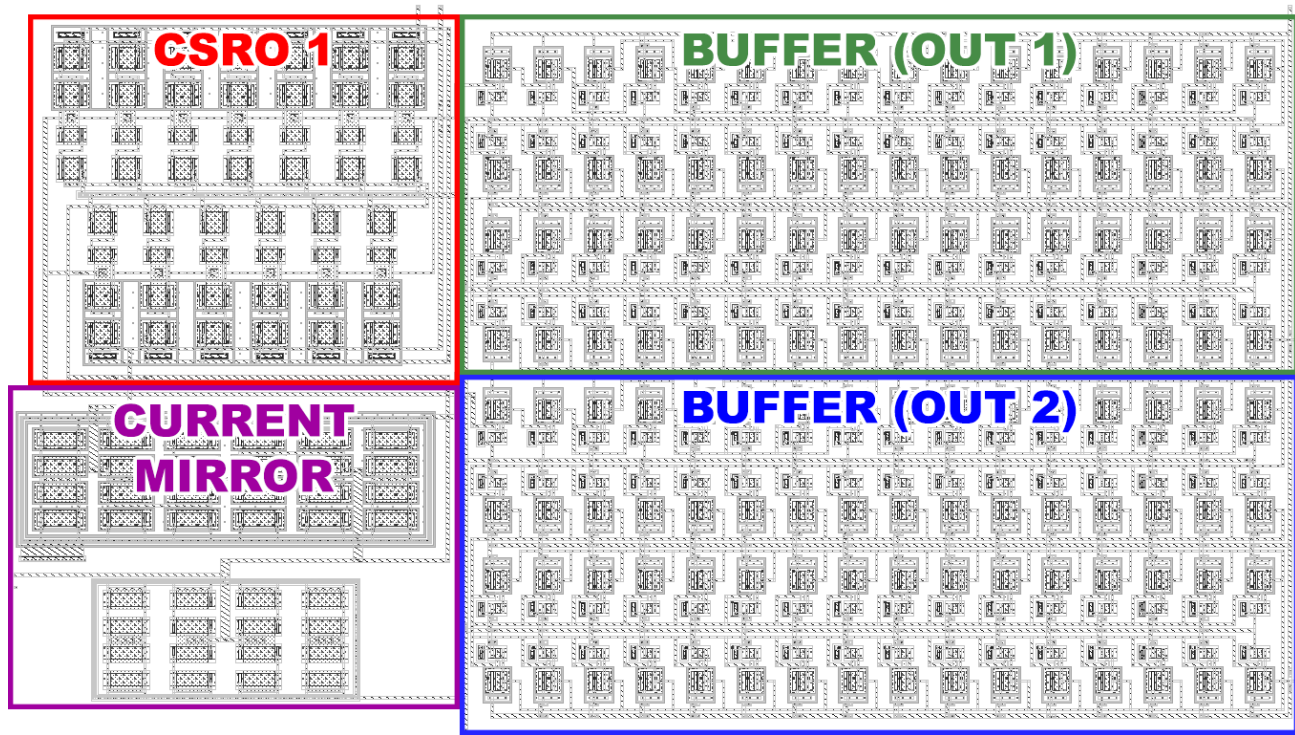
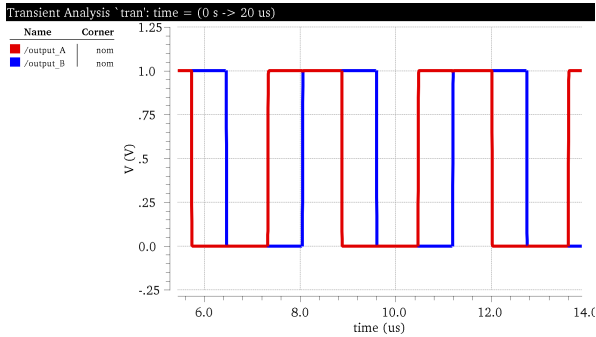


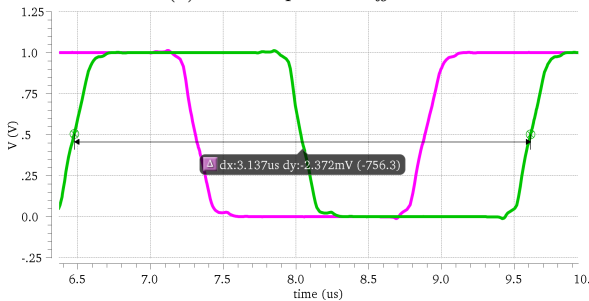
Figura 4.17: *Layout* completo do CSRO 1. Dimensões: 100 μm X 54 μm .

A Figura 4.18 mostra as formas de onda das duas saídas extraídas do oscilador com $I_{REF} = 280 \text{ nA}$. É possível ver os momentos de transição na Figura 4.18b, onde foram observadas as tensões nas saídas do oscilador antes do sinal passar pelos *buffers*.

As tensões dos drenos dos transistores que espelham as correntes em um dos estágios são mostradas na Figura 4.19.



(a) Saídas após os *buffers*.



(b) Zoom na transição nas saídas antes do *buffer*.

Figura 4.18: Simulação em *corner* típico-típico do CSRO 1.

As tensões nos drenos das fontes de corrente variam abruptamente quando o estágio passa a conduzir, gerando os picos de tensão apresentados. Por haver uma variação abrupta das tensões nesses nós, é possível que as capacitâncias presentes em tais nós influenciem no tempo de atraso de cada estágio, porém a atribuição de um valor a essa influência não será desenvolvida neste trabalho.

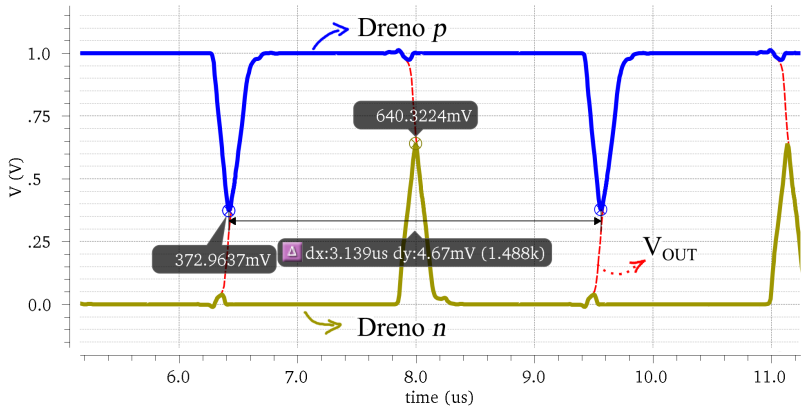
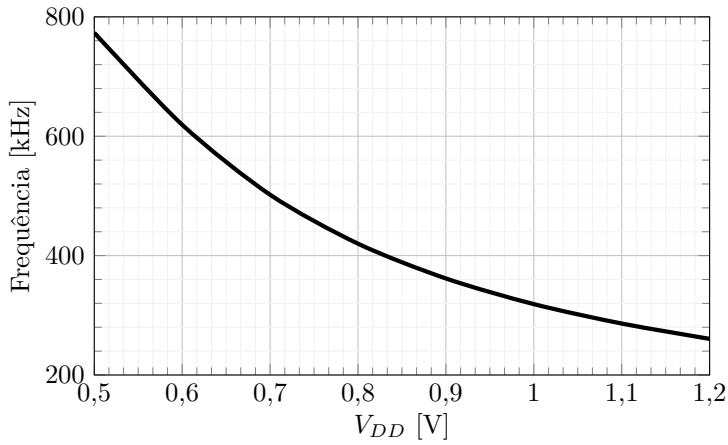


Figura 4.19: Formas de onda das tensões nos drenos dos transistores que espelham as correntes do *CSRO* 1. A saída do estágio, V_{OUT} , também é mostrada.

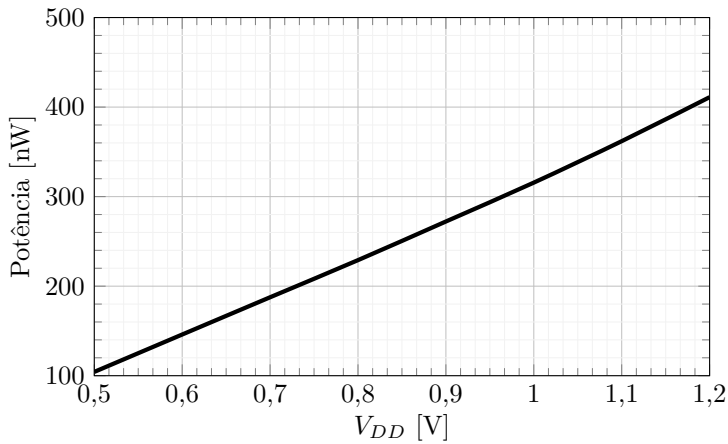
Ainda com o *CSRO* 1, foi feita uma varredura na tensão de alimentação de forma a observar variações na frequência e no consumo do circuito. A Figura 4.20 traz os resultados da variação.

A Figura 4.20a traz que a frequência de oscilação diminui com o aumento de V_{DD} . Ao aumentar-se V_{DD} , aumenta-se a excursão do sinal, já que as tensões nos *sources* dos transistores centrais acompanham V_{DD} (exceto quando ocorre uma transição como mostrado na figura 4.19). Como consequência, já que as correntes continuam constantes, a frequência diminui.

Na Figura 4.20b, observa-se que o consumo cresce linearmente com o crescimento de V_{DD} .



(a) Frequência.



(b) Consumo.

Figura 4.20: Varredura de V_{DD} do *CSRO* 1.

4.2.2 CSRO 2

Um segundo oscilador em anel foi projetado interconectando-se os transistores que espelham as correntes nos inversores, como mostra a Figura 4.21. As dimensões dos transistores são as mesmas que as do oscilador da Subseção 4.2.1.

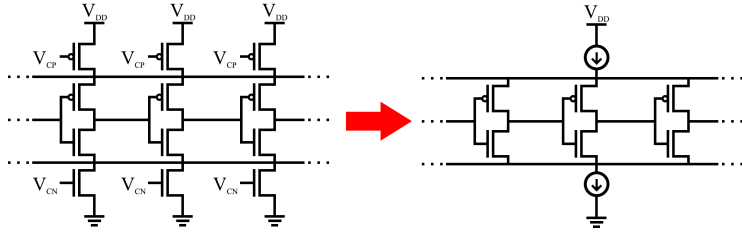


Figura 4.21: Ilustração da topologia do segundo CSRO.

Ao realizar-se essa montagem, os transistores que espelham a corrente ficam todos em paralelo, comportando-se como uma única fonte de corrente para todo o oscilador. Assim, quando um estágio está desligado, a corrente que caberia a ele na topologia da Seção 4.2.1 é distribuída entre todos os estágios. Portanto, a frequência de oscilação aumenta.

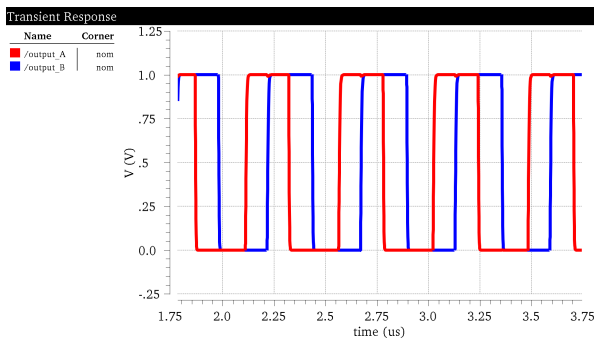
Foi então feito o *layout* desse oscilador seguindo-se os mesmos passos do oscilador da Subseção 4.2.1.

A Tabela 4.10 mostra os resultados das simulações pós *layout*. Para simular esse oscilador, foi usada uma fonte de corrente de referência de 20 nA.

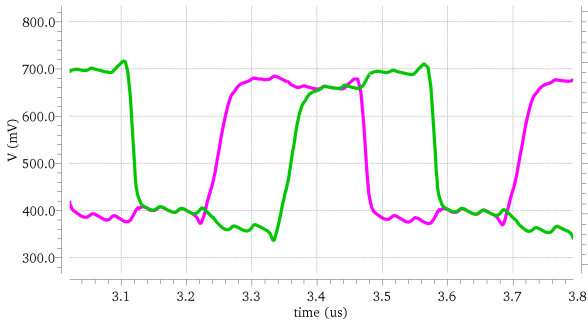
Tabela 4.10: Frequência de oscilação pós *layout* do CSRO 2 a 20 nA.

Corner	Frequência [MHz]
<i>tt</i>	2,20
<i>ff</i>	2,33
<i>fs</i>	2,16
<i>sf</i>	2,24
<i>ss</i>	2,07

Percebe-se que a frequência é muito maior que a do oscilador da Seção 4.2.1. A Figura 4.22 mostra as formas de onda das saídas do oscilador simulado. O *zoom*, para uma melhor observação das formas de onda antes de passarem pelo *buffer* (Figura 4.22b), mostra que a oscilação não consegue chegar aos níveis de tensão 1 V e 0 V. Tal degradação do sinal ocorre por conta da conexão de todos os drenos dos transistores que atua como fonte de corrente, que limitam a tensão no *source* dos transistores do meio, limitando a excursão do sinal à saída dos estágios.



(a) Saídas após os *buffers*.



(b) *Zoom* na transição nas saídas antes do *buffer*.

Figura 4.22: Formas de onda das saídas do *CSRO 2*.

As tensões dos drenos dos transistores que espelham as correntes são mostradas na Figura 4.23. Nota-se que as tensões ficam sempre oscilando, porém com não mais que 100 mV de pico. Tal comportamento ocorre pois os *buffers* fazem com que o oscilador não fique com todos

os estágios em equilíbrio.

Adicionando-se *buffers dummy* em todos os estágios que não estavam conectados nos *buffers* de saída (Figura 4.24), obtêm-se as formas de onda apresentadas na figura 4.25. Nota-se que os *buffers dummy* equilibraram as tensões dos drenos dos transistores que espelham as correntes, melhorando a forma de onda da saída do oscilador observada antes do *buffer*. Essa adição de *dummies* não foi realizada no *layout* enviado a fabricação, mas pode ser feita em futuros projetos.

Comparando-se com o *CSRO* 1, em um primeiro momento, espera-se que as capacitâncias desses nós exerçam menos influência devido à menor variação das tensões.

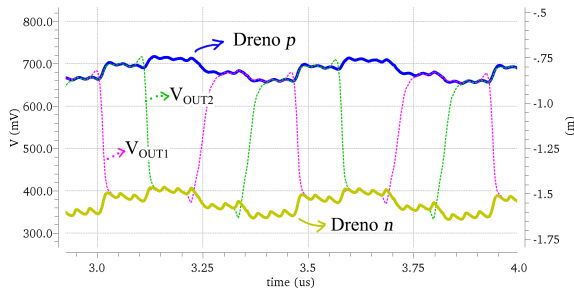


Figura 4.23: Formas de onda das tensões nos drenos dos transistores que espelham as correntes do *CSRO* 2. As duas saídas deste oscilador, V_{OUT1} e V_{OUT2} , também são mostradas. $V_{DD} = 1\text{ V}$

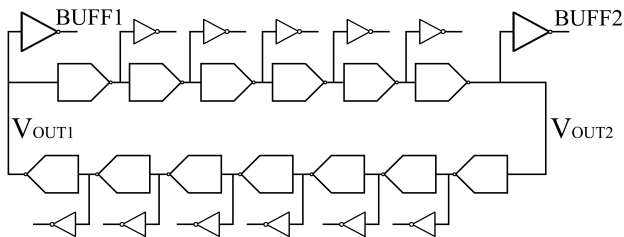


Figura 4.24: Diagrama dos estágios do oscilador e dos *buffers* com *dummies*.

Realizando-se uma varredura da tensão de alimentação para o *CSRO* 2, obtêm-se as curvas apresentadas na Figura 4.26. Para este oscilador, não obteve-se oscilação para V_{DD} entre 0,6 V e 0,95 V. O *CSRO* 2 mos-

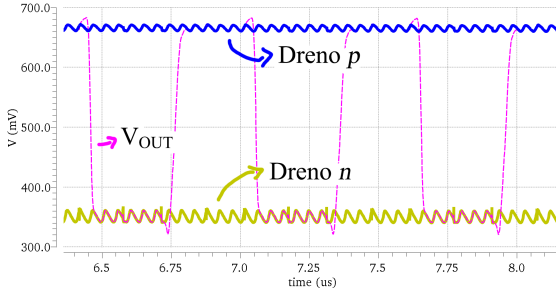
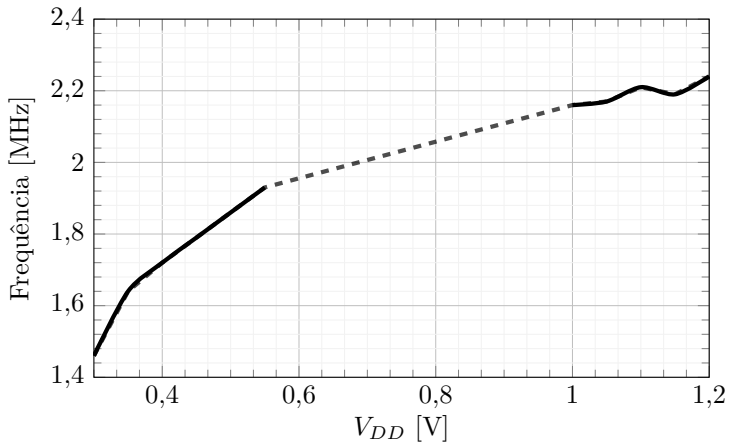


Figura 4.25: Formas de onda das tensões nos drenos dos transistores que espelham as correntes do *CSRO 2* com *buffers dummy*. Também é mostrada uma das saídas (V_{OUT}) do oscilador. $V_{DD} = 1\text{ V}$

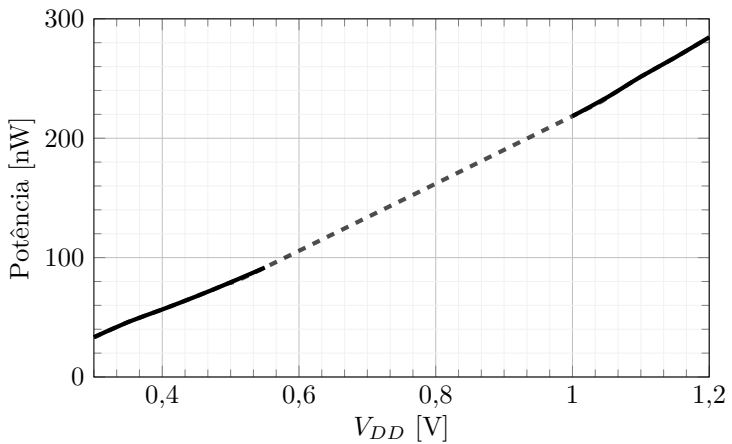
tra um aumento da frequência com o aumento de V_{DD} , porém não tão significativo como no caso do *CSRO 1*. Esse aumento na frequência, observado na Figura 4.26a, ocorre pois, apesar de se reduzir a tensão de alimentação do circuito, as tensões nos drenos dos transistores das fontes de corrente mantêm uma janela aproximadamente constante para excursão da oscilação, aumentando levemente com o aumento de V_{DD} (Figura 4.27). Como as correntes se mantêm constantes, a frequência não varia muito.

Também foi feita uma varredura da tensão de alimentação com o circuito em que foram adicionados os *buffers dummy*, a fim de se observar o comportamento dessa modificação. As Figuras 4.28 e 4.29 mostram a variação de frequência e tensões no dreno das fontes de corrente, respectivamente. Com os *dummies*, por simulação, o oscilador operou em toda a faixa com V_{DD} entre 0,3 V e 1,2 V.

A Figura 4.30 mostra o *layout* completo desse oscilador.



(a) Frequência.



(b) Consumo.

Figura 4.26: Varredura de V_{DD} do CSRO 2.

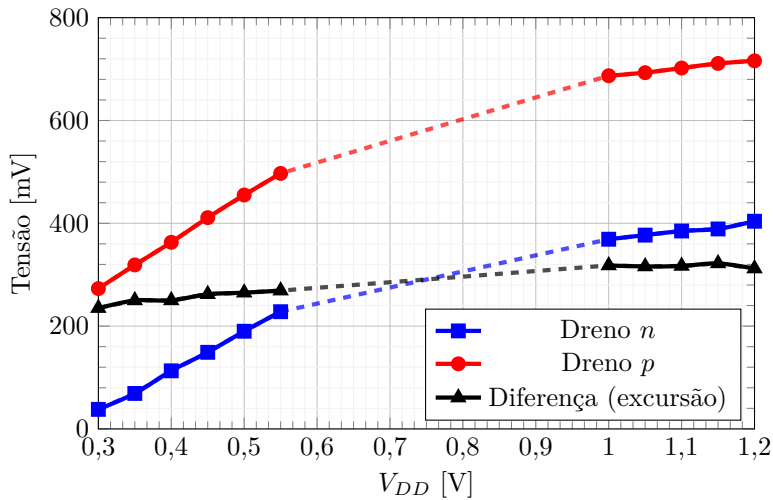


Figura 4.27: Variação das tensões do dreno das fontes de corrente com V_{DD} no CSRO 2.

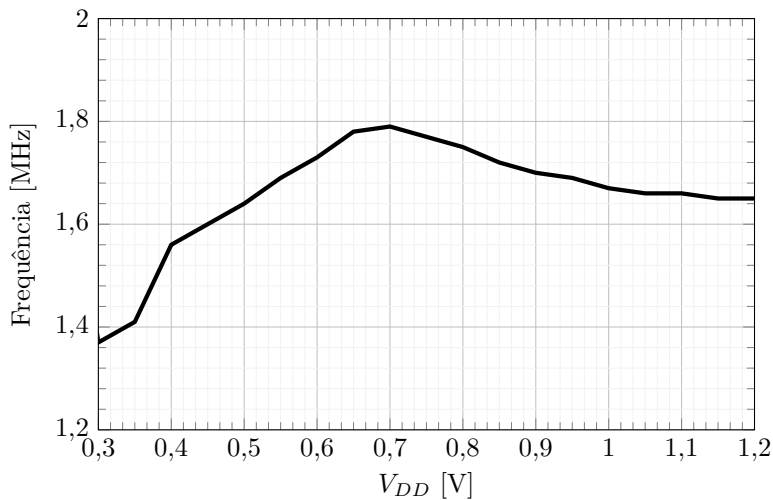


Figura 4.28: Varredura de V_{DD} do CSRO 2 com *buffers dummy*.

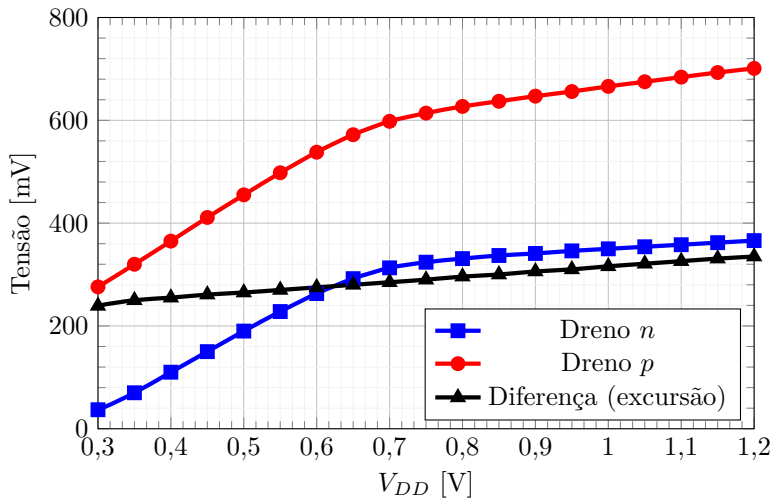


Figura 4.29: Variação das tensões do dreno das fontes de corrente com V_{DD} no CSRO 2 com *buffers dummy*.

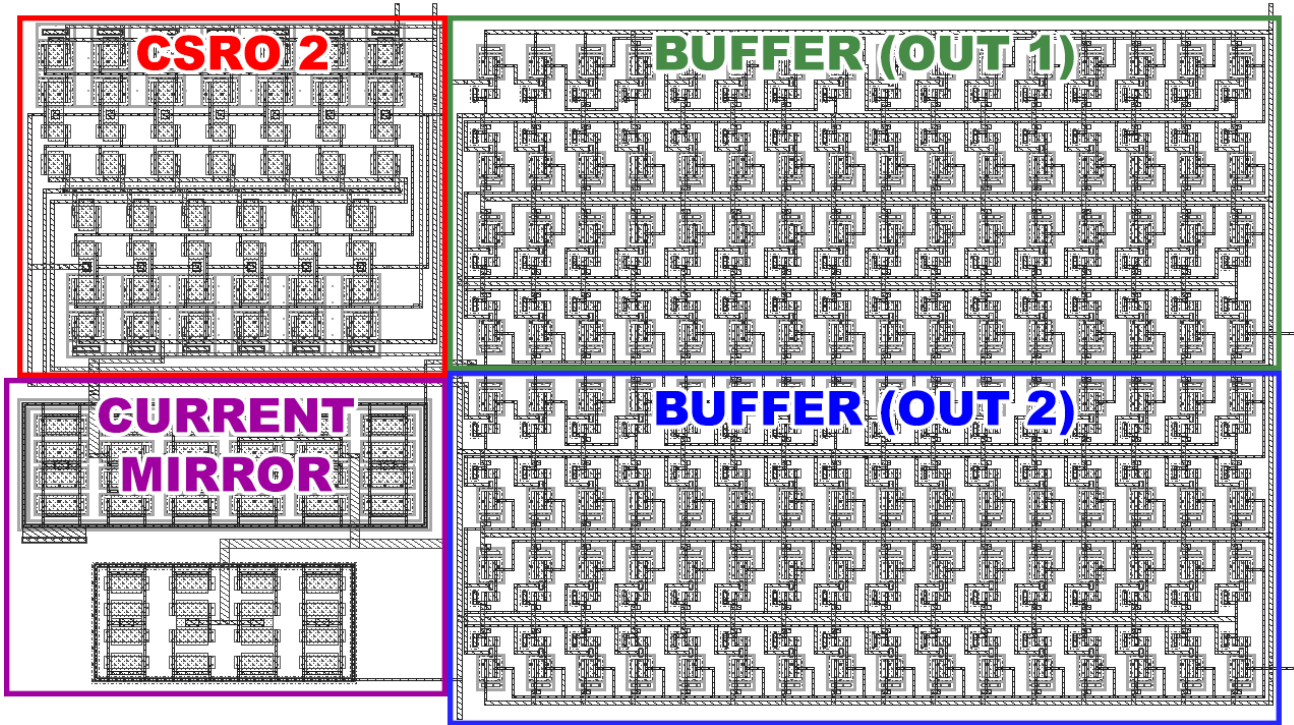


Figura 4.30: *Layout* completo do *CSRO 2*. Dimensões: 100 μm X 54 μm .

4.2.3 Oscilador em anel simples

No terceiro oscilador as dimensões são mantidas, mas não é mais usado o controle por corrente. Apenas conecta-se os gates dos transistores que antes faziam o espelhamento a entrada de cada estágio, como mostrado na Figura 4.31. Como não há mais redução da corrente, a frequência de oscilação (mantendo-se V_{DD} em 1 V) será maior que nos outros dois osciladores. Esse oscilador, ainda assim, pode ser controlado por tensão, por meio da redução da tensão de alimentação.

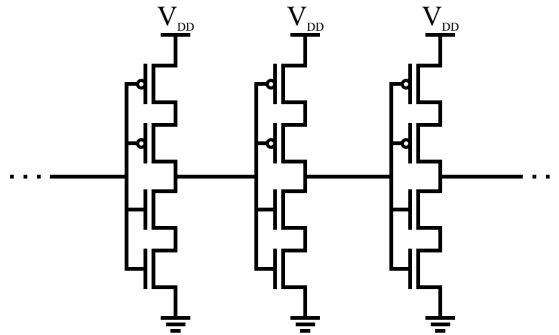


Figura 4.31: Ilustração da topologia oscilador em anel simples.

Assim, foi feito o *layout* desse oscilador, apresentado na Figura 4.32.

A Tabela 4.11 traz os resultados das simulações pós *layout*. Como esperado, o oscilador opera em uma frequência muito superior às dos osciladores das Seções 4.2.1 e 4.2.2.

Tabela 4.11: Frequência de oscilação pós *layout* do terceiro oscilador.

Corner	Frequência [MHz]
<i>tt</i>	12,99
<i>ff</i>	14,44
<i>fs</i>	12,46
<i>sf</i>	13,00
<i>ss</i>	11,41

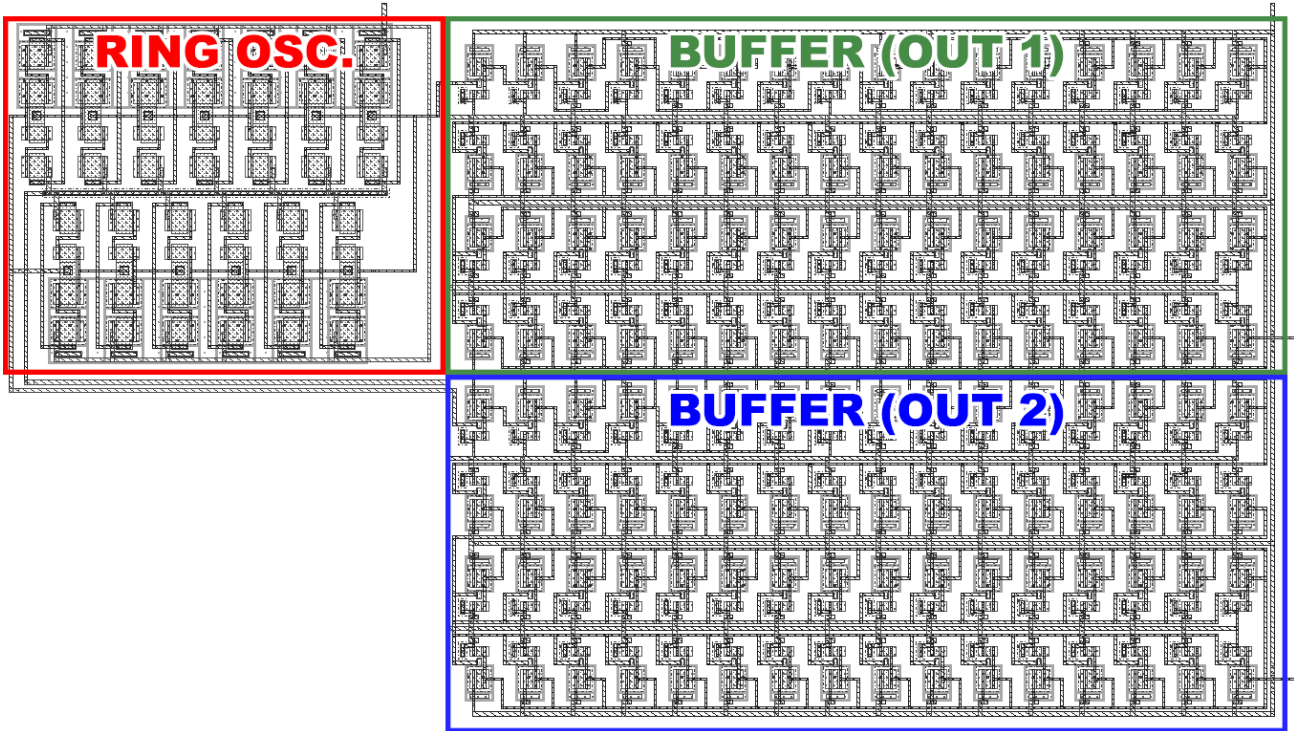


Figura 4.32: *Layout* completo do oscilador em anel simples. Dimensões: 100 μm X 54 μm .

A Figura 4.33 traz as formas de onda da simulação pós *layout*.

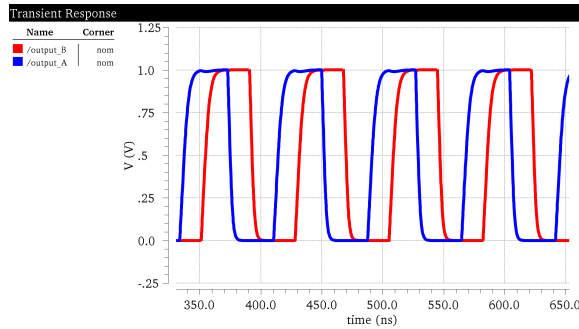


Figura 4.33: Formas de onda das saídas do terceiro oscilador.

4.3 Delay line

Com as células de atraso projetadas na Seção 4.1, estruturou-se a linha de atrasos. Com objetivo de realizar medidas com a fabricação do *chip*, foi usado um multiplexador para seleção das saídas. Também foi utilizado um *buffer* (o mesmo projetado para os osciladores) na saída do multiplexador. A Figura 4.34 mostra o diagrama do circuito.

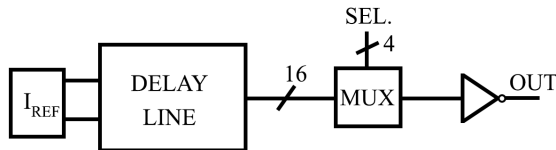


Figura 4.34: Diagrama do circuito com a linha de atrasos.

Foram feitas simulações pré e pós *layout* para ajustes finais das dimensões e, em seguida, o *layout* completo. A Tabela 4.12 traz os valores da simulação pós *layout*, após todos os ajustes feitos. As Tabelas 4.13 e 4.14 mostra os valores dos parâmetros da fonte de corrente e das células de atraso após os ajustes finais.

Foi feita também uma simulação de *corners* cruzados, analisando-se o comportamento da variação tanto do resistor da fonte de corrente quanto das dimensões dos transistores por variação do processo de fa-

bricação. A Tabela 4.15 traz os resultados cruzados de variação de -3σ e $+3\sigma$ do resistor (onde σ é o desvio padrão da distribuição estatística de resistência), com os *corners fast-fast*, *fast-slow*, *typical-typical*, *slow-fast* e *slow-slow* dos transistores para cada estágio. Os erros *max-* e *max+* representam o maior erro em -3σ e em $+3\sigma$, respectivamente, com relação ao atraso desejado. Esses dados, incluindo o cruzamento com -2σ , -1σ , μ (média), $+1\sigma$ e $+2\sigma$, estão traçados na Figura 4.35.

Por conta da grande variação da resistência devido ao processo de fabricação, os erros chegam na faixa de -21% em -3σ e 24% em $+3\sigma$. Em uma futura implementação (visando minimizar os erros), se faz necessário o uso de uma fonte de corrente de referência que induza menos erro por processo de fabricação.

Tabela 4.12: Resultados da simulação da linha de atraso completa.

#	<i>tt</i> [ns]	<i>ff</i> [ns]	<i>fs</i> [ns]	<i>sf</i> [ns]	<i>ss</i> [ns]	<i>erro</i> _{max}
1	250	260	257	245	243	4,16%
2	301	313	310	294	293	4,23%
3	363	377	375	354	353	4,77%
4	433	449	448	422	422	3,99%
5	518	537	537	503	504	3,76%
6	620	642	642	604	606	3,16%
7	746	770	771	728	731	3,28%
8	897	923	924	876	881	3,21%
9	1076	1105	1105	1053	1059	2,86%
10	1288	1320	1319	1265	1270	2,41%
11	1542	1570	1568	1524	1529	1,47%
12	1839	1861	1860	1828	1830	1,53%
13	2207	2214	2215	2208	2211	0,89%
14	2650	2640	2644	2662	2665	1,20%
15	3189	3147	3158	3224	3231	1,84%
16	3830	3778	3795	3892	3895	1,79%

Tabela 4.13: Parâmetros do bloco de corrente de referência após os ajustes finais.

Parâmetro	Valor
W_{REF}	960 nm
L_{REF}	3,0 μm
R	8,1 M Ω

Tabela 4.14: Parâmetros das células de atraso após os ajustes finais.

Bloco	Desejado [ns]	W_{SRC} [μm]	W_{SRC}/W_{REF}
1*	50	5,50	5,73
2	50	6,83	7,12
3	60	5,90	6,15
4	72	5,40	5,63
5	86	4,85	5,05
6	104	4,15	4,32
7	124	3,50	3,65
8	149	3,05	3,18
9	179	2,60	2,71
10	215	1,87	1,95
11	258	1,54	1,60
12	310	1,37	1,43
13	372	1,17	1,22
14	446	1,00	1,04
15	535	0,85	0,89
16	642	0,72	0,75

* 5 blocos, totalizando 250 ns.

Tabela 4.15: Resultados das simulações cruzadas de variação do resistor (-3σ e $+3\sigma$) com os *corners* dos transistores.

#	Resistor em -3σ					Resistor em $+3\sigma$					Erros [%]	
	<i>ss</i> [ns]	<i>sf</i> [ns]	<i>tt</i> [ns]	<i>fs</i> [ns]	<i>ff</i> [ns]	<i>ss</i> [ns]	<i>sf</i> [ns]	<i>tt</i> [ns]	<i>fs</i> [ns]	<i>ff</i> [ns]	<i>max-</i>	<i>max+</i>
1	198.5	200	204.3	210.5	212.3	286.5	290.4	295.6	303.4	308	-20.6	23.2
2	239.6	239.8	245.9	254.3	255	345.1	347.8	355.3	365.8	369.8	-20.13	23.27
3	289.3	288.9	296.8	307.4	307.6	416.8	419.2	429.1	442.3	446.2	-19.75	23.94
4	345.5	343.8	353.9	367.2	366.4	497.6	498.9	511.7	528.4	531.5	-20.42	23.03
5	412.5	409.8	423	440.3	438.3	594.4	594.7	612.7	633.5	635.7	-20.89	22.72
6	496.4	492.5	507	525.6	523.1	714.9	714.5	733.3	756.5	759.4	-20.82	22.09
7	599.1	593.6	610.1	630.9	627.5	862.4	861	882.4	908.6	911.4	-20.43	22.17
8	721.8	714.7	733.1	756.2	751.9	1,039	1,036	1,061	1,090	1,093	-20.15	22.12
9	867.2	858.5	878.7	904	899.6	1,248	1,245	1,272	1,304	1,308	-20.07	21.79
10	1,040	1,032	1,052	1,079	1,075	1,498	1,497	1,523	1,557	1,563	-19.94	21.26
11	1,252	1,243	1,259	1,283	1,278	1,802	1,803	1,824	1,851	1,859	-19.65	20.17
12	1,499	1,490	1,501	1,521	1,515	2,158	2,162	2,175	2,195	2,204	-19.76	18.69
13	1,811	1,800	1,802	1,811	1,803	2,607	2,612	2,610	2,615	2,623	-19.25	17.68
14	2,182	2,170	2,162	2,160	2,149	3,144	3,151	3,133	3,122	3,128	-19.66	17.79
15	2,644	2,627	2,602	2,581	2,562	3,813	3,815	3,770	3,729	3,729	-20.19	18.85
16	3,186	3,170	3,124	3,101	3,075	4,600	4,606	4,530	4,483	4,477	-20.17	19.57

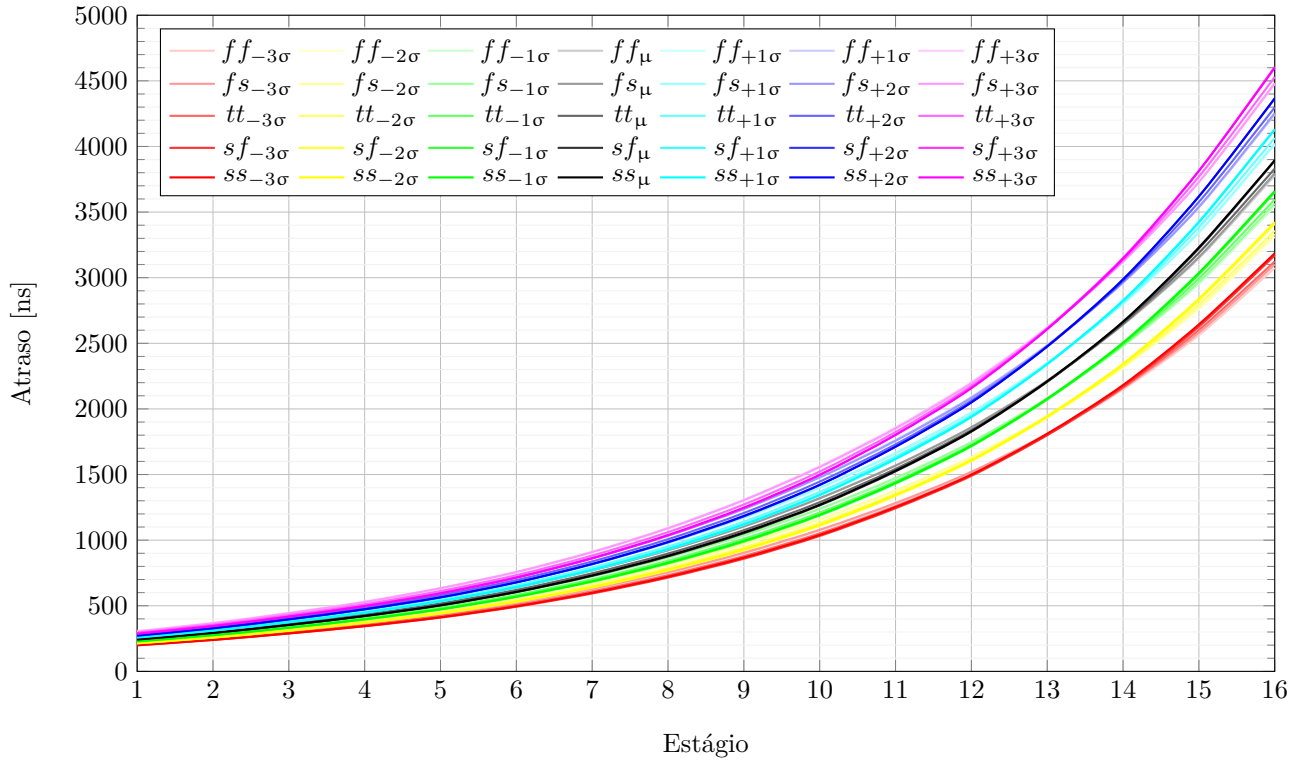
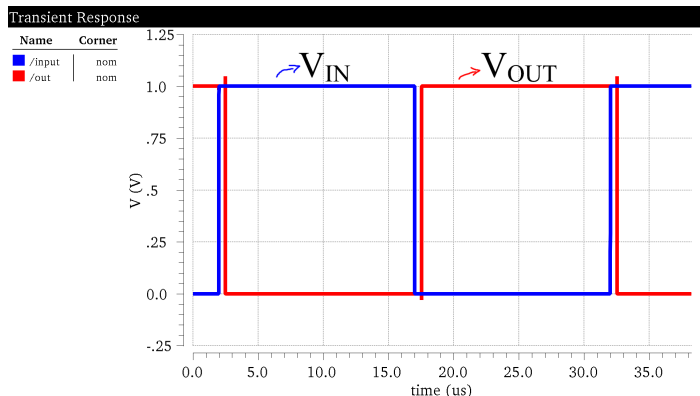
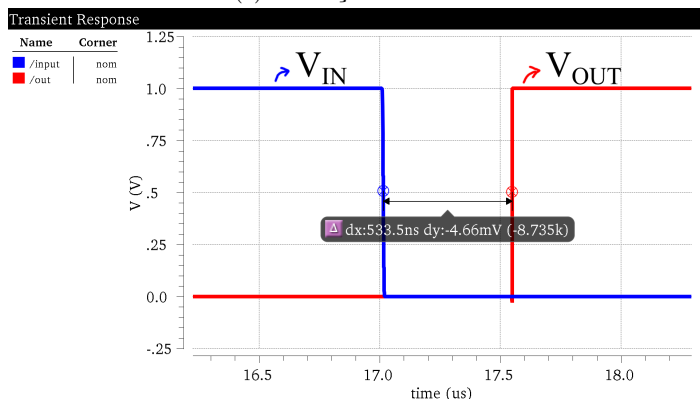


Figura 4.35: Resultados das simulações cruzadas de variação do resistor (-3σ até $+3\sigma$) e dos transistores (ff até ss).

A Figura 4.36 mostra como exemplo, a onda de atraso da 5ª saída.



(a) Simulação transiente.



(b) Zoom na transição.

Figura 4.36: Simulação da linha de atraso, selecionando a 5ª saída. Esta forma de onda é observada na saída do *buffer* quando seleciona-se pelo multiplexador a saída referente ao 5º estágio da linha de atrasos. V_{OUT} possui nível lógico inverso a V_{IN} pois o *buffer* é inversor.

As Figuras 4.37 e 4.38 mostram a linha de atraso e o *layout* completo do circuito, respectivamente. No *layout* completo também incluiu-se um multiplexador e um *buffer* separados da linha de atraso para poder medir os tempos de atraso desses elementos de modo a se obter o tempo de atraso proveniente unicamente das células de atraso ao se realizar medidas do circuito completo.

Nota-se que os valores (desconsiderando-se a variação do resistor) ficaram bastante próximos aos esperados, com o erro máximo não ultrapassando 5%.

O resultados das simulações indicaram um consumo médio de 135 nW para a linha de atrasos, ultrapassando a meta de 100 nW em 35%, mas futuros ajustes podem ser realizados para redução do consumo. Vale lembrar que a redução do consumo implica em maior degradação da forma de onda.

O *chip* contendo o *layout* da linha de atraso foi enviado para fabricação em dezembro de 2017, com estimativa de chegada no primeiro semestre de 2018; portanto, ainda não foi possível realizar medidas com a linha completa.

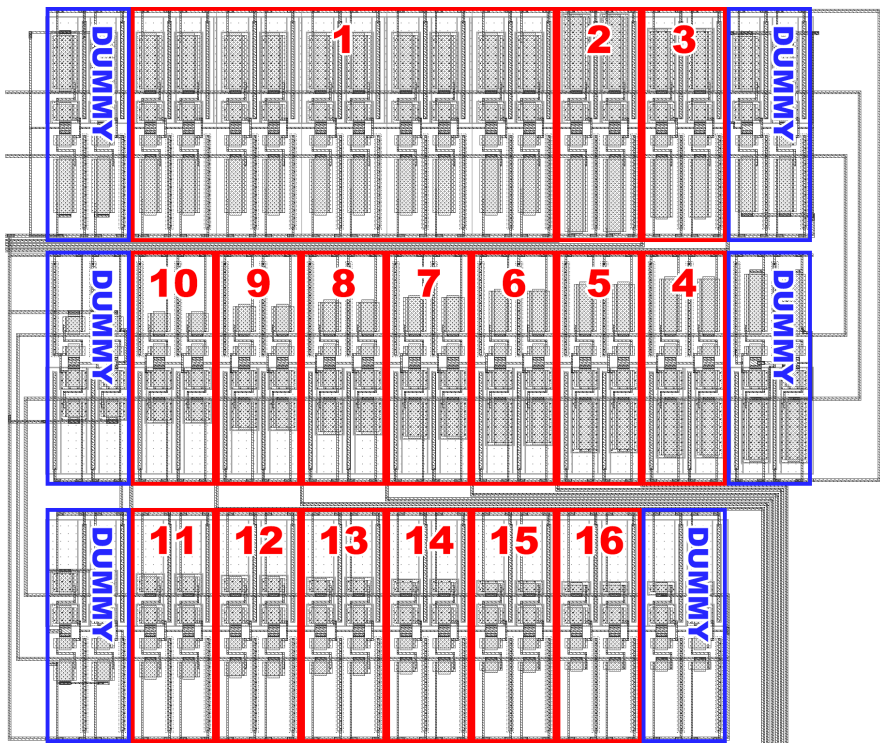


Figura 4.37: *Layout* dos atrasos concatenados. Dimensões: 90 μm X 75 μm .

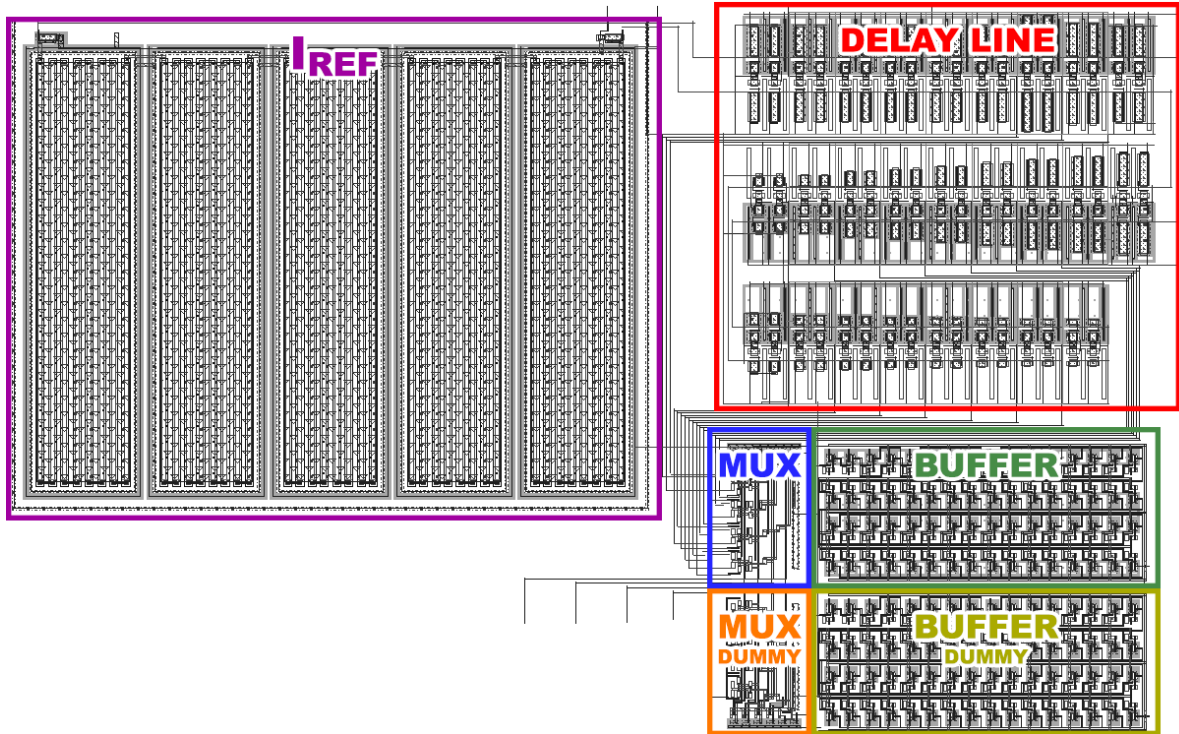


Figura 4.38: *Layout* completo da linha de atrasos para medição. Dimensões: 225 μm X 140 μm .

Resultados experimentais

O *chip* contendo os osciladores foram enviados para fabricação pelo serviço MOSIS em agosto de 2017, chegando em janeiro de 2018 para medições. Foram medidas 13 amostras do *CSRO* 1 (Seção 5.1) e do oscilador em anel simples (Seção 5.2). Não foi possível realizar medições do *CSRO* 2 até o momento. O *chip* contendo a linha de atrasos foi enviado para fabricação em novembro de 2017 com estimativa de chegada no primeiro semestre de 2018.

A Figura 5.1 mostra a bancada de medidas usada.

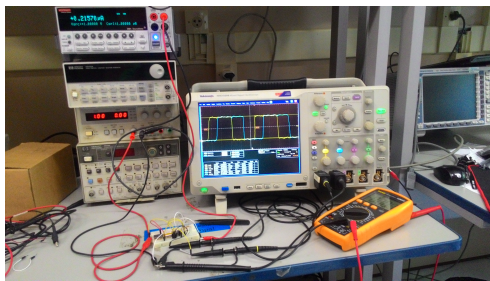


Figura 5.1: Bancada de medidas.

5.1 CSRO 1

Inicialmente, mediram-se 13 amostras do *CSRO* 1 em três correntes de polarização diferentes: 250 nA, 280 nA e 310 nA. A Figura 5.2 mostra a forma de onda de uma das amostras com 280 nA de polarização. Os resultados das medidas de frequência e *duty cycle* positivo estão apresentados na Tabela 5.1. As Figuras 5.3a e 5.3b mostram os histogramas de dispersão da frequência.

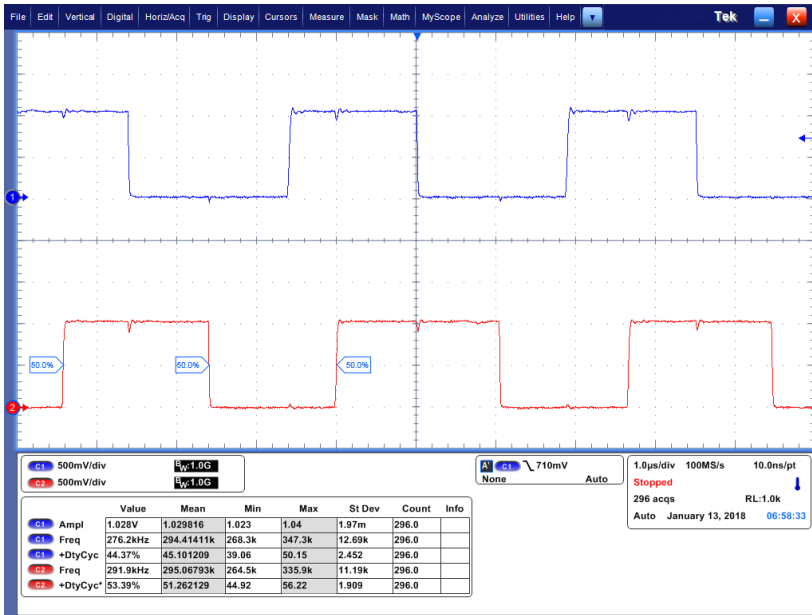


Figura 5.2: Forma de onda de uma das amostras do *CSRO* 1.

Era esperado pela simulação que, para 280 nA, a frequência fosse em torno de 320 kHz, mas nota-se que conseguiu-se próximo desse valor com uma corrente de 310 nA. Isso mostra que o circuito projetado foi levemente mais lento do que o esperado. Variações da tensão de limiar dos transistores e outras variações de parâmetros podem estar entre as causas dessa divergência de valores.

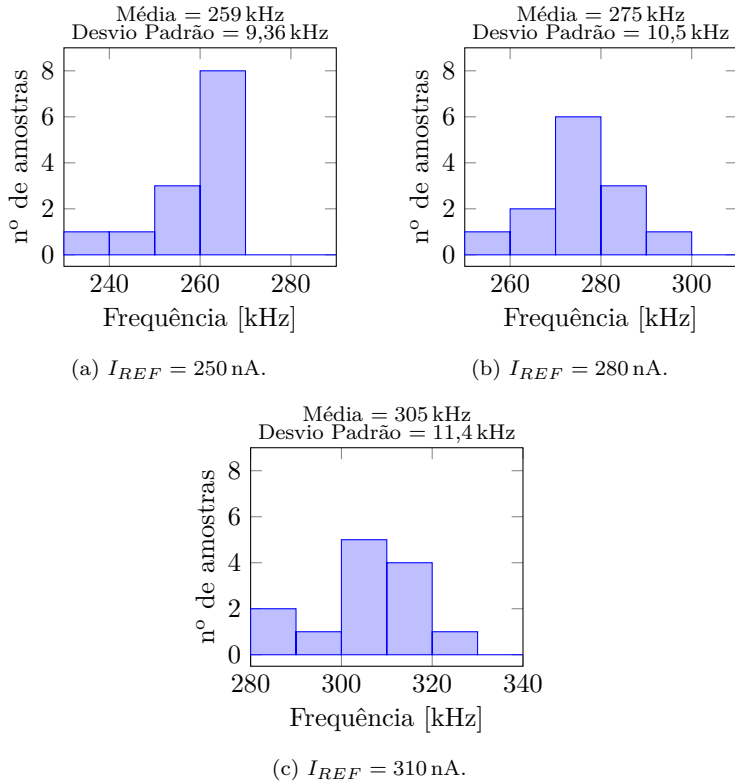


Figura 5.3: Histogramas de dispersão da frequência do CSRO 1.

Tabela 5.1: Resultados das medidas do *CSRO* 1.

Chip #	$I_{REF} = 250$ nA		$I_{REF} = 280$ nA		$I_{REF} = 310$ nA	
	Freq. [kHz]	Duty Cycle+	Freq. [kHz]	Duty Cycle+	Freq. [kHz]	Duty Cycle+
1	263	50%	296	43%	323	45%
2	265	55%	276	55%	307	53%
3	260	59%	280	49%	301	54%
4	259	53%	269	53%	294	48%
5	266	55%	285	55%	318	55%
6	240	59%	254	59%	284	56%
7	259	51%	276	51%	307	50%
8	266	58%	279	58%	310	57%
9	262	50%	275	50%	315	46%
10	267	49%	281	49%	310	51%
11	256	51%	275	51%	304	53%
12	263	54%	273	54%	306	52%
13	238	51%	260	51%	287	51%

No *layout*, a alimentação dos blocos dos osciladores foi conectada a um pino exclusivo do *chip*, para se realizar medidas de consumo desconsiderando-se o bloco que gera a corrente de referência e os *buffers*. O consumo médio do oscilador (não levando em conta I_{REF} e os *buffers*), portanto, foi medido, como mostra a Tabela 5.2. Fazendo-se uso da Equação (3.6), chega-se que o consumo médio por célula de atraso na frequência de operação de 35 kHz seria próximo de 5,2 nW.

Tabela 5.2: Frequência e consumo médios para o *CSRO 1*.

I_{REF}	Frequência média	Consumo médio
250 nA	259 kHz	246 nW
280 nA	275 kHz	265 nW
310 nA	305 kHz	293 nW

A fim de verificar a linearidade de operação desse oscilador, decidiu-se realizar uma varredura da corrente de polarização para se e medir a frequência em cada caso. Obteve-se, assim, a curva apresentada na Figura 5.4.

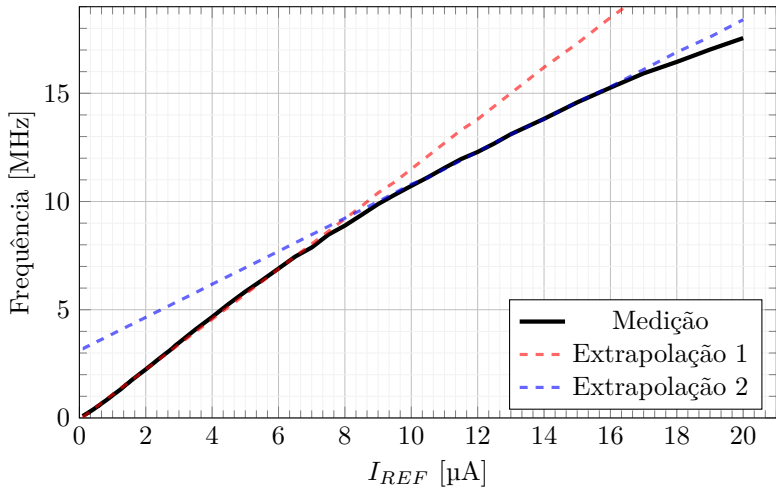


Figura 5.4: Varredura de I_{REF} do *CSRO 1*.

Percebe-se que para correntes de até 7,5 μA , há uma grande região

linear, onde a frequência varia cerca de $11,6 \text{ kHz}/10 \text{ nA}$ - frequências entre 86 kHz (100 nA) e $8,5 \text{ MHz}$ ($7,5 \mu\text{A}$). Após há uma outra região aproximadamente linear entre 10 MHz ($9,5 \mu\text{A}$) e 16 MHz ($18 \mu\text{A}$), com inclinação de $7,5 \text{ kHz}/10 \text{ nA}$.

5.2 Oscilador em anel simples

Foram medidas 13 amostras do oscilador em anel simples. A Figura 5.5 mostra o histograma das medidas da frequência, e a Figura 5.6 mostra as formas de onda de uma das amostras.

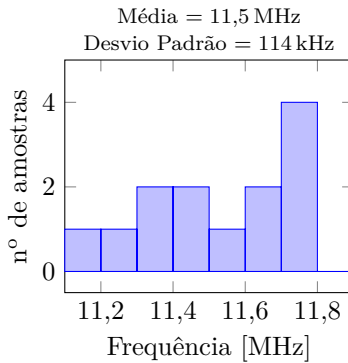


Figura 5.5: Histograma de dispersão da frequência do terceiro oscilador.

Nota-se que o sinal está bem mais degradado do que na simulação. A frequência medida ficou em torno de $11,5 \text{ MHz}$, cerca de 10% abaixo do simulado. Novamente as causas podem estar relacionadas com variações no processo de fabricação.

Para esse oscilador, a título de experimentação, ainda foi realizada uma varredura da tensão com passo de 10 mV de modo a se observar a frequência de oscilação. A Figura 5.7 mostra o resultado dessa medida.

Nota-se que há uma grande região linear entre 3 MHz (450 mV) e $11,5 \text{ MHz}$ (1 V) onde a inclinação é de $170 \text{ kHz}/10 \text{ mV}$. Observou-se, portanto, que este oscilador comporta-se aproximadamente como um *VCO* (*Voltage Controlled Oscillator*) linear. Para valores abaixo de 400 mV os transistores já começam a operar na região de sublimiar, perdendo a linearidade da frequência com a tensão.

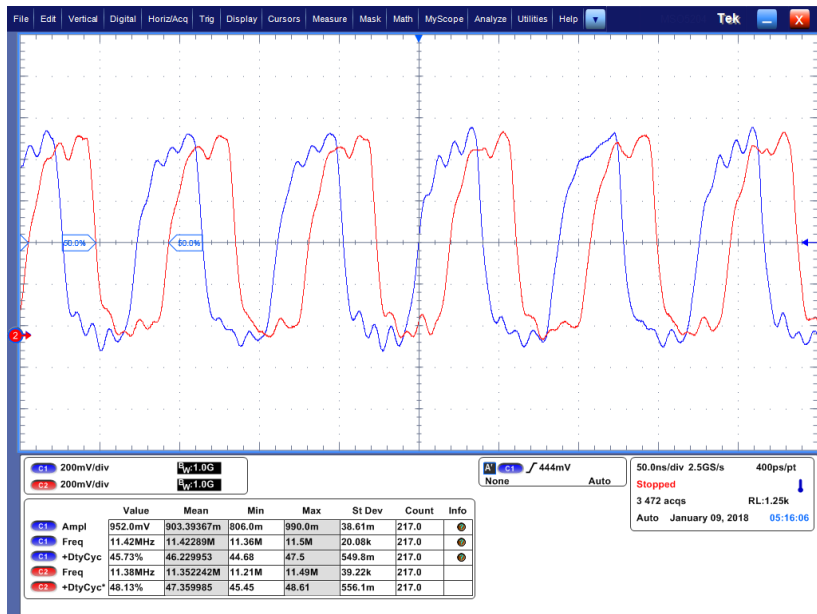


Figura 5.6: Formas de onda de uma das amostras do oscilador em anel simples.

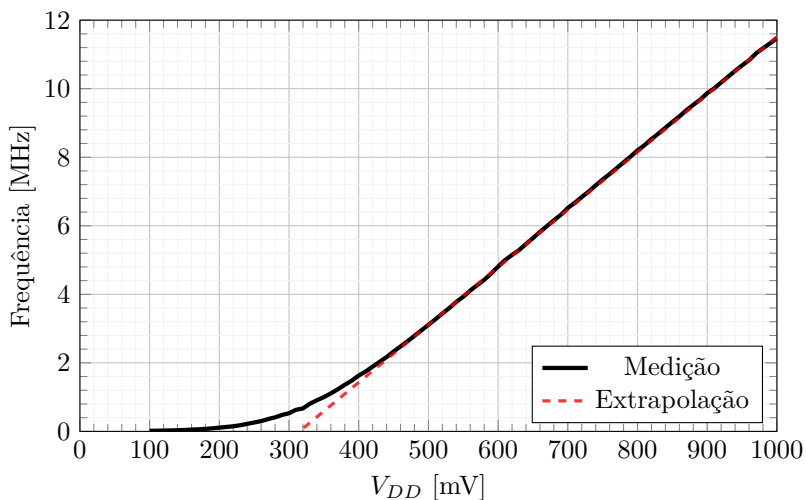


Figura 5.7: Varredura de V_{DD} do oscilador em anel simples.

CAPÍTULO 6

Conclusão

Neste trabalho foi realizado o estudo de células de atraso *current starved*, resultando no projeto de três osciladores em anel e em uma linha de atrasos - esta com intuito de ser usada em um circuito de *energy harvesting* - em tecnologia de integração de 130 nm.

Quanto às células de atraso, as simulações, apresentadas na Seção 4.1, mostraram resultados satisfatórios, não excedendo 7,1% de erro no pior do caso dos *corners* quando avaliadas separadamente.

Com o projeto do *CSRO* 1, foi possível avaliar o comportamento de uma das células de atraso, realizando-se medidas reais com 13 amostras fabricadas. Tais resultados experimentais (Seção 5.1) mostraram-se próximos das simulações realizadas na Subseção 4.2.1. Prevvia-se uma frequência de oscilação próxima de 318 kHz para este oscilador quando polarizado com 280 nA. Nos circuitos integrados fabricados, foi necessário impor uma corrente de 310 nA para se chegar a 305 kHz, um desvio de cerca de 11% da simulação. Através de medições do consumo do *CSRO* 1 ainda foi possível realizar uma estimativa de consumo médio por célula de atraso - 5,2 nW quando operando a 35 kHz. Este oscilador ainda apresentou certa linearidade na relação Frequência X I_{REF} .

O segundo *CSRO* - projetado na Subseção 4.2.2 - apresentou uma

maneira de se usar a topologia *current starved* como base para se produzir um oscilador com uma corrente de polarização menor - 20 nA contra 280 nA do *CSRO 1* - e frequência de oscilação maior - 2,20 MHz contra 318 kHz do *CSRO 1* - a partir de simulações. Não se coletaram medidas do circuito integrado fabricado até o momento.

Do oscilador em anel simples fabricado, esperava-se uma frequência de oscilação de aproximadamente 13 MHz - a partir dos resultados mostrados na Subseção 4.2.3. Deste, como apresentado na Seção 5.2, chegou-se em uma frequência de oscilação média de 11,5 MHz obtida das 13 amostras analisadas (cerca de 10% abaixo do simulado). Uma varredura da tensão de alimentação desse oscilador mostrou que ele pode se comportar como um *VCO* com uma grande faixa linear entre 3 MHz e 11,5 MHz, com variação de 170 kHz/10 mV.

Por fim, a linha de atrasos projetada e simulada na Seção 4.3 mostrou resultados próximos aos requisitos descritos na Seção 1.1, com erro máximo de atraso (desconsiderando-se variação do processo do resistor da fonte de corrente de referência) não ultrapassando 5%. O consumo médio ultrapassou a meta dos 100 nW em 35%. Algumas medidas que podem ser tomadas para redução do consumo envolvem a diminuição das dimensões dos transistores mais internos (de modo a se reduzir a capacitância de carga C_L) em conjunto com a redução do W dos transistores que controlam a corrente, para diminuí-la. Tais reduções nas dimensões, porém, podem implicar em maior variabilidade dos transistores devido às não idealidades do processo de fabricação.

O *layout* da linha de atrasos foi enviado para fabricação, com estimativa de chegada no primeiro semestre de 2018, quando resultados experimentais poderão ser obtidos a fim de se validar na prática o projeto proposto. A partir deles, podem ser feitos ajustes de modo a melhorar o desempenho desta linha de atrasos.

Trabalhos futuros

Inicialmente pretende-se medir o resultado de mais amostras dos osciladores já fabricados, de modo a se aumentar a população estatística.

Tem-se em mente também realizar um estudo um pouco mais aprofundado acerca do *CSRO 2* de modo a se compreender melhor o comportamento deste circuito, visto que neste trabalho ele foi apenas bre-

vemente descrito na Subseção 4.2.2. Também pretende-se melhorar o *layout*, adicionando *buffers dummy*, como mencionado.

Da linha de atrasos enviada para fabricação, deseja-se realizar medições de forma a validar o projeto desenvolvido com intuito de, caso necessário, realizar ajustes para se adequar aos critérios descritos na Seção 1.1. Ainda pode ser projetada uma melhor fonte de referência de modo a reduzir os erros por conta de variações no processo de fabricação.

Referências bibliográficas

- [1] T. Masuhara, “Quest for low-voltage and low-power integrated circuits: Towards a sustainable future,” *IEEE Solid-State Circuits Magazine*, vol. 5, no. 1, pp. 8–26, 2013.
- [2] H.-H. Chang, J.-W. Lin, C.-Y. Yang, and S.-I. Liu, “A wide-range delay-locked loop with a fixed latency of one clock cycle,” *IEEE journal of solid-state circuits*, vol. 37, no. 8, pp. 1021–1027, 2002.
- [3] T.-H. Lee and P. A. Abshire, “Frequency-boost jitter reduction for voltage-controlled ring oscillators,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 24, no. 10, pp. 3156–3168, 2016.
- [4] S. Suman, K. Sharma, and P. Ghosh, “Analysis and design of current starved ring vco,” in *Electrical, Electronics, and Optimization Techniques (ICEEOT), International Conference on*, pp. 3222–3227, IEEE, 2016.
- [5] A. D. Hossain, C. Ni, Q. Sharar, M. Hossain, *et al.*, “Time-domain arithmetic logic unit with built-in interconnect,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 10, pp. 2828–2841, 2017.

- [6] S. Al-Ahdab, A. Mäntyniemi, and J. Kostamovaara, “A 12-bit digital-to-time converter (dte) for time-to-digital converter (tdc) and other time domain signal processing applications,” in *NOR-CHIP, 2010*, pp. 1–4, IEEE, 2010.
- [7] B. I. Abdulrazzaq, I. A. Halin, S. Kawahito, R. M. Sidek, S. Shafie, and N. A. M. Yunus, “A review on high-resolution cmos delay lines: towards sub-picosecond jitter performance,” *SpringerPlus*, vol. 5, no. 1, p. 434, 2016.
- [8] N. R. Mahapatra, A. Tareen, and S. V. Garimella, “Comparison and analysis of delay elements,” in *Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium on*, vol. 2, pp. II–II, IEEE, 2002.
- [9] N. R. Mahapatra, S. V. Garimella, and A. Tareen, “An empirical and analytical comparison of delay elements and a new delay element design,” in *VLSI, 2000. Proceedings. IEEE Computer Society Workshop on*, pp. 81–86, IEEE, 2000.
- [10] S. Choi, S. Yoo, Y. Lim, and J. Choi, “A pvt-robust and low-jitter ring-vco-based injection-locked clock multiplier with a continuous frequency-tracking loop using a replica-delay cell and a dual-edge phase detector,” *IEEE Journal of Solid-State Circuits*, vol. 51, no. 8, pp. 1878–1889, 2016.
- [11] G. S. Jovanović and M. Stojčev, “Linear current starved delay element,” *Proc. of ICEST*, 2005.
- [12] C.-Y. Yu, C.-C. Chung, C.-J. Yu, and C.-Y. Lee, “A low-power dco using interlaced hysteresis delay cells,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 59, no. 10, pp. 673–677, 2012.
- [13] MOSIS, “Mosis integrated circuit fabrication service.” <http://www.mosis.com/>.
- [14] J. M. Rabaey, A. P. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits*. Pearson, 2 ed., 2003.
- [15] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*. Wiley-IEEE Press, 2 ed., 2004.

- [16] B. J. Mass, “Algumas considerações para o projeto de osciladores em anel monolíticos,” *Anais do II Simpósio Brasileiro de Microeletrônica, LME/UPUSP*, pp. 687—704, 1982.
- [17] M. C. Schneider and C. Galup-Montoro, *CMOS analog design using all-region MOSFET modeling*. Cambridge University Press, 2010.
- [18] N. H. E. Weste and D. M. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*. Pearson Education India, 3 ed., 2005.
- [19] H. W. Ott, *Noise reduction techniques in electronic systems*. A Wiley-Interscience Publication, John Wiley & Sons Canada, Limited, 1976.
- [20] G. Kim, M.-K. Kim, B.-S. Chang, and W. Kim, “A low-voltage, low-power cmos delay element,” *IEEE Journal of Solid-State Circuits*, vol. 31, no. 7, pp. 966–971, 1996.

