

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

Julio Cesar Dias

**FAMÍLIA DE RETIFICADORES *BOOST*
UNIDIRECIONAIS HÍBRIDOS MONOFÁSICOS COM
CÉLULA DE CAPACITOR CHAVEADO**

Florianópolis

2017

Julio Cesar Dias

**FAMÍLIA DE RETIFICADORES *BOOST*
UNIDIRECIONAIS HÍBRIDOS MONOFÁSICOS COM
CÉLULA DE CAPACITOR CHAVEADO**

Dissertação submetida ao Programa
de Pós-graduação em Engenharia Elétrica
da Universidade Federal de Santa Ca-
tarina para a obtenção do Grau de
Mestre em Engenharia Elétrica.
Orientador
Prof. Telles Brunelli Lazzarin, Dr.

Florianópolis

2017

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Dias, Julio Cesar

Família de retificadores boost unidirecionais
híbridos monofásicos com célula de capacitor
chaveado / Julio Cesar Dias ; orientador, Telles
Brunelli Lazzarin - SC, 2017.

136 p.

Dissertação (mestrado) - Universidade Federal de
Santa Catarina, , Programa de Pós-Graduação em ,
Florianópolis, 2017.

Inclui referências.

1. . 2. Alto ganho em tensão. 3. Capacitor
Chaveado. 4. Conversor boost híbrido. 5. Correção de
fator de potência. I. Lazzarin, Telles Brunelli.
II. Universidade Federal de Santa Catarina.
Programa de Pós-Graduação em . III. Título.

Julio Cesar Dias

**FAMÍLIA DE RETIFICADORES *BOOST*
UNIDIRECIONAIS HÍBRIDOS MONOFÁSICOS COM
CÉLULA DE CAPACITOR CHAVEADO**

Esta Dissertação foi julgada aprovada para a obtenção do Título de “Mestre em Engenharia Elétrica”, e aprovada em sua forma final pelo Programa de Pós-graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.

Florianópolis, 31 de março 2017.

Prof. Marcelo Lobo Heldwein, Dr.
Coordenador

Prof. Telles Brunelli Lazzarin, Dr.
Orientador

Banca Examinadora:

Prof. Romeu Hausmann, Dr.
Universidade Regional de Blumenau

Prof. Roberto Francisco Coelho, Dr.

Prof. Gerri Waltrich, Dr.

À minha família, que me apoiou durante todo o processo de desenvolvimento acadêmico e pessoal.

AGRADECIMENTOS

Agradeço ao professor Telles Brunelli Lazzarin por sua orientação, dedicação e disponibilidade, que foram essenciais para o aprendizado obtido durante o desenvolvimento da dissertação.

Aos professores da banca examinadora Romeu Hausmann, Roberto Francisco Coelho e Gierri Waltrich por suas contribuições que ajudaram a aprimorar este trabalho.

Ao professor Samir Ahmad Mussa por sua disposição para apresentar parte das contribuições do trabalho no IECON 2016.

Aos professores Romeu Hausmann e Luiz Alberto Koehler da FURB, que me apoiaram durante a graduação e me ajudaram a entrar no programa de pós-graduação da UFSC.

A todos os colegas do INEP pelas conversas e conhecimentos compartilhados.

Aos técnicos do INEP Luiz M. Coelho e Antônio L. S. Pacheco pelas dicas valiosas durante a montagem dos protótipos e aos demais funcionários do INEP pela competência e profissionalismo com que atuam.

E aos meus pais Nilton Jaques e Lourdes Jaques, a meus irmãos Renato J. Jaques e Carlos R. Jaques e a todos os demais familiares por todo o apoio durante o mestrado.

O óbvio pode ser iluminador quando percebido de modo incomum.

Daniel Quinn

RESUMO

Este trabalho propõe uma família de retificadores *boost* unidirecionais com alto ganho, esforços de tensão reduzidos nos interruptores e correção de fator de potência. Os conversores propostos baseiam-se na integração entre retificadores *boost* convencionais e uma célula multiplicadora de tensão tipo *ladder* a capacitor chaveado. O alto ganho em tensão com esforços de tensão reduzidos sobre os interruptores permite o uso de interruptores mais rápidos e de menor custo. Além disto, a célula de capacitor chaveado é modular e permite cascadeamento de seus módulos para aumentar o ganho, e isto permite generalizar o ganho das estruturas em função do número de células usadas. O retificador *boost* híbrido é apresentado com o indutor no lado CA e, ao alterar a célula de comutação do retificador híbrido, duas novas estruturas *bridgeless* são geradas. As estruturas propostas podem utilizar as estratégias de controle clássico dos retificadores *boost* convencionais para obter fator de potência próximo à unidade e tensão de saída controlada. A divisão de tensão na célula de capacitor chaveado ocorre naturalmente e, desta forma, não são necessárias estratégias extras de modulação ou malhas adicionais de controle para tal. Além disto, a tensão nos interruptores é igual à tensão sobre os capacitores, que é uma fração da tensão de saída em função do número de células cascadeadas. O trabalho apresenta as análises estática e dinâmica, tanto da célula de capacitor chaveado, quanto das estruturas. A análise da célula individual é usada para o seu dimensionamento, estimação das perdas e para verificar a influência dinâmica da célula no sistema. Por fim, é proposto um modelo dinâmico de ordem reduzida (segunda ordem) da estruturas originais de quarta ordem. Serão apresentadas validações por simulação e experimental das estruturas propostas para a seguinte especificação: 1 kW, 220 V CA de entrada e 800 V CC de saída e frequência de comutação de 100 kHz. Valores de rendimento em torno de 97 % foram obtidos nas estruturas *bridgeless*.

Palavras-chave: Alto ganho em tensão. Capacitor chaveado. Conversor *boost* híbrido. Correção de fator de potência. Retificadores unidirecionais.

ABSTRACT

This work proposes a family of bridgeless boost unidirectional rectifiers with high voltage gain, reduced voltage stress on the switches and power factor correction. The proposed converters are based in the integration between the conventional boost rectifier and a ladder switched capacitor voltage multiplier cell. The high voltage gain with reduced voltage stress on the components makes it possible to use faster and low-cost components. Also, the switched capacitor cells are modular and their modules can be stacked to increase the gain, and this allows the generalization of the structures' gain in function of the number of stacked cells. The hybrid boost rectifier is presented with the inductor at the AC side and, by modifying the switching cell of the hybrid rectifier, two novel bridgeless structures are generated. The proposed structures may be controlled by the conventional boost rectifiers classic control strategy in order to obtain near unit power factor and regulated output voltage. The voltage self-balance in the switched capacitor cell occurs naturally, therefore no extra modulation technique or additional control loops are necessary. Also, the voltage stress on the switches is the voltage on the capacitors, which is a fraction of the output voltage in function of the number of stacked cells. The work presents the steady state and dynamic analysis of the structures and the switched capacitor cell. The individual analysis of the switched capacitor cell is used for its design, power loss estimation and to verify the dynamic influence of the switched capacitor cell in the entire system. Finally, a reduced order (second order) model of the fourth order original structures. Theoretical analysis, simulation and experimental validations of the proposed structures will be presented for the following specifications: 1 kW, 220 V AC input, 800 V DC output and 100 kHz switching frequency. Near 97 % efficiency values were obtained in the bridgeless structures

Keywords: High voltage gain. Switched capacitor. Hybrid boost converter. Power factor correction. Unidirectional rectifiers.

LISTA DE FIGURAS

Figura 1	Retificador a ponte de diodos.	31
Figura 2	Retificador <i>Boost</i> convencional.	32
Figura 3	Ganho estático do conversor <i>boost</i>	33
Figura 4	Retificador <i>boost</i> quadrático [1].	34
Figura 5	Retificador <i>boost</i> dobrador de tensão [2].	35
Figura 6	Retificador NPC [3].	35
Figura 7	Conversor <i>boost</i> com células de capacitor flutuante [4]. .	36
Figura 8	Retificador <i>boost</i> com célula Cockcroft-Walton [19].	37
Figura 9	Retificador <i>boost</i> híbrido.	37
Figura 10	Estruturas <i>bridgeless</i> propostas: (a) HBBR-2S e (b) HBBR-4S.	38
Figura 11	Célula de capacitor chaveado com ganho unitário.	44
Figura 12	Etapas de operação da célula de ganho unitário.	44
Figura 13	Modos de carga da célula de capacitor chaveado.	45
Figura 14	Célula <i>ladder</i>	46
Figura 15	Conversor <i>boost</i> híbrido.	47
Figura 16	Célula <i>ladder</i> para estruturas híbridas.	47
Figura 17	Circuito equivalente da célula de capacitor chaveado. .	48
Figura 18	Estados topológicos da célula <i>ladder</i> : (a) armazenamento de energia, (b) transferência de energia.	48
Figura 19	Ganho e resistência equivalente em função da razão cíclica D	53
Figura 20	Resistência equivalente em função da frequência de comutação f_s	54
Figura 21	Resistência equivalente em função da Capacitância C_{sw}	54
Figura 22	Modelo equivalente da célula de capacitor chaveado , baseado em autotransformador.	55
Figura 23	Conversor <i>boost</i> híbrido generalizado.	57
Figura 24	Etapas de operação do conversor <i>boost</i> híbrido: (a) interruptor S conduzindo; (b) interruptor S bloqueando.	58
Figura 25	Formas de onda do conversor <i>boost</i> híbrido.	59
Figura 26	Circuito equivalente do conversor <i>boost</i> híbrido.	60
Figura 27	Estados topológicos do circuito equivalente: (a) primeira	

etapa, (b) segunda etapa.	61
Figura 28 Curvas de ganho estático do conversor <i>boost</i> híbrido....	62
Figura 29 Diagrama de blocos do sistema em malha fechada.	64
Figura 30 Diagrama de blocos da malha de corrente.	64
Figura 31 Circuito equivalente do conversor híbrido.....	64
Figura 32 Circuito para a simulação do conversor CC-CC <i>boost</i> híbrido.	66
Figura 33 Validação da curva de ganho estático por simulação....	67
Figura 34 Validação da planta de corrente.	68
Figura 35 Principais formas de onda dos retificadores <i>boost</i> híbridos. 69	
Figura 36 Etapas de operação no semiciclo positivo da rede (a) HBR - S conduz, (b) HBR - S bloqueia, (c) HBBR-2S - S_1 e S_2 conduzem, (d) HBR-2S - S_1 e S_2 bloqueiam, (e) HBBR-4S - S_1 , S_2 , S_3 e S_4 conduzem, (f) HBR-2S - S_1 , S_2 , S_3 e S_4 bloqueiam.	71
Figura 37 Etapas de operação no semiciclo negativo da rede (a) HBR - S conduz, (b) HBR - S bloqueia, (c) HBBR-2S - S_1 e S_2 conduzem, (d) HBR-2S - S_1 e S_2 bloqueiam, (e) HBBR-4S - S_1 , S_2 , S_3 e S_4 conduzem, (f) HBR-2S - S_1 , S_2 , S_3 e S_4 bloqueiam.	72
Figura 38 (a) Razão cíclica em função de α e ωt ; (b) razão cíclica em função de ωt	73
Figura 39 Ondulação de corrente parametrizada em função de α e ωt	75
Figura 40 Ondulação de corrente parametrizada em função da razão cíclica de D	76
Figura 41 Circuito equivalente da saída do conversor.	77
Figura 42 Circuito utilizado para a simulação do retificador.	80
Figura 43 Comportamento dinâmico da tensão de saída.	81
Figura 44 Diagrama dos circuitos simulados (a) HBR; (b) HBBR-2S; (c) HBBR-4S.	88
Figura 45 Ondulação de corrente em alta frequência.	89
Figura 46 Ondulação de tensão na saída.	89
Figura 47 Corrente nos diodos da célula de capacitor chaveado. ...	90
Figura 48 Corrente no capacitor C_{sw} no período da rede.	91
Figura 49 Corrente na célula de comutação da topologia HBR. ...	91
Figura 50 Corrente na célula de comutação da topologia HBBR-2S. 92	
Figura 51 Corrente na célula de comutação da topologia HBBR-4S. 93	
Figura 52 Resistência equivalente em função da capacitância C_{sw} . 94	

Figura 53 Ondulação de corrente no capacitor C_{sw}	94
Figura 54 Protótipos montados: (a) HBR, (b) HBBR-2S e (c) HBBR-4S.	99
Figura 55 Operação em carga nominal: (a) HBR, (b) HBBR-2S e (c) HBBR-4S.	100
Figura 56 Resposta ao degrau de carga: (a) HBR, (b) HBBR-2S e (c) HBBR-4S.	101
Figura 57 Corrente no capacitor C_{sw} : (a) HBR - período de comutação, (a) HBR - período da rede, (c) HBBR-2S - período de comutação, (d) HBBR-2S - período da rede, (e) HBBR-4S - período de comutação, (f) HBBR-4S - período da rede,	102
Figura 58 Equilíbrio de tensão nos capacitores: (a) HBR, (b) HBBR-2S e (c) HBBR-4S.	103
Figura 59 Tensão nos interruptores no período de comutação: (a) saída e diodos D_1 e D_2 , (b) diodo D_3 e MOSFET S	104
Figura 60 Tensão nos interruptores no período da rede: (a) diodos D_1 e D_2 , (b) diodo D_3 e MOSFET S e V_o	105
Figura 61 Tensão nos diodos D_1 , D_2 e D_3 no período da rede: (a) HBBR-2S, (b) HBBR-4S.	106
Figura 62 Tensão na célula de comutação da estrutura HBBR-2S: (a) S_1 e S_2 , (b) S_2 e D_{b3}	107
Figura 63 Tensão na célula de comutação da estrutura HBBR-4S: (a) S_1 e S_2 , (b) S_1 e S_4	108
Figura 64 Curvas de rendimento das estruturas.	109
Figura 65 Curvas de fator de potência.	110
Figura 66 Espectro harmônico de corrente.	110

LISTA DE TABELAS

Tabela 1	Especificações do conversor CC-CC <i>boost</i> híbrido simulado.....	67
Tabela 2	Especificações da simulação para resposta dinâmica da tensão de saída.....	81
Tabela 3	Especificações dos protótipos.....	96
Tabela 4	Comparação entre topologias.....	111

LISTA DE ABREVIATURAS E SIGLAS

IEC	Comissão eletrotécnica internacional (<i>international electrotechnical commission</i>)	31
PWM	Modulação por largura de pulso(<i>pulse width modulation</i>)	31
UPS	Fonte de alimentação ininterrupta (<i>uninterrupt power supply</i>)	32
NPC	Ponto neutro grampeado (<i>neutral point clamped</i>)	34
SEPIC	Conversor com indutância simples no primário(<i>Single-ended primary inductance converter</i>)	36
CC	Corrente contínua	37
HBR	Retificador <i>boost</i> híbrido (<i>Hybrid boost rectifier</i>)	37
HBBR-2S	Retificador <i>boost</i> híbrido <i>bridgeless</i> com 2 interruptores (<i>hybrid bridgeless boost rectifier - 2 switches</i>)	38
EMI	Interferência eletromagnética (<i>electromagnetic interference</i>)	38
CT	Carga total	45
CP	Carga parcial	45
SC	Sem carga	45
CA	Corrente alternada	55
SiC	Carbeto de silício	92
DSP	Processador digital de sinais (<i>digital signal processor</i>) . .	93
PI	Proporcional integral	93
MF	Margem de fase	93
BDR	Retificador <i>boost</i> dobrador (<i>boost doubler rectifier</i>)	111
CW	Cockcroft-Walton	111

LISTA DE SÍMBOLOS

V_o	Tensão de saída	32
V_i	Tensão de entrada.....	32
D	Razão cíclica	32
$V_{o_{bni}}$	Tensão de saída do conversor <i>boost</i> convencional não ideal .	33
R_o	Resistência da carga	33
V_D	Tensão direta dos diodos	33
D'	Razão do tempo em que o interruptor é comandado a bloquear e período de comutação.....	33
R_s	Resistência de condução do interruptor	33
R_L	Resistência parasita do indutor	33
C_x	Capacitor x , $x = o1, o2, sw$	44
C_o	Capacitor de saída	44
S_x	Interruptor x , $x = 1, 2, 3, 4$	44
v_{C_x}	Tensão no capacitor x , $x = o1, o2, sw$	49
D_x	Diodo x da célula de capacitor chaveado, $x = 1, 2, 3$	49
A	Matriz de estado	49
B	Matriz de entrada	49
E, F	Matrizes de saída.....	49
x	Vetor de variáveis estado	49
\dot{x}	Vetor de derivada das variáveis estado	49
u	Vetor de variáveis de entrada.....	49
y	Vetor de saída.....	49
R_{C_x}	Resistência série equivalente do capacitor x , $x = o, sw$	49
I_{eq}	Corrente de saída do circuito equivalente	50
T_s	Período de comutação.....	50
f_s	Frequência de comutação.....	50
Δv_{C_x}	Variação de tensão no capacitor x , $x = o1, o2, sw$	50
v_a	Tensão instantânea no capacitor C_{sw} no instante que o interruptor é comandado a conduzir	51
v_b	Tensão instantânea no capacitor C_{sw} no instante que o interruptor é comandado a bloquear	51
t	Tempo	51

i_{Cx}	Corrente no capacitor x , $x = o1, o2, sw$	51
R_{eq}	Resistência equivalente da célula de capacitor chaveado	52
R'_{eq}	Resistência equivalente da célula de capacitor chaveado no circuito equivalente com autotransformador	55
f_g	Frequência da rede	58
N	Número de células de capacitor chaveado cascadeadas	59
v'_x	Tensão sobre o componente x na primeira etapa de operação	61
v''_x	Tensão sobre o componente x na segunda etapa de operação	61
Δi_L	Ondulação de corrente no indutor L	63
I_L	Corrente média no indutor L	65
\hat{i}_L	Componente de pequeno sinal da corrente no indutor L	65
$G_i(s)$	Função de transferência da corrente de entrada em função da razão cíclica	65
D_{bx}	Diodo da ponte retificadora	70
V_p	Tensão de pico de entrada	73
α	relação entre tensão de pico de entrada e tensão de saída ..	73
ω	Frequência angular	73
$\overline{\Delta i_L}$	Ondulação de corrente parametrizada no indutor L	74
D_{min}	Razão cíclica mínima mínima para determinado valor de α	75
I_p	Corrente de pico de entrada	76
P_o	Potência de saída	76
C'_o	Capacitância equivalente da associação série dos capacitores de saída	77
$I_{C_{pp}}$	Amplitude pico a pico da ondulação de corrente no capacitor C'_o	77
i_x	Soma das correntes no capacitor e carga do circuito equiva- lente da saída do retificador	77
$G_v(s)$	Função de transferência da tensão de saída em função da amplitude de corrente de entrada	79
\hat{i}_{Lp}	Componente de pequeno sinal da amplitude da corrente no indutor I_{Lp}	79
I_o	Corrente de saída	82
i'_{Dx}	Corrente no diodo x na primeira etapa de operação	82
i''_{Dx}	Corrente no diodo x na segunda etapa de operação	82
i'_{Dbx}	Corrente no diodo D_{bx} na primeira etapa de operação no primeiro semiciclo da rede	83

$i''_{D_{bx}}$	Corrente no diodo D_{bx} na segunda etapa de operação no primeiro semiciclo da rede	83
$i'_{s_{1,4}}$	corrente nos interruptores S_1 e S_4 na primeira etapa de operação no primeiro semiciclo da rede elétrica	83
$I_{S_{1-4e}}$	Corrente eficaz nos interruptores S_1 ao S_4	84
$I_{D_{b1-4}}$	Corrente média nos diodos D_{b1} ao D_{b4}	84
ω_c	Frequência de cruzamento	93
C_i	Controlador de corrente	94
k_{ci}	Ganho estático do controlador de corrente	94
ω_{zi}	Zero do compensador de corrente	94
C_v	Controlador de corrente	95
k_{cv}	Ganho estático do controlador de tensão	95
ω_{zv}	Zero do compensador de tensão	95
ω_{pv}	Polo do filtro do compensador de tensão	95

SUMÁRIO

1 CONTEXTUALIZAÇÃO E REVISÃO BIBLIOGRÁFICA	31
1.1 CONTEXTUALIZAÇÃO	31
1.2 REVISÃO BIBLIOGRÁFICA DAS TOPOLOGIAS DE RE- TIFICADORES DE ALTO GANHO	33
1.3 TOPOLOGIAS PROPOSTAS	37
1.4 OBJETIVOS	39
1.5 ESTRUTURA DO TRABALHO	39
1.6 PUBLICAÇÕES	40
2 CAPACITOR CHAVEADO	43
2.1 INTRODUÇÃO	43
2.2 PRINCÍPIO DE FUNCIONAMENTO	44
2.3 MODOS DE CARGA	45
2.4 CÉLULA <i>LADDER</i>	46
2.5 DIMENSIONAMENTO DE C_{SW}	47
2.6 CONCLUSÃO	55
3 CONVERSOR <i>BOOST</i> HÍBRIDO	57
3.1 INTRODUÇÃO	57
3.2 ETAPAS DE OPERAÇÃO	58
3.3 GANHO ESTÁTICO	59
3.4 ONDULAÇÃO DE CORRENTE DE ENTRADA	63
3.5 MODELO DINÂMICO DE CORRENTE	63
3.6 SIMULAÇÕES	66
3.7 CONCLUSÃO	68
4 RETIFICADORES <i>BOOST</i> HÍBRIDOS	69
4.1 INTRODUÇÃO	69
4.2 ETAPAS DE OPERAÇÃO	70
4.3 GANHO ESTÁTICO NA FREQUÊNCIA DA REDE	73
4.4 INDUTOR DE ENTRADA	74
4.5 CAPACITORES DE SAÍDA	76
4.6 MODELO DINÂMICO DA TENSÃO DE SAÍDA	78
4.6.1 Simulação do modelo dinâmico de tensão de saída ..	79
4.7 ESFORÇOS DO CONVERSOR	82
4.8 CONCLUSÃO	84
5 PROJETO E VERIFICAÇÃO EXPERIMENTAL	87
5.1 DIMENSIONAMENTO DOS COMPONENTES E SIMULAÇÃO	87
5.2 VERIFICAÇÃO EXPERIMENTAL	95
5.3 ANÁLISE DE POTÊNCIA	109

5.4	COMPARAÇÃO COM OUTRAS SOLUÇÕES	110
5.5	CONCLUSÃO	111
6	CONCLUSÕES GERAIS	113
6.1	TRABALHOS FUTUROS	115
	REFERÊNCIAS	117
	APÊNDICE A – Modelagem matemática por espaço de estados.....	123
	APÊNDICE B – Diagramas esquemáticos.....	127
	APÊNDICE C – Projeto do indutor	135

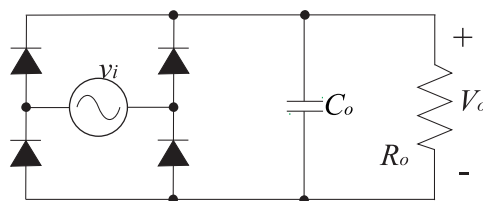
1 CONTEXTUALIZAÇÃO E REVISÃO BIBLIOGRÁFICA

1.1 CONTEXTUALIZAÇÃO

Conversores estáticos são circuitos necessários para o processamento da energia proveniente de uma fonte com determinada especificação para atender uma carga com outra especificação. Para alimentar uma carga que necessite de tensão contínua a partir de uma fonte de natureza alternada, como a rede comercial ou aerogeradores, utilizam-se circuitos retificadores (também denominados de conversores CA-CC).

Dentro da família dos retificadores monofásicos, os mais comuns são os retificadores de onda completa a diodo, mostrado na Figura 1, devido à sua simplicidade e robustez. Todavia, essas estruturas apresentam baixo fator de potência, pois os diodos somente conduzem corrente nos momentos em que a tensão instantânea do capacitor de saída é menor do que a tensão instantânea da rede. Esta característica resulta em picos elevados de corrente na entrada do retificador e baixo fator de potência devido à distorção harmônica na corrente da fonte de entrada.

Figura 1 – Retificador a ponte de diodos.



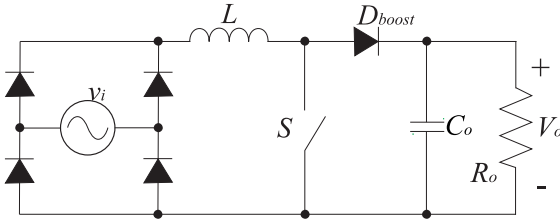
A comissão eletrotécnica internacional (IEC) estabelece normas referentes à compatibilidade eletromagnética e, entre elas, as normas IEC 61000-3-2 e 61000-3-4 apresentam limites para harmônicos de corrente impostos por equipamentos conectados na rede elétrica, como retificadores monofásicos.

A redução de componentes harmônicas de baixa frequência pode ser feita através de filtros passivos, que são muito robustos, porém apresentam peso e volume elevados. Outra alternativa é utilizar estruturas de conversores controlados por modulação por largura de pulso (PWM). Estes apresentam conteúdo harmônico reduzido em baixa frequência.

Os conversores PWM também produzem harmônicos, porém em alta frequência, o que pode ser atenuado com filtros menos volumosos.

A estrutura mais comum de retificadores PWM para a correção de fator de potência é o retificador *boost*, formado por um conversor *boost* convencional e uma ponte de diodos, apresentado na Figura 2. O conversor *boost* tem a vantagem de possuir um indutor de entrada (entrada em corrente), que filtra as componentes harmônicas de alta frequência e facilita o controle da corrente de entrada. Isto permite obter uma corrente com envoltória senoidal em fase com a tensão da fonte de entrada. Entretanto, esta estrutura necessita de controle para funcionar adequadamente.

Figura 2 – Retificador *Boost* convencional.



A topologia *boost* apresenta característica elevadora de tensão e seu ganho estático em tensão é dado por

$$\frac{V_o}{v_i} = \frac{1}{1 - D} \quad (1.1)$$

em que V_o é a tensão de saída, v_i a tensão de entrada e D a razão cíclica do conversor.

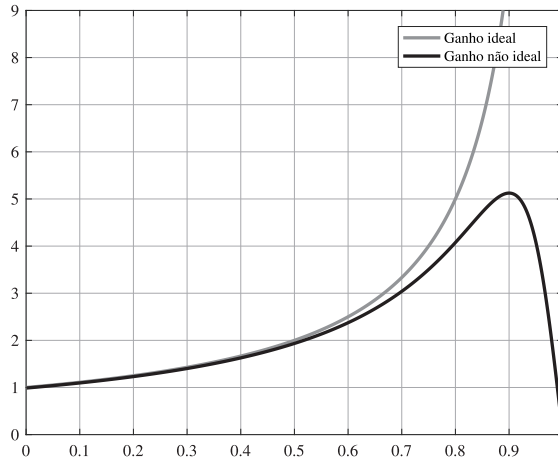
Para determinadas aplicações, como tração metroviária, aerogeração, precipitadores eletrostáticos, sistemas de UPS (fonte de alimentação ininterrupta), testes de isolamento, entre outras, necessita-se de ganho em tensão elevado [5, 6]. Para tais aplicações, o conversor *boost* convencional deixa de ser viável por limitações no ganho estático causadas por elementos parasitas [7]. Ao considerar elementos parasitas, como a resistência do indutor R_L , do interruptor R_s e a queda de tensão direta no diodo V_D , o ganho estático altera-se e a tensão de saída passa a ser dada por

$$V_{obni} = \frac{R_o \cdot D' \cdot (v_i - V_D \cdot D')}{R_L + D \cdot R_s + R_o \cdot D'^2} \quad (1.2)$$

em que R_o é a resistência de carga na saída do conversor e $D' = 1 - D$.

Ao traçar as curvas de ganho ideal e considerando-se os elementos parasitas, observa-se as limitações de ganho estático do conversor *boost* convencional, como mostra a Figura 3.

Figura 3 – Ganho estático do conversor *boost*.



Outros problemas relacionados ao alto ganho em tensão são os esforços de tensão, pois são iguais à tensão de saída do *boost*, e a controlabilidade, haja vista que o ganho elevado implica em uma margem menor de variação da razão cíclica.

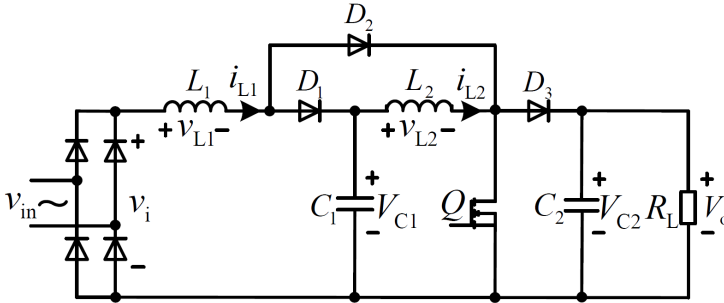
Alternativas não isoladas para contornar problemas causados pelo alto ganho são discutidas a seguir, estando baseadas no cascataamento de conversores elevadores ou variações topológicas do conversor *boost*.

1.2 REVISÃO BIBLIOGRÁFICA DAS TOPOLOGIAS DE RETIFICADORES DE ALTO GANHO

Diversas variações do conversor *boost* foram propostas na literatura para aumentar o ganho da estrutura. Uma solução comum na literatura é o conversor *boost* quadrático, mostrado na Figura 4 [1]. Como o nome já diz, o ganho estático dessa estrutura é o quadrado do

ganho estático do conversor *boost* convencional.

Figura 4 – Retificador *boost* quadrático [1].

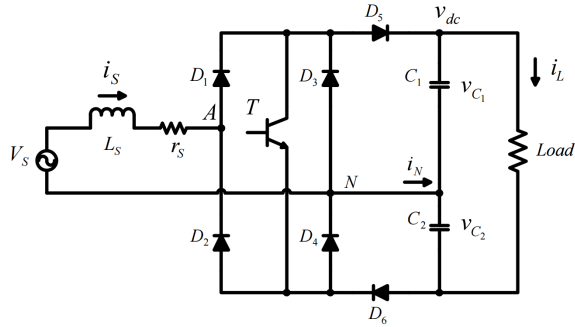


A estrutura *boost* quadrático é derivada do cascadeamento de dois conversores *boost* convencionais. Além disto, ela pode ser cascadeada em mais níveis, assim podendo elevar o ganho estático ao cubo ou potências maiores sem aumentar o número de interruptores controlados [8]. Entretanto, a estrutura apresenta desvantagens como o número de componentes, a característica dinâmica de ordem elevada, causada pela quantidade de componentes armazenadores de energia e os esforços de tensão nos componentes.

Outra forma de elevar o ganho estático é utilizar conversores *boost* dobradores de tensão a três níveis, alguns deles baseados na derivação monofásica do retificador Vienna [9]. Estes retificadores possuem modelos dinâmicos com ordem reduzida em relação ao *boost* quadrático, porém seu ganho geralmente não pode ser expandido em mais níveis. Os valores de capacitância na saída também são maiores por estarem em série e por operarem como dois retificadores de meia onda com saídas em série. Portanto, a ondulação de tensão em baixa frequência da tensão de saída é na frequência da rede e não o dobro, como em retificadores de onda completa. A topologia básica do conversor *boost* dobrador é mostrada na Figura 5. Além da topologia básica, existem diversas derivações *bridgeless* do conversor dobrador de tensão [2, 10–12].

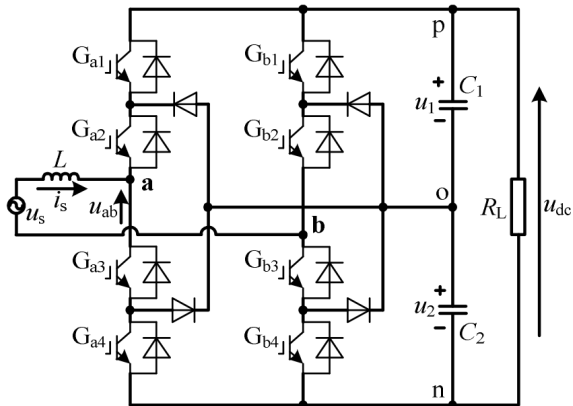
Algumas estruturas de retificadores também se baseiam em estruturas multiníveis, como o retificador NPC (*neutral point clamped*), apresentado na Figura 6, que possui características similares ao *boost* dobrador [3]. Esta estrutura apresenta redução do conteúdo harmônico de ordem elevada na corrente de entrada devido à sua modulação. Entretanto, seu controle é mais complexo, pois necessita de uma malha

Figura 5 – Retificador *boost* dobrador de tensão [2].



para o equilíbrio da tensão nos capacitores de saída.

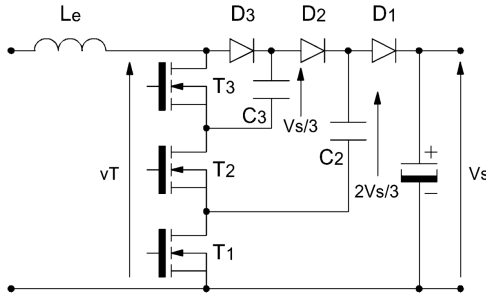
Figura 6 – Retificador NPC [3].



Entre as topologias multiníveis, também se destacam os conversores *boost* a capacitor flutuante, ilustrado na Figura 7. A estrutura divide os esforços de tensão e pode ser expandida em mais níveis, porém tem como desvantagem o equilíbrio de tensão nos capacitores flutuantes, que deve ser controlado através de modulação. O controle inadequado dos conversores a capacitor flutuante pode comprometer a robustez do conversor, pois o desequilíbrio de tensão dos capacitores tem como consequência esforços de tensão elevados sobre os interruptores [4, 13].

Uma alternativa de retificadores de alto ganho que recentemente

Figura 7 – Conversor *boost* com células de capacitor flutuante [4].

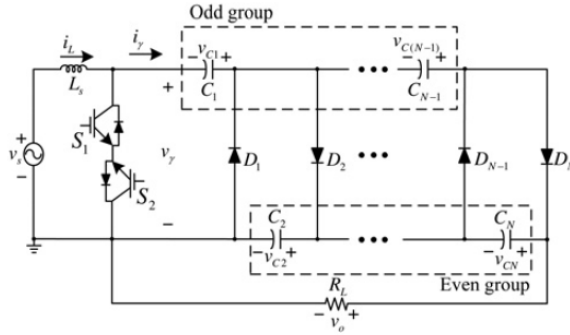


tem recebido destaque na literatura é a utilização de circuitos híbridos a capacitor chaveado, que foi a alternativa escolhida para este trabalho. Conversores híbridos associam as características de regulação de corrente de retificadores *boost* convencionais às características das células de capacitor chaveado, que multiplicam o ganho por valores inteiros. Isto possibilita a expansão do ganho através de cascadeamento de células e divide os esforços de tensão nos componentes ativos e passivos, dependendo da topologia escolhida [14, 15].

Existem trabalhos na literatura que abordam o uso de células de capacitor chaveado para alto ganho. Em [16], foi apresentada uma família de retificadores três níveis que integra a célula de capacitor tipo *ladder* ao conversor *boost*. Por se tratar de topologias três níveis, o conversor tem como desvantagem a componente de baixa frequência nos capacitores de saída. Também baseado na célula *ladder*, [17] apresenta a sua integração ao retificador SEPIC, que em modo de condução descontínuo não exige malha de controle de corrente, nem filtros adicionais no estágio de entrada. A estrutura possui como desvantagem a quantidade de componentes e a tensão elevada no capacitor intermediário.

Outros trabalhos na literatura propõem a integração do conversor Cockcroft-Walton a outras estruturas, como [18], que utiliza uma estrutura matricial no estágio entrada, ou [19], que só necessita de um interruptor bidirecional no estágio entrada e não possui ponte retificadora, como mostra a Figura 8. A desvantagem da célula Cockcroft-Walton em relação à *ladder* é a necessidade de um diodo e um capacitor adicionais, o que pode elevar o custo do conversor e reduzir o rendimento.

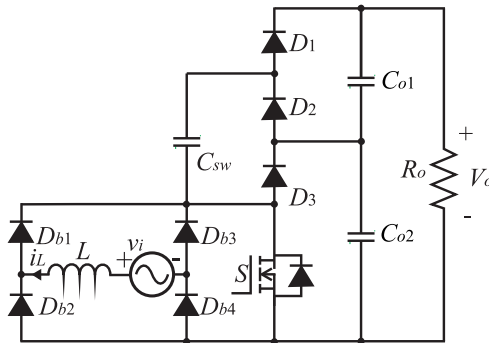
Figura 8 – Retificador *boost* com célula Cockcroft-Walton [19].



1.3 TOPOLOGIAS PROPOSTAS

Neste trabalho serão estudadas três topologias derivadas do retificador *boost* híbrido com célula de capacitor chaveado tipo *ladder*. A primeira é o retificador *boost* híbrido proposto por [7] e ilustrado na Figura 9, que se baseia na estrutura CC-CC multinível proposta por [20]. O trabalho [7] utilizou o indutor no lado CC da ponte, enquanto neste trabalho a topologia é estudada com o indutor no lado CA. A estrutura retificadora será descrita de forma detalhada no desenvolvimento deste trabalho. Esta estrutura será referenciada como HBR (retificador *boost* híbrido).

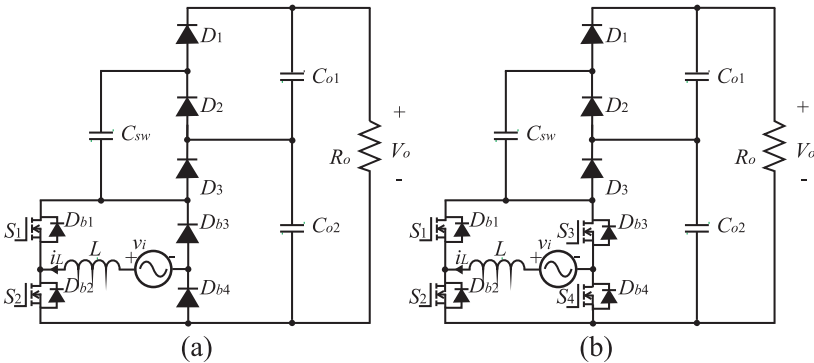
Figura 9 – Retificador *boost* híbrido.



Duas topologias *bridgeless* novas foram derivadas do retificador

híbrido, e elas são apresentadas na Figura 10. Estas serão referenciadas como HBBR-2S e HBBR-4S (retificador *boost bridgeless* híbrido com 2 e 4 interruptores). Estas topologias são obtidas ao alterar a célula de comutação da estrutura, o que tem como consequência a redução do número de interruptores, a manutenção de sua característica unidirecional e obtenção de rendimentos melhores devido à quantidade reduzida de componentes. As células de comutação unidirecionais das estruturas a ser estudadas utilizam um único comando para todos os interruptores e descartam a possibilidade de dano ao conversor devido à ocorrência de um curto-circuito de braço. Devido a esta unidirecionalidade, não há necessidade de identificar o semiciclo da rede para controlar a estrutura.

Figura 10 – Estruturas *bridgeless* propostas: (a) HBBR-2S e (b) HBBR-4S.



A integração do conversor *boost* com a célula de capacitor chaveado tipo *ladder* possibilita o cascadeamento de mais células de capacitor chaveado com o objetivo de expandir o ganho do conversor. Isto não compromete os esforços de tensão nos componentes, sendo que a tensão de saída é dividida igualmente (idealmente) entre os capacitores. As células de capacitor chaveado tem característica de equilíbrio natural das tensões se corretamente dimensionadas. Outra vantagem é o alto ganho sem o uso de componente indutivos adicionais, o que reduz a emissão de EMI (interferência eletromagnética), portanto reduz a necessidade de circuitos *snubbers* nos interruptores [21].

É importante que a célula de capacitor chaveado seja corretamente dimensionada, pois o dimensionamento inadequado pode levar a elevada ondulação de corrente durante a carga e descarga dos capa-

citores e, por consequência, causar perdas elevadas nos interruptores devido aos valores eficazes [22]. Uma célula mal dimensionada também resulta na transferência inadequada de energia entre os capacitores, o que ocasiona a queda de tensão nos capacitores.

Este trabalho apresenta a análise teórica das estruturas propostas. O trabalho também propõe uma metodologia de dimensionamento da célula *ladder*, que se baseia no modelo de resistência equivalente proposto por [22]. Baseado nesta análise, será proposta uma metodologia de dimensionamento do circuito equivalente proposto por [23], que possibilita a obtenção de um modelo dinâmico de ordem reduzida das estruturas estudadas.

1.4 OBJETIVOS

O objetivo geral deste trabalho é propor uma família de topologias de retificadores monofásicos unidirecionais de alto ganho com esforços de tensão reduzidos nos componentes.

Os objetivos específicos deste trabalho são:

- Pesquisar publicações referentes ao tema;
- Estudo teórico de técnicas de dimensionamento para células de capacitor chaveado;
- Análise teórica do conversor *boost* híbrido;
- Análises estática e dinâmica das estruturas propostas;
- Verificação por simulação;
- Confecção de protótipos para verificação experimental;
- Análise dos resultados experimentais obtidos;
- Comparação entre as topologias propostas e demais topologias previamente apresentadas na literatura.

1.5 ESTRUTURA DO TRABALHO

Este trabalho é estruturado em seis capítulos. O primeiro apresenta a motivação, revisão bibliográfica e a proposta do trabalho.

O segundo capítulo apresenta o conceito de capacitor chaveado, princípio de operação de células de capacitor chaveado, topologias existentes na literatura e a análise estática da célula tipo *ladder*, que será usada para dimensionamento de componentes e levantamento de modelos dinâmicos.

O terceiro capítulo mostra o princípio de operação, análises estática e dinâmica e dimensionamento dos componentes passivos do conversor *boost* híbrido. As análises serão validadas através de simulação.

Expandindo os conceitos vistos no terceiro capítulo, o capítulo quatro continua a análise do conversor *boost* híbrido, porém abordando sua operação com corrente alternada na entrada.

Com base na análise teórica e nas metodologias de dimensionamento propostas, foram desenvolvidos três protótipos com valor de potência de 1 kW e valores de tensão de entrada e de saída de 220 V e 800 V, respectivamente. Os protótipos serão apresentados no capítulo cinco, que apresenta a verificação experimental das estruturas. Nesse capítulo as formas de onda experimentais são apresentadas, como as principais formas de tensão e de corrente, resposta ao degrau de carga, curvas de rendimento, fator de potência e análise das harmônicas de corrente conforme a norma IEC 61000-3-2.

O capítulo seis apresenta as conclusões gerais do trabalho e realiza uma breve comparação entre as estruturas propostas e outras estruturas similares na literatura.

1.6 PUBLICAÇÕES

Os estudos realizados neste trabalho resultaram nas seguintes publicações:

DIAS, Julio Cesar; MUSSA, Samir Ahmad; LAZZARIN, Telles Brunelli. Single-phase hybrid boost rectifiers with high voltage gain and high power factor. In: IECON 2016 - 42ND ANNUAL CONFERENCE OF THE IEEE INDUSTRIAL ELECTRONICS SOCIETY, 42., 2016, Florença. **Proceedings...** . Florença: IEEE/IES, 2016. p. 1406 - 1411

DIAS, Julio Cesar; LAZZARIN, Telles Brunelli. Steady state analysis of voltage multiplier ladder switched-capacitor cell. In: 2016 12TH IEEE/IAS INTERNATIONAL CONFERENCE ON INDUSTRY APPLICATIONS - INDUSCON 2016, 12., 2016, Curitiba. **Proceedings...** . Curitiba: IEEE/IAS, 2016. p. 1-6.

Artigos submetidos para periódicos:

DIAS, Julio Cesar; LAZZARIN, Telles Brunelli. A Family of Voltage-Multiplier Unidirectional Single-Phase Hybrid Boost PFC Rectifiers. *IEEE Transactions On Industrial Electronics*, 2016.

DIAS, Julio Cesar; LAZZARIN, Telles Brunelli. Retificador Boost Bridgeless Unidirecional Monofásico com Célula de Capacitor Chaveado. *Revista Eletrônica de Potência*, 2016.

2 CAPACITOR CHAVEADO

2.1 INTRODUÇÃO

Os conversores a capacitor chaveado são estruturas compostas apenas por capacitores e interruptores, sendo que sua taxa de conversão é determinada pelo número de células cascadeadas. As estruturas utilizam associações em série de capacitores para multiplicação ou divisão da tensão na saída. Utiliza-se também comutação em alta frequência para associar capacitores em paralelo e realizar a transferência de energia entre os capacitores da célula.

A literatura apresenta diversas estruturas com a função de multiplicação ou divisão de tensão, como as estruturas Fibonacci, *ladder*, Dickson, série-paralelo, Cockcroft-Walton, entre outras [24–28].

Este trabalho estuda a célula *ladder* por sua característica de elevação de ganho com esforços de tensão divididos nos componentes. A topologia Fibonacci proporciona ganho maior que a *ladder* conforme se adiciona células em cascata. Entretanto, mais interruptores são necessários e os esforços de tensão nos interruptores aumentam conforme estágios são adicionados. Também não foram consideradas topologias que exigem interruptores ativos adicionais, pois isto prejudica na modularidade da topologia, devido à necessidade de circuitos de comando adicionais. A célula Cockcroft-Walton foi também descartada devido à necessidade de um capacitor extra para o mesmo ganho, portanto a topologia *ladder* se apresentou como a melhor opção para atender a proposta deste trabalho.

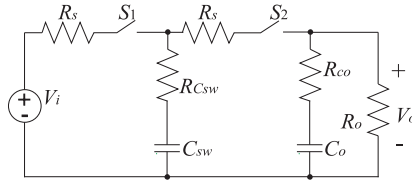
Diferente das topologias básicas, a taxa de conversão das topologias a capacitor chaveado é dada por números inteiros ou divisões por inteiros. Portanto, idealmente o ganho possui variações discretas e não depende da razão cíclica, como nos conversores clássicos. Existe a possibilidade de variar o ganho nestas topologias por meio da variação da razão cíclica e da frequência de comutação [29], porém, devido à elevação dos valores eficazes das correntes que circulam nos elementos parasitas do circuito, o que faz com que o circuito apresente características similares a conversores lineares.

Para evitar que o circuito apresente perdas excessivas, o dimensionamento adequado do conversor é necessário. Para tal, é necessário analisar o princípio de funcionamento da célula e assim, determinar os tempos de carga e descarga e os modos de carga do circuito.

2.2 PRINCÍPIO DE FUNCIONAMENTO

Uma forma de entender o princípio de funcionamento das células a capacitor chaveado de forma generalizada é analisar a célula básica com ganho unitário, apresentada na Figura 11. Esta análise deve ser feita considerando as principais resistências intrínsecas dos elementos do circuito. A ausência das resistências resultaria em impulsos de corrente nos capacitores devido ao paralelismo de duas fontes com diferentes níveis de tensão.

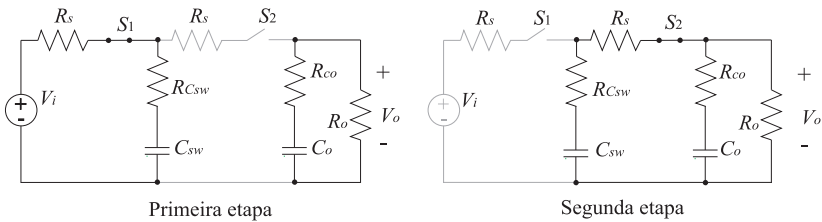
Figura 11 – Célula de capacitor chaveado com ganho unitário.



A célula de ganho unitário funciona com duas etapas de operação, mostradas na Figura 12. Na primeira etapa, o interruptor S_1 conduz e conecta o capacitor C_{sw} à fonte de entrada V_i , assim armazenando energia. O interruptor S_2 permanece bloqueado nesta etapa e a carga R_o é alimentada pelo capacitor de saída C_o .

Na segunda etapa de operação, o interruptor S_2 conduz e S_1 bloqueia. Nesta etapa o capacitor C_{sw} transfere a energia armazenada na primeira etapa ao capacitor de saída C_o e à carga.

Figura 12 – Etapas de operação da célula de ganho unitário.



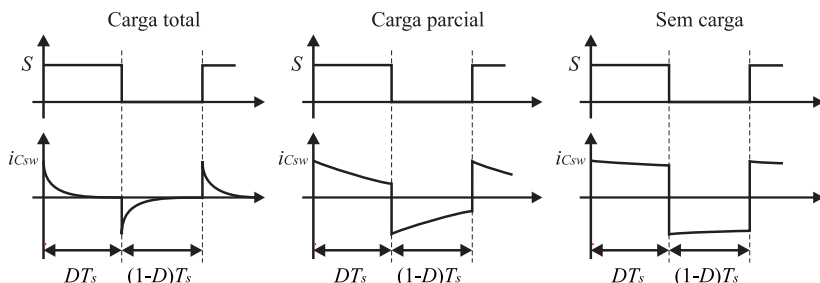
Percebe-se que, nas duas etapas, a corrente dos capacitores é limitada somente pelas resistências parasitas dos interruptores R_s e dos capacitores R_{Csw} e R_{Co} , o que causa correntes elevadas de partida. Caso o circuito não seja corretamente dimensionado, pode haver valores

elevados de corrente em regime permanente, o que leva a perdas e queda de tensão. Para reduzir estas perdas, é importante que o circuito opere em um modo de carga com picos de corrente reduzidos, ou seja, com grandes constantes de tempo de carga e descarga.

2.3 MODOS DE CARGA

A células de capacitor chaveado podem trabalhar em um dos três possíveis modos de carga, descritos pela Figura 13.

Figura 13 – Modos de carga da célula de capacitor chaveado.



O primeiro modo é o de carga total (CT). Neste modo, o capacitor C_{sw} , responsável pela transferência de energia, se carrega e descarrega totalmente em cada etapa de operação. Ao considerar a mesma base de tempo para as três figuras, este modo utiliza uma constante de tempo menor, o que significa valores de capacitância e/ou resistências menores. Para a mesma potência transferida, seus picos de corrente são mais elevados, o que resulta em valores elevados de corrente eficaz e, conseqüentemente, perdas elevadas e queda de tensão na saída do conversor.

O segundo modo é o de carga parcial (CP). Neste modo, os tempos de carga e descarga do capacitor é maior do que os tempos das etapas de comutação. Ainda há picos de corrente no capacitor neste modo, porém, eles são menos elevados, pois o capacitor não precisa armazenar e transferir toda a energia em cada etapa de operação. Para que o conversor opere neste modo, deve-se utilizar capacitores com valor mais elevado do que os do modo CT, porém ganha-se em rendimento e regulação.

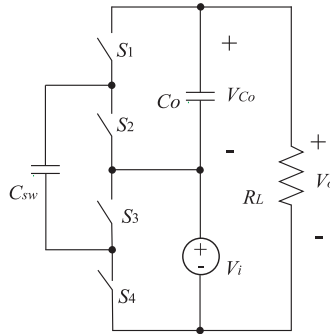
O último modo é o modo sem carga (SC). Neste modo os picos de corrente são desprezíveis e o rendimento é superior aos modos CP e

CT. Entretanto, este modo requer constantes de tempo muito grandes, o que tem como consequência a necessidade do uso de maiores valores de capacitância. Este modo é evitado, pois geralmente implica em um circuito sobredimensionado, o que aumenta os custos do conversor.

2.4 CÉLULA *LADDER*

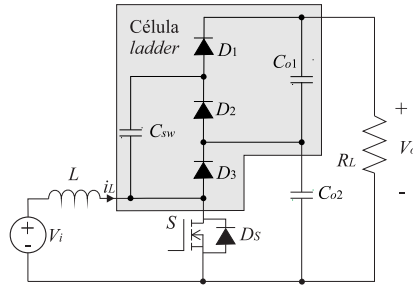
A célula de capacitor chaveado tipo *ladder*, ilustrada na Figura 14, possui característica elevadora de tensão e seu ganho é sempre dado por números inteiros, relativos ao número de células cascateadas. A célula foi idealizada na figura para melhor visualização, porém também é necessário considerar as resistências intrínsecas dos componentes para sua análise.

Figura 14 – Célula *ladder*.



Em estruturas híbridas, alguns interruptores podem ser trocados por diodos, resultando em uma topologia similar à Cockcroft-Walton [28]. As estruturas estudadas neste trabalho baseiam-se no conversor CC-CC proposto por [20] exibido na Figura 15, em que a célula de capacitor chaveado é destacada.

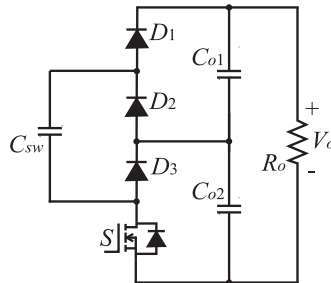
O dimensionamento dos capacitores de saída C_{o1} e C_{o2} será abordado junto com a operação do sistema completo como retificador. A especificação dos semicondutores também será abordada futuramente assumindo-se que o conversor opera num modo de carga próximo ao modo SC. Com base nestas especificações, este capítulo propõe uma metodologia de dimensionamento de C_{sw} baseada no modelo de resistência equivalente proposto por [30]. A partir desta análise, também será apresentada uma metodologia para obtenção de um modelo de re-

Figura 15 – Conversor *boost* híbrido.

sistência equivalente, baseado em [23]. Este modelo permite levantar modelos dinâmicos de ordem reduzida de conversores híbridos e estimar o ganho estático não ideal do conversor.

2.5 DIMENSIONAMENTO DE C_{sw}

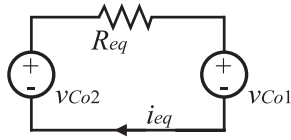
O dimensionamento de C_{sw} depende da análise individual da célula *ladder*. A célula usada neste trabalho é ilustrada na Figura 16.

Figura 16 – Célula *ladder* para estruturas híbridas.

Sabe-se que o modo de carga do capacitor tem influência direta nas perdas do conversor. Uma forma de analisar essas perdas se dá por meio de um modelo de resistência equivalente. Esta célula pode ser representada pelo circuito equivalente, mostrado na Figura 17, no qual a resistência equivalente representa as perdas na transferência de energia da entrada ao capacitor de saída.

A resistência equivalente do circuito é obtida por intermédio do

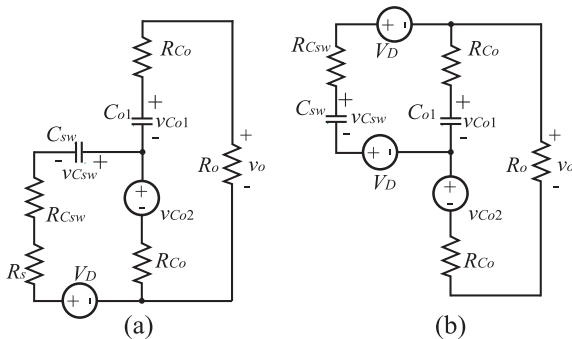
Figura 17 – Circuito equivalente da célula de capacitor chaveado.



conhecimento da tensão de entrada, que é especificada, e da tensão e da corrente de saída, que podem ser calculadas. Uma resistência equivalente maior implica maior queda de tensão na saída para a mesma potência, além de reduzir o rendimento da estrutura. Para calcular esta resistência, antes é necessário obter o ganho da célula, calculado mediante análise do circuito em regime permanente.

A célula *ladder* possui duas etapas de operação, cujos estados topológicos são descritos pela Figura 18. É necessário considerar as perdas nos componentes nesta análise, pois elas alteram os tempos de carga e de descarga dos capacitores e, por consequência, alteram os valores eficazes de corrente, o modo de carga e a resistência equivalente.

Figura 18 – Estados topológicos da célula *ladder*: (a) armazenamento de energia, (b) transferência de energia.



Nesta análise, será considerada a transferência de energia do capacitor C_{o2} , que é alimentado pelo conversor *boost*, para o capacitor de saída C_{o1} . Sendo que esta análise somente considera a transferência de energia entre os capacitores da célula, o capacitor C_{o2} é considerado uma fonte de tensão de valor fixo v_{Co2} .

Na primeira etapa de operação, o interruptor S conduz e o capacitor C_{sw} é conectado em série à fonte de tensão v_{Co2} , armazenando

energia. Na segunda etapa, o interruptor S bloqueia e o capacitor C_{sw} transfere a energia armazenada na primeira etapa ao capacitor C_{o1} através dos diodos D_1 e D_3 , que são representados por fontes de tensão referentes à tensão V_D direta. Idealmente, o diodo D_3 não conduziria, porém se tratando de uma estrutura híbrida, o indutor do conversor *boost* induz a condução de D_3 .

Além disto, os três capacitores da célula seriam submetidos ao mesmo valor de tensão, o que faria com que a tensão de saída tivesse valor $2v_{Co2}$. Entretanto, os elementos parasitas dos capacitores e semicondutores provocam uma queda de tensão em cada estágio de transferência. A metodologia abordada neste trabalho para verificar estas perdas será a análise estática por espaço de estados.

O sistema de equações de estado é descrito por

$$\begin{cases} \dot{x} = A \cdot x + B \cdot u \\ y = E \cdot x + F \cdot u \end{cases}, \quad (2.1)$$

em que os vetores que contêm as variáveis de estado x e as variáveis independentes de entrada u são descritos por

$$x = \begin{pmatrix} v_{C_{sw}} \\ v_{C_{o1}} \end{pmatrix} \quad \text{e} \quad u = \begin{pmatrix} V_{Co2} \\ V_D \end{pmatrix}. \quad (2.2)$$

As matrizes e vetores de estado para o primeiro estado topológico são descritos por

$$A_1 = \begin{pmatrix} \frac{R_{Co} \cdot (2 \cdot R_{Co} + R_o)}{K_2 \cdot C_{sw} \cdot R_{Co}} & -\frac{K_2 - K_1 \cdot (2 \cdot R_{Co} + R_o)}{R_{Co} \cdot K_1 \cdot C_{sw}} \\ -\frac{R_{Co}}{C_{o1} \cdot K_2} & -\frac{K_1}{C_{o1} \cdot K_2} \end{pmatrix}, \quad (2.3)$$

$$B_1 = \begin{pmatrix} \frac{K_2 - (K_1 - R_{Co}) \cdot (2 \cdot R_{Co} + R_o)}{K_2 \cdot C_{sw} \cdot R_{Co}} & -\frac{R_{Co} \cdot (2 \cdot R_{Co} + R_o)}{K_2 \cdot C_{sw} \cdot R_{Co}} \\ -\frac{K_1 - R_{Co}}{C_{o1} \cdot K_2} & -\frac{R_{Co}}{C_{o1} \cdot K_2} \end{pmatrix}, \quad (2.4)$$

$$E_1 = \begin{pmatrix} 0 & 1 \end{pmatrix} \quad \text{e} \quad F_1 = \begin{pmatrix} 0 & 1 \end{pmatrix}, \quad (2.5)$$

em que

$$K_1 = R_{C_{sw}} + R_S + R_{Co} \quad (2.6)$$

e

$$K_2 = (2 \cdot R_{Co} + R_L) \cdot K_1 - R_{Co}^2. \quad (2.7)$$

Para o segundo estado topológico, as matrizes e vetores de estado

são descritos por

$$A_2 = \left(\begin{array}{cc} \frac{-2 \cdot R_{C_o} + R_o}{K_3 \cdot C_{sw}} & \frac{R_o - R_{C_o}}{K_3 \cdot C_{sw}} \\ \frac{K_3 - (2 \cdot R_{C_o} + R_o) \cdot R_{C_{sw}}}{K_3 \cdot R_{C_o} \cdot C_{o1}} & \frac{R_{C_{sw}} \cdot (R_o - R_{C_o}) - K_3}{K_3 \cdot R_{C_o} \cdot C_{o1}} \end{array} \right), \quad (2.8)$$

$$B_2 = \left(\begin{array}{cc} \frac{R_{C_o}}{K_3 \cdot C_{sw}} & 0 \\ \frac{R_{C_{sw}}}{C_{o1} \cdot K_3} & 0 \end{array} \right), \quad (2.9)$$

$$E_2 = (0 \quad 1) \quad \text{e} \quad F_2 = (0 \quad 1), \quad (2.10)$$

em que

$$K_3 = (R_{C_o} + R_o) \cdot R_{C_o} + R_{C_{sw}} \cdot (2 \cdot R_{C_o} + R_o). \quad (2.11)$$

A partir das matrizes encontradas, isola-se as componentes de grande sinal do sistema de equações de estado e obtém-se o valor de tensão $V_{C_{o1}}$, descrito por

$$V_{C_{o1}} = (-E \cdot A^{-1} \cdot B \cdot U + F \cdot U). \quad (2.12)$$

Como mencionado anteriormente, a resistência equivalente depende das tensões $V_{C_{o2}}$ e $V_{C_{o1}}$ e o valor médio da corrente I_{eq} , entregue ao capacitor de saída e à carga. A tensão $V_{C_{o2}}$ é especificada, $V_{C_{o1}}$ é obtida por meio da análise por espaço de estado e a corrente I_{eq} é calculada como sendo da corrente média no diodo D_1 , descrita por (2.13). Este valor de corrente é obtido do conhecimento do valor médio de corrente em C_{sw} na segunda etapa de comutação.

$$I_{eq} = \frac{C_{sw}}{T_s} \int_{D \cdot T_s}^{T_s} \frac{dv_{C_{sw}}}{dt} dt = C_{sw} \cdot \Delta v_{C_{sw}} \cdot f_s. \quad (2.13)$$

Os capacitores de saída C_{o1} e C_{o2} são projetados com características dinâmicas muito mais lentas que o capacitor C_{sw} , portanto, as tensões a que estão submetidos são consideradas valores fixos. A corrente do capacitor C_{sw} é dada pela sua variação de tensão $\Delta v_{C_{sw}}$, que é obtida pela subtração das tensões instantâneas no início de cada etapa de comutação.

A primeira etapa de operação é descrita pelo sistema de equações (2.14) no domínio do tempo. Nessa análise, a influência das resistências série equivalentes R_{C_o} dos capacitores de saída na corrente de saída é desprezada, pois a resistência de saída possui valor significativa-

mente maior. Para simplificar algumas variáveis repetidas, os valores de tensão instantânea do capacitor chaveado $v_{C_{sw}}(T_s)$ e $v_{C_{sw}}(D \cdot T_s)$ serão descritos como v_a e v_b , respectivamente.

$$\begin{cases} V_D + \frac{1}{C_{sw}} \int i_{C_{sw}}(t) dt + v_a + (R_{C_{sw}} + R_s + R_{C_o}) \cdot i_{C_{sw}}(t) \\ -V_{C_{o2}} - R_{C_o} \cdot I_{C_{o1}} = 0 \\ I_{C_{o1}} = -\frac{V_{C_{o1}} + V_{C_{o2}}}{R_o} \end{cases} \quad (2.14)$$

Resolvendo o sistema por Laplace e isolando $i_{C_{sw}}(t)$, obtém-se o valor de corrente instantânea para a primeira etapa de operação, descrito por

$$i_{C_{sw}}(t) = \frac{(V_{C_{o2}} + V_D - v_a) \cdot R_o - R_{C_o} \cdot (V_{C_{o1}} + V_{C_{o2}})}{R_o \cdot (R_{C_{sw}} + R_s + R_{C_o})} \cdot e^{-\frac{t}{\tau_1 \cdot C_{sw}}}. \quad (2.15)$$

A variável v_a continua indefinida. A obtenção do seu valor é feita a partir da análise da segunda etapa de operação, a qual é representada pelo sistema de equações descrito por

$$\begin{cases} \frac{1}{C_{sw}} \int i_{C_{sw}}(t) dt + v_b + (R_{C_{sw}} + R_{C_o}) \cdot i_{C_{sw}}(t) \\ -V_{C_{o2}} + R_{C_o} \cdot I_{C_{o2}} = 0 \\ I_{C_{o2}} = -\frac{V_{C_{o1}} + V_{C_{o2}}}{R_o} \end{cases}. \quad (2.16)$$

O sistema de equações 2.16 também é resolvido por Laplace. Neste sistema, a corrente no instante T_s é isolada, obtendo assim a expressão

$$i_{C_{sw}}(T_s) = -\frac{(v_b - V_{C_{o1}}) \cdot R_o + R_{C_o} \cdot (V_{C_{o1}} + V_{C_{o2}})}{R_o \cdot (R_{C_{sw}} + R_{C_o})} \cdot e^{-\frac{(1-D) \cdot T_s}{(R_{C_{sw}} + R_{C_o}) \cdot C_{sw}}}. \quad (2.17)$$

A partir das expressões (2.15) e (2.17), obtém-se os valores de v_a e v_b , descritos por

$$\begin{aligned} v_a = & V_{C_{o1}} \cdot \frac{R_{C_o}}{R_o} \cdot \left(1 - e^{-\frac{(1-D) \cdot T_s}{(R_{C_{sw}} + R_{C_o}) \cdot C_{sw}}} \right) \\ & + V_{C_{o1}} \cdot \left(-e^{-\frac{(1-D) \cdot T_s}{(R_{C_{sw}} + R_{C_o}) \cdot C_{sw}}} + 1 - \frac{R_{C_o}}{R_o} \right) \\ & + V_{C_{o1}} \cdot \frac{R_{C_o}}{R_o} \cdot e^{-\frac{(1-D) \cdot T_s}{(R_{C_{sw}} + R_{C_o}) \cdot C_{sw}}} \\ & + v_b \cdot e^{-\frac{(1-D) \cdot T_s}{(R_{C_{sw}} + R_{C_o}) \cdot C_{sw}}} \end{aligned} \quad (2.18)$$

e

$$\begin{aligned}
v_b = & \frac{V_{Co2} \cdot \left[1 - \frac{R_{Co}}{R_o} - \left(1 - \frac{R_{Co}}{R_o} \right) \cdot e^{-\frac{D \cdot T_s}{K_1 \cdot C_{sw}}} \right]}{V_{Co1} \cdot \left[\frac{R_{Co}}{R_o} \cdot \left(1 - e^{-\frac{(1-D) \cdot T_s}{(R_{Csw} + R_{Co}) \cdot C_{sw}}} \right) \right]} \\
& + \frac{-V_{Co1} \cdot e^{-\frac{(1-D) \cdot T_s}{(R_{Csw} + R_{Co}) \cdot C_{sw}}}}{1 - e^{-\frac{(1-D) \cdot T_s}{(R_{Csw} + R_{Co}) \cdot C_{sw}}}} \\
& + V_{Co1} \cdot \frac{R_{Co}}{R_o} \cdot e^{-\frac{(1-D) \cdot T_s}{(R_{Csw} + R_{Co}) \cdot C_{sw}}} \\
& + \frac{V_{Co1} \cdot \left(+1 - \frac{2 \cdot R_{Co}}{R_L} + \frac{R_{Co}}{R_L} \cdot e^{-\frac{D \cdot T_s}{K_1 \cdot C_{sw}}} \right)}{1 - e^{-\frac{(1-D) \cdot T_s}{(R_{Csw} + R_{Co}) \cdot C_{sw}}}} \\
& - \frac{V_D \cdot \left(1 - e^{-\frac{D \cdot T_s}{K_1 \cdot C_{sw}}} \right)}{1 - e^{-\frac{(1-D) \cdot T_s}{(R_{Csw} + R_{Co}) \cdot C_{sw}}}}
\end{aligned} \tag{2.19}$$

Com base nos valores de v_a e v_b , é obtido o valor de ondulação de tensão em C_{sw} e de corrente média nas etapas de operação. Por meio dos valores encontrados, é obtida a resistência equivalente da célula de capacitor chaveado, descrita por

$$R_{eq} = \frac{V_{Co2} - V_{Co1}}{C_{sw} \cdot (v_b - v_a) \cdot f_s} \tag{2.20}$$

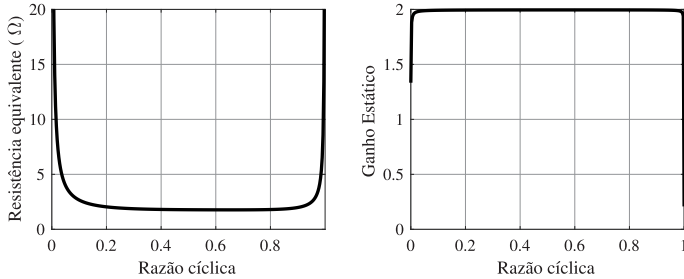
A partir da resistência equivalente, é possível estimar as perdas na transferência de energia entre os capacitores do circuito. Também é possível traçar curvas relacionando a resistência equivalente aos parâmetros de projeto e, assim, determinar os melhores pontos de operação.

Foram traçadas as curvas de ganho da célula e da resistência equivalente em relação à razão cíclica do circuito, que são apresentadas na Figura 19. Nota-se que nas regiões em que o ganho estático tem menor valor, a resistência equivalente é elevada. Isso significa que, para regular o ganho estático da estrutura por intermédio da razão cíclica, o rendimento é comprometido.

Também nota-se que, diferente de trabalhos anteriores encontrados na literatura [22], a resistência equivalente apresenta o menor valor com razão cíclica 0,65, e não 0,5. Isso ocorre porque neste caso é analisado o comportamento da célula que será utilizada em uma estrutura híbrida e, por conta disso, é composta por diodos e um interruptor, que possuem características diferentes de perdas. Portanto, o ponto de menor resistência equivalente varia conforme os elementos parasitas e a potência processada pela célula.

Com a finalidade de verificar a influência da característica de

Figura 19 – Ganho e resistência equivalente em função da razão cíclica D .



carga e de descarga do capacitor C_{sw} nas perdas do circuito, foram traçadas as curvas de resistência equivalente em função da frequência de comutação f_s e da capacitância C_{sw} .

Na Figura 20 é observada a influência da frequência de comutação na resistência equivalente. O modelo de resistência equivalente apresentado leva em consideração somente as perdas de condução do circuito, portanto esta curva não deve ser utilizada como critério único para determinar a frequência de comutação. A frequência de comutação neste trabalho foi escolhida a partir das características dos semicondutores escolhidos.

A curva de resistência equivalente em função da frequência mostra que as perdas de condução são menores em frequências de comutação elevadas. Isto ocorre porque a frequência de comutação influencia na energia que o capacitor C_{sw} armazena e transfere em cada período de comutação, desta forma afetando o modo de carga no qual a célula opera. Um período de comutação maior causa picos de corrente maiores, o que resulta em valores eficazes elevados e, por consequência, maiores perdas nas resistências parasitas do circuito.

O fator principal que determina as perdas em um circuito a capacitor chaveado é o modo de carga do capacitor. Uma capacitância maior resulta em constantes de tempo maiores nos estágios de carga e descarga, o que causa cargas e descargas mais lentas. O aumento das constantes de tempo do circuito reduz os picos de corrente no capacitor C_{sw} e, desta forma, reduz as perdas e a resistência equivalente da célula, como é observado na Figura 21.

A curva apresentada na Figura 21 pode ser utilizada para especificar o valor de capacitância C_{sw} . A região destacada representa o

Figura 20 – Resistência equivalente em função da frequência de comutação f_s .

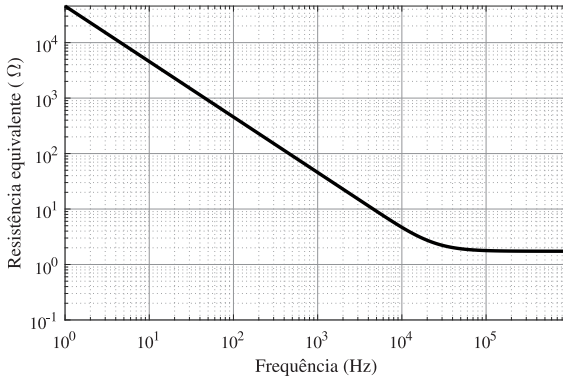
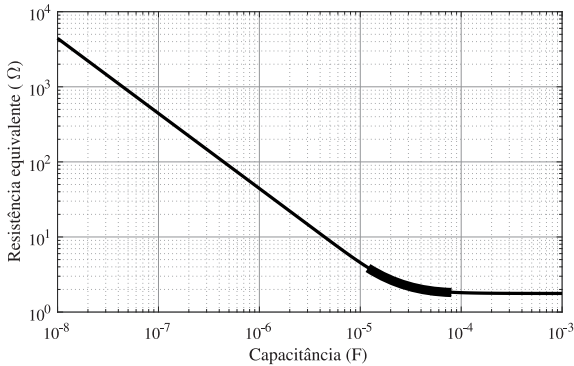


Figura 21 – Resistência equivalente em função da Capacitância C_{sw} .

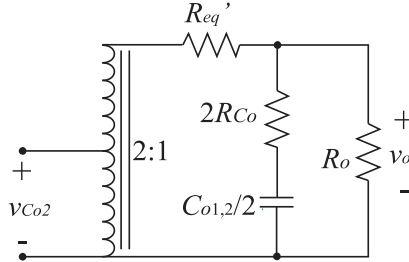


modo de carga CP. A região à direita da região destacada é o modo SC, em que a resistência equivalente apresenta pouca redução com o aumento de capacitância. Trabalhar no modo SC significa trabalhar com um capacitor sobredimensionado. A região à esquerda da região destacada representa o modo CT, no qual as perdas são muito elevadas e o capacitor é subdimensionado. Portanto, é importante que o valor de capacitância escolhido esteja no joelho da curva.

Os cálculos de resistência equivalente, além de serem úteis para especificação de componentes, podem ser utilizados para a obtenção

de modelos equivalentes da célula. O trabalho [23] propõe um modelo baseado em um autotransformador ideal CC e CA, o qual é mostrado na Figura 22.

Figura 22 – Modelo equivalente da célula de capacitor chaveado , baseado em autotransformador.



O circuito equivalente também apresenta uma resistência equivalente, que é descrita por (2.21). Este circuito equivalente será utilizado para a obtenção de modelos dinâmicos de ordem reduzida do conversor híbrido e também para estimar o seu ganho estático.

$$R'_{eq} = \frac{(1 - D) \cdot (V_{Co2} - V_{Co1})}{C_{sw} \cdot (v_b - v_a) \cdot f_s}. \quad (2.21)$$

2.6 CONCLUSÃO

Neste capítulo a célula de capacitor chaveado tipo *ladder* foi analisada. Os princípios de operação, modos de carga e resistência equivalente foram apresentados.

A célula de ganho unitário foi utilizada para descrever o princípio de funcionamento das células de capacitor chaveado. Foi visto que é necessário considerar as resistências intrínsecas no circuito, pois elas aumentam os tempos de carga e limitam os picos de corrente que ocorrem durante o paralelismo dos capacitores.

Foi utilizada a aproximação por espaço de estados para a obtenção da curva de ganho da célula de capacitor chaveado em função da razão cíclica. Também foram obtidas as curvas de resistência equivalente em função da razão cíclica, frequência de comutação e capacitância. A curva de resistência equivalente em função da capacitância foi utilizada para dimensionar o capacitor C_{sw} . A partir desta curva, é

possível estimar o modo de carga e escolher o capacitor mais adequado para as especificações de cada projeto.

3 CONVERSOR *BOOST* HÍBRIDO

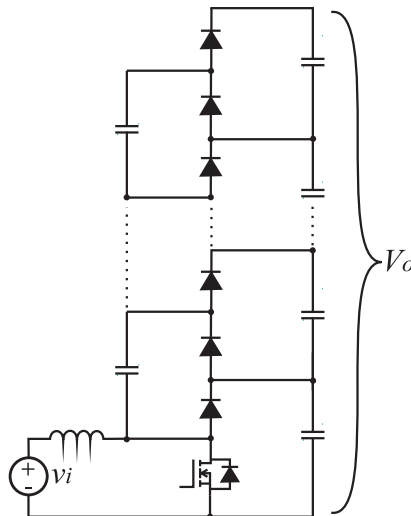
3.1 INTRODUÇÃO

As estruturas propostas neste trabalho baseiam-se no conversor *boost* híbrido proposto por [20]. A compreensão do funcionamento das estruturas retificadoras é facilitada quando se entende o princípio de funcionamento da estrutura CC-CC.

O conversor CC-CC *boost* híbrido é apresentado de forma generalizada na Figura 23. A estrutura é composta pelo conversor *boost* convencional e a célula multiplicadora de tensão tipo *ladder*. Esta estrutura tem a característica de multiplicação do ganho estático do conversor *boost* convencional por um valor inteiro.

O conversor *boost* convencional apresenta limitações de ganho estático devido a seus elementos parasitas [31]. Para reduzir tais limitações, a estrutura híbrida utiliza a célula multiplicadora de tensão para expandir seu ganho estático. Esta célula multiplicadora pode ser cascateada em mais estágios e, assim, aumentar o ganho sem a necessidade de inserir interruptores controlados adicionais.

Figura 23 – Conversor *boost* híbrido generalizado.

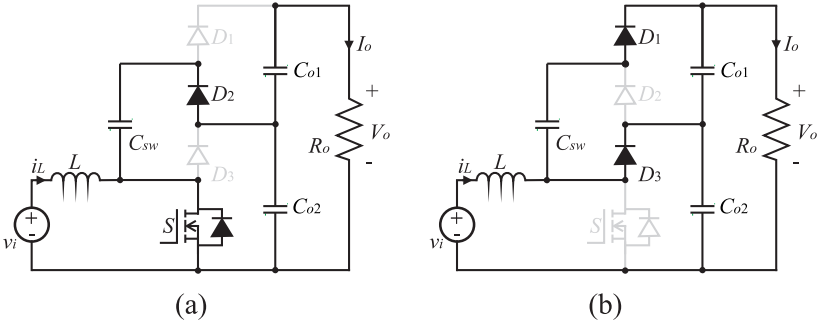


3.2 ETAPAS DE OPERAÇÃO

A topologia CC-CC opera em duas etapas, descritas pela Figura 24. Na primeira etapa, o interruptor S e o diodo D_2 conduzem. O indutor L armazena energia e o capacitor C_{o2} transfere energia para o capacitor C_{sw} .

Na segunda etapa de operação, o interruptor S bloqueia e os diodos D_1 e D_3 conduzem. O capacitor C_{o2} se carrega através da energia armazenada no indutor e o capacitor C_{sw} transfere energia ao capacitor C_{o1} .

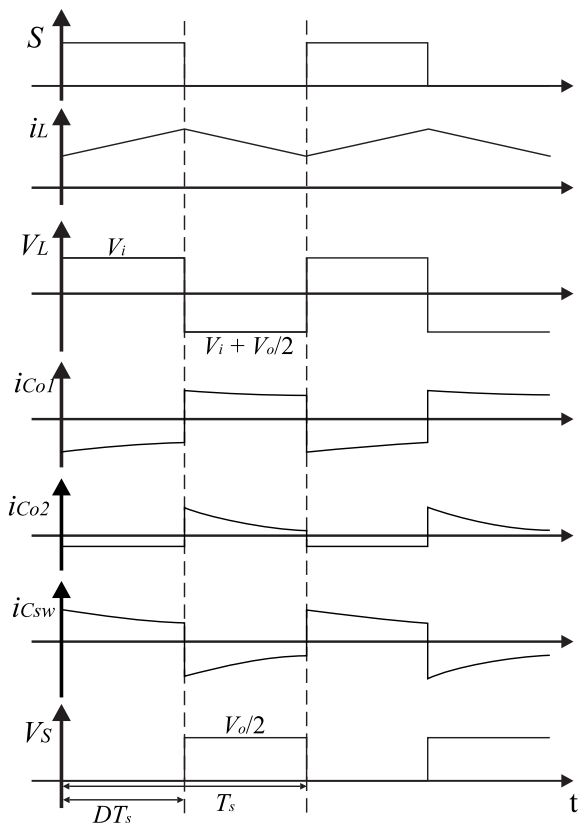
Figura 24 – Etapas de operação do conversor *boost* híbrido: (a) interruptor S conduzindo; (b) interruptor S bloqueando.



A associação em paralelo dos capacitores nas etapas de operação faz com que eles apresentem, idealmente, o mesmo nível de tensão. A queda de tensão entre eles depende dos elementos parasitas e do dimensionamento correto dos capacitores.

As formas de onda da estrutura, apresentadas na Figura 25, devem ser analisadas considerando as perdas no circuito. Em um circuito ideal, o paralelismo de capacitores com valores diferentes de tensão resultaria em correntes com picos de valor infinito, portanto, as resistências parasitas do circuito devem ser consideradas [32].

Este capítulo aborda o ganho estático da estrutura, a ondulação de corrente de entrada e o modelo dinâmico de corrente. O dimensionamento do indutor L e dos capacitores de saída será abordado na análise das estruturas retificadoras propostas, visto que a análise na frequência da rede f_g deve ser feita para estes dimensionamentos. A metodologia de dimensionamento de C_{sw} é a apresentada no capítulo anterior.

Figura 25 – Formas de onda do conversor *boost* híbrido.

3.3 GANHO ESTÁTICO

O ganho estático do conversor híbrido é obtido por meio da análise da tensão sobre o indutor nas duas etapas de operação. Na primeira etapa, a tensão sobre o indutor é V_i e, na segunda etapa a tensão é $V_i - V_{Co2}$.

Idealmente, a tensão V_{Co2} equivale à metade da tensão de saída, mas se houver mais células cascateadas, a tensão no capacitor é descrita por (3.1), em que N é o número de células cascateadas.

$$V_{Co2} = \frac{V_o}{N + 1} \quad (3.1)$$

Considerando que o valor médio de tensão sobre o indutor é nulo em regime permanente, obtém-se a expressão

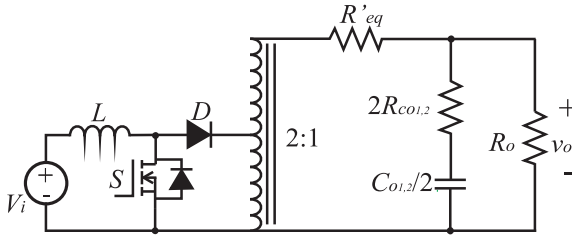
$$V_i \cdot D + (1 - D) \cdot \left(V_i - \frac{V_o}{N + 1} \right) = 0. \quad (3.2)$$

Desenvolvendo a expressão (3.2) e isolando os termos V_i e V_o , obtém-se o ganho estático do conversor híbrido, descrito por

$$\frac{V_o}{V_i} = \frac{N + 1}{1 - D}. \quad (3.3)$$

O ganho apresentado na equação (3.3) é uma idealização do ganho estático da estrutura. Por se tratar de uma estrutura de quarta ordem, há vários elementos envolvidos na dedução do ganho estático não-ideal. Este trabalho propõe uma simplificação do cálculo de ganho estático baseada em [23], que utiliza o circuito equivalente apresentado na Figura 26 para a análise da estrutura híbrida.

Figura 26 – Circuito equivalente do conversor *boost* híbrido.

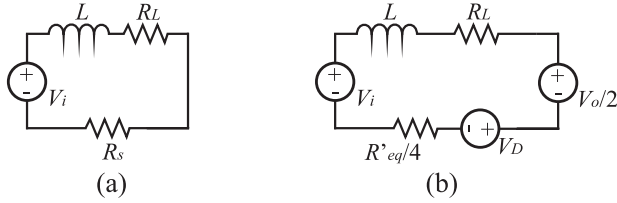


O circuito equivalente possui duas etapas de operação. Na Figura 27, são mostrados os dois estados topológicos referenciados ao enrolamento primário do transformador ideal. As etapas funcionam da mesma forma que no conversor *boost* convencional. Na primeira etapa, o interruptor S conduz e L armazena energia. Na segunda etapa o diodo D conduz e transfere a energia armazenada no indutor L na primeira etapa à saída.

O ganho estático é obtido mediante o balanço volts-segundo no indutor. Na primeira etapa, a tensão sobre o indutor é descrita por

$$v'_L = V_i - (R_L + R_S) \cdot I_L, \quad (3.4)$$

Figura 27 – Estados topológicos do circuito equivalente: (a) primeira etapa, (b) segunda etapa.



e na segunda etapa, é descrita por

$$v''_L = V_i - V_D - \left(R_L + \frac{R'_{eq}}{4} \right) \cdot I_L - \frac{V_o}{2}. \quad (3.5)$$

A tensão sobre o indutor é nula em regime permanente, e a partir dessa consideração, a expressão (3.6) é encontrada.

$$V_i - I_L \cdot \left(R_L + R_s \cdot D + \frac{R'_{eq} \cdot D'}{4} \right) - V_D \cdot D' - \frac{V_o \cdot D'}{2} = 0 \quad (3.6)$$

A variável R'_{eq} , diferente dos outros elementos parasitas, varia significativamente em relação à carga e razão cíclica. Considera-se valores fixos para os demais componentes parasitas. A variável R'_{eq} não pode ser considerada um valor fixo ao traçar a curva de ganho, pois ela representa as características da célula de capacitor chaveado, cuja característica de ganho individual foi apresentada anteriormente na Figura 19.

O valor de I_L , descrito por (3.7), é obtido considerando que a corrente média de saída refletida ao enrolamento primário é igual à corrente no diodo.

$$I_L = \frac{2 \cdot I_D}{D'} = \frac{2 \cdot I_o}{D'} = \frac{2 \cdot V_o}{R_o \cdot D'}. \quad (3.7)$$

Substituindo (3.7) em (3.6), encontra-se a expressão

$$V_i - \frac{V_o}{2 \cdot R_o \cdot D'} \cdot (4 \cdot R_L + 4 \cdot R_s \cdot D + D' \cdot R'_{eq}) - V_D \cdot D' - \frac{V_o \cdot D'}{2} = 0. \quad (3.8)$$

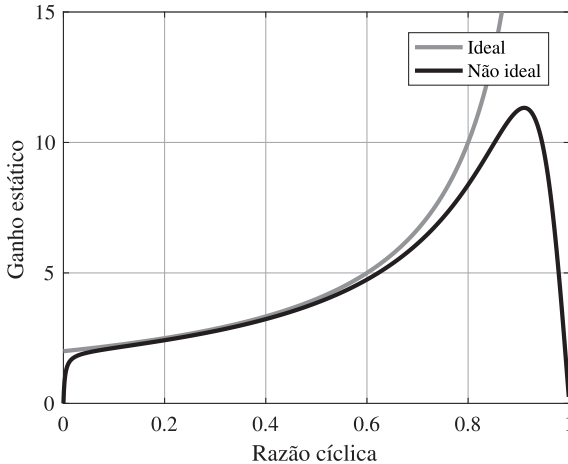
Isolando V_o na expressão (3.8), a expressão (3.9) é encontrada

$$V_o = \frac{2 \cdot D' \cdot R_o \cdot (V_i - V_D \cdot D')}{4 \cdot R_L + 4 \cdot R_s \cdot D + D' \cdot R'_e q + R_o \cdot D'^2}. \quad (3.9)$$

A partir das expressões encontradas, as curvas de ganho ideal e não-ideal da estrutura híbrida são traçadas e apresentadas na Figura 28. A curva não ideal foi traçada considerando as resistências parasitas do indutor L , interruptor S e capacitores de saída C_{o1} e C_{o2} como 0,1 % do valor da carga R_o .

Observa-se que, para os valores de razão cíclica zero e um, o ganho é nulo na curva de ganho não ideal. Na curva ideal, o ganho é simplesmente multiplicado pelo ganho $(N + 1)$ da célula, portanto seu valor é $(N + 1)$. A curva não ideal apresenta este comportamento por causa do aumento da resistência equivalente da célula de capacitor chaveado nestas regiões. Entretanto, na prática, o conversor terá ganho unitário com razão cíclica nula, pois os diodos D_1 , D_2 e D_3 começam a conduzir. Isto não é observado na curva, pois a célula entra em modo de carga CT, o que altera os estados topológicos da estrutura, sendo que a corrente em C_{sw} se torna nula. Portanto, o modelo de resistência equivalente se torna inválido para o modo CT. Entretanto, o modelo equivalente ainda é válido para os modos PC e SC.

Figura 28 – Curvas de ganho estático do conversor *boost* híbrido.



A equação de ganho também foi calculada pela análise do circuito

completo por espaço de estados. As matrizes de estado obtidas são descritas no apêndice A.

3.4 ONDULAÇÃO DE CORRENTE DE ENTRADA

O valor de ondulação de corrente no indutor é obtido a partir da análise da tensão sobre o indutor em uma etapa de operação. A tensão sobre o indutor na primeira etapa de operação é descrita por

$$v_L = L \cdot \frac{di_L}{dt} = V_i. \quad (3.10)$$

Isolando a ondulação de corrente Δi_L e mudando as variáveis para parâmetros de projeto, obtém-se

$$\Delta i_L = \frac{D \cdot V_i}{L \cdot f_s}. \quad (3.11)$$

A equação (3.11) pode ser usada para dimensionamento do indutor de entrada do conversor CC-CC. Neste trabalho, por se tratar do estudo de retificadores, a ondulação de corrente deve ser parametrizada para determinar o pior caso. Esta parametrização será apresentada no próximo capítulo, que trata da análise dos retificadores na frequência da rede.

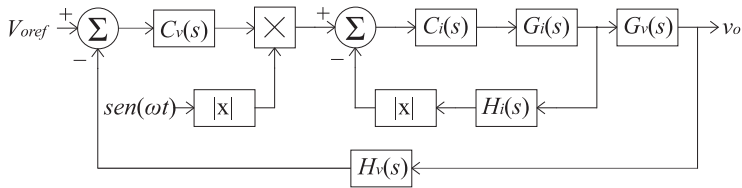
3.5 MODELO DINÂMICO DE CORRENTE

Os retificadores propostos são controlados por intermédio do cascadeamento de uma malha de tensão externa e uma malha interna de corrente desacopladas por frequência, mostradas no diagrama de blocos da Figura 29. A função de transferência da tensão de saída em função da corrente de entrada será apresentada no capítulo seguinte, onde o conversor será analisado na frequência da rede.

O controle de corrente é rápido o suficiente para que, no período da rede, a tensão de entrada seja vista como um valor constante. Também será considerado que os capacitores de saída são grandes o suficiente para que a planta de corrente veja a saída como constante.

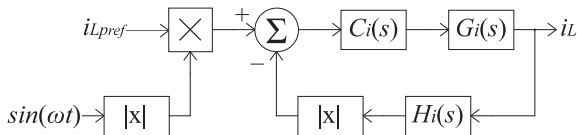
A malha de corrente, mostrada na Figura 30, controla a corrente a partir da referência de corrente $i_{L_{pref}}$, dada pela saída do controlador $C_v(s)$, multiplicada por um sinal senoidal, obtido por meio da leitura de tensão da rede elétrica. Visto que as células de comutação

Figura 29 – Diagrama de blocos do sistema em malha fechada.



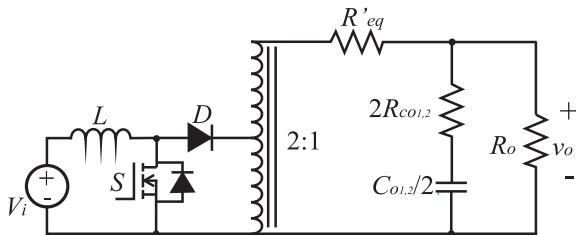
são unidirecionais, os sinais de referência e a realimentação devem ser retificados, pois a célula é somente capaz de regular amplitude e não o sentido da corrente de entrada.

Figura 30 – Diagrama de blocos da malha de corrente.



Para obter a planta de corrente, o circuito equivalente mostrado na Figura 31 é considerado. Neste capítulo é utilizada a metodologia de modelos médios de pequenos sinais para obter os modelos dinâmicos. Para a validação matemática dos modelos, o circuito equivalente e o circuito completo de quarta ordem foram também modelados por espaço de estados, e os cálculos são apresentados no Apêndice A.

Figura 31 – Circuito equivalente do conversor híbrido.



A partir da análise dos estados topológicos, apresentados na Figura 24, obtêm-se as equações de tensão no indutor em função do tempo

na primeira e segunda etapas de operação, descritas por

$$\left\{ \begin{array}{l} L \cdot \frac{di_L(t)}{dt} = V_i - (R_L + R_s) \cdot i_L \\ L \cdot \frac{di_L(t)}{dt} = V_i + V_D - \left(R_L + \frac{R'_{eq}}{4} \right) \cdot i_L - \frac{V_o}{2} \end{array} \right. \quad (3.12)$$

A partir destas equações, obtém-se o valor médio quase instantâneo de tensão no indutor, descrito por

$$\begin{aligned} L \cdot \frac{d\langle i_L(t) \rangle}{dt} &= V_i - R_L \cdot \langle i_L(t) \rangle - R_s \cdot \langle i_L(t) \rangle \cdot \langle d(t) \rangle \\ &+ V_D - V_D \cdot \langle d(t) \rangle - \frac{R'_{eq}}{4} \cdot \langle i_L(t) \rangle \\ &+ \frac{R'_{eq}}{4} \cdot \langle i_L(t) \rangle \cdot \langle d(t) \rangle - \frac{V_o}{2} + \frac{V_o}{2} \cdot \langle d(t) \rangle \end{aligned} \quad (3.13)$$

As variáveis em função do tempo são então decompostas em pequenos e grandes sinais.

$$\left\{ \begin{array}{l} \langle i_L(t) \rangle = I_L + \hat{i}_L(t) \\ \langle d(t) \rangle = D + \hat{d}(t) \end{array} \right. \quad (3.14)$$

Substituindo (3.14) em (3.13), encontra-se

$$\begin{aligned} L \cdot \frac{dI_L + \hat{d}i_L(t)}{dt} &= V_i + V_D - \frac{V_o}{2} - \left(R_L + \frac{R'_{eq}}{4} \right) \cdot I_L \\ &- \left(R_L + \frac{R'_{eq}}{4} \right) \cdot \hat{i}_L(t) + \left(\frac{V_o}{2} - V_D \right) \cdot D + \left(\frac{V_o}{2} - V_D \right) \cdot \hat{d}(t) \\ &+ \left(\frac{R'_{eq}}{4} - R_s \right) \cdot D \cdot I_L + \left(\frac{R'_{eq}}{4} - R_s \right) \cdot \hat{d}(t) \cdot I_L \\ &+ \left(\frac{R'_{eq}}{4} - R_s \right) \cdot D \cdot \hat{i}_L(t) + \left(\frac{R'_{eq}}{4} - R_s \right) \cdot \hat{d}(t) \cdot \hat{i}_L(t) \end{aligned} \quad (3.15)$$

Desprezando as componentes de grande sinal e de segunda ordem e aplicando a transformada de Laplace na expressão (3.15), obtém-se

$$\begin{aligned} L \cdot s \cdot \hat{i}_L(s) &= - \left(R_L + \frac{R'_{eq}}{4} \right) \cdot \hat{i}_L(s) + \left(\frac{V_o}{2} - V_D \right) \cdot \hat{d}(s) \\ &+ \left(\frac{R'_{eq}}{4} - R_s \right) \cdot \hat{d}(s) \cdot I_L + \left(\frac{R'_{eq}}{4} - R_s \right) \cdot D \cdot \hat{i}_L(s) \end{aligned} \quad (3.16)$$

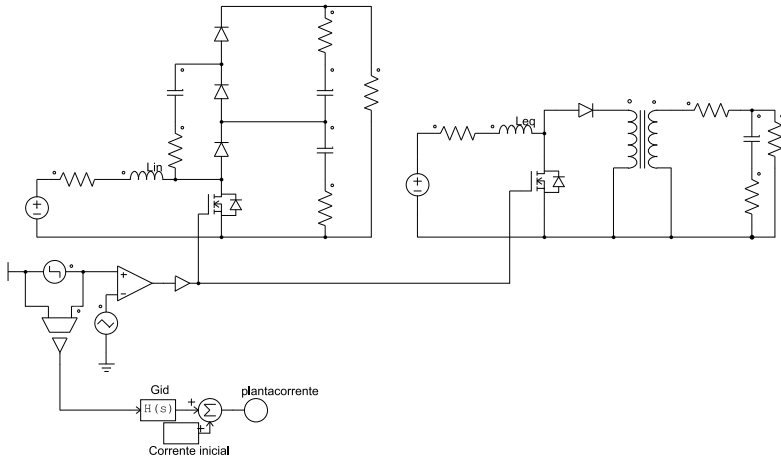
Isola-se as variáveis $\hat{i}_L(s)$ e $\hat{d}(s)$ e assim a função de transferência (3.17) é obtida.

$$G_i(s) = \frac{\hat{i}_L(s)}{\hat{d}(s)} = \frac{\left(\frac{V_o}{2} \right) + V_D - I_L \cdot \left(R_s - \frac{R'_{eq}}{4} \right)}{s \cdot L + R_L + \frac{R'_{eq} \cdot (1-D)}{4} + R_s \cdot D} \quad (3.17)$$

3.6 SIMULAÇÕES

As simulações dos modelos estático e dinâmico foram validadas por simulação a partir do *software* PSIM. Por se tratar da análise do conversor com entrada em corrente contínua, a tensão de entrada foi alterada, porém os componentes escolhidos foram os mesmos definidos para o projeto. O Circuito utilizado para as simulações do conversor CC-CC é apresentado na Figura 32.

Figura 32 – Circuito para a simulação do conversor CC-CC *boost* híbrido.



As especificações dos componentes utilizados para as simulações são descritas na Tabela 1 e os componentes são os mesmos utilizados no projeto prático.

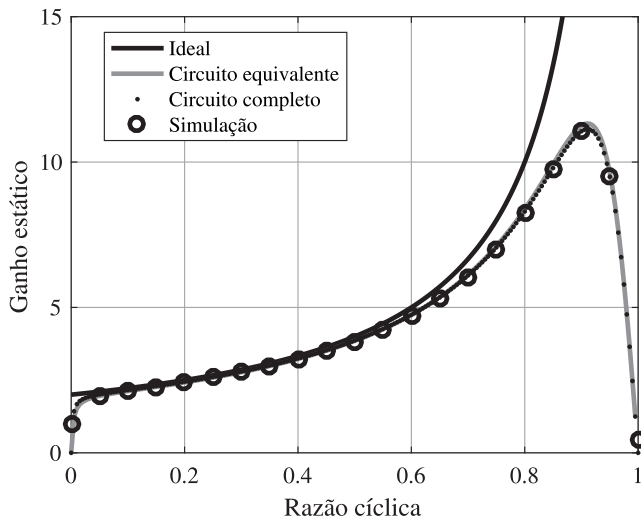
Foi realizada a simulação para verificar o ganho estático da estrutura. Entretanto, utilizou-se 0,1 % do valor da resistência de carga nas resistências R_s , R_L e R_{Co} para melhor visualização da curva. Foi utilizada a função *parameter sweep* do *software* PSIM para obter pontos com intervalos de razão cíclica de 0,05 e foram extraídos os valores de ganho estático do conversor completo.

Além do modelo de ganho estático com circuito equivalente apresentado, também foi obtida a curva de ganho do sistema completo através do modelo por espaço de estados, cujas matrizes são apresentadas no apêndice A. Os resultados obtidos são apresentados na Figura 33.

Tabela 1 – Especificações do conversor CC-CC *boost* híbrido simulado

Componente	Especificação
Potência nominal P_o	1000 W
Tensão de entrada V_i	200 V
Frequência de comutação f_s	100 kHz
Tensão de saída V_o	800 V
Indutor L	1,6 mH
Capacitores de saída C_{o1} e C_{o1}	940 μ F
RSE dos capacitores de saída R_{C_o}	0,055 Ω
Capacitor chaveado C_{sw}	40 μ F
RSE do capacitor chaveado $R_{C_{sw}}$	0,005 Ω
Tensão direta nos diodos V_D	1,3 V
Resistência de condução dos MOSFETS R_s	0,08 Ω
Resistência de carga R_o	640 Ω

Figura 33 – Validação da curva de ganho estático por simulação.

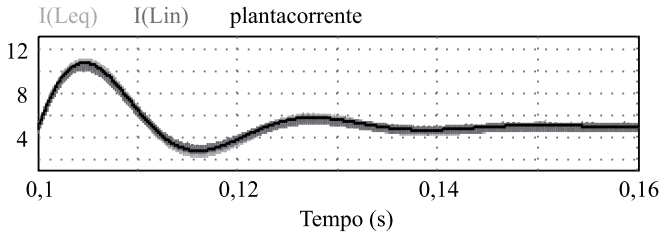


Para a validação do modelo dinâmico de corrente, foram utilizados os parâmetros definidos na Tabela 1. Foi aplicado um degrau de

razão cíclica de 0,01 aos circuitos completo e equivalente e à planta de corrente, e o resultado obtido é apresentado na Figura 34. O degrau foi aplicado após o circuito entrar em regime permanente com razão cíclica 0.49. Foi somado à saída da planta de corrente o valor de corrente em regime permanente antes da aplicação do degrau para melhor visualização.

Observa-se que o circuito equivalente, o circuito completo e a função de transferência calculada apresentam a mesma resposta dinâmica, portanto, pode-se considerar o modelo válido. Isto ocorre pois os polos dos elementos considerados na análise são dominantes em relação aos polos acrescentados pela inserção da célula de capacitor chaveado.

Figura 34 – Validação da planta de corrente.



3.7 CONCLUSÃO

Este capítulo apresentou a análise do conversor CC-CC *boost* híbrido, que é a estrutura que serviu como base para as topologias estudadas neste trabalho.

O princípio de operação foi apresentado e análises foram realizadas por meio do circuito equivalente com autotransformador. Este circuito serviu tanto para a análise do ganho estático, como para a análise do comportamento dinâmico da tensão de entrada.

A ondulação de corrente de entrada foi analisada em alta frequência e, a partir dela, será possível calcular o valor de indutância nos retificadores estudados.

Por fim, foi obtida a função de transferência da corrente de entrada em função da razão cíclica, que será utilizada para o controle da malha interna.

Cálculos referentes à tensão de saída, como ondulação e resposta dinâmica serão abordados no capítulo seguinte, pois esta análise deve ser feita na frequência da rede.

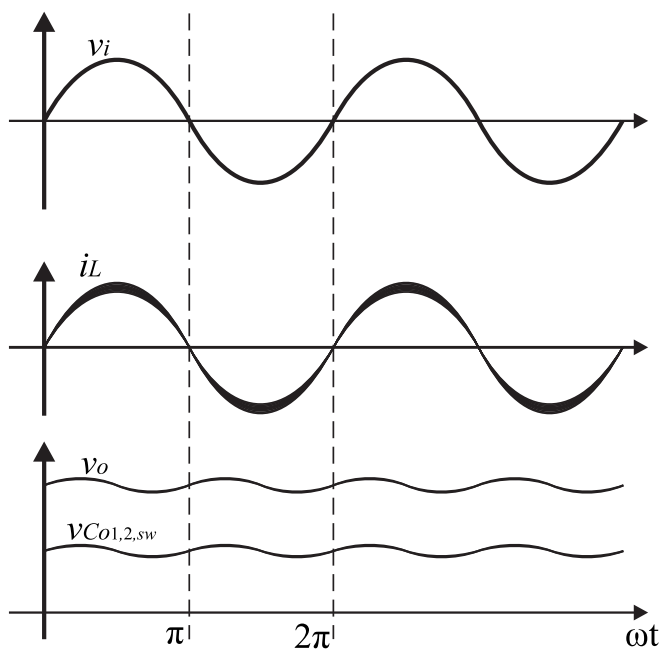
4 RETIFICADORES *BOOST* HÍBRIDOS

4.1 INTRODUÇÃO

Duas topologias novas foram propostas e neste capítulo elas serão estudadas junto com a topologia HBR, proposta por [7]. O projeto dos componentes passivos é o mesmo para as três topologias, porém os conversores apresentam esforços de corrente diferentes na célula de comutação.

No período de comutação os retificadores apresentam o comportamento descrito no capítulo anterior. Neste capítulo os conversores são analisados no período da rede. As principais formas de onda dos retificadores estudados são mostradas na Figura 35.

Figura 35 – Principais formas de onda dos retificadores *boost* híbridos.



Diferentemente da estrutura apresentada em [7, 33], o indutor é movido para o lado CA do retificador, portanto, a corrente no indutor é a própria corrente de entrada. Por se tratar de estruturas a dois níveis,

a frequência da rede é dobrada nos capacitores de saída.

A tensão nos capacitores é metade da tensão de saída e o cascateamento de mais células de capacitor chaveado possibilita o aumento da tensão de saída sem aumentar os valores de tensão nos capacitores. Desta forma, os esforços de tensão nos interruptores também não se alteram.

4.2 ETAPAS DE OPERAÇÃO

As estruturas propostas apresentam duas etapas de operação para cada semiciclo da rede. Os estados topológicos referentes ao semiciclo positivo da rede são apresentados na Figura 36. As únicas diferenças que os estados topológicos apresentam no semiciclo negativo são referentes à condução dos diodos da ponte retificadora, incluindo os diodos de corpo dos MOSFETs. Os estados topológicos no semiciclo negativo da rede são apresentados na Figura 37.

As etapas de operação são descritas da mesma forma que o conversor híbrido CC-CC. Na primeira etapa ocorre o armazenamento de energia no indutor L e no capacitor C_{sw} . Na segunda etapa a energia armazenada é transferida aos capacitores de saída.

É importante que na primeira etapa todos os interruptores de um braço conduzam, pois isto permite a transferência de energia do capacitor C_{o2} para C_{sw} . Esta estratégia de modulação é uma vantagem das topologias propostas, pois não há risco de curto circuito de braço e o conversor necessita de um único comando para todos os interruptores. Esta característica atribui a unidirecionalidade às células de comutação e torna as estruturas mais robustas.

Figura 36 – Etapas de operação no semiciclo positivo da rede (a) HBR - S conduz, (b) HBR - S bloqueia, (c) HBBR-2S - S_1 e S_2 conduzem, (d) HBR-2S - S_1 e S_2 bloqueiam, (e) HBBR-4S - S_1 , S_2 , S_3 e S_4 conduzem, (f) HBR-2S - S_1 , S_2 , S_3 e S_4 bloqueiam.

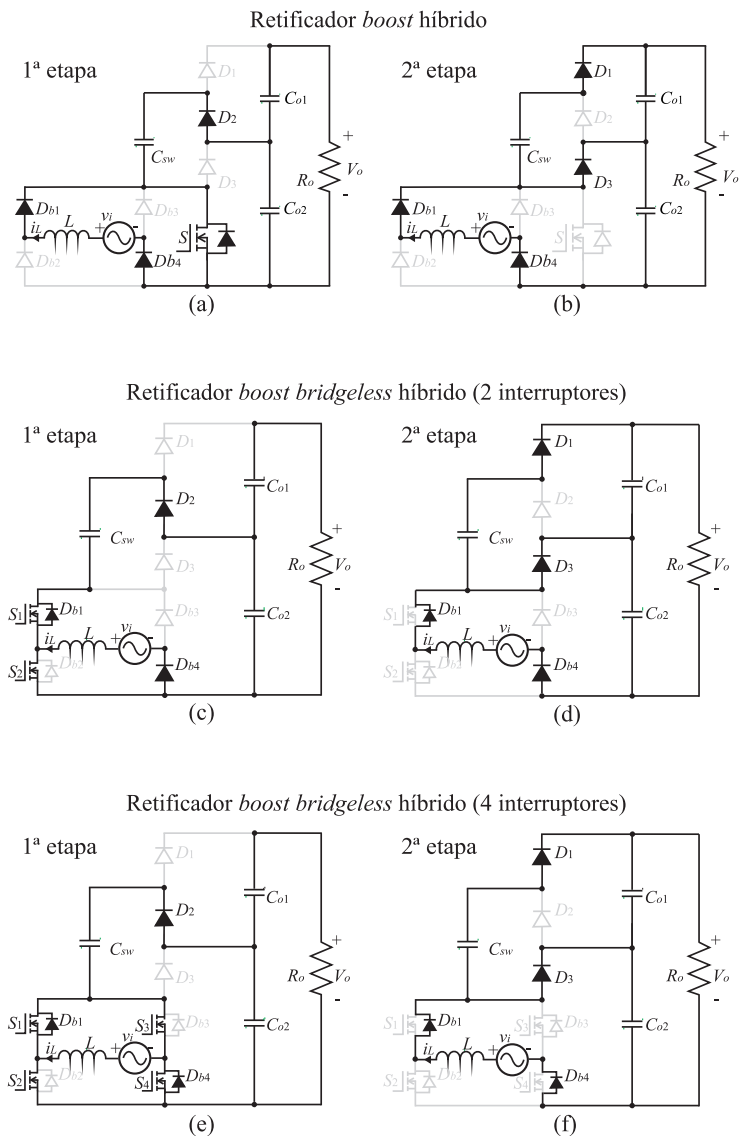
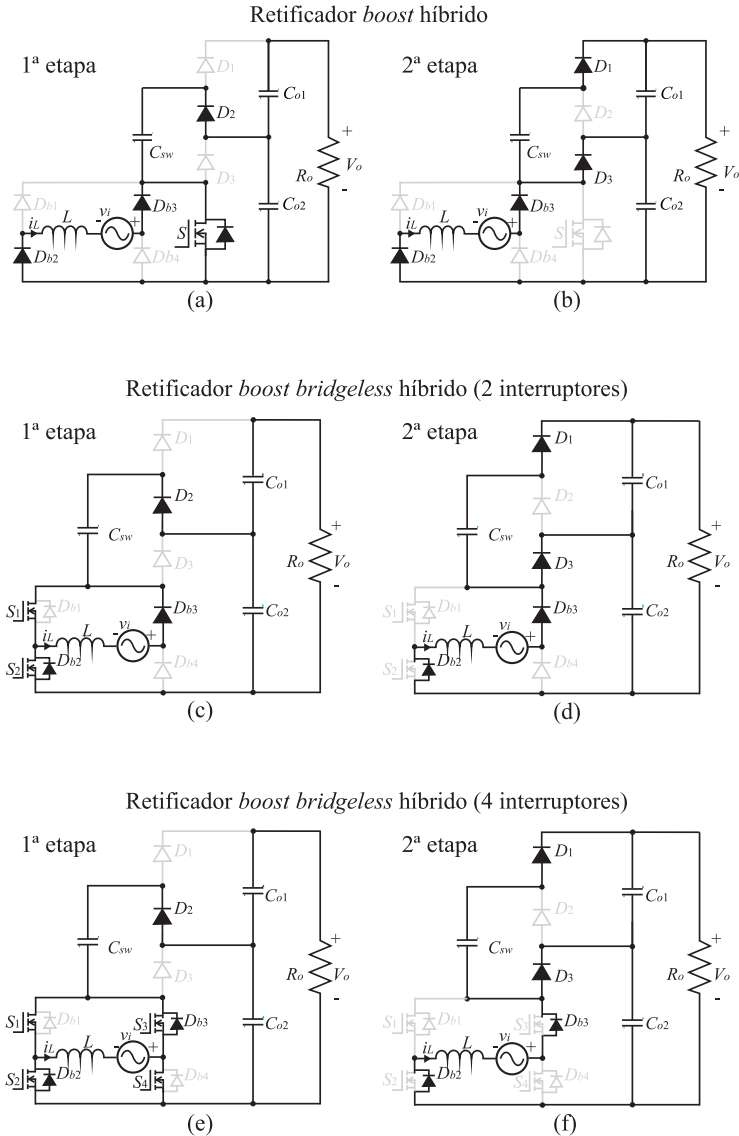


Figura 37 – Etapas de operação no semiciclo negativo da rede (a) HBR - S conduz, (b) HBR - S bloqueia, (c) HBBR-2S - S_1 e S_2 conduzem, (d) HBR-2S - S_1 e S_2 bloqueiam, (e) HBBR-4S - S_1 , S_2 , S_3 e S_4 conduzem, (f) HBR-2S - S_1 , S_2 , S_3 e S_4 bloqueiam.



4.3 GANHO ESTÁTICO NA FREQUÊNCIA DA REDE

A análise do retificador no período da rede é realizada em relação à variável α , descrita pela expressão (4.1). Ela relaciona o pico de tensão de entrada V_p com a tensão de saída V_o . No conversor *boost* convencional, este valor seria o índice de modulação da estrutura.

$$\alpha = \frac{V_p}{V_o} \quad (4.1)$$

O ganho estático da estrutura é reescrito em relação à variável α e ao ângulo da rede ωt como

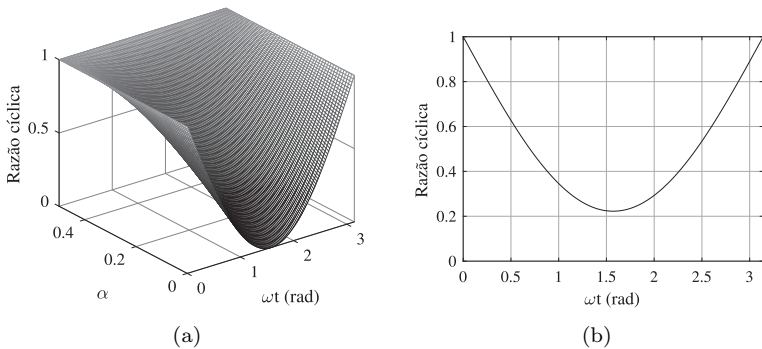
$$\frac{1}{\alpha \cdot \text{sen}(\omega t)} = \frac{2}{1 - d(\omega t)}. \quad (4.2)$$

Partindo da expressão (4.2), a razão cíclica é calculada a partir de α e do ângulo da rede como

$$d(\omega t) = 1 - 2 \cdot \alpha \cdot \text{sen}(\omega t). \quad (4.3)$$

Então são traçados os gráficos, mostrados na Figura 38 a, que apresenta a razão cíclica em relação ao ângulo da rede e à variável α e a Figura 38 b, que mostra um corte 2D do gráfico apresentado.

Figura 38 – (a) Razão cíclica em função de α e ωt ; (b) razão cíclica em função de ωt .



O gráfico foi traçado de 0 a π , pois para o semiciclo negativo o conversor apresenta a mesma característica, devido à unidirecionalidade

da célula de comutação. Isso pode ser observado no gráfico, pois na passagem por zero a razão cíclica tem valor 1, enquanto em uma célula de comutação bidirecional teria valor 0,5.

4.4 INDUTOR DE ENTRADA

A corrente no indutor possui envoltória senoidal na frequência da rede, portanto é necessário o projetar considerando o caso de maior ondulação de corrente. A equação de ondulação de corrente em alta frequência foi deduzida no capítulo anterior e ela é descrito em função do ângulo da rede por

$$\Delta i_L = \frac{v_i(\omega t) \cdot d(\omega t)}{L \cdot f_s}. \quad (4.4)$$

Reescrevendo (4.4) em função de α , obtém-se

$$\Delta i_L = \frac{V_o \cdot \alpha \cdot \text{sen}(\omega t) \cdot d(\omega t)}{L \cdot f_s}. \quad (4.5)$$

Utiliza-se a expressão (4.6) para eliminar o seno e reescrever a ondulação de corrente somente em função de $D(\omega t)$.

$$\alpha \cdot \text{sen}(\omega \cdot t) = \frac{1 - d(\omega t)}{2}. \quad (4.6)$$

Substituindo (4.6) em (4.5), obtém-se a expressão

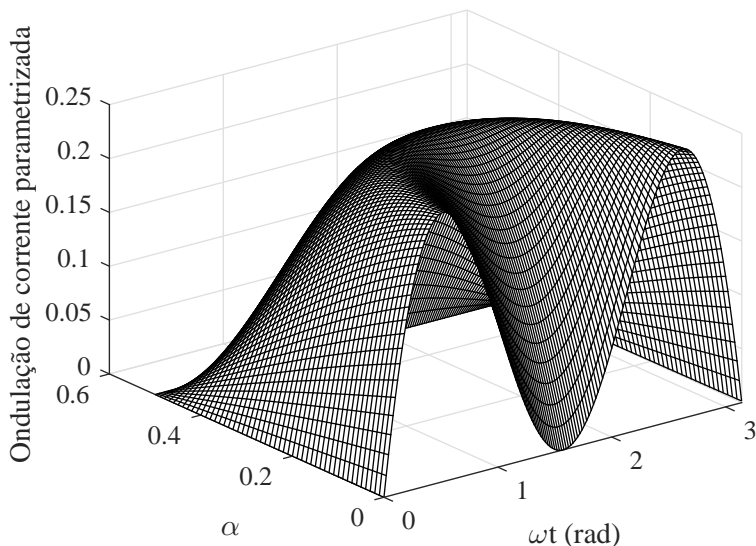
$$\Delta i_L = \frac{V_o \cdot (1 - d(\omega t)) \cdot d(\omega t)}{2 \cdot L \cdot f_s}. \quad (4.7)$$

Esta expressão é então parametrizada, resultando na expressão (4.8). Ao considerar que D é uma função de α e ωt , o gráfico de ondulação de corrente parametrizada é traçado (Figura 39),.

$$\overline{\Delta i_L} = (1 - d(\omega t)) \cdot d(\omega t) \quad (4.8)$$

Observa-se que para valores de α próximos de zero, a ondulação de corrente não possui seu pico no ponto de maior corrente ($\omega t = \pi/2$). Para especificar o ponto de maior ondulação de corrente, é necessário

Figura 39 – Ondulação de corrente parametrizada em função de α e ωt .



derivar a expressão (4.8) e igualar a zero, resultando em

$$\frac{d\overline{\Delta i_L}}{d(\omega t)} = 1 - 2d(\omega t) = 0 \quad . \quad (4.9)$$

$$d(\omega t) = 0.5$$

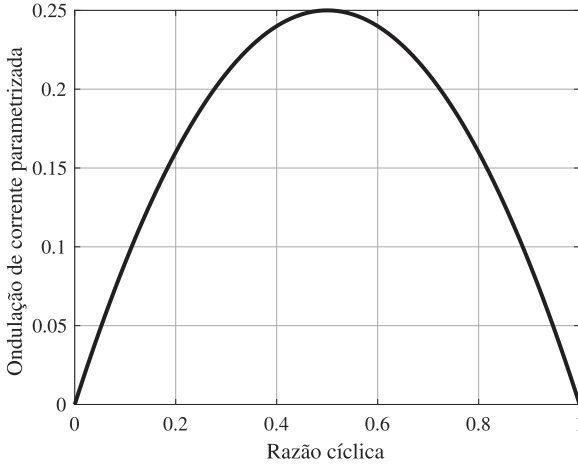
A derivada segunda da expressão é -2 e, por ser negativa, significa que o ponto $D = 0,5$ é o ponto de máxima ondulação de corrente. Isto é melhor visualizado traçando o gráfico de $\overline{\Delta i_L}$ em função de D (Figura 40), em que observa-se que $\overline{\Delta i_L}$ é uma função parabólica com pico em $D = 0,5$.

Substituindo ωt por $\pi/2$ na expressão (4.2), a expressão (4.10) é encontrada, que descreve o valor mínimo de razão cíclica para determinado α .

$$D_{min} = 1 - 2 \cdot \alpha. \quad (4.10)$$

Substituindo (4.10) em (4.7), obtém-se a expressão (4.11), que é usada para calcular a indutância para $\alpha < 0.25$.

Figura 40 – Ondulação de corrente parametrizada em função da razão cíclica de D .



$$L = \frac{V_o \cdot (1 - D_{min}) \cdot D_{min}}{2 \cdot \Delta i_L \cdot f_s} \quad (4.11)$$

Caso $\alpha > 0.25$, considera-se $D = 0.5$, que é a condição de maior ondulação de corrente. Neste caso, a indutância é calculada por

$$L = \frac{V_o}{8 \cdot \Delta i_L \cdot f_s}. \quad (4.12)$$

A ondulação de corrente pode ser calculada em relação à corrente de pico de entrada, I_p , que é descrita por

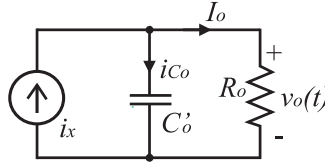
$$I_p = 2 \cdot \frac{P_o}{V_p}. \quad (4.13)$$

4.5 CAPACITORES DE SAÍDA

O projeto dos capacitores C_{o1} e C_{o2} é feito considerando os como uma associação de dois capacitores em série com uma capacitância equivalente C'_o , cujo valor é $2 \cdot C_{o1,2}$, assumindo que os dois capacitores de

saída são iguais. Os capacitores de saída devem ser projetados para atenuar componentes harmônicas de baixa frequência. Para o dimensionamento destes capacitores, a saída é vista como um circuito equivalente, como ilustrado na Figura 41.

Figura 41 – Circuito equivalente da saída do conversor.



Por se tratar de um retificador de onda completa de dois níveis, a frequência de saída é o dobro da frequência da rede f_g , portanto, a reatância capacitiva é dada por

$$X_{C'_o} = \frac{1}{4 \cdot \pi \cdot f_g \cdot C'_o}. \quad (4.14)$$

Sabe-se que o valor pico a pico da ondulação de tensão sobre o capacitor é a própria ondulação de tensão na saída, portanto, a reatância capacitiva pode ser escrita também como

$$X_{C'_o} = \frac{\Delta V_o}{I_{C_{pp}}}, \quad (4.15)$$

em que $I_{C_{pp}}$ é a ondulação pico a pico de corrente no capacitor de saída. Substituindo (4.15) em (4.14), obtém-se o valor de capacitância de saída, descrito por

$$C'_o = \frac{I_{C_{pp}}}{4 \cdot \pi \cdot f_g \cdot \Delta V_o}, \quad (4.16)$$

O valor de $I_{C_{pp}}$ é encontrado igualando as potências instantâneas de entrada e saída do conversor, assim obtendo a expressão

$$V_p \cdot I_p \cdot \text{sen}^2(\omega t) = V_o \cdot i_x(\omega t). \quad (4.17)$$

Ao isolar a variável i_x e substituir (4.13) em (4.16), obtém-se a expressão

$$i_x(\omega t) = \frac{2 \cdot P_o \cdot \text{sen}^2(\omega t)}{V_o}. \quad (4.18)$$

A expressão encontrada possui uma componente alternada e uma componente contínua por se tratar de um seno ao quadrado. Ao aplicar uma identidade trigonométrica, a expressão é reescrita como (4.19), assim separando as duas componentes de i_x .

$$i_x(\omega t) = \frac{P_o}{V_o} - \frac{P_o \cdot \cos(2 \cdot \omega t)}{V_o} \quad (4.19)$$

Considera-se que toda a componente alternada de i_x é processada pelo capacitor C'_o . A corrente pico no capacitor é definida pelo do valor de corrente instantânea em $\omega t = \pi/2$. Ao multiplicar o valor de pico por 2, o valor pico a pico é encontrado, como descrito na expressão

$$I_{C_{pp}}(\omega t) = 2 \cdot \frac{P_o}{V_o}. \quad (4.20)$$

Substituindo (4.20) em (4.16), encontra-se a expressão (4.21), que determina o valor da capacitância equivalente.

$$C'_o = \frac{P_o}{2 \cdot \pi \cdot f_g \cdot \Delta V_o \cdot V_o} \quad (4.21)$$

O valor individual dos capacitores de saída C_{o1} e C_{o2} é obtido ao multiplicar C'_o pelo ganho $(N + 1)$.

4.6 MODELO DINÂMICO DA TENSÃO DE SAÍDA

A função de transferência da tensão de saída é obtida mediante análise do circuito equivalente da saída, mostrado anteriormente na Figura 41. A planta a ser obtida é a função de transferência da tensão de saída em relação à corrente de pico de entrada.

Considerando que o conversor seja ideal, as potências de entrada e saída são iguais na expressão

$$\frac{V_p \cdot I_p}{2} = I_x \cdot V_o. \quad (4.22)$$

Ao isolar a corrente I_x e considerar que a corrente de entrada é a corrente no indutor, (4.23) é encontrada.

$$I_x = \frac{V_p \cdot \langle i_{Lp}(t) \rangle}{2 \cdot \langle v_o(t) \rangle} \quad (4.23)$$

Dado que I_x é a soma das correntes do capacitor e da carga,

(4.24) é reescrita como

$$\frac{V_p \cdot \langle i_{Lp}(t) \rangle}{2 \cdot \langle v_o(t) \rangle} = C'_o \cdot \frac{d \langle v_o(t) \rangle}{dt} + \frac{\langle v_o(t) \rangle}{R_o}. \quad (4.24)$$

Os valores médios quase instantâneos são, então, decompostos em pequenos e grandes sinais, resultando na expressão

$$V_p \cdot I_{Lp} + V_p \cdot \hat{i}_{Lp}(t) = 2 \cdot V_o \cdot C'_o \cdot \frac{d\hat{v}_o(t)}{dt} + 2 \cdot \hat{v}_o(t) \cdot C'_o \cdot \frac{d\hat{v}_o(t)}{dt} + \frac{2 \cdot \hat{v}_o(t)^2}{R_o} + \frac{4 \cdot V_o \cdot \hat{v}_o(t)}{R_o} + \frac{2 \cdot V_o^2}{R}. \quad (4.25)$$

Desprezando os termos de grandes sinais e de segunda ordem, e aplicando a transformada de Laplace, a expressão (4.26) é obtida.

$$V_p \cdot R \cdot \hat{i}_{Lp}(s) = 2 \cdot V_o \cdot R_o \cdot C'_o \cdot s \cdot \hat{v}_o(s) + 4 \cdot V_o \cdot \hat{v}_o(s). \quad (4.26)$$

Ao reescrever (4.26) em função da tensão de saída e da corrente de entrada, obtém-se a função de transferência

$$G_v(s) = \frac{\hat{v}_o(s)}{\hat{i}_{Lp}(s)} = \frac{V_p \cdot R_o}{2 \cdot V_o \cdot C'_o \cdot R_o \cdot s + 4 \cdot V_o}. \quad (4.27)$$

4.6.1 Simulação do modelo dinâmico de tensão de saída

Com a finalidade de validar a função de transferência obtida, foi realizada a simulação do retificador controlando somente a corrente de entrada e um degrau foi aplicado na referência. O circuito utilizado para a simulação do retificador é apresentado na Figura 42.

As especificações dos componentes nesta simulação são as mesmas utilizadas nos protótipos montados e são apresentadas na Tabela 2.

A função de transferência apresentou o mesmo comportamento que o circuito simulado, como mostra a Figura 43. O capacitor C_{sw} não influencia no degrau, pois ele somente realiza a transferência entre os capacitores e seu valor é pequeno em relação aos capacitores de saída, portanto o polo que ele acrescenta encontra-se em uma frequência muito elevada. Isto faz com que o polo do capacitor equivalente de saída apresente característica dominante.

Figura 42 – Circuito utilizado para a simulação do retificador.

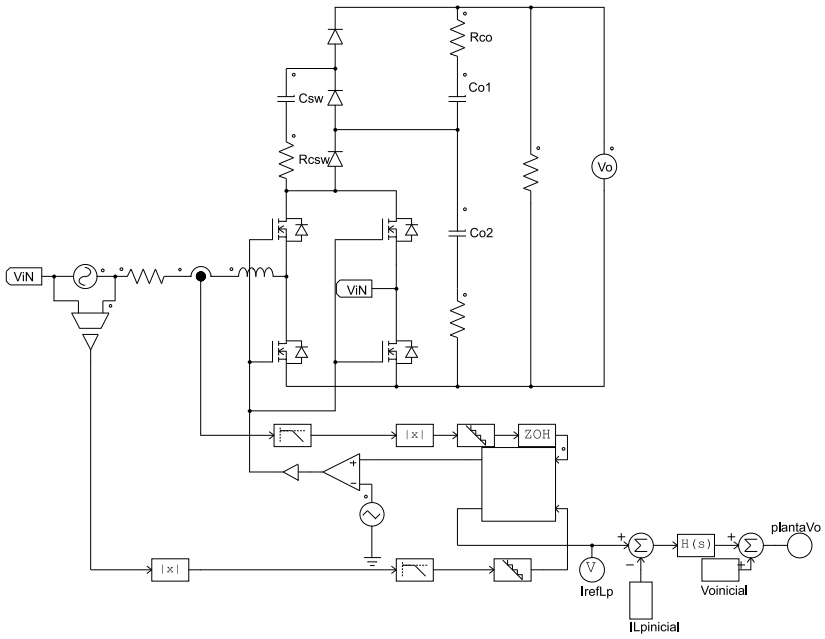
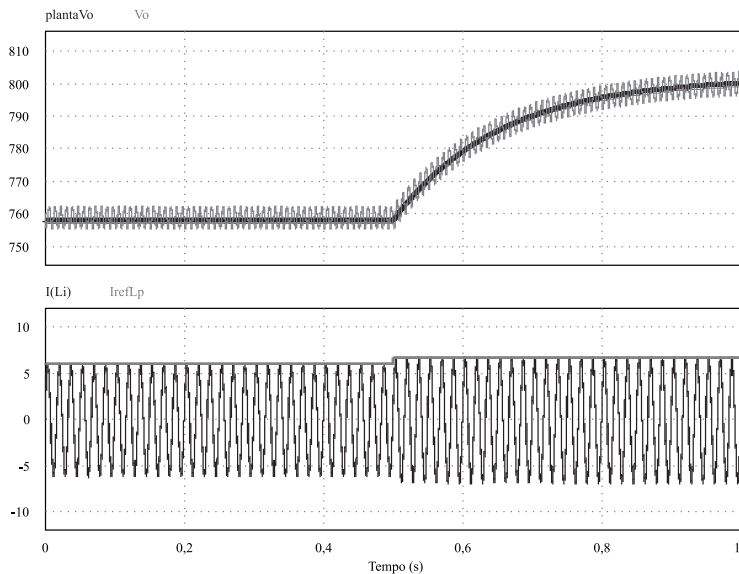


Tabela 2 – Especificações da simulação para resposta dinâmica da tensão de saída

Componente	Especificação
Potência nominal P_o	1000 W
Tensão eficaz de entrada V_{ief}	220 V
Frequência da rede f_g	60 Hz
Frequência de comutação f_s	100 kHz
Tensão de saída V_o	800 V
Indutor L	1,6 mH
Capacitores de saída C_{o1} e C_{o1}	940 μ F
RSE dos capacitores de saída R_{C_o}	0,055 Ω
Capacitor chaveado C_{sw}	40 μ F
RSE do capacitor chaveado $R_{C_{sw}}$	0,005 Ω
Tensão direta nos diodos V_D	1,3 V
Resistência de condução dos MOSFETS R_s	0,08 Ω
Resistência de carga R_o	640 Ω

Figura 43 – Comportamento dinâmico da tensão de saída.



4.7 ESFORÇOS DO CONVERSOR

As equações dos esforços de tensão e de corrente são necessárias para o dimensionamento de um projeto do conversor. Os esforços máximos de tensão em todos os componentes são dados por, idealmente, $V_o/(N + 1)$. Isto ocorre porque, como visto nos estados topológicos descritos pelas Figuras 36 e 37, no momento em que um semiconductor bloqueia, ele é associado em paralelo a um dos capacitores. Portanto, seus esforços de tensão são uma fração da tensão de saída referente ao número de células *ladder* cascadeadas.

Por se tratar de retificadores, os esforços de corrente variam conforme o ângulo da rede elétrica. Para realizar a análise dos esforços de corrente, consideram-se algumas simplificações, pois por se tratar de estruturas híbridas com célula de capacitor chaveado, as correntes naturalmente apresentam não linearidades relacionadas ao modo de operação da célula. Portanto, para tal análise, assume-se que a célula opera no modo de carga próximo ao SC, o que implica que, para um estado topológico, a corrente instantânea equivale ao seu valor médio quase instantâneo no mesmo estado.

Primeiramente, considera-se que as correntes nos diodos D_1 , D_2 e D_3 são iguais para as três topologias, idealmente. Sabe-se que a corrente média nos diodos equivale à corrente de saída, assim como no diodo de saída do conversor *boost* convencional, pois as correntes médias nos capacitores são nulas. Sendo que a corrente destes diodos é entregue aos capacitores e à saída, o seu valor médio é o próprio valor de saída. Deve-se fazer a relação entre a corrente de entrada e a corrente de saída para obter os valores quase-instantâneos das correntes no período de comutação. A relação entre as correntes de entrada e saída é dada por

$$I_o = i_L \cdot \frac{1 - D}{2}, \quad (4.28)$$

em que D pode ser descrito em relação ao ângulo da rede ωt , como descrito anteriormente na equação (4.3).

A partir dos valores médios de corrente, obtém-se os valores instantâneos de corrente no diodo D_2 na primeira etapa de operação e dos diodos D_1 e D_3 na segunda etapa. Estes valores são descritos por

$$\begin{cases} i''_{D1} = i''_{D3} = \frac{I_o}{(1-D)} = \frac{i_L}{2} \\ i''_{D2} = \frac{I_o}{D} = \frac{i_L \cdot (1-D)}{2 \cdot D} \end{cases} . \quad (4.29)$$

Com base na expressão (4.29), encontra-se os valores instantâneos de corrente em C_{sw} , que serão usados para determinar os esforços de corrente nos interruptores das células de comutação de cada topologia. Considerando a corrente no capacitor em função do ângulo da rede, os valores de corrente para cada etapa de operação são descritos por

$$\begin{cases} i'_{C_{sw}} = i'_{D2} = \frac{\alpha \cdot I_p \cdot \text{sen}^2(\omega t)}{1 - 2 \cdot \alpha \cdot \text{sen}(\omega t)} \\ i''_{C_{sw}} = i''_{D1,3} = \frac{I_p \cdot \text{sen}(\omega t)}{2} \end{cases} \quad (4.30)$$

Nas três topologias, os esforços de corrente na célula de comutação são dados por relações entre i_L e $i_{C_{sw}}$. Para a topologia HBR, a corrente instantânea nos diodos na ponte de entrada equivale à corrente de entrada i_L nas duas etapas de operação. Já a corrente no interruptor S é descrita por

$$i'_s = i_L + i'_{C_{sw}} = \frac{I_p \cdot \text{sen}(\omega t) \cdot (1 - \alpha \cdot \text{sen}(\omega t))}{1 - 2 \cdot \alpha \cdot \text{sen}(\omega t)} \quad (4.31)$$

Na topologia HBRR-2S, a corrente nos diodos da célula de comutação é igual ao HBR. A corrente nos interruptores tem características diferentes para os diferentes semiciclos da rede. Para o semiciclo positivo, as correntes nos MOSFETs e nos diodos de corpo são descritas por

$$\begin{cases} i'_{s1} = i_{C_{sw}} = \frac{\alpha \cdot I_p \cdot \text{sen}^2(\omega t)}{1 - 2 \cdot \alpha \cdot \text{sen}(\omega t)} \\ i'_{s2} = i_{C_{sw}} + i_L = \frac{I_p \cdot \text{sen}(\omega t) \cdot (1 - \alpha \cdot \text{sen}(\omega t))}{1 - 2 \cdot \alpha \cdot \text{sen}(\omega t)} \\ i''_{Db1} = i'_{Db4} = i''_{Db4} = I_p \cdot \text{sen}(\omega t) \end{cases} \quad (4.32)$$

Para o semiciclo negativo, os esforços de corrente do interruptor S_1 são iguais aos esforços de S_2 para o semiciclo positivo, e vice-versa.

A topologia HBRR-4S possui quatro interruptores em sua célula de comutação. Para o semiciclo positivo, a corrente nos interruptores é descrita por (4.29). Percebe-se que as correntes do indutor e do capacitor C_{sw} são divididas por 2 nos interruptores, pois há dois caminhos para a corrente na etapa de armazenamento.

$$\begin{cases} i'_{s1,4} = \frac{i'_{C_{sw}} - i_L}{2} = \frac{I_p \cdot \text{sen}(\omega t) \cdot (3 \cdot \alpha \cdot \text{sen}(\omega t) - 1)}{2 - 4 \cdot \alpha \cdot \text{sen}(\omega t)} \\ i'_{s2,3} = \frac{i'_{C_{sw}} + i_L}{2} = \frac{I_p \cdot \text{sen}(\omega t) \cdot (1 - \alpha \cdot \text{sen}(\omega t))}{2 - 4 \cdot \alpha \cdot \text{sen}(\omega t)} \\ i''_{Db1,4} = I_p \cdot \text{sen}(\omega t) \end{cases} \quad (4.33)$$

Assim como nas outras estruturas, a corrente de um interruptor

no semiciclo negativo equivale à corrente do interruptor complementar no semiciclo positivo da rede.

Os valores médios e eficazes de corrente são obtidos ao analisar estes valores no período de comutação. Em seguida, estes mesmos valores são extraídos em relação ao período da rede. Desta forma, obtém-se os valores médios de corrente nos diodos e os valores eficazes nos interruptores nas topologias HBR, HBBR-2S e HBBR-4S através das respectivas equações (4.34), (4.35) e (4.36).

$$\left\{ \begin{array}{l} I_{Sef} = \sqrt{\frac{I_p^2}{\pi} \int_0^\pi \frac{\text{sen}^2(\omega t) \cdot (1 - \alpha \cdot \text{sen}(\omega t))^2}{1 - 2 \cdot \alpha \cdot \text{sen}(\omega t)} d\omega t} \\ I_{Db1-4} = \frac{2 \cdot I_p}{\pi} \end{array} \right. \quad (4.34)$$

$$\left\{ \begin{array}{l} I_{S1,2ef} = \sqrt{\frac{I_p^2}{2 \cdot \pi} \left[\int_0^\pi \frac{\text{sen}^2(\omega t) \cdot (1 - \alpha \cdot \text{sen}(\omega t))^2}{1 - 2 \cdot \alpha \cdot \text{sen}(\omega t)} d\omega t \right.} \\ \left. + \alpha \int_0^\pi \frac{\text{sen}^4(\omega t)}{1 - 2 \cdot \alpha \cdot \text{sen}(\omega t)} d\omega t \right]} \\ I_{Db1,2} = \frac{I_p \cdot \alpha}{2} \\ I_{Db3,4} = \frac{2 \cdot I_p}{\pi} \end{array} \right. \quad (4.35)$$

$$\left\{ \begin{array}{l} I_{S1-4ef} = \sqrt{\frac{I_p^2}{16 \cdot \pi} \left[\int_0^\pi \frac{\text{sen}^2(\omega t) \cdot (3 \cdot \alpha \cdot \text{sen}(\omega t) - 1)^2}{1 - 2 \cdot \alpha \cdot \text{sen}(\omega t)} d\omega t \right.} \\ \left. + \int_0^\pi \frac{2 \cdot \text{sen}^2(\omega t) \cdot (1 - \alpha \cdot \text{sen}(\omega t))^2}{1 - 2 \cdot \alpha \cdot \text{sen}(\omega t)} d\omega t \right]} \\ I_{Db1-4} = \frac{I_p \cdot \alpha}{2} \end{array} \right. \quad (4.36)$$

4.8 CONCLUSÃO

Neste capítulo as três estruturas de retificadores foram descritas. As etapas de operação foram apresentadas para os semiciclos positivo e negativo da rede elétrica.

Foi apresentado o ganho estático do conversor em função do ângulo da rede e, a partir do ganho estático, foi calculada a razão cíclica em função do ângulo.

A ondulação de corrente foi parametrizada e observou-se que a maior ondulação ocorre com razão cíclica 0,5, assim como no conversor *boost* convencional.

Foi realizado o cálculo dos capacitores de saída a partir de um circuito equivalente. A partir deste mesmo circuito, a função de transferência da saída a partir do valor de pico da corrente de entrada foi obtida. Esta função de transferência foi validada via simulação pelo

software PSIM.

Por fim, os esforços de tensão e de corrente foram apresentados. Os esforços de corrente das topologias variam de acordo com a célula de comutação da estrutura, porém os diodos da célula de capacitor chaveado apresentam a mesma corrente para as três topologias. Foram calculados os valores médios de corrente nos diodos e os valores eficazes nos interruptores.

5 PROJETO E VERIFICAÇÃO EXPERIMENTAL

5.1 DIMENSIONAMENTO DOS COMPONENTES E SIMULAÇÃO

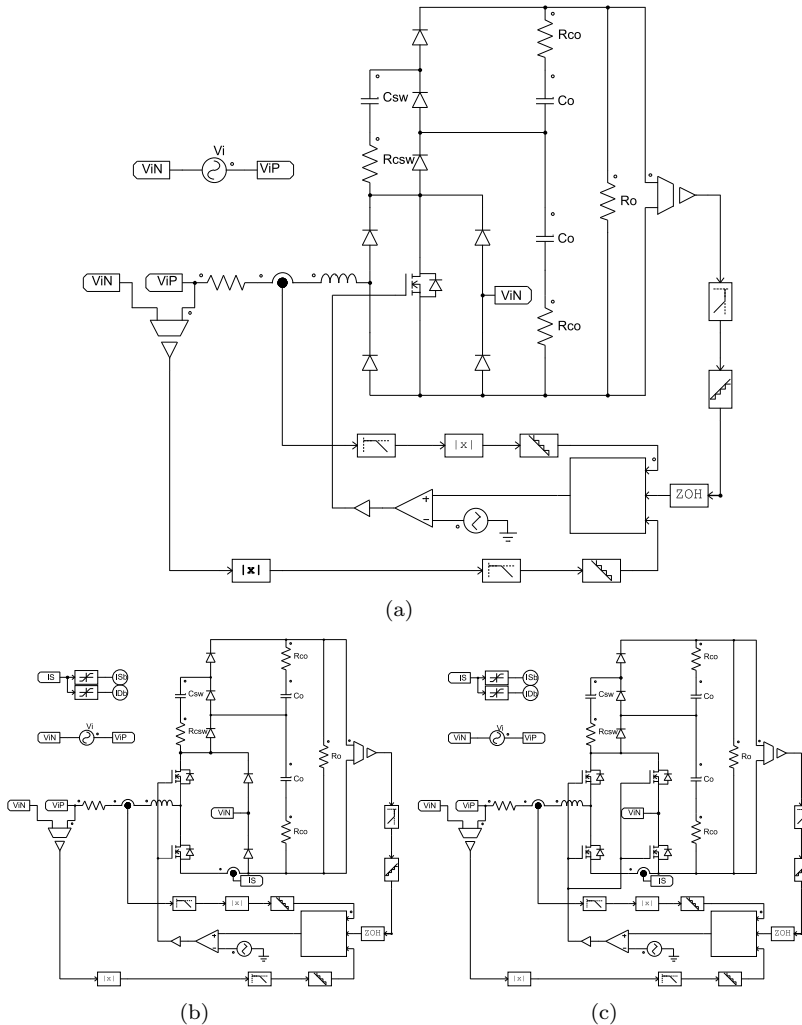
Para validar as estruturas propostas, três protótipos foram montados, um para cada estrutura estudada. Foi utilizado o *software* PSIM para a verificação por simulação dos componentes dimensionados. Os diagramas dos circuitos simulados no PSIM são apresentados na Figura 44, em que se observa a utilização de blocos de saturação nas medições de corrente. Estes blocos foram utilizados para separar as correntes no canal dos MOSFETs das correntes nos diodos de corpo.

Primeiramente, foi calculada a indutância de entrada a partir das equações obtidas no capítulo anterior para o ponto com maior ondulação de corrente em alta frequência, ou seja, $D = 0,5$. O indutor foi calculado para apresentar ondulação de corrente inferior a 10 % do valor de sua corrente de pico. O valor de indutância calculado foi de 1,56 mH e este foi arredondado para 1,6 mH. O conversor foi simulado e percebe-se que, no ponto de maior ondulação apresentado na Figura 45, a ondulação de corrente foi de 625 mA, que é aproximadamente 10 % do valor de pico calculado, que foi 6,428 A. O indutor foi construído com um núcleo toroidal amorfo AmoFlux 0088439A7 da fabricante Magnetics e um fio sólido 15 AWG. Por causa do baixo conteúdo harmônico de alta frequência, não houve necessidade de utilizar fio litz. O projeto físico do indutor (baseado na metodologia apresentada em [34]) é descrito no Apêndice C.

Os capacitores de saída foram projetados para ter ondulação de tensão inferior a 1 % do valor da tensão nominal de saída e o valor mínimo calculado para cada capacitor foi 828,9 μF . Em função da resistência série equivalente e a corrente nominal, optou-se por usar dois capacitores eletrolíticos de 470 μF em paralelo para cada capacitor de saída. O modelo utilizado foi o EPCOS B43501, que possui resistência série equivalente aproximada de 0,11 Ω e possui tensão nominal de 500 V. Foi realizada a simulação utilizando este valor de capacitância e a forma de onda obtida é mostrada na Figura 46. Observa-se que a ondulação de tensão em baixa frequência é de aproximadamente 7 V, que é menor que 1 % do valor de tensão nominal de saída.

Para dimensionar os dispositivos semicondutores, foram calculados os valores de tensão e de corrente. A tensão máxima sobre todos os interruptores é de aproximadamente 400 V, que é a tensão nos capacitores da estrutura. O valor médio de corrente nos diodos D_1 , D_2 e

Figura 44 – Diagrama dos circuitos simulados (a) HBR; (b) HBBR-2S; (c) HBBR-4S.



D_3 das três estruturas equivale à corrente de saída. A Figura 47 apresenta a corrente sobre os diodos do conversor HBBR-4S no período da rede. O valor médio de corrente calculado para estes diodos foi de 1,25 A. Os valores médios de corrente dos diodos D_1 , D_2 e D_3 obtidos por

Figura 45 – Ondulação de corrente em alta frequência.

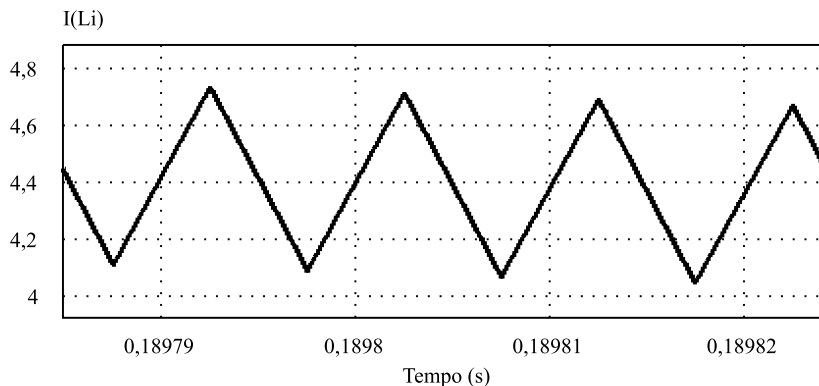
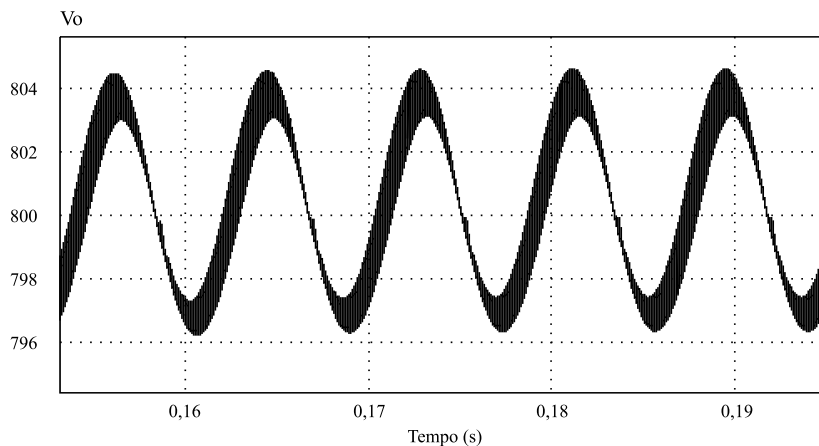


Figura 46 – Ondulação de tensão na saída.

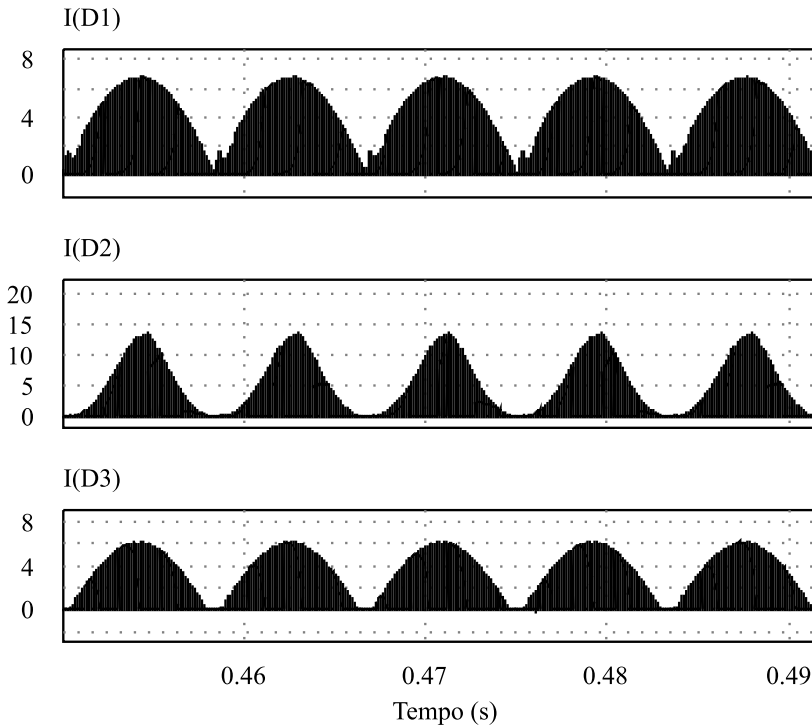


simulação foram de, respectivamente, 1,274 A, 1,283 A e 1,2705 A. As diferenças dos valores simulados para o valor calculado se dão devido às idealizações consideradas nos cálculos das correntes.

Os valores de corrente calculados nas células de comutação variam conforme cada estrutura. Seus valores dependem da corrente no indutor de entrada e da corrente no capacitor C_{sw} , que é mostrada na Figura 48.

Na topologia HBR, as formas de corrente da célula de comutação são representadas pela Figura 49. O valor médio de corrente calculado

Figura 47 – Corrente nos diodos da célula de capacitor chaveado.



nos diodos D_{b1-4} foi de 2,046 A e o valor simulado foi de, em média, 2,096 A. O valor eficaz de corrente calculado para o interruptor S foi de 5,398 A, enquanto a simulada foi de 5,475 A.

Na estrutura HBBR-2S as formas de onda simuladas da corrente da célula de comutação são mostradas na Figura 50. O valor médio de corrente calculado nos diodos $D_{b3,4}$ foi 2,046 A e o valor simulado foi 2,088 A. Nos interruptores $S_{1,2}$ a corrente calculada foi de 4,337 A e a corrente simulada 4,334 A. Nos diodos de corpo dos MOSFETs $D_{b1,2}$ os valores calculado e simulado de corrente média foram de, respectivamente, 1,25 A e 1,257 A.

As formas de onda simuladas da corrente da célula de comutação da topologia HBBR-4S são apresentadas na Figura 51. O valor eficaz de corrente calculado nos MOSFETs foi de 1,959 A e o simulado foi de 1,954 A. Nos diodos de corpo, o valor médio de corrente calculado foi de 1,251 A.

Figura 48 – Corrente no capacitor C_{sw} no período da rede.

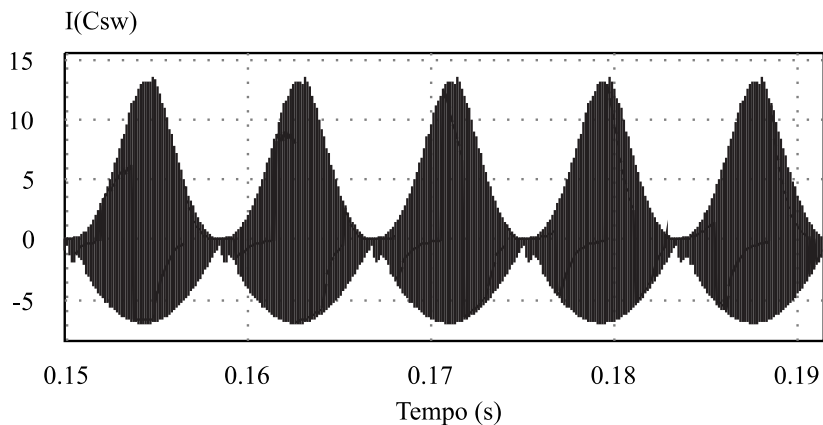
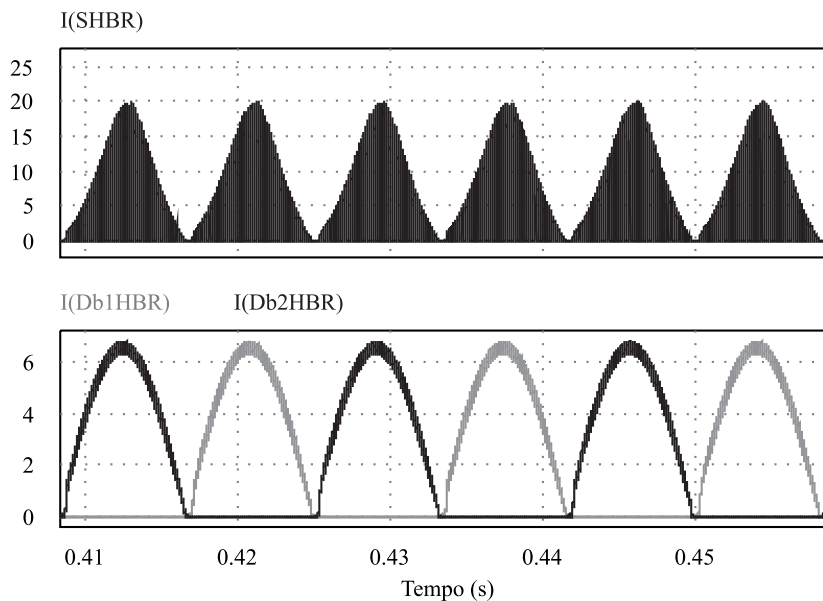
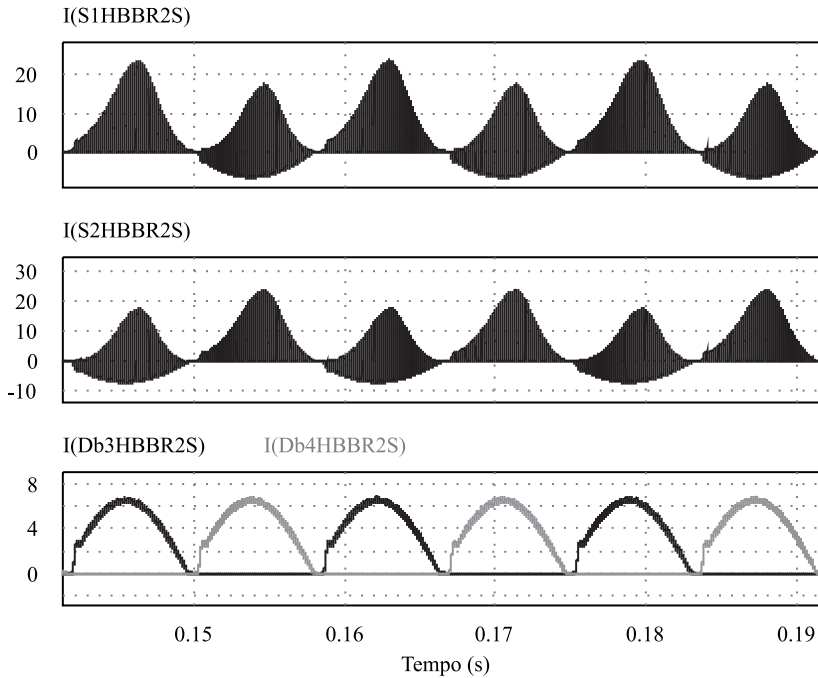


Figura 49 – Corrente na célula de comutação da topologia HBR.



O maior valor eficaz de corrente calculado nos interruptores foi de 5,398 A na topologia HBR e o maior valor médio de corrente encontrado nos diodos foi 2,046 A nos diodos da ponte retificadora nas

Figura 50 – Corrente na célula de comutação da topologia HBBR-2S.



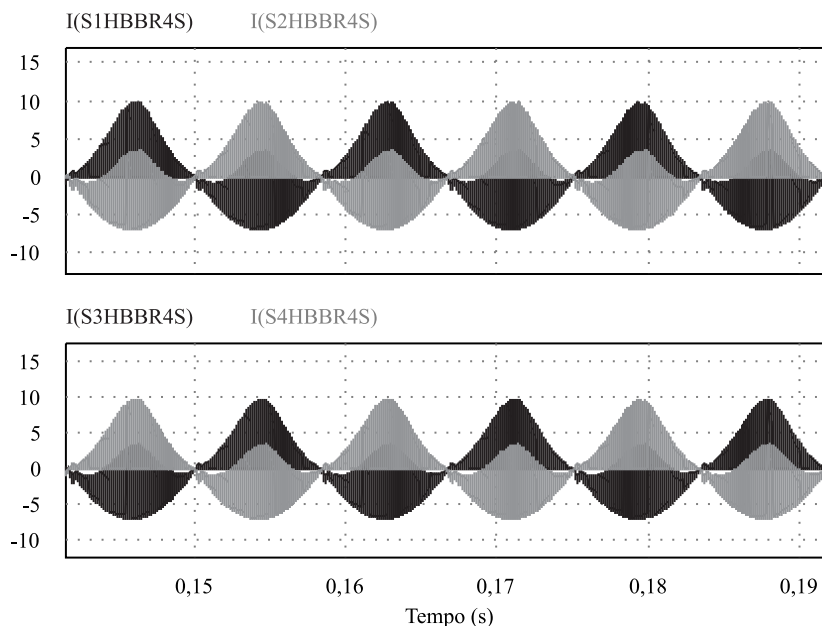
topologias HBR e HBBR-2S. Para poder comparar de forma melhor as diferentes topologias, optou-se por utilizar os mesmos componentes semicondutores.

Os MOSFETs escolhidos foram do modelo IPW65R080CFD da família CoolMOS da Infineon. Estes MOSFETS suportam tensão reversa de 650 V, valor médio de corrente de 27,4 A e possuem resistência de canal de 0,08 Ω .

Foram utilizados diodos do modelo SCS208AM da Rohm, que são diodos de SiC (carbeto de silício) que suportam valores médios de corrente de 8 A e 650 V de tensão reversa. Nota-se que ambos componentes possuem valores de tensão reversa menores que a tensão de saída, o que destaca uma das principais vantagens da topologia, que é a divisão de esforços de tensão nos componentes.

A partir do dimensionamento dos principais componentes, as resistências parasitas dos circuito são encontradas. As componentes parasitas permitem o cálculo da resistência equivalente da célula *ladder*, apresentada na Figura 52. Desta forma, o valor de C_{sw} foi calculado

Figura 51 – Corrente na célula de comutação da topologia HBBR-4S.



e, baseado na curva de resistência equivalente, e na sua disponibilidade para compra em pouca quantidade, o valor de $40 \mu\text{F}$ foi escolhido.

Utilizou-se um capacitor de filme modelo EZP-E50406MTA da Panasonic, com valor de tensão nominal de 500 V e resistência série equivalente de $5,4 \text{ m}\Omega$. Como mostra simulação na Figura 53, os picos de corrente não são muito elevados, o que indica que o conversor opera no modo CP.

O controle dos protótipos foi feito de forma digital com um DSP TMS320F28069 da Texas Instruments. A frequência de amostragem escolhida foi de 100 kHz, sincronizado com o sinal PWM. Utilizou-se portadora triangular para evitar que o sinal fosse amostrado no instante de comutação, o que tem como consequência a leitura de ruídos de comutação que podem prejudicar o controle.

Os controladores implementados foram do tipo PI (proporcional integral). O controlador de corrente foi projetado com frequência de cruzamento ω_c de 2 kHz e margem de fase (MF) de 60° . A equação do controlador de corrente é descrita por (5.1). Para o controlador de tensão, o ganho estático k_{ci} calculado foi 0,086 e a frequência do zero

Figura 52 – Resistência equivalente em função da capacitância C_{sw} .

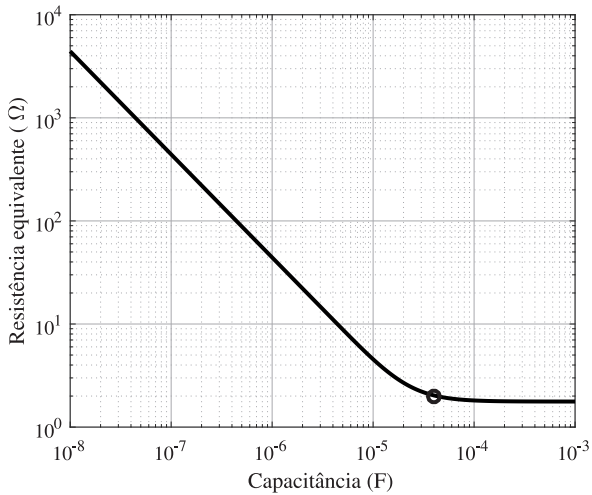
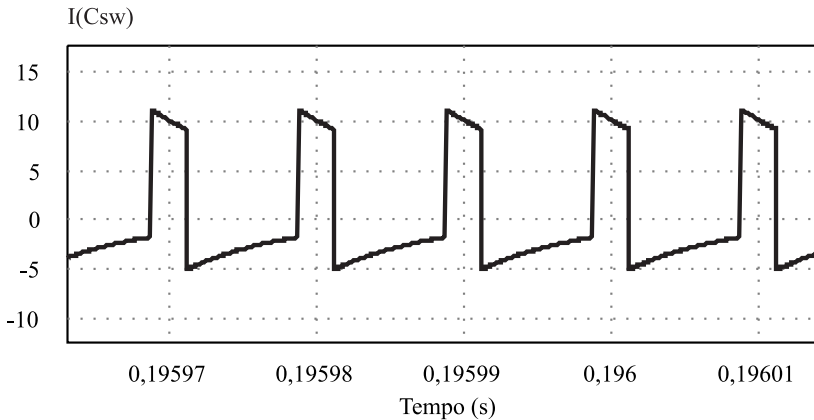


Figura 53 – Ondulação de corrente no capacitor C_{sw} .



ω_{zi} foi 14630 rad/s.

$$C_i(s) = k_{ci} \cdot \frac{s + \omega_{zi}}{s} \tag{5.1}$$

O controlador de tensão projetado foi do tipo PI com um polo ω_{pv} em 12 Hz para filtrar a componente de frequência da rede. O

controlador foi projetado com frequência de cruzamento ω_c de 1,2 Hz e MF de 90 °, portanto os dois controladores são desacoplados por frequência.

A equação do controlador é descrita por (5.2). Os valores dos coeficientes do compensador de tensão são $k_{cv} = 0,17$ e $\omega_{zv} = 33,755$ rad/s

$$C_v(s) = k_{cv} \cdot \frac{s + \omega_{zv}}{s \cdot (s + \omega_p)} \quad (5.2)$$

Foram também implementados circuitos auxiliares para filtrar de forma analógica as componentes de alta frequência, assim como também foram implementados filtros digitais de segunda ordem com frequência de corte de 10 kHz. Os filtros digitais foram implementados para atenuar componentes de alta frequência irradiadas, que não são filtradas adequadamente pelos filtros analógicos. Os filtros também foram implementados com a função de *anti aliasing*. Por já serem bem difundidos na literatura, os circuitos auxiliares não serão descritos com detalhes, porém são apresentados nos diagramas esquemáticos apresentados no Apêndice B.

Os sensores de tensão utilizados, tanto para a entrada como a saída do circuito, foram sensores de efeito Hall modelo LV20-P da fabricante LEM. Os sensores de corrente utilizados para a medição de corrente de entrada foram o modelo LA25-P, também da fabricante LEM. Os circuitos auxiliares utilizados para o acionamento dos MOS-FETs foram *gate drivers* do modelo DRO100S25A da fabricante nacional Supplier.

5.2 VERIFICAÇÃO EXPERIMENTAL

Com base nos cálculos realizados, os três protótipos foram dimensionados, e são apresentados na Figura 54. As especificações dos protótipos são descritas na Tabela 3.

Todas as formas de onda foram extraídas utilizando um osciloscópio Lecroy HRO 66Zi e as medições de potência foram feitas através do analisador de potência Yokogawa WT 1800.

Os três protótipos funcionaram adequadamente em potência nominal. A Figura 55 apresenta as formas de tensão e corrente de entrada e saída dos três conversores. A Figura 55 (a) apresenta mais ruído que as demais porque não tinha sido utilizado o filtro de ruído do osciloscópio nas primeiras medições, referentes ao HBR. As curvas amarela e rosa são as formas de tensão e corrente de entrada e as curvas azul e

Tabela 3 – Especificações dos protótipos

Componente	Especificação
Potência nominal P_o	1000 W
Tensão de entrada (RMS) V_{ief}	220 V
Frequência da rede f_g	60 Hz
Frequência de comutação f_s	100 kHz
Tensão de saída V_o	800 V
Indutor L	1,6 mH
Capacitores de saída C_{o1} e C_{o1}	2 capacitores eletrolíticos de 470 μ F / 500 V conectados em série para cada nível
Capacitor chaveado C_{sw}	40 μ F / 500 V (capacitor de filme)
Diodos	SCS208-AM
MOSFETS	IPW65R080CFD
DSP	Texas Instruments TMS320F28069

verde são a tensão e corrente da saída dos conversores.

Para validar o controle, os conversores foram perturbados com degraus carga de 100 % a 50 % do valor nominal e vice-versa. Os conversores controlaram adequadamente a tensão de saída e mantiveram o fator de potência próximo à unidade, como mostra a Figura 56. Nas Figuras 56 (a) e (c), a tensão e corrente de entrada são representadas pelas formas amarela e rosa, e a tensão e corrente de saída são representadas pelas formas azul e verde, respectivamente. Na Figura 56 (b), a tensão e corrente de saída são representadas pelas formas de onda verde e azul, respectivamente.

Com a finalidade de validar a metodologia de dimensionamento do capacitor C_{sw} , foi feita a medição da corrente nele. Utilizou-se uma sonda tipo Rogowski, que permite medir a corrente em componentes sem ter que aumentar significativamente as trilhas, assim evitando o aumento das indutâncias parasitas, que podem gerar picos de tensão prejudiciais ao circuito. Entretanto, esta ponteira é muito sujeita a interferências eletromagnéticas e, por isto, a medição apresenta uma envoltória senoidal de baixa frequência e picos em alta frequência nos instantes de comutação. As formas de onda experimentais da corrente no capacitor C_{sw} no período de comutação e no período da rede são apresentadas na Figura 57.

Como algumas formas de onda foram obtidas na mesma tela, al-

gumas imagens foram cortadas e, portanto, apresentam outras medições não relacionadas à corrente em C_{sw} . Por causa do ruído da sonda Rogowski e a componente de corrente em baixa frequência, não foi possível obter precisamente o valor de corrente, mas pela envoltória das correntes percebe-se que o capacitor opera em modo de carga CP. Observa-se também que o conversor HBBR-2S apresenta menor ondulação de corrente em alta frequência que os demais. Isto ocorre pois no caminho de corrente para sua carga tem dois MOSFETs, o que proporciona uma resistência maior de carga e portanto, uma carga mais lenta que nas outras duas topologias. Resistências elevadas no MOSFET podem comprometer o rendimento do conversor, entretanto os valores eficazes de corrente reduzidos devido à carga lenta podem compensar a queda de rendimento causada pelas resistências mais elevadas.

Ao medir as formas de onda de tensão nos capacitores, observa-se o equilíbrio natural de tensão sobre eles, o que não ocorre quando C_{sw} é mal dimensionado. O dimensionamento errado de C_{sw} faz com que a transferência de energia entre os capacitores de saída não ocorra adequadamente e, portanto, não ocorre o equilíbrio de tensão entre eles. Observa-se na Figura 58 que as formas de tensão dos capacitores se sobrepõem, o que significa que há equilíbrio entre eles.

O equilíbrio de tensão nos capacitores faz com que os interruptores também apresentem divisão nos esforços de tensão. Por estarem associados em paralelo a um capacitor no momento que bloqueiam corrente, os interruptores apresentam esforços de tensão que são uma fração da tensão de saída. Neste caso a tensão é dividida por dois, pois o conversor possui somente uma célula de capacitor chaveado. A Figura 59 mostra os esforços de tensão nos diodos da célula de capacitor chaveado e no interruptor da célula de comutação da estrutura HBR em alta frequência. Os diodos da ponte, por estarem em paralelo ao interruptor S no período em que não conduzem, apresentam esforços de tensão da mesma amplitude que o interruptor S . Na Figura 59 (a), a tensão total de saída é mostrada em amarelo, a tensão no diodo D_1 em azul e no diodo D_2 em rosa. Na Figura 59 (b), a tensão no interruptor S é mostrada em azul e a tensão em D_3 é mostrada em rosa.

Ao observar os esforços nos interruptores no período da rede (Figura 60), nota-se que os interruptores comutam em ambos períodos da rede, o que é comum aos diodos D_1 , D_2 e D_3 para todas as topologias. Nas topologias *bridgeless*, os interruptores possuem funcionamento diferente em cada período da rede, apesar de que o comando dos interruptores é o mesmo. Na Figura 60 (a), a tensão no diodo D_1 é mostrada em azul e no diodo D_2 em rosa. Na Figura 60 (b), a tensão no inter-

ruptor S é mostrada em azul, a tensão em D_3 é mostrada em rosa e a tensão de saída V_o em amarelo.

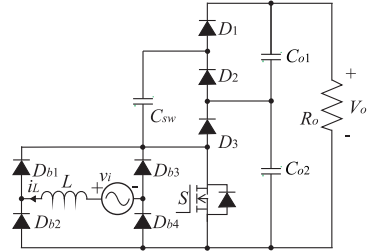
As formas de onda de tensão nos diodos D_1 , D_2 e D_3 das topologias HBBR-2S e HBBR-4S apresentaram as mesmas características da topologia HBR. A tensão máxima sobre os interruptores foi cerca de 400 V, desconsiderando os ruídos presentes. Os diodos apresentaram o mesmo comportamento nos dois períodos da rede, como mostra a Figura 61. Nas Figuras 61 (a) e (b), as tensões nos diodos D_1 , D_2 e D_3 são apresentadas nesta ordem do quadro superior ao inferior.

As células de comutação das estruturas *bridgeless* apresentam tensão sobre os interruptores somente durante um semiciclo da rede. Sendo que todos os interruptores comutam simultaneamente, durante um semiciclo eles apresentam tensão com componente harmônica na frequência de comutação. No outro semiciclo isto não ocorre, pois o diodo de corpo conduz no momento em que o MOSFET é comandado a bloquear, logo não há tensão sobre o interruptor durante esse semiciclo. A Figura 62 mostra as formas de onda de tensão na célula de comutação da topologia HBBR-2S. Na Figura 62 (a), as formas de tensão sobre os interruptores S_1 e S_2 são mostradas. Percebe-se que a característica de tensão sobre um interruptor equivale à característica do interruptor complementar no outro semiciclo.

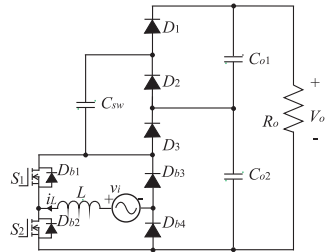
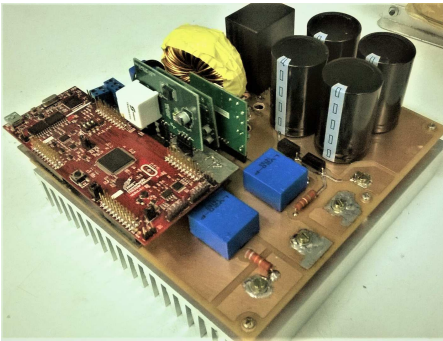
Na Figura 62 (b), as formas da tensão no interruptor S_2 e no diodo D_{b3} são mostradas. Percebe-se que o diodo D_{b3} conduz durante um semiciclo completo e ambos conduzem durante o mesmo semiciclo, entretanto a condução no interruptor S_2 ocorre em uma etapa de operação, e na outra etapa seu diodo de corpo conduz, enquanto o diodo D_{b3} conduz durante um semiciclo completo. Em todos os interruptores, a tensão máxima é próxima de 400 V.

A estrutura HBBR-4S possui características muito similares à estrutura HBBR-2S, porém na estrutura HBBR-2S os diodos da célula de comutação conduzem durante um semiciclo completo, enquanto na estrutura HBBR-4S, existe uma etapa em que a corrente é conduzida através do canal do MOSFET, assim como nos MOSFETs da estrutura HBBR-2S. Observa-se na Figura 63 que as formas de onda de tensão na estrutura HBBR-4S apresentam as mesmas características. Também nota-se que os esforços de tensão são de 400 V.

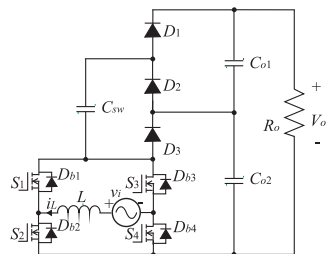
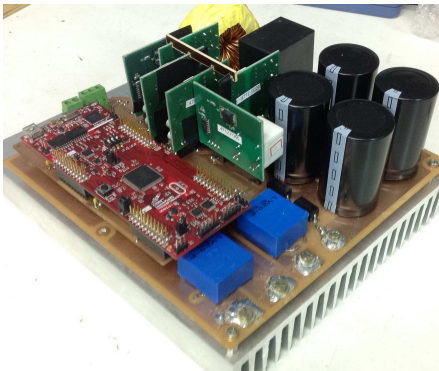
Figura 54 – Protótipos montados: (a) HBR, (b) HBBR-2S e (c) HBBR-4S.



(a)

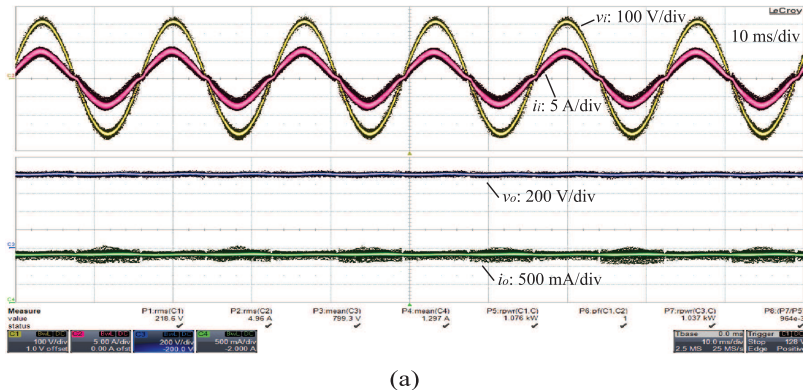


(b)

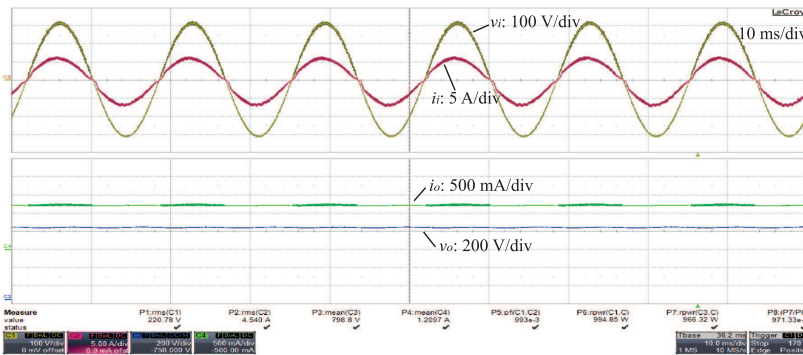


(c)

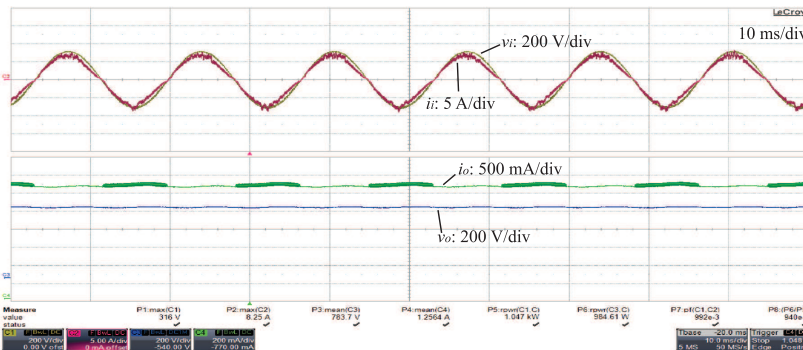
Figura 55 – Operação em carga nominal: (a) HBR, (b) HBRR-2S e (c) HBRR-4S.



(a)

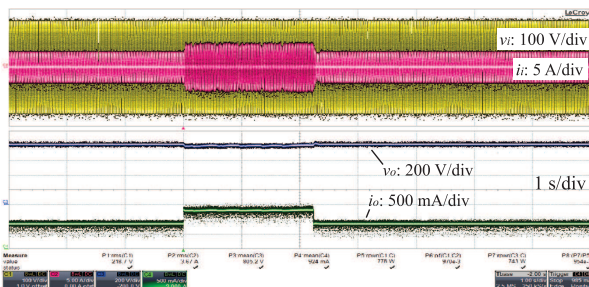


(b)

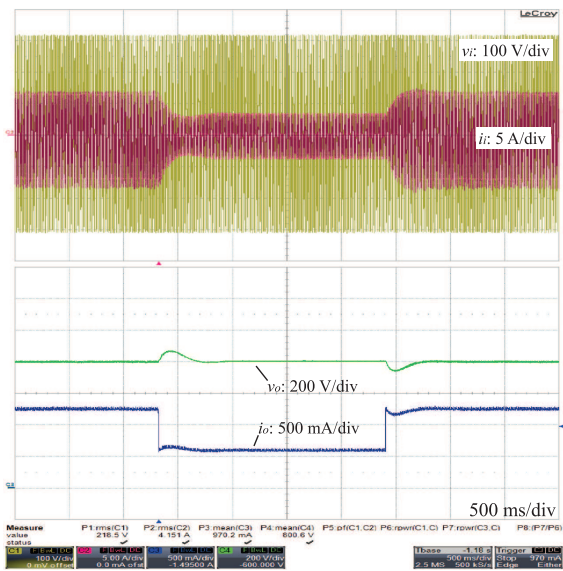


(c)

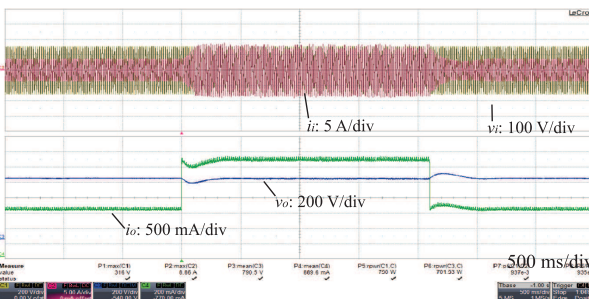
Figura 56 – Resposta ao degrau de carga: (a) HBR, (b) HBBR-2S e (c) HBBR-4S.



(a)

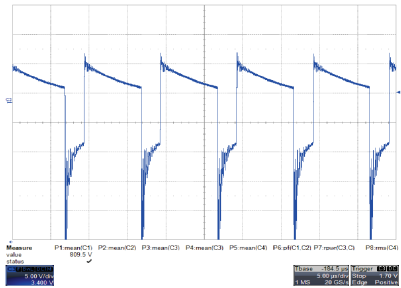


(b)

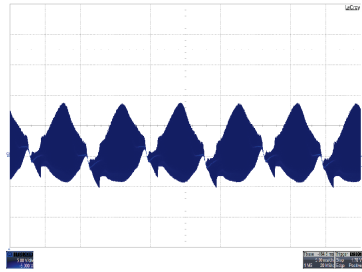


(c)

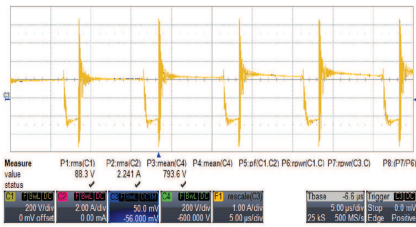
Figura 57 – Corrente no capacitor C_{sw} : (a) HBR - período de comutação, (a) HBR - período da rede, (c) HBBR-2S - período de comutação, (d) HBBR-2S - período da rede, (e) HBBR-4S - período de comutação, (f) HBBR-4S - período da rede.



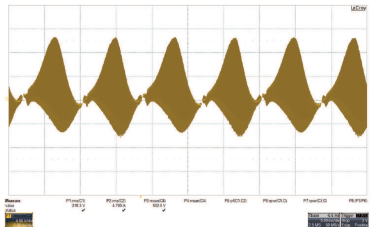
(a)



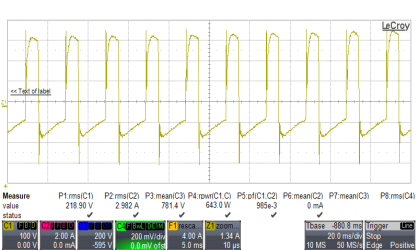
(b)



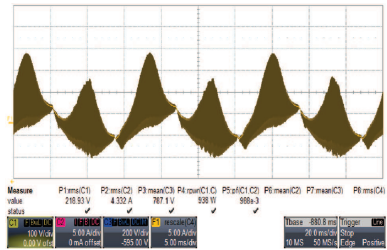
(c)



(d)

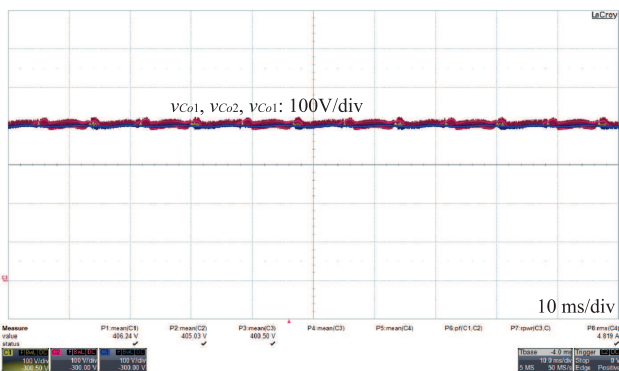


(e)

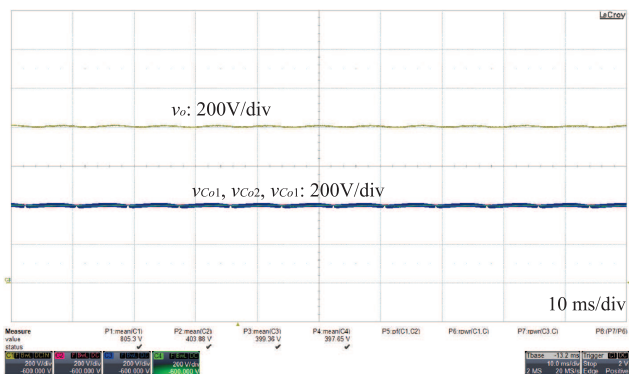


(f)

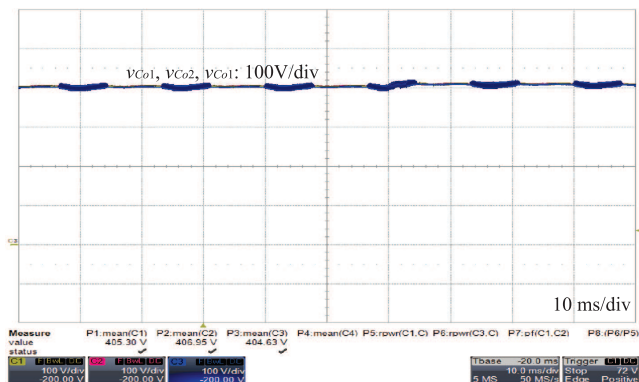
Figura 58 – Equilíbrio de tensão nos capacitores: (a) HBR, (b) HBBR-2S e (c) HBBR-4S.



(a)

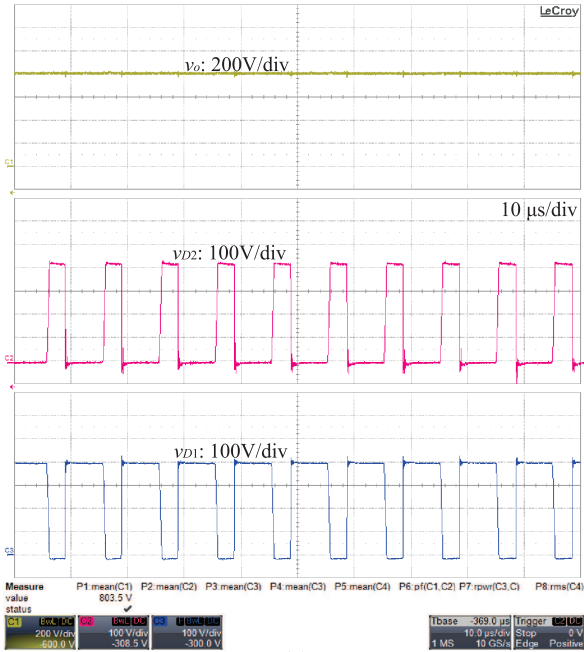


(b)

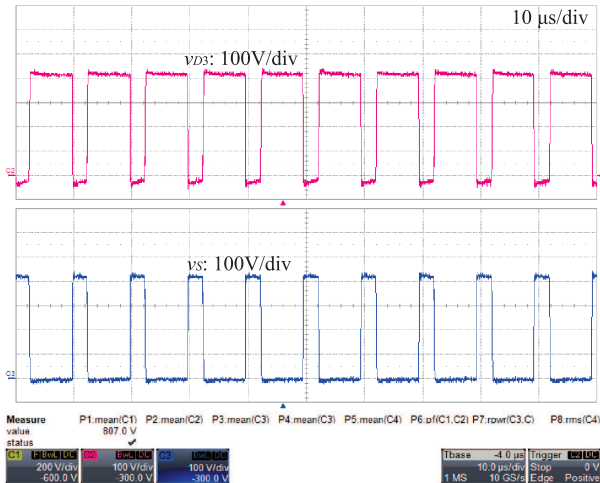


(c)

Figura 59 – Tensão nos interruptores no período de comutação: (a) saída e diodos D_1 e D_2 , (b) diodo D_3 e MOSFET S .

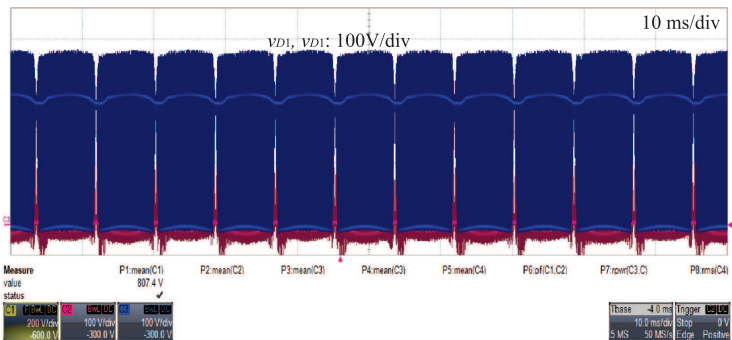


(a)

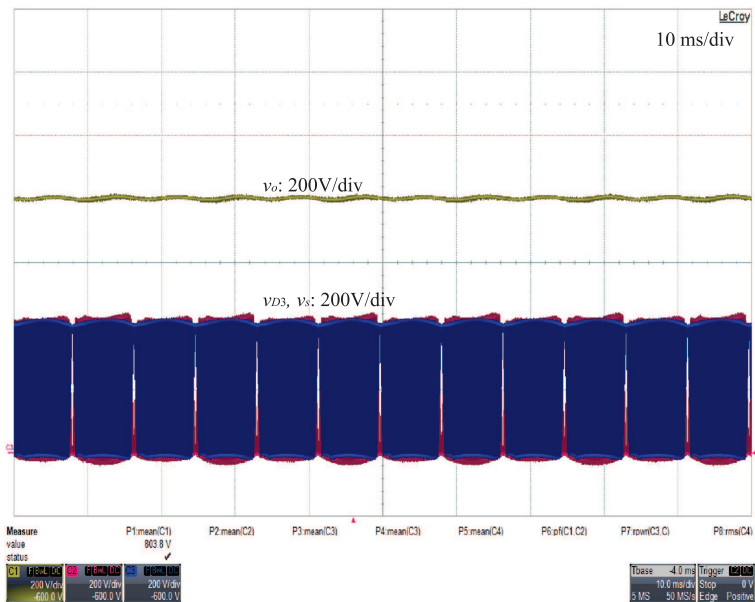


(b)

Figura 60 – Tensão nos interruptores no período da rede: (a) diodos D_1 e D_2 , (b) diodo D_3 e MOSFET S e V_o .

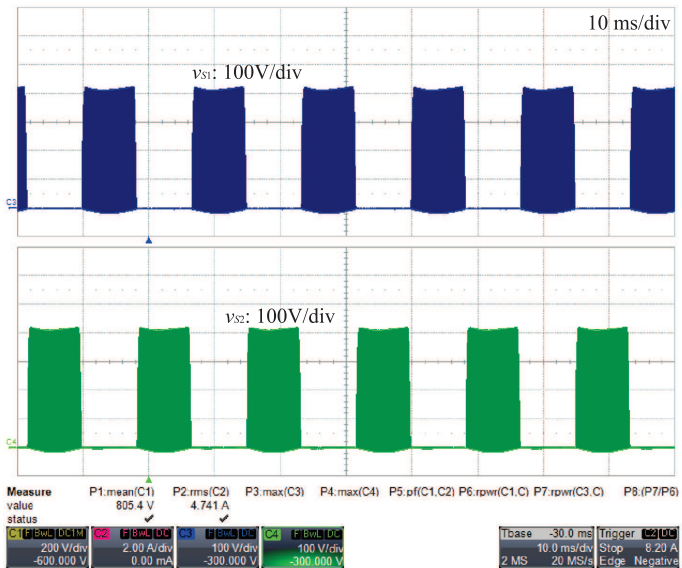


(a)

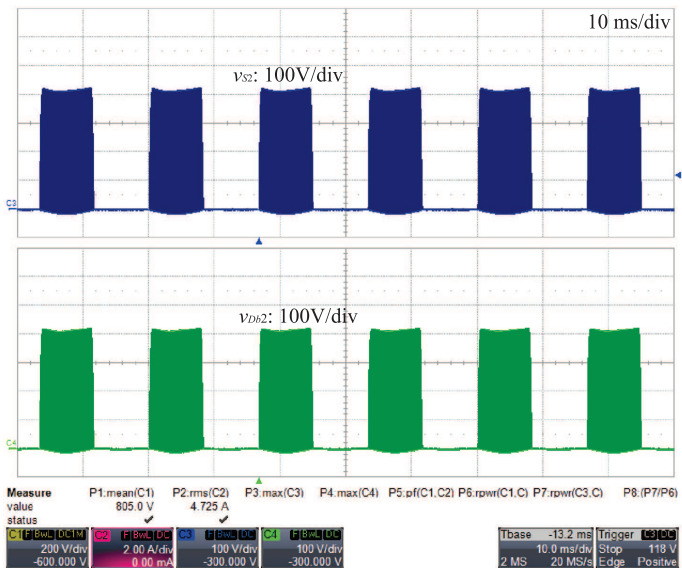


(b)

Figura 62 – Tensão na célula de comutação da estrutura HBBR-2S: (a) S_1 e S_2 , (b) S_2 e D_{b3} .

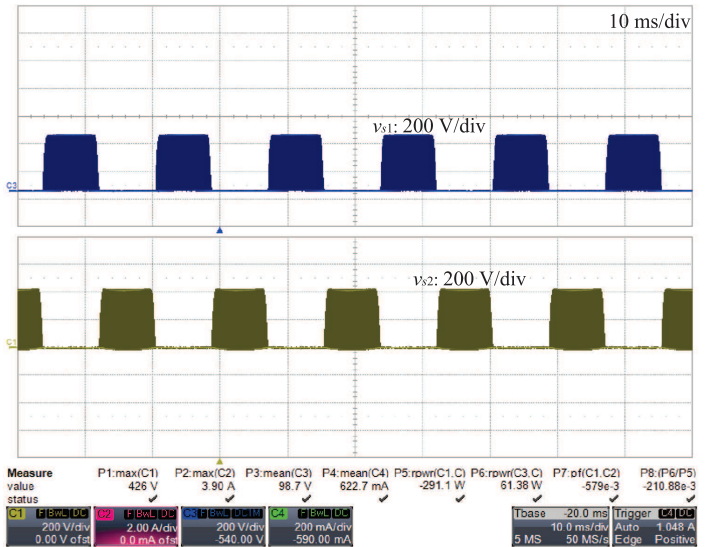


(a)

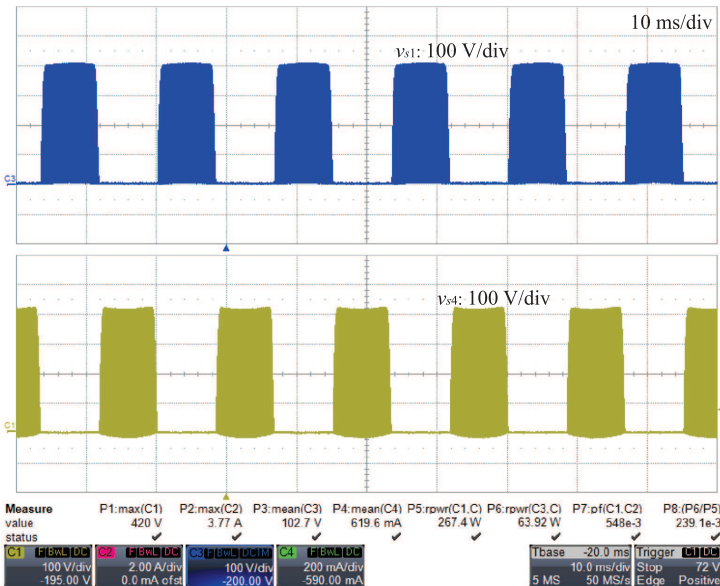


(b)

Figura 63 – Tensão na célula de comutação da estrutura HBBR-4S: (a) S_1 e S_2 , (b) S_1 e S_4 .



(a)



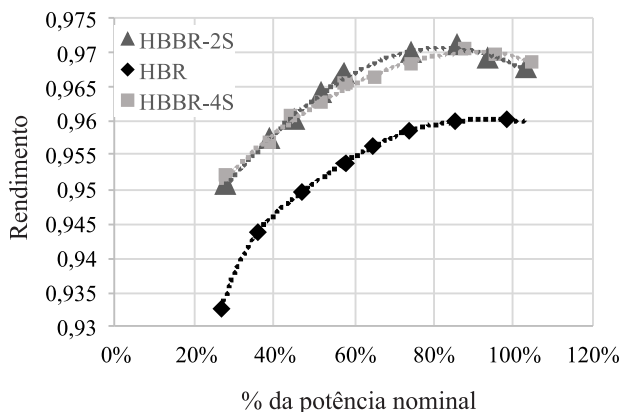
(b)

5.3 ANÁLISE DE POTÊNCIA

As estruturas estudadas apresentaram bom rendimento e fator de potência. As análises de potência foram realizadas com o analisador de potência Yokogawa modelo WT1800. As estruturas *bridgeless* apresentaram melhor rendimento que a estrutura HBR devido às perdas de condução que são menores nelas. O melhor rendimento apresentado foi de 97,1 % na estrutura HBBR-2S com 86 % do valor de carga nominal.

As curvas de rendimento foram obtidas associando cargas resistivas na saída. A variação de cargas não foi feita com uma fração fixa da potência nominal, e sim de acordo com as cargas disponíveis em laboratório. Observa-se na Figura 64 que as estruturas *bridgeless* propostas apresentam rendimento aproximadamente 1 % superior à estrutura HBR.

Figura 64 – Curvas de rendimento das estruturas.



Também foi obtida a curva de fator de potência dos conversores para diferentes potências (Figura 65). Todas elas apresentaram fator de potência próximo à unidade, portanto o controle de corrente foi realizado de forma adequada.

Para analisar a qualidade da energia extraída, foi realizada a comparação do conteúdo harmônico de corrente de entrada em relação aos limites estabelecidos pela norma IEC 61000-3-2. Observa-se que os três conversores se adequam à norma e o conteúdo harmônico de corrente é significativamente inferior aos limites estabelecidos.

Figura 65 – Curvas de fator de potência.

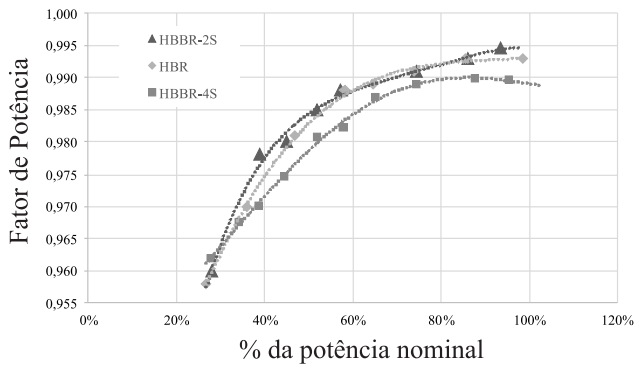
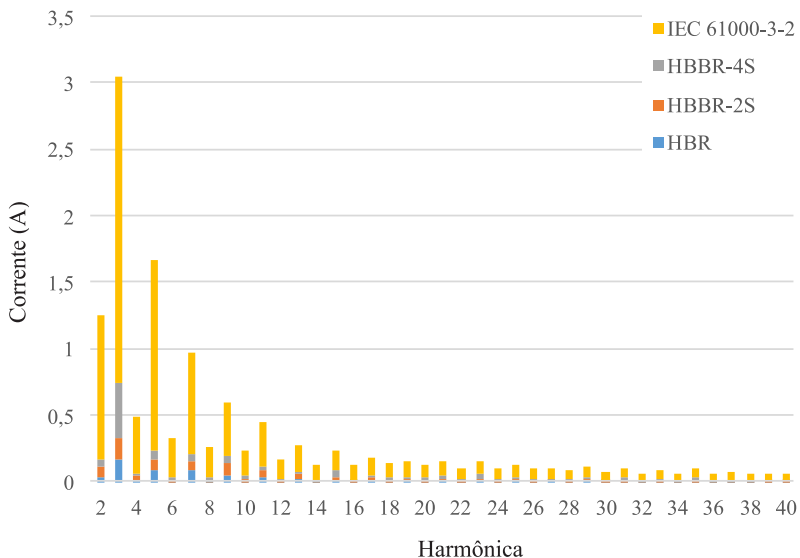


Figura 66 – Espectro harmônico de corrente.



5.4 COMPARAÇÃO COM OUTRAS SOLUÇÕES

Para avaliar as vantagens e desvantagens das topologias apresentadas, foram estudadas características de outras soluções na literatura, que são comparadas com as topologias HBBR na Tabela 4.

Os retificadores escolhidos para a comparação foram o conversor com ponto neutro grampeado (NPC) [3], o conversor *boost* dobrador de tensão (DBR) [10,11], O retificador baseado na célula Cockcroft-Walton (CW) [19], o retificador *boost* híbrido (HBR) [33] e as estruturas estudadas neste trabalho (HBBR) de forma generalizada.

Tabela 4 – Comparação entre topologias

Recurso	NPC	BDR	CW	HBR	HBBR
Número mínimo de semicondutores	12	8	6	8	7
Necessita de comandos complementares	Sim	Não	Não	Não	Não
Semicondutores submetidos a V_o	0	4	0	0	0
Semicondutores submetidos a $V_o/2$	12	4	6	8	7
Número mínimo de capacitores	2	2	4	3	3
Conteúdo harmônico em baixa frequência					
nos capacitores de saída	f_g	f_g	$2 \cdot f_g$	$2 \cdot f_g$	$2 \cdot f_g$
Pode ser expandido em mais níveis	Sim	Não	Sim	Sim	Sim

Observa-se que a única topologia que possui menos componentes semicondutores, todos os componentes submetidos a $V_o/2$, frequência de saída o dobro da rede e possibilidade de expansão em mais níveis é a topologia CW. Entretanto, esta topologia necessita de um capacitor a mais para dobrar a tensão na saída, devido ao uso da célula CW.

As topologias a capacitor chaveado são mais adequadas em relação ao número de semicondutores, esforços de tensão, capacidade de expansão de ganho e componentes de baixa frequência nos capacitores de saída. Entretanto, as células de capacitor chaveado acrescentam uma componente a mais na corrente dos interruptores, que é a corrente do capacitor. Portanto são topologias adequadas para alto ganho em tensão, mas não para potências elevadas. O número de capacitores utilizados também pode elevar o custo das topologias. Todavia, as componentes harmônicas de baixa frequência com característica de retificadores de onda completa permitem o uso de capacitores menores, o que é vantajoso comparado às estruturas a três níveis (NPC e DBR).

5.5 CONCLUSÃO

Neste capítulo foi apresentado o projeto e a verificação experimental das estruturas. Também foram realizadas as análises de rendi-

mento e conteúdo harmônico dos protótipos e, por fim, foi apresentada a comparação das estruturas com outras previamente descritas na literatura.

Primeiramente, foi realizado o projeto das topologias com base nos cálculos apresentados nos capítulos anteriores. As principais formas de onda foram verificadas por simulação e de forma experimental.

Os resultados experimentais mostraram que as estruturas tem capacidade de elevar a tensão com alto fator de potência na entrada sem comprometer os esforços de tensão nos componentes. Foi também observada a boa controlabilidade do conversor e o equilíbrio natural de tensão nos capacitores da célula de capacitor chaveado, o que possibilitou a redução dos esforços de corrente.

Os valores de rendimento dos conversores foram extraídos e observou-se que as topologias *bridgeless* apresentaram rendimento superior à topologia HBR.

Foi realizada a análise do fator de potência das estruturas e os valores obtidos foram próximos à unidade. Verificou-se também que os níveis do conteúdo harmônico da corrente de entrada foram inferiores aos limites estabelecidos pela norma IEC 61000-3-2.

Por fim, foi apresentada a comparação dos retificadores híbridos com outras estruturas previamente apresentadas na literatura. Verificou-se que as topologias apresentadas possuem vantagens relevantes em relação à capacidade de expansão, números de componentes e o fato de que as estruturas são a dois níveis, o que faz com que a frequência da rede seja dobrada na saída.

6 CONCLUSÕES GERAIS

Neste trabalho foram estudadas as topologias de retificadores monofásicos unidirecionais não isolados HBR, HBBR-2S e HBBR-4S. As topologias *bridgeless* propostas basearam-se na topologia HBR, proposta por [7], e foram geradas ao transferir o indutor da estrutura original do lado CC ao lado CA, o que permitiu explorar diferentes células de comutação.

As topologias propostas tiveram como objetivo a expansão do ganho estático do retificador *boost* convencional. As três estruturas estudadas utilizam uma célula de multiplicação tipo *ladder* associada ao retificador *boost* convencional, desta forma proporcionando ganho em tensão elevado e possibilitando sua expansão em mais níveis através do cascadeamento de mais células de capacitor chaveado.

A integração da técnica de capacitor chaveado no conversor *boost* permitiu associar a capacidade de ganho da estrutura *ladder* com a controlabilidade do conversor *boost*. Isto proporcionou um valor de tensão elevado na saída com esforços de tensão divididos sobre os componentes. Os esforços de tensão reduzidos permitem o uso de componentes semicondutores mais rápidos, baratos e mais comuns no mercado. Por consequência, o uso de componentes semicondutores mais rápidos também reduz o volume e custo com componentes passivos.

As estruturas propostas neste trabalho apresentaram melhor rendimento que a estrutura HBR devido às perdas de condução reduzidas, ocasionadas pela quantidade e pelo tipo de componente semicondutor utilizados.

Os resultados experimentais mostraram que, além do melhor rendimento, as estruturas propostas possuem comportamento similar à topologia HBR. Os conversores estudados também apresentaram controle adequado e capacidade de correção de fator de potência. Os fatores de potência apresentados foram próximos à unidade e o conteúdo harmônico atendeu aos requisitos estabelecidos pela norma IEC 61000-3-2. Entretanto, as estruturas estudadas necessitam de controle de corrente de entrada para funcionar adequadamente.

A desvantagem principal em utilizar células de capacitor chaveado são os elevados esforços de corrente nos semicondutores, pois as correntes de carga e descarga são limitadas apenas pelas resistências parasitas do conversor. Esta corrente, contudo, pode ser reduzida conforme o modo de carga em que se opta trabalhar.

Neste trabalho, foi também proposta uma metodologia de pro-

jeto do capacitor C_{sw} com fins de reduzir seu valor de capacitância. A metodologia possibilitou a operação em um modo de carga com bom equilíbrio de tensão nos capacitores e valores reduzidos de corrente eficaz. A metodologia proposta baseou-se no conceito de resistência equivalente proposto por [22].

Foi proposta uma abordagem por espaço de estados para definir o ganho da célula (que afeta o equilíbrio de tensão nos capacitores), que foi utilizado para a obtenção de uma curva de resistência equivalente em função do valor de C_{sw} . A partir da metodologia proposta, os capacitores de saída podem ser dimensionados com o intuito de filtrar componentes de baixa frequência e, assim, o capacitor C_{sw} possui somente a função de transferência de energia entre os capacitores de saída. Portanto o capacitor C_{sw} não precisa ser grande o suficiente para filtrar componentes em baixa frequência. Desta forma, mantém-se o equilíbrio de tensão nos capacitores sem a necessidade de uma malha de controle ou modulação destinadas a esta função.

O modelo de resistência equivalente também foi utilizado para a obtenção de modelos dinâmicos de ordem reduzida, assim desprezando os polos não dominantes causados pela inserção de componentes armazenadores de energia da célula multiplicadora de tensão.

Outro ponto positivo das topologias apresentadas são as células de comutação unidirecionais, que não requerem tempo morto ou encaivalamento de sinais. Esta característica elimina os danos que poderiam ser causados por curto-circuito de braço. Portanto, a unidirecionalidade da célula de comutação garante mais robustez ao circuito.

A desvantagem das estruturas HBBR-2S e HBBR-4S em comparação à estrutura HBR é a inclusão de mais interruptores ativos e circuitos de acionamento mais complexos, porém isto permite a eliminação de um componente semicondutor da célula de comutação e, por consequência, a melhora no rendimento.

Em suma, o trabalho estudou três soluções unidirecionais monofásicas não isoladas para alto ganho em tensão. As estruturas apresentam ganho estático que pode ser expandido sem aumentar os esforços de tensão nos componentes, único comando para todos os interruptores, regulação de tensão de saída com auto-equilíbrio de tensão nos capacitores e boa regulação de corrente de entrada com conteúdo harmônico dentro dos limites estabelecidos pela norma IEC 61000-3-2. Além disto, as estruturas *bridgeless* propostas possibilitaram a melhora no rendimento do retificador ao reduzir o número de componentes na célula de comutação.

6.1 TRABALHOS FUTUROS

Alguns dos trabalhos futuros citados estão em andamento, enquanto outros são propostas a ser consideradas para contribuições futuras.

- Utilizar células de comutação bidirecionais e desenvolver versões bidirecionais das estruturas.
- Propor versões trifásicas das estruturas estudadas.
- Explorar diferentes modulações para não utilizar os diodos de corpo dos interruptores.
- Verificar a relação das perdas por comutação na resistência equivalente das células de capacitor chaveado.
- Explorar alternativas para a redução dos esforços de corrente das topologias estudadas.
- Integrar a célula de capacitor chaveado a diferentes topologias.
- Integrar diferentes células de capacitor chaveado à topologia *boost*.

REFERÊNCIAS

- 1 CHEN, Z. et al. Variable duty cycle control for quadratic boost pfc converter. *IEEE Transactions on Industrial Electronics*, v. 63, n. 7, p. 4222–4232, 2016.
- 2 EIMENI, S. N. H.; RADAN, A.; MEHRASA, M. A new single-phase single-switch pwm three-level high power factor rectifier with separate regulation of output capacitors voltage. In: *4th IEEE Conference on Industrial Electronics and Applications, 2009. ICIEA 2009*. [S.l.: s.n.], 2009.
- 3 WANG, S. et al. Hybrid single-carrier-based pulse width modulation scheme for single-phase three-level neutral-point-clamped grid-side converters in electric railway traction. *IET Power Electronics*, v. 9, n. 13, p. 2500–2509, Oct 2016.
- 4 FOREST, F. et al. Using the multilevel imbricated cells topologies in the design of low-power power-factor-corrector converters. *IEEE Transactions on Industrial Electronics*, v. 52, n. 1, p. 151–161, 2005.
- 5 BLAHNIK, V. et al. Traction converter with medium-frequency transformer for railway applications: Direct current control of primary active rectifiers. In: *13th European Conference on Power Electronics and Applications (EPE)*. Espanha: [s.n.], 2009. p. 1–8.
- 6 BELLAR, M. D.; WATANABE, E. H.; MESQUITA, A. C. Analysis of the dynamic and steady-state performance of cockcroft-walton cascade rectifiers. *IEEE Transactions on Power Electronics*, v. 7, n. 3, p. 526–534, 1992.
- 7 MACCARINI, M. C. *Retificador monofásico com fator de potência unitário de alto ganho baseado em um conversor boost híbrido*. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, Florianópolis, 2013.
- 8 LÓPEZ-SANTOS, O. et al. Efficiency analysis of a sliding-mode controlled quadratic boost converter. *IET Power Electronics*, v. 6, n. 2, p. 364–373, 2013.
- 9 KOLAR, J. W.; ZACH, F. C. A novel three-phase utility interface minimizing line current harmonics of high-power telecommunications

rectifier modules. *IEEE Transactions on Industrial Electronics*, v. 44, p. 456–467, 1997.

10 MAKSIMOVIC, D.; ERICKSON, R. Universal-input, high-power-factor, boost doubler rectifiers. In: *Tenth Annual Applied Power Electronics Conference and Exposition (APEC '95)*. [S.l.: s.n.], 1995.

11 LANGE, A. D. B. et al. Three-level single-phase bridgeless pfc rectifiers. *IEEE Trans. Power Electron.*, v. 30, n. 6, p. 2935–2949, Jun 2015.

12 HELDWEIN, M. L. et al. An fpga-based interleaved boost-type pfc rectifier employing gan hemt devices. *Eletrônica de Potência*, v. 19, n. 4, p. 414–422, set./nov. 2014.

13 TEIXEIRA, C. A.; HOLMES, D. G.; MCGRATH, B. P. Single-phase semi-bridge five-level flying-capacitor rectifier. *IEEE Transactions on Industry Applications*, v. 49, n. 5, p. 2158–2166, 2013.

14 IOINOVICI, A. Switched-capacitor power electronic circuits. *IEEE Circuits Syst. Mag.*, v. 1, n. 3, p. 37–42, Aug 2002.

15 TANG, Y.; WANG, T.; HE, Y. Generalized multicell switched-inductor/switched-capacitor combined active-network converters. *IEEE Trans. Power Electron.*, v. 30, n. 4, p. 2063–2072, Apr 2015.

16 CORTEZ, D. F.; BARBI, I. A family of high-voltage gain single-phase switched-capacitor pfc rectifiers. *IEEE Trans. Power Electron.*, v. 30, n. 4, p. 4189–4198, 2014.

17 COSTA, P. J. S.; FONT, C. H. I.; LAZZARIN, T. B. A family of single-phase voltage-doubler high-power-factor sepic rectifiers operating in dcm. *IEEE Trans. Power Electron.*, 2016.

18 YOUNG, C.-M.; CHEN, H.-L.; CHEN, M.-H. A single-phase single-stage high step-up ac-dc matrix converter based on cockcroft-walton voltage multiplier with pfc. *IEEE Trans. Power Electron.*, v. 27, n. 12, p. 4894–4905, 2012.

19 YOUNG, C.-M.; CHEN, M.-H.; KO, C.-C. High power factor transformerless single-stage single-phase ac to high-voltage dc converter with voltage multiplier. *IET Power Electronics*, v. 5, n. 2, p. 149–157, 2012.

- 20 ROSAS-CARO, J. C.; RAMIREZ, J. M.; GARCIA-VITE, P. M. Novel dc-dc multilevel boost converter. In: *IEEE Annual Power Electronics Specialist Conference (PESC)*. [S.l.: s.n.], 2008.
- 21 WU, S. L. B.; SINGER, S. A family of two-switch boosting switched-capacitor converters. *IEEE Trans. Power Electron.*, v. 30, n. 10, p. 5413–5425, Oct 2014.
- 22 KIMBALL, J. W.; KREIN, P. T. Analysis and design of switched capacitor converters. In: *Proc. 20th Annu. IEEE Appl. Power Electron. Conf. Expo.* [S.l.: s.n.], 2005. p. 1473–1477.
- 23 SILVA, G. V.; COELHO, R. F.; LAZZARIN, T. B. State space modeling of a hybrid switched-capacitor boost converter. In: *IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*. [S.l.: s.n.], 2015.
- 24 LIN, P.; CHUA, L. Topological generation and analysis of voltage multiplier circuits. *IEEE Transactions on Circuits and Systems*, v. 24, n. 10, p. 517–530, 1977.
- 25 DICKSON, J. F. On-chip high-voltage generation in mnos integrated circuits using an improved voltage multiplier technique. *IEEE Journal of Solid-State Circuits*, v. 11, n. 3, p. 374–378, 2003.
- 26 MAKOWSKI, M. S.; MAKSIMOVIC, D. Performance limits of switched-capacitor dc-dc converters. In: *26th Annual IEEE Power Electronics Specialists Conference (PESC '95)*. [S.l.: s.n.], 1995.
- 27 SEEMAN, M. D. *A Design Methodology for Switched-Capacitor DC-DC Converters*. Tese (Doutorado) — University of California at Berkeley, Berkeley, 2009.
- 28 COCKCROFT, J. D.; WALTON, E. T. S. Experiments with high velocity positive ions. (i) further developments in the method of obtaining high velocity positive ions. *Proceedings of the Royal Society A*, v. 137, n. 831, p. 619–631, 1932.
- 29 BOLZAN, P. E. et al. Comparative analysis among three switched capacitor converters to feed a led tubular lamp. In: *12th IEEE/IAS International Conference on Industry Applications*. Curitiba: [s.n.], 2016.
- 30 KIMBALL, J. W.; KREIN, P. T.; CAHILL, K. R. Modelling of capacitor impedance in switching converters. *IEEE Power Electron. Lett.*, v. 3, n. 4, p. 136–140, Dec 2005.

- 31 SILVA, G. V.; COELHO, R. F.; LAZZARIN, T. B. Switched-capacitor differential boost inverter: Static gain and generalized structure. In: *42nd IEEE/IAS International Conference on Industry Applications*. Curitiba, Brasil: [s.n.], 2016.
- 32 SINGAL, A. K. The paradox of two charged capacitors - a new perspective. *Physics Education*, v. 31, n. 4, p. 1–13, 2015.
- 33 CORTEZ, D. F. et al. High static gain single-phase pfc based on a hybrid boost converter. *International Journal of Electronics*, 2016.
- 34 KAZIMIERCZUK, M. K. *High-Frequency Magnetic Components*. 2. ed. India: John Wiley & Sons Ltd., 2014.

APÊNDICE A – Modelagem matemática por espaço de estados

Matrizes de estado do circuito equivalente:

$$A'_1 = \begin{pmatrix} -\frac{R_L + 0.5 \cdot R_s}{L} & 0 \\ 0 & -\frac{1}{C_o \cdot (R_o + R_{Co})} \end{pmatrix} \quad (A.1)$$

$$B'_1 = \begin{pmatrix} \frac{1}{4L} & 0 \\ 0 & 0 \end{pmatrix} \quad (A.2)$$

$$x' = \begin{pmatrix} 2V_i \\ V_D \end{pmatrix} \quad (A.3)$$

$$A'_2 = \begin{pmatrix} \frac{-4R_L - R'_{eq} - R_o}{4L} + \frac{R_o^2}{4L(R_{Co} + R_o)} & -\frac{R_o}{4L(R_{Co} + R_o)} \\ \frac{R_o}{C_o(R_{Co} + R_o)} & -\frac{1}{C_o(R_{Co} + R_o)} \end{pmatrix} \quad (A.4)$$

$$B'_2 = \begin{pmatrix} \frac{1}{4L} & -\frac{1}{2L} \\ 0 & 0 \end{pmatrix}, \quad (A.5)$$

$$E'_v = (0 \ 1) \quad \text{e} \quad E'_i = (1 \ 0). \quad (A.6)$$

Matrizes de estado do circuito completo de quarta ordem:

$$A''_1 = \begin{pmatrix} \frac{-R_L \cdot K_4 - R_o}{K_4 \cdot L} & \frac{R_s \cdot K_4 - R_o}{R_s \cdot K_4 \cdot L} & \frac{-K_5}{K_5 \cdot L} & \frac{-R_o}{K_4 \cdot R_{Con} \cdot L} \\ \frac{R_o - R_s \cdot K_4}{R_s \cdot K_4 \cdot C_{sw}} & \frac{R_o - R_s \cdot K_4}{R_s^2 \cdot K_4 \cdot C_{sw}} & \frac{K_5}{R_s \cdot K_6 \cdot C_{sw}} & \frac{R_o + R_{Con}}{K_6 \cdot C_{sw}} \\ \frac{-1}{K_4 \cdot C_{on}} & \frac{-1}{R_s \cdot K_4 \cdot C_{on}} & \frac{-R_s - R_{Con}}{K_6 \cdot C_{on}} & \frac{-1}{R_o - R_{Con} \cdot K_4} \\ \frac{R_o}{K_6 \cdot C_{on}} & \frac{R_o}{K_6 \cdot C_{on}} & \frac{K_5}{K_6 \cdot R_{Con} \cdot C_{on}} & \frac{R_o - R_{Con} \cdot K_4}{R_{Con}^2 \cdot K_4 \cdot C_{on}} \end{pmatrix} \quad (A.7)$$

$$B''_1 = \begin{pmatrix} \frac{1}{L} & 0 \\ 0 & 0 \\ 0 & 0 \\ 0 & 0 \end{pmatrix}, \quad (A.8)$$

$$K_4 = \frac{R_s \cdot R_{Con} + (R_s + R_{Con}) \cdot (R_{Con} + R_o)}{R_s \cdot R_{Con}}, \quad (A.9)$$

$$K_5 = (R_o + R_{Con}) \cdot (R_s + R_{Con}) - K_4 \cdot R_s \cdot R_{Con} \quad (A.10)$$

$$K_6 = R_s \cdot R_{Con} \cdot K_4. \quad (A.11)$$

$$A_2'' = \begin{pmatrix} -\frac{R_o}{R_o \cdot L} & \frac{R_{Con}}{R_o \cdot L} & 0 & \frac{R_{Con}}{R_o \cdot L} \\ \frac{R_{Con}}{R_o \cdot C_{sw}} & -\frac{R_o \cdot L}{R_o + 2R_{Con}} & \frac{1}{R_{Con} \cdot C_{sw}} & \frac{R_{Con}}{R_o \cdot C_{sw}} \\ 0 & \frac{R_{Con}}{R_o \cdot C_{sw}} & -\frac{1}{R_{Con} \cdot C_{sw}} & 0 \\ \frac{1}{R_o \cdot C_o} & \frac{-1}{R_o \cdot C_o} & 0 & \frac{-1}{R_o \cdot C_o} \end{pmatrix} \quad (A.12)$$

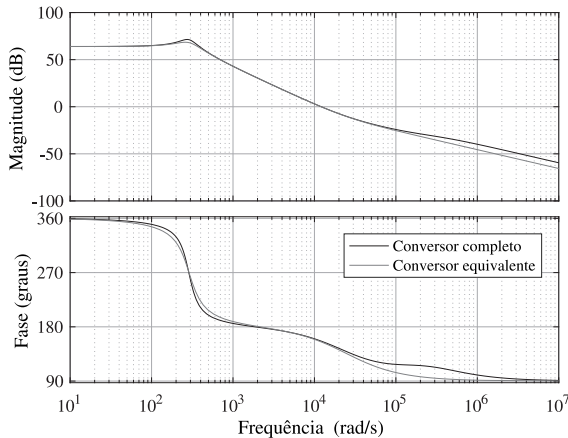
$$B_2'' = B_1''. \quad (A.13)$$

$$x'' = \begin{pmatrix} V_i \\ V_D \end{pmatrix}. \quad (A.14)$$

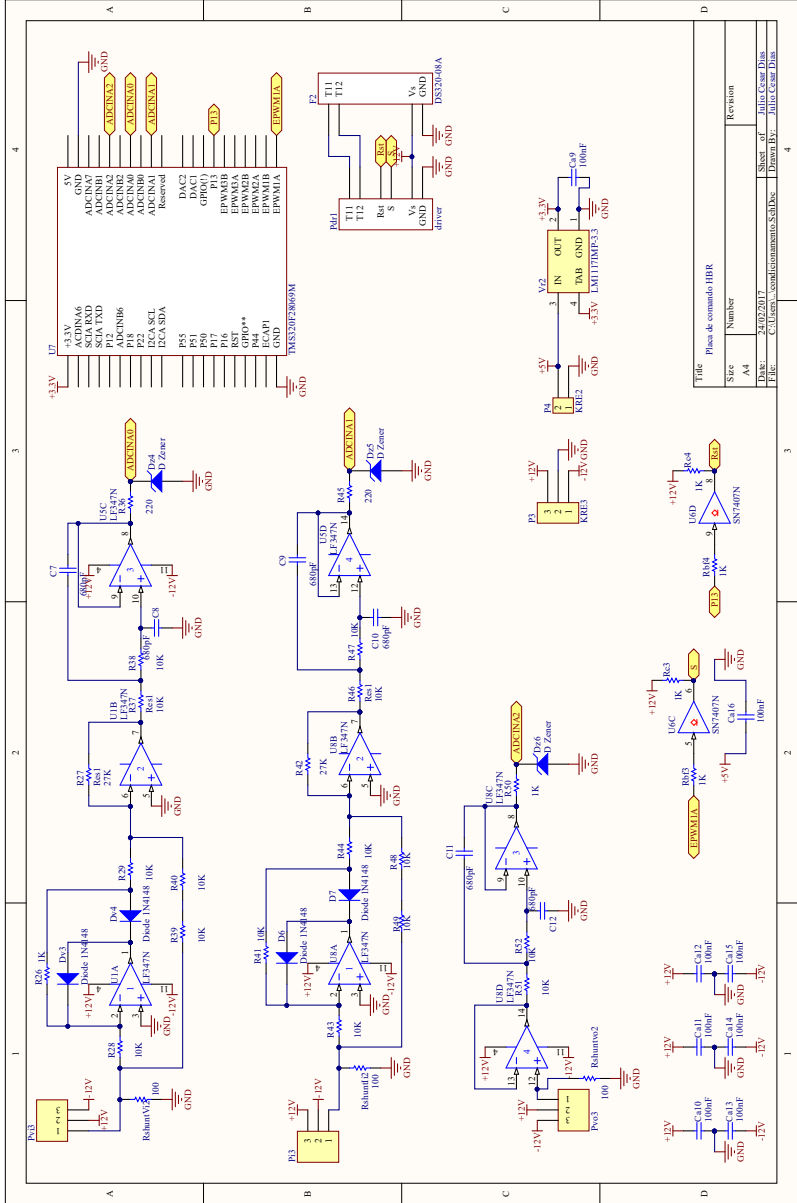
$$E_v'' = (0 \ 0 \ 1 \ 1) \quad \text{e} \quad E_i'' = (1 \ 0 \ 0 \ 0). \quad (A.15)$$

$$G_{vd}(s) = E \cdot (s \cdot I - A)^{-1} \cdot [(A_1 - A_2) \cdot X + (B_1 - B_2) \cdot U] \quad (A.16)$$

Comparação da resposta em frequência dos modelos completo e equivalente:

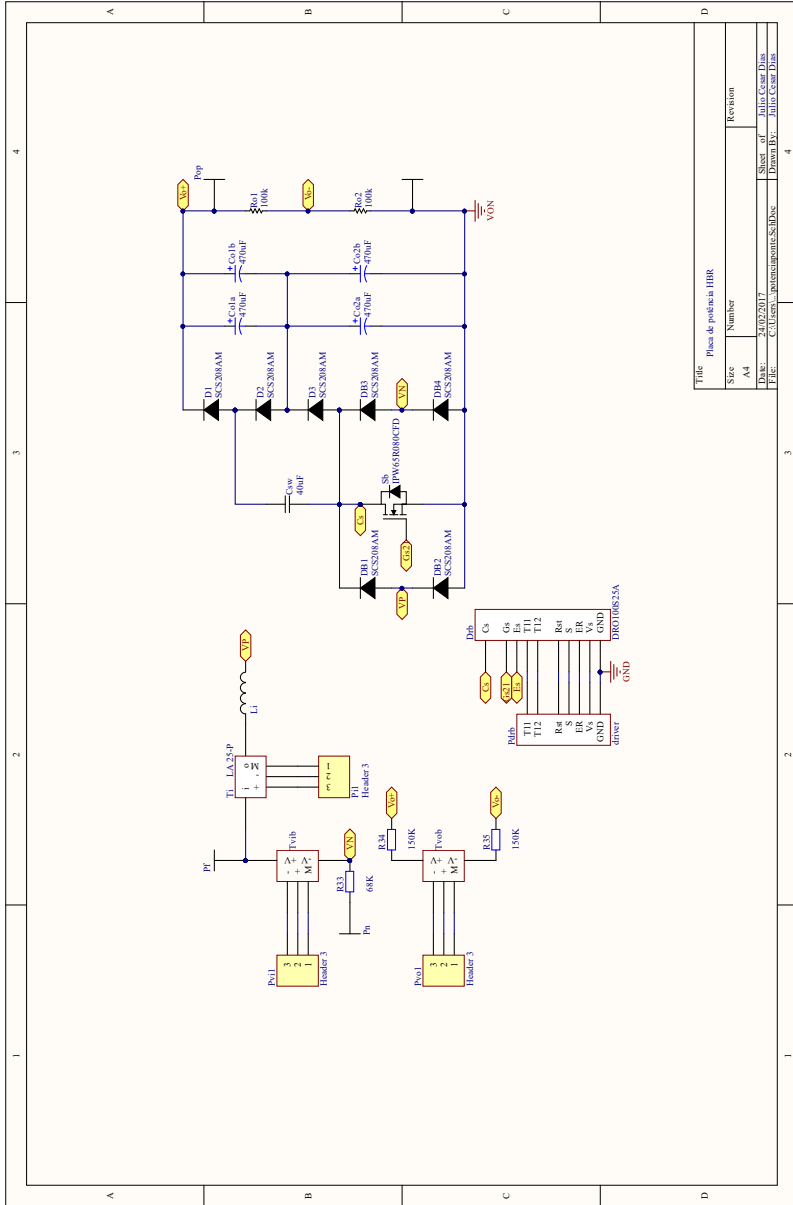


APÊNDICE B - Diagramas esquemáticos



Size	Number	Revision
A4		

Title: Placa de comando IBR
 Date: 24/02/2017
 Drawn by: Juliano Dias
 File: C:\Users\juliandias\Documents\SchBks...



Title		Placa de potencia IHR	
Size	Number	Revision	
A4			
Date:	24/02/2017	Sheet of	Julio Cesar Dias
File:	C:\Users\poteniamis\Documents	Drawn By:	Julio Cesar Dias

1

2

3

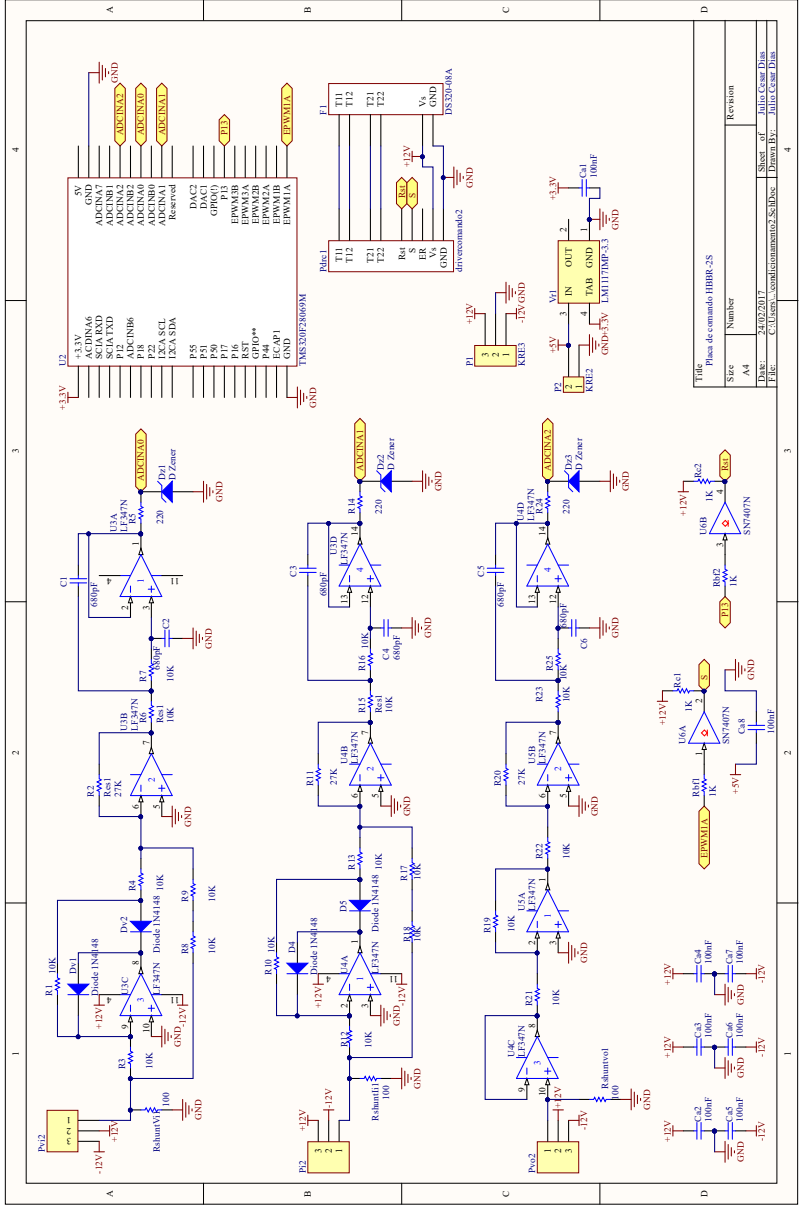
4

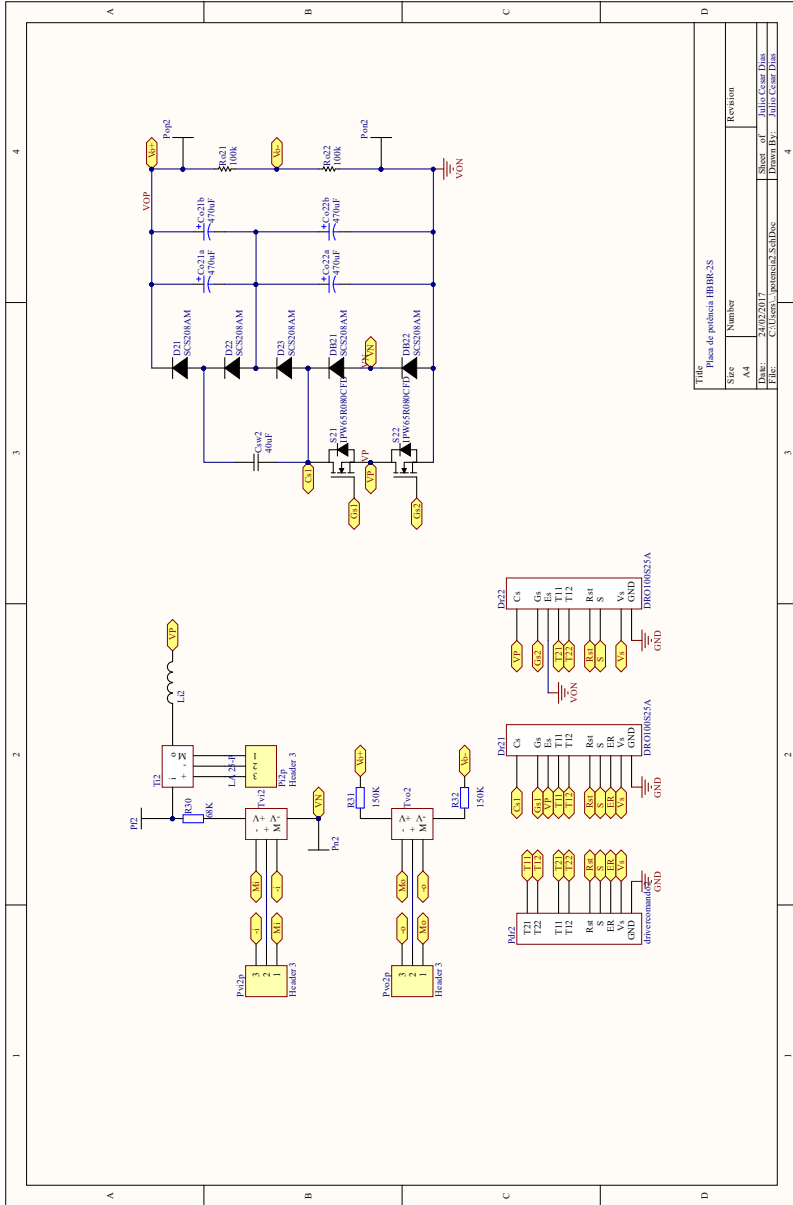
1

2

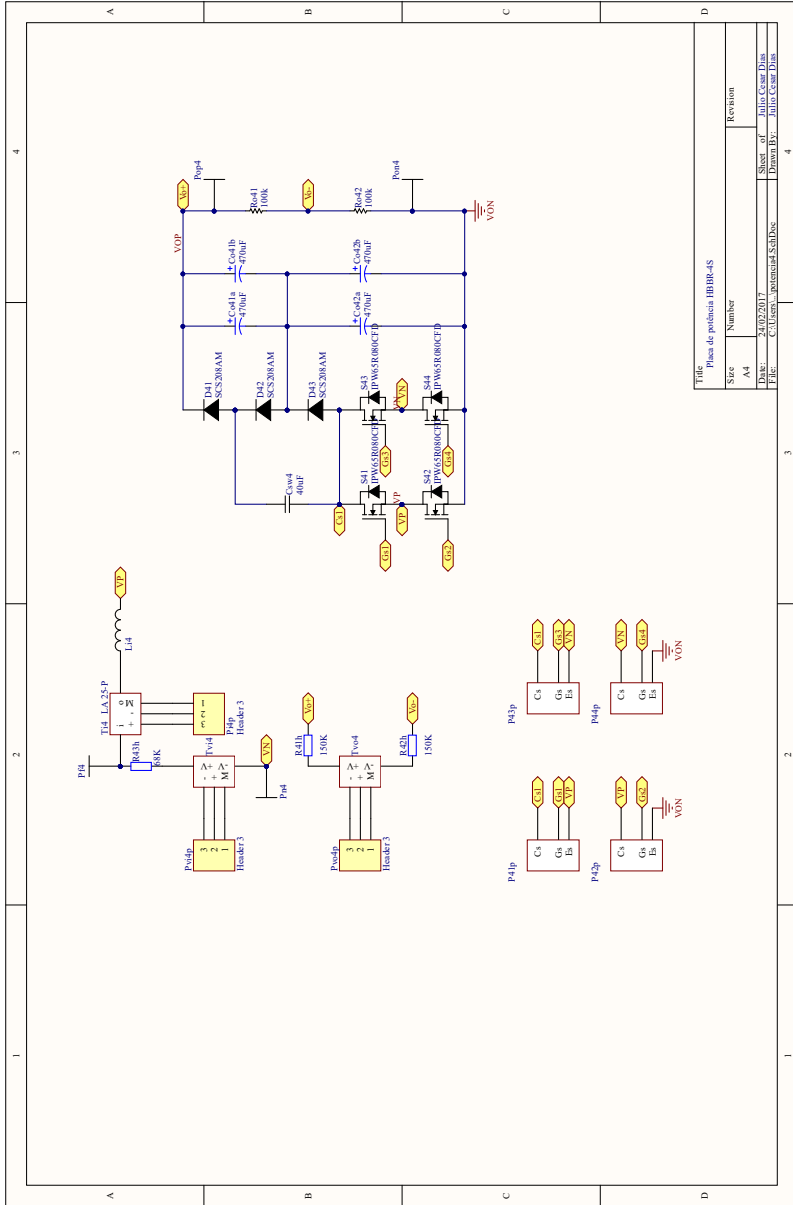
3

4





Title		Placa de potencia IBBR-2S	
Size	Number	Revision	
A4			
Date:	24/02/2017	Sheet of	Julio Cesar Dias
File:	C:\Users\potencia\25\Doc	Drawn by:	Julio Cesar Dias



Title		Placa de potencia IBBR-4S	
Size	Number	Revision	
A4			
Drawn:	24/02/2017	Sheet of	Julio Cesar Dias
File:	C:\Users\potencia\SketchDoc	Drawn By:	Julio Cesar Dias

APÊNDICE C - Projeto do indutor

Especificações do conversor

$$V_p := 311V \quad f_s := 100\text{kHz} \quad V_o := 800V \quad L_i := 1.6\text{mH}$$

$$\alpha := \frac{V_p}{V_o} \quad P_o := 1\text{kW} \quad f_g := 60\text{Hz}$$

$$I_p := 2 \cdot \frac{P_o}{V_p} = 6.431\text{A} \quad D_{\min} := \frac{1 - \alpha}{2} = 0.306$$

Especificações do indutor

$$B_{\text{sat}} := 1.5\text{T} \quad K_u := 0.5 \quad \mu_r := 60$$

$$\mu_o := 4 \cdot \pi \cdot 10^{-7} \frac{\text{H}}{\text{m}} \quad J_{\max} := 400 \frac{\text{A}}{\text{cm}^2}$$

Especificação do núcleo

$$W_m := 0.25 \cdot L_i \cdot I_p^2 = 0.017\text{J} \quad \text{Energia magnética}$$

$$Q_L := \frac{2 \cdot \pi \cdot f_s \cdot W_m}{P_o} = 10.394 \quad \text{Fator de qualidade}$$

$$A_e A_w := \frac{Q_L \cdot P_o}{\pi \cdot K_u \cdot J_{\max} \cdot B_{\text{sat}} \cdot f_s} = 1.103 \times 10^{-8} \text{m}^4 \quad \text{Produto das áreas}$$

Núcleo escolhido: Magnetics - 0088439A7 - AmoFlux

$$A_e := 199\text{mm}^2 \quad W_a := 427\text{mm}^2 \quad L_e := 107\text{mm}$$

$$A_e \cdot W_a = 8.497 \times 10^{-8} \text{m}^4 \quad V_e := 21300\text{mm}^3$$

$$N := \sqrt{\frac{L_i \cdot L_e}{\mu_r \cdot \mu_o \cdot A_e}} = 106.818 \quad \text{Número de espiras}$$

$$S_{\text{cond}} := \frac{I_p}{J_{\max} \cdot \sqrt{2}} = 1.137 \cdot \text{mm}^2 \quad \text{Seção do condutor}$$

$$S_{\text{usado}} := 1.65 \text{ mm}^2 \quad 15 \text{ AWG}$$

$$W_{\text{amin}} := N \cdot S_{\text{usado}} = 176.25 \cdot \text{mm}^2 \quad \text{Área mínima da janela}$$

$$\text{Exec} := \frac{W_a \cdot K_u}{W_{\text{amin}}} = 1.211 \quad \text{Execução}$$

$$\text{MLT} := 85.4 \text{ mm} \quad \text{Comprimento médio dos enrolamentos}$$

$$L_w := \text{MLT} \cdot N = 9.122 \text{ m} \quad \text{Comprimento do fio}$$

$$\rho_{\text{Cu}} := 13.17 \frac{\Omega}{\text{km}} \quad n_{\text{cond}} := 1$$

$$R_{\text{Cu}} := \frac{\rho_{\text{Cu}} \cdot L_w}{n_{\text{cond}}} = 0.12 \Omega \quad \text{Resistência do cobre}$$

$$P_{\text{Cu}} := R_{\text{Cu}} \cdot \frac{I_p^2}{2} \quad \text{Perdas no cobre}$$

$$\Delta_B := \frac{D_{\text{min}} \cdot V_p}{2f_s \cdot N \cdot A_e} = 0.022 \text{ T} \quad \text{Variação de densidade de fluxo magnético}$$

$$P_L := 820 \cdot 0.022^{2.19} \cdot 100 \frac{1.06 \text{ mW}}{\text{cm}^3} = 2.533 \times 10^4 \frac{\text{kg}}{\text{m} \cdot \text{s}^3} \quad \begin{array}{l} \text{Densidade de perdas no núcleo através} \\ \text{da equação empírica de Steinmetz} \\ \text{(Dados fornecidos pelo fabricante)} \end{array}$$

$$P_{\text{Nucleo}} := P_L \cdot V_e = 0.54 \text{ W} \quad \text{Perdas no núcleo}$$