

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA**

Fabian Leonardo Cabrera Riaño

**CONTRIBUIÇÕES À OTIMIZAÇÃO DA EFICIÊNCIA NA
TRANSFERÊNCIA DE ENERGIA SEM-FIO PARA
DISPOSITIVOS ELETRÔNICOS MINIATURIZADOS**

Tese submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do grau de Doutor em Engenharia Elétrica.

Orientador:
Prof. Doutor Fernando Rangel de Sousa

Florianópolis

2016

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Cabrera Riaño, Fabian Leonardo
Contribuições à Otimização da Eficiência na Transferência
de Energia Sem-fio para Dispositivos Eletrônicos
Miniaturizados / Fabian Leonardo Cabrera Riaño ;
orientador, Fernando Rangel de Sousa - Florianópolis, SC,
2016.
136 p.

Tese (doutorado) - Universidade Federal de Santa
Catarina, Centro Tecnológico. Programa de Pós-Graduação em
Engenharia Elétrica.

Inclui referências

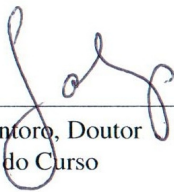
1. Engenharia Elétrica. 2. Circuitos integrados CMOS.
3. Transferência de energia sem-fio. 4. Acoplamento
indutivo. I. Rangel de Sousa, Fernando. II. Universidade
Federal de Santa Catarina. Programa de Pós-Graduação em
Engenharia Elétrica. III. Título.

Fabian Leonardo Cabrera Riaño

**CONTRIBUIÇÕES À OTIMIZAÇÃO DA EFICIÊNCIA NA
TRANSFERÊNCIA DE ENERGIA SEM-FIO PARA
DISPOSITIVOS ELETRÔNICOS MINIATURIZADOS**

Esta Tese foi julgada adequada para obtenção do Título de Doutor em Engenharia Elétrica e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.

Florianópolis, 7 de março de 2016.

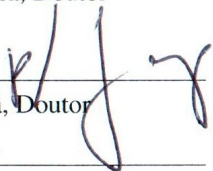


Carlos Galup Montoro, Doutor
Coordenador do Curso

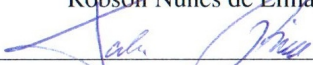
Banca Examinadora:



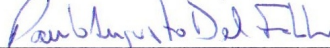
Fernando Rangel de Sousa, Doutor
Orientador



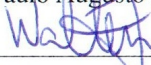
Robson Nunes de Lima, Doutor



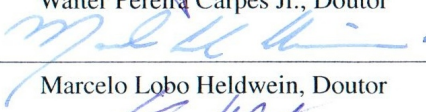
Tales Cleber Pimenta, Doutor



Paulo Augusto Dal Fabbro, Doutor



Walter Pereira Carpes Jr., Doutor



Marcelo Lobo Heldwein, Doutor



Eduardo Luiz Ortiz Batista, Doutor

RESUMO

Os acoplamentos indutivos têm sido amplamente estudados para a transferência de energia sem-fio aos dispositivos médicos implantados e às etiquetas de identificação por radiofrequência, entre outros. Com a aparição de novos paradigmas como a “Internet das coisas”, fica evidente a necessidade de miniaturizar os receptores de energia sem-fio. Essa miniaturização é ainda mais relevante no caso dos implantes médicos, porque ela visa à redução dos riscos para a saúde do paciente. Esta tese procurou uma solução que é natural no quesito de miniaturização: a implementação de um receptor de energia sem-fio completamente integrado na tecnologia CMOS.

Na busca pela miniaturização foi definida a eficiência como objetivo principal do projeto. Por esse motivo, a primeira parte da tese é dedicada a estudar as escolhas que otimizam a eficiência em acoplamentos indutivos. Inicialmente, esse estudo é feito com indutores planares fabricados sobre placas de circuito impresso. São apresentados modelos para o indutor e para o acoplamento indutivo. Com base nesses modelos é proposta uma metodologia de projeto através de programação geométrica. O resultado mostra quais devem ser a frequência de operação e as dimensões dos indutores para uma determinada distância entre eles. Esses resultados são verificados através de simulações eletromagnéticas e também experimentalmente.

Depois é apresentado o projeto do receptor de energia sem-fio. Esse projeto esteve focado em dois aspectos: a otimização da eficiência e a possibilidade de ser testado verdadeiramente sem-fio. Quanto à eficiência, a principal variável a ser otimizada é o fator de qualidade do indutor integrado. O indutor projetado e fabricado apresenta um fator de qualidade de 20,8 em 990 MHz, o qual é verificado experimentalmente através de um método sem-contato. Esse fator de qualidade é considerado alto para um indutor integrado em tecnologia CMOS convencional. A carga do receptor é projetada especialmente para o teste e consiste em um oscilador que converte a tensão de alimentação em uma variação da frequência. Essa frequência modula a portadora, sendo que essa informação pode ser percebida na entrada do indutor primário. Com esse método é possível estimar a eficiência do sistema sem usar fios conectados ao chip receptor. O receptor é fabricado em um chip de $1,5 \text{ mm} \times 1,5 \text{ mm}$, enquanto o indutor transmissor é impresso em uma placa de FR4. A eficiência do acoplamento, quando o indutor primário tem um diâmetro médio de 22 mm e uma distância de 15 mm do receptor, foi medida como sendo -25,4 dB na frequência de 986 MHz. Considerando as características do receptor: implementação monolítica, área do chip, eficiência do

acoplamento e distância, o sistema projetado apresenta o melhor desempenho reportado na literatura.

Finalmente, é proposta uma metodologia de projeto para um amplificador de potência CMOS destinado a energizar o sistema projetado. Essa metodologia concilia o compromisso entre a resistência de condução e a capacitância de porta das chaves. A área ocupada é $1,5 \text{ mm}^2$, maior parte dela é usada pelos pads e as largas ligações de metal. Simulações pós-layout mostram uma eficiência de potência de 58% quando entregados 25,1 dBm ao indutor primário.

Palavras-chave: Acoplamento indutivo, circuitos integrados CMOS, medições sem-contato, ressonador LC, transferência de energia sem-fio.

ABSTRACT

Inductive links have been widely studied for wireless energy transfer to implanted medical devices and radiofrequency identification tags among others. With the development of new paradigms such as “Internet of Things” it becomes evident the need for miniaturization of the wireless energy receivers. The miniaturization is even more relevant in the case of the medical implants, because it aims to reduce the risks on the patient health. This thesis was focused into a solution that is natural when talking about miniaturization: the implementation of a CMOS fully integrated wireless power receiver.

On the path to miniaturization, the efficiency was defined as the main objective of the design. For that reason, the first part of this thesis is dedicated to study the choices that optimize the efficiency in inductive links. This study is done first with planar inductors manufactured on printed boards. Several models are presented for the inductor and the inductive link. Based on those models, a design methodology is proposed using geometric programming. The results show the inductor dimensions and the operating frequency that optimize the efficiency for a given distance. The predicted values are verified through electromagnetic simulations and also experimentally.

Next the design of the wireless power receiver is presented. Such design is focused on two aspects: the optimization of efficiency and the possibility of being truly wireless tested. Regarding efficiency, the main factor to be optimized is the quality factor of the integrated inductor. The designed and fabricated inductor has a quality factor of 20.8 at 990 MHz, which is experimentally verified using a contact-less method. That quality factor is considered high for an inductor integrated in a conventional CMOS process. The load of the receiver is designed specially for the test and it consists of an oscillator that converts the supply voltage into a frequency quantity. That frequency is used to modulate the carrier and that information can be perceived at the primary inductor input. With the proposed method it is possible to estimate the system efficiency without wires connected to the receiver chip. The receiver was implemented in a $1.5 \text{ mm} \times 1.5 \text{ mm}$ chip, while the transmitter inductor is printed in a FR4 board. The link efficiency was measured when the primary inductor has an average diameter of 22 mm and with a distance of 15 mm from the receiver, resulting in -25.4 dB at the frequency of 986 MHz. Considering the characteristics of the receiver: monolithic implementation, chip area, link efficiency and distance to the transmitter, the designed wireless power transfer system exhibits a better performance than state-of-the-art systems.

Finally, a design methodology is proposed for a CMOS power amplifier intended to drive the designed system. That methodology solves the trade-off between the ON-resistance and gate capacitance of the switches. The area occupied is 1.5 mm^2 , most of it is used by the pads and the wide interconnects. Post-layout simulations showed a power efficiency of 58% when delivering 25.1 dBm to the primary inductor of the wireless power transferring system.

Keywords: CMOS integrated circuits, contactless measurements, inductive link, LC resonator, wireless power transfer.

LISTA DE FIGURAS

1	Exemplo de sistema de assistência médica.	21
2	Composição geral de um implante corporal.	22
3	Transferência de energia ao implante usando acoplamento indutivo.	24
4	Comparação da eficiência obtida em diferentes trabalhos sobre acoplamentos indutivos.	26
5	Diagrama simplificado de um sistema de RFID.	33
6	(a) Autoindutância. (b) Indutância mútua. (c) Indutor real.	34
7	Fator de perdas modelado comparado com simulações.	38
8	Fator de acoplamento magnético quando $d_{avg2} = 4$ mm.	39
9	Resposta em frequência das partes real e imaginária da permissividade para um dielétrico hipotético, mostrando vários fenômenos que contribuem.	41
10	Permissividade relativa nos modelos Cole-Cole 4 polos (CC4) e Debye-Drude 3 polos (DD3).	43
11	Modelo do indutor: (a) Isolado no ar. (b) Próximo a um material dielétrico ideal ($\sigma = 0$). (c) Rodeado de material dispersivo. (d) Circuito equivalente em uma faixa de frequências determinada.	44
12	(a) Correntes parasitas geradas no material. (b) Modelo do indutor incluindo correntes parasitas no material dispersivo. (c) Modelo reduzido.	44
13	Ligação de dois circuitos elétricos: (a) Diagrama de blocos. (b) Circuito equivalente.	46
14	Relação entre os principais fatores que afetam a eficiência do acoplamento indutivo.	48
15	Modelo elétrico do acoplamento indutivo.	51
16	(a) Geometria dos indutores. (b) Dependência do máximo fator de qualidade com o fator de preenchimento.	55
17	(a) Recíproco do fator de qualidade variando com a frequência, para $d_{avg1}/w_{ind1} = 8$. (b) Recíproco do quadrado do fator de acoplamento magnético quando $d_{avg2} = 4$ mm.	57
18	Resultados do projeto ótimo: (a) Diâmetro médio e largura de linha do indutor primário. (b) Frequência. (c) Eficiência.	58
19	Acoplamento indutivo ótimo para $d=15$ mm: (a) Configuração do teste. (b) Eficiência: Máximo ganho disponível (MAG).	59
20	Kit de calibração para conectores U.FL.	60

21	(a) Indutor de 4 segmentos. (b) Modelo do indutor segmentado.	62
22	(a) Reactância equivalente quando $C_D=0$. (b) Perdas no indutor segmentado.	63
23	(a) Fator de qualidade do indutor segmentado. (b) Produto dos fatores de qualidade dos indutores primário e secundário quando $d_{avg2}=4$ mm.	63
24	(a) Resistência série equivalente dos capacitores discretos. (b) Produto dos fatores de qualidade considerando as perdas dos capacitores.	64
25	Configuração de teste e detalhe do indutor de 4 segmentos. ...	65
26	Parâmetros S medidos do acoplamento com indutor primário segmentado.	65
27	Sistema WPT típico com comunicação por backscattering. ...	69
28	Modelo do acoplamento ressonante.	70
29	Eficiência do acoplamento ressonante mostrando as regiões de acoplamento.	73
30	Efeito do chaveamento sobre a eficiência. (a) Modelo. (b) Formas de onda.	73
31	Sistema para transferência de energia a receptor completamente integrado em CMOS.	75
32	(a) Indutor de duas espiras. (b) Máximo Q_2 para diferentes indutores. (c) Q_2 para indutor de uma espira quando $w_{ind2} = 250 \mu\text{m}$	77
33	Retificador: (a) Diagrama de blocos. (b) Esquemático de cada estágio. (c) Eficiência simulada.	79
34	Oscilador controlado pela fonte de alimentação: (a) Diagrama de blocos. (b) Implementação do inversor. (c) Esquemático do flip-flop configurado como divisor de frequência (todos os resistores têm valor de $1 \text{ M}\Omega$). (d) Esquemático do conversor de nível.	80
35	Características da carga variável: (a) Curva de R_V . (b) Curvas de eficiência e p . (c) Modelo de circuito para a transformação de impedância.	81
36	Chave usada para a modulação de carga.	83
37	Receptor WPT completamente integrado em tecnologia CMOS 180 nm, área de $1,5 \text{ mm} \times 1,5 \text{ mm}$: (a) Layout. (b) Fotografia.	84
38	Circuito usado para as simulações pós-layout.	85
39	Simulação transiente do receptor WPT.	85

40	Receptor WPT integrado incluindo o ressonador LC.	87
41	Teste do ressonador: (a) Configuração do teste. (b) Modelo. . .	88
42	Variação de impedância medida (linha sólida) e simulada (linha pontilhada). (a) Resistência normalizada. (b) Reactância normalizada.	90
43	Fator de qualidade do ressonador LC medido em várias amostras.	91
44	Fator de acoplamento magnético com o indutor secundário integrado ($d_{avg2} = 1210 \mu\text{m}$).	93
45	Indutores transmissores: (a) $d_{avg1} = 2,4 \text{ mm}$. (b) $d_{avg1} = 8 \text{ mm}$ com rede de casamento com varactores. (c) $d_{avg1} = 8 \text{ mm}$ sem varactores. (d) $d_{avg1} = 22 \text{ mm}$	94
46	Modelo do backscattering: (a) Diagrama de blocos. (b) Diagrama de fluxo de sinal.	95
47	Configuração de teste do sistema WPT.	96
48	Sinal refletido medido quando $d = 10 \text{ mm}$, $d_{avg1} = 22 \text{ mm}$ e a potência de entrada é 21 dBm.	97
49	Configuração de teste do PSCO: (a) Diagrama. (b) Fotografia.	98
50	Medidas do PSCO: (a) Frequência de oscilação. (b) Resistência equivalente.	99
51	Fotografias da configuração de teste: (a) Sistema WPT. (b) Detalhe do receptor.	99
52	(a) Eficiência total no regime de acoplamento forte. (b) Eficiência combinada do retificador e a comunicação.	100
53	Eficiência total do sistema WPT em função da frequência da portadora quando $d = 1 \text{ mm}$, $d_{avg1} = 8 \text{ mm}$ e $P_{in} = 0 \text{ dBm}$	101
54	Eficiência total medida para várias distâncias com: (a) $d_{avg1} = 8 \text{ mm}$. (b) $d_{avg1} = 22 \text{ mm}$	102
55	Máxima eficiência total medida em função da distância.	103
56	(a) Sistema WPT. (b) Conversão DC-RF.	107
57	Impedância equivalente do indutor primário em 990 MHz.	109
58	Topologia do PA.	110
59	(a) Modelo do amplificador de potência. (b) Ondas de tensão e corrente.	110
60	Resistência de condução dos transistores em função da tensão dreno-fonte.	113
61	Impedância equivalente: (a) Primeira simplificação. (b) Paralela. (c) Série.	114
62	Metade do PA diferencial e detalhe das células unitárias.	117

63	Amplificador de potência CMOS: (a) Layout 1,5 mm × 1,5 mm. (b) Layout de célula unitária. (c) Diagrama de micro-soldas. .	119
64	Potência de saída, eficiência e tensão de excursão no nó V+...	120
65	Formas de onda no domínio do tempo em célula unitária do PA.	120
66	Varredura no número de células ativadas no PA. (a) Potência de saída. (b) Eficiência.	121

LISTA DE TABELAS

1	Trabalhos recentes sobre acoplamentos indutivos.	25
2	Trabalhos recentes em energização a dispositivos miniaturizados.	27
3	Resumo das medições do acoplamento indutivo.	60
4	Resumo de desempenho do acoplamento indutivo com indutor primário segmentado.	66
5	Variáveis envolvidas no projeto ótimo do sistema WPT.	76
6	Simulações de cantos do circuito integrado projetado.	86
7	Média e desvio padrão (DP) das características do ressonador.	91
8	Indutores miniaturizados para transferência de energia sem-fio.	92
9	Resumo dos indutores transmissores projetados.	93
10	Acoplamentos indutivos (rodeados por ar) com receptor WPT monolítico.	104
11	Resultados numéricos da metodologia de projeto.	116
12	Comparação de PAs integrados em CMOS.	122

LISTA DE SIGLAS

BAN	Rede de área corporal (<i>Body Area Network</i>).
CNC	<i>Computer Numerical Control</i> .
CS	<i>Crack-Stop</i> .
DUT	Dispositivo a ser testado (<i>Device Under Test</i>).
ESR	Resistência série equivalente (<i>Equivalent Series Resistance</i>).
FoM	Figura de mérito (<i>Figure of Merit</i>).
IoT	Internet das coisas (<i>Internet of Things</i>).
LTV	Linear variante no tempo (<i>Linear Time – Variant</i>).
MAG	Máximo Ganho Disponível (<i>Maximum Achievable Gain</i>).
MIM	Metal-Isolante-Metal (<i>Metal-Insulator-Metal</i>).
PA	Amplificador de potência.
PAE	Eficiência de potência adicionada (<i>Power Added Efficiency</i>).
PG	Programa Geométrico.
PSCO	Oscilador controlado pela fonte de alimentação (<i>Power-Supply Controlled Oscillator</i>).
RFID	Identificação por radiofrequência (<i>Radiofrequency Identification</i>).
SRF	Frequência de autoressonância.
VNA	Analisador vetorial de redes (<i>Vector Network Analyzer</i>).
WPT	Transferência de energia sem-fio (<i>Wireless Power Transfer</i>).

LISTA DE SÍMBOLOS

d	Distância entre indutores
d_{ext2}	Diâmetro externo do indutor secundário
η	Eficiência
ε	Permissividade elétrica
μ	Permeabilidade magnética
ρ	Resistividade elétrica
w_{ind}	Largura de linha do indutor
Δ_{ind}	Distância entre os terminais do indutor
I	Corrente elétrica
Φ	Fluxo magnético
V	Tensão elétrica
t	Tempo
L	Indutância
L_1	Indutância do primário
L_2	Indutância do secundário
M	Indutância mútua
k	Fator de acoplamento magnético
R	Resistência
C	Capacitância
λ_{eff}	Comprimento de onda efetivo
d_{avg}	Diâmetro médio do indutor
R_{DC}	Resistência DC
F_{skin}	Fator de multiplicação da resistência por efeito pelicular
F_r	Fator de redistribuição radial da corrente no indutor
R_{rad}	Resistência de radiação
t_c	Espessura do condutor
δ	Profundidade de efeito pelicular
$\alpha_r, \beta_{r2} e \beta_{r2}$	Parâmetros do modelo de F_r
Λ	Fator de perdas do indutor
Λ_{min}	Fator de perdas mínimo
$f_{\Lambda min}$	Frequência de fator de perdas mínimo
$K(\gamma) e E(\gamma)$	Funções elípticas
γ	Variável intermédia para o cálculo da indutância mútua
r_c	Raio de um indutor circular
E	Campo elétrico
H	Campo magnético
ω	Frequência angular

σ	Condutividade elétrica
$\epsilon_r(\omega)$	Função de permissividade relativa equivalente
ϵ_0	Permissividade elétrica no vácuo
n	Número de polos no modelo da permissividade
ϵ_∞	Permissividade quando a frequência tende ao infinito
$\Delta\epsilon_n$	Mudança no valor da permissividade introduzida por cada polo
α_n	Fator de forma da transição da permissividade em cada polo
τ_n	Constante de tempo de relaxação associada a cada polo
μ_0	Permeabilidade magnética no vácuo
Z	Impedância
P	Potência
X	Reatância
p_0	Proporção entre a resistência série do indutor e a resistência de carga
f_{obj}	Função objetivo do programa geométrico
f_i e g_j	Restrições na forma de desigualdade e igualdade
n_f e n_g	Número de funções f_i e g_j
N	Número de segmentos do indutor
Q	Fator de qualidade
S_0	Chave no modelo de backscattering
T	Intervalo de tempo em que S_0 está fechada
T_{sw}	Período do sinal de controle da chave
D	Ciclo útil (<i>Duty cycle</i>) do sinal de controle
f_c	Frequência da portadora
f_{sw}	Frequência do sinal modulador do backscattering
n_{ind2}	Número de espiras do indutor secundário
s_{ind2}	Espaçamento entre espiras do indutor secundário
h	Função de transferência do oscilador PSCO
W	Largura dos transistores

SUMÁRIO

1 Introdução	21
1.1 Motivação	21
1.2 Escopo do trabalho	27
1.3 Publicações associadas à tese	29
1.4 Organização do documento	31
2 Fundamentos sobre Acoplamentos Indutivos	33
2.1 Indutores	34
2.2 Interação entre o Indutor e os Materiais Dispersivos	39
2.2.1 Propriedades Elétricas dos Materiais	40
2.2.2 Interação entre o Campo Elétrico do Indutor e o Material ao seu Redor	42
2.2.3 Interação entre o Campo Magnético do Indutor e o Material ao seu Redor	44
2.3 Adaptação de Impedâncias	46
2.4 Considerações a Respeito da Frequência de Operação	48
3 Eficiência Ótima em Acoplamentos Indutivos	51
3.1 Modelo Elétrico	51
3.2 Projeto do Acoplamento Indutivo com Eficiência Otimizada	53
3.2.1 Programação Geométrica	53
3.2.2 Definição do Caso Usado como Exemplo	54
3.2.3 Formulação do Problema	56
3.3 Execução e Validação Experimental do Método	58
3.4 Indutor segmentado	61
3.5 Conclusões sobre a otimização da eficiência	66
4 Receptor de Energia Sem-fio Integrado em CMOS	69
4.1 Eficiência na transferência de energia	69
4.1.1 Eficiência do acoplamento ressonante	70
4.1.2 Regiões de operação do acoplamento ressonante	72
4.1.3 Energia gasta na modulação por backscattering	72
4.2 Concepção do sistema WPT	74
4.3 Projeto do receptor de energia sem-fio	76
4.3.1 Indutor Integrado	76
4.3.2 Retificador	78
4.3.3 Carga Variável	79
4.3.4 Dispositivo de backscattering	82
4.4 Layout e simulações	83
5 Medição do Sistema WPT com Receptor Miniaturizado	87

5.1	Caracterização do ressonador LC integrado	87
5.1.1	Método proposto	87
5.1.2	Aplicação do método	90
5.2	Projeto do indutor primário	92
5.3	Estratégia de teste	95
5.4	Caracterização da carga variável	98
5.5	Medição do sistema WPT	98
5.5.1	Teste em regime de acoplamento forte	99
5.5.2	Variação da eficiência com a frequência	100
5.5.3	Dependência da eficiência com a distância	100
5.6	Resumo dos resultados e comparação com o estado da arte	102
6	Amplificador de Potência para WPT	107
6.1	Projeto do amplificador	108
6.1.1	Especificações	108
6.1.2	Topologia	109
6.1.3	Dimensionamento dos transistores	112
6.1.4	Rede de transformação de impedância	114
6.1.5	Metodologia de projeto	115
6.2	Implementação	116
6.2.1	Implementação do circuito	116
6.2.2	Layout	117
6.2.3	Resultados	118
7	Contribuições e desdobramentos	123
7.1	Resumo das contribuições	123
7.2	Desdobramentos futuros	126
	Referências bibliográficas	136

1 INTRODUÇÃO

1.1 MOTIVAÇÃO

Com o rápido crescimento do número de aparelhos conectados à internet nos últimos anos, é possível visualizar novas aplicações e serviços em favor do bem-estar humano. Grande parte desses novos serviços e aplicações derivam de um paradigma denominado “Internet das Coisas” ou IoT por suas siglas no inglês (*Internet of Things*) [1]. A IoT habilita a conectividade entre os objetos que fazem parte da vida cotidiana permitindo que qualquer pessoa com um dispositivo móvel e autorização adequada possa controlar ou monitorar qualquer coisa [2].

Entre as diversas áreas de aplicação da IoT podem ser citadas as casas inteligentes [3], as cidades inteligentes [4], o monitoramento ambiental [5] e a logística [6]. Na área da saúde são previstos sistemas de assistência médica [7]. Um exemplo é mostrado na Figura 1, onde vários dispositivos são usados para monitorar sinais biológicos de uma pessoa. Esses dispositivos podem comunicar-se entre si e também com um dispositivo móvel formando uma rede de área corporal (*Body Area Network - BAN*). Por sua vez, o dispositivo móvel dispõe de acesso à internet permitindo que a informação sobre o estado de saúde atual da pessoa seja enviada ao médico ou aos parentes, inclusive um aplicativo no dispositivo móvel pode enviar um alerta ao serviço de emergência caso os dados medidos indiquem que é necessário.

Alguns dispositivos que formam as BAN são os denominados “vestíveis”, os quais são embutidos em roupas e acessórios de vestir, como óculos, braceletes, relógios e anéis entre outros. Outros dispositivos são implantados no corpo humano complementando a funcionalidade das BAN.

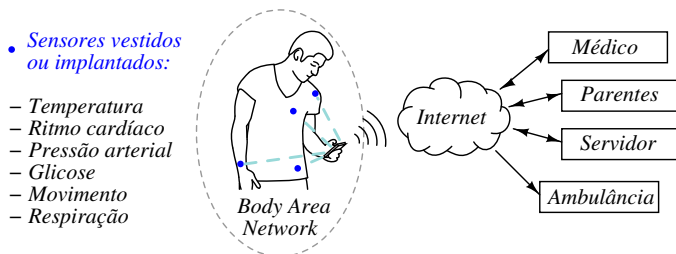


Figura 1: Exemplo de sistema de assistência médica.

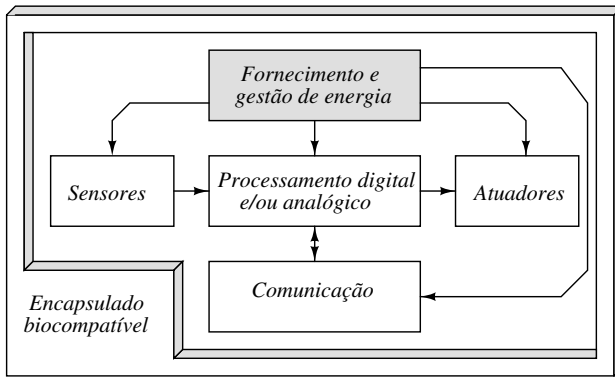


Figura 2: Composição geral de um implante corporal.

Esses implantes corporais podem ser usados com diversos propósitos, tais como o tratamento de doenças crônicas [8–15], o monitoramento da saúde [16–18] e a restauração ou extensão de habilidades motoras através de interfaces cérebro-máquina [19–21]. Em termos de tratamento de doenças crônicas, podem ser citados exemplos como os marcapassos e os desfibriladores cardíacos [8]; os implantes cocleares e oculares que permitem restaurar a audição e a visão [9, 10]; e a estimulação cerebral profunda utilizada para tratamento da doença de Parkinson e alguns transtornos mentais [11]. Soluções implantadas para outras doenças como a diabetes ainda são objeto de pesquisas [12–14], nesse caso é necessária a implementação de sistemas de controle em malha fechada incluindo, por exemplo, sensores de glicose, processamento dos dados, injeção de insulina e comunicação com dispositivos externos [22].

De forma geral, pode-se esquematizar um implante eletrônico como mostrado na Figura 2. Os sensores são transdutores que convertem para sinal elétrico os parâmetros físicos, biológicos ou químicos, tais como a temperatura, a pressão e a concentração de algum tipo específico de molécula ou íon. O sinal dos sensores deve ser condicionado e processado usando circuitos analógicos e/ou digitais. Esse módulo de processamento também é encarregado do controle dos atuadores e da recepção e do envio de dados para o módulo de comunicação. Os atuadores por sua vez, são transdutores que, a partir de um sinal elétrico, interagem com o ambiente circunvizinho ao implante. Dois exemplos de atuador são: o estimulador de tecido cardíaco em marcapassos e a bomba de insulina. Já o módulo de comunicação tem

como função enviar os dados medidos e receber instruções de um dispositivo externo ao corpo. Na Figura 2 também é mostrada a necessidade de ter um encapsulamento biocompatível. Esse encapsulamento deve proteger os circuitos e isolar eletricamente o implante dos tecidos, mas também deve ter áreas abertas para permitir a interação entre os tecidos e os sensores e atuadores [23]. Outro módulo importante no implante é o que fornece energia para o funcionamento dos circuitos de processamento e de comunicação. Fornecer energia para o implante constitui um desafio considerável, uma vez que não devem existir fios ligando o implante ao exterior e que o implante deve ter o menor tamanho possível visando uma característica não-invasiva.

A miniaturização dos dispositivos é um dos principais desafios tanto nos implantes corporais quanto nas aplicações IoT. Nos primeiros, a miniaturização é fundamental para diminuir o desconforto e os riscos ao paciente. No caso da IoT também é importante dado que a característica pervasiva¹ da IoT só poderá ser atingida quando o tamanho dos dispositivos for tão pequeno que eles tendam a “desaparecer” [24]. A maioria dos implantes comerciais atuais usa baterias para alimentar os circuitos, sendo que tais baterias ocupam a maior parte do volume do dispositivo. Além das dimensões físicas, as baterias armazenam uma quantidade de energia limitada, portanto precisam ser trocadas periodicamente. Cada troca do implante significa um procedimento cirúrgico com riscos para a saúde do paciente. Por esse motivo é necessário encontrar alternativas para alimentar os dispositivos implantados. Muito tem sido pesquisado sobre como recuperar a energia disponível nas imediações dos implantes [25–30]. Por exemplo, em [25], busca-se utilizar a luz para alimentar dispositivos implantados. Em [26], o gradiente de temperatura é convertido para uma tensão elétrica por meio de um gerador termoelétrico. Outras fontes de energia que podem ser aproveitadas são as vibrações mecânicas [27–29] e as variações na pressão sanguínea [30]. Porém, essas fontes de energia só estão disponíveis em algumas aplicações e em quantidades limitadas. Outra opção é usar o campo magnético para transferir energia de um dispositivo externo ao implante usando os denominados acoplamentos indutivos [31].

A alimentação do implante com um acoplamento indutivo é mostrada na Figura 3. A energia é transferida do indutor externo para o indutor implantado usando o fluxo magnético que liga os dois indutores. A diferença entre o tamanho dos indutores na figura é para destacar que o indutor implantado deve ser o menor possível, enquanto que o indutor externo não está sujeito

¹Que se espalha, difunde por toda parte, ou que tende a propagar-se ou estender-se totalmente por meio de diversos canais, tecnologias, sistemas, dispositivos etc.

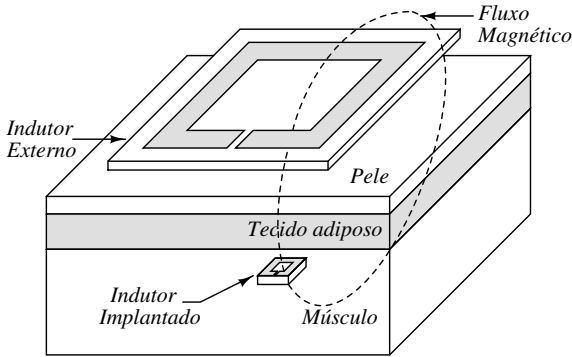


Figura 3: Transferência de energia ao implante usando acoplamento indutivo.

à mesma restrição. A figura também apresenta uma possível configuração dos tecidos biológicos ao redor do implante com três camadas: pele, tecido adiposo e músculo.

A interação entre os campos eletromagnéticos e os tecidos biológicos causa perdas de energia, as quais são convertidas em calor e, portanto, aquecem os tecidos. Esse aquecimento é limitado pelos padrões que estabelecem os níveis de segurança a respeito da exposição de seres humanos aos campos eletromagnéticos em radiofrequências [32]. Por conseguinte, a potência máxima que pode ser transmitida pelo indutor externo é restrita. Para aumentar a potência recebida no implante, o projeto do sistema deve eleger a otimização da eficiência na transferência de energia como principal objetivo.

O projeto do acoplamento indutivo geralmente parte de uma tecnologia de fabricação disponível, de uma distância entre indutores especificada (d), e de uma restrição no diâmetro² externo do indutor implantado (d_{ext2}). A tecnologia escolhida limita o máximo fator de qualidade dos indutores, ao passo que o máximo fator de acoplamento magnético depende dos valores de d e d_{ext2} especificados. Depois de ter esses parâmetros especificados, a eficiência pode ser otimizada pela cuidadosa escolha da adaptação de impedâncias, da geometria do indutor externo e da frequência. Vários trabalhos publicados têm focado sua atenção em otimizar a eficiência de acoplamentos indutivos [33–36]. Em [33] são mostradas expressões analíticas para a carga apresentada ao indutor secundário que maximiza a eficiência. Outros

²Neste caso, foi definido o diâmetro do quadrado como sendo a distância entre dois dos seus lados paralelos.

trabalhos exploram a escolha das dimensões dos indutores que otimizam a eficiência [34, 35]. Quanto à frequência, geralmente empregam-se sinais na faixa dos MHz. Todavia, a análise feita em [37] levantou a possibilidade de alimentar os implantes com frequências bem mais elevadas, na escala dos GHz. Em [36], indutores de diferentes tamanhos foram simulados para investigar a frequência ótima, mas a relação entre os tamanhos que maximiza o coeficiente de acoplamento magnético não foi considerada [34].

Na Tabela 1 são comparados os resultados de trabalhos recentes sobre acoplamentos indutivos, inclusive com resultados preliminares deste trabalho publicados em [42]. A eficiência obtida nessas referências é plotada na Figura 4 em função da distância entre indutores normalizada pelo diâmetro externo do indutor receptor. A linha sólida corresponde à máxima eficiência estimada quando os indutores são implementados em placa de circuito impresso (dielétrico FR4, com $\epsilon = 4,4\epsilon_0$ e espessura do cobre de $35 \mu\text{m}$) para uma dada distância relativa entre indutores, normalizada pelo diâmetro externo do indutor receptor [42], usada como referência para comparar os trabalhos. A referência [39] aproxima-se da eficiência máxima, mas é importante notar que são usados indutores implementados com fios, os quais podem apresentar melhor fator de qualidade do que aqueles implementados em placa de circuito impresso. A eficiência obtida experimentalmente em [42] difere levemente da curva devido às perdas introduzidas pelos capacitores e pelas ilhas de solda usadas no protótipo experimental desenvolvido. O diâmetro dos indutores receptores da Tabela 1 varia entre 3 mm e 30 mm, notando que o indutor com diâmetro de 3 mm da referência [41] foi apenas simulado e não fabricado. No entanto, espera-se que os implantes possam ter tamanhos menores.

A Tabela 2 resume as características de trabalhos recentes relevantes

Tabela 1: Trabalhos recentes sobre acoplamentos indutivos.

Referência	[34]	[38]	[39]	[40]	[40]	[41]	[42]
Diâmetro externo ind. receptor (d_{ext2}) [mm]	10	30	22	19	19	3	4,5
Distância (d) [mm]	15	10	20	10	20	7	15
Distância normalizada (d/d_{ext2})	1,5	0,3	0,9	0,5	1,1	2,3	3,3
Frequência [MHz]	6,8	4,5	0,7	12,1	12,1	3000	415
Eficiência (η) [%]	22	54	80	72	35	36 (Simulação)	30
Tecnologia	PCB + fios	fios	fios	PCB	PCB	PCB	PCB

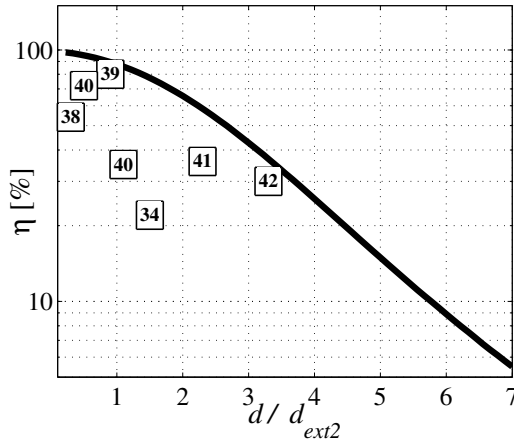


Figura 4: Comparação da eficiência obtida em diferentes trabalhos sobre acoplamentos indutivos.

quanto à miniaturização de dispositivos alimentados por WPT. Entre as cinco referências mostradas na tabela, somente em [43] e [16] sistemas são integrados em um mesmo substrato contendo todos os blocos. A integração em apenas uma tecnologia pode significar a redução em tamanho, a redução no custo, o aumento da robustez mecânica e a facilidade para a produção em massa. Essas vantagens podem ser reforçadas no caso da tecnologia CMOS, devido à maturidade dessa tecnologia na fabricação de circuitos analógicos e digitais. Os circuitos de radiofrequência também têm ganhado espaço nos processos CMOS mais recentes que buscam otimizar os dispositivos passivos. Sendo que o principal mecanismo limitante no fator de qualidade dos indutores integrados em CMOS é a indução de correntes no substrato. Esse efeito é notório em decorrência da proximidade entre o substrato e a camada de metal na qual é implementado o indutor. Em [44], foi aplicado um método de pós-processamento para fabricar o indutor sobre o chip CMOS. No entanto, a distância entre o indutor e o substrato não muda muito, assim como a espessura do metal em que é fabricado o indutor ($3 \mu\text{m}$), conseqüentemente, o fator de qualidade reportado é de apenas 3. Em uma tecnologia CMOS convencional sem pós-processamento, pode ser atingido um fator de qualidade de até 22,5 [45]. No processo MEMS usado em [20] foi obtido um fator de qualidade de 29. Considerando que não existe o substrato resistivo embaixo do indutor, indutores com melhores fatores de qualidade poderiam ser imple-

mentados nessa tecnologia. Todavia, além de demandar várias tecnologias, essa abordagem apresenta outra desvantagem, a necessidade em ocupar o dobro da área, considerando que o indutor não compartilha o espaço com os outros componentes. Em outras palavras, só a metade da área do implante estaria aproveitando o fluxo magnético gerado pelo indutor externo. Em [46] não foi reportado o fator de qualidade do indutor, mas é possível ter uma referência sabendo-se que um indutor implementado em PCB pode atingir fatores de qualidade de até 350 [42].

Tabela 2: Trabalhos recentes em energização a dispositivos miniaturizados.

Referência	[44]	[46]	[43]	[20]	[16]
Ano	2008	2010	2011	2013	2013
Tecnologia	CMOS + pós-proces.	CMOS + PCB	CMOS	MEMS+ CI + diodos	CMOS
Área [mm ²]	0,5	4,4	1	5	4,8
Freq. [GHz]	2,5	1	5	0,4	5,2
Elemento Receptor	Indutor	Indutor	Antena	Indutor	Antena
Efic. [%] @ dist. [mm]	0,02 @ 0,5	0,06 @ 25	0,008 @ 10	– @ 1	0,0003 @ 35
Meio	ar	10 mm ar + 15 mm músculo	ar	ar e tecidos	30 mm ar + 5 mm solução salina

Nas referências [16, 43] foram implementadas antenas para captar a energia transferida a partir de uma antena externa. Por esse motivo, escolheram uma frequência relativamente alta (5 GHz). É importante notar que o comprimento de onda de um sinal se propagando no vácuo na frequência de 5 GHz é de 60 mm, ou seja, as distâncias escolhidas para teste, 10 mm e 35 mm respectivamente, estão dentro da região de campo próximo reativo. Nessa região o tratamento do dispositivo captador de energia supondo o acoplamento capacitivo ou indutivo pode resultar em um projeto mais eficiente.

1.2 ESCOPO DO TRABALHO

O tema central desta tese é a transferência de energia sem-fio (*Wireless Power Transfer* - WPT) a dispositivos miniaturizados. O interesse na miniaturização do indutor/antena receptor de energia nos implantes levantou a possibilidade de usar frequências altas (na ordem de GHz) mantendo os níveis seguros de exposição dos tecidos aos campos eletromagnéticos [37]. Porém, a procura pela frequência ótima para a transferência de energia

sem-fio através dos tecidos biológicos depende da resposta a uma pergunta mais fundamental: qual é a frequência que otimiza a eficiência no caso em que o acoplamento indutivo está rodeado apenas por ar? E além disso, quais são as variáveis que afetam a eficiência do acoplamento indutivo? Para responder a essas perguntas e conseguir a miniaturização do receptor WPT, foi definido o escopo da tese em três esferas:

- Pesquisa sobre os fatores que influenciam a eficiência na transferência de energia em acoplamentos indutivos. Além de conhecer esses fatores, deve-se construir um modelo teórico que mostre a dependência entre eles e a eficiência. Com base nesse modelo, é possível estabelecer os compromissos de projeto e, assim, propor um método de projeto para os acoplamentos indutivos.
- Projeto do receptor WPT completamente integrado em CMOS. A completa integração do receptor significará uma verdadeira miniaturização, além de trazer outras vantagens como a redução de custo, melhor confiabilidade e testabilidade e também a possibilidade de implementar blocos analógicos e digitais no mesmo chip. Nesse sentido, o principal desafio é conseguir o fator de qualidade ótimo para o indutor integrado, dado que em tecnologia CMOS os indutores costumam ter baixo fator de qualidade, principalmente por causa da proximidade com o substrato resistivo.
- Considerações de projeto ao nível de blocos e do sistema WPT. A eficiência total do sistema WPT depende da eficiência de cada um dos blocos que o compõem, mas também da arquitetura e do projeto no nível de sistema. Apesar de não generalizar, o projeto e teste do receptor WPT completamente integrado deixa algumas lições importantes para o projeto do sistema WPT. Quanto aos blocos, cabe destacar o projeto do amplificador de potência necessário para entregar potência ao acoplamento indutivo.

Nos três itens descritos anteriormente, a otimização, a simulação e as medidas são feitas considerando apenas que o material em torno dos indutores é ar. No entanto, os conceitos desenvolvidos nesta tese também poderão ser utilizados em trabalhos futuros para projetar acoplamentos indutivos rodeados por tecidos biológicos.

Outra preocupação comum quanto ao uso dos acoplamentos indutivos para WPT é a variação da eficiência com relação ao alinhamento dos indutores e sua orientação angular. Esse assunto não será abordado nesta tese. O

foco será a otimização da eficiência para o caso nominal, ou seja, quando o centro dos indutores está alinhado e os indutores estão orientados paralelamente.

1.3 PUBLICAÇÕES ASSOCIADAS À TESE

No decorrer da pesquisa de doutorado foram apresentados quatro artigos em conferências e um artigo de revista como resultado das atividades desenvolvidas. Segue um resumo dessas publicações.

Paper I. Projeto ótimo de acoplamentos indutivos energeticamente eficientes para alimentar dispositivos implantados [42].

CONFERÊNCIA: *2014 IEEE Topical Conference on Biomedical Wireless Technologies, Networks, and Sensing Systems (BioWireleSS)*.

RESUMO: Este paper apresenta um método para o projeto ótimo de acoplamentos indutivos usando programação geométrica. A otimização proposta permite a inclusão de todos os requisitos elétricos e geométricos de projeto associados ao acoplamento. É mostrado como exemplo o dimensionamento do indutor primário e a escolha da frequência quando o indutor secundário tem um diâmetro de 4 mm. Os indutores projetados para uma distância de 15 mm foram implementados em placas de FR4. A máxima eficiência medida foi 30% a 415 MHz, a qual está de acordo com os valores esperados em simulação.

Paper II. Receptor de energia sem-fio completamente integrado em CMOS para dispositivos implantados autônomos [45].

CONFERÊNCIA: *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*.

RESUMO: Este artigo apresenta o projeto de um receptor de energia sem-fio totalmente integrado. O sistema utiliza backscattering para responder ao transmissor, permitindo inferir a eficiência total na transferência de energia. O circuito foi limitado a uma área de silício de 1,5 mm × 1,5 mm em um processo CMOS 180 nm. O objetivo principal foi otimizar a parte da eficiência relacionada com o receptor. Para tanto, foram otimizados: o fator de qualidade do indutor integrado, o casamento de impedância e a eficiência do retificador. O fator de qualidade simulado do indutor integrado foi de 22 na frequência de 1 GHz. Simulações pós-layout do sistema mostram que a eficiência combinada da adaptação de impedância e do retificador é de 57%

quando a potência disponível no indutor é 1 dBm.

Paper III. Caracterização sem-contato de um ressonador LC integrado em CMOS para transferência de energia sem-fio [47].

REVISTA: *IEEE Microwave and Wireless Components Letters*.

RESUMO: Neste paper é proposto um método para caracterização sem-contato de um ressonador LC integrado em CMOS. O método proposto usa uma interação magnética bem modelada entre o DUT e o *setup* de teste para extrair os dois parâmetros principais do ressonador: o fator de qualidade e a frequência de ressonância. Com esse método foi medido um ressonador LC que faz parte de um receptor WPT integrado em uma área de $1,5 \text{ mm} \times 1,5 \text{ mm}$, resultando em um fator de qualidade de 20,8 e uma frequência de ressonância de 0,99 GHz.

Paper IV. Amplificador de potência de 25 dBm e 1 GHz integrado em CMOS para transferência de energia sem-fio [48].

CONFERÊNCIA: *2015 28th Symposium on Integrated Circuits and Systems Design (SBCCI)*.

RESUMO: Este artigo apresenta o projeto de um amplificador de potência integrado em uma tecnologia CMOS 180 nm, destinado a entregar potência a um acoplamento indutivo operando a 990 MHz. Uma topologia classe D é utilizada para evitar o uso de indutores. É proposta uma metodologia de projeto para encontrar a largura ótima dos transistores MOS, solucionando o compromisso entre a resistência das chaves e as capacitâncias de porta. A área total é de $1,5 \text{ mm}^2$, sendo que a maior parte é ocupada pelos pads e pelos largos metais de interconexão. Simulações pós-layout mostraram uma eficiência de 58% na entrega de 25,1 dBm para o indutor primário de um sistema WPT.

Paper V. Ampliação da frequência de operação do indutor para sistemas WPT otimamente acoplados [49].

CONFERÊNCIA: *2015 SBMO/IEEE MTT-S International Microwave Optoelectronics Conference (IMOC)*.

RESUMO: Este artigo apresenta uma técnica para estender a frequência de operação de um acoplamento indutivo utilizado para transferência de energia sem-fio. A ampliação é conseguida através da segmentação do indutor primário. Um circuito RLC é proposto para modelar o indutor quadrado de uma espira, servindo como base para o modelo do indutor segmentado. Estes modelos ajudam a compreender o funcionamento do indutor segmentado e

servem como guia para seu projeto. Um protótipo do acoplamento indutivo foi fabricado. O indutor primário tem um diâmetro médio de 22 mm e quatro segmentos, e o indutor secundário tem um diâmetro médio de 4 mm. É esperado que os dois indutores estejam otimamente acoplados para uma distância de 15 mm entre eles. O acoplamento indutivo foi constatado experimentalmente na frequência de 980 MHz, a qual é maior do que os 415 MHz medidos para um acoplamento convencional com as mesmas dimensões, enquanto a eficiência é mantida no mesmo valor de 30%.

1.4 ORGANIZAÇÃO DO DOCUMENTO

O restante desta tese está organizado conforme descrito a seguir.

Capítulo 2. São apresentados alguns conceitos que ajudam no entendimento dos acoplamentos indutivos. Primeiro, um circuito RLC é usado para descrever o comportamento elétrico do indutor planar de uma espira. Depois são estudados os efeitos da interação entre o indutor e os materiais dispersivos. O tema da adaptação de impedâncias também é abordado já que ela influencia a eficiência na transferência de energia. Finalmente, são discutidas as considerações sobre a escolha da frequência de operação do acoplamento.

Capítulo 3. Mostra a construção de um modelo de circuito que descreve a operação do acoplamento indutivo. Com base nesse modelo é proposta uma metodologia de projeto usando programação geométrica. Os resultados são verificados com simulações eletromagnéticas e experimentalmente. Também é apresentada uma solução para estender a frequência de operação do indutor primário usando indutores segmentados.

Capítulo 4. Descreve o projeto e simulação de um receptor WPT completamente integrado na tecnologia CMOS. O receptor é concebido dentro de um sistema que pode ser testado sem nenhum contato com o receptor. Também é mostrado o projeto dos blocos funcionais.

Capítulo 5. Mostra os resultados da fase de medição do sistema WPT envolvendo o receptor WPT completamente integrado na tecnologia CMOS. O capítulo começa com a proposta de uma metodologia para medir

as principais características de um ressonador LC integrado. Também é apresentada uma metodologia para medir a eficiência total do sistema WPT. Os resultados são comparados com os de outros trabalhos publicados.

Capítulo 6. Uma metodologia para o projeto do amplificador de potência que energiza o sistema WPT é apresentada. O amplificador de potência é projetado para ser integrado em tecnologia CMOS.

Capítulo 7. Resume as contribuições apresentadas na tese e discute alguns desdobramentos possíveis para pesquisas futuras.

2 FUNDAMENTOS SOBRE ACOPLAMENTOS INDUTIVOS

Uma tecnologia bastante conhecida que usa acoplamentos indutivos é a identificação por radiofrequência (RFID). Um sistema de RFID típico é esquematizado na Figura 5. Nele podem ser identificados três componentes principais: o interrogador, o transponder e o acoplamento indutivo. Outros componentes para implementar o acoplamento podem ser encontrados em sistemas de RFID, tais como capacitores ou antenas, contudo, esses componentes são pouco vantajosos no caso de sistemas implantados devido à forte atenuação do campo elétrico nos tecidos biológicos. O interrogador é encarregado de transmitir energia e dados ao transponder através do acoplamento indutivo, assim como receber e interpretar a informação contida na resposta do transponder. O transponder contém a informação de interesse, que no caso dos implantes pode ser um conjunto de dados medidos por algum sensor de parâmetros biológicos. O transponder deve ser capaz de capturar do acoplamento indutivo energia suficiente para seu funcionamento, inclusive para retornar uma resposta ao interrogador. Dado que o transponder deve ter um funcionamento minimalista, a resposta é geralmente informada a partir de um procedimento de modulação de carga também denominado “backscattering”, que é fundamentado na modificação da impedância de entrada do transponder em função da informação que se deseja transmitir.

Nas próximas seções busca-se oferecer um aprofundamento sobre os componentes e conceitos mais relevantes concernentes ao uso dos acoplamentos indutivos. A Seção 2.1 explica o funcionamento dos indutores e a

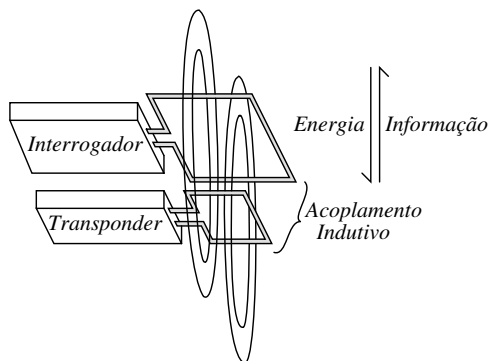


Figura 5: Diagrama simplificado de um sistema de RFID.

forma como podem ser modelados eletricamente. A teoria envolvendo esses modelos permite prever a dependência do comportamento elétrico dos indutores com as características do meio (permissividade elétrica ϵ , permeabilidade magnética μ), com a resistividade do condutor (ρ) e com a geometria do indutor (diâmetro médio d_{avg} , largura de linha w_{ind} e distância entre os terminais do indutor Δ_{ind}). A Seção 2.2 apresenta as propriedades dos materiais dispersivos e sua interação com os indutores. Posteriormente é introduzido o conceito de adaptação de impedâncias do ponto de vista dos circuitos elétricos. Ao final do capítulo é discutida a escolha da frequência de operação para a transferência de energia.

2.1 INDUTORES

Um indutor pode ser construído com uma trilha de metal formando uma malha de corrente como mostrado na Figura 6(a). Quando a corrente I atravessa a trilha de metal, ela gera uma quantidade de fluxo magnético Φ . Simultaneamente, o fluxo magnético induz uma diferença de potencial (V) nos terminais do indutor conforme a equação de Faraday:

$$V = \frac{d\Phi}{dt} = \frac{d(LI)}{dt} \quad (2.1)$$

$$= L \frac{dI}{dt}. \quad (2.2)$$

onde t é o tempo. Em (2.1), o fluxo magnético é considerado diretamente proporcional à corrente que o gerou. A constante de proporcionalidade L é denominada a indutância ou autoindutância. Assim, pode ser obtida a equação

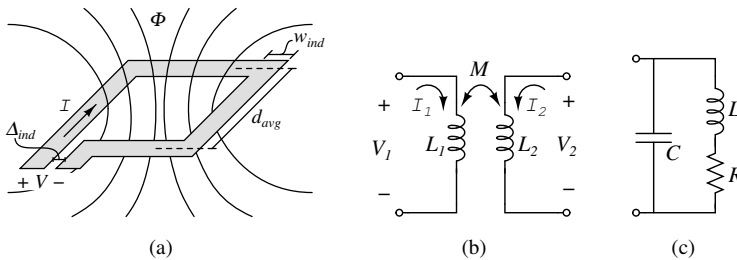


Figura 6: (a) Autoindutância. (b) Indutância mútua. (c) Indutor real.

(2.2), que é usada para representar o comportamento elétrico de um indutor.

Quando dois indutores compartilham o fluxo magnético, obtém-se um acoplamento indutivo. Esse caso é representado pelo circuito da Figura 6(b). A tensão induzida nos terminais dos indutores é dada por (2.3) e (2.4). Cada equação contém dois termos: o primeiro devido às autoindutâncias L_1 e L_2 , e o segundo devido à indutância mútua $M = k\sqrt{L_1L_2}$, onde k é o fator de acoplamento magnético. A quantidade k pode ter valores entre 0 e 1, indicando a porção de fluxo magnético que é compartilhada pelos dois indutores. Por exemplo, $k = 1$ significa que todo o fluxo magnético é compartilhado pelos dois indutores, tal como acontece em um transformador ideal.

$$V_1 = L_1 \frac{dI_1}{dt} + M \frac{dI_2}{dt} \quad (2.3)$$

$$V_2 = L_2 \frac{dI_2}{dt} + M \frac{dI_1}{dt}. \quad (2.4)$$

Um indutor real pode ser modelado com o circuito da Figura 6(c). A resistência $R(f)$ foi incluída para modelar a perda de energia no indutor em função da frequência f . O capacitor C serve para modelar o fenômeno de autoressonância do indutor. A frequência de autoressonância (SRF) acontece quando a metade do comprimento de onda efetivo do sinal que se propaga ($\lambda_{eff}/2$) é igual ao perímetro médio do indutor. No caso do indutor da Figura 6(a), essa condição pode ser escrita como

$$\frac{\lambda_{eff}}{2} \approx 4d_{avg}. \quad (2.5)$$

Essa condição de ressonância é obtida do ponto de vista da onda que viaja ao longo da trilha. Alternativamente, a mesma ressonância é colocada no modelo elétrico da Figura 6(c), como a ressonância entre o indutor e o capacitor.

Os valores de indutância e a capacitância na Figura 6(c) podem ser modelados como constantes nas frequências menores do que a autoressonância, mas o valor da resistência apresenta variações significativas em função da frequência [49]. As perdas no indutor podem ser descritas por

$$R = R_{DC}F_{skin}F_r + R_{rad}, \quad (2.6)$$

onde podem ser identificados quatro termos: a resistência DC (R_{DC}); dois fatores F_{skin} e F_r modelando o efeito pelicular e o efeito de redistribuição radial da corrente no condutor, respectivamente; e a resistência de radiação R_{rad} . A

resistência DC pode ser aproximada como a resistência de um condutor de comprimento $4d_{avg}$ e área de seção transversal $w_{ind}t_c$:

$$R_{DC} = \frac{\rho(4d_{avg})}{w_{ind}t_c}, \quad (2.7)$$

onde t_c é a espessura do condutor. O fator do efeito pelicular é dado por (2.8) e (2.9) [50]:

$$F_{skin} = \frac{t_c \sinh(t_c/\delta) + \sin(t_c/\delta)}{2\delta \cosh(t_c/\delta) - \cos(t_c/\delta)} \approx \frac{t_c}{2\delta} \quad (2.8)$$

$$\delta = \sqrt{\frac{\rho}{\pi f \mu}}, \quad (2.9)$$

onde δ é chamada de profundidade de efeito pelicular. A aproximação de F_{skin} para $t_c/(2\delta)$ é válida quando t_c é muito maior do que δ . Por outro lado, a corrente tem um perfil de distribuição na direção radial do indutor, ou seja, a densidade de corrente em um determinado ponto no condutor depende de sua distância até o centro do indutor. Esse perfil é diferente em altas frequências quando comparado com o perfil em DC, por esse motivo foi adicionado o fator F_r em (2.6). Como este efeito ainda não foi derivado analiticamente, pode ser usado o seguinte modelo empírico:

$$F_r = \alpha_r w_{ind}^{\beta_{r1}} f^{\beta_{r2}}, \quad (2.10)$$

onde α_r , β_{r2} e β_{r1} são parâmetros calculados a partir de simulações eletromagnéticas³ de um conjunto de indutores. Para um conjunto de indutores (supondo uma tecnologia de circuito impresso convencional de cobre sobre FR4) com d_{avg} variando entre 4 mm e 30 mm, e w_{ind} variando entre 0,3 mm e 4,5 mm, os parâmetros resultantes são: $\alpha_r = 128$, $\beta_{r1} = 0,3$ e $\beta_{r2} = -0,1$. A faixa de frequência simulada está entre 10 MHz e 10 GHz.

A resistência de radiação foi calculada em [51] para um indutor circular. A equivalência para o indutor quadrado pode ser feita considerando que os dois indutores devem ter o mesmo perímetro, ou seja, se o raio do indutor circular é r_c então $2\pi r_c = 4d_{avg}$, portanto $r_c = 2d_{avg}/\pi$. Finalmente, a resistência equivalente é mostrada em (2.11) e é composta por dois termos: o primeiro corresponde às perdas no condutor e o segundo às perdas

³O software EMPRO foi usado para realizar simulações eletromagnéticas de onda completa com o método de elementos finitos (*Finite Element Method* - FEM).

por radiação.

$$R = 256\sqrt{\pi\rho\mu} d_{avg} w_{ind}^{-0,7} f^{0,4} + \frac{128\pi}{3} \sqrt{\varepsilon^3 \mu^5} f^4 d_{avg}^4. \quad (2.11)$$

A autoindutância é calculada em [52]:

$$L = \frac{2d_{avg}\mu}{\pi} \ln\left(\frac{0,59\pi d_{avg}}{w_{ind}}\right). \quad (2.12)$$

A capacitância C é dada por (2.13), que é composta por dois termos: o primeiro corresponde à capacitância intrínseca C_{int} , que não depende de w_{ind} , e o segundo termo é a capacitância extrínseca C_{ext} que depende de w_{ind} , d_{avg1} e Δ_{ind} . A capacitância intrínseca é calculada considerando que a frequência de ressonância é $1/\sqrt{LC}$ e que a velocidade da onda na trilha é $1/\sqrt{\mu\varepsilon}$. Para indutores com trilhas estreitas o valor de C é aproximadamente C_{int} .

$$C = C_{int} + C_{ext}(w_{ind}, d_{avg1}, \Delta_{ind}) \quad (2.13)$$

$$C_{int} = \frac{(4d_{avg})^2 \mu \varepsilon}{\pi^2 L}. \quad (2.14)$$

O fator de perdas (Λ) é igual a $R/(2\pi fL)$, ou seja, o recíproco do fator de qualidade do indutor. Usando (2.11) e (2.12) é possível calcular o valor de Λ :

$$\Lambda = 64\sqrt{\frac{\pi\rho}{\mu}} \frac{w_{ind}^{-0,7} f^{-0,6}}{\ln\left(\frac{0,59\pi d_{avg}}{w_{ind}}\right)} + \frac{32\pi}{3} \frac{\sqrt{\varepsilon^3 \mu^3} f^3 d_{avg}^3}{\ln\left(\frac{0,59\pi d_{avg}}{w_{ind}}\right)}. \quad (2.15)$$

Analisando essa equação, pode ser visto que o primeiro termo é dominante em baixas frequências e tem uma característica decrescente com a frequência ($f^{-0,6}$). O segundo termo é dominante para altas frequências e tem uma inclinação positiva (f^3). Na Figura 7, o fator de perdas modelado com (2.15) é comparado com os valores obtidos em simulações eletromagnéticas feitas no software EMPRO da Keysight. Como pode ser observado, o modelo está bastante próximo dos resultados obtidos em simulação. O mínimo fator de perdas (Λ_{min}) para cada indutor é calculado a partir de (2.15), fazendo com

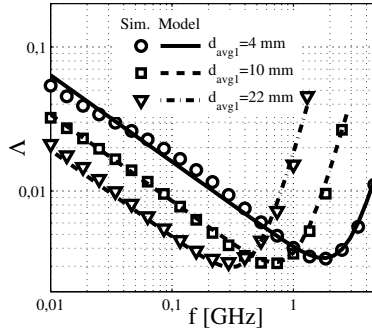


Figura 7: Fator de perdas modelado comparado com simulações.

que $\frac{\partial \Lambda}{\partial f} = 0$. Esse ponto de mínimo acontece na frequência $f_{\Lambda min}$:

$$f_{\Lambda min} = \left(\frac{0,46 \rho}{\varepsilon^3 \mu^4 d_{avg}^6 w_{ind}^{1,4}} \right)^{1/7,2} \quad (2.16)$$

É importante notar que $f_{\Lambda min}$ depende principalmente de d_{avg} , μ e ε . Substituindo (2.16) em (2.15) é possível obter

$$\Lambda_{min} = \frac{145,3}{\ln\left(\frac{0,59\pi d_{avg}}{w_{ind}}\right)} \left(\frac{\rho^5 \varepsilon^3 d_{avg}^6}{\mu^2 w_{ind}^7} \right)^{1/12}, \quad (2.17)$$

que depende principalmente de (d_{avg}/w_{ind}) , ρ , ε e μ . Excluindo a escolha do valor de d_{avg}/w_{ind} que otimiza (2.17), o mínimo fator de perdas depende unicamente dos parâmetros da tecnologia. Por outro lado, $f_{\Lambda min}$ é fortemente dependente de d_{avg} .

A indutância mútua entre duas espiras circulares coaxiais pode ser calculada com ajuda das funções elípticas $K(\gamma)$ e $E(\gamma)$ [53], onde γ é calculado conforme (2.19), em função do diâmetro dos indutores (d_{avg1} e d_{avg2}) e da distância entre eles (d). A equação (2.18) foi adaptada para indutores quadrados a partir do valor obtido para os indutores circulares. A aproximação da forma circular para a forma retangular pode ser feita mantendo a mesma área envolvida pelo condutor para as espiras equivalentes. Por exemplo, se uma

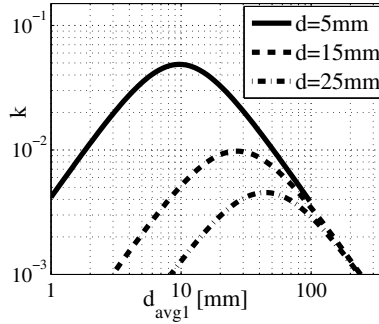


Figura 8: Fator de acoplamento magnético quando $d_{avg2} = 4$ mm.

espira tem raio r_c , então $\pi r_c^2 = d_{avg}^2$, portanto $r_c = d_{avg}/\sqrt{\pi}$.

$$M = \mu \sqrt{\frac{d_{avg1} d_{avg2}}{\pi}} \left[\left(\frac{2}{\gamma} - \gamma \right) K(\gamma) - \frac{2}{\gamma} E(\gamma) \right] \quad (2.18)$$

$$\gamma = \sqrt{\frac{4d_{avg1}d_{avg2}}{(d_{avg1} + d_{avg2})^2 + \pi d^2}} \quad (2.19)$$

As curvas de $k = M/\sqrt{L_1 L_2}$ em função de d_{avg1} são plotadas na Figura 8 para três distâncias entre os indutores. Nesse caso, as dimensões do indutor secundário são $d_{avg2} = 4$ mm e $w_{ind2} = 0,5$ mm. Na figura podem ser identificados pontos de máximo para cada distância, permitindo concluir que para uma distância maior, maior será o diâmetro do indutor primário que maximiza o fator de acoplamento.

2.2 INTERAÇÃO ENTRE O INDUTOR E OS MATERIAIS DISPERSIVOS

Na prática, o indutor nunca está isolado de outros materiais, o que implica que os valores de R, L e C, calculados na seção anterior, são modificados pelos materiais ao redor do indutor. No caso dos indutores feitos em placa de circuito impresso, o indutor está em contato direto com o substrato de FR4. Outro caso é aquele do indutor integrado na tecnologia CMOS, esse indutor está rodeado por dióxido de silício, e próximo a ele está o substrato de silício dopado. Um terceiro caso de material ao redor dos indutores são os tecidos

biológicos nos quais o implante está imerso. A análise da interação dos indutores com esses materiais começa com o estudo das propriedades elétricas dos materiais. Em seguida, são estudados de forma independente os efeitos dos materiais nos campos elétrico e magnético do indutor. A suposição de que os dois efeitos são independentes facilita a sua compreensão.

2.2.1 Propriedades Elétricas dos Materiais

Uma forma comum de representar os campos harmônicos é apresentada em (2.20) e (2.21), onde as letras E e H denotam os campos elétrico e magnético respectivamente, sendo que as letras em negrito representam vetores e as letras normais representam magnitudes. De acordo com essa representação, a terceira e a quarta equações de Maxwell podem ser escritas como (2.22) e (2.23):

$$\mathbf{E} = E e^{-j\omega t} \quad (2.20)$$

$$\mathbf{H} = H e^{-j\omega t} \quad (2.21)$$

$$\nabla \times \mathbf{E} = -\mu \frac{\partial \mathbf{H}}{\partial t} = j\omega\mu\mathbf{H} \quad (2.22)$$

$$\nabla \times \mathbf{H} = \sigma\mathbf{E} + \varepsilon \frac{\partial \mathbf{E}}{\partial t} = (\sigma - j\omega\varepsilon)\mathbf{E}, \quad (2.23)$$

onde ω é a frequência angular e σ é a condutividade elétrica. O fator que multiplica \mathbf{E} em (2.23) é formado por duas componentes: o termo proporcional a σ , que representa a corrente de cargas livres, e o termo proporcional a $j\omega\varepsilon$, que corresponde à corrente de deslocamento. No caso de um material dielétrico ideal, o valor de σ é nulo e o valor de ε é uma quantidade real independente da frequência. No entanto na prática, todos os materiais apresentam uma permissividade complexa e variante com a frequência. Por causa dessa característica, os materiais são denominados dispersivos. O termo foi adotado porque a velocidade de propagação da luz nesses materiais varia com a frequência. Uma nova quantidade, a permissividade relativa equivalente $\varepsilon_r(\omega)$, é obtida reescrevendo (2.23) como (2.24). Desta forma, o valor de $\varepsilon_r(\omega)$ é dado por (2.25).

$$\nabla \times \mathbf{H} = -j\omega\varepsilon_r\varepsilon_0\mathbf{E} \quad (2.24)$$

$$\varepsilon_r(\omega) = \frac{\varepsilon}{\varepsilon_0} + j\frac{\sigma}{\omega\varepsilon_0}, \quad (2.25)$$

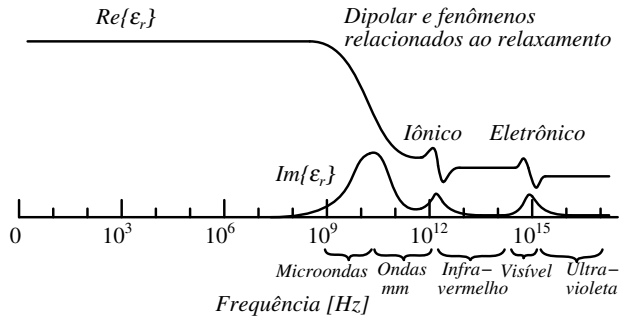


Figura 9: Resposta em frequência das partes real e imaginária da permissividade para um dielétrico hipotético, mostrando vários fenômenos que contribuem [51].

onde ϵ_0 é a permissividade elétrica no vácuo. Deve-se notar que somente a parte imaginária de ϵ_r é responsável pela dissipação de energia no material. Os efeitos de σ e da parte imaginária de ϵ estão somados na parte imaginária de ϵ_r . A Figura 9 mostra a resposta em frequência das partes real e imaginária da permissividade em um dielétrico hipotético. Para baixas frequências, o dielétrico apresenta uma permissividade aproximadamente real e constante. Nesse caso, os dipolos elétricos no material conseguem acompanhar a variação na direção do campo elétrico. Quando a frequência aumenta, o efeito de relaxamento se torna significativo, o que quer dizer que o movimento dos dipolos não consegue acompanhar as mudanças na direção do campo elétrico. Qualquer deslocamento da nuvem de carga em torno do seu centro, produz uma força restauradora. A interação dessa força restauradora com a inércia da nuvem de carga em movimento produz uma ressonância como em um sistema mecânico mola-massa [51]. Outros tipos de ressonância no nível iônico e eletrônico acontecem em frequências maiores. Perto de cada ressonância, a parte da permissividade que causa as perdas apresenta um pico. A contribuição para a parte real de ϵ_r a partir de uma dada ressonância, assim como na reatância de um circuito LC sintonizado, mostra picos opostos em ambos os lados da ressonância.

A escolha dos modelos para os materiais usados na simulação eletromagnética depende do tipo de material e da faixa de frequências de interesse. O substrato das placas de circuitos impressos é de FR4, o qual está incluído nas bibliotecas padrão do programa de simulação eletromagnética EMPRO. O modelo do FR4 apresenta um valor de $\epsilon = 4,6\epsilon_0$ e um valor de

$\sigma = 0,0026 \text{ S/m}$. No caso do substrato da tecnologia de integração CMOS, o material é silício dopado tipo P com $\varepsilon = 11,9\varepsilon_0$ e $\sigma = 7,41 \text{ S/m}$. Os dielétricos usados para isolar as camadas de metal no chip são feitos de óxido de silício com $\varepsilon \approx 4,1\varepsilon_0$ e $\sigma \approx 0$. O modelo usado nos materiais referidos é simples, dado que inclui somente um valor de permissividade constante real e um valor de condutividade. Porém, no caso dos tecidos biológicos é necessário usar um modelo mais complexo.

Em [54] foram caracterizados vários tecidos biológicos usando o modelo Cole-Cole de 4 polos, correspondente a (2.26) [55, 56]. No modelo, n é o número de polos, ε_∞ é a permissividade quando a frequência tende ao infinito, $\Delta\varepsilon_n$ é a mudança no valor da permissividade introduzida por cada polo, α_n indica a forma da transição em cada polo, e τ_n é a constante de tempo de relaxação associada a cada polo. Esses dados foram ajustados ao modelo Debye-Drude de 3 polos para serem usados no simulador eletromagnético EMPRO. O Modelo Debye-Drude é o caso particular de (2.26) em que $\alpha_n = 0$. O ajuste dos dados foi feito na faixa de frequências entre 10 MHz e 10 GHz, o resultado do ajuste é mostrado na Figura 10 para a pele, o tecido adiposo e o músculo.

$$\varepsilon_r(\omega) = \varepsilon_\infty + \sum_n \frac{\Delta\varepsilon_n}{1 + (j\omega\tau_n)^{(1-\alpha_n)}} + j \frac{\sigma}{\omega\varepsilon_0}. \quad (2.26)$$

De acordo com a Figura 10, o tecido adiposo apresenta permissividade relativa equivalente muito menor que os outros dois tecidos na faixa de frequências analisada. Isto significa que o seu comportamento elétrico está mais próximo de um isolante, portanto a maior parte das perdas estão concentradas na pele e no músculo. Na prática, a maior parte das perdas está concentrada na pele devido às características do tecido e à proximidade do indutor transmissor.

2.2.2 Interação entre o Campo Elétrico do Indutor e o Material ao seu Redor

Considerando o modelo do indutor rodeado com ar como sendo aquele apresentado na Figura 11(a). O fato do indutor estar perto de um material dielétrico ideal ($\sigma = 0$) muda o valor da permissividade (ε) usado para calcular a capacitância do modelo, conforme (2.13) e (2.14). Essa variação muda a capacitância do modelo como mostrado na Figura 11(b). A nova capacitância C_{11} deve ser maior do que a original C_{10} , indicando assim uma diminuição na

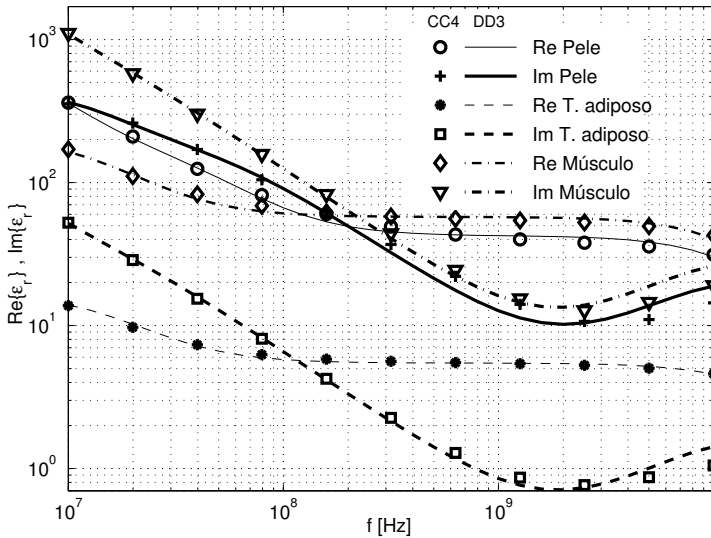


Figura 10: Permissividade relativa nos modelos Cole-Cole 4 polos (CC4) [54] e Debye-Drude 3 polos (DD3).

frequência de autoressonância. Outro componente do modelo que muda é a resistência, o novo valor (R_{11}) deve ser maior que o original, pois a resistência de radiação depende do valor de ϵ .

Quando o indutor é colocado próximo ao material dispersivo, uma parte das linhas de campo elétrico associadas ao indutor entra em contato com o material. Esse campo elétrico no material gera correntes proporcionais a $j\omega\epsilon_r\epsilon_0$. O fenômeno como um todo pode ser modelado acrescentando três componentes ao modelo do indutor como mostrado na Figura 11(c). A capacitância C_{11} foi dividida entre C_{11a} e C_{11b} para modelar as linhas de campo que entram no material e as que não entram, respectivamente. Essa divisão depende da distância entre o indutor e o material dispersivo, quanto menor a distância, maior o valor de C_{11a} . Um maior valor de C_{11a} significa que há uma maior interação entre o campo elétrico e o material, consequentemente a potência dissipada no material é maior também. As correntes no material estão representadas pela resistência R_{dis} e pela capacitância C_{dis} no modelo da Figura 11(a). O circuito da Figura 11(c) é reduzido ao circuito da Figura 11(d) para uma determinada faixa de frequências. Em resumo, a interação com o campo elétrico, principalmente, deve diminuir a frequência de autores-

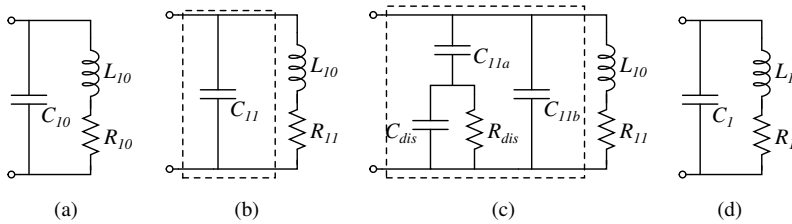


Figura 11: Modelo do indutor: (a) Isolado no ar. (b) Próximo a um material dielétrico ideal ($\sigma = 0$). (c) Rodeado de material dispersivo. (d) Circuito equivalente em uma faixa de frequências determinada.

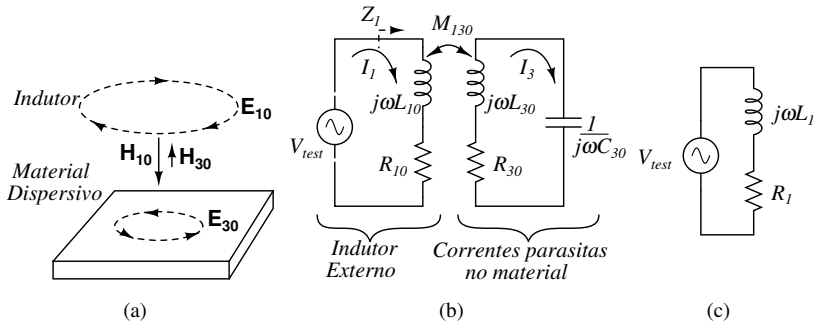


Figura 12: (a) Correntes parasitas geradas no material. (b) Modelo do indutor incluindo correntes parasitas no material dispersivo. (c) Modelo reduzido.

sonância do indutor e aumentar as perdas.

2.2.3 Interação entre o Campo Magnético do Indutor e o Material ao seu Redor

O campo magnético não perturba diretamente os materiais estudados (FR4, Silício e tecidos biológicos), dado que sua permeabilidade magnética é aproximadamente igual à permeabilidade no vácuo μ_0 . Entretanto, o campo magnético pode gerar nos materiais as denominadas correntes parasitas (*eddy currents*).

Para entender as correntes parasitas, pode ser observada a Figura

12(a). A corrente que circula no indutor está associada a um campo elétrico \mathbf{E}_{10} . Essa corrente gera um campo magnético \mathbf{H}_{10} que é perpendicular ao plano em que \mathbf{E}_{10} está localizado. Quando o campo magnético atinge o material, ele induz o campo elétrico \mathbf{E}_{30} conforme (2.22). Usando (2.23), pode ser visto que \mathbf{E}_{30} gera um campo magnético \mathbf{H}_{30} que se opõe ao campo magnético original \mathbf{H}_{10} . O campo induzido \mathbf{E}_{30} dá origem às correntes parasitas, as quais dependem do valor de $\epsilon_r(\omega)$. Ao circularem no material, essas correntes geram perdas associadas diretamente com a parte imaginária de ϵ_r .

A interação entre o campo magnético do indutor e o material pode ser modelada como mostrado na Figura 12(b). As correntes parasitas que circulam no material dispersivo são representadas como I_3 . A indutância L_{30} expressa a relação entre o fluxo magnético associado a \mathbf{H}_{30} e a corrente I_3 . A indutância mútua M_{130} modela o acoplamento magnético entre a corrente do indutor e as correntes parasitas. A capacitância C_{30} modela as correntes capacitivas associadas à parte real de ϵ_r , enquanto a resistência R_{30} modela a corrente devida à parte imaginária de ϵ_r . Fazendo análise de malhas, podem ser obtidas as seguintes equações:

$$-V_{test} + j\omega L_{10}I_1 + I_1R_{10} + j\omega M_{130}I_3 = 0 \quad (2.27)$$

$$j\omega M_{130}I_1 + j\omega L_{30}I_3 + \frac{I_3}{j\omega C_{30}} + I_3R_{30} = 0. \quad (2.28)$$

A partir de (2.28), pode ser calculado I_3 em função de I_1 , resultando em

$$I_3 = \frac{-j\omega M_{130}I_1}{R_{30} + j(\omega L_{30} - \frac{1}{\omega C_{30}})} = \frac{-j\omega M_{130}[R_{30} - j(\omega L_{30} - \frac{1}{\omega C_{30}})]I_1}{R_{30}^2 + (\omega L_{30} - \frac{1}{\omega C_{30}})^2}; \quad (2.29)$$

substituindo (2.29) em (2.27) e reorganizando os termos, pode ser obtida a impedância equivalente Z_1 :

$$\begin{aligned} Z_1 &= \frac{V_{test}}{I_1} = j\omega L_{10} + R_{10} + \frac{(\omega M_{130})^2 [R_{30} - j(\omega L_{30} - \frac{1}{\omega C_{30}})]}{R_{30}^2 + (\omega L_{30} - \frac{1}{\omega C_{30}})^2} \quad (2.30) \\ &= j\omega \left[L_{10} - \frac{(\omega M_{130})^2 (L_{30} - \frac{1}{\omega^2 C_{30}})}{R_{30}^2 + (\omega L_{30} - \frac{1}{\omega C_{30}})^2} \right] + \left[R_{10} + \frac{(\omega M_{130})^2 R_{30}}{R_{30}^2 + (\omega L_{30} - \frac{1}{\omega C_{30}})^2} \right]. \quad (2.31) \end{aligned}$$

É possível representar Z_1 como uma indutância e uma resistência em

série, como mostrado na Figura 12(c). Os valores equivalentes para a indutância e a resistência são expressados respectivamente por

$$L_1 = L_{10} - \frac{(\omega M_{130})^2 (L_{30} - \frac{1}{\omega^2 C_{30}})}{R_{30}^2 + (\omega L_{30} - \frac{1}{\omega C_{30}})^2} \quad (2.32)$$

$$R_1 = R_{10} + \frac{(\omega M_{130})^2 R_{30}}{R_{30}^2 + (\omega L_{30} - \frac{1}{\omega C_{30}})^2}. \quad (2.33)$$

Em resumo, a interação entre o campo magnético do indutor e os materiais dispersivos pode ser modelada como uma diminuição na indutância equivalente e um aumento na resistência equivalente.

2.3 ADAPTAÇÃO DE IMPEDÂNCIAS

Uma situação comum no projeto de sistemas eletrônicos é a necessidade de ligar blocos funcionais. Por exemplo, ligar um bloco A que contém componentes ativos com um bloco B que é formado por componentes passivos, como mostrado na Figura 13(a). Os dois blocos podem ser representados a partir do equivalente Thévenin, como mostrado na Figura 13(b). O equivalente do bloco B é a impedância Z_B , pois não contém fontes. Já o equivalente do bloco A, é uma fonte de tensão V_A e uma impedância em série Z_A . A potência entregue ao bloco B (P_B) pode ser calculada como

$$P_B = |I|^2 \Re\{Z_B\} \quad (2.34)$$

$$= \left| \frac{V_A}{Z_A + Z_B} \right|^2 \Re\{Z_B\}. \quad (2.35)$$

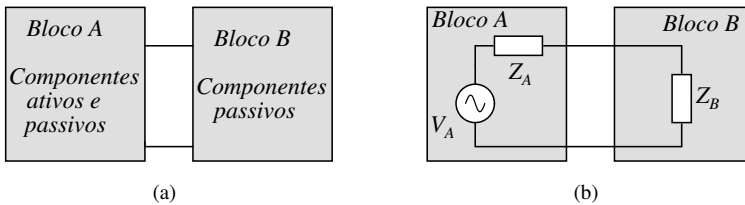


Figura 13: Ligação de dois circuitos elétricos: (a) Diagrama de blocos. (b) Circuito equivalente.

As impedâncias podem ser definidas como: $Z_A = R_A + jX_A$ e $Z_B = R_B + jX_B$, onde R_A e R_B são resistências e X_A e X_B são reatâncias. Usando essas definições em (2.35), pode-se calcular P_B :

$$P_B = \left| \frac{V_A}{(R_A + R_B) + j(X_A + X_B)} \right|^2 \Re\{R_B + jX_B\} \quad (2.36)$$

$$= \frac{V_A^2 R_B}{(R_A + R_B)^2 + (X_A + X_B)^2}. \quad (2.37)$$

O problema da adaptação de impedâncias geralmente é formulado como segue: dado um circuito equivalente do bloco A conhecido, encontrar os valores de R_B e X_B que permitem obter a máxima potência que pode ser transferida ao bloco B, supondo que R_B e X_B são independentes. O primeiro passo para calcular a solução é derivar (2.37) com respeito a X_B e igualar a zero:

$$\frac{\partial P_B}{\partial X_B} = \frac{-V_A^2 R_B (2(X_A + X_B))}{((R_A + R_B)^2 + (X_A + X_B)^2)^2} = 0. \quad (2.38)$$

A equação (2.38) é satisfeita quando $X_B = -X_A$, o que corresponde a um máximo local da função P_B . Aplicando essa condição em (2.37), transforma-se a função P_B em

$$P_{BR} = P_B|_{X_B=-X_A} = \frac{V_A^2 R_B}{(R_A + R_B)^2}. \quad (2.39)$$

O seguinte passo é derivar (2.39) com respeito a R_B e igualar a zero:

$$\frac{\partial P_{BR}}{\partial R_B} = V_A^2 R_B \left[\frac{-2}{(R_A + R_B)^3} \right] + \frac{1}{(R_A + R_B)^2} [V_A^2] = 0; \quad (2.40)$$

multiplicando (2.40) por $(R_A + R_B)^3 / V_A^2$, obtém-se:

$$-2R_B + (R_A + R_B) = 0. \quad (2.41)$$

A equação (2.41) é satisfeita quando $R_B = R_A$. Aplicando essa condição em (2.39), obtém-se a máxima potência que pode ser transferida ao bloco B, a qual é denominada potência disponível (P_{av}):

$$P_{av} = P_{BR}|_{R_B=R_A} = \frac{V_A^2}{4R_B}. \quad (2.42)$$

Uma medida de eficiência na adaptação de impedâncias η_M pode ser definida conforme (2.43):

$$\eta_M = \frac{P_B}{P_{av}} = \frac{4R_B^2}{(R_A + R_B)^2 + (X_A + X_B)^2}. \quad (2.43)$$

Quando as condições de adaptação ideal são atendidas ($R_B = R_A$ e $X_B = -X_A$), então a eficiência do adaptação é 100% ($\eta_M = 1$). O que significa que toda a potência disponível no bloco A (também denominado: “a fonte”) está sendo de fato transferida para o bloco B (também denominado: “a carga”).

2.4 CONSIDERAÇÕES A RESPEITO DA FREQUÊNCIA DE OPERAÇÃO

A eficiência energética é considerada o principal objetivo de projeto no acoplamento indutivo. A eficiência depende da tecnologia usada para fabricar os indutores, das dimensões do sistema, do meio que envolve o implante e da frequência escolhida, entre outros. A tecnologia afeta a máxima eficiência que pode ser atingida, pois ela determina a resistência dos condutores e a máxima frequência de operação nos indutores. As dimensões do sistema também afetam diretamente a eficiência, quanto maior o tamanho dos indutores comparado com a distância entre eles, maior a quantidade de fluxo magnético que é compartilhado, e portanto maior a eficiência atingida. O meio, que no caso dos implantes inclui várias camadas de tecido biológico, dissipa parte da energia que é transmitida para o implante.

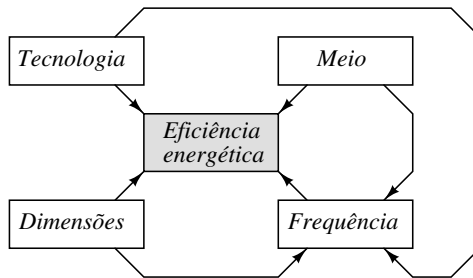


Figura 14: Relação entre os principais fatores que afetam a eficiência do acoplamento indutivo.

No tocante à frequência de operação, sua escolha é determinante para maximizar a eficiência energética do sistema. Identificar a melhor frequência é uma tarefa complexa, pois envolve todos os itens mostrados na Figura 14. A tecnologia de fabricação dos indutores determina a frequência de autoressonância. Quando a frequência de operação dos indutores se aproxima da frequência de auto-ressonância, os indutores se tornam menos eficientes por causa das perdas de energia na forma de radiação. Por outro lado, a tecnologia de fabricação também determina as perdas ôhmicas, ou seja, a resistência do condutor. Essas perdas são dominantes em baixas frequências. De fato, a frequência na qual os indutores apresentam o maior fator de qualidade é aquela na qual as perdas por radiação igualam às perdas ôhmicas. O tamanho dos indutores também determina sua frequência de autoressonância. Uma forma de interpretar esse fato é considerar que para maiores tamanhos, a indutância é maior e por conseguinte a frequência de autoressonância é menor. Por esse motivo, uma consequência lógica de miniaturizar um dispositivo implantado deve ser o aumento na frequência de operação.

Dispositivos alimentados indutivamente em geral usam baixas frequências. Em parte, essa escolha está relacionada com o tamanho dos indutores que geralmente está na faixa dos cm. A escolha de baixas frequências leva ao projeto de indutores de várias espiras. No caso de dispositivos implantados, a escolha de baixas frequências geralmente é feita para evitar a absorção de energia nos tecidos, a qual aumenta com a frequência. Todavia, o estudo feito em [37] afirma que a frequência ótima para transferir energia ao implante está na faixa dos GHz. O raciocínio que questiona o senso comum sobre a frequência ótima é o seguinte: apesar da energia dissipada no tecido aumentar com a frequência, a energia que pode ser recebida pelo implante também aumenta com a frequência. Dada a complexidade do problema, ele pode ser dividido em duas partes: primeiro, o estudo dos fatores que otimizam a eficiência do acoplamento indutivo quando está rodeado por ar e, segundo, com base nesse estudo pode ser investigada a melhor frequência para energizar os implantes.

Neste capítulo, apresentaram-se os conceitos fundamentais sobre os acoplamentos indutivos aplicados na transferência de energia e comunicação de dados a implantes. Foram mostrados os modelos que caracterizam o comportamento elétrico dos indutores e sua interação com os materiais ao seu redor. Também foi demonstrada a importância da adaptação de impedâncias nas interfaces dos circuitos elétricos, já que este aspecto deve influenciar diretamente a eficiência do acoplamento indutivo. Finalmente, foram discutidas as considerações para a escolha da frequência de operação do acoplamento

para a energização do implante.

3 EFICIÊNCIA ÓTIMA EM ACOPLAMENTOS INDUTIVOS

Dada a complexidade das relações de interdependência entre os fatores que afetam a eficiência, torna-se necessário desenvolver um método para o projeto dos acoplamentos indutivos. A ferramenta matemática escolhida para esse objetivo é a programação geométrica, pois permite a solução de problemas com múltiplas variáveis e múltiplas restrições. Para a solução desse tipo de problemas matemáticos existem algoritmos implementados de fácil acesso como o CVX [57]. A primeira seção deste capítulo apresenta o modelo elétrico do acoplamento indutivo, com base nele é deduzida uma expressão para a eficiência. Essa expressão é adequada para a formulação do problema como um programa geométrico, tal como é mostrado na Seção 3.2. Para validar experimentalmente o método, foi fabricado um protótipo de acoplamento indutivo e os resultados de medição mostram concordância com as previsões teóricas. Embora alguns dos modelos usados no método apresentado neste capítulo sejam empíricos, os resultados obtidos servem como guia para a dedução de expressões analíticas.

3.1 MODELO ELÉTRICO

O sistema de transferência de energia a ser analisado é formado por dois indutores L_1 e L_2 , como mostrado na Figura 15. As perdas associadas a cada indutor são representadas pelas resistências série R_1 e R_2 , respectivamente. O acoplamento magnético entre os dois indutores é expressado pela indutância mútua ($M = k\sqrt{L_1L_2}$), onde k é o fator de acoplamento magnético com valores entre 0 e 1. A carga do acoplamento indutivo é dada pela impedância $Z_X = R_X + jX_X$. A eficiência na transferência de potência do circuito

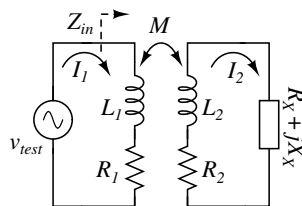


Figura 15: Modelo elétrico do acoplamento indutivo.

da Figura 15 pode ser calculada segundo a equação (3.1):

$$\eta_0 = \frac{|I_2|^2 R_X}{|I_1|^2 \Re\{Z_{in}\}}, \quad (3.1)$$

onde I_1 e I_2 são as correntes de malha e Z_{in} é a impedância percebida na entrada do acoplamento indutivo. Fazendo análise de malhas, podem ser obtidas as equações (3.2) e (3.3):

$$-V_{rest} + j\omega L_1 I_1 + I_1 R_1 + j\omega M_{12} I_2 = 0 \quad (3.2)$$

$$j\omega L_2 I_2 + I_2 R_2 + j\omega M_{12} I_1 + I_2 (R_X + jX_X) = 0. \quad (3.3)$$

A partir de (3.3), I_2 pode ser calculado em função de I_1 :

$$I_2 = \frac{-j\omega M_{12} I_1}{(R_2 + R_X) + j(\omega L_2 + X_X)}; \quad (3.4)$$

substituindo (3.4) em (3.2) e reorganizando os termos, o valor de Z_{in} pode ser obtido:

$$Z_{in} = \frac{V_{rest}}{I_1} = j\omega L_1 + R_1 + \frac{(\omega M_{12})^2 [(R_2 + R_X) - j(\omega L_2 + X_X)]}{(R_2 + R_X)^2 + (\omega L_2 + X_X)^2}. \quad (3.5)$$

Substituindo (3.4) e (3.5) na equação (3.1), a eficiência pode ser calculada:

$$\eta_0 = \frac{(\omega M_{12})^2 R_X}{R_1 ((\omega L_2 + X_X)^2 + (R_2 + R_X)^2) + (\omega M_{12})^2 (R_2 + R_X)}. \quad (3.6)$$

Da equação (3.6), pode ser calculado o valor de X_X que maximiza a eficiência. Esse valor será denominado X_{Xopt} e é dado pela equação (3.7).

$$X_{Xopt} = -\omega L_2. \quad (3.7)$$

Usando o valor ótimo de X_X e a equação (3.6), pode ser obtido o

recíproco da eficiência como mostrado na equação (3.8):

$$\frac{1}{\eta} = \frac{1}{\eta_0} \Big|_{X_X = -\omega L_2} = \frac{R_1(R_2 + R_X)^2 + (\omega M_{12})^2(R_2 + R_X)}{(\omega M_{12})^2 R_X} \quad (3.8)$$

$$= \frac{R_1(R_2^2 + 2R_2R_X + R_X^2)}{(\omega M_{12})^2 R_X} + \frac{R_2}{R_X} + 1 \quad (3.9)$$

$$= \frac{R_1 R_2}{(\omega M_{12})^2} \left(\frac{R_2}{R_X} + 2 + \frac{R_X}{R_2} \right) + \frac{R_2}{R_X} + 1. \quad (3.10)$$

O valor de R_X que maximiza a eficiência pode ser derivado da equação (3.10), resultando em $R_{X_{opt}} = R_2 \sqrt{1 + k^2 Q_1 Q_2}$, onde $Q_{1(2)} = \omega L_{1(2)} / R_{1(2)}$ é o fator de qualidade do indutor primário (secundário). Os valores de $X_{X_{opt}}$ e $R_{X_{opt}}$ correspondem ao casamento de impedâncias simultâneo da rede de duas portas, no lado do secundário. Definindo $p_0 = R_2 / R_X$, a equação (3.10) pode ser reescrita na forma abaixo:

$$\boxed{\frac{1}{\eta} = \frac{1}{k^2} \frac{1}{Q_1} \frac{1}{Q_2} \left(p_0 + 2 + \frac{1}{p_0} \right) + p_0 + 1.} \quad (3.11)$$

A variável p_0 pode ser vista como uma medida do casamento de impedância no secundário, por esse motivo ela aparece em (3.11) influenciando fortemente a eficiência. A equação (3.11) é chave para o entendimento e o projeto dos acoplamentos indutivos pois ela mostra claramente os fatores dos quais depende a eficiência.

3.2 PROJETO DO ACOPLAMENTO INDUTIVO COM EFICIÊNCIA OTIMIZADA

3.2.1 Programação Geométrica

Um programa geométrico (PG) é um problema matemático com a seguinte forma padrão [58]:

$$\begin{cases} \text{minimizar :} & f_{obj}(x) \\ \text{sujeito a :} & f_i(x) \leq 1, i = 1, 2, \dots, n_f \\ & g_j(x) = 1, j = 1, 2, \dots, n_g; \end{cases}$$

onde f_{obj} é a função objetivo a ser minimizada, f_i e g_j são restrições em forma de desigualdade e igualdade respectivamente, x é o conjunto de variáveis independentes, n_f e n_g são o número de funções f_i e g_j respectivamente. As funções g_j devem ser monômios, enquanto $f_i(x)$ e f_{obj} devem ser posinômios. Por exemplo, para um PG com três variáveis independentes $x = \{x_1, x_2, x_3\}$, um monômio g_1 apresenta a forma:

$$g_1(x_1, x_2, x_3) = \alpha_1 x_1^{\beta_1} x_2^{\beta_2} x_3^{\beta_3}, \quad (3.12)$$

onde α_1 é uma constante real positiva ($\alpha_1 > 0$), e $\beta_1, \beta_2, \beta_3$ são constantes reais positivas ou negativas. Já os posinômios correspondem à soma de um ou mais monômios. Por exemplo, um posinômio f_1 pode ter a forma:

$$f_1(x_1, x_2, x_3) = \alpha_{11} x_1^{\beta_{11}} x_2^{\beta_{12}} x_3^{\beta_{13}} + \alpha_{21} x_1^{\beta_{21}} x_2^{\beta_{22}} x_3^{\beta_{23}}, \quad (3.13)$$

onde α_{11}, α_{21} são constantes reais positivas, e $\beta_{11} \dots \beta_{23}$ são constantes reais positivas ou negativas.

3.2.2 Definição do Caso Usado como Exemplo

O modelo apresentado na Seção 3.1 é geral, podendo ser aplicado a qualquer acoplamento indutivo. Para o restante do método de projeto serão usadas as condições de um caso específico. A descrição do caso é a seguinte:

- i. **Material em volta dos indutores:** No caso dos implantes, o indutor estará envolvido por um ou mais tipos de tecidos. Entretanto, o caso usado como exemplo desta seção coloca apenas o **ar** entre os indutores, a fim de ter como referência um resultado independente das características dos tecidos.
- ii. **Tecnologia:** Os dois indutores são implementados em **placas de circuito impresso com substrato de FR4**. A espessura do cobre é $35 \mu\text{m}$ e do substrato é $1,5 \text{ mm}$. A máquina disponível para fabricar as placas requer uma largura de trilha mínima de $0,1 \text{ mm}$ e uma distância entre trilhas mínima de $0,1 \text{ mm}$.
- iii. **Tamanho do indutor implantado:** Procurou-se que o indutor fosse o menor possível, porém, ele deve ter um tamanho consideravelmente maior do que os capacitores e do que os conectores usados para medir

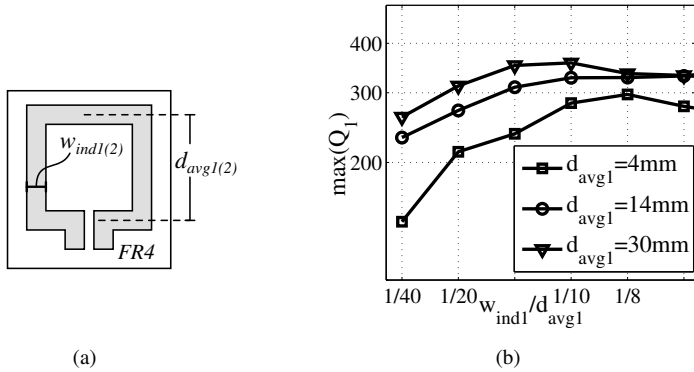


Figura 16: (a) Geometria dos indutores. (b) Dependência do máximo fator de qualidade com o fator de preenchimento.

experimentalmente o sistema. Isto evita que os efeitos parasitas dominem as medições. Foi escolhido o valor de **4 mm** para o diâmetro médio do indutor implantado.

- iv. **Número de espiras:** Decidiu-se implementar indutores de **uma espira**, pois foi verificado através de simulações que um indutor de uma espira sempre tem maior fator de qualidade do que um indutor de várias espiras ocupando o mesmo volume e com o mesmo fator de preenchimento.
- v. **Fator de preenchimento ($w_{ind1(2)}/d_{avg1(2)}$):** Para um valor de $d_{avg1(2)}$ fixo, aumentar $w_{ind1(2)}$ significa uma redução na resistência série do indutor, mas também reduz o valor da indutância (equação (2.12)). Os dois efeitos juntos resultam no comportamento da Figura 16(b), obtida da simulação de vários indutores no EMPRO. Na figura, pode ser observado que existe um valor do fator de preenchimento que corresponde ao melhor fator de qualidade. Segundo a figura, esse valor está entre 1/10 e 1/8. Por esse motivo, foi escolhido o valor de $w_{ind2} = d_{avg2}/8 = \mathbf{0,5\text{ mm}}$ e o valor de w_{ind1} foi condicionado para ser menor ou igual do que $\mathbf{d_{avg1}/8}$.
- vi. **Distância entre indutores:** Considerando as possíveis profundidades do implante, foi explorado o projeto do acoplamento indutivo para distâncias **entre 1 mm e 35 mm**.

3.2.3 Formulação do Problema

O objetivo é maximizar a eficiência do acoplamento indutivo, o que é equivalente a minimizar o recíproco da eficiência calculado em (3.11). Portanto (3.11) é a função objetivo do programa geométrico. A separação das subfunções $(1/k^2)$, $(1/Q_1)$ e $(1/Q_2)$ é muito conveniente pois permite que cada subfunção seja modelada como um posinômio como será explicado nos seguintes parágrafos. Esse fato garante que (3.11) é um posinômio também, permitindo a formulação do problema como um programa geométrico:

$$\left\{ \begin{array}{l} \text{minimizar :} \quad \text{Equação (3.11)} \\ \text{sujeito a :} \quad \text{(A) } 8 \cdot w_{ind1} \leq d_{avg1} \\ \quad \quad \quad \text{(B) } 0.1 \text{ mm} \leq w_{ind1} \\ \quad \quad \quad \text{(C) } d_{avg1} + w_{ind1} \leq 60 \text{ mm}, \end{array} \right.$$

onde as restrições (A), (B) e (C) são limites correspondentes à região de validade dos modelos ajustados. As restrições (A) e (B) foram impostas na delimitação do caso na Seção 3.2.2. Já a restrição (C) é um limite superior arbitrário sobre o tamanho do indutor externo. As restrições garantem que a solução matemática do problema seja realista e tenha um significado físico. Outras restrições podem ser adicionadas segundo a necessidade do projeto.

Tendo formulado o PG, o passo seguinte é construir os modelos para $1/Q_{1(2)}$ e para $1/k^2$. Como ponto de partida para os modelos, foram feitas simulações eletromagnéticas para um conjunto de indutores dentro do espaço de projeto. As simulações foram executadas no software EMPRO da Keysight[®]. Na Figura 17(a) é mostrado o recíproco do fator de qualidade variando com a frequência, para três valores de d_{avg1} e com $d_{avg1}/w_{ind1} = 8$. Na figura pode ser visto que cada curva apresenta um ponto de mínimo, sendo que esse ponto acontece em uma frequência menor para o maior indutor.

O recíproco do quadrado do fator de acoplamento magnético é plotado na Figura 17(b) para três distâncias entre indutores, sendo que $1/k^2$ é igual a $(L_1 L_2 / M^2)$. Os valores de $L_{1(2)}$ foram obtidos das simulações eletromagnéticas feitas no conjunto de indutores. Por outro lado, o valor de M foi calculado usando (2.18).

Os eixos nas Figuras 17(a) e 17(b) foram propositalmente colocados em escala logarítmica para facilitar a identificação dos monômios que podem ser ajustados às curvas, já que os monômios correspondem a linhas retas quando plotados sobre os dois eixos em escala logarítmica. Por exemplo, a função $y = a \cdot x^b$ é um monômio. Aplicando logaritmo nos dois lados da

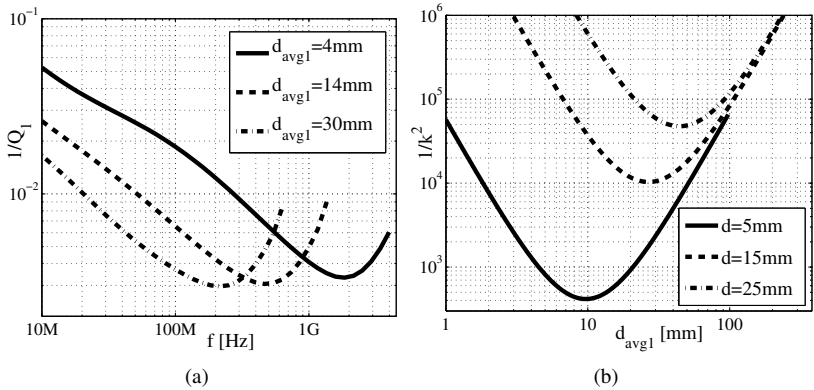


Figura 17: (a) Recíproco do fator de qualidade variando com a frequência, para $d_{avg1}/w_{ind1} = 8$. (b) Recíproco do quadrado do fator de acoplamento magnético quando $d_{avg2} = 4$ mm.

equação, o monômio vira $\log(y) = b \cdot \log(x) + \log(a)$, que corresponde a uma linha reta se plotado $\log(y)$ vs. $\log(x)$. A forma posinomial requerida para os modelos é obtida somando monômios como mostrado a seguir:

$$1/Q_1 = \sum_{i=1}^2 a_{1i} (d_{avg1})^{a_{2i}} (w_{ind1})^{a_{3i}} (f)^{a_{4i}} \quad (3.14)$$

$$1/Q_2 = \sum_{i=1}^2 a_{5i} (f)^{a_{6i}} \quad (3.15)$$

$$1/k^2 = \sum_{i=1}^2 a_{7i} (d_{avg1})^{a_{8i}} + a_9, \quad (3.16)$$

onde $a_{1i} \dots a_{8i}$ e a_9 são escolhidos para ajustar os modelos em (3.14), (3.15) e (3.16), aos dados simulados e calculados de $1/Q_{1(2)}$ e $1/k^2$. As assíntotas com inclinação negativa na Figura 17(a) e na Figura 17(b) podem ser ajustadas aos primeiros monômios ($i=1$) de (3.14) e (3.16), respectivamente, enquanto as assíntotas com inclinação positiva podem ser ajustadas aos segundos monômios ($i=2$). Dado que as dimensões do indutor implantado são fixas, a função $1/Q_2$ é um caso especial de $1/Q_1$, onde $d_{avg2} = 4$ mm e $w_{ind2} = 0,5$ mm.

3.3 EXECUÇÃO E VALIDAÇÃO EXPERIMENTAL DO MÉTODO

O programa geométrico foi solucionado usando CVX, que é um pacote usado no Matlab para especificar e resolver problemas convexos [57]. Os resultados são mostrados nas curvas sólidas da Figura 18 para valores de d entre 1 mm e 35 mm. Para validar os resultados do PG foram escolhidos quatro valores para d (5, 10, 15 e 20) mm. O acoplamento indutivo projetado para ter eficiência ótima em cada um desses casos foi simulado eletromagneticamente com o EMPRO. Os resultados são mostrados como círculos nas Figuras 18(b) e 18(c). Ao comparar os círculos com as curvas sólidas é possível ver que os valores simulados estão bem próximos dos valores estimados no PG, demonstrando a validade dos modelos implementados. É importante notar que as Figuras 18(a), 18(b) e 18(c) são mutuamente dependentes. Por

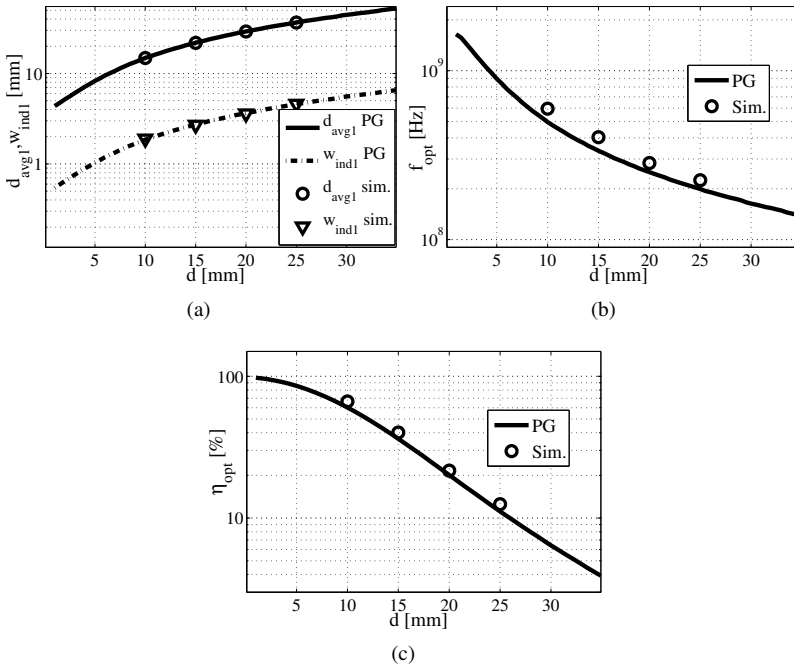


Figura 18: Resultados do projeto ótimo: (a) Diâmetro médio e largura de linha do indutor primário. (b) Frequência. (c) Eficiência.

exemplo, quando $d=15$ mm, o indutor externo que otimiza a eficiência deve ter dimensões $d_{avg1}=21,8$ mm e $w_{ind1}=2,7$ mm. Com esse indutor e a essa distância, a máxima eficiência que pode ser obtida é 36%, segundo o PG, e de 40%, segundo a simulação. A frequência na qual pode ser obtida essa máxima eficiência é de 336 MHz segundo o PG e de 398 MHz na simulação.

O valor ótimo de d_{avg1} , mostrado na Figura 18(a), aumenta quando a distância entre indutores aumenta. Este comportamento é consistente com os pontos de mínimo nas curvas de $1/k^2$ na Figura 17(b). O decaimento da frequência ótima com a distância, apresentado na Figura 18(b), é causada pelo aumento de d_{avg1} . Como era de se esperar, a máxima eficiência que pode ser obtida decai também com o aumento da distância, devido à diminuição do fator de acoplamento magnético.

Para verificar o projeto experimentalmente, foi prototipado o acoplamento indutivo ótimo para $d=15$ mm como mostrado na Figura 19(a). Redes capacitivas foram usadas para adaptar a impedância do acoplamento às portas de 50Ω do analisador vetorial de redes (VNA) ZVB8 R&S, conforme o esquemático da Figura 19(a). O fator de qualidade dos capacitores C_{R1} e C_{R2} deve ser muito maior do que o fator de qualidade dos indutores para não prejudicar a medida da eficiência. Por esse motivo, foram preferidos os capacitores de valor fixo, somente um capacitor variável entre 0,5 pF e 1 pF foi usado no lugar de C_{R1} . Já C_{R2} foi implementado com dez valores de capacitância diferentes entre 4,7 pF e 71,7 pF. Do lado do analisador de redes foram usados

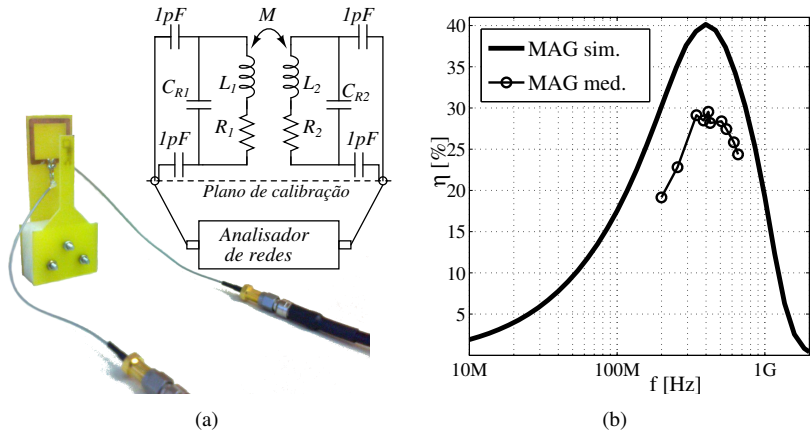


Figura 19: Acoplamento indutivo ótimo para $d=15$ mm: (a) Configuração do teste. (b) Eficiência: Máximo ganho disponível (MAG).

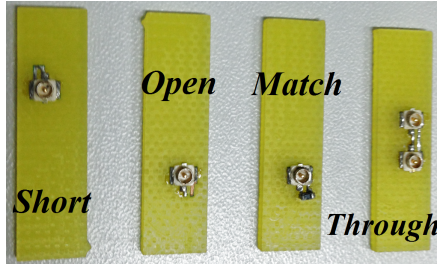


Figura 20: Kit de calibração para conectores U.FL.

cabos SMA, enquanto do lado dos indutores foram usados cabos UFL, que são menores.

O sistema foi calibrado usando um kit de fabricação própria, como mostrado na Figura 20, baseado no método *Through – Open – Short – Match*. Dos parâmetros S medidos foi obtido o MAG (Máximo Ganho Disponível), que corresponde à eficiência do acoplamento indutivo assumindo um casamento de impedâncias ideal. Os resultados são plotados como círculos na Figura 19(c) junto ao MAG simulado no EMPRO. Quando os resultados experimentais são comparados aos resultados de simulação, as duas curvas apresentam um comportamento semelhante, porém a diferença absoluta no ponto de máximo é de 10%. A discrepância nos resultados se deve principalmente às perdas no setup de teste, que estão relacionadas com o fator de qualidade dos capacitores, com a precisão da calibração e até mesmo com as soldas dos componentes. Essas perdas se tornam significativas devido ao alto fator de qualidade dos indutores testados. Os resultados das medições estão resumidos na Tabela 3.

Tabela 3: Resumo das medições do acoplamento indutivo.

d_{avg1}	21,8 mm	d_{avg2}	4 mm	d	15 mm
w_{ind1}	2,7 mm	w_{ind2}	0,5 mm		
$f_{opt}(Sim.)$	398 MHz	$f_{opt}(Med.)$	415 MHz	Δf_{opt}	17 MHz
$\eta_{opt}(Sim.)$	40%	$\eta_{opt}(Med.)$	30%	$\Delta \eta_{opt}$	-10%

O resultado da Figura 18(b) difere da conclusão em [36], mostrando uma forte dependência da frequência ótima com a distância entre os indutores. Isso acontece porque o tamanho ótimo do indutor primário aumenta com a distância. Devido à diferença de tamanho dos indutores, a frequência ótima

é limitada, principalmente, pelo maior indutor. A dependência da eficiência com a carga foi incluída na otimização, o que pode permitir que, no futuro, sejam incluídas outras restrições relacionadas com a adaptação de impedância e com o retificador. Em geral, o projeto com o PG permite combinar todas as restrições, já que não há limites significativos sobre o número de variáveis. Além disso, a convergência para o ótimo global é muito mais rápida e garantida do que em métodos iterativos, como o método proposto em [35]. O método proposto pode ser estendido para o caso em que o acoplamento indutivo está rodeado por tecidos biológicos, dado que o efeito do tecido pode ser modelado e simulado como uma variação em L_1 e R_1 , como explicado na Seção 2.2.

3.4 INDUTOR SEGMENTADO

Ambos os lados do acoplamento indutivo têm restrições diferentes. De uma parte, o indutor secundário deve ser miniaturizado para reduzir o tamanho do implante (ou a etiqueta RFID). Por outro lado, a restrição no tamanho do indutor primário é mais relaxada levando a acoplamentos indutivos assimétricos. Essa assimetria significa que a frequência de operação está limitada pelo indutor de maior tamanho como foi visto na seção anterior. Esse fato obriga a operar o indutor menor em uma frequência na qual ele não apresenta o fator de qualidade ótimo. Essa limitação pode ser superada usando um indutor segmentado no primário.

Indutores segmentados também podem ser encontrados na literatura com o nome de antenas loop segmentadas [59, 60]. Em [59], é defendido o uso de um indutor segmentado na alimentação de um implante para reduzir a energia absorvida pelos tecidos. Essa redução é atingida porque em vez de ter um único capacitor ressonante, o indutor segmentado usa vários capacitores em série conseguindo uma melhor distribuição do campo elétrico ao longo da espira. Em [60], uma antena loop é segmentada para manter a uniformidade da magnitude e fase da corrente ao longo do condutor, e assim melhorar a distribuição do campo magnético na região de campo próximo da antena. Nesta seção, é demonstrada a extensão da frequência de operação de um acoplamento indutivo usando um indutor segmentado.

No exemplo apresentado nesta seção, são usados os valores de $d_{avg1}=22$ mm, $w_{ind1}=2,8$ mm, $d_{avg2}=4$ mm e $w_{ind2}=0,5$ mm para manter um ponto de comparação com os resultados apresentados na seção anterior. Um indutor planar pode ser segmentado adicionando pequenas aberturas

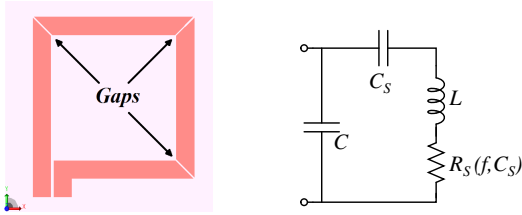


Figura 21: (a) Indutor de 4 segmentos. (b) Modelo do indutor segmentado.

igualmente separadas como mostrado na Figura 21(a) para o caso de quatro segmentos. Capacitores discretos C_D são soldados em cada abertura, conectando os segmentos e ajustando a frequência de ressonância série. Essa capacitância, junto com a capacitância intrínseca entre os segmentos (C_G), é representada por $C_S = \frac{C_D + C_G}{N - 1}$ no modelo para o indutor segmentado na Figura 21(b), onde N é o número de segmentos. Quando $N=1$, C_S tende a infinito, o que significa que ele deve ser substituído por um curto-circuito no modelo. Os valores de L e C não mudam significativamente em relação ao modelo apresentado na Seção 2.1. As perdas são modeladas com o resistor $R_S(f, C_S)$ que depende da frequência e da capacitância C_S . O efeito de C_S sobre R_S aparece por causa da mudança no perfil de radiação do indutor.

A primeira consequência de segmentar o indutor pode ser percebida no circuito da Figura 21(b). O circuito apresenta uma frequência de ressonância série em $\omega = 1/\sqrt{LC_S}$ e uma frequência de ressonância paralela em $\omega = 1/\sqrt{LC_e}$, onde C_e é o equivalente série entre C e C_S . Dado que C_e é menor do que C , a SRF é aumentada. Um valor maior de N significa um valor menor de C_S e, portanto, uma SRF maior. Essa afirmação pode ser verificada na Figura 22(a), onde a reatância equivalente do indutor segmentado é comparada com o caso de um segmento. A frequência de operação deve ser escolhida entre a ressonância série e a ressonância paralela para garantir que a espira ainda opera como indutor.

A segunda consequência pode ser vista na Figura 22(b), onde são comparadas as curvas de R_S do indutor de quatro segmentos com aquela de um segmento para vários valores de C_D . A curva de R_S é deslocada para a direita quando usados quatro segmentos, porém esse deslocamento depende do valor de C_D . Quando C_D tende a infinito, a curva de R_S tende à curva de R do indutor de um segmento. Isso ocorre porque capacitores grandes acoplam o sinal fortemente, comportando-se quase como curto-circuitos, ou seja, como se não

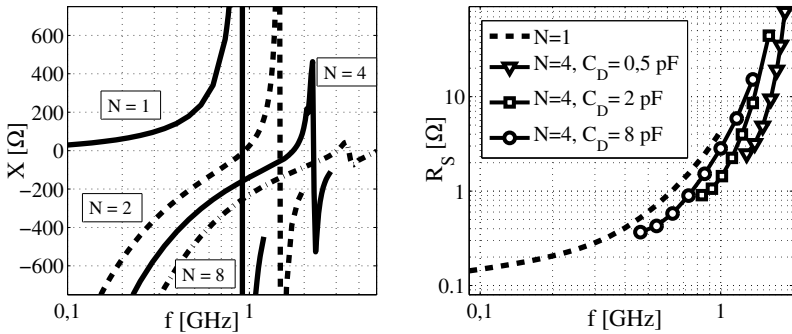


Figura 22: (a) Reactância equivalente quando $C_D=0$. (b) Perdas no indutor segmentado.

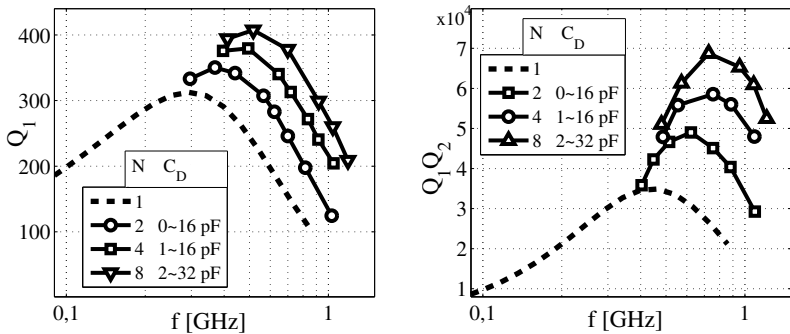


Figura 23: (a) Fator de qualidade do indutor segmentado. (b) Produto dos fatores de qualidade dos indutores primário e secundário quando $d_{avg2}=4$ mm.

houvesse aberturas. O deslocamento nas curvas de resistência é explicado por mudanças na resistência de radiação do indutor.

Considerando os valores de R_S obtidos de simulações eletromagnéticas, é possível calcular o fator de qualidade do indutor primário ($Q_1 = 2\pi fL/R_S$) como mostrado na Figura 23(a). Note-se que cada ponto corresponde ao máximo fator de qualidade para cada valor de C_D , a legenda mostra a faixa de valores de C_D para cada curva. Como a resistência de radiação diminui quando N aumenta, o melhor fator de qualidade aumenta e a frequência onde ele acontece também. Além disso, se multiplicado pelo fator de qualidade do secundário, como mostrado na Figura 23(b), as vanta-

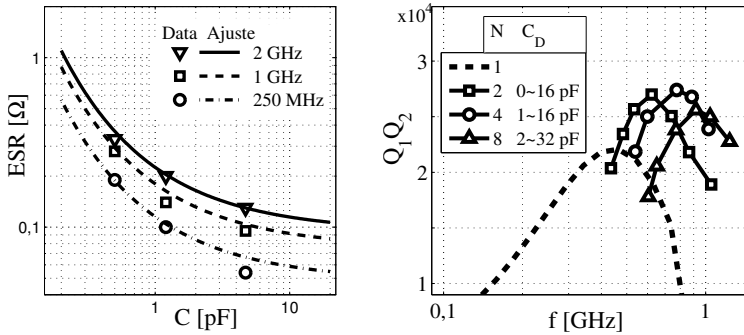


Figura 24: (a) Resistência série equivalente dos capacitores discretos. (b) Produto dos fatores de qualidade considerando as perdas dos capacitores.

gens de usar o indutor segmentado se tornam mais evidentes. No entanto, os valores mostrados na Figura 23(b) consideram capacitores ideais, portanto os capacitores reais podem mudar os resultados.

Para a implementação dos protótipos há disponibilidade de capacitores de alto fator de qualidade, com encapsulado SMD 0402. A resistência série equivalente (ESR) dos capacitores é informada pelo fabricante para alguns capacitores, marcados como “Data” na figura 24(a). Essa informação pode ser extrapolada para a faixa inteira de capacitores que podem ser usados. Tal extrapolação é plotada como curvas sólidas na mesma figura. Uma superfície adequada para os dados do ESR foi obtida com o toolbox para o ajuste de superfícies do MATLAB, sendo que a superfície ajustada tem a forma de:

$$\log(ESR) = a_1 + b_1 \log(f) + c_1 e^{-d_1 \log(C_D)}, \quad (3.17)$$

onde $a_1 = -4,123$, $b_1 = 0,3296$, $c_1 = 7,239e-9$, e $d_1 = 1,483$ são constantes obtidas no ajuste da superfície. Adicionando os efeitos do ESR dos capacitores, as curvas da Figura 23(b) se transformam nas curvas da Figura 24(b). Em todas as curvas é notória a diminuição dos valores de $Q_1 Q_2$, especialmente para valores de N maiores, devido ao aumento do número de capacitores em série, o que aumenta a resistência equivalente. Considerando os resultados da Figura 24(b), a melhor eficiência para as dimensões dos indutores escolhidos pode ser obtida quando o indutor primário tem quatro segmentos e a frequência de operação é aproximadamente 800 MHz com um valor de C_D de 3 pF.

Embora a análise feita tenha apontado 800 MHz como a melhor frequência para o exemplo adotado, o protótipo para verificação experimental

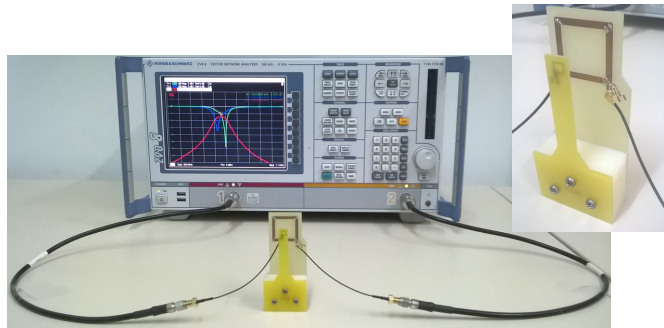


Figura 25: Configuração de teste e detalhe do indutor de 4 segmentos.

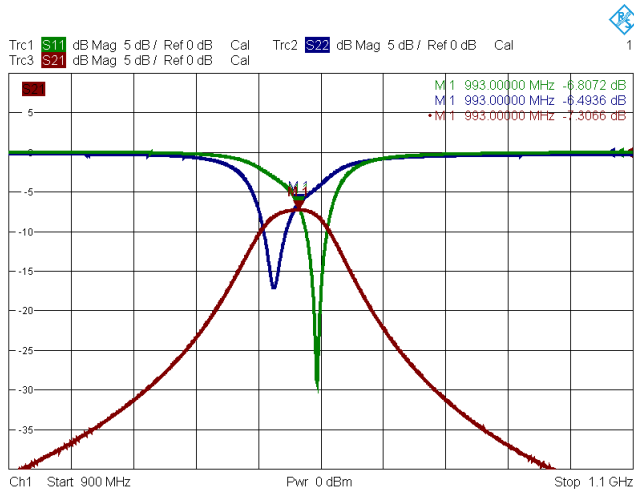


Figura 26: Parâmetros S medidos do acoplamento com indutor primário segmentado.

foi projetado para operar em 1 GHz. O motivo dessa escolha é para que ele sirva também como indutor primário para energizar o receptor WPT integrado, cujo projeto será apresentado no Capítulo 4. Para operar em 1 GHz os capacitores C_D devem ser de 1,5 pF. O protótipo foi fabricado e medido como mostrado na Figura 25. Um VNA ZVB8 R&S é usado para medir os parâmetros S. Os dois indutores são casados ao sistema de medidas de 50 Ω usando redes-L capacitivas. Os parâmetros S medidos são mostrados

Tabela 4: Resumo de desempenho do acoplamento indutivo com indutor primário segmentado.

N	C_D [pF]	η_{max} [%]	$f_{\eta_{max}}$ [MHz]	
1	–	30	415	Med.
4	3	38	735	Sim.
4	1,5	37	990	Sim.
4	1,5	30	980	Med.

na Figura 26. Idealmente, os dois indutores deveriam estar casados com $50\ \Omega$ na mesma frequência, mas na prática é difícil atingir essa condição com capacitores de valor fixo. Por esse motivo a eficiência é calculada a partir do MAG dos parâmetros S.

Na Tabela 4 são comparados os resultados medidos com os resultados de simulações eletromagnéticas de onda completa feitas no EMPRO. De acordo com as simulações, a maior eficiência atingida para as dimensões dos indutores especificadas é 38% na frequência 735 MHz com um indutor de quatro segmentos. Operando o indutor de quatro segmentos em 1 GHz a eficiência cai levemente para 37%. No entanto, a eficiência medida atinge o valor de 30%. A diferença entre as medidas e as simulações pode ser atribuída a componentes parasitas difíceis de simular, tais como a resistência e capacitâncias das soldas. Apesar disso, demonstrou-se a extensão da frequência de operação do acoplamento indutivo usando a técnica de segmentação.

3.5 CONCLUSÕES SOBRE A OTIMIZAÇÃO DA EFICIÊNCIA

A otimização da eficiência começou com a definição do circuito que modela o acoplamento indutivo. Com base nesse circuito foi obtida uma expressão que mostra claramente a dependência da eficiência com o fator de qualidade dos indutores, com o fator de acoplamento magnético e com a variável p que está relacionada ao casamento de impedância no secundário. Considerando o modelo desenvolvido, o problema de otimização foi escrito na forma de um programa geométrico. Com a solução do programa geométrico foram revelados os compromissos entre as variáveis de projeto que levam a acoplamentos indutivos com eficiência otimizada.

O projeto do acoplamento parte de uma restrição no tamanho do indutor secundário, que nos exemplos apresentados foi $d_{avg2}=4\ \text{mm}$. Para cada distância entre os indutores existe um tamanho que maximiza o fator de aco-

plamento magnético. Por exemplo, quando a distância é 15 mm o indutor primário que maximiza o fator de acoplamento magnético tem d_{avg1} de aproximadamente 22 mm. Portanto, o indutor primário deve ter tamanho maior do que o secundário. Essa diferença nos tamanhos dos indutores indica também que a frequência na qual acontece o melhor fator de qualidade é diferente para os dois indutores, sendo que a escolha da frequência é dominada pelo indutor de maior tamanho. Isso ocorre porque o indutor maior apresenta frequência de auto-ressonância menor e, próximo dessa frequência, as perdas por radiação aumentam significativamente. Nessas condições, o indutor secundário deve operar fora do seu ponto ótimo, ou seja, com fator de qualidade reduzido.

Uma solução para estender a frequência de operação do indutor primário é o uso de um indutor segmentado. A seção anterior mostra os resultados experimentais de um acoplamento indutivo cuja frequência foi estendida de 415 MHz para 980 MHz usando o indutor segmentado. Para esse sistema com frequência estendida, a eficiência medida foi mantida no valor de 30%. A extensão de frequência oferece maior flexibilidade no projeto do acoplamento indutivo. Essa flexibilidade é aproveitada no capítulo seguinte, onde é projetado um receptor de energia sem-fio completamente integrado. O receptor pode ser otimizado de forma independente do indutor primário. Depois, na fase de testes, o receptor pode ser acoplado magneticamente a diferentes indutores primários, inclusive a um indutor segmentado como o projetado na seção anterior.

4 RECEPTOR DE ENERGIA SEM-FIO INTEGRADO EM CMOS

A integração do receptor de energia sem-fio em tecnologia CMOS é um passo importante na miniaturização dos dispositivos eletrônicos. Os desafios no projeto do receptor devem ser concentrados em dois itens: a otimização de cada fator que influencia a eficiência e a realização dos testes sem-fio do receptor. Essa necessidade de testar sem contatos o receptor influencia em grande parte o projeto do receptor como será mostrado ao longo deste capítulo. A primeira seção retoma os conceitos de eficiência discutidos nos capítulos anteriores mas ampliados e adaptados especificamente ao sistema WPT que inclui o receptor integrado. Depois é explicado o sistema WPT completo e é definida uma estratégia para otimizar cada fator que influencia a eficiência do sistema. Posteriormente é mostrado o projeto dos blocos que compõem o receptor WPT. Finalmente, são apresentados o layout e as simulações do receptor projetado.

4.1 EFICIÊNCIA NA TRANSFERÊNCIA DE ENERGIA

A eficiência está relacionada com a quantidade de energia gasta no processo de transferência da potência extraída da fonte por uma determinada carga. No caso de um sistema WPT como o mostrado na Figura 27, a eficiência pode ser formulada como

$$\eta_T = \frac{P_V}{P_{in}} \quad (4.1)$$

onde P_V é a potência DC entregue à carga e P_{in} é a potência RF transferida ao acoplamento indutivo ressonante. Tal como ilustrado na figura, a eficiência total do sistema WPT (η_T) depende principalmente de três contribuidores: a) O acoplamento ressonante; b) O modulador de backscattering; c) O conversor RF-DC. O acoplamento ressonante é formado por um par de ressonadores

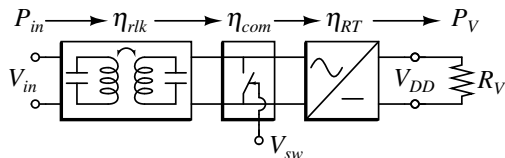


Figura 27: Sistema WPT típico com comunicação por backscattering.

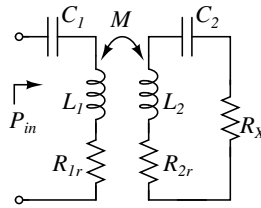


Figura 28: Modelo do acoplamento ressonante.

LC magneticamente acoplados e sua eficiência depende principalmente da geometria dos indutores e sua posição relativa. Uma chave é usada para modificar a impedância do circuito conectado em paralelo ao acoplamento ressonante. O padrão associado ao sinal que controla a chave é percebido no lado primário do acoplamento como uma modulação de amplitude. Esta técnica é melhor conhecida como backscattering e é muito comum em transponders passivos, especialmente em etiquetas RFID [61]. Finalmente, o retificador realiza a conversão da potência RF recebida para a potência DC entregue à carga. Sendo assim, a eficiência η_T pode ser reescrita como

$$\eta_T = \eta_{rlk} \eta_{com} \eta_{RT}, \quad (4.2)$$

onde

- η_{rlk} é a eficiência do acoplamento ressonante;
- η_{com} é uma medida relativa da energia que é gasta durante o processo de envio de informação ao leitor;
- η_{RT} é a eficiência de conversão de RF para DC.

O acoplamento ressonante e a modulação de carga são detalhados nos próximos parágrafos. A eficiência de retificação é abordada na Seção 4.3.2.

4.1.1 Eficiência do acoplamento ressonante

A base do sistema WPT é um par de indutores acoplados cujo modelo foi explicado na Seção 3.1. A eficiência do acoplamento indutivo (η_{lk}) está

dada por (3.11) que pode ser reescrita como

$$\eta_{lk} = \frac{1}{\frac{1}{A_0} \left(p_0 + 2 + \frac{1}{p_0} \right) + p_0 + 1}, \quad (4.3)$$

onde $A_0 = k^2 Q_1 Q_2$. Para o cálculo de 4.3 foi assumido que o secundário está ressonando ($X_X = -j\omega L_2$), essa condição pode ser atingida com um capacitor em série C_2 como mostrado na Figura 28. Para maximizar a potência transferida da fonte para o acoplamento, é necessário colocar o capacitor C_1 ressonando em série com L_1 . Na prática C_1 e C_2 têm perdas associadas que estão incluídas em R_{1r} e R_{2r} , respectivamente. Portanto, o fator de qualidade do ressonador primário e do secundário são dados por:

$$\frac{1}{Q_{1r}} = \frac{R_{1r}}{\omega L_1} = \frac{1}{Q_1} + \frac{1}{Q_{c1}}, \quad (4.4)$$

$$\frac{1}{Q_{2r}} = \frac{R_{2r}}{\omega L_2} = \frac{1}{Q_2} + \frac{1}{Q_{c2}}, \quad (4.5)$$

onde Q_{c1} e Q_{c2} são os fatores de qualidade de C_1 e C_2 , respectivamente. Substituindo A_0 por $A = k^2 Q_{1r} Q_{2r}$ e p_0 por $p = R_{2r}/R_X$ em (4.3), η_{lk} se torna η_{rlk} para o acoplamento ressonante:

$$\eta_{rlk} = \frac{1}{\frac{1}{A} \left(p + 2 + \frac{1}{p} \right) + p + 1}. \quad (4.6)$$

O valor de p que maximiza η_{rlk} pode ser derivado de (4.6), resultando em

$$p_{opt} = \frac{1}{\sqrt{1+A}}. \quad (4.7)$$

Apesar de que foram assumidos capacitores ressonando em série no modelo da Figura 28(b), as expressões obtidas em (4.5), (4.6) e (4.7) também podem ser aplicadas para capacitores ressonando em paralelo, respeitando a equivalência série-paralelo da impedância.

4.1.2 Regiões de operação do acoplamento ressonante

Ressonadores acoplados se comportam diferentemente dependendo do nível de acoplamento. Nesse sentido, é necessário definir primeiro as regiões onde o acoplamento é fraco ou forte. O ponto de partida é a equação (4.6) onde duas assíntotas podem ser identificadas dependendo do valor de A com relação a $1 + \frac{1}{p}$. A eficiência do acoplamento ressonante pode ser aproximada com

$$\eta_{rlk} \approx \begin{cases} \frac{A}{\left(p + 2 + \frac{1}{p}\right)} & \text{se } A \ll 1 + \frac{1}{p} \text{ (Acoplamento fraco)} \\ \frac{1}{p+1} & \text{se } A \gg 1 + \frac{1}{p} \text{ (Acoplamento forte)} \end{cases} \quad (4.8)$$

Na Figura 29(a) é plotada (4.8) em função de p para vários valores de A . Para valores altos de A , as curvas pontilhadas se aproximam da curva sólida correspondente à assíntota de acoplamento forte $\frac{1}{p+1}$. O máximo valor para cada curva pontilhada é marcado com um círculo e corresponde a $p = p_{opt}$ dado por (4.7). Quando o acoplamento é fraco (A tende a 0), o valor de p_{opt} tende a 1, como observado na figura. Nesse caso, a eficiência se aproxima da primeira assíntota em (4.8), na qual a máxima eficiência atingida é $A/4$. Quando A aumenta, o valor de p_{opt} diminui tendendo a 0.

A diferença entre as duas regiões é mais evidente na Figura 29(b), onde η_{rlk} é plotado em função de A para $p = 1$. Na região de acoplamento fraco a assíntota é $A/4$; portanto, a eficiência é diretamente proporcional a A . Por esse motivo o valor de A é a principal variável a ser maximizada em sistemas fracamente acoplados, que costuma ser o caso das aplicações energizadas remotamente. Por outro lado, a eficiência é quase independente de A no acoplamento forte. No exemplo mostrado na Figura 29(b) a eficiência tende a $1/2$.

4.1.3 Energia gasta na modulação por backscattering

A chave da Figura 27 é controlada por um sinal periódico V_{sw} . Quando a chave é aberta toda a potência recebida no secundário é transferida ao retificador, caso contrário toda a potência é refletida. Os efeitos do backscattering

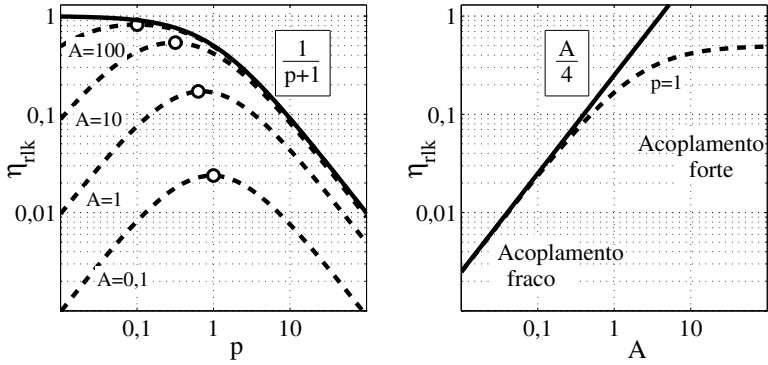


Figura 29: Eficiência do acoplamento ressonante mostrando as regiões de acoplamento.

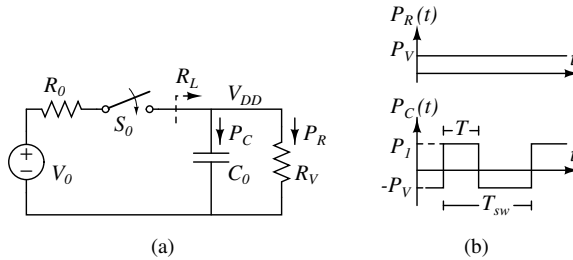


Figura 30: Efeito do chaveamento sobre a eficiência. (a) Modelo. (b) Formas de onda.

sobre a eficiência podem ser analisados com a ajuda do circuito da Figura 30(a). O comportamento chaveado do sistema é modelado com S_0 , enquanto a fonte de tensão V_0 e o resistor R_0 definem a potência disponível. O capacitor C_0 é necessário para manter a tensão V_{DD} durante o intervalo de tempo em que S_0 está aberta. No processo de chaveamento, a queda na eficiência η_{com} é definida como a potência média na carga P_V sobre P_0 , que é a potência entregue a R_L quando S_0 está fechada.

A potência instantânea em C_0 e R_V são plotadas na Figura 30(b), assumindo um valor de C_0 suficientemente alto para desprezar a ondulação em V_{DD} . Quando S_0 é fechada, a potência P_0 é dividida em uma parte para carregar o capacitor P_1 e a potência do resistor P_V , portanto $P_0 = P_1 + P_V$. Quando

S_0 é aberta a potência recebida é 0, então o capacitor entrega a potência P_V à carga. Pelo princípio de conservação da energia no capacitor, pode-se escrever:

$$P_1 T = P_V (T_{sw} - T), \quad \text{então} \quad (4.9)$$

$$P_1 = P_V \frac{T_{sw} - T}{T}. \quad (4.10)$$

Em (4.9), T é o intervalo de tempo em que S_0 está fechada e T_{sw} é o período do sinal de controle V_{sw} . Usando (4.10), η_{com} pode ser calculada como

$$\eta_{com} = \frac{T}{T_{sw}} = D, \quad (4.11)$$

onde D é o ciclo útil (*duty cycle*) do sinal de controle. Os valores de P_V e P_0 podem ser expressos em termos de V_{DD}

$$P_V = \frac{V_{DD}^2}{R_V} \quad (4.12)$$

$$P_0 = \frac{V_{DD}^2}{R_L}, \quad (4.13)$$

onde R_L é a resistência equivalente vista desde a fonte quando S_0 está fechado. Como $P_V = DP_0$ então a relação entre R_V e R_L é dada por

$$R_L = DR_V. \quad (4.14)$$

Por exemplo, quando o ciclo útil é 50% o valor de R_L é equivalente a $R_V/2$.

4.2 CONCEPÇÃO DO SISTEMA WPT

O sistema WPT completo é mostrado na Figura 31, onde duas partes podem ser identificadas: o transmissor e o receptor. No lado do transmissor, a fonte de RF gera o sinal na frequência da portadora (f_c), ela é conectada ao indutor primário através de uma rede capacitiva de casamento de impedância. A rede capacitiva adapta a impedância da fonte de 50Ω à impedância do indutor para transferir a máxima potência. No receptor, o indutor integrado é magneticamente acoplado ao indutor primário. Um capacitor ressonando em paralelo com o indutor integrado funciona como adaptação de impedância no secundário. O sinal RF nos terminais do indutor é conver-

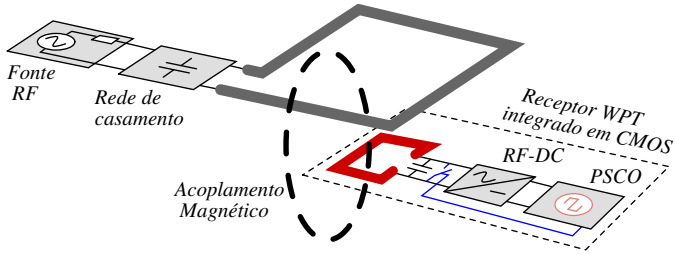


Figura 31: Sistema para transferência de energia a receptor completamente integrado em CMOS.

tido em potência DC para alimentar a carga. A carga foi cuidadosamente projetada para o teste do sistema: trata-se de um oscilador controlado pela fonte de alimentação (PSCO: *Power-Supply Controlled Oscillator*), sendo que sua frequência (f_{sw}) depende da potência recebida. O sinal de saída do PSCO controla uma chave paralela ao indutor integrado. Dessa forma, a comunicação por backscattering é usada para fornecer informação relacionada com a quantidade de potência recebida na carga.

O projeto do sistema WPT parte da equação da eficiência:

$$\eta_T = \frac{\eta_{com}\eta_{RT}}{\frac{1}{k^2 Q_{1r} Q_{2r}} \left(p + 2 + \frac{1}{p} \right) + p + 1}, \quad (4.15)$$

que mostra explicitamente os fatores que influenciam a eficiência e que, portanto, devem ser otimizados. As variáveis de projeto relacionadas com esses fatores são resumidas na Tabela 5, onde elas aparecem na mesma ordem em que devem ser projetadas. Primeiro, o ciclo útil do sinal de backscattering é escolhido 50% para garantir a comunicação mesmo que a potência recebida seja baixa. Segundo, o valor de Q_{2r} , e portanto Q_2 , devem ser otimizados através da adequada escolha das dimensões do indutor integrado, assim como sua frequência de operação. Os valores de η_{RT} e de p dependem do projeto do retificador, da carga R_V e da potência recebida P_V ; essa dependência deve ser considerada no projeto do PSCO. Finalmente, a escolha das dimensões do indutor primário devem otimizar os valores de k e Q_{1r} .

Tabela 5: Variáveis envolvidas no projeto ótimo do sistema WPT.

Parte	Receptor				Transmissor	
	η_{com}	Q_{2r}	η_{RT}	p	k	Q_{1r}
Objetivos						
Variáveis de projeto	<ul style="list-style-type: none"> • Valor fixo: $D=0,5$ 	<ul style="list-style-type: none"> • Indutor integrado • Frequência (f) 	<ul style="list-style-type: none"> • Retificador • Carga (R_V) • Potência (P_V) 		<ul style="list-style-type: none"> • Indutor Primário 	

4.3 PROJETO DO RECEPTOR DE ENERGIA SEM-FIO

Uma das especificações propostas para o receptor é que ele seja completamente integrado em um chip CMOS com área de $1,5 \text{ mm} \times 1,5 \text{ mm}$. Para atingir essa especificação otimizando a eficiência, os blocos do receptor foram projetados como explicado a seguir.

4.3.1 Indutor Integrado

O indutor é o componente mais desafiador no projeto do receptor WPT integrado em CMOS, isso se deve a sua proximidade com o substrato resistivo e ao fato de que ele deve ocupar a área mais externa do chip para maximizar o fluxo magnético acoplado. A primeira condição levou a vários estudos sobre a otimização do fator de qualidade em indutores integrados. Uma técnica amplamente aceita para melhorar o fator de qualidade é o uso de estruturas metálicas como blindagens entre o indutor e o substrato. Porém, essa técnica não pode ser aplicada a indutores WPT por causa da segunda condição. Uma vez que o indutor ocupa a área mais externa do chip, os circuitos restantes devem ser posicionados na área interna do indutor, o que dificulta a fabricação das blindagens. Além disso, os circuitos interferem com o campo magnético em diferentes níveis dependendo do layout. Essa interferência é difícil de estimar em simulações por causa da complexidade na geometria dos circuitos. Nesta tese, a proposta para o tratamento desse problema é projetar o indutor desprezando a interferência dos circuitos desenhados no interior do chip e, em seguida, fazer o layout cuidadosamente para minimizar tais interferências.

As variáveis relacionadas com a geometria do indutor são mostradas na Figura 32(a), como exemplo foi desenhado um indutor com número de espiras (n_{ind2}) igual a 2. O diâmetro externo (d_{ext2}) deve ser o maior possível

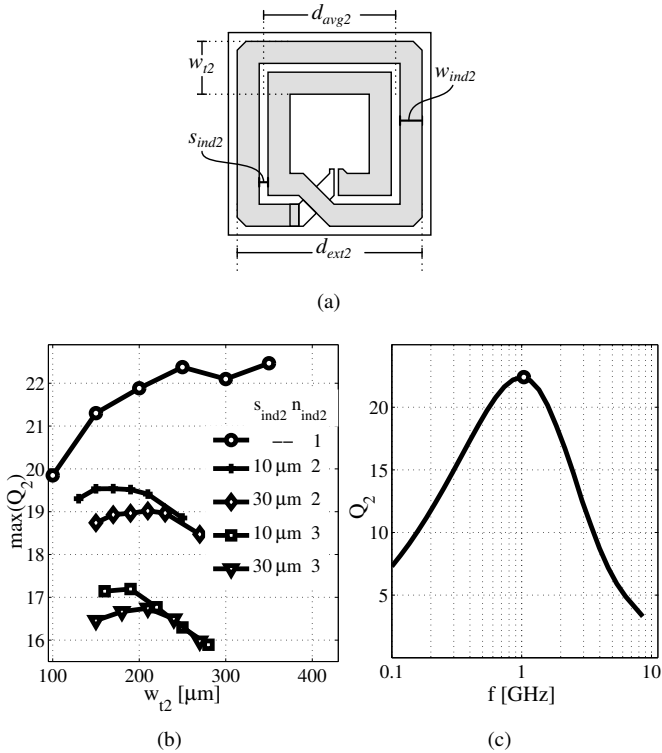


Figura 32: (a) Indutor de duas espiras. (b) Maximo Q_2 para diferentes indutores. (c) Q_2 para indutor de uma espira quando $w_{ind2} = 250 \mu\text{m}$.

para maximizar o fluxo magnetico captado pelo indutor, neste caso, esse valor e $1460 \mu\text{m}$. Esse valor e uma limitacao imposta pela area disponivel do chip, $1500 \mu\text{m} \times 1500 \mu\text{m}$. O indutor foi desenhado no metal mais alto da tecnologia, que tambem e o mais espesso, apresentando a menor resistencia. Foi feita uma varredura da largura de linha do indutor w_{ind2} , do diametro medio d_{avg2} , do espaamento entre espiras s_{ind2} e do n_{ind2} com o objetivo de encontrar o melhor fator de qualidade. Simulacoes eletromagneticas de onda completa foram feitas no EMPRO para diferentes configuracoes. O fator de qualidade de cada indutor foi computado em funcao da frequencia e somente os valores maximos foram plotados na Figura 32(b). Baseados nessa figura, pode-se concluir que o fator de qualidade diminui quando n_{ind2} aumenta, por-

tanto o valor ótimo de n_{ind2} é 1. Além disso, para o indutor de uma espira o máximo fator de qualidade é de 22,4 e é obtido quando w_{ind2} é 250 μm . Esse fator de qualidade máximo é atingido na frequência de 1,04 GHz como pode ser visto na Figura 32(c). Por esse motivo, tal frequência foi escolhida para a operação do acoplamento indutivo. Um capacitor dual-MIM⁴ de 11,6 pF foi integrado em paralelo ao indutor para ressonar na frequência ótima. O layout do capacitor também foi otimizado, de tal forma que o fator de qualidade do ressonador Q_{2r} foi estimado em 21,7.

4.3.2 Retificador

A topologia do retificador é baseada em [62] por apresentar boa eficiência e simplicidade. O diagrama de blocos é mostrado na Figura 33(a), sendo que cada estágio RT_i é formado pelo circuito da Figura 33(b). Dois transistores NMOS e dois PMOS se complementam formando uma estrutura diferencial. No primeiro semiciclo, a tensão in_1 está no seu maior valor e in_2 está no seu menor valor, essa diferença de tensão nos transistores faz M_1 e M_4 conduzirem ao mesmo tempo que M_2 e M_3 estão cortados. Como M_1 e M_4 conduzem, a tensão $V-$ é levada ao menor valor de in_2 e a tensão $V+$ é levada ao maior valor de in_1 . No segundo semiciclo, M_1 e M_4 são cortados e M_2 e M_3 conduzem, levando $V-$ ao menor valor de in_1 e $V+$ ao maior valor de in_2 . O número de estágios escolhido foi 4, como mostrado na Figura 33(a). Todos os transistores na Figura 33(b) têm comprimento de canal mínimo (180 nm) e largura de 30 μm . Os transistores NMOS são dispositivos triple-well, isso permite que as fontes sejam conectadas aos terminais de corpo, minimizando a tensão necessária para que os transistores conduzam. Com essas características, o retificador foi simulado no Cadence, resultando na eficiência da Figura 33(c), em função de R_V e P_V .

As curvas sólidas pertencem à superfície que descreve η_{RT} . Da figura pode ser concluído que para cada valor de R_V existe um valor de P_V que maximiza a eficiência $\left(\frac{\partial \eta_{RT}}{\partial P_V} = 0\right)$, tais valores estão marcados com círculos. Quando esses pontos de máximo parcial são projetados nos planos $P_V \eta_{RT}$ e $P_V R_V$, são formadas as curvas pontilhadas da Figura 33(c). Na projeção no plano $P_V \eta_{RT}$ pode ser visto que η_{RT} é maior que 45% para P_V variando en-

⁴Os capacitores MIM (*Metal-Insulator-Metal*) são capacitores de alto fator de qualidade disponíveis no processo de fabricação RF-CMOS 180 nm. O capacitor dual-MIM apresenta a maior densidade de capacitância por área do processo (aproximadamente 4 fF/ μm^2).

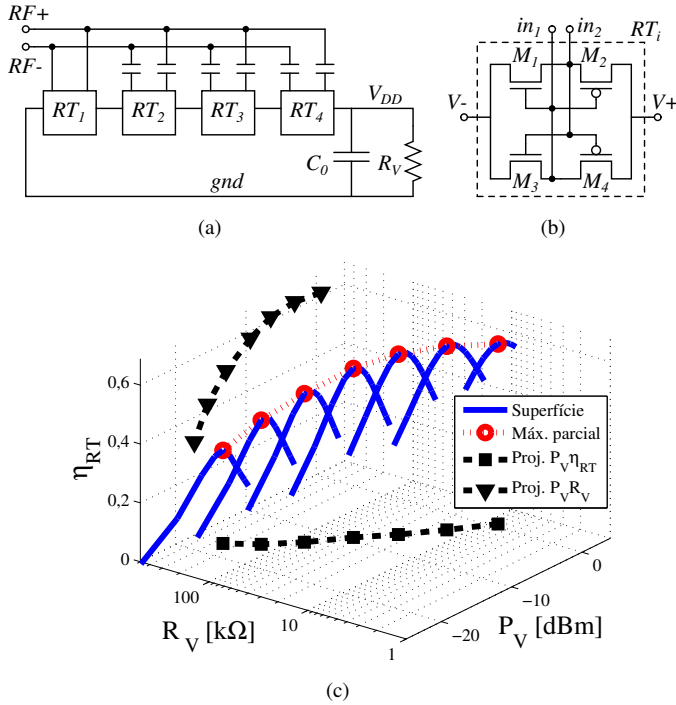


Figura 33: Retificador: (a) Diagrama de blocos. (b) Esquemático de cada estágio. (c) Eficiência simulada.

tre -20 dBm e 0 dBm, o que é vantajoso porque significa que o sistema pode operar em uma faixa ampla de níveis de potência. No entanto, para atingir esses níveis é necessário seguir a curva dos pontos de máximo parcial. Esta condição pode ser conseguida projetando a carga de tal forma que a relação entre R_V e P_V é a indicada na projeção $P_V R_V$ da Figura 33(c), que é considerada no projeto da carga variável como mostrado em seguida.

4.3.3 Carga Variável

O uso de um PSCO é muito conveniente para converter a quantidade de potência recebida em uma quantidade de frequência. Além disso, o consumo do PSCO é uma função de V_{DD} , portanto sua carga equivalente R_V pode

ser ajustada àquela curva da projeção $P_V R_V$ na Figura 33(c). O PSCO é formado por um oscilador em anel de sete estágios como mostrado na Figura 34(a). Um divisor de frequência baseado em um flip-flop é colocado após o oscilador para garantir um ciclo útil de 50% no sinal V_{sw} . O sinal de saída V_{sw} controla a chave responsável pela resposta usando o backscattering. O conversor de nível gera o sinal V_{swlv} necessário para controlar os transistores NMOS de 1,8 V que funcionam como chaves, enquanto V_{sw} pode variar entre 0 V e 3,6 V. O diagrama esquemático do inversor usado no oscilador é mostrado na Figura 34(b). Em adição aos transistores NMOS e PMOS de

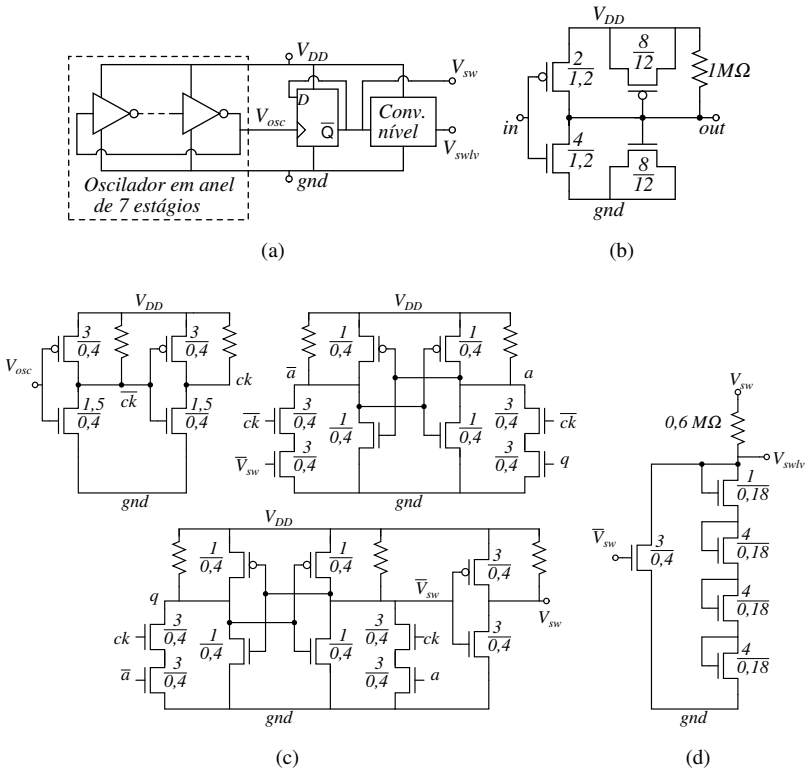


Figura 34: Oscilador controlado pela fonte de alimentação: (a) Diagrama de blocos. (b) Implementação do inversor. (c) Esquemático do flip-flop configurado como divisor de frequência (todos os resistores têm valor de 1 MΩ). (d) Esquemático do conversor de nível.

um inversor convencional foram adicionados transistores com as fontes conectadas aos drenos atuando como capacitores para diminuir a frequência de oscilação. Também foram acrescentados resistores de $1\text{ M}\Omega$ em paralelo ao transistor PMOS para permitir a operação do circuito em baixos valores de V_{DD} . Deste modo, os circuitos projetados podem operar com V_{DD} entre $0,7\text{ V}$ e $3,6\text{ V}$, como verificado em simulações com modelos de caso típico.

As dimensões dos transistores da Figura 34(b) são mostradas em μm . Esses valores foram escolhidos para aproximar a relação P_V - R_V àquela da projeção da Figura 33(c). As duas curvas são comparadas na Figura 35(a), elas apresentam comportamento similar apesar de não serem iguais. O valor de R_V diminui quando V_{DD} e, portanto, P_V aumenta. A corrente média consumida pelo PSCO aumenta por dois motivos: o aumento nas tensões de dreno

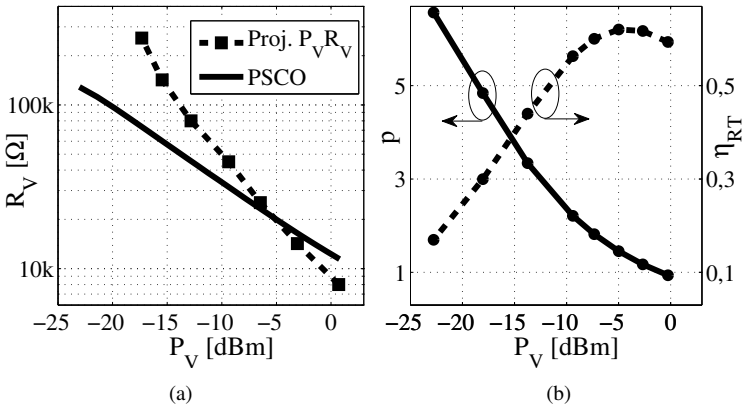


Figura 35: Características da carga variável: (a) Curva de R_V . (b) Curvas de eficiência e p . (c) Modelo de circuito para a transformação de impedância.

e porta dos transistores, e também pelo aumento na frequência de oscilação f_{sw} . A eficiência do retificador é mostrada na Figura 35(b). Essa curva foi obtida a partir de simulações pós-layout do receptor WPT incluindo o PSCO projetado. Devido ao perfil da carga variável, a eficiência do retificador é mantida em torno a 60% para P_V variando entre -10 dBm e 0 dBm. Além disso, o retificador opera com eficiência razoável sobre uma faixa ampla de valores de P_V .

O valor máximo de η_{RT} é observado quando P_V é aproximadamente -5 dBm. A localização desse máximo está diretamente relacionada com a escolha de $30 \mu\text{m}$ para a largura dos transistores no retificador (Fig. 33(b)). Essa escolha é apropriada neste caso porque o máximo de η_{RT} coincide com a região em que p se aproxima de 1, que é seu valor ótimo quando operando com acoplamento fraco. Os valores de p simulados são plotados na Figura 35(b) em função de P_V . O circuito da Figura 35(c) ajuda a entender a forma como R_V é transformado em R_X ($\Re\{Z_X\}$). A fonte de tensão é o circuito equivalente do primário quando o acoplamento é fraco. Na figura, C_{SR} modela a frequência de autoressonância do indutor, C_M é o capacitor dual-MIM integrado e C_{RT} é a capacitância de entrada do retificador. O resistor R_{RT} corresponde às perdas do retificador. O ganho de tensão no retificador é modelado com A_{RT} e depende do número de estágios. A corrente de saída é reduzida por um fator de A_{RT} porque não há ganho de potência no retificador. Consequentemente, a resistência R_L é reduzida pelo retificador a $R_L' = R_L/A_{RT}$.

4.3.4 Dispositivo de backscattering

A chave usada para a modulação de carga foi implementada como mostrado na Figura 36. Dois transistores NMOS (um NMOS de óxido fino controlado pelo sinal de 1,8 V e um NMOS de óxido espesso controlado pelo sinal de 3,3 V) são conectados entre os terminais do indutor. O comprimento dos transistores é mantido nos mínimos valores respectivos para diminuir a resistência de condução, enquanto a largura é projetada para manter a relação entre as amplitudes ON-OFF (A_{ON}/A_{OFF}) maior do que 10. Os outros transistores na Figura 36 são usados para levar $RF+$ e $RF-$ ao nó de gnd , ajudando a diminuir a resistência de condução da chave principal.

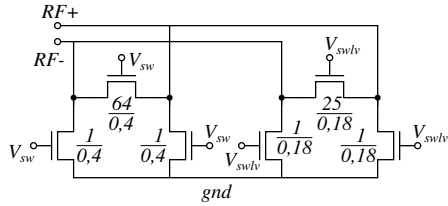


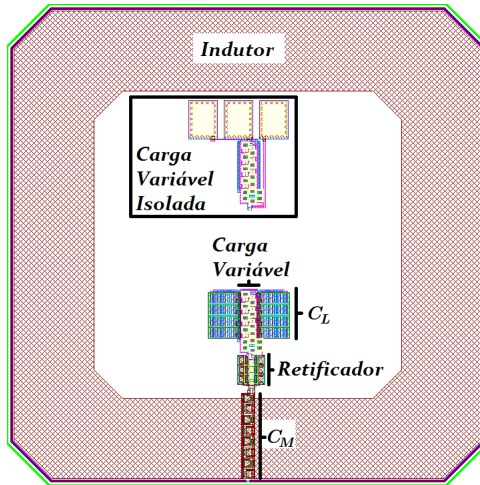
Figura 36: Chave usada para a modulação de carga.

4.4 LAYOUT E SIMULAÇÕES

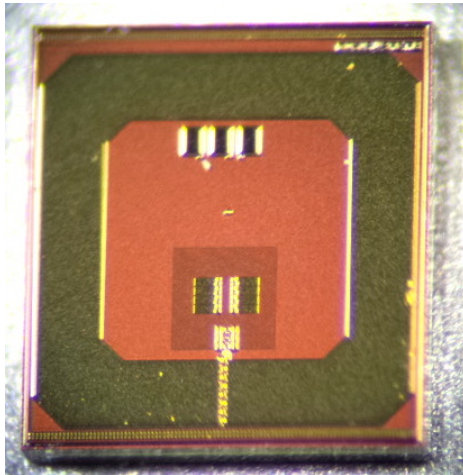
O layout e fotografia do receptor WPT integrado podem ser vistos na Figura 37. O receptor ocupa uma área de $1,5 \text{ mm} \times 1,5 \text{ mm}$. Além do indutor e dos circuitos do receptor completo, uma célula adicional contendo apenas a carga variável foi incluída para fins de caracterização. Várias considerações foram aplicadas durante a elaboração do layout de cada bloco. Foram evitados anéis de guarda, capacitores de área grande e um número alto de pads, isto com o objetivo de reduzir os laços de corrente induzidos pelo fluxo magnético. Além disso, a árvore de distribuição da alimentação foi cuidadosamente projetada para minimizar a interferência no fluxo magnético.

O receptor WPT foi simulado usando a configuração da Figura 38 após a extração dos elementos parasitas. Na região de acoplamento fraco, o acoplamento indutivo pode ser representado com o circuito mostrado na Figura 38, onde os componentes do modelo (o resistor, o indutor e o capacitor) são extraídos da simulação eletromagnética do indutor integrado. A energia transferida do primário é representada com uma fonte de tensão, que junto à resistência série do indutor define a potência disponível no receptor WPT (P_{av}). Na figura é indicada também a potência P_B , referindo-se a (2.43) onde foi definida a eficiência de adaptação de impedâncias η_M . No caso do sistema WPT, o valor de η_M no secundário está relacionado com a parte de (4.15) que depende da variável p .

A resposta transiente do receptor WPT é mostrada na Figura 39. Nesta simulação, a potência disponível no indutor secundário é 1 dBm e foram usados os modelos com parâmetros típicos para os transistores. A inicialização do oscilador foi facilitada pela própria característica do consumo de potência variável, que é baixo para valores baixos de V_{DD} . Com aproximadamente $5\mu\text{s}$ V_{DD} atinge o estado estável, em 2,5 V. Nesse estado, V_{DD} sofre variações, como esperado, devido ao processo de carga e descarga do capacitor C_L a



(a)



(b)

Figura 37: Receptor WPT completamente integrado em tecnologia CMOS 180 nm, área de $1,5 \text{ mm} \times 1,5 \text{ mm}$: (a) Layout. (b) Fotografia.

3,5 MHz. Na figura pode ser visto que o sinal nos terminais do indutor ($RF+$ e $RF-$) é corretamente atenuado quando V_{sw} é alto, implicando em uma cor-

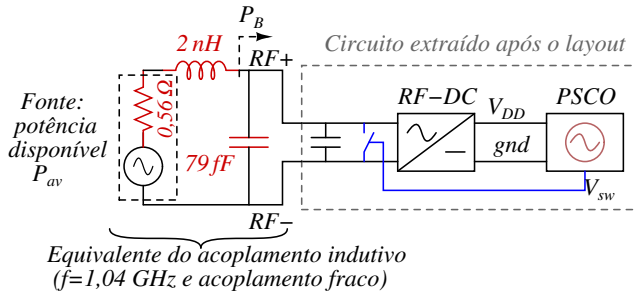


Figura 38: Circuito usado para as simulações pós-layout.

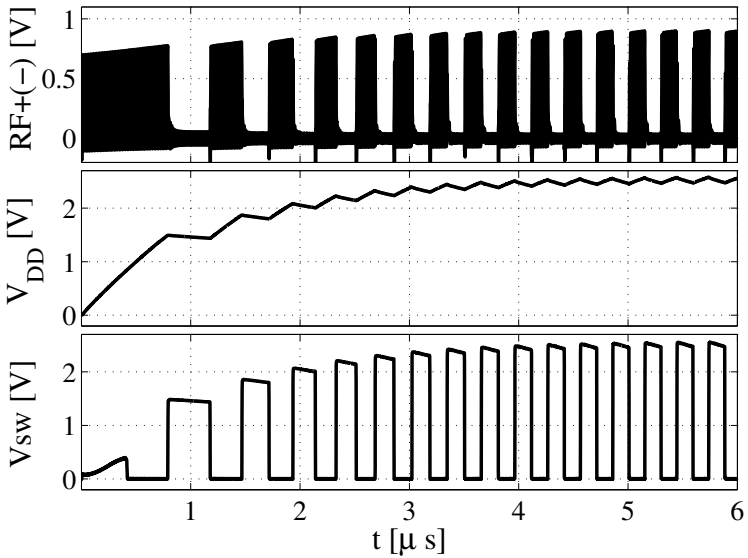


Figura 39: Simulação transiente do receptor WPT.

reta resposta no indutor primário.

A fim de verificar o desempenho do circuito, foram feitas simulações de cantos e os resultados estão resumidos na Tabela 6. As variações de processo são simuladas usando os modelos de cantos dos transistores para três casos: o caso típico, o caso *Fast* e o caso *Slow*. Esses modelos de cantos são fornecidos pelo fabricante do chip. A eficiência na última coluna foi calculada.

lada medindo f_{sw} e associando esse valor à potência consumida por R_V . Esse valor de potência foi multiplicado por 2, porque o retificador recebe energia apenas metade do tempo. A partir da tabela, pode-se concluir que o sistema recebe e responde corretamente para P_{av} entre -7 dBm e 6 dBm.

Tabela 6: Simulações de cantos do circuito integrado projetado.

P_{av} [dBm]	V_{DD} [V]	f_{sw} [MHz]	A_{ON} [V]	A_{OFF} [mV]	$\eta_M \cdot \eta_{RT}$ [%]
Caso típico					
-7	1,1	0,6	0,5	29	17
1	2,5	3,5	0,9	33	57
6	3,5	5,2	1,3	72	54
Caso <i>Fast</i>					
-7	1,2	1,1	0,5	22	28
1	2,4	3,9	0,9	34	59
6	3,3	5,7	1,2	60	54
Caso <i>Slow</i>					
-7	1,0	0,3	0,5	42	10
1	2,6	3,2	0,9	40	55
6	3,6	4,9	1,3	71	54

Os resultados da Tabela 6 mostram que o receptor projetado é robusto. O sistema consegue funcionar ante uma grande variedade de situações, tais como variações de processo e diferentes níveis de potência disponível no indutor. O projeto do receptor independente do transmissor faz com que os testes possam ser desenvolvidos com transmissores de diferentes tamanhos e para diferentes distâncias entre eles. Essa característica pode permitir a extração de grande quantidade de informação experimental útil sobre o acoplamento indutivo, inclusive quando o mesmo esteja imerso em tecidos biológicos.

5 MEDIÇÃO DO SISTEMA WPT COM RECEPTOR MINIATURIZADO

5.1 CARACTERIZAÇÃO DO RESSONADOR LC INTEGRADO

Dado que o ressonador LC integrado é fundamental no desempenho do acoplamento indutivo, ele deve ser caracterizado experimentalmente. As principais características a serem medidas são a frequência de ressonância (f_0) e o fator de qualidade (Q_{2r}). Nos métodos convencionais de medição é necessário o acesso ao chip através de estação microprovidora ou com microsoldas. Em ambos os casos devem ser colocados pads nos terminais do dispositivo a ser testado (DUT - *Device Under Test*). Porém, os pads nos terminais dos dispositivos e as estruturas externas usadas para o teste interferem com os campos elétricos e magnéticos do DUT. Apesar de parte dessa interferência poder ser removida da medida usando técnicas de *deembedding*, os pads continuam interferindo quando o receptor opera no sistema WPT. Por esse motivo, foi desenvolvido um método de caracterização sem contato, no qual os principais parâmetros do ressonador são medidos usando uma interação magnética bem modelada entre o DUT e o setup de teste.

5.1.1 Método proposto

O diagrama de blocos do receptor integrado é mostrado na Figura 40, os blocos dentro da caixa pontilhada estão desligados quando os níveis de potência recebidos no secundário são baixos, por exemplo, menores que -10 dBm. Assim, se a potência transferida é baixa, no secundário será visto o indutor integrado em paralelo com o capacitor integrado e as capacitâncias parasitas associadas a esses nós. Para medir as principais características do ressonador é possível usar a configuração mostrada na Figura 41(a). Um

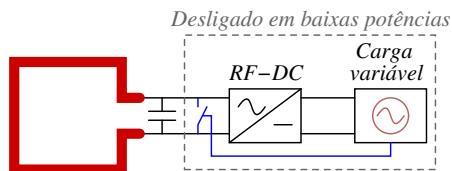


Figura 40: Receptor WPT integrado incluindo o ressonador LC.

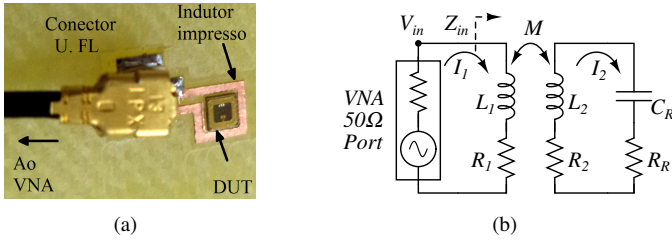


Figura 41: Teste do ressonador: (a) Configuração do teste. (b) Modelo.

indutor (L_1) impresso em uma placa de FR4 serve como interface entre o ressonador integrado e um VNA R&S ZVB8. O acoplamento indutivo resultante pode ser modelado com o circuito da Figura 41(b), de forma similar aos modelos de acoplamento explicados nos capítulos anteriores. C_R representa a capacitância integrada somada com as capacitâncias parasitas, e R_R modela as perdas associadas a estas capacitâncias.

De acordo com o modelo da Figura 41(b), a impedância de entrada (Z_{in}) pode ser definida como:

$$Z_{in} = j\omega L_1 + R_1 + \Delta Z; \quad (5.1)$$

onde $\Delta Z = \Delta R + j\Delta X$ representa a reflexão da impedância do secundário no lado primário. Por conveniência, as partes real e imaginária de ΔZ são normalizadas pela frequência como segue:

$$e(\omega) = \frac{\Delta R}{\omega} = \frac{k^2 L_1 (1/Q_R)}{1/Q_R^2 + (1 - \omega_0^2/\omega^2)^2} \quad (5.2)$$

$$g(\omega) = \frac{\Delta X}{\omega} = \frac{-k^2 L_1 (1 - \omega_0^2/\omega^2)}{1/Q_R^2 + (1 - \omega_0^2/\omega^2)^2}; \quad (5.3)$$

onde $Q_R = \omega L_2 / (R_2 + R_R)$ é o fator de qualidade do ressonador e $\omega_0 = 1/\sqrt{L_2 C_R}$ é a frequência angular de ressonância. O máximo valor de (5.2) acontece na frequência de ressonância, na que $e(\omega_0) = k^2 L_1 Q_R$. Por outro lado, (5.3) apresenta dois picos com sinais opostos que acontecem nas frequências ω_{p1} e ω_{p2} :

$$\omega_{p1(2)} = \frac{\omega_0}{\sqrt{1 \pm 1/Q_R}}. \quad (5.4)$$

Os valores de $g(\omega)$ nas frequências ω_{p1} e ω_{p2} são:

$$g(\omega_{p1(2)}) = \pm \frac{k^2 L_1 Q_R}{2}. \quad (5.5)$$

Usando (5.4), é possível determinar o valor de Q_R em função da relação entre ω_{p1} e ω_{p2} da seguinte forma:

$$Q_R = \frac{1 + (\omega_{p1}/\omega_{p2})^2}{1 - (\omega_{p1}/\omega_{p2})^2}. \quad (5.6)$$

A partir do modelo desenvolvido, pode-se conceber um método de caracterização do ressonador integrado sem contato:

- i. Usando a configuração de teste da Figura 41(a), Z_{in} é medido para uma faixa de frequências em torno da frequência de ressonância esperada, abrangendo além de ω_{p1} e ω_{p2} . A medida é feita na presença (Z_w) e na ausência (Z_{wo}) do ressonador.
- ii. A curva de $e(\omega)$ é obtida de $\Re\{Z_w - Z_{wo}\}/\omega$.
- iii. O valor de ω_0 é determinado a partir da observação da frequência onde acontece o máximo de $e(\omega)$.
- iv. A indutância L_1 é calculada como $\Im\{Z_w(\omega_0)\}/\omega_0$.
- v. O valor de Q_R é determinado detectando as frequências onde acontecem os picos de máximo e mínimo de $\Im\{Z_w - j\omega L_1\}/\omega$ e usando (5.6).
- vi. O fator de acoplamento magnético k pode ser calculado a partir do valor pico-a-pico (g_{pp}) de $\Im\{Z_w - j\omega L_1\}/\omega$ e usando (5.5):

$$k = \sqrt{\frac{g_{pp}}{L_1 Q_R}}. \quad (5.7)$$

O valor de k não é uma característica do ressonador integrado, mas serve como referência para comparação com o resultado da simulação eletromagnética.

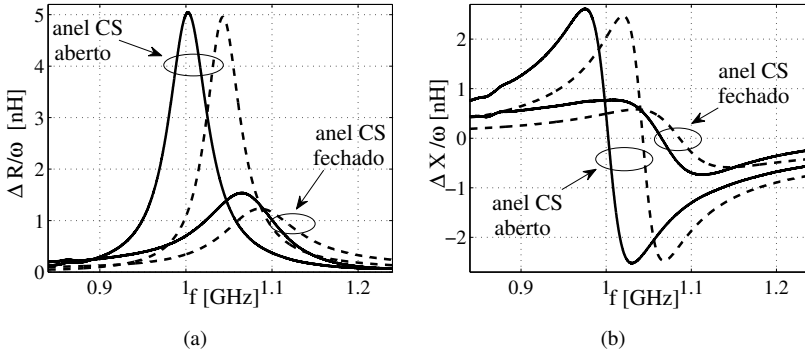


Figura 42: Variação de impedância medida (linha sólida) e simulada (linha pontilhada). (a) Resistência normalizada. (b) Reactância normalizada.

5.1.2 Aplicação do método

O indutor impresso usado para medir o ressonador integrado possui um diâmetro médio de 2,4 mm e uma largura de trilha de 0,6 mm. Essas dimensões foram escolhidas para obter um indutor com área interna aproximadamente igual à área do chip e garantir que o termo $k^2 Q_1 Q_2$ seja alto o suficiente para detectar os picos nas curvas de impedância. A potência do sinal na fonte foi escolhido -10 dBm, que é um valor suficientemente baixo para não ligar a parte ativa dos circuitos conectados ao ressonador (Figura 40(a)).

Os valores medidos de $e(\omega)$ e $g(\omega)$ são comparados com as simulações na Figura 42. Dois casos são considerados: a) primeiro, foi medido o chip cercado por um anel de *crack-stop* (CS), também conhecido como anel de vedação (*seal ring*), que é uma estrutura inserida pelo fabricante para proteger o chip da umidade, da contaminação iônica e de danos durante os processos de corte e encapsulamento [63]; b) segundo, o chip foi medido após o corte do anel CS (abrindo-o). O corte foi feito através de cuidadoso polimento mecânico lateral. Tanto as simulações quanto as medidas mostraram que o anel CS fechado diminui o fator de qualidade e aumenta a frequência de ressonância. Ambos os efeitos refletem uma redução no valor de L_2 e são causados pelas correntes induzidas no anel CS fechado.

O método de medida descrito foi aplicado a 38 amostras do chip cercado pelo anel CS fechado e a 5 amostras com o anel CS aberto. Os resultados

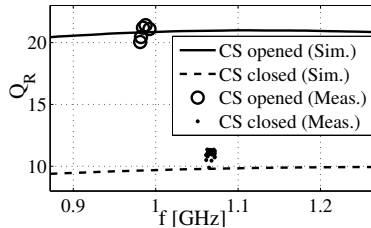


Figura 43: Fator de qualidade do ressonador LC medido em várias amostras.

são resumidos na Tabela 7. O Fator de qualidade medido é bastante próximo do valor estimado em simulação para ambos casos testados. No entanto, a frequência de ressonância medida é aproximadamente 50 MHz menor do que as simulações nos dois casos, o que corresponde a um erro de estimação de aproximadamente 5%. A diferença pode ser atribuída à imprecisão na extração das capacitâncias parasitas e também aos efeitos dos circuitos colocados no interior do indutor, os quais são difíceis de incluir nas simulações eletromagnéticas. Para as simulações, parte das capacitâncias parasitas é extraída do layout usando o software Assura, incluído nas ferramentas Cadence, a outra parte foi extraída da simulação eletromagnética do indutor integrado. O fator de qualidade medido e simulado também é plotado na Figura 43, onde pode ser vista a dispersão dos dados medidos para as diferentes amostras.

Tabela 7: Média e desvio padrão (DP) das características do ressonador.

	Anel CS fechado			Anel CS aberto		
	Simulado	Medido		Simulado	Medido	
		Média	DP		Média	DP
f_0 [GHz]	1,12	1,07	0,003	1,04	0,99	0,005
L_1 [nH]	3,31	2,67	0,009	3,51	2,96	0,03
Q_R	10,5	11,0	0,3	21,7	20,8	0,6
k	0,18	0,23	0,002	0,26	0,31	0,002

A Tabela 8 compara o indutor integrado apresentado nesta tese com outros indutores miniaturizados para WPT. Somente as referências [64], [65], [66] e este trabalho apresentam indutores integrados em tecnologia CMOS convencional sem pós-processamento. Nesse grupo, o indutor projetado e medido aqui possui o melhor fator de qualidade, notando que tecnologias mais recentes oferecem vantagens adicionais. Por exemplo, o processo CMOS 180 nm usado neste trabalho tem um nível de metal espesso, enquanto

alguns processos CMOS 130 nm e mais recentes têm dois ou mais níveis de metal espesso, o que pode, potencialmente, aumentar o fator de qualidade dos indutores.

Tabela 8: Indutores miniaturizados para transferência de energia sem-fio.

	Área [mm ²]	Tecnologia	Q	f [MHz]	Método de teste
[65]	6,25	CMOS 350 nm	2,6	900	–
[44]	0,5	CMOS 130 nm pós-process.	3	2450	com-fios
[64]	4,84	CMOS 130 nm	11	101	micropontas
[66]	0,5	CMOS 130 nm	14	5200	
[67]	20,25	substrato de alta resistividade e pós-process.	20	2,5	micropontas
Estatese	2,25	CMOS 180 nm	20,8	990	sem-contato
[20]	4,96	SU-8 MEMS	29	394	–

5.2 PROJETO DO INDUTOR PRIMÁRIO

A equação (4.15) mostra que a eficiência do acoplamento depende do fator de qualidade dos indutores (ressonadores), do fator de acoplamento magnético e das condições de casamento de impedância. Dentre esses fatores, o projeto do receptor WPT incluiu a otimização de Q_2 (Q_{2r}) e p . O valor de k também foi parcialmente otimizado quando foi escolhido o maior diâmetro possível para o indutor integrado, dentro da restrição de área especificada. Portanto, o projeto do indutor primário deve otimizar Q_1 (Q_{1r}) e k . Dado que o valor de k depende fortemente da distância entre os indutores (d), como foi explicado no final da seção 2.1, esse parâmetro deve ser considerado no dimensionamento do indutor transmissor. Isso pode ser observado na Figura 44, onde o valor de k é plotado em função de d_{avg1} para três distâncias diferentes quando o indutor secundário é aquele projetado no receptor WPT integrado. Em cada curva é possível identificar um pico ocorrendo em valores diferentes de d_{avg1} . Com base na figura, pode ser inferido que o valor ótimo de d_{avg1} aumenta com a distância.

Para mostrar a funcionalidade do receptor WPT integrado foram proje-

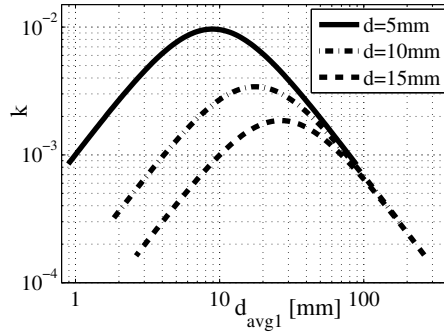


Figura 44: Fator de acoplamento magnético com o indutor secundário integrado ($d_{avg2} = 1210 \mu\text{m}$).

Tabela 9: Resumo dos indutores transmissores projetados.

Ind.	d_{avg1} [mm]	w_{ind1} [mm]	Q_{1r} (Med.)	d_{nom} [mm]	$k @ d_{nom}$ (Sim.)	Acopl. @ d_{nom}
(a)	2,4	0,6	80	0	0,3	forte
(b)	8	1	–	5	0,01	fraco
(c)	8	1	147	5	0,01	fraco
(d)	22	2,8	141	15	0,002	fraco

tados quatro indutores impressos diferentes, como mostrado na Figura 45. As principais características desses indutores são resumidas na Tabela 9. Cada indutor foi projetado para uma distância nominal d_{nom} , no entanto todos podem ser usados em diferentes distâncias. O indutor (a) foi projetado para o teste com acoplamento forte. O acoplamento forte é garantido colocando o receptor WPT no mesmo plano do transmissor ($d_{nom} = 0$), como pode ser visto na Figura 45(a). Além disso, as dimensões do indutor são escolhidas de tal forma que sua área interna é ligeiramente maior do que o tamanho do chip, resultando em um valor de k simulado de 0,3. Quando o indutor (a) e o receptor WPT são colocados juntos, a impedância de entrada é 50Ω . Esta condição de medida é muito conveniente porque dispensa uma rede de casamento nos terminais do indutor primário.

O valor ótimo de d_{avg1} é 8 mm para uma distância de 5 mm, como observado na Figura 44. Duas versões desse indutor foram fabricadas: na primeira, dois capacitores da rede de casamento de impedância são imple-

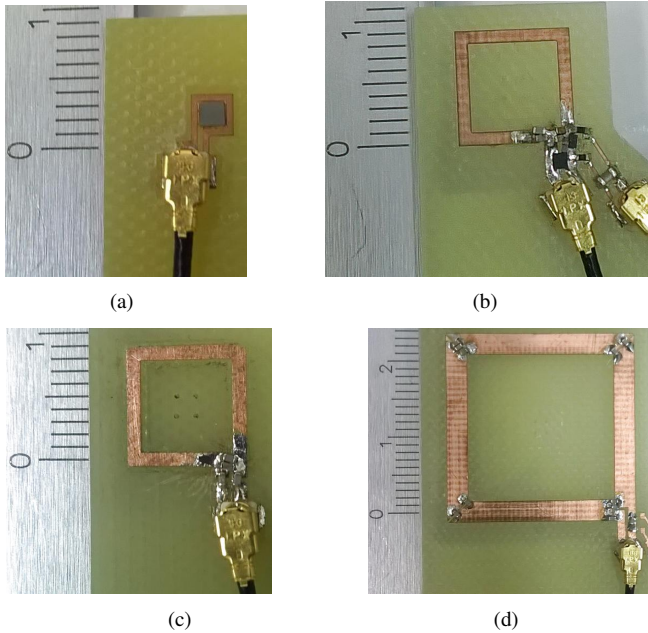


Figura 45: Indutores transmissores: (a) $d_{avg1} = 2,4$ mm. (b) $d_{avg1} = 8$ mm com rede de casamento com varactores. (c) $d_{avg1} = 8$ mm sem varactores. (d) $d_{avg1} = 22$ mm.

mentados com diodos varactores, permitindo um ajuste fino das partes real e imaginária da impedância de entrada. O fator de qualidade do varactor em pequeno sinal varia entre 75 e 300 dependendo da tensão de polarização. O fator de qualidade do indutor simulado é 280, o que significa que o fator de qualidade do varactor tem um efeito significativo sobre Q_{1r} . Esse problema é ainda mais relevante para altos níveis de potência devido à não-linearidade dos diodos. Por esse motivo, foi implementado o indutor da Figura 45(c), no qual a rede de casamento de impedância possui apenas capacitores de valor fixo e com alto fator de qualidade (em torno de 600, de acordo com o fabricante).

Para a distância de 15 mm foi escolhido um valor de $d_{avg1} = 22$ mm com base na curva pontilhada da Figura 44. Porém, a frequência de autoressonância desse indutor está em torno de 1 GHz, motivo pelo qual é necessário o uso do indutor segmentado apresentado no final do Capítulo 3. Esse indutor

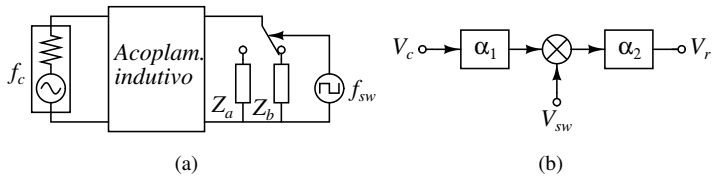


Figura 46: Modelo do backscattering: (a) Diagrama de blocos. (b) Diagrama de fluxo de sinal.

é mostrado na Figura 45(d). O fator de qualidade dos ressonadores formados pelos indutores (c) e (d) foi medido usando o mesmo método sem contato proposto na seção anterior. Esse método não pode ser aplicado para o ressonador formado pelo indutor (b) devido à não-linearidade dos varactores. O valor de Q_{1r} para o indutor (a) foi medido diretamente com o VNA.

5.3 ESTRATÉGIA DE TESTE

Para entender a estratégia de medida proposta é conveniente desenvolver um modelo comportamental do sistema considerando seu comportamento linear variante no tempo (LTV). O acoplamento indutivo é substituído por uma rede de duas portas com uma fonte de potência conectada à porta de entrada, como mostrado na Figura 46(a). Na porta de saída, duas impedâncias diferentes são chaveadas em função do sinal gerado pelo oscilador no receptor, modelando a característica linear variante no tempo. O chaveamento de impedância pode ser representado por uma operação de multiplicação por um sinal quadrado, de tal forma que, visto desde a fonte, o circuito da Figura 46(a) pode ser transformado no modelo da Figura 46(b). Na Figura 46(b) os sinais transmitido e refletido são separados em caminhos diferentes. O sinal refletido medido no lado transmissor pode ser escrito como:

$$V_r(t) = \alpha_1 \alpha_2 V_c(t) V_{sw}(t); \quad (5.8)$$

onde:

$$V_c(t) = A_c \cos \omega_c t; \quad (5.9)$$

$$V_{sw}(t) = B_0 + B_1 \cos \omega_{sw} t + B_3 \cos 3\omega_{sw} t + \dots \quad (5.10)$$

Considerando apenas os dois primeiros termos da série em (5.10),

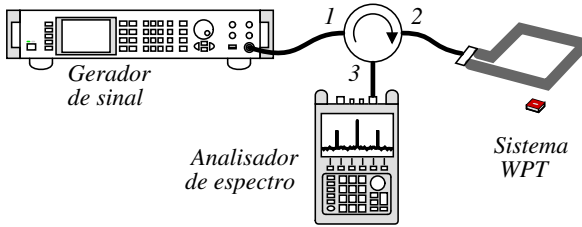


Figura 47: Configuração de teste do sistema WPT.

$V_r(t)$ pode ser reescrito como:

$$V_r(t) = \alpha_2 \alpha_2 A_c \left[B_0 \cos \omega_c t + \frac{B_1}{2} \cos(\omega_c \pm \omega_{sw}) t \right]. \quad (5.11)$$

De acordo com (5.11), o sinal refletido é formado principalmente por três tons: um localizado na frequência da portadora (f_c) e outros dois tons, um a cada lado do portadora. Dado que a informação da potência recebida pelo receptor WPT está contida no valor de f_{sw} , ela pode ser extraída no domínio da frequência, da separação entre os tons laterais e a portadora.

O anterior pode ser feito usando a configuração da Figura 47. O gerador de sinais R&S SMA100A serve como fonte de RF com uma capacidade de potência de até 26 dBm. Ele é conectado a um circulator que separa o sinal transmitido (da porta 1 para a porta 2) do sinal refletido (da porta 2 para a porta 3). O sistema WPT é conectado na porta 2 do circulator. Por outro lado, o sinal refletido pode ser medido na porta 3 do circulator usando o analisador de espectro Keysight N9913A. Nos experimentos foi usado o circulator SFC1020 da Fairview Microwave com isolamento de 17 dB.

A frequência f_{sw} é uma função h que depende da potência recebida pela carga variável (P_V). Supondo que h é uma função biunívoca (um a um), o valor de P_V pode ser expressado como

$$P_V = h^{-1}(f_{sw}), \quad (5.12)$$

onde h^{-1} é a função inversa de h . A função h pode ser obtida experimentalmente através da caracterização da carga variável integrada. Conhecendo h , é possível calcular a eficiência total como:

$$\eta_T = \frac{P_V}{P_{in}} = \frac{h^{-1}(f_{sw})}{P_{in}}, \quad (5.13)$$

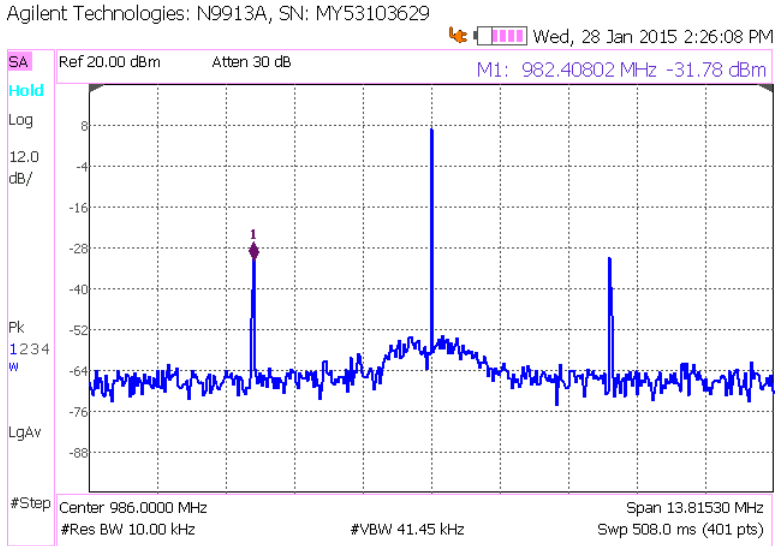


Figura 48: Sinal refletido medido quando $d = 10$ mm, $d_{avg1} = 22$ mm e a potência de entrada é 21 dBm.

onde P_{in} é a potência de entrada do sistema WPT. As perdas associadas aos cabos, às transições e ao circulator podem ser descontadas da medida efetuando uma cuidadosa calibração. A calibração é feita colocando uma terminação de $50\ \Omega$ no final do cabo na porta 3 do circulator e substituindo o acoplamento indutivo pelo analisador de espectro no cabo da porta 2.

Um exemplo do espectro do sinal refletido medido é mostrado na Figura 48 e corresponde à medida com $d = 10$ mm e $d_{avg1} = 22$ mm, quando a potência de entrada é 21 dBm. Na figura pode ser vista a portadora na frequência central (986 MHz) e os dois tons laterais separados em torno de 3,6 MHz da portadora, portanto $f_{sw} = 3,6$ MHz. Da medida do PSCO foi encontrado que a potência consumida P_V é -5,1 dBm quando a frequência de oscilação é 3,6 MHz. Então, pode-se concluir que a eficiência total do sistema WPT é -26,1 dB para as condições testadas.

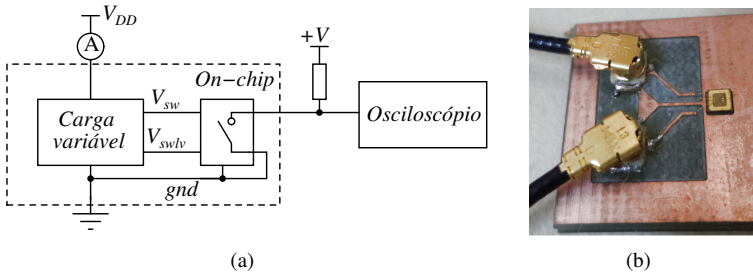


Figura 49: Configuração de teste do PSCO: (a) Diagrama. (b) Fotografia.

5.4 CARACTERIZAÇÃO DA CARGA VARIÁVEL

Uma réplica da carga variável foi incluída no chip, de tal forma que a relação entre a frequência de oscilação (f_{sw}) e a potência consumida pela carga (P_V) pode ser medida. O diagrama e a fotografia da configuração de teste da carga variável são mostrados na Figura 49. Os resultados experimentais são comparados com as simulações na Figura 50, a frequência de oscilação é mostrada na Figura 50(a) e a resistência equivalente (R_V) é plotada na Figura 50(b). A frequência de oscilação varia entre 150 kHz e 5,5 MHz quando o consumo de potência varia entre -24 dBm a 0 dBm. Na mesma faixa de frequência, a resistência equivalente varia entre 130 k Ω e 12 k Ω . Esses resultados permitem estimar a eficiência total do sistema com a ajuda de (5.13).

5.5 MEDIÇÃO DO SISTEMA WPT

Nesta seção são apresentados os resultados de medida do sistema WPT. A fotografia do sistema WPT incluindo o receptor integrado é mostrada na Figura 51. Usando o método de caracterização do ressonador LC integrado proposto no começo deste capítulo, foi medido o valor de Q_{2r} de 20,8 na frequência de ressonância de 0,99 GHz. Portanto, os indutores transmissores foram projetados para operar nessa frequência e os experimentos foram executados conforme explicado em seguida.

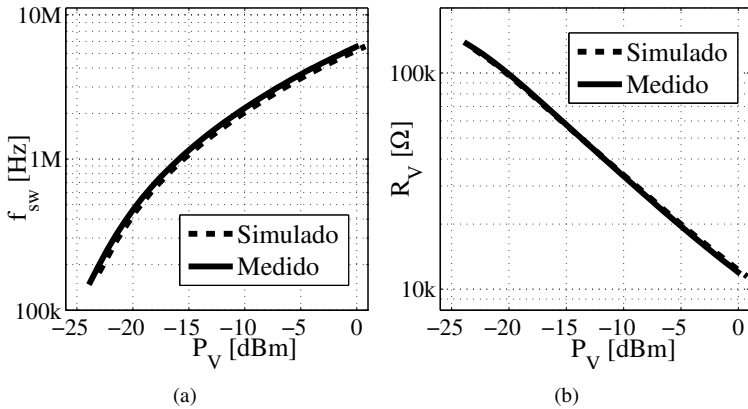


Figura 50: Medidas do PSCO: (a) Frequência de oscilação. (b) Resistência equivalente.

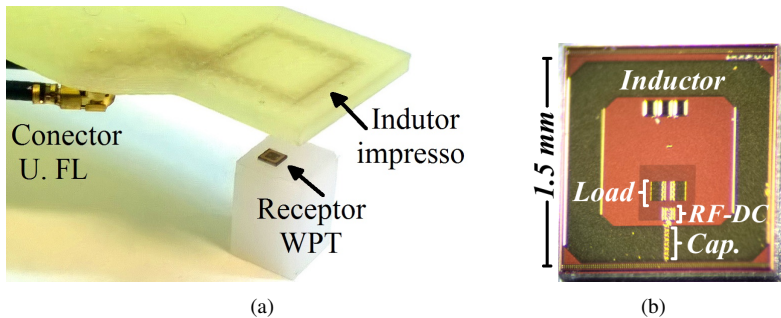


Figura 51: Fotografias da configuração de teste: (a) Sistema WPT. (b) Detalhe do receptor.

5.5.1 Teste em regime de acoplamento forte

Usando o indutor primário da Figura 45(a) e o método descrito anteriormente, foi obtido experimentalmente o valor de η_T como plotado na Figura 52(a). O valor de A está em torno de 150 (multiplicando o valor de Q_{2r} medido pelos valores de Q_{1r} e k^2 da Tabela 9) para esta configuração, o que significa que o sistema opera na região de acoplamento forte. De acordo com (4.8) a eficiência do acoplamento nesta região somente depende de p , por-

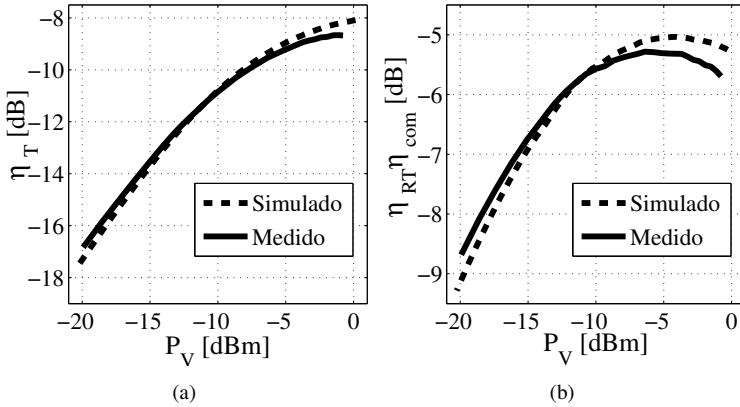


Figura 52: (a) Eficiência total no regime de acoplamento forte. (b) Eficiência combinada do retificador e a comunicação.

tanto pode ser estimado $\eta_{RT} \eta_{com}$ a partir da multiplicação de η_T por $(p + 1)$, resultando na curva sólida da Figura 52(b). O valor de p usado para este cálculo é o mesmo da Figura 35(b) e foi obtido via simulação.

5.5.2 Variação da eficiência com a frequência

O indutor primário com varactores na rede de casamento (Figura 45(b)) foi usado para medir a eficiência do sistema WPT em função da frequência da portadora. O teste foi realizado com $d = 1$ mm e potência de entrada mantida no valor constante de 0 dBm, resultando na curva da Figura 53. A eficiência apresenta o valor máximo de -16,3 dB em 986 MHz e diminui menos que 0,2 dB (5%) para uma faixa de ± 5 MHz.

5.5.3 Dependência da eficiência com a distância

A verificação experimental da eficiência foi também executada para diferentes distâncias entre o transmissor e o receptor WPT como mostrado na Figura 51(a). O chip foi colocado sobre uma superfície de teflon, que oferece pouca interferência aos campos elétricos e magnéticos. O transmissor foi posicionado na distância desejada com ajuda de uma máquina posicionadora

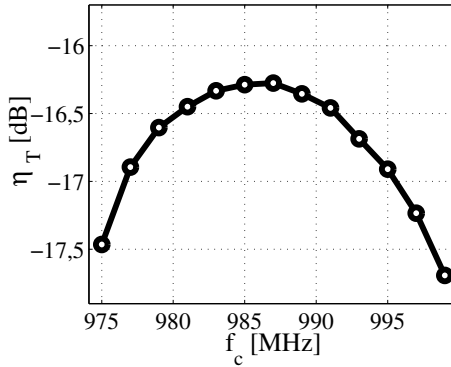


Figura 53: Eficiência total do sistema WPT em função da frequência da portadora quando $d = 1$ mm, $d_{avg1} = 8$ mm e $P_{in} = 0$ dBm.

CNC (*Computer Numerical Control*) [68]. As Figuras 54(a) e 54(b) mostram os resultados obtidos quando o indutor transmissor tem d_{avg1} de 8 mm (Figura 45(c)) e 22 mm (Figura 45(d)), respectivamente. A eficiência é maior na faixa de P_V entre -5 dBm e 0 dBm, pois a eficiência do retificador é maior nessa faixa e o valor de p está próximo a 1, que é o seu valor ótimo no regime de acoplamento fraco. As curvas correspondentes às maiores distâncias estão incompletas devido à limitação no nível de potência que o gerador de RF pode entregar.

A eficiência é fortemente dependente da distância, especialmente para distâncias maiores, onde o acoplamento é fraco. Para distâncias curtas, essa dependência diminui por causa da proximidade com a região de acoplamento forte. Isto explica porquê as curvas para 1 mm e 3 mm na Figura 54(a) são muito próximas. Para visualizar melhor a dependência da eficiência com a distância, foram extraídos os pontos de máximo de cada curva das Figuras 54(a) e 54(b) e plotados na Figura 55. O indutor primário com d_{avg1} de 8 mm foi projetado para a distância nominal de 5 mm. Por esse motivo, ele apresenta a melhor eficiência em distâncias menores do que 8 mm. Por outro lado, o indutor primário maior apresenta a melhor eficiência para distâncias maiores do que 8 mm.

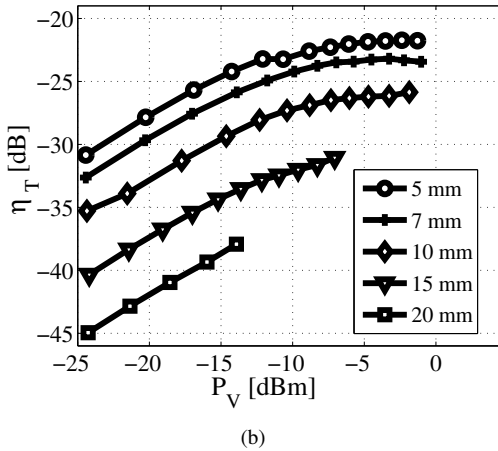
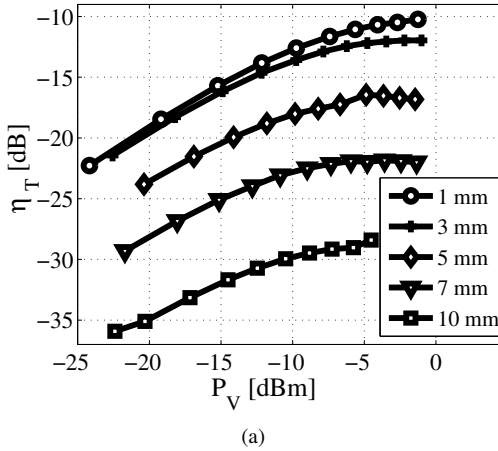


Figura 54: Eficiência total medida para várias distâncias com: (a) $d_{avg1} = 8$ mm. (b) $d_{avg1} = 22$ mm.

5.6 RESUMO DOS RESULTADOS E COMPARAÇÃO COM O ESTADO DA ARTE

Uma figura de mérito (FoM) para acoplamentos indutivos contendo receptores WPT miniaturizados foi proposta em [64]:

$$FoM = \frac{\eta_{rlk} \times d^3}{A_{Rx}^{3/2}}, \quad (5.14)$$

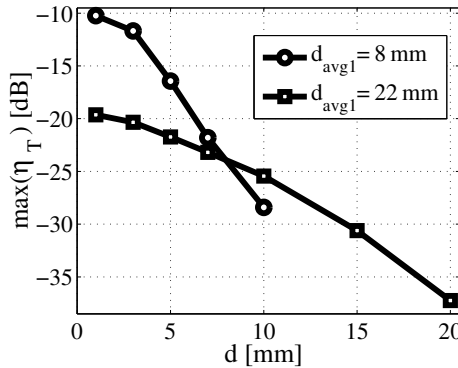


Figura 55: Máxima eficiência total medida em função da distância.

onde A_{Rx} é a área do receptor WPT em mm^2 , d é a distância entre os indutores em mm e η_{rlk} é a eficiência do acoplamento ressonante em valor percentual. A eficiência do acoplamento ressonante foi usada em lugar de η_{lk} e, portanto, o fator de qualidade da rede de casamento é considerado também. Na Tabela 10 são comparados alguns trabalhos representativos em acoplamentos indutivos com receptores WPT monolíticos. Na tabela pode ser visto que o sistema projetado e medido nesta tese exibe a melhor FoM . O valor de η_{rlk} mostrado na tabela foi obtido subtraindo η_T menos o valor de $\eta_{RT} \eta_{com}$ reportado na Figura 52(b). O valor elevado da FoM demonstra a pertinência do método de projeto usado, no qual cada fator contribuinte à eficiência foi otimizado. Entre esses fatores, é importante enfatizar o fator de qualidade do indutor integrado, que é maior do que 20,8 (20,8 é o fator de qualidade medido do ressonador LC). Este desempenho é considerado alto para um indutor fabricado em um processo CMOS convencional. As referências [67] e [44] usam passos de pós-processamento para fabricar o indutor receptor, o que pode, potencialmente, melhorar seu desempenho, mas com um custo financeiro elevado. Por outro lado, em [67] foi usado um substrato de alta resistividade, minimizando assim as perdas no substrato. Com relação ao método de medição, somente os receptores projetados em [69] e nesta tese foram testados em uma situação verdadeiramente sem-contato. Além disso, a eficiência reportada em [64] e [67] corresponde ao máximo ganho disponível (MAG) obtido a partir de uma medida de parâmetros S. Esse método mede a eficiência do acoplamento indutivo, mas não inclui as perdas da rede de casamento, que são indispensáveis em sistemas completos. Outro fato a notar é que o máximo fator de qualidade

Tabela 10: Acoplamentos indutivos (rodeados por ar) com receptor WPT monolítico.

	Área [mm ²]	Tecnologia do receptor	Q_2 (máx.)	f [MHz]	η_{rik} [%]	d [mm]	FoM
Esta tese	2,3	CMOS 180 nm	21	986	7,71	5	286
					1,02	10	302
					0,29	15	294
[64]	4,8	CMOS 130 nm	11	187	1,42*	10	159
[67]	20,3	Substrato de alta resistividade e pós-process.	20	7	4,3*	12	82
[69]	0,4	CMOS 180 nm	–	900	0,16	2	6
[44]	0,5	CMOS 130 nm pós-process.	3	2450	0,02	0,5	0,01

* Máximo ganho disponível calculado a partir dos parâmetros S.

em [64] e [67] acontece nas frequências de 101 MHz e 2,5 MHz respectivamente, que são menores do que as frequências onde foi reportada a máxima eficiência do acoplamento.

Em conclusão, foi proposto um método de projeto para otimizar cada um dos fatores que contribui para a eficiência de um sistema WPT baseado em acoplamento indutivo. O receptor WPT foi especificado para ser completamente integrado em um área de 1,5 mm × 1,5 mm em um processo CMOS 180 nm convencional. O principal desafio no projeto do receptor WPT foi maximizar o fator de qualidade do indutor integrado, o qual foi conseguido através da seleção adequada das dimensões do indutor e um layout cuidadoso do chip completo. O indutor resultante tem uma espira, um diâmetro médio de 1210 μm e uma largura de linha de 250 μm . Quando o indutor ressona em conjunto com um capacitor Dual-MIM, o fator de qualidade medido é de 20,8 em 990 MHz, que é considerado elevado para um indutor integrados CMOS. O indutor transmissor é fabricado em uma placa de FR4 e suas dimensões são escolhidas de modo a otimizar o fator de acoplamento magnético e o fator de qualidade. Por exemplo, o diâmetro médio ótimo do indutor transmissor é 22 mm quando os dois indutores estão separados 15 mm. Foi desenvolvida uma estratégia para a medição completamente sem contato do receptor WPT. A eficiência medida para a distância de 10 mm é 1,02% e este desempenho leva à melhor figura de mérito reportada na literatura, considerando o tama-

inho do receptor WPT monolítico.

6 AMPLIFICADOR DE POTÊNCIA PARA WPT

O sistema WPT tratado nos capítulos anteriores parte do pressuposto de que existe uma fonte de RF. Porém, uma definição mais abrangente do sistema WPT é apresentada na Figura 56(a). A fonte e a carga operam em DC, enquanto o acoplamento indutivo usa um sinal RF com uma frequência que deve ser escolhida para otimizar a eficiência. Como consequência, no primário é necessário contar com um conversor DC-RF para fornecer energia ao acoplamento indutivo, e no secundário é necessário outro bloco para fazer o processo inverso (conversão RF-DC). Uma forma comum de fazer a conversão DC-RF é usar um oscilador conectado a um amplificador de potência (PA), como mostrado na Figura 56(b). Dado que o PA deve entregar uma potência relativamente alta ao acoplamento mantendo uma eficiência de conversão alta, seu projeto também é um desafio no desenvolvimento de sistemas WPT.

Quando comparado a um PA com componentes discretos, um PA integrado em tecnologia CMOS oferece importantes vantagens, como reconfigurabilidade, área reduzida, menor custo e maior confiabilidade. A maior parte dos PA integrados usam topologias chaveadas como a classe-D [70] e a classe-E [71–76]. A popularidade da topologia classe-E deve-se à alta eficiência atingida na sua implementação discreta (de até 90%). Nesse caso, amplificadores classe-E de um estágio são preferidos também porque podem ser implementados com apenas um transistor. Por outro lado, o PA integrado pode ser diferencial para combinar a potência de dois estágios de saída. Por exemplo, em [76] foi implementado um PA classe-E diferencial com transistores CMOS resultando em uma eficiência de potência adicionada (PAE) de 70,7% com potência de saída de 29 dBm. Essa eficiência é alta em parte porque todos os componentes passivos (capacitores e indutores) foram colocados fora do chip, por isso eles podem ter fatores de qualidade altos. A integração completa em silício do amplificador classe-E é dificultada pelo fato de a topo-

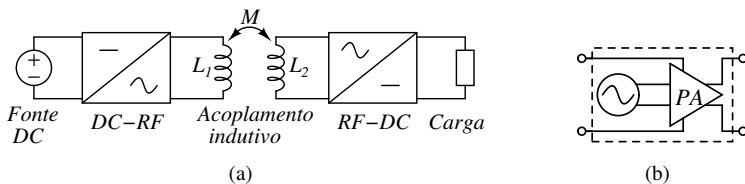


Figura 56: (a) Sistema WPT. (b) Conversão DC-RF.

logia exigir pelo menos um indutor RF-choke (ou dois no caso diferencial). Isso porque indutores integrados em CMOS apresentam baixo fator de qualidade e ocupam grandes áreas. Uma solução é o uso da indutância parasita da micro-solda [71–74]. No entanto, os valores dessa indutância são limitados e podem sofrer grande variação em relação ao valor esperado.

Por outro lado, o amplificador classe-D integrado é baseado em chaves NMOS e PMOS complementares, portanto não usa o indutor choke. Por esse motivo, a topologia classe-D é mais adequada para a integração em CMOS. Além disso, essa topologia apresenta uma característica de faixa larga porque seu núcleo não inclui circuitos ressonantes. Por exemplo, essa vantagem foi aproveitada em [70] onde foi projetado um amplificador classe-D diferencial com eficiência medida de 55% e 45% nas frequências 900 MHz e 2,4 GHz, respectivamente. Apesar do núcleo do PA em [70] ter sido integrado, a eficiência foi elevada com filtros LC de terceiro harmônico externos.

Neste capítulo é desenvolvida uma metodologia para projetar um PA classe-D integrado usado para energizar o sistema WPT descrito nos capítulos anteriores. A metodologia proposta soluciona o compromisso entre a resistência de condução e a capacitância de porta das chaves, resultando na escolha ótima da largura dos transistores. As equações apresentadas permitem o cálculo de todos os componentes do circuito incluindo os capacitores usados para a transformação de impedância.

6.1 PROJETO DO AMPLIFICADOR

6.1.1 Especificações

O PA proposto neste capítulo é destinado a entregar energia ao sistema WPT referido nos capítulos anteriores. Especificamente, o PA deve ser conectado ao indutor primário da Figura 45(d), que é o indutor de quatro segmentos com $d_{avg2} = 22$ mm e $w_{ind2} = 2,8$ mm; sendo que em cada abertura é colocado um capacitor de 1,5 pF como descrito na Seção 3.4. O acoplamento indutivo deve operar em 990 MHz, que é a frequência de ressonância do receptor WPT integrado. De acordo com os experimentos descritos no capítulo anterior foi especificada uma potência de 25 dBm a ser entregue ao indutor primário. Quando operando na região de acoplamento fraco, a impedância vista na entrada do acoplamento indutivo é aproximadamente a impedância do indutor primário. Através de simulação eletromagnética foi determinada a impedância do indutor primário na frequência de interesse:

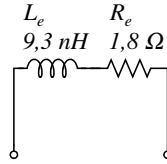


Figura 57: Impedância equivalente do indutor primário em 990 MHz.

$Z_e|_{(f=990MHz)} = 1,77\Omega + j57,8\Omega$. Essa impedância pode ser representada com um indutor em série com um resistor como mostrado na Figura 57.

6.1.2 Topologia

O diagrama do PA classe-D diferencial é mostrado na Figura 58. Os transistores M_1 a M_4 agem como chaves. Os drivers são necessários devido à capacitância de porta alta, dado que a largura dos transistores é da ordem dos mm. O driver N é diferente do driver P para garantir que as chaves liguem devagar e desliguem rápido. Dessa forma, é evitado o caminho de corrente direto entre V_{dd} e terra durante as transições. A carga do PA é o indutor primário representado por L_e e R_e . Os capacitores C_s , C_a e C_b formam a denominada rede de transformação de impedância. O capacitor C_a deve estar fora do chip porque a tensão nos terminais do indutor pode ultrapassar os valores permitidos nos componentes do chip. Por outro lado, a integração de C_s no chip apresenta pelo menos duas vantagens: 1) Baixo nível de harmônicos na saída do chip, o que leva a perdas menores de potência; 2) Tensão de saída maior, o que significa uma redução na corrente de saída para o mesmo nível de potência e, portanto, menos perdas na resistência parasita das ligações. A capacitância dos pads de saída e das micro-soldas pode ser incluída no capacitor C_b . Apesar de C_b poder ser totalmente integrada, foi decidido implementar uma parte do seu valor externamente para ter maior flexibilidade durante os testes.

O modelo da Figura 59(a) pode ser usado para entender a operação do PA. Cada transistor é representado por uma chave ideal com uma resistência série r_{on} para o transistor NMOS e r_{op} para o PMOS. A impedância de carga é transformada por C_a , C_b e C_s para a resistência R_s na frequência de interesse f_o . Supondo sinais de controle em f_o com transições ideais e ciclo útil de 50%, as ondas correspondentes à tensão (V_{RS}) e à corrente (I_{RS}) através de R_s são mostradas na Figura 59(b). As chaves M_1 e M_4 estão abertas durante o

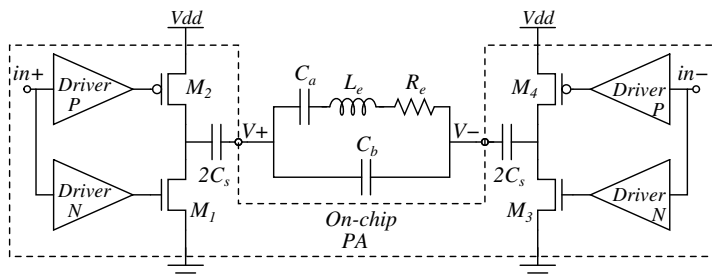


Figura 58: Topologia do PA.

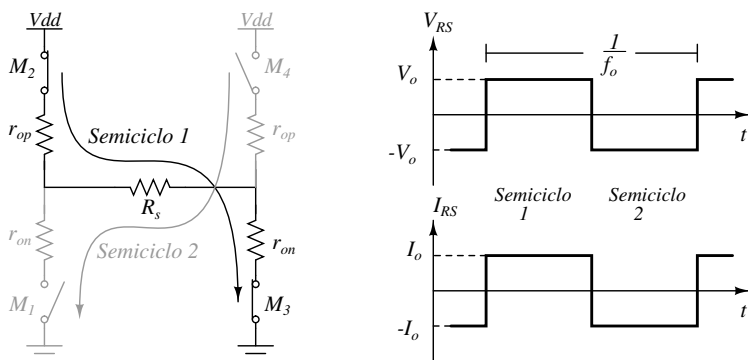


Figura 59: (a) Modelo do amplificador de potência. (b) Ondas de tensão e corrente.

primeiro semiciclo do sinal de controle, enquanto M_2 e M_3 estão fechadas. A magnitude da corrente (I_o) e da tensão (V_o) através de R_s são expressadas com (6.1) e (6.2) respectivamente. No segundo semiciclo todas as chaves mudam seu estado invertendo o sinal de V_{RS} e I_{RS} .

$$I_o = \frac{V_{dd}}{R_s + r_{on} + r_{op}} \quad (6.1)$$

$$V_o = \frac{V_{dd} R_s}{R_s + r_{on} + r_{op}}. \quad (6.2)$$

A potência tomada da fonte DC pode ser calculada multiplicando V_{dd}

e a corrente em (6.1), o que resulta em

$$P_{DC} = V_{dd}I_o = \frac{V_{dd}^2}{R_s + r_{on} + r_{op}}. \quad (6.3)$$

A potência entregue à carga é a potência consumida por R_s na frequência fundamental ($P_{Rs(1)}$). Somente a frequência fundamental é considerada devido à natureza passa-faixa da rede capacitiva combinada com o indutor. O valor de $P_{Rs(1)}$ está dado por:

$$P_{Rs(1)} = \frac{1}{2} \left(\frac{4V_o}{\pi} \right) \left(\frac{4I_o}{\pi} \right) = \frac{8V_{dd}^2 R_s}{\pi^2 (R_s + r_{on} + r_{op})^2}, \quad (6.4)$$

onde o fator $\left(\frac{4}{\pi} \right)$ corresponde à componente fundamental das ondas de tensão e de corrente da Figura 59(b), respectivamente. Na prática a onda de corrente I_{Rs} não é completamente quadrada porque a impedância equivalente para o terceiro harmônico (e de maior ordem) não é mais R_s . No entanto, a aproximação feita no modelo da Figura 59 é suficiente para descrever o comportamento do PA.

O valor requerido de R_s pode ser calculado de (6.4):

$$R_s = \frac{4V_{dd}^2}{\pi^2 P_{Rs(1)}} \left(1 + \sqrt{1 - \frac{\pi^2 P_{Rs(1)} (r_{on} + r_{op})}{2V_{dd}^2}} \right) - (r_{on} + r_{op}). \quad (6.5)$$

A expressão entre parênteses do primeiro termo em (6.5) tem a forma de $1 + \sqrt{1 - x}$, que pode ser aproximada a $2 - \frac{x}{2}$ para valores de x em torno de zero. Então o valor de R_s pode ser aproximado para

$$R_s \approx \frac{8V_{dd}^2}{\pi^2 P_{Rs(1)}} - 2(r_{on} + r_{op}). \quad (6.6)$$

A eficiência de potência η pode ser definida como:

$$\eta = \frac{P_{Rs(1)}}{P_{DC} + P_{drive}}, \quad (6.7)$$

onde P_{drive} é a potência usada pelos drivers para carregar a capacitância de

porta (C_g) das chaves e é dada por

$$P_{drive} = C_g V_{dd}^2 f_o, \quad (6.8)$$

onde $C_g = 1,5(2C_{gp} + 2C_{gn})$; C_{gp} e C_{gn} são as capacitâncias de porta dos transistores PMOS e NMOS respectivamente e o fator 1,5 é definido arbitrariamente para indicar o excesso de capacitância devido à implementação dos drivers. Usando (6.3), (6.4) e (6.8) em (6.7), pode-se obter a seguinte expressão para a eficiência do amplificador:

$$\eta = \frac{1}{\frac{\pi^2}{8} + \frac{\pi^2(r_{on} + r_{op})}{8R_s} + \frac{C_g V_{dd}^2 f_o}{P_{Rs(1)}}}. \quad (6.9)$$

6.1.3 Dimensionamento dos transistores

A equação (6.9) mostra a dependência da eficiência com a resistência de condução e a capacitância de porta dos transistores, as quais podem ser modeladas como

$$r_{on} + r_{op} = \frac{a}{W} \quad (6.10)$$

$$C_g = bW, \quad (6.11)$$

onde a e b são parâmetros obtidos em simulações; e W é a largura dos transistores. Os transistores NMOS e PMOS são projetados com a mesma largura apesar de r_{op} ser maior do que r_{on} . Uma tentativa de igualar r_{op} a r_{on} levaria a transistores PMOS maiores aumentando a capacitância de porta. O valor de V_{dd} é 1,8 V e corresponde à tensão nominal do transistor regular na tecnologia CMOS 180 nm. O comprimento de todos os transistores é escolhido no valor mínimo de 180 nm. Através de simulações feitas no software Cadence foi encontrado um valor de 7,8 nF/m para o parâmetro b . A resistência normalizada dos transistores PMOS e NMOS é plotada na Figura 60 em função das tensões dreno-fonte $|V_{dsp}|$ e V_{dsn} respectivamente. Os valores iniciais de $|V_{dsp}|$ e V_{dsn} devem ser estimados arbitrariamente para calcular a . Por exemplo, um valor inicial de 0,3 V para $|V_{dsp}|$ e 0,1 V para V_{dsn} resulta em um valor de 4,6 m Ω .m para a .

Substituindo (6.10) e (6.11) em (6.9) e reorganizando os termos, é

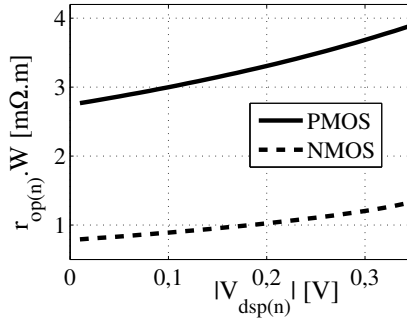


Figura 60: Resistência de condução dos transistores em função da tensão dreno-fonte.

possível encontrar a seguinte expressão para o recíproco da eficiência:

$$\frac{1}{\eta} = \frac{\pi^2}{8} + \frac{\pi^2}{8} \frac{1}{\left(\frac{8V_{dd}^2 W}{\pi^2 a P_{Rs(1)}} - 2 \right)} + \frac{b W V_{dd}^2 f_o}{P_{Rs(1)}}. \quad (6.12)$$

A equação (6.12) é uma função de W que apresenta um ponto de mínimo, no qual a eficiência é maximizada. Esse ponto corresponde à largura ótima e pode ser calculado como

$$W_{opt} = \frac{\pi^2 a P_{Rs(1)}}{8V_{dd}^2} \left(\frac{1}{\sqrt{abf_o}} + 2 \right). \quad (6.13)$$

A máxima eficiência η_{max} pode ser encontrada fazendo com que $W = W_{opt}$ em (6.12), resultando em

$$\frac{1}{\eta_{max}} = \frac{\pi^2}{8} \left(1 + 2\sqrt{abf_o} + 2abf_o \right). \quad (6.14)$$

De acordo com (6.14) a máxima eficiência somente depende das características da tecnologia (a e b) e da frequência. Para atingir essa eficiência R_s deve estar no seu valor ótimo R_{sopt} , que pode ser encontrado usando (6.6), (6.10) e (6.13):

$$R_{sopt} = \frac{8V_{dd}^2}{\pi^2 P_{Rs(1)}} \left(\frac{1}{1 + 2\sqrt{abf_o}} \right). \quad (6.15)$$

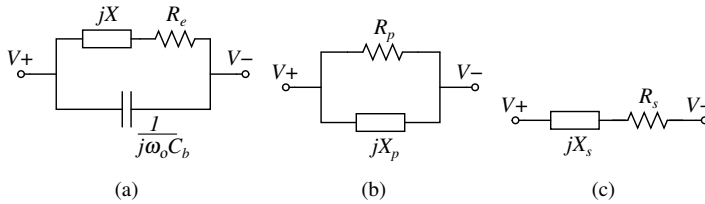


Figura 61: Impedância equivalente: (a) Primeira simplificação. (b) Paralela. (c) Série.

6.1.4 Rede de transformação de impedância

O cálculo dos componentes da rede de transformação de impedância pode ser feito simplificando o circuito da Figura 58 entre os nós $V+$ e $V-$. A primeira simplificação pode ser vista na Figura 61(a), onde as reatâncias L_e e C_a foram somadas na frequência angular $\omega_o = 2\pi f_o$. A reatância resultante X é dada por

$$X = \omega_o L_e - \frac{1}{\omega_o C_a}. \quad (6.16)$$

A impedância da Figura 61(a) pode ser convertida no circuito paralelo da Figura 61(b) ou no circuito série da Figura 61(c). No equivalente série aparece a resistência R_s que é a mesma usada no modelo do PA, portanto a reatância jX_s deve ser cancelada com a impedância do capacitor série $-j/(\omega_o C_s)$. A resistência paralela equivalente R_p deve ser escolhida de tal forma a não ultrapassar os limites de tensão para cada capacitor integrado de valor $2C_s$. Então o valor de R_p é calculado assim:

$$R_p = \frac{V_H^2}{2P_{Rs(1)}}, \quad (6.17)$$

onde V_H é a tensão pico-pico permitida em cada nó de saída diferencial $V+$ e $V-$. De acordo com o fabricante, os nós de saída podem tolerar tensões de ± 5 V, permitindo uma tensão pico-pico de 10 V em cada nó. O valor de V_H usado no projeto do PA foi 9 V para assegurar uma margem para variação. A admitância equivalente (Y) do circuito na Figura 61(a) é dada por:

$$Y = \frac{R_e}{R_e^2 + X^2} + j \left(\omega_o C_b - \frac{X}{R_e^2 + X^2} \right). \quad (6.18)$$

A parte real de Y deve ser igual a $1/R_p$, portanto é possível calcular X como expressado em (6.19). Usando (6.16) e (6.19), pode ser encontrado o valor de C_a :

$$X = \sqrt{R_e(R_p - R_e)} \quad (6.19)$$

$$C_a = \frac{1}{\omega_o(\omega_o L_e - \sqrt{R_e(R_p - R_e)})}. \quad (6.20)$$

A impedância equivalente é o recíproco de Y , como mostrado em (6.21). A capacitância C_b pode ser encontrada igualando a parte real de Z a R_s :

$$Z = \frac{1}{Y} = \frac{R_e + j(X - \omega_o C_b X^2 - \omega_o C_b R_e^2)}{(1 - \omega_o C_b X)^2 + (\omega_o C_b R_e)^2} \quad (6.21)$$

$$C_b = \frac{1}{\omega_o R_p} \left(\sqrt{\frac{R_p}{R_e}} - 1 - \sqrt{\frac{R_p}{R_s}} - 1 \right). \quad (6.22)$$

O valor de X_s e, portanto, C_s podem ser calculados da equivalência entre os circuitos da Figura 61(b) e da Figura 61(c), resultando em:

$$C_s = \frac{1}{\omega_o \sqrt{R_s(R_p - R_s)}}. \quad (6.23)$$

6.1.5 Metodologia de projeto

A metodologia de projeto pode ser resumida nos seguintes passos:

- i. O projeto do PA parte das especificações de $P_{Rs(1)}$, f_o e da carga R_e e L_e . Também é importante conhecer as limitações tecnológicas, como V_{dd} e V_H .
- ii. Calcular o valor de R_p usando (6.17).
- iii. Simular os transistores PMOS e NMOS para obter o parâmetro b e as curvas de $(r_{op}W)$ e $(r_{on}W)$ como mostrado na Figura 60.
- iv. Estimar o valor do parâmetro a , a partir das curvas da Figura 60 supondo um valor para $|V_{dsp}|$ e para V_{dsn} .

Tabela 11: Resultados numéricos da metodologia de projeto.

i	$P_{Rs(1)}$	316	mW	iv	a	4,3	m Ω .m
	f_o	990	MHz	v	W_{opt}	3,9	mm
	R_e	1,8	Ω		R_{sopt}	6,1	Ω
	L_e	9,3	nH	vi	$ V_{dsp} $	220	mV
	V_{dd}	1,8	V		V_{dsn}	54	mV
	V_H	9	V	vii	C_s	5,9	pF
	ii	R_p	128,1		Ω	C_a	3,8
iii		b	7,8		nF/m	C_b	4,9

- v. Calcular o valor ótimo da largura dos transistores W_{opt} e para a resistência equivalente R_{sopt} usando (6.13) e (6.15) respectivamente.
- vi. Encontrar $|V_{dsp}| = I_{orop}$ e $V_{dsn} = I_{oron}$ substituindo W_{opt} e R_{sopt} em (6.10) e (6.1). Com os valores atualizados de $|V_{dsp}|$ e V_{dsn} repetir os passos 4) a 6) até que o valor de a não mude significativamente.
- vii. Calcular as capacitâncias C_a , C_b e C_s de (6.20), (6.22) e (6.23) respectivamente.

As equações apresentadas para a transformação de impedância supõem que R_p é maior do que R_e , e que R_p é maior do que R_s . Se uma dessas condições não for respeitada, a rede de transformação deve ter uma configuração diferente.

A metodologia de projeto foi executada e os resultados são mostrados na Tabela 11. Inicialmente foi suposto que $|V_{dsp}|$ era 0,3 V e que V_{dsn} era 0,1 V, resultando em um valor de 4,6 m Ω .m para a . Na segunda iteração o projeto convergiu, o valor de a foi corrigido para 4,3 m Ω .m. Os valores finais são apresentados na Tabela 11. A máxima eficiência teórica calculada com (6.14) é 57%. Com base nos resultados da Tabela 11 foi calculado um erro de 3,5% na aproximação feita de (6.5) para (6.6).

6.2 IMPLEMENTAÇÃO

6.2.1 Implementação do circuito

O circuito foi implementado com base no diagrama da Figura 58. Cada transistor M_1 a M_4 foi dividido em 15 células unitárias. Cada célula unitária

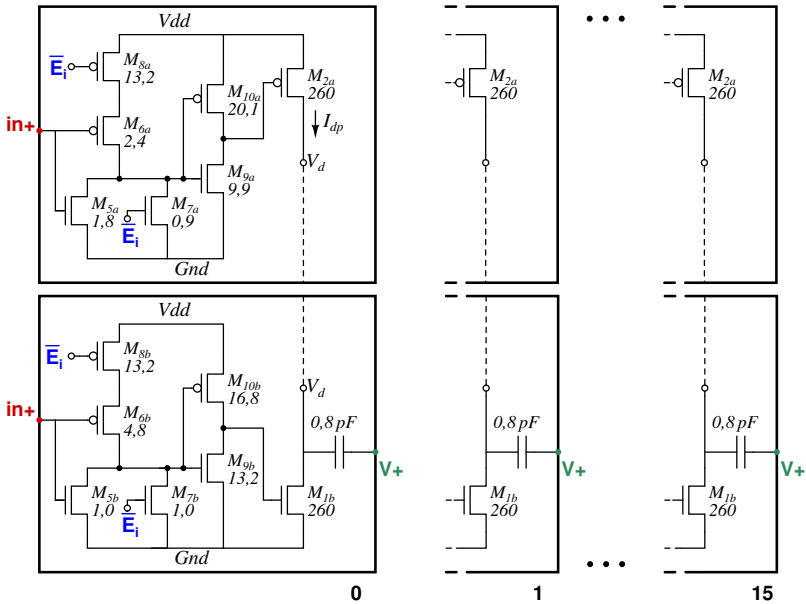


Figura 62: Metade do PA diferencial e detalhe das células unitárias.

pode ser ativada ou desativada com um sinal \bar{E}_i proporcionando um controle digital sobre a potência de saída. A metade do PA correspondente ao nó de saída $V+$ é mostrada na Figura 62. O comprimento de canal é 180 nm para todos os transistores e a largura é indicada na figura com unidades em μm . Os transistores $M_{5a(b)}$ a $M_{10a(b)}$ foram projetados para controlar as chaves principais na frequência especificada considerando que as transições devem ser lentas para ativar as chaves e rápidas para desativá-las. O capacitor $2C_s$ foi também dividido em 15 partes, de tal forma que uma capacitância de 0,8 pF foi incluída em cada célula unitária, como mostrado na Figura 62. Cada capacitor foi integrado usando a opção MIM, que possui alto fator de qualidade.

6.2.2 Layout

O layout do chip completo é mostrado na Figura 63(a) e o layout de uma célula unitária é mostrado na Figura 63(b). O posicionamento dos blocos dentro do chip é muito importante, dado que a corrente fornecida através dos

pinos de alimentação DC (Gnd e Vdd) pode ser de até 300 mA. Por esse motivo, foram destinados vários pads para cada nó: Gnd (12), Vdd (8), $V+$ (7) e $V-$ (7). Os pads foram organizados para facilitar o processo de micro-soldas entre o chip e a placa de circuito impresso como mostrado na Figura 63(c), onde o chip aparece rotacionado 45° em sentido anti-horário. Com essa configuração, o comprimento das micro-soldas e as ligações dentro do chip são mantidos tão curtos quanto possível. Cada trilha de metal que liga os pads da fonte às células unitárias tem uma largura de $175 \mu\text{m}$ e é desenhada no metal mais espesso da tecnologia para diminuir a resistência série e portanto a queda de tensão. Capacitores dual-MIM foram incluídos entre Gnd e Vdd usando o espaço embaixo das largas trilhas de metal, filtrando assim a tensão de alimentação. O layout de cada célula unitária ocupa um área de somente $60 \mu\text{m} \times 55 \mu\text{m}$. Essas células são posicionadas em fila atrás dos pads de saída, dessa forma a corrente tomada das trilhas de alimentação e entregue aos pads de saída é bem distribuída.

6.2.3 Resultados

O circuito e as resistências e capacitâncias parasitas foram extraídos do layout e simulações pós-layout foram feitas no Cadence. O capacitor C_a e os valores da carga são aqueles informados na Tabela 11. O valor de C_b deve ser significativamente menor do que o calculado na Tabela 11 devido às capacitâncias dos pads. Os resultados de simulação são mostrados na Figura 64 em função de C_b . A potência de saída de 25,1 dBm é atingida com uma eficiência de 58% quando $C_b=3,4 \text{ pF}$, um valor próximo do ponto de máxima eficiência. A excursão de tensão para $C_b=3,4 \text{ pF}$ é 9,8 V, que está dentro dos limites especificados. Da Figura 64 pode ser inferida a variação de desempenho do PA devido à resolução nos valores dos capacitores discretos, a resolução para o conjunto de capacitores discretos disponíveis é de 0,1 pF. De acordo com a figura, um valor de $3,4 \pm 0,1 \text{ pF}$ para C_b resulta na potência de saída de $25,1 \mp 0,1 \text{ dBm}$ com eficiência de $58\% \pm 0,6\%$.

Os sinais no domínio do tempo correspondentes a uma célula unitária do PA são mostrados na Figura 65 para $C_b=3,4 \text{ pF}$. V_d é a tensão de dreno nas chaves e I_{dp} é a corrente de dreno no transistor PMOS como sinalizado na Figura 62. A forma de onda da tensão é quadrada como indicado pelo modelo do PA. A queda de tensão $|V_{dsp}|$ quando o transistor PMOS está conduzindo está perto do valor estimado de 220 mV. No outro semiciclo, a queda de tensão no NMOS V_{dsn} também está perto do valor calculado de 54 mV. A forma de

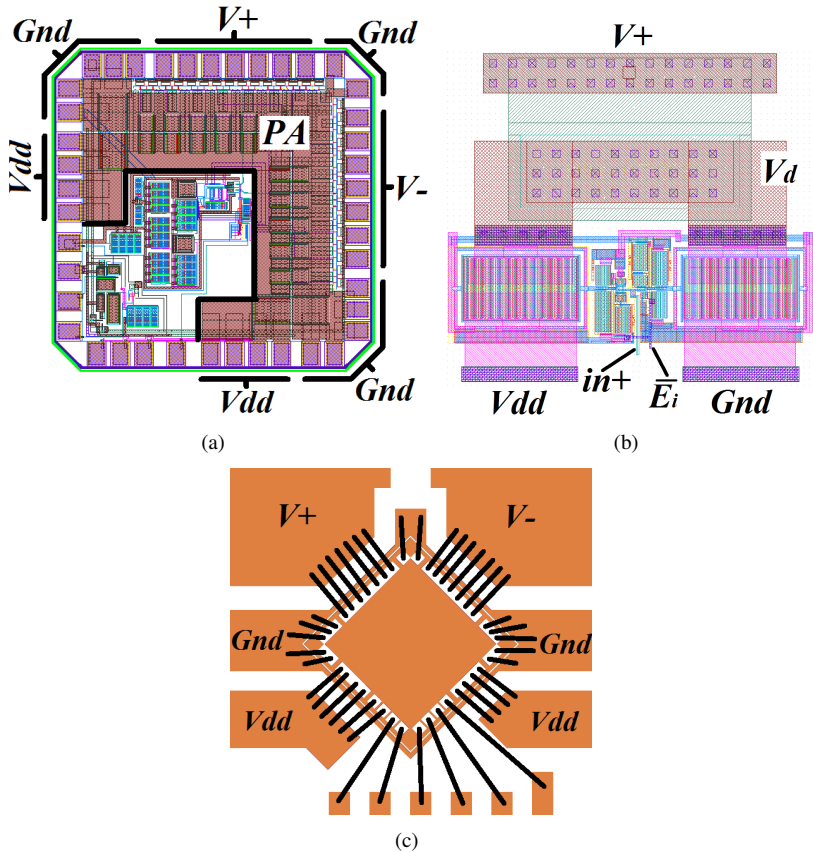


Figura 63: Amplificador de potência CMOS: (a) Layout $1,5 \text{ mm} \times 1,5 \text{ mm}$. (b) Layout de célula unitária. (c) Diagrama de micro-soldas.

onda da corrente I_{dp} apresenta menos similaridade com a forma quadrada. No entanto, seu valor de pico está próximo da componente de frequência fundamental calculada $\left(\frac{4I_o}{\pi} \cdot \frac{1}{15}\right)$, que corresponde a 21,3 mA. Outra onda mostrada na Figura 65 é a tensão em um dos nós de saída diferencial ($V+$). A onda tem forma senoidal com excursão entre -5 V e 5 V aproximadamente.

Outras simulações foram feitas varrendo o número de células ativadas (N_c). Os resultados são mostrados na Figura 66. A curva marcada

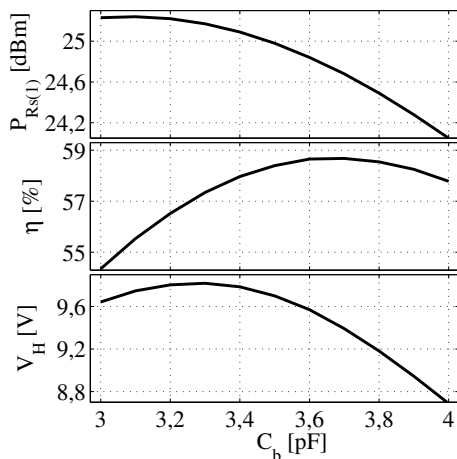


Figura 64: Potência de saída, eficiência e tensão de excursão no nó V+.

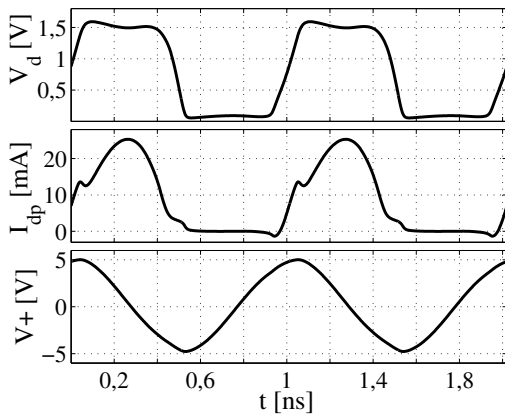


Figura 65: Formas de onda no domínio do tempo em célula unitária do PA.

com círculos corresponde à configuração otimizada para $Nc=15$ ($C_a=3,8$ pF e $C_b=3,4$ pF). Nessa configuração, a potência de saída pode ser escolhida entre 3 dBm e 25 dBm com eficiência variando entre 10% e 58% respectivamente. Para valores baixos de Nc , a eficiência pode ser aumentada ajustando os capacitores C_a e C_b como indicado na Figura 66. Com o valor ajustado, a potência

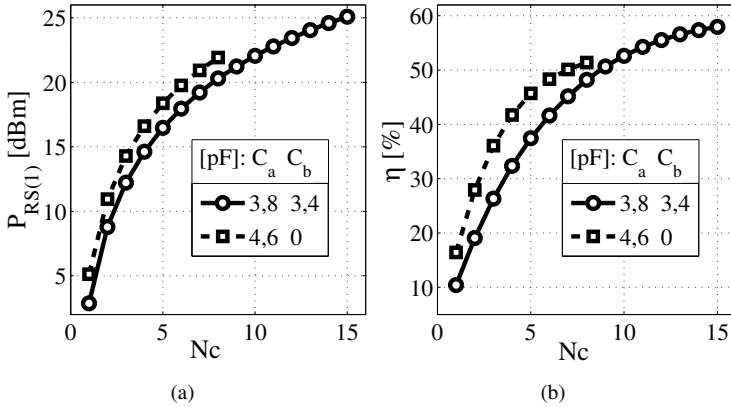


Figura 66: Varredura no número de células ativadas no PA. (a) Potência de saída. (b) Eficiência.

de saída varia entre 5 dBm e 22 dBm com eficiência de 16% e 51% respectivamente. O maior valor de N_c não pode ser usado nessa configuração porque o valor de V_H ultrapassaria o limite especificado de 10 V.

Na Tabela 12 são comparados os resultados do PA projetado nesta tese com outros PAs integrados em CMOS com especificações parecidas. Porém, os trabalhos mostrados na tabela possuem diferentes níveis de integração. O PA projetado em [75] é completamente integrado, ele usa um transformador on-chip para combinar a potência de dois estágios de saída diferenciais. No entanto, ele apresenta a pior eficiência e a maior área ocupada entre as referências comparadas. No sentido oposto está o PA implementado em [76], onde somente os transistores foram integrados; todos os capacitores e indutores são externos ao chip, o que levou à melhor eficiência e menor área de silício entre os trabalhos comparados. Em [71], as micro-soldas foram usadas como indutores, mas, como dito anteriormente, a indutância das micro-soldas tem valores limitados e sofre de grandes variações de processo.

O PA projetado nesta tese é altamente integrado, a área de silício foi mantida em um valor baixo ao evitar o uso de indutores e somente dois capacitores foram deixados fora do chip para efeito de testes. A eficiência atingida é a melhor entre as referências com alto grau de integração e foi obtida devido à metodologia de projeto proposta, que considera o compromisso entre a resistência de condução e a capacitância de porta das chaves para escolher a largura ótima dos transistores.

Tabela 12: Comparação de PAs integrados em CMOS.

Ref.	f_o [MHz]	$P_{RS(1)}$ [dBm]	η [%]	Área [mm ²]	Tec. [nm]	Classe	Indutores
[75]	800	30,4	40,7	5	180	E	Transformador on-chip
[71]	900	29,5	41	4	250	E	Microsoldas
[70]	900	24,4	55	1,2	45	D	Externos
Esta tese	990	25,1	58	1,5	180	D	Não tem
[76]	820	29	70,7	0,5	180	E	Externos

7 CONTRIBUIÇÕES E DESDOBRAMENTOS

7.1 RESUMO DAS CONTRIBUIÇÕES

De forma geral, a pesquisa desenvolvida demonstrou a possibilidade de energizar remotamente sistemas miniaturizados. Sendo que a eficiência do sistema projetado e verificado experimentalmente se destaca em relação aos trabalhos representativos do estado da arte, isto considerando a distância entre o transmissor e o receptor e também o tamanho do receptor. Duas características marcaram o percurso do trabalho: a modelagem e a verificação experimental. Os modelos são importantes porque esclarecem a dependência entre a figura de mérito e as variáveis de projeto. Com base nos modelos desenvolvidos nesta tese, foram propostas várias metodologias de projeto. Dentre essas metodologias cabe destacar o projeto do acoplamento indutivo, do receptor WPT e do amplificador de potência. A verificação experimental é importante para verificar os modelos propostos e porque ela mostra questões relevantes à implementação dos sistemas que muitas vezes não são vistas no processo teórico.

O primeiro modelo que é apresentado nesta tese é o modelo para o indutor planar, no Capítulo 2. Nesse modelo são compiladas equações sobre efeitos bem conhecidos como o efeito pelicular e o efeito da radiação. Outros efeitos, como aquele atribuído hipoteticamente à redistribuição radial da corrente, são vistos em simulações eletromagnéticas, mas carecem de um modelo teórico (no conhecimento do autor). Esse problema foi contornado com o uso de um modelo empírico. A importância do modelo do indutor ficou evidente quando foram deduzidas expressões para o máximo fator de qualidade do indutor e para a frequência onde ele acontece. Essas expressões mostram o grau de dependência do máximo fator de qualidade com as características da tecnologia e do meio. Essa informação pode ser útil, por exemplo, quando analisado o efeito de colocar um dielétrico com permissividade alta em contato com o indutor. Nesse caso o fator de qualidade diminui mesmo que o dielétrico não dissipe potência, o motivo para isso é o aumento nas perdas por radiação. Uma análise parecida pode ser feita quando colocado um tecido biológico perto do indutor. No Capítulo 2 também foram apresentados modelos para a interação entre o indutor e os materiais dispersivos, esses modelos são importantes no entendimento do efeito que os diferentes substratos têm sobre o desempenho do indutor.

Outro modelo que foi fundamental para o projeto do sistema WPT

com eficiência otimizada é o modelo do acoplamento indutivo, apresentado no Capítulo 3. Com base nesse modelo simples foi possível deduzir a equação que descreve a eficiência em função dos quatro fatores representativos: k , Q_1 , Q_2 e p . A novidade com relação a outros trabalhos na literatura é precisamente a introdução da variável p , que serve como referência para a adaptação de impedância no lado secundário. Outro ponto forte dessa equação obtida é que ela é válida para todas as regiões de acoplamento. Mais do que isso, ela permite definir um critério quantitativo para considerar o acoplamento fraco ou forte. Esse critério foi estudado no começo do Capítulo 4.

A forma da equação da eficiência também facilitou a abordagem do problema de projeto de acoplamentos indutivos como um programa geométrico. Uma metodologia de projeto foi definida usando a programação geométrica e os resultados da aplicação do método foram verificados através de simulação eletromagnética. Um conjunto de indutores foi fabricado e medido validando os modelos e o método aplicado. Um dos desafios desse experimento foi a necessidade de uma estrutura mecânica para garantir o alinhamento e distância entre os indutores sem interferir nos seus campos elétrico e magnético. Com esse propósito foram usados blocos de teflon. Outro desafio foi atingir um alto fator de qualidade nas redes de adaptação de impedância, para isso foram usados capacitores SMD de alto fator de qualidade. Para acessar os terminais dos indutores foram usados cabos e conectores U.FL, que interferem menos com o indutor por serem menores que os conectores SMA.

O projeto dos acoplamentos indutivos baseado na programação geométrica mostrou que o tamanho ótimo do indutor primário tem que ser maior do que o indutor secundário, e que o indutor maior limita a frequência de operação e, por consequência, limita também a eficiência. Para superar esse limite foi proposto o uso do indutor segmentado. Um modelo foi desenvolvido para o indutor segmentado com base no modelo do indutor planar, esse modelo permite entender a extensão da frequência de operação do indutor e cria as bases para o projeto do mesmo.

Quanto ao receptor de energia sem-fio completamente integrado, cabe destacar dois aspectos importantes: a estratégia de teste e o projeto de receptor. Desde a concepção do sistema, o projeto do receptor foi orientado para poder ser testado verdadeiramente sem-fio. Por esse motivo foi proposta a implementação de um oscilador controlado pela fonte de alimentação para ser usado como carga. Como mostrado no Capítulo 4, esse oscilador demonstrou ser bastante útil em vários sentidos. A relação tensão-corrente do oscilador (resistência equivalente) varia com a tensão, sendo que para baixas tensões

o consumo de corrente do oscilador é baixo, facilitando a inicialização do sistema. Por outro lado, essa característica não linear da corrente consumida pelo oscilador faz com que o sistema opere em uma faixa ampla de níveis de potência. O oscilador também faz a função de transdutor, convertendo o valor de tensão de alimentação em uma quantidade de frequência que pode ser percebida no lado transmissor sem distorções. Apesar do oscilador ter sido projetado apenas para os testes, ele deixa também uma lição de como a carga deve ser adaptativa. Por exemplo, quando a tensão de alimentação for baixa, a carga deve realizar menos funções para consumir menos, e quando a tensão de alimentação for alta, o circuito alimentado pode aproveitar a potência excedente para cumprir mais tarefas.

Como medida do desempenho do receptor pode ser adotado o fator de qualidade do indutor (ressonador) integrado, cujo valor foi verificado experimentalmente como sendo 20,8 na frequência de ressonância 990 MHz. Esse valor é considerado alto para um indutor integrado em tecnologia CMOS convencional e foi obtido pela escolha ótima das dimensões e frequência do indutor, e pelo cuidadoso layout de todos os circuitos, incluindo o capacitor de ressonância que foi desenhado para ter alto fator de qualidade. No layout foram evitadas grandes áreas cobertas de metal, assim como qualquer caminho condutor fechado que permitisse a circulação de correntes induzidas pelo fluxo magnético. Nesse sentido, foi demonstrado experimentalmente que um anel de guarda condutor ao redor do chip pode diminuir o fator de qualidade quase pela metade. Esse anel de guarda, denominado anel de *Crack-Stop*, é colocado pelo fabricante para proteger o chip da umidade, contaminação iônica e de danos durante os processos de corte e empacotamento. No entanto, essa estrutura poderia ser projetada para manter a proteção do chip sem interferir no campo magnético.

O método proposto para medição sem-contato do ressonador LC demonstrou ser bastante útil para a caracterização do chip. O método é bastante simples e não-invasivo, permitindo que todas as amostras pudessem ser medidas sem nenhuma alteração. O método também pôde ser usado para medir ressonadores LC de diferentes tamanhos, mostrando-se útil na estimação do fator de qualidade dos indutores fabricados em placa de circuito impresso. A medição desses indutores impressos é difícil quando conectados diretamente ao VNA, os dados medidos do VNA mostram alta sensibilidade ao processo de calibração devido ao fator de qualidade elevado dos indutores.

Finalmente, foi proposto um modelo para descrever o comportamento do PA classe-D diferencial. Além de fornecer uma visão sobre as limitações impostas pela tecnologia, o modelo serviu como base para propor uma me-

tecnologias de projeto do PA, na qual foi solucionado o compromisso entre a resistência de condução e a capacitância de porta das chaves. Essa solução foi traduzida na escolha das dimensões ótimas para os transistores que funcionam como chaves.

7.2 DESDOBRAMENTOS FUTUROS

Um trabalho que complementa o sistema WPT é a implementação integral do transmissor WPT, onde devem ser projetados e otimizados blocos como um sintetizador de frequência, que gera o sinal de entrada do PA, e também o detector de envelope, que demodula a resposta enviada pelo receptor WPT através do backscattering. Esse sistema completo pode ser usado para pesquisas sobre como otimizar a comunicação.

Através das medições da eficiência foi percebido que a melhor eficiência do sistema WPT projetado acontece quando a potência recebida P_V está entre -5 dBm e 0 dBm. Contudo, em algumas aplicações a potência consumida pelo receptor é menor do que esses valores, por esse motivo deve ser estudada uma forma de deslocar o ponto de máxima eficiência para potências mais baixas. Sendo desejável que esse deslocamento não tenha uma penalidade significativa na eficiência. Por exemplo, aumentar o número de espiras do indutor incrementa o valor de R_2 e, portanto, diminui a potência na qual acontece a máxima eficiência, mas com uma penalidade devido a diminuição do fator de qualidade. Outra limitação é a tensão mínima de operação do retificador. É possível diminuir a tensão mínima de operação do retificador usando transistores de zero-vt (tensão de limiar menor ou igual a zero), no entanto esses transistores têm um comprimento mínimo de canal que na tecnologia usada é de $1 \mu\text{m}$, ou seja muito maior do que o comprimento mínimo dos transistores regulares ($0,18 \mu\text{m}$). Sendo assim, retificadores implementados com transistores zero-vt possuem eficiências de conversão significativamente menores.

O sistema WPT implementado também pode ser usado como ferramenta para estudar a interação entre o acoplamento indutivo e tecidos biológicos ou outros tipos de materiais. Por exemplo, poderia ser projetado algum experimento para medir o aumento da temperatura nos tecidos devido aos campos eletromagnéticos.

Existem vários tipos de sensores que podem ser implementados na tecnologia CMOS convencional. Esses sistemas podem usar o sistema wpt proposto para viabilizar implantes corporais monolíticos autônomos energe-

ticamente.

Outra aplicação bastante próxima ao sistema projetado é o RFID. Nesse caso, seria preciso projetar os circuitos digitais e incluí-los na área interna do indutor. Para essa aplicação é necessário contar com uma memória programável, que pode ser do tipo OTP (*One-Time Programmable*) ou MTP (*Multiple-Time Programmable*).

A região de acoplamento forte também pode ser aproveitada. Nesse sentido, o sistema WPT pode ser usado para energizar e fazer a comunicação entre um chip e uma placa de circuito impresso. Como essa troca de energia e dados acontece sem-contato, essa técnica elimina a necessidade de fazer soldas entre o chip e a placa. Isto traz vantagens na produção de sistemas eletrônicos, como a redução de custo e aumento na confiabilidade. Além disso, facilita o teste automatizado de chips quando ainda estão no wafer.

REFERÊNCIAS

- [1] PERERA, C.; LIU, C.; JAYAWARDENA, S. The Emerging Internet of Things Marketplace From an Industrial Perspective: A Survey. *IEEE Transactions on Emerging Topics in Computing*, PP, n. 99, p. 1–1, 2015. ISSN 2168-6750.
- [2] WANT, R.; SCHILIT, B.; JENSON, S. Enabling the Internet of Things. *Computer*, v. 48, n. 1, p. 28–35, jan. 2015. ISSN 0018-9162.
- [3] VIANI, F. et al. Wireless Architectures for Heterogeneous Sensing in Smart Home Applications: Concepts and Real Implementation. *Proceedings of the IEEE*, v. 101, n. 11, p. 2381–2396, nov. 2013. ISSN 0018-9219.
- [4] SU, K.; LI, J.; FU, H. Smart city and the applications. In: *2011 International Conference on Electronics, Communications and Control (ICECC)*. 2011. p. 1028–1031.
- [5] NGUYEN, C. et al. Wireless sensor nodes for environmental monitoring in Internet of Things. In: *2015 IEEE MTT-S International Microwave Symposium (IMS)*. 2015. p. 1–4.
- [6] PRASSE, C.; NETTSTRAETER, A.; HOMPEL, M. T. How IoT will change the design and operation of logistics systems. In: *2014 International Conference on the Internet of Things (IOT)*. 2014. p. 55–60.
- [7] GOPE, P.; HWANG, T. BSN-Care: A Secure IoT-based Modern Healthcare System Using Body Sensor Network. *IEEE Sensors Journal*, PP, n. 99, p. 1–1, 2015. ISSN 1530-437X.
- [8] LEE, S.-Y. et al. A Programmable Implantable Microstimulator SoC With Wireless Telemetry: Application in Closed-Loop Endocardial Stimulation for Cardiac Pacemaker. *IEEE Transactions on Biomedical Circuits and Systems*, v. 5, n. 6, p. 511–522, dez. 2011. ISSN 1932-4545.
- [9] WISE, K. D. et al. High-density cochlear implants with position sensing and control. *Hearing Research*, v. 242, n. 1-2, p. 22 – 30, 2008. ISSN 0378-5955. Frontiers of auditory prosthesis research: Implications for clinical practice. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0378595508000737>>.

- [10] MONGE, M. et al. A Fully Intraocular High-Density Self-Calibrating Epiretinal Prosthesis. *IEEE Transactions on Biomedical Circuits and Systems*, v. 7, n. 6, p. 747–760, dez. 2013. ISSN 1932-4545.
- [11] KOUZANI, A. et al. A Low Power Micro Deep Brain Stimulation Device for Murine Preclinical Research. *IEEE Journal of Translational Engineering in Health and Medicine*, v. 1, p. 1500109–1500109, 2013. ISSN 2168-2372.
- [12] AHMADI, M.; JULLIEN, G. A Wireless-Implantable Microsystem for Continuous Blood Glucose Monitoring. *IEEE Transactions on Biomedical Circuits and Systems*, v. 3, n. 3, p. 169–180, jun. 2009. ISSN 1932-4545.
- [13] JOHANNESSEN, E. et al. Toward an Injectable Continuous Osmotic Glucose Sensor. *J Diabetes Sci Technol*, v. 4, n. 4, p. 882–892, jul. 2010.
- [14] GOUGH, D. A. et al. Function of an Implanted Tissue Glucose Sensor for More than 1 Year in Animals. *Science Translational Medicine*, v. 2, n. 42, p. 42ra53, 2010. Disponível em: <<http://stm.sciencemag.org/content/2/42/42ra53.abstract>>.
- [15] OCCHIUZZI, C.; CONTRI, G.; MARROCCO, G. Design of Implanted RFID Tags for Passive Sensing of Human Body: The STENTag. *IEEE Transactions on Antennas and Propagation*, v. 60, n. 7, p. 3146–3154, jul. 2012. ISSN 0018-926X.
- [16] OUDA, M. et al. 5.2-GHz RF Power Harvester in 0.18- μm CMOS for Implantable Intraocular Pressure Monitoring. *IEEE Transactions on Microwave Theory and Techniques*, v. 61, n. 5, p. 2177–2184, maio 2013. ISSN 0018-9480.
- [17] CHEN, G. et al. A cubic-millimeter energy-autonomous wireless intraocular pressure monitor. In: *2011 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*. 2011. p. 310–312.
- [18] BOECK, J. D. Game-changing opportunities for wireless personal healthcare and lifestyle. In: *2011 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*. 2011. p. 15–21.
- [19] BJORNINEN, T. et al. Design of Wireless Links to Implanted Brain-Machine Interface Microelectronic Systems. *IEEE Antennas and Wireless Propagation Letters*, v. 11, p. 1663–1666, 2012. ISSN 1536-1225.

- [20] CHO, S.-H. et al. A SU-8-Based Fully Integrated Biocompatible Inductively Powered Wireless Neurostimulator. *Journal of Microelectromechanical Systems*, v. 22, n. 1, p. 170–176, fev. 2013. ISSN 1057-7157.
- [21] THURGOOD, B. et al. A Wireless Integrated Circuit for 100-Channel Charge-Balanced Neural Stimulation. *IEEE Transactions on Biomedical Circuits and Systems*, v. 3, n. 6, p. 405–414, dez. 2009. ISSN 1932-4545.
- [22] ROSS, P. Diabetes has a new enemy: Robo-pancreas. *IEEE Spectrum*, v. 52, n. 6, p. 40–44, jun. 2015. ISSN 0018-9235.
- [23] PRODRONAKIS, T. et al. Biocompatible Encapsulation of CMOS Based Chemical Sensors. In: *2009 IEEE Sensors*. 2009. p. 791–794.
- [24] WEISER, M. The Computer for the 21st Century. *SIGMOBILE Mob. Comput. Commun. Rev.*, v. 3, n. 3, p. 3–11, jul. 1999. ISSN 1559-1662.
- [25] AYAZIAN, S.; HASSIBI, A. Delivering optical power to subcutaneous implanted devices. In: *2011 Annual International Conference of the IEEE Engineering in Medicine and Biology Society, EMBC*. 2011. p. 2874–2877.
- [26] ZHANG, F. et al. A batteryless 19 uW MICS/ISM-band energy harvesting body area sensor node SoC. In: *2012 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*. 2012. p. 298–300.
- [27] DETERRE, M. et al. Energy harvesting system for cardiac implant applications. In: *2011 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP)*. 2011. p. 387–391.
- [28] KARAMI, M. A.; INMAN, D. J. Powering Pacemakers from Heartbeat Vibrations Using Linear and Nonlinear Energy Harvesters. *Applied Physics Letters*, v. 100, n. 4, p. 042901, 2012. Disponível em: <<http://link.aip.org/link/?APL/100/042901/1>>.
- [29] BOISSEAU, S.; DESPESE, G.; SEDDIK, B. A. Electrostatic Conversion for Vibration Energy Harvesting. *ArXiv e-prints*, out. 2012. Disponível em: <<http://arxiv.org/pdf/1210.5191v1>>.
- [30] DETERRE, M. *Toward an energy harvester for leadless pacemakers*. Tese (Doutorado) — Université Paris Sud, 2013.
- [31] KO, W. H.; LIANG, S. P.; FUNG, C. D. Design of radio-frequency powered coils for implant instruments. *Medical and Biological Engineering*

and Computing, v. 15, n. 6, p. 634–640, 1977. ISSN 0140-0118. Disponível em: <<http://dx.doi.org/10.1007/BF02457921>>.

[32] IEEE standard for safety levels with respect to human exposure to radio frequency electromagnetic fields, 3 kHz to 300 GHz. 2006. IEEE Std C95.1-2005.

[33] ZARGHAM, M.; GULAK, P. Maximum Achievable Efficiency in Near-Field Coupled Power-Transfer Systems. *IEEE Transactions on Biomedical Circuits and Systems*, v. 6, n. 3, p. 228–245, 2012. ISSN 1932-4545.

[34] HARRISON, R. Designing Efficient Inductive Power Links for Implantable Devices. In: *IEEE International Symposium on Circuits and Systems, 2007. ISCAS. 2007. p. 2080–2083*.

[35] JOW, U.-M.; GHOVANLOO, M. Design and Optimization of Printed Spiral Coils for Efficient Transcutaneous Inductive Power Transmission. *IEEE Transactions on Biomedical Circuits and Systems*, v. 1, n. 3, p. 193–202, 2007. ISSN 1932-4545.

[36] OLIVO, J.; CARRARA, S.; MICHELI, G. D. Optimal frequencies for inductive powering of fully implantable biosensors for chronic and elderly patients. In: *2010 IEEE Sensors*. 2010. p. 99–103.

[37] POON, A.; O'DRISCOLL, S.; MENG, T. Optimal Frequency for Wireless Power Transmission Into Dispersive Tissue. *IEEE Transactions on Antennas and Propagation*, v. 58, n. 5, p. 1739–1750, maio 2010. ISSN 0018-926X.

[38] BAKER, M.; SARPESHKAR, R. Feedback Analysis and Design of RF Power Links for Low-Power Bionic Systems. *IEEE Transactions on Biomedical Circuits and Systems*, v. 1, n. 1, p. 28–38, mar. 2007. ISSN 1932-4545.

[39] RAMRAKHYANI, A.; MIRABBASI, S.; CHIAO, M. Design and Optimization of Resonance-Based Efficient Wireless Power Delivery Systems for Biomedical Implants. *IEEE Transactions on Biomedical Circuits and Systems*, v. 5, n. 1, p. 48–63, fev. 2011. ISSN 1932-4545.

[40] YILMAZ, G.; DEHOLLAINI, C. An efficient wireless power link for implanted biomedical devices via resonant inductive coupling. In: *2012 IEEE Radio and Wireless Symposium (RWS)*. 2012. p. 235–238.

- [41] JEGADEESAN, R.; GUO, Y.-X. Topology Selection and Efficiency Improvement of Inductive Power Links. *IEEE Transactions on Antennas and Propagation*, v. 60, n. 10, p. 4846–4854, out. 2012. ISSN 0018-926X.
- [42] CABRERA, F. L.; SOUSA, F. R. d. Optimal Design of Energy Efficient Inductive Links for Powering Implanted Devices. In: *2014 IEEE Topical Conference on Biomedical Wireless Technologies, Networks, and Sensing Systems (BioWireless)*. 2014. p. 1–3.
- [43] LE, H.; FONG, N.; LUONG, H. An energy harvesting circuit for GHz on-chip antenna measurement. In: *2011 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*. 2011. p. 145–148.
- [44] CHEN, X. et al. A 2.45-GHz Near-Field RFID System With Passive On-Chip Antenna Tags. *IEEE Transactions on Microwave Theory and Techniques*, v. 56, n. 6, p. 1397–1404, jun. 2008. ISSN 0018-9480.
- [45] CABRERA, F. L.; SOUSA, F. R. d. A CMOS Fully-Integrated Wireless Power Receiver for Autonomous Implanted Devices. In: *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2014. p. 1–4.
- [46] O'DRISCOL, S. A mm-sized implantable power receiver with adaptive matching. In: *2010 IEEE Sensors*. 2010. p. 83–88.
- [47] CABRERA, F. L.; SOUSA, F. R. d. Contactless Characterization of a CMOS Integrated LC Resonator for Wireless Power Transferring. *IEEE Microwave and Wireless Components Letters*, v. 25, n. 7, p. 475–477, jul. 2015. ISSN 1531-1309.
- [48] CABRERA, F. L.; SOUSA, F. R. d. A 25-dBm 1-GHz Power Amplifier Integrated in CMOS 180nm for Wireless Power Transferring. In: *2015 28th Symposium on Integrated Circuits and Systems Design (SBCCI)*. 2015. p. 1–6.
- [49] CABRERA, F. L.; FEITOZA, R. S.; SOUSA, F. R. d. Extending the Inductor Operating Frequency for Optimally-coupled Wireless Power Transfer Systems. In: *2015 SBMO/IEEE MTT-S International Microwave Optoelectronics Conference (IMOC)*. 2015. p. 1–5.
- [50] ABDELBAGI, H. A. *Skin and proximity effects in two parallel plates*. Dissertação (Mestrado) — Wright State University, 2007. Disponível em: <<https://etd.ohiolink.edu/rws-etd/document/get/wright1190054809/attachment>>.

- [51] RAMO, S.; WHINNERY, J. R.; DUZER, T. V. V. *Fields and Waves in Communication Electronics*. Wiley, 1994. ISBN 0-471-58551-3.
- [52] DENGLER, R. Self inductance of a wire loop as a curve integral. *ArXiv e-prints*, abr. 2012. Disponível em: <<http://arxiv.org/pdf/1204.1486v2>>.
- [53] PAUL, C. R. *Inductance: Loop and Partial*. Wiley, 2010. ISBN 978-0-470-46188-4.
- [54] GABRIEL, S.; LAU, R. W.; GABRIEL, C. The dielectric properties of biological tissues: III. Parametric models for the dielectric spectrum of tissues. *Physics in Medicine and Biology*, v. 41, n. 11, p. 2271, 1996. Disponível em: <<http://stacks.iop.org/0031-9155/41/i=11/a=003>>.
- [55] COLE, K. S.; COLE, R. H. Dispersion and Absorption in Dielectrics I. Alternating Current Characteristics. *The Journal of Chemical Physics*, v. 9, n. 4, p. 341–351, 1941. Disponível em: <<http://link.aip.org/link/?JCP/9/341/1>>.
- [56] COLE, K. S.; COLE, R. H. Dispersion and Absorption in Dielectrics II. Direct Current Characteristics. *The Journal of Chemical Physics*, v. 10, n. 2, p. 98–105, 1942. Disponível em: <<http://scitation.aip.org/content/aip/journal/jcp/10/2/10.1063/1.1723677>>.
- [57] GRANT, M.; BOYD, S. *CVX: Matlab Software for Disciplined Convex Programming, version 2.0 beta*. 2012. Disponível em: <<http://cvxr.com/cvx>>.
- [58] BOYD, S. et al. A tutorial on geometric programming. *Optimization and Engineering*, v. 8, n. 1, p. 67–127, 2007. ISSN 1389-4420.
- [59] MARK, M. et al. SAR reduction and link optimization for mm-size remotely powered wireless implants using segmented loop antennas. In: *2011 IEEE Topical Conference on Biomedical Wireless Technologies, Networks, and Sensing Systems (BioWireleSS)*. 2011. p. 7–10.
- [60] QING, X.; GOH, C. K.; CHEN, Z. N. A Broadband UHF Near-Field RFID Antenna. *IEEE Transactions on Antennas and Propagation*, v. 58, n. 12, p. 3829–3838, dez. 2010. ISSN 0018-926X.
- [61] STOCKMAN, H. Communication by Means of Reflected Power. *Proceedings of the IRE*, v. 36, n. 10, p. 1196–1204, out. 1948. ISSN 0096-8390.

- [62] MANDAL, S.; SARPESHKAR, R. Low-Power CMOS Rectifier Design for RFID Applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 54, n. 6, p. 1177–1188, 2007. ISSN 1549-8328.
- [63] CHEN, S.-H.; KER, M.-D. Investigation on seal-ring rules for {IC} product reliability in 0.25- μm {CMOS} technology. *Microelectronics Reliability*, v. 45, n. 9-11, p. 1311 – 1316, 2005. ISSN 0026-2714. Proceedings of the 16th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0026271405001629>>.
- [64] ZARGHAM, M.; GULAK, P. Fully Integrated On-Chip Coil in 0.13 μm CMOS for Wireless Power Transfer Through Biological Media. *IEEE Transactions on Biomedical Circuits and Systems*, v. 9, n. 2, p. 259–271, abr. 2015. ISSN 1932-4545.
- [65] LUAN, S. et al. Towards an inductively coupled power/data link for bondpad-less silicon chips. In: *2011 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2011. p. 2597–2600.
- [66] SHAMIM, A. et al. Wireless Dosimeter: System-on-Chip Versus System-in-Package for Biomedical and Space Applications. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 55, n. 7, p. 643–647, jul. 2008. ISSN 1549-7747.
- [67] WU, R. et al. Silicon-Embedded Receiving Coil for High-Efficiency Wireless Power Transfer to Implantable Biomedical ICs. *IEEE Electron Device Letters*, v. 34, n. 1, p. 9–11, jan. 2013. ISSN 0741-3106.
- [68] SILVA, G. M. da. Trabalho de conclusão de curso, *Sistema CNC de posicionamento aplicado a caracterização de acoplamento indutivo*. 2015.
- [69] PENG, Q. et al. A Low-Cost UHF RFID System With OCA Tag for Short-Range Communication. *IEEE Transactions on Industrial Electronics*, v. 62, n. 7, p. 4455–4465, jul. 2015. ISSN 0278-0046.
- [70] DING, L. et al. A 25 dBm Outphasing Power Amplifier With Cross-Bridge Combiners. *IEEE Journal of Solid-State Circuits*, v. 50, n. 5, p. 1107–1116, maio 2015. ISSN 0018-9200.
- [71] YOO, C.; HUANG, Q. A common-gate switched 0.9-W class-E power amplifier with 41% PAE in 0.25- μm CMOS. *IEEE Journal of Solid-State Circuits*, v. 36, n. 5, p. 823–830, maio 2001. ISSN 0018-9200.

- [72] LI, Z. et al. A 2.45-GHz +20-dBm Fast Switching Class-E Power Amplifier With 43% PAE and a 18-dB-Wide Power Range in 0.18- μ m CMOS. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 59, n. 4, p. 224–228, abr. 2012. ISSN 1549-7747.
- [73] LEE, O. et al. Analysis and Design of Fully Integrated High-Power Parallel-Circuit Class-E CMOS Power Amplifiers. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 57, n. 3, p. 725–734, mar. 2010. ISSN 1549-8328.
- [74] BRAMA, R. et al. A 1.7-GHz 31dbm differential CMOS Class-E Power Amplifier with 58% PAE. In: *IEEE Custom Integrated Circuits Conference, 2007. CICC '07.* 2007. p. 551–554.
- [75] SHIM, S.; HONG, S. A 1-W, 800-MHz, switch-mode CMOS RF power amplifier using an on-chip transformer with double primary sides. In: *2009 IEEE Radio and Wireless Symposium.* 2009. p. 538–541.
- [76] PAEK, J.-S.; HONG, S. A 29 dBm 70.7% PAE Injection-Locked CMOS Power Amplifier for PWM Digitized Polar Transmitter. *IEEE Microwave and Wireless Components Letters*, v. 20, n. 11, p. 637–639, nov. 2010. ISSN 1531-1309.