



UNIVERSIDADE FEDERAL DE SANTA CATARINA  
CAMPUS ARARANGUÁ - ARA

PLANO DE ENSINO

SEMESTRE 2016.1

I. IDENTIFICAÇÃO DA DISCIPLINA:

CÓDIGO	NOME DA DISCIPLINA	Nº DE HORAS-AULA SEMANAIS		TOTAL DE HORAS-AULA SEMESTRAIS
		TEÓRICAS	PRÁTICAS	
ARA7555	Linguagens de Descrição de Hardware	4	0	72

	HORÁRIO	MODALIDADE
TURMAS TEÓRICAS	TURMAS PRÁTICAS	Presencial
07655 3.1830-2/ARA307 - 5.1830-2/ARA307		

II. PROFESSOR(ES) MINISTRANTE(S)

Prof. Marcelo Berejuck, Dr. marcelo.berejuck@ieee.org  
Prof. Fábio Rodrigues de la Rocha, Dr. fabio.rocha.ufsc@gmail.com

III. PRÉ-REQUISITO(S)

CÓDIGO	NOME DA DISCIPLINA
-	Esta disciplina não possui pré-requisitos

IV. CURSO(S) PARA O(S) QUAL(IS) A DISCIPLINA É OFERECIDA

Engenharia de Computação

V. JUSTIFICATIVA

Esta disciplina deverá explorar conceitos e técnicas em circuitos digitais e motivar a realização de projeto extraclasse em ambiente de laboratório. Também irá induzir o aluno à realizar tais projetos em um ambiente que se utilize de linguagem de descrição de hardware

VI. EMENTA

Desenvolvimento de projetos em Alto Nível através de Linguagens de Descrição de Hardware (VHDL, Verilog), Máquina Finita de Estados, RTL (RegisterTransferLevel), em dispositivos como Field Programmable Gate Array (FPGA). São considerados Co-Projetos de Hardware/Software em ambientes System-on-Chip enfocando CORE e IP para o re-uso de sistemas. Para esses estudos são considerados os usos das ferramentas EDA (Eletronic Design Automation) da Xilinx e Altera. Considerações sobre: co-projeto de hardware/software; engenharia de software para o sistema; questões de sincronização de clock; protocolo de comunicação; escalonamento; RTOS (Real Time Operating System); validação e verificação; tolerância à falhas; programando sensores e atuadores; simulação, ferramentas EDA, ambiente distribuído.

VII. OBJETIVOS

Objetivo Geral:

- Compreender o funcionamento de uma FPGA e o ciclo de desenvolvimento de Hardware utilizando esse tipo de dispositivo.
- Compreender a capacidade desses dispositivos e as possibilidades de integração de Hard Cores, Soft Cores e código personalizado.
- Escrever código em linguagem de descrição de hardware, utilizar ferramentas de desenvolvimento e simulação
- Criar um pequeno projeto de dispositivo que explore os recursos de uma FPGA

## VIII. CONTEÚDO PROGRAMÁTICO

### UNIDADE 1: FPGA [24 horas-aula]

- FPGA, estrutura interna
- FPGA, ferramentas de desenvolvimento e simulação
- Ciclo de desenvolvimento, ferramenta de síntese de hardware, uso como ferramenta de prototipação
- Processadores implementados em hardware e em software, reconfiguração dinâmica
- mercado de FPGAs, empresas fabricantes, mercado de atuação
- propriedade intelectual de componentes de hardware

### UNIDADE 2: Programação para FPGA [12 horas-aula]

- Linguagens existentes
- Código sintetizável e código não sintetizável
- Linguagem de programação VHDL
- Linguagem de programação Verilog

### UNIDADE 3: Estudo da linguagem VHDL [08 horas-aula]

- Formato da linguagem, escrita de código básico
- Recursos avançados da linguagens
- Criação de código, simulação usando ambiente de desenvolvimento ALTERA e XILINX

### UNIDADE 4: Implementação de dispositivos em VHDL [16 horas-aula]

- portas lógicas, latches, Flipflops, circuitos compostos por diferentes elementos
- decodificadores, mux, demux, decodificadores 7 segmentos
- Uso de decodificadores para habilitar partes de um circuito
- implementação de protocolos de comunicação rs232, I2C, endereçamento de dispositivos
- máquinas de estado em VHDL, máquinas moore, máquinas mealy

### UNIDADE 5: Estudo da linguagem Verilog [04 horas-aula]

- Formato da linguagem, estrutura de decisão, repetição

## IX. METODOLOGIA DE ENSINO / DESENVOLVIMENTO DO PROGRAMA

Aulas teóricas: desenvolvidas em sala e com emprego de meios audiovisuais tais como transparências e apresentações sobre PC portátil de produção própria expostas com projetor. Todo o material didático estará disponível "a priori" para os alunos na página do professor: [fabiodelarocha.paginas.ufsc.br](http://fabiodelarocha.paginas.ufsc.br)

## X. METODOLOGIA E INSTRUMENTOS DE AVALIAÇÃO

A verificação do rendimento escolar compreenderá frequência e aproveitamento nos estudos, os quais deverão ser atingidos conjuntamente. Será obrigatória a frequência às atividades correspondentes a cada disciplina, no mínimo a 75% das mesmas (Frequência Suficiente - FS), ficando nela reprovado o aluno que não comparecer a mais de 25% das atividades (Frequência Insuficiente - FI).

Serão realizadas duas avaliações :

- Avaliações em aula (P1) , peso 3
- Trabalho prático T1, peso 7

A média final do semestre será a própria média aritmética entre P1 e T1 e assim a nota mínima para aprovação na disciplina será  $MF \geq 6,0$  (seis) e Frequência Suficiente (FS). (Art. 69 e 72 da Res. nº 17/CUn/1997).

O aluno com Frequência Suficiente (FS) e média das notas de avaliações do semestre MF entre 3,0 e 5,5 terá direito a uma nova avaliação no final do semestre (REC) de acordo com o art.70, § 2º. A Nota Final



(NF) será calculada por meio da média aritmética entre a média das notas das avaliações parciais. (Art. 70 e 71 da Res. nº 17/CUn/1997).

Ao aluno que não comparecer às atividades práticas ou não apresentar trabalhos no prazo estabelecido será atribuída nota 0 (zero). (Art. 70, § 4º da Res. nº 17/CUn/1997)

Observações:

Avaliação de recuperação

Não há avaliação de recuperação nas disciplinas de caráter prático que envolve atividades de laboratório. (Res.17/CUn/97).

Nova avaliação

Pedidos de segunda avaliação somente para casos em que o aluno, por motivo de força maior e plenamente justificado, deixar de realizar avaliações previstas no plano de ensino, e deverá ser formalizado via requerimento de avaliação à Secretaria Acadêmica do Campus Araranguá dentro do prazo de 3 dias úteis apresentando comprovação. (Ver formulário)

## XI. CRONOGRAMA PRÁTICO

AULA (semana)	DATA		ASSUNTO
1	14/03/16	18/03/16	Apresentação do plano de ensino, site da disciplina, Introdução à FPGA, visão geral da disciplina. Hardware concorrente, reconfiguração dinâmica.
2	21/03/16	25/03/16	Introdução VHDL, Ciclo de desenvolvimento, ferramenta de síntese de hardware, uso como ferramenta de prototipação ferramentas de simulação, ferramentas de desenvolvimento ALTERA (windows) escrita de pequenos dispositivos, teste, simulação. Hardware configurável, processadores em hardware (Power PC) e em software (Soft-core), existência de softcores para implementar microcontroladores, caso da ARM, sistemas operacionais voltados para hardware embarcado
3	28/03/16	01/04/16	Introdução VHDL, ferramentas de desenvolvimento e simulação, exemplos, entidade e arquitetura
4	04/04/16	08/04/16	Ferramenta de desenvolvimento Xilinx (windows), criação de código, síntese e simulação. Instalação da ferramenta Xilinx para linux. Sinais, variáveis, tipos de dados, direção de dados (entrada,saída, entrada-saída), vetores
5	11/04/16	15/04/16	Criação de projetos, implementação de portas lógicas, latches, FlipFlops, MUX, decodificadores, memória RAM, demux, somadores (half adder), somadores (full adder)
6	18/04/16	22/04/16	decodificadores 7 segmentos, protocolos de comunicação em paralelo, protocolos de comunicação serial RS232, I2C, protocolos alternativos SPI. Estudo de um CI real (memória I2C). PROVA P1
7	25/04/16	29/04/16	Criação de um sistema de transmissão de mensagens seriais. Trabalho com vários módulos (uso de componentes e vários arquivos fonte)
8	02/05/16	06/05/16	Máquinas de estado: revisão sobre o tema. Máquinas de estado em VHDL,máquina do tipo MOORE. Resolução de problemas usando máquinas de estado: máquina de refrigerante,
9	09/05/16	13/05/16	Sinalização de freio de carro, máquina de lavar, detector de sequencias. Máquina de estados do tipo Mealy, comparação entre as soluções usando os dois tipos de máquinas. Discussão sobre clock de hardware e divisão de clock para ser usado nos projetos.

10	16/05/16	20/05/16	uso de funções e procedimentos, visão RTL do projeto. Correção da prova, apresentação da linguagem Verilog.
11	23/05/16	27/05/16	Verilog, apresentação da linguagem, uso do ambiente de desenvolvimento para escrever código.
12	30/05/16	03/06/16	Escrita de código em verilog
13	06/06/16	10/06/16	Uso de bibliotecas de componentes
14	13/06/16	17/06/16	Apresentação do trabalho (que será avaliado em defesa posterior), escrita de código em verilog. Comparar resultado da síntese em VHDL e Verilog
15	20/06/16	24/06/16	Portas lógicas, mux, latches, FF, decodificadores, etc.
16	27/06/16	01/07/16	Memória RAM, interface paralela e serial
17	04/07/16	08/07/16	Máquinas de estado em verilog, moore e mealy
18	11/07/16	15/07/16	Defesa de trabalho T1 Prova REC Fechamento das notas

**Obs:** O calendário está sujeito a pequenos ajustes de acordo com as necessidades das atividades desenvolvidas.

## XII. FERIADOS PREVISTOS PARA O SEMESTRE 2016.1:

DATA	
24/03/2016	Dia não letivo
25/03/2016	Sexta feira Santa
26/03/2016	Dia não letivo
03/04/2016	Campus de Araranguá: aniversário da Cidade
21/04/2016	Tiradentes
22/04/2016	Dia não letivo
23/04/2016	Dia não letivo
01/05/2016	Dia do Trabalhador
04/05/2016	Campus de Araranguá: dia da Padroeira da Cidade
26/05/2016	Corpus Christi
27/05/2016	Dia não letivo
28/05/2016	Dia não letivo

## XIII. BIBLIOGRAFIA BÁSICA

- 1] HAMBLEN, James O; HALL, Tyson S; FURMAN, Michael D. **Rapid Prototyping of Digital Systems**. Boston: Springer Science+Business Media, LLC, 2008. *(disponível on-line no pergamum)*
- [2] Pedroni - Circuit Design with VHDL; MIT Press, 2005. *(6 exemplares disponíveis na biblioteca 21.38.049.77 P372e)*
- [3] D'Amore, R. - VHDL: Descrição e Síntese de Circuitos Digitais, LTC, 2005 *(19 exemplares na biblioteca )*

## XIV. BIBLIOGRAFIA COMPLEMENTAR:

- [4] Digital\_McLogic\_Design– Livro disponível gratuitamente em [http://www.ee.calpoly.edu/media/uploads/resources/Master\\_Digital\\_McLogic\\_Design\\_-\\_v2.01.pdf](http://www.ee.calpoly.edu/media/uploads/resources/Master_Digital_McLogic_Design_-_v2.01.pdf) – (licença creative commons)
- [5] Free Range VHDL – Livro disponível gratuitamente em <http://www.freerangefactory.org/>
- [6] The Designer's Guide to VHDL 3 edição, Volume 3, Peter J. Ashenden ISBN: 978-0-12-088785-9 *(disponível no science direct)*
- [7] Quartus II Introduction Using VHDL Designs, Altera, disponível



em :([ftp://ftp.altera.com/up/pub/Altera\\_Material/11.0/Tutorials/VHDL/Quartus\\_II\\_Introduction.pdf](ftp://ftp.altera.com/up/pub/Altera_Material/11.0/Tutorials/VHDL/Quartus_II_Introduction.pdf)  
)


[8] Getting Started with Altera's DE-Series Boards, Altera, disponível em:  
[ftp://ftp.altera.com/up/pub/Altera\\_Material/10.1/Tutorials/Getting\\_Started\\_with\\_DE-series\\_boards.pdf](ftp://ftp.altera.com/up/pub/Altera_Material/10.1/Tutorials/Getting_Started_with_DE-series_boards.pdf)

Os livros acima citados constam na Biblioteca Universitária e Setorial de Araranguá.

#### **XV. INFRAESTRUTURA E MATERIAS NECESSÁRIOS:**

1. Computadores para os alunos com os softwares da disciplina instalados.
2. Espaço físico com mesas, cadeiras e tomadas em quantidades adequadas
3. Acesso à internet
4. Datashow que possa ser operado de forma segura, sem risco de acidentes
5. Quadro branco e canetas
6. Kit de desenvolvimento Altera Terasic DE0

**Obs.:** A indisponibilidade de infraestrutura/materiais listados pode causar prejuízos ao processo pedagógico, inviabilizando tanto as atividades dos docentes como as dos alunos, podendo, ainda, acarretar em cancelamento de aulas em último caso.



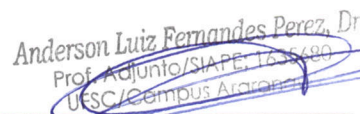
Professor da Disciplina

/ / 2016



Aprovado pelo  
departamento em

24/02/2016

  
Anderson Luiz Fernandes Perez, Dr  
Prof. Adjunto/SIAPE: 1635480  
UFSC/Campus Araranguá

Aprovado pelo colegiado do  
curso de graduação em

26/04/2016