

**UNIVERSIDADE FEDERAL DE SANTA CATARINA  
DEPARTAMENTO DE PÓS-GRADUAÇÃO**

Daniel Körbes

**INVERSOR MULTINÍVEL SIMÉTRICO HÍBRIDO  
MODIFICADO**

Florianópolis

2012



Daniel Körbes

**INVERSOR MULTINÍVEL SIMÉTRICO HÍBRIDO  
MODIFICADO**

Dissertação submetida ao Programa  
de Pós-graduação em Engenharia Elétrica  
para a obtenção do Grau de Mestre  
em Engenharia Elétrica.  
Orientador: Prof. Samir Ahmad Mussa,  
Dr.

Florianópolis

2012

Catálogo na fonte pela Biblioteca Universitária  
da  
Universidade Federal de Santa Catarina

K84i Körbes, Daniel

Inversor multinível simétrico híbrido modificado  
[dissertação] / Daniel Körbes ; orientador, Samir Ahmad  
Mussa. - Florianópolis, SC, 2012.

164 p.: il., tabs.

Dissertação (mestrado) - Universidade Federal de Santa  
Catarina, Centro Tecnológico. Programa de Pós-Graduação em  
Engenharia Elétrica.

Inclui referências

1. Engenharia elétrica. 2. Inversores elétricos. I. Mussa,  
Samir Ahmad. II. Universidade Federal de Santa Catarina.  
Programa de Pós-Graduação em Engenharia Elétrica. III. Título.

CDU 621.3

Daniel Körbes

## **INVERSOR MULTINÍVEL SIMÉTRICO HÍBRIDO MODIFICADO**

Esta Dissertação foi julgada aprovada para a obtenção do Título de “Mestre em Engenharia Elétrica”, e aprovada em sua forma final pelo Programa de Pós-graduação em Engenharia Elétrica.

Florianópolis, 23 de abril 2012.

---

Prof. Patrick Kuo Peng, Dr.  
Coordenador do Curso

### **Banca Examinadora:**

---

Prof. Samir Ahmad Mussa, Dr.  
Orientador

---

Prof. Yales Rômulo Novaes, Dr.

---

Prof. Denizar Cruz Martins, Dr.



Para minha família.





## AGRADECIMENTOS

Agradeço inicialmente a meus pais, Patrício e Roswitha, pelo apoio, incentivo e afeto incondicionais. A meu irmão André, pela motivação e inspiração para a minha continuidade nos estudos. A Ana Carolina, por ser uma real companheira ao final da jornada, por toda sua compreensão e apoio.

Ao corpo docente e técnico do INEP-UFSC, de excelentíssima qualidade. Sempre pronto a transmitir conhecimento em qualquer situação.

Aos colegas de estudo, mestrandos e doutorandos: Alessandro Batschauer, André Lange, Bruno Nora, Daniel Collier, Daniel Flores, Felipe Tureck, Joselito Heerdt, Márcio Ortmann nas incontáveis horas de estudo e dedicação compartilhadas no INEP.



*O estudo em geral, a busca da verdade  
e da beleza são domínios em que nos é  
consentido ficar crianças toda a vida.*

Albert Einstein



## RESUMO

Este trabalho apresenta o estudo de uma nova topologia de inversor multinível e suas variações, baseado no inversor híbrido simétrico descrito em (RUIZ-CABALLERO et al., 2010b), fazendo uso de técnicas de modulação já difundidas e também de uma técnica híbrida de modulação para essas estruturas. As topologias e modulações são comparadas entre si, donde a estrutura e modulação que obteve os melhores resultados numéricos e simulados foi implementada para obtenção de resultados experimentais. A parte experimental fez uso de técnicas de descrição de hardware (VHDL) para implementação dos moduladores necessários em controladores programáveis (FPGA's).

**Palavras-chave:** Inversor multinível, Modulação híbrida, FPGA.



## ABSTRACT

This work shows a novel multilevel topology and its variations, based on the symmetrical hibrid multilevel described at (RUIZ-CABALLERO et al., 2010b), using already known modulation technics and also a new proposed one. These topologies and modulation technics were compared and the best ones were chosen to be prototyped, where was obtained the experimental results. This prototype uses hardware description language (VHDL)for the modulators in a programable device (FPGA)

**Keywords:** Multilevel inverter, Hybrid Modulation, FPGA.





## LISTA DE FIGURAS

Figura 1	Motor de indução usado em moinho de bolas na indústria de mineração (6500kW, 13800V). Fonte: Catálogo Weg. ....	28
Figura 2	Trolebus na Espanha. Fonte: Associação Brasileira do Veículo Elétrico. ....	29
Figura 3	Inversor 2 níveis. Configuração monofásica (a) e trifásica (b). ....	31
Figura 4	Forma de onda das tensões $v_o$ , $v_{ref}$ , e $v_{ab}$ . ....	32
Figura 5	Estruturas básicas do inversor NPC. Monofásica (a) e Trifásica (b). ....	33
Figura 6	Formas de onda das tensão nas configurações monofásica (a) e trifásica (b). ....	33
Figura 7	Topologia Flying Capacitor de 3 níveis. ....	35
Figura 8	Células usadas no conversores cascata. (a) Ponte completa e (b)Meia ponte. ....	36
Figura 9	Ilustração de conversor cascata. ....	37
Figura 10	Célula da topologia MMC. ....	38
Figura 11	Estruturas do conversor ANPC. (a) Mono e (b) Trifásica. ....	39
Figura 12	Organização das técnicas de modulação para conversores multiníveis. ....	43
Figura 13	Topologia VSI. ....	45
Figura 14	Diagrama de vetores do VSI. ....	46
Figura 15	Sequência de comutação escolhida para $V_{ref}^{\vec{}}$ . ....	47
Figura 16	Exemplo de um modulador genérico. ....	48
Figura 17	Exemplo dos períodos para definição de $D$ . ....	49
Figura 18	Exemplos das amplitudes para definição de $M$ . ....	49
Figura 19	Exemplo da disposição das portadoras e da moduladora. ....	51
Figura 20	Ilustração dos arranjos das portadoras com deslocamento de nível. (a) IPD, (b) APOD e (c)POD. ....	52
Figura 21	Exemplo de PWM naturalmente amostrada. ....	55
Figura 22	Exemplo de amostragem simples. ....	56
Figura 23	Exemplo de amostragem dupla. ....	57
Figura 24	Conversor Buck 3 níveis. ....	59
Figura 25	(a) Rearranjo da célula de comutação. (b) Substituição	

dos interruptores. ....	60
Figura 26 Tensão obtida em $V_{ab}$ . ....	60
Figura 27 Inversor 5 níveis. ....	61
Figura 28 $V_L$ 5 níveis. ....	61
Figura 29 Topologias propostas 7 níveis. ....	62
Figura 30 Topologia proposta 9 níveis. ....	63
Figura 31 Topologia sugerida para "N" níveis. ....	64
Figura 32 Primeira etapa de funcionamento. ....	67
Figura 33 Estados topológicos referentes a segunda etapa de funcionamento. (a) $S_3$ conduzindo. (b) $S_6$ conduzindo. ....	68
Figura 34 Estados topológicos referentes a terceira etapa de funcionamento. (a) $S_1$ e $S_3$ conduzindo. (b) $S_3$ e $S_6$ conduzindo. (c) $S_6$ e $S_8$ conduzindo. ....	69
Figura 35 Estados topológicos referentes a quarta de funcionamento. (a) $S_1, S_3$ e $S_6$ conduzindo. (b) $S_3, S_6$ e $S_8$ conduzindo. ....	70
Figura 36 Estado topológico referente a quinta etapa de funcionamento. ....	71
Figura 37 Demonstração Redundância de níveis. ....	72
Figura 38 Topologia com definição das referências de tensões sobre os componentes. ....	74
Figura 39 Mapa de vetores completo. ....	76
Figura 40 Formas de onda da tensão de saída para as modulações testadas. (a)IPD, (b)APOD, (c)POD e (d)H. ....	83
Figura 41 Espectro harmônico das formas de onda da tensão de saída para as modulações testadas. (a)IPD, (b)APOD, (c)POD e (d)H. ....	85
Figura 42 Tensões de modo comum para as modulações: (a)IPD, (b)APOD, (c)POD e (d)H. ....	87
Figura 43 Espectros normalizados pela tensão de barramento das formas de onda geradas segundo as técnicas: (a)IPD, (b)APOD, (c)POD e (d)H. ....	89
Figura 44 Ondulações das correntes de carga geradas pelas técnicas: (a)IPD, (b)APOD, (c)POD e (d)H. ....	91
Figura 45 Planos $\alpha\beta$ gerados pelas técnicas: (a)IPD, (b)APOD, (c)POD e (d)H. ....	93
Figura 46 Forma de onda da moduladora e das portadoras para um período da moduladora. ....	95

Figura 47 Célula unitária obtida da topologia proposta usando técnica de modulação IPD.....	97
Figura 48 Representação da tensão de saída obtida através das células unitárias através da modulação IPD com $M = 0,9$ .....	97
Figura 49 Representação gráfica da forma de onda da tensão de saída do inversor quando $f_c/f_o = 1$ .....	98
Figura 50 Componentes harmônicas obtidas por simulação (a) e calculadas (b) para a forma de onda de tensão.....	99
Figura 51 Apresentação das referências calculadas para diversos índices de modulação de amplitude comparadas com a referência senoidal.....	100
Figura 52 Comparativo das simulações das tensões de linha para as técnicas (a)IPD e (b)CSVPWM.....	101
Figura 53 Espectro harmônico simulado das tensões de linha para as técnicas (a)IPD e (b)CSVPWM.....	101
Figura 54 Tensões de modo comum geradas por (a) técnica IPD e (b) técnica CSVPWM.....	102
Figura 55 Ondulação de corrente.....	103
Figura 56 Comparativo da utilização dos vetores no plano $\alpha\beta$ para as técnicas (a)IPD e (b)CSVPWM.....	104
Figura 57 Montagem do componente FII 30-06D da IXYS.....	106
Figura 58 Módulo de potência da plataforma de testes.....	107
Figura 59 Ângulos de intersecção entre moduladora e portadoras.....	108
Figura 60 Funções de comutação.....	110
Figura 61 Kit de desenvolvimento FPGA Cyclone III da Altera®.....	114
Figura 62 Blocos PLL da descrição de hardware.....	114
Figura 63 Bloco contador do ângulo para senoide.....	114
Figura 64 Bloco multiplicador.....	115
Figura 65 Bloco que gera a senoide.....	115
Figura 66 Bloco gera o gatilho.....	116
Figura 67 Protótipo de testes, englobando os módulos de potência, fontes isoladas e dispositivo programável.....	117
Figura 68 Formas de onda experimentais obtidas com a técnica de modulação IPD.....	117
Figura 69 Formas de onda experimentais obtidas com a técnica de modulação APOD.....	118

Figura 70 Formas de onda experimentais obtidas com a técnica de modulação POD.....	118
Figura 71 Formas de onda experimentais obtidas com a técnica de modulação H.....	118
Figura 72 Senoides formadas pela topologia usando a técnica de modulação IPD.....	120

## LISTA DE TABELAS

Tabela 1	Resumo sobre inversores multiníveis. Aqui “n” representa o número de níveis desejado .....	39
Tabela 2	Vetores Resultantes, Interruptores comandados e Tensão aplicada a carga .....	45
Tabela 3	Estados de condução .....	66
Tabela 4	Estruturas usuais, características para 9 níveis, por fase	72
Tabela 5	Combinações válidas .....	75
Tabela 6	Resultados da computação da THD de cada técnica de modulação usando referência puramente senoidal, conforme o índice de modulação de amplitude $M_a$ .....	86
Tabela 7	Resultados da computação da WTHD de cada técnica de modulação usando referência puramente senoidal, conforme o índice de modulação de amplitude $M_a$ .....	86
Tabela 8	Resultados da computação da THD para as técnicas IPD e CSV .....	102
Tabela 9	Resultados da computação da WTHD para as técnicas IPD e CSV .....	102
Tabela 10	Comparativo entre resultados calculados e simulados para os esforços de corrente na topologia proposta, valores de corrente em <i>rms</i> .....	112
Tabela 11	Resultados experimentais da THD de cada técnica de modulação usando referência puramente senoidal, conforme o índice de modulação de amplitude $M_a$ .....	119
Tabela 12	Resultados experimentais da WTHD de cada técnica de modulação usando referência puramente senoidal, conforme o índice de modulação de amplitude $M_a$ .....	119



## LISTA DE ABREVIATURAS E SIGLAS

ABVE	Associação Brasileira de Veículos Elétricos . . . . .	30
AC	Alternate Current . . . . .	30
AM	Amplitude Modulation . . . . .	30
APOD	Alternate Phase Opposition Disposition . . . . .	30
CHB	Cascaded H-Bridge . . . . .	30
CSVPWM	Centered Space Vector Pulse Width Modulation . . . . .	30
DC	Direct Current . . . . .	30
DSP	Digital Signal Processor . . . . .	30
FM	Frequency Modulation . . . . .	30
FPGA	Field Programmable Gate Array . . . . .	30
GTO	Gate Turn-Off thyristor . . . . .	30
IGBT	Insulated Gate Bipolar Transistor . . . . .	30
IGCT	Integrated Gate-Commutated Thyristor . . . . .	30
IPD	In-Phase Disposition . . . . .	30
MOSFET	Metal Oxide Semiconductor Field-Effect Transistor . . . . .	30
MTBF	Mean Time Between Fail . . . . .	30
NPC	Neutral Point Clamped . . . . .	30
PD	Phase Disposition . . . . .	30
POD	Phase Opposition Disposition . . . . .	30
PWM	Pulse Width Modulation . . . . .	30
SHE	Selective Harmonic Elimination . . . . .	30
SPWM	Senoidal Pulse Width Modulation . . . . .	30
SVM	Space Vector Modulation . . . . .	30
THD	Total Harmonic Distortion . . . . .	30
UPS	Uninterruptable Power Supply . . . . .	30
WTHD	Weighted Total Harmonic Distortion . . . . .	30
SI	Sistema Internacional de unidades . . . . .	121





## LISTA DE SÍMBOLOS

$a_x$	Amplitude de componente espectral par . . . . .	121
$b_x$	Amplitude de componente espectral impar . . . . .	121
$E$	Tensão de barramento . . . . .	121
$V_x$	Tensão de fase . . . . .	121
$V_{xy}$	Tensão de linha . . . . .	121
$\lambda$	Comprimento de onda . . . . .	121
$c$	Velocidade da luz . . . . .	121
$T_x$	Período . . . . .	121
$M_a$	Índice de modulação de amplitude . . . . .	121
$M_f$	Índice de modulação de frequência . . . . .	121
$S_x$	Denominação de interruptor . . . . .	121
$f_x$	Frequências envolvidas . . . . .	121
$I_{S_x}$	Corrente de interruptor . . . . .	121
$\delta_{S_x}$	Função de comutação de interruptor . . . . .	121
$\theta_x$	Angulo de intersecção das funções de comutação . . . . .	121



## SUMÁRIO

<b>1 INTRODUÇÃO</b> .....	27
<b>2 TOPOLOGIAS DE INVERSORES MULTINÍVEIS</b> ..	31
2.1 INVERSOR NPC .....	31
2.2 INVERSOR FLYING CAPACITOR .....	34
2.3 INVERSOR CASCATA .....	36
2.4 INVERSOR CASCADED HÍBRIDOS OU ASSIMÉTRICOS	37
2.5 INVERSOR MMC .....	38
2.6 INVERSOR ANPC .....	38
2.7 CONCLUSÃO .....	39
<b>3 MODULAÇÃO</b> .....	41
3.1 TÉCNICAS CONHECIDAS .....	43
<b>3.1.1 Modulação Vetorial</b> .....	44
<b>3.1.2 Controle Vetorial</b> .....	47
<b>3.1.3 PWM de múltiplas portadoras</b> .....	48
3.1.3.1 PWM com deslocamento de fase .....	50
3.1.3.2 PWM com deslocamento de nível .....	51
<b>3.1.4 Modulação Híbrida</b> .....	52
<b>3.1.5 Eliminação Seletiva de Harmônicos</b> .....	53
<b>3.1.6 Controle de Nível de Tensão</b> .....	53
3.2 SOBREMODOÇÃO .....	53
3.3 APLICAÇÃO DIGITAL .....	54
3.4 CONCLUSÃO .....	57
<b>4 TOPOLOGIAS PROPOSTAS</b> .....	59
4.1 FORMAÇÃO DAS TOPOLOGIAS .....	59
4.2 MODOS DE FUNCIONAMENTO .....	65
4.3 CARACTERÍSTICAS DA TOPOLOGIA .....	71
4.4 CONCLUSÃO .....	77
<b>5 MODULAÇÃO PROPOSTA E SIMULAÇÃO</b> .....	79
5.1 MODULAÇÕES PROPOSTAS .....	79
<b>5.1.1 Forma de onda da tensão de linha</b> .....	82
<b>5.1.2 Espectro harmônico da tensão de linha</b> .....	84
<b>5.1.3 Tensão de modo comum gerada</b> .....	86
<b>5.1.4 Ondulação de corrente</b> .....	88
<b>5.1.5 Uso dos vetores adequados no plano <math>\alpha\beta</math></b> .....	92
5.2 ANÁLISE DA MODULAÇÃO .....	92
5.3 MODULAÇÃO CSVPWM .....	99
5.4 CONCLUSÃO .....	104

**6 PROJETO DO INVERSOR E RESULTADOS EXPERIMENTAIS** ..... 105

6.1 PLATAFORMA DE TESTES ..... 105

6.2 DEFINIÇÃO DE ESFORÇOS NOS SEMICONDUTORES .. 107

6.3 DISPOSITIVO PROGRAMÁVEL ..... 112

6.4 RESULTADOS EXPERIMENTAIS ..... 116

**7 CONCLUSÃO**..... 121

**REFERÊNCIAS** ..... 123

**ANEXO A – Esquemático Plataforma de potência**..... 131

**ANEXO B – Projeto Transformador Multipulsos** ..... 137

**ANEXO C – Código VHDL**..... 143

**ANEXO D – Código C para computação CSVPWM** .... 161

## 1 INTRODUÇÃO

Em várias frentes produtivas a capacidade de movimentação de grandes volumes é essencial para o sucesso do processo. Seja na extração de matérias-primas brutas, tais como minérios de ferro, alumínio e cobre, na movimentação em massa de pessoas, usando trens e ônibus urbanos, metrô e trens de alta velocidade, e até mesmo nas grandes linhas de transmissão de energia é essencial que o produto (minérios, pessoas ou energia elétrica) seja transportado da forma mais adequada possível e da maneira mais eficaz disponível. Em todas essas frentes são encontradas barreiras tecnológicas que faziam com que o processo não atingisse seu máximo potencial.

Vários exemplos são notáveis em quaisquer das áreas supracitadas. Na área de mineração a utilização de grandes motores é crucial, afinal quanto mais material é removido e processado maior tende a ser a lucratividade da empresa. O método mais barato seria a utilização de motores a combustão e bombas hidráulicas associados. Mas a combinação de combustível inflamável, temperatura e ambientes enclausurados é extremamente perigosa. Assim são utilizados motores elétricos de grandes potências nesses ambientes. Solucionado o problema da inflamabilidade, resta o problema do controle desses processos. Grandes motores exigem controle de grandes tensões e correntes e até as últimas décadas, poucos dispositivos eletroeletrônicos eram capazes dessa tarefa.

Nos transportes, com o advento da era industrial, houve a necessidade de transporte de grandes massas populacionais das áreas suburbanas até os centros comerciais e industriais. Somente veículos leves e individuais passaram a ser insuficientes para essa demanda. Os veículos de transporte de massa como ônibus e trens passaram a suprir essa demanda. Porém, com o crescimento acelerado dos nossos centros urbanos novas necessidades foram surgindo. A diminuição de espaços na superfície forçou a recolocação dos trilhos nos subterrâneos de grandes cidades, onde haveria muito espaço para crescimento de uma malha ferroviária, apesar de seus custos e de um problema grave, as locomotivas movidas a combustível fóssil sufocariam seus passageiros apesar de avançados sistemas de exaustão, como os do metrô de Londres. A saída foi a substituição dos motores a combustão pelos motores elétricos, onde mais uma vez recaiu-se no problema já detectado na mineração, escassez de soluções eficientes.

A maior necessidade por energia levou a exploração de várias

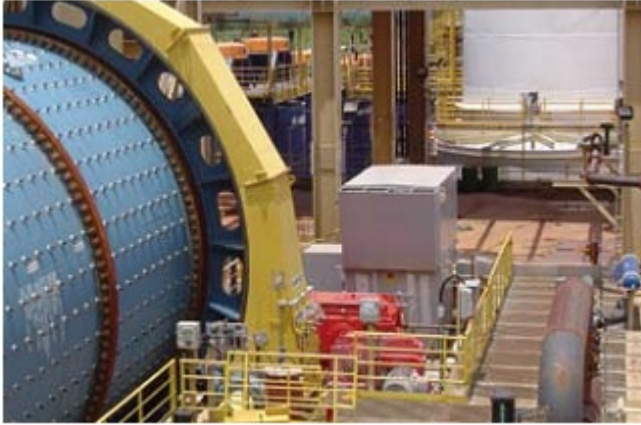


Figura 1 – Motor de indução usado em moinho de bolas na indústria de mineração (6500kW, 13800V). Fonte: Catálogo Weg.

outras fontes de geração. Fontes essas que geralmente encontram-se distantes dos polos consumidores (grandes centrais hidrelétricas, fazendas eólicas), gerando a necessidade de transmissão de toda essa energia, com as menores perdas possíveis. Durante anos o sistema de transmissão predominante foi o alternado (tensão e corrente variando senoidalmente no tempo), escolha feita decorrente das tecnologias predominantes na época das construções das usinas. Com o advento da eletrônica de potência moderna e a melhoria das tecnologias de fabricação de componentes pode-se verificar que para certas linhas de transmissão o uso de tecnologia em corrente contínua tinha melhores resultados.

Em todas as situações acima grande parte do problema é gerada pelas potências envolvidas. Equipamentos de mineração operam na faixa de megawatts de potência. Transportes de massa costumemente vão de dezenas até centenas de kilowatts. As linhas de transmissão operam numa faixa mais ampla ainda, podendo variar de centenas de kilowatts a centenas de megawatts. Em todos os casos a faixa de corrente atinge milhares de amperes.

Entretanto, mesmo com os dispositivos mais modernos tem-se vários problemas. A questão da isolamento elétrica dos componentes é recorrente, uma vez que os dispositivos que possuem isolamento alta são caros, com tempos de comutação elevados entres seus estados de condução e bloqueio e ainda dispendiosos em termos de energia utilizada no pro-



Figura 2 – Trolebus na Espanha. Fonte: Associação Brasileira do Veículo Elétrico.

cesso de comutação. Caso queira ser tentado algum arranjo em série de componentes, com a finalidade de aumentar a tensão de isolamento do arranjo, tem-se um grave problema de sincronia. Mesmo que os sinais de comandos dos interruptores sejam impostos ao mesmo tempo, não há garantia que os componentes irão ter a comutação síncrona. E nesse caso, a falta de sincronia pode levar o arranjo todo a destruição.

Nesse contexto surgiram os conversores multiníveis. A necessidade de serem atingidos níveis de tensão mais elevados com o uso de dispositivos comuns no mercado e que nos quais possam ser utilizadas técnicas de modulação e controle que resultem em equipamentos mais eficientes. Apesar dos primeiros artigos datarem do final dos anos 70 e começo dos 80 (NABAE; TAKAHASHI; AKAGI, 1981), uma grande gama de trabalhos foi publicada a partir de 1996.

Este trabalho apresenta uma nova topologia de inversor multinível híbrido de 9 níveis quando das configurações monofásicas chegando a 17 níveis da tensão de fase nas configurações trifásicas, baseadas em células de conversores ponte completa e de conversores NPC. Além disso, são apresentados estudos da aplicação de diferentes técnicas de modulação senoidal conhecidas da literatura, por exemplo (HOLMES, 2003), (WU, 2006) e (MCGRATH; HOLMES, 2002), e um comparativo dessas técnicas senoidais padrão frente a uma técnica de centralização de pulsos (CARMONA et al., 2008).

O trabalho está estruturado da seguinte forma: no capítulo 2

serão apresentadas as principais topologias de inversores multiníveis conhecidos na literatura tais como NPC, Flying Capacitor e Cascaded, destacando vantagens e desvantagens de cada topologia. No capítulo 3 serão apresentadas as técnicas de modulação senoidal amplamente difundidas e um comparativo das mesmas. Nos capítulos 4 e 5 serão apresentadas as novas topologias propostas e os resultados das simulações usando algumas das técnicas de modulação apresentadas anteriormente e uma nova técnica híbrida proposta. No capítulo 6 serão apresentados o projeto do inversor e os resultados experimentais.



## 2 TOPOLOGIAS DE INVERSORES MULTINÍVEIS

Os inversores multiníveis surgiram da necessidade do mercado de atender maiores demandas de potência, envolvendo tensões e correntes de níveis acima dos disponíveis nos interruptores de mercado. Associada a essa necessidade, também a inclusão dos inversores a normas de compatibilidade eletromagnética conforme (IEC, 1994) e (FCC, 1992). Assim, uma vez que níveis menores de tensão são comutados, menores são suas emissões de ruído eletromagnético segundo (ERKUAN; LIPO, 1995).

Agora contextualizado, apresentam-se as estruturas de inversores NPC, Flying Capacitor e Cascaded, que são amplamente difundidos da literatura.

### 2.1 INVERSOR NPC

O inversor NPC foi desenvolvido por (BAKER, 1980) e amplamente explorado por (NABAE; TAKAHASHI; AKAGI, 1981). O inversor NPC é derivado do inversor de 2 níveis, que contando com a inclusão de diodos, que exercem o grampeamento da tensão nos interruptores, e interruptores ativos fazem com que seja possível a obtenção de mais de 2 níveis de tensão.

O inversor de 2 níveis, ilustrado na figura 3, gera em sua saída uma forma de onda grampeada nos níveis extremos do seu barramento, fazendo uso de um braço meia-ponte convencional, por fase. Quando em uma configuração trifásica é possível a obtenção de um nível intermediário de tensão de linha com o uso de 3 braços de conversores meia-ponte.

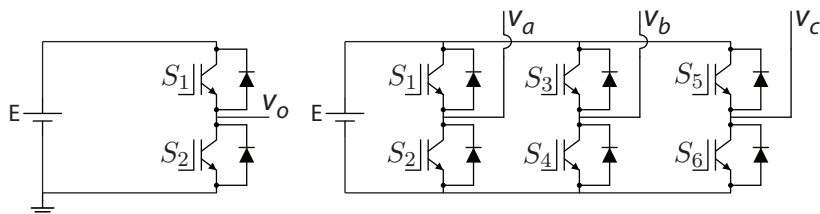


Figura 3 – Inversor 2 níveis. Configuração monofásica (a) e trifásica (b).

Impondo sinais de comando aos interruptores é possível criar um sinal senoidal. Porém como ilustrado na figura 4, vê-se que a senóide criada está deslocada, situada entre os valores extremos do barramento.

Como nos conversores meia-ponte, o comando dos interruptores nos inversores 2 níveis deve ser feito tomando cuidado para que exista um tempo morto entre o acionamento de cada um dos interruptores do mesmo braço. Caso isso não seja respeitado um curto-circuito será provocado no barramento. Na figura 4 temos as formas de onda de  $v_o$  junto com a referência senoidal (evidenciando os 2 níveis) e de  $v_{ab}$ , mostrando os 3 níveis possíveis.

Essa é a topologia inversora mais difundida na literatura, principalmente em aplicações de baixa tensão e potência, por atender grande faixa de aplicações com fidelidade. Dentre essas aplicações estão UPS e conversores de tensão DC-AC.

O inversor NPC, em sua estrutura mais simples ilustrado na figura 5, possibilita a geração de uma forma de onda com 3 níveis já na configuração monofásica, elevando esse número para 5 níveis com a configuração trifásica. É prática comum usar uma única fonte de tensão e gerar os níveis intermediários através de um barramento capacitivo, não sendo exigido o uso de fontes isoladas. Em (XIAOMING, 1998) é feito um alerta sobre as características de auto-balanceamento do barramento capacitivo e em (ISHIDA et al., 2000) é apresentada uma técnica para garantia do equilíbrio de tensão.

Trabalhos como o de (RODRIGUEZ; JIH-SHENG; ZHENG, 2002)

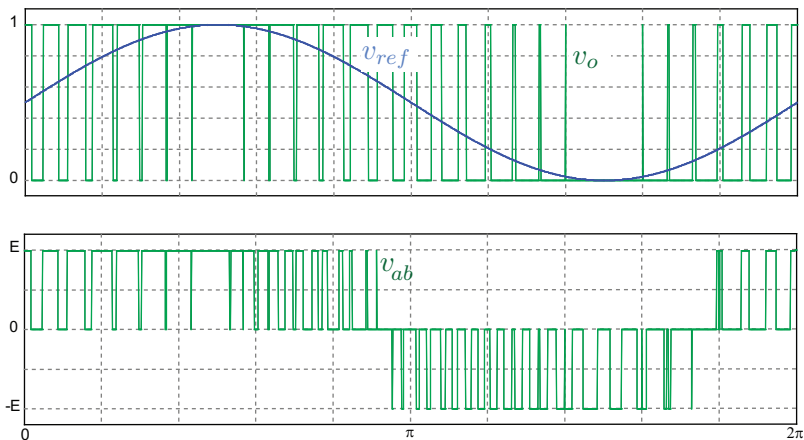


Figura 4 – Forma de onda das tensões  $v_o$ ,  $v_{ref}$ , e  $v_{ab}$ .

alertam para problemas associados a recuperação reversa dos diodos de grameamento, principalmente quando a topologia possibilita maior número de níveis e os de (BUM-SEOK; DONG-SEOK, 1997) e (XIAOMING; BARBI, 2000) para a ocorrência de sobretensão nos interruptores internos devido a indutâncias parasitas e ao grameamento indireto de tensão.

Na figura 6 são exibidas as formas de onda da tensão de fase, na configuração monofásica, e da tensão de linha, na configuração trifásica, do inversor NPC.

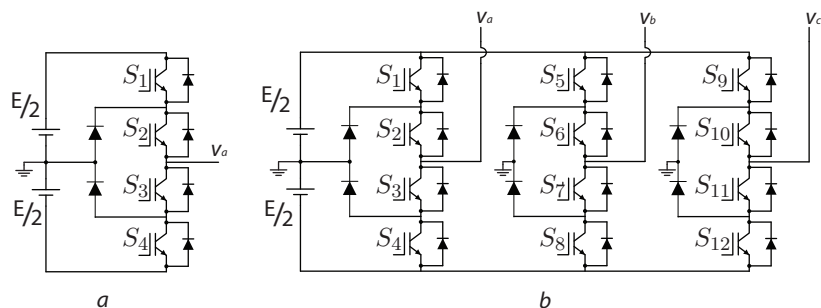


Figura 5 – Estruturas básicas do inversor NPC. Monofásica (a) e Trifásica (b).

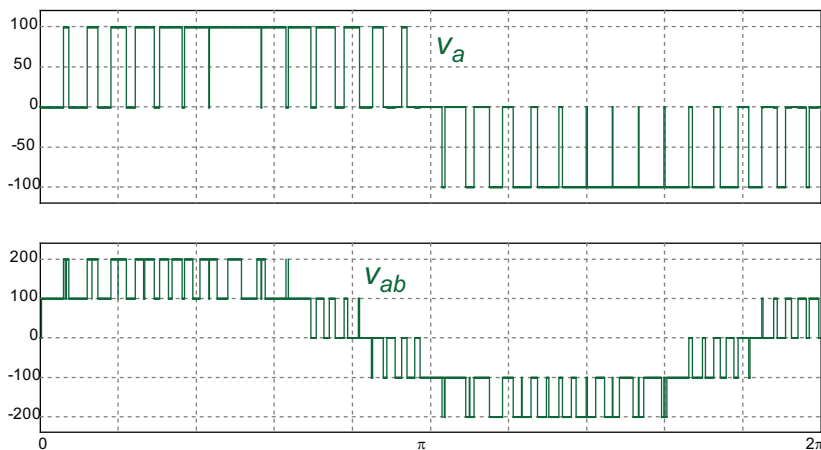


Figura 6 – Formas de onda das tensão nas configurações monofásica (a) e trifásica (b).

Seguem as principais características do inversor NPC, onde  $n$  é o número de níveis desejados na tensão de fase do inversor:

- Utiliza  $2 \cdot (n - 1)$  interruptores ativos por fase;
- Necessita de  $2 \cdot (n - 2) \cdot (n - 1)$  diodos de grampeamento por fase;
- Os esforços de tensão dos interruptores ativos são idênticos. Todos são submetidos a  $\frac{E}{n}$ ;
- Os esforços de tensão nos diodos de grampeamento aumentam conforme o número de níveis do conversor aumenta. Esse problema é contornado com a adição em série de outros diodos, porém deve ser analisada com cautela;
- Caso seja necessário aumentar a tensão de saída, é possível fazê-lo sem a necessária substituição dos interruptores;
- Uma vez que níveis menores de tensão são comutados, há redução das derivadas de tensão  $dv/dt$ ;
- Para  $n > 3$  o balanceamento das tensões não é possível para cargas ativas, o que limita a aplicação do conversor a compensação de reativos.

## 2.2 INVERSOR FLYING CAPACITOR

O inversor Flying Capacitor foi desenvolvido por (MEYNARD; FOCH, 1992) como alternativa aos inversores NPC. Na figura 7 é ilustrada uma topologia monofásica para três níveis. Assim como nos inversores NPC, os Flying Capacitor tem por objetivo reduzir os esforços de tensão sobre os interruptores. Esse objetivo é alcançado pois os capacitores de grampeamento aplicam sua tensão sobre os interruptores sem a necessidade do uso de diodos, que nos inversores NPC poderiam ter seus esforços de tensão aumentados conforme são acrescidos níveis ao inversor.

Outro problema resolvido pelos Flying Capacitor é referente ao equilíbrio das tensões do barramento, e nesse caso dos capacitores de grampeamento. Dada a redundância existente na topologia existem várias combinações de interruptores que levam a mesma solução.

Porém, essa redundância gerada na topologia é devida as possibilidades geradas pela combinação dos interruptores em conjunto com os capacitores de grampeamento.

Ainda devido a existência desses capacitores, tem-se a necessidade de pré-carga dos mesmos, feita por circuitos externos ao da topologia apresentada, o que eleva a contagem de componentes e a complexidade geral do inversor.

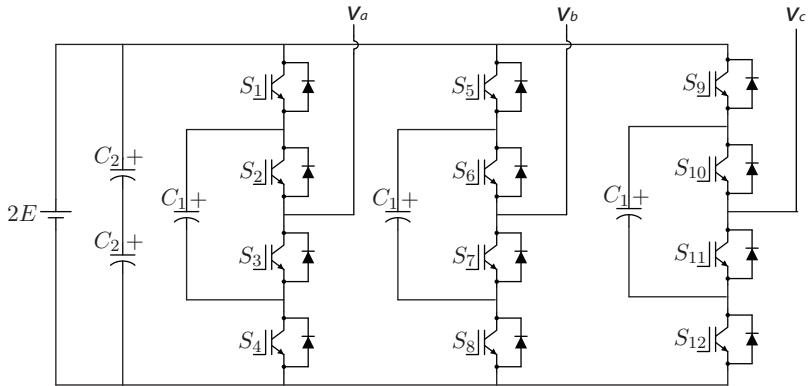


Figura 7 – Topologia Flying Capacitor de 3 níveis.

Um outro problema apresentado por essa topologia é a elevada tensão a qual os capacitores estão sujeitos. O dimensionamento desses componentes deve ser feito levando em consideração tanto a sua capacitância, quanto aos níveis de tensão e corrente eficaz aos quais o capacitor estará imposto.

A ordem dos comandos do inversor Flying Capacitor deve respeitar a não sobreposição dos sinais de comando dos pares  $S_2$  e  $S_3$ ,  $S_6$  e  $S_7$ ,  $S_1$  e  $S_4$  e  $S_5$  e  $S_8$ . Caso essa limitação não seja respeitada os capacitores serão postos em curto gerando danos ao inversor.

Sintetizando as características do conversor Flying capacitor que o diferenciam do NPC temos:

- Redundância no comando dos interruptores leva a um maior controle do inversor, porém mais complexo;
- Tanto o fluxo de potência ativa e quanto o fluxo de potência reativa podem ser controlados;
- São necessários sensores de tensão e um controle dedicado para a manutenção dos níveis de tensão necessários para o correto grampeamento;

### 2.3 INVERSOR CASCATA

As topologias *Cascaded*, ou Cascata, como seu nome propõe são formadas pela associação de topologias simples, tais como as formadas por células de comutação meia-ponte ou ponte completa. A forma de associação mais efetiva é a série, pois possibilita o surgimento de formas de onda com níveis de tensão elevados em relação a cada entrada individual. Essas foram as primeiras formas documentadas de geração de multiníveis, publicadas por (BAKER; LAWRENCE, 1975)

As estruturas chamadas CHB (Cascaded H-Bridge ou Cascata Ponte H) são provavelmente as mais usadas em inversores multiníveis por serem baseadas na célula de comutação de ponte completa, de fácil implementação.

As topologias cascata são por definição modulares, pois cada célula tem sua fonte independente e isolada, e os comandos dos interruptores também podem ser gerados localmente, independente do número de níveis desejados no inversor. Nesse caso, o recomendado é que se tenha um comando central para o controle dessas células.

Na estrutura com célula meia-ponte, cada célula acrescenta dois níveis na saída do inversor. Na figura 9 é ilustrada uma conexão cascata

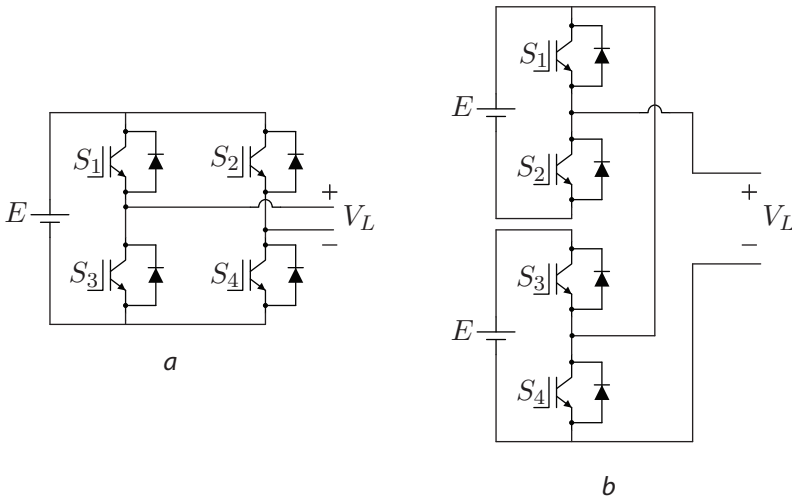


Figura 8 – Células usadas no conversores cascata. (a) Ponte completa e (b) Meia ponte.

generalizada onde  $V_{C_1}$ ,  $V_{C_2}$  e  $V_{C_3}$  são as saídas de tensão de cada célula e  $V_L$  a soma das tensões de todas as células.

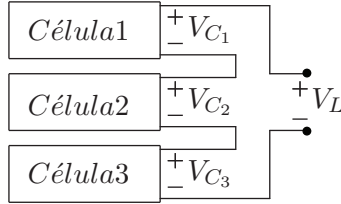


Figura 9 – Ilustração de conversor cascata.

No caso das estruturas CHB, baseadas na célula de ponte completa, exibida na figura 8a, as tensões  $V_{C_1}$ ,  $V_{C_2}$  e  $V_{C_3}$  podem atingir 3 níveis por célula  $-E$ ,  $E$  e  $0$ . Caso  $S_1$  e  $S_4$  sejam comandados é imposto em  $V_L$  a tensão da fonte  $E$ . Caso os interruptores  $S_2$  e  $S_3$  sejam comandados, a tensão se inverte e  $-E$  é imposta na saída. Se nenhum interruptor for comandado a saída é  $0$ .

Como características gerais dos conversores cascata temos:

- Os esforços de tensão sobre os interruptores são idênticos em todas as células. Os interruptores estão sempre submetidos no máximo a tensão da fonte da célula a qual pertencem;
- A estrutura é modular por definição. Podem ser fabricados módulos idênticos o que facilita sua montagem, manutenção e substituição nas aplicações;
- As técnicas de controle para equilíbrio da tensão dos capacitores de barramento são dispensáveis;
- É necessário o mesmo número de fontes isoladas conforme requisito do número de níveis de tensão;
- A contagem total de componentes é elevada.

## 2.4 INVERSOR CASCADED HÍBRIDOS OU ASSIMÉTRICOS

Os inversores ditos híbridos ou assimétricos são assim classificados pois são caracterizados pela assimetria nos valores nominais de tensão e/ou corrente de suas fontes. É possível que essas sejam de valores contíguos, por exemplo “E” e “2E” ou “2E” e “3E”, ou não como “E” e “4E”.

No caso de fontes de valores não contíguos, algum nível de tensão intermediário poderá estar ausente, piorando quesitos como THD e esforços de tensão nos componentes. Ainda assim podem ser úteis quando trata-se de fontes com potências diferentes, conforme demonstrado em (MANJREKAR; STEIMER; LIPO, 1999).

## 2.5 INVERSOR MMC

As topologias *Modular Multilevel Converter*, ou simplesmente MMC são recentes, conforme apresentado em (LESNICAR; MARQUARDT, 2003). Essas topologias são baseadas em células de comutação meia-ponte ou ponte completa cascateadas, de modo a impor a combinação de suas tensões. Assim como na topologia *Flying Capacitor*, os níveis impostos são obtidos de capacitores conectados a essas células de comutação. A figura 10 ilustra essa célula.

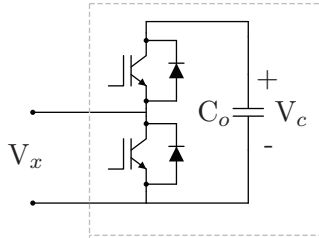


Figura 10 – Célula da topologia MMC.

Novamente como na topologia FC, é necessário um maior esforço dos mecanismos de controle para que as tensões nos capacitores tenham seu valor controlado, conforme exibido em (KONSTANTINOU; CIOBOTARU; AGELIDIS, 2011).

## 2.6 INVERSOR ANPC

Os conversores ANPC, *Active Neutral Point Clamped*, são similares conceitualmente aos NPC sendo que os ANPC's têm seus níveis de tensão grampeados ativamente, através do comando de interruptores. Os trabalhos de (BARBOSA et al., 2005a) e (BERNET, 2004) apresentam o conversor numa configuração de 3 níveis, mono e trifásica. A figura 11 ilustra essas configurações.

Assim como o inversor MMC, as topologias ANPC são relati-



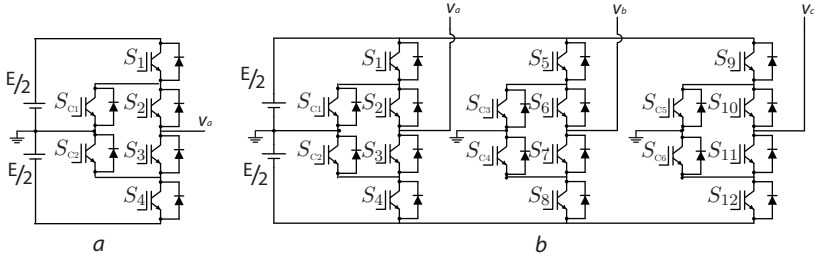


Figura 11 – Estruturas do conversor ANPC. (a) Mono e (b) Trifásica.

vamente novas porém no trabalho de (BARBOSA et al., 2005b) já são apresentadas modificações nas estrutura do ANPC levando aos conversores ANPC de 5 e 7 níveis de tensão.

## 2.7 CONCLUSÃO

As estruturas aqui apresentadas sintetizam décadas de trabalho e esforço de vários pesquisadores e mostram a evolução do conhecimento quando referido as topologias de conversores multiníveis.

Foram resumidas as características peculiares de cada uma das três topologias mais difundidas na literatura sobre inversores multiníveis (NPC, FC e cascata) e três topologias recentes e ainda em estágio de pesquisa (cascata híbrida, MMC e ANPC). Comparadas entre si, cada uma delas apresenta pontos fortes e fracos em vários quesitos.

A tabela 1 apresenta alguns itens fundamentais que servem como critério de comparação entre as topologias diretamente, sem a interferência de técnicas de controle, referente apenas às topologias mais difundidas (NPC, FC e cascata).

Tabela 1 – Resumo sobre inversores multiníveis. Aqui “n” representa o número de níveis desejado

	Interruptores	Diodos de gramp.	Cap. de gramp.	Cap. de barramento	Fontes Isoladas	Níveis de fase
CHB	$2(n-1)$	0	0	$\frac{(n-1)}{2}$	$\frac{(n-1)}{2}$	$2n-1$
NPC	$2(n-1)$	$(n-1)(n-2)$	0	$(n-1)$	1	$2n-1$
Flying Capacitor	$2(n-1)$	0	$\frac{(n-1)(n-2)}{2}$	$(n-1)$	1	$2n-1$



### 3 MODULAÇÃO

A origem do termo modulação remete à área de telecomunicações (BLACK, 1953). Um bom exemplo é caracterizado nas transmissões sem fio de ondas eletromagnéticas, onde o tamanho da antena varia conforme o comprimento de onda do sinal a ser transmitido. Dependendo do tipo da antena pode-se usar  $\lambda/2$ ,  $\lambda/4$  ou  $\lambda/10$ , onde  $\lambda$  é o comprimento de onda.

O comprimento de onda relaciona-se com a frequência através da equação 3.1, onde  $c$  é a constante que representa a velocidade da luz e  $f$  é a frequência do sinal a ser transmitido.

$$\lambda = \frac{c}{f} \quad (3.1)$$

Assim, tanto quanto o sinal tiver frequência maior, menor é a antena utilizada. Assim, para a transmissão de áudio na faixa audível (20 Hz a 20 kHz) o comprimento de onda varia aproximadamente de 15 mil km a 15 km, que na melhor das condições resultaria em uma antena com tamanho variando de 1,5 mil km a 1,5 km, parâmetros impraticáveis, (BALANIS, 1992).

Outra condição que torna impraticável a transmissão de sinais em baixas frequências pelo ar é a degradação do sinal, pois sinais de baixa frequência tem capacidade de radiação ruim por serem facilmente absorvidos pelo ambiente necessitando de amplificadores de sinal com muita potência.

Existe ainda a questão de uso de banda. Apenas um sinal pode ser transmitido ou recebido. Caso dois sinais sejam transmitidos simultaneamente o receptor receberá a soma de ambos e não terá condições de discernir um sinal do outro.

Para contornar os problemas citados foram desenvolvidas técnicas para deslocar o sinal das frequências da faixa de áudio para faixas mais altas. Essas técnicas são chamadas genericamente de modulação de sinal.

Nessas técnicas usam-se dois sinais chamados portadora e moduladora. Os termos portadora e moduladora referem-se ao sinal que contém a informação a ser transmitida (moduladora) e ao sinal que vai carregar o sinal para longe dos emissores (portadora). É comum o uso dessa nomenclatura quando tratando-se de transmissões AM e FM.

Em eletrônica de potência a essência da modulação é a mesma, transmitir uma informação. Porém, a informação a ser transmitida

representa a forma de onda desejada na saída de um conversor, seja ele um conversor CC-CC ou CC-CA. Nesse trabalho são tratados os aspectos referentes diretamente a técnicas de modulação aplicáveis a conversores CC-CA, os inversores de tensão.

A escolha da técnica de modulação impacta diretamente em quatro aspectos do comportamento do conversor:

1. Conteúdo harmônico;

O conteúdo harmônico é avaliado pelos índices de THD e *Weighted* THD de primeira ordem da tensão de saída (WTHD). Segundo apresentado por (HOLMES, 2003), THD e WTHD são definidas como:

$$THD = \frac{1}{V_1} \sqrt{\sum_{i=2}^n V_i^2} \quad (3.2)$$

onde  $i$  representa a ordem dos harmônicos e  $n$  o número de ordens a ser avaliada.

A WTHD é uma avaliação da tensão de saída ponderada pela ordem da mesma. O termo fica definido como:

$$WTHD = \frac{1}{V_1} \sqrt{\sum_{i=2}^n \left(\frac{V_i}{i}\right)^2} \quad (3.3)$$

2. Perdas de comutação;

As perdas de comutação estão associadas a frequência com que os interruptores são forçados a comutar seus estados de condução (bloqueio, onde não existe corrente significativa conduzida pelo semiconductor e condução, estado no qual existe um sinal de corrente sendo conduzido).

Essas perdas podem ser minimizadas com algumas técnicas de modulação que privilegiam a redução no número de comutações.

3. Perdas de condução;

Da mesma maneira que ocorre com as perdas de comutação é possível minimizar as perdas de condução com a utilização de diferentes técnicas de modulação, conforme mostrado em (QUNJING et al., 2007).

#### 4. Tensões de modo comum.

As tensões de modo comum são causa corriqueira de problemas em várias aplicações de eletrônica de potência. Em acionamentos elétricos por exemplo, pode forçar um acoplamento capacitivo através de peças móveis do motor, como eixo e rolamentos, fazendo com que o tempo de vida útil dos mesmos seja reduzido.

Algumas das técnicas aqui apresentadas são testadas em simulação e ponderadas conforme quesitos a serem apresentados no capítulo 5. Baseado nesses quesitos é apresentado ferramental matemático para avaliação de uma técnica. Essa técnica então será implementada na parte experimental desse trabalho.

### 3.1 TÉCNICAS CONHECIDAS

Diversas técnicas de modulação estão disponíveis na literatura. O modo como foram organizadas e apresentadas em (FRANQUELO et al., 2008) é muito interessante e de grande valia para seu estudo. A figura 12, é baseada neste. Apesar de serem apresentadas diversas técnicas, as mesmas se ramificam e tal figura não deve ser interpretada como caracterização definitiva para esse tópico.

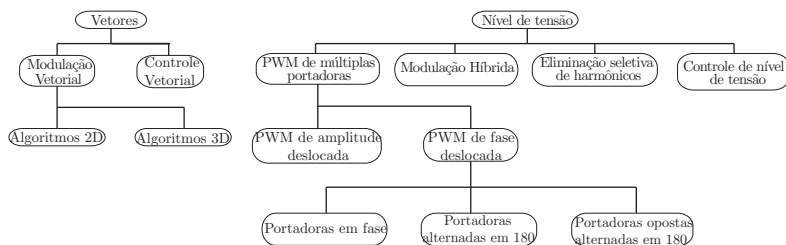


Figura 12 – Organização das técnicas de modulação para conversores multiníveis.

As duas grandes famílias apresentadas, Vetores e Nível de Tensão, são basicamente assim agrupadas devido sua natureza. A família baseada em vetores faz uso de representações vetoriais baseadas nos estados topológicos da estrutura. Gera-se a tensão de saída desejada, ou compõe-se o vetor de saída desejado, através de uma soma vetorial. No caso, calcula-se o período de imposição de cada estado topológico necessário para obtenção da saída desejada.

A família de técnicas baseadas em nível de tensão também visa obter um nível de tensão desejado na saída, porém não faz o uso de representações vetoriais para isso. Essa família abrange múltiplas técnicas, conforme a necessidade e a disponibilidade da estrutura em estudo.

Assim como a figura 12 não caracteriza um quadro rígido da organização das modulações possíveis para inversores multiníveis algumas das técnicas abordadas aqui terão equivalentes em ambas famílias.

As técnicas de modulação mais difundidas e aplicadas aos inversores são a modulação vetorial (SVM, *Space Vector Modulation*) e as modulações SPWM (*Sinoidal Pulse Width Modulation*) de múltiplas portadoras. Ambas são baseadas em regras simples de comando dos interruptores conforme a topologia a qual são empregadas (HOLTZ, 1994).

### 3.1.1 Modulação Vetorial

Essa é uma das técnicas mais difundidas na literatura, principalmente aplicada às topologias de inversores de três níveis, conhecidos comumente como VSI's (HOLMES, 2003). Passível de ser aplicada com relativa facilidade, poder ser utilizada em todas as topologias de inversores. Uma dificuldade dessa técnica aparece quando o número de vetores da topologia torna-se muito grande, exigindo algoritmos de cálculo complexos (MASSOUD; FINNEY; WILLIAMS, 2008).

As técnicas de modulação vetorial são divididas em 2D e 3D devido a representação dos vetores desejados. Em ambas as técnicas, o processo para obtenção dos vetores desejados passa pelo levantamento dos estados topológicos da estrutura.

Nas técnicas de modulação vetorial 2D, ou SVM, cada estado topológico gera um vetor, porém um mesmo vetor pode levar a estados topológicos diferentes. Essas condições dependem exclusivamente da topologia estudada. Na existência de um vetor que seja gerado por estados topológicos diferentes é dito que existe redundância de vetores (CELANOVIC; BORROYEVICH, 2001).

Na existência de redundância pode-se levar em consideração na escolha do vetor a ser utilizado a redução do número de comutações ou uma possível condição de balanço de carga da fonte utilizada na estrutura. Caso não haja redundância é preferível a utilização de tal vetor na formação de um vetor desejado em suas proximidades.

As mesmas condições são válidas para a modulação vetorial 3D. Logo, quando da existência de vetores redundantes além da possibi-

lidade de escolha dos vetores que leve a redução do número de comutações e do balanço de carga das fontes ainda é possível escolher um vetor que gere menores tensões no terceiro eixo ortogonal, usualmente ligado a tensões de modo comum aplicadas na carga.

Conforme demonstrado em (HOLMES, 2003), a aplicação da SVM é facilmente compreendida quando aplicada ao VSI. Na figura 13 é ilustrada a topologia típica do VSI.

Dada a condição de operação dos interruptores do VSI restam apenas oito combinações possíveis, das quais uma (o vetor nulo, identificados como  $\vec{V}_0$  e  $\vec{V}_7$ ) é redundante, apresentadas na tabela 2

Tabela 2 – Vetores Resultantes, Interruptores comandados e Tensão aplicada a carga

Vetor	Interruptor Comandado	Tensão aplicada
$\vec{V}_0$	$S_1, S_2, S_3$	0
$\vec{V}_7$	$S_4, S_5, S_6$	
$\vec{V}_1$	$S_1, S_5, S_6$	$\frac{2}{3} \cdot E \cdot e^{j0}$
$\vec{V}_2$	$S_1, S_2, S_6$	$\frac{2}{3} \cdot E \cdot e^{j\frac{\pi}{3}}$
$\vec{V}_3$	$S_2, S_4, S_6$	$\frac{2}{3} \cdot E \cdot e^{j\frac{2\pi}{3}}$
$\vec{V}_4$	$S_2, S_3, S_4$	$\frac{2}{3} \cdot E \cdot e^{j\frac{3\pi}{3}}$
$\vec{V}_5$	$S_3, S_4, S_5$	$\frac{2}{3} \cdot E \cdot e^{j\frac{4\pi}{3}}$
$\vec{V}_6$	$S_1, S_3, S_5$	$\frac{2}{3} \cdot E \cdot e^{j\frac{5\pi}{3}}$

Seguindo a metodologia, dado um vetor desejado, faz-se a soma vetorial dos vetores disponíveis mais próximos. No caso da utilização

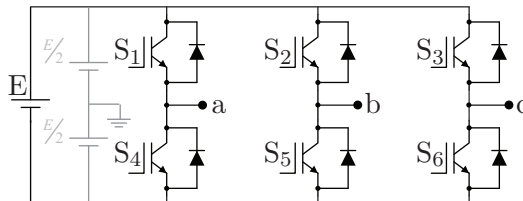


Figura 13 – Topologia VSI.

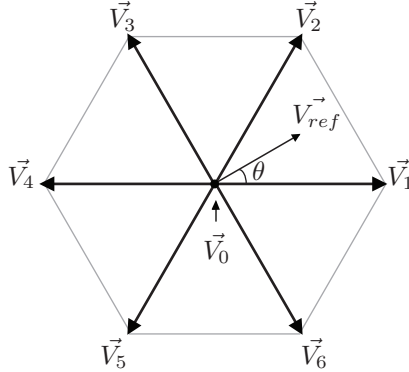


Figura 14 – Diagrama de vetores do VSI.

do vetor 0, onde tem-se redundância, deve-se escolher um dos critérios já citados para a definição do vetor a ser utilizado.

Segundo (WU, 2006), o vetor  $V_{ref}$  da figura 14 é definido como descrito na equação 3.5 onde  $T_a$ ,  $T_b$  e  $T_0$  são os tempos de aplicação de cada vetor e  $T_s$  é um período suficientemente pequeno onde  $V_{ref}$  pode ser considerado constante, atendendo aos conceitos de tensão média instantânea, definido como:

$$T_s = T_a + T_b + T_0 \quad (3.4)$$

$$V_{ref} \cdot T_s = \vec{V}_1 \cdot T_a + \vec{V}_2 \cdot T_b + \vec{V}_0 \cdot T_0 \quad (3.5)$$

Sendo  $V_{ref} = V_{ref} \cdot e^{j\theta}$ , e substituindo-o juntamente com definições dos outros vetores envolvidos descritas na tabela 2 na equação 3.5 juntamente com a equação 3.4 resulta após alguma manipulação em:

$$\begin{aligned} T_a &= \frac{\sqrt{3} \cdot T_s \cdot V_{ref}}{E} \cdot \text{sen} \left( \frac{\pi}{3} - \theta \right) \\ T_b &= \frac{\sqrt{3} \cdot T_s \cdot V_{ref}}{E} \cdot \text{sen} (\theta) \\ T_0 &= T_s - T_a - T_b \end{aligned} \quad (3.6)$$

Tendo determinado o tempo de aplicação de cada vetor, pode-se concentrar esforços na sequência de comutação mais adequada. Vale ressaltar aqui que o intervalo  $T_s$  é reflexo da frequência de comutação desejada.



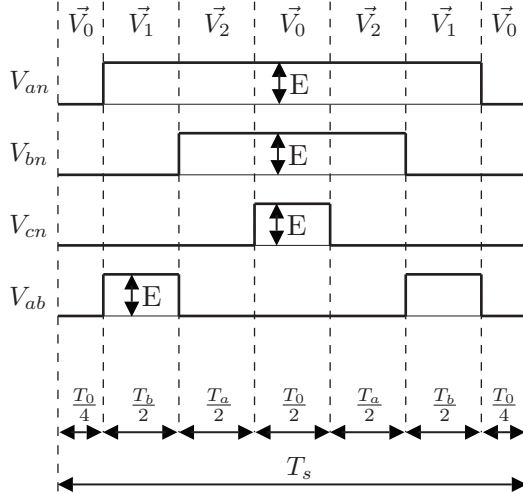


Figura 15 – Sequência de comutação escolhida para  $V_{ref}^{\rightarrow}$ .

Visando minimizar as comutações necessárias temos a sequência escolhida na figura 15. Vale ressaltar que todos os interruptores comutam apenas duas vezes durante o intervalo e que é feito uso de todos os vetores disponíveis, inclusive os dois vetores redundantes.

Essa foi ocasionalmente a escolha ótima. Várias combinações são possíveis e terão resultados diferentes dessa em relação ao número de comutações de cada interruptor.

O algoritmo para uso da modulação vetorial segue deslocando os vetores de  $60^\circ$  conforme os setores são cruzados pelo vetor de referência.

Em (PRATS et al., 2003) encontra-se um algoritmo e resultados experimentais para aplicação da modulação vetorial 3D.

### 3.1.2 Controle Vetorial

Conforme descrito em (MATHEW; HOUGHTON; OGHANNA, 1995), em essência, as técnicas de controle vetorial são baseadas no controle ativo de componentes vetoriais da carga a qual o conversor está conectado. A exemplo, no trabalho citado o inversor controla o fluxo magnético de um motor de indução tipo gaiola.

O procedimento para descoberta do vetor é o mesmo que o usado na SVM, porém as decisões sobre qual vetor será aplicado e o tempo

de imposição vão depender da realimentação do sistema de controle.

É usual para os casos que o controle vetorial é empregado a utilização das transformadas apresentadas em (PARK, 1929) para realimentação dos vetores de referencia.

Em (RODRIGUEZ; CORREA; MORAN, 2001) é apresentado um algoritmo para uso do controle vetorial em um inversor multinível e alguns critérios de comparação utilizados no estudo com uma modulação senoidal.

### 3.1.3 PWM de múltiplas portadoras

Conforme já comentado, juntamente com a modulação vetorial, as modulações baseadas em portadoras ocupam lugar de destaque como técnicas difundidas na literatura e indústria.

Essas técnicas de modulação visam a obtenção de formas de onda correspondentes a sua moduladora na saída dos inversores de tensão. Para tanto usa-se estruturas comumente chamadas de moduladores para a geração dos sinais de comando dos interruptores das topologias. Esses sinais são gerados a partir da comparação entre os sinais moduladores e os sinais portadores. O sinal modulador refere-se a informação pretendida na saída do inversor e o sinal portador a frequência de comutação dos interruptores. Na figura 16 está ilustrado um modulador genérico, em uma representação analógica idealizada.

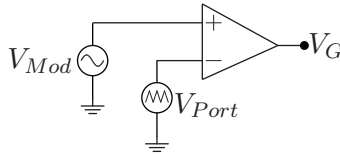


Figura 16 – Exemplo de um modulador genérico.

É comum que existam tantas portadoras quanto forem necessárias para controlar todos os níveis de tensão do inversor. Essa quantidade é definida como  $N_{r_{port}}$  na equação 3.7, onde  $n$  é o número de níveis esperado do inversor.

$$N_{r_{port}} = n - 1 \quad (3.7)$$

A variação da largura dos pulsos é o princípio básico do PWM. Em conversores DC/DC, onde procura-se um ponto de operação fixo e realizam-se ações de controle para que as características desejadas dos

conversores sejam preservadas, define-se o termo razão cíclica  $D$ , como apresentado em (MOHAN, 2003) como segue:

$$D = \frac{T_{on}}{T} \quad (3.8)$$

onde  $T_{on}$  é o período que o interruptor está conduzindo e  $T$  é o período total entre duas comutações, ilustrados na figura 17. Essa definição restringe a faixa de valores de  $D$  entre 0 e 1.

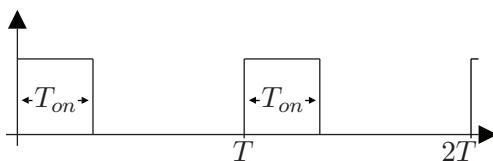


Figura 17 – Exemplo dos períodos para definição de  $D$ .

Em conversores DC/AC utiliza-se o termo razão cíclica, definido na equação 3.9, conforme apresentado por (WU, 2006):

$$M_a = \frac{V_{Mod}}{V_{Tri}} \quad (3.9)$$

onde  $V_{Mod}$  é a tensão de pico da moduladora e  $V_{Tri}$  é o valor de pico da tensão da portadora, conforme a figura 18. Assim, o índice de modulação de amplitude poderia assumir quais valores. O uso de valores superiores a 1 é chamada de sobremodulação e será discutida a seguir.

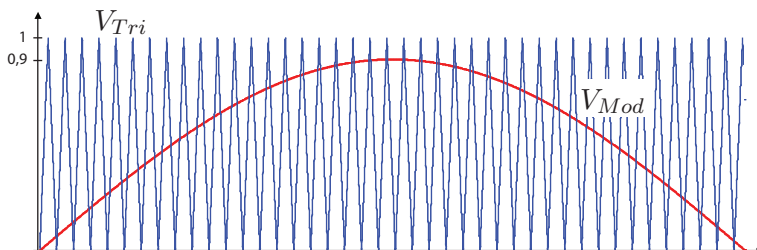


Figura 18 – Exemplos das amplitudes para definição de  $M$ .

Além do índice de modulação de amplitude ( $M_a$ ), outra definição importante é o índice de modulação de frequência ( $M_f$ ). Esse índice contém a relação entre a frequência das portadoras e da moduladora.

Fica então definido  $M_f$  como na equação 3.10.

$$M_f = \frac{f_{port}}{f_{mod}} \quad (3.10)$$

A disposição que essas portadoras assume também tem influência sobre os aspectos salientados anteriormente, como WTHD. Em estratégias de modulação com múltiplas portadoras, essas podem assumir disposições em dois grupos: disposição com deslocamento de fase (PS, *Phase Shifted*) ou deslocamento de nível (LS, *Level Shifted*)

### 3.1.3.1 PWM com deslocamento de fase

A estratégia de modulação PWM com múltiplas portadoras do tipo PWM com deslocamento de fase é apresentado na figura 19. Nessa estratégia são empregadas portadoras defasadas entre si conforme a topologia do inversor. No caso ilustrado o inversor teria cinco níveis, fazendo com que as portadoras sejam defasadas entre si com o ângulo  $\phi$ , conforme a equação 3.11.

$$\phi = \frac{360^\circ}{n} \quad (3.11)$$

Destaca-se que a amplitude e a frequência das portadoras triangulares é a mesma. No caso ilustrado na figura 19, com o pico da moduladora coincidente com o pico das triangulares, o índice de modulação de amplitude é 1.

De acordo com (WU, 2006), a modulação PS tem uma grande vantagem relativa ao espectro gerado. As componentes espectrais aparecem como bandas laterais dos múltiplos de dois da frequência de comutação. Assim, com componentes indesejáveis em frequências elevadas em relação a moduladora a filtragem torna-se muito mais fácil, devido a redução dos componentes dos filtros.

No exemplo apresentado em (WU, 2006), um inversor CHB de sete níveis consegue deslocar as componentes harmônicas para seis vezes a sua frequência de comutação, devido a cancelamentos das componentes entre as fases.

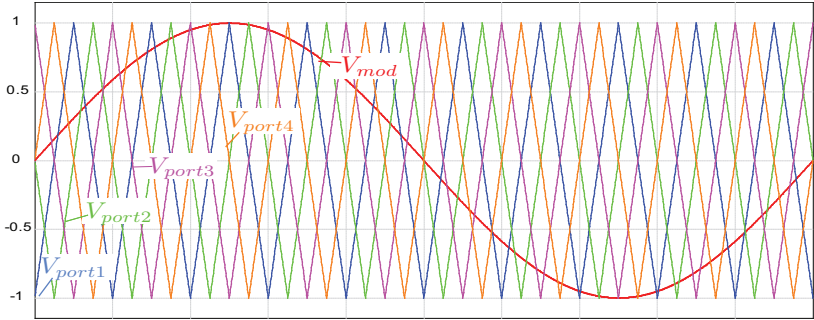


Figura 19 – Exemplo da disposição das portadoras e da moduladora.

### 3.1.3.2 PWM com deslocamento de nível

Assim como no caso do PWM com deslocamento de fase, aqui também as portadoras tem a mesma amplitude e frequência. Contudo estarão deslocadas verticalmente, com um *offset* que dependerá das amplitudes das mesmas de modo que não haja cruzamento entre as portadoras.

Nesse caso é necessária adaptar o conceito de índice de modulação de amplitude  $M_a$ . Conforme (WU, 2006), nessa situação  $M_a$  fica definido como descrito na equação 3.12.

$$M_a = \frac{V_{mod}}{Nr_{port} \cdot V_{tri}} \quad (3.12)$$

Mesmo com as portadoras deslocadas verticalmente, ainda podemos ter arranjos de fase entre elas. Caso as portadoras estejam dispostas em fase, esse arranjo é dito *In-Phase Disposition* ou IPD. É possível também a disposição das portadoras em oposição de fase, *Phase Opposite Disposition* ou POD, e ainda com disposição das portadoras alternadas em oposição de fase, *Alternative Phase Opposite Disposition* ou APOD. Essas três disposições de portadoras são ilustradas na figura 20.

O trabalho de (CARRARA et al., 1992), traz um comparativo quantitativo feito entre os três arranjos de portadoras usando o ferramental matemático descrito detalhadamente em (HOLMES, 2003), (WU, 2006) e (MCGRATH; HOLMES, 2002).

Nesses trabalhos são descritos métodos para a avaliação das formas de onda de saída, realizados através da representação em duas

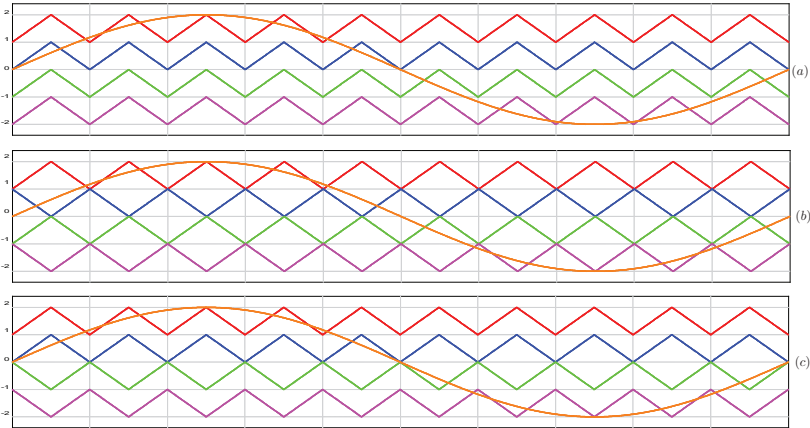


Figura 20 – Ilustração dos arranjos das portadoras com deslocamento de nível. (a) IPD, (b) APOD e (c)POD.

variáveis da série de Fourier do sinal. Esse também será o método utilizado para validação do uso de uma técnica de modulação adequada ao inversor proposto nesse trabalho.

### 3.1.4 Modulação Híbrida

A modulação híbrida é definida por (FRANQUELO et al., 2008) como uma técnica aplicada a conversores que possuem barramentos com tensões diferentes, usualmente conversores CHB, e que dessa forma podem adicionar ou subtrair um nível de tensão à carga. Dessa forma cada barramento poderia ser aproveitado de forma mais otimizada, conforme o nível de potência da célula cascadeada, conforme apresentado em (RECH; PINHEIRO, 2007) e (MANJREKAR; STEIMER; LIPO, 1999).

Porém essa definição não é rígida e é possível diversas interpretações. Alguns autores, tais como (AGELIDIS; CALAIS, 1998) e (CHIN-NAIYAN et al., 2007) consideram modulação híbrida como a utilização de duas técnicas diferentes ao mesmo tempo. Uma fusão de dois arranjos de portadoras.

### 3.1.5 Eliminação Seletiva de Harmônicos

A técnica de eliminação seletiva de harmônicos, *Selective Harmonic Elimination* ou SHE, foi inicialmente aplicada a conversores de grande potência usando interruptores lentos. O cálculo prévio dos ângulos de disparo em tiristores em inversores é essencial na eliminação de harmônicos de baixa ordem, na correta geração da onda de saída e na redução das perdas por comutação. Em (LI et al., 1998) são apresentados os conceitos e a quantização para obtenção dos intervalos de disparo.

### 3.1.6 Controle de Nível de Tensão

Conforme descrito em (FRANQUELO et al., 2008), o controle de nível de tensão é utilizado em inversores com grande número de níveis, em que sua operação seja baseada em aproximação de nível. Conclui-se ser um modo de controle do inversor similar ao SHE, porém com o foco no nível de tensão desejado, não nas harmônicas a serem eliminadas.

Esse método está descrito em (KOURO et al., 2007) e de acordo com (FRANQUELO et al., 2008) seus resultados aproximam-se do método de controle vetorial.

## 3.2 SOBREMÓDULAÇÃO

Quando o valor do índice de modulação de amplitude é forçado a valores superiores a 1, é dito que o conversor opera em sobremodulação. Essa faixa de trabalho, quando usadas técnicas de modulação senoidal, leva a redução no número de pulsos nas formas de onda das tensões de linha e ao aumento do valor da tensão de linha gerada. O custo nesse caso é a perda da relação linear entre a tensão de linha gerada e o índice de modulação de amplitude, conforme apresentado por (WU, 2006).

De acordo com (BAKHSHAI; JOOS; JIN, 1997), as técnicas de modulação baseadas em senóides utilizam apenas 78% da tensão do barramento em uma topologia VSI. Assim, um motor padrão acionado por tal topologia estaria operando abaixo de suas especificações. Do mesmo modo os inversores multinível que baseiam suas modulações em senóides tem o mesmo comportamento conforme (HOLMES, 2003).

Em acionamentos de alta performance, por exemplo carros elétricos,

a utilização de toda a tensão do barramento para obtenção do máximo torque disponível pela máquina em qualquer faixa de operação é essencial.

Com a finalidade de disponibilizar a capacidade toda do barramento surgiram diversas técnicas de sobremodulação aplicadas nas modulações senoidais sem que seja perdida a linearidade entre  $V_{ab}$  e  $M_a$ . No trabalho de (HAVA; KERKMAN; LIPO, 1998) são comparadas diversas técnicas de sobremodulação aplicadas as técnicas de modulação senoidal.

A técnica mais usada é a THIPWM, *Third Harmonic Injection Pulse Width Modulation* ou Injeção de terceira harmônica. O trabalho de (HOULDSWORTH; GRANT, 1984) apresenta de forma clara os princípios da técnica e seus resultados.

No trabalho de (GRANT, 1981) algumas técnicas e seus resultados são apresentados para a transição da SPWM para a aplicação de uma onda quadrada, de modo a utilizar plenamente o barramento disponível.

É conveniente afirmar que as técnicas de modulação que são baseadas em vetores também tem o mesmo problema. Os trabalhos de (BAKSHAI; JOOS; JIN, 1997) e (KERKMAN et al., 1996) apresentam técnicas que pretendem o mesmo que a THI, uso total do barramento de tensão.

Como citado anteriormente, várias técnicas de modulação são propostas de maneiras diferentes porém delas obtém-se resultados similares. Assim também na sobremodulação existe uma técnica denominada CSVPWM a qual propõem-se através do cálculo específico de moduladoras obter resultados similares aos registrados pela técnica SVM, porém a custos computacionais inferiores, permitindo inclusive a sobremodulação. Em (HOLMES, 2003) e (VAN; GUN-WOO; MYUNG-JOONG, 2004) são descritos os métodos e processos para implementação da técnica.

### 3.3 APLICAÇÃO DIGITAL

Das técnicas de modulação descritas até esse ponto apenas as definidas como de Múltiplas Portadoras foram descritas de modo analógico. O modulador ilustrador na figura 16, está apresentado também numa forma analógica. O restante das técnicas são comumente implementadas via processamento de dados digitais, sejam microcontroladores, processadores de sinal ou dispositivos de lógica programável.

Porém a implementação analógica dessas técnicas resulta numa



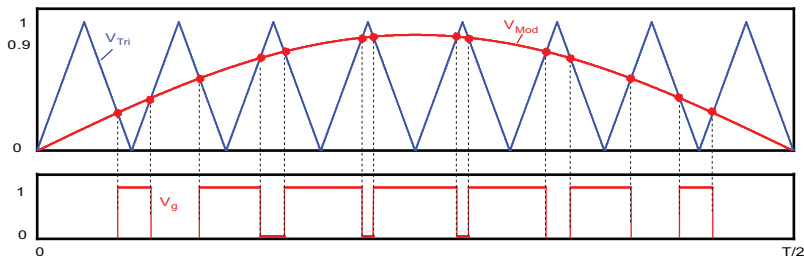


Figura 21 – Exemplo de PWM naturalmente amostrada.

série de inconvenientes tais como geração e adaptação dos sinais a serem utilizados (portadoras triangulares e moduladora senoidal com amplitude variável, por exemplo) com níveis de ruído aceitáveis, condicionamento dos sinais, operações entre portadoras e moduladora entre outras.

Com o aperfeiçoamento dos controladores digitais muitas das tarefas necessárias para geração dos pulsos de disparo dos interruptores foi simplificada. Atualmente existe uma gama de dispositivos que já incluem moduladores PWM entre seus dispositivos padrão e mesmo outros equipamentos comumente utilizados nas tarefas de modulação e controle, tais como contadores externos e conversores analógico/digital.

Dada a grande facilidade da implementação digital de tal tarefa é necessário conduzir uma investigação sobre os efeitos da discretização sobre as técnicas de modulação.

Partindo do modulador analógico da figura 16 temos que as comparações entre portadora e moduladora ocorrem continuamente. Essa é a forma mais simples e direta para posicionamento dos pulsos, chamada PWM Naturalmente Amostrado (*Naturally Sampled PWM*). Aqui ocorre a comparação direta entre a portadora e a moduladora como ilustrado na figura 21. Para que possa ser obtida uma forma de onda senoidal na saída a moduladora, que é a onda de referência, deve ter a seguinte forma:

$$V_{ref} = M_a \cos(\omega_0 t + \theta_0) = M_a \cos y \quad (3.13)$$

Caso a portadora seja uma onda dente-de-serra esse tipo de modulação passa a ser denominada PWM Naturalmente Amostrado de Borda Simples, *Trailing Edge Naturally Sampled PWM*. Se a portadora for uma onda triangular denota-se PWM Naturalmente Amostrado de Borda Dupla, *Double Edge Naturally Sampled PWM*.

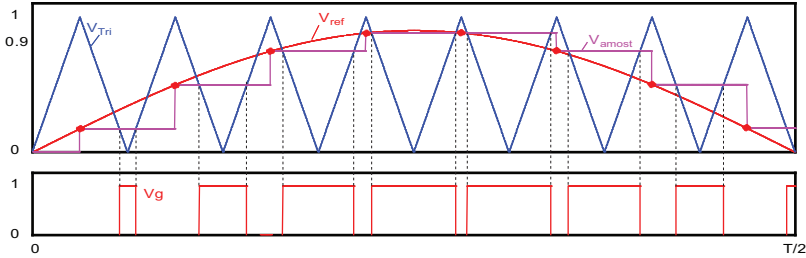


Figura 22 – Exemplo de amostragem simples.

As situações anteriores não ocorrem nas implementações digitais. Os controladores digitais necessitam de períodos para o processamento de outras tarefas e ainda se não o necessitassem, todas as tarefas são temporizadas e naturalmente ocorrem em tempos discretos. Logo as comparações entre portadoras e moduladora também ocorrem em tempos discretos.

Mais ainda, as próprias portadoras e moduladora são discretas, com valores definidos em campos da memória dos controladores. Em (BUSO; MATTAVELLI, 2006) são descritos os conceitos apresentados nessa seção. No trabalho aqui proposto não será feita nenhuma realimentação de informações ou estratégia de controle, situações nas quais os efeitos das implementações digitais tratadas nessa seção são de fundamental importância. Desse modo, não será dada ênfase ou realizado o estudo das consequências da operação em tempos e valores discretos dos controladores.

O princípio de funcionamento é simples, um registrador (campo de memória) é incrementado regularmente (fazendo o papel das portadoras) e quando seu valor chega a um nível pré estabelecido é feita a comparação para geração do pulso de comando. A questão a ser abordada aqui é sobre o efeito da amostragem na geração dos pulsos.

Caso o valor da moduladora seja amostrada apenas uma vez por período de comutação ela é dita PWM Regularmente Amostrada (*Regularly Sampled PWM*) com amostragem simples, conforme ilustrado na figura 22.

Nesse caso o efeito dessa amostragem é a inclusão de um atraso na função de transferência do modulador PWM, sendo a mesma definida na equação 3.14.

$$PWM_s(s) = \frac{e^{-sM_aT_s}}{V_{tri}^{pk}} \quad (3.14)$$

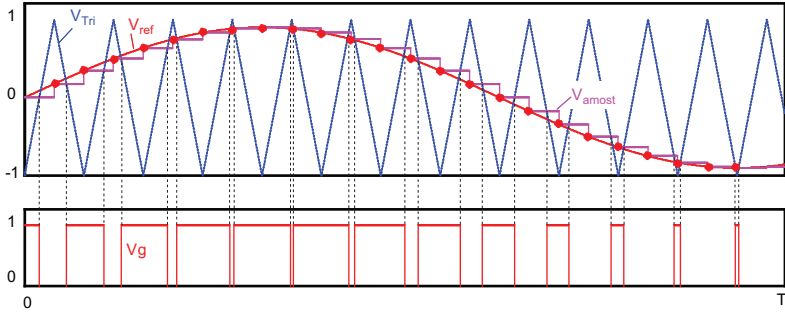


Figura 23 – Exemplo de amostragem dupla.

Caso a portadora seja uma onda triangular a implementação pode ser assimétrica ou simétrica, dependendo do instante da amostragem. Ela será dita simétrica se a onda for amostrada apenas uma vez por período da portadora, tanto no pico positivo ou negativo, e assimétrica se for amostrada duas vezes por período da portadora, tanto no pico positivo quanto no pico negativo e a função de transferência fica definida como na equação 3.15.

$$PWM_D(s) = \frac{e^{-sM_a \frac{T_s}{2}} + e^{-s(1-M_a) \frac{T_s}{2}}}{2V_{tri}^{pk}} \quad (3.15)$$

Nas equações 3.14 e 3.15 tem-se que  $V_{tri}^{pk}$  é o valor de pico da portadora triangular,  $M_a$  é o índice de modulação de amplitude e  $T_s$  é o período referente a frequência da portadora.

Em (HOLMES, 2003) são discutidos e apresentados os efeitos de cada tipo de amostragem sobre as forma de ondas de saída de alguns conversores.

### 3.4 CONCLUSÃO

Nesse capítulo foi apresentada uma proposta para organização das estratégias de modulação mais difundidas da literatura. As mesmas formas dispostas conforme seus princípios de operação. Técnicas que operam através da associação de estados topológicos com vetores (SVM e Controle Vetorial) foram agrupadas separadamente de técnicas que utilizam-se da comparação de sinais para a geração de pulsos de comando, tais como PWM de múltiplas portadoras e Controle de nível

de tensão.

Tal organização foi proposta no trabalho de (FRANQUELO et al., 2008) e assim como descrito no citado trabalho, essa organização não deve representar uma estrutura rígida, impassível de mudanças, pois pesquisas continuam a ser feitas sobre modulação e novos resultados sempre são apresentados. E mesmo entre técnicas conhecidas temos resultados similares para técnicas distintas, abordadas de formas completamente diferentes.

Também foram abordados temas como os técnicas de sobremodulação e suas consequências e efeitos da implementação digital das técnicas de modulação.

A principal conclusão é de que a variedade de técnicas é grande, cada qual com vantagens e desvantagens. A decisão sobre qual técnica é mais adequada dependerá da topologia usada, da capacidade computacional disponível, da familiaridade do projetista com a técnica e da aplicação na qual a mesma será implementada.

## 4 TOPOLOGIAS PROPOSTAS

Nos capítulos anteriores foram apresentadas topologias conhecidas da literatura para inversores multiníveis e as técnicas de modulação mais usadas para as mesmas. Nesse capítulo serão apresentadas topologias baseadas no inversor multinível simétrico (RUIZ-CABALLERO et al., 2010b). As topologias são caracterizadas por serem de formação híbrida, uma vez que são criadas por células de conversores já existentes, buscando obter os melhores resultados vindos de seus conversores de origem.

### 4.1 FORMAÇÃO DAS TOPOLOGIAS

Generalizando os conceitos básicos dos conversores de potência, segundo (BARBI, 2002), os inversores de tensão são conversores abaixadores de tensão (tipo Buck). Conversores CC-CC tipo Buck operam controlando o período de imposição da tensão de entrada à saída, fazendo com que a média entre o tempo que a entrada é imposta à saída e o tempo em que nenhuma tensão é imposta represente a tensão desejada.

Assim, pode-se considerar que os conversores tipo Buck operam com dois níveis de tensão (WESTER; MIDDLEBROOK, 1973). Em (XINBO; BIN; QIANHONG, 2002) é apresentada uma topologia Buck onde a tensão de saída é composta por três níveis de tensão.

Assim, partindo da topologia de um conversor DC-DC Buck de três níveis, ilustrado na figura 24 são feitos re-arranjos na célula de comutação de modo a obter a topologia da figura 25a. Para possibilitar a conversão com bidirecionalidade de corrente, os interruptores passivos

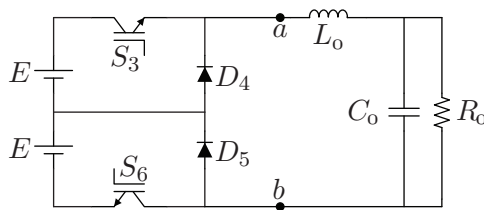


Figura 24 – Conversor Buck 3 níveis.

(D4 e D5) são substituídos por interruptores ativos (S4 e S5), conforme 25b.

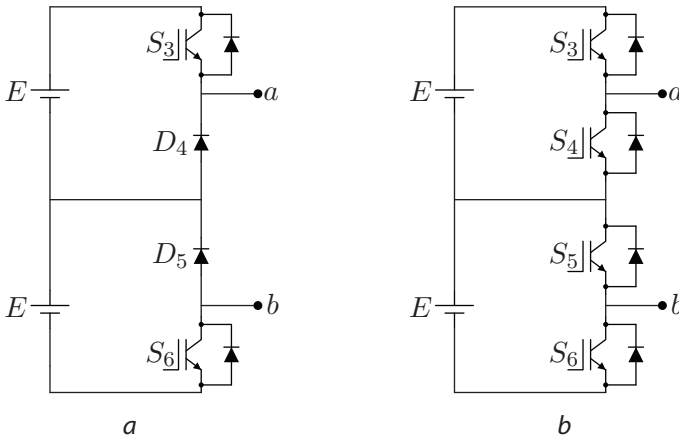


Figura 25 – (a) Rearranjo da célula de comutação. (b) Substituição dos interruptores.

A figura 26 exemplifica, com uma sequência de comandos adequados (destacados na figura), como pode-se formar um sinal com 3 níveis de tensão a serem obtidos entre os pontos  $a$  e  $b$  da topologia apresentada conforme figura 25b. Destaca-se que os níveis são todos positivos ou zero, quando levada em consideração a polaridade da tensão como sendo  $V_{ab}$ .

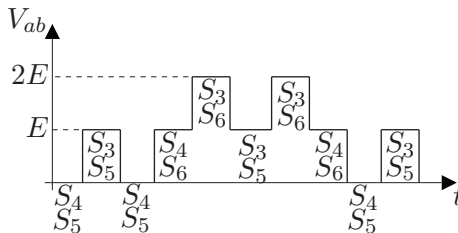


Figura 26 – Tensão obtida em  $V_{ab}$ .

Para que possam ser obtidos níveis de tensão negativos usa-se uma célula de comutação tipo ponte completa, a qual possibilita a inversão da referência de tensão, conectada aos pontos  $a$  e  $b$ , como na figura 27. Dessa forma podemos obter uma forma de onda com 5 níveis

de tensão numa configuração monofásica, conforme ilustrado na figura 28.

Essa dedução foi apresentada em (RUIZ-CABALLERO et al., 2010b) e (RUIZ-CABALLERO et al., 2010a), e de forma similar em (BOOMA; SRIDHAR, 2011), porém para outra célula de comutação. As topologias propostas nesse trabalho são modificações propostas da topologia apresentada em (RUIZ-CABALLERO et al., 2010b).

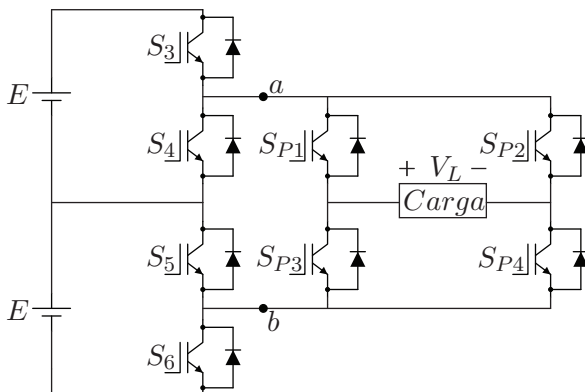


Figura 27 – Inversor 5 níveis.

A topologia apresentada até aqui nos permite gerar formas de onda com no máximo 5 níveis de tensão de fase e 9 níveis de tensão de linha. Como procura-se gerar formas de onda que tenham menor THD e que sejam mais apropriadas para aplicações como drives de média tensão, pode-se pensar em um maior número de níveis de tensão.

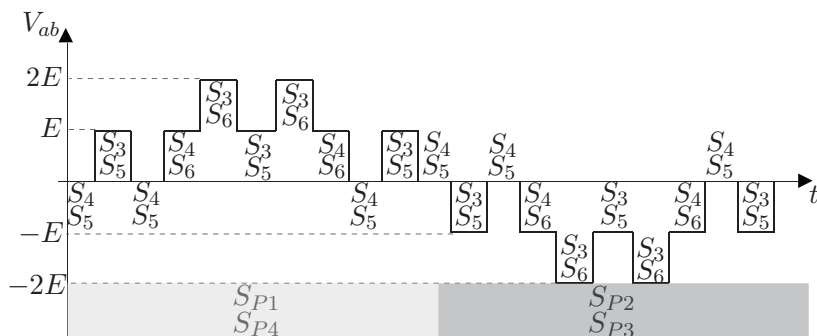


Figura 28 –  $V_L$  5 níveis.

Para que um número maior de níveis de tensão seja atingido pode-se cascatear a estrutura apresentada na figura 27 com células de comutação meia-ponte. Essa cascata pode ser executada de duas formas, de modo a serem obtidas as estruturas da figuras 29a e 29b.

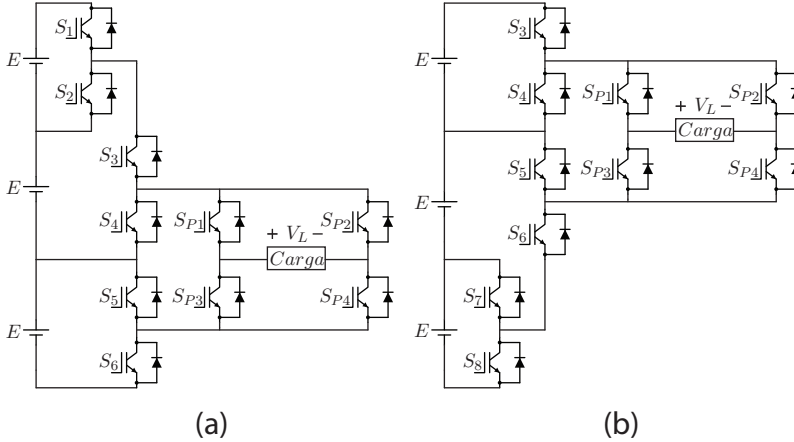


Figura 29 – Topologias propostas 7 níveis.

Caso as células de comutação meia-ponte sejam cascateadas nas duas posições possíveis indicadas nas figuras 29a e 29b simultaneamente, é obtida a estrutura ilustrada na figura 30.

Nessas configurações as conexões com as fontes são reordenadas, além da necessária adição de fontes de tensão, de modo a obter as novas topologias propostas em suas configurações monofásicas.

A configuração trifásica é composta repetindo-se a estrutura monofásica e realocando os pontos de conexão para cargas trifásicas, podendo essas serem conectadas em delta ou estrela. Essa estrutura será apresentada por completo posteriormente, após a proposição da técnica de comando escolhida.

Pode-se ainda analisar a formação dessas topologias sob o prisma de conversores imbricados. Assim, o inversor da figura 27 estaria imbricado, conectado entre duas células de comutação meia-ponte.

Indiferente ao aspecto de formação da topologia, propõe-se generalizar a formação da mesma para infinitos níveis teóricos. A conexão das células de comutação meia-ponte, dada no ponto mais extremo e pelo ponto médio da ponte, pode ser refeita indefinidamente teoricamente.

Para cada nova célula meia-ponte acrescentada na estrutura ganha-



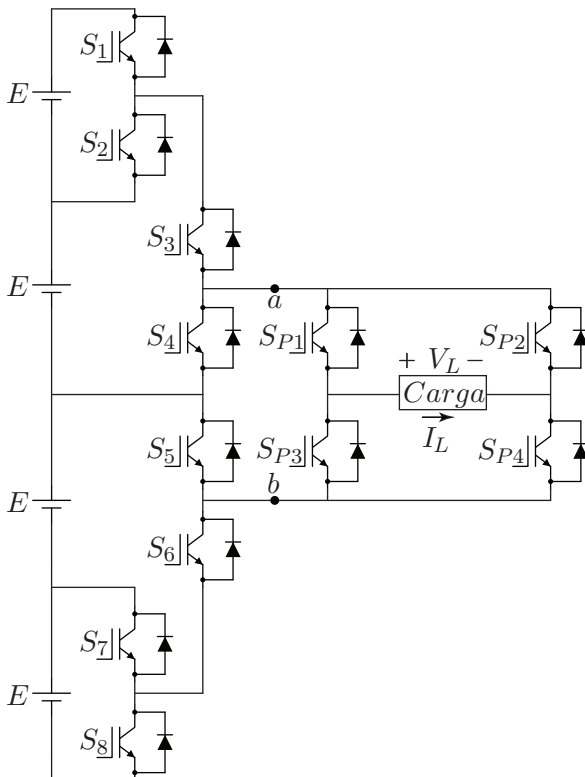


Figura 30 – Topologia proposta 9 níveis.

se dois níveis de tensão na forma de onda aplicada na carga. Assim como apresentado figuras 29a e 29b não é obrigatória a conexão em pares das células meia-ponte, ou seja, a imbricação com novas células.

Essas conexões podem ser executadas de forma independente entre si, conforme a figura 31 onde é apresentada uma possível topologia do conversor aqui proposto, porém para  $N$  níveis.

Para o estudo aqui proposto, apenas a estrutura com quatro fontes será abordada, ou sob outro prisma, com duas células meia-ponte imbricadas. As demais estruturas ilustradas (com três fontes e a estrutura generalizada) são apenas apresentadas como exemplos das conexões cascata ou imbricada.

No caso da estrutura da 31 de  $N$  níveis, as considerações conseqüentes também são aplicáveis, passíveis apenas de alterações devido

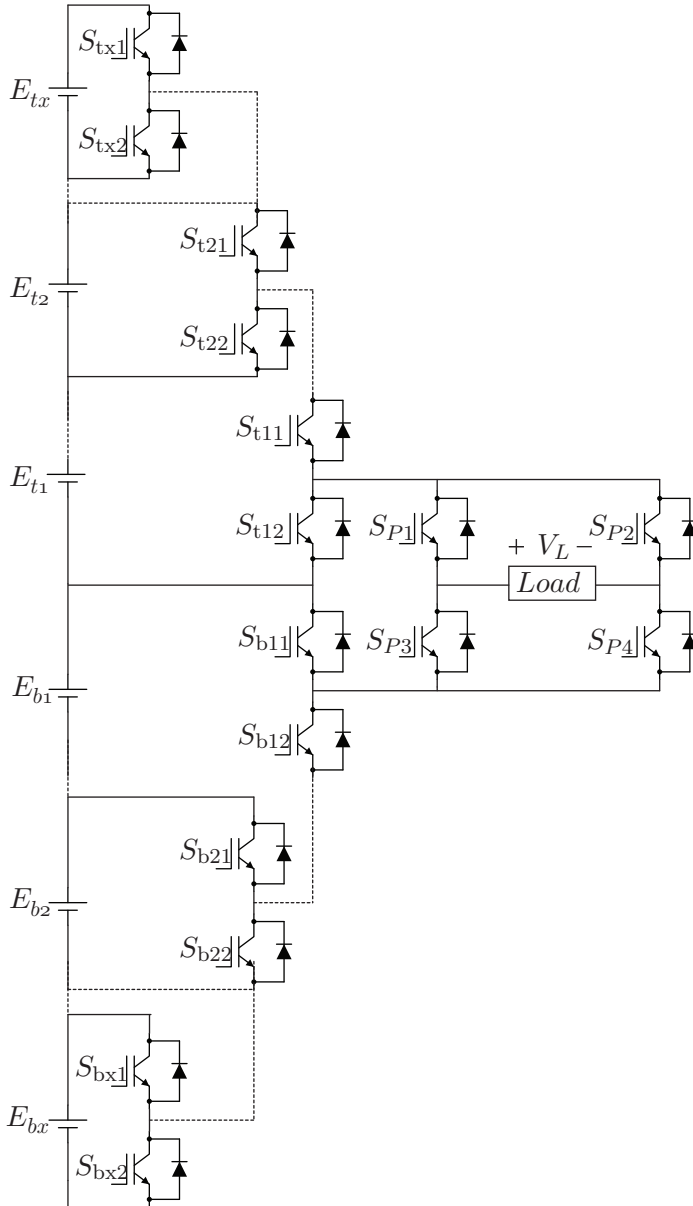


Figura 31 – Topologia sugerida para "N" níveis.

ao crescente número de interruptores.

## 4.2 MODOS DE FUNCIONAMENTO

Apresenta-se aqui os modos de funcionamento da estrutura. Pretende-se exibir as restrições de aplicações dos comandos dos interruptores, as formas pelas quais os níveis de tensão desejados são obtidos na carga e algumas considerações quanto a validação dos conceitos de conversores multiníveis.

Dada a topologia da figura 30 é facilmente perceptível que pode-se obter vários arranjos de comandos para os interruptores que levem a obtenção 9 níveis de tensão impostos à saída. Esses 9 níveis são obtidos dado o uso da célula de comutação tipo ponte completa. Assim pode-se simplificar a análise da topologia completa para um modo de condução da célula de comutação de ponte completa, sabendo-se que as etapas se repetirão quando da troca de estado da célula ponte completa.

Por inspeção da topologia proposta verifica-se a necessidade de interruptores conectados a mesma fonte serem comandados complementarmente. Por exemplo, caso  $S_1$  e  $S_2$  sejam comandados a conduzir no mesmo instante, ou seus comandos sejam sobrepostos, a fonte a qual eles estão conectados será curto-circuitada levando a provável destruição dos interruptores e danificando a fonte. Tal consideração é válida também para os pares de interruptores  $S_3$  e  $S_4$ ,  $S_5$  e  $S_6$ ,  $S_7$  e  $S_8$ . No caso dos pares de interruptores  $S_{P1}$  e  $S_{P3}$  e  $S_{P2}$  e  $S_{P4}$  seus comandos complementares são necessários para que ocorra a inversão da referência de tensão criando assim os níveis dados como negativos. Assim, os pares de interruptores citados devem ter seus comandos complementares.

A tabela 3 mostra algumas combinações de comandos dos interruptores para a obtenção de 4 níveis de tensão positivos e o zero. Para obtenção dos níveis negativos a ponte completa inverte a polarização na carga e os mesmos comandos podem ser aplicados. Fica definido que os interruptores indicados na tabela, e ilustrados na figura 30, são comandados a conduzir e que os seus pares estão bloqueados.

Para a descrição das etapas de operação do inversor são feitas as seguintes considerações:

- As perdas e os atrasos de comutação de todos os interruptores são desprezados;
- As fontes de tensão são ideais e de tensão positiva de valor genérico

Tabela 3 – Estados de condução

$V_L$	$i_L > 0$	$i_L < 0$
Zero	–	$S_4 + S_5$
E	$S_3, S_6$	$S_2 + S_5, S_4 + S_7$
2E	$S_1 + S_3, S_3 + S_6, S_6 + S_8$	$S_4, S_5, S_2 + S_7$
3E	$S_1 + S_3 + S_6, S_3 + S_6 + S_8$	$S_2, S_7$
4E	$S_1 + S_3 + S_6 + S_8$	–

“E”, cada;

- Não há a incidência de efeitos parasitas nas conexões dos interruptores;
- A corrente será considerada senoidal e imposta pela carga;
- Será analisado apenas o semiciclo positivo, assim os interruptores controlados  $S_{P1}$  e  $S_{P4}$  estarão sempre conduzindo;
- Não será considerada nenhuma técnica de modulação. Os comandos apenas são impostos de forma que sejam obtidas as tensões desejadas na saída;
- Novamente, os comandos para os pares de interruptores é complementar, sendo indicado apenas o interruptor que será comandado a conduzir. O efeito de tempo morto será desconsiderado;
- A descrição é feita para apenas uma fase do conversor, porém plenamente aplicável a qualquer fase quando da configuração trifásica.

Serão consideradas etapas de operação do inversor diferentes sempre que a tensão imposta à saída tiver alteração nos níveis de tensão impostos.

#### 1. Primeira etapa:

Nesta etapa a tensão imposta à carga é “Zero”, obtida através do bloqueio de todos os interruptores controlados. Conforme indicado na figura 32. A corrente circula em “roda-livre” pelos diodos dos interruptores  $S_4$  e  $S_5$ .

Aqui cabe uma ressalva quanto as considerações na análise. O uso de interruptores ideais (sem perdas e sem atrasos) pode gerar resultados incoerentes na análise e induzir a erros na análise

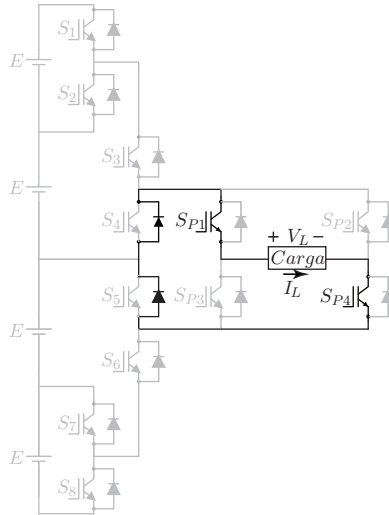


Figura 32 – Primeira etapa de funcionamento.

nessa etapa. Assim como os diodos dos interruptores  $S_4$  e  $S_5$ , os diodos dos interruptores  $SP_2$  e  $SP_3$  estão polarizados diretamente e também poderiam conduzir durante essa etapa. Caso isso aconteça haverá circulação de componentes de alta frequência por esses componentes, forçando a utilização de componentes compatíveis.

Para evitar erros na análise e torná-la mais próxima da situação real, foram consideradas perdas nos diodos dos interruptores  $SP_2$  e  $SP_3$ , de modo que a corrente realmente seja conduzida pelos diodos dos interruptores  $S_4$  e  $S_5$ . Isso ocorreria inevitavelmente ao serem usados dispositivos que suportam os esforços propostos nessa topologia.

## 2. Segunda etapa:

Nessa etapa a tensão imposta na saída é “E”, em função da entrada em condução de  $S_3$  ou de  $S_6$ . Quando um desses interruptores está ativo o circuito é completado com a corrente fluindo pelos diodos intrínsecos a  $S_2$  e  $S_5$ . Esses estados topológicos estão ilustradas nas figuras 33a e 33b.

## 3. Terceira etapa:

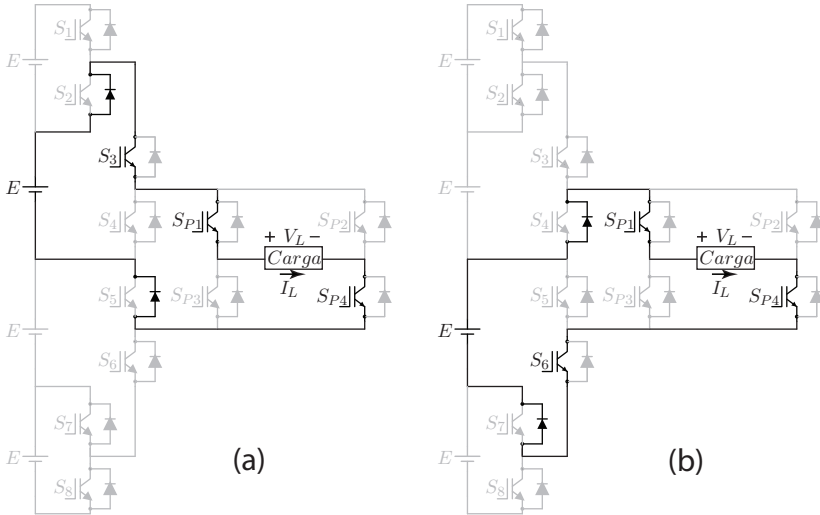


Figura 33 – Estados topológicos referentes a segunda etapa de funcionamento. (a)  $S_3$  conduzindo. (b)  $S_6$  conduzindo.

Na terceira etapa existem três combinações possíveis para aplicação do nível de tensão “2E” na saída. São elas  $S_1$  com  $S_3$ ,  $S_3$  com  $S_6$  e  $S_6$  com  $S_8$ . Para cada combinação de interruptores comandados a conduzir a topologia exige a condução pelos diodos em anti-paralelo dos interruptores.

Assim, para  $S_1$  e  $S_3$  conduzindo o circuito fecha-se através do diodo de  $S_5$ . Com  $S_3$  e  $S_6$  em condução utilizam-se os diodos intrínsecos de  $S_2$  e  $S_7$ . Finalmente para  $S_6$  e  $S_8$  o diodo de  $S_4$  é utilizado para fechar o caminho da corrente. Na figura 34 são demonstrados os possíveis estados topológicos envolvidos nessa etapa.

#### 4. Quarta etapa:

Nessa etapa tem-se a aplicação de tensão com nível “3E” na saída. Essa tensão pode ser obtida através de duas combinações de comandos dos interruptores. Uma com a entrada em condução de  $S_1$ ,  $S_3$  e  $S_6$ , com o circuito completado através da condução pelo diodo de  $S_7$ , e outra através da condução pelo interruptores controlados  $S_3$ ,  $S_6$  e  $S_8$ , e fechando o caminho de corrente pelo diodo de  $S_2$ .

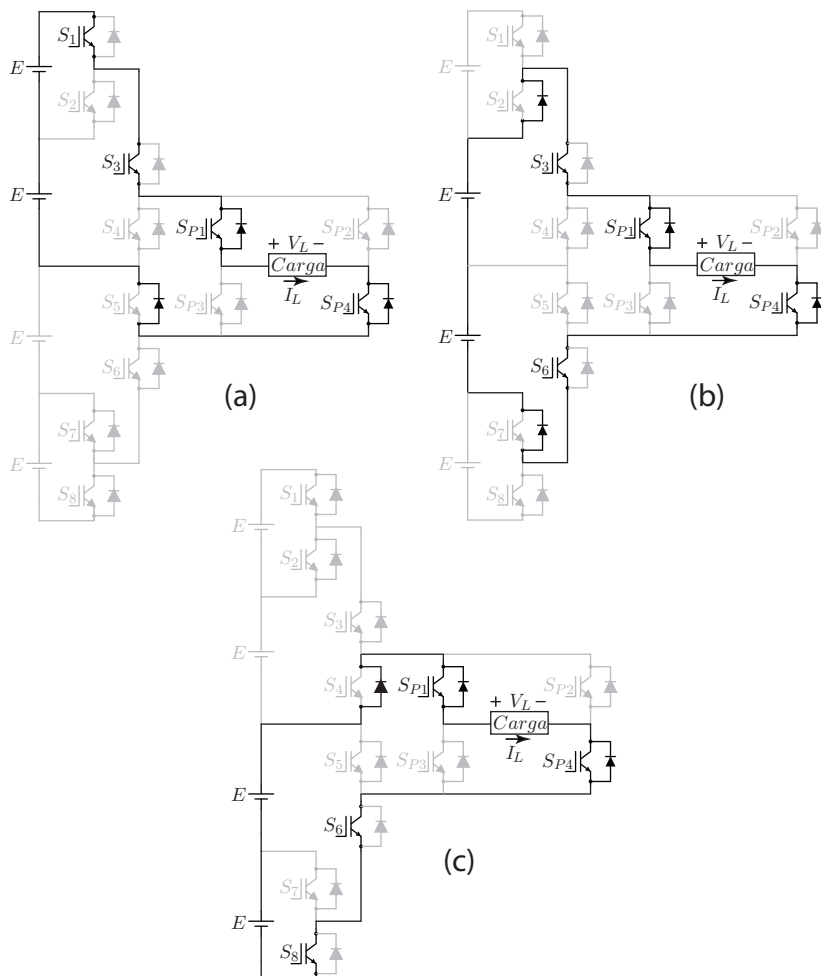


Figura 34 – Estados topológicos referentes a terceira etapa de funcionamento. (a)  $S_1$  e  $S_3$  conduzindo. (b)  $S_3$  e  $S_6$  conduzindo. (c)  $S_6$  e  $S_8$  conduzindo.

Na figura 35, são ilustradas as possibilidades topológicas referentes a quarta etapa.

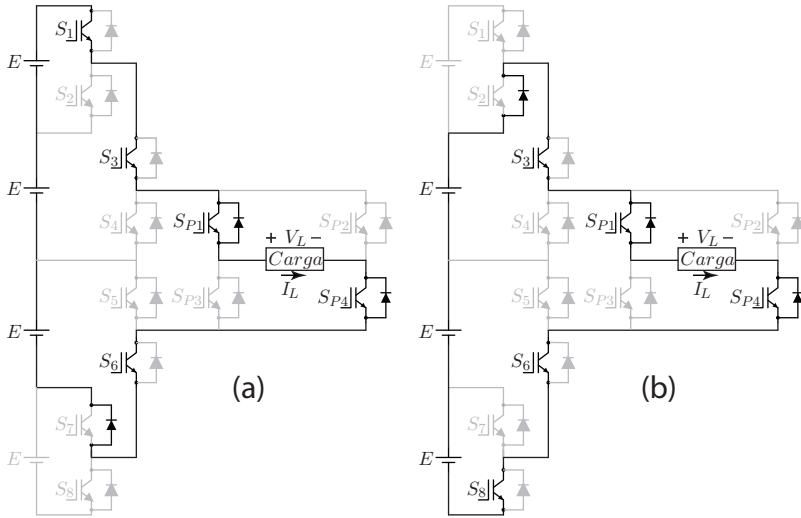


Figura 35 – Estados topológicos referentes a quarta de funcionamento. (a)  $S_1, S_3$  e  $S_6$  conduzindo. (b)  $S_3, S_6$  e  $S_8$  conduzindo.

### 5. Quinta etapa:

A quinta etapa caracteriza-se pela aplicação do nível de tensão “4E” na saída. Todas as fontes são conectadas em série e aplicadas à saída através da entrada em condução de  $S_1, S_3, S_6$  e  $S_8$ .

Diferente das outras etapas, nenhum diodo antiparalelo é usado para completar o circuito de corrente. Essa topologia é ilustrada na figura 36.

Caso fossem desejados mais níveis de tensão, partindo para a estrutura generalizada, mais etapas de funcionamento seriam obtidas e haveria mais possibilidades de obtenção do mesmo nível de tensão para cada etapa.

Nas etapas 2, 3 e 4 vê-se que existe mais de uma opção para obtenção do nível de tensão desejado. Isso caracteriza a redundância intrafase do inversor. A figura 37 ilustra essa característica. A redundância pode ser usada para balanceamento de esforços das fontes,



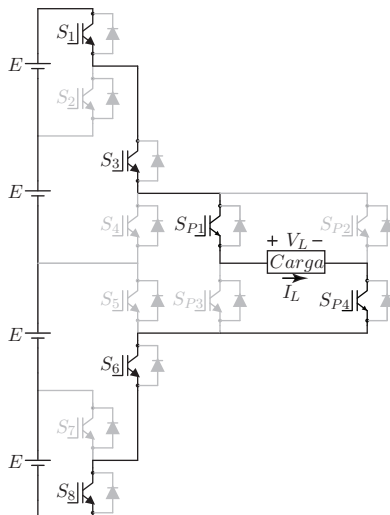


Figura 36 – Estado topológico referente a quinta etapa de funcionamento.

distribuição de esforços de corrente nos semicondutores e respectivos esforços térmicos.

#### 4.3 CARACTERÍSTICAS DA TOPOLOGIA

Focando apenas nas características referentes a topologia, uma grande vantagem apresentada pela topologia proposta é a redução no número de componentes necessários. Comparada as topologias difundidas na literatura apresentadas no capítulo dois, existe uma redução no número de interruptores comandados, apenas 12 para a configuração monofásica, e diodos de grampeamento (que encontram-se usualmente encapsulados junto a IGBT's ou MOSFET's). Caso os diodos encapsulados junto aos IGBT's ou dos MOSFET's sejam insuficientes, existe a necessidade de acrescentar tais componentes.

Para um comparativo justo essa possibilidade será considerada e tais quantidades estão presentes na tabela 4.

Indiretamente também tem-se redução no número de fontes de potência isoladas necessárias para gerar os 9 níveis de tensão de fase. No capítulo seis esse tema será abordado com maior ênfase.

A tabela 4 aponta os mesmos dados da tabela 1, no capítulo 2,

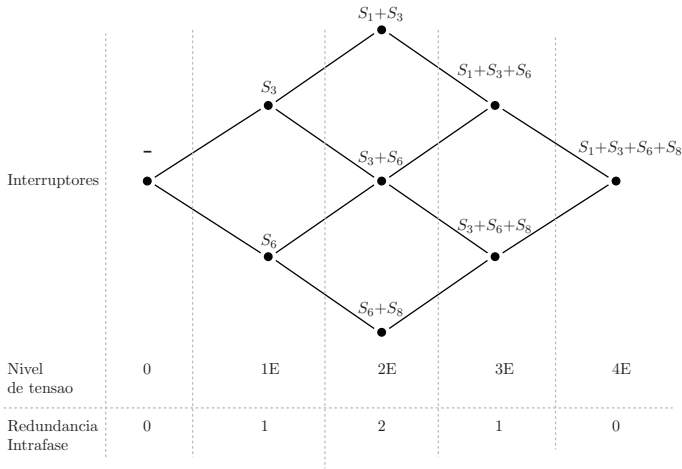


Figura 37 – Demonstração Redundância de níveis.

porém com os dados voltados a estruturas propostas com 9 níveis de fase.

Tabela 4 – Estruturas usuais, características para 9 níveis, por fase

	Interruptores	Diodos de gramp.	Cap. de gramp.	Cap. de barramento	Fontes Isoladas	Níveis de fase
CHB	18	0	0	4	4	17
NPC	18	56	0	8	1	17
Flying Capacitor	18	0	28	8	1	17
Topologia Proposta	12	12	0	0	4	17

Entretanto, como características negativas dessa topologia podemos citar a inexistência de um potencial comum para referenciamento dos comandos dos interruptores, o que exige *drivers* mais complexos ( circuitos que façam uso de fontes isoladas e comandos através de isoladores galvânicos, dentre outros complicadores) e a não divisão igualitária das tensões sobre os interruptores.

Fazendo uma rápida análise das tensões impostas sobre os interruptores em cada uma das etapas de funcionamento pode-se perceber que existem grupos de interruptores que são submetidos aos mesmos esforços de tensão. A exemplo, durante todas as etapas de funciona-

mento, exceto na presença de efeitos parasitas, nunca a tensão sobre o interruptor  $S_1$  ultrapassa o valor de “E”. O mesmo ocorre para  $S_2$ ,  $S_3$ ,  $S_6$ ,  $S_7$  e  $S_8$ .

Fenômeno similar ocorre com os interruptores  $S_4$  e  $S_5$ . Para esse par de interruptores a máxima tensão imposta é “2E”. Essa característica é inerente a topologia proposta, e também válida para as topologias com três fontes apresentadas na figura 29, vinda da sua semelhança com a topologia NPC, uma vez que os diodos de grameamento também têm esse problema.

Já os interruptores da ponte inversora,  $S_{P1}$ ,  $S_{P2}$ ,  $S_{P3}$  e  $S_{P4}$ , estão sujeitos a no máximo “4E”, ou seja toda a tensão do barramento. Esta é uma situação esperada, sendo que a função dessa parte da topologia é inverter a tensão em relação a saída. Na figura 38 estão apresentadas as polaridades usadas para fazer esse estudo em um componente de cada grupo.

Essa diferença de esforços de tensão pode ser traduzida em diferentes componentes na montagem do inversor, porém uma vez que pode-se definir média tensão como tensões na faixa entre 6,5kV e 13,8kV, e sendo essa a faixa de operações a que se destinam preferencialmente os inversores multiníveis, pode-se considerar que as tensões das fontes “E” serão de aproximadamente 2kV, e portanto já sendo necessária a utilização de no mínimo interruptores com isolamento de 3,3kV.

No caso onde os interruptores estão sujeitos a “2E”, passa-se a utilizar interruptores com 6,5kV de isolamento. Conforme ilustrado nas figuras da topologia até aqui, os interruptores mais recomendados são os IGBT’s. Esses interruptores estão disponíveis no mercado com uma diferença de custos muito pequena, praticamente justificando a utilização do interruptor com maior isolamento para todas as condições.

Para os interruptores com esforços de “4E” podem ser usados tecnologias mais antigas, porém mais robustas do ponto de vista da isolamento, pois os mesmos estarão comutando em baixa frequência levando a perdas de comutação pequenas. Os interruptores que se enquadram nessas características são os GTO’s e os mais modernos IGCT’s.

A topologia completa possibilita a geração de 4096 estados topológicos, número levantado pela combinação dos estados dos interruptores  $2^{12} = 4096$ . Levando em consideração os fatores de funcionamento do inversor, como a combinação de interruptores que podem ser comandados simultaneamente, os estados topológicos válidos são reduzidos para apenas 32.

Desses 32 estados topológicos resultantes ainda temos a repetição de estados gerados pelas combinações válidas da ponte completa. Em

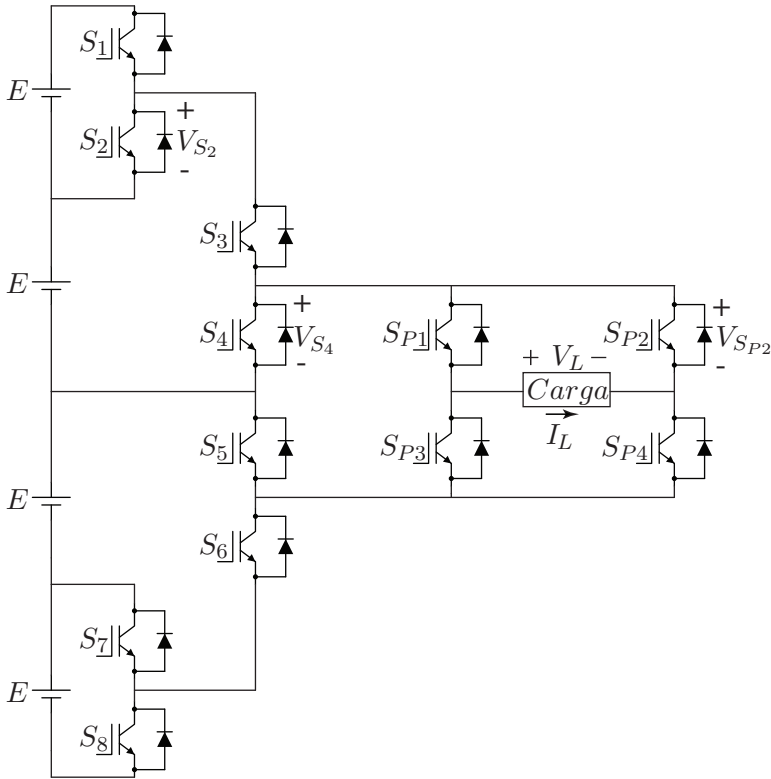


Figura 38 – Topologia com definição das referências de tensões sobre os componentes.

resumo, dos 4096 estados possíveis, apenas 16 são únicos e impõem tensões válidas na saída do inversor quando descartada a inversão de tensão gerada pela comutação na ponte completa. Apresenta-se na tabela 5 as 16 combinações para esse inversor.

Comparando as tabelas 3 e 5 percebe-se que existem mais combinações para os mesmos níveis de tensão impostos na saída na tabela 5.

Porém é visível que essas combinações extras não têm influência sobre a tensão, ou seja, apesar de ser permitido aos mesmos troca de seus estados de condução essa troca não influencia na tensão imposta na saída.

Essa característica é útil quando aplicadas técnicas de modulação

Tabela 5 – Combinações válidas

$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$	$S_7$	$S_8$	Tensão
0	1	0	1	0	1	0	1	2
1	0	0	1	0	1	0	1	2
0	1	1	0	0	1	0	1	3
1	0	1	0	0	1	0	1	4
0	1	0	1	1	0	0	1	0
1	0	0	1	1	0	0	1	0
0	1	1	0	1	0	0	1	0
1	0	1	0	1	0	0	1	2
0	1	0	1	0	1	1	0	1
1	0	0	1	0	1	1	0	1
0	1	1	0	0	1	1	0	2
1	0	1	0	0	1	1	0	3
0	1	0	1	1	0	1	0	0
1	0	0	1	1	0	1	0	0
0	1	1	0	1	0	1	0	1
1	0	1	0	1	0	1	0	2

variadas. Usualmente as modulações são geradas digitalmente e é necessária a criação de regras intrincadas de controle dos pulsos para evitar estados topológicos proibidos. Nessas topologias propostas, sendo respeitada a restrição de complementaridade do par aplicado a cada fonte, não é necessária a utilização desses mecanismos.

Também caracteriza-se pela grande quantidade de vetores gerados. Cada fase gera nove níveis possíveis de tensão. Fazendo a combinação de todos esses níveis entre as fases chega-se a 729 resultados. Aplicando a transformação  $\alpha\beta$  é possível levantar o mapa de vetores completo da topologia, ilustrado na figura 39.

Percebe-se grande redundância de vetores apresentados no mapa completo. Os pontos mais externos do hexágono são vetores únicos. Conforme penetra-se no hexágono, o nível de redundância aumenta chegando a 9 vetores redundantes no nível mais interno, correspondente ao vetor  $[0,0]$ . Do total de 729 vetores, 217 são únicos e formam o mapa completo por si só. Os 512 restantes são redundantes em vários níveis dentro do mapa e são úteis para controle de parâmetros como tensão de modo comum e equilíbrio de tensões dos barramentos.

A escolha dos vetores ficará a cargo da técnica de modulação escolhida, que será avaliada no próximo capítulo.

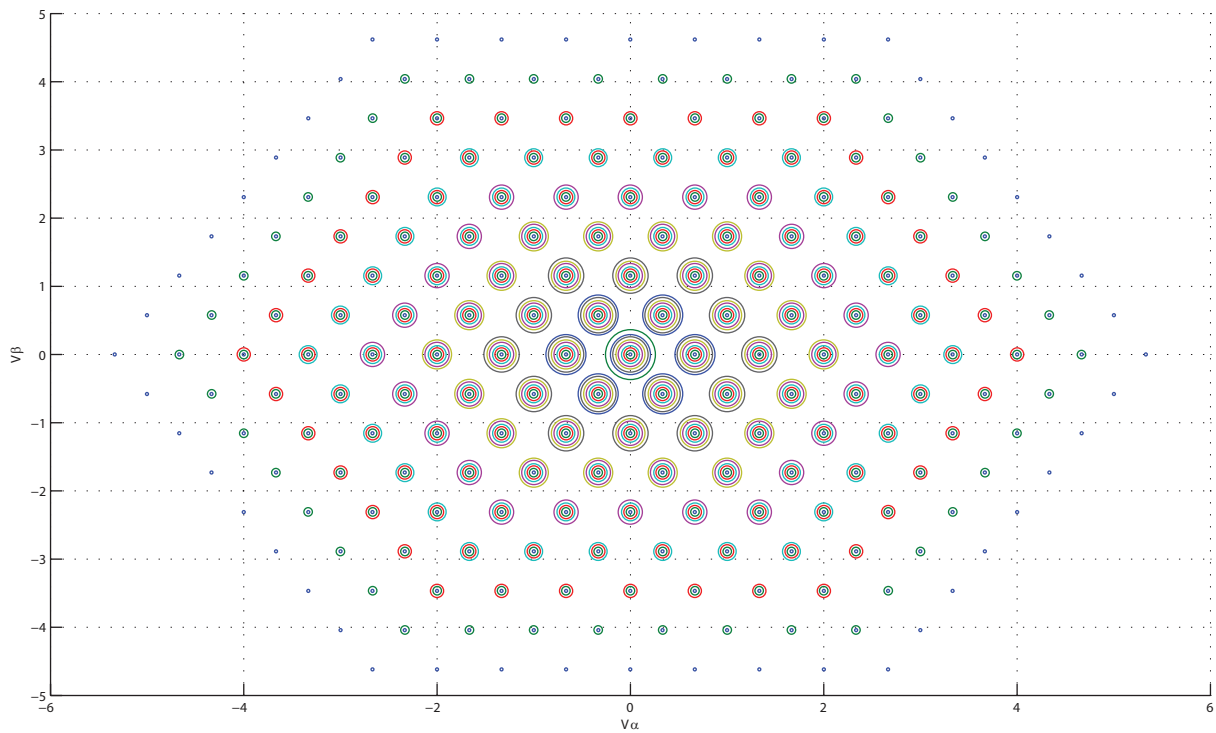


Figura 39 – Mapa de vetores completo.

#### 4.4 CONCLUSÃO

Nesse capítulo foi apresentada uma nova família de topologias para um inversor multinível, oriunda das células de comutação tipo Buck, e sua generalização para infinitos níveis conforme aumenta o número de células cascadeadas.

Foram apresentadas vantagens sobre as topologias existentes, como a redução geral do número de componentes, incluindo o número de interruptores ativos e de diodos de grampeamento. Apesar dessas boas características essa topologia traz como desvantagens a não divisão igualitária das tensões sobre os interruptores e o não equilíbrio das potências sobre as fontes.

Dados os prós e contras da estrutura, ela mantém-se válida dados os seus propósitos de geração de uma forma de onda comutada com 9 níveis de fase, uso de poucas fontes isoladas e de poucos interruptores ativos. Devido aos poucos capacitores utilizados a estrutura também torna-se mais confiável com redução MTBF (Tempo Médio entre Falhas).

Outro ponto que habilita a estrutura para estudos aprofundados é a possibilidade do aumento da frequência de comutação dos interruptores, devido aos menores esforços de tensão sobre os interruptores e a utilização de componentes mais modernos.





## 5 MODULAÇÃO PROPOSTA E SIMULAÇÃO

Nesse capítulo serão apresentados os resultados obtidos nas simulações geradas com a topologia proposta nesse trabalho com o uso das técnicas de modulação descritas e difundidas na literatura. As técnicas de modulação serão comparadas entre si, visando melhores resultados supondo o uso da topologia proposta em uma aplicação de acionamento.

As modulações aqui propostas são do tipo PWM de Múltiplas Portadoras, incluindo uma técnica de modulação dita híbrida, a qual procura englobar aspectos positivos da modulação PWM de Múltiplas Portadoras com posicionamento alternado de portadoras (APOD) e de defasamento de portadoras (PS), todas as técnicas sendo naturalmente amostradas.

Após o estudo comparativo das mesmas e avaliação na estrutura proposta serão feitas novas simulações com a técnica que obteve os melhores resultados, porém dessa vez com amostragem regular simétrica (simulando sua implementação digital) e posteriormente com a aplicação da técnica CSVPWM (com o intuito de também avaliar suas condições sob implementação digital).

As simulações das modulações serão apresentadas usando o software simulação PSIM<sup>®</sup>, da Powersim Inc.

### 5.1 MODULAÇÕES PROPOSTAS

A topologia proposta nesse trabalho possui 12 interruptores comandados por fase, sendo 4 deles parte de uma ponte inversora. Esses 4 interruptores da ponte inversora não farão parte da modulação SPWM pois sua única função é a inversão da tensão de saída do conversor. Eles serão comandados por um sinal de baixa frequência com o único propósito de sinalizar as partes positiva e negativa da onda a ser formada.

Para gerarmos uma onda senoidal com 9 níveis de tensão, temos a necessidade do uso de 8 portadoras. Essas portadoras serão combinadas de modo que 4 delas sejam usadas nos níveis positivos da senóide e outras 4 usadas na parte negativa da onda, de modo a obtermos as mesmas características

Assim, os 8 interruptores restantes são os responsáveis pela geração de meio período de uma senóide e aos quais será aplicada a modulação

SPWM, através da comparação de apenas 4 portadoras triangulares e uma moduladora com forma senoidal retificada.

Para avaliação serão usadas 4 disposições de portadoras IPD, POD, APOD e uma disposição híbrida PS+APOD, aqui chamada somente híbrida ou “H”. Os critérios apresentados em (HOLTZ, 1994) não são plenamente aplicáveis nesse trabalho, uma vez que os resultados das simulações são referentes a cargas indutivas generalizadas, não a motores cujo comportamento dinâmico e detalhes construtivos influenciam nos resultados, exatamente conforme citado na referência em questão.

Apesar disso, alguns desses critérios são indiretamente ligados aos que são apresentados. Por exemplo, segundo (HOLMES, 2003), as perdas nos enrolamentos podem ser definidas através da WTHD e das características construtivas do motor, ainda que os valores assim determinados não sejam expressos com exatidão.

### 1. Forma de onda da tensão de linha

A forma de onda de tensão de linha é imposta diretamente a carga e será avaliada em função da comutação apenas entre níveis adjacentes. A existência da comutação entre níveis não adjacentes de tensão aumenta a razão  $dV/dt$ , representando maior emissão de ruídos eletromagnéticos e que em casos extremos pode levar a danos nos componentes por esforços de tensão.

Caso ocorram comutações entre níveis não adjacentes forma-se um indicativo que o espectro contenha componentes indesejáveis e que sua filtragem seja comprometida.

### 2. Espectro harmônico da tensão de linha

Através de ferramentas computacionais levanta-se a contribuição de cada componente de frequência presente na forma de onda da tensão de linha. A posição, a distribuição e a amplitude dessas componentes são características importantes a serem analisadas. Para aplicações de tração é interessante que o máximo da energia entregue esteja na frequência desejada para obter-se torque e rotações esperados na máquina. A energia entregue para a máquina fora dessa faixa representa perdas e contribui para mau funcionamento da máquina segundo (BOSE, 2006). Caso essas quantidades expressivas dessa energia estejam em frequências indesejadas é necessária sua filtragem.

Assim, conhecer o espectro da tensão de linha possibilita a visualização da posição das componentes de frequência, possibili-

tando otimização dos filtros de saída quando necessários. Para quantização e comparação mais apropriada serão aqui usados os valores de THD e WTHD.

### 3. Tensão de modo comum gerada

Nas aplicações de tração um problema importante encontrado é o desgaste de rolamentos e mancais gerados pelas correntes de modo comum. Conforme (BOSE, 2006), essas correntes são induzidas pela rapidez nas comutações dos interruptores entre níveis de tensões elevados. Com a topologia multiníveis proposta já buscam-se menores níveis de tensão para a comutação dos interruptores, em contrapartida deseja-se obter maiores frequências de comutação. Trabalhos como de (ERDMAN et al., 1996) e (CHEN; LIPO; FITZGERALD, 1996) investigam os efeitos e origens da tensão de modo comum nas máquinas e propõem soluções.

Assim procura-se uma técnica de modulação que gere a menor tensão de modo comum possível levando a indução da menor corrente de modo comum, de modo a possibilitar maior vida útil das máquinas. O trabalho de (VAN; GUN-WOO; MYUNG-JOONG, 2004) propõe a técnica CSVPWM para redução da tensão de modo comum.

### 4. Ondulação de corrente

A presença de pequenas oscilações na corrente do estator levam a ondulações do torque produzido na máquina. Caso essas ondulações sejam de frequência baixa, problemas relacionados com o posicionamento do eixo da máquina e sua velocidade ocorrerão, dificultando o controle da mesma e aumentando o desgaste dos mancais.

### 5. Uso de vetores adequados no plano $\alpha\beta$

O uso adequado dos vetores no plano  $\alpha\beta$  é o resultado da soma das características anteriores. O uso dos vetores mais próximos implica na comutação entre níveis adjacentes de tensão e na geração da menor tensão de modo comum possível. Também isso será avaliado quando da simulação da técnica CSVPWM.

Associado a melhores condições de todos os itens enumerados está redução de ruído audível, diminuição das perdas nos enrolamentos, aumento da vida útil dos equipamentos associados em geral e aumento da confiabilidade do conjunto.

As simulações aqui apresentadas não têm os mesmos parâmetros que a estrutura a ser testada na prática. Os parâmetros escolhidos para a simulação visam realçar os efeitos analisados. A definição e projeto dos parâmetros será aprofundada no capítulo 6. Os parâmetros utilizados são:

- Potência do conversor: 3000 W
- Frequência da onda de saída: 60 Hz
- Tensão das fontes: 100 V
- Fator de potência da carga: 0,85
- Índice de modulação de amplitude: 0,9
- Frequência de comutação: 9180 Hz

### 5.1.1 Forma de onda da tensão de linha

As formas de onda mostradas na figura 40 são correspondentes as tensões de linha do inversor proposto variando-se apenas a técnica de modulação.

Analisando as formas de ondas, percebe-se que cada técnica tem características peculiares. Na figura 40a é apresentada a forma gerada pela técnica IPD. Essa técnica consiste, como já citado, na comparação direta entre uma moduladora senoidal e portadoras triangulares dispostas verticalmente e em fase. Devido a característica da topologia proposta, é obtida uma forma de onda da tensão de linha com apenas 15 níveis para o índice de modulação de amplitude utilizado. Para obtenção dos 17 níveis esperados teoricamente é necessário que o índice de modulação de amplitude seja 1.

A modulação proposta na figura 40b é a APOD. O uso dessa técnica revela problema semelhante ao da técnica anterior (IPD), uma vez que novamente são obtidos apenas 15 níveis. Além disso, em vários momentos ocorrem comutações desnecessárias entre níveis de tensão não contíguos. Deve-se esse fato as defasagens entre as portadoras e as referências de cada fase.

Na figura 40c é apresentado o resultado da técnica POD. Aqui são encontrados os 17 níveis de tensão esperados, mas assim como o resultado da técnica APOD são obtidas comutações não desejadas.

Finalmente na figura 40d é mostrado o resultado obtido através do uso da técnica de modulação híbrida, ou H. A forma de onda é

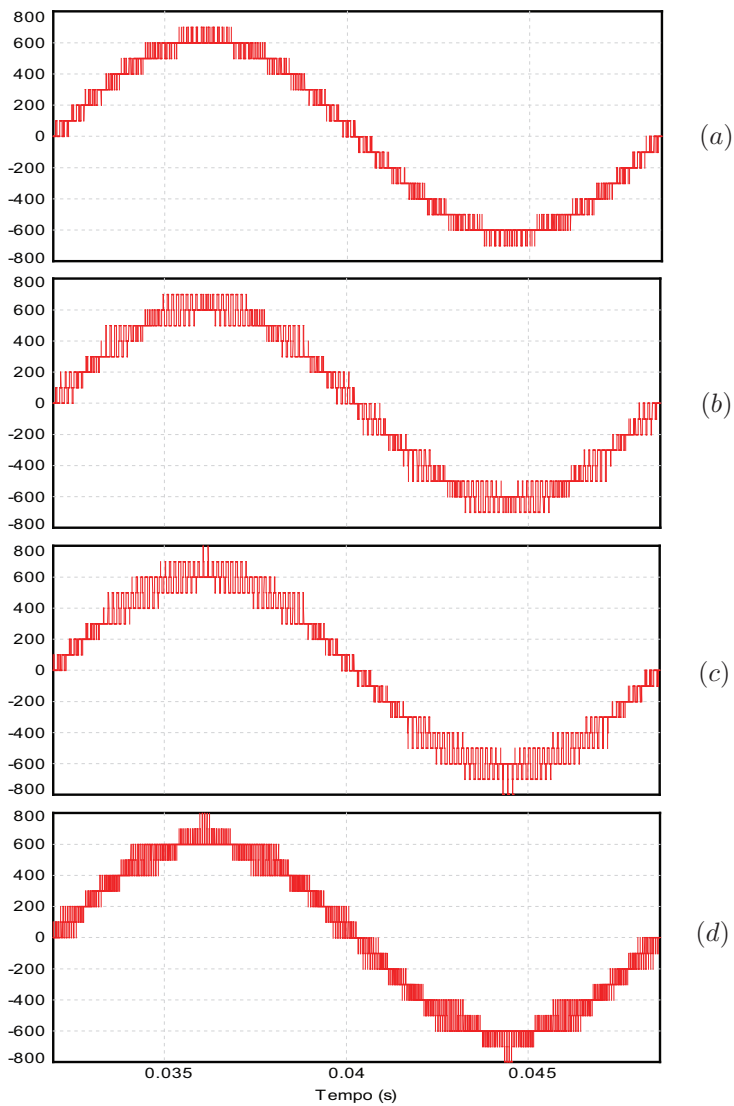


Figura 40 – Formas de onda da tensão de saída para as modulações testadas. (a)IPD, (b)APOD, (c)POD e (d)H.

similar a forma da técnica POD, com os 17 níveis teóricos presentes, porém com a frequência de comutação mais elevada, o dobro precisamente, resultado da combinação com a técnica PS. Vale ressaltar que essa frequência é aparente, pois os interruptores estarão comutando na frequência determinada pelas portadoras.

### 5.1.2 Espectro harmônico da tensão de linha

Os espectros das tensões de linha da topologia proposta são ilustrados na figura 41. Todos os gráficos foram elaborados através da ferramenta no software de simulação PSIM. Os dados posteriormente usados para confecção das tabelas 6 e 7 onde são apresentados os valores de THD e WTHD para vários índices de modulação. Ainda sobre as ilustrações, foi executada a normalização de cada uma das contribuições em relação a contribuição da frequência fundamental para que os resultados fossem mais expressivos. Assim, a escala vertical de tais ilustrações está porcentualmente relacionada com a fundamental e a horizontal em múltiplos da frequência de comutação ( $f_s$ ).

Na figura 41a é apresentado o espectro da tensão de linha gerado pela técnica IPD. Nota-se que as componentes espectrais estão distribuídas em torno de múltiplos da frequência de comutação, porém na frequência exata a de comutação e seus múltiplos a contribuição é nula. Essa não é uma condição exclusiva dessa técnica. Todas as técnicas aqui apresentadas tem essa característica. As variações ocorrem nas contribuições das bandas laterais dos múltiplos da frequência de comutação.

Ainda sobre a técnica IPD, a distribuição das contribuições é ampla. Mesmo as maiores contribuições não ultrapassam 2% da contribuição da fundamental. E após a quarta harmônica da frequência de comutação essas são inferiores a 0,5%.

Esse fato pode pesar quando a utilização de frequências de comutação menores. As contribuições significativas tornam-se mais próximas da fundamental levando a dificuldades de filtragem das mesmas e dependendo da potência total do inversor, trazer para faixas normatizadas do espectro componentes de potência significativa.

Para as técnicas APOD e POD as observações são similares. A grande contribuição das componentes nas bandas laterais da frequência de comutação é o que as difere da técnica IPD.

A técnica híbrida apresenta características conjuntas da técnica APOD e a mais aparente das características da técnica PS, a multi-

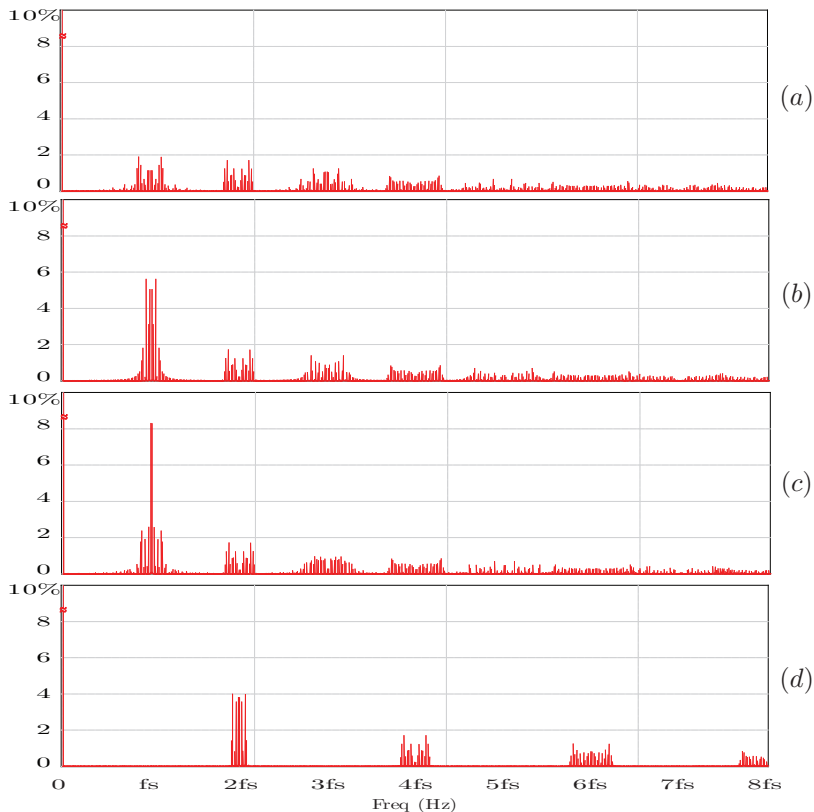


Figura 41 – Espectro harmônico das formas de onda da tensão de saída para as modulações testadas. (a)IPD, (b)APOD, (c)POD e (d)H.

plicação da frequência aparente de comutação. Aqui observa-se claramente que a frequência de comutação aparente do conversor é o dobro da frequência real. Assim sendo, as componentes espectrais ficam distribuídas nas bandas laterais dos múltiplos de dois da frequência de comutação.

Para efetiva comparação foram calculadas as THD's e WTHD's de cada uma das técnicas com índices de modulação alterados, de modo que exista a redução do número de níveis de tensão da forma de onda. Isso foi estudado para que as técnicas pudessem ser comparadas em toda faixa de trabalho do inversor.

Na tabela 6 são apresentados os dados das computações das

Tabela 6 – Resultados da computação da THD de cada técnica de modulação usando referência puramente senoidal, conforme o índice de modulação de amplitude  $M_a$

$M_a$	0,2	0,45	0,7	0,9	1
IPD	42,047	17,334	12,088	9,030	8,253
APOD	42,010	28,355	15,179	14,257	12,503
POD	66,934	29,894	19,349	15,379	11,692
H	66,915	28,669	17,447	12,000	12,275

THD's. Como esperado, quando maior o índice de modulação de amplitude mais níveis de tensão a onda gerada ganha. E apesar da técnica IPD gerar apenas 15 níveis, ela detém a menor THD gerada.

Tabela 7 – Resultados da computação da WTHD de cada técnica de modulação usando referência puramente senoidal, conforme o índice de modulação de amplitude  $M_a$

$M_a$	0,2	0,45	0,7	0,9	1
IPD	0,149	0,061	0,045	0,036	0,033
APOD	0,148	0,161	0,074	0,080	0,068
POD	0,372	0,167	0,108	0,089	0,062
H	0,190	0,082	0,048	0,034	0,033

Porém restou a dúvida sobre qual seria a melhor situação, pequenas contribuições espalhadas no espectro (técnica IPD) ou contribuições mais concentradas em frequências mais altas (técnica H)? Para isso foram calculadas as WTHD's nas mesmas condições. As técnicas em questão mostraram-se praticamente equivalentes em índices de modulação elevados e com pequena vantagem para a técnica IPD com índices pequenos.

### 5.1.3 Tensão de modo comum gerada

Um problema antigo no acionamento de máquinas elétricas é o desgaste de mancais e rolamentos das mesmas devido às correntes de modo comum. Essas correntes surgem através do acoplamento capacitivo entre rotor, estator e carcaça das máquinas. Nos já citados trabalhos de (ERDMAN et al., 1996) e (CHEN; LIPO; FITZGERALD, 1996) são feitas análises e propostas soluções para esses problemas.



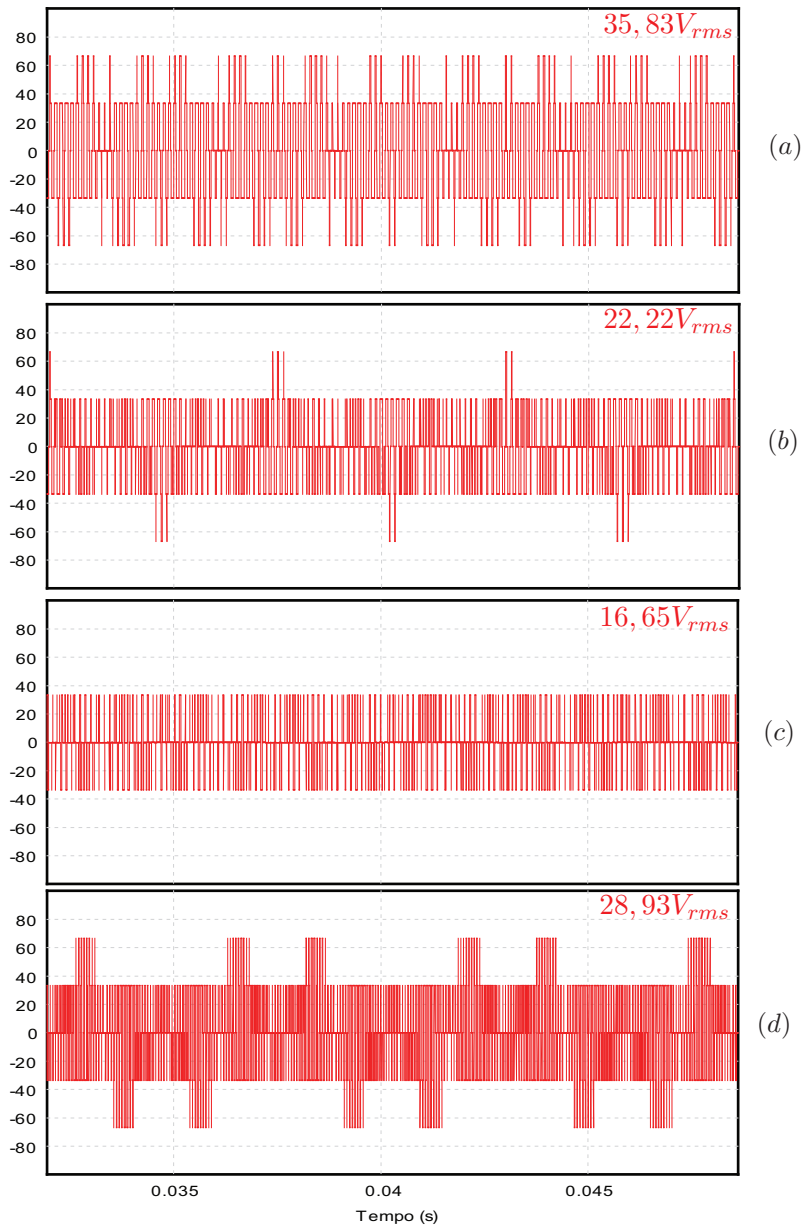


Figura 42 – Tensões de modo comum para as modulações: (a)IPD, (b)APOD, (c)POD e (d)H.

A intenção da avaliação da tensão de modo comum como critério qualitativo da estrutura proposta nesse trabalho é de verificar qual técnica de modulação leva à geração de tensões que minimizem as correntes de modo comum, levando assim a menores desgastes de mancais e rolamentos. Na figura 42 são exibidos os resultados das simulações para as medições das tensões de modo comum.

Na figura 42, junto às formas de onda são exibidos os valores de tensão eficaz de cada técnica. Percebe-se que os valores dos degraus de tensão são reduzidos, já favorecendo a redução dos níveis de tensão gerados. Porém, isso não é a única informação disponível para qualificar as técnicas nesse quesito.

Como as correntes de modo comum são geradas por acoplamentos capacitivos, os quais nas máquinas estão na faixa entre pico ( $10^{-12}$ ) e nano ( $10^{-9}$ ) Farad, as correntes geradas acabam sendo derivadas de componentes de alta frequência.

Assim, a figura 43 exibe o espectro das formas geradas por cada técnica. As variações nos espectros é interessante de ser interpretada. A distribuição das componentes segue basicamente a mesma distribuição das componentes de tensão de fase. Isso faz sentido, uma vez que as componentes de modo comum estão presentes em todas as fases e elas apenas se apresentam caso não exista o cancelamento mútuo.

Pode-se concluir então que em caso da impossibilidade de eliminação completa da geração das tensões de modo comum, busca-se uma forma de onda cujo espectro não possua contribuições significativas em altas frequências (de modo que gerem correntes pelos acoplamentos capacitivos) nem que possuam componentes de baixa frequência.

#### 5.1.4 Ondulação de corrente

Tendo esse trabalho foco na aplicação da topologia proposta como inversor para uso em aplicações de tração é necessária a avaliação da ondulação de corrente gerada. Assim como as tensões de modo comum geram danos físicos às máquinas elétricas, as ondulações de corrente também o são.

Tendo o comportamento das correntes reflexo direto do torque da máquina, ondulações de um geram ondulações no torque da máquina. O torque ondulante, ou pulsante, causa excitações torcionais que podem ter consequências destrutivas se não forem apropriadamente controlados

Em casos extremos, a magnitude da pulsação é suficientemente

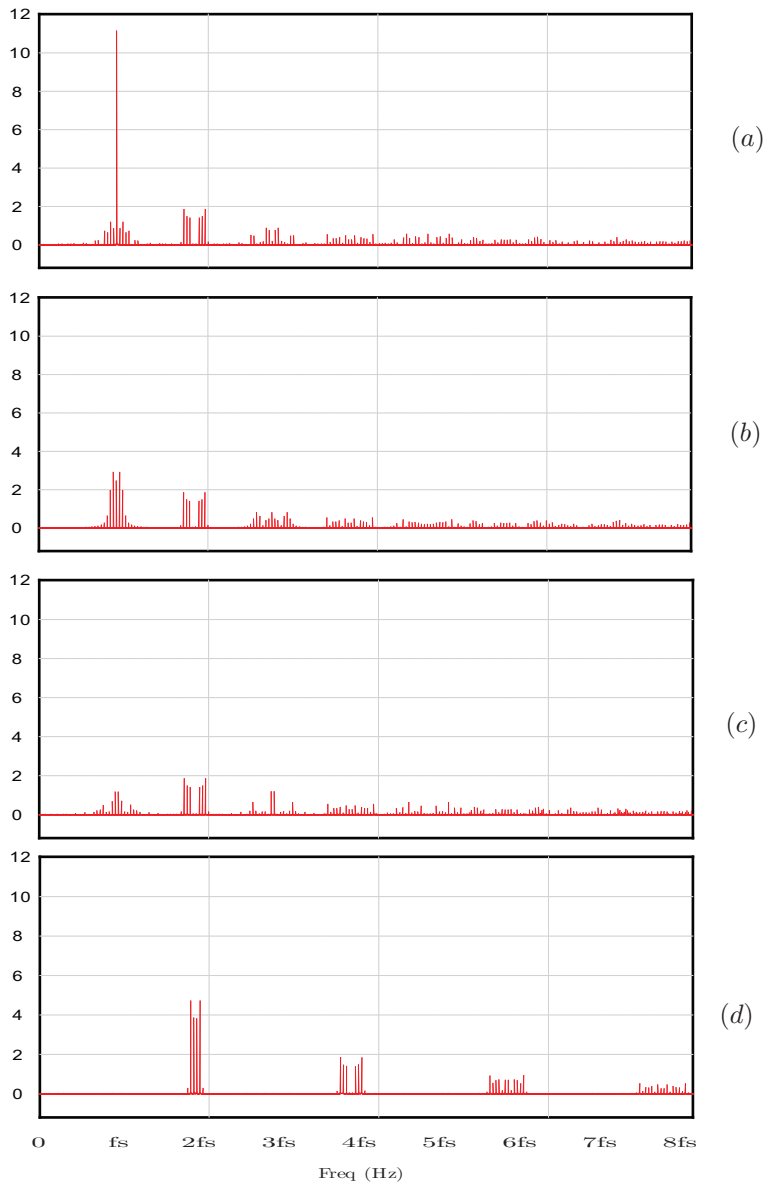


Figura 43 – Espectros normalizados pela tensão de barramento das formas de onda geradas segundo as técnicas: (a)IPD, (b)APOD, (c)POD e (d)H.

grande para criar contra-torques. Em aplicações com baixa inércia tais como bombas centrífugas diretamente acopladas, usualmente há pouco perigo. Porém, aplicações em ventiladores ou em compressores de alta velocidade com redutores de alta inércia há risco potencial. Esta situação potencialmente perigosa pode ser analisada e evitada com segurança.

No projeto das máquinas elétricas é necessária a análise torcional, e normalmente é realizada nos elementos mais importantes, podendo ser requerida a modificação do diâmetro do eixo e fatores de concentração de tensões, para evitar-se falhas por fadiga nos elementos.

O torque pulsante pode também causar problemas em rotores com barras inclinadas com relação ao eixo (não comum em motores de grande porte), dessa forma haverá componentes de força radial e axial. Apesar da componente axial ser tão somente uma fração da componente radial, numa situação extrema, movimentos axiais ou oscilações do eixo podem ocorrer, em detrimento dos rolamentos e selos.

Observando os resultados obtidos por (LIENAU; HELLMANN; SKUDELNY, 1980) e (CHIN; TOMITA, 1981), observa-se que o problema de ondulação de torque é mais acentuado quando da utilização de técnicas de modulação como a SHE, onde poucas comutações são feitas por período de onda fundamental da carga. O trabalho de (LIENAU; HELLMANN; SKUDELNY, 1980) refere-se as técnicas PWM como solução para redução da ondulação de corrente.

Trabalhos atuais como o de (HILL et al., 2011) também tratam da ondulação de torque, porém quando da utilização de motores síncronos de ímãs permanentes em baixas rotações e com a necessidade da estimação de posição frente a cargas onde a ondulação de torque é danosa.

A figura 44 ilustra os resultados obtidos nas simulações para a ondulação de corrente na carga.

É necessário ressaltar que o problema da ondulação de corrente é um problema maior quando da utilização de interruptores lentos, em técnicas que sugerem poucos pulsos por ciclo de onda e em alta potência. Essa combinação era bastante comum num passado não muito distante, quando as tecnologias mais difundidas para semicondutores eram os transistores de junção bipolar de potências (BJTs, *Bipolar Junction Transistor*) e tiristores. Com a evolução das ciências dos materiais e o surgimento de IGBTs e MOSFETs esse problema foi minimizado, como pode ser visto na ordem das oscilações obtidas por simulação.

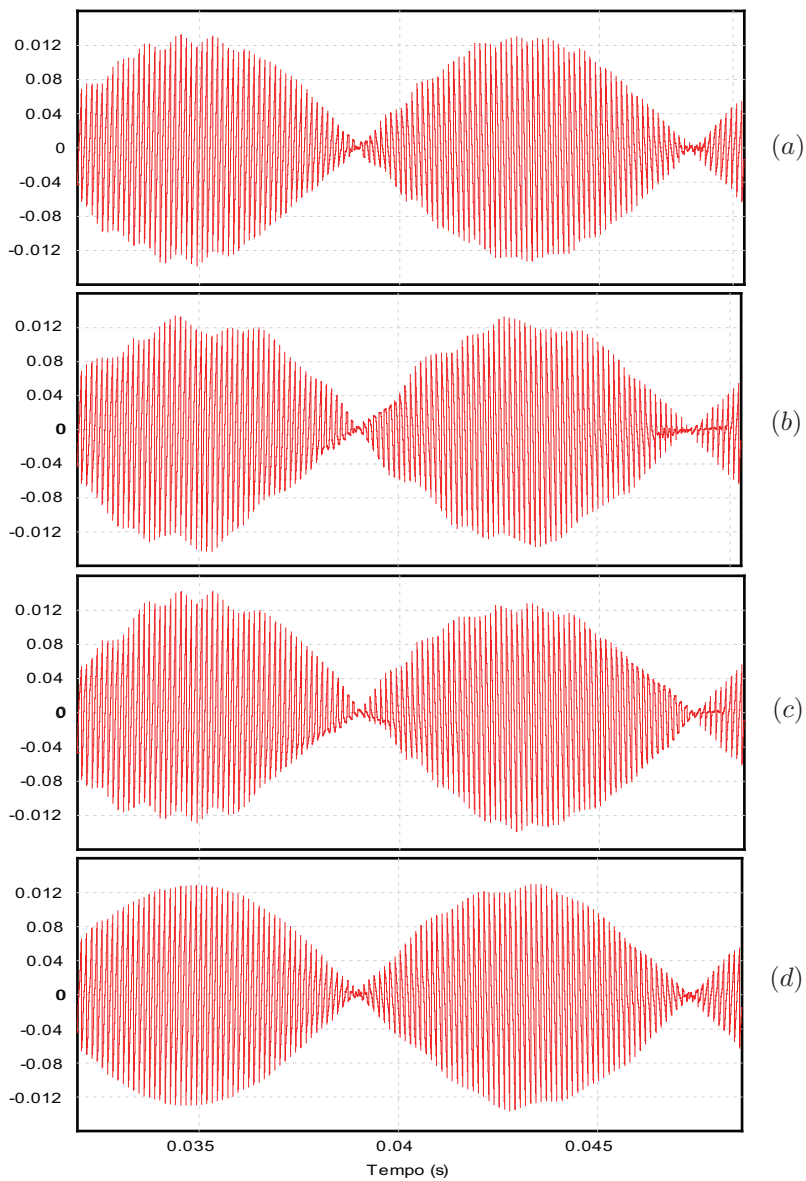


Figura 44 – Ondulações das correntes de carga geradas pelas técnicas: (a)IPD, (b)APOD, (c)POD e (d)H.

### 5.1.5 Uso dos vetores adequados no plano $\alpha\beta$

A avaliação de quais vetores serão usados por cada modulação foi utilizada prevendo a comparação com a técnica de modulação CSVPWM. Segundo (HOLMES, 2003) essa técnica de modulação é equivalente a implementação da modulação vetorial.

Entretanto a técnica CSVPWM se mostra de mais fácil aplicação quando comparada a técnica SVM. Na técnica SVM a grande quantidade de vetores disponibilizada pela topologia torna a computação e a escolha de qual vetor deve ser empregado uma tarefa complexa. Já na técnica CSVPWM são empregadas operações simples para executar o recálculo da onda de referência.

Na figura 45 são apresentados os planos  $\alpha\beta$  gerados por cada uma das topologias iniciais. Nos planos mostrados são perceptíveis características já destacadas anteriormente. Quando uma modulação utiliza níveis não-adjacentes na formação da onda de saída vetorialmente isso representa a não utilização dos vetores mais próximos para geração do vetor de referência.

Considerando os fatores apresentados até então, a técnica de modulação IPD apresenta os melhores resultados quando analisados os quesitos forma de onda, THD, WTHD e utilização de vetores no plano  $\alpha\beta$ . A ondulação de corrente é praticamente a mesma em todos os casos, resultado já esperado uma vez que esse é um problema maior quando do uso de técnicas que exigem poucas comutações nos interruptores, privilegiando outros aspectos. O fator contra essa técnica é a tensão de modo comum gerada.

Apesar desse fator desmerecedor, dando continuidade a proposta do trabalho a técnica escolhida para simulação com implementação digital é a IPD-PWM. Esse resultado já era esperado pois trabalhos como (CARMONA et al., 2008) e (HOLMES, 2003) enaltecem essa técnica.

## 5.2 ANÁLISE DA MODULAÇÃO

A análise numérica da modulação baseia-se utilização da representação em série de Fourier de dupla variável, estudada em detalhes em (HOLMES, 2003). A representação em série de Fourier define que qualquer sinal pode ser expresso como uma soma de componentes sinusoidais, conforme a equação 5.1:

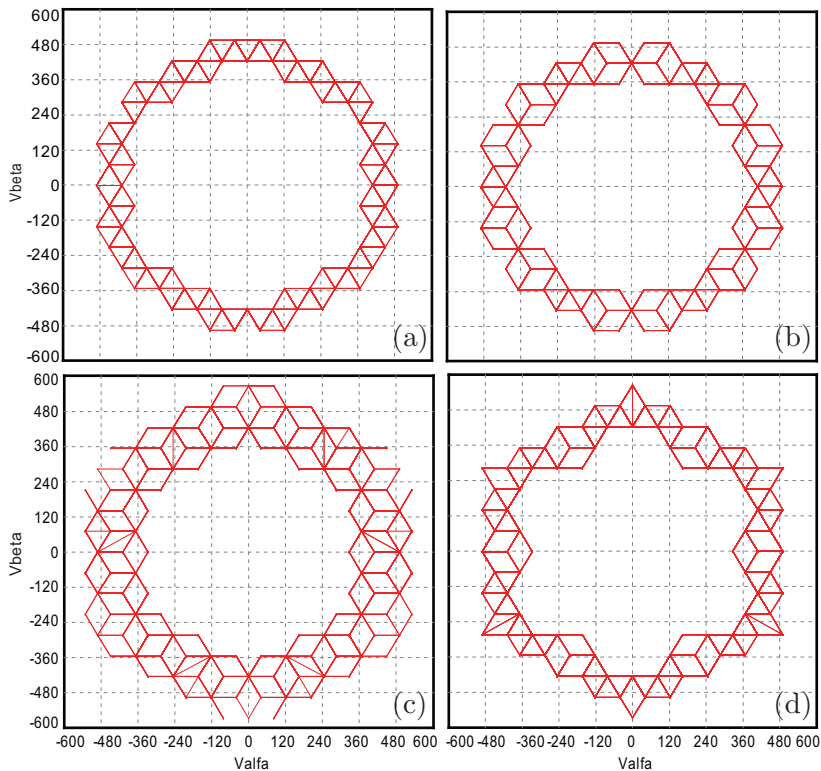


Figura 45 – Planos  $\alpha\beta$  gerados pelas técnicas: (a)IPD, (b)APOD, (c)POD e (d)H.

$$f(t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} [a_n \cdot \cos(n \cdot \omega \cdot t) + b_n \cdot \text{sen}(n \cdot \omega \cdot t)] \quad (5.1)$$

Onde:

$$a_n = \frac{1}{\pi} \int_{-\pi}^{\pi} f(t) \cdot \cos(n \cdot \omega t) d\omega t \quad (5.2)$$

$$b_n = \frac{1}{\pi} \int_{-\pi}^{\pi} f(t) \cdot \text{sen}(n \cdot \omega t) dt \quad (5.3)$$

com  $n = 0, 1, \dots, \infty$ .

As expressões 5.2 e 5.3 são válidas apenas quando o sinal  $f(t)$  for função apenas de uma frequência. No caso analisado existem duas frequências a serem representadas fazendo com que  $f(t)$  seja representada conforme a expressão 5.4.

$$\begin{aligned} f(t) = & \frac{A_{00}}{2} + \sum_{n=1}^{\infty} \{A_{0n} \cdot \cos[n \cdot (\omega_o \cdot t + \theta_o)] + B_{0n} \cdot \text{sen}[n \cdot (\omega_o \cdot t + \theta_o)]\} \\ & + \sum_{m=1}^{\infty} \{A_{m0} \cdot \cos[m \cdot (\omega_c \cdot t + \theta_c)] + B_{m0} \cdot \text{sen}[m \cdot (\omega_c \cdot t + \theta_c)]\} \\ & + \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} \left\{ \begin{aligned} & A_{mn} \cdot \cos[m \cdot (\omega_c \cdot t + \theta_c) + n \cdot (\omega_o \cdot t + \theta_o)] + \\ & B_{mn} \cdot \text{sen}[m \cdot (\omega_c \cdot t + \theta_c) + n \cdot (\omega_o \cdot t + \theta_o)] \end{aligned} \right\} \end{aligned} \quad (5.4)$$

Onde:

$$\begin{aligned} A_{mn} &= \frac{1}{2 \cdot \pi^2} \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} f(x, y) \cdot \cos(m \cdot x + n \cdot y) dx dy \\ B_{mn} &= \frac{1}{2 \cdot \pi^2} \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} f(x, y) \cdot \text{sen}(m \cdot x + n \cdot y) dx dy \\ x &= \omega_c \cdot t + \theta_c \\ y &= \omega_o \cdot t + \theta_o \end{aligned} \quad (5.5)$$

Sendo que:

$$\begin{aligned} \omega_c &= 2 \cdot \pi \cdot f_c \\ \omega_o &= 2 \cdot \pi \cdot f_o \\ m &= -\infty, \dots, -1, 0, 1, \dots, \infty \\ n &= 0, 1, \dots, \infty \end{aligned} \quad (5.6)$$

As variáveis  $f_c$  e  $f_o$  são, respectivamente, referentes a frequência de comutação e a frequência fundamental do sinal de saída do inversor e as variáveis  $m$  e  $n$  representam os índices das harmônicas da frequência fundamental e da frequência de comutação.

Pode-se também expressar a série em notação complexa, conforme apresentado em 5.7.



$$\overline{C_{mn}} = A_{mn} + j \cdot B_{mn} = \frac{1}{2 \cdot \pi^2} \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} f(x, y) \cdot e^{j \cdot (m \cdot x + n \cdot y)} dx dy \quad (5.7)$$

Dadas essas considerações é necessário determinar a função  $f(x, y)$ , a qual varia conforme a técnica de modulação utilizada. A figura 46 trás uma representação gráfica da moduladora e das portadoras envolvidas na modulação IPD, para um período da moduladora.

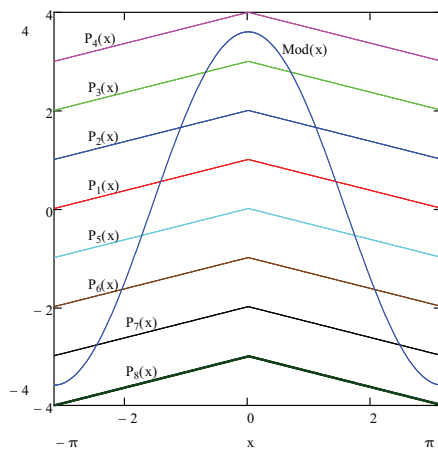


Figura 46 – Forma de onda da moduladora e das portadoras para um período da moduladora.

Assim pode-se definir a moduladora e as portadoras como ex-

presso nas equações 5.8.

$$\begin{aligned}
 Mod(y) &= 4 \cdot M \cdot \cos(y) \\
 P_1(x) &= \begin{cases} 1 + \frac{x}{\pi}, x < 0 \\ 1 - \frac{x}{\pi}, x \geq 0 \end{cases} \\
 P_2(x) &= \begin{cases} 2 + \frac{x}{\pi}, x < 0 \\ 2 - \frac{x}{\pi}, x \geq 0 \end{cases} \\
 P_3(x) &= \begin{cases} 3 + \frac{x}{\pi}, x < 0 \\ 3 - \frac{x}{\pi}, x \geq 0 \end{cases} \\
 P_4(x) &= \begin{cases} 4 + \frac{x}{\pi}, x < 0 \\ 4 - \frac{x}{\pi}, x \geq 0 \end{cases} \\
 P_5(x) &= \begin{cases} \frac{x}{\pi}, x < 0 \\ -\frac{x}{\pi}, x \geq 0 \end{cases} \\
 P_6(x) &= \begin{cases} \frac{x}{\pi} - 1, x < 0 \\ -\frac{x}{\pi} - 1, x \geq 0 \end{cases} \\
 P_7(x) &= \begin{cases} \frac{x}{\pi} - 2, x < 0 \\ -\frac{x}{\pi} - 2, x \geq 0 \end{cases} \\
 P_8(x) &= \begin{cases} \frac{x}{\pi} - 3, x < 0 \\ -\frac{x}{\pi} - 3, x \geq 0 \end{cases}
 \end{aligned} \tag{5.8}$$

As portadoras foram definidas como segmentos de retas, os quais tem comportamentos bem definidos para valores menores que zero em um momento e para valores maiores que zero, com o mesmo incluso. A moduladora foi definida como um cosseno apenas por facilidade de cálculo.

Quando igualam-se as equações das portadoras com a moduladora são obtidas expressões que definem as curvas usadas como limites de integração. Plotadas as curvas no mesmo gráfico e destacando as áreas delimitadas é obtida a célula unitária do inversor proposto. Tal célula é ilustrada na figura 47.

Como apresentado em (HOLMES, 2003), a representação da célula unitária repete-se periodicamente. Essa periodicidade está associada a relação entre as frequências das portadoras e da moduladora.

Assim, traçando uma reta, com a inclinação referente a essa

relação, sobrepondo uma seqüência de células pode-se obter graficamente a forma de onda de saída do conversor, conforme apresentado na figura 48.

Quando a relação entre as frequências das portadoras e da moduladora é unitária a forma de onda pode ser obtida graficamente atribuindo os valores referentes as tensões do inversor proposto ao terceiro

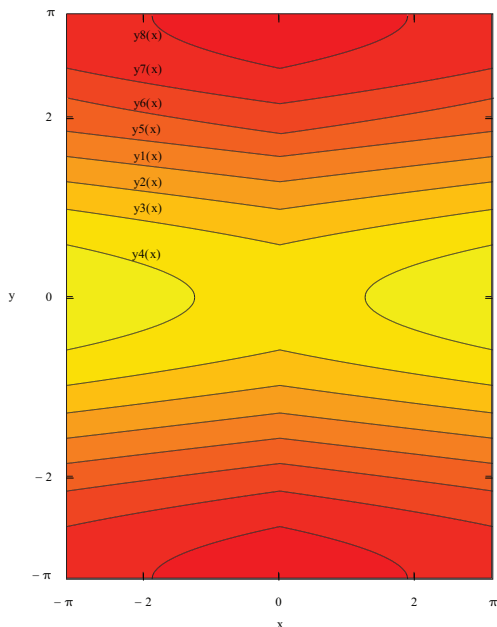


Figura 47 – Célula unitária obtida da topologia proposta usando técnica de modulação IPD.

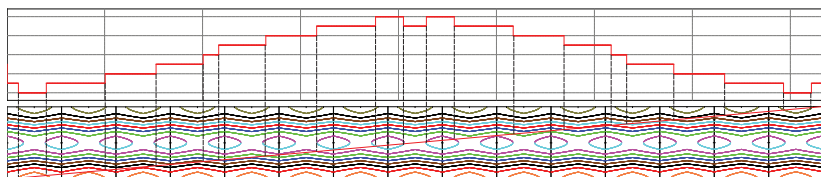


Figura 48 – Representação da tensão de saída obtida através das células unitárias através da modulação IPD com  $M = 0,9$ .

eixo da figura 47. Com esse procedimento obtém-se o resultado exibido na figura 49.

De posse dos limites de integração é possível calcular a contribuição de cada componente do espectro. Para o inversor proposto nesse trabalho não foi possível definir uma expressão analítica que representasse a tensão de saída, então os resultados serão obtidos numericamente e comparados aos valores simulados com os mesmos parâmetros.

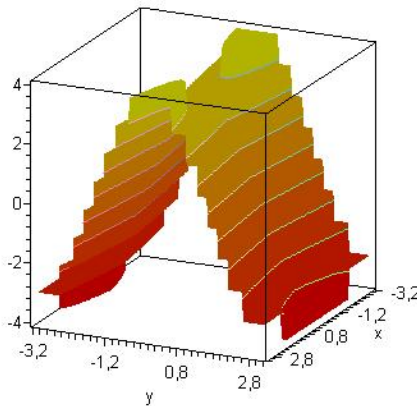


Figura 49 – Representação gráfica da forma de onda da tensão de saída do inversor quando  $f_c/f_o = 1$ .

Os parâmetros usados foram os seguintes:

- $f_o=60\text{Hz}$
- $f_c=1860\text{Hz}$
- $M_a=0,9$
- $V_{cc}=100\text{V}$

Os resultados obtidos para o cálculo e para a simulação do espectro estão ilustrados na figura 50. Nota-se a semelhança visual entre os espectros apresentados. Para verificação dos resultados da comparação será usada a THD.

Para o espectro simulado tem-se 13,997% e para o calculado 16,635%, gerando um erro de 2,638 pontos percentuais. Ambos resultados validam o estudo realizado.

### 5.3 MODULAÇÃO CSVPWM

Como descrito no capítulo 3, a técnica de modulação CSVPWM é proposta com o intuito de obter resultados similares aos alcançados na técnica SVM, porém com o uso de menos computação. Assim simula-se o uso da técnica com o algoritmo proposto em (CARMONA et al., 2008) e por (HOLMES, 2003).

Para tal tarefa foi usado o bloco DLL do software PSIM. Esse bloco utiliza faz a leitura das senoides de referência e através dos já citados algoritmos, agora implementados em linguagem de programação C, calcula novas ondas que serão tomadas como referências para os moduladores. Na figura 51 é apresentada uma comparação entre as re-

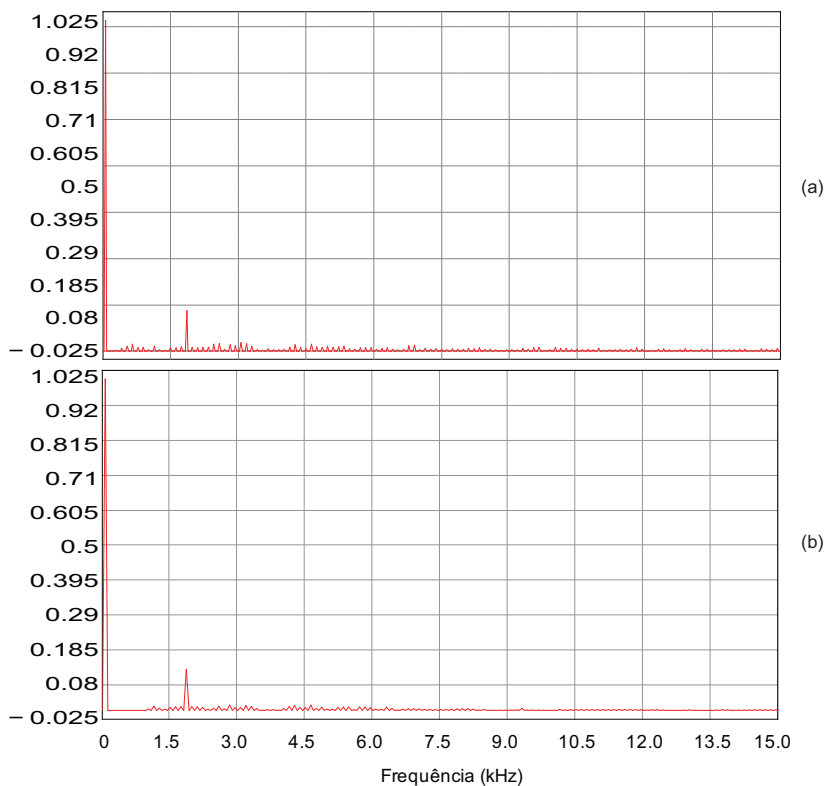


Figura 50 – Componentes harmônicas obtidas por simulação (a) e calculadas (b) para a forma de onda de tensão.

ferências calculadas com diferentes índices de modulação de amplitude, com os mesmos parâmetros de simulação já utilizados nesse capítulo na seção 5.1.

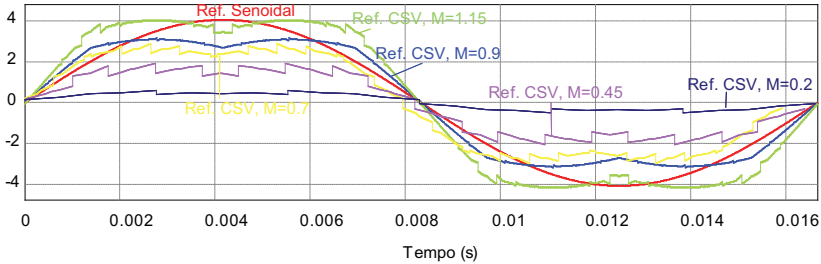


Figura 51 – Apresentação das referências calculadas para diversos índices de modulação de amplitude comparadas com a referência senoidal.

Os mesmos dados coletados para a modulação IPD foram obtidos para a técnica CSVPWM com intuito de comparação e verificação da modulação. Os parâmetros de simulação são os mesmos, porém como a técnica CSVPWM permite sobremodulação, o índice de modulação de amplitude nessa técnica é 1,05. Procura-se com isso obter os melhores resultados de cada técnica.

Na figura 52 estão apresentadas as formas de onda das tensões de linha para ambas técnicas. A técnica CSVPWM na figura 52b é passível de sobremodulação, tendo a mesma vantagem sobre a técnica IPD, apresentando os 17 níveis teóricos permitidos pela topologia.

Comparando os espectros das técnicas, agora ilustrados na figura 53, sendo que a figura 53b refere-se ao espectro da tensão de linha gerado com o uso técnica CSVPWM, temos a mesma distribuição em ambas. Pouca contribuição distribuída pelas bandas laterais dos múltiplos da frequência de comutação. A técnica CSVPWM também tem uma melhor apresentação dados os valores dessas contribuições (menores que os apresentados na técnica IPD).

Novamente de posse dos dados da simulação, apresentam-se as tabelas 8 e 9 que trazem os valores calculados de THD e WTHD agora apenas das técnicas IPD e CSV para comparação direta.

Em ambas o valor do índice de modulação de amplitude  $M_a$  foi estendido até  $M = 1,05$ . Nesse caso os resultados obtidos para a técnica IPD estão na faixa não linear, região de trabalho não desejada quando o inversor opera em malha fechada. Nota-se uma pequena

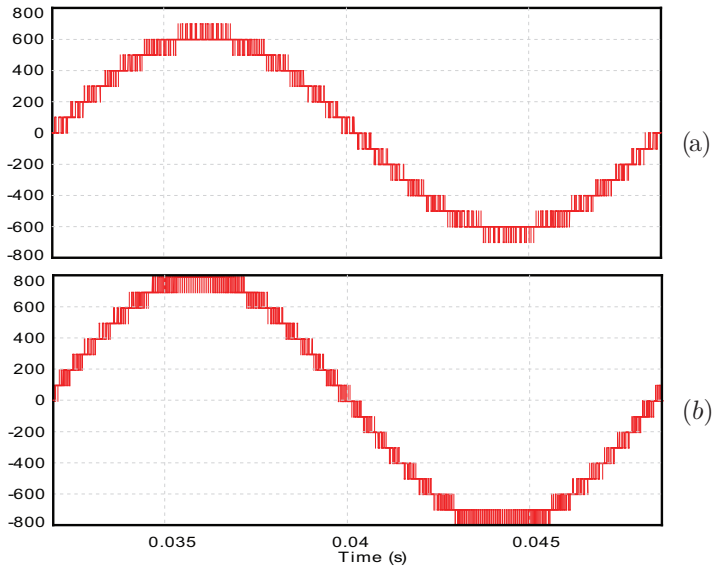


Figura 52 – Comparativo das simulações das tensões de linha para as técnicas (a)IPD e (b)CSVPWM.

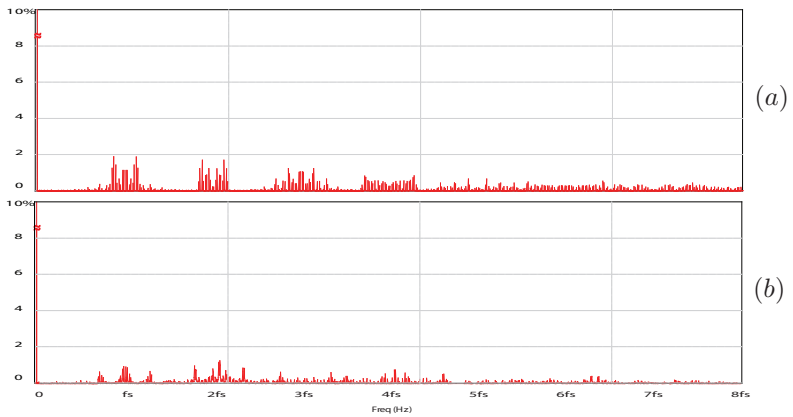


Figura 53 – Espectro harmônico simulado das tensões de linha para as técnicas (a)IPD e (b)CSVPWM.

melhora nos resultados com o uso da técnica CSVPWM.

Tabela 8 – Resultados da computação da THD para as técnicas IPD e CSV

	0,2	0,45	0,7	0,9	1	1,05
IPD	42,047	17,334	12,088	9,030	8,253	8,062
CSV	42,028	17,337	12,084	9,019	8,268	7,812

Tabela 9 – Resultados da computação da WTHD para as técnicas IPD e CSV

	0,2	0,45	0,7	0,9	1	1,05
IPD	0,149	0,061	0,045	0,036	0,033	0,195
CSV	0,190	0,082	0,048	0,034	0,033	0,050

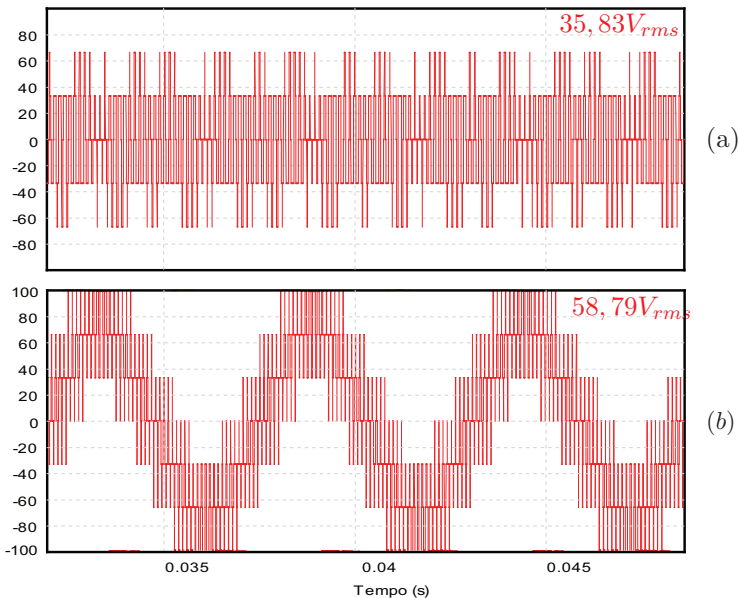


Figura 54 – Tensões de modo comum geradas por (a) técnica IPD e (b) técnica CSVPWM.

Na figura 54 é demonstrado um comparativo visual das tensões de modo comum geradas pelas duas técnicas. O valor RMS obtido na



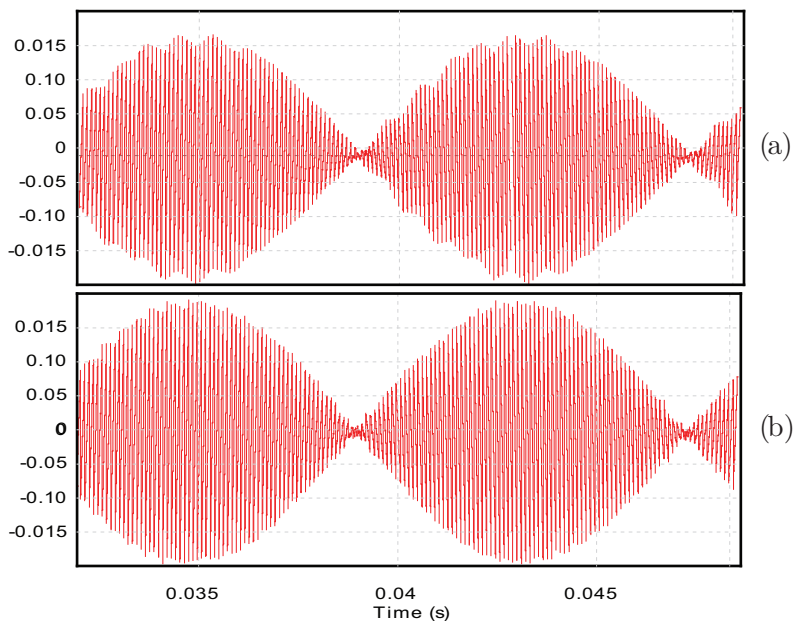


Figura 55 – Ondulação de corrente.

técnica CSVPWM é superior ao encontrado para a técnica IPD, sendo já essa a técnica que obteve o pior resultado nesse quesito dentre as técnicas analisadas.

Quando comparada com a técnica IPD, novamente a CSVPWM apresenta pequena desvantagem agora no quesito ondulação de corrente. Na figura 55 são exibidas as ondas obtidas pelas duas técnicas. A ondulação apresentada pela técnica CSVPWM é de amplitude pouco maior que a da técnica IPD.

O último critério de comparação utilizado foi a utilização adequada dos vetores no plano  $\alpha\beta$  nesse quesito novamente a técnica CSVPWM apresenta vantagem sobre a técnica IPD como ilustrado na figura 56. Na avaliação das formas de onda da tensão de linha a técnica CSVPWM foi superior por apresentar mais níveis de tensão, aqui esse resultado é transformado na utilização de vetores mais externos do plano, gerando uma melhor utilização do mesmo e por consequência dos barramentos de tensão.

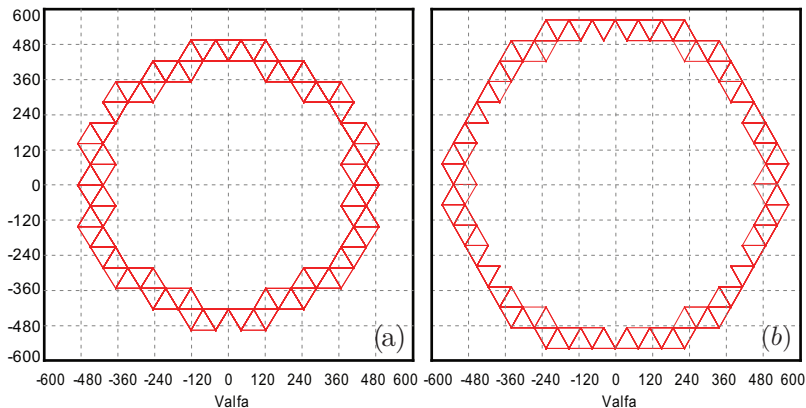


Figura 56 – Comparativo da utilização dos vetores no plano  $\alpha\beta$  para as técnicas (a)IPD e (b)CSVPWM.

#### 5.4 CONCLUSÃO

Nesse capítulo foram estudadas e simuladas técnicas de modulação baseadas em portadoras senoidais difundidas na literatura, adaptadas e aplicadas para a topologia proposta no capítulo anterior.

Considerando critérios como THD e WTHD as técnicas foram comparadas e usando as mesmas, foi eleita a técnica IPD como a mais favorável para a implementação e experimentação.

Após essas comparações foi simulada a técnica CSVPWM, a qual também foi comparada, porém apenas com a técnica IPD. Nesse tópico os resultados obtidos foram também favoráveis para a técnica IPD, apesar de referências apontarem o contrário e de exceções pontuais a favor da técnica CSVPWM.

## 6 PROJETO DO INVERSOR E RESULTADOS EXPERIMENTAIS

Nesse capítulo são apresentados meios, metodologias, dados e parâmetros usados para obtenção dos resultados experimentais visando validar esse trabalho. Apresenta-se a proposta, desenvolvimento e implementação de uma plataforma modular e versátil para testes de diversas topologias multiníveis. Tal plataforma foi proposta para que testes de novas topologias multiníveis pudessem ser rapidamente executados ajustando apenas as conexões de potência e os sinais de gatilho dos interruptores.

Anexo apresenta-se o esquemático da plataforma de teste, o diagrama de ligação de um transformador multipulsos, o código VHDL utilizado para a geração dos sinais de gatilho e o código utilizado na computação da modulação CSVPWM.

Como tal topologia é flexível, independentemente da origem dos sinais de comando e controle, também é apresentado o dispositivo programável utilizado aqui para a geração dos sinais de gatilho dos interruptores e sua programação, focando alguns detalhes de implementação.

É definida também uma metodologia para avaliação dos esforços de corrente nos semicondutores, considerando os interruptores separados em interruptores comandados e diodos sendo que na prática serão utilizados IGBTs com diodos montados no mesmo encapsulamento, com o objetivo de propor uma carga adequada para os testes da topologia nesse apresentada.

Com a carga definida e adequada à plataforma de testes, serão exibidos os resultados experimentais comparando-os com os resultados de simulação, obtidos com os mesmos parâmetros.

### 6.1 PLATAFORMA DE TESTES

Pensado em versatilidade e praticidade foi proposta uma plataforma de testes para novas topologias para conversores multiníveis. Essa plataforma conta com interruptores ativos de tecnologia IGBT com diodos encapsulados. Tais interruptores permitem frequências de comutação relativamente altas para as aplicações as quais conversores multiníveis se propõem e níveis de corrente suficientes para testes em escalas.

A plataforma conta com quatro conjuntos de interruptores da

IXYS®), modelo FII 30-06D. Cada conjunto possui 2 IGBTs e seus respectivos diodos, montados na configuração *totem pole* conforme ilustrado na figura 57, com os terminais coletores e emissores disponíveis para montagens.

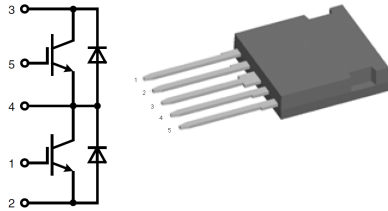


Figura 57 – Montagem do componente FII 30-06D da IXYS.

Desse jeito pode-se montar e testar rapidamente várias topologias multiníveis requerendo-se apenas cuidados com os sinais de gatilho e a montagem da parte de potência. Os sinais de gatilho podem ser injetados com níveis de tensão de até 6V pois os mesmos são tratados pelo buffer 7407, que tendo saída em coletor aberto adapta o nível dos sinais para 15V, necessário devido ao uso de *drivers* SKHI 20pA da Semikron®.

Tal *driver* é próprio para acionamento de IGBTs de até 1200V e fornece sinalização de curto, proteção contra sobrecorrente, possibilidade de configuração de tempo-morto e de resistor de gatilho. Para funcionamento esse *driver* necessita de duas fontes de tensão isoladas de 15V. Essas fontes são providenciadas pela fonte da Semikron®SKHI PS2. Com o auxílio de transformadores externos essa fonte pode suprir até 4 *drivers*. O esquemático completo da placa está no anexo desse trabalho. Na figura 58 está ilustrado um módulo, composto por 2 placas já com os *drivers*, fontes, interruptores e demais componentes necessários para seu funcionamento.

A plataforma de testes também é composta pela fontes de alimentação isoladas. Essas fontes são geradas por transformadores trifásicos isoladores com diversos enrolamentos com defasagens calculadas para gerar o mínimo de distorção na corrente do primário. Em conjunto com os transformadores são usadas pontes retificadoras trifásicas a diodo (Pontes Graetz) com filtros capacitivos comuns, caracterizando uma fonte de 36 pulsos.

O esquemático da placa de potência da plataforma e o projeto do transformador de 36 pulsos estão anexos a esse trabalho.

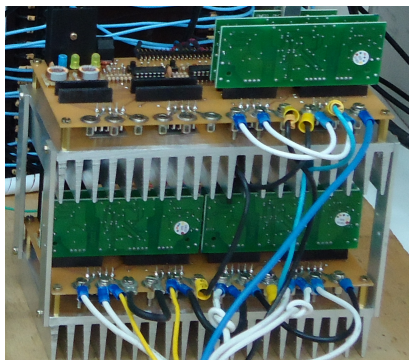


Figura 58 – Módulo de potência da plataforma de testes.

## 6.2 DEFINIÇÃO DE ESFORÇOS NOS SEMICONDUTORES

A definição dos esforços de corrente é necessária para que possa ser feita a determinação da carga de teste. Partindo dos dados da plataforma de testes, temos os valores máximos de tensão e corrente de cada fonte isolada ( $100V @ 6A$  em regime contínuo).

Pela análise da topologia feita no capítulo 4, a máxima tensão a qual os interruptores são submetidos depende de sua localização dentro da topologia. Sendo os interruptores iguais e os interruptores da ponte os que tem maior estresse nesse quesito, temos que o nível máximo é  $4E$ . Caso seja utilizada com  $100V$  na saída, os interruptores da ponte inversora ficariam sujeitos a  $400V$ . Para aumentar a segurança nos testes, é imposta a redução da tensão dos barramentos para  $75V$ , fazendo com que os interruptores da ponte estejam sujeitos a  $300V$ .

A definição dos esforços de corrente de cada interruptor vai depender do tipo de modulação utilizada, aqui é demonstrado o princípio para essa definição para o uso com técnicas de modulação baseada em comparação de portadoras e moduladoras, as técnicas ditas senoidais. Para técnicas baseadas em vetores utilizam-se outras metodologias.

Definida a técnica de modulação a ser utilizada, os intervalos de comutação de cada interruptor podem ser associados com os intervalos de cruzamento entre o sinal da moduladora e da portadora associada com o interruptor. Para esse trabalho, como descrito no capítulo 5, são utilizadas apenas 4 portadoras e uma moduladora senoidal retificada.

Para que os intervalos possam ser definidos consideram-se a amplitude de cada portadora igual a 1, a amplitude máxima da modula-

dora igual a 4 e os intervalos e ângulos em radianos. Na figura 59 estão ilustrados os ângulos que delimitam os intervalos.

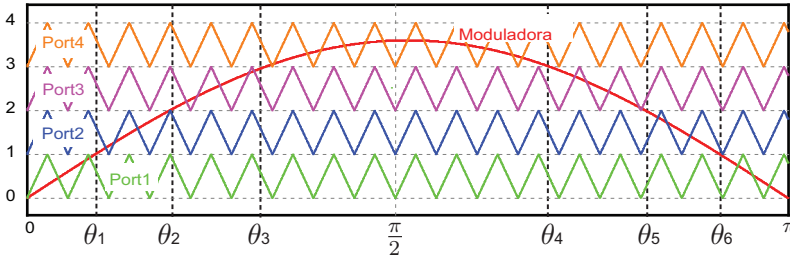


Figura 59 – Ângulos de intersecção entre moduladora e portadoras.

Verifica-se por inspeção que os ângulos tem simetria em  $\pi/2$ , sendo os mesmos definidos segundo as equações 6.1:

$$\begin{aligned}
 \theta_1 &= \text{asen} \left( \frac{1}{4M_a} \right) \\
 \theta_2 &= \text{asen} \left( \frac{2}{4M_a} \right) \\
 \theta_3 &= \text{asen} \left( \frac{3}{4M_a} \right) \\
 \theta_4 &= \pi - \theta_3 \\
 \theta_5 &= \pi - \theta_2 \\
 \theta_6 &= \pi - \theta_1
 \end{aligned} \tag{6.1}$$

Com os ângulos limites dos intervalos definidos, definem-se as funções de comutação. Tais funções representam os intervalos nos quais os interruptores estão bloqueados, conduzindo ou comutando entre esses estados. Assim, em relação a moduladora, antes dessa alcançar o menor ângulo, que representa a entrada na faixa de atuação de sua respectiva portadora, a função vale zero. Isso representa que o interruptor está bloqueado. Quando a mesma alcança o menor ângulo a mesma representa a comutação entre os estados bloqueado e conduzindo e a função passa a ter o valor da moduladora. Ao alcançar o ângulo seguinte a função passa a ter valor 1, o que representa a condução contínua do interruptor.

Essas interpretações ficam claras quando da definição matemática das funções, como segue nas equações 6.2.

$$\begin{aligned}
 V_{Mod}(\theta) &= 4 \cdot M_a \cdot \text{sen}(\theta) \\
 \delta_{S1}(\theta) &= \begin{cases} 0, & \theta_1 > \pi \\ 1, & \theta_6 > \theta > \theta_1 \\ V_{Mod}, & \text{outros casos} \end{cases} \\
 \delta_{S2}(\theta) &= 1 - \delta_{S1}(\theta) \\
 \delta_{S3}(\theta) &= \begin{cases} 0, & \theta > \theta_6 \vee \theta < \theta_1 \\ 1, & \theta_5 > \theta > \theta_2 \\ V_{Mod}, & \text{outros casos} \end{cases} \\
 \delta_{S4}(\theta) &= 1 - \delta_{S3}(\theta) \\
 \delta_{S5}(\theta) &= \begin{cases} 0, & \theta > \theta_5 \vee \theta < \theta_2 \\ 1, & \theta_4 > \theta > \theta_3 \\ V_{Mod}, & \text{outros casos} \end{cases} \\
 \delta_{S6}(\theta) &= 1 - \delta_{S5}(\theta) \\
 \delta_{S7}(\theta) &= \begin{cases} 0, & \theta > \theta_4 \vee \theta < \theta_3 \\ V_{Mod}, & \text{outros casos} \end{cases} \\
 \delta_{S8}(\theta) &= 1 - \delta_{S7}(\theta)
 \end{aligned} \tag{6.2}$$

O gráfico da figura 60 mostra as funções de comutação plotadas com  $M_a = 0,9$ . Os valores foram deslocados horizontalmente para melhor visualização, comprovando a relação com a senoide de referência dos comparadores.

De posse das funções de comutação dos interruptores pode-se determinar a corrente de cada interruptor, baseados na corrente de carga, como segue nas equações 6.3.

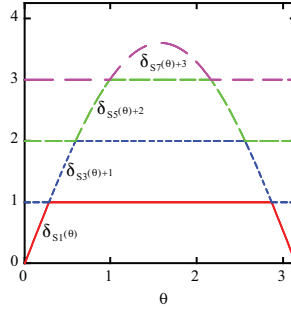


Figura 60 – Funções de comutação.

$$\begin{aligned}
 I_{S1}(\theta) &= \delta_{S1}(\theta) \cdot I_{C \arg a}(\theta) \\
 I_{S2}(\theta) &= \delta_{S2}(\theta) \cdot I_{C \arg a}(\theta) \\
 I_{S3}(\theta) &= \delta_{S3}(\theta) \cdot I_{C \arg a}(\theta) \\
 I_{S4}(\theta) &= \delta_{S4}(\theta) \cdot I_{C \arg a}(\theta) \\
 I_{S5}(\theta) &= \delta_{S5}(\theta) \cdot I_{C \arg a}(\theta) \\
 I_{S6}(\theta) &= \delta_{S6}(\theta) \cdot I_{C \arg a}(\theta) \\
 I_{S7}(\theta) &= \delta_{S7}(\theta) \cdot I_{C \arg a}(\theta) \\
 I_{S8}(\theta) &= \delta_{S8}(\theta) \cdot I_{C \arg a}(\theta)
 \end{aligned} \tag{6.3}$$

A corrente de carga é definida levando em consideração que o número de níveis da topologia é tão grande que uma aproximação com uma senoide padrão não leva a erros consideráveis na determinação da mesma. Tal consideração é plausível visto os níveis de THD de tensão e a característica indutiva da carga proposta.

Assim, para  $P = 1000W$ ,  $f_{fundamental} = 60Hz$ ,  $V_{Pico} = 400 \cdot M_a$ ,  $\cos \varphi = 0,85$  e  $M_a = 0,9$ , temos:

$$\varphi = a \cos(\cos \varphi) = 0,555 \tag{6.4}$$



$$V_{C \arg a_{rms}} = \frac{V_{Pico}}{\sqrt{2}} = 254,558V \quad (6.5)$$

$$I_{C \arg a_{rms}} = \frac{P}{V_{L_{rms}} \cdot \cos \varphi} = 4,622A \quad (6.6)$$

$$Z_{C \arg a} = \frac{V_{L_{rms}}}{I_{L_{rms}}} = 55,08\Omega \quad (6.7)$$

$$R_{C \arg a} = Z_{C \arg a} \cdot \cos \varphi = 46,818\Omega \quad (6.8)$$

$$X_{C \arg a} = R_{C \arg a} \cdot \tan \varphi = 29,015\Omega \quad (6.9)$$

$$L_{C \arg a} = \frac{X_{C \arg a}}{2 \cdot \pi \cdot f_{fundamental}} = 0,076965H \quad (6.10)$$

Chegando a definição da corrente de carga como na equação 6.11.

$$I_{C \arg a}(\theta) = I_{C \arg a_{rms}} \cdot \sqrt{2} \cdot \text{sen}(\theta - \varphi) \quad (6.11)$$

Para os esforços nos diodos intrínsecos aos interruptores comandados, a lógica para definição é similar. Porém, os intervalos de atuação dos diodos correspondem aos instantes onde os interruptores que comandam os níveis de tensão contíguos não atuam, no caso os interruptores estando bloqueados. Assim, para os esforços nos diodos sua equação de corrente vai depender exclusivamente da equação de corrente da carga e dos intervalos definidos.

A verificação de tais aproximações e considerações é conferida através dos valores obtidos em simulação como demonstrado na tabela 10 com os mesmos parâmetros.

Os esforços aqui apresentados estão associados com o aquecimento dos interruptores. Em uma aplicação real da topologia proposta nesse trabalho a posição dos interruptores no dissipador de calor deve ser estudada com cautela.

Assim, caso interruptores com maior esforço de corrente fiquem próximos a interruptores de menor esforço no mesmo dissipador, podemos ter alterações não esperadas na dinâmica dos componentes.

Outro ponto prático a ser considerado é referente aos tipos de interruptores utilizados. Como já citado, nesse experimento todos serão do tipo IGBT, apenas por conveniência. Dados os esforços de tensão nos interruptores e a grande diferença nas frequências de comutação é

Tabela 10 – Comparativo entre resultados calculados e simulados para os esforços de corrente na topologia proposta, valores de corrente em *rms*

	Valor Calculado	Valor Simulado
Interruptor $S_6$	4,436A	4,500A
Diodo $D_4$	1,488A	1,500A
Carga	4,622A	4,642A

possível a adoção de tipos diferentes.

Nos interruptores com menor esforço de tensão e maior frequência de comutação podem ser utilizados IGBT's. Na condição oposta, maior esforço de tensão e menor frequência de comutação, podemos usar GTO's ou IGCT's. Aproveita-se assim as qualidades de diversas tecnologias.

### 6.3 DISPOSITIVO PROGRAMÁVEL

No capítulo 3 foram apresentadas as técnicas mais comuns de modulação. Junto das técnicas de modulação senoidais foi apresentado o modulador. Esse dispositivo gera o sinal de gatilho baseado na comparação de suas ondas. Essa é uma abordagem analógica. Do ponto de vista prático, essa comparação de sinais analógicos para a geração de sinais de disparos é problemática dada a incidência de ruídos, dificuldade na geração e adaptação de sinais e da quantidade de componentes necessária para a tarefa.

Com a criação de microcontroladores e a evolução da microeletrônica esses sinais puderam ser gerados através desses dispositivos digitais, contando com dispositivos internos próprios para essa finalidade ou através de programação exclusiva para esse fim, eliminando problemas como a incidência de ruídos, porém gerando outros problemas próprios da implementação digital, assim como descrito no capítulo 3.

Apesar da evolução, os periféricos embarcados nos controladores digitais são limitados. Poucos controladores trazem mais de 3 moduladores e ainda assim existem condições para o uso dos mesmos. Assim estruturas multiníveis usualmente fazem uso de técnicas para descentra-

lizar a geração de tais sinais, porém isso depende da topologia utilizada.

Para a topologia proposta nesse trabalho, a geração de sinais para 36 interruptores não seria possível através de moduladores embarcados devido a inexistência da quantidade necessária. Através da programação exclusiva de um controlador ou DSP, a complexidade do trabalho é grande e o desperdício de poder de processamento igual. Desse modo, procurou-se uma alternativa viável e que pudesse agregar valor tecnológico ao trabalho.

Uma alternativa é a utilização de dispositivos FPGAs, *Field Programmable Gate Array* ou Arranjo de Portas Programável. Tais dispositivos são conjuntos de portas lógicas, unidades aritméticas e blocos de entrada e saída sem função previamente definida. Assim, pode-se programar o dispositivo para que suas entradas e saídas tenham uma lógica proprietária.

O termo programar aqui é usado erroneamente uma vez que as linguagens comumente utilizadas na verdade descrevem o *hardware* que o dispositivo irá simular. Por exemplo, as linguagens AHDL® e VHDL® são acrônimos de *Altera Hardware Description Language* e *VHSIC Hardware Description Language*, onde VHSIC novamente é um acrônimo de *Very High Speed Integrated Circuits*.

Logo, com um FPGA podemos recriar desde lógicas simples como portas lógicas “OR” ou “AND” até processadores de sinal, circuitos para comunicação tais como Ethernet®, RS485® e USB®, e controladores diversos.

Para esse trabalho será utilizado um kit didático Cyclone III, da Altera®. O hardware dedicado a ser gravado no kit será descrito usando a linguagem AHDL, de propriedade da Altera® e de uso gratuito, utilizando o software Quartus II também da Altera®. O kit está ilustrado na figura 61

Usando a linguagem AHDL, foram criados vários blocos de funções as quais estão descritas abaixo.

- PLL e PLL 2

Esses blocos geram os sinais de temporização interna, os *clocks* de 32,44, 100 e 240MHz. Esses sinais são usados para a geração das ondas triangulares e das senoides de referência. Na figura 62, são ilustrados os blocos. Desse mesmo modo eles são apresentados na linguagem AHDL.

- Cnt Ang

Esse bloco recebe os pulsos gerados nos blocos PLL e com isso gera um sinal triangular que inicia em zero e a cada pulso incrementa

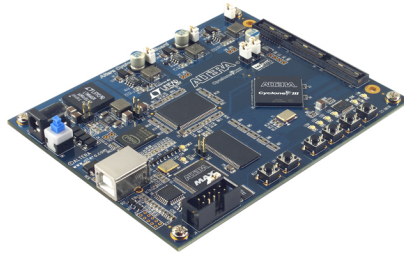


Figura 61 – Kit de desenvolvimento FPGA Cyclone III da Altera®.

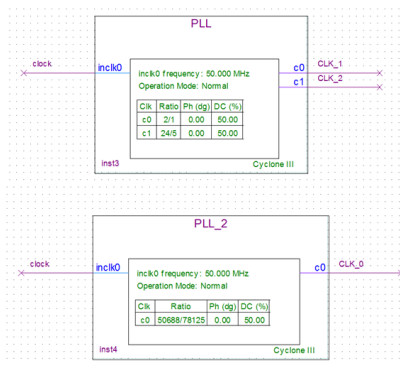


Figura 62 – Blocos PLL da descrição de hardware.

uma unidade, até o limite de um milhão. No próximo pulso ele decrementa até zero e então reinicia. Isso é o passo inicial para a geração das senoides de referência.

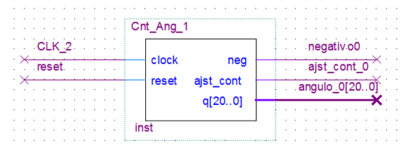


Figura 63 – Bloco contador do ângulo para senoide.

- Mult

A função desses blocos é receber a onda triangular criada pelos blocos Cnt Ang e multiplicar por 4295. Com isso os valores ficam adequados para a geração das senoides de referência.

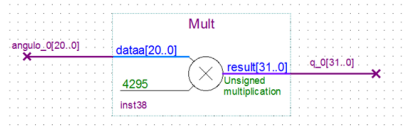


Figura 64 – Bloco multiplicador.

- Senoide

Esses blocos geram as senoides de referência baseados nos sinais criados por Cnt Ang 1 e Mult. As senoides são geradas através de aproximações polinomiais da série de MacLaurin. A série é utilizada de zero a  $\pi$ , por isso usa-se apenas os bits mais significativos após a multiplicação, dada a periodicidade do sinal.

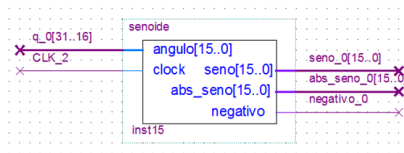


Figura 65 – Bloco que gera a senoide.

- PWM

O bloco PWM é o bloco mais complexo. Internamente são geradas as portadoras triangulares, baseadas no sinal temporizador gerado pelo bloco PLL, e as mesmas são comparadas com a senoide gerada no bloco senoide. A comparação sempre ocorre quando as portadoras atingem seu máximo ou seu mínimo, caracterizando a dupla amostragem do sinal, conforme citado no capítulo 3.

Nesse bloco que são definidas as técnicas de modulação. Cada uma das quatro portadoras tem um valor definido para começo e fim da contagem. Por exemplo, para a técnica IPD, todas portadoras iniciam com seu valor mínimo e juntas alcançam os seus

respectivos máximos. Já nas técnicas POD e APOD algumas iniciam no máximo e outras no mínimo, representando as defasagens conforme a necessidade da técnica.

Definido o sinal através das comparações, é gerado seu sinal complementar. Os mesmos então são direcionados para os pinos de saída e então aos *drivers* dos módulos de potência.

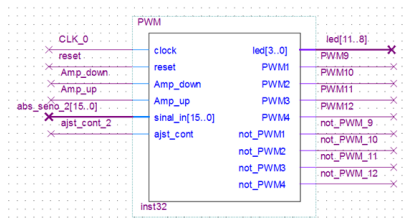


Figura 66 – Bloco gera o gatilho.

Esses blocos trabalham em conjunto para a geração dos sinais de gatilho dos interruptores por fase. Para as demais fases, os atrasos são definidos através do valor inicial das ondas triangulares dos blocos Cnt Ang. Para atrasos de  $120^\circ$  a senoide inicia em 333.333 e para  $240^\circ$  em 666.666.

Os códigos de descrição do *hardware* dos blocos PWM, Cnt Ang e senoide encontram-se anexos. O bloco senoide é composto por blocos de lógica padrão, a exemplo MUX e Flip-Flops, e de um contador de estados, o qual tem seu código de descrição também exibido no anexo. Os blocos PLL são fechados e atuam como multiplicador e/ou divisor de clocks, assim não sendo disponível seu código. O bloco Mult apenas executa uma multiplicação de suas entradas, conforme o número de bits.

## 6.4 RESULTADOS EXPERIMENTAIS

Usando a plataforma de testes proposta, o dispositivo programável apresentado com o hardware descrito anteriormente, foram testadas as 4 técnicas de modulação comparadas por simulação. O protótipo completo é apresentado na figura 67.

A carga utilizada foi puramente resistiva com os mesmos parâmetros utilizados nas simulações apresentadas no capítulo 5.

São apresentadas na sequência as formas de onda de tensão de

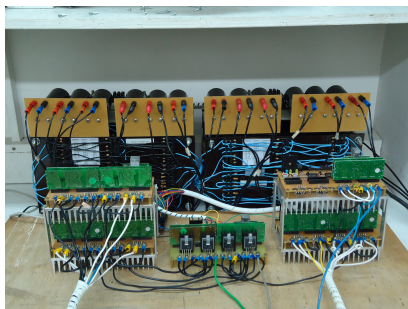


Figura 67 – Protótipo de testes, englobando os módulos de potência, fontes isoladas e dispositivo programável.

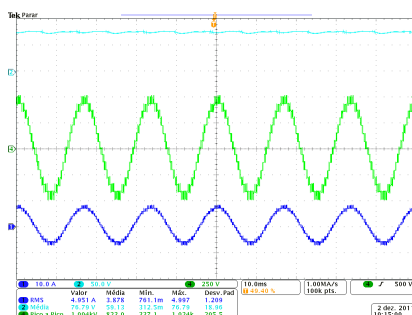


Figura 68 – Formas de onda experimentais obtidas com a técnica de modulação IPD.

linha obtidas para cada técnica. Em cada figura está ilustrada a forma de onda para o índice de modulação de amplitude de 0,9, a forma da corrente de carga e a tensão utilizada para os barramentos de tensão das fontes independentes.

Com os dados experimentais foram levantados os valores de THD e WTHD para cada técnica, assim como foi feito para as simulações. As tabelas 11 e 12 apresentam os resultados calculados baseados na experimentação.

Os valores obtidos para a THD são próximos dos resultantes da simulação. Já os valores da WTHD tem um valor praticamente dez vezes superior. Isso é explicado pela diferença na frequência de comutação. Na simulação trabalhou-se com 9860 Hz e na experimentação com 1860 Hz, relação próxima a dez. Como a WTHD pondera as componentes espectrais, com frequências menores, mais próximas da

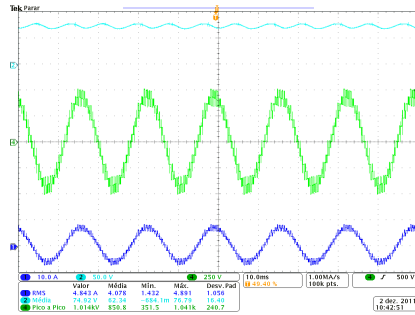


Figura 69 – Formas de onda experimentais obtidas com a técnica de modulação APOD.

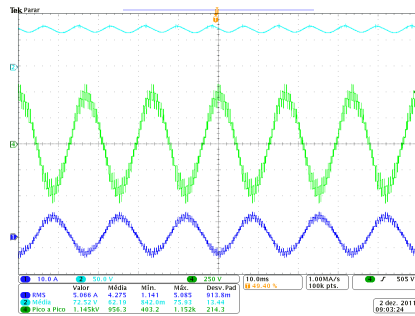


Figura 70 – Formas de onda experimentais obtidas com a técnica de modulação POD.

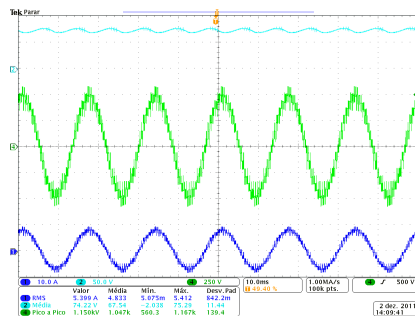


Figura 71 – Formas de onda experimentais obtidas com a técnica de modulação H.



Tabela 11 – Resultados experimentais da THD de cada técnica de modulação usando referência puramente senoidal, conforme o índice de modulação de amplitude  $M_a$

	0,2	0,45	0,7	0,9	1
IPD	42,467	17,633	14,457	11,998	10,085
APOD	40,075	24,291	21,771	11,091	14,687
POD	97,860	34,521	24,161	16,768	15,807
H	85,449	32,728	19,393	15,526	14,016

Tabela 12 – Resultados experimentais da WTHD de cada técnica de modulação usando referência puramente senoidal, conforme o índice de modulação de amplitude  $M_a$

	0,2	0,45	0,7	0,9	1
IPD	0,718	0,700	0,770	0,402	0,329
APOD	0,738	0,764	0,764	0,488	0,599
POD	2,658	1,175	1,023	0,802	0,754
H	1,477	0,602	0,551	0,720	0,433

fundamental, os valores tornam-se maiores.

Finalizando os resultados experimentais, apresenta-se as formas das três tensões de linha juntas, com os mesmos parâmetros até aqui utilizados.

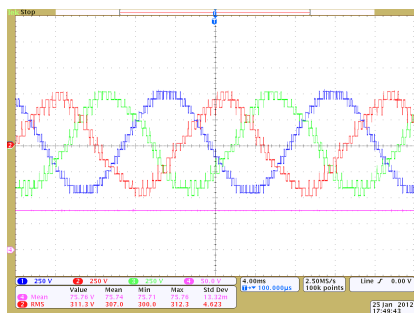


Figura 72 – Senoides formadas pela topologia usando a técnica de modulação IPD.

## 7 CONCLUSÃO

Esse trabalho apresentou uma modificação de uma topologia nova, proposta por (RUIZ-CABALLERO et al., 2010b). Tal topologia tem origem nos conversores CC-CC Buck de dois níveis que imbricado com uma ponte inversora gera uma topologia inversora de tensão de 5 níveis de fase. Partindo dessa topologia, imbrica-se todo o conjunto em 2 células de comutação meia-ponte e obtém-se a topologia proposta.

Para embasamento teórico foi feita uma revisão bibliográfica envolvendo topologias difundidas na literatura e indústria de inversores multiníveis e as modulações mais empregadas para essas.

Após apresentadas as topologias e modulações foi realizado o estudo da topologia proposta focando a topologia em si no capítulo 4 e os efeitos obtidos em simulação para cada técnica de modulação testada no capítulo 5. Avaliados e ponderados os resultados de simulação foi definida uma técnica para ser executada na prática.

Para a parte prática do trabalho, apresentada no capítulo 6, foi desenvolvida uma plataforma de testes para topologias multiníveis focando a versatilidade e praticidade na implementação das mais diversas topologias. Tal plataforma nesse estudo foi conectada a um kit de desenvolvimento FPGA o qual ficou com a tarefa de gerar os sinais de gatilho para os interruptores dos módulos de potência.

Foi descrita a parte tecnológica envolvida no uso de tal kit FPGA e suas funções relativas a geração dos sinais de gatilho conforme a modulação desejada.

Finalmente, ainda no capítulo 6 foram apresentados os resultados experimentais do estudo, propriamente ditos. Foram apresentadas as formas de onda das tensões de linha para as técnicas de modulação baseadas em senoides deslocadas em nível, os resultados dos calculos de suas THDs e WTHDs.

Assim tal topologia foi analisada, resultando no presente trabalho. Como sugestões para trabalhos futuros tem-se a implementação prática da técnica CSVPWM, fazendo uso de algum processador embarcado ao FPGA, a implementação de alguma técnica de controle em malha fechada visando a aplicação prática em tração e o estudo das comutações dos interruptores na topologia proposta.



## REFERÊNCIAS

- AGELIDIS, V. G.; CALAIS, M. Application specific harmonic performance evaluation of multicarrier pwm techniques. In: *Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE*. [S.l.: s.n.], 1998. v. 1, p. 172–178 vol.1.
- BAKER, R. *Switching Circuit*. 1980.
- BAKER, R.; LAWRENCE, H. *Electric Power Converter*. 1975.
- BAKHSHAI, A. R.; JOOS, G.; JIN, H. Incorporating the overmodulation range in space vector pattern generators using a classification algorithm [pwm invertors]. In: *Power Electronics Specialists Conference, 1997. PESC '97 Record., 28th Annual IEEE*. [S.l.: s.n.], 1997. v. 2, p. 1007–1013 vol.2.
- BALANIS, C. A. Antenna theory: a review. *Proceedings of the IEEE*, v. 80, n. 1, p. 7–23, 1992.
- BARBI, I. *Eletrônica de Potência*. 2002.
- BARBOSA, P. et al. Active-neutral-point-clamped (anpc) multilevel converter technology. In: *Power Electronics and Applications, 2005 European Conference on*. [S.l.: s.n.], 2005. p. 10 pp.–P.10.
- BARBOSA, P. et al. Active neutral-point-clamped multilevel converters. In: *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*. [S.l.: s.n.], 2005. p. 2296–2301.
- BERNET, T. B. S. *Open-Loop and Closed-Loop control Method for a Three-Point Converter with Active Clamped Switches and Apparatus for this purpose*. 2004.
- BLACK, H. *Modulation theory*. [S.l.]: Van Nostrand, 1953.
- BOOMA, N.; SRIDHAR, N. Nine level cascaded h-bridge multilevel dc-link inverter. In: *Emerging Trends in Electrical and Computer Technology (ICETECT), 2011 International Conference on*. [S.l.: s.n.], 2011. p. 315–320.
- BOSE, B. K. *Power Electronics and Motor Drives, Advances and Trends*. 2006.

- BUM-SEOK, S.; DONG-SEOK, H. A new n-level high voltage inversion system. *IEEE Transactions on Industrial Electronics*, v. 44, n. 1, p. 107–115, 1997.
- BUSO, S.; MATTAVELLI, P. *Digital control in power electronics*. [S.l.]: Morgan and Claypool Publishers, 2006.
- CARMONA, G. et al. Symmetrical hybrid multilevel dc-ac converters using the pd-csv modulation. In: *Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE*. [S.l.: s.n.], 2008. p. 3327–3332.
- CARRARA, G. et al. A new multilevel pwm method: a theoretical analysis. *IEEE Transactions on Power Electronics*, v. 7, n. 3, p. 497–505, 1992.
- CELANOVIC, N.; BOROYEVICH, D. A fast space-vector modulation algorithm for multilevel three-phase converters. *IEEE Transactions on Industry Applications*, v. 37, n. 2, p. 637–641, 2001.
- CHEN, S.; LIPO, T. A.; FITZGERALD, D. Source of induction motor bearing currents caused by pwm inverters. *Energy Conversion, IEEE Transactions on*, v. 11, n. 1, p. 25–32, 1996.
- CHIN, T. H.; TOMITA, H. The principles of eliminating pulsating torque in current source inverter induction motor systems. *Industry Applications, IEEE Transactions on*, IA-17, n. 2, p. 160–166, 1981.
- CHINNAIYAN, V. K. et al. Control techniques for multilevel voltage source inverters. In: *Power Engineering Conference, 2007. IPEC 2007. International*. [S.l.: s.n.], 2007. p. 1023–1028.
- ERDMAN, J. M. et al. Effect of pwm inverters on ac motor bearing currents and shaft voltages. *Industry Applications, IEEE Transactions on*, v. 32, n. 2, p. 250–259, 1996.
- ERKUAN, Z.; LIPO, T. A. Improvements in emc performance of inverter-fed motor drives. *Industry Applications, IEEE Transactions on*, v. 31, n. 6, p. 1247–1256, 1995.
- FCC. *Radio Frequency Devices*. 1992. 529-561 p.
- FRANQUELO, L. G. et al. The age of multilevel converters arrives. *Industrial Electronics Magazine, IEEE*, v. 2, n. 2, p. 28–39, 2008.

- GRANT, D. A. Technique for pulse dropping in pulse-width modulated inverters. *Electric Power Applications, IEE Proceedings B*, v. 128, n. 1, p. 67–72, 1981.
- HAVA, A. M.; KERKMAN, R. J.; LIPO, T. A. Carrier-based pwm-vsi overmodulation strategies: analysis, comparison, and design. *Power Electronics, IEEE Transactions on*, v. 13, n. 4, p. 674–689, 1998.
- HILL, D. J. et al. Torque ripple estimation and minimisation independent of sensor type. In: *Electric Machines and Drives Conference (IEMDC), 2011 IEEE International*. [S.l.: s.n.], 2011. p. 463–468.
- HOLMES, T. A. L. D. G. *Pulse Width Modulation for Power Converters - Principles and Practice*. [S.l.: s.n.], 2003.
- HOLTZ, J. Pulsewidth modulation for electronic power conversion. *Proceedings of the IEEE*, v. 82, n. 8, p. 1194–1214, 1994.
- HOULDSWORTH, J. A.; GRANT, D. A. The use of harmonic distortion to increase the output voltage of a three-phase pwm inverter. *Industry Applications, IEEE Transactions on*, IA-20, n. 5, p. 1224–1228, 1984.
- IEC. *EMC product standard including specific test methods for power drive systems*. 1994.
- ISHIDA, T. et al. Dc voltage control strategy for a five-level converter. *IEEE Transactions on Power Electronics*, v. 15, n. 3, p. 508–515, 2000.
- KERKMAN, R. J. et al. Operation of pwm voltage source-inverters in the overmodulation region. *Industrial Electronics, IEEE Transactions on*, v. 43, n. 1, p. 132–141, 1996.
- KONSTANTINOU, G. S.; CIOBOTARU, M.; AGELIDIS, V. G. Operation of a modular multilevel converter with selective harmonic elimination pwm. In: *Power Electronics and ECCE Asia (ICPE and ECCE), 2011 IEEE 8th International Conference on*. [S.l.: s.n.], 2011. p. 999–1004.
- KOURO, S. et al. High-performance torque and flux control for multilevel inverter fed induction motors. *Power Electronics, IEEE Transactions on*, v. 22, n. 6, p. 2116–2123, 2007.

LESNICAR, A.; MARQUARDT, R. An innovative modular multilevel converter topology suitable for a wide power range. In: *Power Tech Conference Proceedings, 2003 IEEE Bologna*. [S.l.: s.n.], 2003. v. 3, p. 6 pp. Vol.3.

LI, L. et al. Multilevel selective harmonic elimination pwm technique in series-connected voltage inverters. In: *Industry Applications Conference, 1998. Thirty-Third IAS Annual Meeting. The 1998 IEEE*. [S.l.: s.n.], 1998. v. 2, p. 1454–1461 vol.2.

LIENAU, W.; HELLMANN, A. M.; SKUDELNY, H. C. Power converters for feeding asynchronous traction motors of single-phase ac vehicles. *Industry Applications, IEEE Transactions on*, IA-16, n. 1, p. 103–110, 1980.

MANJREKAR, M. D.; STEIMER, P.; LIPO, T. A. Hybrid multilevel power conversion system: a competitive solution for high power applications. In: *Industry Applications Conference, 1999. Thirty-Fourth IAS Annual Meeting. Conference Record of the 1999 IEEE*. [S.l.: s.n.], 1999. v. 3, p. 1520–1527 vol.3.

MASSOUD, A. M.; FINNEY, S. J.; WILLIAMS, B. W. Systematic analytical-based generalised algorithm for multilevel space vector modulation with a fixed execution time. *Power Electronics, IET*, v. 1, n. 2, p. 175–193, 2008.

MATHEW, R.; HOUGHTON, D.; OGHANNA, W. Vector control techniques for induction motors. In: *Power Electronics and Drive Systems, 1995., Proceedings of 1995 International Conference on*. [S.l.: s.n.], 1995. p. 813–818 vol.2.

MCGRATH, B. P.; HOLMES, D. G. Multicarrier pwm strategies for multilevel inverters. *IEEE Transactions on Industrial Electronics*, v. 49, n. 4, p. 858–867, 2002.

MEYNARD, T. A.; FOCH, H. Multi-level conversion: high voltage choppers and voltage-source inverters. In: *Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE*. [S.l.: s.n.], 1992. p. 397–403 vol.1.

MOHAN, N. *First Course on Power Electronics and Drives*. Minneapolis: [s.n.], 2003.



NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped pwm inverter. *IEEE Transactions on Industry Applications*, IA-17, n. 5, p. 518–523, 1981.

PARK, R. H. Two-reaction theory of synchronous machines generalized method of analysis-part i. *American Institute of Electrical Engineers, Transactions of the*, v. 48, n. 3, p. 716–727, 1929.

PRATS, M. M. et al. A svm-3d generalized algorithm for multilevel converters. In: *Industrial Electronics Society, 2003. IECON '03. The 29th Annual Conference of the IEEE*. [S.l.: s.n.], 2003. v. 1, p. 24–29 vol.1.

QUNJING, W. et al. Analysis and comparison of conduction losses in neutral-point-clamped three-level inverter with pwm control. In: *Electrical Machines and Systems, 2007. ICEMS. International Conference on*. [S.l.: s.n.], 2007. p. 143–148.

RECH, C.; PINHEIRO, J. R. Hybrid multilevel converters: Unified analysis and design considerations. *Industrial Electronics, IEEE Transactions on*, v. 54, n. 2, p. 1092–1104, 2007.

RODRIGUEZ, J.; CORREA, P.; MORAN, L. A vector control technique for medium voltage multilevel inverters. In: *Applied Power Electronics Conference and Exposition, 2001. APEC 2001. Sixteenth Annual IEEE*. [S.l.: s.n.], 2001. v. 1, p. 173–178 vol.1.

RODRIGUEZ, J.; JIH-SHENG, L.; ZHENG, P. F. Multilevel inverters: a survey of topologies, controls, and applications. *IEEE Transactions on Industrial Electronics*, v. 49, n. 4, p. 724–738, 2002.

RUIZ-CABALLERO, D. et al. Cascaded symmetrical hybrid multilevel dc-ac converter. In: *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*. [S.l.: s.n.], 2010. p. 4012–4019.

RUIZ-CABALLERO, D. A. et al. Symmetrical hybrid multilevel dc/ac converters with reduced number of insulated dc supplies. *IEEE Transactions on Industrial Electronics*, v. 57, n. 7, p. 2307–2314, 2010.

VAN, N. N.; GUN-WOO, M.; MYUNG-JOONG, Y. Analysis of carrier based pwm methods in relation to common mode voltage for multilevel inverter. In: *Industrial Electronics Society, 2004. IECON 2004. 30th Annual Conference of IEEE*. [S.l.: s.n.], 2004. v. 2, p. 1811–1816 Vol. 2.

WESTER, G. W.; MIDDLEBROOK, R. D. Low-frequency characterization of switched dc-dc converters. *IEEE Transactions on Aerospace and Electronic Systems*, AES-9, n. 3, p. 376–385, 1973.

WU, B. *High-Power Converters and AC Drives*. Hoboken, New Jersey: John Wiley and Sons, 2006.

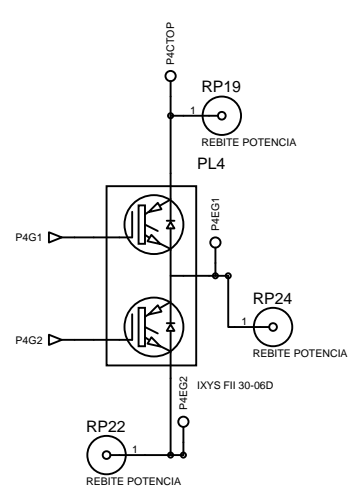
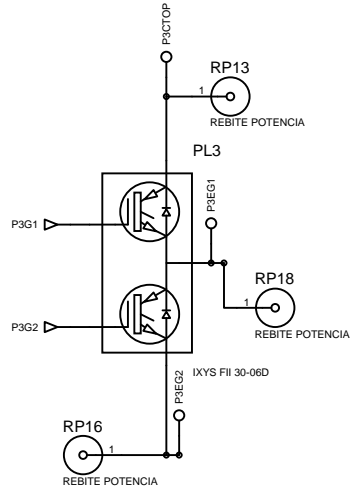
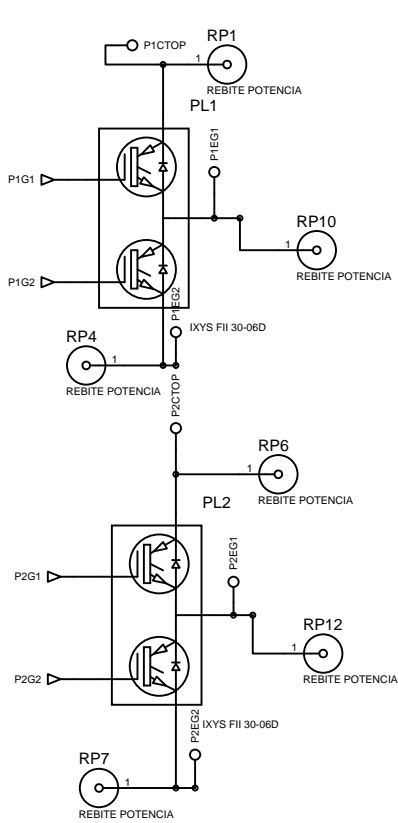
XIAOMING, Y. *Soft Switching Techniques for Multilevel Inverters*. Tese (Doutorado), 1998.

XIAOMING, Y.; BARBI, I. Fundamentals of a new diode clamping multilevel inverter. *IEEE Transactions on Power Electronics*, v. 15, n. 4, p. 711–718, 2000.

XINBO, R.; BIN, L.; QIANHONG, C. Three-level converters-a new approach for high voltage and high power dc-to-dc conversion. In: *Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual*. [S.l.: s.n.], 2002. v. 2, p. 663–668 vol.2.

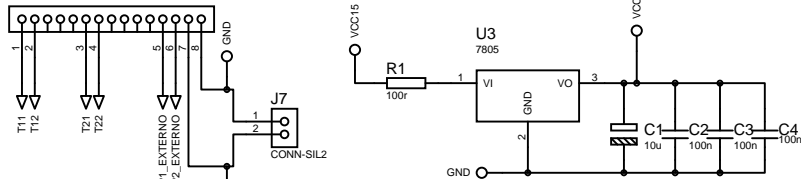
## **ANEXO A - Esquemático Plataforma de potência**



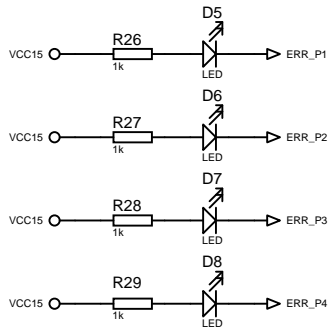
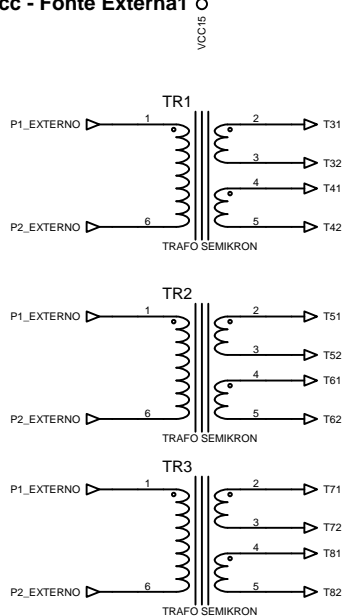


J2  
SKHI PS2

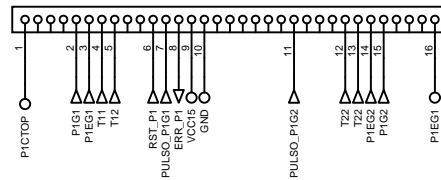
### Gnd - Fonte Externa1



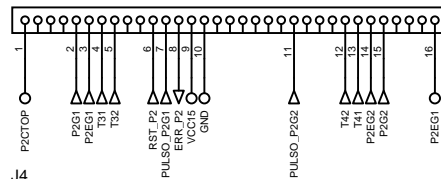
### Vcc - Fonte Externa1



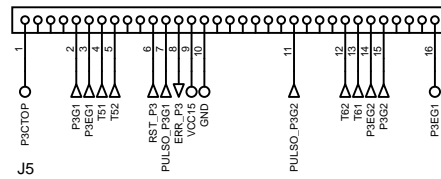
J1  
SKHI200PA



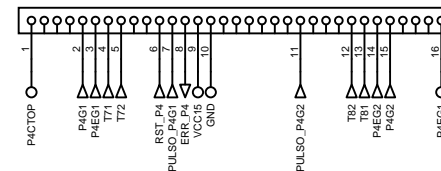
J3  
SKHI200PA

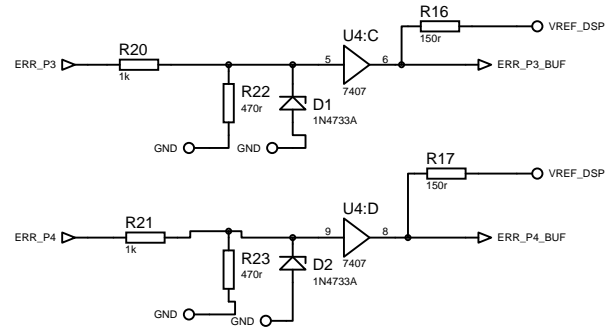
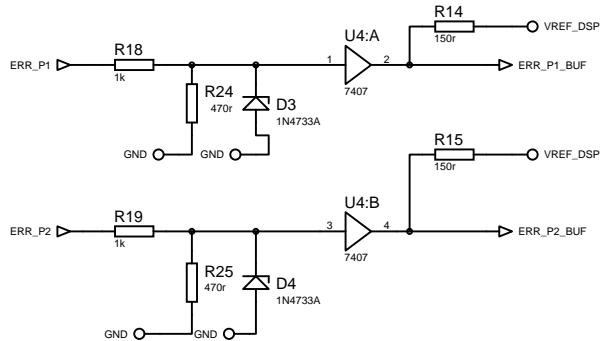
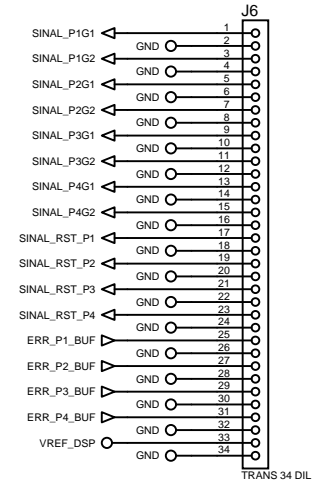
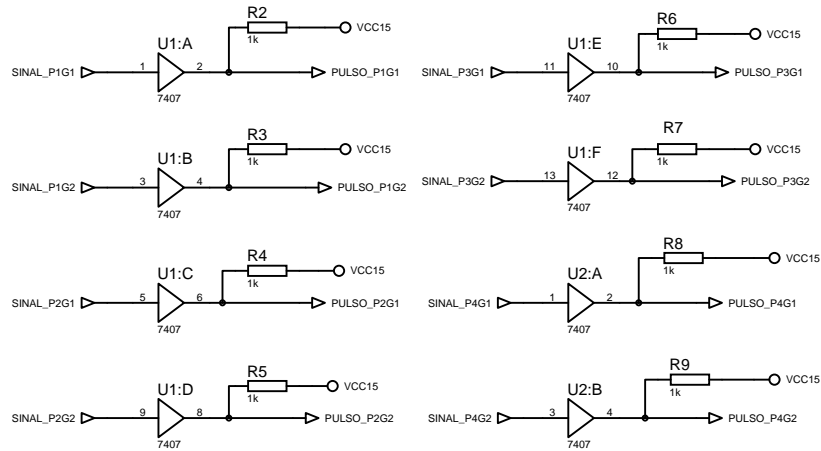


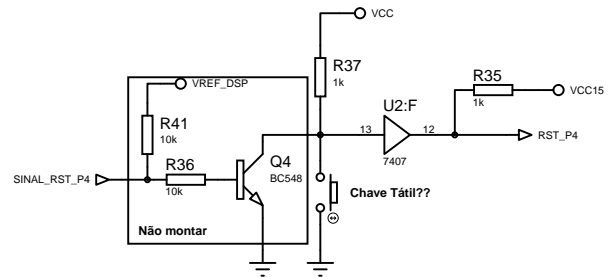
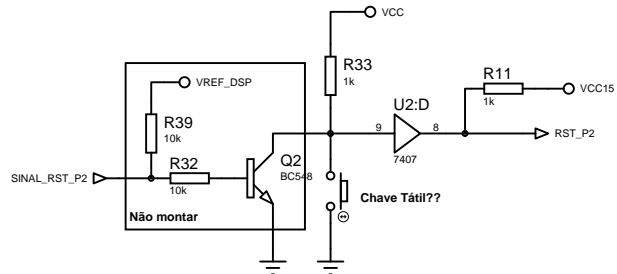
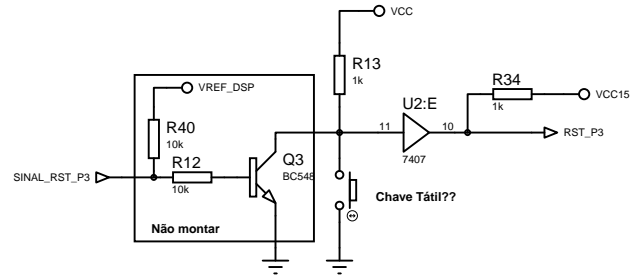
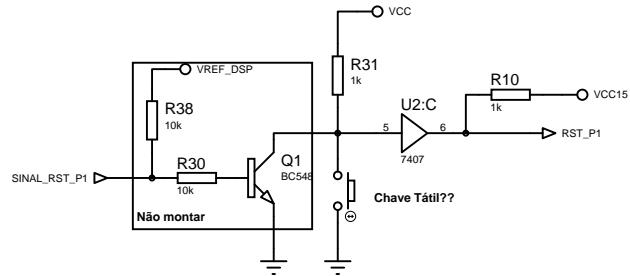
J4  
SKHI200PA



J5  
SKHI200PA









## **ANEXO B - Projeto Transformador Multipulsos**



H

H

G

G

F

F

E

E

D

D

C

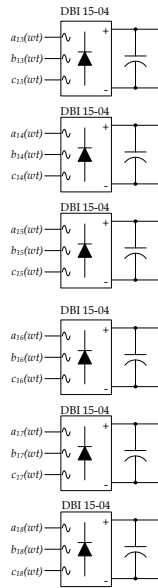
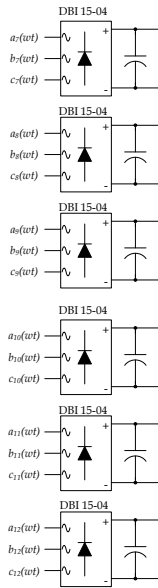
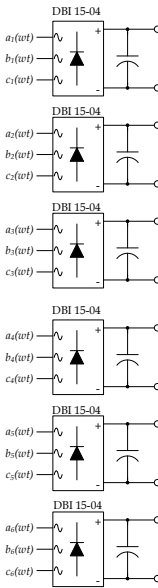
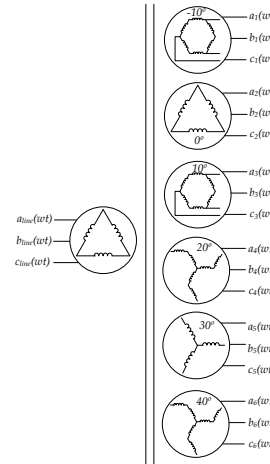
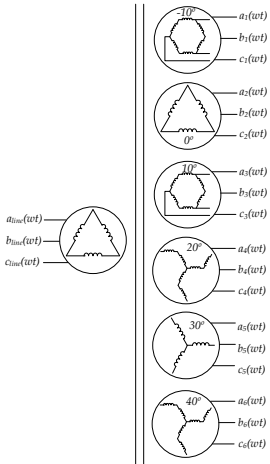
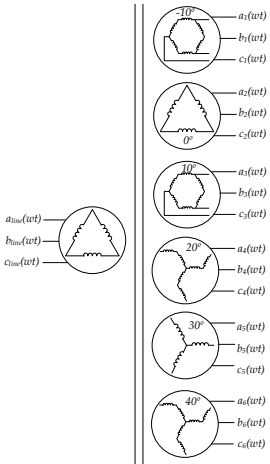
C

B

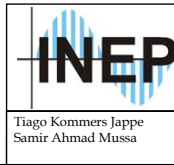
B

A

A



**Resultados de simulação - Carga resistiva**  
 Corrente Eficaz no Capacitor = 6A  
 Diodos retificadores: 16A pico ; 2A médio



Conversor Trifásico Multinível

Retificadores trifásicos

Tiago Kommers Jappe  
 Samir Ahmad Mussa

TAMANHO  
 A4

DATA  
 Jun. 2010

DES No  
 02

REV  
 02

ESCALA  
 1:1

SOLUÇÃO

1 DE 4

H

H

G

G

F

F

E

E

D

D

C

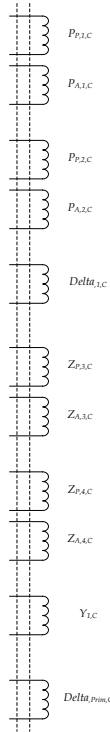
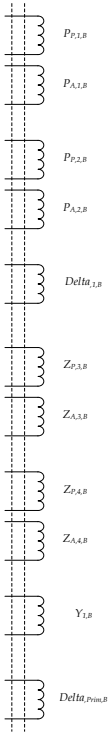
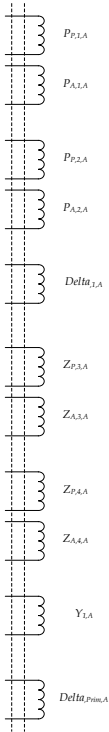
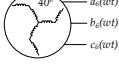
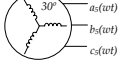
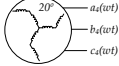
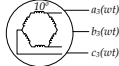
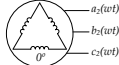
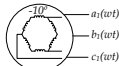
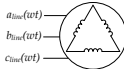
C

B

B

A

A



Conversor Trifásico Multinível

Transformador de defasamento  
(36 Pulsos , 3000 W)

Tiago Kommers Jappe  
Samir Ahmad Mussa

TAMANHO  
A4

DATA  
Jun. 2010

DES No  
02

REV  
02

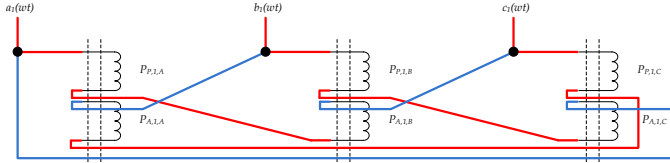
ESCALA

1:1

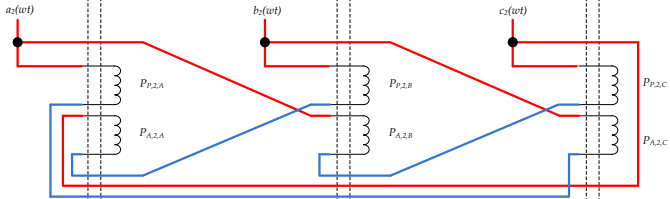
SOLHA

2 DE 4

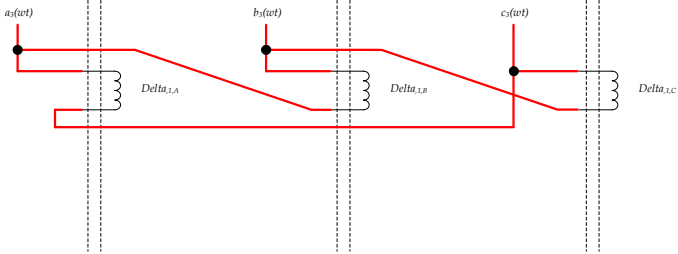
CONEXÃO POLÍGONO




CONEXÃO POLÍGONO

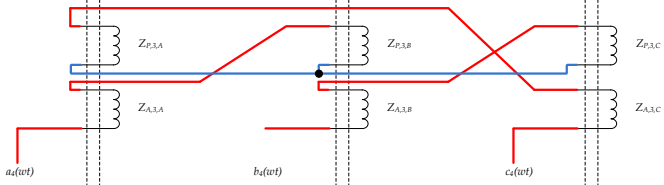


CONEXÃO DELTA

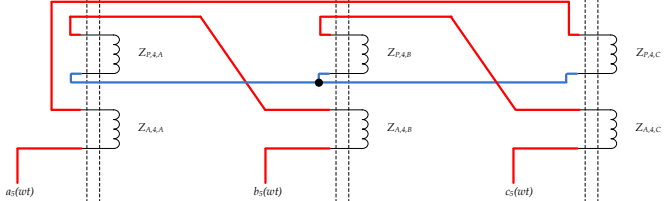


	<b>Conversor Trifásico Multinível</b>		
	<b>Conexões Transformador defasamento</b>		
Tiago Kommers Jappe Samir Ahmad Mussa	TAMANHO <b>A4</b>	DATA <b>Jun. 2010</b>	DES No <b>02</b>
ESCALA <b>1:1</b>	FOLHA <b>3 DE 4</b>	REV <b>02</b>	

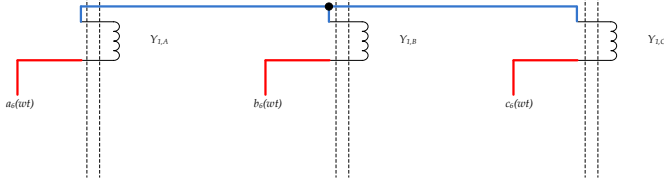
CONEXÃO ZIG-ZAG



CONEXÃO ZIG-ZAG



CONEXÃO ESTRELA



	Conversor Trifásico Multinível		
	Conexões Transformador defasamento		
Tiago Kommers Jappe Samir Ahmad Mussa	TAMBOR A4	DATA Jun. 2010	DES No 02
	ESCALA 1:1	SOLHA	REV 02
			4 DE 4

## **ANEXO C - Código VHDL**





## C.1 BLOCO CNT ANG

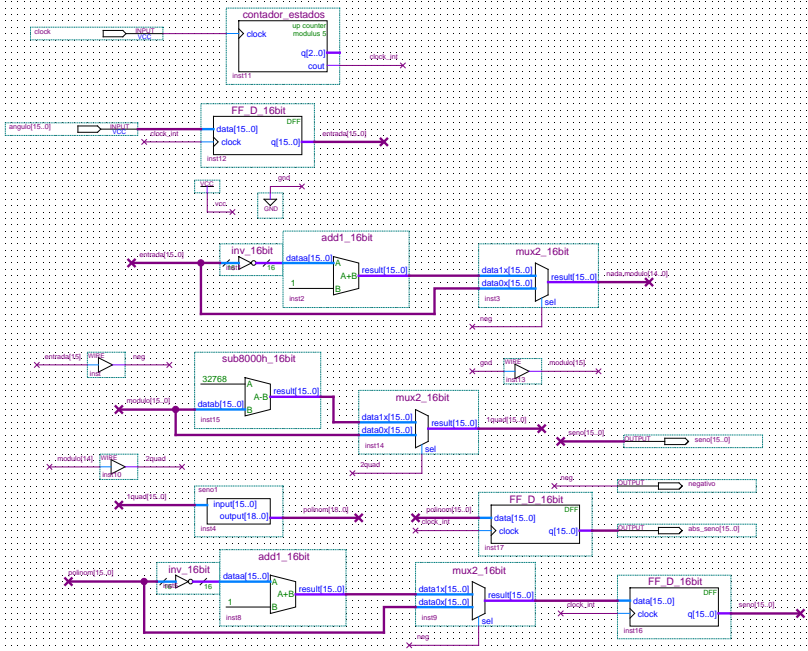
```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.numeric_std.all;
4  use ieee.std_logic_unsigned.all;
5
6
7  entity Cnt_Ang_1 is
8  port(
9      clock           : in std_logic;
10     reset           : in std_logic;
11     neg             : out std_logic;
12     ajst_cont      : out std_logic;
13     q               : out std_logic_vector(20 downto 0)
14 );
15 end Cnt_Ang_1;
16
17 architecture behv of Cnt_Ang_1 is
18
19     signal portadora : std_logic_vector(20 downto 0);
20     signal up_down   : std_logic;
21     signal start     : std_logic;
22     signal flag      : std_logic;
23     signal x         : std_logic;
24
25 begin
26     process(reset, clock, start)
27     begin
28         if reset = '0' then
29             portadora <= "00000000000000000001";
30             start    <= '0';
31             flag     <= '0';
32             x        <= '0';
33             ajst_cont <= '0';
34         elsif(clock'event and clock = '1' and start = '0') then
35             flag <= '1';
36             portadora <= "00000000000000000001";
37             up_down <= '1';
38             x <= '0';
39             ajst_cont <= '0';
40             if flag = '1' then
41                 start <= '1';
42             end if;
43         elsif(clock'event and clock = '1' and start = '1') then
44
45             q <= portadora;
46             neg <= x;
47
48         case up_down is
49             when '0' =>
50                 if portadora = "00000000000000000001" then
51                     portadora <= portadora + 1;
52                     up_down <= '1';
53                     x <= not(x);
54                     ajst_cont <= '1';
55                 else
56                     portadora <= portadora - 1;
57                     ajst_cont <= '0';
58                 end if;
59

```

```
60
61     when '1' =>
62         if portadora >= "11110100001001000000" then
63             portadora <= portadora - 1;
64             up_down <= '0';
65             ajst_cont <= '0';
66         else
67             portadora <= portadora + 1;
68             ajst_cont <= '0';
69         end if;
70     end case;
71
72 end if;
73 end process;
74 end behv;
```

## C.2 BLOCO SENÓIDE



### C.3 BLOCO CONTADOR DE ESTADOS

```

1  LIBRARY ieee;
2  USE ieee.std_logic_1164.all;
3
4  LIBRARY lpm;
5  USE lpm.all;
6
7  ENTITY contador_estados IS
8      PORT
9      (
10         clock      : IN STD_LOGIC ;
11         cout       : OUT STD_LOGIC ;
12         q          : OUT STD_LOGIC_VECTOR (2 DOWNTO 0)
13     );
14 END contador_estados;
15
16
17 ARCHITECTURE SYN OF contador_estados IS
18
19     SIGNAL sub_wire0  : STD_LOGIC ;
20     SIGNAL sub_wire1  : STD_LOGIC_VECTOR (2 DOWNTO 0);
21
22
23
24     COMPONENT lpm_counter
25     GENERIC (
26         lpm_direction    : STRING;
27         lpm_modulus      : NATURAL;
28         lpm_port_updown  : STRING;
29         lpm_type         : STRING;
30         lpm_width        : NATURAL
31     );
32     PORT (
33         clock : IN STD_LOGIC ;
34         cout  : OUT STD_LOGIC ;
35         q    : OUT STD_LOGIC_VECTOR (2 DOWNTO 0)
36     );
37 END COMPONENT;
38
39 BEGIN
40     cout <= sub_wire0;
41     q   <= sub_wire1(2 DOWNTO 0);
42
43     lpm_counter_component : lpm_counter
44     GENERIC MAP (
45         lpm_direction => "UP",
46         lpm_modulus   => 5,
47         lpm_port_updown => "PORT_UNUSED",
48         lpm_type      => "LPM_COUNTER",
49         lpm_width     => 3
50     )
51     PORT MAP (
52         clock => clock,
53         cout  => sub_wire0,
54         q    => sub_wire1
55     );
56
57
58
59 END SYN;

```

## C.4 BLOCO PWM



```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.numeric_std.all;
4  use ieee.std_logic_unsigned.all;
5
6
7  entity PWM is
8  port(
9      clock           : in std_logic;
10     reset           : in std_logic;
11     led             : out std_logic_vector(3 downto 0);
12     Amp_down       : in std_logic;
13     Amp_up         : in std_logic;
14     sinal_in       : in std_logic_vector(15 downto 0);
15     ajst_cont      : in std_logic;
16     PWM1           : out std_logic;
17     PWM2           : out std_logic;
18     PWM3           : out std_logic;
19     PWM4           : out std_logic;
20     not_PWM1       : out std_logic;
21     not_PWM2       : out std_logic;
22     not_PWM3       : out std_logic;
23     not_PWM4       : out std_logic
24 );
25 end PWM;
26
27 architecture behv of PWM is
28
29     signal portadora1 : std_logic_vector(15 downto 0);
30     signal portadora2 : std_logic_vector(15 downto 0);
31     signal portadora3 : std_logic_vector(15 downto 0);
32     signal portadora4 : std_logic_vector(15 downto 0);
33     signal up_down1   : std_logic;
34     signal up_down2   : std_logic;
35     signal up_down3   : std_logic;
36     signal up_down4   : std_logic;
37     signal start      : std_logic;
38     signal flag       : std_logic;
39     signal flag_estados : std_logic_vector(4 downto 0);
40     signal sin         : integer;
41     signal sin_ref     : integer;
42     signal vari_state  : std_logic;
43
44 begin
45     process(reset, clock, start)
46     begin
47         if reset = '0' then
48             portadora1 <= "0000000000000001"; --0000
49             portadora2 <= "0010000000000001"; --8192
50             portadora3 <= "0100000000000001"; --16384
51             portadora4 <= "0110000000000001"; --24576
52             flag_estados <= "00101";
53             vari_state <= '0';
54             sin_ref <= sin;
55             PWM1 <= '0';
56             PWM2 <= '0';
57             PWM3 <= '0';
58             PWM4 <= '0';
59             not_PWM1 <= '1';

```

```

60     not_PWM2      <= '1';
61     not_PWM3      <= '1';
62     not_PWM4      <= '1';
63     start         <= '0';
64     flag          <= '0';
65
66     elsif(clock'event and clock = '1' and start = '0') then
67         flag      <= '1';
68         portadora1 <= "0000000000000001"; --0000
69         portadora2 <= "0010000000000001"; --8192
70         portadora3 <= "0100000000000001"; --16384
71         portadora4 <= "0110000000000001"; --24576
72         led        <= "1111";
73         flag_estados <= "00101";
74         vari_state  <= '0';
75         sin_ref     <= sin;
76         up_down1   <= '1';
77         up_down2   <= '1';
78         up_down3   <= '1';
79         up_down4   <= '1';
80         if flag = '1' then
81             start <= '1';
82         end if;
83
84     elsif ajst_cont = '1' then
85         portadora1 <= "0000000000000001"; --0000
86         portadora2 <= "0010000000000001"; --8192
87         portadora3 <= "0100000000000001"; --16384
88         portadora4 <= "0110000000000001"; --24576
89         up_down1   <= '1';
90         up_down2   <= '1';
91         up_down3   <= '1';
92         up_down4   <= '1';
93
94     elsif(clock'event and clock = '1' and start = '1') then
95         if (portadora1 = "0000000000000001" or portadora1 =
"0010000000000000") then
96             sin <= conv_integer(sinal_in);
97         end if;
98
99     case up_down1 is
100         when '0' =>
101             if portadora1 = "0000000000000001" then
102                 portadora1 <= portadora1 + 1;
103                 up_down1 <= '1';
104             else
105                 portadora1 <= portadora1 - 1;
106             end if;
107
108         when '1' =>
109             if portadora1 >= "0010000000000000" then --8192
110                 portadora1 <= portadora1 - 1;
111                 up_down1 <= '0';
112             else
113                 portadora1 <= portadora1 + 1;
114             end if;
115         end case;
116
117     case up_down2 is

```

```

118     when '0' =>
119         if portadora2 = "0010000000000001" then
120             portadora2 <= portadora2 + 1;
121             up_down2 <= '1';
122         else
123             portadora2 <= portadora2 - 1;
124         end if;
125
126     when '1' =>
127         if portadora2 >= "0100000000000000" then --16384
128             portadora2 <= portadora2 - 1;
129             up_down2 <= '0';
130         else
131             portadora2 <= portadora2 + 1;
132         end if;
133     end case;
134
135 case up_down3 is
136     when '0' =>
137         if portadora3 = "0100000000000001" then
138             portadora3 <= portadora3 + 1;
139             up_down3 <= '1';
140         else
141             portadora3 <= portadora3 - 1;
142         end if;
143
144     when '1' =>
145         if portadora3 >= "0110000000000000" then --24576
146             portadora3 <= portadora3 - 1;
147             up_down3 <= '0';
148         else
149             portadora3 <= portadora3 + 1;
150         end if;
151     end case;
152
153 case up_down4 is
154     when '0' =>
155         if portadora4 = "0110000000000001" then
156             portadora4 <= portadora4 + 1;
157             up_down4 <= '1';
158         else
159             portadora4 <= portadora4 - 1;
160         end if;
161
162     when '1' =>
163         if portadora4 >= "1000000000000000" then --32768
164             portadora4 <= portadora4 - 1;
165             up_down4 <= '0';
166         else
167             portadora4 <= portadora4 + 1;
168         end if;
169     end case;
170
171 case flag_estados is
172     when "00000" =>
173         led <= "1111";
174         sin_ref <= sin;
175         if Amp_down = '0' and vari_state = '1' then
176             flag_estados <= flag_estados + 1;

```

```

177         vari_state <= '0';
178     elsif Amp_up = '0' and vari_state = '1' then
179         flag_estados <= flag_estados;
180         vari_state <= '0';
181     elsif Amp_down = '1' and Amp_up = '1' then
182         vari_state <= '1';
183     else flag_estados <= flag_estados;
184     end if;
185
186 when "00001" =>
187     led <= "1110";
188     sin_ref <= sin-(sin/20);
189     if Amp_down = '0' and vari_state = '1' then
190         flag_estados <= flag_estados + 1;
191         vari_state <= '0';
192     elsif Amp_up = '0' and vari_state = '1' then
193         flag_estados <= flag_estados - 1;
194         vari_state <= '0';
195     elsif Amp_down = '1' and Amp_up = '1' then
196         vari_state <= '1';
197     else flag_estados <= flag_estados;
198     end if;
199
200 when "00010" =>
201     led <= "1101";
202     sin_ref <= sin-(2*(sin/20));
203     if Amp_down = '0' and vari_state = '1' then
204         flag_estados <= flag_estados + 1;
205         vari_state <= '0';
206     elsif Amp_up = '0' and vari_state = '1' then
207         flag_estados <= flag_estados - 1;
208         vari_state <= '0';
209     elsif Amp_down = '1' and Amp_up = '1' then
210         vari_state <= '1';
211     else flag_estados <= flag_estados;
212     end if;
213
214 when "00011" =>
215     led <= "1100";
216     sin_ref <= sin-(3*(sin/20));
217     if Amp_down = '0' and vari_state = '1' then
218         flag_estados <= flag_estados + 1;
219         vari_state <= '0';
220     elsif Amp_up = '0' and vari_state = '1' then
221         flag_estados <= flag_estados - 1;
222         vari_state <= '0';
223     elsif Amp_down = '1' and Amp_up = '1' then
224         vari_state <= '1';
225     else flag_estados <= flag_estados;
226     end if;
227
228 when "00100" =>
229     led <= "1011";
230     sin_ref <= sin-(4*(sin/20));
231     if Amp_down = '0' and vari_state = '1' then
232         flag_estados <= flag_estados + 1;
233         vari_state <= '0';
234     elsif Amp_up = '0' and vari_state = '1' then
235         flag_estados <= flag_estados - 1;

```

```

236         vari_state <= '0';
237         elsif Amp_down = '1' and Amp_up = '1' then
238             vari_state <= '1';
239         else flag_estados <= flag_estados;
240         end if;
241
242     when "00101" =>
243         led <= "1010";
244         sin_ref <= sin-(5*(sin/20));
245         if Amp_down = '0' and vari_state = '1' then
246             flag_estados <= flag_estados + 1;
247             vari_state <= '0';
248         elsif Amp_up = '0' and vari_state = '1' then
249             flag_estados <= flag_estados - 1;
250             vari_state <= '0';
251         elsif Amp_down = '1' and Amp_up = '1' then
252             vari_state <= '1';
253         else flag_estados <= flag_estados;
254         end if;
255
256     when "00110" =>
257         led <= "1001";
258         sin_ref <= sin-(6*(sin/20));
259         if Amp_down = '0' and vari_state = '1' then
260             flag_estados <= flag_estados + 1;
261             vari_state <= '0';
262         elsif Amp_up = '0' and vari_state = '1' then
263             flag_estados <= flag_estados - 1;
264             vari_state <= '0';
265         elsif Amp_down = '1' and Amp_up = '1' then
266             vari_state <= '1';
267         else flag_estados <= flag_estados;
268         end if;
269
270     when "00111" =>
271         led <= "1000";
272         sin_ref <= sin-(7*(sin/20));
273         if Amp_down = '0' and vari_state = '1' then
274             flag_estados <= flag_estados + 1;
275             vari_state <= '0';
276         elsif Amp_up = '0' and vari_state = '1' then
277             flag_estados <= flag_estados - 1;
278             vari_state <= '0';
279         elsif Amp_down = '1' and Amp_up = '1' then
280             vari_state <= '1';
281         else flag_estados <= flag_estados;
282         end if;
283
284     when "01000" =>
285         led <= "0111";
286         sin_ref <= sin-(8*(sin/20));
287         if Amp_down = '0' and vari_state = '1' then
288             flag_estados <= flag_estados + 1;
289             vari_state <= '0';
290         elsif Amp_up = '0' and vari_state = '1' then
291             flag_estados <= flag_estados - 1;
292             vari_state <= '0';
293         elsif Amp_down = '1' and Amp_up = '1' then
294             vari_state <= '1';

```

```

295         else flag_estados <= flag_estados;
296         end if;
297
298     when "01001" =>                                     --inicial
299         led <= "0110";
300         sin_ref <= sin-(9*(sin/20));
301         if Amp_down = '0' and vari_state = '1' then
302             flag_estados <= flag_estados + 1;
303             vari_state <= '0';
304         elsif Amp_up = '0' and vari_state = '1' then
305             flag_estados <= flag_estados - 1;
306             vari_state <= '0';
307         elsif Amp_down = '1' and Amp_up = '1' then
308             vari_state <= '1';
309         else flag_estados <= flag_estados;
310         end if;
311
312     when "01010" =>
313         led <= "0101";
314         sin_ref <= sin-(10*(sin/20));
315         if Amp_down = '0' and vari_state = '1' then
316             flag_estados <= flag_estados + 1;
317             vari_state <= '0';
318         elsif Amp_up = '0' and vari_state = '1' then
319             flag_estados <= flag_estados - 1;
320             vari_state <= '0';
321         elsif Amp_down = '1' and Amp_up = '1' then
322             vari_state <= '1';
323         else flag_estados <= flag_estados;
324         end if;
325
326     when "01011" =>
327         led <= "0100";
328         sin_ref <= sin-(11*(sin/20));
329         if Amp_down = '0' and vari_state = '1' then
330             flag_estados <= flag_estados + 1;
331             vari_state <= '0';
332         elsif Amp_up = '0' and vari_state = '1' then
333             flag_estados <= flag_estados - 1;
334             vari_state <= '0';
335         elsif Amp_down = '1' and Amp_up = '1' then
336             vari_state <= '1';
337         else flag_estados <= flag_estados;
338         end if;
339
340     when "01100" =>
341         led <= "0011";
342         sin_ref <= sin-(12*(sin/20));
343         if Amp_down = '0' and vari_state = '1' then
344             flag_estados <= flag_estados + 1;
345             vari_state <= '0';
346         elsif Amp_up = '0' and vari_state = '1' then
347             flag_estados <= flag_estados - 1;
348             vari_state <= '0';
349         elsif Amp_down = '1' and Amp_up = '1' then
350             vari_state <= '1';
351         else flag_estados <= flag_estados;
352         end if;
353

```

```

354     when "01101" =>
355         led <= "0010";
356         sin_ref <= sin-(13*(sin/20));
357         if Amp_down = '0' and vari_state = '1' then
358             flag_estados <= flag_estados + 1;
359             vari_state <= '0';
360         elsif Amp_up = '0' and vari_state = '1' then
361             flag_estados <= flag_estados - 1;
362             vari_state <= '0';
363         elsif Amp_down = '1' and Amp_up = '1' then
364             vari_state <= '1';
365         else flag_estados <= flag_estados;
366         end if;
367
368     when "01110" =>
369         led <= "0001";
370         sin_ref <= sin-(14*(sin/20));
371         if Amp_down = '0' and vari_state = '1' then
372             flag_estados <= flag_estados + 1;
373             vari_state <= '0';
374         elsif Amp_up = '0' and vari_state = '1' then
375             flag_estados <= flag_estados - 1;
376             vari_state <= '0';
377         elsif Amp_down = '1' and Amp_up = '1' then
378             vari_state <= '1';
379         else flag_estados <= flag_estados;
380         end if;
381
382     when "01111" =>
383         led <= "0000";
384         sin_ref <= sin-(15*(sin/20));
385         if Amp_down = '0' and vari_state = '1' then
386             flag_estados <= flag_estados + 1;
387             vari_state <= '0';
388         elsif Amp_up = '0' and vari_state = '1' then
389             flag_estados <= flag_estados - 1;
390             vari_state <= '0';
391         elsif Amp_down = '1' and Amp_up = '1' then
392             vari_state <= '1';
393         else flag_estados <= flag_estados;
394         end if;
395
396     when "10000" =>
397         led <= "1111";
398         sin_ref <= sin-(16*(sin/20));
399         if Amp_down = '0' and vari_state = '1' then
400             flag_estados <= flag_estados + 1;
401             vari_state <= '0';
402         elsif Amp_up = '0' and vari_state = '1' then
403             flag_estados <= flag_estados - 1;
404             vari_state <= '0';
405         elsif Amp_down = '1' and Amp_up = '1' then
406             vari_state <= '1';
407         else flag_estados <= flag_estados;
408         end if;
409
410     when "10001" =>
411         led <= "1110";
412         sin_ref <= sin-(17*(sin/20));

```

```

413         if Amp_down = '0' and vari_state = '1' then
414             flag_estados <= flag_estados;
415             vari_state <= '0';
416         elsif Amp_up = '0' and vari_state = '1' then
417             flag_estados <= flag_estados - 1;
418             vari_state <= '0';
419         elsif Amp_down = '1' and Amp_up = '1' then
420             vari_state <= '1';
421         else flag_estados <= flag_estados;
422         end if;
423
424     when others => flag_estados <= flag_estados;
425
426     end case;
427
428 elsif(clock'event and clock = '1' and start = '1') then
429     if sin_ref >= portadora1 then
430         PWM1 <= '1';
431         not_PWM1 <= '0';
432     else
433         PWM1 <= '0';
434         not_PWM1 <= '1';
435     end if;
436
437     if sin_ref >= portadora2 then
438         PWM2 <= '1';
439         not_PWM2 <= '0';
440     else
441         PWM2 <= '0';
442         not_PWM2 <= '1';
443     end if;
444
445     if sin_ref >= portadora3 then
446         PWM3 <= '1';
447         not_PWM3 <= '0';
448     else
449         PWM3 <= '0';
450         not_PWM3 <= '1';
451     end if;
452
453     if sin_ref >= portadora4 then
454         PWM4 <= '1';
455         not_PWM4 <= '0';
456     else
457         PWM4 <= '0';
458         not_PWM4 <= '1';
459     end if;
460
461 end if;
462 end process;
463 end behv;

```



## ANEXO D – Código C para computação CSVPWM



```

#include <stdio.h>
#include <stdlib.h>

//Função para CSVPWM
#define N 9 //nr de níveis do inversor
#define Vdc 4 //tensão das fontes
#define K 1

...declspec(dllexport) void simuser (t, delt, i, o)
double t, delt;
double *i, *o;

// Começo algoritmo
{
float maior(float a, float b, float c);
float menor(float a, float b, float c);
float va[3], vb[3], vc[3], voff[3];

va[0] = i[0];
vb[0] = i[1];
vc[0] = i[2];

voff[0] = -1 * (maior(va[0],vb[0],vc[0]) + menor(va[0],vb[0],vc[0]))/2;

va[1] = fmod(va[0] + voff[0] + Vdc, (2*Vdc)/(N-1));
vb[1] = fmod(vb[0] + voff[0] + Vdc, (2*Vdc)/(N-1));
vc[1] = fmod(vc[0] + voff[0] + Vdc, (2*Vdc)/(N-1));

voff[1] = (Vdc/(N-1)) - (maior(va[1],vb[1],vc[1]) + menor(va[1],vb[1],vc[1]))/2;

o[0] = (va[0] + voff[0] + voff[1] + 0.5);
o[1] = (vb[0] + voff[0] + voff[1] + 0.5);
o[2] = (vc[0] + voff[0] + voff[1] + 0.5);
}
//Final do algoritmo

//Funções utilizadas no algoritmo
float maior(float a, float b, float c)
{
float x,y;
if(a > b)
{
x = a;
y = b;
}
}

```

```
else
{
    x = b;
    y = a;
}
if(x < c)
    x = c;
if(y > c)
    y = c;
return x;
}
```

```
float menor(float a, float b, float c)
{
    float x,y;
    if(a > b)
    {
        x = a;
        y = b;
    }
    else
    {
        x = b;
        y = a;
    }
    if(x < c)
        x = c;
    if(y > c)
        y = c;
    return y;
}
```