

MARCELO BENDER MACHADO

**Multiplicador Analógico CMOS Baseado na
Relação Transcondutância x Corrente**

Florianópolis
2007

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA**

**Multiplicador Analógico CMOS Baseado na
Relação Transcondutância x Corrente**

Dissertação submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a
obtenção do grau de Mestre em Engenharia Elétrica

MARCELO BENDER MACHADO

Florianópolis, novembro de 2007

MULTIPLICADOR ANALÓGICO CMOS BASEADO NA RELAÇÃO TRANSCONDUTÂNCIA X CORRENTE

Marcelo Bender Machado

‘Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em *Circuitos Integrados*, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’

Márcio Cherem Schneider, D.Sc.
Orientador

Kátia Campos de Almeida, Dr^a.
Coordenadora do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

Márcio Cherem Schneider, D.Sc.
Presidente

Carlos Galup-Montoro, Dr.

Ana Isabela Araújo Cunha, Dr.

Volnei Pedroni, Dr.

*“Nada terá valido a pena se não for para
a evolução das humanas criaturas.”*

Agradecimentos

Muitas vezes, num trabalho da envergadura e duração como foi este, ao apontar nomes e pessoas, equívocos por falha ou puro esquecimento podem ser cometidos, tantos foram os que contribuíram, de uma forma ou de outra, para a realização do mesmo.

Mas também, ao não individualizarmos esse momento, perde-se uma grande chance de externar o quanto relevante foi o empenho e comprometimento de pessoas que foram insubstituíveis nesta jornada.

Portanto, preferindo pecar pela tentativa e não pela omissão, começo agradecendo ao professor Márcio Schneider, meu orientador, que se não fosse pelo seu empenho e total dedicação à causa científica, talvez este trabalho não tivesse sido concluído.

Ao professor Cléber Marques, por enxergar através das aparências e acreditar sempre, mesmo quando muitos já tinham recuado.

Aos companheiros e amigos Alessandro Lima, Gustavo Giusti, Guilherme e Clarissa Hoslbach, pela vivência e ajuda mútua nos períodos mais difíceis da nossa estada na Ilha de Santa Catarina.

Aos antigos colegas de laboratório, Luiz Spiller, Maurício Camacho, Hamilton Klimach, Pablo Dutra e aos novos, Rafael Radin, Daniel Lohman, Osmar Siebel, Charles Santos e Gustavo Leão pela sua parceria, disponibilidade e auxílio incansáveis.

Aos membros da banca examinadora, Carlos Galup-Montoro, Ana Isabela Araújo Cunha e Volnei Pedroni, pela disposição na avaliação do trabalho.

Aos meus pais, Paulo e Celina Machado, que tanto lutaram para que os filhos entendessem que no mundo atual, a liberdade não se compra, se conquista com conhecimento, amor e vontade.

Ao meu irmão e colega Márcio Bender Machado, pelo companheirismo e comprometimento mútuo e eterno.

À minha irmã Lília Bender Machado, pelo exemplo virtuoso que é e pelo zelo que tem para conosco.

Aos antigos colegas do CEFET-RS, da Coordenadoria de Eletrônica, e aos novos companheiros de profissão da Unidade de ensino de Charqueadas.

E por fim, à minha amada companheira Andréia Sias Rodrigues, que em cada momento da finalização deste trabalho esteve presente, comprometida com o nosso sucesso e felicidade.

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

Multiplicador Analógico CMOS Baseado na Relação Transcondutância x Corrente

Marcelo Bender Machado

Novembro/2007

Orientador: Márcio Cherem Schneider, D.Sc.

Área de Concentração: Circuitos e Sistemas Integrados.

Palavras-chave: Projeto de circuitos integrados analógicos, transistor MOS, tecnologia CMOS, multiplicador analógico.

Número de Páginas: 54

O presente trabalho propõe um multiplicador operando em quarto quadrantes baseado em células que exploram a relação existente entre a corrente de saturação de um transistor MOS e a transcondutância de fonte. A vantagem da topologia proposta é simplicidade, operação com baixa potência, alta linearidade e corrente de saída com baixa sensibilidade dentro de uma mesma geração tecnológica. Os resultados de simulação associados aos experimentais demonstram a viabilidade da topologia escolhida para operação em baixa potência e baixa-tensão. A funcionalidade do sistema foi verificada através de simulação e da extração de parâmetros do protótipo implementado em tecnologia TSMC 0.35 μm . Os resultados experimentais conseguidos com o protótipo indicam consumo de 1 mA, largura de banda de 1MHz e distorção harmônica total de 1% para uma corrente de entrada de 80 % do seu valor máximo sendo que a área de silício ocupada pelo multiplicador foi ao redor de 10.000 μm^2 .

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

CMOS Analog Multiplier Based on the Transconductance-to-Current Ratio

Marcelo Bender Machado

Novembro/2007

Aadvisor: Márcio Cherem Schneider, D.Sc.

Area of Concentration: Integrated Circuits and Systems.

Keywords: Analog integrated circuit design, MOS transistor, CMOS technology, analog multiplier, current-mode.

Number of Pages: 54

This work proposes a four-quadrant multiplier based on a core cell that exploits the relationship between the saturation current of an MOS transistor and the source transconductance. The advantages of the proposed topology are simplicity, low-power operation, linearity high and low sensitivity of the current inside a same technological generation. Simulation and experimental results demonstrate the feasibility of the topology chosen for low-power low-voltage design. The system functionality was verified through simulation and through measurements on prototypes implemented on TSMC 0.35 μm technology. Experimental results indicate 1 mA consumption for 1MHz bandwidth, and distortion level below 1% for an input current equal to 80% of the full scale range. The multiplier area is around 10,000 μm^2 .

Sumário

Sumário	vii
Lista de Figuras	viii
Lista de Tabelas	x
Lista de Abreviações	xi
Lista de Símbolos	xii
Capítulo 1 – INTRODUÇÃO	01
Capítulo 2 – O MULTIPLICADOR PROPOSTO.....	04
2.1 – Circuitos Multiplicadores	04
2.2 – O Esquema de Cancelamento	08
2.3 – Arquitetura do Circuito Quadrador	09
2.4 – Arquiteura do Multiplicador	17
Capítulo 3 – IMPLEMENTAÇÃO	19
3.1 – O Circuito	19
3.1.1 – O Multiplicador	19
3.1.2 – Circuitos Auxiliares	23
3.1.3 – Amplificador Operacional	25
3.2 – Leiaute	27
Capítulo 4 – RESULTADOS	33
4.1 – Resultados da Célula Básica	33
4.2 – Resultados do Multiplicador Completo	35
Capítulo 5 – CONCLUSÕES E TRABALHOS FUTUROS	40
Anexo A – DIAGRAMA ESQUEMÁTICOS DOS CIRCUITOS IMPLEMENTADOS	42
Anexo B – LEIAUTE IMPLEMENTADO	45
Anexo C – MODELO ACM – ADVANCED COMPACT MOSFET	47
REFERÊNCIAS BIBLIOGRÁFICAS	53

Lista de Figuras

Figura 2.1 – Transcondutor Programável.	04
Figura 2.2 – Operação de multiplicação usando transcondutores programáveis.	05
Figura 2.3 – Exemplos de arranjos de transcondutores para multiplicação completa de dois sinais, incluindo etapa de cancelamento.	06
Figura 2.4 – Multiplicador baseado na célula de Gilbert composto por transistores MOS.	07
Figura 2.5 – Idéia básica de implementação de multiplicadores a a partir do uso de dispositivos não-lineares.	07
Figura 2.6 – Estruturas básicas de multiplicadores operando em quatro quadrantes.a)usando dispositivos quadradores e b) utilizando multiplicadores de 1 quadrante.	08
Figura 2.7 - Visão esquemática para multiplicador baseado em circuitos quadradores com esquema de cancelamento de componentes pares, bem como dos componentes DC.	08
Figura 2.8 – Estrutura quadradora apresentada em [2].	09
Figura 2.9 – Circuito quadrador de corrente apresentado em [2].	10
Figura 2.10 - Célula central do multiplicador analógico (circuito quadrador).	11
Figura 2.11 – Aproximações de g_{ms} segundo (2.7) nos pontos $V_{DS}=0$, $V_{DS}= V_{DSSat}/8$ e $V_{DSSat}/5$ (linhas tracejadas). Curva $I_D \times V_{DS}$ de um transistor de dimensões $L=4\mu m$ e $W=40\mu m$. Tecnologia $0.35\mu m$, operando em inversão forte. Dados extraídos através do simulador SMASH 5.1 rodando com modelo BSIM 3v3.1.	12
Figura 2.12 - Razão transcondutância de fonte aproximada (2.7) por transcondutância de fonte real versus tensão dreno-fonte normalizada com $i_f=1000; 100; 10; 1; 0.1$	13
Figura 2.13 - Representação em blocos do multiplicador. A saída do multiplicador é $(I_{OUTA}+I_{OUTD})-(I_{OUTB}+I_{OUTC})$. V_{bias} é a tensão de polarização gerada pelo respectivo circuito.	18
Figura 3.1 – Diagrama esquemático do multiplicador.	21
Figura 3.2 – Topologia mínima para subtração entre correntes.	22
Figura 3.3 – Topologia simétrica para o circuito subtrator.	22
Figura 3.4 – Topologia utilizada no projeto.	23
Figura 3.5 – Esquema elétrico da etapa conversora de tensão-corrente e do circuito que alimenta as células com os sinais I_X e I_Y já processados.	24
Figura 3.6 – Esquema elétrico do espelho de corrente utilizado para alimentar as células quadradoras com I_B	25
Figura 3.7 – Esquema elétrico do amplificador operacional Miller classe A.	26
Figura 3.8 – Estrutura em blocos do multiplicador completo.	28
Figura 3.9 – Foto do chip confeccionado com a tecnologia TSMC $0.35 \mu m$ através da MOSIS. ...	29
Figura 3.10 – Leiaute projetado para multiplicador proposto.	31
Figura 3.11 – Detalhe do leiaute do amplificador operacional e da célula subtratora para exemplificação das estruturas centróide comum e interdigitada.	32
Figura 4.1 – Corrente de saída normalizada da célula quadradora medidas (círculos), simuladas com modelo BSIM3V3 (quadrados) e esperados através da equação 2.18) (linha) para as células I, II e III projetadas segundo a tabela 3.2.	33
Figura 4.2 – (a) Simulação da resposta em freqüência e (b) fase para as células quadradoras. Software SMASH rodando com modelo BSIM 3V3.1	

Figura 4.3 – característica de transferência DC com dados experimentais do multiplicador composto pela célula quadradora I, $I_B=10\text{mA}$ e $i_{fi} = 200$	25
Figura 4.4 – Comparação entre a característica de transferência DC conseguida experimentalmente e a esperada pela equação de projeto (2.23). Multiplicador composto pela célula quadradora I, $I_B=10\text{mA}$ e $i_{fi} = 200$	36
Figura 4.5 – Corrente de saída do multiplicador operando como modulador de amplitude para circuito A. Condições de $I_X=10\text{mA}_{pp}/100\text{Hz}$ e $I_Y=10\text{mA}_{pp}/5\text{Hz}$, $I_B=10\text{mA}$ e $i_{fi}=200$	36
Figura 4.6.- a) Circuito utilizado na saída do multiplicador para medida com o analisador de espectro. b) Comparação entre a resposta de frequência para o circuito multiplicador completo experimental e simulada com BSIM3V3.1 para $I_B= 10 \text{ mA}$, $i_{fi}=200$, $I_X= 5 \text{ mA}$	37
Figura 4.7 - Comparação entre os resultados experimentais e de simulação com software SMASH rodando o modelo BSIM3V3.1 para a distorção Harmônica Total, medido até a componente de 5º ordem da corrente de saída do circuito. $I_X= 5 \text{ mA}$, $I_B= 10\text{mA}$, $i_{fi}=200$, I_Y variando de $5\text{mA}/p$ à $10\text{mA}/p$ - 100 kHz.	38
Figura D.1 – Representação física idealizada para transistor N-MOS e P-MOS e suas respectivas simbologias.	47
Figura D.2 – características de saída de transistor NMOS para V_S e V_G constantes. Todas as tensões são referenciadas ao terminal de substrato.	48

Lista de Tabelas

Tabela 3.1 – Parâmetros referentes a tecnologia TSMC 0.35 μm	19
Tabela 3.2 - a) Razões de aspecto normalizadas, i_f 's e K's para os diferentes circuitos com variação de I_B . b) Tamanhos dos transistores para os diferentes tipos de circuitos projetados	20
Tabela 3.3 – Quadro resumo das especificações e valores de projeto relativos ao Amp-Op.	26
Tabela 4.1 – Síntese da performance do multiplicador para diferentes parâmetros extraídos.	39
Tabela D.1 – Equações do modelo ACM.	52

Lista de Abreviações

AC	Corrente Alternada
ACM	<i>Advanced Compact MOSFET Model</i>
BSIM	Modelo da <i>University of California, Berkeley</i> para transistor MOS
CLM	Modulação do comprimento do canal
DC	Corrente Contínua
DIBL	Redução da barreira induzida pelo dreno
EMI	Electromagnetic Interference
LNA	<i>Low Noise Amplifier</i>
MOS	<i>Metal Oxide Semiconductor</i>
NMOS	Transistor MOS cujos portadores são elétrons
PMOS	Transistor MOS cujos portadores são lacunas
PSD	<i>Power Spectrum Density</i>
PTAT	<i>Proportional-to-Absolute Temperature</i>
SCM	<i>Self-Cascode MOSFET</i>
THD	<i>Total Harmonic Distortion</i>
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i>
VLSI	<i>Very Large Scale Integration</i>

Lista de Símbolos

m	Mobilidade dos portadores no canal de inversão	$m^2/V.s$
f_t	Potencial térmico	V
A_b	Parâmetro do modelo de descasamento referente à variação no fator de corrente b	% μm
A_{VT}	Parâmetro do modelo de descasamento referente à variação de V_T	$mV. \mu m$
C'_{ox}	Capacitância do óxido de silício por unidade de área	F/m^2
C_{ox}	Capacitância do óxido de silício	F
f_c	Frequência de <i>corner</i> do ruído	Hz
f_T	Frequência de transição	Hz
gm	Transcondutância de porta do transistor	A/V
gmd	Transcondutância de dreno do transistor	A/V
gms	Transcondutância de fonte do transistor	A/V
I_D	Corrente de dreno	A
$i_{f(r)}$	Corrente de saturação direta (reversa) normalizada	-
$I_{F(R)}$	Corrente de saturação direta (reversa)	A
I_S	Corrente de Normalização	A
I_{Sq}	Corrente de Normalização de folha	A
k_B	Constante de Boltzmann	J/K
K_F	Parâmetro SPICE de ruído <i>flicker</i>	VA/Hz
L	Comprimento do canal do transistor	m
n	Fator de inclinação	-
N_{ot}	Parâmetro que indica o número de armadilhas (<i>traps</i>) por unidade de área na interface entre o óxido e o semiconductor	m^{-2}
Q_I	Carga de inversão total	C
S_A	Razão de aspecto do transistor A	-
S_B	Razão de aspecto do transistor B	-
S_{inf}	Densidade Espectral de Potência do ruído flicker	V^2/Hz
S_{int}	Densidade Espectral de Potência do ruído térmico	V^2/Hz
T	Temperatura Absoluta	K
V_{DB}	Tensão dreno-substrato	V
V_{DD}	Tensão de alimentação do circuito	V
V_{DS}	Tensão dreno-fonte	V
V_{DSsat}	Tensão de saturação entre dreno e fonte do transistor	V
V_{GB}	Tensão gate-substrato	V
V_{GS}	Tensão gate-fonte	V
V_P	Tensão de <i>pinch-off</i>	V
V_{SB}	Tensão fonte-substrato	V

V_{TO}	Tensão de limiar do transistor MOS no equilíbrio	V
V_X	Tensão no ponto X da célula quadradora	V
V_Y	Tensão no ponto Y da célula quadradora	V
W	Largura do canal do transistor	m

Capítulo 1

INTRODUÇÃO

Multiplicadores analógicos são blocos básicos que executam a operação de produto linear entre dois sinais (x e y), resultando em um sinal kxy , sendo k uma constante. São muito empregados em processamento de sinais, de comunicação e de instrumentação eletrônica. Esse tipo de circuito é amplamente utilizado para modulação/demodulação, retificação, além de outras aplicações como em redes neurais [4], [15].

Atualmente a procura por circuitos de baixa tensão de alimentação se faz necessária dada à existência cada vez maior de equipamentos portáteis de baixo consumo de potência e à diminuição cada vez maior das camadas de isolamento do óxido de porta, fato associado às novas tecnologias de integração.

Apesar da literatura apresentar circuitos multiplicadores operando em modo corrente, a grande maioria dos pesquisadores opta por circuitos multiplicadores modo tensão. Tais circuitos podem ser classificados quanto ao modo de operação [1], dividindo-se naqueles que exploram as não linearidades dos transistores MOS quando na região linear [12] ou quando em saturação [3]-[11]. Curiosamente, dado o grande número de topologias apresentadas na literatura para o último caso, soluções com transistores cascateados (ligados em série) baseados puramente em transistores operando na região de saturação podem não ser apropriados para trabalhar em baixa tensão de alimentação, especialmente se operarem em inversão forte, onde é necessário manter valores razoáveis de tensão entre os terminais de dreno e fonte para manter o transistor saturado.

Para baixa tensão de operação, uma solução pode ser polarizar os transistores em inversão fraca [13] [14]. Neste regime de inversão, a corrente do transistor MOS varia exponencialmente com a tensão V_{GS} e, portanto, variações na tensão de limiar da ordem de dezenas de milivolts produzem significativas variações na corrente do dispositivo.

Apesar de a operação de circuitos em inversão fraca permitir a operação com baixa tensão de alimentação e baixo consumo de potência, sua resposta em frequência é pobre. Um compromisso entre resposta em frequência e excursão da tensão é encontrado na inversão moderada [2]. Devido talvez à dificuldade na modelagem do

comportamento do transistor neste regime de inversão, os exemplos de multiplicadores situam-se na grande maioria em inversão forte [3]–[11] ou, numa menor quantidade de casos, na inversão fraca [13] e [14]. Isto se dá, muitas vezes, devido ao modelo que ampara o projeto, uma aproximação muito simples da lei quadrática do transistor operando em inversão forte [8], [9], [12], ou exponencial operando em inversão fraca.

No multiplicador desenvolvido neste trabalho, as grandezas de entrada do mesmo são correntes, assim, é extremamente conveniente basear o desenvolvimento do projeto no conceito de nível de inversão do transistor que corresponde à corrente de saturação direta normalizada. Um modelo compacto do transistor MOS, baseado em propriedades físicas, o qual fornece funções analíticas contínuas para a corrente do transistor MOS desde inversão fraca à inversão forte usando o conceito de nível de inversão, é o modelo ACM [16] e [17]. Uma vantagem de usar um modelo unificado para as diversas regiões de operação do MOSFET é não ter que recorrer a expressões assintóticas (seja de inversão fraca ou forte) e também poder usar a inversão moderada. Mesmo que o transistor opere na chamada inversão forte, uma expressão única para qualquer região de funcionamento fornecerá importantes informações sobre a precisão do multiplicador.

Baseado no modelo ACM, conceitualmente, o circuito pode ser projetado para que os transistores operem em quaisquer níveis de inversão.

Também figurando dentre as especificações de projetos de circuitos atuais, a área do circuito é fator crucial na escolha entre topologias. Com a crescente integração de sistemas, circuitos microprocessados concorrem lado a lado com circuitos analógicos no mesmo *chip*, como os de detecção, conversão e transmissão. Assim, a área começa a ser um gargalo em alguns casos, sem falar no custo elevado de fabricação, proporcional à área empregada. Esta preocupação pode ser constatada na literatura, como em [3] e [5], de 1986 e 1999, respectivamente, cujos circuitos multiplicadores requerem cada um 18 transistores, podendo ser comparados com os circuitos de [11] e [12], 2000 e 2006, respectivamente, cada qual necessitando de 10 transistores para a mesma operação de multiplicação. Claro que não é apenas o número de transistores que define a área de silício ocupada pelo circuito. O próprio nível de inversão em que o circuito opera pode alterar em muito as dimensões projetadas para um transistor, e isto depende dos condicionantes iniciais do projeto. Mas a análise aqui, baseia-se na preocupação do pesquisador com a economia desde a proposta de topologia.

Como a maioria dos multiplicadores trabalha com sistemas de cancelamento [1], dentre os possíveis fatores que podem ocasionar desvios no desempenho do multiplicador podem-se destacar as variações de processo e o descasamento de componentes. Mesmo que o processo de fabricação seja bem caracterizado, podem

ocorrer variações de lote para lote. Além disso, variações aleatórias em componentes no mesmo *chip* colaboram para o descasamento nas características de componentes supostamente idênticos [18]. Assim, o projeto do multiplicador deve ser baseado em propriedades físicas intrínsecas e que não sejam muito sensíveis às variações do processo. Combinando técnicas para reduzir descasamento entre os dispositivos, o circuito pode ser pouco sensível às variações do processo.

Assim, propõe-se neste trabalho o projeto de um circuito multiplicador de sinais analógicos de uso geral, modo-corrente, com baixa tensão de alimentação e compatível com as tecnologias e aplicações atuais.

As principais características que serão consideradas no projeto do multiplicador são listadas a seguir:

- Implementação utilizando somente transistores MOS;
- Compatível com novas tecnologias CMOS submicrométricas;
- Baixa tensão de alimentação;
- Simplicidade da topologia;
- Baixa área de silício;
- Otimização para obter um nível adequado de linearidade, faixa dinâmica, ruído, consumo de potência e faixa de frequências.

O MULTIPLICADOR PROPOSTO

2.1 Circuitos Multiplicadores

Multiplicadores analógicos são blocos básicos que executam a operação de produto linear entre dois sinais (x e y), resultando em um sinal kxy , sendo k uma constante. As formas mais usuais de implementação de circuitos multiplicadores analógicos atualmente são ou implementação de circuitos com transcondutância programável ou por uso de dispositivos não lineares [1].

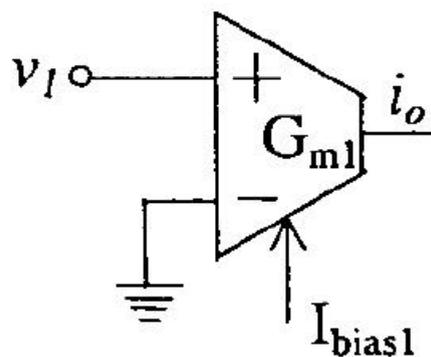


Figura 2.1 – Transcondutor programável.

No primeiro caso, considerando o amplificador de transcondutância da figura 2.1, onde a corrente de saída é dada por

$$i_o = G_{ml} \cdot v_1 \quad 2.1$$

onde G_{ml} (I_{BIAS1}).

Para um transcondutor bipolar, G_{ml} torna-se

$$G_{ml} = \frac{I_{bias1}}{2f_t} \quad 2.2$$

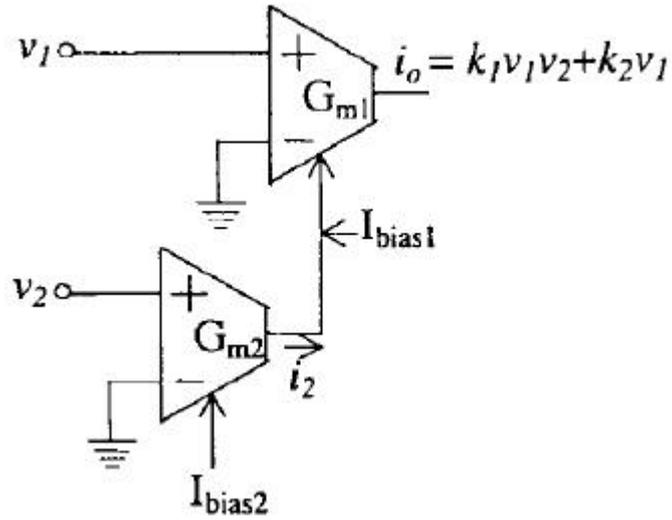


Figura 2.2 – Operação de multiplicação usando transcondutores programáveis.

Num arranjo de transcondutores, como o apresentado na figura 2.2, a corrente de saída é dada por

$$i_o = G_{m1} \cdot v_1 = \left[\frac{I_{bias1} + G_{m2} \cdot v_2}{2 \cdot f_t} \right] v_1 = v_1 \cdot v_2 \cdot \frac{I_{bias2}}{4 \cdot f_t} + v_1 \cdot \frac{I_{bias1}}{2 \cdot f_t} \quad 2.3$$

ou

$$i_o = v_1 \cdot v_2 \cdot k_1 + v_1 \cdot k_2 \quad 2.4$$

que representa a operação de multiplicação dos dois sinais, v_1 e v_2 por uma constante somado a uma componente indesejável $v_1 k_2$ que pode ser eliminada por esquemas de cancelamento conforme exemplificados na figura 2.3.

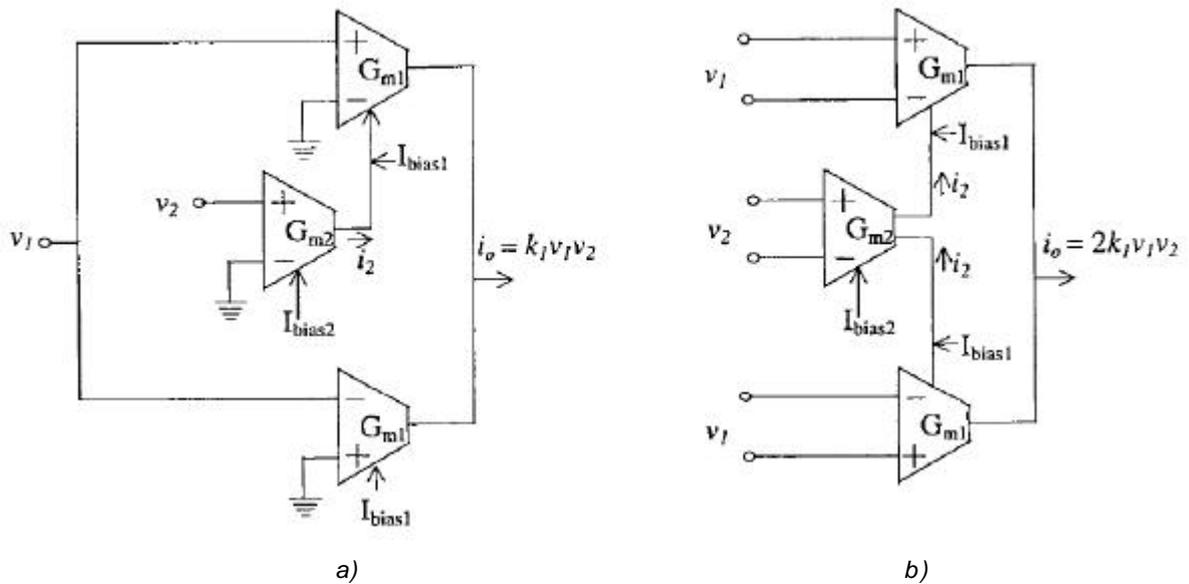


Figura 2.3 – Exemplos de arranjos de transdutores para multiplicação completa de dois sinais, incluindo etapa de cancelamento.

Em 2.3b é apresentada o princípio básico de operação da célula de Gilbert. Sua implementação é conseguida pela substituição dos transdutores por pares diferenciais de transistores. Geralmente, em processos CMOS, as células de Gilbert são implementadas usando BJTs laterias. Esta solução com BJTs está em crescente desuso. Isto se deve à necessidade dos circuitos analógicos compartilhar a mesma tecnologia CMOS com que são desenvolvidos os circuitos digitais atualmente, principalmente devido à questões econômicas. Assim, soluções com transistores CMOS são implementadas, mas com perdas, principalmente quanto á linearidade, onde várias modificações devem ser incluídas como esquemas de linearização, estruturas dobradas, atenuadores ativos, o que aumenta a complexidade do circuito. Na figura 2.4 é apresentado um multiplicador a partir da Célula de Gilbert, conseguido através da substituição dos transdutores da figura 2.3b por pares diferenciais compostos por transistores MOS.

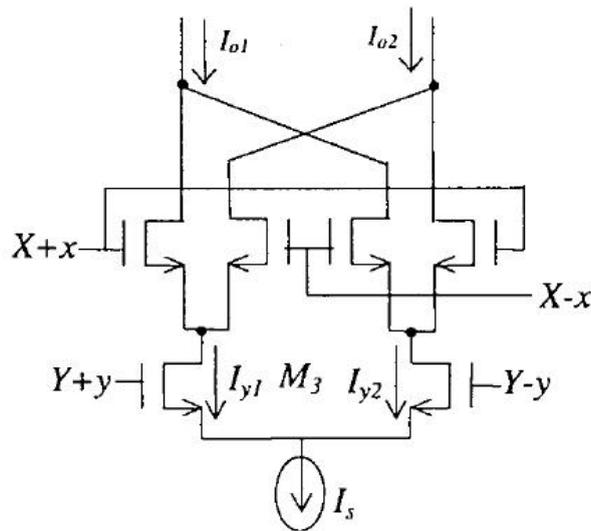


Figura 2.4 – Multiplicador baseado na célula de Gilbert composto por transistores MOS.

Reportando-se ao início deste capítulo, a segunda forma de implementação de circuitos multiplicadores é através da exploração das características não lineares de dispositivos. Dois sinais aplicados à entrada de um dispositivo ($v_1(t)$ e $v_2(t)$), que é caracterizado por uma função polinomial de alta ordem, gerarão termos em sua saída como $v_1^2(t)$, $v_2^2(t)$, $v_1^3(t)$, $v_2^3(t)$, $v_1^2(t) \cdot v_2(t)$, e muitos outros ao lado dos desejados $v_1(t) \cdot v_2(t)$. Assim, é necessário que em suas saídas exista um esquema de cancelamento destes elementos indesejáveis (figura 2.5)

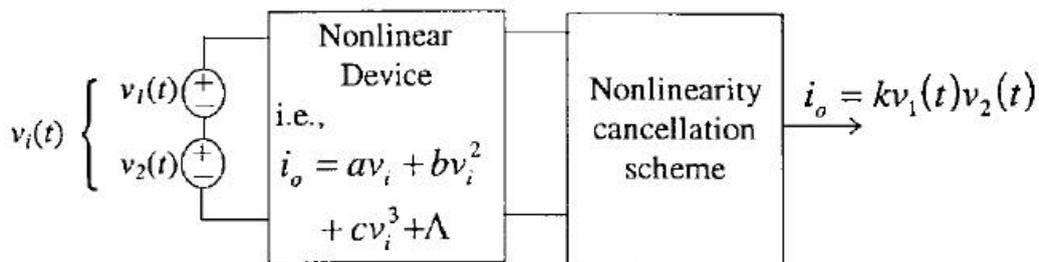


Figura 2.5 – Idéia básica de implementação de multiplicadores a partir do uso de dispositivos não-lineares.

Este esquema de cancelamento pode ser conseguido a partir de células quadradoras ou a partir de células multiplicadoras de um 1 quadrante, conforme a figura 2.6. Com relação à polaridade dos sinais de entrada, os multiplicadores podem operar em um quadrante, dois ou quatro quadrantes.

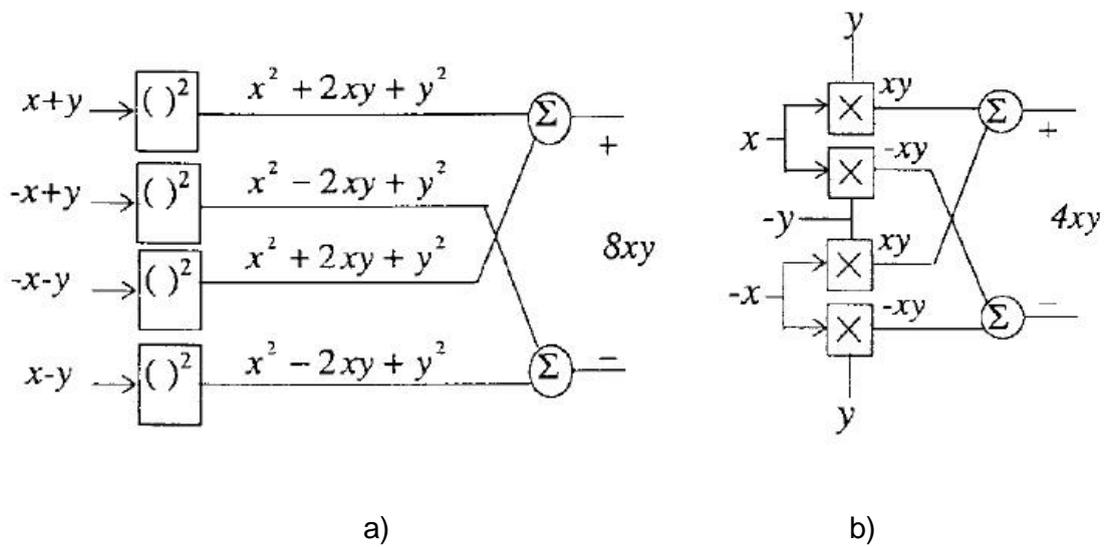


Figura 2.6 – Estruturas básicas de multiplicadores operando em quatro quadrantes. a) usando dispositivos quadradores e b) utilizando multiplicadores de 1 quadrante.

2.2 O Esquema de Cancelamento

Dentre as várias topologias existentes para o projeto de multiplicadores a partir de quadradores, a escolhida foi uma topologia que mantém as condições de simetria e simplicidade do circuito, semelhante a encontrada em [1]. A figura 2.7 ilustra a topologia.

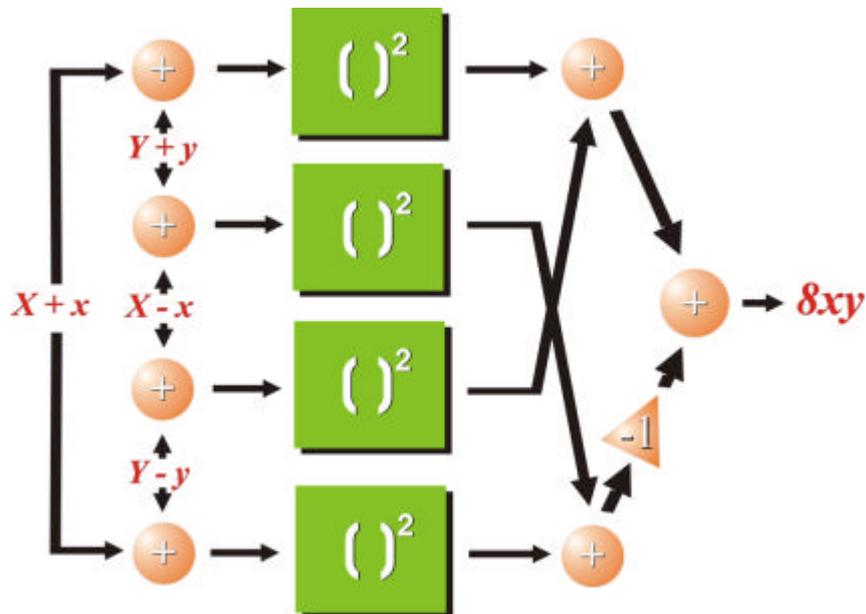


Figura 2.7. - Visão esquemática para multiplicador baseado em circuitos quadradores com esquema de cancelamento de componentes pares, bem como dos componentes DC.

Apesar de existirem na literatura outros esquemas de cancelamento [10] a escolha de uma topologia simétrica, e especificamente por esta mostrada na figura 2.7, se deu pela facilidade de modulação que apresenta o circuito no momento do projeto do leiaute. A modulação da estrutura diminui o tempo gasto no editor para o planejamento e confecção desta etapa de projeto, viabilizando-o para a implementação com as modernas técnicas de projeto em VLSI (*Very Large Scale Integration*).

A análise da simetria não se restringe à escolha do esquema de cancelamento. O uso de transistores diferentes (PMOS e NMOS) como em [9] e [10], para as entradas do multiplicador, deve ser evitado pelas características elétricas diferentes de cada tipo. Estas características associadas acabam diminuindo o potencial de cancelamento do sistema, causando efeitos de distorção maiores no sinal de saída.

2.3 Arquitetura do Circuito Quadrador

A idéia da proposta é baseada no desenvolvimento inicial em [2], que apresenta circuitos quadradores explorando a relação quadrática existente entre transcondutância de fonte (g_{ms}) e a corrente de saturação normalizada do transistor MOS (i_f).

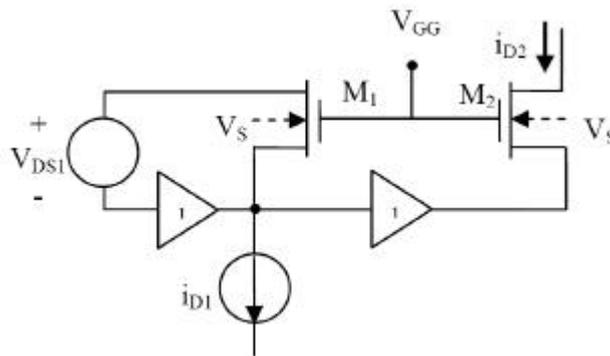


Figura 2.8 – Estrutura quadradora apresentada em [2]

Em [2], a partir da estrutura básica mostrada na figura 2.8, considerando que os transistores M1 e M2 tem o mesmo potencial de gate, fonte e substrato, seus níveis de inversão são iguais, então

$$\frac{g_{ms2}}{I_{S2}} \cong \frac{g_{ms1}}{I_{S1}} \quad 2.5$$

Independente do nível de inversão, se o transistor M_2 opera em saturação e o transistor M_1 opera na região linear, com V_{DS1} constante e superior ao dobro de f_t , o espelho comporta-se como um quadrador corrente cuja corrente de saída é dada por

$$i_{D2} \cong \frac{I_{S2}}{I_{S1}} \left(\frac{i_{D1}^2}{4K^2 I_{S1}} + \frac{i_{D1}}{K} \right) \quad 2.6$$

Na figura 2.9 é apresentada uma possível implementação de circuito para a estrutura da figura 2.8, presente em [2].

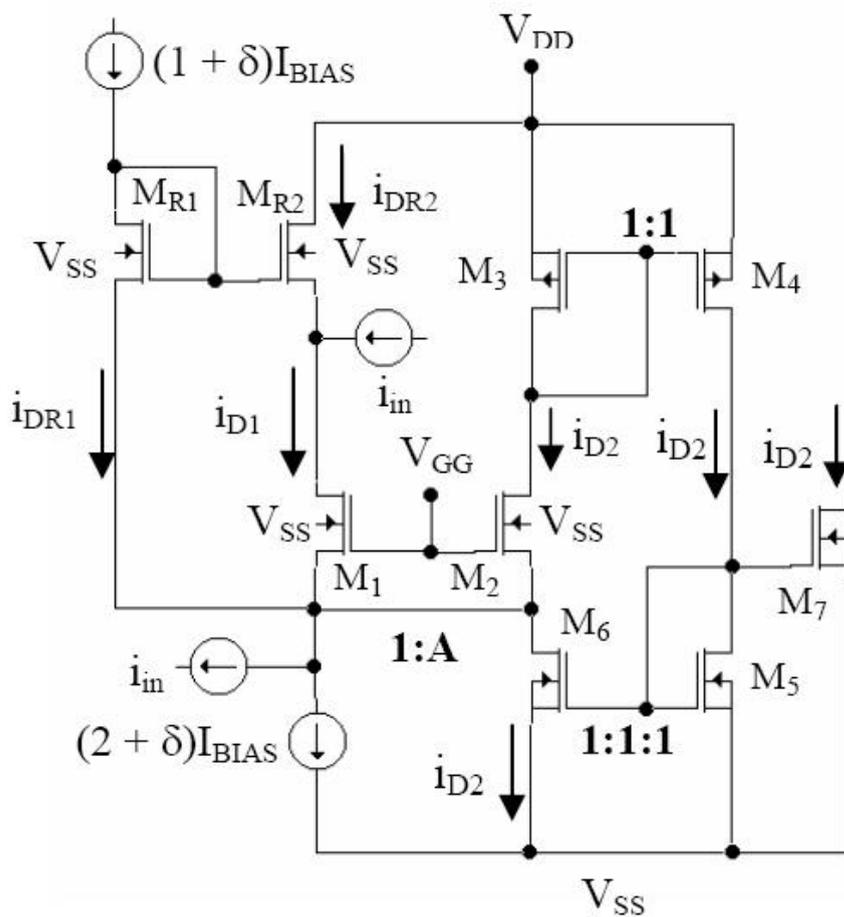


Figura 2.9 – Circuito quadrador de corrente apresentado em [2]

Assim, agora neste trabalho também explora-se a relação quadrática existente entre transcondutância de fonte (g_{ms}) e a corrente de saturação normalizada do transistor MOS (i_f), mas apresenta-se uma nova topologia para o quadrador, mais simplificada com relação à anterior. Espera-se com isto somar as vantagens obtidas em [2] a outras,

como diminuição da área de silício, baixa tensão de operação, baixo consumo e projeto simples. O foco aqui é provar, através da implementação física do circuito, a funcionalidade da nova topologia proposta e seu desempenho positivo frente a outras propostas já existentes.

A célula central do multiplicador é o quadrador de corrente mostrado na figura 2.10

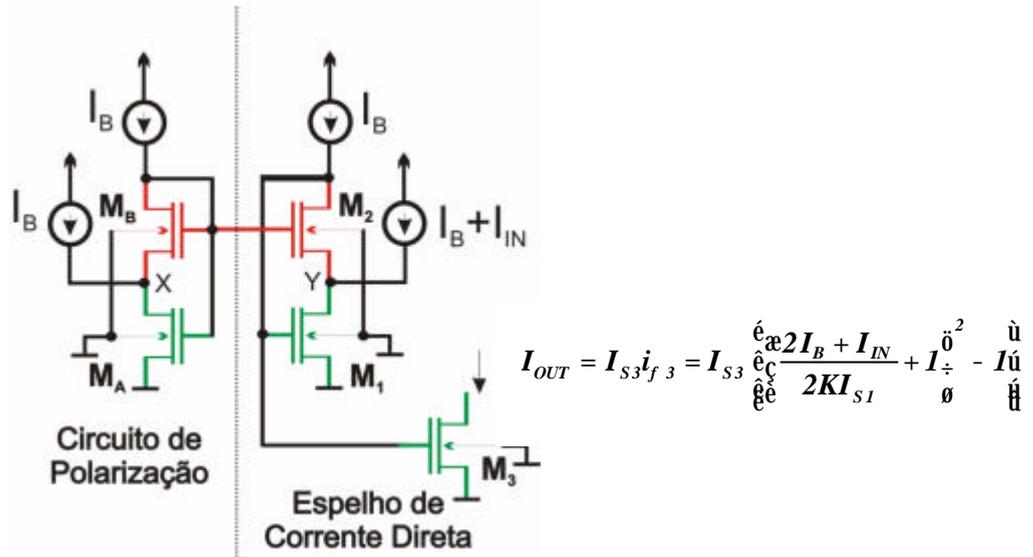


Figura 2.10 - Célula central do multiplicador analógico (circuito quadrador)

Na figura 2.10, considerando que M_B/M_2 e $M_A/M_1/M_3$ devem estar casados entre si, observa-se que a corrente que flui através de M_B e M_2 é a mesma. Assumindo que M_2 e M_B estão saturados e que a dependência da corrente em saturação com a tensão de dreno é pequena, então $V_Y = V_X$. Portanto, a tensão dreno-fonte em M_1 é constante. Assume-se que, para baixos valores de V_Y , M_1 , que opera na região triodo, comporta-se como um resistor linear cuja condutância g_{ms1} é controlada pela corrente I_{D1} , de acordo como em [2]

$$g_{ms} \cong \frac{I_{D1}}{V_Y} \quad 2.7$$

Assim, o efeito quadrador na saída da célula é conseguido pela relação quadrática entre g_{ms} e i_{f1} , apresentada no anexo D. Conseqüentemente, a corrente na saída do circuito (dreno de M_3) terá termos quadráticos e lineares da corrente de entrada (dreno de M_1) assim como um nível DC.

A representação gráfica da aproximação em (2.7) é vista na figura 2.11. Um erro decorre da aproximação de $g_{ms}@I_{D1}/V_Y$, mas será menor quanto menor for V_X e conseqüentemente V_Y , ou seja, se a tensão no dreno de M_1 for muito menor que a sua tensão de saturação, descrito no anexo D por (D.9).

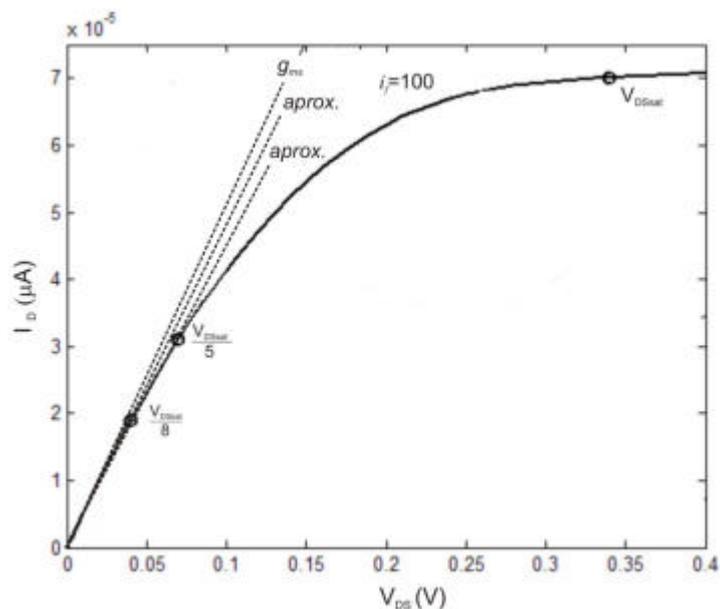


Figura 2.11 – Aproximações de g_{ms} segundo (2.7) nos pontos $V_{DS}=0$, $V_{DS}=V_{DSsat}/8$ e $V_{DSsat}/5$ (linhas tracejadas). Curva $I_D \times V_{DS}$ de um transistor de dimensões $L=4\mu m$ e $W=40\mu m$. Tecnologia $0.35\mu m$, operando em inversão forte. Dados extraídos através do simulador SMASH 5.1 rodando com modelo BSIM 3v3.1.

Apesar de valores pequenos para V_Y representarem boas escolhas com relação à precisão, estes podem tornar o circuito muito sensível ao descasamento. Um bom compromisso entre o erro dado pela aproximação $g_{ms}=I_D/V_{DS}$ e o erro dado pelo descasamento entre os dispositivos é encontrado entre valores de um quinto a um oitavo de V_{DSsat1} . Na figura 2.12 é apresentada, de forma gráfica, a relação entre o g_{ms} aproximado (2.7) e o real para diferentes valores de i_{f1} calculados entre 0.01 até um quarto de V_{DSsat1} . A partir deste ponto, a diferença entre os valores real e aproximado começa a aumentar rapidamente, principalmente para níveis de inversão muito baixos.

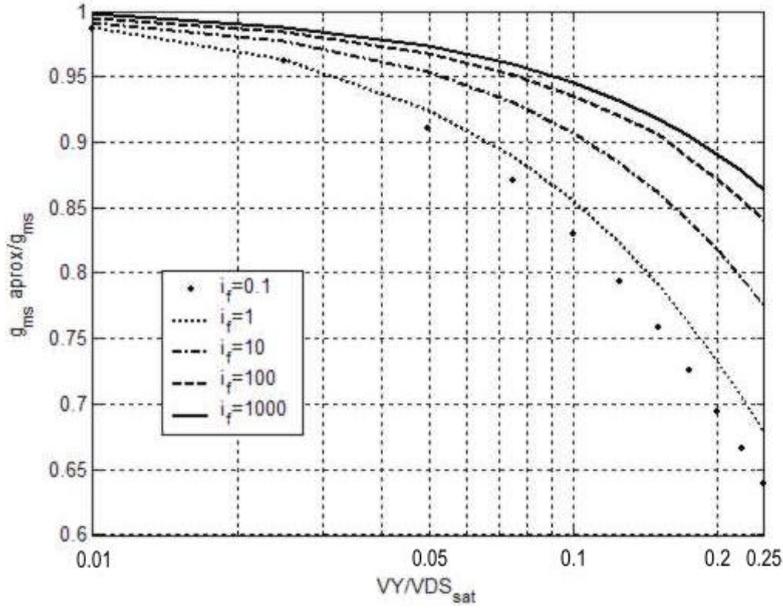


Figura 2.12 - Razão transcondutância de fonte aproximada (2.7) por transcondutância de fonte real versus tensão dreno-fonte normalizada com $i_f=1000; 100; 10; 1; 0.1$.

Para uma análise mais detalhada do funcionamento da célula, retorna-se à figura 2.10 focando no seu circuito de polarização. Como se pode notar, a parte do quadrador responsável pela polarização é basicamente um circuito SCM – MOSFET auto-cascode (*self-cascode* MOSFET), [28].

Assim, considerando que M_A e M_B têm seus terminais de porta sob mesmo potencial, são casados, portanto suas tensões de *pinch-off* têm valores iguais, tem-se

$$i_{rA} = i_{fB} \quad 2.8$$

Conseqüentemente, considerando as regiões em que os transistores estão polarizados (M_A em triodo e M_B saturado) podemos concluir que suas correntes são, respectivamente,

$$I_{DA} = I_{FA} - I_{RA} = I_{SA} \cdot (i_{fA} - i_{rA}) = I_{SA} \cdot (i_{fA} - i_{fB}) = 2 \cdot I_B \quad 2.9$$

$$I_{DB} \cong I_{FB} = I_{SB} \cdot i_{fB} = I_B \quad 2.10$$

Como o substrato de M_A está ligado à fonte, escreve-se, através das equações do (D.6) e (D.7), as seguintes relações para o cálculo de V_X .

$$\frac{V_{PB} - V_X}{f_t} = \sqrt{1 + i_{fB}} - 2 + \ln(\sqrt{1 + i_{fB}} - 1) \quad 2.11$$

$$\frac{V_{PA}}{f_t} = \sqrt{1 + i_{fA}} - 2 + \ln(\sqrt{1 + i_{fA}} - 1) \quad 2.12$$

Como $V_{PA} = V_{PB}$, resolvendo as equações (2.11) e (2.12) para V_X e utilizando (2.9) e (2.10), obtém-se para V_X

$$\frac{V_X}{f_t} = K = \sqrt{1 + \frac{I_B}{I_{SA}} \left(2 + \frac{I_{SA}}{I_{SB}} \right)} - \sqrt{1 + \frac{I_B}{I_{SB}}} + \ln \left[\frac{\sqrt{1 + \frac{I_B}{I_{SA}} \left(2 + \frac{I_{SA}}{I_{SB}} \right)} - 1}{\sqrt{1 + \frac{I_B}{I_{SB}}} - 1} \right] \quad 2.13$$

O fator K é, em geral, função da temperatura. Se a fonte de corrente I_B é obtida a partir de um gerador de corrente específica, isto é, se I_B é proporcional a I_S , como nos geradores descritos em [20] e [21], então o potencial no nó X será uma tensão proporcional à temperatura absoluta (PTAT). Se ambos, M_A e M_B , operarem em inversão fraca, K é independente da corrente, só dependendo da relação entre as razões de aspecto de M_A e M_B , conforme

$$K \cong \ln \left(2 \frac{(W/L)_B}{(W/L)_A} + 1 \right) \quad 2.14$$

Por conveniência, usar-se-á na seqüência do trabalho a notação $V_X = Kf_t$.

Agora, conforme foi explicado anteriormente, com M_B e M_2 casados e em saturação e sendo suas correntes iguais para operação DC a tensão $V_{DSA} = V_{DS1}$ ($V_Y = Kf_t$). Reescrevendo (2.7) em função de K temos

$$g_{m_s1} \cong \frac{I_{D1}}{Kf_t} \quad 2.15$$

Em (2.15), g_{m_s1} é a transcondutância de fonte ou, em outras palavras, a derivada da corrente de dreno com respeito à tensão de dreno, para $V_{DS} @ 0$. O valor de g_{m_s1} é

controlado pelo nível de inversão i_{f1} . Particularmente, no circuito da figura 2.10, i_{f1} é controlado pela tensão de porta, que por sua vez, depende da corrente de entrada. Aplicando a aproximação (2.15) à expressão da transcondutância de fonte da tabela D1, nas condições do circuito da figura 3.4, chega-se a

$$i_{f1} = \left(\frac{2I_B + I_{IN}}{2KI_{S1}} \right)^2 + \frac{2I_B + I_{IN}}{KI_{S1}} \quad 2.16$$

Portanto, o nível de inversão do transistor M_1 contém termos quadráticos e lineares da entrada de sinal junto com um nível DC. (2.16) será válida em qualquer regime de inversão desde que (2.15) seja uma aproximação adequada.

Para manter a fonte de corrente unidirecional, deve-se ter

$$I_{IN} + I_B \geq 0 \quad 2.17$$

o que requer $I_{IN} \geq -I_B$ considerando I_{IN} com valores de pico positivo e negativo iguais. Esta limitação é devido principalmente à condição de operação normal da fonte de corrente que supre o nó Y. Para efeito de simplificação do projeto, é indicado um espelho simples, com um transistor PMOS colocado entre a fonte V_{DD} e o nó Y, espelhando a corrente $I_{IN} + I_B$. Como esta fonte é unidirecional, não haveria possibilidade de valores negativos de corrente neste ponto, ainda que M_1 , devido à injeção de I_B por M_2 , pudesse operar com $I_{IN} @ -2I_B$. Por outro lado, uma fonte bidirecional seria a solução mais lógica, não fosse a condição especial de funcionamento de M_1 . Por operar na região linear do transistor, o valor de seu V_{DS} é da ordem de 100mV ou menos (Kf_t), o que não é grande o bastante para saturar um transistor NMOS mesmo operando em inversão fraca.

Desde que os transistores M_1 e M_3 estejam com a mesma polarização de porta, fonte e substrato, seus níveis de inversão i_{f1} e i_{f3} em relação à fonte são iguais. Assumindo que M_3 opera em saturação, a corrente de saída I_{OUT} é

$$I_{OUT} = I_{S3} \cdot I_{f3} = I_{S3} \cdot \left[\left(\frac{2I_B + I_{IN}}{2K \cdot I_{S1}} + 1 \right)^2 - 1 \right] \quad 2.18$$

Portanto, a corrente de saída é uma réplica escalada da corrente direta que flui através de M_1 . Dada esta propriedade, o par M_1 e M_2 pode ser designado como espelho de corrente direta simples.

A operação de M_1 em inversão fraca pode ser traduzida por $i_{f1} \ll 1$ ou, equivalentemente, $2I_B/I_{S1} + I_B/I_{S2} \ll 1$. Então, se M_1 operar em inversão fraca, o termo linear em (2.16) prevalecerá sobre o termo quadrático. Por outro lado, em inversão forte, a contribuição dos termos quadráticos e lineares para a corrente direta é da mesma ordem de magnitude para valores de I_{IN} próximos de I_B . Embora, como será visto adiante, o termo linear em (2.16) seja eliminado pela combinação apropriada de quatro circuitos quadradores, a eficiência do método está no casamento das células. Vale lembrar que o descasamento entre os transistores é pouco afetado se os mesmos operarem em saturação ou na região triodo, mas é fortemente dependente do nível de inversão e da área [26].

Assim, como o multiplicador está baseado na soma algébrica de correntes oriundas de quatro quadradores, níveis de inversão muito pequenos podem afetar a performance do circuito total, aumentando a erro na saída do multiplicador.

Numa situação, como a operação de M_1 em inversão fraca, onde a corrente de saída possui uma componente quadrática muito menor que a componente linear, no cancelamento dos “termos lineares, a diferença devido ao “*mismatching*” será muito maior. Por esta razão, em inversão fraca, o “resíduo linear” devido ao *mismatching* será maior e, conseqüentemente acarretará maior erro na saída.

Também é importante determinar a mínima tensão de alimentação (V_{DDmin}) para o funcionamento do multiplicador.

Considerando que para funcionar perfeitamente, a fonte de corrente de polarização (I_B) na figura 2.10, seja necessária uma tensão mínima (V_{CS}) entre seus terminais. Assim, o valor para a mínima tensão de alimentação do circuito pode ser dado por

$$V_{DDmin} = V_{CS} + V_{G1max} \quad 2.19$$

A máxima tensão de porta de M_1 , V_{G1max} acontecerá quando estiver entrando na célula I_{INmax} , a qual assumiu-se anteriormente que é igual a I_B . Usando a relação entre tensão e corrente direta, apresentada na tabela D1, para a fonte de M_1 , chegamos a

$$\frac{V_{G1max} - V_{TO}}{n\mathbf{f}_t} \cong \frac{V_{P1max}}{\mathbf{f}_t} = \left[\sqrt{1 + i_{f1max}} - 2 + \ln\left(\sqrt{1 + i_{f1max}} - 1\right) \right] \quad 2.20$$

Agora, escrevendo a relação entre V_{DS} e i_f para o transistor M_1 , tem-se

$$\frac{V_Y}{f_t} = K = \sqrt{1+i_{f1max}} - \sqrt{1+i_{r1max}} + \ln \left(\frac{\sqrt{1+i_{f1max}} - 1}{\sqrt{1+i_{r1max}} - 1} \right) \quad 2.21$$

onde, desde que $I_{D1max} = I_{S1}(i_{f1max} - i_{r1max}) = 3I_B$,

$$i_{r1max} = i_{f1max} - \frac{3I_B}{I_{S1}} \quad 2.22$$

Se a fonte I_B é implementada por um único transistor MOS canal-p, V_{CS} será a V_{DSsat} deste transistor. A tensão de alimentação mínima pode ser reduzida reduzindo os níveis de inversão destes transistores e dos transistores da célula quadradora, apesar da operação do multiplicador a partir das células operando na região de inversão fraca não ser aconselhável principalmente devido á imprecisão que tal ação acarreta. Dependendo das necessidades do projeto, pode-se chegar a um compromisso entre os condicionantes como nível de ruído, distorção, reposta de freqüência, tensão de alimentação, dissipação de potência e área de silício, resultando em níveis de inversão que provavelmente colocarão M_1 operando entre a região moderada e forte.

A título de exemplo, com M_1 operando em inversão forte, para tecnologia TSMC 0.35 μm , utilizando $I_B=10\mu\text{A}$, $W/L_A=5$, $W/L_B=1$, resulta $V_{DDmin} \approx 1.2\text{V}$. Agora, para a tecnologia TSMC 0.18 μm , considerando as mesmas condições anteriores, tem-se $V_{DDmin} \approx 0.95\text{V}$.

2.4 Arquitetura do Multiplicador

Baseando-se no arranjo apresentado na figura 2.7, a configuração final do multiplicador em diagrama de blocos é mostrada na figura 2.13. A entrada das células quadradoras deve dispor das componentes I_X+I_Y , I_X-I_Y , $-I_X+I_Y$, e $-I_X-I_Y$ acrescidas de um valor I_B . A resultante das células quadradoras (2.18) será somada aos pares e na seqüência subtraída para o cancelamento dos elementos indesejáveis resultando, na saída do multiplicador, a corrente dada por

$$I_{OUT} = \frac{2I_X \cdot I_Y}{K^2 I_{S1}}$$

2.23

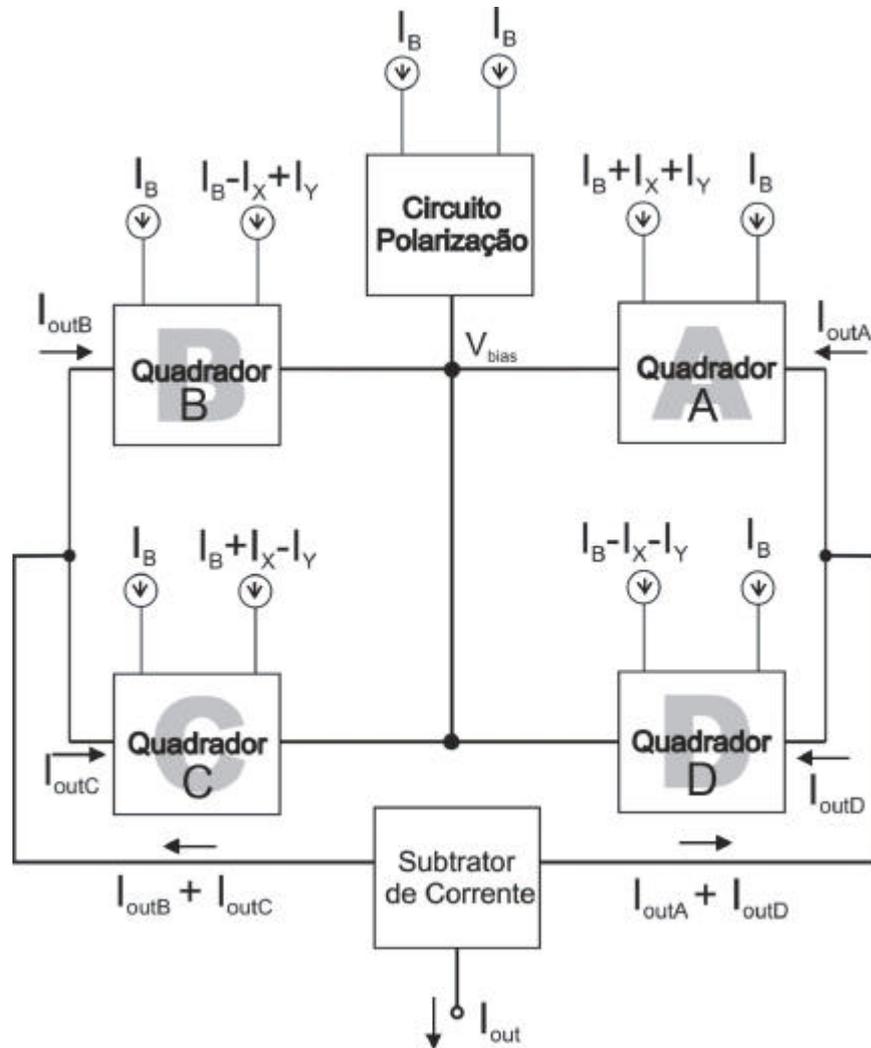


Figura 2.13 - Representação em blocos do multiplicador. A saída do multiplicador é $(I_{OUTA} + I_{OUTD}) - (I_{OUTB} + I_{OUTC})$. V_{bias} é a tensão de polarização gerada pelo respectivo circuito.

Como já foi mostrado em (2.17), a corrente de entrada tem seu valor máximo dado por I_B . Assim, pode-se dizer que a faixa de operação garantida para o multiplicador é quando $\frac{1}{2}I_X + I_Y \leq I_B$ uma vez que a entrada dos quadradores será dada por $\pm I_X \pm I_Y + I_B$.

Capítulo 3

IMPLEMENTAÇÃO

3.1 O Circuito

3.1.1 O Multiplicador

Para iniciar o cálculo do projeto da célula quadradora, apresentada na figura 2.10, é necessário escolher a tecnologia com que será implementado o circuito. Para o caso particular deste trabalho, foram implementadas células quadradoras e o circuito completo na tecnologia TSMC 0.35 μm . O processo escolhido para a implementação do projeto foi o oferecido pela empresa MOSIS, através de seu programa institucional.

Para esta tecnologia são listados na tabela 3.1 os parâmetros disponibilizados na página da MOSIS, adicionados a demais parâmetros necessários para o projeto encontrados em [29],

Tabela 3.1 – Parâmetros referentes a tecnologia TSMC 0.35 μm

Dado	NMOS	PMOS	Unid.
V_T^*	0.54	- 0.78	V
K^{**}	94.7	- 31.5	$\mu\text{A}/\text{V}^2$
m_o	370	130	cm^2/Vs
n^{***}	1.3	1.3	-
C'_{ox}	5	5	$\text{fF}/\mu\text{m}^2$
C_{ovd}	0.1	0.1	$\text{fF}/\mu\text{m}$
K_F^{****}	2.17×10^{-26}	1.19×10^{-26}	$\text{V}\cdot\text{A}/\text{Hz}$
N_{ot}	2.6×10^{11}	3.7×10^{11}	m^{-2}
A_{VT}	8.2	14.9	$\text{mV}\cdot\mu\text{m}$
A_b	0.2	0.4	$\%\cdot\mu\text{m}$
$V_{DD\text{máx}}$	3.3	3.3	V
I_{sq}	72	25	nA

*Transistor grande – 50 $\mu\text{m} \times 50 \mu\text{m}$

** $K = \mu_o C'_{ox}/2$

*** Valor Médio

****Em alguns casos, quando a PSD é proporcional à $1/f^a$ com $a \neq 1$, a unidade de K_F deve ser consistentemente alterada, tendo sua unidade variável conforme o modelo de extração utilizado

Para projetar o circuito quadrador, escolhe-se inicialmente o nível de inversão em que a célula irá operar. A idéia principal deste trabalho é criar elementos de teste para

análises de diferentes níveis de inversão e valores de K. Para atender a este requisito, projetou-se três circuitos, operando em três níveis de inversão diferentes, com três Ks diferentes e dimensões para M diferentes. Assim, aplicou-se a equação (2.13) para encontrar os valores de $I_B/I_{SA} = I_B/I_{S1}$ e $I_{SA}/I_{SB} = I_{S1}/I_{S2}$. Escolheu-se K de modo a satisfazer a condição requerida pela aproximação em (2.15), garantindo a operação de M_1 com V_{DS1} bem menor que V_{DSSat1} . Usou-se para V_X um valor de aproximadamente um quinto de V_{DSSat1} , estimativa já comentada anteriormente.

Nas tabelas 3.2a e 3.2b são apresentados os valores obtidos para o projeto da célula básica.

Tabela 3.2 - a) Razões de aspecto normalizadas, i_f 's e K's para os diferentes circuitos com variação de I_B .
b) Tamanhos dos transistores para os diferentes tipos de circuitos projetados

I_{BIAS} (mA)	Célula	i_{fA}	K	$I_B/I_{SB} = I_B/I_{S2}$	$I_{S2}=I_{SB}$ (nA)	$I_{S1}=I_{SA}$ (nA)	$I_{SA}/I_{SB} = I_{S1}/I_{S2}$
10	I	200	2.3	138	72	345	4.8
	II	170	1.4	138	72	655	9.1
	III	160	1.0	138	72	950	13.2

a)

Célula	Dimensões		W/L	
	$M_1=M_A$	$M_2=M_B$	$M_1=M_A$	$M_2=M_B$
I	19.8 μm x 4 μm	4 μm x 4 μm	4.8	1
II	36.8 μm x 4 μm	4 μm x 4 μm	9.1	1
III	52.8 μm x 4 μm	4 μm x 4 μm	13.2	1

b)

Aspecto importante a salientar é a opção por transistores de canal longo ($L \geq 10 \cdot L_{\text{mín}}$). Esta escolha se deu tanto para reduzir os chamados “efeitos de canal curto”, quanto o *mismatch*, que se tornam mais relevantes quanto menor for o comprimento do canal.

Portanto, principalmente de modo a reduzir tais problemas, uma vez que o tamanho do circuito não foi um elemento impeditivo neste estudo, fez-se uso de geometrias grandes para os transistores empregados. A máxima frequência de operação, que poderia ser afetada com esta opção, não foi fator relevante para a escolha, uma vez que o foco aqui é provar a funcionalidade da topologia.

A célula básica, associada de acordo com o esquema de cancelamento da figura 2.7, resulta no multiplicador, cujo circuito é apresentado na figura 3.1. Observe que o circuito de polarização é único para todas as células quadradoras.

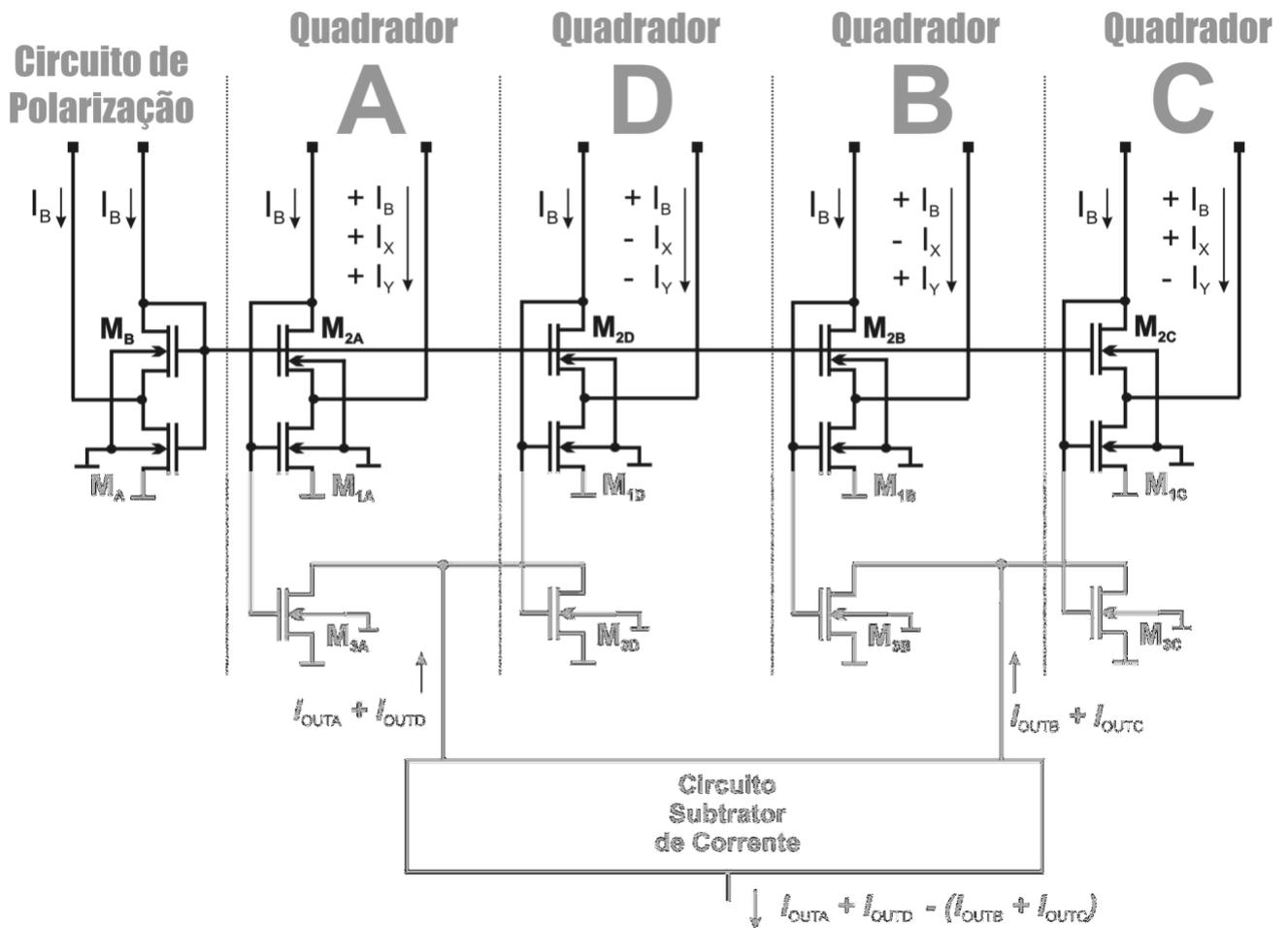


Figura 3.1 - Diagrama esquemático do multiplicador.

Merece atenção o circuito de subtração, última etapa do multiplicador proposto. Basicamente, a subtração de duas correntes pode ser conseguida simplesmente pela inversão do sentido de uma delas e adição à outra corrente. Um simples espelho já seria a solução com o mínimo de área de silício, como ilustrado na figura 3.2 Apesar da simplicidade, não se escolheu esta solução, não só pela falta de simetria do circuito, mas também por causa do efeito não desejado que ocorre quanto diferença de carga nos transistores de saída. Conforme o circuito da figura 3.1, enquanto o par $M_{2D} - M_{3A}$, ficaria ligado a um transistor PMOS, o outro par, $M_{2B} - M_{3C}$, ficaria conectado diretamente à saída do circuito.

Inspirado no trabalho de [38], uma solução simétrica é apresentada em 3.3. Nela as duas componentes de corrente I_a ($I_{outA} + I_{outD}$) e I_b ($I_{outB} + I_{outC}$) percorrem o mesmo caminho até a saída do multiplicador.

Dada a circuitaria excessiva desta solução, optou-se por um terceiro circuito, mostrado em 3.4, semelhante ao apresentado em [11]. Apesar da componente I_a não percorrer caminho idêntico à componente I_b , descaracterizando a simetria, a carga nos transistores de saída das células quadradoras é a mesma, ou seja, um transistor PMOS de iguais dimensões. Assim, chega-se a uma solução de compromisso entre a simetria do circuito e a circuitaria necessária.

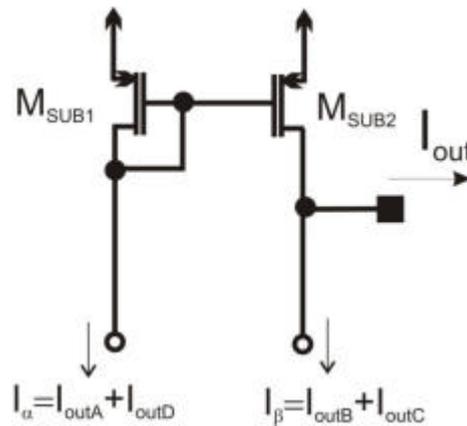


Figura 3.2 – Topologia mínima para subtração entre correntes.

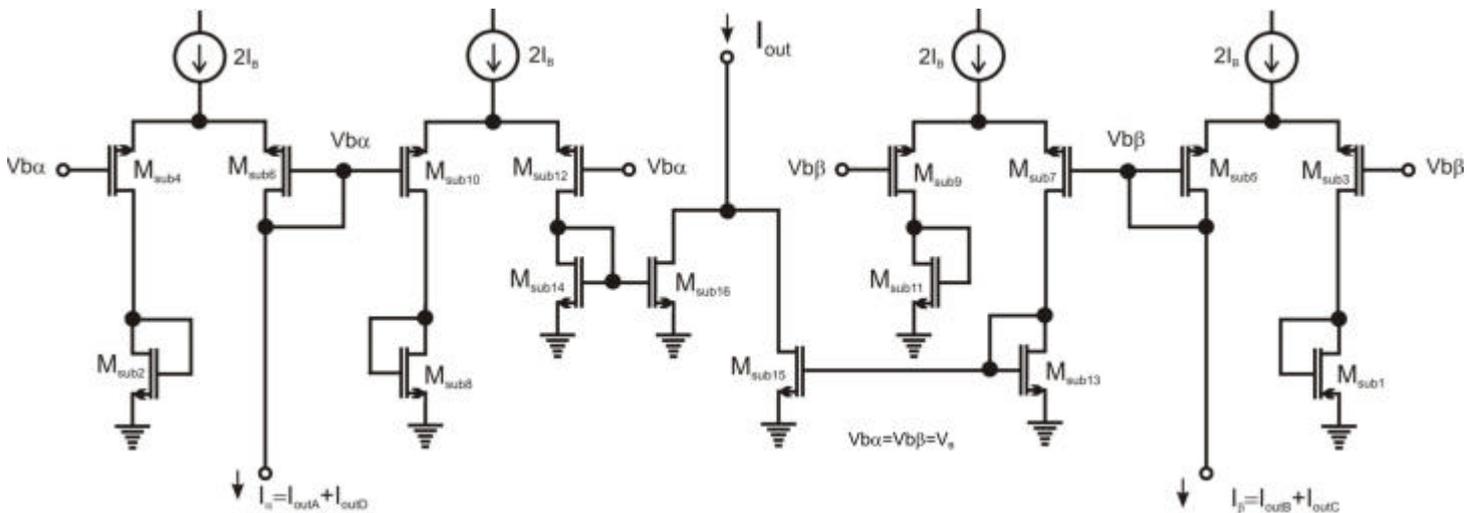


Figura 3.3 – Topologia simétrica para o circuito subtrator.

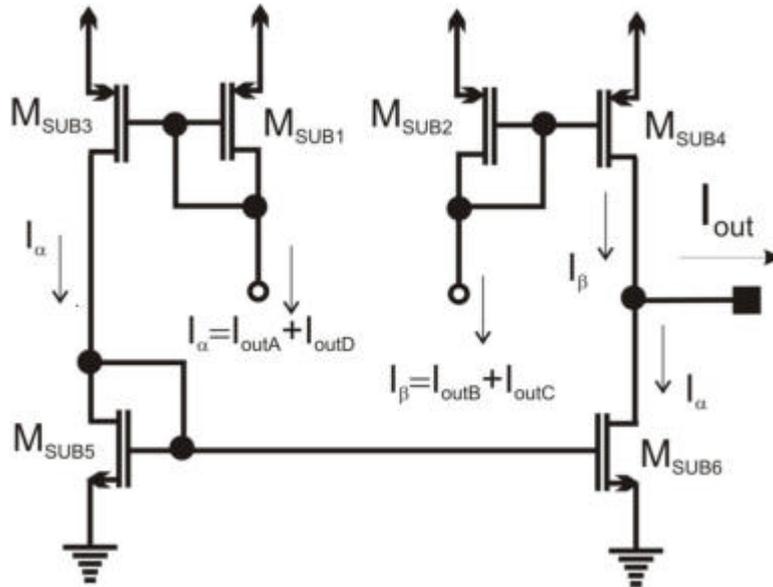


Figura 3.4 – Topologia utilizada no projeto.

Considerando o pior caso previsto onde têm-se $\frac{1}{2}I_X + I_Y \frac{1}{2} = I_B$, com base na corrente de saída da célula, expressa por (2.18), calculou-se a corrente máxima na entrada do circuito subtrator. Assim, os transistores foram dimensionados de modo a operarem em inversão forte, diminuindo assim os efeitos do descasamento entre os dispositivos, mas com o cuidado de manter suas tensões de saturação limitadas em metade da tensão de alimentação.

3.1.2 Circuitos Auxiliares

Para o pleno funcionamento do multiplicador, circuitos auxiliares devem integrar sua estrutura periférica, abastecendo-o de correntes replicadas e realizando demais operações necessárias para a multiplicação ser efetuada. Assim sendo, projetou-se, além das células quadradoras e do circuito subtrator, espelhos de corrente, amplificadores operacionais e conversores de tensão corrente para compor a estrutura completa.

Como o multiplicador projetado é em modo-corrente, foi necessário projetar, junto com a estrutura multiplicadora, conversores V-I para gerar as entradas I_X e I_Y . Assim, na figura 3.5, inspirado no trabalho em [38], é apresentado o esquema elétrico da etapa conversora e do circuito adotado nas operações de espelhamento e inversão dos sinais de tensão aplicados à entrada (v_x e v_y).

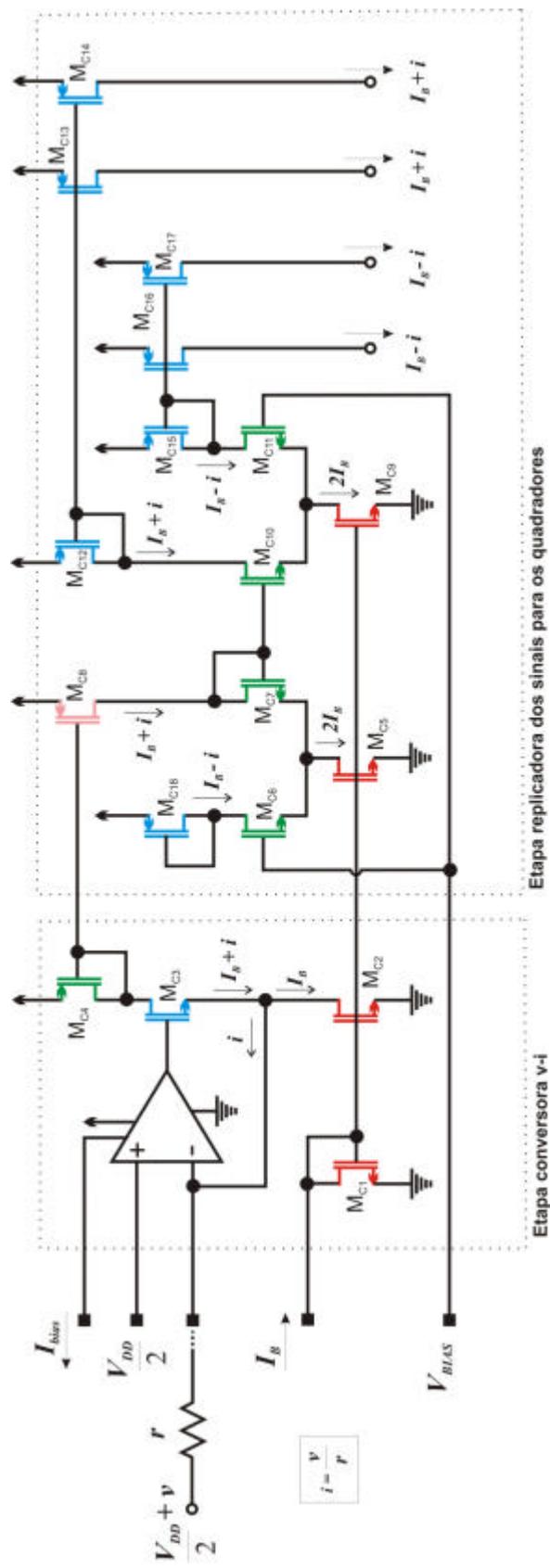


Figura 3.5 – Esquema elétrico da etapa conversora de tensão-corrente e do circuito que alimenta as células com os sinais I_X e I_Y já processados

No conversor V-I, a variação da corrente i é proporcional à diferença de tensão entre os dois terminais do resistor conectado à entrada não inversora do amplificador operacional, dado o curto virtual existente entre os dois terminais do mesmo. Esta relação depende do valor do resistor r , conforme mostra a equação na figura 3.5. Ainda, através do espelho de corrente dado pelo par $M_{C2} - M_{C1}$, a corrente que flui, através de M_{C4} , para ao restante do circuito será $I_B + i$. Na seqüência, a corrente i deve ser replicada para as entradas dos circuitos quadradores, devendo em alguns casos, ser invertido seu sentido. Procurou-se uma topologia que diminuísse possíveis defasagens entre as réplicas dos sinais para as células quadradoras, evitando assim possíveis diferenças que se traduziriam em distorções no sinal de saída. Os pares diferenciais $M_{C6}-M_{C7}$ e $M_{C10}-M_{C11}$ são os responsáveis por conseguir este feito.

Na figura 3.6 apresenta-se o circuito utilizado para replicar I_B , onde foi usada uma simples topologia de espelhos de corrente, com transistores de grandes dimensões operando em inversão forte.

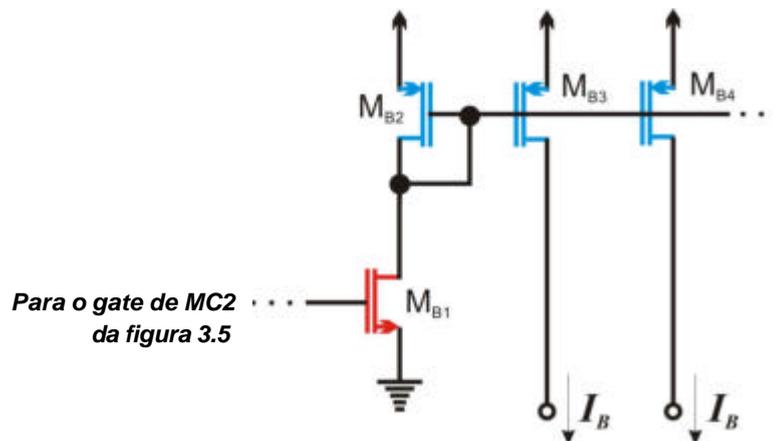


Figura 3.6 – Esquema elétrico do espelho de corrente utilizado para alimentar as células quadradoras com I_B .

3.1.3 Amplificador Operacional

Para o amplificador operacional utilizado no conversor V-I, a topologia usada é apresentada na figura 3.7. Foi usado um amplificador de dois estágios com compensação Miller. Esta topologia foi escolhida devido pela simplicidade do projeto. Aqui, o primeiro estágio é um amplificador diferencial com saída simples, já o segundo é um amplificador fonte comum, operando em classe A.

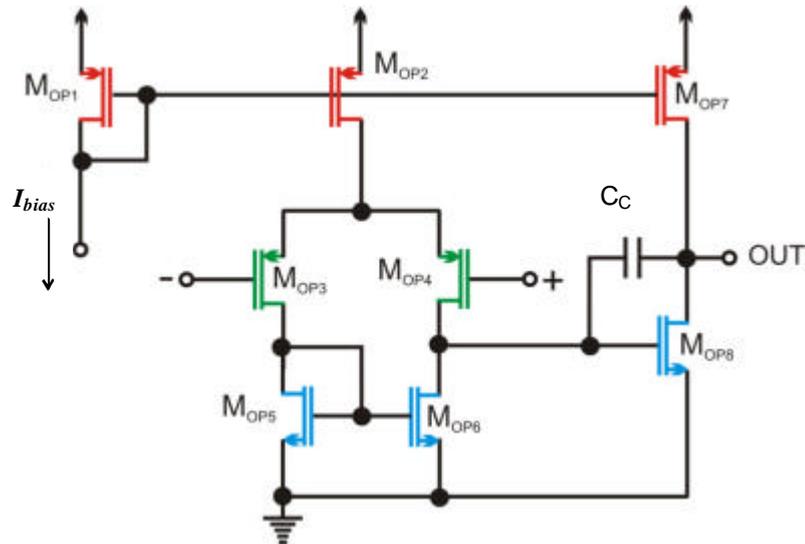


Figura 3.7 – Esquema elétrico do amplificador operacional Miller classe A.

As geometrias dos componentes e os principais parâmetros utilizados no projeto são listados na tabela 3.3.

Tabela 3.3 – Quadro resumo das especificações e valores de projeto relativos ao Amp-Op.

Componente	Tipo	Dimensões (W x L)	i_f	I_D
M _{OP1} , M _{OP2}	PMOS	76.4 μm x 2 μm	500	400 μA
M _{OP3} , M _{OP4} , M _{OP7}	PMOS	38.2 μm x 2 μm	500	200 μA
M _{OP5} , M _{OP6}	NMOS	12.8 μm x 2 μm	500	200 μA
M _{OP8}	NMOS	12.8 μm x 2 μm	100	400 μA
C _C = 1pF				

$$GBW=100\text{MHz}; V_{DD}=3\text{V}; I_{bias} \gg 400\mu\text{A}$$

Para o projeto, arbitra-se primeiramente o produto ganho-banda do Amp-Op e o valor do capacitor de compensação. Escolheu-se para o GBW o valor de 100MHz, aproximadamente 40 vezes maior que a frequência de corte estimada para as células básicas, e um capacitor de compensação (C_C) de 1pF.

Os níveis de inversão são apresentados na tabela 3.3. Como o objetivo do projeto foi o teste da funcionalidade da topologia do multiplicador, o projeto do Amp-Op não foi otimizado para redução de potência.

O primeiro parâmetro determinado foi a transcondutância dos transistores de entrada, $g_{mop3} = g_{mop4} = 2 \cdot p \cdot GBW \cdot C_C \gg 630 \text{mA/V}$.

Na seqüência, com a ajuda das equações constantes na tabela D.1 do anexo D, e dos parâmetros para a tecnologia apresentados na tabela 3.1, determinou-se a corrente de polarização do par diferencial de entrada, $I_{bias} \gg 400 \text{mA}$, a partir da transcondutância calculada anteriormente e do nível de inversão dos mesmos. Como a corrente que circula em cada transistor do par de entrada é $I_{bias}/2$, calcula-se a razão de aspecto dos transistores resultando $W/L_{op3} = W/L_{op4} = 19.1$. Da mesma forma que o cálculo anterior, calcula-se a razão de aspecto do par M_{bp5} e M_{bp6} , percorridos pela mesma corrente que o par anterior, só que com a diferença que são do tipo NMOS. Assim $W/L_{op5} = W/L_{op6} = 6.4$. Como o nível de inversão de M_{bp1} e M_{bp2} é de 500, então $W/L_{op1} = W/L_{op2} = 38.2$.

Assim, para M_{op8} , de forma a minimizar o offset sistemático da estrutura, usou-se a relação

$$(W/L)_8 = 2 \cdot (W/L)_7 / (W/L)_2 \cdot (W/L)_6 = 6.4 \quad 3.1$$

3.2 – Leiaute

Objetivando a possibilidade de teste em várias situações, implementou-se 4 circuitos separados para a caracterização das células quadradoras e do multiplicador completo. A estrutura em blocos do circuito multiplicador completo projetado, é representada na figura 3.8 enquanto a foto do chip pode ser vista na figura 3.9.

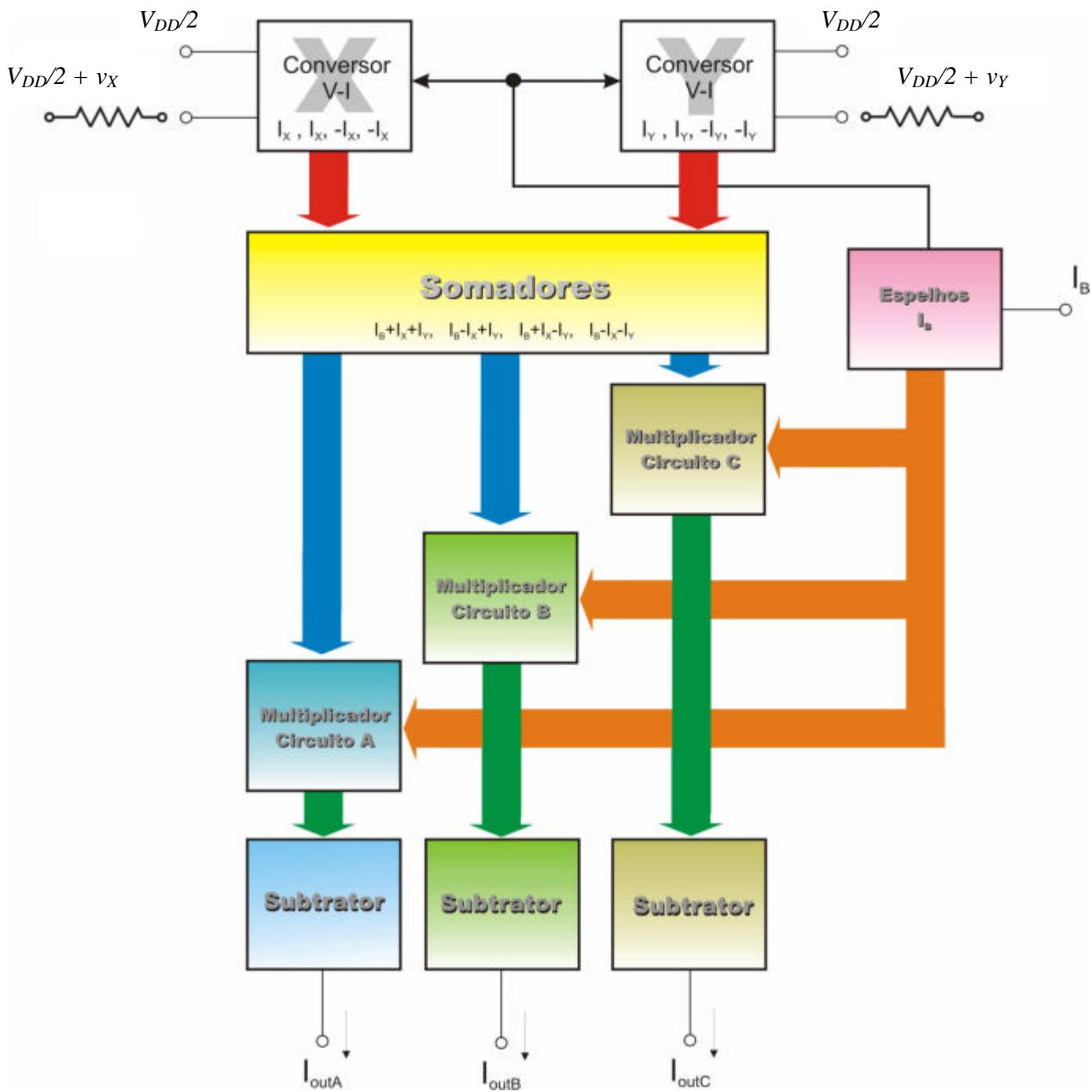
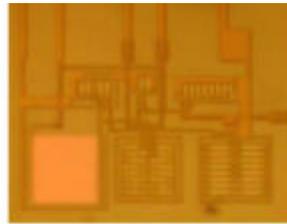


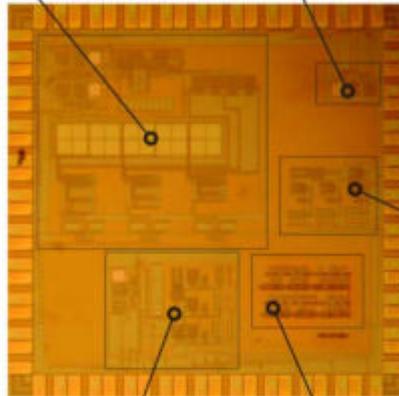
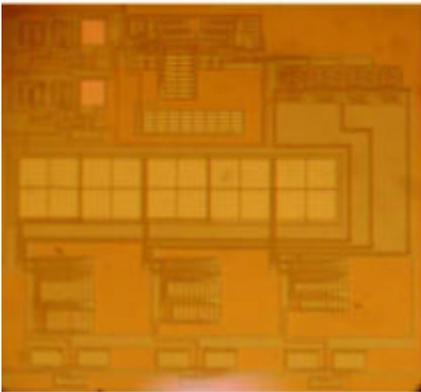
Figura 3.8 - Estrutura em blocos do multiplicador completo.

Bloco 3

Multiplicador completo montado com 3 tipos de células quadradoras (A,B,C).

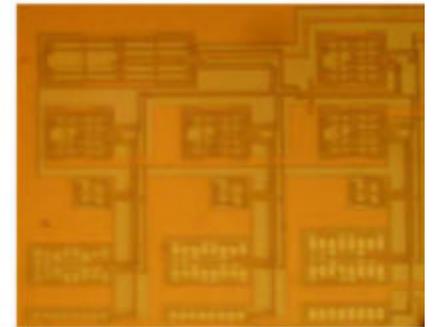


Ampop



Bloco 2

Montado com 3 tipos de células quadradoras (A,B,C). Equipado com conversor V-I na entrada.



Bloco 1

Montado com 3 tipos de células quadradoras (A,B,C). Permite somente entrada DC.

Identificação

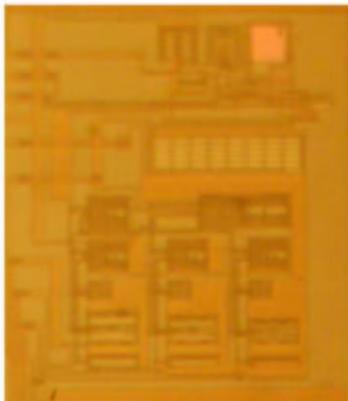


Figura 3.9 – Foto do chip confeccionado com a tecnologia TSMC 0.35 μm através da MOSIS.

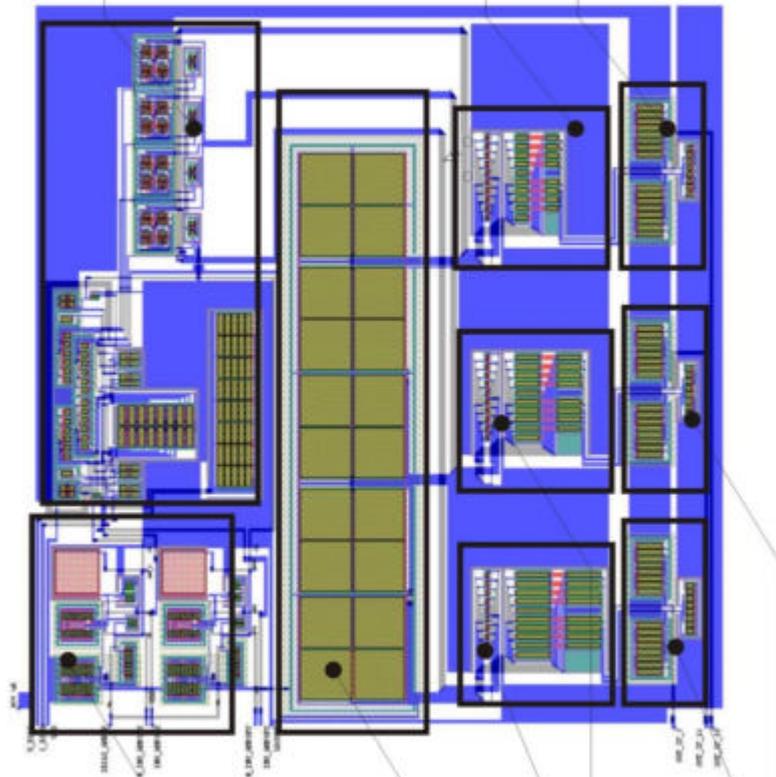
No projeto em questão foram utilizadas as regras escaláveis para a tecnologia TSMC 0.35 μm - SCN4ME_SUBM. A utilização de regras escaláveis, baseadas em um parâmetro chamado λ , permite a utilização do mesmo leiaute em outra tecnologia escalável, mesmo mudando o comprimento do canal. Basta reconfigurar com o novo valor de λ para se tornar o leiaute executável na nova tecnologia.

A condição prioritária para a confecção do leiaute é manter a simetria do projeto. O melhor rendimento do circuito será conseguido baseado nesta premissa. Uma assimetria nos pares de transistores pode causar danos, como, por exemplo, aparecimento de *offsets*, aumento da distorção harmônica, erro entre os espelhamentos de corrente, entre outros. Portanto, a primeira condição a ser seguida para a confecção do leiaute foi de casar da melhor maneira, os transistores dos espelhos de corrente e do par diferencial do circuito. O descasamento, mesmo não podendo ser eliminado totalmente, pode ser minimizado pelo uso de técnicas adequadas de leiaute.

Assim, para o circuito multiplicador, várias técnicas de leiaute foram usadas [24], sendo as mais importantes a centróide comum, aplicada nos pares diferenciais dos Amp-Ops e a interdigitação, aplicada aos transistores da etapa subtratora. Na figura 3.10 é apresentado o leiaute da célula multiplicadora completa. Em 3.11 é apresentado o leiaute do ampop e das células subtratoras, exemplificando as técnicas de leiaute utilizadas.

O chip foi encapsulado em dip 40, com *die* sobre cerâmica.

Circuito processador dos sinais I_x e I_y para a entrada das células quadradoras



Amplificadores operacionais usados para conversão V/I dos sinais de entrada V_x e V_y

Transistores usados n espelhamento de I_B

Multiplicador - Circuito C

Multiplicador - Circuito B

Subtrator - Circuito C

Subtrator - Circuito B

Figura 3.10 - Leiaute projetado para multiplicador proposto.

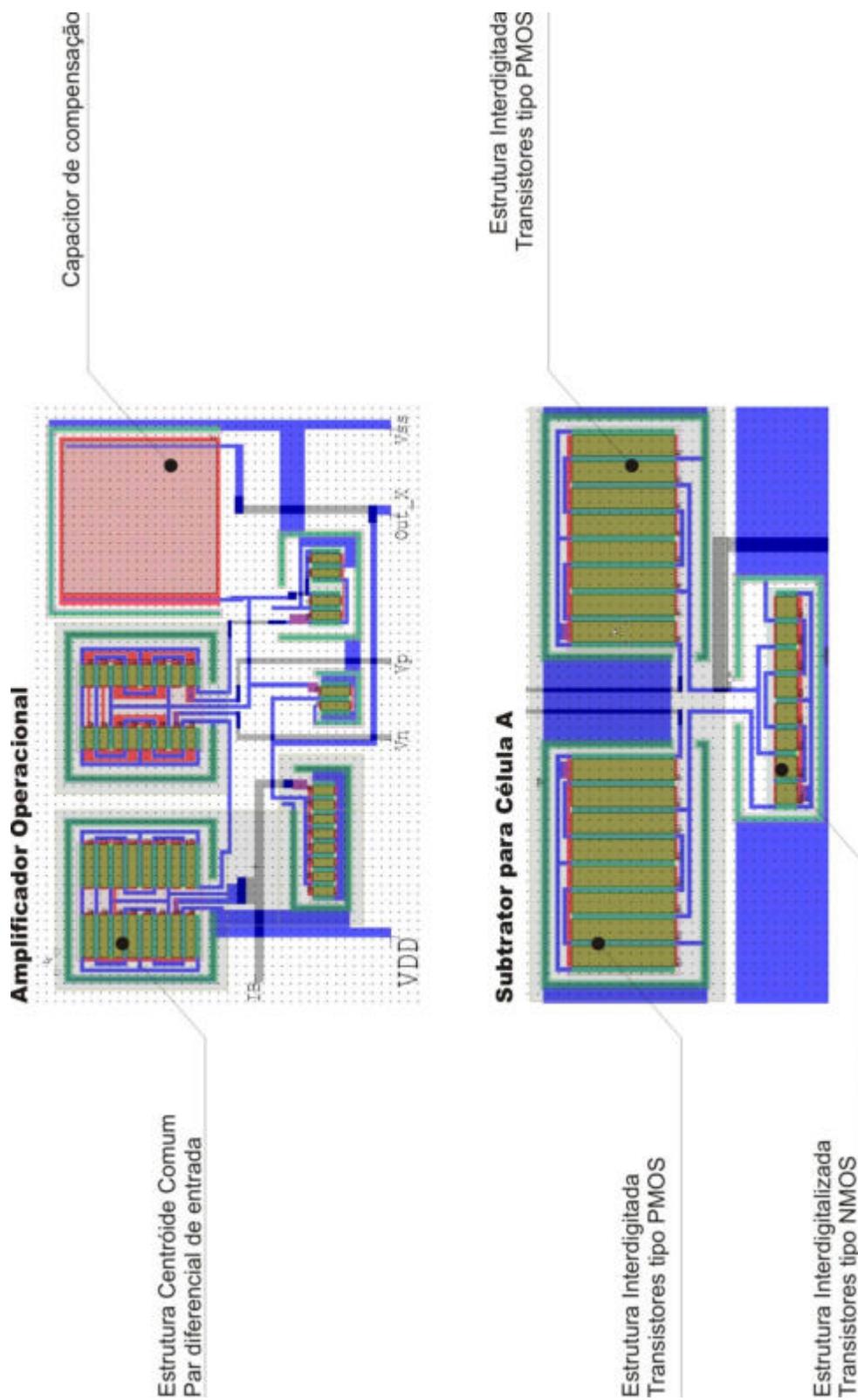


Figura 3.11 - Detalhe do leiaute do amplificador operacional e da célula subtratora para exemplificação das estruturas centróide comum e interdigitada.

Capítulo 4

RESULTADOS

4.1 Resultados da Célula Básica

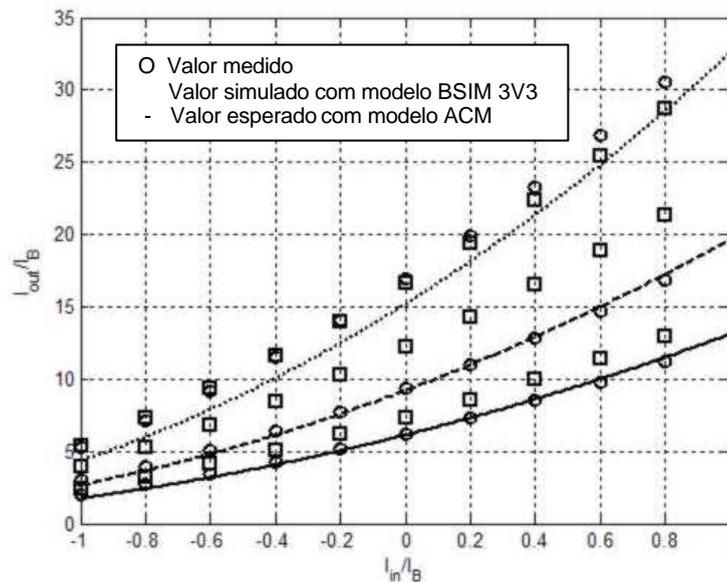
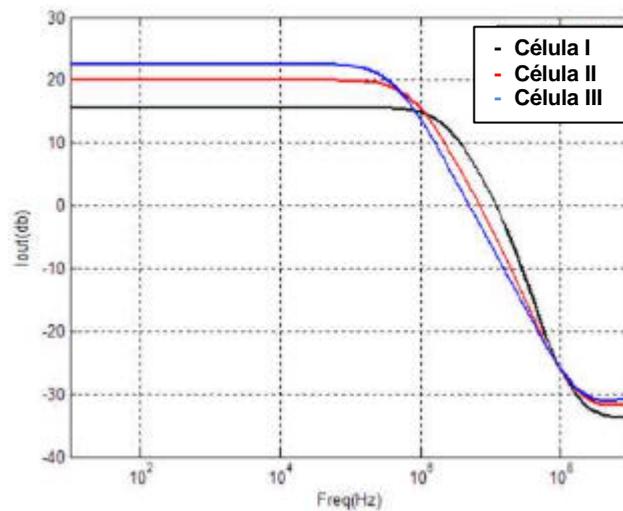


Figura 4.1 – Corrente de saída normalizada da célula quadradora medidas (círculos), simuladas com modelo BSIM 3V3 (quadrados) e esperadas através da equação (2.18) (linha) para as células I, II e III projetadas segundo a tabela 3.2.

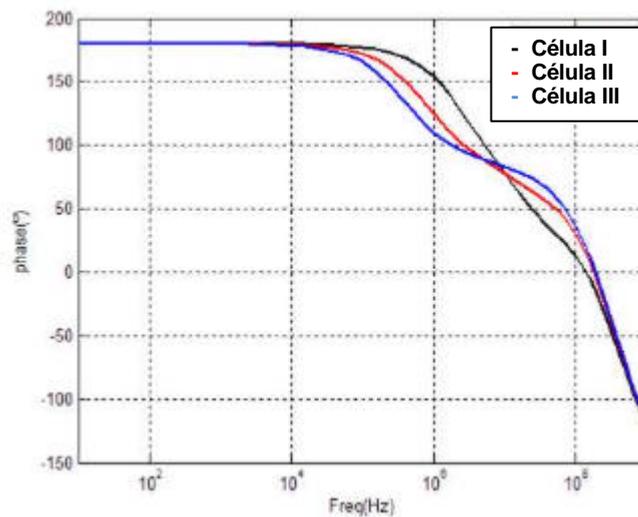
Na figura 4.1 é apresentada comparação entre as características de transferência das células quadradoras I, II e III projetadas segundo a tabela 3.2. Nesta figura são apresentadas os resultados obtidos através experimentalmente, por simulação rodando o modelo BSIM 3V3 através do Software SMASH 5.2.1 [37] e através de (2.18), que indica o valor esperado para a saída das células, conseguida com o uso do modelo ACM.

Os dados experimentais foram obtidos utilizando o analisador de parâmetros HP4156, com modo de integração *medium*. Note-se a precisão da simulação a partir do modelo ACM com os dados obtidos experimentalmente, principalmente com relação à célula I, onde o nível de inversão é o maior das três células quadradoras.

Na figura 4.2 é apresentada a resposta em frequência simulada através do SMASH, utilizando modelo BSIM 3V3. Na simulação, $I_B=10mA$ e a corrente de entrada é um senóide de amplitude igual a $5mA-p$. As frequências de corte encontradas são iguais a 2.6 MHz, 0.7MHz, 0.4MHz para célula I, célula II e célula III, respectivamente. Cada uma destas bandas é mantida como parâmetro mínimo para o projeto dos circuitos auxiliares usados em cada multiplicador projetado.



a)



b)

Figura 4.2 – (a) Simulação da resposta em frequência e (b) fase para as células quadradoras. Software SMASH rodando com modelo BSIM 3V3.1.

4.2 Resultados do Multiplicador Completo

A célula quadradora, já analisada e comprovada sua eficácia através dos resultados experimentais apresentados anteriormente, é com mais três idênticos e com toda a circuitaria auxiliar, de modo a formar o multiplicador completo. No anexo A pode-se observar com mais clareza os circuitos montados, juntamente com as geometrias dos transistores utilizados em cada multiplicador.

A primeira análise que se segue é a linearidade. Com a ajuda do analisador de parâmetros HP 4156 se obteve os dados da corrente de saída do multiplicador, montado a partir da célula quadradora I conforme a tabela 3.2. As correntes de entrada I_x e I_y variaram de $-I_B/2$ à $I_B/2$. O resultado é apresentado na figura 4.3.

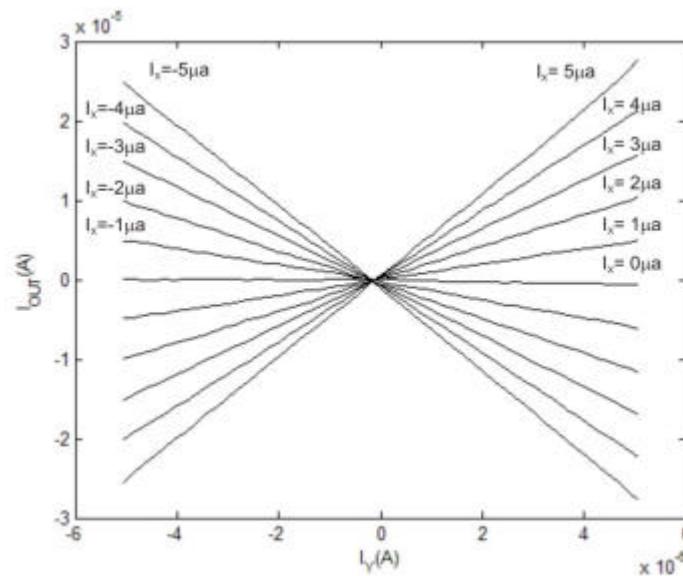


Figura 4.3 – Característica de transferência DC com dados de experimentais do multiplicador composto pela célula quadradora I , $I_B=10\text{mA}$ e $i_{FI}=200$.

Verifica-se na figura 4.3 visualmente a boa linearidade do multiplicador para a faixa de correntes indicada.

Na figura 4.4 é apresentada a comparação entre os dados extraídos e os esperados com a equação (3.23). Mais uma vez, assim como na análise da célula quadradora, percebe-se a precisão das equações de projeto.

Na figura 4.5 são apresentadas as curvas experimental e simulada para o multiplicador operando como modulador de amplitude com sinais senoidais nas entradas X e Y de frequências 5 e 100 Hz respectivamente. Dada a precisão do equipamento, a

curva de saída foi capturada pelo analisador de parâmetros HP 4156, mas por outro lado, devido à baixa taxa de aquisição dos dados, foi obrigatório o trabalho com baixas frequências, abaixo de 500 Hz. Na comparação entre os resultados experimentais e de simulação, percebe-se uma proximidade muito grande entre ambos, atestando a eficácia da topologia multiplicadora.

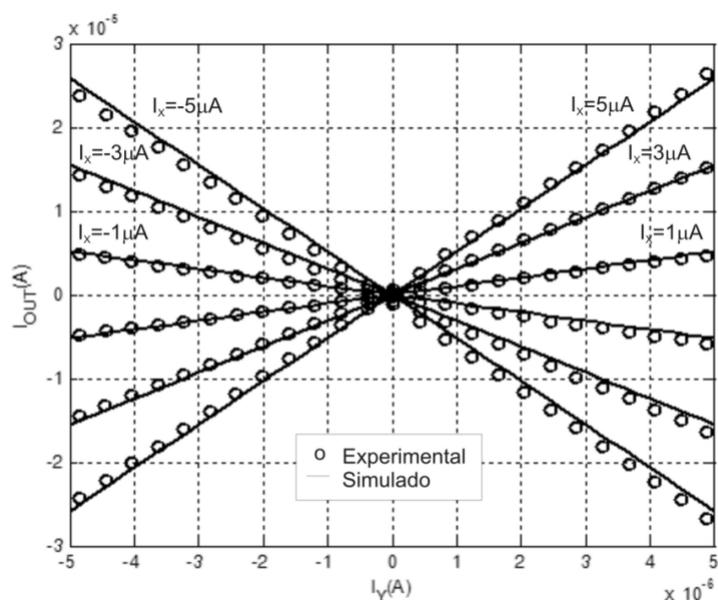


Figura 4.4 – Comparação entre a característica de transferência DC conseguida experimentalmente e a esperada pela equação de projeto (3.23). Multiplicador composto pela célula quadradora I , $I_B=10\text{mA}$ e $i_{\eta}=200$.

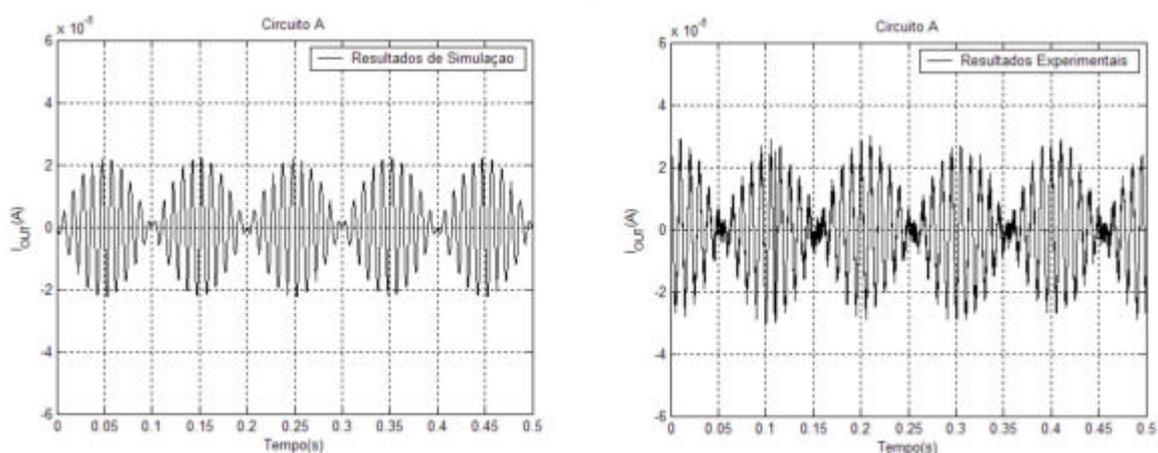


Figura 4.5 – Corrente de saída do multiplicador operando como modulador de amplitude para circuito A. Condições de $I_X=10\text{mApp}/100\text{Hz}$ e $I_Y=10\text{mApp}/5\text{Hz}$, $I_B=10\text{mA}$ e $i_{\eta}=200$.

Para o levantamento da resposta de freqüência, foram utilizadas, além das fontes de tensão contínua e fontes de sinais, o analisador de espectro HP 3588A, ligado diretamente à saída do circuito através de um arranjo capacitivo. Este se fez necessário para manter o nível DC, que polariza os transistores de saída do subtrator e evita que este nível DC seja acoplado à entrada do equipamento. Na figura 4.6a é mostrado o circuito usado na saída do multiplicador e na figura 4.6b pode-se observar a resposta de freqüência do mesmo comparada com a resposta simulada. As condições de teste foram feitas com a corrente de entrada I_x fixada no valor constante de $5\mu\text{A}$ e a corrente de entrada I_y igual a uma senóide de $10\mu\text{A}$ de amplitude de pico a pico. A freqüência de corte do multiplicador é em torno de 1 MHz .

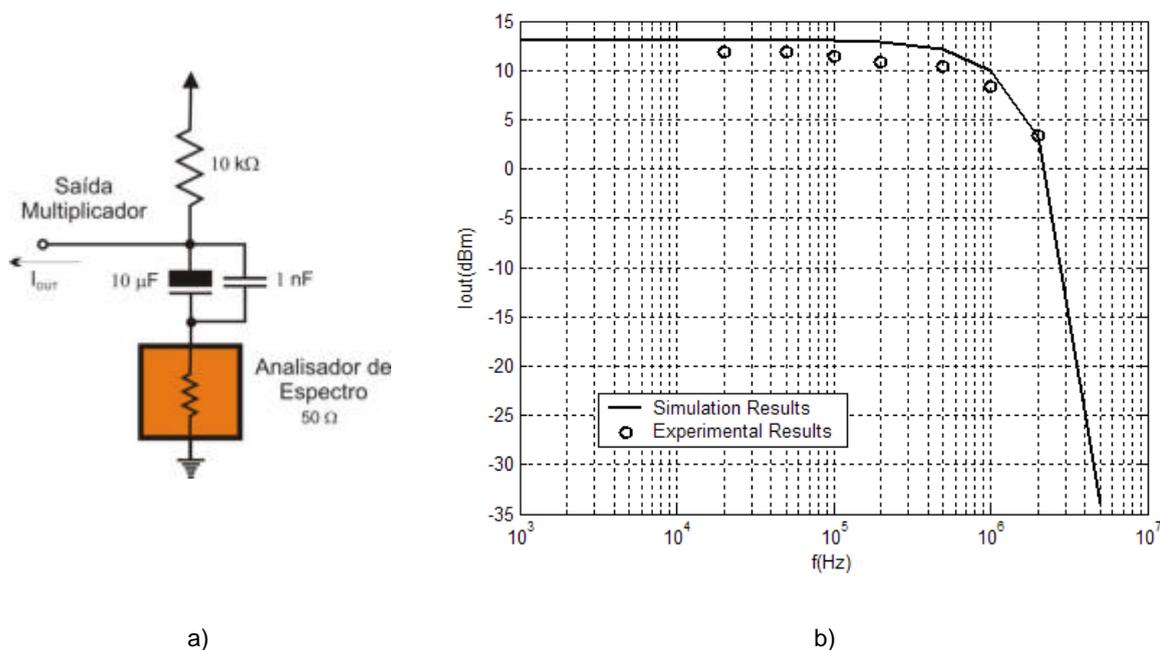


Figura 4.6.- a) Circuito utilizado na saída do multiplicador para medida com o analisador de espectro. b) Comparação entre a resposta de freqüência para o circuito multiplicador completo experimental e simulada com BSIM3V3.1 para $I_B = 10\text{ mA}$, $i_{\beta} = 200$, $I_x = 5\text{ mA}$.

Para os testes de distorção harmônica, primeiro mediu-se a distorção introduzida pelo gerador de sinais utilizado na entrada I_y . Constatou-se que níveis abaixo de 0.5% não seriam considerados, dada à distorção do equipamento conectado à entrada do circuito. A seguir, procedeu-se a medida da distorção utilizando-se o analisador de espectro HP 3588A ligado diretamente à saída do circuito através do mesmo arranjo capacitivo anteriormente mostrado em 4.6a. Para uma corrente de entrada I_x fixada no valor constante de 5 mA e uma corrente de entrada I_y igual a uma senóide de 4.3 mA de

amplitude, obteve-se THD=1%. Para a condição limite do multiplicador ($I_X=5\text{mA}$ DC e I_Y igual a uma senóide de 5mA de amplitude), obteve-se THD=4%.

Comparando-se aos resultados obtidos a partir da simulação na figura 4.7, percebe-se que há diferença entre os valores obtidos por simulação e o experimental.

Este fato explica-se pela condição de descasamento existente entre os transistores, uma vez que o valor conseguido pela simulação considerou um circuito Ideal.

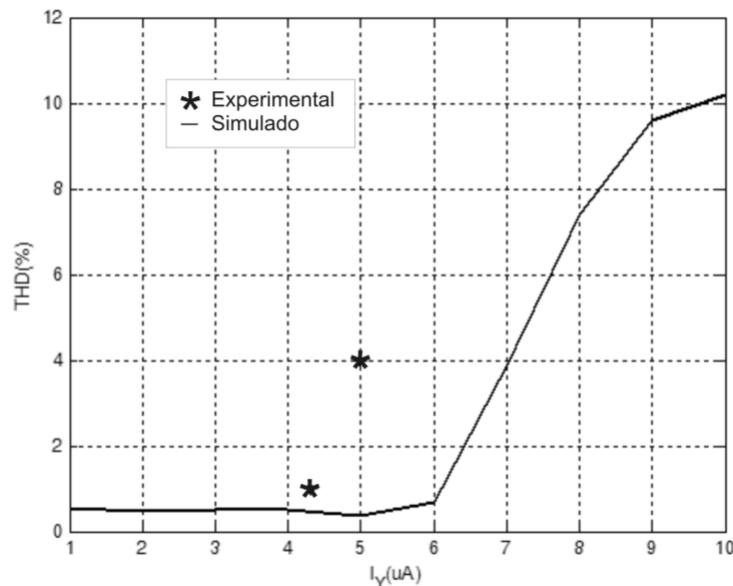


Figura 4.7 - Comparação entre os resultados experimentais e de simulação com software SMASH rodando o modelo BSIM3V3.1 para a distorção Harmônica Total, medido até a componente de 5º ordem da corrente de saída do circuito. $I_X=5\text{mA}$, $I_B=10\text{mA}$, $i_{fi}=200$, I_Y variando de 5mA/p à 10mA/p - 100 kHz.

Para a análise do ruído produzido pelo circuito, anularam-se as correntes de entrada do multiplicador, ou seja, $I_X=I_Y=0$, e acoplou-se à sua saída o circuito LNA SR 570 (low noise current preamplifier). O LNA é um circuito que converte corrente em tensão e pode ser configurado para acoplar um filtro passa-faixa entre a sua saída e o sinal que é acoplado à sua entrada, proveniente da saída do circuito que se está medindo. Para o caso, a banda mínima de passagem do filtro foi de 10 kHz a 100 kHz. Assim, acoplada a saída do LNA ao osciloscópio digital TEKTRONIX TDS2014 se pode estimar o nível RMS de saída de ruído em 300 pA, assim como indicado em [34], dividindo o valor de pico-a-pico do sinal por um fator 6, para esta faixa de frequências. Em seguida converteu-se o nível de tensão RMS encontrado em corrente através da sensibilidade de entrada do equipamento. O LNA é um equipamento projetado para trabalhar com baixos níveis de ruído em sua saída, possibilitando seu emprego em medidas deste tipo. Infelizmente, o equipamento empregado não possui disponibilidade

de banda menor do que a empregada na medida (10 kHz – a 100 kHz) dada às limitações internas de seu filtro passa-banda e a sua própria resposta em frequência. Devido este aspecto, mediu-se o nível de ruído para a banda em questão (90 kHz), referente ao circuito montado a partir de células quadradoras do tipo “I”, que resultou em 100nA. O valor estimado, via simulação, para a mesma banda foi de 3nA. Percebe-se que existe diferença considerável entre o valor experimental e a estimada, pois além do ruído produzido pelo circuito, à leitura feita também se incorporou o valor induzido por EMI somado às interferências dos equipamentos utilizados na montagem prática de laboratório (fontes de alimentação, fontes de sinal, osciloscópio).

Outro parâmetro importante é a tensão mínima de alimentação da célula quadradora, que é calculado de acordo com (2.19). Considerando $I_{INmax}=I_B$, obtêm-se $V_{G1max} \cong 1.25$ V. Uma vez que para a fonte de corrente I_B usou-se um transistor PMOS com nível de inversão igual a 100, $V_{CS}=V_{SDSAT}=13f \cong 335$ mV. Assim, a mínima tensão de alimentação para o circuito é $V_{DDmin} > V_{CS} + V_{G1max}$, o que resulta em torno de 1.6V.

Na tabela 4.1 encontra-se uma síntese do desempenho do circuito multiplicador projetado comparado com os valores esperados pela simulação.

Tabela 4.1 – Síntese da performance do multiplicador para diferentes parâmetros extraídos

Parâmetro	Resultado Experimental	Resultado Simulado
Célula Quadradora implementada	I	I
Tensão de alimentação	3 V	3V
Tecnologia	0.35 μ m	0.35 μ m
Consumo de corrente @ $I_B=10$ uA incluindo conversores V-I	3 mA	2.71 mA
sem conversores V-I	1 mA	700 uA
Faixa de entrada $\max(I_x + I_y) = I_B$	10 uA	10 uA
THD for $I_x=5$ uA @ 100 kHz @ $I_y=4.3$ uA p @ $I_y=5$ uA p	1% 4%	0.53% 0.58%
RMS Corrente de ruído de saída (10kHz to 100kHz)	100 nA	~ 3 nA
-3 dB	1 MHz	~ 1 MHz
Area do multiplicador	~ 10,000 μ m ²	~ 10,000 μ m ²

Capítulo 5

CONCLUSÕES E TRABALHOS FUTUROS

Neste trabalho foi proposta e verificada experimentalmente através da implementação em silício uma nova topologia para circuito multiplicadore, a quatro quadrantes em modo-corrente. Suas principais vantagens são:

- Baixa tensão de alimentação.
- Boa linearidade e baixa distorção.
- Topologia simples e de fácil projeto.
- Equações que possibilitam explorar todos os níveis de inversão do transistor MOS.
- Corrente de saída com baixa sensibilidade dentro de uma mesma geração tecnológica.

Não se explorou aqui todas as possibilidades do circuito, mas com esta topologia associada a técnicas complementares, de acordo com a necessidade de cada projeto particular, se tem muitas possibilidades para o seu emprego.

Para a seqüência dos estudos sobre esta topologia pode-se seguir a seguinte linha de trabalho:

- Implementar as células quadradoras com outras topologias de cancelamento, buscando melhorar características como linearidade/distorção sem perder de vista o compromisso com a simplicidade do circuito e área de silício.

- Montar um multiplicador com uma fonte de corrente de polarização incluída no chip, fazendo assim o parâmetro K independente da temperatura, de acordo com a referência [28]

- Como neste estudo o objetivo principal era provar, na prática, que a relação quadrática entre g_{ms} e corrente de saturação direta normalizada (i_f) pode ser utilizada para circuitos quadradores e posteriormente circuitos multiplicadores, numa seqüência do trabalho,

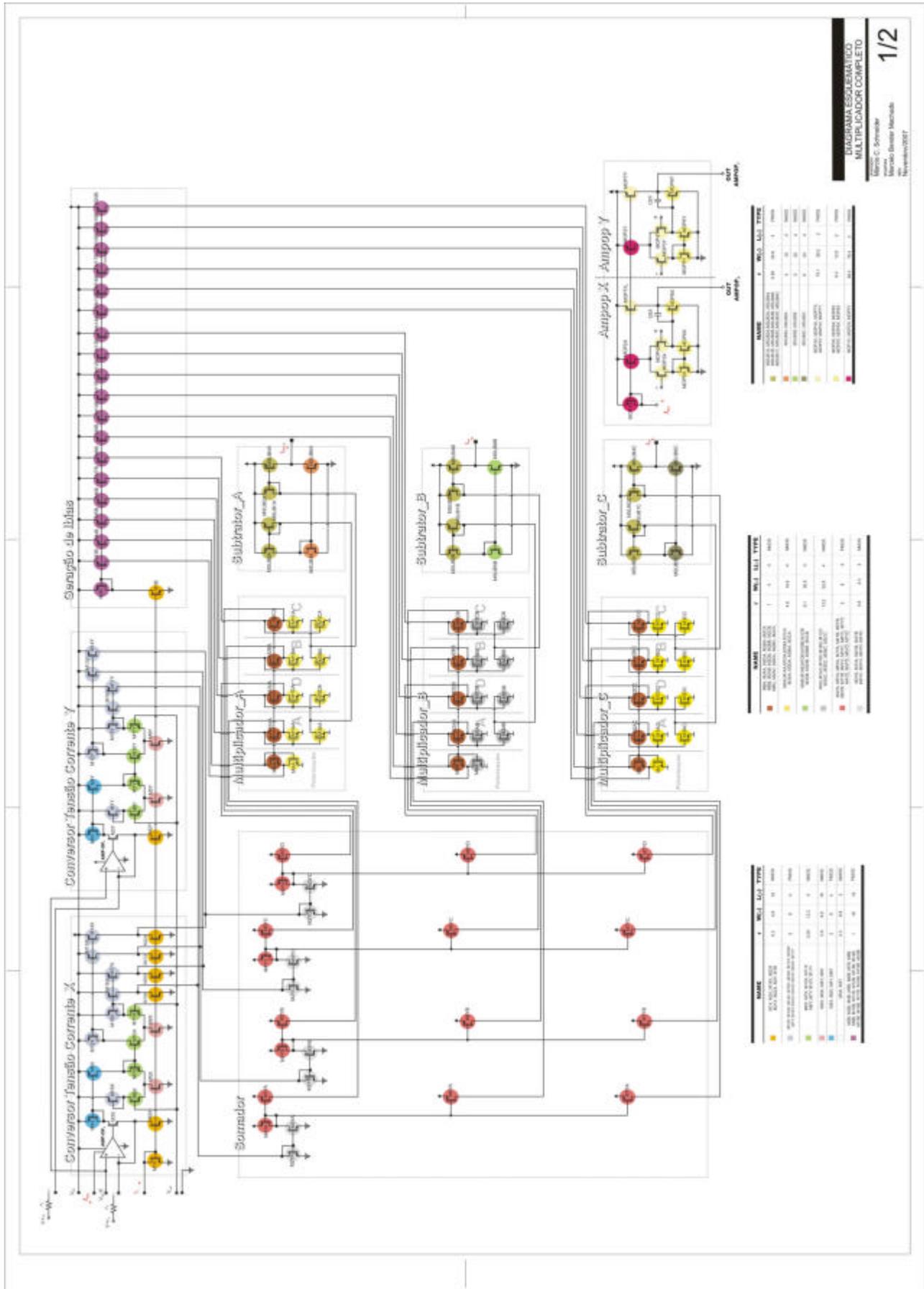
seria interessante implementar o circuito numa aplicação típica, como um modulador de precisão, detetor de valor médio quadrático ou ainda um módulo gerador de circuito de transcondutância constante, útil em aplicações para radiofrequências.

- Algumas decisões de projeto limitaram o faixa de corrente de entrada do circuito multiplicador. A escolha do circuito conversor e dos espelhos de corrente pode aumentar esta faixa, ultrapassando os valores maiores que metade de I_B com baixa THD. Para um trabalho futuro, uma preocupação maior com estes circuitos pode melhorar o desempenho do multiplicador. Circuitos auxiliares de baixa tensão poderão ser empregados [18] para se conhecer os verdadeiros limites da topologia em várias dimensões de projeto.

- Criar mais elementos de teste para comparar a eficiência da topologia operando na região moderada de inversão e em outras tecnologias mais modernas de modo a comprovar a operação em baixa tensão.

Anexo A

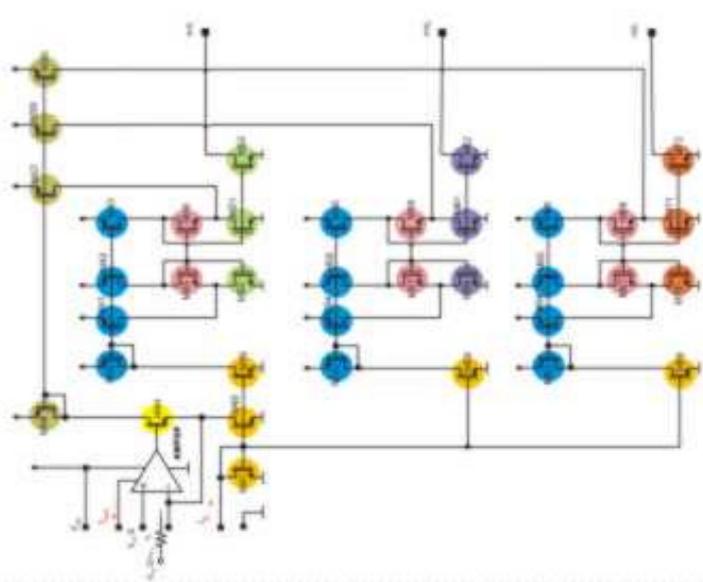
DIAGRAMAS ESQUEMÁTICOS DOS CIRCUITOS IMPLEMENTADOS



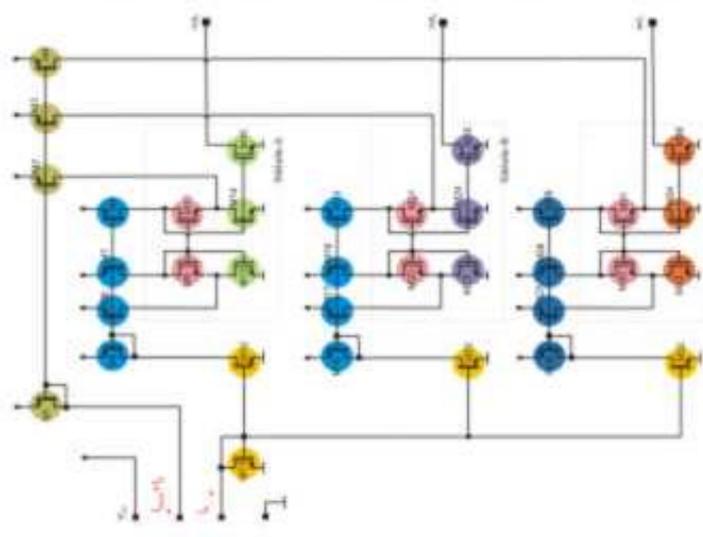
NAME	I	W/L	U/L	TYPE
RESISTOR	100	100	1	RESIST
CAPACITOR	100	100	1	CAPAC
OPAMP	100	100	1	OPAMP
DIODE	100	100	1	DIODE
TRANSISTOR	100	100	1	TRANS
INDUCTOR	100	100	1	INDUCT
VARIABLE	100	100	1	VARIABLE
SWITCH	100	100	1	SWITCH
RELAY	100	100	1	RELAY
SENSOR	100	100	1	SENSOR
ACTUATOR	100	100	1	ACTUATOR
CONNECTION	100	100	1	CONNECTION
WIRE	100	100	1	WIRE
GROUND	100	100	1	GROUND
POWER	100	100	1	POWER
RESISTOR	100	100	1	RESIST
CAPACITOR	100	100	1	CAPAC
OPAMP	100	100	1	OPAMP
DIODE	100	100	1	DIODE
TRANSISTOR	100	100	1	TRANS
INDUCTOR	100	100	1	INDUCT
VARIABLE	100	100	1	VARIABLE
SWITCH	100	100	1	SWITCH
RELAY	100	100	1	RELAY
SENSOR	100	100	1	SENSOR
ACTUATOR	100	100	1	ACTUATOR
CONNECTION	100	100	1	CONNECTION
WIRE	100	100	1	WIRE
GROUND	100	100	1	GROUND
POWER	100	100	1	POWER

NAME	I	W/L	U/L	TYPE
RESISTOR	100	100	1	RESIST
CAPACITOR	100	100	1	CAPAC
OPAMP	100	100	1	OPAMP
DIODE	100	100	1	DIODE
TRANSISTOR	100	100	1	TRANS
INDUCTOR	100	100	1	INDUCT
VARIABLE	100	100	1	VARIABLE
SWITCH	100	100	1	SWITCH
RELAY	100	100	1	RELAY
SENSOR	100	100	1	SENSOR
ACTUATOR	100	100	1	ACTUATOR
CONNECTION	100	100	1	CONNECTION
WIRE	100	100	1	WIRE
GROUND	100	100	1	GROUND
POWER	100	100	1	POWER
RESISTOR	100	100	1	RESIST
CAPACITOR	100	100	1	CAPAC
OPAMP	100	100	1	OPAMP
DIODE	100	100	1	DIODE
TRANSISTOR	100	100	1	TRANS
INDUCTOR	100	100	1	INDUCT
VARIABLE	100	100	1	VARIABLE
SWITCH	100	100	1	SWITCH
RELAY	100	100	1	RELAY
SENSOR	100	100	1	SENSOR
ACTUATOR	100	100	1	ACTUATOR
CONNECTION	100	100	1	CONNECTION
WIRE	100	100	1	WIRE
GROUND	100	100	1	GROUND
POWER	100	100	1	POWER

NAME	I	W/L	U/L	TYPE
RESISTOR	100	100	1	RESIST
CAPACITOR	100	100	1	CAPAC
OPAMP	100	100	1	OPAMP
DIODE	100	100	1	DIODE
TRANSISTOR	100	100	1	TRANS
INDUCTOR	100	100	1	INDUCT
VARIABLE	100	100	1	VARIABLE
SWITCH	100	100	1	SWITCH
RELAY	100	100	1	RELAY
SENSOR	100	100	1	SENSOR
ACTUATOR	100	100	1	ACTUATOR
CONNECTION	100	100	1	CONNECTION
WIRE	100	100	1	WIRE
GROUND	100	100	1	GROUND
POWER	100	100	1	POWER
RESISTOR	100	100	1	RESIST
CAPACITOR	100	100	1	CAPAC
OPAMP	100	100	1	OPAMP
DIODE	100	100	1	DIODE
TRANSISTOR	100	100	1	TRANS
INDUCTOR	100	100	1	INDUCT
VARIABLE	100	100	1	VARIABLE
SWITCH	100	100	1	SWITCH
RELAY	100	100	1	RELAY
SENSOR	100	100	1	SENSOR
ACTUATOR	100	100	1	ACTUATOR
CONNECTION	100	100	1	CONNECTION
WIRE	100	100	1	WIRE
GROUND	100	100	1	GROUND
POWER	100	100	1	POWER



Células AC

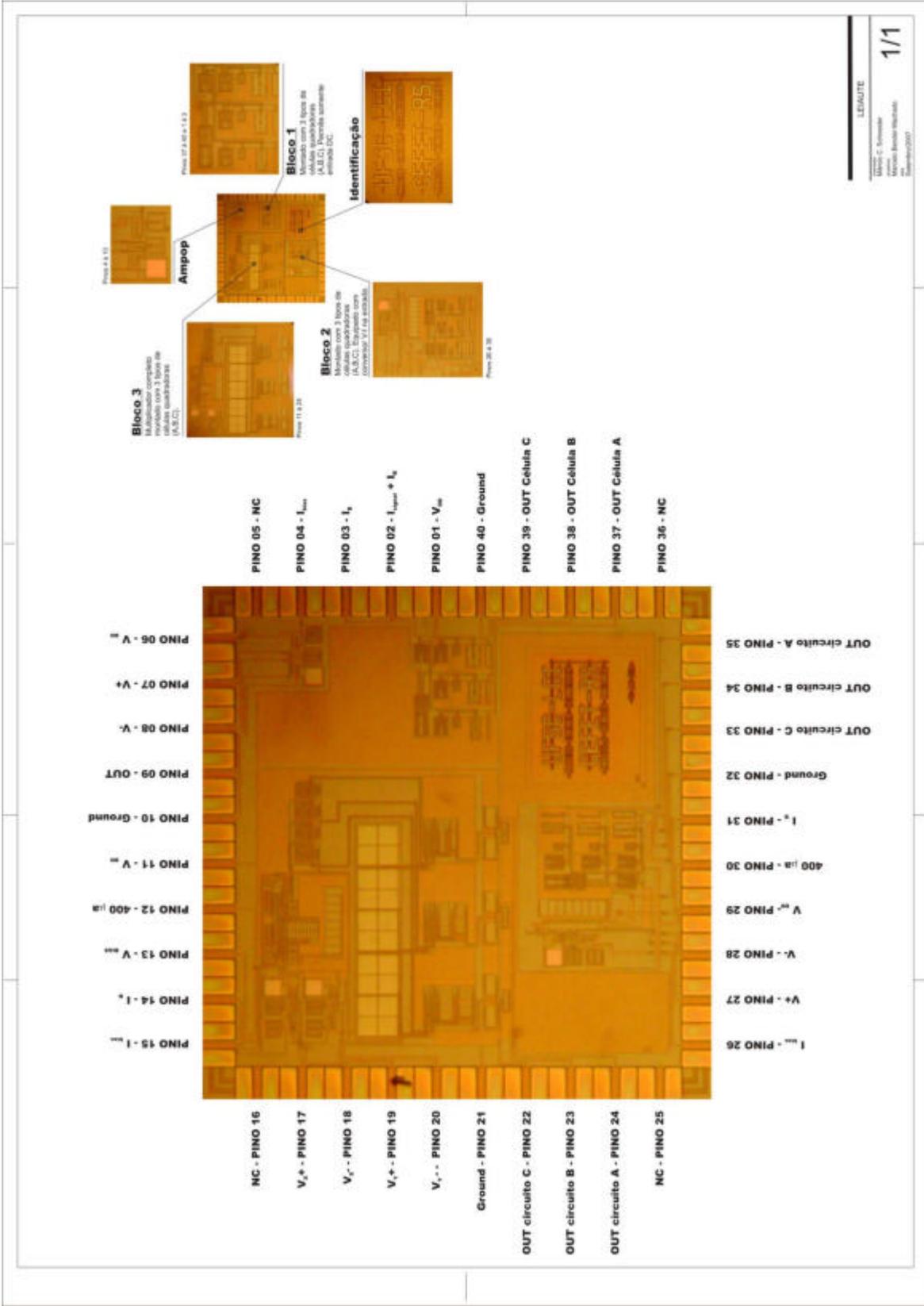


Células DC

NOME	F.	VAL.	QUANT.
W1, W2, W3 (WATTMETRO)	1	5	3
A1, A2, A3 (AMPÉREMETRO)	1	50	3
V (VOLTMETRO)	1	10	1
SW (CHAVE)	1	1	1
RESISTORES (RESISTORES)	1	100	3
RESISTORES (RESISTORES)	1	10	3
RESISTORES (RESISTORES)	1	1	3
RESISTORES (RESISTORES)	1	0,1	3
RESISTORES (RESISTORES)	1	0,01	3
RESISTORES (RESISTORES)	1	0,001	3

Anexo B

LEIAUTE IMPLEMENTADO



Anexo C

MODELO ACM

ADVANCED COMPACT MOSFET

Uma análise teórica do quadrador de corrente baseado na relação entre corrente de saturação e transcondutância de fonte pode ser completamente deduzida a partir do modelo ACM, no qual as expressões são simples, requerem poucos parâmetros e são válidas em qualquer regime de inversão.

Inicialmente, o cerne dos circuitos integrados atualmente desenvolvidos em tecnologia MOS é o transistor MOSFET, cuja representação física idealizada pode ser verificada na figura 2.2. O terminal de substrato (bulk) será tomado como referência para todas as tensões. Denominamos canal a região abaixo do isolante de porta (gate), entre as difusões de dreno (drain) e fonte (source).

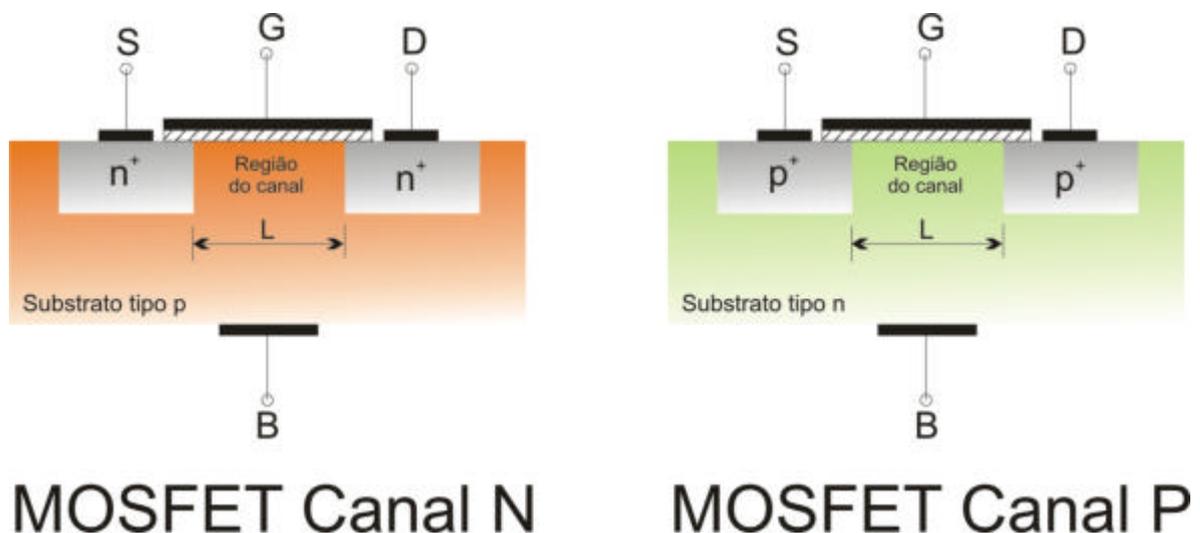


Figura D.1 - Representação física idealizada para transistor N-MOS e P-MOS e suas respectivas simbologias.

É necessária a modelagem do transistor para análise e projeto. Utiliza-se neste trabalho o modelo de transistor MOS ACM – *Advanced Compact Mosfet* [20], [21], [22], [31] e [32]. Ele relaciona as propriedades físicas e elétricas do transistor com expressões

únicas, simples e contínuas, válidas em todas as regiões de operação preservando as propriedades fundamentais, tais como simetria entre dreno e fonte e a conservação da carga. A aproximação fundamental do modelo é a relação incrementalmente linear entre densidade de carga de inversão e potencial de superfície. A corrente de dreno do MOSFET e as cargas são expressas como simples funções de duas componentes da corrente de dreno, chamadas de correntes de saturação direta (I_F – *forward current*) e reversa (I_R – *reverse current*):

$$I_D = I_F - I_R \quad \text{D.1}$$

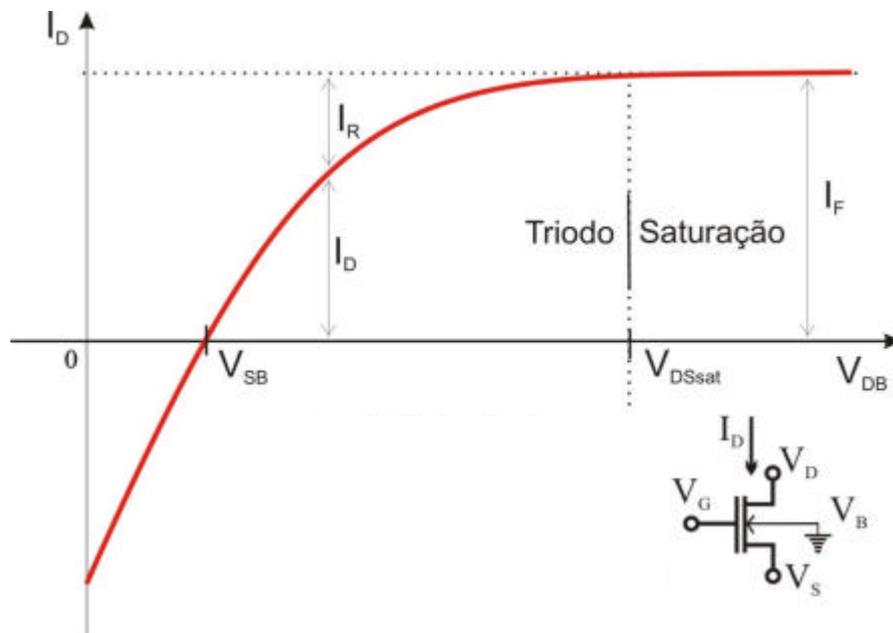


Figura D.2 – Característica de saída de transistor NMOS para V_S e V_G constantes. Todas as tensões são referenciadas ao terminal de substrato.

I_F (I_R) depende das tensões de porta, V_G , e fonte, V_S (dreno, V_D), referenciadas ao terminal de substrato. Segundo a equação (D.1) na saturação $I_F \gg I_R$ e a corrente de dreno pode ser expressa apenas em termos da corrente direta.

Desta forma, a seguinte aproximação será adotada na saturação:

$$I_D \cong I_F \quad \text{D.2}$$

ACM é um modelo baseado em corrente que usa o conceito de nível de inversão para determinar a região de operação do MOSFET. A corrente de dreno ainda pode ser escrita como

$$I_D = I_S \cdot (i_f - i_r) \quad \text{D.3}$$

onde

$$I_S = \mathbf{m}C'_{ox} \cdot n \cdot \frac{f_t^2}{2} \cdot \frac{W}{L} \quad \text{D.4}$$

I_S é a corrente de normalização, i_f é a corrente de saturação direta normalizada, também conhecida como coeficiente de inversão, i_r é a corrente de saturação reversa normalizada. Considera-se que o transistor opera em inversão fraca quando $i_f < 1$ e em inversão forte quando $i_f > 100$. Para valores intermediários de i_f entre 1 e 100 assume-se que o transistor está em inversão moderada.

Já a corrente I_S constitui o parâmetro fundamental do modelo ACM, contendo as informações básicas sobre tecnologia, temperatura e dimensões do transistor. Aqui, f_t é a tensão térmica, n é o fator de inclinação que pode ser considerado independente da polarização para facilitar cálculos aproximados, \mathbf{m} é a mobilidade dos portadores, C'_{ox} é a capacitância do óxido por unidade de área, W é a largura do canal e L é o comprimento do canal. Outro parâmetro muito útil no projeto é a Corrente de Normalização Quadrada, I_{SQ} , um parâmetro tecnológico ligeiramente dependente de V_{GB} através de \mathbf{m} e n .

$$I_{SQ} = \mathbf{m}C'_{ox} \cdot n \cdot \frac{f_t^2}{2} \quad \text{D.5}$$

As relações entre as correntes normalizadas e as tensões nos terminais do transistor NMOS são dadas por

$$V_{SB(DB)} = V_P - (+)f_t \left[\sqrt{1 + i_{f(r)}} - 2 + \ln \left(\sqrt{1 + i_{f(r)}} - 1 \right) \right] \quad \text{D.6}$$

$$\frac{V_{DS}}{f_t} = \sqrt{1+i_f} - \sqrt{1+i_r} + \ln\left(\frac{\sqrt{1+i_f} - 1}{\sqrt{1+i_r} - 1}\right) \quad \text{D.7}$$

onde

$$V_P \cong \frac{V_{GB} - V_{TO}}{n} \quad \text{D.8}$$

V_{TO} é a tensão de *threshold* em equilíbrio, V_P é a tensão de *pinch-off* e V_{GB} é a tensão entre porta –substrato.

Um conceito importante também para o desenvolvimento deste trabalho é o de tensão de saturação V_{DSsat} , fronteira entre as regiões triodo e saturação, a partir do nível de inversão ao qual o transistor está submetido.

$$V_{DSsat} = f_t \cdot (\sqrt{1+i_f} + 3) \quad \text{D.9}$$

Outro aspecto importante a ser analisado é o ruído cujo nível limita a faixa de dinâmica.

O ruído em MOSFETs, segundo [27], [32], [33], pode ser representado como uma fonte de corrente de ruído entre fonte e dreno. Vários mecanismos físicos podem contribuir para a corrente de ruído. Os mais relevantes conhecidos até então e que se enquadram na faixa de aplicação do circuito em questão são os relacionados com a agitação térmica de portadores no canal (ruído térmico) e os relacionados com a flutuação do número de portadores devido às “armadilhas” no óxido, próximo à superfície do semiconductor (ruído *flicker*). A densidade espectral de potência (PSD) do ruído térmico em transistores MOSFETs canal longo é dada por [31], [32]

$$Sin_t = \frac{4 \cdot k_B \cdot T \cdot m}{L^2} \cdot C_{ox} \cdot n \cdot f_t \cdot \left[\frac{2}{3} \left(\sqrt{1+i_f} + \sqrt{1+i_r} - \frac{\sqrt{1+i_f} \cdot \sqrt{1+i_r}}{\sqrt{1+i_f} + \sqrt{1+i_r}} \right) - 1 \right] \quad \text{D.10}$$

onde k_B é a constante de Boltzman, T é a temperatura absoluta e $C_{ox} = C'_{ox} \cdot W \cdot L$. Esta expressão é válida em todas as regiões de operação do transistor e em todos níveis de inversão.

Por sua vez, a densidade espectral de potência do ruído *flicker* é dada por [27], [32]

$$S_{in_t}(f) = \frac{N_{ot}}{W \cdot L \cdot N^{*2}} \cdot \frac{1}{f} \cdot \frac{1}{(i_f - i_r)} + \ln\left(\frac{1 + i_f}{1 + i_r}\right) \quad D.11$$

onde $N^* = (n \cdot C'_{ox} \cdot f_t) / q$ e $N_{ot} = (K_F \cdot C'_{ox}) / q^2$ e K_F é a constante de ruído *flicker* dependente da tecnologia.

Para a definição da banda de freqüências, onde o ruído *flicker* é relevante frente ao ruído térmico, calcula-se a freqüência de *corner*, f_c , através da aproximação em [27]

$$f_c = \frac{\mathbf{p} \cdot N_{ot}}{2 \cdot N^{*2}} \cdot f_T \quad D.12$$

Parâmetro útil para o projeto de circuitos, principalmente para a estimativa da resposta do circuito à operação em diferentes freqüências, o cálculo da f_T , freqüência de transição, representa a freqüência em que o ganho de corrente na configuração fonte comum é igual a 1, que segundo [22] é dado por

$$f_T = \frac{\mathbf{m} \mathbf{f}_t}{\mathbf{p} \cdot L^2} \cdot (\sqrt{1 + i_f} - 1) \quad D.13$$

Na tabela D.1 são mostradas as principais equações do modelo ACM utilizadas neste trabalho.

Tabela D.1 - Equações do modelo ACM

Parâmetros/Características	Símb.	Expressão
Corrente de Dreno	I_D	$I_S \cdot (i_f - i_r)$
Corrente de Normalização	I_S	$mC_{ox} \cdot n \cdot \left(\frac{f_t^2}{2} \right) W/L$
Corrente de Normalização Quadrada	I_{SQ}	$mC_{ox} \cdot n \cdot \frac{f_t^2}{2}$
Transcondutância de Fonte (Dreno)	$g_{ms(d)}$	$\left(\frac{2I_S}{f_t} \right) (\sqrt{1+i_{f(r)}} - 1)$
Transcondutância de Porta	g_{mg}	$\frac{g_{ms} - g_{md}}{n}$
Tensão Fonte (Dreno) – Substrato N(P) Mosfet	$V_{SB(DB)}$	$V_P - (+)f_t \left[\sqrt{1+i_{f(r)}} - 2 + \ln(\sqrt{1+i_{f(r)}} - 1) \right]$
Tensão Pinch-off N (P) Mosfet	V_P	$(-)\frac{V_{GB} - V_{TO}}{n}$
Tensão Dreno – Source N(P) Mosfet	V_{DS}	$(-)f_t \left[\sqrt{1+i_f} - \sqrt{1+i_r} + \ln \left(\frac{\sqrt{1+i_f} - 1}{\sqrt{1+i_r} - 1} \right) \right]$
Tensão de Saturação N(P) Mosfet	V_{DSsat}	$(-)f_t (\sqrt{1+i_f} + 3)$
Densidade Espectral de Potência Ruído Térmico	Sin_t	$\frac{4 \cdot k_B \cdot T \cdot m}{L^2} \cdot C_{ox} \cdot n \cdot f_t \cdot \left[\frac{2}{3} \left(\sqrt{1+i_f} + \sqrt{1+i_r} - \frac{\sqrt{1+i_f} \cdot \sqrt{1+i_r}}{\sqrt{1+i_f} + \sqrt{1+i_r}} \right) - 1 \right]$
Densidade Espectral de Potência Ruído Flicker	$Sin_f(f)$	$\frac{N_{ot}}{W \cdot L \cdot N^{*2}} \cdot \frac{1}{f} \cdot \frac{1}{(i_f - i_r)} \ln \left[\frac{1+i_f}{1+i_r} \right]$
Frequência de Corner	f_c	$\frac{p \cdot N_{ot}}{2 \cdot N^{*2}} \cdot f_T$
Frequência de Transição	f_T	$\frac{m f_t}{p \cdot L^2} \cdot (\sqrt{1+i_f} - 1)$

Referências Bibliográficas

- [1] HAN, G.; SÁNCHEZ-SINENCIO, E.. “*CMOS Transconductance Multipliers: A Tutorial*”, IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol. 45, No. 12, December 1998.
- [2] PEREIRA, Fábio Albuquerque; OLIVEIRA, M.C.G de; CUNHA, Ana Isabela Aaraújo. “*CMOS analog current-mode multiplier based on the advanced compact MOSFET model*,” Proc. ISCAS 2005, Vol. 2, pp. 1020-1023, Maio 2005.
- [3] BULT, Klaas; WALLINGA, Hans. “*A CMOS Four-Quadrant Analog Multiplier*”. IEEE Journal of Solid-state Circuits, vol. sc-21, nº3, Junho 1986.
- [4] SZCZEPANSKI, S.; KOZIEL, S.. “*1.2V Low-Power Four-Quadrant Cmos Transconductance Multiplier Operating In Saturation Region*”. ISCAS, Vancouver, Canada, vol. 1, pp.1016 - 1019, Maio 2004.
- [5] HYOGO, A.; FUKUTOMI, Y.; SEKINE, K.. “*Low voltage four-quadrant analog multiplier using square-root circuit based on CMOS pair*”. Circuits and Systems, ISCAS '99. Proceedings of the 1999 IEEE International Symposium on Volume 2, 30 May-2 June 1999 Page(s):274 - 277 vol.2, 1999.
- [6] BOONCHU, B.; SURAKAMPONTORN, W.; “*CMOS voltage-mode analog multiplier*” Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on 21-24 May 2006.
- [7] MACHOWSKI, W.; KUTA, S.; JASIELSKI, J.. “*Four-quadrant Analog Multiplier Based On CMOS Inverters*” Mixed Design of Integrated Circuits and System, MIXDES 2006. Proceedings of the International Conference, Page(s):290 – 293, 2006.

- [8] CHEN, Chunhong; LI, Zheng. "Low-power low-noise CMOS analogue multiplier Circuits". Devices and Systems, IEE Proceedings- Volume 153, Issue 3, Page(s): 261 – 267, June 2006.
- [9] CHEN, Chunhong; LI, Zheng. "A low-power CMOS analog multiplier" Circuits and Systems II: Express Briefs, IEEE Transactions on Volume 53, Issue 2, Page(s):100 – 104, Feb. 2006.
- [10] SAWIGUN, C.; DEMOSTHENOUS, A.. " Compact low-voltage CMOS four-quadrant analogue multiplier " Electronics Letters Volume 42, Issue 20, Page(s):1149 – 1150, September 2006.
- [11] TANNO, K.; ISHIZUKA, O.; TANG, Z., "Four-Quadrant CMOS Current-Mode Multiplier Independent of Device Parameters", IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol. 47, No. 5, May 2000.
- [12] HUANG, Zhangcai; INOUE, Yasuaki; YU, Hong; ZHANG, Quan; "A Wide Dynamic Range Four-Quadrant CMOS Analog Multiplier Using Active Feedback" Circuits and Systems, 2006. APCCAS 2006. IEEE Asia Pacific Conference, Page(s):708 – 711, 2006.
- [13] SERRANO-GOTARREDONA, T.; LINARES-BARRANCO, B.; ANDREOU, A.G.; "A general subthreshold MOS translinear theorem" Circuits and Systems,. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on Volume 2, Page(s):302 - 305 vol.2, 1999.
- [14] SEEVINCK, E.; VITTOZ, E.A.; DU PLESSI, M.; JOUBERT, T.H.; BEETGE, W.,. "CMOS translinear circuits for minimum supply voltage" Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on Volume 47, Issue 12, Page(s):1560 – 1564, Dec. 2000
- [15] WILAMOWSKI, B. M.. "VLSI analog multiplier/divider circuit", in IEEE proceedings of International Symposium on Industrial Electronics, vol. 2, pp 493-496, July 1998 .

- [16] CUNHA, Ana Isabela Araújo; SCHNEIDER, Márcio Cherem; M. C. Schneider; GALUP-MONTORO, Carlos. "An MOS Transistor Model for Analog Circuit Design", IEEE J. Solid-State Circuits, Vol.33, n°10, , pp 1510-1519, Oct. 1998.
- [17] CUNHA, Ana Isabela Araújo; SCHNEIDER, Márcio Cherem; M. C. Schneider; GALUP-MONTORO, Carlos. "Derivation os the Unified Charge Control Model and Parameter Extraction Procedure", IEEE J. Solid-State Circuits, vol. 33, n° 10, pp 1510-1519, Oct. 1998.
- [18] PELGROM, M.J.M.; DUINMAIJER, A.C.J.; WELBERS, A.P.G.. "Matching properties of MOS transistors " IEEE J. Solid-State Circuits, October 1989.
- [19] GALUP-MONTORO, Carlos; SCHNEIDER, Márcio Cherem; KLIMACH, Hamilton; ARNAUD, Alfredo. "A Compact Model of MOSFET Mismatch for Circuit Design", IEEE J. Solid-State Circuits, vol. 40, no. 8, pp. 1649-1657, August 2005.
- [20] CAMACHO-GALEANO, Eduardo M.; GALUP-MONTORO, Carlos; SCHNEIDER, Márcio Cherem. "A 2-nW 1.1-V self-biased current reference in CMOS technology," IEEE Trans. Circuits Syst. II, vol. 52, no. 2, pp. 61-65, Feb. 2005.
- [21] OGUEY, H. J.; AEBISCHER, D.. "CMOS current reference without resistance," IEEE J. Solid-State Circuits, vol. 32, no. 7, pp. 1132-1135, July 1997.
- [22] GALUP-MONTORO, Carlos; SCHNEIDER, Márcio Cherem; CUNHA, Ana Isabela Araújo; SOUSA, Fernando; KLIMACH, Hamilton; SIEBEL, Osmar. "The Advanced Compact MOSFET (ACM) Model for Circuit Analysis and Design" (INVITED PAPER), Federal University of South Catarina, IEEE Custom Integrated Circuits Conference, San José, Califórnia, USA, Set. 2007.
- [23] VINCENCE, Volnei C.; GALUP-MONTORO, Carlos; SCHNEIDER, Márcio Cherem. "A low-voltage CMOS class-AB operational amplifier". IEEE International Symposium on Circuits and Systems (ISCAS), Phoenix, AR, USA, vol. 3, pp. 603-606, May 2002.
- [24] GATTI, U.; MALOBERTI, F.; LIBERALI,V., "Full Stacked Layout of Analogue Cells", IEEE, Iscas, 1989.

[25] PRODANOV, William. "*Um Comparador de Corrente Schmitt-Trigger Digitalmente Programável*". Florianópolis, Dissertação (Mestrado em Engenharia Elétrica) – Laboratório de Circuitos Integrados, Centro Tecnológico, Universidade Federal de Santa Catarina, 2002.

[26] VINCENCE, Volnei C.. "*Amplificador operacional CMOS classe AB para baixa tensão de alimentação*". Florianópolis, Tese (Doutorado em Engenharia Elétrica) – Laboratório de Circuitos integrados, Centro Tecnológico, Universidade de Santa Catarina, 2004.

[27] ARNAUD, Alfredo Maceira. "*Very Large Time Constant Gm-C Filters*". Montevideo, tese (Doutorado em Engenharia Elétrica) – Universidade de la Republica, 2004.

[28] CAMACHO-GALEANO, Eduardo. M.. "*Referência de corrente CMOS para aplicações de ultra baixo consumo de potência*". Florianópolis, Dissertação (Mestrado em Engenharia Elétrica) – Laboratório de Circuitos Integrados, Centro Tecnológico, Universidade Federal de Santa Catarina, 2004.

[29] MACHADO, Márcio Bender. "*Um Monitor do Estado de Carga da Bateria de Dispositivos Eletrônicos Implantáveis*" Florianópolis, Dissertação (Mestrado em Engenharia Elétrica) – Laboratório de Circuitos Integrados, Centro Tecnológico, Universidade Federal de Santa Catarina, 2006.

[30] PEREIRA, Fábio Albuquerque. "*Multiplicador Analógico CMOS em Modo Corrente Baseado no Modelo Avançado Compacto de Mosfet*". Salvador, 2004. Dissertação (Mestrado em Engenharia Elétrica) – Laboratório de Circuitos Integrados, Departamento de Engenharia Elétrica, Escola politécnica, Universidade Federal da Bahia.

[31] GALUP-MONTORO, Carlos; SCHNEIDER, Márcio Cherem; CUNHA, Ana Isabela Araújo. "*A Current-Based MOSFET Model for Integrated Circuit Design*", Chapter 2 in *Low-Voltage/Low-Power Integrated Circuits and Systems*, edited by E. Sánchez-Sinencio and A. Andreou, IEEE Press, August 1998.

[32] GALUP-MONTORO, Carlos; SCHNEIDER, Márcio Cherem. "*Mosfet Modeling For Circuit Analysis And Design*", International Series on Advances in Solid State Electronics and Technology, World Scientific, 2006.

- [33] JOHNS, D. A.; MARTIN, K.. *"Analog Integrated Circuit Design"*. New York: Wiley-interscience & Sons, 1997.
- [34] BACHER, C.D.M., CONNELLY, J.A. *"Low Noise Eletronic System Design"*. New York: Wiley-interscience & Sons, 1993.
- [35] GRAY, P. R.; HURST, P. J.; LEWIS,S. H.; MEYER, R. G.. *"Analysis and design of analog integrated circuits"*. fourth edition, New York, Wiley, 2001.
- [36] MOSIS Integrated Circuit Fabrication Service, Marina del Rey, California USA. Homepage: <http://www.mosis.com/>
- [37] SMASH Circuit Simulator, Dolphin Integration, Meylan, France. Homepage: <http://www.dolphin.fr>.
- [38] TORRANCE, R. R.; VISWANATHAN, T. R.; HANSON, J. V. *"CMOS voltage to current transducers," IEEE Trans. Circ. Syst.*, vol. CAS-32, no. 11, pp. 1097-1104, November 1985