

MÁRCIO BENDER MACHADO

**UM MONITOR DO ESTADO DE CARGA DA
BATERIA DE DISPOSITIVOS ELETRÔNICOS
IMPLANTÁVEIS**

FLORIANÓPOLIS

2006

UNIVERSIDADE FEDERAL DE SANTA CATARINA

**PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA**

**UM MONITOR DO ESTADO DE CARGA DA
BATERIA DE DISPOSITIVOS ELETRÔNICOS
IMPLANTÁVEIS**

Dissertação submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a
obtenção do grau de Mestre em Engenharia Elétrica

MÁRCIO BENDER MACHADO

Florianópolis, Dezembro de 2006.

UM MONITOR DO ESTADO DE CARGA DA BATERIA DE DISPOSITIVOS ELETRÔNICOS IMPLANTÁVEIS

Márcio Bender Machado

‘Esta Dissertação foi julgada adequada para a obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em *Circuitos e Sistemas Integrados*, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’

Márcio Cherem Schneider, D.Sc.
Orientador

Nelson Sadowski, Dr.
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora

Márcio Cherem Schneider, D.Sc.
Presidente

Carlos Galup-Montoro, Dr.

Raimes Moraes, Ph.D.

Luís Cléber Carneiro Marques, Dr.

*Aos meus pais Celina e Paulo
aos meus irmãos Marcelo e Lilia e
a minha companheira Rose*

Agradecimentos

Na conclusão deste trabalho agradeço ao meu orientador Márcio Cherem Schneider pela confiança, orientação e seriedade desde o início do meu trabalho.

Ao Alfredo Arnaud pelas principais idéias que motivaram e tornaram viáveis esse trabalho.

Aos companheiros e amigos Alessandro, Gustavo e Guilherme pelos momentos de concentração, ajuda mútua e entusiasmo durante o período que convivemos juntos.

Ao amigo Cléber pelo constante incentivo, desde a vinda para Florianópolis até a conclusão deste trabalho.

Aos amigos Spiller e Maurício, pelo companheirismo nos momentos de trabalho e pela permanente disposição para troca de idéias e ajudas nos momentos importantes.

Aos colegas e amigos do Laboratório de Circuitos Integrados, Hamilton, Pablo, Osmar, Radin, Charles, pela parceria e auxílio constante.

Aos membros da banca examinadora, pela disposição na avaliação do trabalho gerado.

Agradeço profundamente aos meus pais, pela motivação constante, apoio irrestrito e por me permitir e me manter nesse caminho. Ao meu Irmão Marcelo, pelo sempre apoio durante toda a minha vida e pelo grande companheirismo nos momentos dedicados e desbravadores desta estada em Florianópolis.

E por fim, gostaria de expressar a minha gratidão a minha companheira Rose, pela imensurável compreensão, apoio e carinho no desfecho desta etapa.

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

UM MONITOR DO ESTADO DE CARGA DA BATERIA DE DISPOSITIVOS ELETRÔNICOS IMPLANTÁVEIS

Márcio Bender Machado

Dezembro/2006

Orientador: Márcio Cherem Schneider, D.Sc.

Área de Concentração: Circuitos e Sistemas Integrados.

Palavras-chave: Circuitos Analógicos, Monitores de Bateria, Dispositivos Implantáveis.

Número de Páginas: 68

O presente trabalho propõe um sistema de baixíssimo consumo, capaz de monitorar a carga remanescente de baterias utilizadas em dispositivos eletrônicos implantáveis através da medida da tensão e da impedância das mesmas. O sistema é composto por um circuito *sample and hold* seguido por um filtro ativo Gm-C. Tal filtro é composto por amplificadores OTA conciliando técnicas de associação série e paralelo de transistores. Além destes, o sistema possui deslocadores de nível que condicionam a excursão do sinal para uma faixa de conversão do conversor A/D de 0 V a 1,25 V. Cada bloco foi desenvolvido conciliando técnicas analógicas às equações do modelo ACM do MOSFET, possibilitando assim, através de equações simples, estabelecer um bom compromisso entre área e consumo adequados ao projeto. A funcionalidade do sistema bem como de cada bloco foi testada sob forma de simulação e comprovada através de protótipos implementados nas tecnologias TSMC 0.35 μm e AMS 0.35 μm .

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

A BATTERY CHARGE MONITOR FOR ELETRONIC IMPLANTABLE MEDICAL DEVICES

Márcio Bender Machado

December/2006

Advisor: Márcio Cherem Schneider, D.Sc.

Area of Concentration: Integrated Circuits and Systems

Keywords: Analog Circuits, Battery Monitor, Implantable Devices.

Number of Pages: 68

This work proposes a system, of very low power consumption, able to monitor the remaining charge of the batteries used in implantable electronic devices through voltage and impedance analysis. The system contains a sample-and-hold circuit and a Gm-C active filter. This filter is composed by OTA amplifiers using series and parallel association of transistors. Besides, the system contains level-shift circuits that condition the signal for the range of the A/D converter (0 V to 1.25 V). Each block was developed using analog techniques and the ACM MOSFET model, which allows for a good trade-off between area and power consumption. The system functionality was verified through simulation and through prototypes implemented on the TSMC 0.35 μm and AMS 0.35 μm technologies.

Sumário

Sumário.....	vii
Lista de Figuras	ix
Lista de Tabelas	xi
Lista de Abreviações.....	xii
Lista de Símbolos	xiii
1 Introdução.....	1
1.1 Topologia do Medidor da Carga da Bateria	3
2 Células Básicas.....	6
2.1 A Bateria.....	6
2.1.1 Funcionamento básico	6
2.1.2 A bateria de Lítio/Iodo – Li/I ₂	8
2.2 O Transistor MOS	9
2.2.1 O funcionamento do transistor MOS.....	10
2.2.2 O modelo matemático do transistor MOS canal longo.....	11
2.3 As Chaves Analógicas	15
2.3.1 Chaves do circuito <i>sample and hold</i>	17
2.4 O Controle de Corrente.....	19
2.5 O Capacitor de Filtro	22
2.6 O Amplificador Diferencial.....	24
2.7 O Deslocador de Nível	27
2.7.1 O deslocador de tensão do circuito monitor de tensão da bateria.....	27
2.7.2 O deslocador de tensão do circuito monitor de impedância da bateria	30
3 Projeto do Amplificador	34
3.1 Projeto do Filtro Ativo OTA-C	35
3.1.1 Cálculo do filtro OTA-C	36

3.2	Projeto dos OTA's	37
3.2.1	Cálculo de G_{m1}	37
3.2.2	Cálculo de G_{m2}	39
3.3	Resultados.....	41
3.3.1	Simulação dos OTA's.....	41
3.3.2	Simulação e medidas do amplificador diferencial.....	42
3.4	Cálculo de Ruído do Amplificador.....	45
3.4.1	Cálculo de ruído do OTA 1	45
3.4.2	Cálculo de ruído do OTA 2	46
3.4.3	Cálculo de ruído do amplificador diferencial	46
3.5	Cálculo da Tensão de <i>Offset</i> do Amplificador Diferencial.....	47
4	Circuito Monitor da Carga da Bateria.....	49
4.1	Funcionamento do Sistema.....	49
4.2	Sinais de Controle das Chaves.....	51
4.2.1	Sinais Sw0 e Sw1	51
4.2.2	Sinal Sw2.....	52
4.2.3	Diagrama de tempos	53
4.3	Simulação Geral do Sistema.....	54
5	Implementação, Resultados e Conclusões.....	57
5.1	Leiaute	57
5.2	Resultados Experimentais.....	60
5.3	Conclusões e Trabalhos Futuros.....	62
	Referencias Bibliográficas	65

Lista de Figuras

Figura 1.1 – Sistema de monitoramento que integra toda carga consumida da bateria.	2
Figura 1.2 – Curva de variação da tensão e resistência interna em função da descarga da bateria, descarregando a uma corrente de 100 μ A [4].....	3
Figura 1.3 – Diagrama de monitoramento da carga da bateria.....	4
Figura 2.1 – Operação de descarga de uma célula de bateria [31].	7
Figura 2.2 – Estrutura Interna de uma bateria Li/I ₂ [5].	8
Figura 2.3 – Estrutura de um transistor NMOS com substrato P.	10
Figura 2.4 – Condutância da chave (a) PMOS e (b) NMOS em função da tensão de modo comum.	16
Figura 2.5 – Circuito de controle de corrente.....	20
Figura 2.6 – Curvas da capacitância de <i>gate</i> NMOS simulada e experimental, obtidas a partir do processo TSMC 0.35 μ m.	23
Figura 2.7 – Polarização do capacitor de <i>gate</i> NMOS.	24
Figura 2.8 – Circuito amplificador de instrumentação a resistor.	25
Figura 2.9 – Curva de transferência extraída do circuito amplificador de instrumentação a resistor.	26
Figura 2.10 – (a) Topologia de um transcondutor simétrico básico a MOSFET (b) Circuito amplificador com OTAs.	27
Figura 2.11 – Circuito deslocador de nível polarizado por corrente.	28
Figura 2.12 – Resultados simulado e experimental do circuito deslocador de nível do monitor de tensão da bateria.....	29
Figura 2.13 – Circuito deslocador de nível, seguidor de fonte.....	31
Figura 2.14 – Resultados simulado e experimental do circuito deslocador de nível do monitor de impedância da bateria.....	32

Figura 3.1 – Topologia do Filtro Ativo OTA-C.	35
Figura 3.2 – Circuito transcondutor OTA.	37
Figura 3.3 – Circuito transcondutor OTA com redução de corrente utilizando associação série-paralelo de transistores.	38
Figura 3.4 – Topologia de teste utilizada para simular cada circuito transcondutor.	41
Figura 3.5 – Simulação da característica DC dos OTAs Gm1 e Gm2 usando o modelo BSIM3.	42
Figura 3.6 – Topologia de teste utilizada para simular o amplificador diferencial.	43
Figura 3.7 – Simulação da característica DC do amplificador diferencial do monitor de impedância.	43
Figura 3.8 – Extração da característica DC do amplificador diferencial sob a tecnologia TSMC 0.35 μm	44
Figura 4.1 – Circuito de controle do medidor da impedância da bateria.	49
Figura 4.2 – Diagrama dos sinais de controle do medidor de carga da bateria em função do tempo.	53
Figura 4.3 – Simulação de um ciclo da medida da impedância da bateria, considerando uma resistência interna de 850 Ω e uma tensão nominal de 2,6 V.	55
Figura 4.4 – Saída simulada do circuito monitor de impedância para diferentes valores de resistência interna da bateria.	56
Figura 5.1 – Leiaute dos transistores casados M5 e M6 do transcondutor Gm1 do circuito amplificador.	58
Figura 5.2 – Layout do circuito amplificador diferencial (OTA).	58
Figura 5.3 – Layout do circuito completo de monitoramento da carga da bateria.	59
Figura 5.4 – Curva extraída da impedância em função da resistência interna da bateria.	60
Figura 5.5 – Medidas extraídas continuamente, em função do tempo, para uma resistência interna de 1 k Ω	61
Figura 5.6 – Curvas experimentais da impedância em função da resistência interna da bateria para três amostras distintas.	62

Lista de Tabelas

Tabela 2.1 – Principais parâmetros do transistor MOS para a tecnologia 0.35 μm	15
Tabela 2.2 – Dimensões dos transistores do circuito de controle de corrente.....	20
Tabela 2.3 – Dimensões dos transistores do circuito deslocador de nível do monitor de tensão da bateria.	28
Tabela 2.4 – Limites do circuito deslocador para os valores de V_{T0} típico, máximo e mínimo.....	30
Tabela 2.5 – Dimensões dos transistores do circuito deslocador de nível do monitor de impedância da bateria.	31
Tabela 2.6 – Limites do circuito deslocador para os valores de V_{T0} típico, máximo e mínimo.....	33
Tabela 3.1 – Dimensões dos transistores de Gm1 e Gm2.	40
Tabela 3.2 – Valores projetados e simulados dos amplificadores de transcondutância.....	42

Lista de Abreviações

ACM	<i>Advanced Compact MOSFET Model</i>
AMS	<i>Austria Micro Systems</i>
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i>
BSIM3	Modelo da <i>University of Califórnia, Berkley</i> para o transistor MOS
A/D	Analógico para digital
MOS	<i>Metal Oxide Semiconductor</i>
S/H	Circuito de amostragem e retenção (<i>sample and hold</i>)
OTA	Amplificador operacional de transcondutância (<i>operational transconductance amplifier</i>)
Gm	O mesmo que OTA
NMOS	Transistor MOS cujos portadores são elétrons
PMOS	Transistor MOS cujos portadores são lacunas
Sw	Sinal de controle do circuito monitor de impedância da bateria
DC	Corrente contínua (<i>direct current</i>)

Lista de Símbolos

α	Fator que indica o valor máximo de desvio da linearidade no par diferencial	%
μ	Mobilidade dos portadores no canal de inversão.	$\text{m}^2/\text{V}\cdot\text{s}$
ϕ_t	Potencial térmico.	V
$\Delta V_{C_{sh,over}}$	Variação da tensão em C_{sh} devido à capacitância de <i>overlap</i> .	V
A_{VT}	Parâmetro do modelo de descasamento referente à variação de V_T .	$\text{mV}\cdot\mu\text{m}$
A_β	Parâmetro do modelo de descasamento referente à variação do fator de corrente β .	%. μm
C'_{ox}	Capacitância do óxido de silício por unidade de área.	F/m^2
C_g	Capacitância de porta do transistor.	F
C_{gb}	Capacitância entre porta e substrato do transistor.	F
C_{gd}	Capacitância entre porta e dreno do transistor.	F
C_{gs}	Capacitância entre porta e fonte do transistor.	F
C_{ovd}	Capacitância de <i>overlap</i> do transistor.	F
C_{ox}	Capacitância do óxido de silício.	F
f_0	Frequência de corte do filtro de 1ª ordem.	Hz
f_c	Frequência de <i>corner</i> do ruído.	Hz
$g_{dsn(p)}$	Condutâncias do transistor NMOS (PMOS).	A/V
g_m	Transcondutância de porta do transistor.	A/V
g_{md}	Transcondutância de dreno do transistor.	A/V
g_{ms}	Transcondutância de fonte do transistor.	A/V
I_{BAT}	Corrente que circula pela bateria em estado normal.	A
$i_{f(r)}$	Corrente de saturação direta (reversa) normalizada.	-
$I_{F(R)}$	Corrente de saturação direta (reversa).	A
I_{nf}	Corrente RMS referente ao ruído <i>flicker</i> do transistor MOS.	A
I_{nt}	Corrente RMS referente ao ruído térmico do transistor MOS.	A
I_S	Corrente de normalização.	A

I_{SQ}	Corrente de normalização de folha.	A
k_B	Constante de Boltzmann.	J/K
K_F	Parâmetro SICE de ruído <i>flicker</i> .	-
L	Comprimento do canal do transistor.	M
n	Fator de inclinação.	-
N	Número de transistores em série e em paralelo.	-
N_{ot}	Parâmetro que indica o número de armadilhas (<i>traps</i>) por unidade de área na interface entre o óxido e o semiconductor.	m ⁻²
$q'_{IS(D)}$	Carga da fonte (dreno) normalizada em relação a $-nC'_{ox}\phi_t$.	-
Q_{IS}	Carga da fonte do transistor.	C
R_{BAT}	Resistência interna da bateria.	Ω
R_{on}	Resistência da chave.	Ω
Sin_f	Densidade espectral de potência do ruído <i>flicker</i> .	V ² /Hz
Sin_t	Densidade espectral de potência do ruído térmico.	V ² /Hz
T	Temperatura absoluta.	K
V_{cm}	Tensão de modo comum.	V
V_{DD}	Tensão de alimentação do circuito.	V
$V_{DS,SAT}$	Tensão de saturação entre dreno e fonte do transistor.	V
V_{FB}	Tensão de <i>flat-band</i> do transistor.	V
V_{LIM}	Limite de tensão na entrada do OTA, para operação linear.	V
Vn_{Amp}	Tensão RMS de ruído total na entrada do amplificador diferencial.	V
Vn_{Ota}	Tensão RMS de ruído total do OTA.	V
Vn_{sh}	Tensão RMS de ruído térmico na entrada do <i>sample and hold</i> .	V
Vn_{Total_f}	Tensão RMS de ruído <i>flicker</i> total na entrada do OTA.	V
Vn_{Total_t}	Tensão RMS de ruído térmico total na entrada do OTA.	V
V_P	Tensão de <i>pinch-off</i> .	V
V_{T0}	Tensão de limiar no equilíbrio do transistor MOS.	V
W	Largura do canal do transistor.	m
$\Delta V_{C_{sh,inj}}$	Variação de tensão máxima em C_{sh} devido à injeção de carga.	V
σ_{Vin}	Desvio padrão da tensão de <i>offset</i> referida à entrada do OTA.	V

1 Introdução

Com o avanço da eletrônica, diversas aplicações que antes não eram possíveis de serem executadas tornaram-se viáveis, colaborando para o aumento da qualidade de vida especialmente das pessoas portadoras de deficiências fisiológicas. Nesse contexto, dispositivos biomédicos têm sido desenvolvidos e aprimorados graças aos recentes avanços da ciência e, em especial da microeletrônica. Estimuladores cardíacos, próteses auditivas e neuro estimuladores configuram-se como exemplos de como os avanços tecnológicos têm transformado a realidade da perspectiva humana.

Analisando os dispositivos implantáveis, diversas funções têm sido incorporadas às essenciais oriundas de outras décadas. Sistemas de detecção da atividade de órgãos, monitoramento e controle externo através de telemetria, processamento interno microprocessado, são exemplos de funções agora possíveis graças aos recentes avanços na dimensão e no consumo de microcircuitos.

Essas melhorias dependem do pleno funcionamento de um único elemento, a bateria. Dessa forma, dispositivos implantáveis requerem algum tipo de circuito de medida para monitorar a carga extinguida da bateria e estimar a carga remanescente. Esta informação caracteriza-se como crítica aos profissionais da saúde, que devem recomendar a substituição do dispositivo, ou adiar um delicado procedimento cirúrgico [1]. Assim, o circuito que monitora o estado de carga durante a vida útil da bateria é de fundamental importância, requerendo, como premissa básica, a confiabilidade e a segurança, além do menor consumo de energia possível.

A partir dessa motivação, o presente trabalho visa construir um circuito seguro que monitore o estado de carga da bateria de dispositivos implantáveis, através de amostras em tempos definidos durante o período de utilização do dispositivo, porém não permanecendo ligado entre os intervalos. Vários tipos de monitores são encontrados na literatura. Em [1], é sugerido um sistema de monitoração, no qual é integrada a corrente que é consumida da

bateria, através de um resistor em série com a bateria e de um circuito digital, conforme mostra a Figura 1.1. A análise de dois tipos de grandezas para o monitoramento do estado de carga da bateria também é sugerida na literatura. Em [2] a impedância e a carga da bateria são analisadas, já em [3] o estado de carga é estimado através da tensão e energia consumida. Os sistemas descritos apresentam como principal desvantagem o fato de permanecerem ligados durante todo o período de vida do dispositivo, representando um consumo constante de energia durante toda a vida útil da bateria. Dessa forma, por apresentar um consumo médio extremamente reduzido, o sistema aqui proposto se destaca perante os demais, apresentando-se como uma excelente proposta no monitoramento de carga da bateria de dispositivos implantáveis.

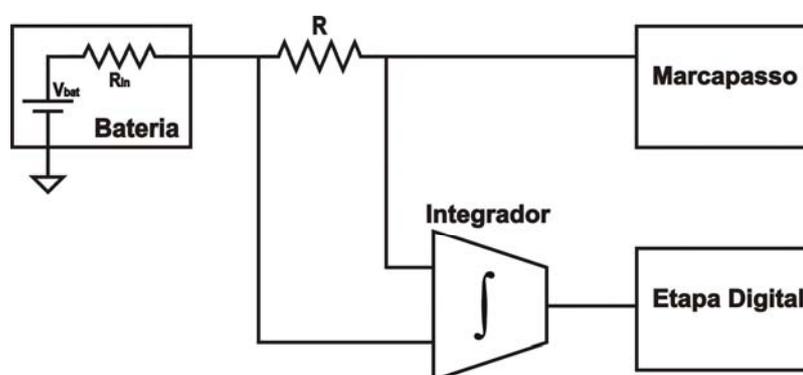


Figura 1.1 – Sistema de monitoramento que integra toda carga consumida da bateria.

A descrição resumida do sistema é apresentada na Seção 1.1. A partir desta apresentação, o circuito é explicado de forma modular, constando no Capítulo 2 os blocos básicos inerentes ao projeto, bem como cada elemento construído. O Capítulo 3 descreve o projeto e o funcionamento do circuito amplificador utilizado pelo monitor, bem como os seus respectivos testes e análises. O funcionamento detalhado da topologia completa, juntamente com os sinais de controle e os testes gerais do sistema são mostrados através do Capítulo 4. Por fim, através do Capítulo 5, são então mostradas as máscaras dos circuitos implementados em silício, bem como os resultados gerais extraídos a partir dos protótipos construídos.

1.1 Topologia do Medidor da Carga da Bateria

A bateria utilizada em dispositivos implantáveis, como em marcapassos, é um elemento essencial para o adequado funcionamento do dispositivo. Dessa forma, ela é construída sob rígidos padrões de qualidade e segurança assegurados por diversos órgãos normalizadores em todo o mundo. Em função disso, ela apresenta características elétricas como tensão e resistência interna (referenciada também como impedância) bem definidas com variações bem caracterizadas, dependentes do estado da carga da mesma. A curva que mostra as duas grandezas (tensão e resistência) em função da quantidade de carga consumida é mostrada através da Figura 1.2 [4].

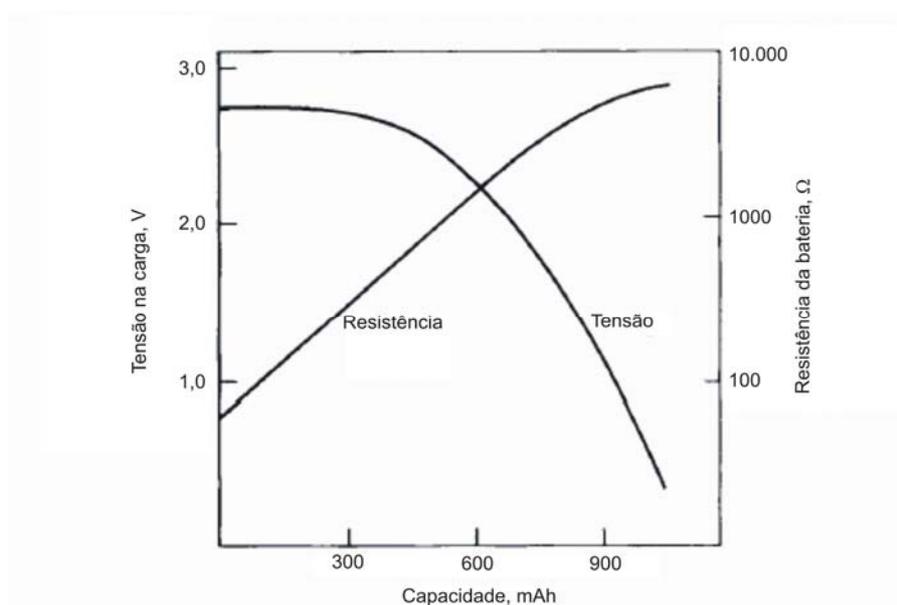


Figura 1.2 – Curva de variação da tensão e resistência interna em função da descarga da bateria, descarregando a uma corrente de 100 μ A [4].

Neste trabalho, o sistema de monitoramento de carga da bateria proposto é baseado na característica de tensão e resistência da mesma. Trata-se de um sistema sugerido por [29], que monitora constantemente, através de amostras em instantes determinados (sendo proposto uma amostra por dia), a resistência interna e a tensão da célula e dessa forma (através da análise das duas grandezas), tem indicação da carga armazenada desde o momento inicial até o instante de sua substituição.

O sistema é composto por duas etapas, a analógica, responsável pela medida efetiva, ou seja, pela aquisição dos sinais relativos à medida da resistência interna e da tensão da bateria e a etapa digital, cuja função é o controle da etapa analógica e o armazenamento e interpretação dos resultados. Neste trabalho, o objeto de estudo será somente ligado aos circuitos que compõem a etapa analógica do sistema.

O circuito utilizado para tal é mostrado na Figura 1.3. Durante a maior parte do tempo, ele permanece inativo através do desligamento do sistema de polarização de corrente dos blocos (chave On/Off), permanecendo ativo somente durante o período de medida. Como o sistema possui apenas um conversor A/D (analógico/digital), utiliza-se um multiplexador para permitir a conversão ora da medida da resistência interna, ora da tensão da bateria.

Em paralelo com a alimentação do sistema há um capacitor de segurança (C_s) de 33 μF . Este capacitor, de caráter obrigatório, é necessário para evitar que sinais espúrios possam interferir no sistema de alimentação do dispositivo, vindo a comprometer o funcionamento dos circuitos eletrônicos do mesmo.

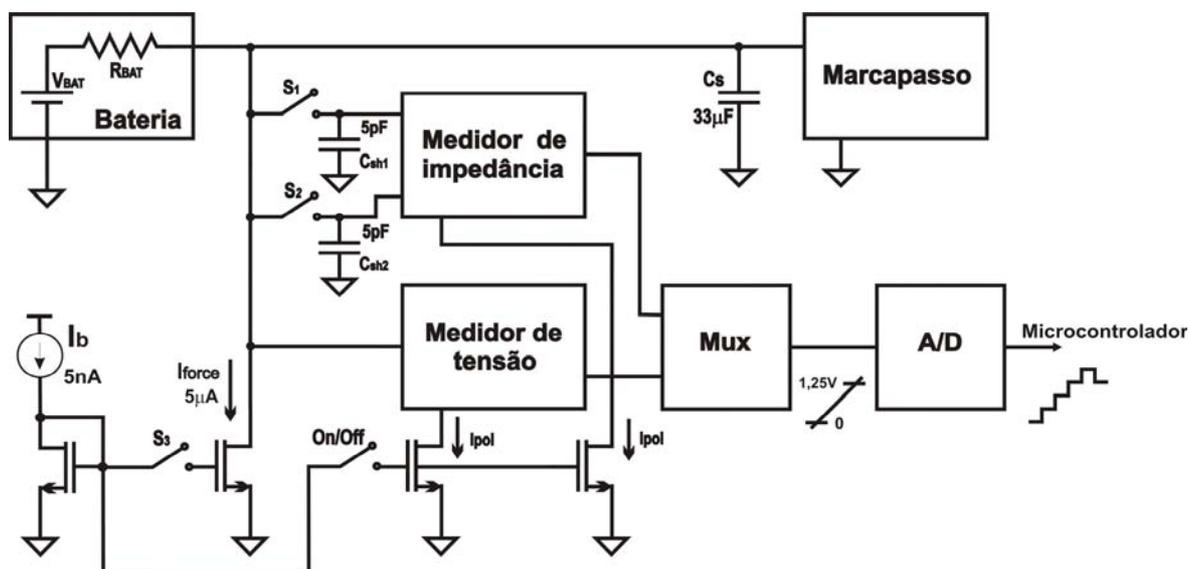


Figura 1.3 – Diagrama de monitoramento da carga da bateria.

O sistema de medida da impedância utiliza as chaves S_1 , S_2 e S_3 . Inicialmente, o valor de tensão da bateria é armazenado em C_{sh1} . Posteriormente, a tensão da bateria, após o acionamento de uma fonte de corrente de 5 μA (I_{force}), é armazenada através de C_{sh2} . Dessa forma, o valor da resistência interna é obtido através da medida da queda de tensão em função da variação de corrente imposta à bateria. Para registrar essa variação de tensão, é

utilizado um amplificador diferencial, que amplifica o sinal para que ele atinja uma determinada faixa de variação de modo a poder ser interpretado pelo microcontrolador após a etapa de conversão A/D. É utilizado ainda um circuito deslocador de nível, que compatibiliza a tensão de saída do amplificador com a faixa de conversão do A/D (0 V a 1,25 V). No microcontrolador, após a conversão, os resultados são armazenados e analisados.

A medida da tensão da bateria utiliza um circuito deslocador de nível que condiciona a tensão da bateria para ser monitorada pelo sistema trabalhando na faixa do conversor A/D (1,2 V a 0,4 V), mantendo a mesma faixa de variação durante a vida útil da bateria (2,8 V a 2 V).

2 Células Básicas

Este capítulo descreve os principais circuitos e dispositivos que compõem o monitor do estado de carga da bateria.

2.1 A Bateria

Em se tratando de dispositivos implantáveis, a bateria é um elemento de vital importância [1], [3]. Como única fonte de energia do dispositivo, ela tem a função de alimentar todos os circuitos que compõem o sistema. Sendo assim, é imprescindível a sua confiabilidade e segurança. Além disso, aspectos como densidade de energia, tempo de vida e dimensão também tornam-se pertinentes quanto à determinação e escolha da bateria. O funcionamento básico, bem como as características do principal tipo de bateria utilizada em dispositivos cardíacos implantáveis, Li/I₂, são mostrados a seguir.

2.1.1 Funcionamento básico

A bateria é um dispositivo que transforma energia química contida em seus materiais ativos diretamente em energia elétrica em função de uma reação eletro-química de oxidação e redução. É composta por três elementos básicos: o Anodo, onde ocorre a reação de oxidação, provendo assim elétrons ao circuito externo; o Catodo, onde através de uma reação de redução, aceita elétrons do circuito externo e o eletrólito, que provê o meio físico para a transferência de carga iônica, dentro da célula, entre o anodo e o catodo. A operação

de uma célula básica durante um fluxo de descarga de uma bateria através de uma carga externa é exemplificada pela da Figura 2.1 [4].

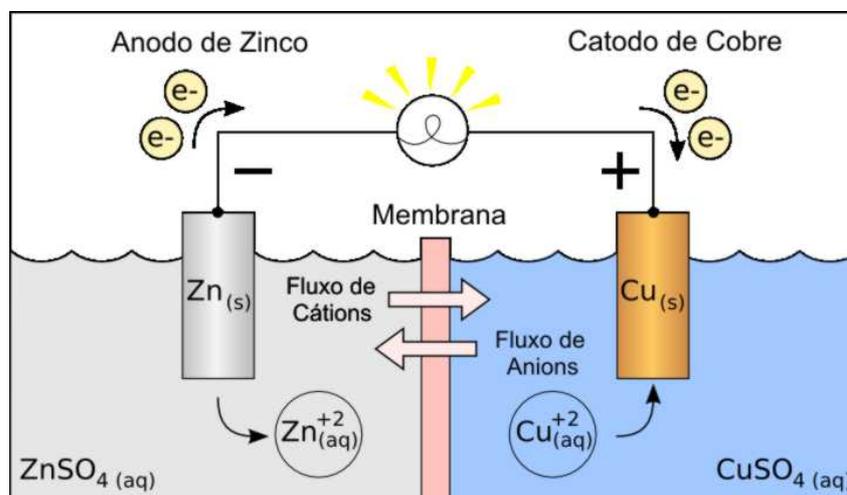


Figura 2.1 – Operação de descarga de uma célula de bateria [31].

As características da bateria são dadas a partir das especificidades dos materiais utilizados em cada elemento interno. Assim, em termos gerais, pode-se destacar que os metais são os elementos químicos mais utilizados como anodo em função de suas característica de condutividade. Já como eletrólito, diversos tipos de meios são utilizados (aquosos ou sólidos), levando-se em consideração a necessidade de conduzirem bem os íons, sem conduzirem bem os elétrons, para evitar descargas internas [4].

Diversos tipos de baterias foram e são utilizados em dispositivos cardíacos implantáveis. Em se tratando de marcapassos, vários tipos já foram utilizados, como de Níquel-Cádmio, de Zinco-Mercúrio, biológicas e nucleares, baseadas em Plutônio [5], [6]. Porém, a partir dos anos 70, em função de características como dimensões, condutividade e vida útil, as baterias de lítio têm sido utilizadas, sendo que nos últimos 20 anos, as células de Lítio/Iodo (Li/I_2) tornaram-se padrão neste tipo de aplicação [5]. Outros tipos de baterias de Lítio também são utilizados em dispositivos implantáveis. Em desfibriladores cardíacos, onde os níveis de corrente são elevados, e em consequência, valores de resistência interna menores são requeridos, as baterias Lítio/Óxido de Prata e Vanádio (Li/SVO) têm sido utilizadas. Em dispositivos neurológicos, que requerem um maior consumo de corrente, baterias recarregáveis de lítio também têm sido desenvolvidas [6].

2.1.2 A bateria de Lítio/Iodo – Li/I₂

A bateria de Lítio/Iodo é uma bateria de eletrólito sólido. Em função disso, apresenta características vantajosas como alta estabilidade térmica, baixas taxas de auto-descarga, e alta capacidade de armazenamento de energia. A principal desvantagem é a sua alta impedância interna, mas aplicações que requeiram baixo consumo de corrente são extremamente favorecidas pelas qualidades deste tipo de eletrólito [4].

A nomenclatura de Lítio/Iodo deve-se ao anodo ser composto de Lítio e o catodo de Iodo, porém enriquecido através de elementos inorgânicos, *poly-2-vinyl pyridine* (P2VP) que, sob algumas condições de temperatura, reagem e formam uma pasta condutora de carga iônica [4].

Durante o processo de fabricação, o catodo (sob forma pastosa) é inserido na bateria, reagindo com o Lítio do anodo. A reação entre os materiais do anodo e catodo forma uma camada que serve como isolador entre os dois elementos. Ao longo da vida da bateria, o Lítio e Iodo reagem produzindo ao seu redor o LiI. O LiI passa então a atuar como eletrólito da célula prevenindo eficazmente curtos circuitos internos, tornando a bateria altamente satisfatória quanto à confiabilidade [4], [5], o que é imprescindível à aplicação. A estrutura interna da bateria de Lítio/Iodo pode ser vista através da Figura 2.2.

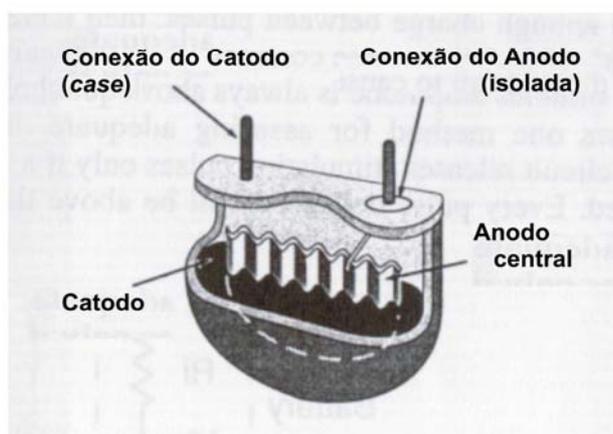


Figura 2.2 – Estrutura Interna de uma bateria Li/I₂ [5].

A curva de tensão de circuito aberto em função da quantidade de carga da bateria não é linear. A resistência interna cresce exponencialmente com o estado de descarga. Esta

dependência exponencial é dada desde o início de vida, incluindo a região de descarga, onde ocorre o consumo dos elementos responsáveis pelas reações, Lítio e Iodo, formando o LiI. À medida que a bateria vai se descarregando, a parcela de Iodo presente na célula vai sendo extinguida. Quando o Iodo é totalmente consumido, a resistência do catodo cresce rapidamente e, então, passa a dominar o valor da resistência da bateria.

O valor inicial da tensão da bateria é da ordem de 2,8 V, decrescendo até o limiar físico de 2 V, onde os elementos produtores das reações de oxidação e redução são praticamente consumidos por completo. Em função do caráter de segurança que os dispositivos implantáveis exigem, é sugerido o valor de tensão de 2,5 V como o limite de utilização da bateria, representando este valor o limiar de substituição do dispositivo. A resistência interna, que inicialmente é da ordem de 100 Ω , ao término da carga da bateria, apresenta o valor de aproximadamente 10 k Ω . Considerando-se que a bateria de Lítio/Iodo apresenta uma carga total média de 1000 mAh, um consumo médio de 10 μ A implicaria em uma vida de aproximadamente 10 anos.

2.2 O Transistor MOS

O Transistor MOS (*Metal-Oxide-Semiconductor*) é a célula básica da maioria dos circuitos integrados modernos, tanto analógicos, quanto digitais. Em se tratando do projeto de circuitos analógicos, onde a necessidade de se obter circuitos mais rápidos, de baixa tensão e reduzido consumo é cada vez mais importante [7], um modelo preciso, compacto para cálculos à mão, válido em todos os regimes de operação é fundamental.

Assim, o desenvolvimento dos circuitos descritos nesse trabalho foi baseado no modelo ACM (*Advanced Compact MOSFET*) [7], [8], [9], [28] que descreve as características estáticas e dinâmicas do transistor MOS através de expressões únicas e contínuas desde a inversão fraca até a inversão forte.

2.2.1 O funcionamento do transistor MOS

Para análise do funcionamento do transistor MOS, considera-se o dispositivo de quatro terminais, canal N, conforme ilustra a Figura 2.3. O funcionamento do transistor depende dos potenciais de porta (*G-gate*), fonte (*S-source*) e dreno (*D-drain*) referenciados ao substrato (*B-bulk*), que atuam sobre a distribuição de cargas no canal do transistor. Quando o potencial de porta é negativo, aumenta a concentração de portadores majoritários no substrato, as lacunas, no chamado regime de acumulação. Já o regime de operação do transistor denominado de inversão, ocorre quando a tensão V_{GB} atinge valores positivos suficientemente intensos para que a concentração de portadores minoritários, elétrons, sobrepuje a das lacunas na interface óxido-semicondutor. Os elétrons, atraídos pelo campo elétrico, constituem uma finíssima camada dita de inversão [9].

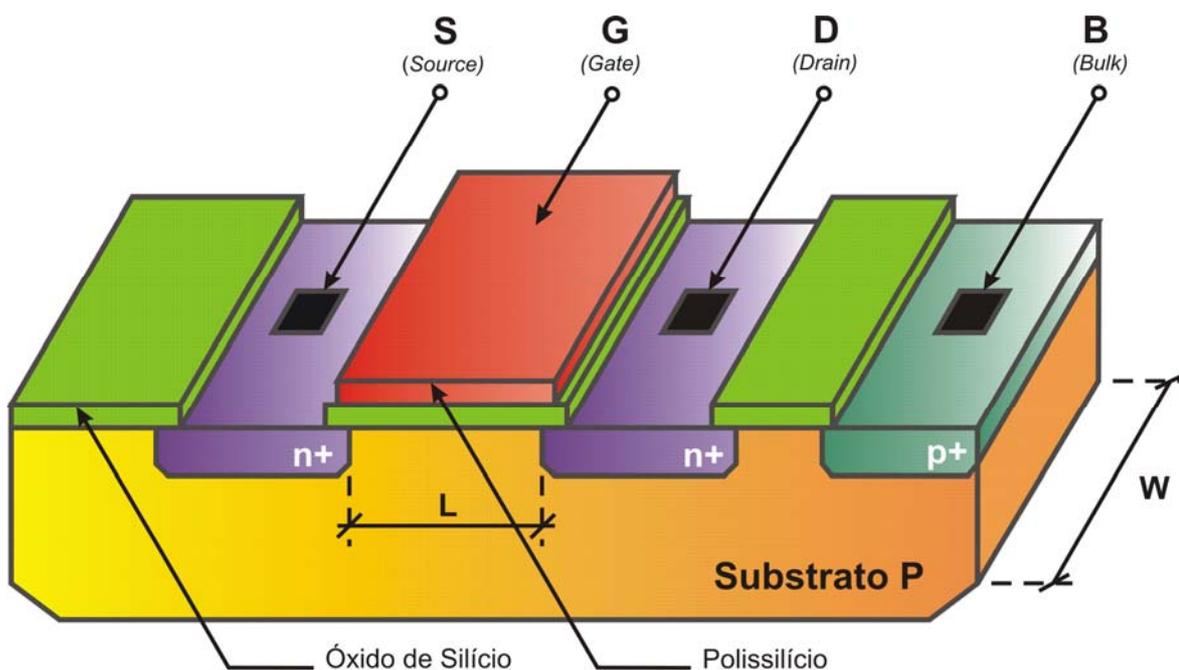


Figura 2.3 – Estrutura de um transistor NMOS com substrato P.

Caso se aplique uma diferença de potencial entre as extremidades do canal, (dreno e fonte), haverá a circulação de uma corrente elétrica através dessa fina camada. A intensidade dessa corrente depende dos potenciais aplicados a todos os terminais do dispositivo. Admitindo-se o modo de funcionamento direto, onde a tensão V_{DB} é superior a V_{SB} , aumentando-se V_{DB} , ocorre um aumento na corrente de dreno e as vizinhanças do dreno vão sendo “depletadas” de elétrons, até que a corrente fica praticamente insensível a posteriores

aumentos de V_{DB} . Quando essa condição é atingida, diz-se que o dispositivo se encontra em saturação direta. Enquanto a saturação não é atingida, diz-se que o dispositivo está operando na região triodo [9].

2.2.2 O modelo matemático do transistor MOS canal longo

O equacionamento matemático do transistor MOS destacado aqui é apenas um resumo das equações usadas no projeto dos circuitos desenvolvidos. A versão com a fundamentação completa do modelo matemático do transistor MOS é bem descrita em [7], [8], [9], [28].

Segundo o modelo ACM, a corrente de dreno é composta de duas parcelas, a corrente de saturação direta I_F (*forward*) e a componente de saturação reversa I_R (*reverse*).

$$I_D = I_F - I_R \quad (2.1)$$

sendo I_F e I_R definidas como:

$$I_{F(R)} = I_S \cdot i_{f(r)} \quad (2.2)$$

onde $i_{f(r)}$ é a corrente de saturação direta (reversa) normalizada. A corrente de saturação direta normalizada i_f , conhecida também como nível de inversão, é uma variável fundamental no modelo ACM. I_S é a corrente de normalização, definida por:

$$I_S = \mu n C'_{ox} \frac{\phi_t^2}{2} \frac{W}{L} \quad (2.3)$$

onde μ é a mobilidade dos elétrons (ou das lacunas para o transistor PMOS), n o fator de inclinação, ligeiramente dependente de V_G , C'_{ox} a capacitância do óxido de silício por unidade de área, ϕ_t o potencial térmico e W/L a razão de aspecto, onde W é a largura e L é o comprimento do canal do transistor. A corrente de normalização de folha [7], $I_{sq} = \mu n C'_{ox} \frac{\phi_t^2}{2}$ é o fator característico da tecnologia, independente da geometria do dispositivo e ligeiramente dependente de V_G através de μ e de n .

A expressão que relaciona os níveis de tensão referenciados ao substrato com o nível de inversão com o qual o dispositivo está operando é dada através da Eq. (2.4).

$$V_P - V_{S(D)} = \phi_t \left[\sqrt{I + i_{f(r)}} - 2 + \ln \left(\sqrt{I + i_{f(r)}} - 1 \right) \right] \quad (2.4)$$

onde V_P é a tensão de *pinch-off*, cujo valor aproximado é:

$$V_P \cong \frac{V_G - V_{T0}}{n} \quad (2.5)$$

sendo V_{T0} a tensão de limiar no equilíbrio do transistor MOS.

A expressão que relaciona a corrente de dreno com os potenciais de dreno e fonte, estando o canal fortemente invertido ($i_{f(r)} \gg 1$) é dada por:

$$I_D \cong I_S \left[\left(\frac{V_P - V_S}{\phi_t} \right)^2 - \left(\frac{V_P - V_D}{\phi_t} \right)^2 \right] \quad (2.6)$$

Uma aproximação prática para cálculos à mão, que relaciona a tensão fonte-dreno na qual o transistor se encontra em saturação ao nível de inversão do dispositivo é:

$$V_{DS,SAT} \cong \phi_t \left(\sqrt{I + i_f} + 3 \right) \quad (2.7)$$

Uma vez definidos os parâmetros estáticos, é necessário determinar os valores dos parâmetros dinâmicos do dispositivo. Parâmetros especialmente importantes são as transcondutâncias do transistor. A relação entre as transcondutâncias do transistor, $g_m = g_{mg}$ (de porta), g_{ms} (de fonte) e g_{md} (de dreno), é dada por:

$$g_m = \frac{g_{ms} - g_{md}}{n} \quad (2.8)$$

Através das equações do modelo ACM pode-se descrever as transcondutâncias de fonte e dreno, para o caso do transistor “canal longo”, em função de uma expressão compacta e válida em todos os níveis de inversão.

$$g_{ms(d)} = \frac{2I_s}{\phi_t} \left(\sqrt{1+i_{f(r)}} - 1 \right) \quad (2.9)$$

Para o transistor operando na região de saturação, pode-se aproximar a transcondutância de porta $g_m = g_{ms}/n$. Dessa forma, para a região de saturação, pode-se reescrever a Eq. (2.9) como:

$$g_m = \frac{2I_D}{n\phi_t} \frac{1}{\left(\sqrt{1+i_f} + 1 \right)} \quad (2.10)$$

Os modelos de ruído do transistor MOS também são descritos através do modelo ACM. Para baixas frequências, os principais tipos de ruído que influenciam no comportamento do transistor MOS são o ruído térmico, de densidade espectral constante e o ruído *flicker* ou $1/f$ que, devido às armadilhas no semiconductor aos portadores de corrente em níveis contínuos, é inversamente proporcional à frequência de operação do transistor [7], [13], [16], [28].

A densidade espectral de potência (PSD) do ruído térmico em transistores MOS canal longo é dada por [7]:

$$Sin_t = \frac{-4k_B T \mu Q_I}{L^2} \quad (2.11)$$

onde Q_I é a carga total de elétrons no canal, k_B é a constante de Boltzmann ($k_B=1,38 \times 10^{-23}$ J/K) e T é a temperatura absoluta. Para o caso específico de transistores operando em saturação, a Eq. (2.11) pode ser escrita como [28]:

$$Sin_t = \frac{8}{3} k_B T g_m \frac{\sqrt{1+i_f} + 1/2}{\sqrt{1+i_f} + 1} \quad (2.12)$$

resultando em uma densidade espectral de potência igual a $2k_B T g_{ms}$ em inversão fraca e igual a $\frac{8}{3} k_B T g_{ms}$ em inversão forte [7].

A densidade espectral de potência do ruído *flicker* Sin_f estando o transistor polarizado em inversão fraca, é dado por [16] através da Eq. (2.13).

$$Sin_f(f) = \frac{I_D^2 N_{ot}}{WLN^{*2}} \frac{1}{f} \quad (2.13)$$

onde $N^* = nC'_{ox} \phi_t / q$ e N_{ot} é um parâmetro tecnológico, que indica o número de armadilhas (*traps*) na interface entre o óxido e o semiconductor. Uma relação aproximada usando o parâmetro SPICE de ruído *flicker* K_F , pode ser definida, para os níveis de simulação 2 e 3, como $N_{ot} = K_F C'_{ox} / q^2$ [16]. Porém, como o parâmetro K_F não apresenta um significado físico definido, variando conforme o modelo de extração utilizado, tal relação não pode ser utilizada para todos os casos.

Para a definição da banda de frequências na qual o ruído $1/f$ é relevante comparado ao ruído térmico, calcula-se a frequência de *corner* do ruído. A partir de [16] a frequência de *corner* f_c é dada por

$$f_c = \frac{\gamma g_m}{WLC'_{ox}} \frac{N_{ot}}{N^*} \quad (2.14)$$

onde $\gamma = 1/2$ para inversão fraca.

Os circuitos desenvolvidos neste trabalho foram projetados a partir dos parâmetros típicos do transistor MOS para a tecnologia de 0.35 μm . Os principais parâmetros utilizados podem ser vistos através da Tabela 2.1, sendo C_{ovd} o capacitor de *overlap* do transistor e A_{VT} e A_β os parâmetros de descasamento do transistor MOS. O valor do parâmetro N_{ot} foi definido como o mesmo extraído para a tecnologia de 2.4 μm e 0.8 μm , considerando que para as duas tecnologias o valor extraído foi o mesmo.

Tabela 2.1 – Principais parâmetros do transistor MOS para a tecnologia 0.35 μm .

	<i>NMOS</i>	<i>PMOS</i>	<i>Unid.</i>
V_{T0}	0,5	-0,7	V
μ_0	370	130	cm^2/Vs
n	1,3	1,3	-
C'_{ox}	5	5	$\text{fF}/\mu\text{m}^2$
C_{ovd}	0,1	0,1	$\text{fF}/\mu\text{m}$
I_{SQ}	75	26	nA
K_F	$2,17 \times 10^{-26}$	$1,19 \times 10^{-26}$	*
N_{ot}	$2,6 \times 10^{11}$	$3,7 \times 10^{11}$	m^{-2}
A_{VT}	8,2	14,9	$\text{mV} \cdot \mu\text{m}$
A_β	0,2	0,4	$\% \cdot \mu\text{m}$

* O parâmetro K_F não apresenta significado físico definido, tendo sua unidade variável conforme o modelo de extração utilizado.

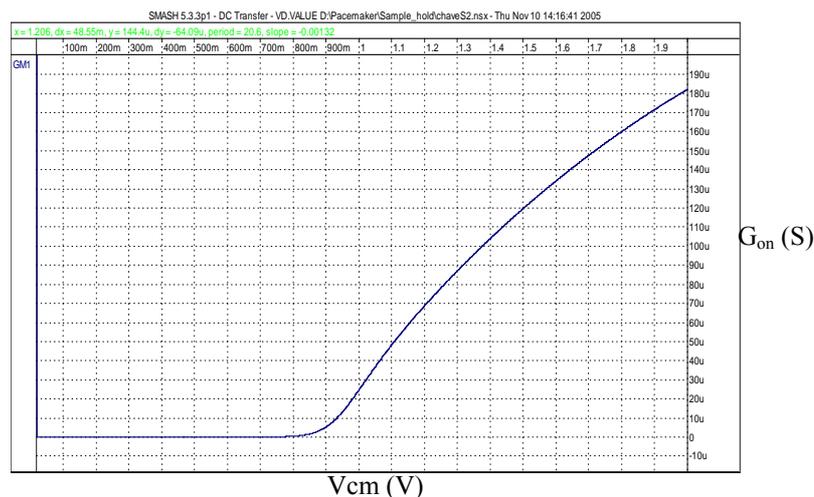
2.3 As Chaves Analógicas

As chaves analógicas utilizadas no controle do sistema foram projetadas de modo a apresentar uma resistência apropriada ao funcionamento do circuito. Assim, faz-se necessária uma análise dos elementos que influenciam no valor da condutância da chave. Derivando-se a equação que descreve a corrente no transistor operando em inversão forte, Eq. (2.6), em função da tensão de modo diferencial entre fonte e dreno, chega-se à Eq. (2.15), que descreve as condutâncias das chaves NMOS e PMOS (g_{dsn} e g_{dsp} , respectivamente) em estado ‘on’, onde V_{T0} é a tensão de limiar no equilíbrio do transistor e V_{cm} é a tensão de modo comum entre dreno e fonte do dispositivo.

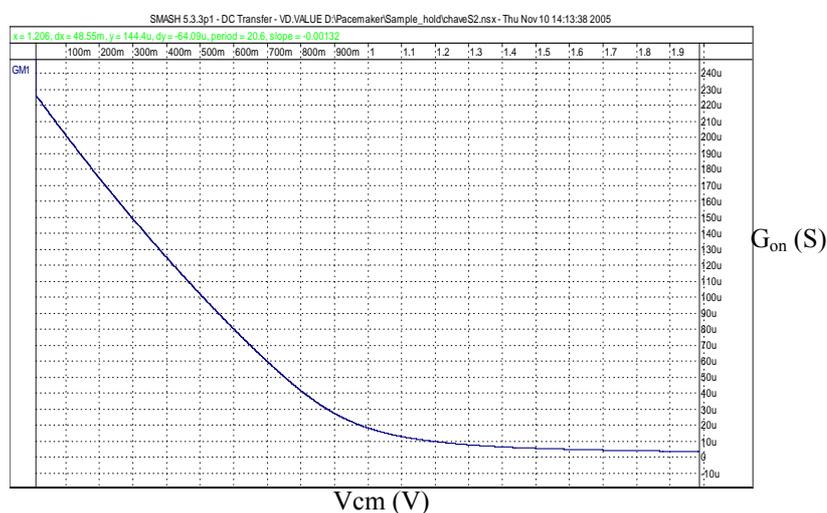
$$g_{dsn} = \mu_n C'_{ox} \frac{W}{L} (V_{DD} - V_{T0n} - nV_{cm}) \quad (2.15)$$

$$g_{dsp} = \mu_p C'_{ox} \frac{W}{L} (V_{DD} + V_{T0p} + n(V_{cm} - V_{DD}))$$

As chaves PMOS e NMOS apresentam condutâncias dependentes da tensão de modo comum em torno da qual operam, ou seja, para tensão de modo comum próximo a V_{DD} , a chave PMOS apresenta uma condutância elevada e a chave NMOS, um valor próximo a zero. Já quando a tensão de modo comum é aproximadamente zero, a situação se inverte e a chave NMOS passa a apresentar uma condutância elevada e a PMOS, uma condutância ínfima, conforme pode ser visto através da Figura 2.4.



(a)



(b)

Figura 2.4 – Condutância da chave (a) PMOS e (b) NMOS em função da tensão de modo comum.

Porém, a resistência das chaves não é a única preocupação no projeto das mesmas. Em se tratando de circuitos de amostragem e retenção (S/H - *sample and hold*), fenômenos relacionados à injeção de carga, e à variação da carga no capacitor de amostragem devido ao

acoplamento capacitivo do sinal de controle da chave (C_{ovd} - *overlap*) do transistor devem ser levados em consideração, pois podem influenciar no desempenho do circuito [10], [11].

A injeção de carga, devido ao escoamento da carga do canal do transistor na transição do estado de condução para o de não condução, pode ser estimada através do cálculo da carga no canal do transistor.

A partir da Eq. (2.5) e da Eq. (2.16) (demonstrada em [7], [8]), que relaciona níveis de tensão à carga no dreno ou fonte do transistor, desprezando os termos de menor significância, chega-se a Eq. (2.17), que nos dá a carga no canal do transistor. Deve-se observar que $q'_{IS(D)}$ na Eq. (2.16) é a carga na fonte (dreno) $Q'_{IS(D)}$ normalizada em relação a $-nC'_{ox}\phi_t$.

$$V_P - V_{S(D)} = \phi_t \left[q'_{IS(D)} - 1 + \ln(q'_{IS(D)}) \right] \quad (2.16)$$

$$Q_I \approx (V_G - V_{TO} - nV_S) C'_{ox} WL \quad (2.17)$$

2.3.1 Chaves do circuito *sample and hold*

As chaves S1 e S2 do circuito *sample and hold*, (S/H) indicadas na Figura 1.3 foram projetadas com transistores PMOS, devido ao fato de que para a condição de operação, onde o potencial a ser determinado é próximo de VDD, a chave PMOS apresenta menor resistência, como foi explicado anteriormente.

Devido à posição das chaves (em série com o capacitor de amostragem) e em função da frequência de acionamento ser baixa (32 kHz), foi priorizada no projeto das chaves a condição de injeção de carga mínima, mantendo-se assim as dimensões mínimas do transistor, sendo $L=0,4 \mu\text{m}$ e $W=0,7 \mu\text{m}$. O valor do capacitor de amostragem ($C_{sh} = 5 \text{ pF}$) foi definido para tornar os efeitos da variação de carga no capacitor devido à chave e os efeitos do ruído térmico no S/H menos significativos sem, no entanto, representar um dispêndio significativo de área.

De acordo com a Eq. (2.17), e com os parâmetros da tecnologia $0.35 \mu\text{m}$ (descritos na Seção 2.2), pode-se estimar a carga no canal do transistor da chave PMOS como:

$$Q_I \approx -(V_{GB} - V_{TO} - nV_{SB})C'_{ox}WL \approx -(-2,8 + 0,7)5 \cdot 10^{-15} \cdot 0,7 \cdot 0,4 \approx 2,9 fC$$

A quantidade de carga que flui por cada terminal no instante de abertura da chave depende da capacitância equivalente em cada um dos lados e do parâmetro de chaveamento. Este parâmetro depende da resistência R_{ON} do transistor e da rampa do sinal de *clock* aplicado à porta do transistor [11], [12]. Para o pior caso, onde toda carga do canal é aplicada ao capacitor, a variação de tensão máxima devido à injeção de carga ($\Delta V_{C_{sh, inj}}$) será

$$\Delta V_{C_{sh, inj}} = \frac{Q_{IS}}{C_{sh}} \approx \frac{2,9f}{5p} \approx 580 \mu V$$

A variação da tensão no capacitor de amostragem devido ao acoplamento capacitivo do sinal de controle da chave pode ser obtida a partir do circuito série formado pelo capacitor de *overlap* do transistor da chave e pelo capacitor de amostragem, constituindo um divisor de tensão capacitivo. Dessa forma a variação de tensão devido à capacitância de *overlap* ($\Delta V_{C_{sh, over}}$) é dada por

$$\Delta V_{C_{sh, over}} = \frac{\Delta V_G C_{ovd}}{C_{OVD} + C_{sh}} = \frac{0,7 \cdot 0,07f}{0,07f + 5p} = 10 \mu V$$

onde ΔV_G é a variação da tensão porta-substrato quando o transistor é cortado (considerando $\Delta V_G = -V_{TO}$), C_{ovd} é o capacitor de *overlap* do transistor (cujo valor é definido a partir da tecnologia e das dimensões da chave) e C_{sh} é o capacitor de amostragem.

Vale ressaltar que a estrutura do circuito *sample and hold* implementada é simétrica, o que significa dizer que os erros devido à injeção de carga e *clock feedthrough* no conjunto S1 - C_{sh1} são de valores próximos aos do conjunto S2 - C_{sh2} ; considerando a estrutura diferencial da etapa amplificadora, essas variações serão transferidas para a saída do amplificador apenas devido às variações dadas pelo descasamento entre os conjuntos.

A partir da Eq. (2.15) para o transistor canal P, considerando-se o pior caso, onde $V_{DD} = 2V$ (fim da vida útil da bateria), a resistência interna da chave é da ordem de

$$R_{on} = \frac{1}{g_{dsp}} = \frac{1}{140 \text{cm}^2 \cdot 5 \text{ f} / \mu^2 \frac{0,7}{0,4} (2 - 0,7 + 1,3(2 - 2))} = 6,2 \text{k}\Omega$$

o que devido à baixa frequência de acionamento das chaves (32 kHz), não compromete o tempo de carga do capacitor de amostragem (Seção 4.2.1).

Para a determinação do ruído no *sample and hold* considera-se apenas o ruído térmico pois, no instante de retenção do S/H (chaves S1 e S2 abertas), não há circulação de corrente, o que torna o ruído *flicker* igual a zero.

Para o cálculo do ruído térmico, pode-se analisar a chave e o capacitor de amostragem (C_{sh}) como um filtro RC. Assim, a tensão RMS de ruído no capacitor é dada por [13]:

$$\overline{Vn_{sh}^2} = \frac{k_B T}{C_{sh}}$$

onde k_B é a constante de Boltzmann e T é a temperatura absoluta. Considerando $T=300$ K, o valor da tensão RMS de ruído do S/H é da ordem 28,6 μ V.

2.4 O Controle de Corrente

De modo a polarizar em corrente os circuitos do monitor de carga da bateria, faz-se necessária a utilização de uma referência de corrente estável, que seja constante, independente da tensão de alimentação. Dessa forma foi utilizada uma referência desenvolvida e implementada por Galeano [14],[15] para aplicações de mesma natureza (que requeiram baixo consumo e alta confiabilidade). Trata-se de uma fonte de corrente de 5 nA com consumo da ordem de 20nA. Tal fonte é baseada numa associação *cascode* de 2 transistores onde ao nó intermediário da associação é aplicada uma referência de tensão proporcional à temperatura absoluta (PTAT) [14],[15].

De modo a manter o consumo reduzido do bloco, a referência de corrente utilizada foi de 5 nA. Como no monitor da carga da bateria dois valores de corrente são requeridos, 500

nA para a polarização dos circuitos analógicos, (amplificadores, e deslocadores de nível) e 5 μ A para medição da impedância da bateria (fonte Iforce), faz-se necessária a utilização de espelhos elevadores de corrente. Tais espelhos, além de elevarem o nível de corrente, ainda possuem a função de chaveamento do circuito. O chaveamento do sistema de polarização (On/Off) é definido de modo a manter o sistema desligado enquanto a medida não estiver sendo executada, não consumindo assim energia da bateria. Já o chaveamento da fonte Iforce é dado em função do sistema de medida da resistência, que requer uma seqüência de ativação específica descrita no Capítulo 4.

O circuito de controle de corrente é mostrado através da Figura 2.5, e a dimensão de cada transistor pode ser vista através da Tabela 2.2.

Tabela 2.2 – Dimensões dos transistores do circuito de controle de corrente.

	TIPO	L (μ)	W (μ)	Obs.
M1	NMOS	10	10	Espelho NMOS
M2	PMOS	20	20	Espelho PMOS
M3	NMOS	1	100	Chave de controle
M4	NMOS	10	1	Chave de controle

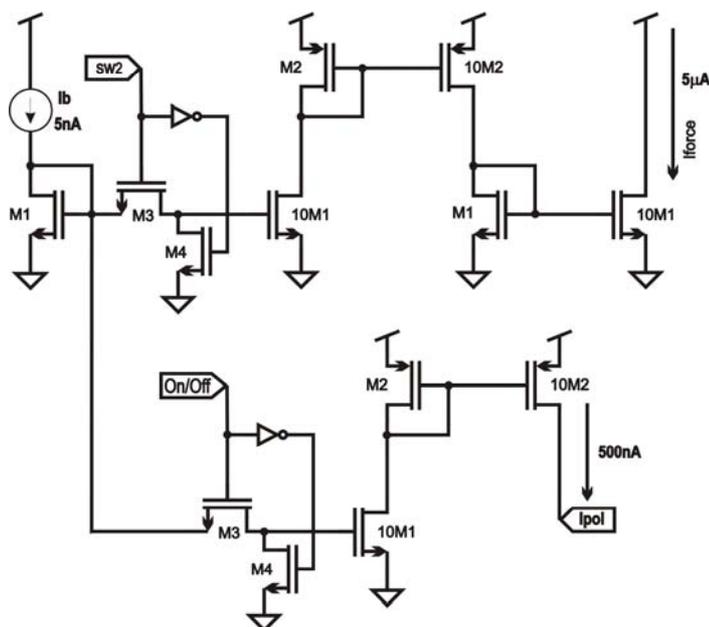


Figura 2.5 – Circuito de controle de corrente.

Uma vez que possíveis variações no valor da corrente I_{force} alteram o resultado da medida da impedância da bateria, faz-se necessária uma análise do ruído gerado pelo circuito de controle de corrente. Devido ao sistema de espelhamento utilizado, o ruído provocado pelo primeiro transistor, que é polarizado em 5nA, é o mais importante. O ruído gerado pelos demais transistores representa uma parcela pequena em relação ao ruído do primeiro transistor. Assim, somente o efeito do ruído no transistor de entrada da corrente será considerado nesta análise.

A frequência de *corner* do ruído que define a banda de frequências na qual o ruído 1/f é relevante comparado ao ruído térmico, é calculada a partir da Eq. (2.14) e dos parâmetros típicos da tecnologia 0.35 μm . Assim a frequência de *corner* do ruído para o transistor M1 é da ordem de 3400 Hz.

A densidade espectral de potência do ruído pode então ser calculada na faixa de interesse do circuito. Como a banda do sinal de ruído é limitada por um filtro de primeira ordem (Seção 3.1), cuja frequência de corte é de 21Hz, então o ruído térmico pode ser desprezado diante do ruído 1/f uma vez que a frequência de *corner* é igual 3400Hz.

O ruído *flicker* é calculado a partir da Eq. (2.13). Considerando-se que a corrente de dreno de M1 $I_D=5$ nA, e os parâmetros tecnológicos, tem-se que $S_{in_f}(f)=(5,5 \times 10^{-22})/f$. Assim,

$$\overline{In_f^2} = \int_1^{21} \frac{5,5 \times 10^{-22}}{f} df = 5,5 \times 10^{-22} \ln |f|_1^{21} = 1,67 \times 10^{-21} A^2$$

o que dá um valor RMS de 41 pA. Dessa forma, o ruído gerado representa um percentual pequeno (da ordem de 1 %) da corrente de polarização, 5 nA. O limite de integração superior de 21 Hz é definido pela frequência de corte do filtro. O limite inferior é definido, segundo [27], pelo tempo durante o qual o circuito deverá permanecer operacional, ou seja, o tempo relativo a um ciclo completo de medida. Dessa forma, o limite inferior é definido em 1 Hz, o que é da mesma ordem de um ciclo da medida da impedância da bateria ($\approx 1,5$ s).

2.5 O Capacitor de Filtro

O circuito monitor de impedância da bateria, de modo a reduzir interferências, contém um filtro ativo OTA-C passa baixas. O pólo do filtro é definido por $Gm2/C$ (conforme é discutido na Seção 3.1). Como o transcondutor $Gm2$ requer, em função da faixa de linearidade requerida na entrada, um nível de inversão elevado ($if \approx 200$), o valor de sua transcondutância também será elevado. Assim, como o pólo do filtro é $Gm2/C$, considerando o valor de $Gm2$ elevado, o valor de C também deverá ser elevado. Dessa forma, a escolha de capacitores que apresentem uma relação de capacitância por unidade de área otimizada, torna-se extremamente importante.

O capacitor em tecnologia convencional CMOS que apresenta a maior capacitância por unidade de área é o capacitor de *gate*, quando polarizado em inversão forte ou em acumulação. Nessas condições de polarização, a capacitância obtida é em torno de cinco vezes maior do que a capacitância obtida com os capacitores de polissilício para o processo $0.35 \mu m$. A principal desvantagem do capacitor de *gate* em relação ao capacitor de polissilício é a sua não linearidade. De modo a reduzir a não linearidade do capacitor, o circuito deve ser polarizado na região de acumulação ou de inversão forte. As relações que descrevem o comportamento do capacitor nos regimes de acumulação e de inversão forte são, respectivamente [17]:

$$C_g \cong C_{ox} \left[1 - \frac{2\phi_t}{|V_{GB} - V_{FB}| + 2\phi_t} \right] \quad (2.18)$$

$$C_g \cong C_{ox} \left[1 - \frac{2\phi_t}{|V_{GB} - V_T| + 2\phi_t} \right] \quad (2.19)$$

onde C_g é a capacitância de *gate*, V_{FB} é a tensão de banda plana (*flat-band*) e $C_{ox} = C'_{ox} \cdot WL$ é a capacitância do óxido de silício do transistor. Considerando o regime de inversão forte, a partir da Eq. (2.19), e as aproximações do modelo ACM, pode-se representar a capacitância de *gate*, em função do nível de inversão como

$$C_g \cong C_{ox} \left[1 - \frac{2}{n\sqrt{i_f} + 2} \right] \quad (2.20)$$

A curva de capacitância simulada através do modelo BSIM3 e a curva experimental obtida a partir de transistores de teste tipo NMOS implementados no processo TSMC 0.35 μm pode ser vista através da Figura 2.6. Os valores foram obtidos com os terminais de dreno, fonte e substrato curto-circuitados (Figura 2.7), resultando em $C_{total}=C_{gb}+C_{gs}+C_{gd}$. Através dos resultados, percebe-se que, quando operando nas regiões preferenciais de utilização (acumulação e inversão forte), a capacitância é aproximadamente igual a $C'_{ox}WL$. Comparando-se a curva extraída com a simulada, percebe-se que ambas seguem a mesma tendência, porém algumas variações de nível são justificadas em decorrência de variações no processo de fabricação do circuito, como variação na espessura do óxido de porta. Os transistores testados apresentam as dimensões de $W=105 \mu\text{m}$ e $L=105 \mu\text{m}$. Observa-se que a capacitância descrita por BSIM3 utiliza a aproximação $C_g = C_{ox}$ tanto para a região de acumulação quanto para a de inversão forte.

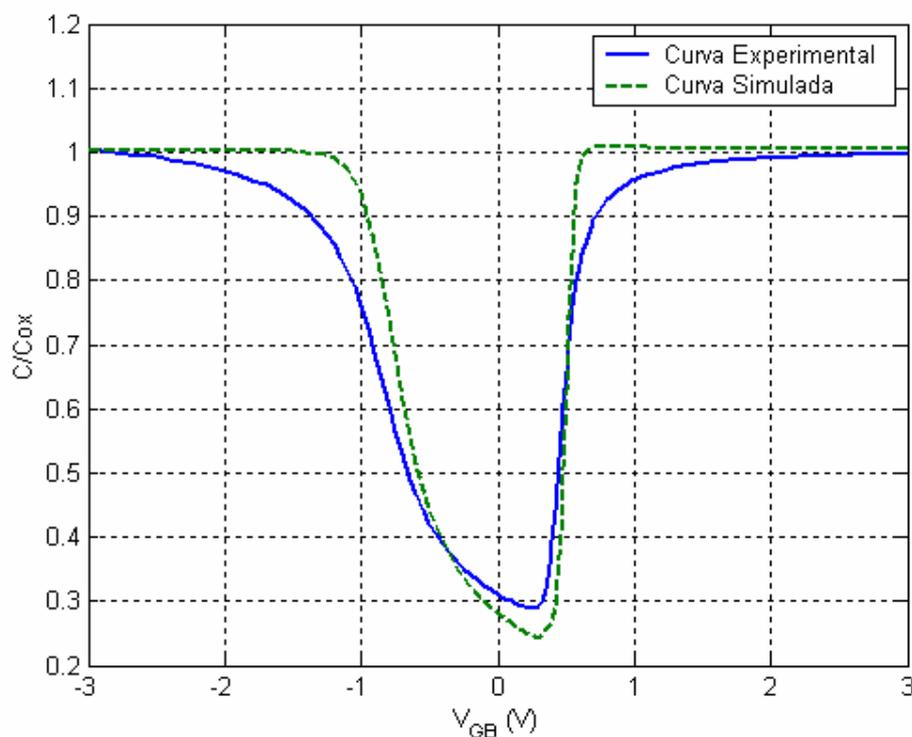


Figura 2.6 – Curvas da capacitância de gate NMOS simulada e experimental, obtidas a partir do processo TSMC 0.35 μm .

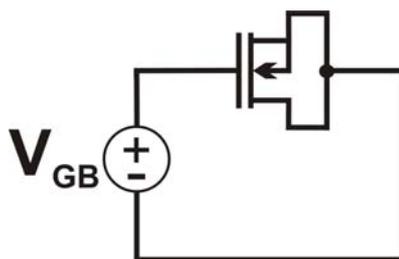


Figura 2.7 – Polarização do capacitor de *gate* NMOS.

2.6 O Amplificador Diferencial

O sinal de tensão diferencial referente à medida da impedância da bateria tem uma faixa de excursão máxima de aproximadamente 50 mV, definida pelo produto da resistência no final da vida útil da bateria (10 k Ω) e da corrente forçada I_{force} (5 μ A). Essa variação é pequena quando comparada à faixa de conversão de 1250mV do conversor A/D. Dessa forma, para que se tenha uma maior resolução do sinal digital referente à resistência da bateria, faz-se necessária a utilização de um circuito analógico que amplifique o sinal.

Várias topologias de amplificadores foram pesquisadas para esse fim. Amplificadores de instrumentação de tempo contínuo se apresentam como uma boa opção em se tratando de precisão. Seu ganho é determinado através de uma razão de elementos passivos como resistores. Um circuito amplificador de instrumentação amplamente utilizado é mostrado através da Figura 2.8 [18], [19]. Trata-se de um amplificador de dois estágios com uma impedância de entrada muito alta (em função do circuito *buffer* colocado em cada entrada). Devido à simetria do circuito, os resistores poderiam ser integrados internamente sem prejudicar a precisão do ganho. Porém, em função da natureza de aplicação do sistema (circuitos de baixíssimo consumo), os resistores devem ser de valor muito elevado, o que implica em uma solução não atrativa quanto à área.

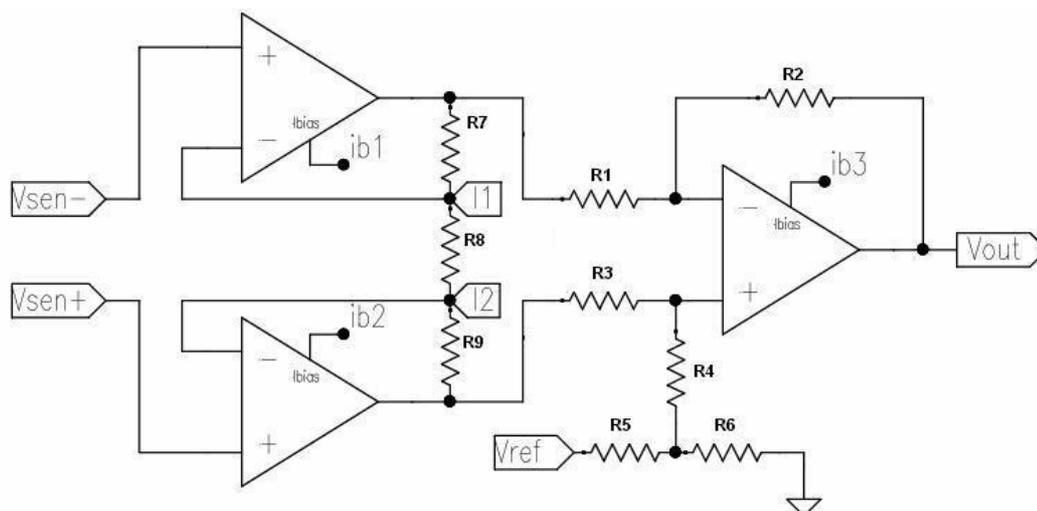


Figura 2.8 – Circuito amplificador de instrumentação a resistor.

Tal topologia teve a sua funcionalidade testada através de um protótipo implementado na tecnologia TSMC 0.35 μm usando resistores de poço tipo N (*N Well*). Para o circuito, o ganho projetado foi de 21,3 com uma faixa de entrada do sinal de 110 mV. Além disso, um sinal de tensão de referência (V_{ref}) é utilizado de modo a deslocar a saída do sistema de zero para 0,3 V. A curva de transferência experimental do amplificador de instrumentação a resistor é mostrada através da Figura 2.9. Percebe-se que o circuito apresenta características extremamente satisfatórias quanto à linearidade e ao ganho obtido. O ganho foi de 21,5, valor muito próximo ao calculado. Porém, o consumo e a área tornam-se críticos, sendo que a topologia apresentou um consumo de aproximadamente 20 μA e uma área de 0,296 mm^2 , ambos os valores inviáveis para a aplicação em questão.

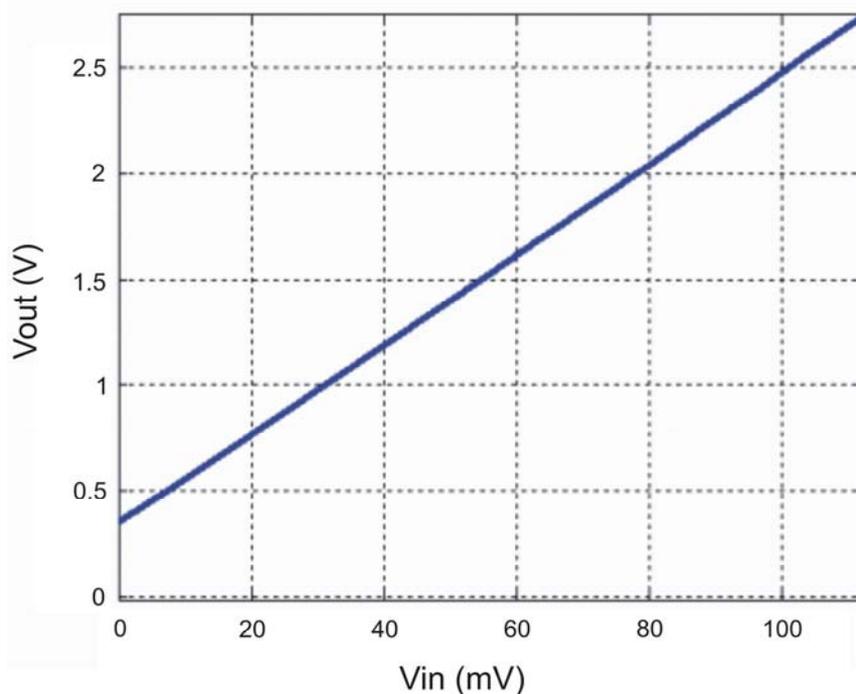


Figura 2.9 – Curva de transferência extraída do circuito amplificador de instrumentação a resistor.

Uma outra topologia que apresenta uma relação de consumo muito mais vantajosa, em relação aos amplificadores a resistor, é a de amplificadores a capacitor chaveado [20], [21], [26]. Porém, o ruído de chaveamento caracteriza uma desvantagem deste tipo de amplificador que, no entanto, pode ser superada. Porém, para melhor aproveitar o conhecimento já adquirido pela equipe do Laboratório de Circuitos Integrados em amplificadores em tempo contínuo, foi analisada uma terceira topologia, baseada nos amplificadores de transcondutância (OTA - *Operational Transconductance Amplifier* ou simplesmente Gm). Tais amplificadores caracterizam-se por operarem em tempo contínuo, não apresentando os problemas referentes ao ruído de chaveamento de uma estrutura a capacitor chaveado. Além disso, evitam a necessidade de utilização de componentes passivos como resistores e capacitores na determinação do ganho do circuito. A Figura 2.10 ilustra a topologia de um transcondutor simétrico básico a MOSFET e o circuito amplificador OTA. O projeto do amplificador OTA implementado é apresentado no Capítulo 3.

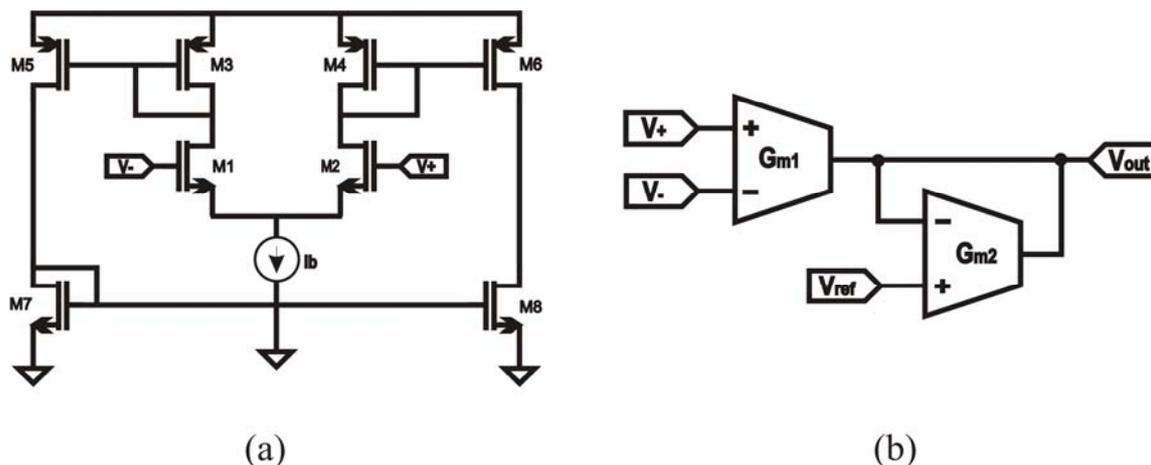


Figura 2.10 – (a) Topologia de um transcondutor simétrico básico a MOSFET (b) Circuito amplificador com OTAs.

2.7 O Deslocador de Nível

Para que os sinais de saída dos blocos utilizados no monitor de carga da bateria possam ser interpretados pela etapa digital do sistema, é necessário que eles não extrapolem a faixa de conversão do conversor analógico digital (de 0 V a 1,25 V). Como a saída de cada bloco apresenta nível máximo superior ao limite máximo do conversor, faz-se necessária a utilização de deslocadores de nível de tensão na saída de cada monitor do sistema (monitor de impedância e de tensão). Uma vez que cada bloco apresenta uma faixa de variação característica diferente, tem-se a necessidade da utilização de dois deslocadores de nível distintos. A descrição dos dois blocos projetados é detalhada nas próximas seções.

2.7.1 O deslocador de tensão do circuito monitor de tensão da bateria

O monitoramento da tensão da bateria é uma das principais funções do sistema. Porém a tensão de alimentação, que varia de 2,8 V a 2 V, apresenta valor superior ao limiar de conversão Analógico/Digital. Dessa forma, para que a tensão da bateria possa ser monitorada, o seu nível DC deve ser deslocado até a faixa de operação do conversor (A/D), cujo limite superior é de 1,25 V. Assim, para que seja preservada toda faixa de variação da

tensão da bateria, o deslocamento projetado foi de 1,6 V, o que implica em uma faixa de variação na saída do deslocador de 1,2 V a 0,4 V.

O circuito utilizado para tal é mostrado na Figura 2.11. Trata-se de um circuito deslocador de nível polarizado por corrente. A tensão da bateria é deslocada através de dois transistores PMOS dispostos em série (M1 e M2). Como eles são polarizados na configuração diodo, ou seja, com os terminais de porta e de dreno interligados, apresentam a mesma geometria, e cada qual com o poço individual conectado à fonte, a tensão de saída será aproximadamente $V_{BAT} - 2V_{GS}$.

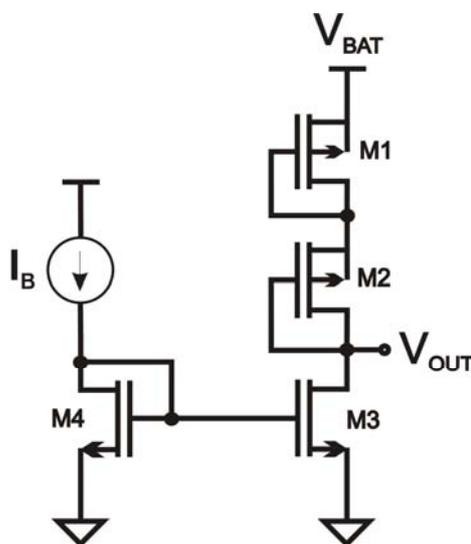


Figura 2.11 – Circuito deslocador de nível polarizado por corrente.

Combinando-se as Eqs. (2.4) e (2.5) do modelo ACM, descritas na Seção 2.2, e utilizando os parâmetros típicos da tecnologia 0.35 μm , pode-se calcular o nível de inversão (i_f) de cada transistor PMOS utilizado no deslocador de nível, considerando uma corrente de polarização de 250 nA e um deslocamento unitário de 0,8 V em cada transistor. A partir do nível de inversão, combinando-se as Eqs. (2.2) e (2.3), obteve-se a dimensão dos transistores, conforme ilustra a Tabela 2.3.

Tabela 2.3 – Dimensões dos transistores do circuito deslocador de nível do monitor de tensão da bateria.

	TIPO	L (μ)	W (μ)	i_f	Obs.
M1 e M2	NMOS	15	10	15	Diodo deslocador PMOS
M3	PMOS	10	5	6,7	Espelho NMOS
M4	PMOS	10	10	6,7	Espelho NMOS

Para verificação do funcionamento do circuito, realizou-se um monitoramento da saída do deslocador em função da variação esperada da bateria, de 2,8 V a 2 V. A Figura 2.12 ilustra os resultados obtidos a partir da simulação, utilizando parâmetros típicos da tecnologia e também de resultados experimentais através do chip de teste implementado. Percebe-se através da figura que o protótipo do circuito apresenta as características esperadas na simulação.

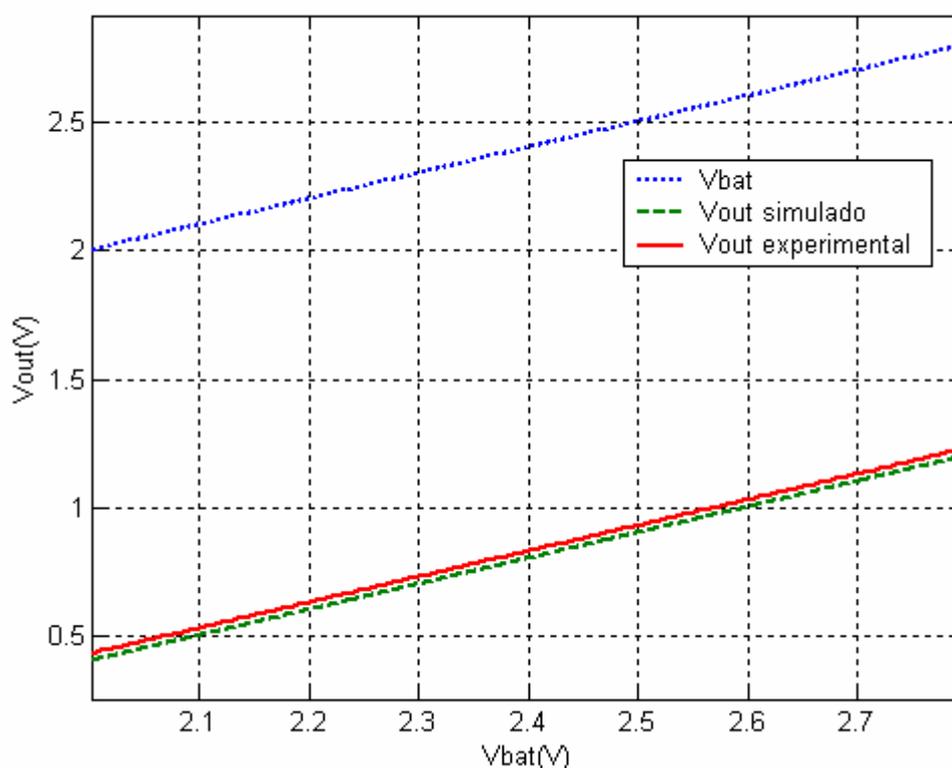


Figura 2.12 – Resultados simulado e experimental do circuito deslocador de nível do monitor de tensão da bateria.

Para testar os efeitos da variação dos parâmetros da tecnologia, calculou-se os limites do deslocador utilizando para isso os valores máximo e mínimo da tensão de limiar (V_{T0}) para a tecnologia 0.35 μm . Os limites encontrados são mostrados através da Tabela 2.4. Percebe-se que, apesar de o limite da tensão de saída do deslocador ficar dentro da faixa do conversor A/D para o valor típico de V_{T0} (tendo sua funcionalidade comprovada pelos resultados experimentais), o valor máximo de V_{T0} (-0,6 V) força a saída do deslocador a valores que extrapolam o limite do conversor A/D.

Tabela 2.4 – Limites do circuito deslocador para os valores de V_{T0} típico, máximo e mínimo.

	V_{T0} (V)	V_{out} ($V_{DD}=2,8V$)	V_{out} ($V_{DD}=2V$)
V_{T0} <i>típico</i>	-0,7	1,2	0,4
V_{T0} <i>mínimo</i>	-0,8	1,0	0,2
V_{T0} <i>máximo</i>	-0,6	1,4	0,6

Assim, novos valores para o circuito da Figura 2.12 foram calculados de modo que para o valor máximo de V_{T0} , a saída do circuito não supere o limite do conversor A/D (1,25 V). Dessa forma, as dimensões de M1 e M2 são sugeridas como $W=10\ \mu\text{m}$ e $L=30\ \mu\text{m}$, o que representa, para V_{T0} máximo (-0,6 V), um valor máximo na saída do deslocador de 1,2 V.

Vale ressaltar que, para o sistema, o valor absoluto não representa a informação mais importante e sim a variação relativa ao valor da medida inicial. A interpretação da medida é feita por um microcontrolador através de um software específico, que compara a medida num instante qualquer ao longo da vida do equipamento com a medida tomada no início de sua operação.

2.7.2 O deslocador de tensão do circuito monitor de impedância da bateria

A saída do circuito amplificador utilizado no monitor de impedância da bateria apresenta o seu valor de modo comum de 1,25 V. Dessa forma, os valores de tensão relativos à saída do circuito superam o limite de tensão máximo na entrada do conversor A/D, que é também de 1,25 V. Assim, torna-se necessário, a exemplo do monitor de tensão da bateria, um circuito conversor de nível DC.

Como primeira opção na escolha da topologia do deslocador, foi considerado o circuito utilizado no monitor de tensão (Seção 2.7.1). Porém, como os níveis de corrente na saída do amplificador utilizado no monitor de impedância são extremamente baixos, da ordem de poucos nA (Seção 3.2), insuficientes para fornecer corrente ao estágio da Figura 2.11, a topologia definida foi a de um seguidor de fonte, conforme é mostrado na Figura 2.13.

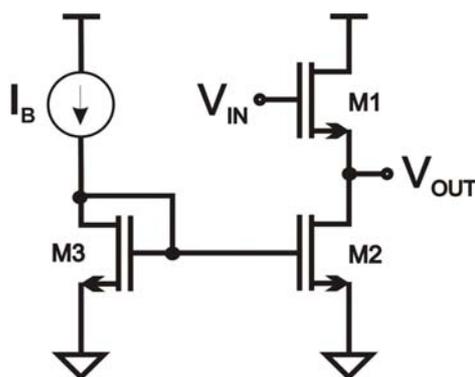


Figura 2.13 – Circuito deslocador de nível, seguidor de fonte.

A partir das Eqs. (2.4) e (2.5) do modelo ACM, a saída do circuito será dada por:

$$V_{OUT} = \frac{V_{IN} - V_{T0}}{n} + K\phi_t \quad (2.21)$$

sendo K uma constante definida pela Eq. (2.22) e calculada para $i_f=0,5$, como da ordem de 2,27.

$$K = -\left[\sqrt{1+i_f} - 2 + \ln\left(\sqrt{1+i_f} - 1\right)\right] \quad (2.22)$$

A geometria dos transistores foi determinada a partir da definição dos respectivos níveis de inversão combinando-se as Eqs. (2.1) e (2.2) com os parâmetros da tecnologia 0.35 μm , considerando-se uma corrente de polarização de 250 nA. A dimensão de cada transistor é mostrada na Tabela 2.5.

Tabela 2.5 – Dimensões dos transistores do circuito deslocador de nível do monitor de impedância da bateria.

	TIPO	L (μ)	W (μ)	i_f	Obs.
$M1$	NMOS	5	30	0,5	Deslocador NMOS
$M2$	NMOS	10	5	6,7	Espelho NMOS
$M3$	NMOS	10	10	6,7	Espelho NMOS

Os resultados experimental e simulado do deslocador são mostrados através da Figura 2.14. Para isso a entrada do transistor M1 varia entre 1 V e 2 V. Pode-se perceber que os resultados simulados apresentam-se próximos aos resultados extraídos. A pequena diferença no deslocamento DC entre os resultados é justificada em função da variação dos parâmetros do processo na etapa de fabricação do circuito integrado, especialmente, o valor de V_{T0} . Os resultados experimentais foram obtidos a partir do protótipo de testes, implementado na tecnologia TSMC 0.35 μm .

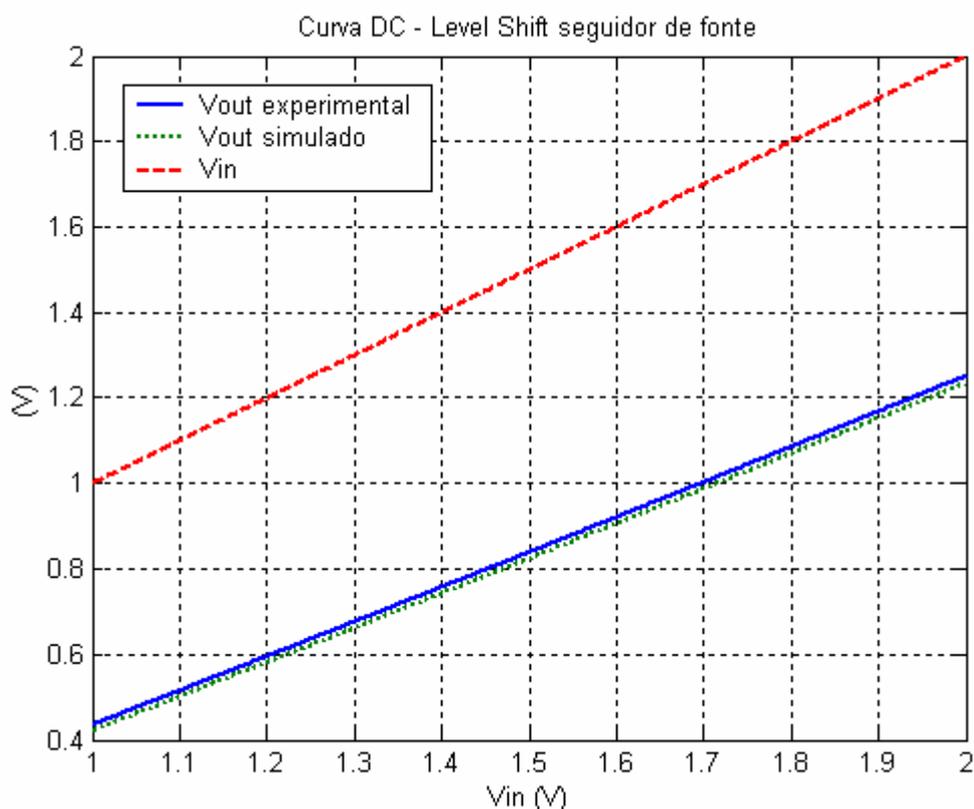


Figura 2.14 – Resultados simulado e experimental do circuito deslocador de nível do monitor de impedância da bateria.

Os limites de tensão do deslocador foram recalculados de acordo com os valores máximos e mínimos possíveis da tensão de limiar (V_{T0}) para a tecnologia 0.35 μm . Os limites encontrados são mostrados através da Tabela 2.6. Percebe-se que os limites do circuito, tanto para os parâmetros máximos como para os parâmetros mínimos, apresentam-se dentro da faixa esperada, não extrapolando o limite superior do conversor A/D, e mantendo polarizado o transistor M2 na região de corrente de dreno saturada.

Tabela 2.6 – Limites do circuito deslocador para os valores de V_{TO} típico, máximo e mínimo.

	V_{TO} (V)	V_{out} ($V_{in}=1,25V$)	V_{out} ($V_{in}=1,7V$)
V_{TO} típico	0,5	0,636	0,982
V_{TO} máximo	0,6	0,7128	1,059
V_{TO} mínimo	0,4	0,559	0,905

3 Projeto do Amplificador

Em aplicações biomédicas, filtros ativos que operem a baixas frequências de corte (da ordem de poucos hertz) são necessários devido à lenta atividade elétrica do corpo humano [23]. Motivados por essa aplicação, topologias já existentes de circuitos passam a ser revistas de modo a gerar soluções para a aplicação em questão.

No caso dos amplificadores de transcondutância, diversas técnicas de circuitos têm sido utilizadas de modo a permitir que estes possam ser utilizados em aplicações que requeiram uma maior linearidade de entrada, da ordem de 1V, e valores mais baixos de transcondutância, da ordem de pA/V [16], [23].

Para a aplicação em baixa frequência, filtros ativos OTA-C necessitam de valores pequenos de transcondutância para atingir grandes constantes de tempo e valores reduzidos de G_m requerem baixos níveis de inversão. Por sua vez, a linearidade do filtro é reduzida em baixos níveis de inversão, sendo mínima para inversão fraca. Uma forma de obter baixas transcondutâncias sem operar o par diferencial em inversão fraca é dividir a corrente de saída do par diferencial, possibilitando faixas de linearidade maiores na entrada (utilizando níveis de inversão maiores) e valores menores de transcondutância do bloco. Porém, de acordo com os valores de linearidade e transcondutância que se deseja obter, essa divisão simples representa um dispêndio extremamente significativo de área.

De forma a tornar o dispêndio de área menor, efetuou-se a divisão de corrente do par diferencial através da associação série-paralelo de transistores [16], [24].

3.1 Projeto do Filtro Ativo OTA-C

Para a topologia do amplificador utilizado no circuito medidor de impedância da bateria, optou-se por circuitos de tempo contínuo baseados nos amplificadores de transcondutância (OTAs). Porém, para armazenar a informação relativa à impedância da bateria, há um sistema de chaveamento controlado por circuitos digitais. Assim, de modo a evitar que os sinais digitais e o sistema de chaveamento interfiram no desempenho da etapa analógica, o circuito amplificador também possui a função de filtragem. Dessa forma, a topologia definida foi de um filtro ativo OTA-C.

Tal circuito é utilizado como um amplificador diferencial de ganho fixo com um filtro de 1ª ordem, como pode ser visto através da Figura 3.1. Dessa forma o amplificador diferencial tem a função de amplificar a variação de tensão relativa à impedância da bateria, conforme a especificação do conversor A/D. Além disso, sinais espúrios provocados pelo chaveamento do circuito de controle com frequência acima de 21 Hz (pólo do filtro de primeira ordem) são atenuados pelo filtro. No circuito, as entradas V_{bat+} e V_{bat-} representam, respectivamente, os valores de tensão da bateria sem e com o acionamento da fonte de $5 \mu A$.

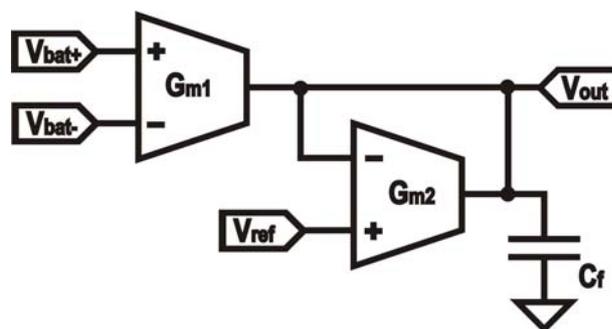


Figura 3.1 – Topologia do Filtro Ativo OTA-C.

A função de transferência, Eq. (3.1), ilustra a função do circuito, uma função passa baixas de primeira ordem, com frequência de corte igual a $Gm2/C$. O ganho DC do amplificador é dado pela razão entre os dois blocos transdutores ($Gm1$ e $Gm2$). Uma vez que os blocos transdutores podem ser construídos de forma casada, a partir da mesma

topologia (usando o mesmo nível de inversão), a razão entre eles pode ser relativamente precisa, implicando na obtenção do valor de ganho também preciso.

$$H(s) = \frac{Gm1}{Gm2} \frac{1}{1 + sC_f / Gm2} \quad (3.1)$$

3.1.1 Cálculo do filtro OTA-C

O valor da frequência do pólo do filtro passa baixas foi definido como de 21 Hz. Este valor foi estabelecido de modo a evitar os sinais espúrios de 32 kHz da etapa de controle digital, bem como atenuar a interferência do ruído de 60 Hz.

O ganho DC do amplificador foi definido de modo que o sinal de saída apresente uma faixa que possa ser interpretada adequadamente pela etapa digital do sistema. Assim, o ganho foi estabelecido em 8,4, proporcionando uma excursão do sinal na saída do amplificador de até 420 mV, já que a amplitude máxima do sinal de entrada é de 50 mV ($5 \mu A \cdot 10 k\Omega$). Como o circuito anterior ao conversor A/D reduz o sinal de aproximadamente 1,3 (Seção 2.7.2), a entrada do conversor receberá um sinal com excursão máxima de ≈ 320 mV, o que representa, no mínimo, 64 posições digitais (6 bits), uma vez que a resolução do conversor é de ≈ 5 mV.

Uma vez definidos a frequência de corte e o ganho DC do filtro ativo, o próximo passo é a definição do valor do capacitor de filtro e, em consequência, o valor das transcondutâncias de $Gm1$ e $Gm2$. Para isso, definiu-se o valor do capacitor de filtragem C_f como 50 pF. Um valor relativamente alto de C_f foi escolhido para obter um valor alto de $Gm2$, a fim de polarizar o par diferencial com nível suficientemente alto para atender os requisitos de linearidade. Assim, tendo a função de transferência do filtro, Eq. (3.1), e o valor do capacitor, tem-se que para uma frequência de corte de 21 Hz, o transcondutor $Gm2 = 6,6$ nA/V. Uma vez definido $Gm2$, o valor de $Gm1$ é então determinado, a partir do ganho DC do circuito. Assim, $Gm1 = 56$ nA/V.

3.2 Projeto dos OTA's

3.2.1 Cálculo de G_{m1}

A estrutura básica utilizada é um bloco transconductor OTA com entrada diferencial e saída simples (Figura 3.2). Os transistores do par diferencial de entrada foram definidos como NMOS em função de as entradas de G_{m1} serem polarizadas com o valor de tensão próximo à tensão de alimentação da bateria.

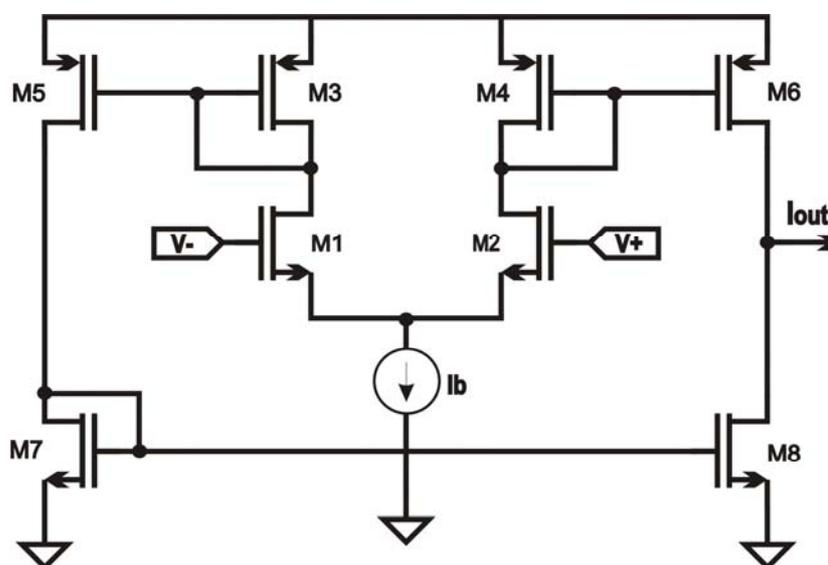


Figura 3.2 – Circuito transconductor OTA.

O primeiro passo no projeto no circuito transconductor é a determinação do nível de inversão do par diferencial de entrada. Tal definição é importante, pois através dela pode-se estabelecer a relação entre área e consumo de corrente do circuito. Além disso, através do nível de inversão, é possível definir a faixa linear de entrada do circuito amplificador de transcondutância. Devido ao fato de que a linearidade de entrada do circuito OTA é relativamente reduzida, torna-se necessário estabelecer os seus limites. A expressão que relaciona o nível de inversão à linearidade do amplificador OTA [16] é expressa por:

$$V_{LIM} \cong 3n\phi_t \sqrt{\alpha(1+i_f)} \quad (3.2)$$

onde V_{LIM} é o limite de tensão na entrada na qual o circuito opera de forma linear e α é o fator que indica o valor máximo de desvio da linearidade (sendo considerado para a aplicação 10 ou 5 %).

Considerando-se um sinal de entrada com amplitude de até 70mV, aplicando-se a Eq. (3.2) e considerando um fator de linearidade máximo de 10%, calcula-se $i_{fl} \cong 3,8$.

A partir da Eq. (2.10), considerando uma polarização de corrente em cada ramo de 250 nA para o nível de inversão calculado, o valor de transcondutância do par diferencial é de $g_{m1}=4,6 \mu\text{A/V}$. Como o valor de G_{m1} calculado anteriormente é diferente do valor da transcondutância do par diferencial g_{m1} , a corrente de saída do par diferencial deve ser reduzida, diminuindo assim a sua transcondutância. Porém, o fator de divisão será de $g_{m1}/G_{m1}=81$, o que representa uma variação relativamente alta e, com isso, um gasto em área significativo. De modo a diminuir o dispêndio de área que a divisão de corrente simples exige, é utilizada então, a divisão de corrente através da associação série-paralelo de transistores. Dessa forma, os pares de transistores que espelham a corrente do par diferencial M3,M5 e M4,M6, (Figura 3.3), espelharão parcelas da corrente determinadas pelo número de transistores em paralelo com M3 e M4 e em série com M5 e M6. A Figura 3.3 mostra a topologia do amplificador OTA com a associação de transistores.

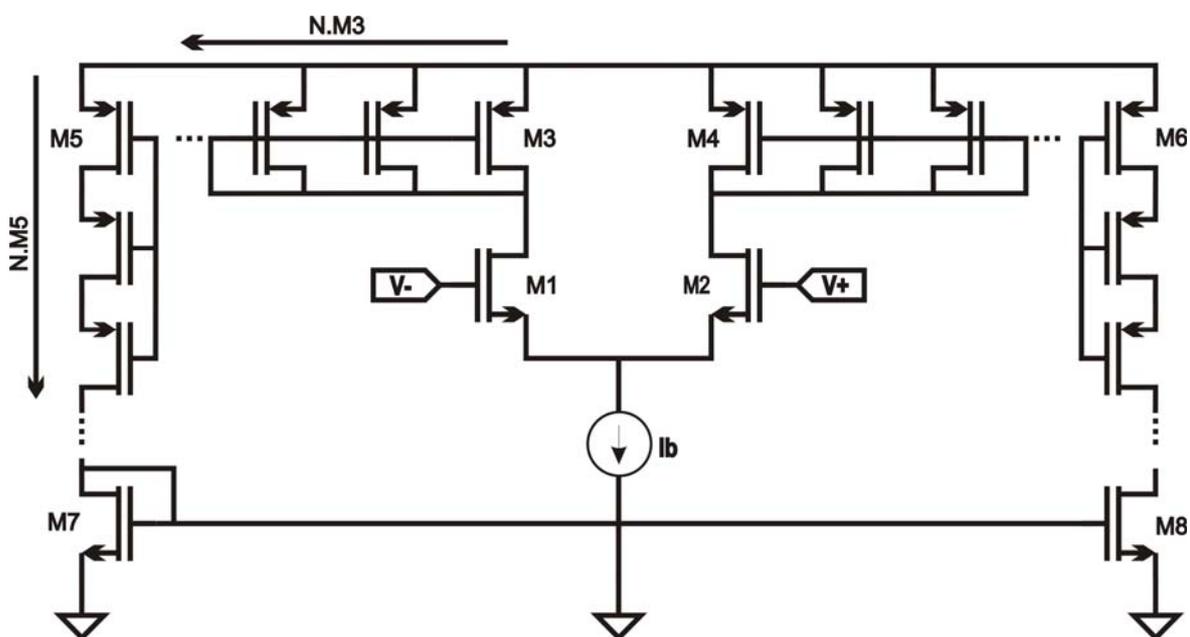


Figura 3.3 – Circuito transconductor OTA com redução de corrente utilizando associação série-paralelo de transistores.

Se o número de transistores em série for o mesmo de transistores em paralelo, este número será determinado por [16]

$$N = \sqrt{\frac{gm1}{Gm1}} \quad (3.3)$$

onde N é o número de transistores que deverão ser utilizados em série e em paralelo no espelho redutor de corrente. Assim, a partir da Eq. (3.3), o número de transistores utilizados no OTA 1 em série e paralelo é N=9.

Uma vez definidos os níveis de inversão dos transistores, considerando-os saturados, a geometria é definida através da reescrita da expressão que relaciona as correntes do transistor, Eq. (2.2):

$$\frac{W}{L} = \frac{I_D}{I_{SQ} i_f} \quad (3.4)$$

Os valores das dimensões, dos níveis de corrente de polarização e do nível de inversão de cada transistor do transcondutor Gm1 são mostrados através da Tabela 3.1.

3.2.2 Cálculo de Gm2

Devido ao fato de o sinal de saída do transcondutor Gm2 ser realimentado na entrada do circuito, a região de linearidade do OTA deve ser expandida até o valor de saída do circuito amplificador. Isso representa uma faixa linear de aproximadamente 500 mV. Dessa forma, a partir da Eq. (3.2), e considerando um fator de linearidade máximo de 10%, o nível de inversão do par diferencial do amplificador Gm2 deve ser de $i_{f2} \cong 200$.

Assim, através da Eq. (2.10), sabendo-se que a corrente de polarização em cada ramo é de 250 nA, calcula-se o valor da transcondutância do circuito como $gm2=979$ nA/V.

Como o valor da transcondutância do bloco Gm2 é diferente do valor calculado do par diferencial, faz-se necessária a utilização de espelhos redutores de corrente a partir da associação série paralelo de transistores. Desta forma, utilizando-se a Eq. (3.3), chega-se ao valor de 12 para o número de transistores em série e paralelo.

A razão de aspecto de cada transistor do bloco Gm2 foi definida através da Eq. (3.4) e é mostrada, com as demais características de projeto, através da Tabela 3.1.

Tabela 3.1 – Dimensões dos transistores de Gm1 e Gm2.

	TIPO	L (μ)	W (μ)	i_f	$I_D(nA)$	Obs.
M1 e M2 - Ota 1	NMOS	11	10	3,86	250	
M3 e M4 - Ota 1	PMOS	1	1 (/9)	1	250/9	9 em paralelo
M5 e M6 - Ota 1	PMOS	1 (*9)	1	1	250/9	9 em série
M7 e M8 - Ota 1	NMOS	15	5	1	250/9	
M1 e M2 - Ota 2	NMOS	60	1	198	250	
M3 e M4 - Ota 2	PMOS	1	1 (/12)	1	250/12	12 em paralelo
M5 e M6 - Ota 2	PMOS	1 (*12)	1	1	250/12	12 em série
M7 e M8 - Ota 2	NMOS	18	5	1	250/12	
C_f	50pF					Capacitor de filtro
V_{ref}	1,25V					Valor da referência do A/D
I_b	500nA					Corrente de polarização

As entradas do bloco Gm1 são polarizadas com um nível próximo à tensão da bateria; porém, a entrada não inversora do bloco Gm2 requer uma tensão de polarização (V_{ref}), a tensão de modo comum do amplificador. Analisando a estrutura interna do transcondutor (Figura 3.4) percebe-se que, para que o transistor da fonte de corrente do par diferencial permaneça em saturação é necessário que a tensão V_{ref} de modo comum seja tal que:

$$V_{ref} > V_{GS1} + V_{DS,SAT MBIAS} \quad (3.5)$$

onde $V_{DS,SAT MBIAS}$, é a tensão entre dreno e fonte do transistor da referência de corrente I_b . Considerando que o par diferencial opera em inversão forte ($i_f > 100$), a tensão V_{GS1} deve ser um pouco maior do que V_T , de aproximadamente 0,8 V. Como o transistor de polarização M_{BIAS} opera em inversão fraca, considerando a Eq. (2.7), a tensão dreno fonte de saturação será de aproximadamente 110 mV. Assim a tensão de polarização, a partir da Eq. (3.5), deve ser maior do que 0,91 V.

Como já existe uma tensão de referência de 1,25 V, projetada para o bloco conversor A/D, foi utilizada esta referência de 1,25 V como valor de V_{ref} , valor suficiente para manter a fonte de corrente em saturação.

3.3 Resultados

3.3.1 Simulação dos OTA's

Para verificar a funcionalidade dos blocos transdutores projetados, foi feita uma simulação para determinação da transferência DC dos circuitos. A topologia de teste usada para simular cada transconductor é ilustrada através da Figura 3.4. Em função da característica de transferência do circuito G_m (variação da corrente na saída em função da alteração de tensão na entrada), para medir a saída de cada bloco é utilizada uma fonte de tensão de valor igual ao modo comum do amplificador (1,25 V), sendo monitorada a variação de corrente em cada OTA.

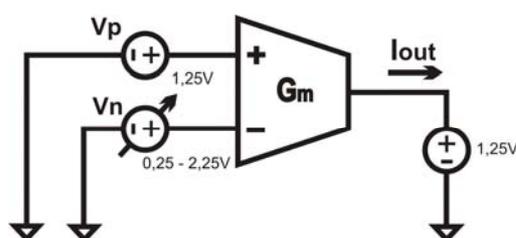


Figura 3.4 – Topologia de teste utilizada para simular cada circuito transconductor.

Os resultados simulados dos amplificadores são mostrados através da Figura 3.5 e da Tabela 3.2. Os valores obtidos das respectivas transcondutâncias foram bastante próximos aos valores projetados. Já as faixas de linearidade, considerando um desvio máximo de até 10% do valor calculado, foram inferiores às projetadas. Porém, devido à tolerância implementada, os valores não comprometem o desempenho da topologia.

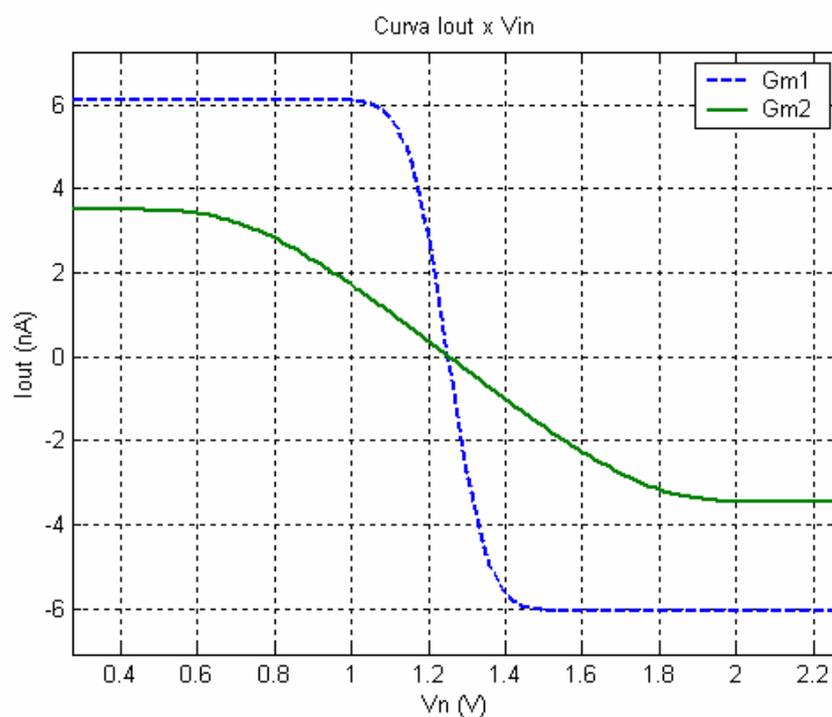


Figura 3.5 – Simulação da característica DC dos OTAs Gm1 e Gm2 usando o modelo BSIM3.

Tabela 3.2 – Valores projetados e simulados dos amplificadores de transcondutância.

	<i>Gm</i> Projetado	<i>Gm</i> Simulado	<i>Linearidade</i> Projetada	<i>Linearidade</i> Simulada
<i>OTA 1</i>	56,75 nA/V	56 nA/V	±70 mV	±50 mV
<i>OTA 2</i>	6,79 nA/V	7 nA/V	±500 mV	±400 mV

3.3.2 Simulação e medidas do amplificador diferencial

Para simular a característica do amplificador OTA projetado é feita uma análise na curva de transferência DC do circuito. Através desta, pode-se perceber os limites de tensão na entrada do amplificador, bem como verificar a linearidade na faixa de trabalho requerida. A Figura 3.6 ilustra a topologia utilizada no teste do circuito.

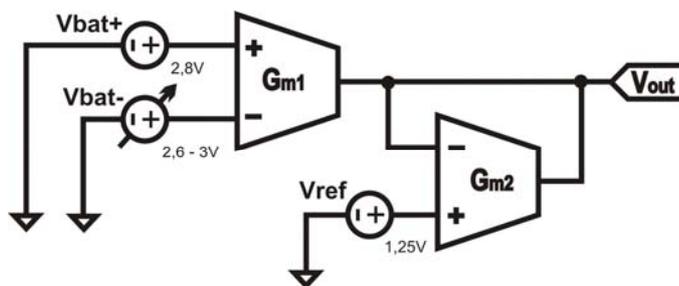


Figura 3.6 – Topologia de teste utilizada para simular o amplificador diferencial.

A Figura 3.7 apresenta o resultado da simulação do amplificador. No caso, a tensão na entrada V_{bat+} é mantida em 2,8 V, o que representa o limite de tensão superior da bateria, e a entrada V_{bat-} é alterada percorrendo a faixa de interesse, de 2,75 V (equivalente à impedância da bateria de 10 k Ω) à 2,7995 (equivalente à impedância da bateria de 100 Ω). A faixa de 50 mV simulada é a máxima tensão diferencial esperada. A curva de tensão que representa a resistência interna da bateria também foi simulada para valores inferiores da tensão da bateria (que são verificados à medida que a bateria se descarrega) e apresenta resultados similares ao mostrado na Figura 3.7.

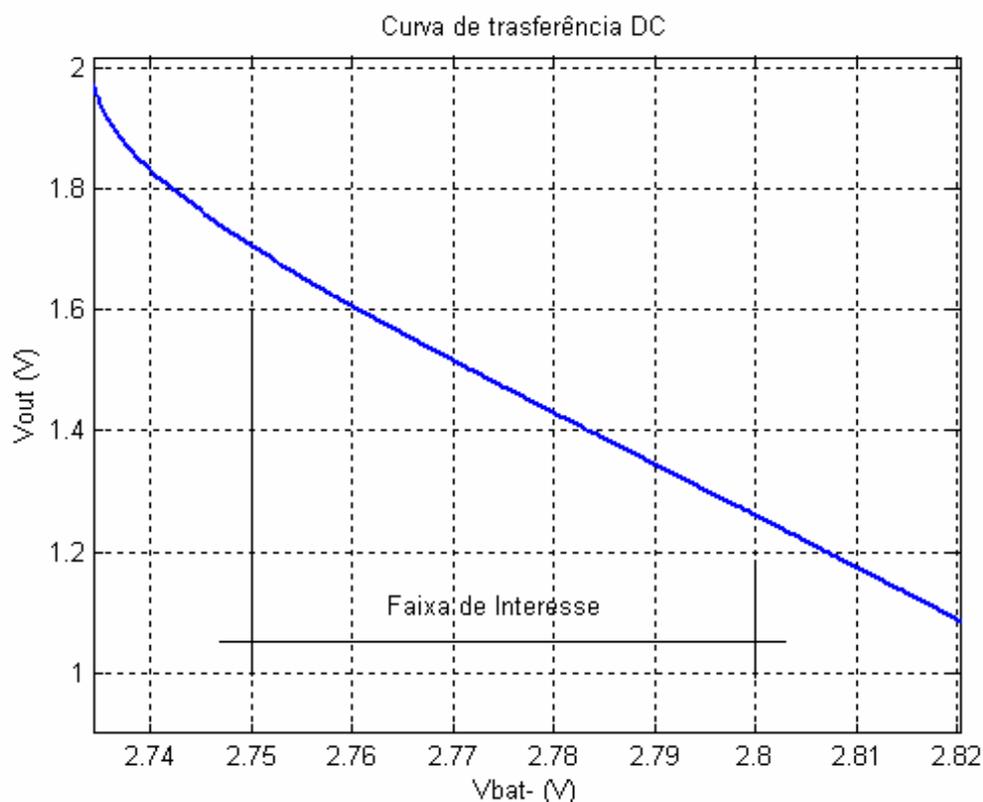


Figura 3.7 – Simulação da característica DC do amplificador diferencial do monitor de impedância..

De modo a testar a funcionalidade do circuito amplificador em silício, fez-se uma primeira integração do sistema na tecnologia TSMC 0.35 μm . Tal circuito apresenta pequenas diferenças quanto ao projeto relatado acima, porém representa uma ótima oportunidade de avaliação da funcionalidade da topologia. As diferenças quanto ao projeto descrito anteriormente são relativas ao valor da transcondutância de cada bloco G_m e do ganho DC do amplificador. O valor de G_{m1} no projeto de testes implementado é de 44 nA/V, $G_{m2} = 6,2$ nA/V, resultando em um ganho DC de aproximadamente 7. O resultado extraído para três amostras é ilustrado através da Figura 3.8. Na figura, a tensão de saída (V_{out}) está representada em função da tensão diferencial na entrada do amplificador, de -80 mV a 80 mV, sendo que para a aplicação a excursão máxima na entrada é calculada como de 0 a 50mV.

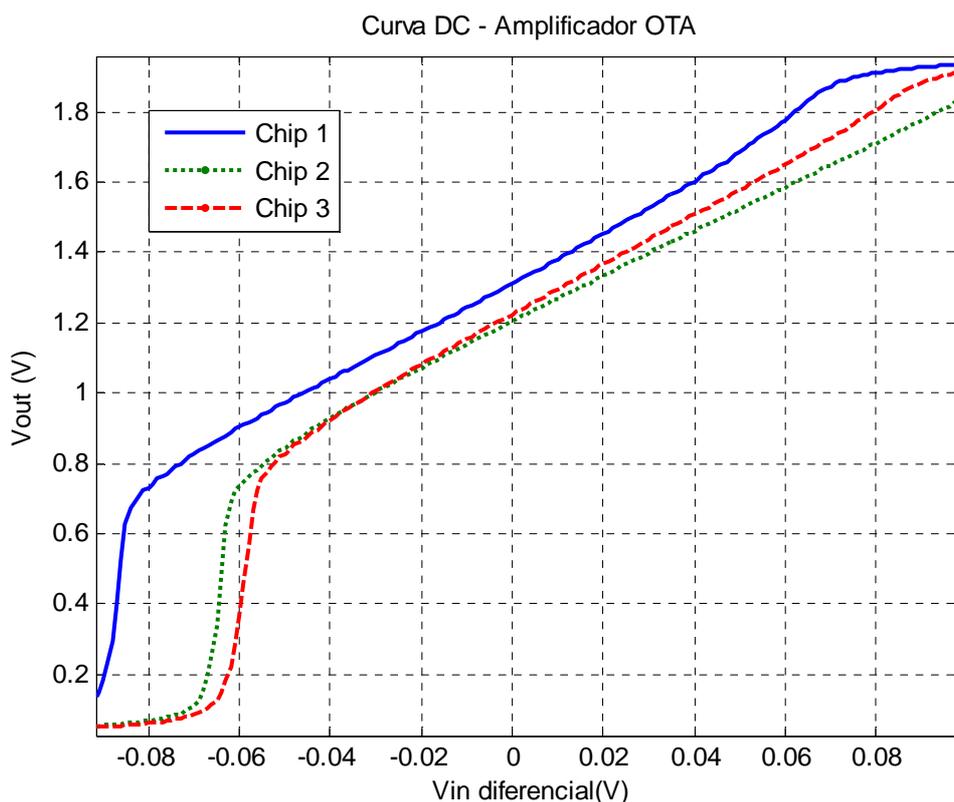


Figura 3.8 – Extração da característica DC do amplificador diferencial sob a tecnologia TSMC 0.35 μm .

Analisando os resultados experimentais para os circuitos implementados, percebe-se que as três amostras analisadas apresentam suas respectivas curvas DC seguindo a mesma tendência, com os valores de ganho conforme os previstos no projeto. Porém pode-se

perceber também que elas apresentam variações significativas nos níveis de *offset*. Dessa forma, na última versão implementada do sistema, houve um reprojeto do circuito amplificador, mantendo-se as mesmas especificações, porém aumentando-se a área utilizada, visando assim, reduzir a tensão de *offset* do circuito.

3.4 Cálculo de Ruído do Amplificador

Na determinação do ruído do amplificador, os dois principais tipos de ruído que influenciam no desempenho do transistor MOS, operando a baixas frequências, o ruído térmico e o ruído *flicker*, são considerados. Na análise desenvolvida, as contribuições de cada tipo são consideradas separadamente.

3.4.1 Cálculo de ruído do OTA 1

O ruído térmico total na entrada, referente ao somatório das contribuições de cada transistor do circuito da Figura 3.3, segundo [16] pode ser aproximado através da Eq. (3.6).

$$\overline{Vn_{Total_t}^2} = \frac{4nk_B T(f_2 - f_1)}{Gm} (\sqrt{1 + i_{f1}} + 1) \quad (3.6)$$

A máxima frequência considerada na análise é definida em função da frequência de corte do filtro $f_2=21$ Hz. Já a frequência f_1 é definida como 1 Hz em função de que o período na qual o amplificador deve ficar operacional é da ordem de 1s (um ciclo completo de medida é de $\approx 1,5$ s). Assim, considerando $Gm1= 56$ nA/V, e $T=300$ K, tem-se que o ruído térmico total RMS gerado pelo OTA 1, referenciado à entrada, é de aproximadamente 4,9 μ V.

Da mesma forma que o ruído térmico, o ruído *flicker* total, referenciado à entrada, é calculado através da soma das contribuições de cada transistor do circuito da Figura 3.3, e segundo [16], pode ser aproximado através da Eq. (3.7).

$$\overline{Vn_{Total_f}^2} = \frac{2nk_B T \ln(f_2 / f_1)}{N^* C'_{ox}} \left[\frac{N_{ot_n}}{(WL)_1} + \left(\sqrt{1 + i_{f1}} + 1 \right)^2 \left(\frac{2N_{ot_p}}{N(WL)_2} + \frac{N_{ot_n}}{(WL)_3} \right) \right] \quad (3.7)$$

Considerando a mesma banda de freqüência considerada no cálculo do ruído térmico, $f_1=1$ Hz e $f_2=21$ Hz, tem-se que para o OTA 1, o ruído *flicker* referenciado à entrada, é de cerca de 720 μ V.

Assim, o ruído total RMS no OTA 1, referenciado à entrada, é de aproximadamente 720 μ V.

3.4.2 Cálculo de ruído do OTA 2

O ruído total do circuito OTA 2 é calculado, a exemplo do cálculo realizado para o OTA 1, de forma individual para os dois tipos de ruído, térmico e *flicker*. Assim, considerando $Gm_2=6,6$ nA/V, $T=300$ K e a faixa de freqüências de 1 a 21 Hz, através da Eq. (3.6), pode-se estimar a contribuição do ruído térmico total na entrada do OTA 2 como 31 μ V. Já a contribuição do ruído 1/f, pode ser estimada através da Eq. (3.7) como 2,2 mV. O ruído total RMS no OTA 2, referenciado à entrada, é então de 2,2 mV.

3.4.3 Cálculo de ruído do amplificador diferencial

Uma vez calculadas as parcelas de ruído de cada amplificador de transcondutância (OTA 1 e OTA 2), pode-se calcular então o ruído total do amplificador diferencial. Tal cálculo é feito através do somatório da parcela de ruído referenciado a entrada do amplificador diferencial para cada amplificador de transcondutância, conforme a Eq. (3.8).

$$\overline{Vn_{Amp}^2} = \overline{Vn_{Ota1}^2} + \overline{Vn_{Ota2}^2} \left(\frac{Gm_2}{Gm_1} \right)^2 \quad (3.8)$$

Assim, o ruído total RMS gerado pelo amplificador diferencial é de aproximadamente 786 μV .

3.5 Cálculo da Tensão de *Offset* do Amplificador Diferencial

Para estimar o descasamento entre os transistores do amplificador OTA, é utilizado o modelo que considera as variações na tensão de limiar (V_T) e no fator de corrente ($\beta = \mu C'_{ox} W/L$) do transistor MOS [16]. Assim, considerando que V_T e β tenha distribuições normais, as respectivas variâncias são definidas por [30].

$$\sigma_{V_T}^2 = \frac{A_{V_T}^2}{2WL}, \quad \frac{\sigma_{\beta}^2}{\beta^2} = \frac{A_{\beta}^2}{2WL} \quad (3.9)$$

onde A_{V_T} e A_{β} são parâmetros tecnológicos.

O *offset* total na entrada de cada bloco OTA, referente ao somatório das contribuições de descasamento de cada transistor do circuito da Figura 3.3, segundo [16] pode ser aproximado através de:

$$\begin{aligned} \sigma_{V_{in}}^2 = & 2 \left[\left(\sigma_{V_T}^2 \right) + \frac{1}{\left(\frac{g_m}{I_D} \right)_{M1}^2} \left(\frac{\sigma_{\beta}^2}{\beta^2} \right) \right]_1 + 4 \frac{I_{D1}^2}{N \cdot g_{m1}^2} \left[\left(\frac{g_m}{I_D} \right)_{M5}^2 \left(\sigma_{V_T}^2 \right) + \left(\frac{\sigma_{\beta}^2}{\beta^2} \right) \right]_2 + \dots \\ & \dots + 2 \frac{I_{D1}^2}{g_{m1}^2} \left[\left(\frac{g_m}{I_D} \right)_{M7}^2 \left(\sigma_{V_T}^2 \right) + \left(\frac{\sigma_{\beta}^2}{\beta^2} \right) \right]_3 \end{aligned} \quad (3.10)$$

Na Eq. (3.10), os índices 1, 2 e 3, referem-se respectivamente às contribuições de *offset* dos transistores do par diferencial (M1 e M2), do espelho série paralelo (M3, M4, M5 e M6) e do espelho de saída do OTA (M7 e M8).

A partir das Eqs. (3.9) e (3.10), e dos parâmetros tecnológicos, pode-se estimar o desvio padrão do descasamento dos transistores dos amplificadores OTA 1 e OTA 2 respectivamente como 29 mV e 38 mV. Assim, o desvio padrão do *offset* relativo ao

descasamento total do amplificador diferencial OTA referenciado à entrada é da ordem de 30 mV.

Apesar de o valor do descasamento entre os transistores do amplificador ser elevado, este não compromete a topologia do monitor, pois a medida da impedância é referencial à primeira amostra e não a um valor absoluto. Além disso, uma segunda versão do amplificador foi desenvolvida, de modo a melhorar as características de descasamento do amplificador.

4 Circuito Monitor da Carga da Bateria

4.1 Funcionamento do Sistema

Baseado nas premissas de baixo consumo e de área reduzida, o circuito analógico foi projetado de modo a não necessitar ser mantido ligado durante todo o período de vida da bateria, como sugere a maior parte dos circuitos monitores de carga utilizados. Dessa forma, ele só será ligado durante um curto espaço de tempo onde serão efetuadas as medidas analógicas relativas ao estado de carga da bateria. No restante do tempo ele será mantido em estado de espera, não consumindo energia significativa da bateria.

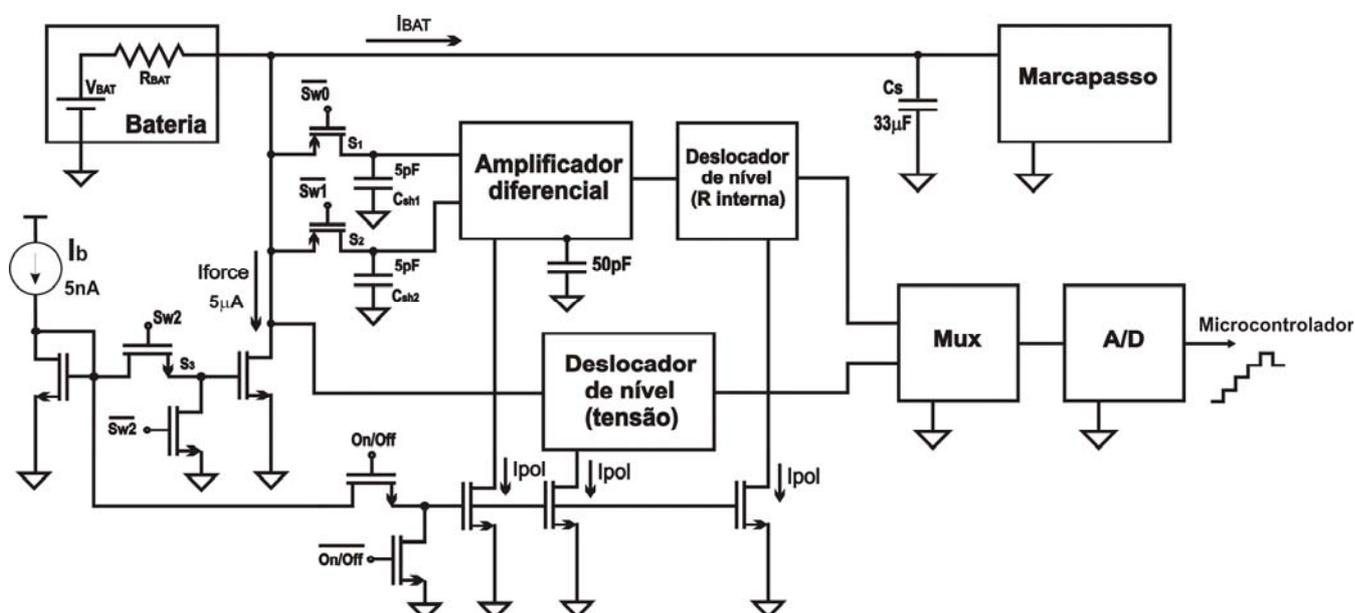


Figura 4.1 – Circuito de controle do medidor da impedância da bateria.

Além da etapa analógica, responsável pela aquisição das medidas referentes ao estado de carga da bateria, o sistema apresenta uma etapa digital, que controla a ativação e chaveamento dos blocos analógicos, bem como a interpretação e armazenamento das medidas. Também necessária é a utilização de um conversor A/D responsável pela conversão das medidas analógicas em sinais digitais.

O sistema efetua dois tipos de medidas, o da impedância (resistência interna) e da tensão da bateria. As duas são efetuadas de modo a aumentar a confiabilidade do sistema. A medida da impedância é efetuada através de dois circuitos de amostragem e retenção (*sample and hold*). Inicialmente, o valor da tensão da bateria é armazenado em um capacitor ($C_{sh1}=5$ pF na Figura 4.1) através da chave S1 controlada por Sw0. Posteriormente, com as chaves S1 e S2 abertas, é acionada uma fonte de corrente (Iforce), através de S3, que força a circulação de um incremento de corrente pela bateria de $5 \mu\text{A}$. O valor da tensão da bateria é, então, armazenado em $C_{sh2}=5$ pF através do acionamento da chave S2. Assim, subtraindo-se a tensão armazenada nos dois capacitores, obtém-se a diferença de tensão provocada pelo acionamento da fonte Iforce. Como

$$VC_{sh1}=V_{BAT} - I_{BAT}.R_{BAT} \quad \text{e} \quad VC_{sh2}=V_{BAT} - I_{BAT}.R_{BAT} - I_{force}.R_{BAT}$$

a tensão diferencial será:

$$VC_{sh1} - VC_{sh2} = I_{force}.R_{BAT}$$

onde V_{BAT} é a tensão nominal da bateria, R_{BAT} é a resistência interna da bateria e I_{BAT} é a corrente em estado permanente que é consumida da bateria.

Dessa forma, como a corrente Iforce é conhecida ($5 \mu\text{A}$), através do diferencial de tensão pode-se estimar o valor da resistência interna da bateria.

De modo a evitar que efeitos como o *offset* e a variação do ganho do amplificador entre amostras possam comprometer a medida da impedância da bateria, esta é feita de forma referenciada à medida realizada no início da utilização da bateria. Uma outra possibilidade que pode ser implementada é a de medir, o *offset* do amplificador e digitalmente subtrair o valor da medida da impedância feita posteriormente. Essa solução não foi implementada na primeira versão, pois implica em variações da etapa digital do sistema (que não é o objeto de estudo deste trabalho).

O sinal $VC_{sh1}-VC_{sh2}$ é aplicado a um amplificador diferencial que amplifica o sinal de modo que ele possa ser adequadamente interpretado pelo conversor A/D. O projeto do circuito foi descrito no Capítulo 3.

O circuito de medição da tensão da bateria é controlado através da chave On/Off. Tal chave é responsável pela ativação/desativação de todo o sistema analógico de medidas. Como pode ser visto através da Figura 4.1, a chave On/Off atua sobre todo o sistema de polarização dos blocos analógicos, sendo que no estado ‘Off’ apenas a célula básica de referência de corrente permanece ligada, consumindo cerca de 20 nA. Dessa forma, o sistema de medida (tanto tensão como impedância) permanece em estado de espera até a ativação da chave On/Off, não colaborando para o consumo da carga da bateria. As especificações das chaves de controle dos sistemas de polarização foram descritas na Seção 2.4.

4.2 Sinais de Controle das Chaves

O sistema de medição de impedância da bateria é controlado por três sinais, Sw0, Sw1 e Sw2 sendo o circuito de controle mostrado através da Figura 4.1. Já o circuito medidor de tensão fica operacional a partir do estado ‘On’ da chave On/Off. A especificação dos sinais que controlam o monitor é mostrada através das sub-seções seguintes.

4.2.1 Sinais Sw0 e Sw1

As chaves S1 e S2 controlam o sistema de determinação dos níveis de tensão da bateria em estado estacionário (com a fonte de 5 μ A desligada) e em estado forçado (com a fonte de 5 μ A ligada), respectivamente. Para cálculo do tempo de permanência da chave em estado de ativação, considera-se que este deve ser de no mínimo seis vezes a constante τ , dada pelo produto de RC, o que equivale a 99,75% do valor de tensão final considerada.

Como o capacitor C_{sh} é de 5 pF, e considerando a impedância da chave de 6,2 k Ω (definida na Seção 2.3.1) somada a impedância máxima da bateria (10 k Ω), o tempo mínimo

necessário de ativação das chaves S_1 e S_2 é da ordem de $0,5 \mu\text{s}$ (6τ). Como a máxima frequência do sistema de *clock* é de 32 kHz , o tempo de acionamento delas será de apenas um pulso de *clock*, o que corresponde a aproximadamente $31 \mu\text{s}$. (Seção 4.2.3)

4.2.2 Sinal Sw2

A chave S_3 , controlada por Sw2, é responsável pelo controle de ativação da fonte de $5 \mu\text{A}$. Em função da existência obrigatória de um capacitor de filtro de $33 \mu\text{F}$ em paralelo com a alimentação do circuito, deve-se considerar o tempo de estabilização da fonte de $5 \mu\text{A}$. Analisando o circuito a partir do modelo elétrico da bateria, da fonte de corrente *Iforce* e do capacitor de filtro, pode-se obter a expressão que descreve a tensão de carga do capacitor de filtro em função do tempo como:

$$V_C(t) = V_{BAT} - R_{BAT} I_{BAT} - R_{BAT} I_{force} \left(1 - e^{\frac{-t}{R_{BAT} C_S}} \right) \quad (4.1)$$

onde $V_C(t)$ representa a tensão no capacitor em função do tempo, V_{BAT} é a tensão da bateria, *Iforce* é a corrente de $5 \mu\text{A}$, R_{BAT} é a resistência da bateria e C_S é o capacitor de segurança da alimentação de $33 \mu\text{F}$. O tempo definido para que a fonte *Iforce* estabilize é de aproximadamente $1,5\text{s}$, equivalente à operação normal do sistema de monitoramento até uma resistência interna de $7,5 \text{ k}\Omega$ (uma resolução aceitável, uma vez que o limiar de utilização da bateria é de cerca de $3 \text{ k}\Omega$). A resistência aparente da bateria, R_{AP} medida após um intervalo ΔT é dada por:

$$R_{AP} = R_{BAT} \left(1 - e^{\frac{-\Delta T}{R_{BAT} C_S}} \right) \quad (4.2)$$

Através da resistência aparente, mantendo-se o valor de $\Delta T=1,5 \text{ s}$ (tempo utilizado para estabilização da fonte *Iforce*), pode-se inferir o valor de R_{BAT} em função de R_{AP} .

A simulação do sistema de medida da impedância da bateria com a base de tempo de 1,5 s é mostrada na Seção 4.3.

4.2.3 Diagrama de tempos

O sincronismo entre os diferentes sinais que controlam a etapa analógica do circuito monitor de carga é mostrado na Figura 4.2, através de um diagrama de tempos. Tal diagrama é baseado na frequência de sincronismo, 32 kHz, o que equivale a um período de 31,25 μ s. O primeiro controle indicado no gráfico é o sinal de ativação/desativação (On/Off). Tal sinal deve ser mantido em nível alto durante todo o ciclo de medidas da bateria.

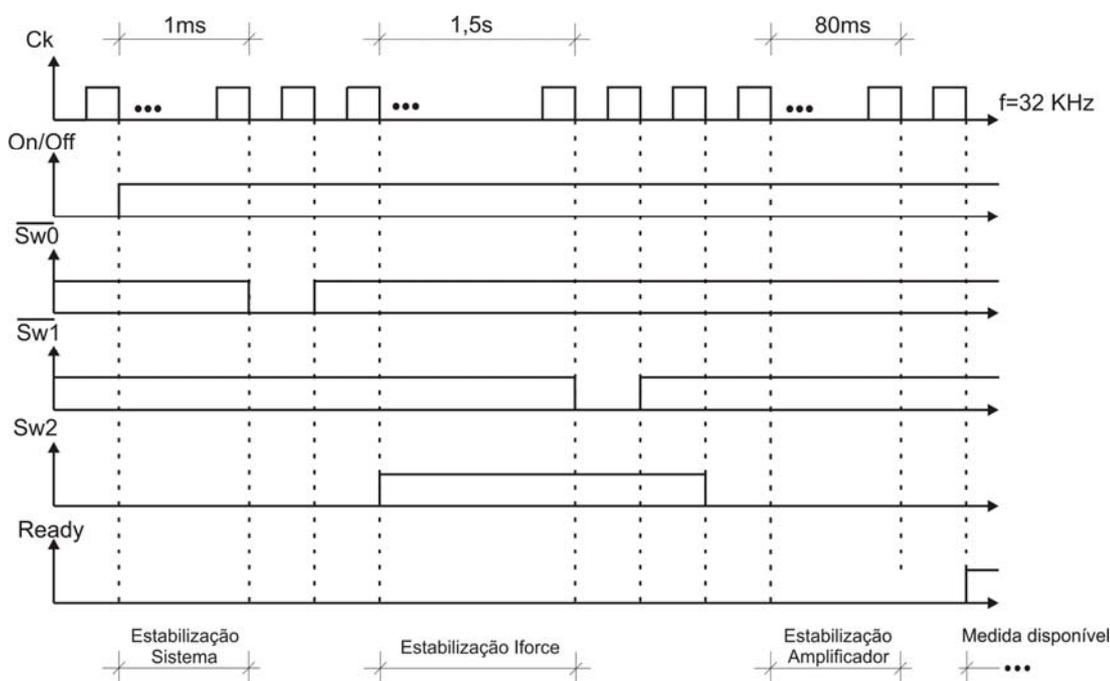


Figura 4.2 – Diagrama dos sinais de controle do medidor de carga da bateria em função do tempo.

Após o tempo de estabilização inicial do sistema de 1ms (após o acionamento da chave On/Off), a tensão da bateria é armazenada através do controle do sinal Sw0, ativo em nível baixo. Após isso, a fonte Iforce é acionada através do controle do sinal Sw2, que permanece ativo nível alto durante 1,5 s, tempo de estabilização da tensão no capacitor de filtro da

bateria. Antes de ser comutado o sinal Sw2, o sinal Sw1 é acionado (ativo nível baixo), armazenando a tensão da bateria com a fonte de Iforce acionada.

Após as duas tensões, com e sem o acionamento da fonte Iforce, serem armazenadas na entrada do amplificador, os sinais Sw0, Sw1 e Sw2 são desativados. Como o amplificador, que possui a função de filtragem passa baixas, necessita de um tempo para estabilizar a medida, o sinal na saída do sistema é mantido durante 80ms em espera, até que a medida da impedância esteja pronta e possa ser encaminhada para a conversão. Esse instante é indicado através do sinal *Ready* acionado.

4.3 Simulação Geral do Sistema

De modo a testar a funcionalidade do circuito monitor da carga da bateria é feita uma simulação geral do sistema. É realizada uma análise de transientes, considerando os controles digitais e os principais níveis de tensão internos e externos do sistema, durante um período de tempo de 500 ms. No exemplo, a bateria apresenta uma resistência interna de 850 Ω e uma tensão nominal de 2,6 V.

A Figura 4.3 mostra a atuação dos sinais de controle juntamente com os principais níveis do sistema. A seqüência de ativação dos sinais de controle é a mesma indicada pela Figura 4.2, sendo Sw0 e Sw1 ativos em nível baixo e Sw2 ativo em nível alto. Através da figura, são também mostrados os níveis de tensão nos capacitores que compõem os circuitos *sample and hold*. Pode-se perceber as variações nos níveis de tensão dos capacitores de acordo com o chaveamento dos sinais de controle, sendo que o nível no capacitor C_{sh1} é mantido desde o início do ciclo de medida e o nível no capacitor C_{sh2} , devido à espera do tempo para acionamento e estabilização da fonte de corrente Iforce, é definido no momento seguinte. O tempo de estabilização da fonte Iforce, para facilitar a interpretação da figura, é mantido na simulação em 300 ms.

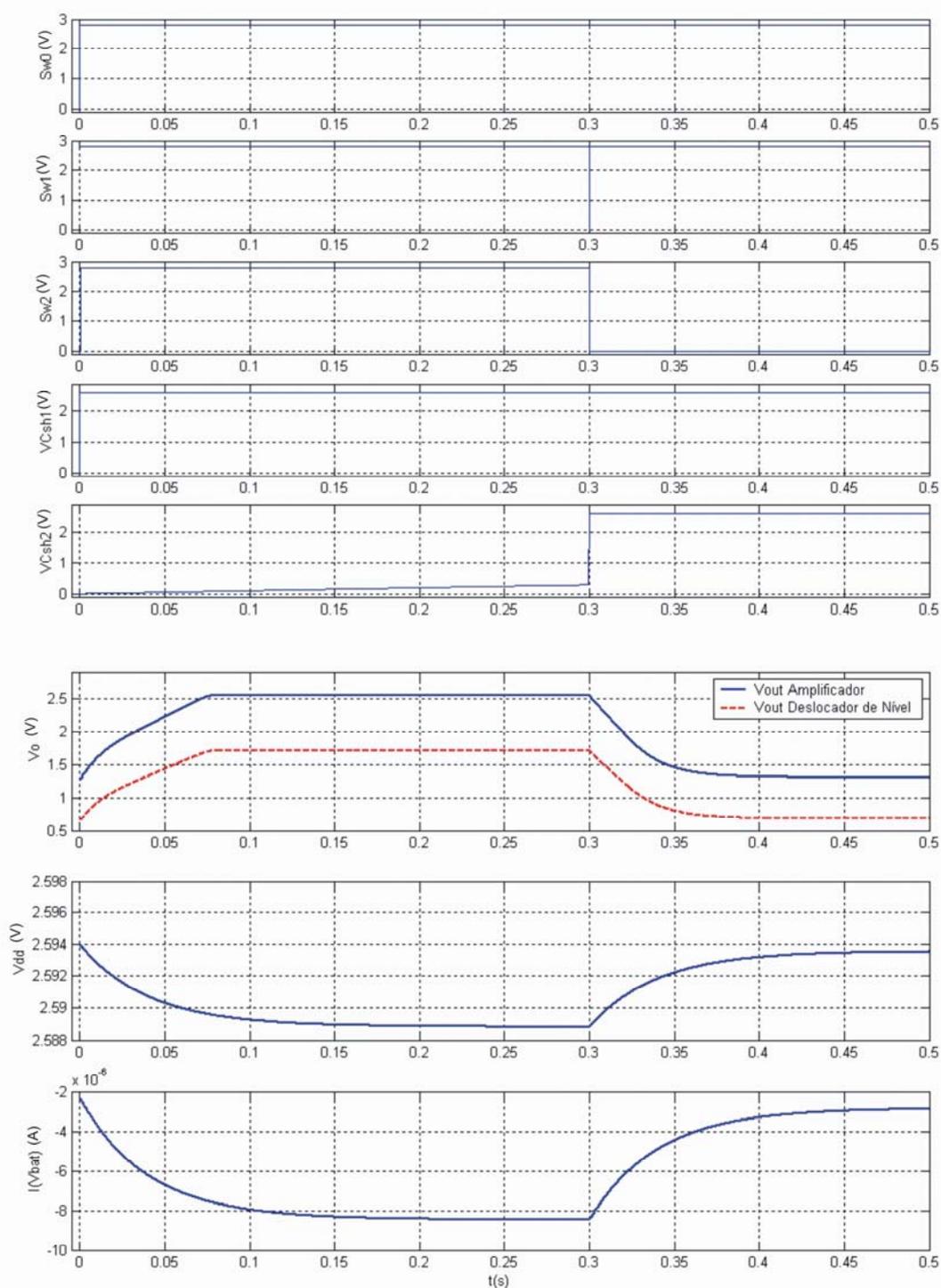


Figura 4.3 – Simulação de um ciclo da medida da impedância da bateria, considerando uma resistência interna de 850Ω e uma tensão nominal de 2,6 V.

A tensão na saída do monitor de impedância é também indicada na Figura 4.3. Percebe-se que, além de os níveis de tensão nos capacitores de *sample and hold* estarem

estabilizados, é necessário para o término da medida que o filtro ativo (amplificador) também estabilize. A Figura 4.3 ainda apresenta a saída do amplificador OTA e a saída do circuito completo com o circuito deslocador de nível, necessário para compatibilizar o nível DC do sinal com o conversor A/D do sistema.

Os níveis da corrente e tensão da bateria também são mostrados através da figura, indicando as alterações provocadas propositalmente pelo chaveamento do sistema nos níveis das duas grandezas na bateria.

O teste do estado de carga durante a vida útil de uma bateria através da medida da resistência da mesma é mostrado através da Figura 4.4. Para isso, são realizadas diversas simulações temporais (mostrada como exemplo na Figura 4.3) para diferentes valores de resistência da mesma. Percebe-se através da simulação que a curva característica permanece linear até um valor de resistência por volta de 8 k Ω , o que é esperado em função da influência do capacitor de segurança de 33 μ F. Essa variação esperada não compromete o projeto, uma vez que a partir de aproximadamente 3 k Ω , por segurança, o dispositivo implantado deve ser substituído.

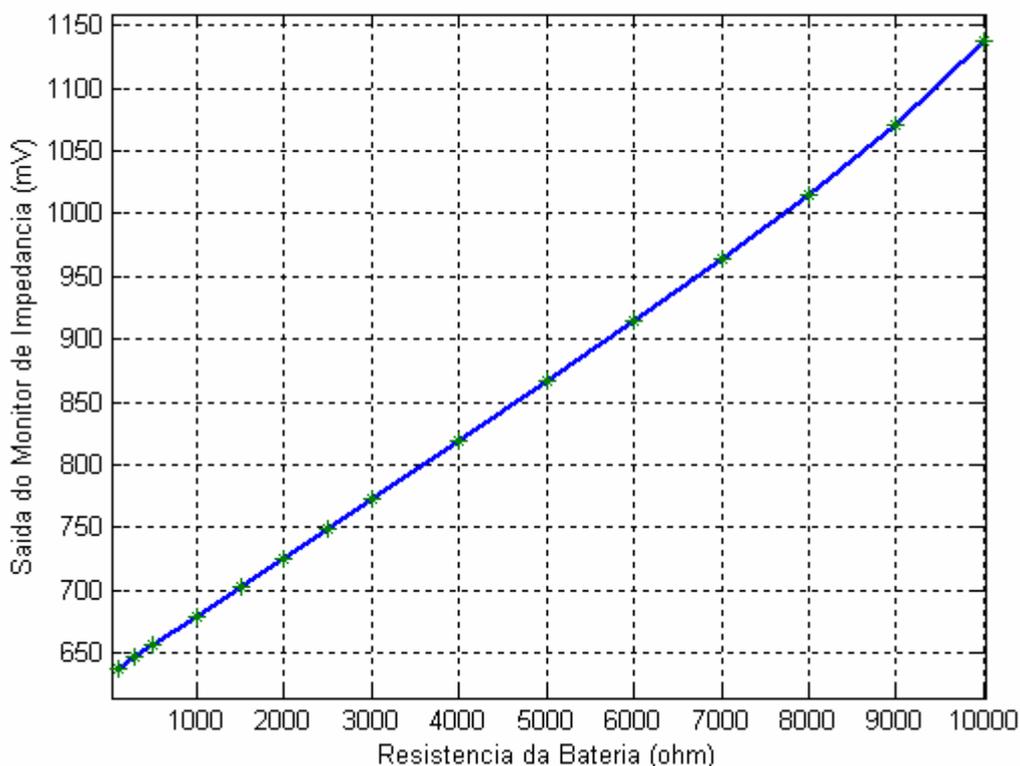


Figura 4.4 – Saída simulada do circuito monitor de impedância para diferentes valores de resistência interna da bateria.

5 Implementação, Resultados e Conclusões

De modo a testar a funcionalidade do sistema aqui proposto, foi implementada, além dos blocos para caracterização, a etapa analógica completa do sistema de monitoramento da bateria. Assim, a elaboração do leiaute implementado bem como os resultados experimentais para o sistema completo de medição da impedância da bateria são mostrados a seguir.

5.1 Leiaute

No projeto em questão, duas tecnologias foram utilizadas. A tecnologia TSMC 0.35 μm foi utilizada no primeiro momento para caracterizar diversos blocos, como amplificador, capacitor MOS e os deslocadores de nível. Em uma segunda etapa foi utilizada a tecnologia AMS 0.35 μm , onde foi implementado o sistema completo.

Dessa forma, dois tipos de regras foram utilizados no projeto. Primeiramente, as escaláveis, através do programa MOSIS, que apresentam a vantagem de ser relacionadas não a uma dimensão específica, mas sim a uma unidade variável chamada λ . Essa unidade, que varia para cada processo, permite-nos escalar um projeto de uma determinada tecnologia para outra com comprimento de canal mínimo diferente, alterando apenas o seu valor. Posteriormente, foram utilizadas regras nativas da AMS (*Austria Micro Systems*).

No projeto do leiaute do amplificador, foi utilizada a técnica de centróide comum [25] para melhor casamento entre os transistores. A implementação da técnica pode ser exemplificada através do leiaute dos transistores casados M5 e M6 do transcondutor Gm1, mostrado na Figura 5.1. Conforme ilustra a figura, tal arranjo dispensou o uso de vias

(elementos que inserem resistências parasitas) na elaboração do leiaute da célula de cada transistor casado.

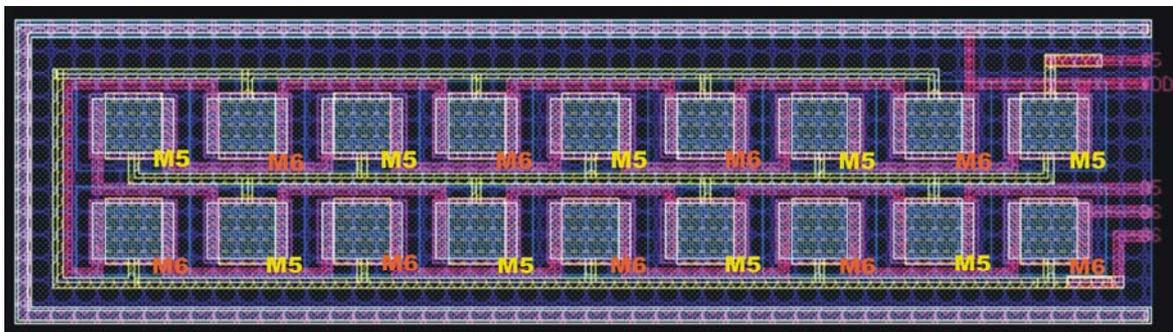


Figura 5.1 – Leiaute dos transistores casados M5 e M6 do transcondutor Gm1 do circuito amplificador.

O leiaute do circuito amplificador completo pode ser visto através da Figura 5.2. O circuito foi construído através do pacote de ferramentas *Mentor Graphics*. Os diferentes componentes podem ser vistos através das indicações presentes na figura. Pode-se ressaltar o tamanho do capacitor de 50 pF, que devido à construção sob a técnica de capacitor de *gate*, ocupa uma área da mesma ordem de grandeza do circuito amplificador.

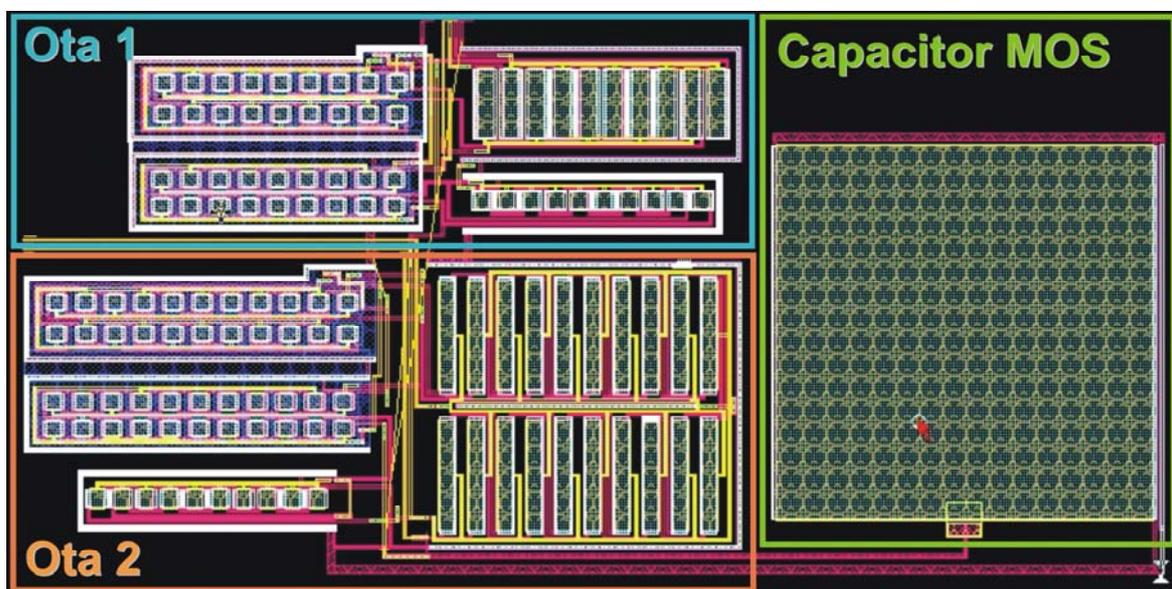


Figura 5.2 – Layout do circuito amplificador diferencial (OTA).

A etapa analógica completa do monitor de estado de carga da bateria pode ser vista através da Figura 5.3. O circuito foi confeccionado com o pacote de ferramentas da *Mentor*

Graphics , sob a tecnologia AMS 0.35 μm . Os principais blocos que compõem o sistema são ilustrados na figura. A área em silício do sistema completo é de $0,168 \text{ mm}^2$.

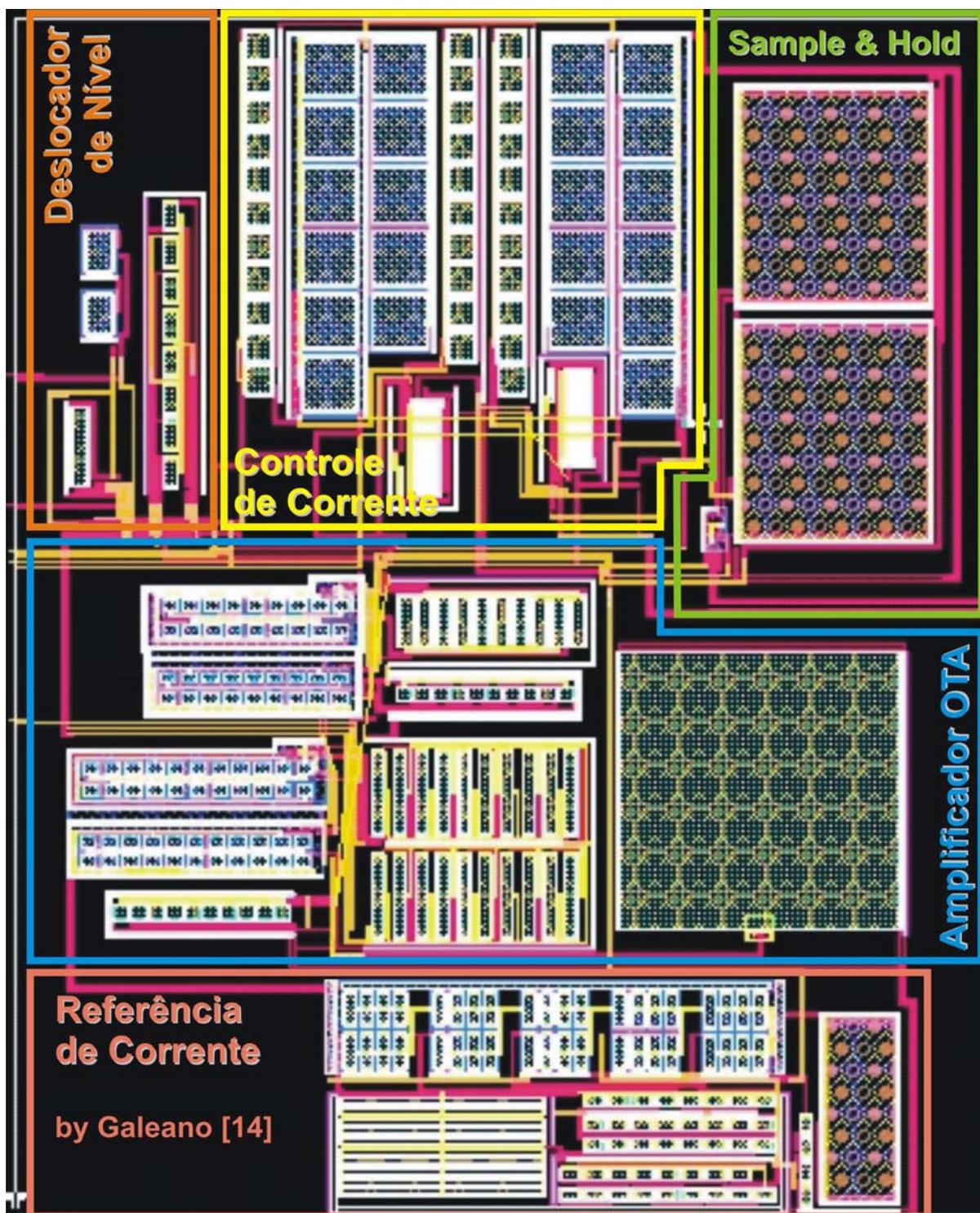


Figura 5.3 – Layout do circuito completo de monitoramento da carga da bateria.

5.2 Resultados Experimentais

O resultado obtido a partir do chip de teste para a medida da resistência interna da bateria é mostrado através da Figura 5.4. Para a extração, são ajustados diversos valores de resistência interna (através de um resistor em série com uma fonte de tensão) e medidos os seus respectivos valores relativos à impedância da bateria. Foram extraídas cinco amostras para cada valor de resistência ajustada, sendo estas plotadas individualmente na Figura 5.4 através do símbolo “*” e a média dos valores através de uma linha contínua. A etapa de controle digital do circuito foi implementada através de um circuito FPGA (*field programmable gate array*) que foi programado através de um código Verilog desenvolvido pelo projetista dos circuitos digitais.

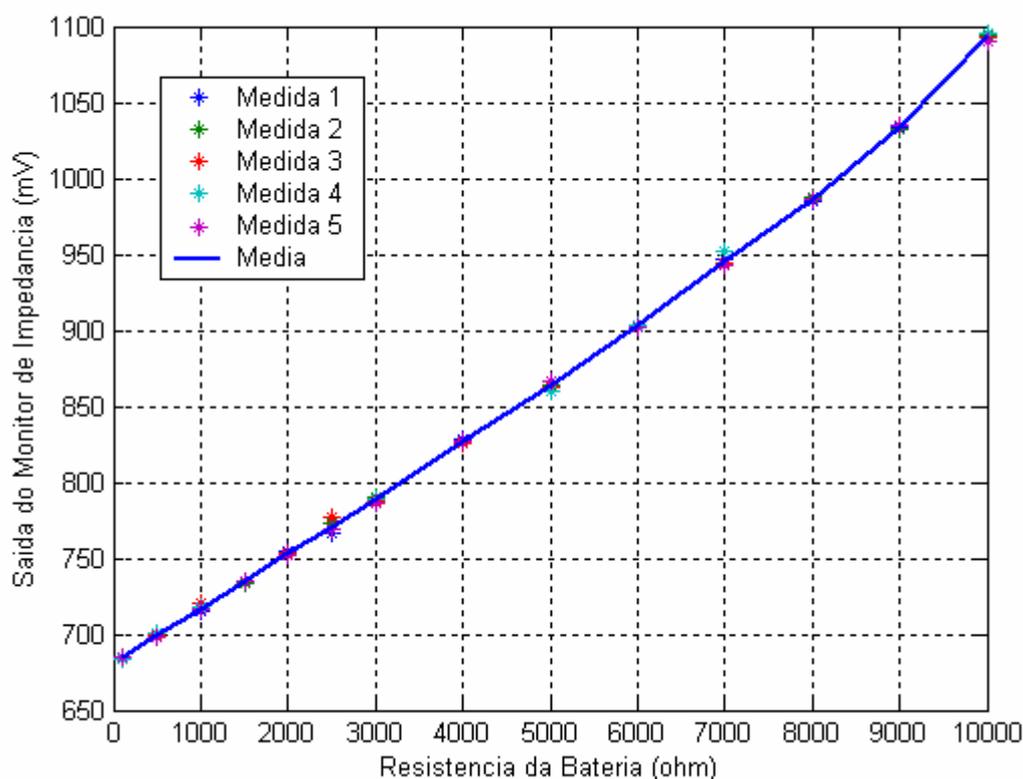


Figura 5.4 – Curva extraída da impedância em função da resistência interna da bateria.

Através da Figura 5.4, percebe-se que a curva extraída é linear para valores de impedância menores do que $8\text{ k}\Omega$, conforme esperado. Porém, detecta-se que os valores extraídos para um dado valor de resistência apresentam variações. Estas variações são mostradas através da Figura 5.5, onde são extraídas continuamente diversas medidas em função do tempo. Estas variações são atribuídas principalmente aos efeitos da ação do ruído no *sample and hold* (Seção 2.3), e no chaveamento da fonte de corrente (Seção 2.4). As medidas são feitas a cada ciclo completo, que corresponde a aproximadamente $1,6\text{ s}$.

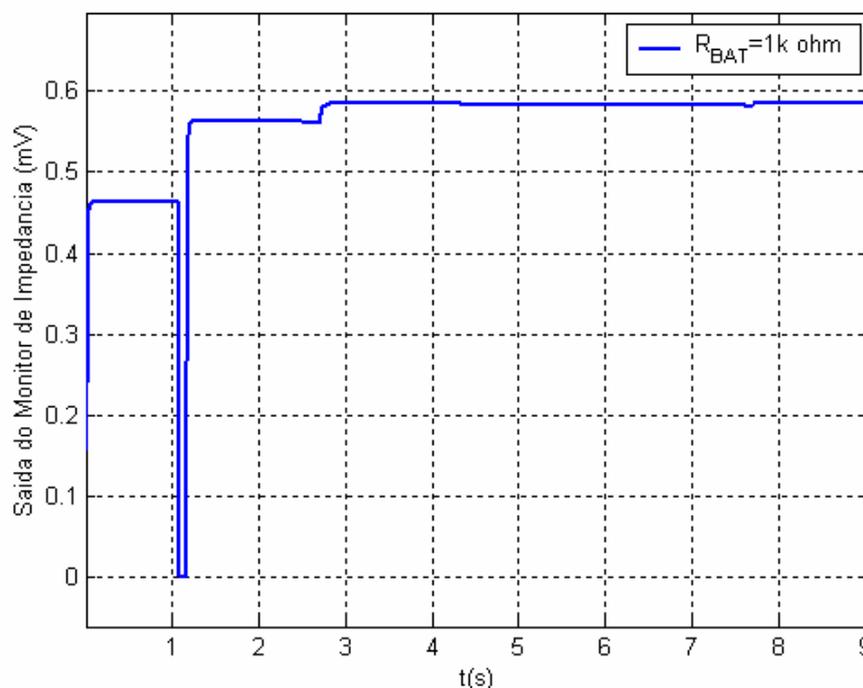


Figura 5.5 – Medidas extraídas continuamente, em função do tempo, para uma resistência interna de $1\text{ k}\Omega$.

Vale ressaltar que as variações nos valores medidos para um dado valor de resistência são pequenas e raramente extrapolam a resolução do conversor A/D (5 mV), não introduzindo, assim, um problema significativo para a topologia. Além disso, a utilização de uma média com alguns valores medidos para cada valor de resistência na obtenção da curva de impedância, conforme é feito nas Figuras 5.4 e 5.6, representa uma possível solução para o problema.

A medida extraída da impedância na faixa de interesse (R_{BAT} até $4\text{ k}\Omega$) para três amostras distintas é mostrada através da Figura 5.6. Percebe-se que as curvas apresentam-se

lineares com uma diferença de *offset* de valor significativo. Vale relembrar que o desvio padrão da tensão de *offset* referido à entrada do amplificador diferencial é da ordem de 30mV (Seção 3.5). Como o ganho do amplificador é da ordem de 8, espera-se um desvio padrão da tensão de *offset* na saída de $\approx 240\text{mV}$. Para redução deste valor, o amplificador foi reprojetoado com maior área em relação ao projeto original.

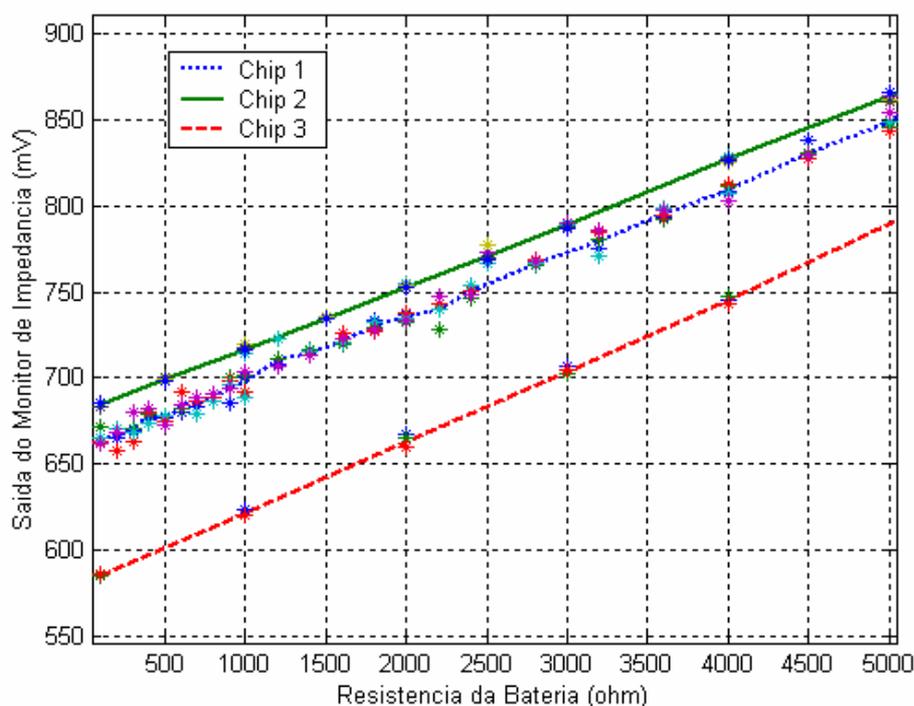


Figura 5.6 – Curvas experimentais da impedância em função da resistência interna da bateria para três amostras distintas.

5.3 Conclusões e Trabalhos Futuros

Através do presente trabalho, desenvolveu-se um sistema inédito de monitoramento da carga de baterias, que devido a sua topologia apresenta uma característica de consumo muito atrativa em relação aos demais sistemas já propostos. Tal sistema que, através de testes com protótipos implementados, teve a sua funcionalidade comprovada, representa uma excelente

opção para o monitoramento da carga de baterias utilizadas em marcapassos e em outros dispositivos implantáveis que tenham como premissa básica o consumo reduzido.

A partir da proposta, diversos circuitos foram projetados, utilizando para tal várias técnicas analógicas que tiveram sua funcionalidade testada a partir de protótipos implementados em um dos processos mais utilizados na atualidade, 0.35 μm . Dessa forma, o projeto se fez completo conciliando o ineditismo inerente ao trabalho acadêmico à funcionalidade de um projeto aplicado.

O trabalho aqui apresentado gerou um primeiro protótipo funcional e coerente com a aplicação especificada. Porém, melhorias a fim de aumentar a confiabilidade do sistema podem ser desenvolvidas. Entre as possíveis melhorias e contribuições para trabalhos futuros pode-se, em primeiro lugar, efetuar a extração dos resultados do amplificador diferencial OTA reprojeto e implementado previamente. Tal circuito foi refeito priorizando a questão do *offset* e da uniformidade do ganho através da utilização de áreas maiores, tornando o dispositivo menos suscetível às variações entre as amostras.

Os circuitos deslocadores de níveis também podem ser melhorados. O deslocador utilizado pelo circuito monitor de tensão da bateria, pode ser implementado através do reprojeto desenvolvido na Seção 2.7.1, melhorando a estabilidade quanto às variações nos parâmetros de processo.

A integração da etapa digital juntamente à etapa analógica também é uma sugestão a ser implementada, tornando assim o sistema completo, sendo possível a utilização prática do sistema projetado.

Como o sistema monitora a bateria através de um método indireto, cuja interpretação depende de parâmetros fornecidos pelo fabricante (impedância e tensão em função da carga da bateria), o principal problema do método reside no fornecimento da especificação desses parâmetros por parte do fabricante da bateria.

Vale ressaltar que, durante o período de desenvolvimento do mestrado, foram desenvolvidas algumas pesquisas sobre caracterização do transistor MOS, preliminares ao projeto desenvolvido, que levou o autor à co-autoria de diversos artigos em congressos nacionais e internacionais. A lista de publicações é apresentada a seguir:

- M. C. Schneider, C. Galup-Montoro, M. B. Machado and A. I. A. Cunha, "*Interrelations between Threshold Voltage Definitions and Extraction Methods*", The Nanotechnology

Conference and Trade Show, Boston, USA, Proceedings of Nanotech 2006, pp. 868-871, May 2006.

- A. I. A. Cunha, M. C. Schneider, C. Galup-Montoro, C. D. C. Caetano, and M. B. Machado, "*Extraction of MOSFET effective channel length and width based on the transconductance-to-current ratio*", Workshop on Compact Modeling, Anaheim, USA, Proceedings of Nanotech 2005, pp. 139 - 141, May 2005.
- A. I. A. Cunha, M. C. Schneider, C. Galup-Montoro, C. D. C. Caetano, and M. B. Machado, "*Unambiguous extraction of threshold voltage based on the transconductance-to-current ratio*", Workshop on Compact Modeling, Anaheim, USA, Proceedings of Nanotech 2005, pp. 139 - 141, May 2005.
- M. C. Schneider, C. Galup-Montoro, M. B. Machado, and A. I. A. Cunha, "*About the concept of threshold in MOS transistors*", 20th Symposium on Microelectronics Technology and Devices (SBMicro 05), Florianopolis, Brazil, September 2005.
- A. I. A. Cunha, M. C. Schneider, C. Galup-Montoro, C. D. C. Caetano, and M. B. Machado, "*Unambiguous extraction of threshold voltage based on the ACM model*", 19th Symposium on Microelectronics Technology and Devices (SBMicro 04), Pernambuco, Brazil, September 2004.
- A. I. A. Cunha, M. C. Schneider, C. Galup-Montoro, C. D. C. Caetano, and M. B. Machado, "*Extraction of MOSFET effective channel length and width based on the transconductance-to-current ratio*", 19th Symposium on Microelectronics Technology and Devices (SBMicro 04), Pernambuco, Brazil, September 2004.

Referencias Bibliográficas

- [1] ZADEH, A. E.; A Micro-power Precision Switched-Capacitor Charge Meter System for Implantable Medial Devices. In: Midwest Symposium on Circuits and Systems IEEE, (Aug. 2000: Lansing). *Proceedings*. 2000. pp. 1068-1072.
- [2] OBEL, M.; SKÖLDENGEN, N.; LINDBER, J. “*Method and Circuit for Determining the Battery Status in a Medical Implant*”, U.S. Patent 6,748,273, June 2004.
- [3] ROGERS, C. R.; MERRITT, D. R.; SCHMIDT, C. L.; et tal. “*System and Method for Monitoring Power Source Longevity of an Implantable Medical Device*”, U. S. Patent 6,901,293, May 2005.
- [4] LINDEN, L.; REDDY, T. B. *Handbook of Batteries*. 3.ed. New York: McGraw-Hill, 2002.
- [5] WEBSTER, J. G. *Design of Cardiac Pacemakers*. New York: IEEE Press, 1995.
- [6] SILVEIRA, F.; FLANDRE, D. *Low Power Analog CMOS for Cardiac Pacemakers*. Boston: Kluwer Ac. Pub, 2004.
- [7] GALUP-MONTORO, C.; SCHNEIDER, M. C.; CUNHA, A. I. A. A Current-Based MOSFET Model for Integrated Circuit Design. In: Sánchez-Sinencio, E.; Andreou, A. G. *Low-Voltage/Low-Power Integrated Circuits and Systems*. Piscataway: IEEE Press, 1999. Cap. 2.
- [8] CUNHA, A. I. A.; SCHNEIDER, M. C.; GALUP-MONTORO, C. An MOS Transistor Model for Analog Circuit Design. *IEEE J. Solid-State Circuits*, vol. 33, no. 10, pp. 1510-1519, October 1998.

- [9] CUNHA, Ana Isabela Araújo. *Um Modelo do Transistor MOS para Projeto de Circuitos Integrados*. Florianópolis, 1996. Tese (Doutorado em Engenharia Elétrica) – Centro Tecnológico, Universidade Federal de Santa Catarina.
- [10] ENZ, C. C.; TEMES, G. C. Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization. in *Proc. of the IEEE*, pp. 1584-1614, November 1996.
- [11] WEGMANN G. et al. Charge Injection in Analog MOS Switches. *IEEE J. Solid-State Circuits*, vol. 22, pp. 1091–1097, December 1987.
- [12] MARQUES, Luís Cléber Carneiro. *Técnica de MOSFET Chaveado para Filtros Programáveis Operando à Baixa Tensão de Alimentação*. Florianópolis, 2002. Tese (Doutorado em Engenharia Elétrica) – Centro Tecnológico, Universidade Federal de Santa Catarina.
- [13] JOHNS D. A.; MARTIN K. *Analog Integrated Circuit Design*. New York : Wiley-Interscience & Sons, 1997.
- [14] GALEANO, Edgar Mauricio Camacho. *Referência de Corrente CMOS para Aplicações de Ultra Baixo Consumo de Potência*. Florianópolis, 2004. Dissertação (Mestrado em Engenharia Elétrica) – Centro Tecnológico, Universidade Federal de Santa Catarina.
- [15] GALEANO, E. M. C.; GALUP-MONTORO, C.; SCHNEIDER, M. C. A 2-nW 1.1-V Self-Biased Current Reference in CMOS Technology. *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 52, no. 2, pp. 61-65, February 2005.
- [16] ARNAUD, Alfredo Maceira. *Very large time Constant Gm-C filters*. Montevideo, 2004. Tese (Doutorado em Engenharia Elétrica) – Universidade de la Republica.
- [17] BEHR, A. T.; SCHNEIDER, M. C.; NOCETI FILHO, S.; GALUP-MONTORO, C. Harmonic Distortion Caused by Capacitors Implemented with MOSFET Gates. *IEEE Journal of Solid-State Circuits*, vol. 27, no. 10, pp. 1470-1475, October 1992.
- [18] SEDRA, A. S., SMITH, K. C. *Microelectronic Circuits*. 4.ed. New York : Oxford University Press, 2004.

- [19] PUTTEN, A. F. P. V. *Electronic Measurement Systems*. London : Institute of Physics, 1999.
- [20] YEN, R. C.; GRAY, P. R. A MOS Switched-Capacitor Instrumentation Amplifier. *IEEE J. Solid-State Circuits*, vol. SC-17, no. 6, pp. 1008–1013, December 1982.
- [21] MARTIN, K.; OZCOLAK, L.; LEE, Y. S; TEMES, G. C. A Differential Switched-Capacitor Amplifier. *IEEE J. Solid-State Circuits*, vol. SC-22, no. 1, pp. 104–106, February 1987.
- [22] TORRANCE, R. R.; VISWANATHAN, T. R.; HANSON, J. V. CMOS Voltage to Current Transducers. *IEEE Transactions on Circuits and Systems*, vol. CAS-32, no. 11, pp. 1097-1103, November 1985.
- [23] VEERAVALLI, A.; SÁNCHEZ-SINENCIO, E.; SILVA-MARTÍNEZ, J. Transconductance Amplifiers Structures with Very Small Transconductances: A Comparative Design Approach, *IEEE J. Solid-State Circuits*, vol. 37, no. 6, pp. 770-775, June. 2002.
- [24] GALUP-MONTORO, C.; SCHNEIDER, M. C.; LOSS, I. J. B. Series-Parallel Association of FET's for High Gain and High Frequency Applications. *IEEE J. Solid-State Circuits*, vol. 29, no. 9, pp. 1094-1101, September 1994.
- [25] GATTI, U.; MALOBERTI, F.; LIBERALI, V. Full Stacked Layout of Analogue Cells. In: International Symposium on Circuits and Systems IEEE, Iscas (Aug. 1989: Portland). *Proceedings*. 1989. pp. 1123-1126.
- [26] GREGORIAN R.; TEMES, G. C. *Analog MOS Integrated Circuit for Signal Processing*. New York : Wiley-Interscience & Sons, 1986.
- [27] MOTCHENBACHER C. D.; CONNELLY J. A. *Low Noise Electronic System Design*. New York : Wiley-Interscience & Sons, 1993.
- [28] GALUP-MONTORO, C.; SCHNEIDER, M. C. *MOSFET Modeling for Circuit Analysis and Design*, International Series on Advances in Solid State Electronics and Technology. World Scientific, 2006, in Press.

- [29] ALFREDO ARNAUD MACEIRA. Comunicação pessoal.
- [30] PELGROM, M. J. M.; DUNMAIJER, A. C. J.; WELBERS, A. P. G. Matching Properties of MOS Transistors. *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1440, October 1989.
- [31] Galvanic cell, In: http://en.wikipedia.org/wiki/Image:Galvanic_cell.png, December 2006.