

RAFAEL TAKASAKI CARVALHO

**ESTUDO E IMPLEMENTAÇÃO DE CONTROLE
DIGITAL PARA O CONVERSOR PONTE
COMPLETA E COMUTAÇÃO SUAVE COM
MODULAÇÃO POR DESLOCAMENTO DE FASE
(FB-ZVS-PS)**

FLORIANÓPOLIS

2003

UNIVERSIDADE FEDERAL DE SANTA CATARINA

**PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA**

**ESTUDO E IMPLEMENTAÇÃO DE CONTROLE
DIGITAL PARA O CONVERSOR PONTE
COMPLETA E COMUTAÇÃO SUAVE COM
MODULAÇÃO POR DESLOCAMENTO DE FASE
(FB-ZVS-PS)**

Dissertação submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a
obtenção do grau de Mestre em Engenharia Elétrica.

RAFAEL TAKASAKI CARVALHO

Florianópolis, Novembro de 2003.

**ESTUDO E IMPLEMENTAÇÃO DE CONTROLE DIGITAL
PARA O CONVERSOR PONTE COMPLETA E
COMUTAÇÃO SUAVE COM MODULAÇÃO POR
DESLOCAMENTO DE FASE (FB-ZVS-PS)**

Rafael Takasaki Carvalho

“Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em Eletrônica de Potência, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.”

Hari Bruno Mohr, Dr.

Orientador

Denizar Cruz Martins, Dr.

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

Hari Bruno Mohr, Dr.

Presidente

Arnaldo José Perin, Dr.

Daniel Juan Pagano, Dr.

Enio Valmor Kassick, Dr.

**À minha esposa, Carise, com quem já dividi e ainda espero dividir
muitos dos melhores momentos de minha vida.**

**Ao meu filhos, Gabriel e Clara, que são minha
grande fonte de felicidade e realização.**

**Aos meus pais, José Carlos e Nádia, e irmãos, Danilo e Cássio,
pela família maravilhosa que são.**

Agradecimentos

Agradeço, primeiramente, a Deus e ao meu anjo da guarda que sempre iluminaram meus pensamentos e foram grandes companheiros em todos momentos de minha vida.

A toda minha família e amigos que foram sempre aqueles que estavam mais próximos para me orientar, alegrar, incentivar e ouvir.

Aos professores Hari B. Mohr e Alexandre F. de Souza pela orientação e empenho para o aprimoramento deste trabalho e de outras atividades que assumi dentro do instituto.

Ao professor Arnaldo J. Perin que foi, juntamente com o professor Alexandre, um dos grandes incentivadores para conclusão deste trabalho.

Aos professores membros da banca, Arnaldo J. Perin, Daniel J. Pagano e Enio V. Kassick, pela atenção e contribuição.

Aos meus amigos Carlos, Dirk, Douglas, Eduardo, Kefas, Luís Tomaselli, Ricardo e Sérgio com os quais dividi muito conhecimento e diversão.

A todos os integrantes do INEP que formam uma base importante de apoio no desenvolvimento de todos os projetos.

A CAPES que disponibilizou os recursos fundamentais para que eu pudesse me dedicar integralmente durante grande parte do trabalho.

A Universidade Federal de Santa Catarina e ao Departamento de Engenharia Elétrica pela grande importância na minha formação profissional e pessoal.

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

ESTUDO E IMPLEMENTAÇÃO DE CONTROLE DIGITAL PARA O CONVERSOR PONTE COMPLETA E COMUTAÇÃO SUAVE COM MODULAÇÃO POR DESLOCAMENTO DE FASE (FB-ZVS-PS)

Rafael Takasaki Carvalho

Novembro/2003

Orientador: Hari Bruno Mohr, Dr.

Área de concentração: Eletrônica de Potência.

Palavras-chave: Fonte de alimentação, controle digital, DSP, telecomunicações, FB-ZVS-PS.

Número de páginas: 116.

O presente trabalho aborda o desenvolvimento e implementação de um sistema de controle digital para o estágio de saída de uma fonte de alimentação para telecomunicações, conversor FB-ZVS-PS, utilizando o processador digital de sinais TMS320LF2407 da Texas Instruments. Este trabalho foi motivado, não só pelas vantagens proporcionadas pelo controle digital, tais como flexibilidade e redução de volume, como também pela necessidade de desenvolvimento nas técnicas de controle para o segmento de retificadores monofásicos. Para a realização deste trabalho foi necessário, além do estudo do estágio de potência e do processador, a elaboração de uma solução digital original de controle “phase-shift” aplicada ao conversor FB-ZVS-PS. Um protótipo utilizando uma placa de circuito impresso de uma fonte comercial de 600 W foi desenvolvido para validação desta técnica. Os resultados obtidos foram extremamente satisfatórios com destaque para o comportamento dinâmico verificado através de reduzidas variações na tensão de saída sob mudanças de carga.

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

STUDY AND IMPLEMENTATION OF DIGITAL CONTROL FOR A SOFT-SWITCHING PHASE-SHIFT FULL-BRIDGE CONVERTER (FB-ZVS-PS)

Rafael Takasaki Carvalho

November/2003

Advisor: Hari Bruno Mohr, Dr.

Area of concentration: Power Electronics.

Keywords: Power supply, digital control, DSP, telecommunications, FB-ZVS-PS.

Número de páginas: 116.

The present work accost the development and implementation of a digital control system to the output stage of telecommunications power supply, FB-ZVS-PS converter, using the digital signal processor TMS320LF2407 from Texas Instruments. This project was motivated, not only by the digital control advantages such as flexibility and volume reduction, but also by the necessity of control technique development in single fase rectifiers. To accomplish this work, besides the study of power stage and processor, it was necessary to propose an original digital solution of phase-shift control applied to FB-ZVS-PS converter. A prototype using a 600 W commercial supply's power lay-out was developed to validate this technique. Obtained results were extremely satisfactories standing out the dynamic behaviour verified by reduced variations on the output voltage under load changes.

Sumário

Simbologia.....	XII
Introdução.....	1
Capítulo 1	
Unidades Retificadoras: Um breve histórico.....	4
1.1. Introdução.....	4
1.2. Revisão bibliográfica.....	5
1.3. Conclusão.....	8
Capítulo 2	
Estrutura de Potência.....	9
2.1. Introdução.....	9
2.2. Funcionamento.....	10
2.3. Conclusão.....	16
Capítulo 3	
Características do Processador.....	17
3.1. Introdução.....	17
3.2. Características básicas.....	18
3.3. Unidades de memória.....	19
3.4. Núcleo de processamento.....	22
3.5. Conjunto de periféricos.....	26
3.5.1. Gerenciadores de eventos.....	27
3.5.2. Conversão Analógico-Digital (ADC).....	35
3.5.3. Portas I/O e pinos de dupla função.....	39
3.5.4. Outros registradores configurados.....	40
3.6. Conclusão.....	43

Capítulo 4

Estratégia de Comando.....	44
4.1. Introdução.....	44
4.2. Estudo do funcionamento dos Integrados da família “Phase-Shift Resonant Controllers”	44
4.3. Estratégia para realizar o controle “Phase-Shift” utilizando o DSP TMS320LF2407.....	47
4.4. Resultados experimentais.....	51
4.5. Conclusão.....	54

Capítulo 5

Projeto do Sistema de Controle.....	56
5.1. Introdução.....	56
5.2. Análise das características do sistema digital.....	58
5.3. Projeto do controlador.....	62
5.3.1. Modelos da planta e do conversor.....	63
5.3.2. Definição dos parâmetros do compensador.....	67
5.4. Resultados de simulação.....	72
5.5. Conclusão.....	77

Capítulo 6

Resultados Experimentais.....	78
6.1. Introdução.....	78
6.2. Análise dos resultados.....	78
6.3. Conclusão.....	87

Conclusões Finais.....	89
-------------------------------	-----------

Anexo 1

Projeto do Circuito de Potência e Circuitos Auxiliares e Diagramas de Circuitos.....	92
---	-----------

A1.1. Projeto do conversor FB-ZVS-PS.....	92
A1.2. Projeto dos circuitos de controle e comando.....	103
Anexo 2	
Caracterização do Ruído Psfométrico.....	107
A2.1. Psfômetro.....	108
Referências Bibliográficas.....	112

Simbologia

Lista de símbolos empregados no texto

Símbolo	Significado
V_I	Tensão de entrada
V_O	Tensão de saída
P_O	Potência de saída
P_{IN}	Potência de entrada
I_O	Corrente de saída
D_{ef}	Razão cíclica efetiva
ΔD	Perda de razão cíclica
η	Rendimento
f_{rede}	Frequência da rede elétrica
V_{ac}	Tensão eficaz de entrada
I_{ac}	Corrente eficaz de entrada
I_{INRUSH}	Corrente de Inrush
C_{IN}	Capacitor de filtro da entrada retificada
J	Densidade de corrente
B	Densidade de fluxo magnético
K_u	Fator de utilização do transformador
K_p	Fator de utilização do primário
A_e	Área da perna central do transformador
A_w	Área da janela do transformador
ρ	Resistividade do cobre
ΔT_{Trafo}	Elevação de temperatura no transformador
μ_0	Permeabilidade do ar
t_r	Tempo de bloqueio do Mosfet após comando no gate
t_f	Tempo de entrada em condução do Mosfet após comando no gate
I_D	Corrente no diodo
V_D	Tensão no diodo
I_S	Corrente no transistor Mosfet

V_s	Tensão no transistor Mosfet
MF	Margem de fase
Rth	Resistência térmica
$S_1 - S_4$	Interruptores Mosfet do conversor FB-ZVS-PWM
$D_{i1} - D_{i4}$	Diodos intrínsecos aos Mosfets $S_1 - S_4$
$C_{i1} - C_{i4}$	Capacitores em anti-paralelo intrínsecos aos Mosfets $S_1 - S_4$
$G_1 - G_4$	Gate dos Mosfets $S_1 - S_4$
Lr	Indutor ressonante
Lp	Indutância do enrolamento primário
TR	Transformador do conversor FB-ZVS-PWM
L_{s1} e L_{s2}	Indutâncias do enrolamentos secundário
$Dr_1 - Dr_2$	Diodos retificadores do conversor FB-ZVS-PWM
$Cg_1 - Cg_2$	Capacitores de grampeamento dos diodos $Dr_1 - Dr_2$
$Rg_1 - Rg_2$	Resistores de grampeamento dos diodos $Dr_1 - Dr_2$
$Dg_1 - Dg_2$	Diodos de grampeamento dos diodos $Dr_1 - Dr_2$
$C_1 - C_3$	Capacitores do filtro de saída
$R_1 - R_3$	Resistências série equivalente dos capacitores do filtro de saída
L_1 e L_2	Indutores do filtro de saída
R_o	Resistência de carga
L_o	Indutor do filtro de saída tipo LC simples
C_o	Capacitor do filtro de saída tipo LC simples
Lb	Indutor Boost
Db	Diodo Boost
Ls	Indutor do snubber do conversor PFC Boost
Cs	Capacitor do snubber do conversor PFC Boost
$Ds_1 - Ds_2$	Diodos do snubber do conversor PFC Boost
Rb	Resistor de bloqueio de componente contínua
Cb	Capacitor de bloqueio de componente contínua
R_{INRUSH}	Resistor de Inrush
n	Relação de transformação
N_p	Número de espiras do primário do transformador
N_s	Número de espiras do secundário do transformador
lg	Largura do entreferro

L_{disp}	Indutância de dispersão
D_{fio}	Diâmetro do fio de cobre
A_{fio}	Área do fio de cobre
$F_{paralelo}$	Número de fios em paralelo
f_{fita}	Espessura da fita de cobre
L_{fita}	Largura da fita de cobre
A_{fita}	Área da fita de cobre
f_s	Frequência de comutação
F_c	Frequência de corte
$N_5 - N_0$	Coefficientes do numerador da função de transferência completa do conversor FB-ZVS-PWM
$D_7 - D_0$	Coefficientes do denominador da função de transferência completa do conversor FB-ZVS-PWM
V_s	Tensão aplicada ao filtro de saída do conversor FB-ZVS-PWM
I/O	Input/Output (Entrada/Saída)
T	Período
θ	Deslocamento entre os pulsos de comando em segundos
Φ	Deslocamento percentual entre os pulsos de comando
f	Frequência
f_N	Frequência de Nyquist
r (t)	Referência no sistema contínuo
e (t)	Sinal de erro no sistema contínuo
u (t)	Sinal de saída de controle no sistema contínuo
y (t)	Sinal de saída no sistema contínuo
r (kT)	Referência no sistema amostrado
e (kT)	Sinal de erro no sistema amostrado
u (kT)	Sinal de saída de controle no sistema amostrado
y (kT)	Sinal de saída no sistema amostrado
C (s)	Função de transferência do compensador no sistema contínuo
G (s)	Função de transferência da planta no sistema contínuo
C (z)	Função de transferência do compensador discretizada
G (z)	Função de transferência da planta discretizada
H (z)	Função de transferência do sensor discretizada

$R(z)$	Referência no sistema discreto
$Y(z)$	Sinal de saída no sistema discreto
K_C	Ganho do compensador PI
K_{DC}	Ganho estático do filtro “anti-aliasing”
ω	Frequência angular
t	tempo
V_{sensor}	Tensão de saída do sensor de tensão/corrente
V_C	Sinal de saída do filtro “anti-aliasing”
$R_{f1} - R_{f3}$	Resistores do do filtro “anti-aliasing”
C_{f1}	Capacitor do filtro “anti-aliasing”
P_p	Potência do sinal a ser medido pelo psfômetro
P_{ref}	Potência de referência para o psfômetro

Lista de unidades

Símbolo	Significado
V	Volts
A	Ampére
Ω	Ohm
W	Watt
Hz	Hertz
s	Segundos
F	Faraday
H	Henry
dB	Decibel
rad	Radianos

Lista de abreviações

Símbolo	Significado
CAPES	Fundação de Coordenação de Aperfeiçoamento de Pessoal de Nível Superior
INEP	Instituto de Eletrônica de Potência
UFSC	Universidade Federal de Santa Catarina
FB	Full-Bridge (Ponte Completa)
ZVS	Zero Voltage Switching (Comutação sob Tensão Nula)
PWM	Pulse Width Modulation (Modulação por Largura de Pulso)
ZCS	Zero Current Switching (Comutação sob Corrente Nula)
CC	Corrente Contínua
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
IGBT	Insulated Gate Bipolar Transistor
PFC	Power Factor Correction (Correção de Fator de Potência)
EMI	Electromagnetical Interference (Interferência Eletromagnética)
UPS	Uninterruptable Power Supply
DSP	Digital Signal Processor (Processador Digital de Sinais)
RAM	Random Access Memory
ROM	Read-Only Memory
JTAG	Joint Test Action Group
A/D	Analógico para Digital
D/A	Digital para Analógico
CI	Circuito Integrado
PI	Proporcional Integral
PID	Proporcional Integral-Derivativo

Introdução

A demanda por inovações tecnológicas em Eletrônica de Potência é crescente. Fabricantes estão continuamente projetando dispositivos capazes de processar energia de modo mais eficiente.

Entre as principais aplicações da Eletrônica de Potência estão as fontes de alimentação chaveadas, baseadas em conversores CC-CC, empregadas em equipamentos de suprimento de energia para diversas finalidades. Dentre elas destaca-se as unidades retificadoras que com a necessidade de ampliação do sistema de telefonia, tanto o de telefonia fixa como móvel, e de alimentação de diversos equipamentos a partir de baterias tornaram-se foco de diversas pesquisas nos mais variados centros de tecnologia.

Atualmente a necessidade de conformar as fontes de alimentação a uma série de rígidas normas de segurança, compatibilidade eletromagnética e, no caso de sistemas de telefonia, ruído psfométrico, tem exigido dos projetistas soluções inovadoras para manter seus produtos num mercado competitivo. Além disso a eterna busca por redução de custos é um elemento bastante motivador. Para isto, não só o estudo de diferentes topologias, mas principalmente de diferentes técnicas de controle são imprescindíveis.

A utilização de técnicas de controle digital é uma tendência mundial e os seus estudos vêm avançando para aplicação em conversores estáticos, principalmente quando algumas técnicas de controle analógicas e alguns conversores já são considerados soluções padrões para determinado propósito. Pode-se apontar como principais vantagens do emprego de um controle digital:

- Ø Flexibilidade.
- Ø Menor suscetibilidade a fatores externos. Ex: temperatura, ruídos, mudanças no “lay-out” da placa de circuito impresso.
- Ø Redução de volume do equipamento, devido ao número de funções que um processador pode realizar.
- Ø Redução de custos de desenvolvimento e manutenção de um produto.

O conversor FB-ZVS-PS utilizando controle tipo “phase-shift” ou deslocamento de fase através de integrados dedicados como os da família “Phase-Shift Resonant Controllers” da Unitrode/Texas Instruments pode ser considerado uma solução padrão

para unidades retificadoras monofásicas para aplicações em telecomunicações. Até mesmo o conversor de entrada, conversor PFC Boost com controle por valores médios instantâneos, pode ser citado como solução padrão.

Neste sentido este trabalho consiste na apresentação de um método de controle digital para o conversor de saída de uma fonte de alimentação para telecomunicações utilizando o processador digital de sinais DSP TMS320LF2407 da Texas Instruments. O processador deve ser responsável, não só, pela execução da estratégia de controle, mas também por gerar os pulsos de comando dos interruptores. A técnica de controle empregada é baseada naquela utilizada pelos integrados da família “Phase-Shift Resonant Controllers” (Unitrode/Texas Instruments), porém com ajustes por software capazes de corrigir algumas de suas fragilidades.

O Capítulo 1 apresenta uma breve contextualização desta pesquisa através de um histórico de desenvolvimento de tecnologia para unidades retificadoras.

O Capítulo 2 faz uma análise sobre o funcionamento e as características do conversor FB-ZVS-PS empregado. É apresentado o modelo do conversor obtido através da análise do filtro de saída e da sua característica de saída em regime permanente.

No Capítulo 3 diversos aspectos do processador digital são analisados e são evidenciadas as razões que o fazem apropriado para ser empregado nesta aplicação. Além disso, os principais registradores configurados, bem como os valores empregados nestes, são detalhados, fazendo com que este capítulo possa ser uma ferramenta para fácil reprodução deste projeto ou para novos projetos envolvendo conversores estáticos.

Toda a técnica de controle tipo “phase-shift” gerada a partir de um processador digital é explanada no Capítulo 4. O funcionamento de integrados da família “Phase-Shift Resonant Controllers” (Unitrode/Texas Instruments) é analisado para servir de base para elaboração da técnica. Resultados experimentais em malha aberta são também apresentados.

O Capítulo 5 detalha toda a etapa de projeto do laço de controle digital, abordando todos os aspectos específicos advindos de um sistema de controle digital. Resultados de simulação do sistema de controle projetado aplicado tanto ao modelo da planta (função de transferência obtida por método de linearização) quanto ao próprio circuito de potência são apresentados.

A validação de toda a técnica de controle digital proposta é realizada no Capítulo 6 através de uma análise sobre os resultados experimentais, em regime permanente e

transitório, da fonte de alimentação operando com controle de tensão e corrente. São também tomadas medidas de ruído psufométrico.

Capítulo 1

Unidades Retificadoras: Um breve histórico

1.1. Introdução

Unidades retificadoras (UR) vêm sendo largamente utilizadas pela indústria devido, principalmente, ao aumento da necessidade de carregadores de bateria. Pode-se citar o mercado de telecomunicações e o de fontes ininterruptas de energia (UPS) como os grandes clientes das empresas que desenvolvem estes equipamentos. Embora cada um destes mercados possuam suas peculiaridades quanto às características de desempenhos das unidades retificadoras, quesitos como correção de fator de potência, alto rendimento, excelente regulação de tensão, limitação de corrente, compatibilidade eletromagnética e monitoramento são pontos comuns na análise de desempenho de uma UR.

Da mesma forma, como especificações mais restritivas foram sendo exigidas ao longo do tempo, o desenvolvimento de novas estruturas vinha sendo realizado ano após ano. Com exceção das estruturas trifásicas que ainda não apresentam uma solução padrão, as UR's monofásicas convergiram para uma estrutura de potência que é basicamente composta de um estágio pré-regulador para correção de fator de potência (Conversor Boost com controle por valores médios instantâneos) e um estágio de isolamento e regulação da tensão de saída (Conversor FB-ZVS-PS).

Inicialmente as UR's eram equipamentos pesados e volumosos, características de uma retificação a filtro capacitivo com isolamento em baixa frequência e de uma regulação da tensão de saída utilizando tiristores ou transistores. Mas com o aumento da demanda por tecnologia embarcada houve um desenvolvimento muito grande no processo de fabricação de semicondutores Mosfet's e IGBT's de melhor desempenho, o que possibilitou o aumento da frequência de operação dos conversores e conseqüentemente a redução de volume e peso dos elementos reativos. Porém, da mesma forma que houve esta redução de volume e peso por parte dos elementos reativos, houve também um aumento do volume do dissipador por conseqüência das perdas de

comutação mais elevadas. Isto causava uma limitação da frequência de operação do conversor para que a temperatura de junção do interruptor não atingisse níveis proibitivos. Para que se pudesse aumentar a frequência de comutação era necessário o desenvolvimento de técnicas de comutação não-dissipativa dos interruptores e com este intuito, no início da década de 80, foram introduzidas as técnicas ressonantes e o desenvolvimento de novas estruturas que permitiram realizar a comutação tanto sob corrente nula (ZCS), como sob tensão nula (ZVS).

1.2. Revisão bibliográfica

Porém, embora as perdas por comutação fossem drasticamente reduzidas, as perdas por condução tornaram-se o novo foco das pesquisas visto a circulação elevada de energia reativa. Para isto foram propostas técnicas e estruturas em que a ressonância estivesse presente apenas no instante da comutação. Nesta linha de pesquisa Vieira [1] realizou uma análise bem completa de algumas estruturas, inclusive do conversor FB-ZVS-PS. Foram estudados conversores com modulação em frequência e PWM. Destacou-se a modulação PWM pela facilidade no emprego da técnica e uma indicação de que o conversor FB-ZVS-PS poderia ser uma alternativa interessante. O trabalho foi principalmente dedicado à análise do estágio de saída, mas foi identificada a possibilidade da UR operar com apenas um estágio. Este estudo apresentou uma solução competitiva para sistemas trifásicos, pois possui um elevado número de componentes para sistemas monofásicos.

O indicativo sobre a utilização do conversor FB-ZVS-PS para o estágio de saída da UR foi muito importante e deu início a uma série de pesquisas de desenvolvimento como as apresentadas em [2], [3], [4] e [5]. Ainda em sistemas de mais baixa potência – abaixo de 300 W – se observa a utilização do conversor Meia Ponte, mas a tendência é o aumento da potência da UR migrando do sistema monofásico para o trifásico sendo que em sistemas monofásicos, comercialmente, existe uma grande procura por fontes de 10 e 15 A, ou seja, 600 e 900 W.

O conversor FB-ZVS-PS básico é apresentado na Fig. 1.1.

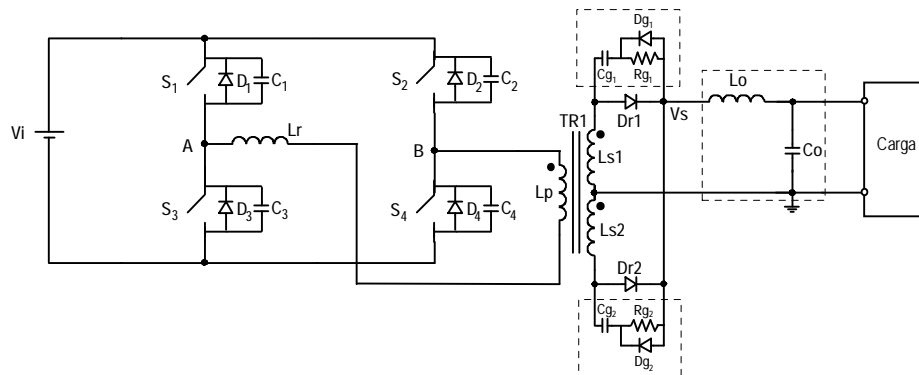


Fig. 1.1 – Estrutura básica do conversor FB-ZVS-PS.

As áreas em destaque também foram alvos de pesquisa. O grampeamento da tensão sobre os diodos retificadores de saída é extremamente necessário devido a ressonância entre a indutância ressonante (L_r) e a capacitância intrínseca dos diodos. Mas da forma que é empregado na figura acima é totalmente dissipativo. Em [6] é proposta a utilização de um grampeamento pelo lado do enrolamento primário, dessa forma pode-se aproveitar parte da energia da indutância ressonante e consequentemente aumentar o rendimento da estrutura. O conversor utilizado neste trabalho faz uso desta técnica e será apresentado no capítulo seguinte. Ainda nesta linha de pesquisa, *Font e Barbi* [7] apresentam um conversor capaz de aproveitar grande parte da energia que seria perdida na resistência do grampeador (R_g) e destiná-la ao capacitor de saída. Mas devido ao custo deste conversor ele se mostra muito útil apenas para potências mais elevadas em sistemas trifásicos. O filtro de saída também é um ponto de bastante estudo, já que no mercado de telecomunicações o ruído psfométrico [8 e 9] é uma especificação normatizada.

O conversor pré-regulador também é um tema importante de desenvolvimento. Em aplicação para unidades retificadoras monofásicas, o conversor Boost com controle por valores médios instantâneos é adotado na grande maioria das UR's que necessitam de correção de fator de potência. Com a necessidade de melhorar cada vez mais o rendimento das estruturas, estão propostos na literatura muitos métodos para redução das perdas por comutação como técnicas de comutação sob tensão ou corrente nula ou circuitos "snubber" para limitação da derivada de corrente na entrada em condução ou bloqueio do interruptor e, também, para redução das perdas por condução. Pode-se destacar *Souza* [10] que analisa uma topologia que integra os interruptores de alta frequência no circuito retificador de entrada reduzindo de 3 para 2 o número de semicondutores em condução simultânea. Mas, por questões de custo, esta técnica só

pôde ser aproveitada melhor em sistemas de maior potência. A estrutura básica é apresentada na Fig. 1.2.

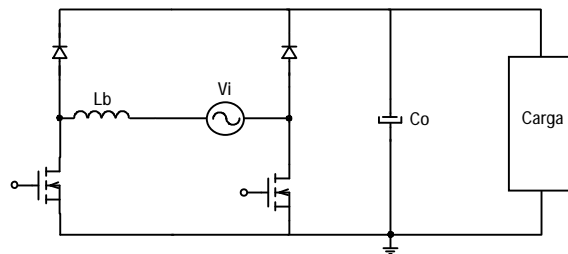


Fig. 1.2 – Conversor Boost com reduzidas perdas em condução.

Um método largamente empregado é o snubber não-dissipativo que limita a derivada do crescimento da corrente sobre o interruptor principal, diminuindo a influência da corrente de recuperação reversa do diodo. Este circuito é apresentado a seguir.

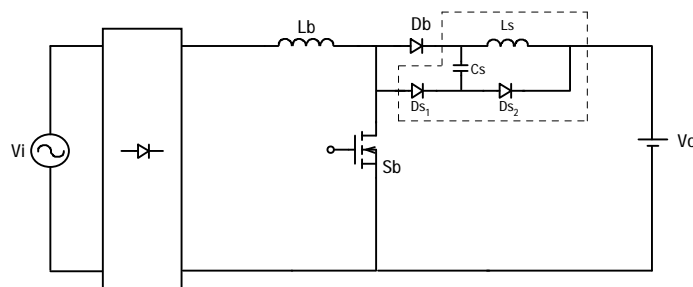


Fig. 1.3 – Snubber não-dissipativo empregado no Conversor Boost.

Atualmente o estudo de técnicas digitais de controle, em substituição às técnicas analógicas, vem sendo objeto de pesquisa. Os avanços nestes estudos foram acelerados com o advento de novos processadores digitais de sinais, que além de operarem em alta velocidade e possuírem alto grau de interface, também passaram a ser de baixo custo. Com a flexibilidade que se ganha através de implementação de programas, ao invés de circuitos de controle, reduz-se o tempo e os custos de desenvolvimento de um novo produto. Além disso, o fato do desempenho do processador ser menos afetado por agentes externos (ex: temperatura) propiciava também a redução nos custos de manutenção e maior robustez. A maior parte das pesquisas realizadas até o momento se concentraram em estudos de controle para o conversor PFC ([11] e [12]), alcançando bons resultados. Pode-se citar como alternativa para UR's de baixa potência o estudo realizado

por *Fung & Tzou* [13]. Nele, uma técnica de controle utilizando um DSP da família TMS320 é empregada para operar um conversor PFC Flyback e um conversor CC-CC bidirecional que é responsável pelo funcionamento da UR nos modos “carga” e “flutuação”.

Como pode-se perceber existe uma lacuna a ser preenchida nos estudos de controle para os conversores que compõe uma UR. Poucos estudos de controle digital foram realizados tendo como foco o estágio CC-CC. O estudo e implementação de técnicas de controle digital em estruturas FB-ZVS-PS têm sido pouco explorados na literatura.

1.3. Conclusão

Depois de anos de desenvolvimento e pesquisa, as UR's monofásicas, como já dito, convergiram para uma solução padrão com a possibilidade de utilização de alguns circuitos para melhorar o rendimento. As técnicas de controle desenvolvidas neste período ficaram muito concentradas em soluções digitais para o conversor PFC. Desta forma isto se constituiu em motivação para o desenvolvimento do presente trabalho que enfoca uma nova proposta de controle através de um processador digital de sinais para o estágio de saída.

Capítulo 2

Estrutura de Potência

2.1. Introdução

Aplicações de retificadores de potência como carregadores de baterias ou alimentadores de sistemas de telefonia exigem dos conversores estáticos empregados, além de simplicidade e robustez, também eficiência, isolamento e baixos níveis de interferência gerados tanto na entrada quanto na saída.

De forma geral os retificadores monofásicos utilizam dois estágios de processamento. O estágio inicial que corresponde ao filtro de EMI e ao conversor PFC (conversor Boost) tem o inconveniente de fornecer ao estágio de saída um valor de tensão elevado e com altos níveis de ondulação.

Esta tensão deve ser alterada para valores entre 42V e 60V com ondulação reduzida de tal forma que não comprometa os testes de ruído psfométrico. O isolamento da carga em relação a rede é imprescindível visto que a carga, muitas vezes, é de alto custo e possui uma importância estratégica. No caso dos alimentadores de bateria de “No-Breaks” o isolamento pode ser feito na saída do inversor, embora apresente um volume muito maior.

Uma solução natural para um conversor abaixador isolado seria o conversor Forward, porém o seu rendimento é abaixo do que é desejado pelo mercado (acima de 90% para a UR como um todo). Além disso, a dificuldade no emprego de técnicas de comutação suave, importantes para evitar a propagação de interferência, e o mau aproveitamento do transformador não permitem sua aplicação para os atuais fins comerciais.

O conversor que atende às necessidades do projeto e que será empregado, como já mencionado no capítulo anterior, é o conversor em ponte completa com comutação sob tensão nula, modulação por largura de pulso (tipo “phase-shift”) e saída em corrente, mais conhecido como FB-ZVS-PS, embora este que foi utilizado apresente duas diferenças

básicas em relação ao original: o grampeamento da tensão dos diodos retificadores pelo lado primário do transformador [6] e o filtro LC duplo na saída.

O conversor FB-ZVS-PS utilizado é apresentado na Fig. 2.1.

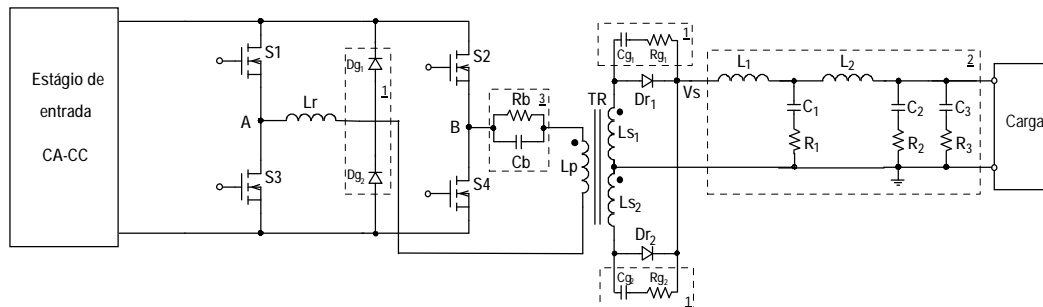


Fig. 2.1 – Conversor FB-ZVS-PS empregado.

Este conversor apresenta excelente rendimento decorrente das baixíssimas perdas por comutação, reduzidas perdas de condução devido à sua característica de saída em corrente e do grampeamento de tensão nos diodos retificadores.

Além disso, como a técnica de comutação suave proporciona menores perdas, ela permite a elevação da frequência de comutação e conseqüentemente a redução de volume dos componentes magnéticos e dos capacitores, bem como reduz os níveis de interferência eletromagnética.

Para que a técnica de comutação suave do FB-ZVS-PS seja realizada, é necessária a inserção, para cada interruptor, de um capacitor em paralelo e um diodo em anti-paralelo. Como a grande maioria das estruturas monofásicas utiliza como interruptores elementos MOSFET, a aplicação da técnica se torna ainda mais indicada devido ao aproveitamento dos seus componentes parasitas.

2.2. Funcionamento

Para simplificar a análise, considera-se a estrutura básica do conversor FB-ZVS-PS apresentada na Fig. 1.1, sendo os diodos retificadores componentes ideais e a associação filtro de saída-carga substituída por uma fonte de corrente.

Desta forma, as principais formas de onda deste conversor são apresentados a seguir.

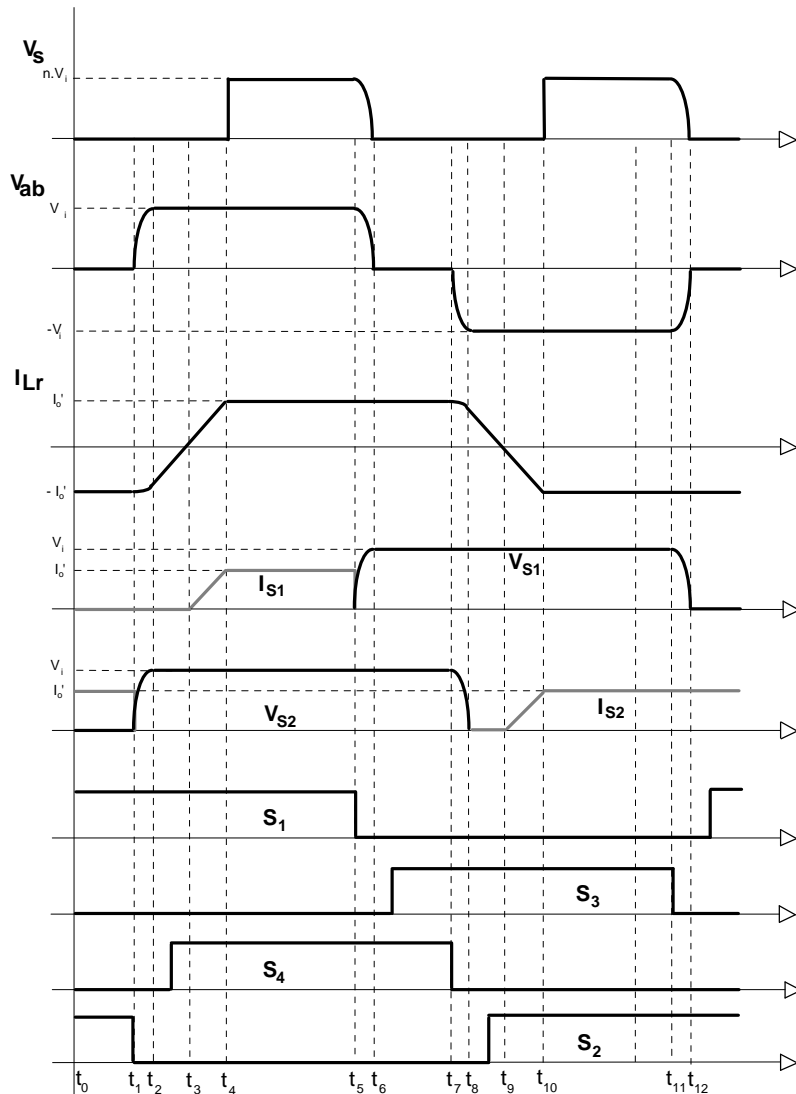


Fig. 2.2 – Formas de onda básicas do conversor FB-ZVS-PS.

Das formas de onda acima apresentadas é importante discutir alguns pontos:

Pulsos de comando

O bom desempenho de qualquer conversor estático depende muito do sinal de comando dos seus interruptores. O conversor FB-ZVS-PS utiliza pulsos de comando simétricos. O controle das variáveis de saída é realizado pelo tipo de modulação empregada: “phase-shift”. A modulação por largura de pulso neste caso não se observa pelo sinal de comando aplicado ao interruptor, mas sim após a retificação, no secundário. A tensão “ V_s ”, ou seja, a tensão aplicada ao filtro de saída varia a largura de seu pulso conforme o deslocamento no tempo dos sinais de comando. Se não houver sobreposição

entre os sinais significa que o conversor está operando com o máximo de razão cíclica que, na prática, não pode ser igual a 1 devido ao tempo-morto entre os sinais de comando do mesmo braço. A sobreposição total leva a uma tensão nula na saída. O tempo-morto deve ser calculado não somente para proteção contra curto-circuito de braço, mas também para garantir a entrada em condução dos interruptores sob tensão nula.

Transformador

Esta técnica de comando também proporciona um melhor aproveitamento do transformador, fazendo-o operar nos quatro quadrantes, simetricamente. Por operar nos quatro quadrantes a excursão máxima do fluxo é reduzida, diminuindo, então, o tamanho do núcleo. A tensão “ V_{AB} ” (Fig. 2.1) apresenta o sinal imposto ao transformador. Para reduzir os efeitos de algum desbalanceamento na tensão “ V_{AB} ”, que provoca perdas no transformador, é utilizado um circuito RC de bloqueio de componente contínua (bloco 3 – Fig. 2.1).

Comutação suave

Para a comutação ser suave, três fatores devem ser considerados: a corrente de carga, a indutância ressonante e o tempo-morto entre os sinais de comando. É a troca de energia entre a indutância ressonante e os capacitores em paralelo com os interruptores que definem a característica da comutação. O braço S1-S3 é considerado o braço não-crítico por sua comutação (bloqueio) ser realizada com corrente de carga referenciada ao primário. O braço crítico por sua vez já depende do valor da indutância ressonante ser suficientemente grande para não se descarregar tão facilmente.

Como se pode ver, este conversor utiliza apenas alguns estágios ressonantes. Isto é uma vantagem em relação aos conversores ressonantes que realizam comutação suave ao custo de maiores perdas em condução por circulação de reativos.

Característica de saída

Pela análise da Fig. 2.2 pode-se perceber que a tensão “ V_s ” não é somente nula no intervalo de sobreposição dos pulsos de comando, mas também no intervalo de variação linear da corrente no indutor L_r . Considerando que durante a segunda etapa a corrente no indutor L_r não varia e sendo D a razão entre o tempo em que a tensão “ V_{AB} ” é igual a $\pm V_i$ e o período de comutação, através da análise apresentada em [14] é definida a característica estática do conversor FB-ZVS-PS.

$$G_O = \frac{V_O}{D} = \frac{n \cdot V_I}{1 + \frac{4 \cdot n^2 \cdot L_r \cdot f_s}{R_O}} \quad (\text{Eq. 2.1})$$

Onde:

$$\begin{aligned} V_O &= 42 - 60 \text{ V}; & n &= 0,214; \\ V_I &= 400 \text{ V}; & f_s &= 140 \text{ kHz}; \\ R_O &= 4,2 - 6 \text{ } \Omega; & L_r &= 45 \text{ } \mu\text{H}; \end{aligned}$$

Esta expressão pode ser obtida também empregando o modelo da chave PWM, apresentado por *Vorpérian* [15] através da análise do modelo de pequenos sinais do conversor. Desta forma encontra-se não só o ganho estático como a função de transferência completa, que nada mais é do que a função de transferência do filtro de saída. O ponto de operação foi definido para uma carga de 10 A e razão cíclica aproximadamente igual a 0,8. Em geral, ao projetar a malha de controle utiliza-se apenas a característica de um filtro LC simples independentemente do filtro adotado. Isto ajuda a simplificar o projeto, porém pode levar a diferenças significativas ao calcular a malha de controle digital. A função de transferência completa da estrutura apresentada na Fig. 2.1 é mostrada a seguir.

$$\frac{V_O(s)}{D(s)} = G_O \cdot \frac{N_5 \cdot s^5 + N_4 \cdot s^4 + N_3 \cdot s^3 + N_2 \cdot s^2 + N_1 \cdot s + N_0}{D_7 \cdot s^7 + D_6 \cdot s^6 + D_5 \cdot s^5 + D_4 \cdot s^4 + D_3 \cdot s^3 + D_2 \cdot s^2 + D_1 \cdot s + D_0} \quad (\text{Eq. 2.2})$$

Sendo:

$$N_5 = (L_2 \cdot C_3^2 \cdot R_3^2 \cdot R_2 \cdot C_2 \cdot R_1 \cdot C_1 + L_2 \cdot R_3 \cdot C_3^2 \cdot R_O \cdot R_2 \cdot C_2 \cdot R_1 \cdot C_1);$$

$$\begin{aligned} N_4 &= (L_2 \cdot R_2 \cdot C_2 \cdot R_1 \cdot C_1 + L_2 \cdot C_3 \cdot R_3 \cdot R_2 \cdot C_2 + L_2 \cdot C_3 \cdot R_3 \cdot R_1 \cdot C_1 + R_O \cdot R_3 \cdot C_3 \cdot R_2 \cdot C_2 \cdot R_1 \cdot C_1 \\ &+ L_2 \cdot C_3 \cdot R_O \cdot R_2 \cdot C_2 + L_2 \cdot C_3 \cdot R_O \cdot R_1 \cdot C_1) \cdot R_3 \cdot C_3 + (L_2 \cdot C_3 \cdot R_3 \cdot R_2 \cdot C_2 \cdot R_1 \cdot C_1 + \\ &L_2 \cdot C_3 \cdot R_O \cdot R_2 \cdot C_2 \cdot R_1 \cdot C_1); \end{aligned}$$

$$\begin{aligned} N_3 &= (R_O \cdot R_3 \cdot C_3 \cdot R_2 \cdot C_2 + R_O \cdot R_3 \cdot C_3 \cdot R_1 \cdot C_1 + L_2 \cdot C_3 \cdot R_3 + R_O \cdot R_2 \cdot C_2 \cdot R_1 \cdot C_1 + L_2 \cdot R_2 \cdot C_2 \\ &+ L_2 \cdot R_1 \cdot C_1 + L_2 \cdot C_3 \cdot R_O) \cdot R_3 \cdot C_3 + (L_2 \cdot R_2 \cdot C_2 \cdot R_1 \cdot C_1 + L_2 \cdot C_3 \cdot R_3 \cdot R_2 \cdot C_2 + L_2 \cdot C_3 \cdot R_3 \cdot R_1 \cdot C_1 \\ &+ R_O \cdot R_3 \cdot C_3 \cdot R_2 \cdot C_2 \cdot R_1 \cdot C_1 + L_2 \cdot C_3 \cdot R_O \cdot R_2 \cdot C_2 + L_2 \cdot C_3 \cdot R_O \cdot R_1 \cdot C_1); \end{aligned}$$

$$N_2 = R_0.R_2.C_2.R_3.C_3 + R_0.R_1.C_1.R_3.C_3 + L_2.R_3.C_3 + R_0.R_3^2.C_3^2 + (R_0.R_3.C_3.R_2.C_2 + R_0.R_3.C_3.R_1.C_1 + L_2.C_3.R_3 + R_0.R_2.C_2.R_1.C_1 + L_2.R_2.C_2 + L_2.R_1.C_1 + L_2.C_3.R_0);$$

$$N_1 = R_0.R_3.C_3 + R_0.R_2.C_2 + R_0.R_1.C_1 + L_2 + R_0.R_3.C_3;$$

$$N_0 = R_0;$$

$$D_7 = [L_1.L_2.C_3.C_2.C_1.(R_0.R_1+R_3.R_1+R_3.R_2+R_0.R_2)].[(R_3/R_0+1).L_2.C_3];$$

$$D_6 = [L_1.L_2.C_3.C_2.C_1.(R_0.R_1 + R_3.R_1 + R_3.R_2 + R_0.R_2)].(L_2/R_0 + R_3.C_3) + (L_1.R_0.R_3.C_3.C_2.R_1.C_1 + L_1.R_2.C_2.R_1.C_1.C_3.R_0 + L_1.L_2.C_1.R_2.C_2 + L_1.R_0.R_3.C_3.C_1.R_2.C_2 + L_1.R_2.C_2.R_1.C_1.R_3.C_3 + L_1.L_2.C_2.R_1.C_1 + L_1.L_2.C_3.R_3.C_1 + L_1.L_2.C_3.R_0.C_2 + L_1.L_2.C_3.R_0.C_1 + L_1.L_2.C_3.R_3.C_2 + L_2.C_3.R_3.R_2.C_2.R_1.C_1 + L_2.C_3.R_0.R_2.C_2.R_1.C_1) [(R_3/R_0+1).L_2.C_3];$$

$$D_5 = [L_1.L_2.C_3.C_2.C_1.(R_0.R_1 + R_3.R_1 + R_3.R_2 + R_0.R_2)] + (L_1.R_0.R_3.C_3.C_2.R_1.C_1 + L_1.R_2.C_2.R_1.C_1.C_3.R_0 + L_1.L_2.C_1.R_2.C_2 + L_1.R_0.R_3.C_3.C_1.R_2.C_2 + L_1.R_2.C_2.R_1.C_1.R_3.C_3 + L_1.L_2.C_2.R_1.C_1 + L_1.L_2.C_3.R_3.C_1 + L_1.L_2.C_3.R_0.C_2 + L_1.L_2.C_3.R_0.C_1 + L_1.L_2.C_3.R_3.C_2 + L_2.C_3.R_3.R_2.C_2.R_1.C_1 + L_2.C_3.R_0.R_2.C_2.R_1.C_1). (L_2/R_0 + R_3.C_3) + (L_1.L_2.C_1 + L_1.R_1.C_1.R_3.C_3 + L_1.L_2.C_2 + L_1.R_2.C_2.R_1.C_1 + L_1.R_0.C_1.R_2.C_2 + L_1.R_2.C_2.C_3.R_0 + L_1.R_0.R_3.C_3.C_2 + L_1.R_2.C_2.R_3.C_3 + L_1.R_1.C_1.C_3.R_0 + L_1.R_0.R_3.C_3.C_1 + L_1.R_0.C_2.R_1.C_1 + L_2.R_2.C_2.R_1.C_1 + L_2.C_3.R_3.R_2.C_2 + L_2.C_3.R_3.R_1.C_1 + R_0.R_3.C_3.R_2.C_2.R_1.C_1 + L_2.C_3.R_0.R_2.C_2 + L_2.C_3.R_0.R_1.C_1).[(R_3/R_0 + 1).L_2.C_3];$$

$$D_4 = (L_1.R_0.R_3.C_3.C_2.R_1.C_1 + L_1.R_2.C_2.R_1.C_1.C_3.R_0 + L_1.L_2.C_1.R_2.C_2 + L_1.R_0.R_3.C_3.C_1.R_2.C_2 + L_1.R_2.C_2.R_1.C_1.R_3.C_3 + L_1.L_2.C_2.R_1.C_1 + L_1.L_2.C_3.R_3.C_1 + L_1.L_2.C_3.R_0.C_2 + L_1.L_2.C_3.R_0.C_1 + L_1.L_2.C_3.R_3.C_2 + L_2.C_3.R_3.R_2.C_2.R_1.C_1 + L_2.C_3.R_0.R_2.C_2.R_1.C_1) + (L_1.L_2.C_1 + L_1.R_1.C_1.R_3.C_3 + L_1.L_2.C_2 + L_1.R_2.C_2.R_1.C_1 + L_1.R_0.C_1.R_2.C_2 + L_1.R_2.C_2.C_3.R_0 + L_1.R_0.R_3.C_3.C_2 + L_1.R_2.C_2.R_3.C_3 + L_1.R_1.C_1.C_3.R_0 + L_1.R_0.R_3.C_3.C_1 + L_1.R_0.C_2.R_1.C_1 + L_2.R_2.C_2.R_1.C_1 + L_2.C_3.R_3.R_2.C_2 + L_2.C_3.R_3.R_1.C_1 + R_0.R_3.C_3.R_2.C_2.R_1.C_1 + L_2.C_3.R_0.R_2.C_2 + L_2.C_3.R_0.R_1.C_1).(L_2/R_0 + R_3.C_3) + (L_1.C_3.R_0 + L_1.R_1.C_1 + L_1.C_2.R_2 + L_1.R_0.C_1 + L_1.R_0.C_2 + L_1.R_3.C_3 + R_0.R_3.C_3.R_2.C_2 + R_0.R_3.C_3.R_1.C_1 + L_2.C_3.R_3 + R_0.R_2.C_2.R_1.C_1 + L_2.R_2.C_2 + L_2.R_1.C_1 + L_2.C_3.R_0).[(R_3/R_0 + 1).L_2.C_3];$$

$$D_3 = (L_1.L_2.C_1 + L_1.R_1.C_1.R_3.C_3 + L_1.L_2.C_2 + L_1.R_2.C_2.R_1.C_1 + L_1.R_0.C_1.R_2.C_2 + L_1.R_2.C_2.C_3.R_0 + L_1.R_0.R_3.C_3.C_2 + L_1.R_2.C_2.R_3.C_3 + L_1.R_1.C_1.C_3.R_0 + L_1.R_0.R_3.C_3.C_1 + L_1.R_0.C_2.R_1.C_1 + L_2.R_2.C_2.R_1.C_1 + L_2.C_3.R_3.R_2.C_2 + L_2.C_3.R_3.R_1.C_1 + R_0.R_3.C_3.R_2.C_2.R_1.C_1 + L_2.C_3.R_0.R_2.C_2 + L_2.C_3.R_0.R_1.C_1) + (L_1.C_3.R_0 + L_1.R_1.C_1 + L_1.C_2.R_2 + L_1.R_0.C_1 + L_1.R_0.C_2 + L_1.R_3.C_3 + R_0.R_3.C_3.R_2.C_2 + R_0.R_3.C_3.R_1.C_1 + L_2.C_3.R_3 + R_0.R_2.C_2.R_1.C_1 + L_2.R_2.C_2 + L_2.R_1.C_1 + L_2.C_3.R_0).(L_2/R_0 + R_3.C_3) + (L_1 + R_0.R_2.C_2 + R_0.R_1.C_1 + L_2 + R_0.R_3.C_3).[R_3/R_0 + 1].L_2.C_3];$$

$$D_2 = (L_1.C_3.R_0 + L_1.R_1.C_1 + L_1.C_2.R_2 + L_1.R_0.C_1 + L_1.R_0.C_2 + L_1.R_3.C_3 + R_0.R_3.C_3.R_2.C_2 + R_0.R_3.C_3.R_1.C_1 + L_2.C_3.R_3 + R_0.R_2.C_2.R_1.C_1 + L_2.R_2.C_2 + L_2.R_1.C_1 + L_2.C_3.R_0) + (L_1 + R_0.R_2.C_2 + R_0.R_1.C_1 + L_2 + R_0.R_3.C_3).(L_2/R_0 + R_3.C_3) + R_0.[R_3/R_0 + 1].L_2.C_3];$$

$$D_1 = (L_1 + R_0.R_2.C_2 + R_0.R_1.C_1 + L_2 + R_0.R_3.C_3) + R_0.(L_2/R_0 + R_3.C_3);$$

$$D_0 = R_0;$$

No capítulo 5 será apresentado a função de transferência em Z empregando os valores dos componentes adotados no projeto.

A intenção de utilizar o filtro LC duplo é poder fazer uma comparação de resultados, com relação a característica do sinal de saída, com uma outra fonte de alimentação implementada no laboratório com controle analógico. Não só utilizou-se o mesmo filtro de saída, como também o mesmo projeto de potência para todo o conversor e “lay-out” da placa de circuito impresso.

Grampeamento dos diodos retificadores

Embora não tenha sido abordada na descrição das formas de onda por se tratarem de diodos ideais, a análise do grampeamento dos diodos retificadores (bloco 1 – Fig. 2.1) é fundamental para a operação do conversor.

Um diodo real antes de bloquear completamente necessita da circulação de uma corrente reversa (corrente catodo-anodo) para que a energia armazenada durante o intervalo de condução se anule. Neste instante ocorre um fenômeno físico que simula o efeito de uma ressonância devido a interação entre a indutância de dispersão do transformador e a energia de recuperação do diodo retificador que pode ser modelada como uma capacitância. Este efeito leva a sobretensões destrutivas para este componente. Utilizar diodos com maior tolerância à tensão reversa não deve ser a solução, pois o tempo de recuperação do diodo é diretamente proporcional a tensão de “break-down”.

Desta forma é imprescindível que algum tipo de circuito grampeador seja inserido no conversor.

Embora bastante utilizado por sua simplicidade e baixo custo, o circuito de grampeamento RCD tradicional provoca muitas perdas, pois apenas desloca o problema da sobretensão nos diodos para o resistor de grampeamento. Utilizando o grampeamento proposto por *Redl et al* [6] pode-se reaproveitar parte da energia da indutância de dispersão e, também, da indutância ressonante, devolvendo-a ao capacitor de entrada. Desta forma, o problema é isolado no primário do transformador e o circuito snubber dos diodos retificadores (RC) pode ser redimensionado para uma potência menor, visto que agora os diodos de saída “enxergam” apenas parte da indutância de dispersão e indutâncias de trilha.

2.3. Conclusão

O conversor apresentado neste capítulo é uma solução tradicional para unidades retificadoras monofásicas pelo seu elevado rendimento, possibilidade de isolamento em alta frequência e por proporcionar baixos níveis de interferência. Além disso, a tensão sobre os interruptores é grampeada na tensão de barramento de entrada, o que se traduz em menores custos. Em termos de projeto foi utilizada a mesma estrutura de potência e “lay-out” aplicada por *Alves* [3]. O objetivo é comparar a performance dos dois projetos sob a ótica das normas impostas às características do sinal de saída, visto que [3] utiliza o controle analógico tradicional e o presente trabalho, uma proposta de controle digital.

Além disso, através da análise das formas de onda básicas, pôde-se abordar diversos aspectos importantes do funcionamento do conversor, inclusive a sua função de transferência, principal base para o desenvolvimento deste trabalho que é focado no controle digital desta estrutura.

Capítulo 3

Características do Processador

3.1. Introdução

Para se fazer o controle do conversor FB-ZVS-PS e ser aplicado a uma unidade retificadora comercial, o processador digital de sinais deve atender a diversos requisitos. Com base nas peculiaridades exigidas optou-se por utilizar o Kit DSP TMS320LF2407 da Texas Instruments [30 e 31].

A família TMS320x24x é composta por processadores digitais em ponto fixo de 16 bits, projetados para controlar sistemas em tempo real. Para exercer tal função com o desempenho necessário eles operam em diversas frequências. A frequência de “clock” da CPU do LF2407 é igual a 30 MHz, mas a frequência pode variar de 20 MHz a 40 MHz em outros processadores. Ainda existe a série LF28x que opera a 150 MHz. Os DSP's integram a alta performance de um processador digital à funcionalidade dos periféricos de um microcontrolador. Unindo-se a isto um amplo conjunto de instruções, pode-se realizar tarefas complexas com relativa facilidade.

Estes processadores, em princípio, foram projetados vislumbrando atender ao mercado de controle de sistemas de acionamento, em especial sistemas com motores de baixo custo, visto que a proposta do controle digital possibilitaria maior flexibilidade e conseqüentemente, menor custo com a redução de componentes. Devido a esta preocupação, estes processadores reúnem periféricos com funções apropriadas para o geração de pulsos de comando de um inversor (controle e modulação). Como o bom desempenho de uma fonte chaveada está relacionada ao seu circuito de comando e estes DSP's são capazes de gerar pulsos de diversas formas diferentes, contemplando até o tempo-morto, os profissionais de Eletrônica de Potência passaram a voltar suas atenções para estes dispositivos.

De forma geral, todos estes processadores apresentam algumas características básicas que os tornam muito atrativos para o controle de conversores estáticos.

Primeiramente, deve-se ressaltar a separação das estruturas de barramento de memória – programa e dados – para dar maior velocidade de processamento. Isto possibilita ler simultaneamente dados e instruções. Juntamente com o processamento tipo “pipeline”, isto permite que algumas instruções possam ser realizadas em apenas um ciclo de máquina. Em aplicações que exigem alta frequência de comutação, como a deste projeto, não se pode fazer uso de um simples microcontrolador. Microcontroladores são muito úteis para fazer a supervisão de uma fonte chaveada, mas não tem a performance necessária para controlar seus estados [41].

3.2. Características básicas

Entre as principais características do DSP TMS320LF2407 para implementação neste projeto pode-se destacar:

- Ø Frequência de “clock” = 30 MHz.
- Ø 16 portas de entrada analógicas multiplexadas com tempo de conversão de aproximadamente 500 ns.
- Ø 2 gerenciadores de eventos independentes.
- Ø Portas I/O digitais.
- Ø Memória de programa “on-chip” (SARAM, DARAM e Flash EPROM).
- Ø Comunicação serial.
- Ø Registrador de soma e produto de 32 bits.
- Ø Instruções apropriadas à implementação de compensadores.
- Ø Estrutura de processamento tipo “pipeline”.

O laboratório dispunha dos kits de desenvolvimento da série F243 e LF2407. Outros processadores foram estudados, porém o fato de se operar o conversor na frequência desejada, a necessidade de atender a diversos requisitos de interface, a facilidade em termos de programa que se obteve com a utilização dos dois gerenciadores de eventos e a familiaridade do laboratório na utilização de processadores da família TMS320 tornam o kit DSP TMS320LF2407 bem indicado, não sendo necessário optar por versões mais avançadas. Esta necessidade pode aparecer no desenvolvimento de uma UR comercial contendo o controle dos conversores de entrada e saída e de periféricos como sinalizações de monitoração e comunicação serial.

A tabela a seguir apresenta um comparativo das principais características dos processadores da família TMS320x2x.

Tab. 3.1 – Comparativo das principais características dos processadores da família TMS320x24x.

	F241	F243	LF2407	LF2407A	F2812
Ciclo de instrução	50ns	50ns	33ns	25ns	6,67ns
Conversão A/D	8 canais	8 canais	16 canais	16 canais	16 canais
	10 bits	10 bits	10 bits	10 bits	12 bits
Tempo de conversão	1 μ s	1 μ s	500ns	375ns	80ns
Gerenciador de eventos	1	1	2	2	2
Pinos I/O	26	26	41	41	56
Interface com memória externa	Sim	Sim	Sim	Sim	Sim
Interface para comunicação serial	Sim	Sim	Sim	Sim	Sim

Embora seja uma característica importante para aplicação em um produto, pois possibilita o controle e monitoração remota da UR, bem como facilita o carregamento de novos códigos de instrução quando ainda na fase de desenvolvimento, a comunicação serial não será explorada neste projeto. A interface com o computador, nesta fase de desenvolvimento, é realizada através do kit DSP da Spectrum Digital [42].

3.3. Unidades de memória

O DSP TMS320LF2407 utiliza uma arquitetura Harvard aprimorada com dispositivos com múltiplos espaços de memória acessíveis em 3 barramentos paralelos e independentes: PAB (“Program Address Bus”), DRAB (“Data-Read Address Bus”) e DWAB (“Data-Write Address Bus”). Isto permite o acesso simultâneo aos espaços de dados e programa, ou seja a CALU (Central Arithmetic Logic Unit) pode executar em 1 ciclo 3 operações de memória.

O LF2407 é dotado de memória RAM, ROM e FLASH e seu mapa de endereços de 192K “words” x 16 bits é organizado da seguinte forma:

- Ø 64K “words”: Memória de programa.
- Ø 64K “words”: Memória de dados.
- Ø 64K “words”: Memória I/O.

Memória de programa: Além de armazenar o código do programa, também armazena operadores imediatos e dados de tabela.

Memória de dados: Armazena valores a serem utilizados pelo código do programa e configurações dos registradores relacionados ao conjunto de periféricos. Pode ser acessada de duas formas, endereçamento direto ou indireto. No caso de utilizar o endereçamento direto deve-se declarar qual das 512 páginas (“data-pages”) se quer acessar. Cada “data-page” ocupa um espaço de 128 “words”. O endereçamento indireto acessa a memória de dados através de registradores auxiliares que são carregados com o valor do endereço.

Memória I/O: É acessada para definir parâmetros de controle da memória Flash e de comunicação entre a CPU, seus periféricos e a memória externa.

A Fig. 3.1 apresenta os blocos de memória do LF2407 e suas divisões e a Fig. 3.2 o mapa de memória dos registradores dos seus periféricos.

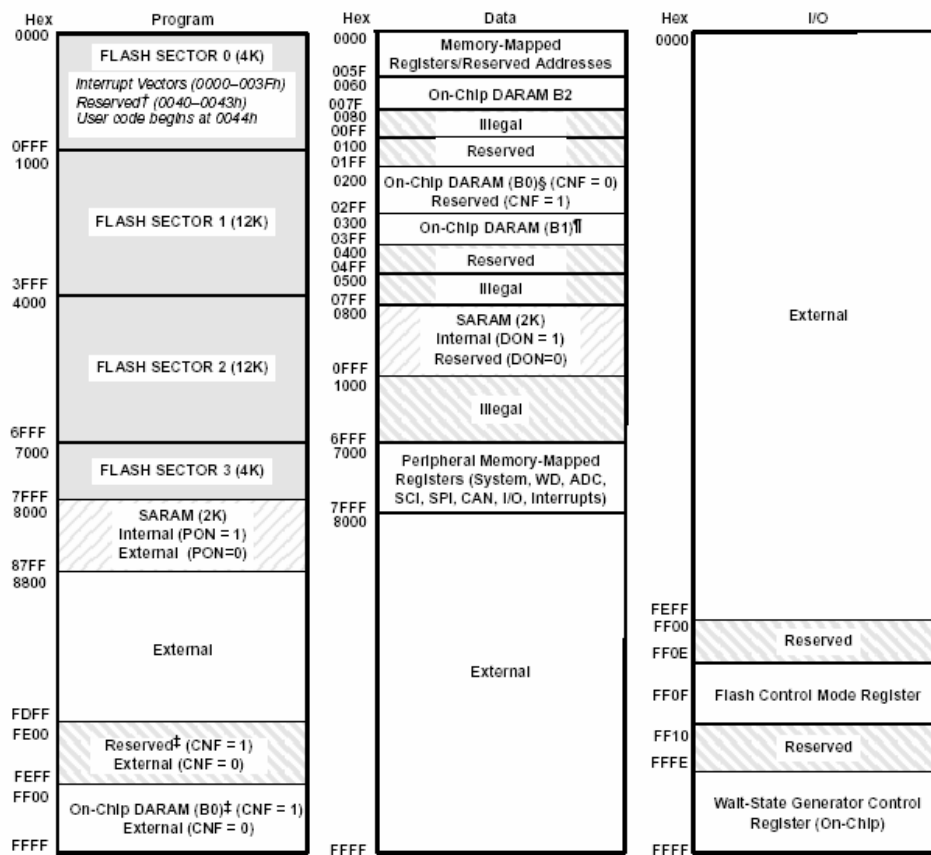


Fig. 3.1 – Mapa de memória do DSP TMS320LF2407.

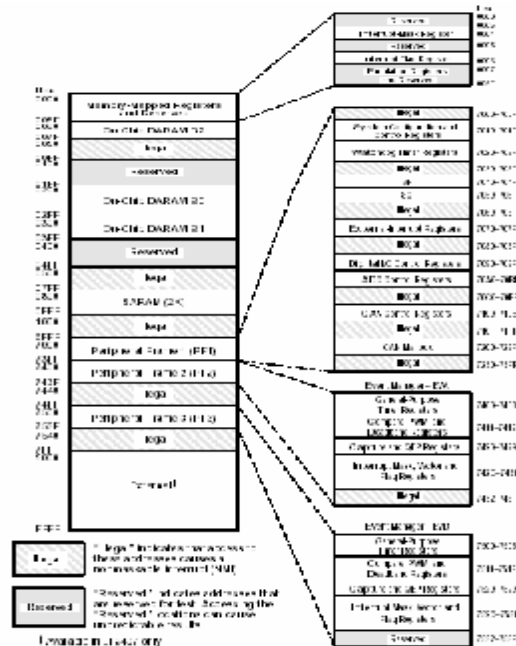


Fig. 3.2 – Mapa de memória dos periféricos na memória de dados.

Memória RAM

DARAM (“Dual-access On-chip RAM”): Pode ser acessada 2 vezes por ciclo de máquina. É dividida em três blocos: B0, B1 e B2. Em geral é usada como memória de dados, mas o bloco B0 pode ser usado como memória de programa dependendo do bit CNF do registrador de status1.

SARAM (“Single-access On-chip RAM”): Pode ser acessada apenas 1 vez por ciclo de máquina. Pode ser utilizada tanto como memória de dados como de programa e ainda é configurável por “software” como memória interna ou externa.

Memória ROM

É mapeada na memória de programa e é habilitada na falta de uma interface com a memória externa (LC240x). A ROM vem programada de fábrica.

Memória FLASH

É utilizada quando se deseja um armazenamento permanente do programa, mas com possibilidade de atualizá-lo. Quanto à memória Flash, a família LF240x é similar aos dispositivos F24x, mas com avanços como possuir interface JTAG que pode melhorar a programação e a emulação.

Apesar da série LF2407 possuir interface com memória externa, o que permite acesso a um espaço ainda maior, ele também possui memória “on-chip”. Ela possibilita melhorar a performance do processador por não necessitar de estados de espera (“wait-states”) imprescindíveis para comunicação com a CPU e por consumir menos energia.

3.4. Núcleo de processamento

A Unidade Central de Processamento (CPU) do TMS320LF2407, apresentada na Fig. 3.3, pode ser dividida nas seções a seguir apresentadas.

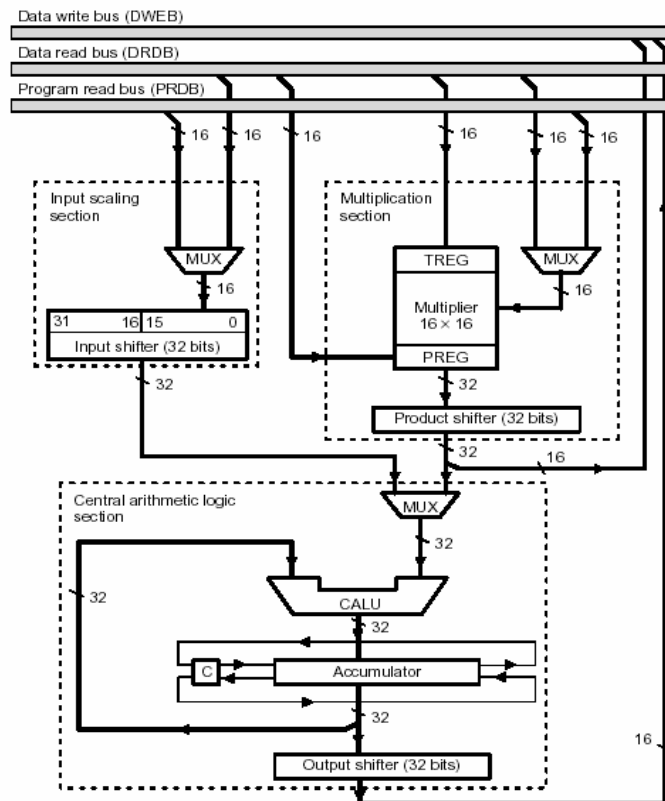


Fig. 3.3 – Diagrama de blocos da CPU.

“Input Scaling Shifter”: Permite o deslocamento em 16 bits de dados conectados ao barramento de dados e das saídas de 32 bits. Como opera como parte da instrução, não necessita de ciclos de máquina extras para ser executado. Os bits menos significativos do dado de saída são preenchidos com n zeros após o deslocamento de n bits. Os mais

significativos podem ser preenchidos com zeros ou bits de sinal dependendo do valor do bit SXM do registrador de status 1.

Multiplicador: Este DSP utiliza um multiplicador em “hardware” de 16 x 16 bits capaz de computar um produto de 32 bits, com ou sem sinal, em apenas 1 ciclo de máquina. Isto é uma grande vantagem deste processador em relação a outros ou em relação a muitos microcontroladores que precisam de rotinas específicas para esta função, prejudicando a rapidez de processamento da informação.

Os registradores envolvidos são:

Ø TREG: Registrador de 16 bits preenchidos com um dos operadores.

Ø PREG: Registrador de 32 bits preenchidos com o resultado do produto.

O LF2407 é capaz de realizar uma operação de multiplicação simples, como também está totalmente preparado para solucionar equações recursivas de diversas ordens. Com instruções dedicadas que aproveitam os recursos de “pipeline” pode-se executar diversas multiplicações e somas de produto já carregando um novo valor no operador TREG em apenas 1 ciclo de máquina. Desta forma, este DSP se torna extremamente atrativo no controle de estruturas das mais variadas áreas.

Diretamente relacionados com o PREG é possível, através do campo PM (“Product Shift-Mode”) do registrador de status 1, rotacionar os bits do dado de saída. Este recurso permite o uso de diferentes formatos de representação numérica e conseqüentemente uma melhor precisão do resultado, visto que não é possível representar qualquer número real de forma digital. A tabela abaixo apresenta de forma sucinta a possibilidade de rotação de bits dos dados presentes no PREG.

Tab. 3.2 – Modos de escala de um produto.

PM	Deslocamento	Descrição
00	sem deslocamento	Dado sem deslocamento.
01	1 bit a esquerda	Remove o bit de sinal extra gerado pelo produto de 2 dados em complemento 2.
10	4 bits a esquerda	Remove os 4 bits de sinal extra gerado pelo produto de um dado de 16 bits por uma constante de 13 bits
11	6 bits a direita	Reescala o produto para evitar overflow.

No programa utilizado neste projeto se fez uso deste recurso para que se pudesse representar os ganhos do compensador de forma mais precisa. Utilizando uma representação numérica tipo Q6 e carregando o campo PM com o valor 3, automaticamente o resultado da multiplicação é reescalado para o formato Q0 (valor inteiro) [11].

Unidade Lógica e Aritmética Central (CALU): Implementa uma série de funções lógicas e aritméticas que se dividem em 4 categorias.

- Ø Adição em 16 bits.
- Ø Subtração em 16 bits.
- Ø Operações de lógica Booleana.
- Ø Testes e deslocamento de bits.

Todas as operações de adição e subtração estão vinculadas ao acumulador, independente do dado a ser somado estar em uma posição da memória de dados, ou seja, um valor imediato. Desta forma, os campos OVM (“Overflow Mode”), SXM e SPM dos registradores de status 0 e 1 influenciam diretamente nesta unidade.

Além disso, devido a responsabilidade de executar testes de bits, a CALU pode controlar uma série de “branches” condicionais.

Acumulador: É o registrador de saída da CALU. Possui 32 bits que podem ser divididos em 2 grupos de 16 bits para comunicação com o barramento de dados. Como mencionado anteriormente, está totalmente vinculado às unidades de deslocamento (“shift”) e a alguns modos de operação definidos por campos dos registradores de status.

Unidade Aritmética de Registradores Auxiliares (ARAU): Realiza operações aritméticas nos 8 registradores independentemente da CALU. A Fig. 3.4 ilustra em forma de diagrama a ARAU.

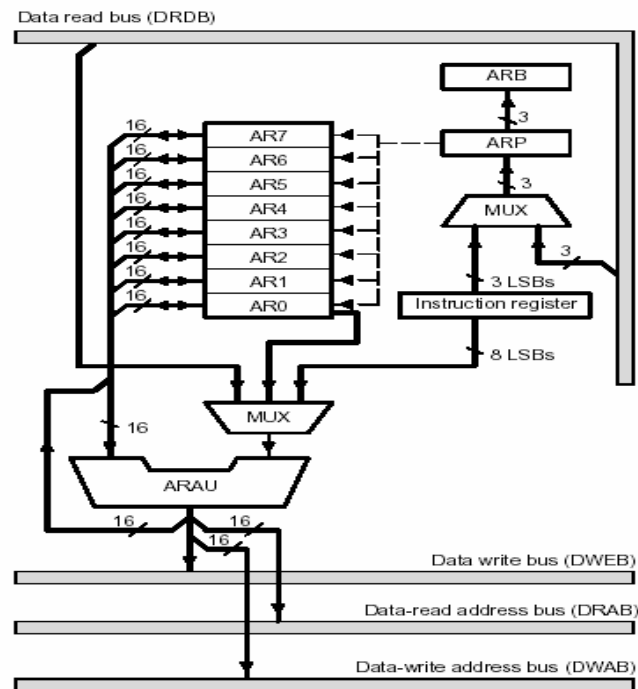


Fig. 3.4 – Detalhe da ARAU.

A ARAU pode operar da seguinte forma:

- Ø Incrementa ou decremente os registradores auxiliares de 1 unidade ou de um valor indexado.
- Ø Compara o conteúdo de AR0 com o do registrador ativo (ARP = 1-7) e coloca o resultado no bit de teste e controle (TC).

Os registradores auxiliares podem ser utilizados para as funções descritas abaixo:

- Ø Permitir o acesso a qualquer posição de memória do barramento de dados através do endereçamento indireto utilizando o valor carregado no registrador como o endereço desejado.
- Ø Ser utilizado em rotinas de comparação devido ao uso do bit TC do registrador de status 1.
- Ø Armazenar valores temporários.
- Ø Servir como contador.

Operação em “pipeline”: Consiste de uma seqüência de operações que ocorrem durante a execução de uma instrução, que como ocorrem paralelamente, formam “canais”

de operações que podem tornar muito mais rápido o processamento de uma série de funções. O DSP TMSx240x possui 4 estágios independentes.

- Ø Localização da instrução.
- Ø Decodificação da instrução.
- Ø Localização do operando.
- Ø Execução da instrução.

A Fig. 3.5 mostra a operação dos 4 estágios de “pipeline” para instruções do tipo “single-word” e “single-cycle” desprezando a presença de “wait-states”.

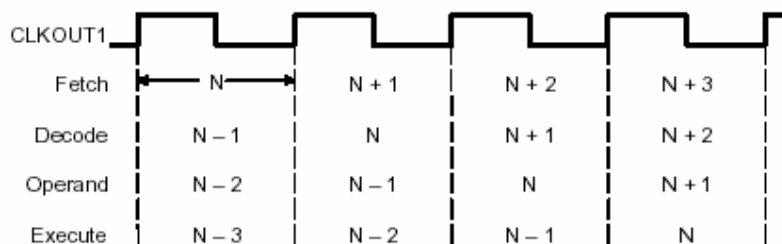


Fig. 3.5 – Seqüência de instruções utilizando o recurso de “pipeline”.

É importante o programador ter conhecimento deste recurso para que seu código seja otimizado para o seu melhor aproveitamento. O uso excessivo de “branches” no programa, por exemplo, não é uma forma indicada para obter o melhor aproveitamento deste processador.

3.5. Conjunto de periféricos

Em muitas áreas da engenharia, inclusive a de Eletrônica de Potência, microcontroladores são utilizados para fins de monitoração, alarme e comunicação. Mas quando se deseja, além disso, o controle de variáveis de uma estrutura, o desempenho do conjunto de periféricos, os recursos simples de CPU e do conjunto de instruções destes microcontroladores podem não ser suficientes para tal função.

Como os conversores apresentam frequência de comutação cada vez mais alta é necessário um conjunto de periféricos capaz de obter um dado a ser controlado, processá-lo e atuar sobre os mecanismos de acionamento em períodos extremamente pequenos para atender os requisitos de desempenho tais, como de rejeição de perturbação, “ripple”

de saída, entre outros. Desta forma, a utilização de microcontroladores não se mostra eficaz.

O processador digital de sinais TMS320LF2407 possui um poderoso conjunto de periféricos e um amplo conjunto de instruções capaz de aproveitar os diversos recursos de CPU disponíveis.

O conjunto de periféricos do LF2407 é dividido nas seguintes unidades:

- Ø Gerenciadores de eventos (EVA e EVB).
- Ø Conversor Analógico-Digital (ADC).
- Ø Portas I/O e pinos de dupla função.
- Ø Interface de comunicação serial (SCI).
- Ø Interface serial com periféricos (SPI).
- Ø Controlador de rede (CAN).
- Ø “PLL-based clock”.
- Ø Temporizador “Watchdog” (WD).

Os módulos principais empregados neste projeto são apresentados a seguir.

3.5.1. Gerenciadores de eventos

Juntamente com o módulo de conversão A/D, os gerenciadores de eventos são, nas aplicações em Eletrônica de Potência, os periféricos mais importantes do processador. Esta é a unidade responsável pela geração dos pulsos de comando do conversor.

Os processadores da família Lx240x apresentam um módulo gerenciador a mais do que seus antecessores, a família F24x. A Fig. 3.6 apresenta o diagrama de blocos do gerenciador de eventos A.

Este segundo módulo foi importantíssimo no desenvolvimento deste projeto, pois possibilitou definir os pulsos de comando dos dois braços do conversor utilizando apenas unidades de comparação do tipo “full-compare” que estão diretamente relacionadas com registradores de tempo-morto, o que dispensa a programação de uma rotina específica e não tão precisa para esta função. Caso fosse utilizado o processador da família F24x, que possuem todas as unidades de comparação do tipo “full-compare” relacionadas a apenas um “timer”, com a intenção de definir os pulsos de comando inteiramente por “software”, seria necessário implementar uma rotina dedicada a definir um atraso na atualização do estado dos pulsos visando simular o tempo-morto que é automaticamente gerado para os pulsos de comando de um dos braços. Isto praticamente impossibilitaria esta

implementação inteiramente por software, visto que a não utilização de periféricos levaria a um enorme esforço de programação para garantir que chamadas de interrupção não ocorressem justamente no momento de definição dos pulsos, o que levaria a uma assimetria.

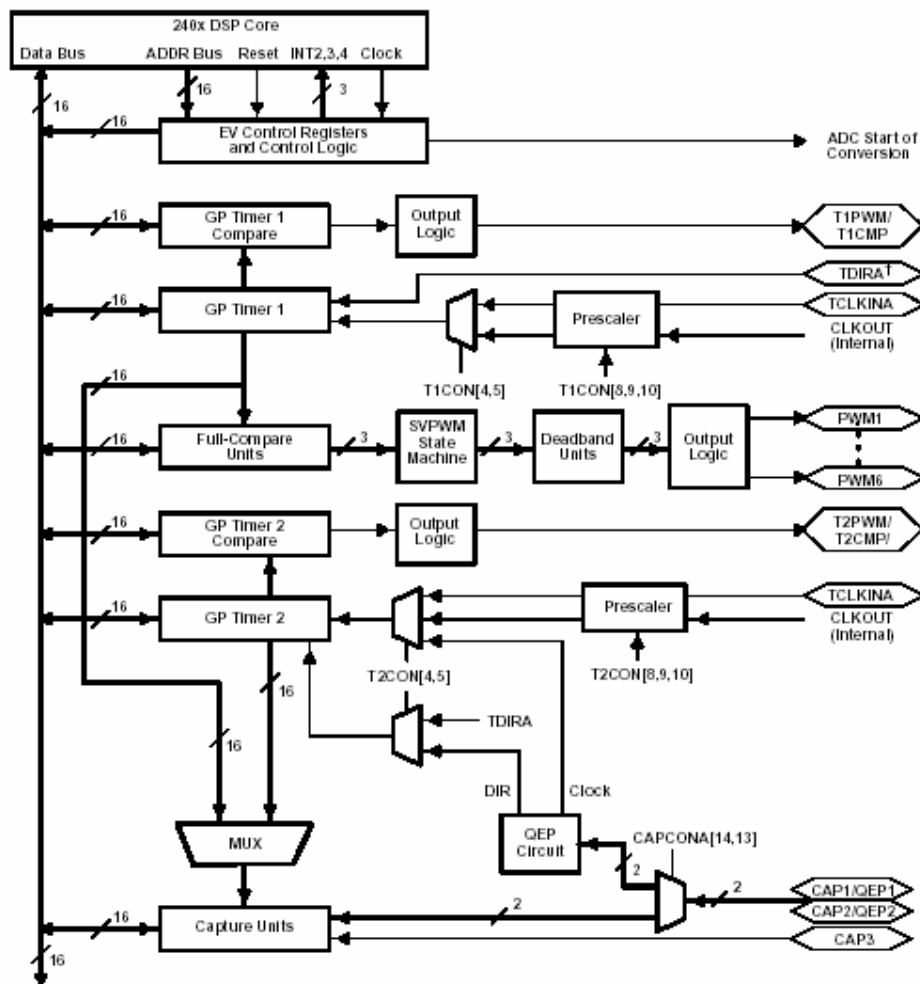


Fig. 3.6 – Diagrama de blocos do EVA.

Exceto quanto aos índices utilizados, o gerenciador de eventos B é exatamente igual.

Como se pode ver, cada gerenciador de eventos tem vinculado a si temporizadores (“timers”) de propósito geral, unidades de comparação e saídas PWM, unidades de captura e circuitos “quadrature-encoder pulse” (QEP).

A Tab. 3.3 apresenta a composição dos dois gerenciadores de eventos e destaca em negrito as unidades utilizadas neste projeto.

Tab. 3.3 – Módulos e sinais dos gerenciadores de eventos.

Módulos do EVM	EVA		EVB	
	Módulo	Sinal	Módulo	Sinal
Temporizadores	Timer 1	T1PWM/T1CMP	Timer 3	T3PWM/T3CMP
	Timer 2	T2PWM/T2CMP	Timer 4	T4PWM/T4CMP
Unidades de comparação	Compare 1	PWM1/PWM2	Compare 4	PWM7/PWM8
	Compare 2	PWM3/PWM4	Compare 5	PWM9/PWM10
	Compare 3	PWM5/PWM6	Compare 6	PWM11/PWM12
Unidades de captura	Capture 1	CAP1	Capture 4	CAP4
	Capture 2	CAP2	Capture 5	CAP5
	Capture 3	CAP3	Capture 6	CAP6
QEP	QEP 1	QEP1	QEP 3	QEP3
	QEP 2	QEP2	QEP 4	QEP4
Entradas externas	Direction	TDIRA	Direction	TDIRB
	Ext. Clock	TCLKINA	Ext. Clock	TCLKINB

Temporizadores: Há dois temporizadores para cada módulo gerenciador que podem ser programados para operar em frequências múltiplas do “clock” de CPU ou de uma referência externa. Eles podem ser utilizados como diferentes bases de tempo em diversas aplicações, tais como: definição do período de amostragem, chamadas de interrupção, base de tempo das unidades de comparação, entre outras. Os temporizadores podem também ser sincronizados entre si.

Os temporizadores do LF2407 possuem 4 modos de operação:

- 1) “Stop/Hold”: Neste modo a contagem é interrompida e mantém seu estado atual até o momento em que o programador desejar.
- 2) Contagem crescente contínua: É o modo de contagem adotado neste projeto para definição dos pulsos de comando. É a versão digital do sinal dente-de-serra. O período da contagem é definido pelo valor carregado no registrador TxPR acrescentado de uma unidade e multiplicado pelo período de “clock” da CPU.

A Fig. 3.7. descreve de forma simplificada a operação deste modo.

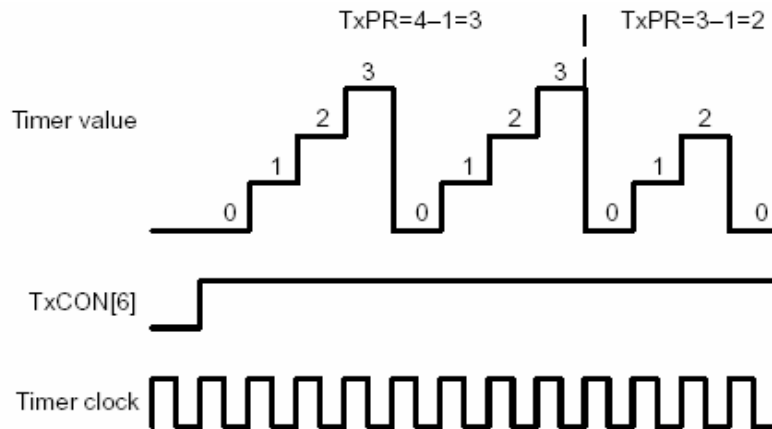


Fig. 3.7 - Versão digital do sinal dente-de-serra.

- 3) **Contagem crescente-decrescente contínua:** É a versão digital da forma de onda triangular. A contagem é crescente até o valor definido por TxPR e depois passa a ser decrescente até atingir o “underflow”. Dessa forma o período de contagem é duas vezes o valor de TxPR multiplicado pelo período de “clock” da CPU.
- 4) **Contagem direcional:** Este modo pode realizar a função de qualquer modo de contagem contínua de forma crescente ou decrescente de acordo com o registrador TDIRA/B. É importante por permitir alta flexibilidade ao processador, mas de pouca utilidade para controle de conversores.

Dos registradores relacionados aos temporizadores, aqueles que foram utilizados no projeto são detalhados a seguir com os valores empregados.

Ø “Timer x Control Register” - T1CON / T3CON (7404h / 7504h)

15	14	13	12	11	10	9	8
Free	Soft	Reservado	TMODE1	TMODE0	TPS2	TPS1	TPS0
0	0		1	0	0	0	0
7	6	5	4	3	2	1	0
T2SWT1 T4SWT3	TENEABLE	TCLKS1	TCLKS0	TCLD1	TCLD0	TECMR	SELT1PR SELT3PR
0	1	0	0	0	0	1	0

Bits 15-14: Bits de controle da emulação. Configurado para interromper a contagem na suspensão da emulação.

Bits 12-11: Seleção dos modos de contagem. Modo “Continuous-Up Count”.

Bits 10-8: Fator de multiplicação do “clock”. $CLK_{TIMER} = CLK_{CPU}$

Bit 7: Bit de sincronização dos temporizadores. Cada temporizador usa seu próprio bit de inicialização.

Bit 6: Bit que habilita o temporizador.

Bits 5-4: Seleção da fonte de “clock”. “Clock” interno selecionado.

Bits 3-2: Condição de recarga do registrador de comparação dos temporizadores. Configurado para recarregar quando o contador atingir 0.

Bit1: Habilita o timer compare.

Bit 0: T2CON/T4CON usam os próprios períodos ou o período de T1CON/T3CON. Reservado em T1CON/T3CON.

Ø “Overall GP Timer Control Register” A/B - GPTCONA / GPTCONB (7400h / 7500h)

15	14	13	12	11	10	9	8
Reserv.	T2STAT	T1STAT	Reserv.	Reserv.	T2TOADC	T2TOADC	T1TOADC
	0	0			0	0	1/0
7	6	5	4	3	2	1	0
T1TOADC	TCOMPOE	Reserv.	Reserv.	T2PIN	T2PIN	T1PIN	T1PIN
1/0	1			0	1	0	1

Bit 14: Status do GP Timer2/4. Somente leitura.

Bit 13: Status do GP Timer1/3. Deve-se ler 1 devido a contagem progressiva destes temporizadores.

Bits 10-9: Controla o início da conversão com um evento do Timer2/4. Nenhum evento inicia o ADC.

Bits 8-7: Controla o início da conversão com um evento do Timer1/3. Uma interrupção de comparação do “timer 1” inicia o ADC.

Bit 6: Habilita as saídas comparadoras.

Bits 3-2: Polaridade da saída comparadora do GP Timer2/4. Ativo-baixo.

Bits 1-0: Polaridade da saída comparadora do GP Timer1/3. Ativo-baixo.

Ø T1PR / T3PR (7403h / 7503h): Os registradores de período são carregados com 210 (decimal) como valor nominal para 140 kHz, mas o registrador T3PR pode

ser alterado para realizar o deslocamento dos pulsos de comando de um braço em relação ao outro. Isto será melhor explicado no capítulo seguinte.

Unidades de comparação: Cada módulo gerenciador possui três unidades tipo “full-compare” que são responsáveis por seis das oitenta e oito saídas PWM de cada um deles. Neste projeto não serão utilizadas saídas relacionadas aos registradores TxCMPR. As unidades do tipo “full-compare” são um dos mais poderosos recursos dos periféricos deste DSP. É capaz de gerar pulsos de comando com tempo morto definido e saídas complementares tendo sua razão cíclica determinada por comparações com os temporizadores.

A Fig. 3.8 apresenta o diagrama de blocos das unidades de comparação.

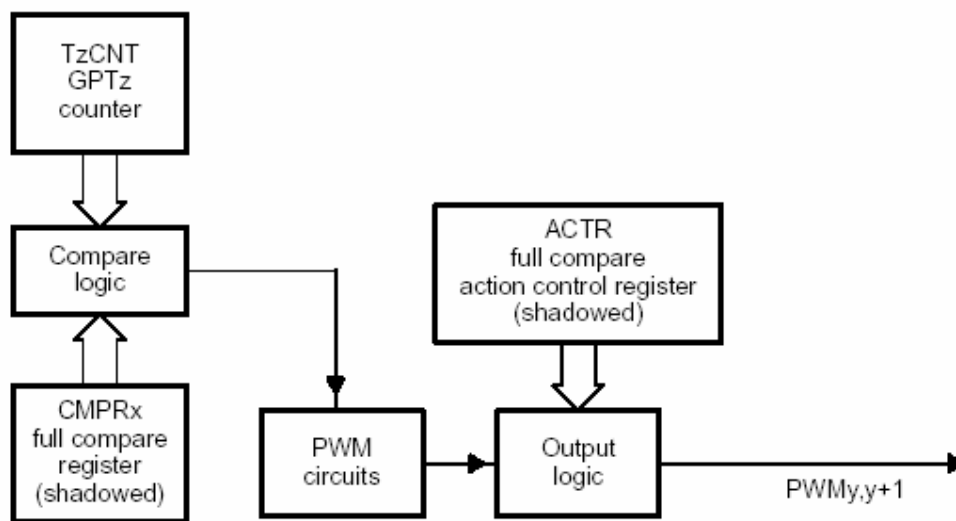


Fig. 3.8 – Diagrama de blocos das unidades comparadoras.

Sendo que:

Ø Para EVA: $x = 1, 2, 3; y = 1, 3, 5; z = 1;$

Ø Para EVB: $x = 4, 5, 6; y = 7, 9, 11; z = 2;$

Como mencionado anteriormente, o LF2407 por possuir dois gerenciadores de eventos independentes simplificou bastante a tarefa de gerar os pulsos para o conversor FB-ZVS-PS. Desta forma pode-se fazer uso de duas unidades “full-compare”, cada uma relacionada a um timer diferente (1 e 3). Como as saídas PWM 1-6 estão relacionadas ao “GP timer” 1, a única solução caso não houvesse as saídas PWM 7-12 seria utilizar a saída relacionada ao registrador T2CMPR (T2PWM). Logo, abriria-se mão da configuração de

tempo morto que a unidade de comparação possibilita e realizaria esta função externamente, o que encareceria o produto final, ou por “software”, o que não seria tão preciso.

Os registradores destas unidades utilizados no projeto são apresentados a seguir.

Ø “Compare Control Register” A/B - COMCONA / COMCONB (7411h / 7511h)

15	14	13	12	11	10	9	8
CENABLE	CLD1	CLD0	SVENABLE	ACTRLD1	ACTRLD0	FCOMPOE	Reserv.
1	0	0	0	0	0	1	
7	6	5	4	3	2	1	0
Reservado							

Bit 15: Habilita a operação de comparação.

Bits 14-13: Condição de recarga do registrador de comparação CMPRx. Recarrega o registrador na ocorrência de um “underflow” em T1CNT/T3CNT.

Bit 12: Habilita o modo “space-vector” PWM. Desabilitado.

Bits 11-10: Condição de recarga do ACTR. Recarrega o registrador na ocorrência de um “underflow” em T1CNT/T3CNT.

Bit 9: Habilita as saídas comparadoras.

Ø “Compare Action Control Register” A/B - ACTRA / ACTRB (7413h / 7513h)

15	14	13	12	11	10	9	8
SVRDIR	D2	D1	D0	CMP6ACT1 CMP12ACT1	CMP6ACT0 CMP12ACT0	CMP5ACT1 CMP11ACT1	CMP5ACT0 CMP11ACT0
0	0	0	0	0	1	0	1
7	6	5	4	3	2	1	0
CMP4ACT1 CMP10ACT1	CMP4ACT0 CMP10ACT0	CMP3ACT1 CMP9ACT1	CMP3ACT0 CMP9ACT0	CMP2ACT1 CMP8ACT1	CMP2ACT0 CMP8ACT0	CMP1ACT1 CMP7ACT1	CMP1ACT0 CMP7ACT0
1	0	0	1	0	1	1	0

Bit 15: Utilizado somente para o “space-vector” PWM.

Bits 14-13: Utilizado somente para o “space-vector” PWM.

Bits 11-0 : Polaridade dos pinos de saídas comparadoras CMP12 – CMP1. Os pinos PWM1 e PWM2 devem ser complementares assim como PWM7 e PWM8.

01 → Ativo-baixo.

10 → Ativo-alto.

Ø “Dead-Band Timer Control Registers” A/B - DBTCONA / DBTCONB (7415h / 7515h)

15	14	13	12	11	10	9	8
Reservado				DBT3	DBT2	DBT1	DBT0
				0	1	0	1
7	6	5	4	3	2	1	0
EDBT3	EDBT2	EDBT1	DBTPS2	DBTPS1	DBTPS0	Reservado	
0	0	1	0	0	1		

Bits 11-8: Definem o valor do período dos 3 “dead-band timers” de 4 bits de cada gerenciador. Combinado com o “prescaler” definem o tempo morto.

Bits 7-5: Habilitam os 3 “dead-band timers” relacionadas aos blocos de comparação CMP6-1 e CMP12-CMP7. Desta forma estão habilitados para os pinos PWM1, PWM2, PWM7 e PWM8.

Bits 4-2: “Dead-band timer prescaler”.

Com esta configuração, o tempo-morto ficou programado para 500 ns nas saídas PWM e levando-se em conta que existe um circuito “drive” para comando dos interruptores, o tempo-morto diretamente aplicado a estes foi de aproximadamente 380 ns.

Ø CMPR1 / CMPR4 (7417h / 7517h): são configurados com o valor nominal igual a 104 que corresponde a razão cíclica de aproximadamente 50%, mas CMPR4 pode ser alterado para que o controle “phase-shift” seja realizado, em decorrência da alteração de T3PR.

Registadores de interrupções: são configurados de acordo com a interrupção que se deseja na ocorrência de um evento do gerenciador. São divididos em registadores do tipo máscara (“mask”) e do tipo “flag”.

Os registadores do tipo máscara definem quais interrupções estão habilitadas. Neste projeto foi necessário habilitar a interrupção de comparação do “GP timer 1”. Ela controla o início da conversão A/D e a chamada da interrupção que tratará os dados adquiridos.

Os registradores do tipo “flag” atuam como sinalização da ocorrência de um evento, cuja interrupção havia sido habilitada. Os bits que são “setados” devem ser levados a zero novamente para que a interrupção possa ser identificada pelo processador.

Os registradores de interrupções são os seguintes:

Tab. 3.4 – Registradores de interrupção.

Registradores “Flag”		Registradores “Mask”		Módulo EV
EVAIFRA	(742Fh)	EVAIMRA	(742Ch)	EVA
EVAIFRB	(7430h)	EVAIMRB	(742Dh)	EVA
EVAIFRC	(7431h)	EVAIMRC	(742Eh)	EVA
EVBIFRA	(752Fh)	EVBIMRA	(752Ch)	EVB
EVBIFRB	(7530h)	EVBIMRB	(752Dh)	EVB
EVBIFRC	(7531h)	EVBIMRC	(752Eh)	EVB

3.5.2. Conversão Analógico-Digital (ADC)

Outro módulo importante do conjunto de periféricos, o ADC do LF2407 apresenta as seguintes características:

- Ø Tempo de conversão 500 ns.
- Ø Conversão A/D em 10 bits.
- Ø 16 canais de entrada multiplexados.
- Ø Capacidade de programar uma seqüência de canais a serem adquiridos e modos de conversão.

Uma das vantagens da família Lx240x em relação a F24x, além do tempo de conversão reduzido, é a possibilidade de realizar uma seqüência de conversões. Ele possui 2 seqüenciadores independentes de 8 conversões (SEQ 1 e SEQ 2) que podem ser cascadeados para 16 conversões. Como o F24X só permitia 2 conversões em seqüência, então, reduziu-se muito o tempo necessário para reconfigurar o ADC para uma nova aquisição. Quando há ruídos de comutação nos sinais a serem controlados é interessante implementar um filtro digital através da média de 2 a 4 aquisições para minimizar este efeito no controle, já que, diferentemente do sistema analógico, no sistema digital a variável amostrada se mantém como uma referência constante para todas as ações de controle durante todo o período de amostragem. Caso seja necessário controlar mais de uma variável, o número de conversões pode passar de 8. Neste projeto são monitorados os sinais de tensão e corrente de saída fazendo uma média de 2 aquisições para cada variável, que nos testes de bancada apresentou melhores resultados.

A Fig. 3.9 apresenta o diagrama de tempos em relação ao período de amostragem e a Fig. 3.10 o diagrama de blocos do módulo ADC.

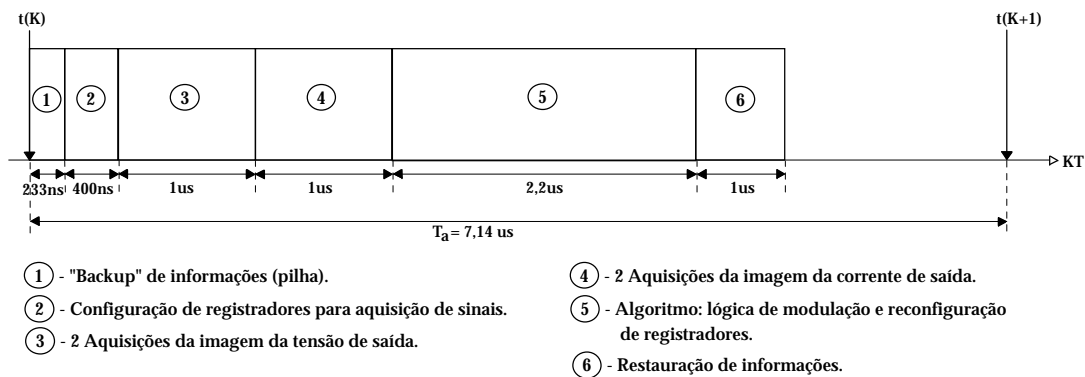


Fig. 3.9 – Diagrama de tempos.

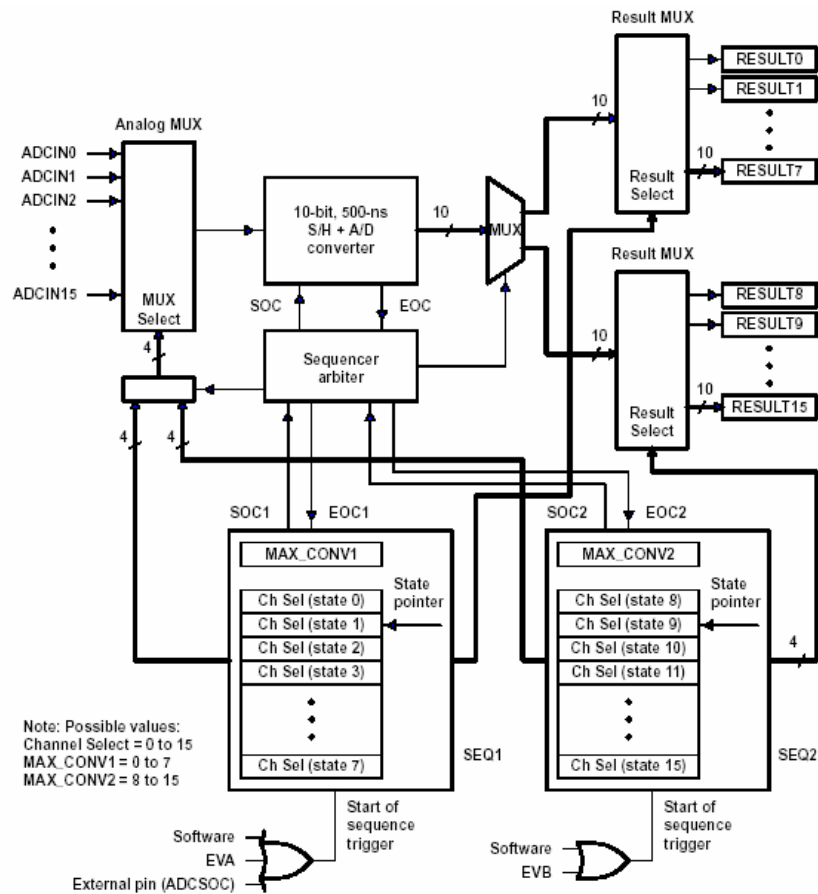


Fig. 3.10 – Diagrama de blocos do conversor A/D.

O LF2407 possui dois modos de aquisição:

- 1) **Modo ininterrupto:** Realiza a conversão dos “n” canais desejados continuamente. Ao final da seqüência o seqüenciador é “resetado” ao CONV00 para uma nova série. Esta foi a opção deste projeto.
- 2) **Modo descontínuo (“start/stop”):** Neste caso a seqüência não é “resetada” automaticamente. O registrador MAXCONV determina quantas aquisições da seqüência serão realizadas. O “trigger” para cada conjunto de conversões pode ser dado por “software”, por uma interrupção do EVA ou EVB ou pelo pino ADC SOC.

A descrição dos registradores utilizados é apresentada a seguir.

Ø ADC “Control Register” 1 - ADC TRL 1 (70A0h)

15	14	13	12	11	10	9	8
Reserv.	RESET	SOFT	FREE	ACQ PS3	ACQ PS2	ACQ PS1	ACQ PS0
0	1	0	0	0	0	0	0
7	6	5	4	3	2	1	0
CPS	CONT RUN	INT PRI	SEQCASC	CAL ENA	BRG ENA	HI/LO	STESTENA
0	1	1	0	0	0	0	0

Bit 14: “Reseta” todo o módulo ADC e deve ser “setado” antes de iniciar a configuração deste.

Bit 13-12: Define como se comporta o conversor A/D quando ocorre a suspensão de uma emulação. Da forma utilizada, completa a conversão antes da suspensão.

Bits 11-8: “Aquisition time window”. Definem o fator de multiplicação do “clock” do ADC. Fator utilizado = 1.

Bit 7: Define a frequência base do “clock” do ADC. $f_{CLK} = f_{CPU}$.

Bit 6: Define o modo de operação do seqüenciador. Configurado para operar no modo contínuo.

Bit 5: Baixa prioridade para a requisição de interrupção do ADC.

Bit 4: Define o seqüenciador para operar em dois módulos de 8 estados (SEQ1 e SEQ2).

Bit 3: Habilita o modo calibração. Desabilitado.

Bit 2: Fornece uma tensão de referência para ser utilizada no modo calibração.

Bit 1: Define a tensão de referência para os modos de calibração ou “self-test”. Não tem efeito se estas opções estiverem desabilitadas.

Bit 0: Habilita a função “self-test”. Desabilitada.

Ø ADC “Control Register” 2 - ADC TRL 2 (70A1h)

15	14	13	12	11	10	9	8
EVB SOC SEQ	RST SEQ1/ STRT CAL	SOC SEQ1	SEQ1 BSY	INT ENA SEQ1	INT ENA SEQ1	INT FLAG SEQ1	EVA SOC SEQ1
0	0	0	0	0	1	0	1
7	6	5	4	3	2	1	0
EXT SOC SEQ1	RST SEQ2	SOC SEQ2	SEQ2 BSY	INT ENA SEQ2	INT ENA SEQ2	INT FLAG SEQ2	EVB SOC SEQ2
0	0	0	0	0	0	0	0

Bit 15: Ativo apenas no modo cascadeado.

Bit 14: Caso o modo de calibração esteja desabilitado “reseta” o seqüenciador 1 ao estado CONV00. Caso esteja habilitado inicia o processo de calibração.

Bit 13: Configura o “trigger” do seqüenciador 1 (SEQ1) a ser fornecido por “software”.

Bit 12: Este bit é “setado” se uma conversão estiver em progresso. Somente leitura.

Bits 11-10: Da forma que está configurado requisita uma interrupção imediatamente quando INT FLAG SEQ1 é “setado”.

Bit 9: Indica se ocorreu uma interrupção do ADC para o SEQ1. Deve ser levado a zero após uma conversão.

Bit 8: Habilita SEQ1 ou SEQ a ser iniciado por um evento do EVA.

Bit 7: Desabilita SEQ1 a ser iniciado por um sinal do pino ADCSOC.

Bit 6: “Reseta” o seqüenciador 2 (SEQ2) ao estado CONV08.

Bit 5: Configura o “trigger” do SEQ2 a ser fornecido por “software”.

Bit 4: Este bit é “setado” se uma conversão estiver em progresso. Somente leitura.

Bits 3-2: Da forma que está configurado desabilita uma requisição de interrupção.

Bit 1: Indica se ocorreu uma interrupção do ADC para o SEQ2. Deve ser levado a zero após uma conversão.

Bit 0: Desabilita SEQ2 a ser iniciado por um evento do EVB.

Ø “Maximum Conversion Channels Register” - MAX CONV (70A2h)

15	14	13	12	11	10	9	8
Reservado							
7	6	5	4	3	2	1	0
Reserv.	MAX CONV2_2	MAX CONV2_1	MAX CONV2_0	MAX CONV1_3	MAX CONV1_2	MAX CONV1_1	MAX CONV1_0
	0	0	0	0	0	1	1

Bits 6-4: Definem o número de conversões para SEQ2.

Bit 3: É utilizado junto com os bits 2-0 se o modo cascadeado estiver habilitado.

Bits 2-0: Definem o número de conversões para SEQ1.

O número máximo de conversões é igual ao valor carregado nos bits do registrador mais 1.

Ø ADC “Input Channel Select Sequencing Control Registers” - CHSELSEQn
(70A3h / 70A4h / 70A5h / 70A6h)

	15-12	11-8	7-4	3-0
CHSELSEQ1	CONV03	CONV02	CONV01	CONV00
CHSELSEQ2	CONV07	CONV06	CONV05	CONV04
CHSELSEQ3	CONV11	CONV10	CONV09	CONV08
CHSELSEQ4	CONV15	CONV14	CONV13	CONV12

Cada um dos 16 canais pode ser selecionado preenchendo os campos CONVn com valores de 0000b a 1111b. Como foram necessárias 4 conversões, 2 para a amostra de tensão e duas para a amostra de corrente, logo apenas o CHSELSEQ1 foi utilizado.

Ø ADC “Conversion Result Buffer Registers” - RESULT15-RESULT0: Estes registradores contém o valor de cada conversão realizada. O resultado fica registrado nos 10 bits mais significativos.

3.5.3. Portas I/O e pinos de dupla função

As portas I/O são indispensáveis quando se deseja monitoração e sinalização de um equipamento. Isto não está sendo realizado neste projeto, mas os registradores

relacionados a este periférico devem ser configurados, pois eles definem quais funções as portas I/O vão realizar e de que forma.

Os registradores podem ser divididos em dois blocos são apresentados na Tab. 3.5:

- Ø MCRx : Controlam a seleção entre a função primária de um pino ou a função I/O de propósitos gerais.
- Ø PxDatDir: Controlam os estados dos pinos I/O.

Tab. 3.5 – Registradores de controle das portas I/O.

Endereço	Registrador	Descrição
7090h	MCRA	I/O MUX Control Register A
7092h	MCRB	I/O MUX Control Register B
7094h	MCRC	I/O MUX Control Register C
7098h	PADATDIR	I/O Port A Data and Direction Register
709Ah	PBDATDIR	I/O Port B Data and Direction Register
709Ch	PCDATDIR	I/O Port C Data and Direction Register
709Eh	PDDATDIR	I/O Port D Data and Direction Register
7095h	PEDATDIR	I/O Port E Data and Direction Register
7096h	PFDATDIR	I/O Port F Data and Direction Register

As funções primárias selecionadas neste projeto foram:

- Ø PWM1, PWM2, PWM7, PWM8 e CLOCKOUT.

Como as saídas I/O não foram utilizadas os registradores de controle dos estados dos pinos I/O foram configurados definindo todas as portas como saída em estado baixo.

3.5.4. Outros registradores configurados

- Ø WD “Timer Control Register” – WDCR (7029h)

7	6	5	4	3	2	1	0
WDFLAG	WDDIS	WDCHK2	WDCHK1	WDCHK0	WDPS2	WDPS1	WDPS0
0	1	1	0	1	0	0	0

Bit 7: Indica se houve “reset” causado pelo “WD timer”.

Bit 6: 1 – Desabilita o “watchdog”.

Bits 5-3: Deve ser escrito como 101

Bits 2-0: Fator de multiplicação do “clock” do “WD timer”.

Ø “System Control and Status Register” 1 – SCSR1 (7018h)

15	14	13	12	11	10	9	8
Reserv.	CLKSRC	LPM1	LPM0	CLK PS2	CLK PS1	CLK PS0	Reserv.
	0	0	0	0	1	1	
7	6	5	4	3	2	1	0
ADC CLKEN	SCI CLKEN	SPI CLKEN	CAN CLKEN	EVB CLKEN	EVA CLKEN	Reserv.	ILLADR
1	0	0	0	1	1	0	1

Bit 14: Seleciona o sinal imposto ao pino CLKOUT. Da forma que foi configurado CLKOUT = CPU “Clock”.

Bits 13-12: Selecionam qual modo “low-power” é acionado quando a CPU executa a instrução IDLE.

Bits 11-9: Selecionam o fator de multiplicação do “PLL clock”.

Bit 7: Habilita o “clock” do módulo ADC.

Bit 6: Habilita o “clock” do módulo SCI. Desabilitado.

Bit 5: Habilita o “clock” do módulo SPI. Desabilitado.

Bit 4: Habilita o “clock” do módulo CAN. Desabilitado.

Bit 3: Habilita o “clock” do módulo EVB.

Bit 2: Habilita o “clock” do módulo EVA.

Bit 0: Detecta se houve algum endereçamento ilegal. Deve ser levado a zero na seqüência de inicialização.

Ø “System Control and Status Register” 2 – SCSR2 (7019h)

15	14	13	12	11	10	9	8
Reservado							
7	6	5	4	3	2	1	0
Reservado	WD OVERRIDE	XMIF HI-Z	BOOT EN	MP/MC	DON	PON	
	0	0	0	1	0	0	

Bit 5: Habilita o programador a desabilitar o “WD timer” através do bit WDDIS do WDCR. Para isto deve ser carregado com zero.

Bit 4: Sinais XMIF em modo normal.

Bit 3: Habilita o espaço 0000h – 00FFh para a “Boot” ROM e desabilita a memória FLASH. Desabilitado.

Bit 2: Mapeia os endereços da memória de programa 0000h – 7FFFh na memória externa.

Bits 1-0: Desabilita a SARAM e mapeia seu espaço na memória externa.

Ø “Interrupt Flag Register” – IFR (0006h)

15-6	5	4	3	2	1	0
Reservado	INT6 Flag	INT5 Flag	INT4 Flag	INT3 Flag	INT2 Flag	INT1 Flag
	0	0	0	0	1	0

Bits 5-0: INT6 – INT1 flags.

0 →Nenhuma interrupção pendente.

1 →Ao menos 1 interrupção pendente.

Deve-se escrever 1 no bit da interrupção que foi requisitada. A interrupção de comparação do “timer” 1 pertence a INT2.

Ø “Interrupt Mask Register” – IFR (0004h)

15-6	5	4	3	2	1	0
Reservado	INT6 Mask	INT5 Mask	INT4 Mask	INT3 Mask	INT2 Mask	INT1 Mask
	0	0	0	0	1	0

Bits 5-0: INT6 – INT1 masks.

0 →INTx está mascarada.

1 →INTx não está mascarada.

Os bits do IMR não são afetados por um “reset”.

Ø “Wait-State Generator” – WSGR (FFFFh)

15-11	10-9	8-6	5-3	2-0
Reservado	BVIS	ISWS	DSWS	PSWS
	00	001	000	000

Bits 10-9: Visibilidade do barramento de dados e de programa.

Bits 8-6: Definem o número de “wait-states” para o “I/O space”.

Bits 5-3: Definem o número de “wait-states” para o “Data space”.

Bits 2-0: Definem o número de “wait-states” para o “Program space”.

O número mínimo de “wait-states” é igual a 0 e o máximo igual a 7.

Deve-se fazer uso da instrução OUT, para carregar este registrador com uma constante.

3.6. Conclusão

O processador DSP TMS320LF2407, como apresentado neste capítulo, se mostra extremamente bem adaptado para aplicação no controle do conversor FB-ZVS-PS. Alta velocidade de processamento e de conversão de dados e uma vasta opção de recursos de “software” dedicados para utilização no controle de conversores estáticos formam a base para sua escolha. Além disso, a necessidade particular de dois pares de saída PWM relacionados a dois temporizadores diferentes para geração dos pulsos de comando dos interruptores dos braços do conversor garante a indicação do processador.

Este capítulo, além de apresentar as principais características do processador empregado e identificar as razões da sua utilização neste trabalho, tem a intenção de servir como base de fácil consulta, não só para reprodução deste projeto de controle, mas também para elaboração de novos projetos, visto que as definições dos principais registradores relacionados ao controle de conversores estáticos são detalhadamente explanadas.

Capítulo 4

Estratégia de Comando

4.1. Introdução

Como apresentado no Capítulo 2, a técnica de modulação empregada para o controle das variáveis de saída do conversor FB-ZVS-PS é a de deslocamento de fase (pulso) ou “phase-shift”. Atualmente, como o controle é analógico, os pulsos são gerados pelos integrados da família “Phase-Shift Resonant Controllers” (Unitrode/Texas Instruments). Entre eles pode-se citar o UC3875, o UC3895 e o UC3879. Este último vem sendo utilizado com frequência no laboratório para aplicações em unidades retificadoras. A partir do estudo do funcionamento dos componentes desta família, será traçada a estratégia para geração dos pulsos com controle “phase-shift” a partir do DSP. Testes da estrutura de potência em malha aberta foram realizados e serão apresentados para comprovar a eficiência da técnica.

4.2. Estudo do funcionamento dos integrados da família “Phase-Shift Resonant Controllers”

Os integrados da família “Phase-Shift Resonant Controllers” têm a função de controlar o estágio de potência de um conversor em ponte completa deslocando o pulso de comando de um braço em relação ao outro. Este controle pode ser feito com o conversor operando tanto no modo tensão como no modo corrente. Sobre o integrado UC3879 pode-se citar como suas principais características os seguintes itens:

- Ø Freqüência de operação = até 300 kHz.
- Ø Razão cíclica nominal = 50 %.
- Ø Ajuste simples de tempo morto.
- Ø Realiza partida progressiva.
- Ø Capacidade de corrente das saídas PWM de até 100 mA.

A Fig. 4.1 apresenta o diagrama de blocos deste integrado.

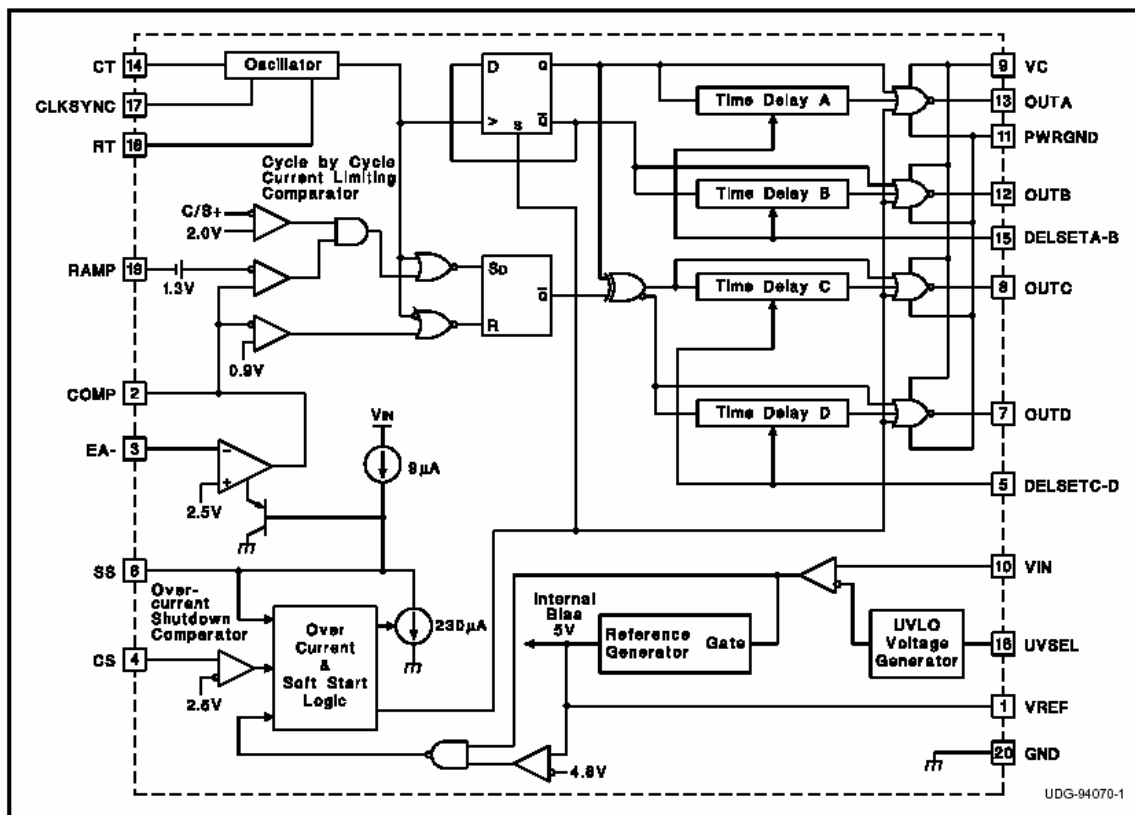


Fig. 4.1 – Diagrama de blocos do circuito integrado UC3879.

A partir do diagrama apresentado pode-se identificar como é definida a lógica de geração dos pulsos para o controle tipo “phase-shift”. Diferentemente da modulação PWM tradicional, a comparação entre a tensão de controle e a dente-de-serra não define a razão cíclica do pulso de comando (sempre com largura de 50%), mas sim o percentual de deslocamento entre os comandos dos dois braços. A Fig. 4.2 exemplifica como estes integrados definem os pulsos de comando dos interruptores S1 e S2 (Fig. 2.1), desconsiderando o efeito do tempo morto. As saídas do integrado correspondentes são OUTA e OUTC. Ainda, nesta figura, são apresentados os sinais dente-de-serra de comparação e o sinal de saída do compensador ($u(t)$).

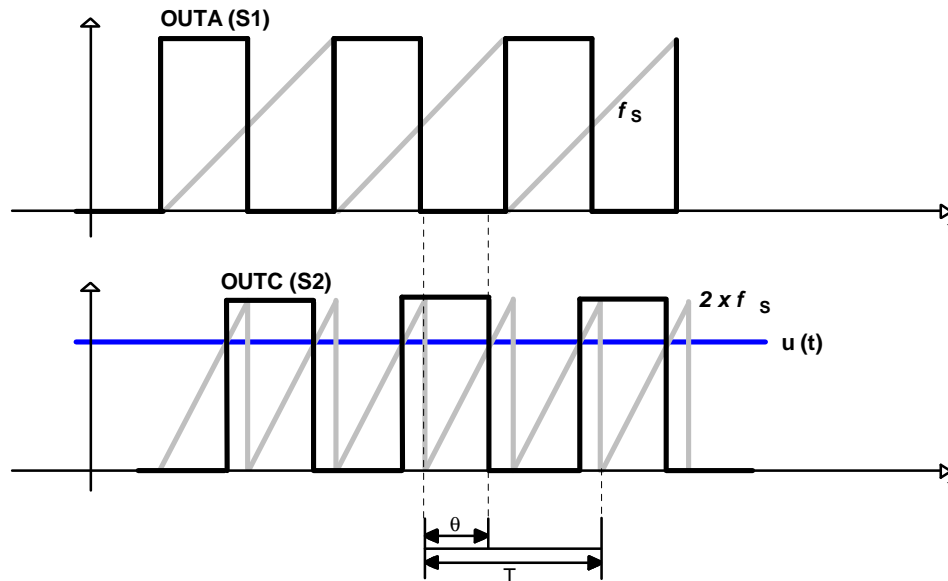


Fig. 4.2 – Tensão de controle e o deslocamento de fase.

O pulso de comando de S1 está apresentado na parte superior da Fig. 4.2. Este é independente de qualquer variável e apresenta sempre o formato mostrado. O comando do outro braço é deslocado no tempo através da comparação do sinal de controle com uma dente-de-serra com o dobro da frequência de comutação. Os pontos de encontro definem a alternância entre os estados do sinal. Se a tensão de controle é igual a zero o sinal no ponto “Vs” (Fig. 2.1) apresenta razão cíclica igual a zero, se for igual ao pico da dente-de-serra o sinal apresenta razão cíclica máxima. Pode-se definir o deslocamento percentual a partir da Eq. 4.1.

$$\Phi = 200 \cdot \frac{q}{T} \% \quad (\text{Eq. 4.1})$$

Neste momento, pode-se identificar o principal problema do emprego deste integrado. Como na prática o sinal de controle não é tão bem definido como o apresentado na Fig. 4.2, é comum os pulsos de comando controlados não apresentarem razão cíclica fixa em 50%. A consequência disto se constata nas variáveis de saída do conversor que sofrem maiores oscilações e no desempenho do transformador que passa a apresentar uma componente contínua de fluxo magnético.

Uma das características importantes deste integrado, e que deve ser implementada no DSP, é o fato de ele realizar uma partida progressiva. Neste caso a tensão de controle

evolui progressivamente de zero até o seu valor nominal, bem como a razão cíclica medida no ponto “Vs”.

Uma vantagem que o DSP pode apresentar é a menor variação da frequência de comutação, visto que os integrados dedicados desta família são sensíveis a maiores variações de temperatura. Ainda que o UC3879 apresente um melhor desempenho neste critério em relação aos outros integrados, se espera um resultado superior utilizando esta técnica digital. Por outro lado, o DSP utilizado não atende a capacidade de corrente de saída fornecida pelo UC3879. Como apresentado no Capítulo 3, o DSP TMS320LF2407 possibilita a corrente máxima de 4 mA. Para o circuito de comando deve-se utilizar um “buffer” com maior capacidade de corrente.

4.3. Estratégia para realizar o controle “Phase-Shift” utilizando o DSP TMS320LF2407

A idéia inicial ao se começar os estudos sobre o processador a ser empregado era de reproduzir a função dos integrados citados em 4.2, como o UC3875 ou o UC3879, e corrigir as suas deficiências. Porém, embora o DSP seja bastante versátil e poderoso, não há um método de se utilizar os seus gerenciadores de eventos para realizar comparações como as que definem o deslocamento dos pulsos de comandos nos integrados dedicados. Ou seja, não é possível definir um sinal PWM de frequência f a partir de uma dente-de-serra de frequência $2 \times f$. Desta forma, para reproduzir a operação daqueles integrados, seria necessário utilizar portas I/O e conseqüentemente tornar a utilização do processador menos eficiente e o programa susceptível a problemas quanto a chamada de interrupções em momento de troca de estado de pulsos. Utilizando os periféricos, a atualização dos estados dos pulsos de comando se torna menos dependente da programação e a definição do tempo morto muito mais simplificada.

A técnica proposta neste trabalho dispensa o uso de uma dente-de-serra com o dobro da frequência de comutação que é a base de toda a operação dos integrados dedicados e realiza o deslocamento dos pulsos de comando de um braço em relação ao outro aumentando ou diminuindo a frequência desta nova dente-de-serra, que tem como base a própria frequência de comutação.

Assim como realizado nos integrados dedicados, o comando de um braço é fixo, com razão cíclica igual a 50 % (exceto o tempo morto necessário). O sinal de comando do

outro braço, que anteriormente era definido através da comparação de um sinal de controle com uma dente-de-serra com o dobro da frequência de chaveamento utilizando uma técnica não convencional em relação à modulação PWM tradicional, agora volta a utilizar o método tradicional comparando um valor de controle a um contador que atua como uma dente-de-serra digital. No DSP, a frequência de um sinal dente-de-serra é definida pela contagem do temporizador em relação a sua frequência de “clock”. A razão cíclica do pulso é definida pela comparação de um valor alocado em um registrador específico à contagem do temporizador. Como a razão cíclica desejada é 50 %, logo deve-se configurar este registrador com metade do valor da contagem. Tudo isto é realizado para o comando dos dois braços, porém um sinal de controle lido do conversor A/D e parametrizado entre 0 e a metade do valor máximo da contagem define o deslocamento dos pulsos de um dos braços em relação ao outro. Basicamente, se o valor de comparação parametrizado for igual a zero não há deslocamento entre os pulsos e a razão cíclica no ponto “Vs” é igual a zero. Se o valor é igual a metade do valor máximo da contagem, o deslocamento é máximo e a razão cíclica no ponto “Vs” é igual a 1 (exceto o tempo morto desejado). A comparação não é realizada diretamente com o máximo valor da contagem, como usualmente utilizado no controle analógico tradicional, porque como o intervalo de pulso positivo corresponde a metade do período completo, então, o deslocamento máximo entre os pulsos deve ter o intervalo de metade de um período.

Porém a estratégia consiste no modo como o pulso se desloca no tempo. É estabelecida uma variável de referência que determina a situação atual de deslocamento. Se o valor de comparação é maior que esta referência, significa que o pulso deve se deslocar no sentido 0 a 100 % e vice-versa. A referência é incrementada ou decrementada de uma unidade a cada período de comutação (aquisição) até que a comparação entre os dois valores resulte em zero e se defina o deslocamento desejado. Em termos de geração de sinal, para se deslocar um pulso em um determinado sentido em relação ao outro basta incrementar ou decrementar o registrador de período (TxPR), correspondente a este pulso, de uma unidade, até que a igualdade se estabeleça e então se configura este registrador com o valor nominal da frequência desejada. Para garantir a razão cíclica de 50 % deve-se fazer o mesmo com o registrador de comparação dos pulsos PWM (CMPRx).

A seguir é apresentado um diagrama de blocos simplificado do funcionamento do programa, onde Tc e Dc são os valores empregados nos registradores de período e razão cíclica que definem a forma de onda das saídas PWM do DSP.

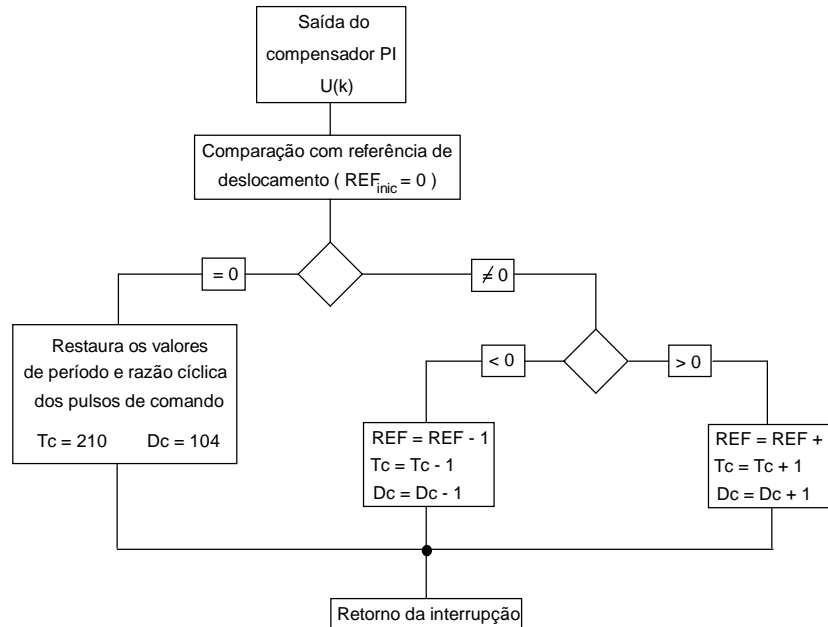


Fig. 4.3 – Diagrama de blocos do algoritmo que define o deslocamento dos pulsos de comando de um braço em relação ao outro.

As Figs. 4.4 e 4.5 exemplificam a idéia proposta apresentando os pulsos de comando dos interruptores S1 e S2. Os valores de contagem e comparação são meramente demonstrativos para facilitar a compreensão e não representam os valores adotados no projeto.

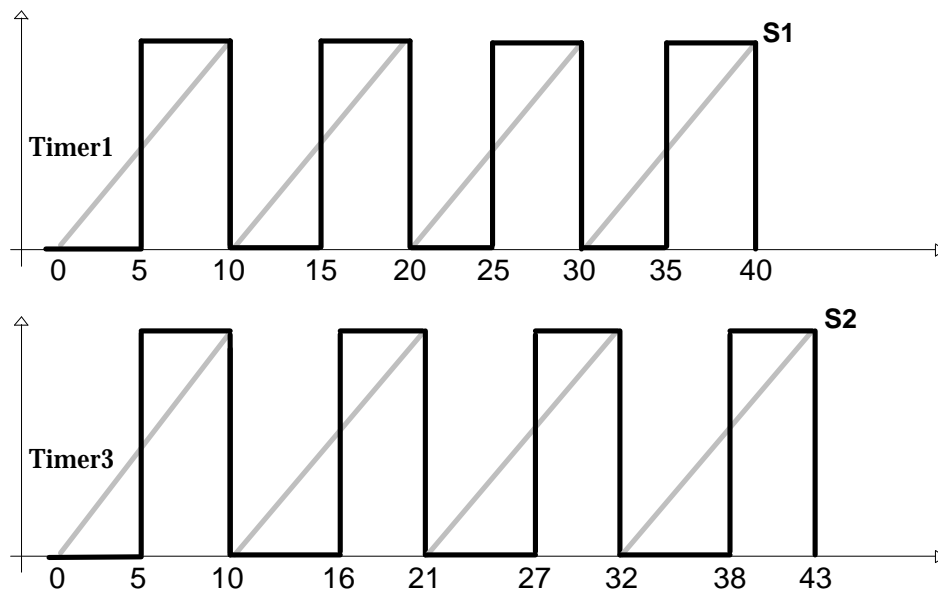


Fig. 4.4 – Deslocamento positivo do pulso.

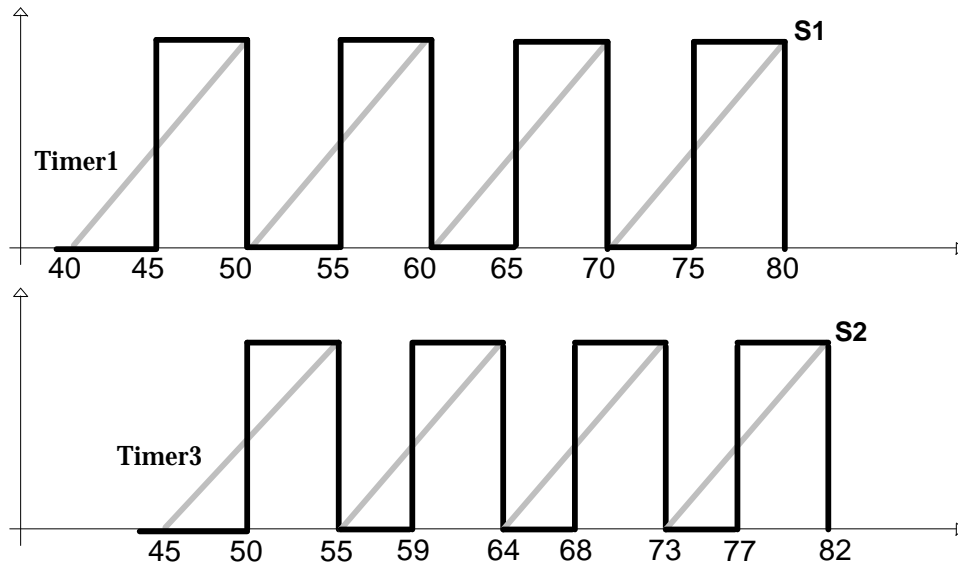


Fig. 4.5 – Deslocamento negativo do pulso.

Embora a técnica se baseie no aumento ou diminuição da frequência de comutação de um dos braços, a implementação não deve apresentar problemas, pois para a frequência de trabalho de 140 kHz a variação é de aproximadamente ± 700 Hz. Os integrados dedicados, já mencionados, têm uma variação de frequência bem superior.

Dessa forma pôde-se obter um sinal de comando dos interruptores no qual o intervalo de condução de cada um deles é exatamente igual e a razão cíclica se aproxima muito de um valor fixo em 50 %.

Outra vantagem desta técnica é que a partida progressiva é automática, já que o valor de referência é incrementado de um em um até o ponto de equilíbrio. Porém, pela frequência elevada, a atualização da razão cíclica é muito rápida e portanto é necessário fazer o controle da rapidez em que isto ocorre para que o deslocamento dos pulsos seja suave.

Para atender aos valores realmente empregados no DSP deve-se recorrer às Eqs. 4.2 e 4.3. A Eq. 4.2 define o valor a ser carregado no registrador de período (TxPR).

$$TxPR = \frac{T_s}{T_{CLOCK}} = \frac{7,14286ms}{33,33ns} = 214,3 \quad (\text{Eq. 4.2})$$

T_s corresponde ao período de comutação. Como uma contagem corresponde a um período de “clock”, sabe-se quantas contagens são necessárias para se atingir o período

desejado. Como o registrador é definido com um número inteiro deve-se adotar $TxPR = 214$. Para uma razão cíclica de 50 % adota-se $CMPRx = 107$. Com os ajustes realizados na prática, os valores empregados em $TxPR$ e $CMPRx$ foram respectivamente 210 e 104.

Como o máximo valor do sinal de controle é a metade do pico da dente-de-serra, ou no caso do DSP a metade do valor da contagem, sabe-se que o sinal de controle se encontra entre 0 e 104. No Capítulo 3 foram apresentadas a característica do conversor A/D e a equação que define o valor convertido. Como o máximo valor em decimal que se pode obter de uma conversão A/D é 1023 (3,3 V), logo 104 corresponderia a uma tensão muito baixa e conseqüentemente susceptível a ruídos. Para reduzir esta interferência e aproveitar melhor a escala, o valor convertido é dividido por 8, que corresponde a simples rotação de bits, e depois aplicado na comparação. Logo a Eq. 4.3 define o valor máximo do sinal externo aplicado no conversor A/D.

$$V_{comp-MAX} = \frac{TxPR}{2} \cdot 8 \cdot \frac{3,3}{1023} = \frac{210}{2} \cdot 8 \cdot \frac{3,3}{1023} \approx 2,71V \quad (\text{Eq. 4.3})$$

Após caracterizar todos os valores de registradores a serem empregados pode-se implementar a programação e iniciar a fase de testes.

4.4. Resultados experimentais

Para validar a técnica de geração de pulsos com controle “phase-shift” aplicado pelo DSP TMS320LF2407, será feito primeiramente a operação do conversor em malha aberta. O deslocamento dos pulsos será controlado manualmente através de uma fonte de tensão que fornecerá o sinal de comparação, fazendo o papel do sinal de controle da saída de um compensador.

Primeiramente são apresentadas as formas de onda dos pulsos de comando dos interruptores S1 e S2. A Fig. 4.6 apresenta estes pulsos de comando com um deslocamento relativo a uma tensão de controle de 1,14 V (razão de deslocamento = 42%). A Fig. 4.7 apresenta os pulsos completamente deslocados, sendo que a tensão aplicada foi igual a 3V o que mostra que o programa limita o deslocamento a 100 %.

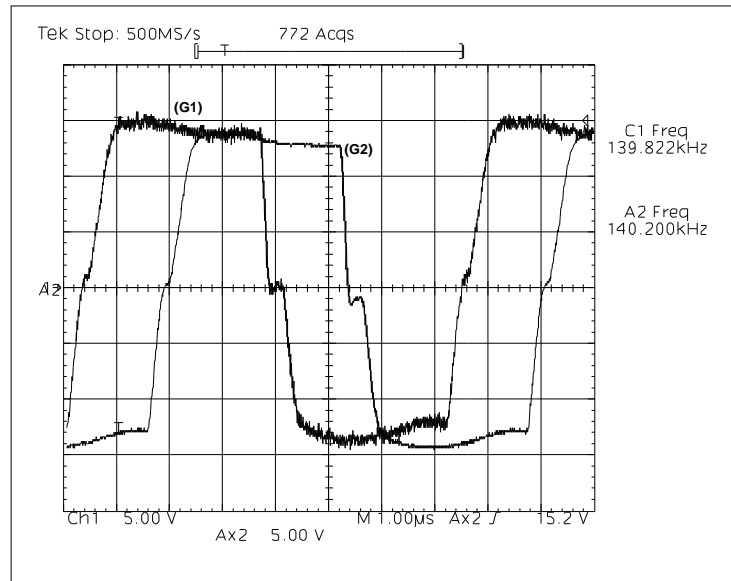


Fig. 4.6 – Pulsos de comando de S1 e S2 ($V_c = 1,14$ V).

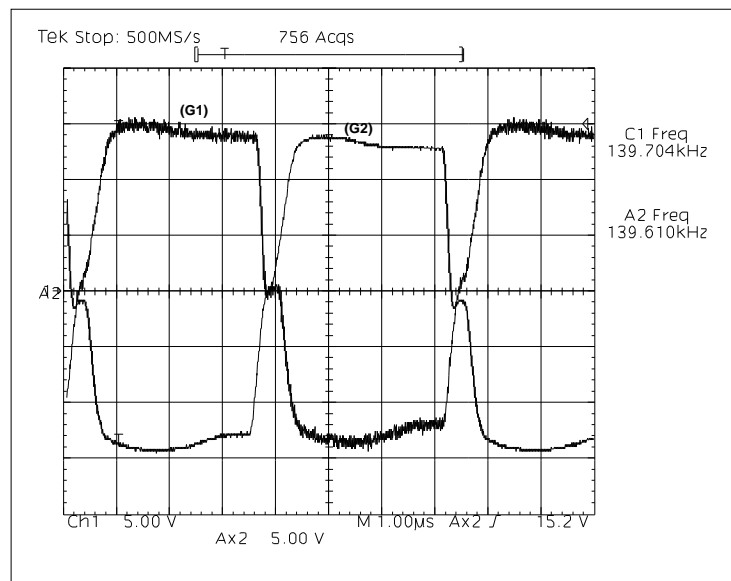


Fig. 4.7 - Pulsos de comando de S1 e S2 ($V_c = 3$ V).

O tempo morto programado (DBTCON x) foi de 500 ns. Porém devido ao efeito do driver de acionamento e dos transformadores de pulsos este valor pode ficar um pouco alterado. A Fig. 4.8 mostra que o tempo morto é extremamente aceitável.

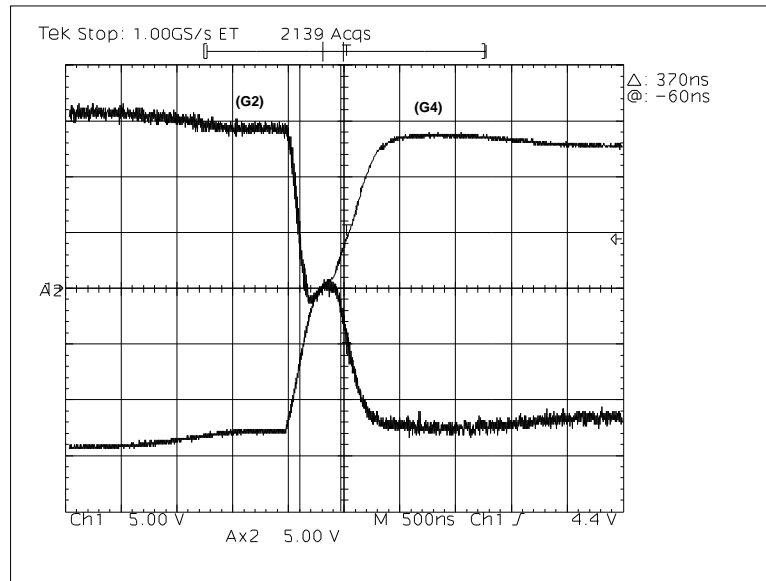


Fig. 4.8 – Análise do tempo morto entre interruptores de um braço.

Após os testes sobre o controle e qualidade dos pulsos de comando, iniciou-se os testes em malha aberta do conversor. Neste capítulo serão analisadas apenas as formas de onda referentes às características de saída, pois uma análise mais completa do funcionamento da estrutura será feita no Capítulo 6. As aquisições foram colhidas para as seguintes características do conversor.

- Ø Tensão de entrada = 400 V;
- Ø Tensão de saída = 57,8 V;
- Ø Corrente de saída = 3 A;

A Fig. 4.9 apresenta as formas de onda de tensão na saída do retificador de onda completa em ponto médio e da fonte de alimentação para uma carga igual a 3 A.

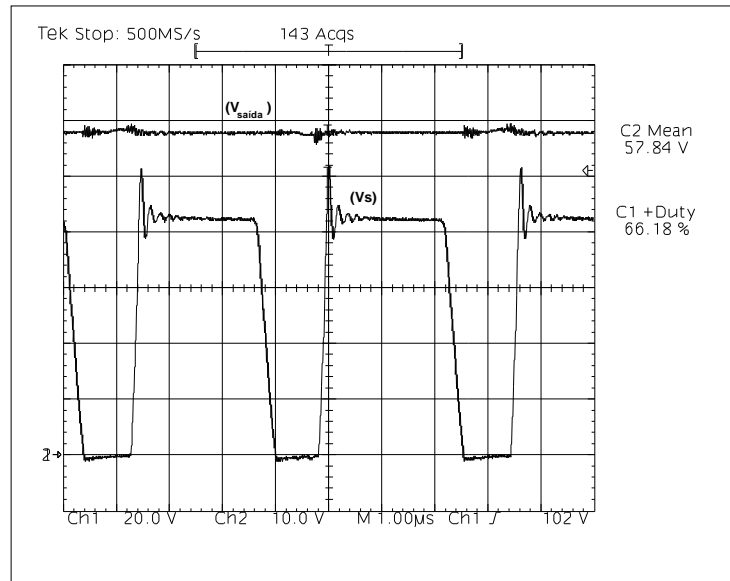


Fig. 4.9 – Tensão no ponto “Vs” e tensão de saída.

A razão cíclica projetada para potência nominal é igual a 87 %, mas devido à redução da carga ela apresentou a característica medida, igual a 66,2%.

4.5. Conclusão

Foi apresentada neste capítulo a estratégia para realização do controle do conversor FB-ZVS-PS através do processador digital de sinais TMS320LF2407, que se baseia no deslocamento de fase dos pulsos de comando. O objetivo era adaptar o funcionamento dos integrados da família “Phase-Shift Resonant Controllers” (Unitrode/Texas Instruments), como o UC3879, ao processador digital buscando sempre a maximização dos recursos dos periféricos, garantindo a otimização do código do programa.

Dentro desta proposta o resultado foi bastante satisfatório. A partir da análise dos resultados experimentais, observou-se que a estratégia conseguiu abordar todas as principais características que os integrados dedicados ofereciam e, ainda, solucionar algumas imperfeições.

O próximo passo é evoluir para uma fase de testes do sistema em malha fechada e, em seguida, analisar e comparar os resultados obtidos aos sistemas de controle analógico.

O desenvolvimento de uma técnica digital para a realização de modulação por deslocamento de fase não é útil apenas para a conclusão deste trabalho. Além disso, esta

técnica simplesmente propõe uma solução para fazer o controle de uma estrutura qualquer utilizando o controle “phase-shift” via DSP e isto é bastante atrativo do ponto de vista que diversas estruturas, como por exemplo o conversor CC-CC Três-Níveis, fazem uso desta técnica.

Capítulo 5

Projeto do Sistema de Controle

5.1. Introdução

Durante os últimos anos, não só os processos industriais, mas também diversos equipamentos passaram por diversas transformações no que diz respeito às técnicas de controle. O desenvolvimento de métodos e ferramentas para modelagem matemática, análise e projeto dos sistemas de controle tiveram papel fundamental nesse processo.

Para que se possa realizar o controle de qualquer sistema é necessário identificar seus agentes. O processo básico de controle, manual ou automático, é apresentado na Fig. 5.1.

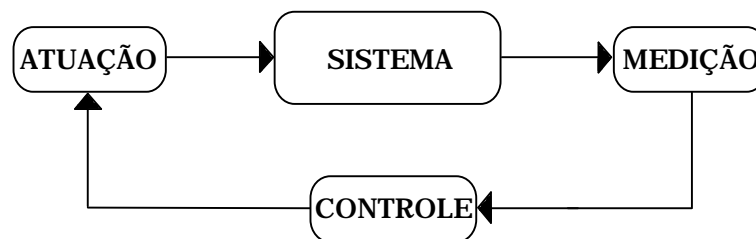


Fig. 5.1 – Esquema geral de controle.

Embora os métodos de modelagem e análise matemática tenham transformado todos os agentes deste sistema, foram os blocos de medição, controle e atuação que principalmente sofreram alterações estruturais ao longo do tempo. Atualmente, a necessidade do mercado de tornar os sistemas de controle mais flexíveis, robustos e precisos vem alterando a configuração destes blocos, principalmente, quando se deseja a aplicação de controle digital. Nos processadores digitais, com exceção do sensor e dos circuitos de “drive”, as tarefas de medir, controlar e acionar são realizadas pela mesma estrutura. Desta forma, um novo vocabulário foi se incorporando ao universo de controle,

pois a natureza dos novos sinais a serem trabalhados – sinais discretos – por si só já indicava mudanças radicais nas técnicas utilizadas.

Um ponto de partida para o entendimento destas mudanças pode ser a análise no tempo. Todos os sinais relacionados aos sistemas de controle são funções do tempo, sejam funções contínuas ou discretas. Diferentemente dos sistemas contínuos, nos sistemas discretos os intervalos são divididos em um número contável de pontos. Um caso particular e muito importante dos sistemas discretos são os sistemas amostrados onde o tempo é um múltiplo inteiro do período de amostragem escolhido. Na prática é comum trabalhar com combinações de sistemas e desta forma é necessário se criar interlocutores entre eles para que o resultado seja o desejado.

Considerando o modelo da planta ou o sistema a ser controlado como uma função contínua, para que o controle digital seja empregado, três novos elementos devem ser inseridos no processo para transformar o sinal contínuo da saída da planta para um sinal amostrado. O amostrador, operando a uma frequência de amostragem definida pelo “clock” do processador, discretizará o sinal contínuo. O conversor A/D sincronizado com o amostrador transforma o sinal analógico em um valor numérico a ser manipulado na malha de controle (equações à diferenças). Da mesma forma é necessário adaptar o valor numérico da saída da malha de controle a um sinal analógico de controle da planta. O conversor D/A realiza esta função, mas como opera sincronizado ao “clock” deve ser cascateado a um sustentador do valor convertido. É muito comum utilizar o sustentador em degraus ou sustentador de ordem zero (“zero order holder” – ZOH).

Para exemplificar estas alterações nos agentes básicos é apresentada a Fig. 5.2.

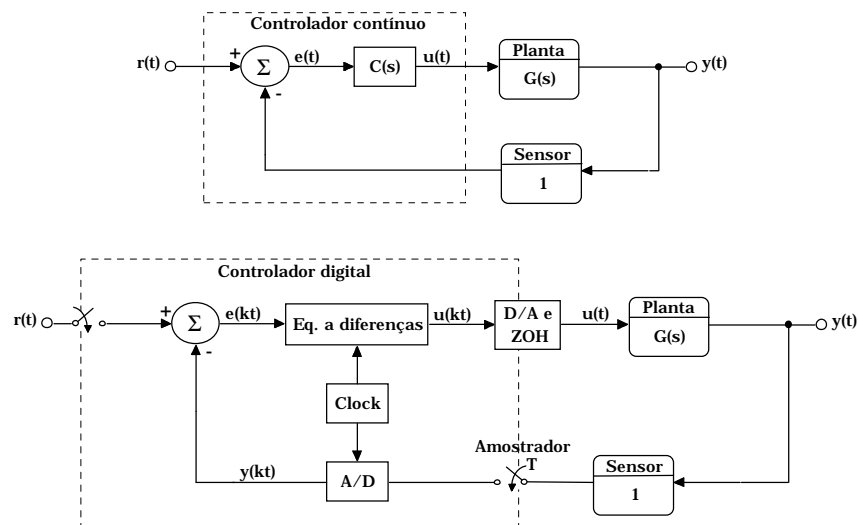


Fig. 5.2 – Diagrama de blocos dos sistemas de controle contínuo e discreto.

O controle digital, ponto-chave deste trabalho, vem cada vez mais ganhando espaço no mercado justamente por possibilitar ao sistema as características desejadas para atuar em um mundo competitivo e bastante normatizado. A utilização de processadores e microcontroladores digitais na Eletrônica de Potência também vem crescendo e abrindo um leque de opções antes deixadas de lado na utilização do controle analógico. No início, o controle digital utilizando processadores como os da família TMS320Lx240x vinha sendo empregado, principalmente, para acionamento de motores. Porém a inserção destas técnicas para controle de fontes chaveadas vem se mostrando muito promissora, já que é exigido das fontes atuais monitoração e alarme, comunicação serial, aprovação em diversas normas, dentre outros.

5.2. Análise das características do sistema digital

O sistema que este trabalho se propõe a controlar é um sistema híbrido, sistema contínuo controlado por um sistema discreto. Embora as fontes chaveadas se comportem de forma não-linear devido à comutação e às diferentes etapas de operação, a sua modelagem, como apresentada no Capítulo 2, é tradicionalmente obtida através de uma linearização sobre o ponto de operação. Desta forma a função de transferência da planta se torna uma função contínua que no caso do conversor FB-ZVS-PS pode ser aproximada a função de transferência do conversor Buck ou a de um filtro LC com determinado ganho.

Como o projeto de controle se baseia, principalmente, na análise dos modelos matemáticos, logo é necessário antes de tudo conhecer o que foi agregado ou perdido ao sistema de controle na migração do sistema contínuo para o digital.

O primeiro ponto a ser abordado é a necessidade de se trabalhar com um sinal amostrado. As duas questões fundamentais para conhecer o fenômeno da amostragem são:

- Ø Qual é o erro associado à amostragem do sinal contínuo?
- Ø O que se deve fazer para manter este erro dentro de uma margem adequada?

Seja um sinal contínuo $y(t)$, o sinal amostrado $y(kT)$ será um pulso contínuo de largura Δt e amplitude $y(kT)$. Empiricamente pode-se dizer que se fossem realizadas infinitas amostragens de um determinado sinal, ou seja o intervalo de amostragem tendendo a zero, este seria reconstituído de forma completa e a sua fidelidade atingiria o

grau máximo. Porém o amostrador na prática não possui esta capacidade e uma frequência de amostragem finita deve ser escolhida. Esta escolha deve se basear no teorema da amostragem de Nyquist (ou Shannon para a área de telecomunicações).

Teorema: “Se a transformada de Fourier de um sinal contínuo $y(t)$ é nula para todo $f > f_0$, sendo f_0 a maior componente em frequência deste, então $y(t)$ pode ser determinada de forma única a partir de suas amostras $y(kT)$ se a frequência de amostragem escolhida for maior ou igual ao dobro de f_0 .”

Na prática os sinais utilizados possuem um espectro não limitado o que levaria a um período de amostragem próximo de zero. Porém, como a energia principal destes sinais está concentrada em frequências menores, é possível realizar uma amostragem eficiente.

Outra consequência deste teorema é o fenômeno de “aliasing”. Ele corresponde ao solapamento do espectro do sinal original, ou seja, frequências maiores que a metade da frequência de amostragem (f_N - frequência de Nyquist) aparecem superpostas a outras frequências devido à característica circular das funções trigonométricas $e^{j\omega} = \cos(\omega.t) + j.\text{sen}(\omega.t)$. Para evitar este efeito, um filtro passa-baixa com frequência de corte projetada para atenuar substancialmente sinais acima de f_N deve ser inserido no sistema. A este filtro se dá o nome de filtro “anti-aliasing”.

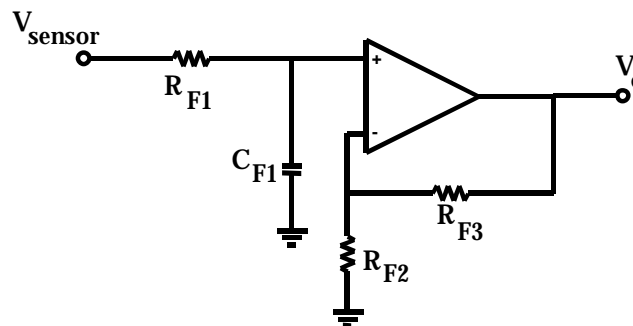


Fig. 5.3 – Filtro “anti-aliasing”.

Da forma como foi analisada a questão da amostragem, conclui-se que a frequência de 140 kHz que será empregada pelo conversor A/D do kit DSP é suficiente para reproduzir o sinal de saída do conversor.

Além do fenômeno da amostragem, a inserção de um sustentador (ZOH) para conectar um sistema discreto a um sistema contínuo deve ser analisada. O sustentador tem a função de manter por um determinado período de “clock” a tensão de controle

convertida pelo D/A. Como o LF2407 já possui saídas PWM (atuador), a função do sustentador acontece de forma automática, visto que a atualização dos registradores de controle das saídas PWM só ocorre uma vez a cada período de “clock”. Analisando matematicamente sua inserção no sistema chega-se na seguinte representação [16]:

$$\text{ZOH}_G(z) = (1 - z^{-1}) \cdot Z\left\{\frac{G(s)}{s}\right\} \quad (\text{Eq. 5.1})$$

Este efeito provoca um atraso do sinal $u(t)$ sustentado em relação ao sinal decorrente de um controlador analógico. Aproximando o sinal $u(t)$ por uma média do sinal $u(kT)$ o atraso obtido é de $T_{\text{CLOCK}}/2$. No domínio s pode-se aproximar o modelo matemático de ZOH por:

$$\text{ZOH}(s) = \frac{2/T_{\text{CLOCK}}}{s + 2/T_{\text{CLOCK}}} \quad (\text{Eq. 5.2})$$

Na etapa de projeto será detalhado como o módulo ZOH foi abordado.

Para finalizar esta análise das características do sistema digital é preciso comentar sobre os efeitos de quantização. Embora o LF2407 possua um conversor A/D de boa resolução (10 bits), registradores do barramento de dados de 16 bits e registradores de soma e produto de 32 bits, ainda assim a resolução dos dados manipulados não é como no sistema analógico. A resolução percentual pode ser definida pela Eq. 5.3.

$$\text{Resolução}\% = 2^{-n} \times 100 \quad (\text{Eq. 5.3})$$

Sendo n o número de bits associado.

O efeito da quantização aparece na conversão A/D, no truncamento de multiplicações e no armazenamento de parâmetros. Como o LF2407 é um processador em ponto-fixa suas grandezas numéricas são valores inteiros positivos ou negativos. Um processador em ponto-flutuante pode alterar a resolução da multiplicação e do armazenamento de parâmetros de acordo com a magnitude do valor de trabalho. Desta forma, para minimizar os efeitos da quantização, os processadores desta família possuem algumas facilidades que lhes permitem simular a operação em ponto-flutuante melhorando a qualidade dos resultados sem comprometer o código.

A esta forma de representação numérica se dá o nome de formato Q [11]. Este formato pode variar de Q15 a Q0. Isto representa a posição de um ponto imaginário, por exemplo:

Tab. 5.1 – Representação numérica no formato Q.

Formato Q0															
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Valor numérico = 32768															

Formato Q15															
1	.	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0		1	2	3	4	5	6	7	8	9	10	11	12	13	15
Valor numérico = 1															

Os valores numéricos são apresentados no formato decimal e não estão considerando a representação no modo complemento-2 onde o bit 15 é o bit de sinal.

Do mesmo modo, o valor de cada bit a esquerda do ponto é dado pela Eq. 5.4.

$$(\text{Valor do bit } n) \times 2^n \quad (\text{Eq. 5.4})$$

O valor de cada bit a direita do ponto é obtido através da Eq. 5.5.

$$(\text{Valor do bit } n) \times 2^{-n} \quad (\text{Eq. 5.5})$$

A facilidade em utilizar este formato é que este processador possui um modo de deslocamento de bits de um produto, como apresentado na tabela 3.2, que torna automático certos procedimentos necessários após uma multiplicação. Por exemplo, como será apresentado posteriormente, as constantes de multiplicação dos erros das equações à diferenças do controlador digital deste trabalho são valores fracionários. Para representá-las com a melhor precisão possível, fazendo uso da função SPM, optou-se pela representação no formato Q6. Assim, o menor número possível de se representar é igual a 0,015625 e após a multiplicação por um valor inteiro (erro) o resultado é automaticamente rotacionado a direita de 6 posições, retornando a representação original.

Após o conhecimento de todas as novas variáveis inseridas pelo sistema digital, seus modelos e suas conseqüências, pode-se então iniciar a etapa de projeto do controlador.

5.3. Projeto do controlador

O projeto do controlador digital pode ser realizado basicamente de duas formas:

- Ø Pela técnica de aproximações ou emulação.
- Ø Diretamente por um projeto discreto.

O método de projeto por aproximação consiste em determinar o controlador contínuo $C(s)$ para um sistema completamente representado no domínio s e depois transladar o controlador ao domínio z . Diferentes métodos de aproximação podem ser utilizados, como: o método de Euler, de Tustin ou transformação bilinear, aproximação pólo-zero, etc. A partir da escolha de uma taxa de amostragem suficientemente rápida estes métodos pouco diferem quanto à precisão do resultado. Logo um dos mais utilizados é o da aproximação pólo-zero, pois requer pouca álgebra e faz uso direto da relação que define as características de equivalência entre o plano s e o plano z . Esta relação é apresentada na Eq. 5.6.

$$z = e^{s \cdot T} \quad (\text{Eq. 5.6})$$

Onde T é o período de amostragem.

Porém esta relação é perfeitamente válida apenas para o posicionamento de pólos, sendo uma aproximação para o posicionamento de zeros. Além disso, o método da aproximação pólo-zero requer que se adicione “ n ” zeros ($z = -1$) até que a ordem do numerador seja igual a ordem do denominador. Isto causa uma média entre os valores de erro passado e atual como acontece no método de Tustin. Quando pode-se utilizar uma ferramenta computacional para discretizar uma função de transferência o método de Tustin pode ser uma alternativa interessante.

O método de Tustin aplica a integração trapezoidal para definir $e(kT)$ a partir de uma linha reta entre duas amostras. A relação de s para z obtida a partir deste método é expressa na Eq. 5.7.

$$S = \frac{2}{T} \cdot \frac{1 - Z^{-1}}{1 + Z^{-1}} \quad (\text{Eq. 5.7})$$

Sendo uma condição de estabilidade no domínio s , o posicionamento dos pólos em malha fechada no semi-plano esquerdo ($\text{Re}(s) < 0$), a condição de estabilidade no plano z é o posicionamento dos pólos no círculo unitário ($|z| < 1$) como apresentado na Fig. 5.4.

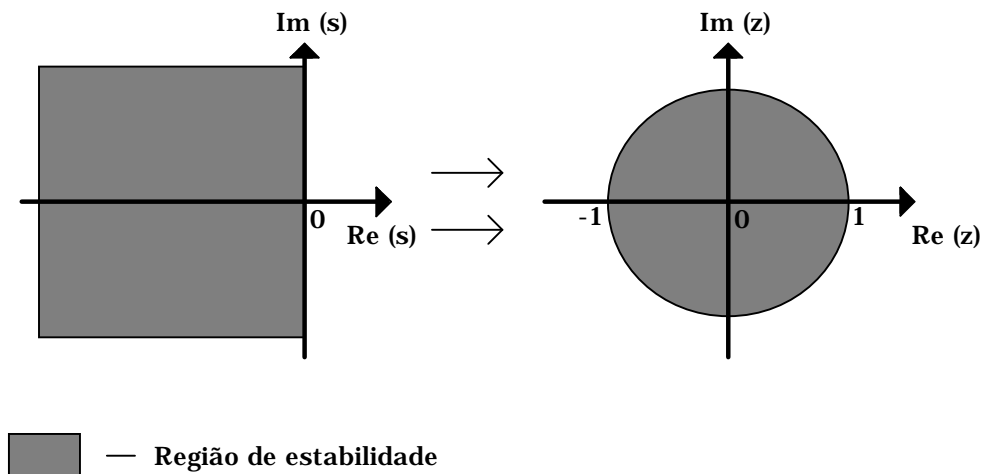


Fig. 5.4 - Relação gráfica de estabilidade entre os domínios s e z .

Da mesma forma que no domínio s , o posicionamento dos pólos em z indicam o comportamento da resposta temporal do sistema controlado.

Embora seja mais familiar projetar o controlador no domínio s e trasladá-lo ao domínio z , qualquer método empregado nesta transformação se baseia em aproximações e tendo em vista que atualmente existem softwares tais como o MATLAB (The Mathworks) que possuem ferramentas capazes de tratar de toda a análise matemática e ainda permitir a definição dos parâmetros do controlador de forma interativa (MATLAB - RLtool) optou-se, neste trabalho, por realizar o projeto do controlador pelo método direto.

O sistema em malha fechada que será base para o projeto direto do controlador é apresentado na Fig. 5.5.

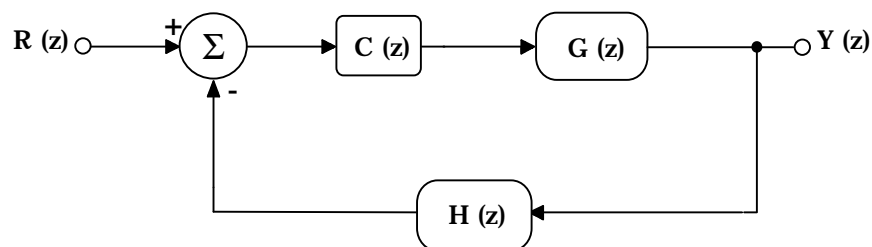


Fig. 5.5 - Diagrama de blocos do sistema de controle puramente discreto.

5.3.1. Modelos da planta e do sensor

O bloco $G(z)$ correspondente à planta é composto pelos seguintes elementos:

- Ø Modelo do conversor.
- Ø Ganho do modulador PWM.

A resposta em frequência deste bloco é apresentada na Fig. 5.6.

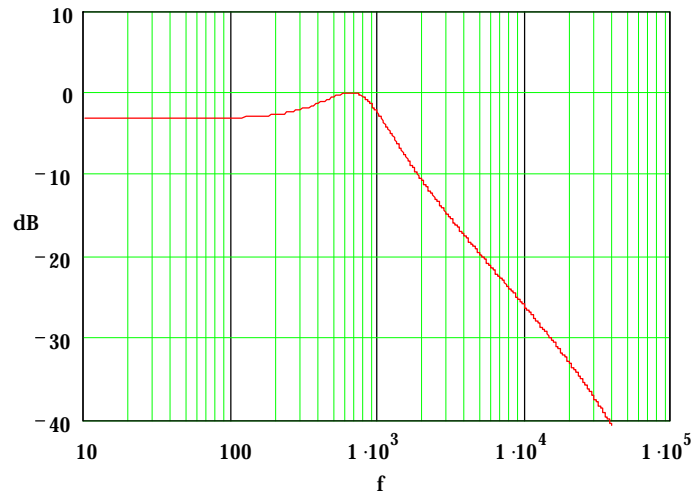


Fig. 5.6 – Diagrama de Bode do módulo da função de transferência correspondente ao bloco G.

Uma aproximação da planta por um sistema de 2ª. ordem não é perfeitamente adequada e traz diferenças na definição do compensador. A partir do software MATLAB pode-se obter coeficientes muito úteis no projeto de controladores para sistemas de 2ª. ordem como o coeficiente de amortecimento e a frequência natural, porém aplicando as relações descritas em [16] não se obtém adequadamente parâmetros como sobressinal, tempo de resposta, etc. Desta forma o mais indicado é obter estes parâmetros interativamente definindo então os dados do compensador.

O diagrama de fase é apresentado a seguir.

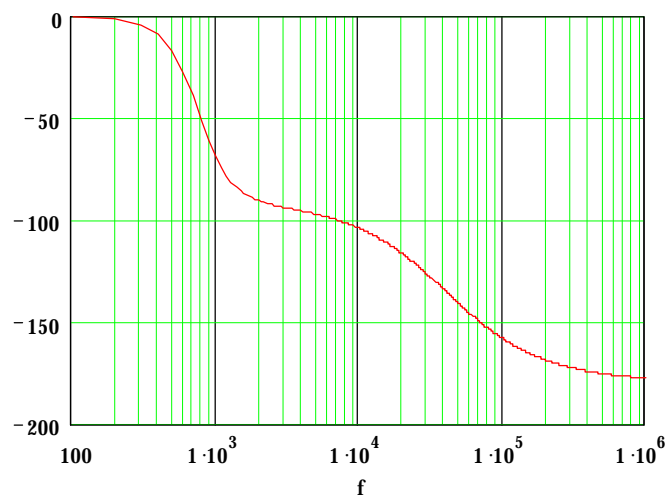


Fig. 5.7 – Diagrama de Bode da fase da função de transferência correspondente ao bloco G.

O Bloco de realimentação ou medição $H(z)$ corresponde ao:

- Ø Ganho do amostrador de tensão.
- Ø Ganho do conversor A/D.
- Ø Modelo do filtro “anti-aliasing”.

O ganho do amostrador de tensão em conjunto com o do filtro devem levar os sinais de tensão e corrente de saída a valores dentro da faixa de leitura do DSP (0 – 3,3V). O ganho do conversor A/D corresponde ao fator de transformação da escala de tensão (0 – 3,3V) para a escala numérica (0 – 1023). Em projetos em que há uma quantidade considerável de fontes de perturbação deve-se tomar o cuidado de utilizar a maior faixa possível de operação do conversor A/D a fim de evitar problemas de controle pela influência de ruídos.

O filtro “anti-aliasing” foi projetado para atenuar frequências acima de 70 kHz (Anexo 1), ou seja, frequências acima da metade da frequência de amostragem são atenuadas sem que o filtro comprometa a fase do sistema tornando sua resposta mais lenta.

A função de transferência do filtro apresentado na Fig. 5.3 é:

$$FT_{\text{FILTRO}}(s) = \frac{R_{F2} + R_{F3}}{R_{F2}} \cdot \frac{1}{R_{F1} \cdot C_{F1} \cdot s + 1} \quad (\text{Eq. 5.8})$$

A resposta em frequência do filtro “anti-aliasing” é mostrada nas figuras abaixo.

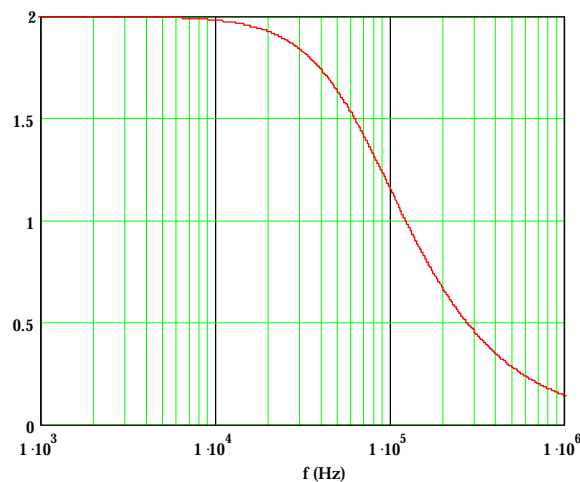


Fig. 5.8 – Diagrama de Bode do módulo da função de transferência do filtro “anti-aliasing”.

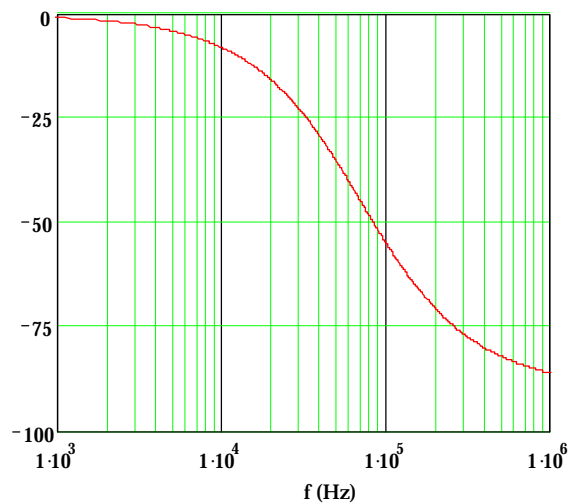


Fig. 5.9 – Diagrama de Bode de fase da função de transferência do filtro “anti-aliasing”.

Antes de definir plenamente os parâmetros do compensador a ser empregado é necessário discretizar as funções de transferência relativas aos blocos $G(z)$ e $H(z)$. O método escolhido para encontrar $G(z)$ e empregado pelo software MATLAB emprega o sustentador de ordem zero na entrada. O método escolhido para definir $H(z)$ foi o da transformada bilinear.

A Eq. 5.9 apresenta a função de transferência $G(z)$ definida a partir da Eq. 2.2 e a Eq.5.10 apresenta a função de transferência $H(z)$.

$$G(z) = \frac{N_6 \cdot z^6 - N_5 \cdot z^5 + N_4 \cdot z^4 - N_3 \cdot z^3 - N_2 \cdot z^2 + N_1 \cdot z - N_0}{z^7 - D_6 \cdot z^6 + D_5 \cdot z^5 - D_4 \cdot z^4 + D_3 \cdot z^3 - D_2 \cdot z^2 + D_1 \cdot z - D_0} \quad (\text{Eq. 5.9})$$

Onde:

$N_6 = 0,00195$	$D_6 = 5,428$
$N_5 = 0,0073$	$D_5 = 12,27$
$N_4 = 0,0095$	$D_4 = 14,86$
$N_3 = 0,00393$	$D_3 = 10,29$
$N_2 = 0,00165$	$D_2 = 3,99$
$N_1 = 0,0018$	$D_1 = 0,777$
$N_0 = 0,00038$	$D_0 = 0,0551$

$$H(z) = 9,816 \cdot \frac{z+1}{z+0,227} \quad (\text{Eq. 5.10})$$

5.3.2. Definição dos parâmetros do compensador

O compensador digital que será empregado neste projeto é o compensador PI. Como o erro nulo ao degrau é uma condição fundamental, a porção integradora é essencial neste compensador visto que a planta, embora naturalmente estável, não possui um pólo na origem. Porém, podia-se optar por um compensador PID, melhorando a margem de fase do sistema e diminuindo o sobressinal. O empecilho para sua aplicação está na dificuldade de implementação de um compensador PID digital, já que transformando a função de transferência em z para uma equação recursiva, percebe-se a necessidade do emprego de um ganho diferente de 1 aplicado à saída armazenada $u(k-2)$ que no caso do LF2407 possui 32 bits. Como o barramento de memória é de 16 bits seria necessária uma grande manipulação numérica e conseqüentemente tempo de processamento para realizar tal função.

O compensador PI digital é descrito na Eq. 5.11.

$$C(z) = K_C \cdot \frac{z - e^{-2 \cdot \pi \cdot FZ \cdot Ts}}{z - 1} \quad (\text{Eq. 5.11})$$

Onde FZ é a frequência do zero do compensador PI.

A equação recursiva que descreve este compensador é apresentada na Eq. 5.12.

$$U(k) = U(k - 1) + K_C \cdot E(k) - K_C \cdot e^{-2 \cdot \pi \cdot FZ \cdot Ts} \cdot E(k - 1) \quad (\text{Eq. 5.12})$$

Fazendo o compensador $C(z)$ uma constante unitária, o diagrama do lugar das raízes para o sistema não compensado é apresentado na Fig. 5.10. Os pólos em malha fechada, responsáveis pela característica da resposta do sistema, são representados por quadrados preenchidos.

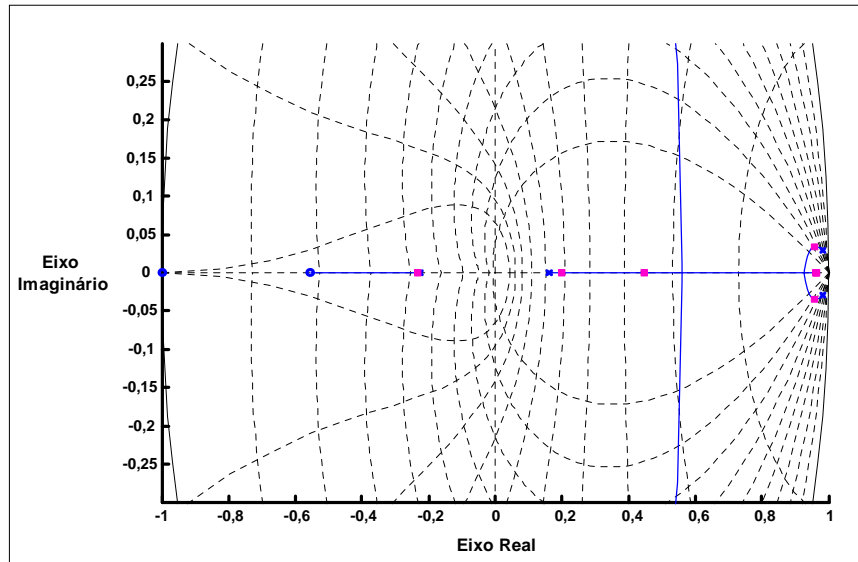


Fig. 5.10 – Diagrama do lugar das raízes do sistema não compensado.

O sistema embora apresente uma característica estável não possui o desempenho desejado. Inserindo o compensador PI, sendo a frequência do zero igual a 505 Hz e o ganho unitário, o lugar das raízes do sistema se altera para o apresentado em detalhe na figura abaixo.

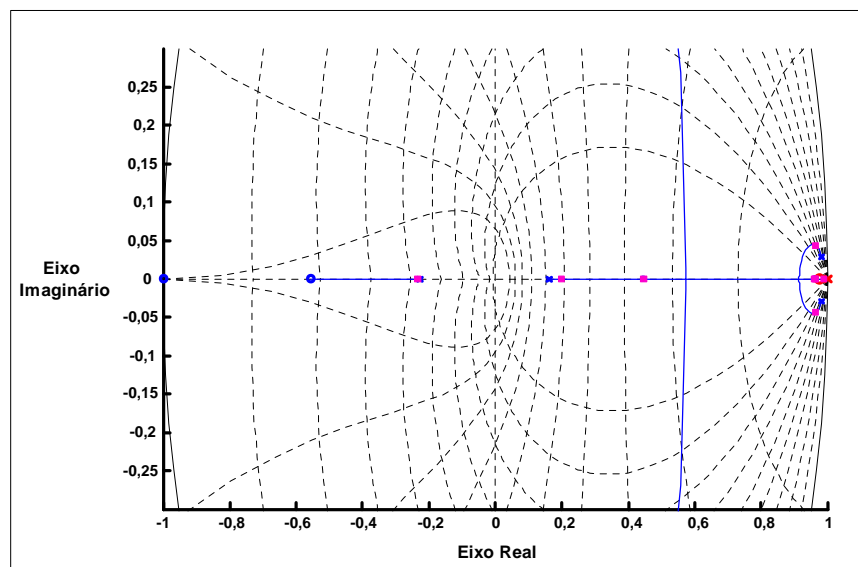


Fig. 5.11 – Diagrama do lugar das raízes aplicando ganho unitário ao compensador.

A Fig. 5.12 mostra a resposta em frequência do sistema em malha aberta.

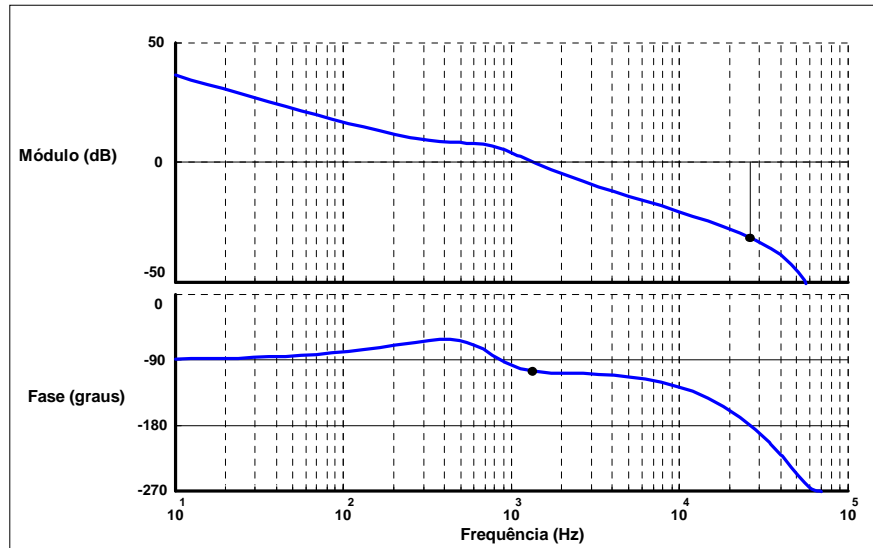


Fig. 5.12 – Diagrama de Bode aplicando ganho unitário ao compensador.

A margem de fase encontrada foi de 74° e a frequência de cruzamento de 1350 Hz.

Optou-se pela frequência de zero empregada, pois ao final do projeto foi a que apresentou melhores resultados e se adequou aos valores numéricos empregados nos multiplicadores da malha digital.

Para analisar se o comportamento dinâmico está de acordo com o desejado observou-se a resposta ao degrau, que é mostrada na figura abaixo. Os valores correspondentes à amplitude do sinal de saída se referem a um degrau unitário, sendo que multiplicados pela referência interna do processador (852_{DECIMAL}) obtém-se a resposta da tensão de saída, o que leva a uma escala não convencional.

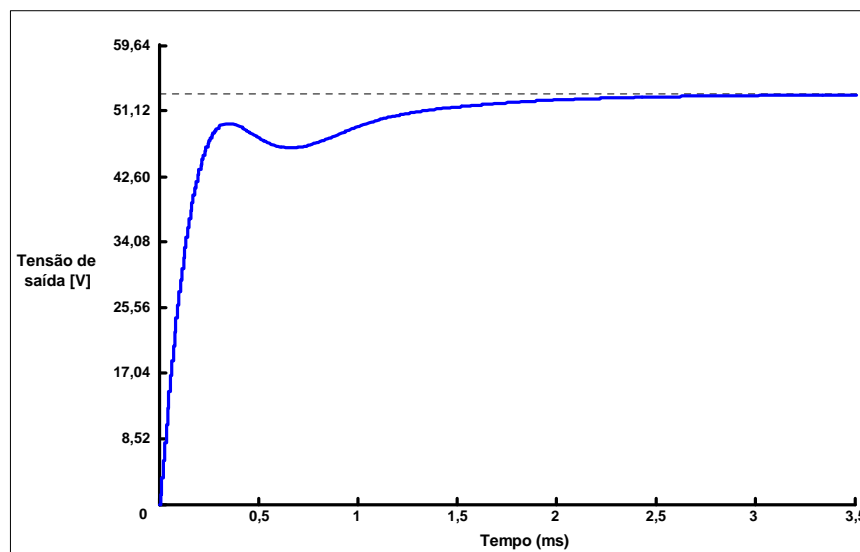


Fig. 5.13 – Resposta ao degrau aplicando ganho unitário ao compensador.

Como se pode ver, a resposta ao degrau garante o erro nulo, mas não é tão rápida quanto poderia, mesmo porque há uma margem de segurança quanto ao sobressinal permitido pela norma Telebrás [8].

Para garantir uma frequência de cruzamento maior, garantindo que o sobressinal não ultrapassasse 8% [8] do valor nominal, o ganho do compensador foi calculado em 1,828125, já adaptado ao valor a ser empregado no processador. Na prática o sistema em regime permanente se comportou melhor com um ganho maior (3,484375) e as respostas a trocas de carga não ficaram comprometidas como será mostrado no capítulo seguinte. Isto se deve a um atraso na atuação devido ao método empregado para gerar a modulação “phase-shift” digitalmente. O integrador que realiza o controle analógico através da mesma modulação também promove o deslocamento dos pulsos com um certo atraso que chega a ser perceptível no osciloscópio.

Aplicando os parâmetros definidos para K_c e FZ , sendo f_s igual a 140 kHz, pode-se definir a função de transferência $C(z)$.

$$C(z) = 3,48 \cdot \frac{z - 0,977}{z - 1} \quad (\text{Eq. 5.13})$$

O Lugar das Raízes obtido para o ganho empregado na prática é mostrado na Fig. 5.14.

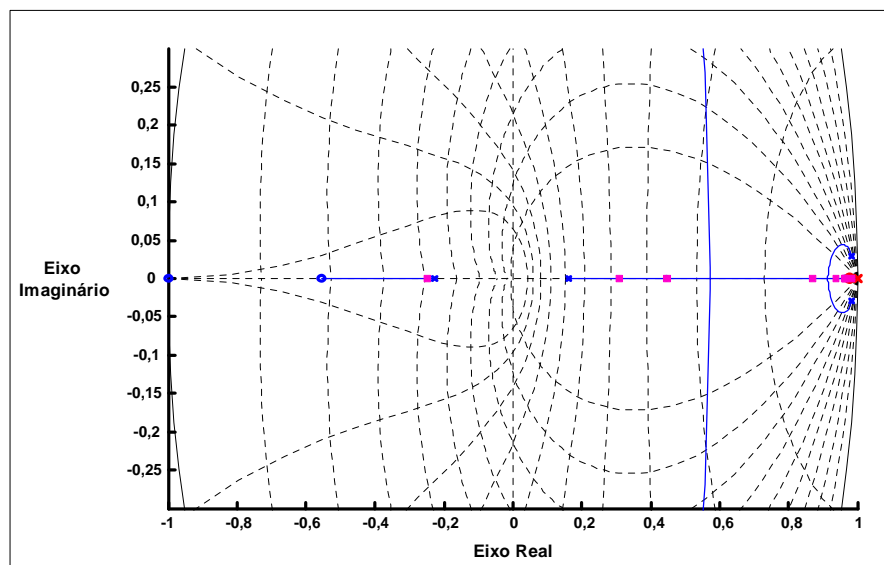


Fig. 5.14 – Diagrama do lugar das raízes aplicando o ganho empregado ao compensador.

O diagrama de Bode para o ganho empregado é apresentado a seguir.

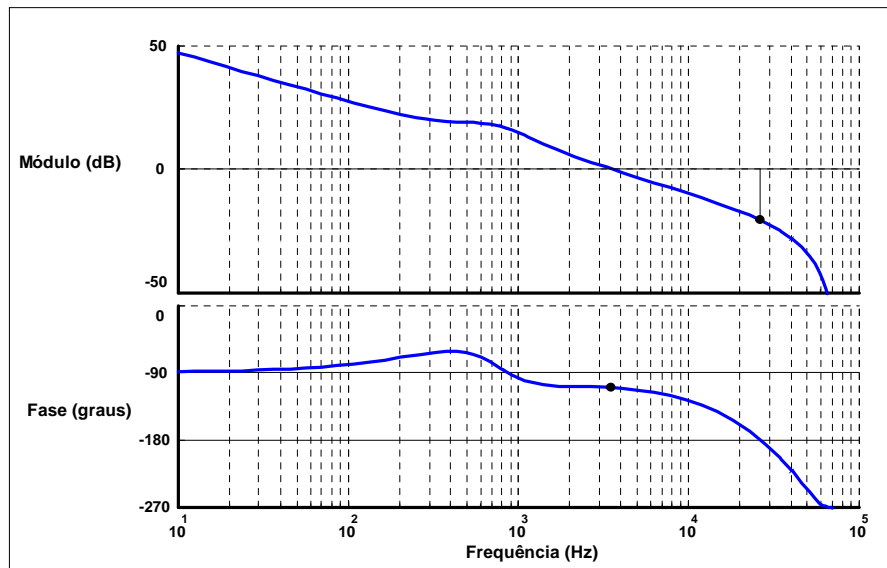


Fig. 5.15 – Diagrama de Bode aplicando o ganho empregado ao compensador.

A margem de fase obtida foi de aproximadamente $69,5^\circ$ e a frequência de cruzamento de 3530 Hz. Mesmo com a prática não confirmando o resultado teórico, a Fig. 5.16 mostra o comportamento da resposta ao degrau com um sobressinal de 4%. Se na simulação fosse possível simular o atraso na atuação se observaria um sobressinal ainda inferior.

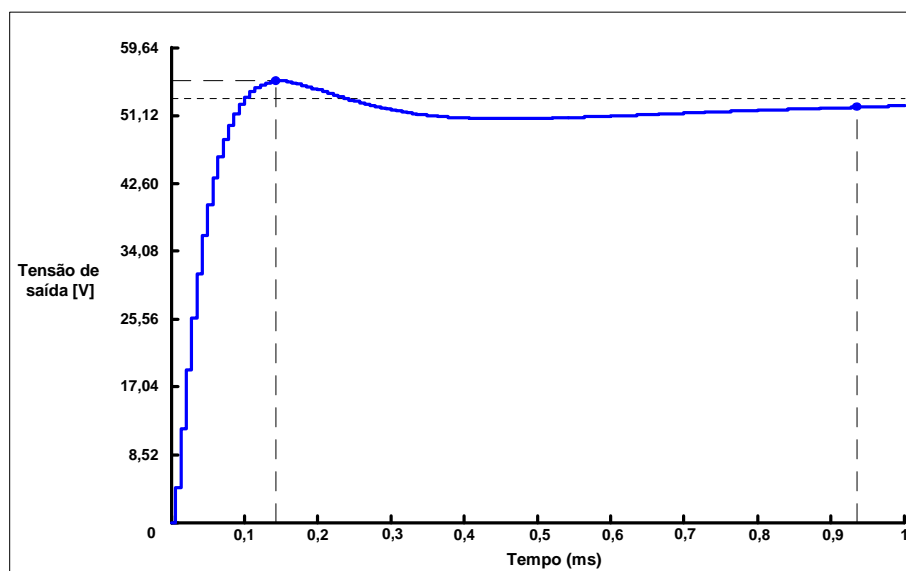


Fig. 5.16 – Resposta ao degrau aplicando o ganho empregado ao compensador.

Se ao invés do modelo completo do filtro de saída fosse empregado um modelo simplificado através de uma combinação entre indutores e capacitores de tal forma que o filtro resultasse em um LC simples, aplicando o mesmo compensador a resposta ao degrau seria a apresentada na figura a seguir.

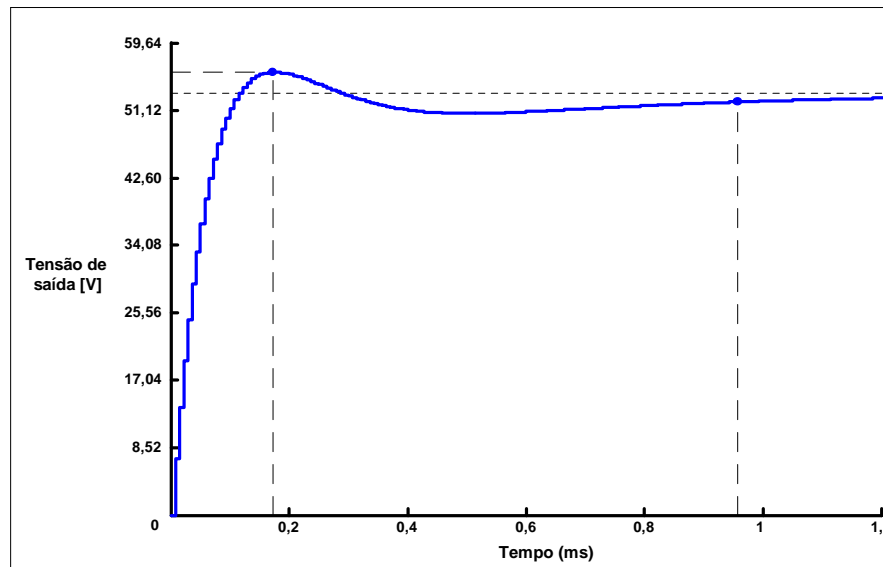


Fig. 5.17 – Resposta ao degrau do sistema compensado com filtro LC simples.

O sobressinal obtido foi de 5,1%. A margem de fase observada foi de $72,6^\circ$ para uma frequência de cruzamento de 3,1 kHz.

Para a malha de corrente nenhuma alteração será necessária, pois como a saída é contínua a corrente difere da tensão apenas por um ganho e este ajuste se dará no sensor de corrente.

5.4. Resultados de simulação

Após o projeto do compensador parte-se para a etapa de verificação do seu comportamento através de simulações. Através da ferramenta RLTOOL obteve-se uma resposta a partir de um modelo de planta linearizado em torno do ponto de operação como já discutido no Capítulo 2. O software MATLAB possui uma ferramenta capaz de unir o sistema de controle digital em ponto fixo com componentes ativos e passivos de um circuito de potência. O bloco SIMULINK realiza esta tarefa e faz uma verificação importante visto que o comportamento do sistema não-linear tem suas particularidades.

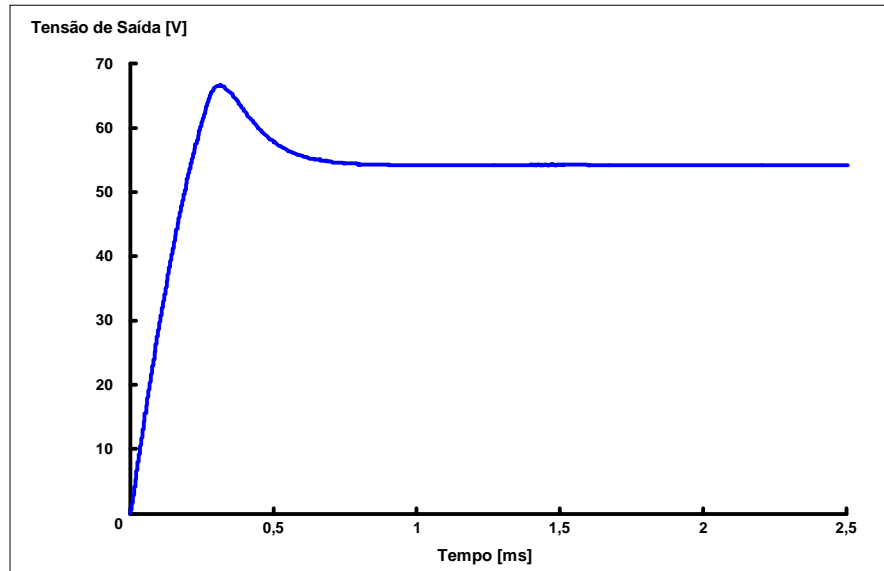


Fig. 5.19 – Tensão de saída na partida do conversor.

O sobressinal para a simulação foi de aproximadamente 24%, embora a característica da resposta não tenha sido tão semelhante como já era esperado. A ondulação na saída como mostra a Fig. 5.20 foi de aproximadamente 70mV.

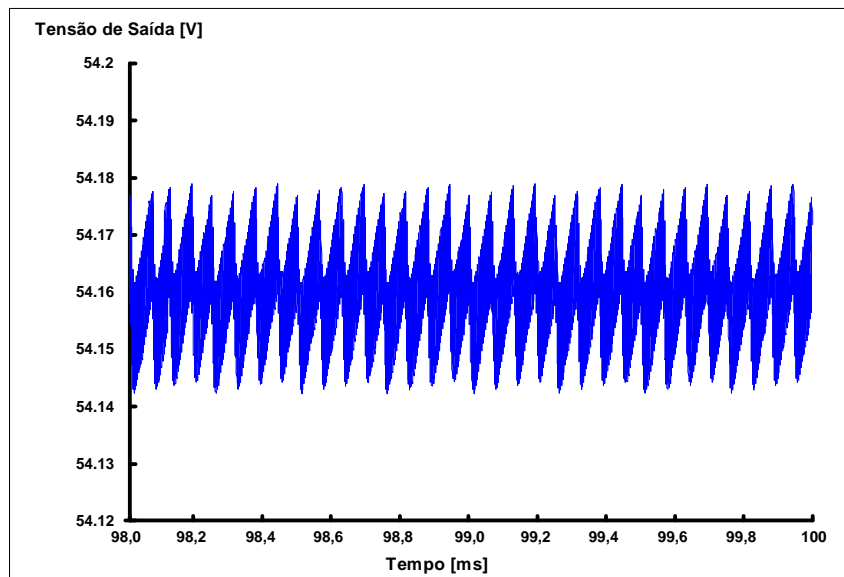


Fig. 5.20 – Detalhe da tensão de saída.

Para demonstrar que o compensador PI cumpre com sua principal função, garantir erro nulo ao degrau, a Fig. 5.21 mostra o comportamento do sinal de erro medido no comparador digital.

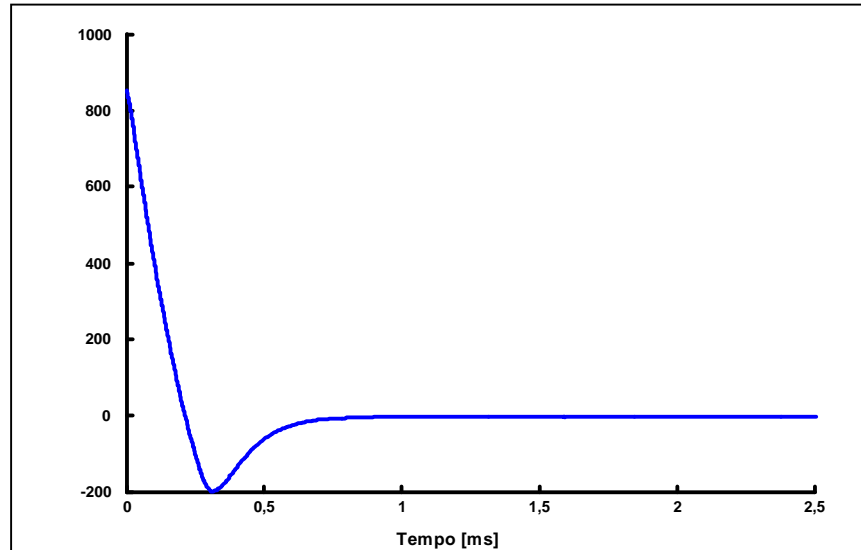


Fig. 5.21 – Análise do sinal de erro.

A norma Telebrás especifica que para uma variação de carga de 50% a partir de 10% da corrente nominal a variação máxima de tensão é de 8% da tensão nominal (aproximadamente 4V). A Fig. 5.22 apresenta uma análise do comportamento da tensão para esta situação. A variação máxima foi de aproximadamente 4%, ou seja, dentro dos limites operativos.

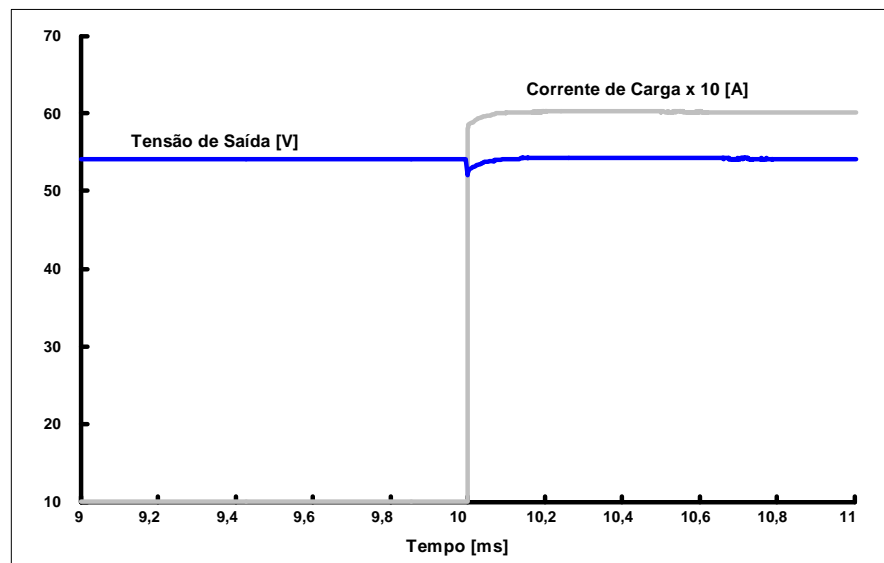


Fig. 5.22 – Comportamento da tensão frente à variação de 50% da carga nominal.

Da mesma forma, é realizada a análise para a retirada de carga. Dentre as variações de saída, a retirada de carga é a que teoricamente deve trazer mais prejuízos

para o sistema controlado, podendo tender a instabilidade. A Fig. 5.23 mostra o efeito da diminuição de carga ($R_O = 1000\Omega$) para o sistema de controle empregado. A margem de fase varia de $69,5^\circ$ para 68° , o que é muito pouco para levar o sistema a instabilidade.

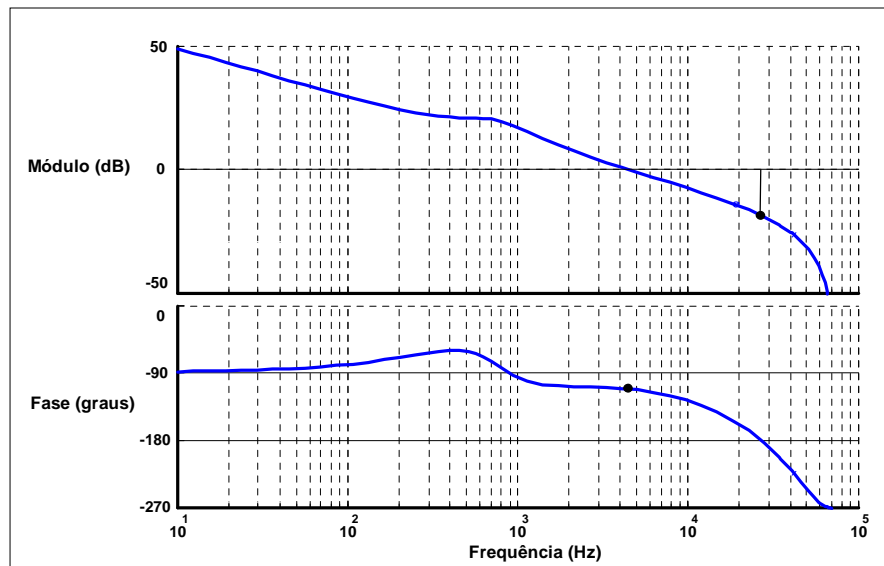


Fig. 5.23 – Efeito da retirada de carga.

Para avaliar o comportamento dinâmico para esta situação, além da variação negativa de 50% a partir de 90% da corrente nominal, foi também analisada a consequência de uma retirada total da carga.

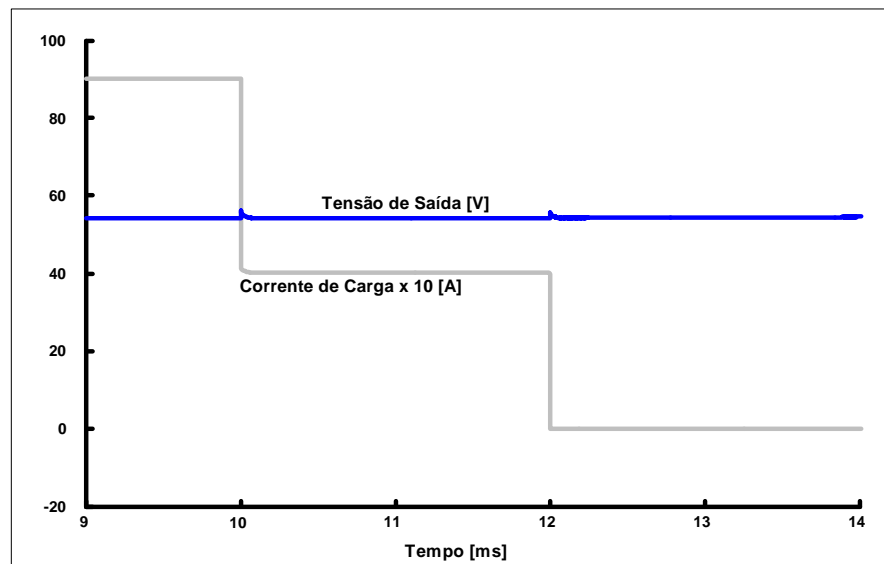


Fig. 5.24 – Comportamento da tensão frente à retirada de carga.

A tensão tende a subir um pouco e em regime se eleva de 54,2V para 54,8V.

5.5. Conclusão

Este capítulo abordou toda a análise sobre o sistema de controle digital empregado neste trabalho.

Inicialmente foram apresentadas as principais características do sistema de controle digital, bem como as vantagens em sua utilização. Pode-se destacar toda a análise realizada sobre as peculiaridades agregadas ao se utilizar este modo de controle, como frequência de amostragem, “aliasing”, sustentador de ordem zero (ZOH) e erro de quantização. A utilização do processador DSP TMS320LF2407 (Texas Instruments) é muito indicada para este trabalho devido às facilidades e ao desempenho oferecidos frente às peculiaridades analisadas.

Em seguida foi definido o controlador digital a partir de uma análise de desempenho direta deste com o modelo da planta discretizada utilizando a ferramenta de simulação MATLAB (The Mathworks). Isto evitou o projeto do controlador no domínio s e sua posterior transladação para o domínio z , que leva a algumas aproximações. Optou-se por empregar o compensador tipo PI por garantir erro nulo ao degrau e ser de fácil implementação.

Para concluir a etapa de projeto do controlador, foram realizadas simulações da sua atuação sobre o circuito de potência simplificado (conversor Buck). Esta análise credenciou o emprego dos parâmetros calculados, visto que a simulação com parâmetros reais insere um grau de não-linearidade não prevista na etapa de projeto, mas que é da natureza do protótipo a ser testado.

Desta forma o sistema está pronto para iniciar a fase de testes em bancada.

Capítulo 6

Resultados Experimentais

6.1. Introdução

Neste capítulo serão apresentados os resultados dos diversos testes a que a fonte de alimentação foi submetida. Não só parâmetros de saída foram analisados, mas também foram feitas diversas verificações sobre características determinadas na etapa de projeto.

6.2. Análise dos Resultados

Uma das principais características do conversor FB-ZVS-PS é a transição sob tensão nula dos interruptores comandados. Desta forma são apresentadas as formas de onda de corrente e tensão nos dois braços do conversor, já que no braço crítico a comutação depende muito da energia armazenada na indutância ressonante, o que pode atrapalhar o desempenho do conversor caso haja a comutação forçada.

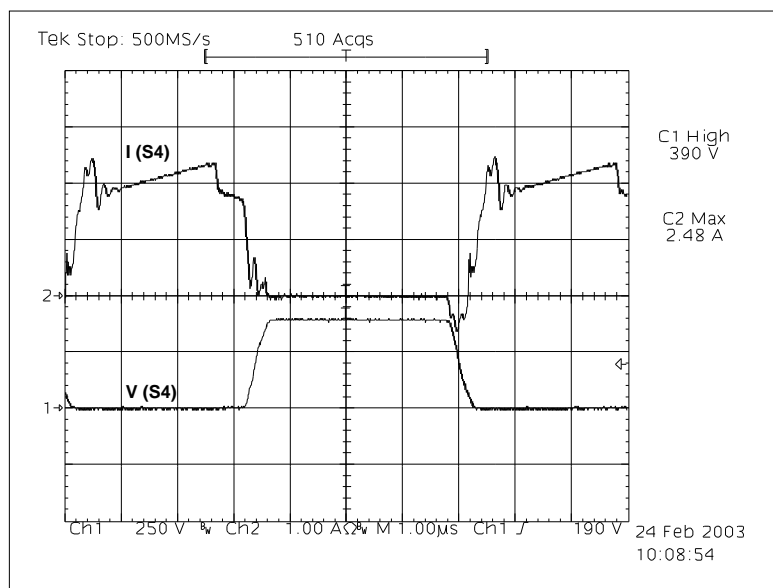


Fig. 6.1 – Comutação no braço crítico com corrente de carga.

Como se pode observar, a comutação com corrente de carga é não dissipativa. Em nenhum ponto das rampas que definem a transição de estado pode-se perceber alteração nas suas inclinações, o que caracterizaria a comutação forçada, já que a análise pela corrente não pode ser feita para os interruptores Mosfet, que já possuem intrinsecamente o diodo em anti-paralelo e o capacitor de comutação. Isto atrapalha a determinação clara das etapas de operação. Como a comutação no braço crítico ocorreu sob tensão nula, o mesmo espera-se observar na comutação do braço não-crítico.

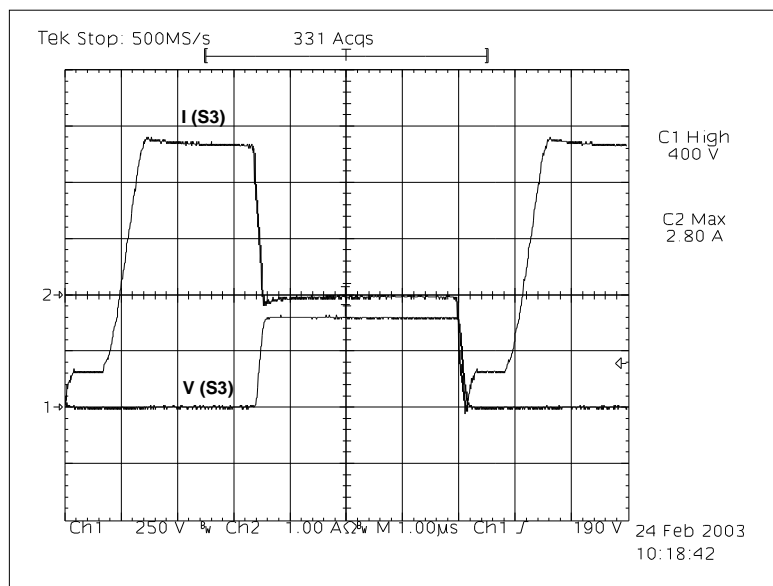


Fig. 6.2 – Comutação no braço não crítico com corrente de carga.

Um ponto a ser analisado é qual seria o comportamento quanto à comutação em um ponto abaixo da corrente de carga, já que nas aplicações a carga varia constantemente e o desempenho do conversor deve ser analisado, também, sob condições mais críticas. A Fig. 6.3 apresenta as formas de onda de tensão e corrente no braço crítico para meia carga e, como era esperado, a indutância ressonante não foi dimensionada para que a energia armazenada por ela garantisse a comutação sob qualquer nível de carga e neste caso a mudança de inclinação no bloqueio do interruptor do braço-crítico é clara.

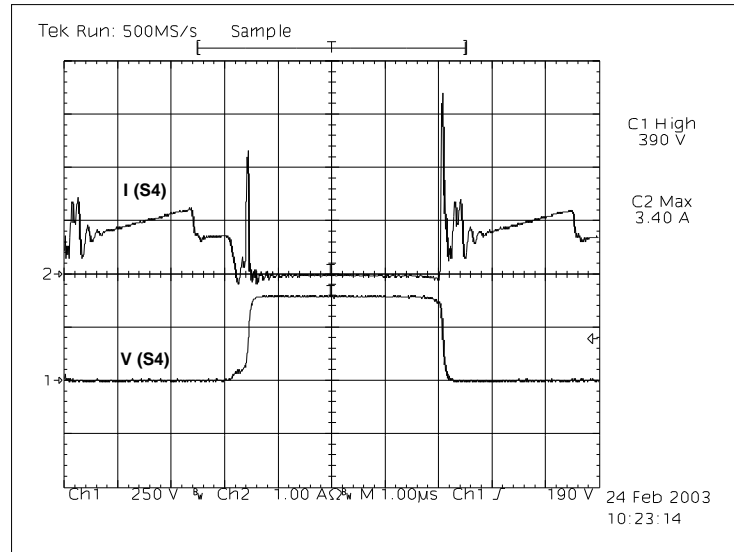


Fig. 6.3 – Comutação no braço crítico com meia carga.

Para exemplificar novamente o funcionamento do comando por deslocamento de pulso, são apresentadas na Fig. 6.4 as formas de onda de tensão nos interruptores S1 e S2 (Fig. 2.1). A tensão de saída obtida para esta situação é de 50,3 V, o que confere aproximadamente com os cálculos considerando a razão cíclica obtida através da figura abaixo, a perda de razão cíclica e a tensão no secundário do transformador.

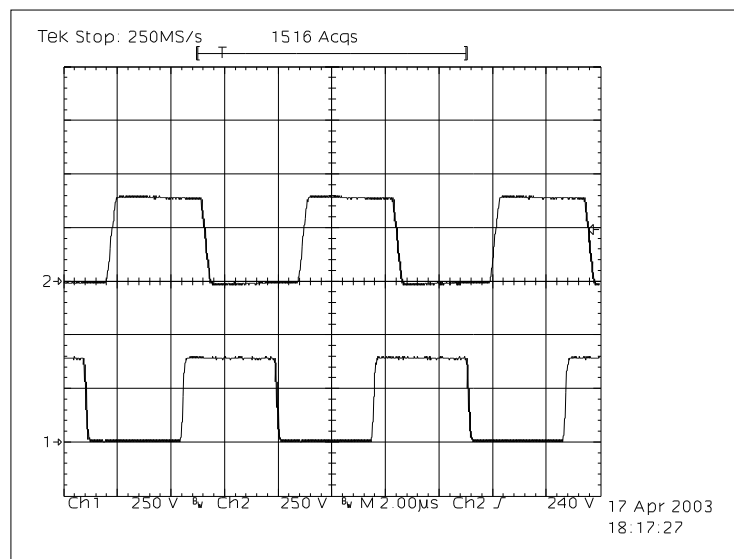


Fig. 6.4 – Formas de onda de tensão nos interruptores S1 e S2.

A razão cíclica obtida através da análise da forma de onda da tensão do conversor em Ponte Completa retificada é que realmente vai definir a tensão de saída, pois exceto as perdas do filtro de saída e das conexões com a carga, já estão consideradas a perda de

razão cíclica, as perdas do lado primário e as do transformador. A Fig. 6.5 apresenta a tensão na saída do retificador com ponto médio (ponto “Vs”).

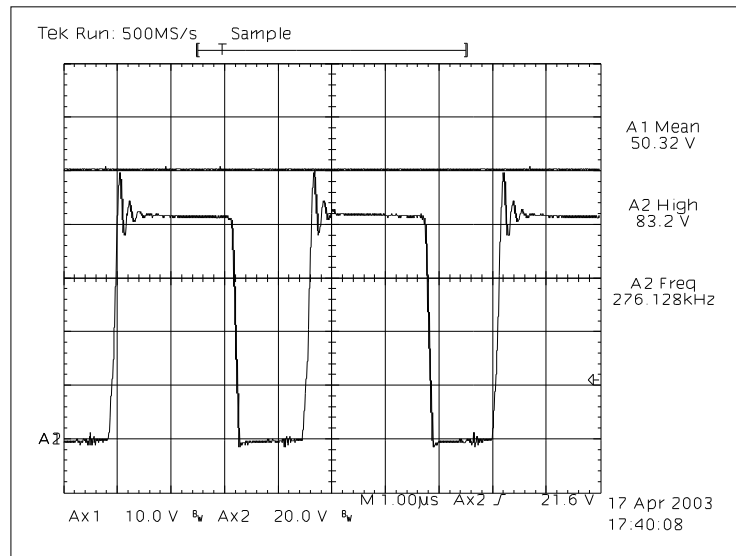


Fig. 6.5 – Formas de onda de tensão na saída do retificador e do conversor.

A Fig. 6.6 apresenta as formas de onda de tensão e corrente de carga. Pode-se observar, principalmente no sinal de corrente, o efeito da ondulação de 120 Hz provocada pelo retificador de entrada. Isto influencia, embora em menor grau devido a ponderação, o resultado do psfômetro (Anexo 2). Porém, a ondulação na entrada do conversor FB-ZVS-PS medida foi igual a 20 V e com o emprego do conversor Boost com correção de fator de potência espera-se que esta ondulação não ultrapasse os 12 V.

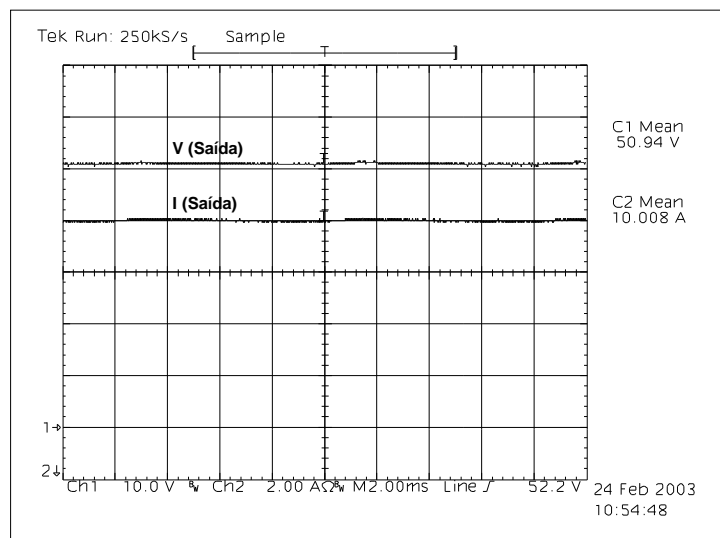


Fig. 6.6 – Tensão e corrente de saída.

Para finalizar, a análise das características em regime permanente do conversor a Fig. 6.7 mostra a ondulação na tensão de saída do conversor. Nota-se que o maior nível de ondulação de tensão está concentrado na frequência de 120 Hz, porém este valor deve ser reduzido com o emprego de um conversor PFC.

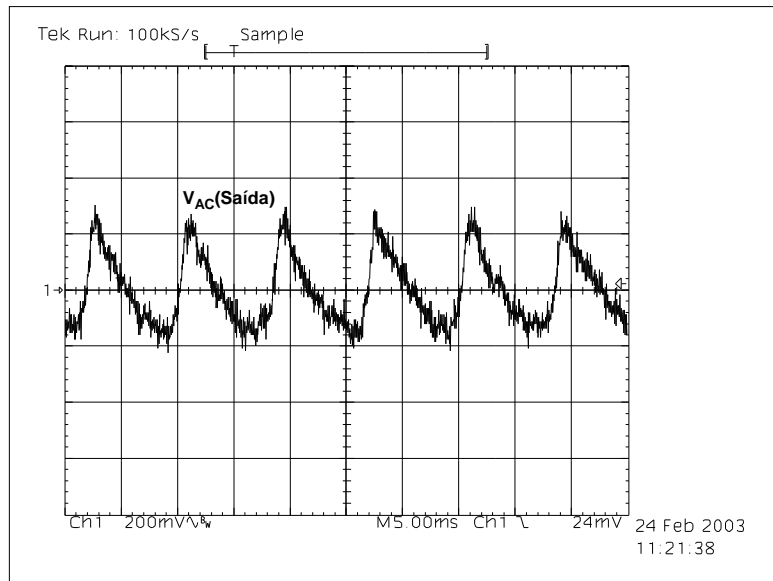


Fig. 6.7 – Ondulação da tensão de saída.

A norma Telebrás [8] determina que a regulação estática da tensão de saída deve garantir uma variação máxima de $\pm 1\%$ do valor nominal que corresponde a aproximadamente ± 500 mV. Logo o resultado atingido (aproximadamente 400mV) está dentro dos limites estabelecidos. A UR comercial desenvolvida por Alves [3] que é fonte de comparação para este estudo apresentou resultado melhor, 80 mV.

Como resultado de análise psfométrica para corrente de carga e diferentes fontes de tensão na entrada obteve-se:

- Ø Fonte de alimentação CC: -41 dB.
- Ø Fonte de alimentação retificada: -32 dB.

A norma Telebrás estabelece que o valor máximo permitido para o ruído psfométrico é igual a -58 dB. A UR comercial [3] apresentou -48 dB. O mau desempenho das fontes de alimentação frente a correntes pulsadas e as conexões através de “jumpers” do kit DSP à placa de potência têm forte influência nos resultados obtidos.

A análise das características dinâmicas deste conversor corresponde principalmente à verificação do comportamento da tensão de saída frente a variações de carga.

A regulação dinâmica da tensão de saída normatizada pela norma Telebrás [8] determina que a duração máxima do regime transitório deve ser de 25 ms e o desvio máximo da tensão de saída deve estar compreendido entre $\pm 8\%$ do valor de tensão ajustado para um degrau de 50% de carga.

Como apresentado no Capítulo 5, a situação de transição de carga mais prejudicial e que tem mais chances de levar o sistema à instabilidade é a de retirada de carga. As Figs. 6.8 e 6.9 apresentam as formas de onda de tensão (AC) e corrente de saída para uma variação de 70% da carga nominal e confirmam o atendimento da norma para esta situação.

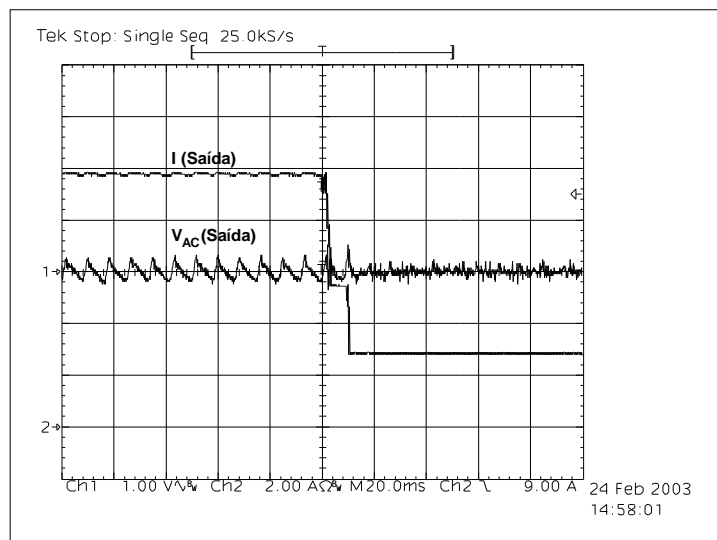


Fig. 6.8 – Análise da tensão para retirada de carga.

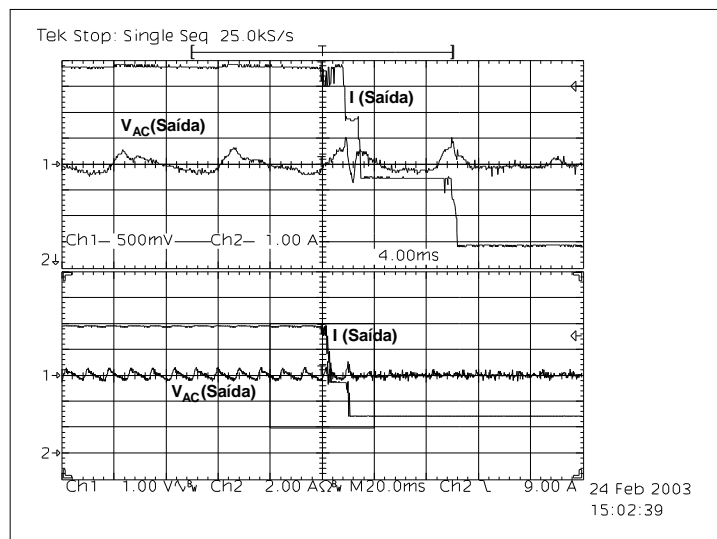


Fig. 6.9 – Detalhe das formas de onda na retirada de carga.

Utilizando o controle digital proposto neste trabalho, o tempo de resposta para que a tensão de saída do conversor se estabilizasse foi de aproximadamente 15 ms. A UR comercial [3] respondeu em aproximadamente 17 ms para uma variação de 50% da carga nominal.

Embora a norma Telebrás não imponha limites para uma retirada total da carga, ela determina que a estabilidade da saída deve ser mantida para qualquer situação de carga, inclusive a vazio. Portanto, para analisar a estabilidade de tensão em toda faixa de operação são apresentadas as Figs. 6.10 e 6.11.

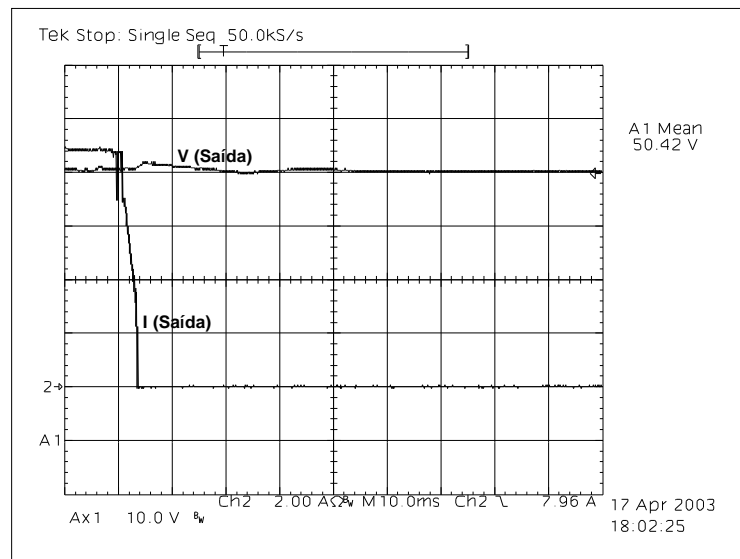


Fig. 6.10 – Análise da tensão de saída para uma retirada total de carga.

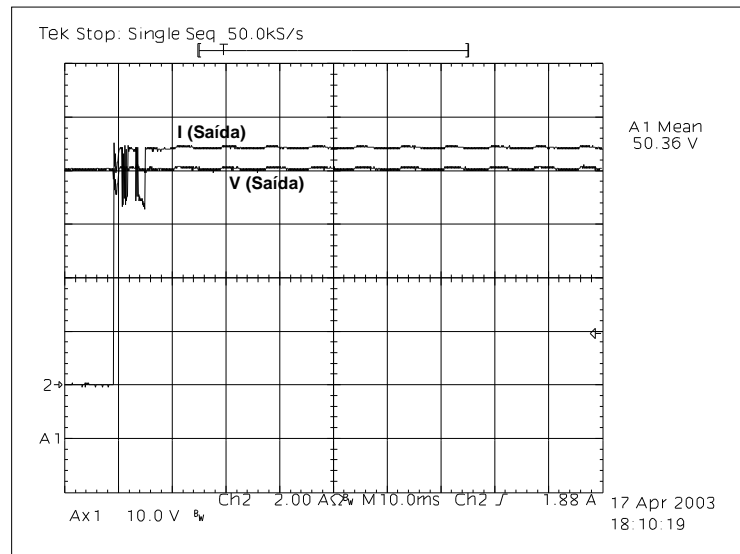


Fig. 6.11 – Análise da tensão de saída para variação de carga de 0 a 100%.

Mesmo teoricamente não sendo o caso mais crítico, a análise sob o comportamento da tensão de saída para uma variação positiva de 70% de carga foi realizada já que na prática foi o que apresentou maior variação na tensão. Este efeito pode ter sido acentuado pela utilização de um varivolt que geralmente não reage bem a corrente pulsada como a exigida pelo conversor FB-ZVS-PS.

As Figs. 6.12 e 6.13 apresentam esta análise.

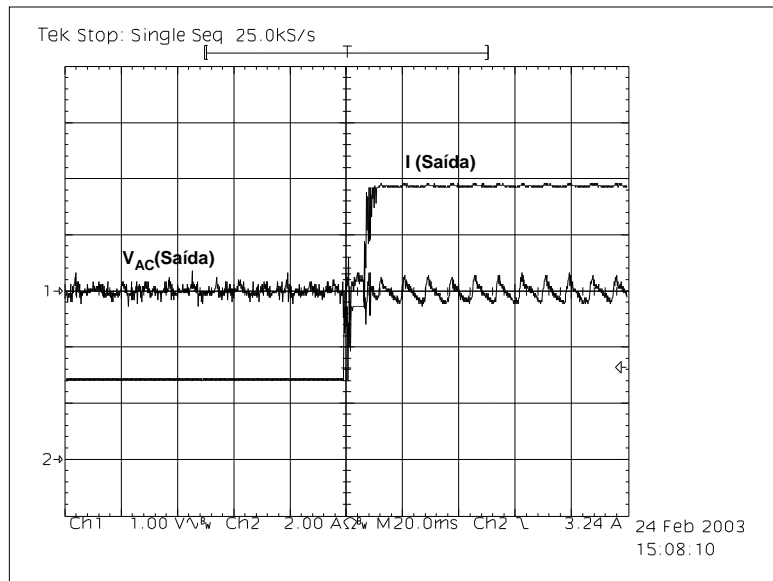


Fig. 6.12 – Análise da tensão para elevação de carga.

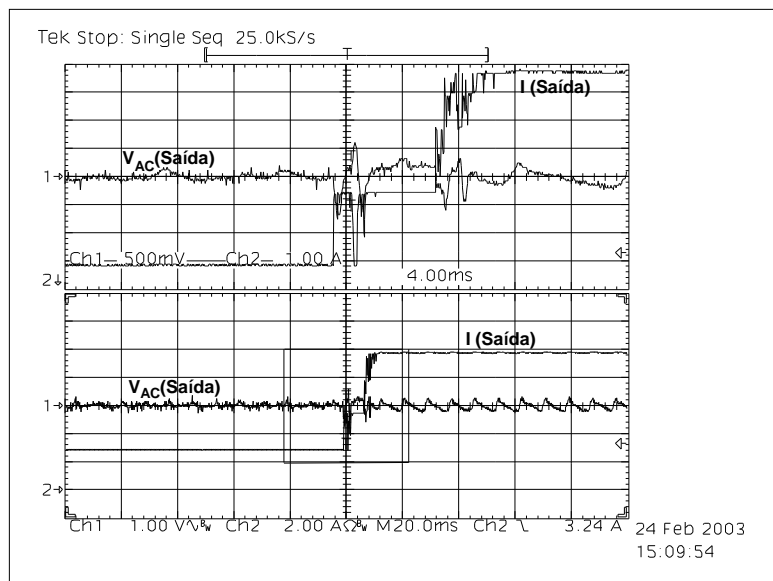


Fig. 6.13 – Detalhe das formas de onda na elevação de carga.

O tempo de resposta observado neste caso foi de aproximadamente 13 ms. A UR comercial [3] respondeu, também para uma variação de 50% da carga nominal, em aproximadamente 4 ms.

Como uma variação de $\pm 8\%$ corresponde a aproximadamente $\pm 4V$, o desempenho do conversor em qualquer situação de transição de carga atende às normas.

A última análise foi realizada para o sistema de proteção de corrente. A norma Telebrás determina que o sistema de limitação deve ser capaz de garantir o ajuste entre 70 e 100% da corrente de carga. Para o processador digital é indiferente o percentual de limitação. A diferença está no comportamento das variáveis de saída, pois o sensor de corrente que tem como principal componente um resistor de $10\text{ m}\Omega$ é muito susceptível a ruídos levando a um desempenho inferior quanto à regulação estática da corrente de saída em relação à regulação de tensão.

As Figs. 6.14 e 6.15 apresentam a análise dos sinais de saída no momento da entrada da malha de corrente.

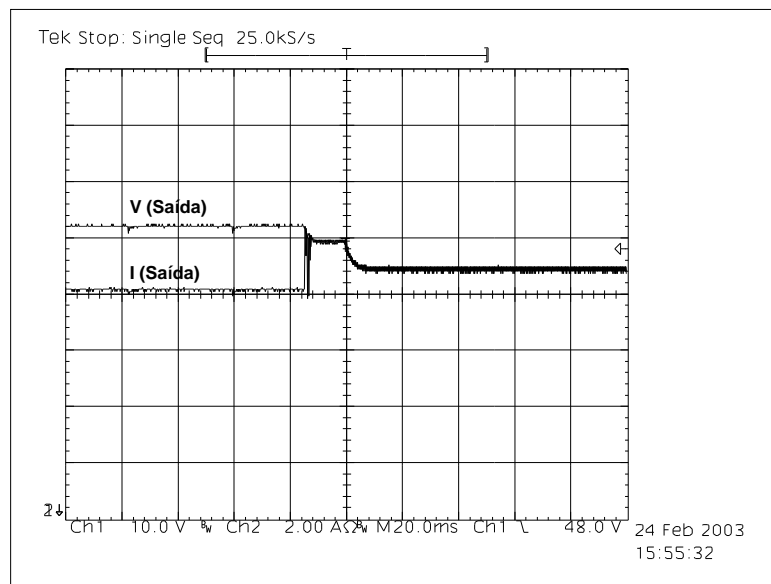


Fig. 6.14 – Análise da proteção de corrente.

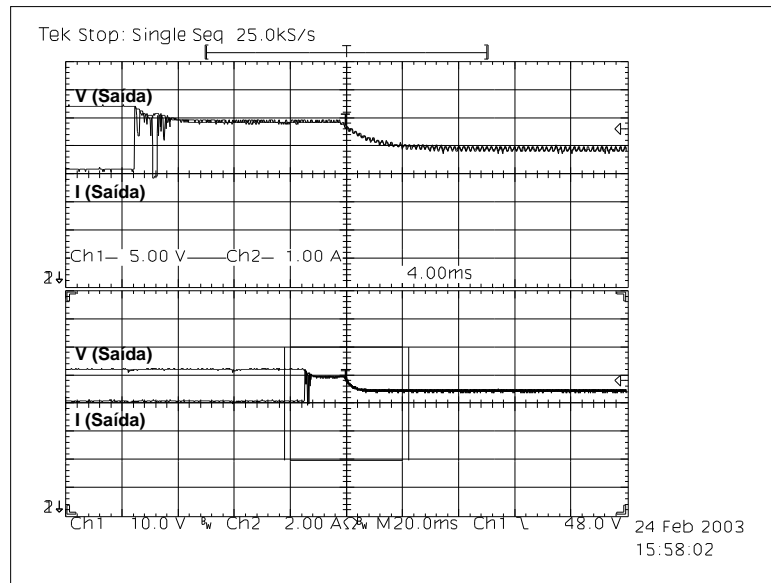


Fig. 6.15 – Detalhe das formas de onda sob proteção de corrente.

A norma Telebrás permite uma variação de corrente máxima de 10% do valor de ajuste, mas o resultado obtido foi muito inferior ao previsto pela norma (aproximadamente 5%).

6.3. Conclusão

Este capítulo contempla a análise dos resultados obtidos do conversor FB-ZVS-PS empregando o controle digital já detalhado no Capítulo 5.

O conversor foi avaliado tanto em regime permanente quanto sob o efeito de variações de carga.

O conversor apresentou bons resultados operando em regime permanente, embora não tenha atingido o limite imposto pela norma Telebrás [8] quanto ao nível de ruído psfométrico (Anexo 2). Isto ainda merece uma análise posterior, pois como a norma é rígida quanto a este quesito e as condições de testes não eram ideais é difícil avaliar a técnica e o compensador empregados. A inserção das fontes auxiliares, dos circuitos de “buffer” e do processador na placa principal devem fornecer um resultado interessante, além do emprego do conversor PFC Boost. A ondulação da tensão de saída se manteve dentro dos limites exigidos por norma [8].

Em regime transitório o sistema se comportou de forma adequada dentro dos limites impostos por norma [8] em todos os testes. Mesmo sendo difícil a aplicação de

degraus de carga de forma precisa para validar os testes em relação à norma devido a aspectos construtivos da carga (muitos interruptores), o conversor se comportou muito bem mesmo para variações totais de carga.

Ainda foram obtidos resultados com o conversor operando em regime de limitação de corrente. Embora aprovado perante a norma [8], não foi possível o emprego dos dois laços de controle - tensão e corrente - simultaneamente, por alguma falha no tratamento dos sinais que não foi identificada. Como o foco desta pesquisa envolvia principalmente o controle da tensão, optou-se por sugerir esta implementação para um próximo trabalho.

Conclusões Finais

O emprego de técnicas digitais de controle em conversores estáticos vem se mostrando um importante instrumento de desenvolvimento tecnológico na área de Eletrônica de Potência. Desta forma é possível atingir desempenhos distintos a partir de estruturas já bem conhecidas. Este é o caso das Unidades Retificadoras monofásicas de média potência com aplicação em sistemas de telefonia e de segurança de rede (UPS).

Após a análise realizada no Capítulo 1, observou-se a necessidade de estudos sobre o emprego de um controle digital aplicado ao estágio de saída da maioria das fontes de alimentação monofásicas para telecomunicações, conversor FB-ZVS-PS.

Embora a modulação empregada tenha se baseado no controle “phase-shift” realizado pelos integrados da família “phase-shift resonant controllers” como o UC3879 (Unitrode/Texas Instruments), foi necessário propor uma solução digital para o controle do conversor. Utilizando o kit da Spectrum Digital contendo o processador digital da Texas Instruments DSP TMS320LF2407 foi proposto um método que não só realizou o controle do conversor FB-ZVS-PS, como também corrigiu algumas deficiências na operação do integrado analógico. O resultado deste estudo vai além do que apenas controlar o conversor FB-ZVS-PS, pois como a técnica realmente substitui a função dos integrados dedicados é capaz de controlar qualquer conversor que utiliza o controle “phase-shift”.

A etapa de projeto do controlador consistiu, primeiramente, na abordagem das principais características do sistema digital e as suas influências na modelagem. A partir disto, pôde-se obter os modelos matemáticos da planta e do sensor no domínio z e definir os parâmetros do controlador PI pelo método direto, já que se fez uso da ferramenta de simulação MATLAB (The Mathworks). Com ela foi possível variar os parâmetros do compensador discretizado de forma simples até obter a resposta desejada do sistema. Isto evitou as aproximações derivadas do projeto de um compensador definido no domínio s e transladado ao domínio z . Para validar os parâmetros do compensador calculado foram realizadas simulações da atuação da malha de controle digital sobre o circuito do conversor Buck que representa, muito bem, a característica de saída do conversor FB-ZVS-PS.

Os resultados obtidos foram extremamente satisfatórios, principalmente pela possibilidade de comparação com uma UR com características comerciais, desenvolvida no INEP [3].

Quanto às características básicas de funcionamento do conversor constatou-se que este garantiu a comutação suave para cargas próximas à nominal e manteve os níveis de tensão sobre os interruptores dentro dos valores de projeto. Aplicando o compensador discreto projetado para o controle da tensão de saída, foram obtidos resultados muito bons quanto a sua regulação. A ondulação máxima permitida pela norma Telebrás [8] não foi ultrapassada em nenhuma situação de carga. Mas o conversor não atendeu esta norma quanto ao nível de ruído psfométrico. Porém os resultados foram colhidos com os elementos de controle em uma placa de circuito impresso externa a dos elementos de potência, o que torna o sistema muito mais vulnerável à interferências, fez uso de fontes de alimentação (CA e CC) de tensão variável que não respondem muito bem à corrente pulsada exigida pelo conversor FB-ZVS-PS e empregou como estágio CA-CC de entrada um retificador com filtro capacitivo que permitia uma ondulação da tensão do barramento de entrada de 20V. Este resultado deve melhorar bastante quando se empregar uma única placa de circuito impresso e o conversor PFC Boost como estágio retificador.

A análise dinâmica apresentou resultados ainda melhores, pois o conversor se encontrou dentro dos limites estabelecidos pela norma [8] em todos os testes realizados para a regulação da tensão de saída. Para isso foram realizadas comutações de carga, tanto para retirada como para inserção, em percentuais de 70% e 100%.

Além disso, testou-se o compensador de corrente projetado para atuar em limitação. Os resultados também estavam dentro dos limites estabelecidos por norma [8], porém não foi possível empregar ambos os compensadores, tensão e corrente, operando simultaneamente no código do programa. Esta é uma excelente proposta para um próximo trabalho.

Porém, pode-se citar como as duas principais sugestões de continuidade desta pesquisa a aplicação de novas técnicas de controle e modelagem e a integração dos dois estágios de potência, conversor PFC e FB-ZVS-PS, controlados a partir de um único processador em um mesmo “lay-out”. Novas técnicas de controle, como por exemplo métodos não-lineares, podem fornecer resultados interessantes visto que a modelagem linear para conversores estáticos é um método aproximado. A integração dos estágios

levando a UR a apresentar características mais profissionais pode além de solucionar problemas de interferências presentes em versões protótipo, se tornar uma importante referência para a indústria que muitas vezes prefere investir em produtos em fase de desenvolvimento avançado. Posteriormente, estudos relativos ao paralelismo de fontes de alimentação controlados a partir de um mesmo sistema digital seriam bem indicados.

Anexo 1

Projeto do Circuito de Potência e Circuitos Auxiliares e Diagramas de Circuitos

A1.1. Projeto do conversor FB-ZVS-PS

1 - Especificações

Potência de saída.....	$P_o = 600 \text{ W}$
Tensão de saída.....	$V_o = 57,6 \text{ V}$
Mínima tensão de saída.....	$V_{o_{\min}} = 45 \text{ V}$
Máxima tensão de saída.....	$V_{o_{\max}} = 60 \text{ V}$
Corrente de saída.....	$I_o = 10 \text{ A}$
Rendimento.....	$\eta = 0,92$
Potência de entrada.....	$P_{in} = \frac{P_o}{\eta} = 652,17 \text{ W}$
Frequência de comutação.....	$F_s = 140 \text{ kHz}$
Tensão de entrada.....	$V_{in_{\text{nom}}} = 400 \text{ V}$
Mínima tensão de entrada.....	$V_{in_{\min}} = 390 \text{ V}$
Máxima tensão de entrada.....	$V_{in_{\max}} = 410 \text{ V}$
Máxima razão cíclica.....	$D_{\max} = 0,95$
Perda de razão cíclica.....	$\Delta D = 0,15$
Razão cíclica efetiva.....	$D_{ef} = D_{\max} - \Delta D = 0,8$

2 – Componentes para entrada alternada

Como serão realizados testes com o conversor sendo alimentado através de uma entrada alternada (retificador com filtro capacitivo) é necessário dimensionar os elementos necessários.

Parâmetros:

Frequência da rede.....	$f_{rede} = 60 \text{ Hz}$
Tensão eficaz de entrada.....	$V_{ac_{nom}} = 220 \text{ V}$
Máxima tensão eficaz de entrada.....	$V_{ac_{max}} = 264 \text{ V}$
Mínima tensão eficaz de entrada.....	$V_{ac_{min}} = 176 \text{ V}$
Máxima corrente eficaz de entrada.....	$I_{ac_{max}} = \frac{P_o}{\eta \cdot V_{ac_{min}}} = 3,71 \text{ A}$

Resistor de in-rush:

Corrente de in-rush.....	$I_{INRUSH} = 3 \cdot \sqrt{2} \cdot I_{ac_{max}} = 15,72 \text{ A}$
Resistor de in-rush.....	$R_{INRUSH} = \frac{\sqrt{2} \cdot V_{ac_{max}}}{I_{INRUSH}} = 23,75 \Omega$

Foi utilizado o resistor tipo NTC, modelo IOPS020.

Resistência a frio.....	20Ω
-------------------------	-------------

Retificador:

Optou-se por um circuito retificador em ponte completa de diodos.

Corrente média nos diodos.....	$I_{Dmed} = 0,45 \cdot I_{ac_{max}} = 1,67 \text{ A}$
Tensão máxima nos diodos.....	$V_{Dmax} = \sqrt{2} \cdot V_{ac_{max}} = 373,35 \text{ V}$
Ponte de diodos escolhida: SKB 26/08 da Semikron.	
Máxima tensão reversa.....	800 V
Máxima corrente média.....	18 A
Máxima tensão direta.....	1 V

Capacitor de filtro:

Capacitância.....	$C_{IN} = \frac{P_o}{4 \cdot \pi \cdot f_{rede} \cdot V_{in_{nom}}^2 \cdot 0,02} = 248,7 \mu\text{F}$
Tensão máxima no capacitor.....	404 V

O capacitor empregado foi: 470 mF / 450 V da Epcos.

Resistência série equivalente..... 290 mΩ

3 – Transformador

Núcleo:

Densidade máxima de corrente..... $J = 500 \text{ A/cm}^2$

Densidade máxima de fluxo magnético.... $B_{\max} = 0,15 \text{ T}$

Densidade nominal de fluxo magnético... $B = 0,11 \text{ T}$

Fator de utilização do transformador..... $K_u = 0,4$

Fator de utilização do primário..... $K_p = 0,41$

Fator de topologia..... $K_t = 1$

Rendimento do transformador..... $\eta_T = 0,99$

Produto Ae·Aw..... $A_e A_w = \frac{P_o \cdot 10^4}{\eta_T \cdot K_t \cdot K_p \cdot K_u \cdot J \cdot B_{\max} \cdot F_s} = 3,52 \text{ cm}^4$

Núcleo escolhido: EE-42/21/20 – 3C94 – PHILIPS

Ae..... $2,33 \text{ cm}^2$

Aw..... $1,56 \text{ cm}^2$

Produto Ae·Aw real..... $3,63 \text{ cm}^4$

Número de espiras:

Número de espiras do primário..... $N_p = \frac{V_{in_{\min}}}{4 \cdot A_e \cdot B \cdot F_s} \cdot 10^4 \approx 28$

Número de espiras do secundário..... $N_s = \frac{N_p \cdot V_{o_{\max}}}{V_{in_{\min}} \cdot D_{ef}} \approx 6$

Relação de transformação..... $n = \frac{N_s}{N_p} = 0,214$

Dimensionamento dos condutores:

Primário:

Corrente eficaz no primário..... $I_{p_{ef}} = I_o \cdot n = 2,14 \text{ A}$

Seção do condutor primário..... $S_p = \frac{I_{p_{ef}}}{J} = 4,29 \cdot 10^{-3} \text{ cm}^2$

Efeito pelicular:

Profundidade de penetração..... $\Delta = \frac{7,5}{\sqrt{f_s}} = 0,02 \text{ cm}$

Diâmetro máximo do condutor elementar $d_{max} = 2 \cdot \Delta = 0,04 \text{ cm}$

Para reduzir os problemas relativos ao efeito pelicular e de proximidade adotou-se:

Condutor elementar: fio 37 AWG

Diâmetro de cobre..... $D_{fio_{37}} = 0,011 \text{ cm}$

Área de cobre..... $A_{fio_{37}} = 0,0001 \text{ cm}^2$

Diâmetro do fio com isolamento..... $D_{fio_{37}_{isol}} = 0,014 \text{ cm}$

Área do fio com isolamento..... $A_{fio_{37}_{isol}} = 0,00016 \text{ cm}^2$

Número de condutores em paralelo..... $F_{paralelo} = \frac{S_p}{A_{fio_{37}}} \approx 43$

Condutor empregado no enrolamento primário: 1 fio Litz (40 x 37 AWG)

Secundário:

Corrente eficaz no secundário..... $I_{s_{ef}} = \frac{I_o}{\sqrt{2}} = 7,07 \text{ A}$

Seção do condutor secundário..... $S_s = \frac{I_{s_{ef}}}{J} = 0,014 \text{ cm}^2$

Para otimizar volume e reduzir os efeitos de proximidade e pelicular, o condutor escolhido para o enrolamento secundário é do tipo fita de cobre.

Espessura da fita..... $h_{fita} = 0,1 \text{ mm}$

Largura da fita..... $L_{fita} = 17,5 \text{ mm}$

Área do condutor secundário..... $A_{fita} = h_{fita} \cdot L_{fita} \cdot 10^{-2} = 0,018 \text{ cm}^2$

Cálculo de perdas:

Perdas no núcleo:

Com base na curva de perda volumétrica em função da densidade de fluxo fornecida pelo fabricante [17], obtém-se a perda volumétrica no núcleo empregado.

Perda volumétrica..... $P_{Vol} = 80 \text{ kW/m}^3$

Volume efetivo..... $V_e = 22,7 \cdot 10^{-6} \text{ m}^3$

Perdas no núcleo..... $P_{\text{Núcleo}} = P_{\text{Vol}} \cdot 10^3 \cdot V_e = 1,82 \text{ W}$

Perdas no cobre:

Comprimento médio de uma espira..... $l_e = 9,7 \text{ cm}$

Resistividade do cobre..... $\rho = 2,08 \cdot 10^{-6} \Omega/\text{m}$

Perda no enrolamento primário..... $P_{\text{prim}} = \frac{N_p \cdot l_e \cdot \rho \cdot I_{p_{\text{ef}}}^2}{A_{\text{fio}_37} \cdot F_{\text{paralelo}}} = 0,605 \text{ W}$

Perda no enrolamento secundário..... $P_{\text{sec}} = 2 \cdot \frac{N_s \cdot l_e \cdot \rho \cdot I_{s_{\text{ef}}}^2}{A_{\text{fita}}} = 0,692 \text{ W}$

Perdas totais:

Perdas totais no transformador..... $P_{\text{tot}} = P_{\text{Núcleo}} + P_{\text{prim}} + P_{\text{sec}} = 3,113 \text{ W}$

Estimativa de elevação de temperatura:

Resistência térmica do transformador..... $R_{t_{\text{TR}}} = 15 \text{ }^\circ\text{C/W}$

Elevação de temperatura no transformador.... $\Delta T_{\text{Trafo}} = R_{t_{\text{TR}}} \cdot P_{\text{tot}} = 46,695 \text{ }^\circ\text{C}$

4 – Indutor ressonante

Núcleo:

Indutância de dispersão do transformador..... $L_{\text{disp}} = 4 \mu\text{H}$

Indutância ressonante..... $L_r = \frac{\Delta D \cdot V_{\text{in}_{\text{min}}}}{4 \cdot F_s \cdot I_o \cdot n} - L_{\text{disp}} = 44,75 \mu\text{H}$

Parâmetros:

Densidade máxima de corrente..... $J_{L_{\text{Rmax}}} = 250 \text{ A/cm}^2$

Densidade máxima de fluxo magnético..... $B_{L_{\text{Rmax}}} = 80 \text{ mT}$

Fator de utilização da janela do núcleo..... $K_w = 0,7$

Permeabilidade do ar..... $\mu_o = 4 \cdot \pi \cdot 10^{-7} \text{ H/m}$

Considerando a corrente de pico no indutor ressonante como igual à corrente eficaz no mesmo e sendo esta igual à corrente eficaz no primário do transformador, tem-se:

Corrente eficaz no indutor..... $I_{L_{\text{Ref}}} = I_{L_{\text{Rp}}} = I_{p_{\text{ef}}} = 2,14 \text{ A}$

Cálculo do produto $A_e \cdot A_w$ $A_e A_w_{L_r} = \frac{L_r \cdot I_{L_{\text{Rp}}} \cdot I_{L_{\text{Ref}}}}{K_w \cdot J_{L_{\text{Rmax}}} \cdot B_{L_{\text{Rmax}}}} \cdot 10^4 = 0,147 \text{ cm}^4$

Núcleo escolhido: 2 núcleos EE-30/15/07 – 3C94 – PHILIPS

$A_{e_{L_r}}$ $2 \times 0,6 \text{ cm}^2$

$$A_{wLR} \dots\dots\dots 0,859 \text{ cm}^2$$

$$\text{Produto } A_e \cdot A_w \text{ real} \dots\dots\dots 1,031 \text{ cm}^4$$

Número de espiras:

$$\text{Número de espiras} \dots\dots\dots N_{LR} = \frac{L_r \cdot I_{LRef}}{A_{eLR} \cdot B} \cdot 10^4 = 7,26 \text{ espiras}$$

Número de espiras adotado: 8

O condutor escolhido é o mesmo adotado no enrolamento primário do transformador: 1 fio Litz (40 x 37 AWG)

Cálculo do entreferro:

$$\text{Entreferro} \dots\dots\dots l_g = \frac{N_{LR}^2 \cdot \mu_0 \cdot A_{eLR}}{L_r} \cdot 10^{-2} = 0,018 \text{ cm}$$

5 – Dimensionamento dos semicondutores

Interruptores comandados (S1 – S4):

$$\text{Máxima tensão de bloqueio} \dots\dots\dots V_{Smax} = V_{inMax} = 410 \text{ V}$$

$$\text{Corrente eficaz no interruptor} \dots\dots\dots I_{Sef} = \frac{I_{p_{ef}}}{\sqrt{2}} = 1,515 \text{ A}$$

Interruptor escolhido: IRFPS37N50A – International Rectifier

Características do Mosfet:

$$\text{Máxima tensão Dreno-Source} \dots\dots\dots V_{dsmax} = 500 \text{ V}$$

$$\text{Máxima corrente média} \dots\dots\dots I_{Smd} = 23 \text{ A @ } T_j = 100 \text{ }^\circ\text{C}$$

$$\text{Tempo de bloqueio} \dots\dots\dots t_r = 98 \text{ ns}$$

$$\text{Tempo de entrada em condução} \dots\dots\dots t_f = 80 \text{ ns}$$

$$\text{Resistência de condução} \dots\dots\dots R_{dson} = 0,26 \text{ } \Omega \text{ @ } T_j = 100 \text{ }^\circ\text{C}$$

$$\text{Resistência térmica (junção-cápsula)} \dots\dots\dots R_{thjS} = 0,28 \text{ }^\circ\text{C/W}$$

$$\text{Resistência térmica (cápsula-dissipador)} \dots\dots\dots R_{thcdS} = 0,24 \text{ }^\circ\text{C/W}$$

Diodos retificadores de saída:

$$\text{Máxima tensão de bloqueio} \dots\dots\dots V_{Dmax} = 2 \cdot n \cdot V_{inMax} = 175,7 \text{ V}$$

Corrente média no diodo..... $ID_{med} = \frac{I_o}{2} = 5 \text{ A}$

Diodo escolhido: MUR1560 – Motorola

Características do diodo:

Máxima tensão Catodo-Anodo..... $V_{cmax} = 500 \text{ V}$

Máxima corrente média..... $ID_{md} = 23 \text{ A @ } T_j = 100 \text{ }^\circ\text{C}$

Máxima queda de tensão..... $V_f = 1,1 \text{ V}$

Resistência térmica (junção-cápsula)..... $R_{thjD} = 2 \text{ }^\circ\text{C/W}$

Resistência térmica (cápsula-dissipador)..... $R_{thcdD} = 0,1 \text{ }^\circ\text{C/W}$

6 – Capacitor de bloqueio da componente CC

Admitindo:

Máxima variação de tensão..... $\Delta V_{cmax} = 0,04 \text{ Vin}_{min} = 15,6 \text{ V}$

Capacitor de bloqueio..... $C_b = \frac{n \cdot I_o}{2 \cdot F_s \cdot \Delta V_{cmax}} = 0,49 \text{ } \mu\text{F}$

Foi empregado: 3 mF / 100 V - Sprage

7 – Resistor de amortecimento

Máxima razão cíclica efetiva..... $Def_{max} = D_{max} - \Delta D = 0,8$

Resistor de amortecimento..... $R_b = \frac{V_{in_{max}}}{Def_{max} \cdot n \cdot I_o} = 239,17 \text{ } \Omega$

Foi empregado: $R_b = 220 \text{ W}$

Potência do resistor..... $P_{rb} = \frac{\Delta V_{cmax}^2}{R_b} = 1,1 \text{ W}$

8 – Filtro de saída

Indutor principal do filtro de saída:

Razão cíclica mínima..... $D_{min} = \frac{N_p}{N_s} \cdot \frac{(V_{o_{min}} + V_f)}{0,9 \cdot V_{in_{max}}} = 0,583$

Ondulação de corrente no indutor..... $\Delta I_{LO} = 20\% \cdot I_o = 2 \text{ A}$

Corrente eficaz no indutor de filtro..... $I_{LOef} = I_o = 10 \text{ A}$

Cálculo da indutância do filtro..... $L_o = \frac{(V_{o_{max}} + V_f) \cdot (1 - D_{min})}{2 \cdot F_s \cdot \Delta I_{LO}} = 45,5 \mu\text{H}$

Núcleo:

Densidade máxima de corrente..... $J_{LOmax} = 500 \text{ A/cm}^2$

Densidade máxima de fluxo magnético..... $B_{LOmax} = 450 \text{ mT}$

Fator de utilização da janela do núcleo..... $K_w = 0,7$

Permeabilidade do ar..... $\mu_o = 4 \cdot \pi \cdot 10^{-7} \text{ H/m}$

Cálculo do produto $A_e \cdot A_w$ $A_e A_{w_{LO}} = \frac{L_o \cdot \left(I_o + \frac{\Delta I_{LO}}{2} \right) \cdot I_{LOef}}{K_w \cdot J_{LOmax} \cdot B_{LOmax}} \cdot 10^4 = 0,318 \text{ cm}^4$

Núcleo escolhido: 2 núcleos EE-30/15/07 – 3C94 – PHILIPS

$A_{e_{LR}}$ $2 \times 0,6 \text{ cm}^2$

$A_{w_{LR}}$ $0,859 \text{ cm}^2$

Produto $A_e \cdot A_w$ real..... $1,031 \text{ cm}^4$

Número de espiras:

Número de espiras..... $N_{LO} = \frac{L_o \cdot I_{LOef}}{A_{e_{LO}} \cdot B_{LOmax}} \cdot 10^4 = 8,42 \text{ espiras}$

Número de espiras adotado: 9

Dimensionamento do condutor:

Corrente eficaz no indutor..... $I_{LOef} = I_o = 10 \text{ A}$

Seção do condutor..... $S_{LO} = \frac{I_{LOef}}{J_{LOmax}} = 20 \cdot 10^{-3} \text{ cm}^2$

Para melhor acomodar as espiras adotou-se: Fio 17AWG

Diâmetro de cobre..... $D_{\text{fio}_{17}} = 0,115 \text{ cm}$

Área de cobre..... $A_{\text{fio}_{17}} = 0,010379 \text{ cm}^2$

Diâmetro do fio com isolamento..... $D_{\text{fio}_{17_isol}} = 0,124 \text{ cm}$

Área do fio com isolamento..... $A_{\text{fio}_{17_isol}} = 0,012164 \text{ cm}^2$

Número de condutores em paralelo..... $F_{\text{paralelo}} = \frac{S_{LO}}{A_{\text{fio}_{17}}} \approx 2$

Cálculo do entreferro:

Entreferro..... $lg_{LO} = \frac{N_{LO}^2 \cdot \mu_0 \cdot Ae_{LO}}{L_0} \cdot 10^{-2} = 0,024 \text{ cm}$

Cálculo do capacitor principal do filtro de entrada:

Máxima ondulação de tensão..... $\Delta V_{CO} = 0,2 \text{ V}$

Máxima ondulação de corrente..... $\Delta I_{CO} = \Delta I_{LO} = 2 \text{ A}$

Cálculo da capacitância do filtro..... $C_0 = \frac{\Delta I_{CO}}{8 \cdot f_s \cdot \Delta V_{CO}} = 8,9 \mu \text{ F}$

Cálculo da resistência série equivalente..... $R_{se_{CO}} = \frac{\Delta V_{CO}}{\Delta I_{CO}} = 0,1 \Omega$

Capacitores utilizados: 2 capacitores SIEMENS B41826 – 220 mF / 63 V em paralelo.

Capacitância equivalente..... $C_0 = 440 \mu \text{ F}$

Resist. série equivalente por capacitor. $R_{se} = 0,9 \Omega$

Cálculo do filtro de saída complementar:

Para possibilitar uma filtragem mais rigorosa do sinal de saída e conseqüentemente atingir níveis aceitáveis de ruído psofométrico optou-se por utilizar um segundo filtro LC.

Frequência de ressonância..... $F_{0_{\text{comp}}} = 4 \text{ kHz}$

O capacitor escolhido tem o propósito de não interferir na ondulação da tensão de saída, para isto optou-se por um com valor mais elevado e de baixa resistência intrínseca.

Capacitância do filtro complementar..... SIEMENS B41857

$C_{0_{\text{comp}}} = 470 \mu \text{ F} / 63 \text{ V}$

$R_{se_{\text{comp}}} = 0,42 \Omega$

Indutância do filtro complementar..... $L_0 = \frac{1}{(4 \cdot \pi^2 \cdot F_{0_{\text{comp}}}^2 \cdot C_{0_{\text{comp}}})} = 3,37 \mu \text{ H}$

O núcleo escolhido foi do tipo cilíndrico e empregou-se o mesmo fio utilizado no filtro principal, fio 17 AWG.

A Fig. A1.1 apresenta o circuito de potência completo empregado no trabalho.

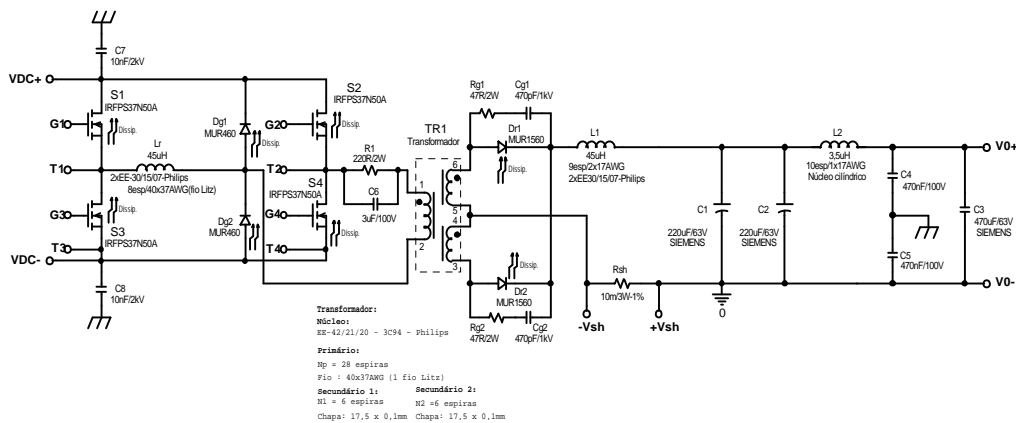


Fig. A1.1 – Diagrama do circuito de potência do Conversor FB-ZVS-PS empregado.

9 – Modelagem do conversor

A fim de analisar o comportamento do conversor em função da frequência são traçados os diagramas de Bode da sua função de transferência completa apresentada no Capítulo 2.

$$G(f) = \frac{V_o(f)}{D(f)} = \frac{n \cdot V_i}{\left(1 + \frac{4 \cdot n^2 \cdot L_r \cdot F_s}{R_o}\right)} \cdot (\text{FT do filtro de saída})$$

$$\text{Mod}G(f) = 20 \cdot \log(|G(f)|)$$

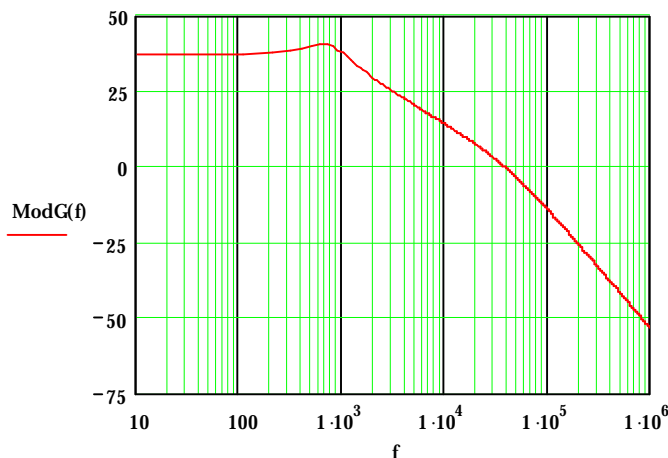


Fig. A1.2 – Módulo da função de transferência do conversor FB-ZVS-PS.

$$\text{Ang}G(f) = \frac{180}{\pi} \cdot \arg(G(f))$$

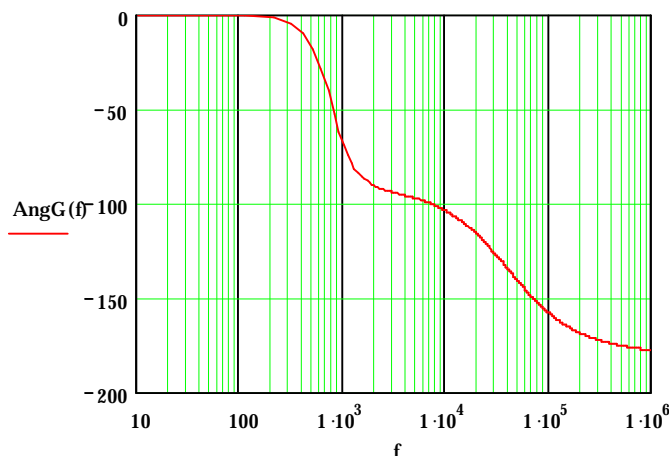


Fig. A1.3 – Fase da função de transferência do conversor FB-ZVS-PS.

Dados obtidos:

Frequência de cruzamento do conversor..... $F_{cG} = 38,4 \text{ kHz}$

Margem de fase..... $MF = 46,58^\circ$

Como se pode ver, este filtro pode não apresentar um bom resultado quanto ao nível de ruído psfométrico devido a sua frequência de ressonância estar posicionada próxima a 1 kHz, frequência de maior comprometimento (Anexo 2). Porém um dos objetivos deste trabalho é comparar os resultados com os obtidos a partir de uma fonte de alimentação com projeto idêntico já desenvolvida e testada no laboratório, logo não se alterará os parâmetros do filtro.

Além disso, pode-se perceber pelo posicionamento dos pólos e pela margem de fase que o sistema em malha aberta já é bastante estável o que facilita a ação de controle.

A1.2. Projeto dos circuitos de controle e comando

1 – Filtro “Anti-aliasing”

Obs: Ver Figura 5.3.

Frequência de corte..... $F_c = F_s / 2 = 70 \text{ kHz}$

Ganho estático..... $K_{DC} = 2$

Filtro escolhido: Tipo passa-baixa

Adotando:

$$R_{F1} = 15 \text{ k}\Omega$$

$$R_{F2} = 4,7 \text{ k}\Omega$$

Logo:

$$R_{F3} = \frac{R_{F2}}{K_{DC} - 1} = 4,7 \text{ k}\Omega$$

$$C_{F1} = \frac{1}{2 \cdot \pi \cdot Fc \cdot R_{F1}} = 151,6 \text{ pF}$$

Análise da característica do filtro:

$$FT_{\text{ALIAS}}(f) = \frac{\left(1 + \frac{R_{F2}}{R_{F3}}\right)}{\left(\frac{R_{F2}}{R_{F3}}\right)} \cdot \frac{1}{(1 + s(f) \cdot R_{F1} \cdot C_{F1})}$$

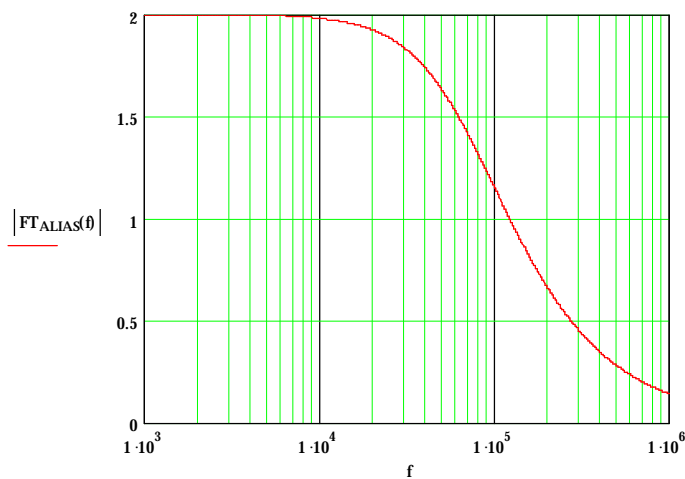


Fig. A1.4 – Módulo da função de transferência do filtro “anti-aliasing”.

$$\text{Ang}F_A(f) = \frac{180}{\pi} \cdot \arg(FT_{\text{ALIAS}}(f))$$

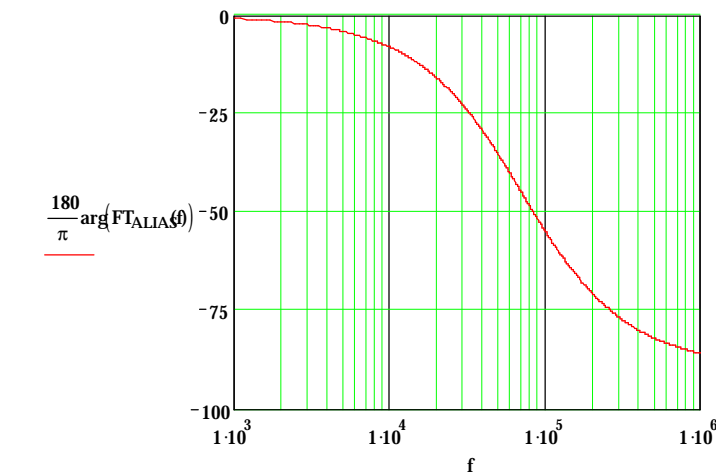


Fig. A1.5 – Fase da função de transferência do filtro “anti-aliasing”.

A seguir é apresentado o diagrama do circuito composto pelo sensor da tensão de saída, responsável por adequar a magnitude deste sinal e filtrar parte do ruído sempre presente, e pelo filtro “anti-aliasing”.

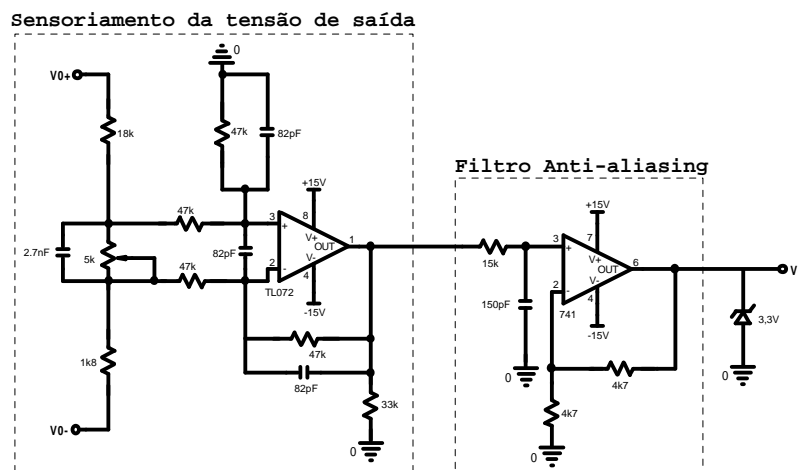


Fig. A1.6 – Diagrama dos circuitos de adequação do sinal a ser amostrado.

2 – Circuito “buffer” para acionamento

Devido à baixa capacidade de corrente do processador digital é necessária a utilização de um circuito “buffer” capaz de comandar os transistores do circuito de “drive”. Para isto foi utilizado o integrado não-inversor SN7404. Os resistores conectados às portas de entrada foram dimensionados para uma corrente de aproximadamente 30 mA para uma tensão de alimentação de 5 V.

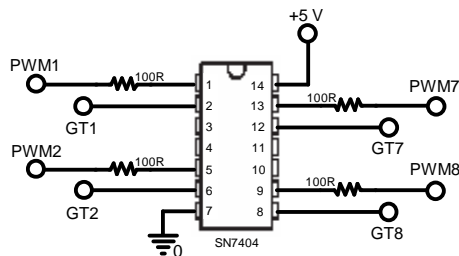


Fig. A1.7 – Circuito “buffer”.

3- Circuito de “drive”

Para que o acionamento dos interruptores do conversor em ponte seja realizado de maneira adequada, foi utilizado o circuito de “drive” apresentado na Fig. A1.8. Desta forma garante-se não só o acionamento com maior capacidade de corrente como também o isolamento dos comandos.

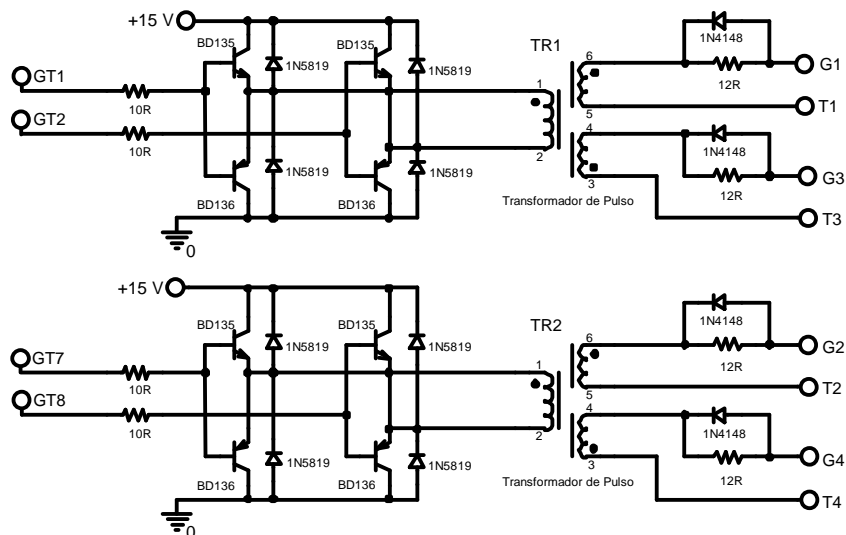


Fig. A1.8 – Circuito de comando isolado (“Drive”).

Núcleo dos transformadores de pulso TR₁, TR₂ : Thornton Toroidal IP-12

4 – Kit de desenvolvimento TMS320LF2407 DSK – Spectrum Digital

Como já mencionado no Capítulo 3, foi empregado neste trabalho o kit de desenvolvimento da Spectrum Digital TMS320LF2407 DSK com o objetivo de facilitar o andamento do trabalho. A seguir é apresentada uma visão da placa de circuito impresso e suas ligações com os outros pontos do circuito.

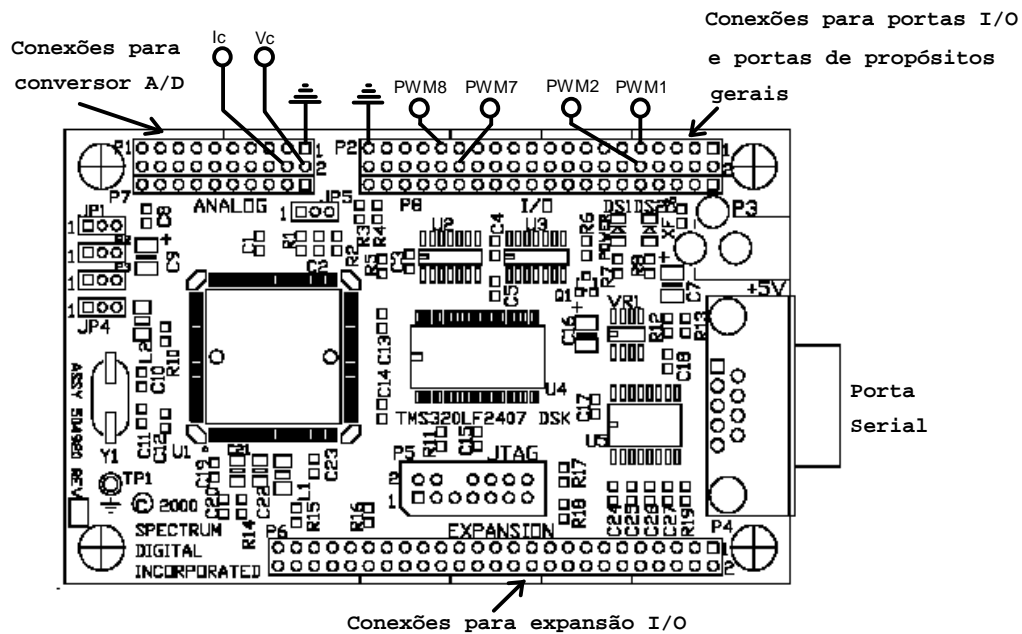


Fig. A1.9 - TMS320LF2407 DSK.

Anexo 2

Caracterização do Ruído Psofométrico

Pode-se definir o ruído psométrico como sendo a ondulação da tensão, fornecida pelas fontes de alimentação dos sistemas de telefonia, que ao fluir através da rede pode causar um nível de ruído na conversa telefônica.

Isto é possível devido ao sinal de comunicação e o sinal de alimentação utilizarem o mesmo meio físico. A distinção entre ambos é realizada no próprio aparelho telefônico através de um isolador popularmente chamado de híbrida. Como o sinal de alimentação idealmente é contínuo, a híbrida se comporta como um filtro capacitivo bloqueador de componente CC. Porém com o avanço das fontes chaveadas são cada vez mais presentes ruídos em diversas frequências no sinal de alimentação. Ruídos situados na faixa de frequência de 20 Hz a 20 kHz são audíveis, mas devido a banda de passagem do canal telefônico as frequências preponderantes para a determinação do ruído psométrico se encontram entre 10 Hz e 6 kHz.

A ITU (International Telecommunication Union), entidade responsável pela indicação de regras e padrões para o sistema de telefonia, estudou o fenômeno do ruído psométrico e o normatizou através de uma curva de ponderação baseada em curvas médias de audição. Desta forma, as frequências que a maioria das pessoas ouvem com melhor nitidez (aproximadamente 1 kHz) devem ser mais atenuadas pelas fontes de alimentação, bem como as frequências próximas dos limites da banda de passagem só causarão interferência se a ondulação for elevada.

Apesar das fontes de alimentação possuírem um filtro passa-baixa na saída (em geral um filtro LC), às vezes a atenuação não é suficiente para minimizar o ruído a ponto de mantê-lo dentro dos limites da norma estabelecida. Logo, como tratar a consequência às vezes não é suficiente, é importante conhecer as possíveis causas do ruído psométrico para tentar combatê-las. Pode-se citar como possíveis causas para os problemas de ruído psométrico:

- Ø Dificuldade da malha de controle de corrigir a ondulação de 120 Hz provocada pelo estágio de correção de fator de potência.
- Ø “Jittering”.
- Ø Problemas com a malha de terra.
- Ø Freqüência de batimento.

O fenômeno de “jittering” se caracteriza pelo efeito sobre a ondulação na tensão de saída causada pela variação de razão cíclica. Caso o sinal de controle esteja submetido a um meio de muita interferência ele pode sofrer variações e conseqüentemente atuar diretamente sobre a razão cíclica empregada. Com a utilização de uma técnica digital pode-se minimizar este efeito, pois, como apresentado neste trabalho, um dos principais problemas dos integrados tipo “Phase-Shift Resonant Controllers” é a susceptibilidade à variações no sinal de controle. Já a freqüência de batimento é perceptível quando conversores operando em cascata e em freqüências diferentes não têm seus sistemas de comando sincronizados. Desta forma, os efeitos dos ruídos de comutação podem se somar constituindo um sinal de baixa freqüência que caracteriza o batimento. A utilização de técnicas digitais aplicadas a todos os conversores de uma fonte de alimentação também pode ser muito útil para minimizar os efeitos do batimento, devido à facilidade de sincronização dos comandos.

A2.1. Psfômetro

Para entender melhor como dimensionar o ruído psfométrico foi necessário estudar as normas referentes a este e também ao psfômetro.

O psfômetro é um aparelho capaz de medir o ruído psfométrico. Seu funcionamento é regulamentado pela recomendação O.41 da ITU-T [9]. Através de filtros ponderados (“weighting filters”) o psfômetro dá os devidos pesos às freqüências encontradas no sinal medido. A partir disto pode-se medir a potência do sinal e, então, determinar o seu valor em dBm. dBm é uma medida de ganho em dB, mas recebe esta nomenclatura por seu valor de referência ser 1mW.

A curva que descreve o comportamento dos filtros ponderados em relação à freqüência do sinal medido é apresentada na Fig. A2.1 a partir dos dados da tabela A2.1.

Tab. A2.1 – Coeficientes de ponderação do psofômetro.

Frequência (Hz)	Ponderação (dB)	Tolerância (+/- dB)
16,66	-85	0
50	-63	2
100	-41	2
200	-21	2
300	-10,6	1
400	-6,3	1
500	-3,6	1
600	-2	1
700	-0,9	1
800	0	0
900	0,6	1
1000	1	1
1200	0	1
1400	-0,9	1
1600	-1,7	1
1800	-2,4	1
2000	-3	1
2500	-4,2	1
3000	-5,6	1
3500	-8,5	2
4000	-15	3
4500	-25	3
5000	-36	3
6000	-43	0

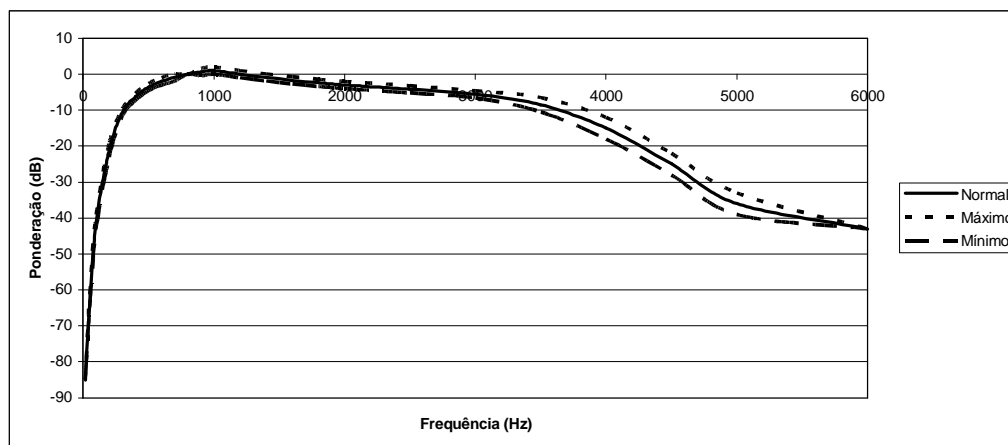


Fig. A2.1 – Curva de atenuação do psofômetro.

A medida em dBm fornecida pelo psofômetro é definida matematicamente em [18 – Anexo A].

Como mencionado anteriormente, dBm é uma relação de potência, mas também pode ser vista como uma relação de tensão já que o psfômetro possui impedância interna e o sinal de tensão aplicado a esta impedância fornecerá a potência medida.

$$\text{Leitura} = 10 \cdot \log\left(\frac{P_p}{P_{\text{ref}}}\right) \quad (\text{Eq. A2.1})$$

Considerando que o psfômetro possui uma resistência interna de 600Ω (padrão) e a potência de referência é igual a 1 mW pode-se definir a tensão eficaz que resultará neste valor de potência:

$$V_{\text{sinal}} = \sqrt{1 \cdot 10^{-3} \cdot 600} = 774,597 \text{ mV} = 775 \text{ mV} \quad (\text{Eq. A2.2})$$

Pode-se definir a leitura do psfômetro para o caso de um sinal com apenas uma componente fundamental como:

$$\text{Leitura} = 20 \cdot \log\left(\frac{V_{\text{sinal}}}{V_{\text{ref}}}\right) = 20 \cdot \log\left(\frac{V_{\text{sinal}}}{775 \cdot 10^{-3}}\right) \quad (\text{Eq. A2.3})$$

Dois detalhes importantes a serem lembrados neste momento são que as medidas em dBm e em dB serão iguais apenas para os casos onde a impedância interna do psfômetro é igual a 600Ω e que V_{sinal} é o resultado da tensão aplicada ao psfômetro após a filtragem ponderada.

Como o psfômetro é calibrado para fornecer a medida de 0 dBm a um sinal com potência igual a 1 mW na frequência de 800 Hz , logo, a partir de Eq. A2.3 pode-se definir o sinal de tensão a partir da leitura do psfômetro. Porém, isto pode ser feito se o sinal apresentar uma componente harmônica apenas. Se o sinal é composto de diversas frequências o adequado é definir a potência do sinal a partir da Eq. A2.4 definida em [18-Anexo A].

$$P_p = \frac{1}{F_2 - F_1} \cdot \int_{F_1}^{F_2} \frac{V^2(f)}{0,001 \cdot |Z_n(F_0)|} \cdot 10^{W(f)/10} \cdot df \quad (\text{Eq. A2.4})$$

Onde:

P_p = Potência psfométrica (mW);

F_1 = 16,66 Hz;

F_2 = 6000 Hz;

$Z_n (F_0)$ = 600 Ω ;

$V (f)$ = Tensão harmônica / $\sqrt{\text{Hz}}$;

$W (f)$ = Função que descreve a ponderação do psfômetro;

A partir do resultado obtido da Eq. A2.4 pode-se aplicar a Eq. A2.1 e encontrar a medida em dBm que dimensiona o ruído psfométrico.

Referências Bibliográficas

[1] VIEIRA, José L. de F. *Concepção, Análise e Projeto de Sistemas de Alimentação em Corrente Contínua de Alto Desempenho com Altas Freqüências e Potência*. Florianópolis, 1993. Tese (Doutorado em Engenharia Elétrica) – INEP-Instituto de Eletrônica de Potência, Programa de Pós-graduação em Engenharia Elétrica, Centro Tecnológico, Universidade Federal de Santa Catarina.

[2] HELDWEIN, Marcelo L. *Unidade Trifásica de Alta Potência e Alto Desempenho para Aplicações em Centrais de Telecomunicações*. Florianópolis, 1999. Dissertação (Mestrado em Engenharia Elétrica) – INEP-Instituto de Eletrônica de Potência, Programa de Pós-graduação em Engenharia Elétrica, Centro Tecnológico, Universidade Federal de Santa Catarina.

[3] ALVES, Anderson. *Estudo, Projeto e Implementação de Unidades Retificadoras de -48V / 10A para Telecomunicações Utilizando Circuitos de Supervisão Microcontrolados*. Florianópolis, 2002. Dissertação (Mestrado em Engenharia Elétrica) – INEP-Instituto de Eletrônica de Potência, Programa de Pós-graduação em Engenharia Elétrica, Centro Tecnológico, Universidade Federal de Santa Catarina.

[4] GAIDZINSKI, Paulo R. *Unidade Retificadora de Alta Performance, 1500W – 25A, para Telecomunicações*. Florianópolis, 1993. Dissertação (Mestrado em Engenharia Elétrica) – INEP-Instituto de Eletrônica de Potência, Programa de Pós-graduação em Engenharia Elétrica, Centro Tecnológico, Universidade Federal de Santa Catarina.

[5] OLIVEIRA, Sérgio V. G. *Otimização de Projeto de Fontes de Alimentação para Centrais Telefônicas*. Florianópolis, 2001. Dissertação (Mestrado em Engenharia Elétrica) – INEP-Instituto de Eletrônica de Potência, Programa de Pós-graduação em Engenharia Elétrica, Centro Tecnológico, Universidade Federal de Santa Catarina.

[6] REDL. R. ; SOKAL, N. O. ; BALOGH, L. A Novel Soft-Switching Full-Bridge DC/DC Converter: Analysis, Design Considerations and Experimental Results at 1,5 kW 100 kHz. In: 21ST ANNUAL IEEE POWER ELECTRONICS SPECIALISTS CONFERENCE

– PESC'90 (Junho, 1990 : Texas : EUA). *Proceedings*. Vol. 1. P. 162 – 172. IEEE Service Center, Piscataway, NJ, 1990.

[7] FONT, Carlos H. I. *Grampeamento Ativo para Estágios Retificadores de Saída de Conversores CC-CC Isolados*. Florianópolis, 2003. Dissertação (Mestrado em Engenharia Elétrica) – INEP-Instituto de Eletrônica de Potência, Programa de Pós-graduação em Engenharia Elétrica, Centro Tecnológico, Universidade Federal de Santa Catarina.

[8] TELEBRÁS. *Especificações Gerais de Unidades Retificadoras Chaveadas em Alta Frequência*. Sistema de Documentação Telebrás (Prática telebrás SDT 240-510 723), série engenharia de 01/12/1997.

[9] ITU-T RECOMMENDATION. *Psophometer for Use on Telephone-Type Circuits*, Rec. O41. 1994.

[10] SOUZA, Alexandre F. de. *Retificadores Monofásicos de Alto Fator de Potência com Reduzidas Perdas de Condução e Comutação*. Florianópolis, 1998. Tese (Doutorado em Engenharia Elétrica) – INEP-Instituto de Eletrônica de Potência, Programa de Pós-graduação em Engenharia Elétrica, Centro Tecnológico, Universidade Federal de Santa Catarina.

[11] TOMASELLI, Luís C. *Controle de um Pré-Regulador com Alto Fator de Potência Utilizando o Controlador DSP TMS320F243*. Florianópolis, 2001. Dissertação (Mestrado em Engenharia Elétrica) – INEP-Instituto de Eletrônica de Potência, Programa de Pós-graduação em Engenharia Elétrica, Centro Tecnológico, Universidade Federal de Santa Catarina.

[12] KIM, S. ; ENJETI, P. Digital Control of Switching Power Supply – Power Factor Correction Stage. Publicação interna. Power Electronics and Power Quality Laboratory. Texas A&M University. USA.

[13] FUNG, Y.; TZOU, Y. DSP Controls 48V Supply with Battery Backup and PFC. *Power Electronics Technology*, 2001.

[14] BARBI, I. ; SOUZA, F. P. de. *Conversores CC-CC Isolados de Alta Frequência com Comutação Suave*. Edição dos autores. Florianópolis. 1999.

- [15] VORPÉRIAN, V. *Simplified Analysis of PWM Converters Using the Model of PWM Switch – Part 1: Continuous Conduction Mode (CCM)*. VPEC SEMINAR TUTORIALS. P. 87 – 96. Virginia, EUA, 1989.
- [16] FRANKLIN, G. F. ; POWELL, J. D. ; EMAMI-NAEINI, A. *Feedback Control of Dynamic Systems*. 3ª. ed. Stanford, USA: Addison-Wesley, 1994.
- [17] PHILLIPS. *Data Sheet: Núcleos Phillips*. Disponível em: <http://www.phillips.com>.
- [18] ITU-T RECOMMENDATION. *Definitions Used in Recommendations on General Characteristics of International Telephone Connections and Circuits*, Rec. G100. 1993.
- [19] CARVALHO, R. T. ; SOUZA, A. F. Fonte de Alimentação para Telecomunicações Controlada por Processador Digital de Sinais (DSP). In: Seminário de Eletrônica de Potência – SEP (Set. 2002 : UFSC, Florianópolis). *Anais*. P. 25 – 29. Florianópolis, 2002.
- [20] THOTTUVELIL, V.J. & BROOKE, J.C. A New Digital Control Architecture for Battery Plants. In: INTERNATIONAL TELECOMMUNICATIONS ENERGY CONFERENCE - INTELEC'99 (1999). *Proceedings*.
- [21] ERICKSON, R. W. *Fundamentals of Power Electronics*. 2ª. ed. NY, USA: Chapman&Hall, 1997.
- [22] JÚNIOR, A. P. *Amplificadores Operacionais e Filtros Ativos: Teoria, Projetos, Aplicações e Laboratório*. 3ª. ed. São Paulo. McGraw-Hill, 1988.
- [23] HELDWEIN, M. L. ; SOUZA, A. F. ; BARBI, I. A Primary Side Clamping Circuit Applied to the ZVS-PWM Asymmetrical Half-Bridge Converter. In: 31ST ANNUAL IEEE POWER ELECTRONICS SPECIALISTS CONFERENCE – PESC'00 (Junho, 2000 : Galway : Irlanda). *Proceedings*. Vol. 1, P. 199 – 204. IEEE Service Center, Piscataway, NJ, 2000.
- [24] BARBI, I. ; MARTINS, D. C. *Princípios Básicos de Fontes Chaveadas*. Vol. 2.
- [25] BARBI, I. ; MARTINS, D. C. *Eletrônica de Potência: Conversores CC-CC Não-Isolados*. Edição dos Autores. Florianópolis, 2000.

- [26] FISHER, R. A.; NGO, K. D. T. & KUO, M. H. A 500kHz 250W DC-DC Converter with Multiple Output Controlled by Phase-Shift PWM and Magnetic Amplifiers. HIGH FREQUENCY POWER CONVERSION CONFERENCE (1998). *Proceedings*, P. 100 – 110.
- [27] ANDREYCAK, III. *Phase Shifted Zero Voltage Transition, Design Considerations and UC3875 PWM Controller*. Unitrode – Texas Instruments. Disponível em: <http://www-s.ti.com/sc/psheets/slua107/slua107.pdf>.
- [28] ANDREYCAK, III. *Designing a Phase Shifted Zero Voltage Transition (ZVT) Power Converter*. In: Unitrode switching regulated power supply design seminar Manual (SEM-900, 1993) p. 3.1.
- [29] BALOGH, L. *The New UC3879 Phase-Shifted PWM Controller Simplifies the Design of Zero Voltage Transition Full-Bridge Converters*. Unitrode – Texas Instruments. Disponível em: <http://www.unitrode.com>.
- [30] TEXAS INSTRUMENTS. *TMS320F/C24x DSP Controllers - Reference Guide. CPU and Instruction Set*. Literature number – SPRU160C. 1999.
- [31] TEXAS INSTRUMENTS. *TMS320LF/LC240xA DSP Controllers - Reference Guide. System and Peripherals*. Literature number – SPRU357B. 2001.
- [32] UNITRODE. *UC3875/6/7/8 Phase Shift Resonant Controller*. Unitrode – Texas Instruments. Disponível em: <http://www-s.ti.com/sc/ds/uc3875.pdf>.
- [33] UNITRODE. *UC3879 Phase Shift Resonant Controller*. Unitrode – Texas Instruments. Disponível em: <http://www-s.ti.com/sc/ds/uc3879.pdf>.
- [34] TEXAS INSTRUMENTS. *Data Sheet: SN7407 – Non Inverter Buffer*. Disponível em: <http://www.ti.com>.
- [35] MAGNETICS. *Kool Mm² Power Cores*. Disponível em: <http://www/mag-inc.com>.
- [36] SEMIKRON. *Data Sheet: Ponte Retificadora*. Disponível em: <http://www.semikron.com.br>.

- [37] INTERNATIONAL RECTIFIER. *Data Sheet: Mosfets*. Disponível em: <http://www.irf.com>.
- [38] MOTOROLA. *Data Book: Rectifier Revised Data*. Disponível em: <http://www.motorola.com>.
- [39] SIEMENS. *Data Sheet: Capacitors*. Disponível em: <http://www.icotron.com>.
- [40] ISABELLENHÜTTE. *Data Sheet: Resistores Shunt*.
- [41] GROSSE, Alexandre de S. *Controle de um Pré-Regulador com Alto Fator de Potência Utilizando Microcontrolador PIC*. Florianópolis, 1999. Dissertação (Mestrado em Engenharia Elétrica) – INEP-Instituto de Eletrônica de Potência, Programa de Pós-graduação em Engenharia Elétrica, Centro Tecnológico, Universidade Federal de Santa Catarina.
- [42] SPECTRUM DIGITAL. *TMS320LF2407 DSK – Technical Reference*. 2000. <http://www.spectrumdigital.com>.