

**SAMIR AHMAD MUSSA**

**CONTROLE DE UM CONVERSOR CA-CC  
TRIFÁSICO PWM DE TRÊS NÍVEIS COM FATOR  
DE POTÊNCIA UNITÁRIO UTILIZANDO DSP**

**FLORIANÓPOLIS**

**2003**

**UNIVERSIDADE FEDERAL DE SANTA CATARINA**  
**PROGRAMA DE PÓS-GRADUAÇÃO**  
**EM ENGENHARIA ELÉTRICA**

**CONTROLE DE UM CONVERSOR CA-CC**  
**TRIFÁSICO PWM DE TRÊS NÍVEIS COM FATOR**  
**DE POTÊNCIA UNITÁRIO UTILIZANDO DSP**

Tese submetida à  
Universidade Federal de Santa Catarina  
como parte dos requisitos para a obtenção do grau de  
Doutor em Engenharia Elétrica

**SAMIR AHMAD MUSSA**

Florianópolis, Dezembro de 2003.

# CONTROLE DE UM CONVERSOR CA-CC TRIFÁSICO PWM DE TRÊS NÍVEIS COM FATOR DE POTÊNCIA UNITÁRIO UTILIZANDO DSP

Samir Ahmad Mussa

‘Esta Tese foi julgada adequada para obtenção do Título de Doutor em Engenharia Elétrica, Área de Concentração em **Sistemas de Energia**, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’

---

Prof. Hari Bruno Mohr, Dr.

Orientador

---

Prof. Jefferson Luiz Brum Marques, Ph.D.

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

---

Prof. Hari Bruno Mohr, Dr.

Presidente

---

Prof. Antônio Augusto Rodrigues Coelho, Dr.

Co-orientador

---

Prof. Walter Issamu Suemitsu, Dr.

---

Prof. Domingos Sávio Lyrio Simonetti, Dr.

---

Prof. Daniel Juan Pagano, Dr.

---

Prof. Ivo Barbi, Dr. Ing.

*“Aquele que tem ciência e arte, tem também religião;  
O que não tem nenhuma delas, que tenha religião!”*

*“Wer Wissenschaft und Kunst besitzt, hat auch Religion;  
Wer jene beide nicht besitzt, der habe Religion!”*

Goethe, *Zahme Xenien IX*, em citação na obra de Sigmund Freud Volume XXI  
(O MAL-ESTAR NA CIVILIZAÇÃO)

À Dora Maria, paciência, apoio, amizade, companheirismo, atenção e pelo tempo infinitamente grande que se dedicou e apostou no meu sucesso, sem  
você não teria dado tão certo.

Aos meus filhos Junior e Kalil.

Aos meus pais Ahmad e Alba.

Aos meus irmãos Samira, Raida, Carim e Taicir (in memorium).

## AGRADECIMENTOS

Ao Professor Hari Bruno Mohr, pela orientação, pelo respeito, pela simplicidade e acessibilidade que sempre demonstrou nesses anos de convivência e trabalho. Pela constante troca de idéias e discussões nas nossas áreas de afinidade e interesse. Foi um privilegio ter compartilhado esses anos todos de estudos e tantos outros momentos.

Ao Professor Ivo Barbi pela oportunidade de aprender e presenciar a genial simplicidade com que transmite a complexidade dos conhecimentos da área. Pelas sugestões e gentileza com que sempre me recebeu nas reuniões encaminhadas a longo do tempo em que estive no INEP, decisivamente esclarecedora.

Aos Professores componentes da Banca Examinadora da Tese de Doutorado, Antônio Augusto Rodrigues Coelho, Daniel Juan Pagano, Domingos Sávio Lyrio Simonetti e Walter Issamu Suemitsu, pelo tempo dedicado à leitura, pelas contribuições, tudo isso culminando em valiosas sugestões com vistas a melhoraria deste trabalho.

Aos Professores do INEP, Alexandre Ferrari de Sousa, Arnaldo José Perin, Denizar Cruz Martins, Ênio Valmor Kassick e João Carlos dos Santos Fagundes, pelos ensinamentos compartilhados, pela amizade e pelos momentos de descontração e troca de idéias.

Ao colega e amigo Luis Cândido Tomaselli, pelo apoio, coleguismo, amizade e ensinamentos. Sempre, prontamente me ajudando em todos os momentos em que necessitei, e foram muitos, com sua contribuição a largos passos pude conduzir este trabalho, receba minha mais alta estima e admiração.

Ao bolsista Rodrigo Cunha da Silva, competente, responsável, um excelente profissional. Foi muita satisfação ter tido a oportunidade de tê-lo à frente de várias tarefas nesse trabalho.

Ao bolsista Cesar Alberto Penz, pelos trabalhos realizados com presteza e competência no decorrer das etapas iniciais do meu Doutorado.

Ao Eng. Marcos Vinicius Giacomelli, pela disposição e bom humor em suportar às varias solicitações de correções dessa Tese.

Aos grandes amigos *pervões*, José Augusto, Kefaz, Sérgio e Yales, pela amizade, companheirismo, motivação, lazer, sugestões e vários encontros culturais que compartilhamos ao longo dos anos.

Aos meus colegas e amigos do INEP: Clóvis Antônio Petry, Everton Luiz Ferret, Marcello Mezaroba, Eduardo Félix Ribeiro Romaneli, Enio Roberto Ribeiro, Falcondes José Mendes de Seixas, Rogers Demonti, Roger Gules, Demercil de Souza Oliveira Júnior, Domingo Antonio Ruiz Caballero, René Pastor Torrico Bascopé, Grover Victor Torrico Bascopé, Marcelo Lobo, Ivan Eidt Colling, Anderson Soares, Eduardo Inácio Pereira, Ricardo Luiz Alves, Devis Borgonovo, Carlos Henrique Illa Font, Wail Metzker Pastorello Filho, Denise Gerardi, Fabiana Pöttker, Cícero Marcos Tavares Cruz, Fabiana da Silveira Cavalcant, Jair Urbanetz Junior, Anis César Chehab Neto, Alessandro Luiz Batschauer, Mauro Tavares Peraça, Dirk Lindeke, Luiz Cláudio Souza dos Santos, Claudenei Simão, Robson Luiz Cardoso e tantos outros, pelos vários momentos de ajuda, trocas de idéias e informações.

A todos os amigos e colegas que tive a oportunidade de conhecer, com certeza de alguma maneira contribuíram para o sucesso desse trabalho.

Aos técnicos do INEP, Luis Marcellus Coelho, Antônio Luis Pacheco e Rafael Carpes, sempre colaborando e ajudando a tornar concreto, digo, circuito impresso, as nossa idéias de um dia ser Doutor.

Às amigas Dulcemar e Patrícia, prestativas, sorridentes e eficientes.

À UNIJUÍ pelo apoio financeiro e aos meus colegas e amigos de trabalho.

Nesses anos de trabalho, alegrias, dedicação, coleguismo, lazer, descobertas, conquistas, dificuldades, muitos foram aqueles que apostaram e compartilharam com o intuito de contribuir para o êxito do meu trabalho; a todos esses agradeço sinceramente.

Resumo da Tese apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Doutor em Engenharia Elétrica.

# **CONTROLE DE UM CONVERSOR CA-CC TRIFÁSICO PWM DE TRÊS NÍVEIS COM FATOR DE POTÊNCIA UNITÁRIO UTILIZANDO DSP**

**Samir Ahmad Mussa**

Dezembro/2003

Orientador: Hari Bruno Mohr, Dr.

Co-orientador: Antônio Augusto Rodrigues Coelho, Dr.

Área de Concentração: Sistemas de Energia.

Palavras-chave: Fontes de alimentação, PFC, fator de potência, conversores CA - CC, DSP.

Número de Páginas: 271.

**RESUMO:** O presente trabalho aborda o desenvolvimento e a implementação do controle de um retificador pré-regulador trifásico PWM de três níveis, com aplicação em telecomunicações. O controle foi efetivado por meio da técnica de controle digital, mediante o uso de Processador Digital de Sinais (DSP - *Digital Signal Processor*), visando obter um conversor CA-CC trifásico com fator de potência unitário e tensões de saída reguladas e equilibradas. Para atingir os objetivos propostos, buscaram-se informações e soluções pertinentes à operação e ao controle adequado do conversor, que envolveram o estudo dos seguintes temas: técnicas e estratégias de controle digital, ambientes computacionais e ferramentas para o desenvolvimento com DSP, malhas de controle para regulação e equilíbrio das tensões nas saídas e malhas de controle para imposição da corrente de entrada senoidal. A proposta teve como foco a utilização do DSP no controle digital do conversor CA-CC. Ao longo deste trabalho são mostrados exemplos de projetos e resultados de simulações, que exibem o comportamento do conversor. São apresentados também os resultados dos principais algoritmos desenvolvidos e implementados com vistas à aplicação em conversores CA-CC trifásicos. Por fim, trata-se dos protótipos construídos, com os quais obtiveram-se vários resultados experimentais que demonstraram a adequada operação dos conversores controlados por DSP.

Abstract of Thesis presented to UFSC as a partial fulfillment of the requirements for the degree of Doctor in Electrical Engineering.

# **CONTROL OF A THREE-PHASE THREE-LEVEL UNITY POWER FACTOR PWM AC-DC CONVERTER USING DSP**

**Samir Ahmad Mussa**

December/2003

Advisor: Hari Bruno Mohr, Dr.

Co-Advisor: Antônio Augusto Rodrigues Coelho, Dr.

Area of Concentration: Energy Systems.

Keywords: Power supplies, PFC, power factor, AC-DC converters, DSP.

Number of Pages: 271.

**ABSTRACT:** This work presents the development and implementation of a three-phase three-level PWM AC-DC converter with application in telecommunications. Digital control technique through Digital Signal Processor (DSP) was used in order to obtain a three-phase AC-DC converter with unity power factor and regulated and balanced output voltages. To reach the proposed goal there was need to search for enough information and theoretical solutions related to the converter operation and its appropriate control, what was accomplished by studying: techniques and strategies of digital control, tools of development using DSP, control for regulation and balance of the output voltages and control for imposition of input sinusoidal current. The study was focused on the use of DSP in digital control of an AC-DC converter. Sample projects and simulation results showing converter behavior are presented along with the main algorithms developed and implemented towards application in AC-DC converters projecting. Finally, prototype-based experimental results demonstrating the appropriate operation of DSP controlled converters are exhibited.

# SUMÁRIO

LISTA DE SÍMBOLOS _____	xiii
-------------------------	------

## CAPÍTULO 1

### INTRODUÇÃO GERAL

1.1 INTRODUÇÃO _____	1
1.2 RETIFICADORES TRIFÁSICOS COM CORREÇÃO DE FATOR DE POTÊNCIA _____	3
1.3 USO DO DSP EM ELETRÔNICA DE POTÊNCIA _____	3
1.4 PROPOSTA DE TESE DE DOUTORADO _____	7
1.5 TOPOLOGIA DO RETIFICADOR TRIFÁSICO _____	10

## CAPÍTULO 2

### CONCEITOS BÁSICOS DE CONTROLE DIGITAL E DSP – ASPECTOS GERAIS

2.1 INTRODUÇÃO _____	14
2.2 PROJETO POR APROXIMAÇÃO _____	15
2.2.1 MAPEAMENTO DO SEMIPLANO ESQUERDO DO PLANO S NO PLANO Z _____	15
2.2.2 PROJETO BASEADO NA RESPOSTA EM FREQUÊNCIA (BODE) _____	18
2.3 SEGURADOR DE ORDEM ZERO (ZOH) _____	21
2.4 EFEITO DA AMOSTRAGEM _____	22
2.5 PROCESSADOR DIGITAL DE SINAL (DSP) _____	24
2.5.1 PONTO FIXO E PONTO FLUTUANTE _____	25
2.5.2 CRITÉRIOS DE ESCOLHA DO DSP _____	29
2.6 O DSP ADMC401 _____	34
2.6.1 DESCRIÇÃO GERAL _____	34
2.6.2 CONVERSÃO ANALÓGICO-DIGITAL (SISTEMA ADC) _____	36
2.6.3 CONTROLADOR PWM _____	38
2.7 O DSP ADMC331 _____	41
2.7.1 DESCRIÇÃO GERAL _____	41
2.7.2 ROM INTERNA _____	42
2.7.3 CONTROLADOR PWM TRIFÁSICO _____	44
2.7.4 SISTEMA ADC _____	45
2.8 O DSP TMS320LF2407A _____	48
2.8.1 CARACTERÍSTICAS GERAIS _____	49
2.8.2 ARQUITETURA BÁSICA _____	50
2.9 CONCLUSÃO _____	52

## **CAPÍTULO 3**

### **RETIFICADOR MONOFÁSICO DE TRÊS NÍVEIS**

3.1	INTRODUÇÃO	53
3.2	ETAPAS DE OPERAÇÃO	53
3.2.1	SEMICICLO POSITIVO DA TENSÃO DE ENTRADA	55
3.2.2	SEMICICLO NEGATIVO DA TENSÃO DE ENTRADA	56
3.3	ANÁLISE QUANTITATIVA DO CONVERSOR	59
3.3.1	ANÁLISE BÁSICA EM REGIME PERMANENTE	59
3.3.2	VARIAÇÃO DA RAZÃO CÍCLICA	60
3.3.3	ONDULAÇÃO DA CORRENTE DE ENTRADA	62
3.3.4	ONDULAÇÃO DA TENSÃO DE SAÍDA	67
3.3.5	ESFORÇOS NOS COMPONENTES SEMICONDUTORES	68
3.3.6	MODELO DO CONVERSOR	71
3.4	CONCLUSÃO	73

## **CAPÍTULO 4**

### **TÉCNICA DE CONTROLE DIGITAL DO RETIFICADOR MONOFÁSICO**

4.1	INTRODUÇÃO	74
4.2	ESTUDO DO CONTROLE POR VALORES MÉDIOS INSTANTÂNEOS	74
4.3	ESTUDO DA MALHA DE CORRENTE	76
4.3.1	PROJETO DO CONTROLADOR DE CORRENTE DO RETIFICADOR	78
4.3.2	PROJETO DO CONTROLADOR DIGITAL DE CORRENTE	84
4.4	ESTUDO DA MALHA DE TENSÃO	86
4.4.1	PROJETO DO CONTROLADOR DE TENSÃO	87
4.4.2	PROJETO DO CONTROLADOR DIGITAL DE TENSÃO	89
4.4.3	EQUAÇÕES A DIFERENÇAS DOS CONTROLADORES DIGITAIS DE TENSÃO E CORRENTE	92
4.5	RESULTADOS DE SIMULAÇÃO	93
4.6	CONCLUSÃO	102

## **CAPÍTULO 5**

### **IMPLEMENTAÇÃO DO PROTÓTIPO – RETIFICADOR MONOFÁSICO**

5.1	INTRODUÇÃO	103
5.2	CONTROLE DO CONVERSOR COM DSP	103
5.2.1	DESCRIÇÃO FUNCIONAL DO CONTROLE	104
5.3	PROGRAMA	106
5.4	CIRCUITOS	108

5.4.1	CIRCUITO DO CONVERSOR _____	108
5.4.2	CIRCUITO DE INTERFACE _____	109
5.4.3	CIRCUITO DE COMANDO _____	111
5.4.4	CIRCUITO DO CONTROLADOR DSP _____	112
5.5	RESULTADOS EXPERIMENTAIS _____	113
5.6	CONCLUSÃO _____	125

## **CAPÍTULO 6**

### **RETIFICADOR TRIFÁSICO DE TRÊS NÍVEIS**

6.1	INTRODUÇÃO _____	127
6.2	PRINCÍPIO BÁSICO DE OPERAÇÃO _____	127
6.3	ESTADOS TOPOLÓGICOS _____	129
6.4	FUNÇÕES DE TRANSFERÊNCIA DO CONVERSOR _____	134
6.5	CONCLUSÃO _____	136

## **CAPÍTULO 7**

### **TÉCNICA DE CONTROLE DIGITAL DO RETIFICADOR TRIFÁSICO DE TRÊS NÍVEIS**

7.1	INTRODUÇÃO _____	137
7.2	ESTRATÉGIA DE CONTROLE _____	137
7.3	ESTUDO DA MALHA DE CORRENTE _____	141
7.3.1	PROJETO NO PLANO W _____	142
7.3.2	PROJETO DO CONTROLADOR DE CORRENTE _____	148
7.4	ESTUDO DA MALHA DE TENSÃO DO BARRAMENTO _____	154
7.4.1	PROJETO DO CONTROLADOR DE TENSÃO _____	156
7.5	ESTUDO DA MALHA DE BALANCEAMENTO DA TENSÃO _____	159
7.6	RESULTADOS DE SIMULAÇÃO _____	160
7.6.1	SIMULAÇÃO DO CONVERSOR USANDO PSPICE _____	161
7.6.2	SINCRONISMO USANDO PLL _____	169
7.6.3	SIMULAÇÃO EMPREGANDO-SE O MATLAB _____	171
7.7	CONCLUSÃO _____	175

**CAPÍTULO 8**  
**IMPLEMENTAÇÃO DO PROTÓTIPO - RETIFICADOR TRIFÁSICO**

8.1	INTRODUÇÃO	177
8.2	CONTROLE DO CONVERSOR COM DSP	177
8.2.1	DESCRIÇÃO FUNCIONAL DO CONTROLE	178
8.3	PROGRAMAÇÃO	181
8.3.1	PRINCIPAIS SUB-ROTINAS	185
8.4	CIRCUITOS	197
8.4.1	CIRCUITO DO CONVERSOR	197
8.4.2	CIRCUITOS DE INTERFACE	198
8.4.3	CIRCUITOS DE COMANDO	202
8.4.4	CIRCUITO DO ADMC401	202
8.5	RESULTADOS EXPERIMENTAIS	203
8.5.1	CONVERSOR OPERANDO COM CARGAS EQUILIBRADAS	204
8.5.2	CONVERSOR OPERANDO COM CARGAS Desequilibradas	208
8.5.3	CONVERSOR OPERANDO SOB PERTURBAÇÃO DE CARGA	215
8.6	CONCLUSÃO	216
	<b>CONCLUSÕES GERAIS</b>	<b>218</b>
	<b>APÊNDICE A</b>	<b>223</b>
	<b>REFERÊNCIAS BIBLIOGRÁFICAS</b>	<b>267</b>

# LISTA DE SÍMBOLOS

## Símbolos adotados

Símbolo	Significado	Unidade
$\eta$	Rendimento	%
$\beta$	Relação entre a tensão de saída e a tensão de pico na entrada	
$\Delta I_L$	Variação de corrente no indutor	A
$\Delta I_{Lmax}$	Variação máxima da corrente no indutor	A
$\Delta V_0$	Variação da tensão de saída	V
$\omega_Z$	Localização do zero do controlador PI	rad/s
$C_0$	Capacitância equivalente de saída	F
$C_{1,2}$	Capacitores de saída do retificador	F
$C_i(s)$	Função de transferência do controlador de corrente no domínio de s	
$C_i(z)$	Função de transferência do controlador de corrente no domínio de z	
$C_v(s)$	Função de transferência do controlador de tensão no domínio de s	
D	Razão cíclica	
$D_{1,2,3,4,5,6}$	Diodos do estágio de entrada dos conversores CA-CC	
$D_B$	Diodo <i>boost</i>	
f	Frequência	Hz
$f_a$	Frequência de amostragem	Hz
$f_c$	Frequência de cruzamento por zero	Hz
$f_{CLKin}$	Frequência do sinal de clock de entrada no DSP	Hz
$f_r$	Frequência da rede	Hz
$f_s$	Frequência de comutação	Hz
$G_{A/D}$	Ganho do conversor analógico-digital	
$G_F(s)$	Função de transferência do filtro <i>antialiasing</i>	
$G_{FTMFi}$	Função de transferência de malha fechada da malha de corrente	
$G_i(s)$	Função de transferência da corrente do indutor pela razão cíclica no domínio de s	
$G_{i3\phi}(s)$	Função de transferência da corrente do indutor pela razão cíclica no domínio de s	
$G_{PWM}$	Ganho do gerador PWM	
$G_{si}$	Ganho do sensor de corrente	
$G_{sv}$	Ganho do sensor de tensão	
$G_v(s)$	Função de transferência da tensão de saída pela corrente do indutor no domínio de s	
$G_{v3\phi}(s)$	Função de transferência da tensão de saída pela corrente do indutor no domínio de s	
$H_V$	Função de transferência de malha fechada da malha de corrente	
$I_0$	Corrente no ponto central de conexão dos capacitores	A
$I_{DB}$	Corrente no diodo <i>boost</i>	A
$I_{Deff}$	Corrente eficaz no diodo	A

$I_{D_{med}}$	Corrente média no diodo	A
$I_{D_{medT}}$	Corrente média total no diodo	A
$I_{efmax}$	Corrente eficaz máxima	A
$I_{in}$	Corrente de entrada no conversor	A
$I_L$	Corrente no indutor de entrada	A
$I_{Pmax}$	Corrente de pico máxima	A
$I_{R,S,T}$	Correntes de entrada do retificador trifásico	A
$I_{refp}$	Corrente de pico de referência	A
$I_{rmed}$	Corrente média de referência	A
$I_{sefT}$	Corrente eficaz no interruptor	A
$I_{smed}$	Corrente média no interruptor	A
$I_{smedT}$	Corrente média total no interruptor	A
$K_i$	Ganho do controlador da malha de corrente	
$K_v$	Ganho do controlador da malha de tensão	
$L_R, L_S$ e $L_T$	Indutores de entrada do retificar trifásico	H
$P_0$	Potência de saída	W
$P_{in}$	Potência de entrada	W
$R_0$	Resistência de carga	$\Omega$
$S_1, S_2$ e $S_3$	Interruptores	
$S_{R1}$ e $S_{R2}$	Interruptores tipo IGBT	
$S_{S1}$ e $S_{S2}$	Interruptores tipo IGBT	
$S_{T1}$ e $S_{T2}$	Interruptores tipo IGBT	
$T_a$	Período de amostragem	s
$t_{CK}$	Metade do período do <i>clock</i> de entrada do ADMC401	s
$T_s$	Período de comutação	s
$V_0$	Tensão de saída	V
$V_{01}$ e $V_{02}$	Tensões de saída do conversor	V
$V_{10}, V_{20}$ e $V_{30}$	Tensões em relação ao ponto central do barramento de saída	V
$V_{in}$	Tensão de entrada	V
$V_P$	Tensão de pico	V
$V_R, V_S$ e $V_T$	Tensões de fase	V
$V_{ref}$	Tensão de referência	V

### Acrônimos e abreviaturas

Símbolo	Significado
A/D	Conversor analógico - digital
ADC0,1,...7	Registradores de dados do A/D
ADCIN00,...,15	Estradas analógicas multiplexadas do A/D
ADCXTRA	Registrador de dados extra
ADMC331	Tipo de componente DSP da Analog Devices
ADMC401	Tipo de componente DSP da Analog Devices
ADSP-2100	Tipo de componente DSP da Analog Devices

ADSP-2171	Tipo de componente DSP da Analog Devices
AH, AL	Par de sinais PWM de saída
ALU	Unidade de lógica e aritmética
ASHAN	Entrada do amplificador de <i>Sample-and-hold</i> A
AUX0,1	Saídas PWM auxiliar
BH, BL	Par de sinais PWM de saída
BSHAN	Entrada do amplificador de <i>Sample-and-hold</i> B
CA	Corrente alternada
CC	Corrente contínua
CCM	Modo de Condução Contínua ( <i>Continuous Conduction Mode</i> )
CH, CL	Par de sinais PWM de saída
D/A	Conversor Digital - Analógico
DSP	Processador Digital de Sinais ( <i>Digital Signal Processor</i> )
eZdsp™ LF240	Kit de desenvolvimento
FTLA <sub>i,v</sub>	Função de Transferência de Laço Aberto da malha de corrente ou tensão
IF1,IF2 e IF3	Conectores de interface (ADMC401 <i>processor board</i> )
IGBT	<i>Insulated Gate Bipolar Transistor</i>
INEP	Instituto de Eletrônica de Potência
LGR	Lugar geométrico das raízes
MAC	Unidade de multiplicação e acumulação
MIPS	Milhões de instruções por segundo
PLL	<i>Phase Locked Loop</i>
PWM	<i>Pulse Width Modulation</i>
PWMCHA	Registrador de controle da razão cíclica do canal A
PWMCHB	Registrador de controle da razão cíclica do canal B
PWMCHC	Registrador de controle da razão cíclica do canal C
PWMDT	Registrador de controle do tempo morto
PWMPOL	Pino de programação da polaridade do sinal PWM
PWMSYNC	Sinal de saída sincronizado com o sinal PWM
PWMTM	Registrador de controle período PWM
S/H	<i>Sample-and-hold</i>
SHA e SHB	Amplificador <i>Sample-and-hold</i> do A/D
SHIFTER	Unidade de deslocamento
SPORT 0	Porta serial 0
SPORT 1	Porta serial 1
TDH	Taxa de Distorção Harmônica
UFSC	Universidade Federal de Santa Catarina
V <sub>CORE</sub>	Tensão interna no sistema ADC do ADMC401
VIN0,1,...,7	Pinos de entrada do conversor A/D
ZOH	Retentor de ordem zero ( <i>Zero order holder</i> )

---

### Símbolos usados nos diagramas de circuitos

Símbolo	Significado
C	Capacitor
D	Diodo
J	<i>jump</i>
L	Indutor
R	Resistor
S	Interruptor controlado

### Símbolos de unidades de grandezas físicas (SI)

Símbolo	Significado
$\Omega$	Ohm
A	ampère
F	farad
H	Henry
Hz	Hertz
rad	Radianos
s	Segundo
V	Volt
W	Watt

### Sub-índices empregados

Símbolo	Significado
max	Máximo valor da grandeza
min	Mínimo valor da grandeza
ef	Valor eficaz da grandeza
med	Valor médio da grandeza
p-p	Valor de pico a pico da grandeza
p	Valor de pico da grandeza

# CAPÍTULO 1

## INTRODUÇÃO GERAL

### 1.1 INTRODUÇÃO

A sociedade de consumo vem passando, nos últimos anos, por crescentes e inusitadas experiências proporcionadas pelos avanços científicos oriundos das mais variadas áreas. Pela convivência profissional, podem-se comentar os crescentes avanços na área de Eletrônica de Potência, impulsionados pelos avanços tecnológicos e pelas transformações sociais, tudo isso traduzindo-se como elementos de conforto e bem-estar para a humanidade.

Mais especificamente, tem-se observado mudanças nos setores relacionados às telecomunicações, nos quais o processamento eletrônico de energia, tarefa essa atribuída ao desenvolvimento em eletrônica de potência, vem exigindo cuidados e atribuições cada vez mais complexas.

Atualmente, unidades retificadoras empregadas em sistemas de alimentação em telecomunicações devem obedecer a normas cada vez mais rígidas, que estabelecem características técnicas a serem atendidas pelos sistemas retificadores com tecnologias de chaveamento em alta frequência [1]. Essas especificações estão relacionadas ao nível e à variação da tensão de entrada permitidos, à frequência da rede de alimentação, à interferência eletromagnética, ao fator de potência, à taxa de distorção harmônica da corrente de entrada, à regulação da tensão de saída, à corrente de partida, à resposta estática e dinâmica da tensão de saída, entre algumas dezenas mais [2, 3].

Essas normas de procedimentos-padrão desencadeiam interesses nas áreas de pesquisas afins, servindo como objeto de intenso estudo nos últimos tempos, quando novas topologias, técnicas de controle mais elaboradas e o avanço no aprimoramento das características dos semicondutores têm propiciado

---

incrementos na área de eletrônica de potência – visivelmente divulgados nos mais variados veículos de publicações científicas.

Normalmente, sistemas retificadores ou fontes de alimentação em telecomunicações apresentam um estágio retificador com correção de fator de potência e um estágio seguinte composto por um conversor CC-CC, que regula e adapta a tensão de saída do estágio retificador aos níveis desejáveis de tensão de saída da fonte.

Diversas topologias de conversores estáticos já foram estudadas e têm sido empregadas como estágios retificadores de alto fator de potência em fontes de alimentação CA-CC, com aplicação em telecomunicações; paralelo a isso, diferentes técnicas de controle têm sido utilizadas [1,4 - 7].

Esses estágios retificadores podem ser compostos por unidades monofásicas ou trifásicas [4-5], sendo possível também admitir, no caso de sistemas trifásicos [5], o uso de unidades retificadoras monofásicas distribuídas entre as fases.

Observa-se, também, que ocorreram várias mudanças e evoluções crescentes em outras áreas, como por exemplo na eletrônica digital. Essa disponibilizou ferramentas e componentes que têm contribuído, cada vez mais, no controle de conversores estáticos. Atualmente, o uso do controle digital, intensificado com a popularização dos Processadores Digitais de Sinais (DSP), vem assumindo um papel fundamental nas mais variadas aplicações que envolvem o processamento eletrônico de energia.

A presente tese propõe-se a estudar e implementar um conversor CA-CC trifásico, com aplicação voltada ao estágio de entrada de uma fonte de alimentação para sistemas de telecomunicações. O controle utilizado será baseado em técnicas digitais e implementado com o uso de um DSP.

O objetivo principal, a proposta de tese de doutorado, as contribuições pretendidas, bem como os temas desenvolvidos ao longo deste trabalho, serão descritos no decorrer dos próximos itens deste capítulo.

---

## 1.2 RETIFICADORES TRIFÁSICOS COM CORREÇÃO DE FATOR DE POTÊNCIA

As normas atuais que norteiam as especificações para fontes de telecomunicações exigem, incluso na coletânea de requisitos já expostos, alto fator de potência e baixa distorção harmônica da corrente de entrada absorvida da rede. Objetiva-se, em linhas gerais, citar algumas técnicas utilizadas para retificação trifásica, as quais apresentam um bom ou um alto desempenho com relação às exigências.

Normalmente, quando a potência das fontes de alimentação estiver na ordem de dezenas de kW, a norma sugere o emprego de topologias trifásicas, despertando assim o interesse na aplicação dessas topologias. Dentre as técnicas e topologias de retificação trifásica mais utilizadas e reconhecidas na literatura, podem-se destacar as seguintes [1,5,6,7,31]:

- ponte trifásica com capacitor de saída e filtro de entrada indutivo;
- ponte trifásica com filtro LC de saída;
- ponte trifásica com interruptores auxiliares conectados ao neutro;
- ponte trifásica com conversor boost e indutor no lado CC;
- ponte trifásica com conversor boost e indutor no lado CA;
- ponte trifásica com interruptores conectados ao ponto médio dos capacitores.

Detalhes relativos às características básicas dessas topologias, tais como fator de potência, vantagens e desvantagens do uso de cada uma dessas estruturas podem ser encontrados na referência [4 -7, 31].

## 1.3 USO DO DSP EM ELETRÔNICA DE POTÊNCIA

Evidencia-se, na literatura atual e em aplicações industriais, o uso cada vez mais freqüente de técnicas de controle digital via microprocessadores no comando e controle de sistemas. Novas técnicas e equipamentos vêm surgindo em todas as áreas do conhecimento humano; na Engenharia Elétrica muitos dos admiráveis utensílios, que facilitam e agilizam a vida, trazem embutidos

---

tecnologias do estado-da-arte, em que as soluções propostas muitas vezes são extremamente sofisticadas, tornando-as economicamente inviáveis e possivelmente não implementáveis por métodos clássicos da Eletrônica Analógica - Digital. O uso de microprocessadores e DSP's tem viabilizado a operação de sistemas que requerem processamento e controle mais refinados.

Com o avanço nas áreas de controle de processos, novas leis de controle cada vez mais eficientes têm sido estudadas e analisadas, conseguindo-se mais eficiência no controle de equipamentos; porém o preço que se paga é tangente ao custo e à dificuldade de implementação de tais técnicas, ficando, às vezes, as soluções encontradas confinadas a aplicações apenas no campo teórico, por intermédio de simulações. Assim, os microprocessadores, cada vez mais sofisticados e atrativos financeiramente, são hoje notoriamente evidentes numa grande gama de equipamentos e instrumentos, parecendo tornar-se uma tendência natural a migração para sistemas de controle digital baseados em microprocessadores.

Podem-se citar as seguintes qualidades inerentes ao uso do controle digital:

- Flexibilidade na implementação do controlador dinâmico na malha de realimentação. Atribui-se a flexibilidade ao fato de a lei de controle dar-se por linhas de programação, bastando a reprogramação para se obterem diferentes tipos de controladores ou mesmo para efetuar ajustes no controlador.
- A capacidade de decisão lógica e de armazenamento de dados, característica de sistemas digitais, traz como atrativo a facilidade de incorporação e uso de funções como alarme, o controle de partida suave ou de desligamento do processo, as funções de supervisão dos diversos componentes integrantes do processo, as sinalizações e as tomadas de decisões.

- 
- Maior facilidade na implementação de algoritmos de controle complexos, desenvolvidos nas últimas décadas, tais como controle ótimo, controle não linear, preditivo, fuzzy, neural, adaptativo.
  - Menor custo e maior confiabilidade no controle de processos que envolvam a implementação de várias malhas de um processo complexo, já que praticamente se trata do mesmo hardware utilizado para sistemas monovariáveis, pois muitas vezes o sistema já disponibiliza diversas entradas A/D e D/A, podendo-se monitorar sistemas multivariáveis. A complexidade no controle de sistemas mais sofisticados praticamente recai sobre o aumento do número de variáveis a serem amostradas e sobre a programação, não havendo um aumento significativo em hardware.
  - Maior imunidade a ruídos, pelo fato de que, uma vez feitas adequadamente as aquisições dos sinais pertencentes ao sistema, os dados são armazenados na memória e submetem-se apenas às manipulações e transferências internamente no processador, desta forma ficando ele imune a ruídos provocados pelos elementos analógicos do sistema exterior.

Em contrapartida, algumas desvantagens também existem:

- O custo pode tornar-se elevado. Um exemplo seria nas aplicações de controle menos sofisticadas e de baixo custo, em que o processo pode ser controlado com o emprego de controladores convencionais. Em casos como esse, o custo do sistema de controle baseado em processadores pode comprometer o custo final do projeto. Não é muito simples ponderar esses fatores, faz-se necessário observar com mais cuidado o processo a ser controlado, a fim de evitar desperdícios dos componentes na capacidade de processamento, memória, periféricos, etc.;

- 
- Podem tornar-se complexos a análise e o projeto no domínio discreto, visto que existem vários problemas a considerar, tais como erros de quantização, período de amostragem do sinal e a resolução dos conversores A/D e D/A. Quanto ao tipo de microprocessador, também devem ser analisados os seguintes aspectos: ponto fixo ou ponto flutuante, memória necessária, periféricos necessários, noção de lógica, algoritmos e programação.

Em grande parte das aplicações em Eletrônica de Potência, como retificadores, conversores CC-CC, inversores e UPS, necessita-se de controle, supervisão e regulação das variáveis de tensão e corrente, por exemplo.

O controle dessas variáveis pode ser realizado através do comando adequado dos interruptores da estrutura de potência em questão. Pode-se citar um método que é normalmente empregado, no qual se tem a variação do tempo de condução dos interruptores em relação ao período de comutação. Esta técnica é chamada de PWM (modulação por largura de pulso) e vem sendo empregada ao longo dos tempos.

Com o avanço tecnológico novos componentes têm sido desenvolvidos no intuito do controle e geração mais simples e econômicos desse tipo de modulação (PWM); entre os meios emergentes, destacam-se componentes eletrônicos desenvolvidos especificamente para esse fim, e o uso cada vez mais freqüente de técnicas digitais microprocessadas.

Mediante o comando adequado, podem-se controlar as estruturas de Eletrônica de Potência. Isso se traduz em diversas aplicações, tais como:

- controle de máquinas;
- fontes de alimentação com alta densidade de potência;
- UPS (no-breaks);
- sistemas eletrônicos para iluminação;
- sistemas eletrônicos para o acionamento de motores elétricos;
- unidades retificadoras para telecomunicações;

- carregadores de bateria;
- estabilizadores de tensão;
- sistemas eletrônicos para aquecimento resistivo e indutivo;
- processamento de energia fotovoltaica.

Em função do recém exposto, vislumbra-se o emprego de técnicas digitais no controle de conversores estáticos, implementados via uso de Processadores Digitais de Sinais. Pretende-se, assim, adquirir conhecimentos na área de controle digital aplicado em Eletrônica de Potência implementados pelo uso de DSP.

#### **1.4 PROPOSTA DE TESE DE DOUTORADO**

O uso de conversores trifásicos tem sido mais intensificado em aplicações como fontes para telecomunicações, nas quais os estágios de entrada são compostos por retificadores com correção do fator de potência. Também aparecem em outras aplicações, como o uso de inversores em filtros ativos trifásicos. No caso específico de aplicações em telecomunicações, os resultados básicos esperados no controle desses conversores são: alto fator de potência, regulação da tensão total de saída e baixa taxa de distorção harmônica.

A análise topológica e o estudo de operação desses conversores, amiúde, tornam-se tarefas bastante complicadas, devido à complexidade apresentada pelos conversores no que diz respeito principalmente à modelagem e ao controle. Muitas vezes, simplificações são adotadas com o objetivo de utilizar ferramentas e técnicas de controle mais simples, obtendo-se, assim, bons resultados, como é o caso do uso da técnica de controle denominada modulação por valores médios instantâneos da corrente de entrada [1,4,8,9].

Muitas estratégias, teorias de análise e propostas de técnicas de controle [10-16] vêm sendo apresentadas nos últimos tempos, expondo excelentes resultados e servindo como opções de controle, tanto no uso de retificadores com correção de fator de potência, como também no uso em filtros ativos trifásicos. Alguns resultados apresentados são mostrados em forma de simulação ou

---

utilizando-se implementações com componentes analógicos; nesse caso, limitando-se a apresentar resultados obtidos em soluções mais simples, porém com resultados práticos muito satisfatórios. Tem-se observado, nos trabalhos apresentados envolvendo retificadores trifásicos com correção do fator de potência, que as estratégias de controle mais eficientes dessas estruturas são complexas se comparadas a soluções simplificadas com resultados já comprovados [1,8,17,18].

O que se verifica em comum nas propostas de análise e controle de retificadores trifásicos são os tratamentos dos sinais envolvidos no controle do conversor. Por isso, para utilização das estratégias de controle referenciadas acima, exigem-se manipulações e operações matemáticas mais complexas dos sinais de corrente e/ou tensão utilizados na monitoração e controle do conversor (teoria pq, transformações  $\alpha\beta$ , transformações direta e inversa de Park e Clark, controle vetorial, *fuzzy*, PLL, detector de seqüência positiva, detector do setor de operação do conversor, filtros, etc...).

Em função do exposto e da observação da crescente demanda e avanços tecnológicos na área de Processadores Digitais de Sinais, entendeu-se como uma opção viável e necessária o emprego e utilização de DSP no controle de conversores, que empregam intensas manipulações de dados; mais especificamente, tem-se interesse no estudo do retificador trifásico com correção de fator de potência, empregado como estágio de entrada para fontes de telecomunicações. Além das vantagens do controle digital, citadas no item 1.3, salienta-se a facilidade de implementação de técnicas e algoritmos de controle com relação ao emprego de circuitos analógicos. Isso baseia-se no fato de que a implementação realiza-se por intermédio de programação, facilitando alterações e adaptações no algoritmo de controle, bem como simplificando a reprodutibilidade do produto final.

Esta tese baseia-se no retificador pré-regulador trifásico PWM de três níveis com aplicação em telecomunicações, cujas exigências são:

---

Alto fator de potência; baixa taxa de distorção harmônica; fluxo de potência unidirecional; tensão de saída regulada; filtro de saída capacitivo; ausência de indutores de baixa frequência; sem isolamento; baixo nível de interferência eletromagnética; entrada a três fios.

A presente tese tem como objetivo o estudo e implementação, por meio de técnica de controle digital via DSP, do controle de um conversor CA-CC trifásico PWM de três níveis, visando aos seguintes aspectos:

- regulação da tensão total de saída;
- equilíbrio das tensões de saída;
- alto fator de potência.

A fim de alcançar os objetivos propostos, buscam-se informações e soluções pertinentes à operação e controle adequados do conversor, as quais são:

- estudo de ferramentas e técnicas de controle digital;
- estudo de ambientes e ferramentas para desenvolvimento microprocessado;
- estudo das malhas de controle para regulação e equilíbrio das tensões nas saídas do retificador;
- estudo de malhas de controle para imposição de corrente senoidal e equilibrada nas três fases, do ponto de vista da rede de alimentação;
- conhecimentos na área de controle digital aplicados em Eletrônica de Potência e implementados pelo uso de DSP.

A partir da experiência a ser adquirida na implementação e operação do conversor CA-CC usando DSP, pretende-se contribuir com os seguintes elementos: Rotinas e algoritmos de controle e modulação digitais; rotinas e algoritmos para aplicação em outras técnicas de controle, como as propostas em [13,16], contribuindo para o uso e a disseminação desses algoritmos na implementação do controle digital baseado em DSP de retificadores trifásicos.

## 1.5 TOPOLOGIA DO RETIFICADOR TRIFÁSICO

A topologia a ser empregada é a do retificador PWM trifásico de três níveis, com ponto médio na tensão de saída, Fig. 1.1, por apresentar características que atendem os requisitos, e que o qualificam para aplicações como estágios de entrada em fontes para telecomunicações para potência de 6 kW e 12 kW [1,5,6,10]. Dentre suas principais características podem-se citar:

- simplicidade na topologia do retificador e do controle, por apresentar somente um interruptor (bidirecional em corrente) por fase;
- baixa distorção harmônica da corrente de entrada, em função da característica de três níveis de tensão;
- tensão de bloqueio nos interruptores correspondendo à metade da tensão de saída.

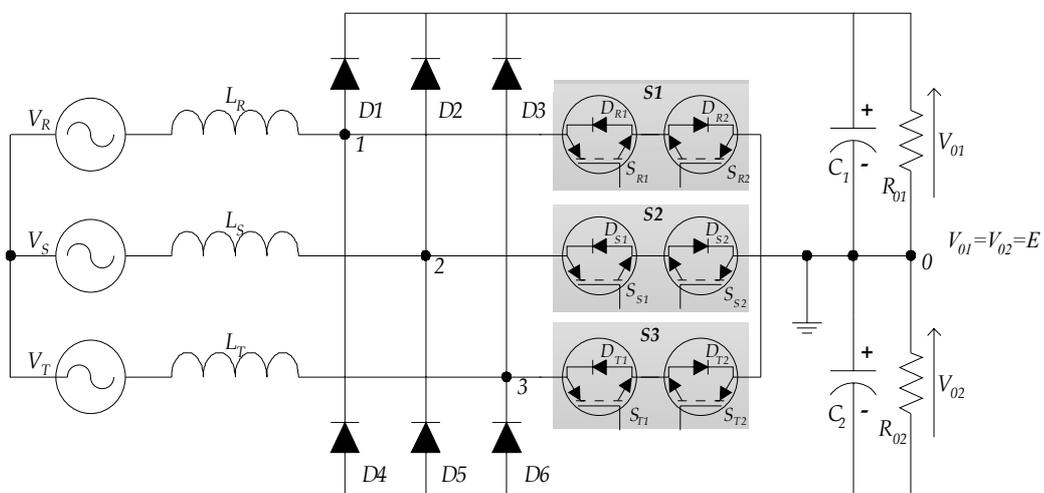


Fig. 1.1 – Retificador trifásico de três níveis.

A topologia escolhida apresenta o ponto médio na tensão de saída, podendo-se usufruir dessa característica mediante o uso de conversores CC-CC de três níveis no estágio seguinte, responsáveis pela regulação da tensão de saída. O problema dessa estrutura refere-se ao desequilíbrio das tensões nas saídas do retificador, inerentes a essa topologia.

Como ponto de partida apresenta-se, no decorrer do trabalho, o estudo e a implementação do retificador monofásico tipo dobrador de tensão, pela simplicidade e semelhança de operação com o trifásico; servindo, assim, de fundamentação teórica e prática para a implementação e o estudo do retificador trifásico de três níveis. Pode-se entender o retificador trifásico como sendo a extensão do caso monofásico através da conexão em estrela de três conversores desse tipo. A proposta de topologia a ser empregada nesse estudo inicial é a do dobrador de tensão monofásico com ponto médio, conforme se mostra na Fig. 1.2, e sua extensão para o trifásico.

As características do retificador monofásico assemelham-se às do trifásico e pode-se chegar facilmente à topologia trifásica conectando-se adequadamente os retificadores monofásicos em conexão estrela, como é mostrado na Fig. 1.3. Pode-se observar, na Fig. 1.3 (a), o retificador monofásico redesenhado e, na Fig. 1.3 (b), a composição do retificador trifásico pela conexão de três retificadores tipo dobrador de tensão monofásico; a partir dessa última, compõe-se o retificador trifásico, fazendo-se considerações aos pontos comuns formados pelos capacitores.

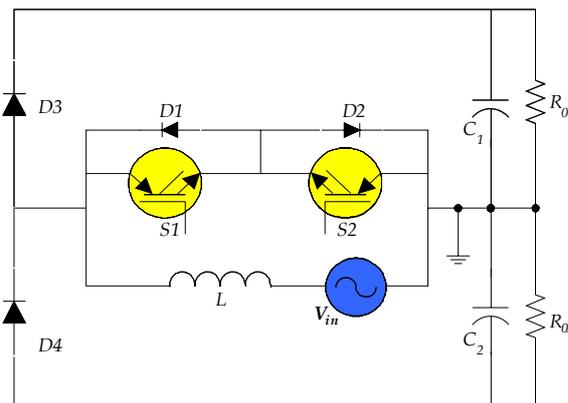


Fig. 1.2 – Retificado tipo dobrador de tensão monofásico.

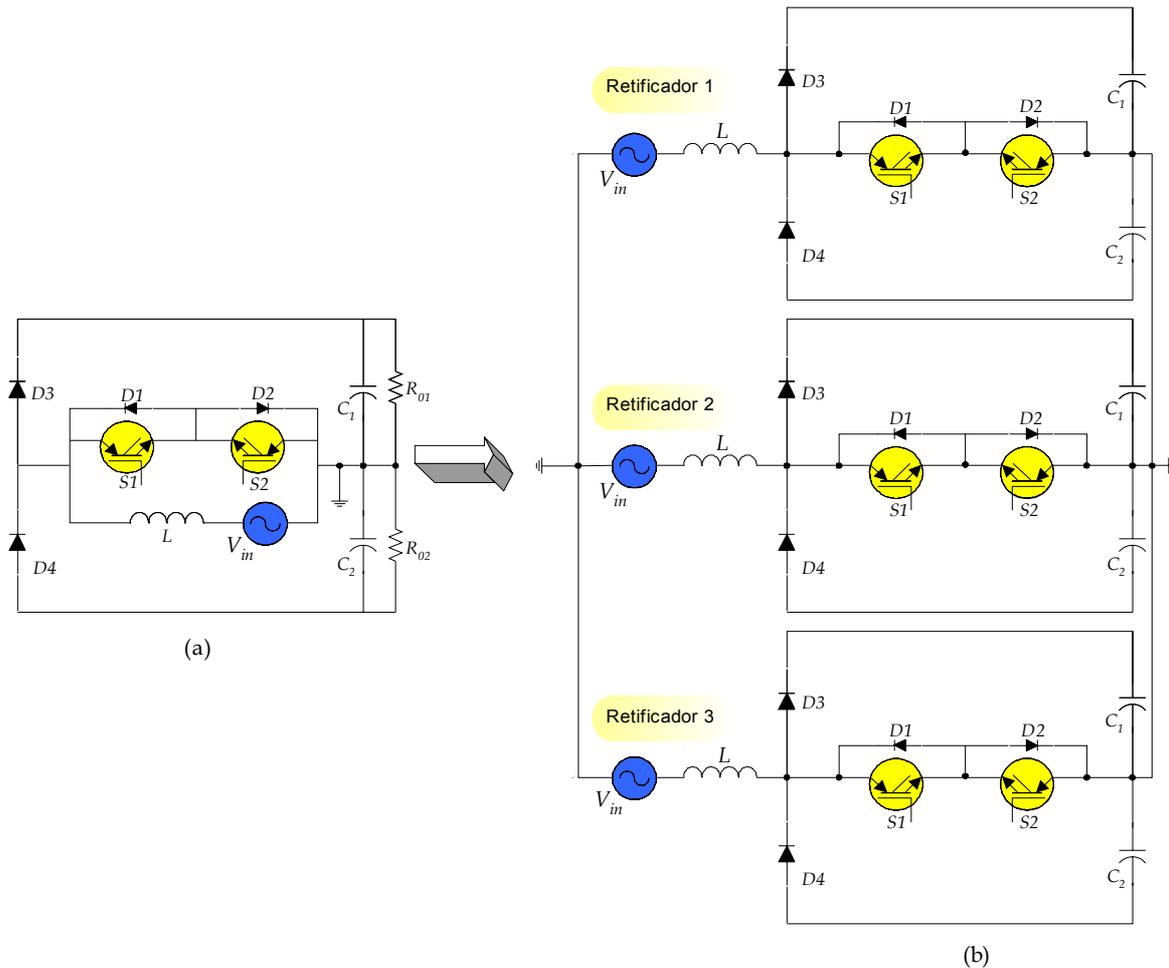


Fig. 1.3 – Composição do retificador Trifásico.

No capítulo 2, apresentam-se noções básicas de conceitos e de métodos convencionais para projetos em sistemas de controle de tempo discreto ou digital; esses métodos referem-se a sistemas de controle digital SISO (*single-input-single-output*) ou monovariáveis.

Propõe-se, no capítulo 3, um estudo do conversor monofásico e a possibilidade de extensão do estudo desse conversor para o caso trifásico de três níveis. Apresenta-se a estrutura topológica do retificador dobrador de tensão, as suas principais características, as etapas concernentes ao funcionamento, assim como as principais formas de onda de operação do conversor e uma análise quantitativa desse retificador.

---

O capítulo 4 aborda o estudo da técnica de controle do retificador dobrador de tensão e também um estudo das malhas de controle empregadas no comando do conversor, cujos objetivos são correção do fator de potência, regulação e equilíbrio das tensões de saída do conversor.

Apresentam-se, no capítulo 5, as principais etapas da implementação de um protótipo desenvolvido em laboratório, controlado digitalmente através do controlador DSP *ADMC331* da *ANALOG DEVICES*. São também apresentados os circuitos eletrônicos utilizados, bem como os resultados experimentais obtidos do ensaio do protótipo em laboratório.

Será inicialmente exposta, no capítulo 6, a topologia do retificador trifásico três-níveis-unidirecional-sem-neutro. Também são descritos aspectos qualitativos básicos das etapas de operação do conversor, bem como as expressões que definem o modelo do conversor.

O capítulo 7 apresenta as estratégias empregadas no controle do retificador trifásico. Também são apresentadas, juntamente com estudos e projetos, as malhas de controle necessárias, bem como os resultados obtidos por simulação.

A última etapa do projeto é apresentada no capítulo 8, e refere-se à implementação do protótipo do retificador trifásico, controlado digitalmente por meio do controlador DSP *ADMC401*. Nesse capítulo, são descritos os principais circuitos empregados na implementação do protótipo, bem como os detalhes de implementação das rotinas de controle do retificador; por fim, são expostos os resultados experimentais obtidos em laboratório.

## CAPÍTULO 2

### CONCEITOS BÁSICOS DE CONTROLE DIGITAL E DSP – ASPECTOS GERAIS

#### 2.1 INTRODUÇÃO

Neste capítulo, apresentam-se noções básicas de conceitos e de métodos convencionais para projetos de sistemas de controle de tempo discreto ou digital; esses métodos referem-se a sistemas de controle digital monovariáveis (SISO - single-input-single-output). O enfoque apresentado visa ao aproveitamento das técnicas de projeto em sistemas de controle em tempo contínuo, como por exemplo, o método do lugar das raízes e a resposta em frequência, que representam uma base de estudos consolidada no que se refere a aplicações em eletrônica de potência. Basicamente, identificam-se duas formas de projetos, um identificado como projeto por aproximação (emulação), e outro, como projeto discreto (direto). No decorrer deste capítulo procuram-se apresentar os aspectos gerais e as técnicas de projeto de controladores discretos e expõe-se o objetivo da pesquisa que é trazer informações sobre uma das técnicas de projeto - a que trata do projeto de controladores discretos por aproximação, motivado pela semelhança que apresenta em relação ao projeto de controladores no domínio de tempo contínuo, cuja metodologia tem sido bastante utilizada em controle de conversores [27,29]. Em função do exposto, faz-se necessário apresentar alguns conceitos utilizados e empregados no projeto de controle digital na área de eletrônica de potência, com o fim de facilitar a busca de informações e o entendimento do projeto digital dos controladores.

Apresenta-se também o estudo das características gerais do componente principal do circuito de controle do conversor, o controlador baseado no Processador Digital de Sinais (DSP). E, ainda, um estudo das principais

---

características dos componentes utilizados na implementação do controle digital dos conversores levados a cabo nesta tese.

## 2.2 PROJETO POR APROXIMAÇÃO

Neste método de projeto por aproximação, utilizam-se as ferramentas de projetos convencionais do domínio de tempo contínuo e determina-se o controlador no tempo contínuo  $C(s)$  para um determinado processo. A segunda etapa consiste em utilizar algum método de discretização para converter o controlador do domínio de tempo contínuo ao discreto, obtendo-se assim o controlador discreto  $C(z)$  aproximado.

O controlador contínuo  $C(s)$  pode ser aproximado mediante a utilização de diversos métodos. Os mais utilizados na prática são: Método de Euler, bilinear (Tustin) e aproximação por zeros-pólos.

A estabilidade absoluta e relativa de um sistema de controle em malha fechada, contínuo, linear e invariante no tempo é determinada pela localização dos pólos em malha fechada no plano  $s$ . Uma vez que as variáveis complexas  $z$  e  $s$  são relacionadas por  $z = e^{Ts}$ , a localização dos pólos e zeros, no plano  $z$ , têm correspondências aos pólos e zeros no plano  $s$ .

Deve-se observar que a resposta dinâmica de um sistema de controle discreto depende também do período de amostragem  $T$ , isso significa que as localizações dos pólos e dos zeros no plano  $z$  dependem do período de amostragem adotado. De outra forma, trocando-se o período de amostragem  $T$ , modifica-se a localização dos pólos e zeros no plano  $z$ , causando mudanças no comportamento da resposta do sistema.

### 2.2.1 MAPEAMENTO DO SEMIPLANO ESQUERDO DO PLANO $s$ NO PLANO $z$

No projeto de sistemas de controle em tempo contínuo, as localizações dos pólos e zeros no plano  $s$  são muito importantes na avaliação da resposta dinâmica do sistema. Similarmente, no projeto de sistemas de controle tempo-discreto, a localização dos pólos e zeros no plano  $z$  são fundamentais.

Quando a concepção de amostragem é introduzida ao processo de controle, as variáveis complexas  $z$  e  $s$  são relacionadas pela seguinte equação:

$$z = e^{Ts} \quad (2.1)$$

Isso significa que um pólo no plano  $s$  pode ser localizado no plano  $z$  por meio da transformação (2.1). Uma vez que a variável complexa  $s$  tem uma parte real  $\sigma$  e uma parte imaginária  $\omega$ , tem-se:

$$s = \sigma + j\omega \quad (2.2)$$

logo,

$$z = e^{T(\sigma + j\omega)} = e^{T\sigma} \cdot e^{Tj\omega} = e^{T\sigma} \cdot e^{j(T\omega + 2\pi k)} \quad (2.3)$$

A partir da equação (2.3), pode-se observar que os pólos e zeros no plano  $s$ , onde as frequências diferem em múltiplos da frequência de amostragem  $2\pi/T$ , são mapeados na mesma localização no plano  $z$ . Isso significa que existem infinitos valores de  $s$  para cada valor de  $z$ .

Sendo  $\sigma$  um valor negativo no semiplano esquerdo do plano  $s$ , este semiplano corresponde a:

$$|z| = e^{T\sigma} < 1$$

O eixo  $j\omega$  no plano  $s$  corresponde a  $|z| = 1$ , ou seja, o eixo imaginário no plano  $s$  ( $\sigma = 0$ ) corresponde ao círculo unitário no plano  $z$ , e o interior do círculo corresponde ao semiplano esquerdo no plano  $s$ .

#### FAIXA PRIMÁRIA E COMPLEMENTAR

Nota-se que  $\angle z = \omega T$  varia de  $-\infty$  a  $\infty$ , pois  $\omega$  varia de  $-\infty$  a  $\infty$ . Considerando-se a representação de um ponto no plano  $s$  no eixo imaginário  $j\omega$ , e se este ponto se mover de  $-j\frac{1}{2}\omega_s$  a  $j\frac{1}{2}\omega_s$  no eixo  $j\omega$ , onde  $\omega_s$  é a frequência de amostragem, tem-se  $|z| = 1$ , e o ângulo  $\angle z$  variando de  $-\pi$  a  $\pi$  no sentido anti-horário do círculo unitário no plano  $z$ . Se esse ponto se movesse de  $j\frac{1}{2}\omega_s$  a  $j\frac{3}{2}\omega_s$

no eixo  $j\omega$ , a isso corresponderia no plano  $z$  à mesma trajetória do ponto anterior, isto é, seria mapeado sobre o círculo unitário. Então, se esse ponto variasse no eixo  $j\omega$  do plano  $s$  de  $-\infty$  a  $\infty$ , traçar-se-iam infinitos círculos unitários no plano  $z$ . A partir dessa análise, fica claro que cada faixa de largura  $\omega_s$  no semiplano esquerdo do plano  $s$  é mapeada dentro do círculo unitário no plano  $z$ . Isso significa que o semiplano esquerdo do plano  $s$  pode ser dividido em infinitas faixas periódicas, conforme mostra a Fig. 2.1.

A faixa conhecida como primária estende-se de  $j\omega = -j\frac{1}{2}\omega_s$  a  $j\frac{1}{2}\omega_s$ , as faixas complementares estão compreendidas nos seguintes intervalos:  $j\frac{1}{2}\omega_s$  a  $j\frac{3}{2}\omega_s$ ,  $j\frac{3}{2}\omega_s$  a  $j\frac{5}{2}\omega_s, \dots$  e de  $-j\frac{1}{2}\omega_s$  a  $-j\frac{3}{2}\omega_s$ ,  $-j\frac{3}{2}\omega_s$  a  $-j\frac{5}{2}\omega_s, \dots$

A área fechada compreendida por qualquer uma das faixas será mapeada dentro do círculo unitário no plano  $z$ , significando que a relação entre o plano  $z$  e o plano  $s$  não é única. Um ponto no plano  $z$  corresponde a infinitos números de pontos no plano  $s$ , embora um ponto no plano  $s$  tenha apenas um único ponto correspondente no plano  $z$ .

Sabendo-se que o semiplano esquerdo no plano  $s$  é mapeado no interior do círculo unitário no plano  $z$ , o semiplano direito no plano  $s$  é mapeado no exterior do círculo unitário no plano  $z$ . Nota-se que, se a frequência de amostragem for pelo menos duas vezes maior que a maior frequência das componentes que participam do sistema, todos os pontos no círculo unitário do plano  $z$  representam frequência entre  $-\frac{1}{2}\omega_s$  e  $\frac{1}{2}\omega_s$ .

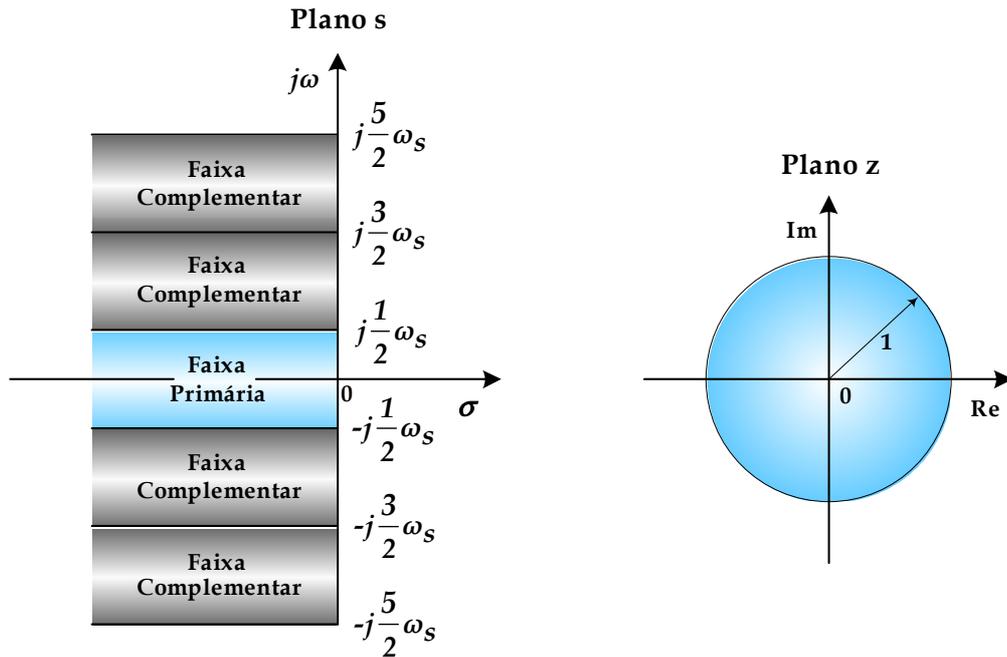


Fig. 2.1 – Faixas periódicas no plano s.

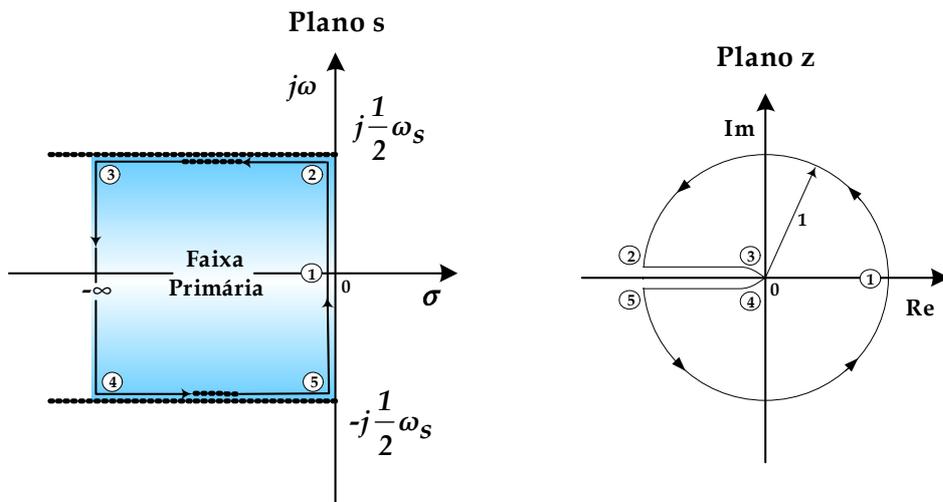


Fig. 2.2 – Diagrama mostrando a correspondência entre a faixa primária no plano s e o círculo unitário no plano z.

### 2.2.2 PROJETO BASEADO NA RESPOSTA EM FREQUÊNCIA (BODE)

Os conceitos da resposta em frequência em tempo contínuo podem ser aplicados em sistemas de controle digital. O método da resposta em frequência tem sido utilizado, frequentemente, no projeto de compensadores pela simplicidade do método. Na aplicação desse método em sistemas de tempo-

discreto, é muito importante haver um filtro passa-baixa antes do amostrador, com o fim de filtrar a faixa de frequência indesejável. Desta forma, a resposta do sistema linear invariante no tempo submetido à entrada senoidal preserva as frequências e modifica apenas a amplitude e a fase do sinal de entrada.

#### TRANSFORMAÇÃO BILINEAR E O PLANO W

Antes de utilizar o método da resposta em frequência na análise e projeto de sistemas em tempo-discreto, certas modificações no plano  $z$  devem ser efetuadas. Sabendo-se que no plano  $z$  a frequência aparece sob a forma  $z = e^{Ts}$ , aplicando-se o método da resposta em frequência no plano  $z$ , perde-se a simplicidade dos gráficos logarítmicos oferecidos pelo diagrama de Bode, pois a frequência aparece de forma exponencial. Assim, a aplicação direta desse método não é recomendada, uma vez que a transformada  $z$  mapeia a faixa primária e as secundárias do semiplano esquerdo do plano  $s$  dentro do círculo unitário no plano  $z$ . Esse método da resposta em frequência, que contempla todo o semiplano esquerdo, não pode ser aplicado ao plano  $z$ .

A solução passa pela transformação da função de transferência no plano  $z$  para o plano  $w$ , conhecida como transformada  $w$  ou bilinear, e que é dada por:

$$z = \frac{1 + (T/2)w}{1 - (T/2)w} \quad (2.4)$$

Onde  $T$  é o período de amostragem, considerado no sistema de controle em tempo-discreto. Convertendo-se a função de transferência em  $z$  em uma função racional de  $w$ , o método da resposta em frequência pode ser estendido a sistemas de tempo-discreto. Resolvendo para  $w$  a expressão acima, obtém-se a seguinte relação inversa:

$$w = \frac{2}{T} \frac{z-1}{z+1} \quad (2.5)$$

Através da transformada  $z$  e o plano  $w$ , a faixa primária do semiplano esquerdo do plano  $s$  é primeiramente mapeada dentro do círculo unitário no plano

$z$ , e posteriormente remapeada no semiplano esquerdo do plano  $w$ . Isso é mostrado na Fig. 2.3.

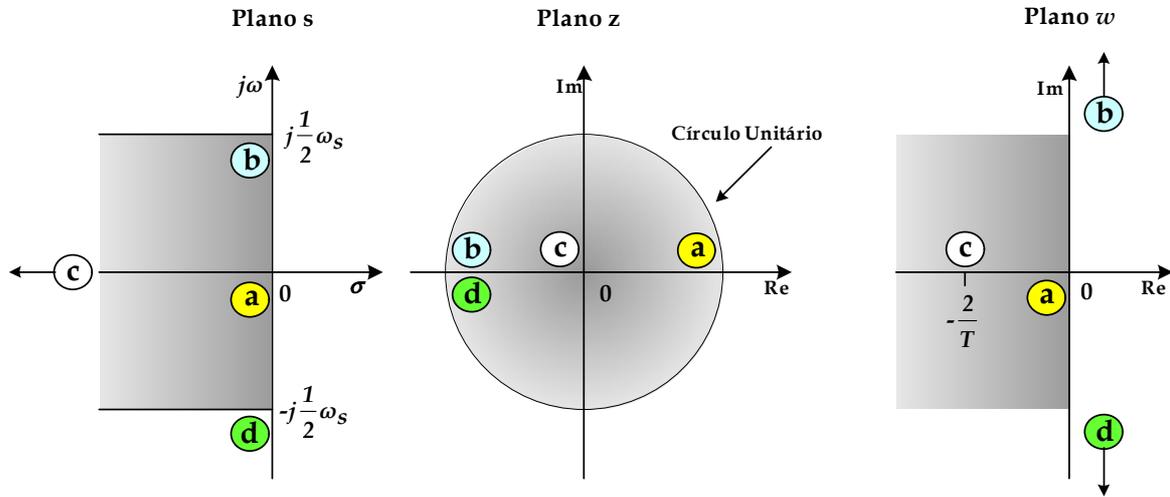


Fig. 2.3 – Diagrama mostrando o mapeamento do plano  $s$  ao  $z$  e do plano  $z$  ao  $w$ .

Embora o semiplano esquerdo do plano  $w$  corresponda ao semiplano esquerdo do plano  $s$  e o eixo imaginário do plano  $w$  corresponda ao eixo imaginário no plano  $s$ , existem diferenças entre os dois planos. As frequências entre  $-\frac{1}{2}\omega_s \leq \omega \leq \frac{1}{2}\omega_s$  no plano  $s$  mapeiam a região  $-\infty < v < \infty$ , sendo  $v$  uma frequência fictícia, no plano  $w$ . Embora o plano  $w$  reconstrua o plano  $s$  geometricamente, o eixo da frequência no plano  $w$  é distorcido. A frequência fictícia  $v$  e a frequência atual  $w$  são relacionadas como:

$$v = \frac{2}{T} \tan \frac{\omega T}{2} \tag{2.6}$$

**PROCEDIMENTO DE PROJETO NO PLANO W**

Segundo [19] os seguintes procedimentos devem ser adotados quando da utilização do plano  $w$ :

- obter  $G(z)$ , a transformada  $z$  da planta precedida de segurador de ordem zero (ZOH). Então transformar  $G(z)$  em  $G(w)$  através da transformada bilinear;
- substituir  $w=jv$  em  $G(w)$  e traçar o diagrama de Bode para  $G(jv)$ ;

- Ler no diagrama de Bode as constantes de erro estático, a margem de fase e a margem de ganho;
- determinar os pólos e zeros da função de transferência do controlador digital  $G_D(z)$  usando as técnicas de projeto convencionais para sistemas de controle contínuo no tempo;
- transformar a função de transferência do controlador  $G_D(w)$  em  $G_D(z)$  por meio da transformação bilinear;
- implementar a função de transferência através de algoritmos computacionais.

### 2.3 SEGURADOR DE ORDEM ZERO (ZOH)

As variáveis a serem manipuladas digitalmente precisam ser amostradas e convertidas em valores numéricos, uma vez que estas grandezas são de características analógicas. As amostras são atualizadas a cada intervalo de amostragem com a chegada de nova amostra. Dessa forma, precisa-se de dispositivos que possuam a característica de amostrar e segurar o sinal analógico para que não ocorram erros no momento da conversão do sinal analógico em digital por intermédio do conversor A/D. Esse dispositivo chama-se amostrador e retentor de dados (S/H - *sample-and-hold*). Basicamente eles têm a função de coletar as amostras (*sample*) e mantê-las constante (*hold*) durante o intervalo de amostragem e também são utilizados na saída de conversores D/A.

Um dos dispositivos de reconstituição de sinais mais utilizados em controle digital é o ZOH (*zero order hold*), assim chamado devido ao fato de sua saída ser uma interpolação de ordem zero das amostras de entrada. Um dispositivo de S/H pode ser representado por um amostrador ideal seguido de um ZOH.

A função de transferência do  $ZOH(s)$  é expressa por:

$$ZOH(s) = \frac{1 - e^{-Ts}}{s} \quad (2.7)$$

## 2.4 EFEITO DA AMOSTRAGEM

O impacto mais importante na implementação digital dos controladores em sistemas de malha fechada é o efeito do atraso ocasionado pelo amostrador [19, 40, 49 e 50]. Esse atraso em sistemas de controle pode ocasionar problemas de estabilidade. Como os valores de  $u(kT)$  são mantidos constantes até o próximo valor disponível para leitura, o sinal contínuo  $u(t)$  transforma-se em um sinal formado por degraus, conforme mostrado na Fig. 2.4. O atraso médio, ocasionado por este efeito da amostragem, é de  $T/2$ , onde  $T$  representa o período de amostragem do sinal. Incorporando esse atraso à análise do sistema de controle, pode-se verificar a importância que esse efeito tem em sistemas controlados digitalmente. Esse atraso de  $T/2$  pode ser aproximado pelo método de Padé [50], cujo efeito se pode acrescentar na análise do sistema de controle pela inclusão da função de transferência mostrada em (2.8).

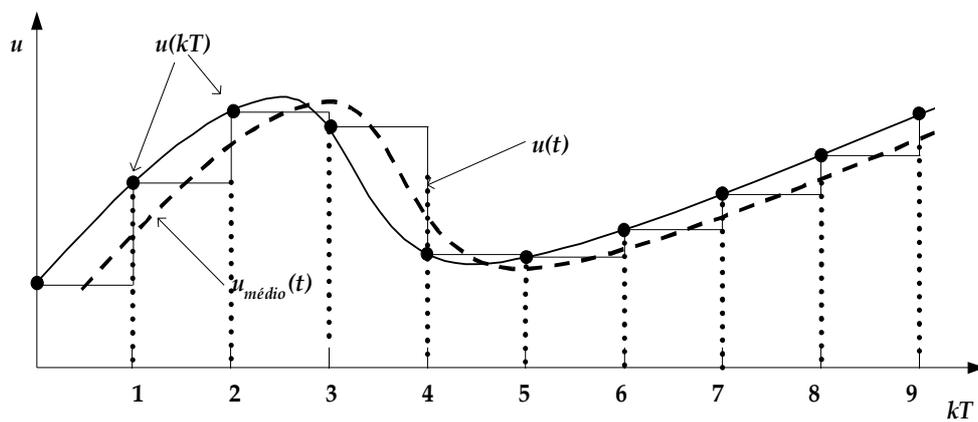


Fig. 2.4 – Atraso devido ao efeito da amostragem.

$$G_h(s) = \frac{2/T}{s + 2/T} \quad (2.8)$$

Este efeito pode ser analisado usando a técnica da resposta em frequência, visto que o atraso de tempo de  $T/2$  representa uma degradação na fase de:

$$\delta\phi = -\frac{\omega T}{2} \quad (2.9)$$

Tem-se então uma redução na margem de fase do sistema decorrente da expressão (2.9), cujo valor pode ser estimado fazendo  $\omega$  igual à frequência em que o módulo da FTLA corresponde à unidade.

Em projetos de controle amostrados, pode-se obter um resultado satisfatório da influência do sistema de amostragem e retenção pela aproximação de um atraso de  $T/2$  no projeto do sistema contínuo, que depois será implementado pelo equivalente discreto.

#### EFEITO DA AMOSTRAGEM – ALIASING

Normalmente filtros analógicos passa-baixa são colocados antes da amostragem do sinal analógico pelo conversor A/D, sua função é reduzir as componentes de altas frequências no sinal a fim de prevenir o fenômeno chamado de *aliasing*. Esse efeito ocorre em sistemas amostrados, quando um sinal de alta frequência assume a identidade de um sinal de frequência menor.

Um exemplo pode ser verificado na Fig. 2.5, onde um sinal de 60 Hz é amostrado com uma frequência de 50 Hz, cujo resultado da amostragem representa um sinal de 10 Hz. Para evitar este inconveniente que ocasiona erros de interpretação do sinal amostrado, deve-se respeitar o teorema da amostragem de Shannon [19, 49 e 50], cujo enunciado diz que é possível reconstruir teoricamente um sinal a partir de suas amostras se a frequência de amostragem for maior que 2 vezes a componente de maior frequência contida no sinal amostrado.

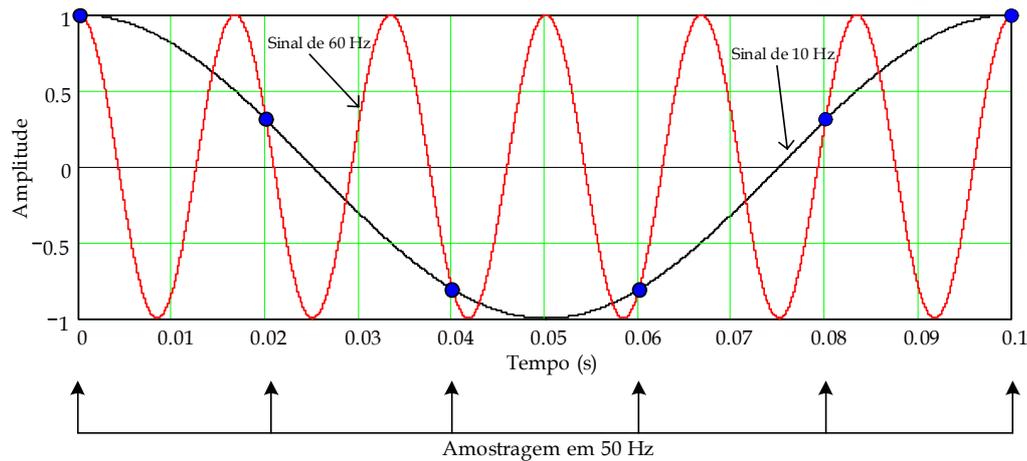


Fig. 2.5 – Efeito de aliasing que ocorre na amostragem.

Em projetos de controle digital, normalmente colocam-se filtros passa-baixa, chamados filtros *antialiasing*, cuja frequência de corte localiza-se na metade da frequência de amostragem do conversor A/D. Desta forma evita-se que qualquer componente de frequência elevada seja amostrada e passe a representar uma outra componente de frequência diferente (*aliasing*), podendo prejudicar e interferir na dinâmica das malhas de controle.

## 2.5 PROCESSADOR DIGITAL DE SINAL (DSP)

O Processador Digital de Sinais (DSP – *Digital Signal Processor*) pode ser classificado como um tipo específico de microprocessador. Sua especificidade concerne à forma como são tratados, manipulados e operados os dados; trata-se de um componente especializado em processamento numérico.

Sua arquitetura interna foi concebida a fim de oferecer um conjunto de instruções e um fluxo de informações otimizados, bem como permitir processamento e manipulação simultâneas de dados localizados na memória de programa e/ou na de dados, possibilitando um alto desempenho no processamento numérico.

Isso se traduz em maior eficiência por parte dos DSPs com relação a famílias genéricas de microprocessadores, conferindo-lhes, assim, como resultado, maior velocidade de processamento, rotinas menores e mais eficientes.

Existem diversas famílias de Processadores Digitais de Sinais que circulam no mercado, produzidos por diversos fabricantes, com suas peculiaridades específicas; porém, de maneira geral, todas tendo como características básicas seu desempenho numérico acentuado.

Normalmente famílias de DSP são assim chamadas por possuírem algo em comum, trata-se do seu núcleo que é o mesmo para toda a família, ou seja, estes componentes possuem a mesma arquitetura básica. Os componentes pertencentes à mesma família diferem principalmente nos tipos de periféricos internos, que se agregam à arquitetura básica.

Empregaram-se, neste trabalho, três diferentes tipos de DSP, dois deles pertencentes a uma família da *ANALOG DEVICES*, e outro da *TEXAS INSTRUMENTS*. Detalhes e características de operação desses componentes serão discutidos ao longo dos próximos itens, limitando-se apenas aos detalhes de programação dos principais periféricos relativos aos DSP, que foram empregados no controle dos conversores implementados. Mais detalhes podem ser obtidos em [20 - 24].

### 2.5.1 PONTO FIXO E PONTO FLUTUANTE

Uma das primeiras decisões a ser feita em uma aplicação é sobre quando utilizar um processador de ponto fixo ou flutuante. Em geral arquiteturas em ponto flutuante são mais caras que as de ponto fixo, este seria um dos argumentos a favor dos pontos fixos. Outro argumento bastante utilizado refere-se ao fato de que o formato em inteiro é ideal em aplicações reais onde se utilizam conversores A/D e D/A, pois estes normalmente convertem grandezas analógicas em números de ponto fixo e vice-versa.

Entretanto o ponto flutuante permite representar adequadamente escalas com grandes variações, ou seja, permite uma faixa dinâmica maior e ainda melhor precisão por apresentar um número de *bits* mais elevado (em precisão simples na norma IEEE-754 define uma palavra de 32 *bits*). A principal característica na representação em ponto flutuante é que os números não são uniformemente espaçados, no formato mais comum (ANSI/IEEE 754-1985)

---

representam-se os números compreendidos no intervalo de  $\pm 3,4 \times 10^{38}$  à  $\pm 1,2 \times 10^{-38}$ .

Desta forma, entre números grandes o incremento pode ser maior, mas na representação entre números muito pequenos, empregam-se espaçamentos pequenos. Esta flexibilidade em representar números pequenos e grandes é a principal vantagem da utilização de números em ponto flutuante.

Sendo assim, a aritmética em ponto flutuante traz como benefício principal a facilidade de operação e manipulação em aplicações que requeiram manuseio com diferentes magnitudes numéricas, por exemplo em situações que utilizam excessivas operações de produtos e acumulações, como filtros e controladores digitais. Se utilizarmos aritmética em ponto fixo, o projetista deverá encarregar-se de se certificar de que a cada operação os valores envolvidos estejam devidamente representados; e também deve ser considerada em cada operação a possibilidade de ocorrerem *overflow/underflow* e os erros de arredondamento. Cabe salientar que os problemas ocasionados pelo comprimento finito da palavra utilizada (16, 32 *bits*...) para se representar os valores numéricos ocorrem em ambas as operações aritméticas, tanto nas de ponto fixo como nas de ponto flutuante.

Os DSPs estudados e avaliados neste trabalho são todos de ponto fixo; em função das crescentes aplicações e demandas em controle e acionamento, estes componentes tornaram-se disponíveis e populares no mercado, tornando-se uma opção bastante apropriada. O que se costuma fazer ao utilizar-se processadores direcionados à aritmética de ponto fixo é escalonar adequadamente os números em função de sua magnitude. Exige-se mais do projetista, visto que as rotinas que envolvem operações aritméticas, como é o caso dos algoritmos dos controladores e filtros, precisam ser analisadas cuidadosamente, com o objetivo de representar adequadamente os valores numéricos envolvidos nestes algoritmos.

## FORMATO NUMÉRICO NO DSP

Trata-se a seguir de detalhes de formato numérico para os DSPs da *ANALOG DEVICES*, pois foram estes os utilizados no controle dos retificadores monofásico e trifásico. Todos os DSPs da família ADSP-2100 são de 16 *bits*, e arquitetura de ponto fixo, as operações aritméticas são sempre efetuadas no formato complemento de 2. Essas famílias de DSPs suportam a representação dos dados no formato inteiro e fracionário, e ainda, podem ser sinalizados ou não sinalizados.

No formato inteiro (sinalizado ou não) o número é caracterizado pelo tamanho da palavra binária e pela posição do ponto binário, conhecido como ponto *radix*. O ponto *radix* é uma maneira de representar um número em ponto-fixa escalonado (formato fracionário), ou seja, utilizando-se do deslocamento do ponto binário, valores numéricos significarão grandezas diferentes. Dessa forma a interpretação de uma palavra binária varia, dependendo do formato utilizado para sua representação.

A representação de um número binário inteiro no formato ponto-fixa para a família ADSP-2100 pode ser visto nas figuras a seguir:



Fig. 2.6 - Representação de um número binário inteiro no formato ponto-fixa com sinal.



Fig. 2.7 - Representação de um número binário inteiro no formato ponto-fixa sem sinal.

Na representação de números inteiros, assume-se o ponto *radix* amarrado na posição à direita do *bit* LSB.

Para o formato fracionário, o deslocamento do ponto *radix* determina em que formato um certo valor numérico foi representado, esse deslocamento significa que os *bits* destinados à magnitude do sinal terão valores menores que um (1). A notação usada pelos DSP da *ANALOG DEVICES* consiste em dois números separados por um ponto (.), o primeiro número refere-se ao número de *bits* localizado à esquerda do ponto *radix*, o segundo é o número de *bits* à direita do mesmo ponto. Observa-se nas figuras a seguir a representação de números fracionários em ponto-fixo, como exemplo utilizando-se da representação no formato 13.3 (treze ponto três).

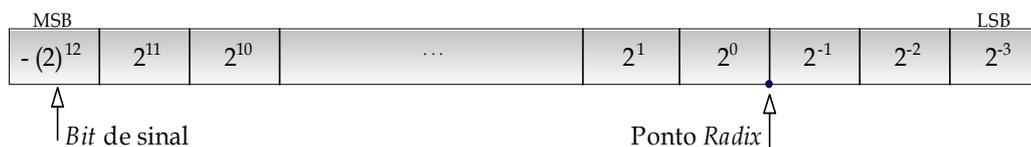


Fig. 2.8 - Representação do número binário fracionário no formato ponto – fixo com sinal (13.3).

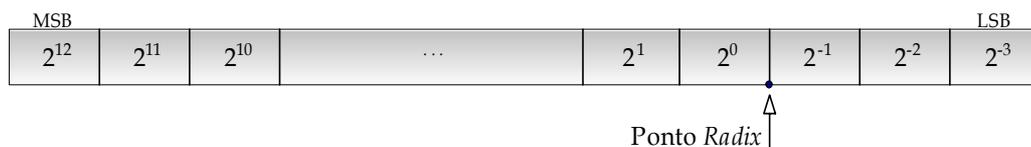


Fig. 2.9 - Representação do número binário fracionário no formato ponto – fixo sem sinal (13.3).

De acordo com a Tabela 2.1, escolhe-se o formato fracionário adequado em função do valor decimal utilizado. Uma vez escolhido o formato de representação fracionário, deve-se ter em consideração que o número representado deve estar contido no intervalo compreendido entre o máximo positivo e o máximo negativo. Como o comprimento da palavra utilizada pelos DSPs é finita, 16 *bits* para os utilizados neste trabalho, tem-se discretas e finitas representações contidas na faixa de abrangência do formato fracionário utilizado. Como resultado, se o valor a ser representado não possui correspondência exata com os valores discretos, introduzem-se então erros de arredondamento. O incremento mínimo em cada um dos formatos de representação fracionária está ligado ao *bit* LSB e o peso deste *bit* determina o espaçamento mínimo de

representação entre valores adjacentes. Então se o número não coincidir, será inserido um ruído denominado ruído de quantização [37].

*Tabela 2.1 – Faixa do formato fracionário para palavra de 16 bits sinalizada.*

<b>Formato</b>	<b>Bits Inteiro</b>	<b>Bits Fracionários</b>	<b>Valor Máximo</b>	<b>Valor Mínimo</b>	<b>Incremento (1 LSB)</b>
1.15	1	15	0,999969482421875	-1,0	0,000030517578125
2.14	2	14	1,999938964843750	-2,0	0,000061035156250
3.13	3	13	3,999877929687500	-4,0	0,000122070312500
4.12	4	12	7,999755859375000	-8,0	0,000244140625000
5.11	5	11	15,999511718750000	-16,0	0,000488281250000
6.10	6	10	31,999023437500000	-32,0	0,000976562500000
7.9	7	9	63,998046875000000	-64,0	0,001953125000000
8.8	8	8	127,996093750000000	-128,0	0,003906250000000
9.7	9	7	255,992187500000000	-256,0	0,007812500000000
10.6	10	6	511,984375000000000	-512,0	0,015625000000000
11.5	11	5	1023,968750000000000	-1024,0	0,031250000000000
12.4	12	4	2047,937500000000000	-2048,0	0,062500000000000
13.3	13	3	4095,875000000000000	-4096,0	0,125000000000000
14.2	14	2	8191,750000000000000	-8192,0	0,250000000000000
15.1	15	1	16383,500000000000000	-16384,0	0,500000000000000
16.0	16	0	32767,000000000000000	-32768,0	1,000000000000000

Verifica-se, assim, que em se utilizando aritmética de ponto-fixado, o projetista deverá manusear todas as operações aritméticas do DSP a fim de determinar a melhor representação numérica para suas rotinas, sendo minimizada essa tarefa com o uso do ponto-flutuante. Como o espaçamento entre números adjacentes é menor no formato ponto-flutuante em relação a ponto-fixado, este último adiciona maior ruído de quantização.

## 2.5.2 CRITÉRIOS DE ESCOLHA DO DSP

A definição do Processador Digital de Sinais a ser utilizado no controle e comando de conversores estáticos não pode ser classificada como uma tarefa de pouca importância. Por se tratar de componentes que exigem conhecimentos específicos, qualificados e antecipados, para sua utilização e emprego em Eletrônica de Potência, a escolha deve ser feita com cuidado, a fim de evitar ou reduzir a probabilidade de haver a necessidade de troca de especificação do DSP, já com o projeto em andamento.

Com alguns conhecimentos prévios, procura-se evitar perdas de tempo e esforço humano, tentando-se aproximar as necessidades com a escolha apropriada do DSP em uso. Serão colocadas, a seguir, algumas informações que podem ser úteis na escolha do componente; pretende-se, assim, minimizar possíveis discrepâncias e escolhas equivocadas do DSP a ser utilizado.

Passa-se, primeiramente, por uma análise geral de operação e funcionamento da topologia a ser utilizada. Em função das características de operação, pode-se determinar as especificações mínimas necessárias que o DSP deve apresentar.

Algumas informações relevantes de operação do conversor devem ser determinadas a fim de se nortear e estabelecer as características básicas, que devem apresentar o DSP no controle do conversor. Entre as várias características de operação dos conversores, tem-se a seguir a lista das principais - as de interesse ao dimensionamento do tipo e modelo de DSP a ser utilizado, que são:

- ❑ número de interruptores a serem comandados;
- ❑ frequência de operação do conversor;
- ❑ tipo de modulação a ser empregada no comando dos interruptores.
- ❑ circuitos de condicionamento de sinais;
- ❑ principais sinais a serem monitorados pelo DSP;
- ❑ pré-análise dos algoritmos a serem utilizados no controle.

Com o intuito de atender a esses critérios básicos, definidos anteriormente, deve-se realizar um pré-estudo das características básicas agregadas aos DSPs. Os elementos agregados aos Processadores Digitais de Sinais normalmente referem-se aos componentes mais comuns utilizados no controle de retificadores: conversor A/D, módulo PWM e memórias. O foco de estudo engloba os seguintes pontos relativos ao Processador Digital de Sinais:

- ❑ resolução do Modulador PWM;
- ❑ resolução, número de canais e tempo de conversão do A/D;
- ❑ tempo de execução das instruções;
- ❑ capacidade de memória do DSP;

- arquitetura básica do DSP;
- ferramentas de hardware e software disponíveis no Mercado.

Com as informações obtidas das características de operação dos conversores a serem implementados nesse trabalho, podem-se determinar as exigências mínimas que o DSPs deverá apresentar para desempenhar sua função no controle desses conversores. Na Tabela 2.2 tem-se o exemplo de três tipos de aplicação, mostrando-se suas características relevantes, as quais posteriormente servirão para análise e definição do tipo de DSP a ser utilizado. Na Tabela 2.3 mostra-se a relação das principais informações dos periféricos associados aos DSPs, que normalmente são utilizadas no controle dos conversores estáticos.

Tabela 2.2 – Exigência dos conversores.

Características	Retificador Monofásico	Retificador Trifásico	Filtro Ativo Paralelo Monofásico
Sinais amostrados	4	8	3
Interruptores Comandados	2	6	4
Frequência de Operação	50 kHz	50 kHz	30 kHz
Frequência de Amostragem	100 kHz	100 kHz	60 kHz
Tipo de controlador	PI	PI	PI
Tipo de modulação	2 níveis	2 níveis	3 níveis

Tabela 2.3 – Características dos DSPs.

Características	ADMC331	ADMC401	TMS320LF2407
Ciclo de instrução	26 MIPS	26 MIPS	30/40 MIPS
PWM	Trifásico de 16 bits e 2 canais auxiliares de 8 bits.	Trifásico de 16 bits e 2 canais auxiliares de 8 bit.	Trifásico de 16 bits 2 canais auxiliares de 8 bits. (duplo).
Conversores A/D	7 canais (3 dedicados e 4 multiplexadas) de 12 bits tipo rampa simples.	8 canais dedicados de 12 bits, tipo <i>pipeline flash</i> .	16 canais multiplexados de 10 bits.
Tempo de Conversão A/D	Depende diretamente do período PWM.	8 canais em 2µs Sincronizado ou independente do período de PWM.	500 ns p/canal Sincronizado ou independente do período de PWM.
Memória de Dados	1k x16 bits – RAM	1k x16 bits – RAM	2.5 k x 16 bits – RAM
Memória de Programas	2k x24 bits – ROM 2k x24 bits – RAM	2k x24 bits – ROM 2k x 24 bits – RAM	32k x16 bits – EEPROM FLASH
Barramentos de expansão de Memória	Não Possui	14 bits de endereços 24 bits de dados	16 bits de endereços 16 bits de dados

Analisando-se as informações contidas na Tabela 2.2 e Tabela 2.3, pode-se dimensionar adequadamente qual DSP atende às especificações de projeto de controle digital para os conversores apresentados na Tabela 2.2. Salienta-se que no início do desenvolvimento do tema de doutoramento, não se dispunha de todos os DSPs analisados na Tabela 2.3; dessa forma, além da análise das especificações desses componentes, também houve outras variáveis a serem agregadas na escolha do DSP. Entre elas a disponibilidade na época da aplicação, a exigência específica de mercado e, principalmente, o interesse em ampliar a massa crítica com relação a famílias e tipos distintos de componentes controladores DSPs. Relacionando-se as informações contidas na Tabela 2.2 e Tabela 2.3, chega-se à Tabela 2.4, que relaciona as características dos conversores com as características que devem ser observadas no DSP. Pode-se então especificar o DSP em função do cruzamento dessas informações, ou seja, verificando-se qual DSP possui disponibilidades de periféricos necessários para atender à demanda discriminada na Tabela 2.2. Como exemplo tem-se na Tabela 2.5 a especificação para o retificador trifásico. Classificou-se com “sim” a capacidade do DSP de atender certa demanda, e “não” como sendo a falta de capacidade.

*Tabela 2.4 – Relação entre conversor e o DSP.*

<b>Características dos Conversores</b>	<b>Características nos DSPs</b>
Sinais amostrados	Número de canais do conversor A/D
Interruptores Comandados	Número de canais PWM
Frequência de Operação	Tempo de Instrução
Frequência de Amostragem	Tempo de Conversão
Tipo de controlador	Tempo de Instrução
Tipo de modulação	Flexibilidade de Programação do PWM

*Tabela 2.5 – Especificação para o retificador trifásico.*

<b>Retificador Trifásico</b>	<b>ADMC331</b>	<b>ADMC401</b>	<b>TMS320LF2407</b>
8 sinais amostrados	não	sim	sim
6 Interruptores Comandados	sim	sim	sim
Frequência de Operação 50 kHz	sim	sim	sim
Frequência de Amostragem 100 kHz	sim	sim	sim
Controlador PI	sim	sim	sim
Modulação 2 níveis	sim	sim	sim

Observando-se a Tabela 2.5, conclui-se que a opção de usar o *ADMC331* para controlar o retificador trifásico não seria completamente adequada, pois não existem canais A/D disponíveis para aquisição de todas as variáveis envolvidas no controle do mesmo. Em função dos critérios aqui sugeridos para balizar a escolha do DSP, ficou definido o uso dos seguintes DSPs para cada uma das aplicações:

*Tabela 2.6 – Escolhas do DSP feitas por aplicação.*

Aplicação	DSP		FABRICANTE
	Possibilidades	Escolhido	
Retificador Monofásico	<i>ADMC 331/401, TMS320LF2407</i>	<i>ADMC 331</i>	<i>ANALOG DEVICES</i>
Retificador Trifásico	<i>ADMC 401, TMS320LF2407</i>	<i>ADMC 401</i>	<i>ANALOG DEVICES</i>
Filtro Ativo Paralelo	<i>ADMC 331/401, TMS320LF2407</i>	<i>TMS320LF2407</i>	<i>TEXAS INSTRUMENTS</i>

Pretende-se com as informações aqui relacionadas contribuir para o projetista fazer uma seleção adequada do DSP visando aplicações em Eletrônica de Potência. Porém o objetivo principal dos critérios de escolha apresentados anteriormente é no sentido de externar alguns detalhes que devem ser observados para evitar transtornos e mudanças desnecessárias quando do andamento da aplicação.

Cabe salientar ainda, que outras informações, como a complexidade dos algoritmos utilizados, também devem ser analisadas, pois podem comprometer e restringir a frequência de operação desejável e possível para o conversor, em função do tempo necessário para execução dos algoritmos.

## 2.6 O DSP *ADMC401*

O *ADMC401* (*Single-Chip, High Performance Embedded DSP Controller*) é um controlador DSP de um único chip, projetado principalmente para ser utilizado em aplicações que envolvam controle, acionamento de motores elétricos e na área de Eletrônica de Potência, em projetos aplicados ao controle digital de conversores estáticos, tais como: UPS, fontes de alimentação monofásicas e trifásicas, inversores, entre outros. Esse componente da *ANALOG DEVICES* pertence à família *ADMC* (*Embedded Control Family*).

### 2.6.1 DESCRIÇÃO GERAL

O *ADMC401* possui um núcleo que opera em 26 MIPS, de ponto fixo e um conjunto completo de periféricos, com alto grau de integração, que facilita o desenvolvimento e projeto de aplicações em Eletrônica de Potência, necessitando valer-se de técnicas de controle digital.

O núcleo do *ADMC401* é o DSP *ADSP-2171*, o qual possui código compatível com todos os membros da família de DSP *ADSP-21xx*, possuindo três unidades computacionais, geradores de endereçamento e seqüenciador de programa. As unidades computacionais compreendem a unidade lógica e aritmética (ALU), a unidade de multiplicação e acumulação (MAC) e a unidade de deslocamento (*barrel Shifter*). O núcleo DSP possui instruções de manipulação de *bits*, potenciação quadrática ( $x^2$ ), arredondamento e mascaramento global de interrupções. O *ADMC401* possui também duas portas seriais síncronas bidirecionais.

Além disso possui memória RAM interna de programa de 2k x 24 *bits*, uma memória ROM interna de programa de 2k x 24 *bits* e uma memória RAM interna de dados de 1k x 16 *bits*. As memórias (Programa e Dados) do *ADMC401* podem ser carregadas através da porta serial ou a partir de uma memória E<sup>2</sup>PROM, por uma conexão UART (com um microprocessador externo ou com o *software* de desenvolvimento); pode ser também, por uma conexão serial síncrona com um microprocessador externo. Alternativamente, o DSP pode ler dados em

---

um dispositivo de memória externo conectado nos barramentos de dados e endereço do *ADMC401*.

Disponibiliza ainda de um conjunto especial de periféricos para aplicações específicas de controle de conversores estáticos em Eletrônica de Potência, dentre eles:

- sistema de 8 canais de conversores A/D de 12 bits, que possibilita a amostragem simultânea de dois sinais, formando quatro pares;
- gerador trifásico de PWM de 16 bits, capaz de gerar sinais de PWM de alta precisão.

As principais características desse componente, estudadas e utilizadas nos projetos desenvolvidos nessa tese, são relacionadas a seguir:

- 26 MIPS ponto-fixos;
- Unidades computacionais independentes: ALU, Multiplicação, Acumulação e Deslocamento;
- Execução das Instruções em um único ciclo (38.5 ns);
- 2k x 24 bits - Memória de Programa RAM;
- 2k x 24 bits - Memória de Programa ROM;
- 1k x 16 bits - Memória de Dados RAM;
- Gerador PWM Trifásico de 16 bits;
- Oito (8) entradas analógicas (A/D) de 12 bits.

O diagrama de blocos funcional do controlador DSP *ADMC401* pode ser visto na Fig. 2.10. Observa-se a existência de um núcleo base (Núcleo DSP de 26 MIPS), neste caso o *ADSP-2171*, o qual serve de arquitetura base de processamento no controlador *ADMC401*.

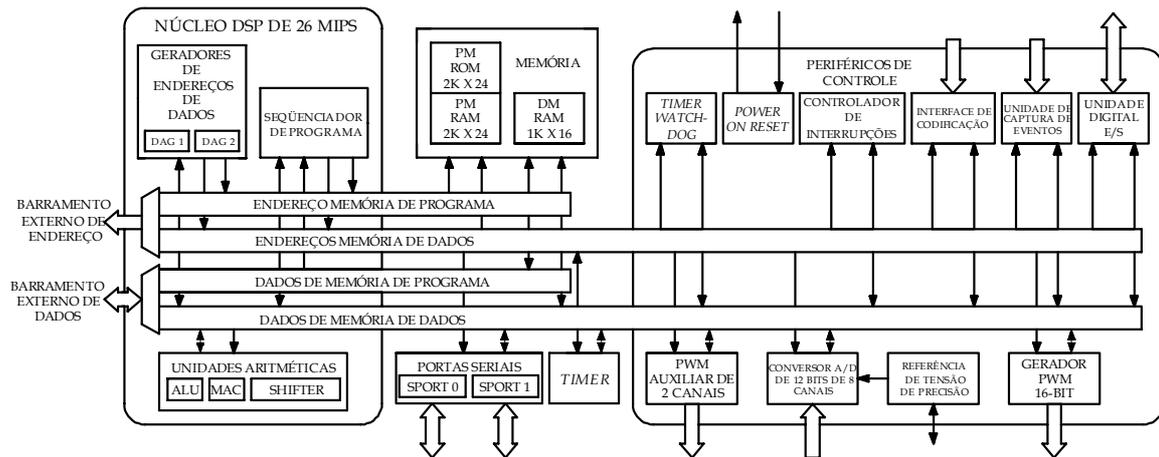


Fig. 2.10 - Diagrama de blocos funcionais do ADMC401.

### 2.6.2 CONVERSÃO ANALÓGICO-DIGITAL (SISTEMA ADC)

O ADMC401 possui um sistema de conversão analógico-digital rápido e preciso. Esse sistema possibilita a leitura e conversão de tensões, correntes e outros sinais necessários em aplicações que envolvem o processamento digital de sinais.

O Sistema ADC é baseado em uma topologia de aquisição de dados analógico tipo *pipeline flash* de 12 bits. Ele permite a conversão de até oito (8) sinais de entrada em menos de 2 $\mu$ s (a uma frequência de 26 MHz), operando a uma frequência (*clock* ADC) igual a um quarto da frequência de processamento de instruções.

Os 8 sinais de entrada são divididos em dois bancos de quatro sinais cada. VIN0 a VIN3 formam o primeiro banco, e VIN4 a VIN7 formam o segundo. Cada banco possui um amplificador com a função de amostragem (SHA e SHB) e um sinal dedicado (ASHAN para o banco 1 e BSHAN para o banco 2), que possibilita corrigir os sinais de entrada para uma faixa desejada de operação. Na Fig. 2.11 pode-se observar o diagrama de blocos funcional do sistema ADC.

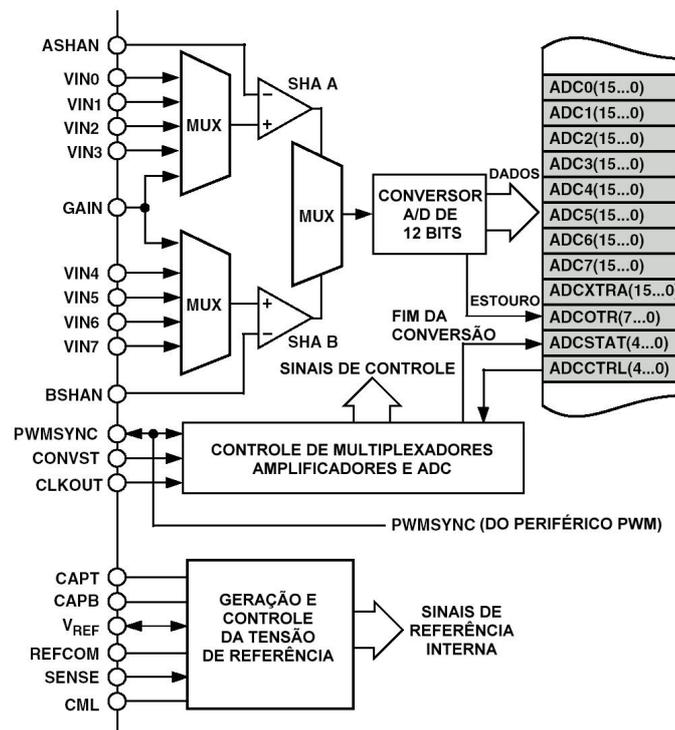


Fig. 2.11 - Diagrama de blocos funcionais do sistema ADC do ADMC401.

O sistema ADC pode operar em dois modos distintos: Amostragem simultânea e amostragem seqüencial. O modo de operação é selecionado por dois *bits* do registro ADCCTRL. Os modos de operação podem ser descritos da seguinte forma:

#### MODO AMOSTRAGEM SIMULTÂNEA:

Neste modo, duas entradas, uma de cada banco, são amostradas simultaneamente, de modo que VIN0 e VIN4, VIN1 e VIN5, VIN2 e VIN6, VIN3 e VIN7 formam quatro pares de sinais de entrada amostrados simultaneamente.

#### MODO AMOSTRAGEM SEQÜENCIAL:

Aqui não há amostragem simultânea, e os sinais de entrada são convertidos um após o outro, começando por VIN0 e, seqüencialmente, terminando com VIN7.

A conversão pode ser iniciada internamente (sincronizada com o gerador de PWM) ou por intermédio de um evento externo, conectado ao pino

CONVST. No modo simultâneo, após o comando de partida, a lógica interna amostra automaticamente o primeiro par de sinais de entrada (VIN0 e VIN4). A seguir esses sinais são multiplexados para o conversor analógico-digital de 12 *bits*, e, após um atraso de dois ciclos ADC, o segundo par de sinais (VIN1 e VIN5) é amostrado. Após a amostragem e conversão de cada entrada, o valor digital correspondente é guardado e alinhado à esquerda em um registrador dedicado. Esse registrador é do tipo 16 *bits*, mapeado na memória de dados do DSP. O registrador ADC0, por exemplo, guarda o valor convertido do sinal analógico VIN0.

Após o fim da conversão e subsequente atualização dos oito registradores ADC, o sistema ADC entra em modo chamado de canal simples e, continuamente, converte a entrada analógica conectada ao pino VIN0. Os resultados dessas conversões são guardados no registrador ADCXTRA, e são atualizados a cada ciclo de *clock* ADC. Esse recurso pode ser útil para monitorar continuamente uma única entrada analógica conectada ao pino VIN0.

A tensão de referência para o ADC pode ser a de 2,0 V, gerada internamente, ou uma tensão aplicada ao pino *Vref*. O modo de referência é selecionado através do pino SENSE.

### 2.6.3 CONTROLADOR PWM

#### VISÃO GERAL

O bloco controlador PWM do *ADMC401* é um gerador de PWM trifásico que pode ser programado para gerar os padrões de chaveamento necessários para acionar conversores tais como inversor de tensão trifásico, retificadores etc. O controlador PWM possui funções especiais que simplificam a geração dos padrões de chaveamento desejados.

O gerador de PWM produz três pares de sinais PWM em seis pinos de saída (AH, AL, BH, BL, CH e CL). Os seis sinais de saída consistem de três sinais ativo-alto (AH, BH e CH) e três sinais ativo-baixo (AL, BL e CL). A polaridade dos

---

sinais de PWM gerados pode ser programada através do pino PWMPOL, de forma que tanto padrões ativo-alto e ativo-baixo possam ser gerados pelo DSP.

A frequência de chaveamento, o tempo morto e a largura mínima de pulsos dos padrões de PWM gerados são programáveis por meio dos registradores PWMTM, PWMDT e PDMPD, respectivamente. Além disso, três registradores (PWMCHA, PWMCHB e PWMCHC) controlam diretamente a razão cíclica dos três pares de sinais PWM.

Existem dois modos distintos de operação para o gerador PWM: modo atualização simples (*single update*) e atualização dupla (*double update*). No modo atualização simples, o valor da razão cíclica é programado apenas uma vez por período de PWM, de forma que os padrões de PWM gerados são simétricos em relação ao ponto médio do período. No modo atualização dupla, uma segunda atualização dos registradores PWM é implementada na metade do período de PWM. Neste modo, é possível produzir padrões assimétricos de PWM. Essa técnica permite também que controladores de malha fechada atuem com uma maior velocidade, possibilitando a implementação de controladores mais rápidos.

A geração dos seis sinais de saída PWM nos pinos AH a CL é controlada por quatro (4) importantes blocos, a seguir discriminados.

#### UNIDADE TRIFÁSICA DE TEMPO

Consiste no núcleo do controlador PWM. Essa unidade gera três pares de sinais PWM complementares, com tempos mortos ajustáveis.

#### UNIDADE DE CONTROLE DE SAÍDA

Essa unidade permite o redirecionamento das saídas da Unidade Trifásica de Tempo, de cada canal, para o nível alto ou baixo da saída. Além disso, a unidade de controle de saída permite habilitar ou desabilitar cada um dos seis sinais de saída PWM.

**UNIDADE DE GATE DRIVE**

É a unidade que fornece a polaridade correta dos sinais de saída de acordo com o estado do pino PWMPOL. Ela permite ainda a geração da frequência do sinal de alta frequência, que se torna posteriormente o modulador dos sinais de PWM.

**UNIDADE DE CONTROLE DE DESLIGAMENTO**

Nela ocorre a coordenação dos vários modos de desligamento da unidade de PWM e geração do sinal de *reset* para a unidade de tempo.

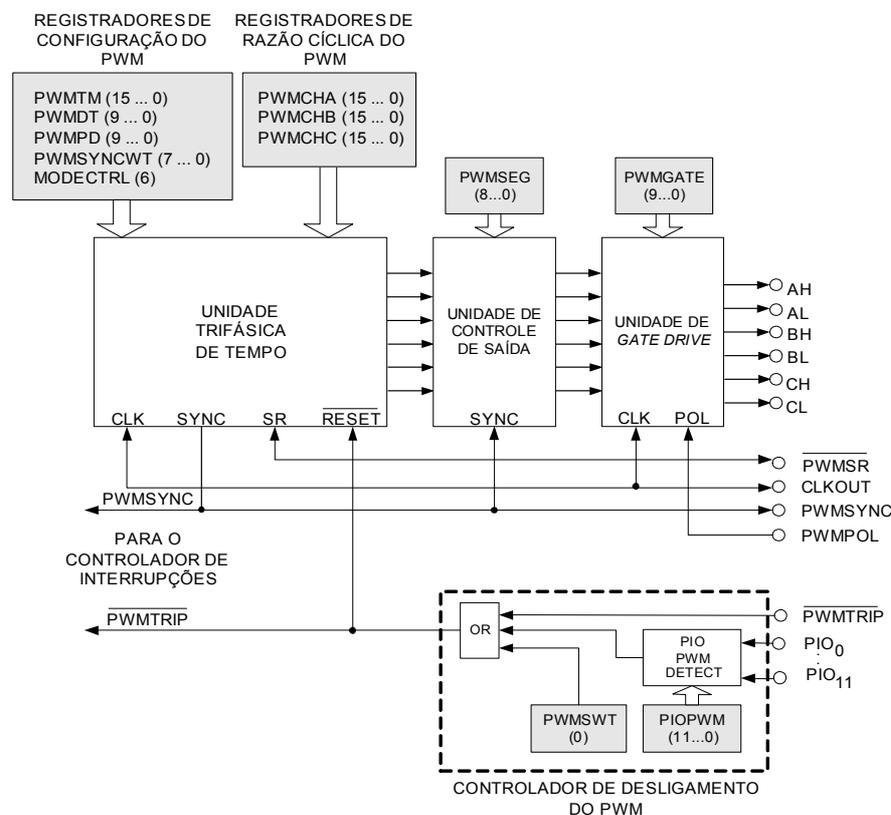


Fig. 2.12 - Visão geral do controlador PWM do ADMC401.

O controlador PWM é controlado por um *clock* com a mesma frequência de instruções do DSP, e é capaz de gerar duas interrupções para o núcleo do processador. Uma delas é gerada na subida do pulso PWMSYNC, e a outra é gerada na ocorrência de uma ação de desligamento. A Fig. 2.12 representa os blocos da unidade controladora PWM.

## 2.7 O DSP ADMC331

O *ADMC331 (Single Chip DSP Motor Controller)* é também um componente da *ANALOG DEVICES*. Constitui-se um controlador baseado em DSP em um único *chip* de baixo custo. Esse controlador foi concebido de forma a ser utilizado em projetos e aplicações que envolvam correção de fator de potência (CFP) e em acionamento de motores CA e CC. As características desse componente, por ser da mesma família do *ADMC401*, são muito semelhantes; sendo assim, a seguir destacam-se apenas os elementos diferenciados desse DSP em relação ao anterior.

### 2.7.1 DESCRIÇÃO GERAL

O *ADMC331* é um controlador de ponto fixo de 16 *bits* e 26 MIPS; o núcleo DSP deste controlador é constituído também por um *ADSP-2171*, que é compatível com os componentes da família *ADSP-2100* da *ANALOG DEVICES*. Trata-se de um controlador com capacidade de processamento baseado em DSP, e agregados a esse núcleo tem-se periféricos projetados e otimizados no intuito de satisfazer as aplicações voltadas para acionamento, CFP e controle.

As principais características desse componente são praticamente as mesmas encontradas no *ADMC401*, as exceções basicamente são relativas ao conversor A/D e ao módulo PWM trifásico:

- 26 MIPS ponto-fixa;
- Unidades computacionais independentes: ALU, Multiplicação e Acumulação e Deslocamento;
- Execução das instruções em um único ciclo (38.5 ns);
- 2k x 24 bits - memória de programa RAM;
- 2k x 24 bits - memória de programa ROM;
- 1k x 16 bits - memória de dados RAM;
- Gerador PWM Trifásico de 16 bits;
- Sete (7) entradas analógicas (A/D) sincronizadas com o PWM;
- Funções Implementadas em ROM.

O diagrama de blocos funcionais do controlador *ADMC331* pode se visto na Fig. 2.13. Observa-se na figura a existência de um núcleo-base chamado *ADSP-2100*, relativo à família que constitui a característica básica do controlador *ADMC331*. Associado a esse, tem-se os módulos periféricos ligados ao núcleo DSP e incorporados no *chip*.

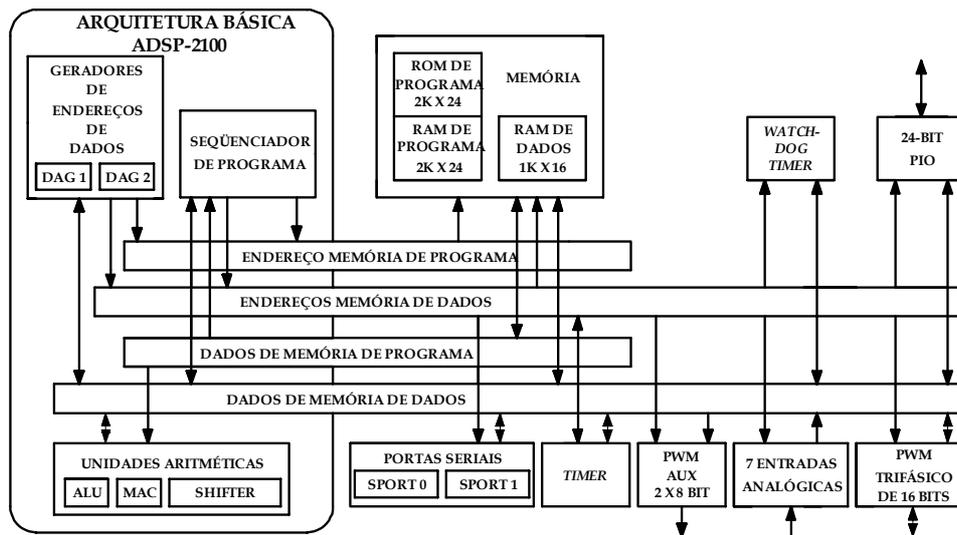


Fig. 2.13 - Diagrama de Blocos Funcional do ADMC331.

O *ADMC331* possui como núcleo o DSP *ADSP-2171*, que é um Processador Digital de Sinais. Evidenciam-se na figura três unidades computacionais independentes, chamadas de unidade de Lógica e Aritmética (ULA), unidade de multiplicação acumulação (MAC) e unidade de deslocamento (SHIFTER). A arquitetura do *ADSP-2171* possui ainda unidades periféricas, como o temporizador (TIMER) e dois canais seriais (SPORT 0 e SPORT 1).

### 2.7.2 ROM INTERNA

O controlador DSP *ADMC331* apresenta internamente um bloco de memória ROM (memória somente de leitura) de  $2k \times 24$  bits que inicia no endereço  $0x0800$ . Essa posição de memória contém um programa monitor cuja função é ler e executar programas do usuário via interface de comunicação serial. Adicionalmente o programa monitor também suporta comunicação com um computador, a fim de propiciar a utilização de ambientes de programação e desenvolvimento para facilitar o projeto.

Um dos ambientes desenvolvidos para esse fim é o *Motion Control Debbugger*, o qual faz parte do *ADMC331-ADVEVALKIT*, que foi o pacote de desenvolvimento utilizado para controle do conversor.

Além dessas funções desempenhadas pelas rotinas monitoras, na memória de programa ROM do *ADMC331*, foi implementado pelo fabricante um conjunto de funções matemáticas e de funções aplicadas ao controle de motores, que podem ser utilizadas como sub-rotinas nos programas do usuário. Na Tabela 2.7, mostra-se uma lista completa dessas funções implementadas em ROM; entre elas tem-se funções matemáticas como seno, cosseno, arcotangente, raiz quadrada, logaritmos e também funções de operações aritméticas em ponto flutuante, bem como uma biblioteca de transformadas de Clark e Park.

Tabela 2.7 – Funções implementadas em ROM.

Rotina	Endereço	Função
PER_RST	0X07F1	Inicializa periféricos.
UMASK	0X0DED	Limita valores sem sinal .
PUT_VECTOR	0X0DF4	Manipula tabela de interrupções.
SMASK	0X0E06	Limita valores com sinal.
ADMC_COS	0X0E26	Função Coseno.
ADMC_SIN	0X0E2D	Função Seno.
ARCTAN	0X0E43	Função Arcotangente.
RECIPROCAL	0X0E65	Função Inversa (1/X).
SQRT	0X0E7B	Função Raiz Quadrada.
LN	0X0EB5	Função Logaritmo Natural.
LOG	0X0EB8	Função Logaritmo base 10.
FLTONE	0X0ED4	Conversão ponto fixo para ponto flutuante.
FIXONE	0X0ED9	Conversão ponto flutuante para ponto fixo.
FPA	0X0EDD	Adição ponto flutuante.
FPS	0X0EEC	Subtração ponto flutuante.
FPM	0X0EFC	Multiplicação ponto flutuante.
FPD	0X0F05	Divisão ponto flutuante.
FPMACC	0X0F26	Multiplicação/Acumulação ponto flutuante.
PARK	0X0F48	Transformada direta/reversa de PARK.
REV_PARK	0X0F5C	Transformada Reversa de PARK.
FOR_CLARK	0X0F72	Transformada Direta de CLARK.
COS64	0X0F80	Tabela da função coseno de 64 pontos.
ONE_BY_X	0X0FC0	Tabela 1/x de 16 pontos.
SDIVQINT	0X0FD0	Divisão inteira sem sinal precisão simples.
SDIVQ	0X0FD9	Divisão fracionária sem sinal precisão simples.

### 2.7.3 CONTROLADOR PWM TRIFÁSICO

Um dos periféricos incluídos no controlador *ADMC331* é o gerador PWM de 16-bits, que pode ser utilizado para geração de sinais de comando trifásicos. Esse DSP possui internamente um bloco responsável pela geração do PWM trifásico. Ele pode ser facilmente programado para gerar diversos padrões de modulação para atender aplicações dos mais variados tipos, como por exemplo, acionamento e controle de conversores.

Semelhante ao *ADMC401*, o gerador PWM é formado por três pares de sinais PWM disponíveis externamente através de seis (6) pinos do DSP, nomeados como AH, AL, BH, BL, CH e CL. Os pinos AH, BH e CH são gerados em padrão nível alto, enquanto os sinais AL, BL e CL o são em nível baixo.

No modo de atualização dupla (duas atualizações da razão cíclica podem ser feitas por período PWM), um pulso adicional é gerado no ponto médio de cada período PWM. A largura desses pulsos é programada através do registrador *PWMSYNCWT*. O diagrama de blocos do controlador PWM é mostrado na Fig. 2.14.

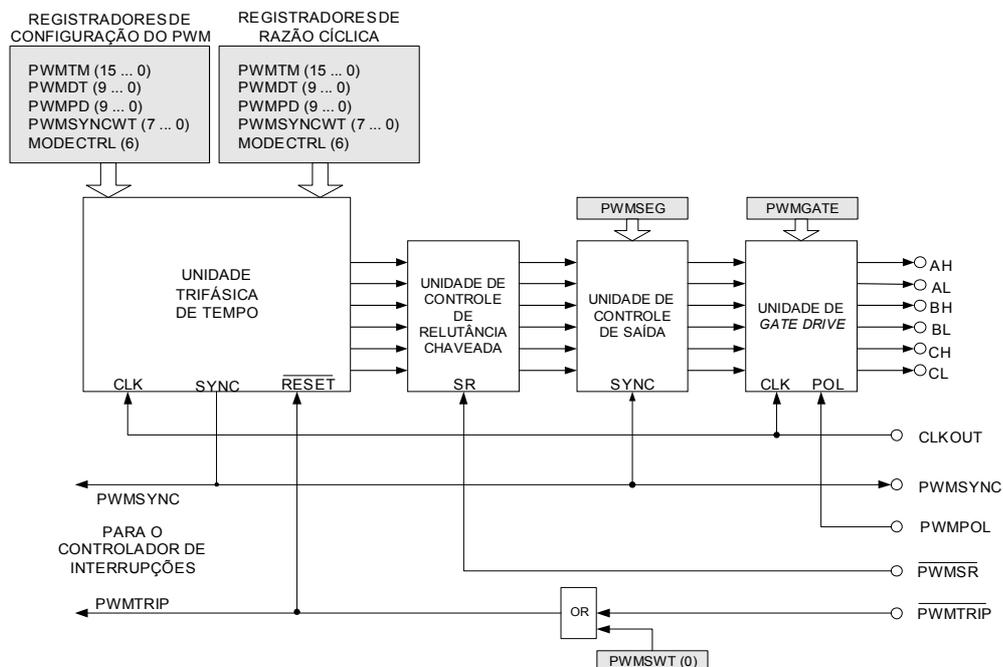


Fig. 2.14 – Visão geral do controlador PWM trifásico do ADMC331.

O diagrama de blocos mostrados na Fig. 2.14 é composto de unidades básicas responsáveis pela geração do PWM disponibilizado nos pinos de saída (AH ,AL ,BH, BL, CH e CL). Os blocos mais importantes são:

#### **UNIDADE TRIFÁSICA DE TEMPO**

É o núcleo do PWM, responsável pela geração dos três pares complementares de sinais PWM e também pelo ajuste do tempo morto.

#### **UNIDADE DE CONTROLE DE RELUTÂNCIA CHAVEADA**

Transforma as três saídas PWM em seis (6) saídas PWM, para controlar motores de relutância chaveada.

#### **UNIDADE DE CONTROLE DE SAÍDA**

Permite redirecionar as saídas do bloco Unidade Trifásica de Tempo para cada um dos canais PWM de saída. Também controla individualmente a habilitação ou não dos seis sinais PWM.

#### **UNIDADE DE *GATE DRIVE***

Responsável pela polaridade das saídas PWM, com base no estado do pino PWMPOL. Permite também a geração do sinal de alta frequência, que modula o sinal PWM.

A frequência de chaveamento, o tempo morto, os modos de operação e a razão cíclica do PWM são determinados utilizando-se o mesmo procedimento adotado no estudo do *ADMC401*.

### **2.7.4 SISTEMA ADC**

O sistema ADC do *ADMC331* é composto por um conversor de sete (7) canais, cuja topologia de conversão é do tipo rampa simples, com uma resolução de 12 *bits*. Três (3) dos canais de conversão são dedicados, ou seja, operam simultaneamente, sendo os quatro restantes multiplexados. A Fig. 2.15 ilustra o diagrama de blocos do sistema ADC do DSP *ADMC331*.

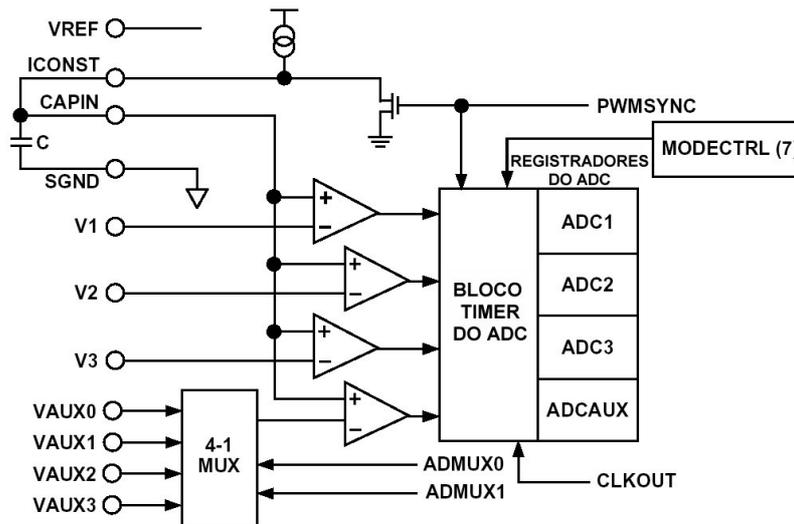


Fig. 2.15 - Diagrama de blocos do sistema ADC.

As entradas V1, V2 e V3 possuem comparadores dedicados, enquanto as entradas auxiliares VAUX0, VAUX1, VAUX2 e VAUX3 são multiplexadas, sendo selecionadas através dos bits ADCMUX0 e ADCMUX1 do registrador MODCTRL.

A seguir são mostradas aquisições de um projeto genérico de acionamento do módulo PWM trifásico com frequência de chaveamento de 50 kHz, utilizando-se o ADMC331.

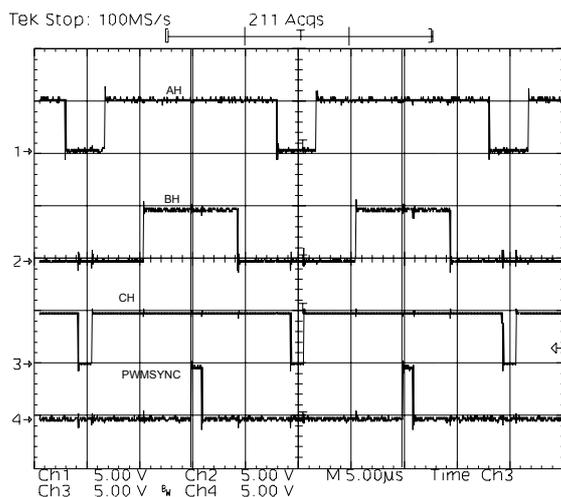


Fig. 2.16 - PWM trifásico (ativo baixo) AH, BH e CH e PWMSYNC.

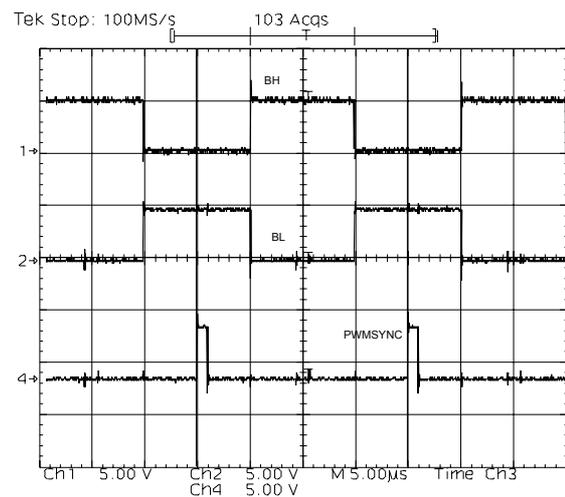


Fig. 2.17 - PWM BH e BL e PWMSYNC.

Na Fig. 2.16 tem-se os sinais nas três saídas PWM. Observa-se que a saída é ativa em nível baixo (zero), e que cada uma delas possui razão cíclica

diferente. O sinal PWMSYNC é gerado no início de cada período PWM. Na Fig. 2.17 mostram-se ambas as saídas complementares de um dos pares de saída PWM do ADCM331.

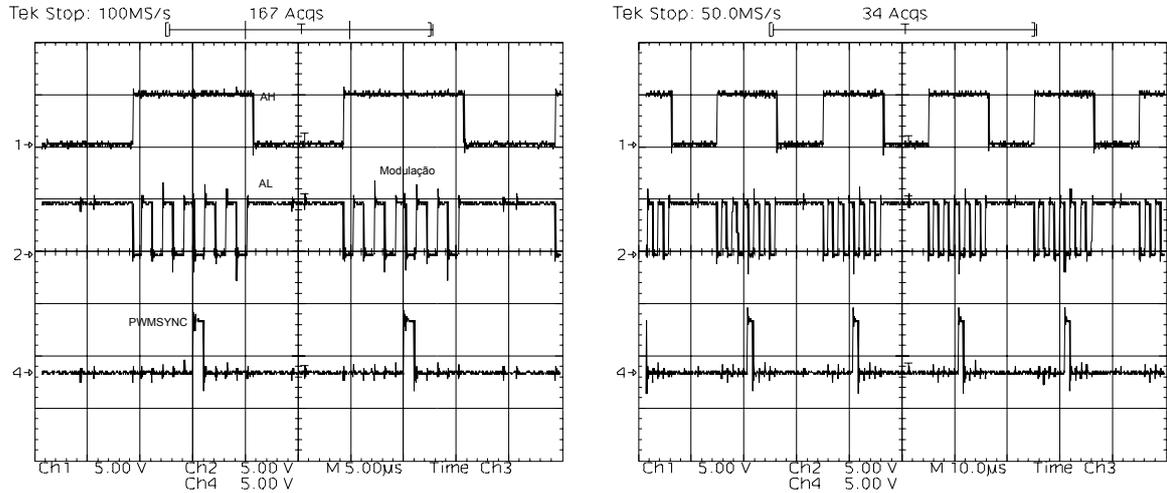


Fig. 2.18 - PWM (ativo em baixo), AH ; AL com modulação de 500 kHz.

Na Fig. 2.18 demonstra-se uma das características citadas do módulo PWM, ou seja, a capacidade de modular um dos sinais de saída PWM (AL) através de um sinal trem-de-pulso com frequência programável por intermédio do registrador PWMGATE. O sinal de modulação pode ser habilitado separadamente (AH ou AL) ou simultaneamente (AH e AL) para todos os pares de sinais PWM de saída.

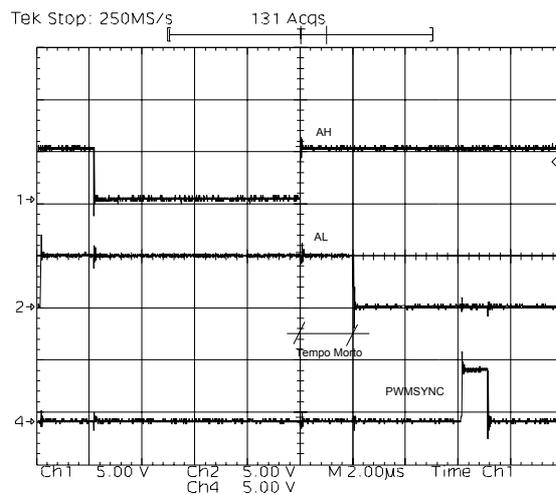


Fig. 2.19 - PWM AH e AL com tempo morto de 2 us.

Pode-se gerar um tempo morto entre os sinais de saída do módulo PWM; conforme se evidencia na aquisição das saídas AH e AL mostradas na Fig. 2.19. O tempo morto entre os sinais de um mesmo par (AH/AL, BH/BL ou CH/CL) pode ser estabelecido pelo valor no registrador de 10 bits PWMDT.

Na Fig. 2.20 estão representados os sinais do par PWM AH e AL. Evidencia-se o sincronismo entre a rampa de referência para a conversão A/D, com o início do período PWM, ou seja, a cada início do período PWM o sinal de referência de tensão para o A/D é reinicializado.

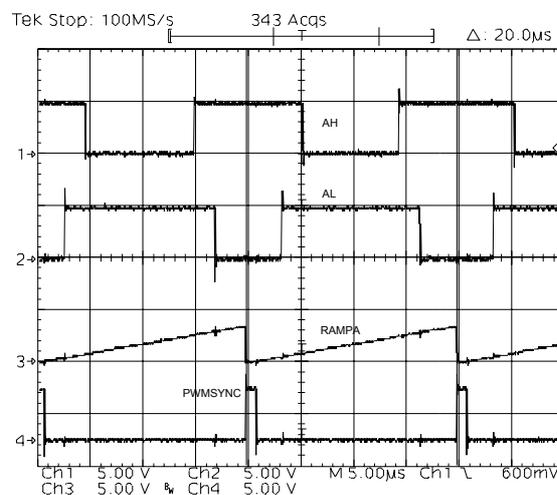


Fig. 2.20 - PWM AH/AL, rampa de referência do conversor A/D e sinal PWMSYNC.

## 2.8 O DSP TMS320LF2407

Os TMS320LF240x são os novos componentes da geração TMS320C24x de DSP da TEXAS INSTRUMENTS e fazem parte da plataforma de ponto fixo TMS320C2000. O 240x oferece uma melhoria na arquitetura da CPU do C2xx, traduzindo-se por um baixo custo, também baixo consumo de energia e alta performance na capacidade de processamento. Vários periféricos, otimizados para aplicações em controle digitais, têm sido integrados neste DSP, disponibilizando assim em um único *chip* um componente controlador digital de sinais.

### 2.8.1 CARACTERÍSTICAS GERAIS

Além de possuir o código de programação compatível com o C24x, o 240x apresenta uma performance melhor de processamento (30/40 MIPS) e um alto nível de integração periférica. O TMS320LF2407 é um DSP de 16 bits de ponto fixo com memória *flash*. Suas principais características são:

- ❑ Ciclo de instrução de 33/25 ns (frequência de 30/40 MHz);
- ❑ Desempenho de 30/40 MIPS;
- ❑ Núcleo da CPU baseada no DSP TMS320C2xx;
- ❑ Código compatível com F243/F241/C240;
- ❑ Até 32k de palavras de 16 bits de E<sup>2</sup>PROM Flash (4 setores);
- ❑ Até 2,5k de palavras de 16 bits de RAM de Dados/Programa. Sendo 544 palavras de RAM de duplo acesso e até 2k palavras de RAM de simples acesso;
- ❑ Dois módulos gerenciadores de eventos (EVA e EVB);
- ❑ Dois *Timers* de propósito geral de 16 bits;
- ❑ Oito canais de PWM de 16 bits;
- ❑ Tempo morto programável;
- ❑ Três unidades de Captura;
- ❑ Sincronização para o conversor analógico-digital;
- ❑ Interface de memória externa: 64k de programa, 64k de dados, 64k de I/O;
- ❑ *Watchdog*;
- ❑ Conversor analógico-digital de 10 bits, com 8 ou 16 canais de entrada multiplexados, tempo de conversão de 500 ns;
- ❑ Interface de comunicação Serial;
- ❑ Até 40 pinos de entrada e saída programáveis individualmente;
- ❑ Até cinco interrupções externas.

## 2.8.2 ARQUITETURA BÁSICA

Descrevem-se a seguir as características gerais da Unidade Central de Processamento (CPU) do *TMS320LF2407*, destacando-se suas principais seções e uma visão geral do funcionamento de cada uma das unidades que compõem a CPU.

Sabendo-se que as operações de aritmética e lógica são realizadas na CPU do DSP, uma visão geral da funcionalidade desta unidade facilitará o entendimento e o desenvolvimento das rotinas implementadas na linguagem própria desse DSP.

### CPU - UNIDADE CENTRAL DE PROCESSAMENTO

A CPU é a região do DSP onde os dados são manipulados e processados. Essa unidade é composta por três seções fundamentais: a Seção de Deslocamento de Entrada, a Seção de Multiplicação e a Seção Central de Lógica e Aritmética. Na CPU tem-se uma unidade auxiliar independente da CALU (Unidade Central de Lógica e Aritmética), cuja função é realizar operações aritméticas com registradores auxiliares, paralelo às operações realizadas na CALU.

### SEÇÃO DE DESLOCAMENTO DE ENTRADA

A seção de deslocamento tem a função de ajustar um dado de 16 *bits* oriundos da memória, formando um de 32 *bits*, que será manipulado na CALU. O dado de entrada pode ser retirado tanto da memória de dados (através do barramento de leitura de dados) como da memória de programa (via barramento de leitura de programa). O dado vindo da memória fica armazenado nos *bits* de 0 a 15 do registro de deslocamento; esse dado é manipulado e fica disponível via barramento de 32 *bits*, que liga essa seção a CALU.

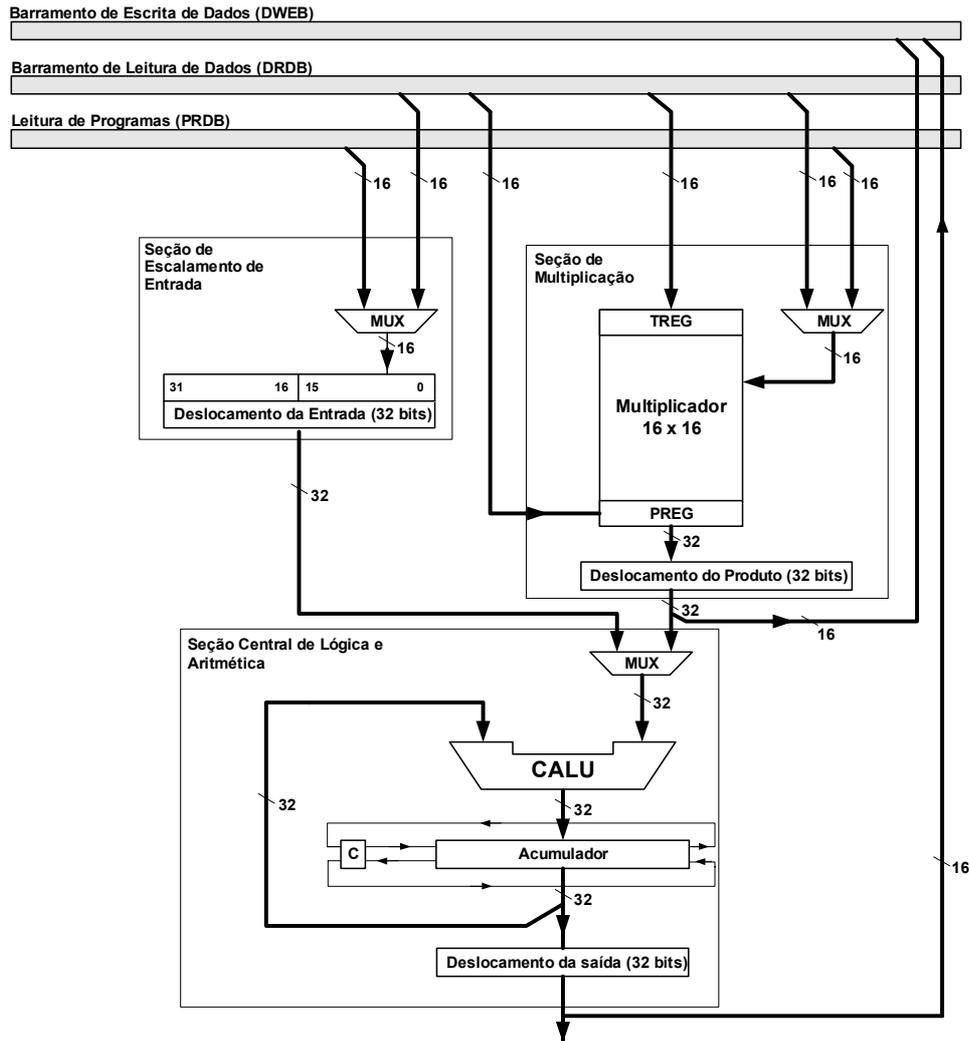


Fig. 2.21 - Diagrama de blocos da CPU.

### SEÇÃO DE MULTIPLICAÇÃO

O DSP *TMS320LF2407* usa um *hardware* de multiplicação de 16 *bits* x 16 *bits*, que gera um produto com ou sem sinal de 32 *bits* em apenas um ciclo. Os dois números a serem multiplicados são tratados como números representados no formato complemento de 2, exceto quando a multiplicação for considerada sem sinal.

### SEÇÃO CENTRAL DE LÓGICA E ARITMÉTICA

Os principais componentes dessa seção são a CALU e o registro acumulador de 32 *bits*. A CALU implementa uma grande quantidade de funções

lógicas e aritméticas, sendo a maioria delas executadas em apenas um ciclo de *clock*. Essas funções podem ser agrupadas em quatro categorias:

- Adição de 16 bits.
- Subtração de 16 bits.
- Operações lógicas booleanas.
- Teste de bits, deslocamento e rotação.

Mais detalhes sobre programação e operação dos DSPs apresentados nos itens 2.6, 2.7 e 2.8 podem ser encontrados no apêndice A, e também em [20 - 24].

## 2.9 CONCLUSÃO

Este capítulo teve como objetivo coletar e apresentar alguns aspectos relevantes da teoria de controle digital relatados nas bibliografias afins, informações essas que foram empregadas no desenvolvimento e projeto dos controladores aplicados ao controle dos conversores estudados neste trabalho.

Em um segundo momento, descreveram-se os pontos mais importantes dos componentes utilizados nos projetos, quais sejam, o controlador DSP *ADMC331*, *ADCM401* e o *TMS320LF2407*, pois dois desses três componentes formaram a estrutura básica do sistema de controle dos conversores implementados em laboratório. Os principais elementos do controlador DSP necessários para sua aplicação em controle são os periféricos relacionados à conversão analógico-digital e o módulo PWM; ambos foram relatados com extensivos detalhes, já que esses foram os principais periféricos utilizados na implementação do controle do retificador monofásico e do retificador trifásico.

Algumas aquisições foram mostradas no intuito de demonstrar o funcionamento das características básicas da unidade PWM trifásica, que incorpora as unidades controladoras dos DSP.

## CAPÍTULO 3

### RETIFICADOR MONOFÁSICO DE TRÊS NÍVEIS

#### 3.1 INTRODUÇÃO

Propõe-se, neste capítulo, um estudo do conversor monofásico devido à sua grande utilização, ao emprego prático de sua estrutura e à possibilidade de extensão do estudo desse conversor para o caso trifásico de três níveis [10]. Dessa forma, faz-se necessário apresentar a estrutura topológica do retificador dobrador de tensão, as suas principais características, as etapas concernentes ao funcionamento, concomitantemente com as principais formas de onda de operação do conversor, bem como uma análise quantitativa desse retificador.

#### 3.2 ETAPAS DE OPERAÇÃO

As principais características, comparadas às do conversor tipo ponte completa a diodos, são apresentadas a seguir, segundo [1, 25, 26]:

- O estágio retificador integra-se ao conversor boost, com isso tem-se uma redução do número de componentes empregados.
- Utiliza-se de uma chave bidirecional em corrente, cujo comando é único, simplificando o circuito de comando.
- A tensão de bloqueio sobre os interruptores é a metade da tensão de saída, conseqüentemente, pode-se utilizar semicondutores com tensão mais baixa, reduzindo-se perdas de condução e de comutação.
- Nos diodos a comutação ocorre sob metade da tensão total de saída.
- O número de semicondutores que processam energia, envolvidos nas etapas de operação do conversor, são menores; com isso, reduzem-se

as perdas de condução.

- Presença do ponto médio no barramento de saída, proporcionando duas tensões reguladas e equilibradas, que possibilitam, por exemplo, o emprego de conversores CC-CC múltiplos níveis adequados a aplicações em altas tensões e potências e de inversores meia ponte.

O circuito topológico do retificador monofásico tipo dobrador de tensão é mostrado na Fig. 3.1.

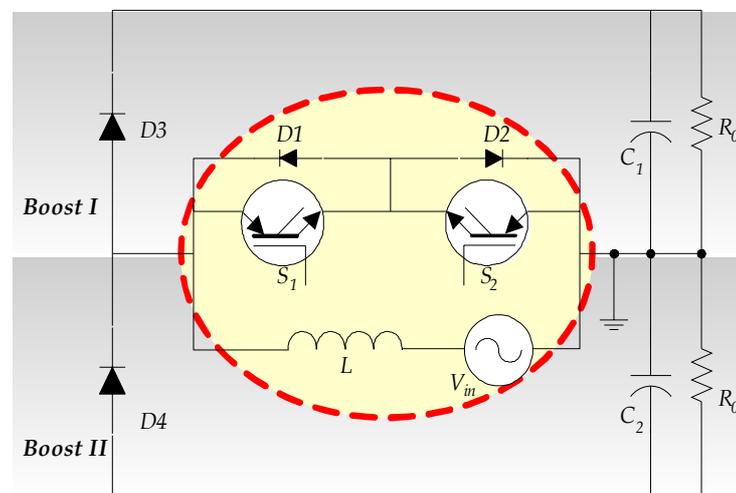


Fig. 3.1 -Topologia do Retificador.

Esse conversor comporta-se como se fosse constituído por dois conversores tipo *boost*, mostrados na Fig. 3.1, com a malha superior (*boost I*) e a inferior (*boost II*) operando de maneira complementar, ou seja, para cada semiciclo da tensão de alimentação há a combinação de um diodo *boost* ( $D_3$  ou  $D_4$ ) e um interruptor associado a um diodo ( $S_1:D_2$  ou  $S_2:D_1$ ), que compõem a chave bidirecional. No semiciclo em que o diodo *boost* ( $D_3$  ou  $D_4$ ) permanece bloqueado, a carga conectada nesse estágio de saída é suprida exclusivamente pelo capacitor, não havendo então transferência de energia da fonte de alimentação. Estas operações complementares se revezam a cada meio período da tensão de alimentação. Na Fig. 3.1 nitidamente se observa uma malha composta pela área retangular

conversor como sendo a parte comum, responsável pelo controle da potência entregue à carga.

As etapas de operação do retificador tipo dobrador de tensão podem ser divididas em quatro (4), sendo duas (2) para cada semiciclo da tensão de alimentação. Segue-se a descrição do funcionamento das etapas de operação do conversor.

### 3.2.1 SEMICICLO POSITIVO DA TENSÃO DE ENTRADA.

Durante o semiciclo positivo tem-se a seguinte configuração:

- Interruptor  $S_2$  permanece bloqueado.
- Diodo  $D_4$  e  $S_1+D_2$  conduzem, alternadamente, a corrente de entrada.
- Diodo  $D_3$  permanece bloqueado.
- Capacitor de saída  $C_2$  fornece energia à carga a ele associado.

#### 1ª ETAPA:

O interruptor  $S_1$  é comandado, iniciando a etapa de acumulação de energia no indutor  $L$ , Fig. 3.2. Durante o intervalo de tempo em que  $S_1$  encontra-se conduzindo, no estágio de saída, cada capacitor ( $C_1$  e  $C_2$ ) fornece energia à carga correspondente. Nessa etapa de operação, há dois elementos semicondutores,  $S_1$  e  $D_2$ , conduzindo a corrente de entrada.

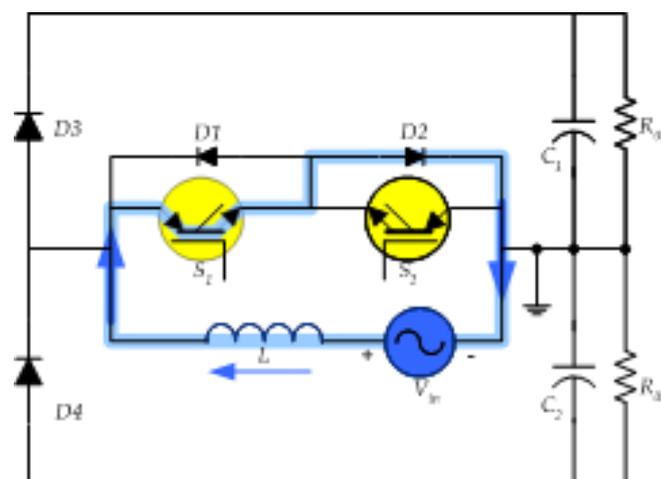


Fig. 3.2 -Primeira etapa de operação.

**2ª ETAPA:**

A próxima seqüência de operação ocorre quando o interruptor  $S_1$  é bloqueado, neste momento o diodo  $D_4$  entra em condução, assumindo a corrente de entrada. O indutor  $L$  e a fonte de alimentação  $V_{in}$  fornecem energia ao capacitor  $C_1$  e à carga associada a essa saída, Fig. 3.3. A outra saída é composta pelo capacitor  $C_2$  e, apenas este, é responsável pela transferência de energia à carga conectada nesse ponto. Nessa etapa de operação, existe apenas o semicondutor  $D_4$  conduzindo a corrente de entrada.

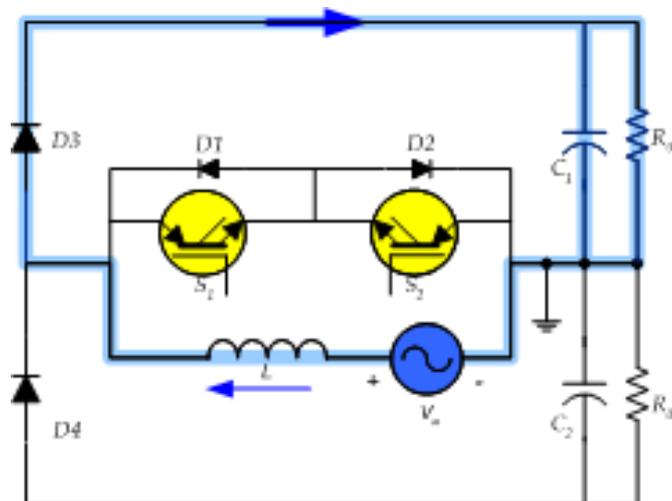


Fig. 3.3 - Segunda etapa de operação.

Essas duas etapas se intercalam durante o semiciclo positivo, na frequência de chaveamento, sendo a duração exata de cada etapa proporcional à razão cíclica.

### 3.2.2 SEMICICLO NEGATIVO DA TENSÃO DE ENTRADA

Durante o semiciclo negativo a operação sucede da mesma forma que no positivo, porém, agora, invertem-se as funções dos componentes, consoante a seguinte configuração:

- Interruptor  $S_1$  permanece bloqueado.
- Diodo  $D_3$  e  $S_2+D_1$  conduzem, alternadamente, a corrente de entrada.
- Diodo  $D_4$  permanece bloqueado.
- Capacitor de saída  $C_1$  fornece energia à carga a ele associado.

**3ª ETAPA:**

O interruptor  $S_2$  é comandado, iniciando a etapa de acumulação de energia no indutor  $L$ ; no barramento de saída, cada capacitor ( $C_1$  e  $C_2$ ) é responsável pelo fornecimento de energia à carga que está associada, conforme Fig. 3.4. Nessa etapa de operação, assim como no semiciclo positivo, existem dois elementos semicondutores,  $S_2$  e  $D_1$ , conduzindo a corrente de entrada.

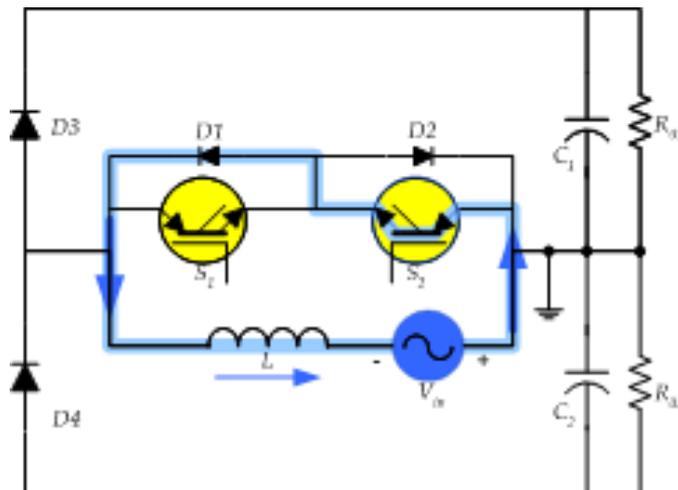


Fig. 3.4 Terceira etapa de operação.

**4ª ETAPA:**

Neste momento o interruptor  $S_2$  é bloqueado, o diodo  $D_3$  conduz a corrente de entrada. A fonte de alimentação  $V_{in}$  e o indutor  $L$  fornecem energia ao capacitor  $C_2$  e à carga nele conectada, através de  $D_3$ , Fig. 3.5. O capacitor  $C_1$ , que compõe a outra saída, é responsável pela transferência de energia à carga conectada nesse ponto. Nessa etapa de operação, há apenas o semicondutor  $D_3$  conduzindo a corrente de entrada. Esses ciclos de acumulação e transferência de energia ocorrem na frequência de chaveamento, sendo a duração de cada etapa também proporcional à razão cíclica.

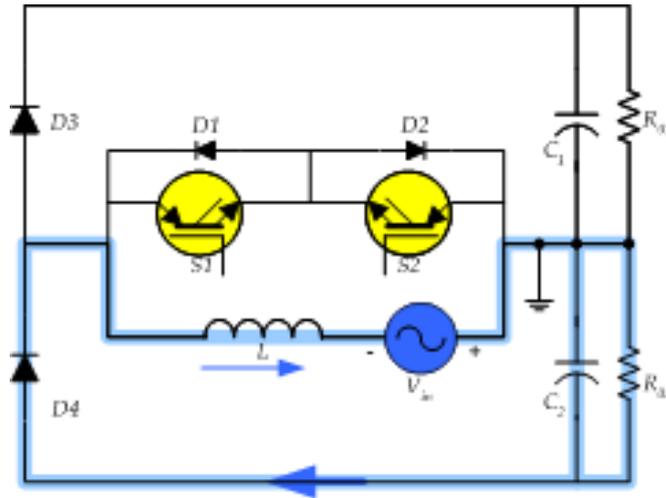


Fig. 3.5 - Quarta etapa de operação.

A Tabela 3.1 sintetiza os estágios de operação do retificador pré-regulador tipo dobrador de tensão, mostrando os semicondutores que conduzem e a respectiva tensão a eles aplicada em cada semiciclo de operação do conversor. Pode-se constatar que sempre há um (1) ou dois (2) semicondutores conduzindo durante um período completo da tensão de alimentação.

Tabela 3.1 - Estágios de operação.

Semiciclo	Tensão no Interruptor $S_1, S_2$	Comando	Semicondutor
Positivo	Tensão em $C_1$	(1-D)	$D_4$
	0	D	$S_1, D_2$
Negativo	Tensão em $C_2$	(1-D)	$D_3$
	0	D	$S_2, D_1$

As principais formas de onda teóricas típicas do retificador monofásico dobrador de tensão são mostradas na Fig. 3.6.

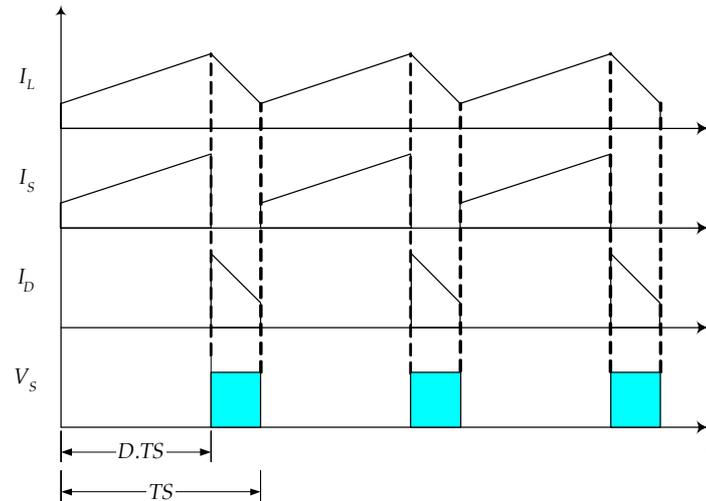


Fig. 3.6 - Formas de ondas típicas do conversor.

Onde:

$I_L$  : Corrente no indutor.

$I_S$  : Corrente nos interruptores.

$I_D$ : Corrente nos diodos.

$V_S$ : Tensão nos interruptores.

### 3.3 ANÁLISE QUANTITATIVA DO CONVERSOR

O conversor pré-regulador dobrador de tensão pode ser analisado como composto de dois conversores distintos, cada um operando em um semiciclo da tensão da rede, com características de operação e comando idênticas. O circuito de potência empregado consiste em um retificador operando no modo de condução contínua com comutação dissipativa.

#### 3.3.1 ANÁLISE BÁSICA EM REGIME PERMANENTE

A Fig. 3.7 representa o circuito do conversor para um semiciclo da tensão da rede de alimentação. Admitindo que a corrente de entrada é senoidal e em fase ( $\phi = 0$ ) com a tensão de entrada, estabelecem-se as seguintes relações de potência para o conversor:

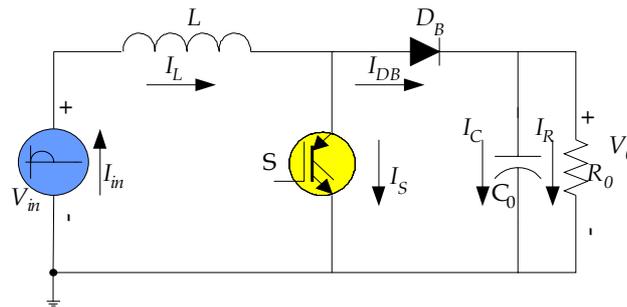


Fig. 3.7- Conversor para meio ciclo da rede de alimentação.

### POTÊNCIA DE ENTRADA

A potência de entrada será dada pela seguinte expressão:

$$P_{in}(\omega t) = V_{in}(\omega t) \cdot I_{in}(\omega t) \quad (3.1)$$

Onde:

$$V_{in}(\omega t) = V_{in_p}(\omega t) \cdot \text{sen}(\omega t) \quad (3.2)$$

$$I_{in}(\omega t) = I_{in_p} \cdot \text{sen}(\omega t) \quad (3.3)$$

substituindo (3.2) e (3.3) em (3.1), tem-se:

$$P_{in}(\omega t) = V_{in_p} \cdot I_{in_p} \cdot \text{sen}^2(\omega t) = \frac{V_{in_p} \cdot I_{in_p} \cdot (1 - \cos(2\omega t))}{2} \quad (3.4)$$

### POTÊNCIA DE SAÍDA

Admitindo rendimento unitário, a potência total de saída será igual à potência média de entrada do conversor, obtendo-se as seguintes relações:

$$P_0 = V_0 \cdot I_0 = \frac{V_{in_p} \cdot I_{in_p}}{2} \quad (3.5)$$

#### 3.3.2 VARIAÇÃO DA RAZÃO CÍCLICA

O conversor dobrador de tensão apresenta a mesma característica de ganho estático que o conversor do tipo CC-CC elevador de tensão, operando no modo de condução contínua da corrente de entrada; ressalvando-se que este apresenta uma tensão de entrada com variação senoidal. A fim de comandá-lo

adequadamente, sob frequência constante de comutação, a razão cíclica deverá variar a cada período de comutação.

Sabendo-se que a relação entre a tensão de saída e a de entrada do conversor tipo *boost* é dada por:

$$\frac{V_0}{V_{in}} = \frac{1}{1-D} \quad (3.6)$$

e incorporando na equação (3.6) a característica senoidal da fonte de alimentação de entrada, pode-se representá-la como segue:

$$\frac{V_0}{V_{in}(\omega t)} = \frac{1}{1-D(\omega t)} \quad (3.7)$$

Sendo a tensão da rede de alimentação:

$$V_{in}(\omega t) = V_{in_p} \cdot \text{sen}(\omega t) \quad (3.8)$$

Substituindo-se a expressão (3.8) em (3.7) e resolvendo a equação em função da razão cíclica  $D(\omega t)$ , obtém-se a seguinte expressão:

$$D(\omega t) = 1 - \frac{V_{in_p}}{V_0} \cdot \text{sen}(\omega t) \quad (3.9)$$

Definindo-se a razão entre a tensão de saída  $V_0$  e a tensão de pico da fonte de alimentação  $V_{in_p}$ , mostrada na equação (3.9), como sendo o parâmetro  $\beta$ , tem-se:

$$\beta = \frac{V_0}{V_{in_p}} \quad (3.10)$$

Assim, a expressão obtida em (3.9) fica da seguinte forma:

$$D(\omega t) = 1 - \frac{1}{\beta} \cdot \text{sen}(\omega t) \quad (3.11)$$

A equação (3.11) representa a variação da razão cíclica ao longo do tempo. Considerando a frequência da rede de alimentação, a variação da razão cíclica percorrerá valores entre a unidade e um valor mínimo, este último definido

pelo valor de  $\beta$ , a cada meio período da tensão de alimentação, conforme expressa o comportamento da equação (3.11).

A Fig. 3.8 representa de forma gráfica a variação da razão cíclica, expressa pela equação (3.11), na qual se observa que os valores máximos ocorrerão na passagem por zero da tensão de alimentação, e os mínimos nos instantes da passagem da tensão de entrada pelo valor de pico. O comportamento mostrado na Fig. 3.8 repete-se a cada meio período da tensão de alimentação.

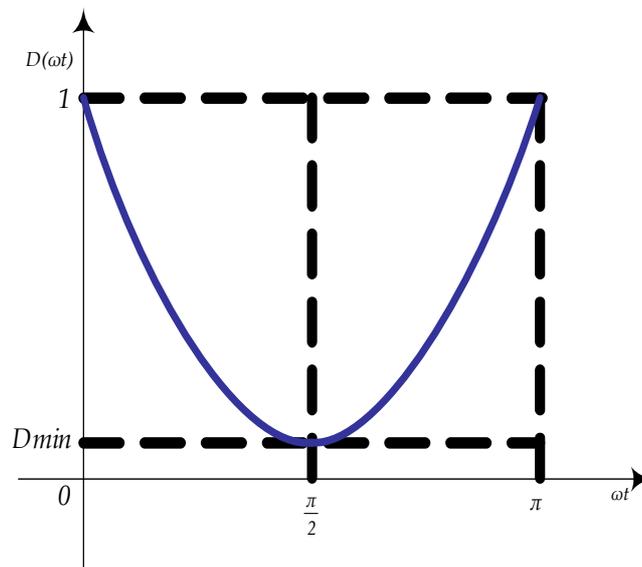


Fig. 3.8 - Variação da razão cíclica para meio período da rede.

Normalmente o conversor opera com uma frequência de comutação muito mais elevada que a frequência da tensão senoidal de alimentação de entrada; com isso, tem-se densidade elevada de períodos de chaveamento por período da rede de alimentação, ou seja, o incremento de tempo  $t$  da equação (3.11), representado graficamente na Fig. 3.8, é muito pequeno em relação ao período da rede. Pode-se, com isso, assumir que a variação da razão cíclica tem um formato contínuo, conforme o gráfico da Fig. 3.8.

### 3.3.3 ONDULAÇÃO DA CORRENTE DE ENTRADA

Durante a excursão da tensão da rede ao longo de um período, a ondulação da corrente que circula pelo indutor  $L$  sofrerá variações. Pois a cada instante de comutação tem-se aplicada no indutor, por um período de tempo

proporcional à razão cíclica  $D(\omega.t)$ , a tensão instantânea de entrada, que varia de forma senoidal. Ambos variarão, a tensão aplicada e a razão cíclica, tendo como resultado uma ondulação variante ao longo do ciclo da rede. O conhecimento dessa variação na ondulação da corrente de entrada é necessário à especificação adequada do indutor  $L$ .

Considerando o interruptor  $S$  da Fig. 3.7 em condução, o que implica que a tensão de entrada  $V_{in}$  será aplicada ao indutor  $L$  e, ainda, admitindo a tensão  $V_{in}$  constante no período de comutação, tem-se a seguinte expressão para a malha de tensão formada pelos elementos  $V_{in}$  e  $L$  do circuito retificador:

$$V_{in_p} \cdot \text{sen}(\omega t) = L \frac{dI_L}{dt} \quad (3.12)$$

Considerando um período de comutação, tem-se:

$$V_{in_p} \cdot \text{sen}(\omega t) = L \frac{\Delta I_L(\omega t)}{\Delta t} \quad (3.13)$$

Onde:

$$\begin{aligned} \Delta t &= D(\omega t) \cdot T_s \\ T_s &= \text{Período de Comutação} \end{aligned} \quad (3.14)$$

Substituindo (3.11) e (3.14) na equação (3.13), obtem-se:

$$V_{in_p} \cdot \text{sen}(\omega t) = L \frac{\Delta I_L(\omega t)}{\left[1 - \frac{1}{\beta} \cdot \text{sen}(\omega t)\right] T_s} \quad (3.15)$$

Resolvendo a expressão (3.15) para  $\Delta I_L(\omega t)$ , resulta-se:

$$\Delta I_L(\omega t) = \frac{V_{in_p} \cdot T_s}{L} \cdot \text{sen}(\omega t) \cdot \left[1 - \frac{1}{\beta} \cdot \text{sen}(\omega t)\right] \quad (3.16)$$

Adotando a relação  $\frac{L}{V_{in_p} \cdot T_s}$  como fator de normalização da expressão

(3.16), chega-se à seguinte equação:

$$\overline{\Delta I_L}(\omega t) = \Delta I_L(\omega t) \cdot \frac{L}{V_{in_p} \cdot T_s} = \text{sen}(\omega t) \cdot \left[ 1 - \frac{1}{\beta} \cdot \text{sen}(\omega t) \right] \quad (3.17)$$

Então:

$$\overline{\Delta I_L}(\omega t) = \text{sen}(\omega t) \cdot \left[ 1 - \frac{1}{\beta} \cdot \text{sen}(\omega t) \right] \quad (3.18)$$

Essa expressão,  $\overline{\Delta I_L}(\omega t)$ , representa a ondulação da corrente de entrada normalizada em função de  $L, V_{in_p}$  e  $T_s$ .

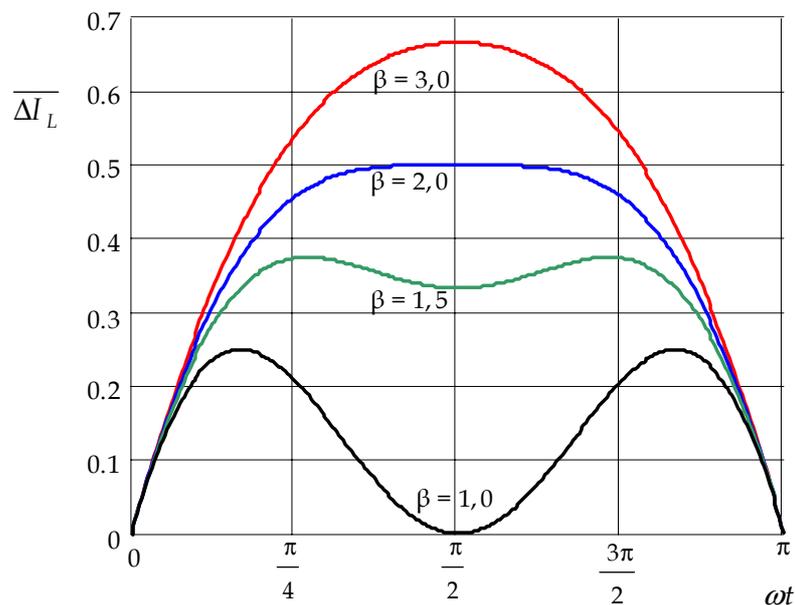


Fig. 3.9 - Variação da ondulação da corrente de entrada normalizada.

A Fig. 3.9 mostra, graficamente, a variação da ondulação da corrente de entrada normalizada e parametrizada em relação a alguns valores de  $\beta$ .

Uma vez conhecido o comportamento da ondulação da corrente, precisa-se determinar o valor máximo dessa ondulação, valor este que será utilizado para determinar a indutância  $L$ . Esse ponto máximo pode ser obtido por intermédio da análise da derivada da expressão (3.18) em função de  $\omega t$ , sendo esse ponto variável em função do parâmetro  $\beta$ .

Derivando a equação (3.18) e igualando-a a zero, tem-se:

$$\frac{d \overline{\Delta I_L}(\omega t)}{d(\omega t)} = \cos(\omega t) \cdot \left[ \frac{\beta - 2 \cdot \text{sen}(\omega t)}{\beta} \right] = 0 \quad (3.19)$$

As raízes desta equação apontam a existência de dois pontos de derivada nula, um ponto de mínimo e um de máximo, localizados nos seguintes instantes de  $\omega t$ :

$$\omega t_0 = \text{arcseno}\left(\frac{\beta}{2}\right) \quad (3.20)$$

$$\omega t_1 = \frac{\pi}{2} \quad (3.21)$$

Esses pontos se confundem quando o valor de  $\beta$  for igual a 2. O interesse está na máxima ondulação de corrente; conseqüentemente, no ponto de máximo apontado pelo gráfico da Fig. 3.9.

Para valores de  $\beta < 2$ , tem-se a máxima ondulação da corrente normalizada ocorrendo no instante definido por  $\omega t_0 = \text{arcseno}\left(\frac{\beta}{2}\right)$ . Substituindo (3.20) na equação (3.18), obtém-se o valor máximo dessa ondulação como sendo:

$$\overline{\Delta I_L} = \text{sen}\left(\text{arcseno}\left(\frac{\beta}{2}\right)\right) \cdot \left[ 1 - \frac{1}{\beta} \cdot \text{sen}\left(\text{arcseno}\left(\frac{\beta}{2}\right)\right) \right] \quad (3.22)$$

$$\overline{\Delta I_L} = \frac{1}{4} \cdot \beta \quad (3.23)$$

O mesmo raciocínio pode ser fazer para valores de  $\beta > 2$ , nesse caso, a máxima ondulação da corrente de entrada localizar-se-á em  $\omega t_1 = \frac{\pi}{2}$ . Usando o mesmo procedimento anterior, tem-se o valor máximo da ondulação definido pela seguinte expressão:

$$\overline{\Delta I_L} = 1 - \frac{1}{4} \beta \quad (3.24)$$

Depende-se, portanto, do valor de  $\beta$ , que representa a relação entre a tensão de saída do conversor e o pico da tensão de entrada de alimentação, o

instante em que ocorre a máxima ondulação da corrente de entrada normalizada. Essas considerações são resumidas na Tabela 3.2:

Tabela 3.2 – Instante da máxima ondulação da corrente de entrada.

Valor de $\beta$	Máximo $\overline{\Delta I_L}$	Instante $\omega t$
$\beta \leq 2$	$\frac{1}{4} \cdot \beta$	$\arcseno\left(\frac{\beta}{2}\right)$
$\beta \geq 2$	$1 - \frac{1}{4} \cdot \beta$	$\frac{\pi}{2}$

Em função da análise feita para determinação da ondulação da corrente, pode-se extrair facilmente a expressão que calcula o valor da indutância. Substituindo na equação (3.16) o termo  $\text{sen}(\omega t) \cdot \left(1 - \frac{1}{\beta} \cdot \text{sen}(\omega t)\right)$ , que representa a ondulação da corrente de entrada parametrizada pelo seu valor máximo, definido como sendo  $\overline{\Delta I_{Lmax}}$ , e resolvendo para  $L$ , obtém-se:

$$\Delta I_L = \frac{V_{in_p} \cdot T_s}{L} \cdot \overline{\Delta I_{Lmax}} \quad (3.25)$$

Logo:

$$L = \frac{V_{in_p} \cdot \overline{\Delta I_{Lmax}}}{f_s \cdot \Delta I_L}, \quad (3.26)$$

onde:

$f_s$  = Frequência de comutação.

$\Delta I_L$  = Variação da corrente de entrada especificada pelo projetista.

A equação (3.26) determina o valor da indutância, na qual se percebe que o valor de  $\overline{\Delta I_{Lmax}}$  assume sempre duas expressões distintas, dependentes do valor de  $\beta$ , conforme Tabela 3.2. Assim sendo, tem-se na Tabela 3.3 as expressões que calculam o valor da indutância em função do valor de  $\beta$ .

Tabela 3.3 – Valor da indutância.

Valor de $\beta$	Indutância $L$
$\beta \leq 2$	$L = \frac{V_{in_p} \cdot \left(\frac{\beta}{4}\right)}{f_s \cdot \Delta I_L}$
$\beta \geq 2$	$L = \frac{V_{in_p} \cdot \left(1 - \frac{\beta}{4}\right)}{f_s \cdot \Delta I_L}$

### 3.3.4 ONDULAÇÃO DA TENSÃO DE SAÍDA

O circuito da Fig. 3.10 representa o estágio de saída do retificador dobrador de tensão. A fonte de corrente representa a corrente que circula pelo diodo *boost*  $D_B$  e que circulará pelo capacitor de saída  $C_0$  e pela carga representada pela resistência  $R_0$ . Visto que no conversor a corrente que circula pelo diodo *boost* é complementar ao interruptor  $S$ , a corrente circulante pelo diodo  $D_B$  pode ser retratada pela seguinte expressão:

$$I_{DB}(\omega t) = I_{in}(\omega t) \cdot (1 - D(\omega t)) \tag{3.27}$$

Substituindo (3.3) e (3.11) em (3.27), tem-se a expressão da corrente média instantânea ao longo de meio período da rede (durante o semiciclo seguinte o diodo estará bloqueado).

$$I_{DB}(\omega t) = \frac{1}{\beta} \cdot I_{in_p} \text{sen}^2(\omega t), \quad 0 \leq \omega t \leq \pi \tag{3.28}$$

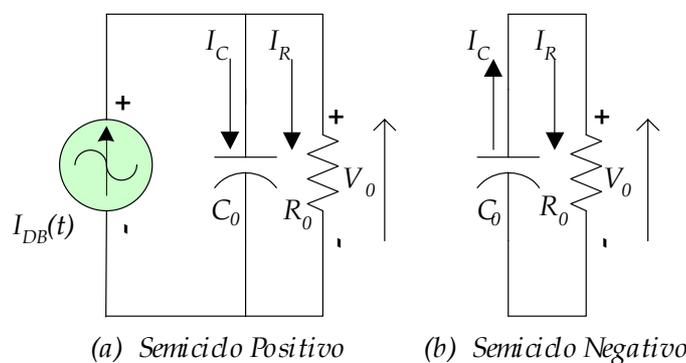


Fig. 3.10 – Circuitos equivalentes de saída do conversor para o semiciclo positivo (a) e negativo (b).

Está representada na Fig. 3.11 a variação da corrente média do diodo  $D_B$  para um período da rede.

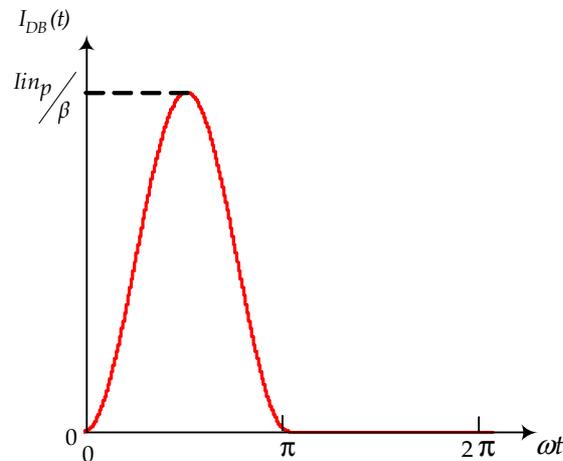


Fig. 3.11 – Corrente média instantânea no diodo.

No semiciclo seguinte ( $\pi \leq \omega t \leq 2\pi$ ), o diodo deixa de conduzir, sendo o circuito equivalente do estágio de saída composto pelo capacitor e pelo resistor, conforme se vê na Fig. 3.10, na parte relativa ao semiciclo negativo.

Resolvendo os circuitos da Fig. 3.10, obtém-se a expressão da tensão de saída, ou seja, da tensão sobre o capacitor  $C_0$  [1]. Com a expressão da tensão de saída calcula-se a variação da ondulação; a partir desta determina-se o valor do capacitor, chegando-se à equação (3.29).

$$C_0 = \frac{V_{in_p} \cdot I_{in_p}}{4 \cdot \omega \cdot V_0 \cdot \Delta V_0} \cdot \left( \frac{2 \cdot \pi}{3} + \sqrt{3} \right) \quad (3.29)$$

### 3.3.5 ESFORÇOS NOS COMPONENTES SEMICONDUTORES

A partir da Fig. 3.12, determinam-se os valores da corrente média e eficaz no interruptor. Essa figura representa a forma de onda da corrente para um período de comutação. Considerando como constante a corrente nesse período de tempo, ou seja, admitindo que não existe ondulação em alta frequência oriunda do chaveamento, tem-se os seguintes equacionamentos:

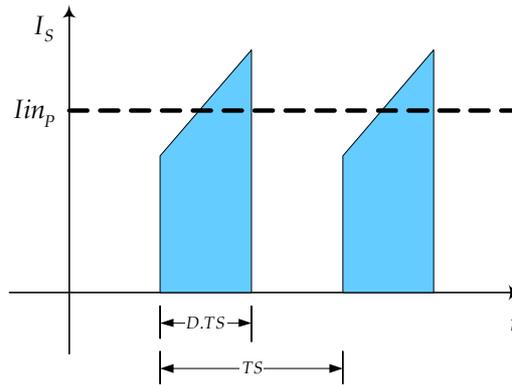


Fig. 3.12 – Corrente no interruptor para um período de comutação.

### CORRENTE MÉDIA NO INTERRUPTOR

Para um período de comutação, a corrente média é dada por:

$$I_{s_{med}} = D \cdot I_{in_p}$$

O interruptor conduzirá durante meio período da rede. A corrente de entrada  $I_{in_p}$  varia ao longo desse tempo, ocorrendo o mesmo com a razão cíclica. Assim, define-se a corrente média no interruptor para meio período da rede de alimentação, conforme segue:

$$I_{in}(t) = I_{in_p} \cdot \text{sen}(\omega t)$$

$$D(t) = 1 - \frac{1}{\beta} \cdot \text{sen}(\omega t)$$

$$I_{s_{medT}} = \frac{1}{2 \cdot \pi} \cdot \int_0^{\pi} \left( I_{in_p} \cdot \text{sen}(\omega t) \cdot \left( 1 - \frac{1}{\beta} \cdot \text{sen}(\omega t) \right) \right) d\omega t$$

$$I_{s_{medT}} = \frac{1}{4} \cdot I_{in_p} \cdot \left( \frac{4 \cdot \beta - \pi}{\pi \cdot \beta} \right) \tag{3.30}$$

### CORRENTE EFICAZ NO INTERRUPTOR

$$I_{s_{ef}} = I_{in_p} \cdot \sqrt{D}$$

$$I_{s_{efT}} = \sqrt{\frac{1}{2 \cdot \pi} \cdot \int_0^{\pi} \left( \left( I_{in_p} \cdot \text{sen}(\omega t) \right)^2 \cdot \left( 1 - \frac{1}{\beta} \cdot \text{sen}(\omega t) \right) \right) d\omega t}$$

$$I_{S_{efT}} = \frac{\sqrt{3}}{6} \cdot I_{in_p} \cdot \sqrt{3 - \frac{8}{\pi \cdot \beta}} \quad (3.31)$$

### CORRENTE MÉDIA NO DIODO

$$ID_{med} = (1 - D) \cdot I_{in_p}$$

$$ID_{medT} = \frac{1}{2 \cdot \pi} \cdot \int_0^\pi \left( I_{in_p} \cdot \text{sen}(\omega t) \cdot \left( \frac{1}{\beta} \cdot \text{sen}(\omega t) \right) \right) d\omega t$$

$$ID_{medT} = \frac{I_{in_p}}{4 \cdot \beta}$$

$$ID_{medT} = \frac{I_{in_p} \cdot V_{in_p}}{4 \cdot V_0} \quad (3.32)$$

Sabendo-se que:

$$P_0 = \frac{I_{in_p} \cdot V_{in_p}}{2} = V_0 \cdot I_0 \quad (3.33)$$

Substituindo-se (3.33) em (3.32), tem-se o valor da corrente média no diodo.

$$ID_{medT} = \frac{P_0}{2 \cdot V_0}$$

$$ID_{medT} = \frac{I_0}{2} \quad (3.34)$$

### CORRENTE EFICAZ NO DIODO

$$ID_{efT} = \sqrt{\frac{1}{2 \cdot \pi} \cdot \int_0^\pi \left( \left( I_{in_p} \cdot \text{sen}(\omega t) \right)^2 \cdot \left( \frac{1}{\beta} \cdot \text{sen}(\omega t) \right) \right) d\omega t}$$

$$ID_{efT} = \frac{\sqrt{6}}{3} \cdot I_{in_p} \cdot \frac{1}{\sqrt{\pi \cdot \beta}} \quad (3.35)$$

### TENSÃO NOS DIODOS

Aparece nos terminais do diodo *boost* uma tensão quando o interruptor estiver conduzindo. Essa tensão é a mesma existente no capacitor de saída associado a essa etapa, ou seja, a metade da tensão total do barramento de saída. Sendo assim, tem-se:

$$V_{DB} = V_o$$

### TENSÃO NOS INTERRUPTORES

Da mesma forma, quando os diodos conduzem a corrente de entrada as chaves estão bloqueadas, e a tensão a que estão submetidas é a mesma do capacitor de saída, ou seja:

$$V_s = V_o$$

### 3.3.6 MODELO DO CONVERSOR

A fim de que o conversor opere de forma adequada, é preciso comandar adequadamente os interruptores do retificador, ou, de outra forma, é necessário projetar sistemas que controlem esse conversor mediante a geração do comando com uma modulação adequada. Para isso, é mister conhecer o modelo desse conversor, obtido por meio das funções de transferência que envolvam as variáveis relevantes ao comando e controle do retificador. As variáveis que interessam ao controle do conversor são a corrente de entrada  $I_{in}$  e a tensão de saída  $V_o$ .

Primeiramente, há que se obter a função de transferência que leve em conta a variável a ser controlada em relação à variável de controle. Procura-se respectivamente a relação entre a corrente de entrada  $I_{in}$  e a razão cíclica  $D$ . A função de transferência  $G_i(s) = \frac{I_{in}(s)}{D(s)}$  será obtida da análise da operação em um período de chaveamento. O circuito equivalente é mostrado na Fig. 3.13, e detalhes podem ser obtidos em [1].

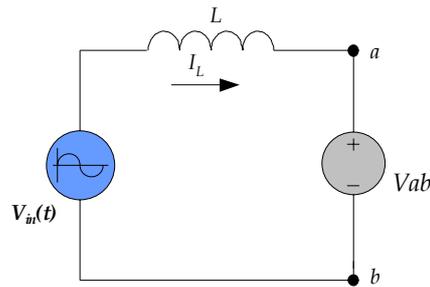


Fig. 3.13 – Modelo do conversor para determinação de  $G_i(s)$ .

Na Fig. 3.13, é apresentado o modelo do conversor – operando em condução contínua, e considerando a tensão entre os pontos a e b como o valor médio para um período de comutação. Dessa forma, por meio do circuito da Fig. 3.13, chega-se à seguinte expressão, que representa a função de transferência do conversor:

$$G_i(s) = \frac{V_0}{s.L} \tag{3.36}$$

É necessária uma segunda função de transferência relacionando a tensão de saída  $V_0$  e a corrente de entrada  $I_{in}$ . Para obter  $G_v(s) = \frac{V_0(s)}{I_{in}(s)}$ , utiliza-se o modelo do estágio de saída do circuito conversor. A Fig. 3.14 mostra o circuito para a determinação de  $G_v(s)$ , onde a amplitude da fonte de corrente  $I(t)$  é igual à corrente média do diodo *boost* [1,4].

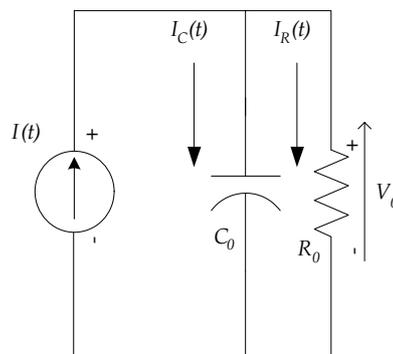


Fig. 3.14 – Modelo do conversor para determinação de  $G_v(s)$ .

Por intermédio do circuito da Fig. 3.14 determina-se a função de transferência do conversor, obtendo-se a seguinte expressão [1]:

---

$$G_v(s) = (1-D) \cdot \left( \frac{R_0}{s \cdot C_0 \cdot R_0 + 1} \right) \quad (3.37)$$

### 3.4 CONCLUSÃO

Nesse capítulo foram apresentadas as principais características de operação do retificador monofásico tipo dobrador de tensão, e mostraram-se as etapas de funcionamento e a análise quantitativa básica, com o fito de determinar os elementos que compõem o projeto e a modelagem de um protótipo, visando ao controle da estrutura retificadora.

A partir dos estudos desse conversor, procurou-se assimilar uma base ferramental para que pudesse ser estendida à topologia trifásica, cujo tema é o objetivo final do trabalho proposto. Uma vez que a presença do ponto médio no barramento de saída possibilita duas tensões, um dos problemas a ser tratado no estudo desse conversor é a manutenção das tensões de saída reguladas e equilibradas através de uma ação de controle adequada.

## **CAPÍTULO 4**

### **TÉCNICA DE CONTROLE DIGITAL DO RETIFICADOR MONOFÁSICO**

#### **4.1 INTRODUÇÃO**

Este capítulo apresenta o estudo da técnica de controle do retificador dobrador de tensão, bem como um estudo das malhas de controle empregadas no comando do conversor, cujos objetivos são: correção do fator de potência, regulação e equilíbrio das tensões de saída.

A técnica utilizada é denominada de controle por valores médios instantâneos da corrente de entrada [4, 8, 9], sendo esta bastante utilizada na correção do fator de potência em pré-reguladores, proporcionando uma baixa distorção harmônica da corrente de entrada em conversores operando no modo de condução contínua.

#### **4.2 ESTUDO DO CONTROLE POR VALORES MÉDIOS INSTANTÂNEOS**

Esta técnica consiste em monitorar a corrente de entrada do conversor, fazendo-a seguir uma referência senoidal com o menor erro possível; imposição que é feita mediante o controle adequado da comutação, em alta frequência, dos interruptores do conversor.

A Fig. 4.1 mostra o diagrama básico da estratégia de controle a ser utilizada no comando do retificador. O diagrama de blocos revela a existência de duas malhas de controle, uma malha interna de corrente e uma outra externa de tensão. Espera-se como resultado, desse conjunto de controle, uma ação que se responsabilize por manter a tensão de saída equilibrada e regulada, concomitantemente à corrente de entrada seguindo uma referência senoidal. Esse esforço de controle manterá as variáveis controladas sob certas condições de

variação de carga ou flutuações na tensão de entrada, ou seja, dentro dos limites de operação estabelecidos no projeto.

Pode-se resumir a função do esforço de controle como sendo a de acompanhar uma referência senoidal adequada, isto é, uma referência que traga embutidas as características necessárias para se obter um alto fator de potência (formato senoidal e em fase), bem como equilíbrio e regulação da tensão de saída (variação na amplitude da referência).

A função dos blocos que compõem as malhas de controle, é descrita a seguir:

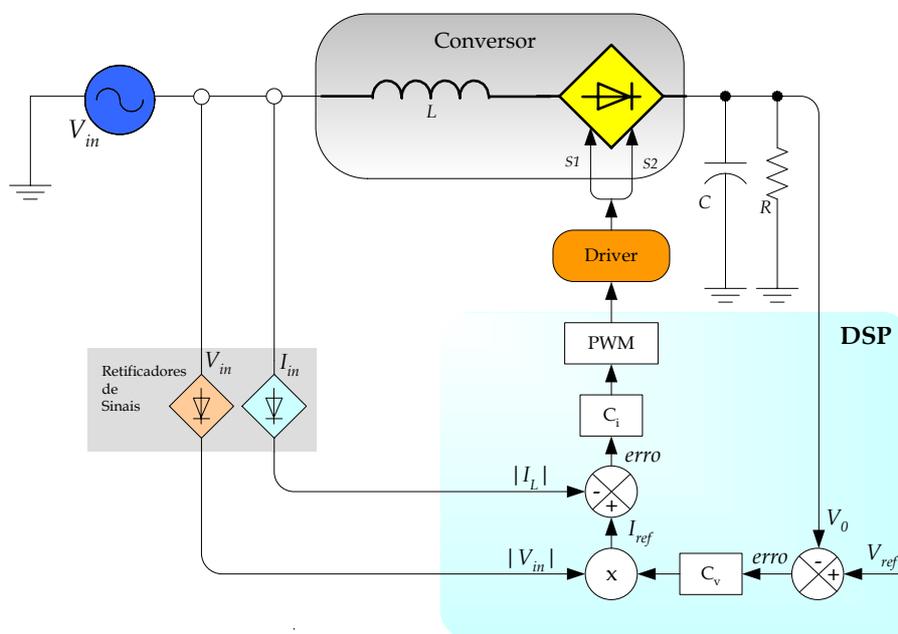


Fig. 4.1 – Diagrama de blocos do controle do conversor.

$C_v$  – Bloco responsável pela regulação da tensão de saída do conversor. A ação de controle resultante na saída deste compensador contribuirá na composição da corrente de referência. O sinal de entrada em  $C_v$  é um sinal de erro resultante da amostragem da tensão na saída ( $V_o$ ) do conversor e uma tensão de referência ( $V_{ref}$ ) pré-estabelecida em projeto.

$C_i$  – Este é o controlador de corrente. A referência de corrente ( $I_{ref}$ ) é comparada com uma amostra da corrente no indutor ( $I_L$ ), produzindo um sinal de

erro, que é aplicado ao controlador de corrente. A ação de controle na saída desse bloco é aplicada ao modulador PWM (Modulação por Largura de Pulso).

PWM - Neste ponto a ação de controle oriunda do bloco  $C_i$  (controlador de corrente) é comparada com um sinal tipo dente de serra, sendo a resultante o sinal PWM de comando dos interruptores.

A representação do conversor, com as respectivas malhas de corrente e tensão, é mostrada por meio de diagrama de blocos simplificado, conforme a Fig. 4.2.

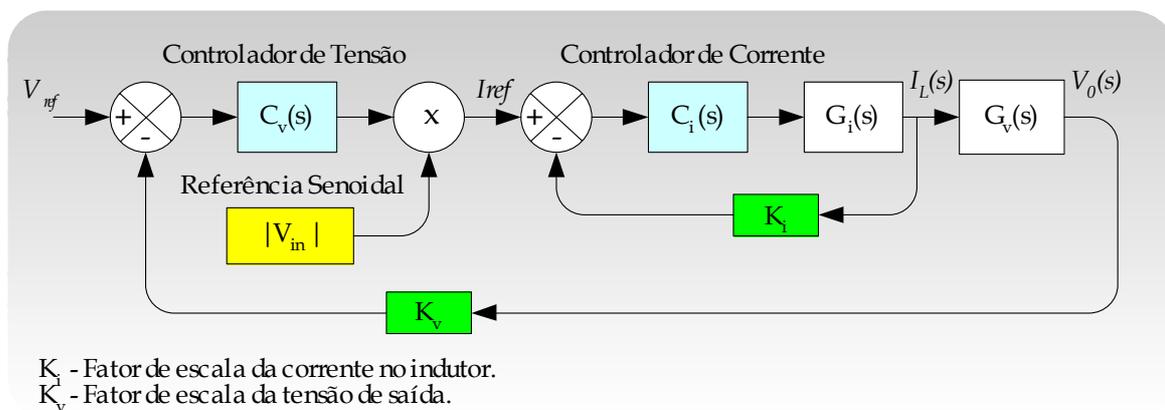


Fig. 4.2 - Diagrama de blocos do conversor e malhas de controle.

### 4.3 ESTUDO DA MALHA DE CORRENTE

O objetivo desta malha de corrente é controlar a corrente de entrada, ou seja, a corrente que circula pelo indutor, impondo uma forma de onda senoidal à corrente e em fase com a tensão de entrada.

A Fig. 4.3 mostra o sistema de controle relativo à malha de corrente, na forma de diagrama de blocos.

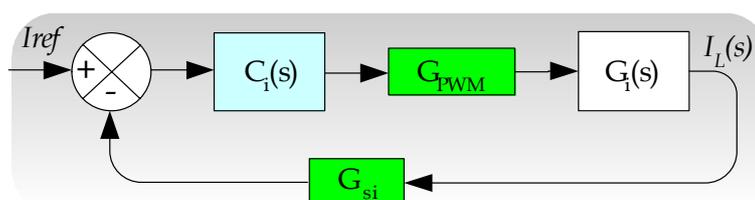


Fig. 4.3 - Diagrama de blocos da malha de corrente.

O significado de cada bloco do diagrama é descrito a seguir:

- $C_i(s)$ : Função de transferência do controlador de corrente.
- $G_i(s)$ : Função de transferência do conversor  $-G_i(s) = I_{in}(s)/D(s)$ .
- $G_{PWM}$ : Ganho do gerador PWM.
- $G_{si}$ : Ganho do sensor de corrente.

A função de transferência simplificada do conversor foi apresentada no capítulo 3. No caso da malha de corrente, levou-se em consideração, para a modelagem do conversor, a corrente do indutor e a razão cíclica, chegando-se a sua forma:

$$G_i(s) = \frac{V_0}{s \cdot L} \quad (4.1)$$

Essa função de transferência de primeira ordem apresenta uma inclinação de -20dB/década no diagrama de módulo, sendo a fase constante e igual a -90°. O controlador de corrente empregado na malha de corrente é do tipo proporcional-integral, de larga utilização no controle dessas estruturas [1,4]. A função de transferência clássica de um controlador tipo PI é mostrada na seguinte expressão:

$$C_i(s) = K_i \cdot \frac{(s + \omega_z)}{s} \quad (4.2)$$

onde:

$\omega_z$ : zero do controlador PI.

$K_i$ : ganho do controlador PI.

Os critérios para alocação do zero desse compensador obedecem ao seguinte [4]:

- A frequência de cruzamento deve ser localizada pelo menos abaixo da metade da frequência de chaveamento.

- O zero deverá estar localizado a uma década abaixo da frequência de chaveamento.

O ganho do integrador será ajustado de forma a satisfazer o critério da frequência de cruzamento. Assim, resumidamente, podem-se adotar os seguintes critérios, admitindo-se uma certa margem de segurança:

$$f_c \leq \frac{f_s}{4} \quad (4.3)$$

$$\omega_z = \frac{2 \cdot \pi \cdot f_s}{20} \quad (4.4)$$

### 4.3.1 PROJETO DO CONTROLADOR DE CORRENTE DO RETIFICADOR

A partir das especificações de potência do retificador dobrador de tensão, dimensiona-se o controlador de corrente, utilizando-se as funções de transferência obtidas nas expressões (4.1) e (4.2).

As seguintes especificações foram adotadas para a construção de um protótipo a ser implementado em laboratório:

*Tabela 4.1 – Especificação do protótipo.*

Potência de saída:	$P_o = 1000 \text{ W}$
Tensão em cada uma das saídas:	$V_{o1} = V_{o2} = 250 \text{ V}$
Frequência de chaveamento:	$f_s = 50 \text{ kHz}$
Tensão de Entrada:	$V_{in} = 127 \text{ V}, 60 \text{ Hz}$
Variação de $V_{in}$ admitida:	$\Delta V = 10\%$
Variação de $I_{in}$ admitida:	$\Delta I = 20\%$

### FUNÇÃO DE TRANSFERÊNCIA DO CONVERSOR

Para projetar o controlador de corrente, inicialmente se faz necessário determinar a função de transferência do conversor. Consoante a equação (4.1), é preciso conhecer o valor de  $V_o$  e  $L$ ; sendo o primeiro dado na especificação do protótipo do conversor, resta determinar o valor da indutância de entrada, o que é feito como segue:

O valor da indutância é determinado segundo a expressão (3.26) do capítulo 3, que apresenta a seguinte composição:

$$L = \frac{V_{in_p} \cdot \overline{\Delta I_{Lmax}}}{f_s \cdot \Delta I_L}$$

Para determinar o valor de  $L$ , deve-se calcular o valor de  $\overline{\Delta I_{Lmax}}$ , que simboliza a máxima ondulação da corrente de entrada parametrizada.  $\Delta I_L$  representa a variação da corrente de entrada especificada pelo projetista. Principia-se pelo valor de  $\beta$ :

$$\beta = \frac{V_0}{V_{in_p}}$$

$$\beta = \frac{V_0}{V_{in_p}} = \frac{250}{127 \times \sqrt{2}}$$

$$\beta = 1,392$$

A partir do valor de  $\beta$  calcula-se o valor de  $\overline{\Delta I_{Lmax}}$ , Tabela 3.2:

$$\overline{\Delta I_{Lmax}} = \frac{1}{4} \cdot \beta$$

$$\overline{\Delta I_{Lmax}} = 0,348$$

Cumpra ainda determinar o valor de  $\Delta I_L$ . Admitindo-se no projeto uma variação máxima de corrente de 20%, obtém-se:

$$\Delta I = 0,2$$

$$I_{efmax} = \frac{P_0}{V_{in} \cdot (1 - \Delta V)} = \frac{1.000}{114,3} = 8,75 \text{ A}$$

$$\Delta I_L = I_{Pmax} \cdot \Delta I = 8,75 \times \sqrt{2} \times 0,2 = 2,47 \text{ A}$$

logo:

$$L = \frac{V_{in_p} \cdot \overline{\Delta I_{Lmax}}}{f_s \cdot \Delta I_L} = \frac{127 \times \sqrt{2} \times 0,348}{50.000 \times 2,47} = 506 \text{ } \mu\text{H}$$

$$L \approx 500 \mu H$$

Substituindo o valor da indutância e da tensão de saída do conversor na equação (4.1), chega-se à seguinte expressão da função de transferência do retificador, a qual relaciona a corrente de entrada e a razão cíclica:

$$G_i(s) = \frac{V_o}{s \cdot L} = \frac{250}{s \cdot 500 \times 10^{-6}}$$

$$G_i(s) = \frac{500 \times 10^3}{s} \quad (4.5)$$

A Fig. 4.4 representa o diagrama de Bode da função de transferência do conversor  $G_i(s)$ . Tem-se o diagrama de módulo e de fase da função.

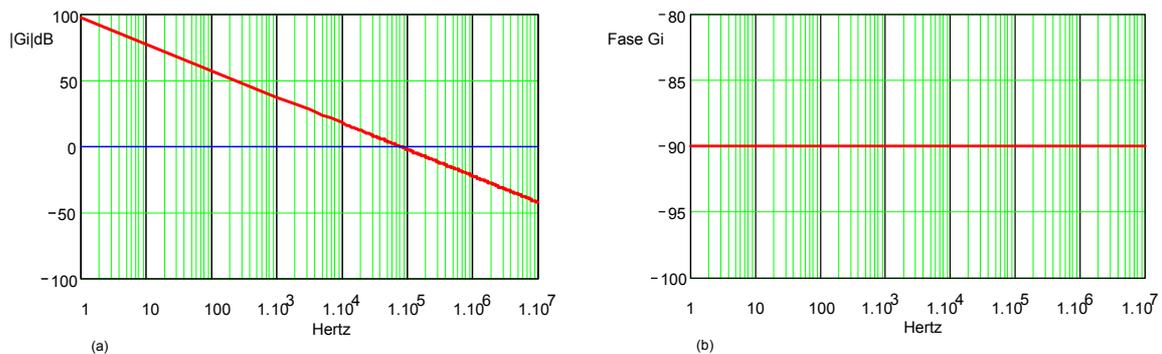


Fig. 4.4 – Diagrama do módulo(a) e de fase (b) de  $G_i(s)$ .

#### GANHO DO SENSOR DE CORRENTE

O ganho  $G_{si}$  simboliza o ganho do transdutor de corrente, cujo valor foi adotado em função do condicionamento de sinal de corrente de entrada. O valor estipulado é:

$$G_{si} = 0,1$$

#### GANHO DO GERADOR PWM

Representa-se o valor do ganho do gerador PWM ( $G_{PWM}$ ) pela relação inversa do valor máximo da rampa de tensão usada no comparador PWM, ou seja:

$$G_{PWM} = \frac{1}{V_T} = \frac{1}{2,5}$$

$$G_{PWM} = 0,4$$

### PROJETO DO CONTROLADOR DE CORRENTE

A função de transferência do controlador de corrente está representada na equação (4.2). Trata-se de um controlador do tipo proporcional integral, que deverá ser projetado com o intuito de levar a frequência de cruzamento da função de transferência de laço aberto (*FTLA*) pelo menos a ser localizada abaixo da metade da frequência de chaveamento. Os seguintes critérios serão adotados, conforme [4]:

A frequência de cruzamento será localizada a  $\frac{1}{4}$  da frequência de chaveamento, assim tem-se:

$$f_c = \frac{f_s}{4} = \frac{50 \times 10^3}{4} = 12,5 \text{ kHz}$$

Faz-se necessário determinar o ganho das funções de transferência, que compõem a *FTLA* na frequência de cruzamento de ganho, com o que se pode determinar o ganho do controlador de corrente. Na *FTLA* tem-se os seguintes blocos:  $G_i(s)$ ,  $C_i(s)$ ,  $G_{PWM}$  e  $G_{si}$ .

O ganho da função de transferência de  $G_i(s)$  na  $f_c$  vale:

$$GdB_{G_i}(f_c) = 20 \cdot \log \cdot |G_i(f_c)|$$

$$GdB_{G_i}(f_c) = 16,08 \text{ dB}$$

O ganho de  $G_{PWM}$  na frequência de cruzamento é determinado como:

$$GdB_{G_{PWM}}(f_c) = 20 \cdot \log \cdot |G_{PWM}(f_c)|$$

$$GdB_{G_{PWM}}(f_c) = -7,96 \text{ dB}$$

Para o  $G_{si}$  tem-se o seguinte valor do ganho em decibéis na  $f_c$ :

$$GdB_{G_{si}}(f_c) = 20 \cdot \log \cdot |G_{si}(f_c)|$$

$$GdB_{G_{si}}(f_c) = -20 \text{ dB}$$

Com os valores do ganho dos blocos que compõem a função de transferência de laço aberto (*FTLA*), pode-se determinar o ganho do controlador PI de corrente a fim de que se atinja a frequência de cruzamento projetada. Determina-se o ganho total da *FTLA* por meio da soma dos ganhos individuais dos blocos que a compõem, dessa forma pode-se calcular o ganho do controlador de corrente  $C_i(s)$ , segundo segue:

$$GdB_{G_i}(f_c) + GdB_{C_i}(f_c) + GdB_{G_{si}}(f_c) + GdB_{G_{PWM}}(f_c) = 0$$

$$GdB_{C_i}(f_c) = 0 - GdB_{G_i}(f_c) - GdB_{G_{si}}(f_c) - GdB_{G_{PWM}}(f_c)$$

$$GdB_{C_i}(f_c) = 0 - 16,08 \text{ dB} + 20 \text{ dB} + 7,96 \text{ dB}$$

$$GdB_{C_i}(f_c) = 11,88 \text{ dB}$$

Com isso, tem-se o ganho do controlador PI, cuja função de transferência é dada por  $C_i(s) = K_i \cdot \frac{(s + \omega_z)}{s}$ . Calcula-se, assim, o valor de  $K_i$ , mediante o desmembramento da expressão do controlador PI. Primeiramente se determina o valor do zero do controlador, conforme critério adotado em projeto. Visto que o valor da frequência do zero está localizado em pelo menos uma década abaixo da frequência de chaveamento, adotou-se:

$$\omega_z = \frac{2 \cdot \pi \cdot f_s}{20} = \frac{2 \times \pi \times 50 \times 10^3}{20}$$

$$\omega_z = 15,71 \text{ kHz}$$

Com o valor de  $\omega_z$  e o ganho da função de transferência do controlador, determina-se o valor de  $K_i$ , de maneira que o controlador tenha o ganho calculado acima, na frequência de cruzamento. Assim, obtém-se o seguinte valor para o ganho  $K_i$  do controlador PI:

$$GdB_{C_i}(f_c) = 11,88 \text{ dB}$$

$$GdB_{C_i}(f_c) = GdB_{K_i}(f_c) + GdB_{(s + \omega_z)}(f_c) + GdB_{(1/s)}(f_c)$$

$$GdB_{K_i}(f_c) = GdB_{C_i}(f_c) - GdB_{(s + \omega_z)}(f_c) - GdB_{(1/s)}(f_c)$$

$$GdB_{K_i}(f_c) = 11,88 \text{ dB} - 98,07 \text{ dB} + 97,09 \text{ dB}$$

$$GdB_{K_i}(f_c) = 11,71 \text{ dB}$$

$$GdB_{K_i}(f_c) = 11,71 \text{ dB} = 20 \cdot \log \cdot |K_i(f_c)|$$

$$K_i = 10^{\frac{GdB_{K_i}(f_c)}{20}} = 10^{\frac{11,71 \text{ dB}}{20}}$$

$$K_i = 3,85$$

A função de transferência do controlador de corrente fica definida, substituindo os valores encontrados acima na expressão que representa a função de transferência do PI. Assim:

$$C_i(s) = 3,85 \times \frac{(s + 15.710)}{s} \tag{4.6}$$

O diagrama de Bode da função de transferência do controlador de corrente é mostrado na Fig. 4.5.

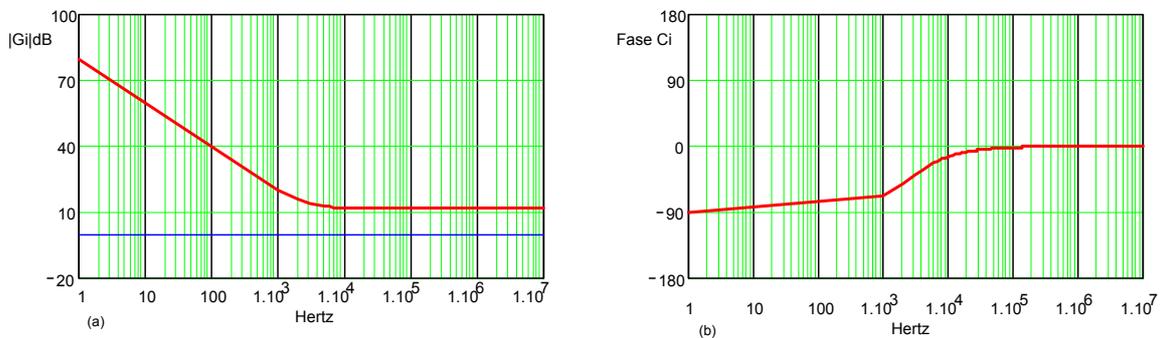


Fig. 4.5 - Diagrama do módulo(a) e da fase (b) de  $C_i(s)$ .

Utilizando-se a função de transferência do controlador PI, projetado acima, na malha de controle de corrente, obtém-se a expressão (4.7), que simboliza a função de transferência de laço aberto do sistema, cuja representação gráfica em módulo e fase são apresentadas na Fig. 4.6.

$$FTLA_i(s) = C_i(s) \cdot G_{PWM} \cdot G_i(s) \cdot G_{si} \tag{4.7}$$

$$FTLA_i(s) = 3,85 \times \frac{(s + 15.710)}{s} \times 0,4 \times \frac{500 \times 10^3}{s} \times 0,1 \tag{4.8}$$

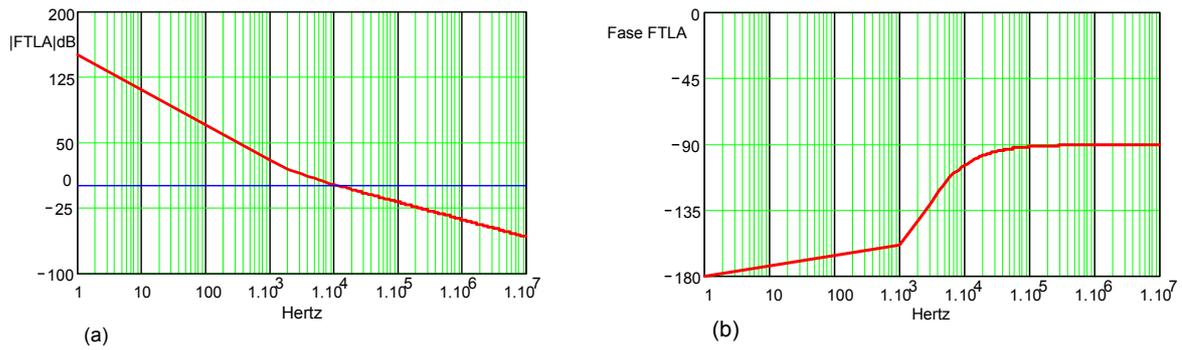


Fig. 4.6 - Diagrama do módulo (a) e da fase (b) da FTLA(s).

### 4.3.2 PROJETO DO CONTROLADOR DIGITAL DE CORRENTE

Para converter o controlador de corrente no domínio  $z$ , utilizou-se o método de discretização por aproximação chamado bilinear, que consiste basicamente em substituir a variável  $s$  por  $\frac{2}{T} \cdot \frac{(z-1)}{(z+1)}$ , onde  $T = \frac{1}{f_a}$ , sendo  $f_a$  a frequência de amostragem do processo. Discretizando-se o controlador de corrente mostrado em (4.2), tem-se:

$$C_i(s) = K_i \cdot \frac{(s + \omega_z)}{s}$$

Substituindo  $s$ :

$$C_i(z) = K_i \cdot \left( \frac{\frac{2}{T} \cdot \left( \frac{z-1}{z+1} \right) + \omega_z}{\frac{2}{T} \cdot \left( \frac{z-1}{z+1} \right)} \right),$$

manipulando-se a expressão:

$$C_i(z) = K_i \cdot \left( \frac{2 \cdot (z-1) + T \cdot (z+1) \cdot \omega_z}{2 \cdot (z-1)} \right)$$

$$C_i(z) = \frac{K_i}{2} \cdot \left( \frac{2 \cdot z - 2 + T \cdot z \cdot \omega_z + T \cdot \omega_z}{(z-1)} \right)$$

$$C_i(z) = \frac{K_i}{2} \cdot \left( \frac{z \cdot (T \cdot \omega_z + 2) + T \cdot \omega_z - 2}{(z-1)} \right)$$

e multiplicando por  $\frac{(T \cdot \omega_z + 2)}{(T \cdot \omega_z + 2)}$  obtém-se:

$$C_i(z) = \frac{K_i \cdot (T \cdot \omega_z + 2)}{2} \cdot \left( \frac{z + \frac{(T \cdot \omega_z - 2)}{(T \cdot \omega_z + 2)}}{(z-1)} \right)$$

Multiplicando por  $\frac{z^{-1}}{z^{-1}}$  chega-se a:

$$C_i(z) = \frac{K_i \cdot (T \cdot \omega_z + 2)}{2} \cdot \left( \frac{1 + \frac{(T \cdot \omega_z - 2)}{(T \cdot \omega_z + 2)} \cdot z^{-1}}{(1 - z^{-1})} \right)$$

Assumindo-se:

$$K_1 = \frac{K_i \cdot (2 + T \cdot \omega_z)}{2}$$

$$K_2 = \frac{(T \cdot \omega_z - 2)}{(T \cdot \omega_z + 2)},$$

obtém-se:

$$C_i(z) = K_1 \cdot \left( \frac{1 + K_2 \cdot z^{-1}}{(1 - z^{-1})} \right) \quad (4.9)$$

A equação (4.9) representa o controlador de corrente no domínio de  $z$ . Substituindo-se os valores de  $\omega_z$ ,  $T$  e  $K_i$ , determinados anteriormente nas expressões de  $K_1$  e  $K_2$  e estes na expressão (4.9), obtém-se o controlador de corrente no domínio de  $z$ , conforme a expressão (4.10):

$$C_i(z) = 4,4556 \times \left( \frac{1 - 0,7285 \times z^{-1}}{1 - z^{-1}} \right) \quad (4.10)$$

#### 4.4 ESTUDO DA MALHA DE TENSÃO

O projeto de controle do conversor também contempla a manutenção e regulação das tensões de saída do conversor, as quais devem ser mantidas em um valor especificado em projeto, sob condições de variação de carga ou flutuações da tensão de entrada do conversor.

Para projetar um controlador que atenda as exigências do projeto, faz-se necessário conhecer a função de transferência que relaciona a tensão de saída com a corrente do indutor. A função de transferência foi determinada no capítulo 3, possuindo a seguinte forma:

$$G_v(s) = (1-D) \cdot \frac{R_0}{s \cdot C_0 \cdot R_0 + 1}$$

O controlador, largamente utilizado [1, 4], é do tipo proporcional - integral, e tem por característica a presença de um pólo na origem, sendo o zero localizado no pólo da planta, desta forma cancelando o efeito deste. A função de transferência do controlador é apresentada na equação (4.11).

$$C_v(s) = K_v \cdot \frac{(s + \omega_z)}{s} \quad (4.11)$$

A Fig. 4.7 representa o conversor e suas malhas de controle por intermédio de diagramas de blocos. Considera-se na representação a operação do conversor para meio ciclo da rede, ou seja, tem-se a representação apenas de uma das saídas de tensão do conversor. A corrente que circula pelo indutor segue para um dos estágios de saída durante um semiciclo da rede de alimentação. Para dimensionamento do controlador de tensão, considerou-se a operação de um dos semiciclos. Com relação ao outro semiciclo de operação, o processo de análise é semelhante, conforme foi descrito nas etapas de operação do conversor.

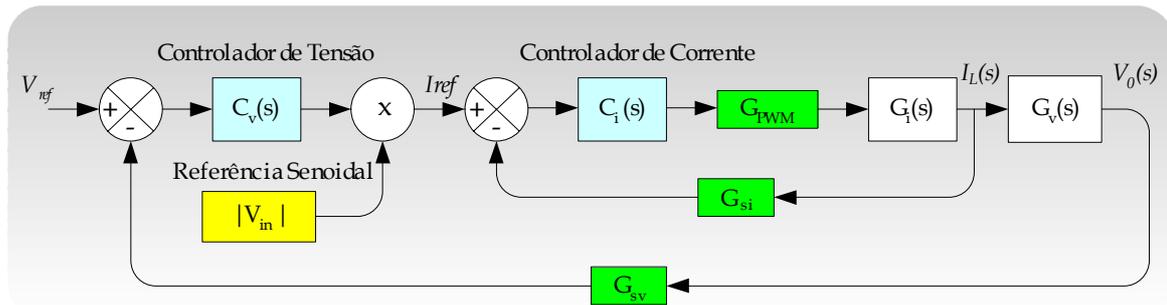


Fig. 4.7 – Diagrama de blocos do conversor e malhas de controle.

#### 4.4.1 PROJETO DO CONTROLADOR DE TENSÃO

A fim de manter as tensões de saída equilibradas e reguladas, o procedimento de projeto para determinação do controlador de tensão, é o mesmo para ambas as saídas do conversor, ou seja, são utilizados dois controladores PI, um para cada uma das malhas de tensões de saída do conversor.

A malha de controle de tensão de saída é lenta, quando comparada com a de corrente [1,4,27]; com isso, pode-se considerar, na análise da malha de tensão, que os blocos que compõem a estrutura da malha de corrente comportam-se como se fosse um ganho. Esse ganho relaciona a corrente de referência  $I_{ref}$  e a corrente no indutor  $I_L$ . No diagrama da Fig. 4.7, acima, os blocos compreendidos entre  $I_{ref}$  e  $I_L$  serão substituídos por um bloco de ganho cujo valor é expresso pela seguinte equação[27]:

$$H_v = \frac{1}{G_{si}} \tag{4.12}$$

Simplificando o diagrama da Fig. 4.7, por meio da substituição da malha de corrente pelo bloco de ganho  $H_v = \frac{1}{G_{si}}$ , obtém-se a seguinte representação em diagrama de blocos simplificada da malha de tensão de controle do conversor, mostrada na Fig. 4.8.

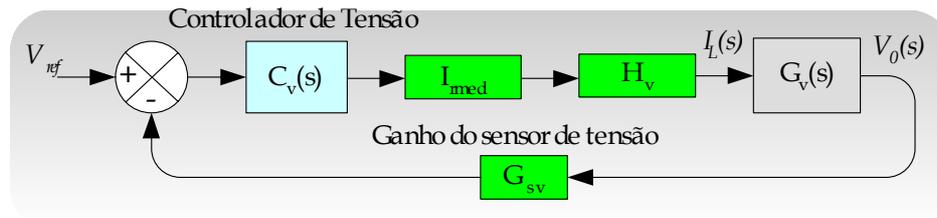


Fig. 4.8 – Diagrama de blocos simplificado da malha de tensão.

O bloco representado por  $I_{rmed}$  refere-se à corrente de referência da malha de corrente; porém, para o dimensionamento do controlador de tensão, ele é considerado um valor constante igual ao valor médio de um sinal senoidal retificado de meia onda, visto que a Fig. 4.8 representa a operação do conversor para uma das saídas de tensão durante um período completo da rede de alimentação.

Para calcular o ganho  $K_v$  do controlador de tensão  $C_v(s)$ , utilizou-se o método do lugar geométrico das raízes; para isso, determinou-se a função de transferência de laço aberto da malha de tensão, dada pela seguinte expressão:

$$FTLA_v(s) = C_v(s) \cdot I_{rmed} \cdot H_v \cdot G_v(s) \cdot G_{sv} \quad (4.13)$$

onde:

$$H_v = \frac{1}{G_{si}} = \frac{1}{0,1} = 10$$

$$G_v(s) = (1-D) \cdot \frac{R_0}{s \cdot C_0 \cdot R_0 + 1} = \frac{62,5}{s \cdot 0,125 + 1}$$

Simplificando:

$$G_v(s) = \frac{500}{(s + 8)}$$

$$I_{rmed} = \frac{1}{\pi} \cdot I_{ref_p} = 0,64$$

$$G_{sv} = 0,004$$

O zero do controlador de tensão é colocado de modo a cancelar o pólo inserido por  $G_v(s)$ ; assim, tem-se:

$$C_v(s) = K_v \cdot \frac{(s + \omega_z)}{s} = K_v \cdot \frac{(s + 8)}{s}$$

A  $FTLA_v$  fica da seguinte forma:

$$FTLA_v(s) = K_v \times \frac{(s + 8)}{s} \times 0,64 \times 10 \times \frac{500}{(s + 8)} \times 0,004 \quad (4.14)$$

A partir da equação característica do sistema representado em (4.14) desenha-se o lugar geométrico das raízes; porém, como o projeto do controlador será feito no domínio de  $z$ , faz-se necessário efetuar a conversão do sistema representado na equação (4.14) para esse domínio. O projeto do controlador de tensão no domínio  $z$  é apresentado no próximo item.

#### 4.4.2 PROJETO DO CONTROLADOR DIGITAL DE TENSÃO

Para definir o controlador proporcional-integral expresso em (4.11), falta determinar o valor do ganho  $K_v$ , o que será feito através do método do lugar das raízes, traçado no plano  $z$ .

A função de transferência (4.14) deve ser convertida nesse domínio; assim, pode-se representar em nível de diagrama de blocos a malha de tensão, considerando-se as transformações necessárias. Para transformar a função de transferência  $G_v(s)$  do domínio  $s$  para o domínio de  $z$ , aplica-se a transformada  $z$  na função de transferência associada ao segurador de ordem zero (ZOH), conforme mostra a Fig. 4.9.

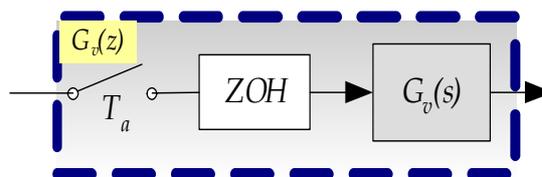


Fig. 4.9 - Diagrama de blocos da função no domínio discreto.

Seja  $G_v(s)$  a função de transferência que relaciona a tensão de saída com a corrente no indutor, que é dada por:

$$G_v(s) = (1-D) \cdot \frac{R_0}{s \cdot C_0 \cdot R_0 + 1} = \frac{62,5}{s \cdot 0,125 + 1},$$

e aplicando-se a transformada  $z$  com o circuito ZOH, na expressão acima, tem-se:

$$G_v(z) = (1-z^{-1}) \cdot Z \left[ \frac{G_v(s)}{s} \right]$$

$$G_v(z) = (1-z^{-1}) \cdot Z \left[ \frac{(1-D) \cdot \frac{R_0}{s \cdot C_0 \cdot R_0 + 1}}{s} \right]$$

$$G_v(z) = (1-z^{-1}) \cdot R_0 \cdot (1-D) \cdot Z \left[ \frac{\frac{1}{(C_0 \cdot R_0)}}{s \cdot \left( s + \frac{1}{(C_0 \cdot R_0)} \right)} \right]$$

Aplicando a transformada  $z$ :

$$G_v(z) = R_0 \cdot (1-D) \cdot \frac{\left( 1 - e^{-\frac{T_a}{R_0 \cdot C_0}} \right)}{\left( z - e^{-\frac{T_a}{R_0 \cdot C_0}} \right)} \quad (4.15)$$

A equação (4.15) representa a função de transferência no domínio  $z$ ; substituindo os valores na expressão, chega-se a:

$$G_v(z) = \frac{0,01}{(z - 0,9998)} \quad (4.16)$$

O próximo passo é a conversão do controlador de tensão também no domínio de  $z$ . Proceda-se da mesma forma que a discretização adotada para o controlador de corrente, ou seja, aplica-se diretamente o método de discretização

por aproximação, chamado bilinear. Com isso, obtém-se a seguinte expressão para o controlador de tensão:

$$C_v(s) = K_v \cdot \frac{(s + \omega_z)}{s}$$

Aplicando-se a discretização e localizando o zero do controlador no pólo da planta, obtém-se:

$$C_v(z) = K_v \cdot \frac{(z - 0,9998)}{(z - 1)}$$

A *FTLA<sub>v</sub>* fica da seguinte forma:

$$FTLA_v(s) = K_v \times \frac{(z - 0,9998)}{(z - 1)} \times 0,64 \times 10 \times \frac{0,01}{(z - 0,9998)} \times 0,004 \quad (4.17)$$

A partir da expressão (4.17), que representa a função de transferência de laço aberto da malha de controle de tensão, traçou-se o lugar geométrico das raízes, a fim de se determinar o valor de  $K_v$ .

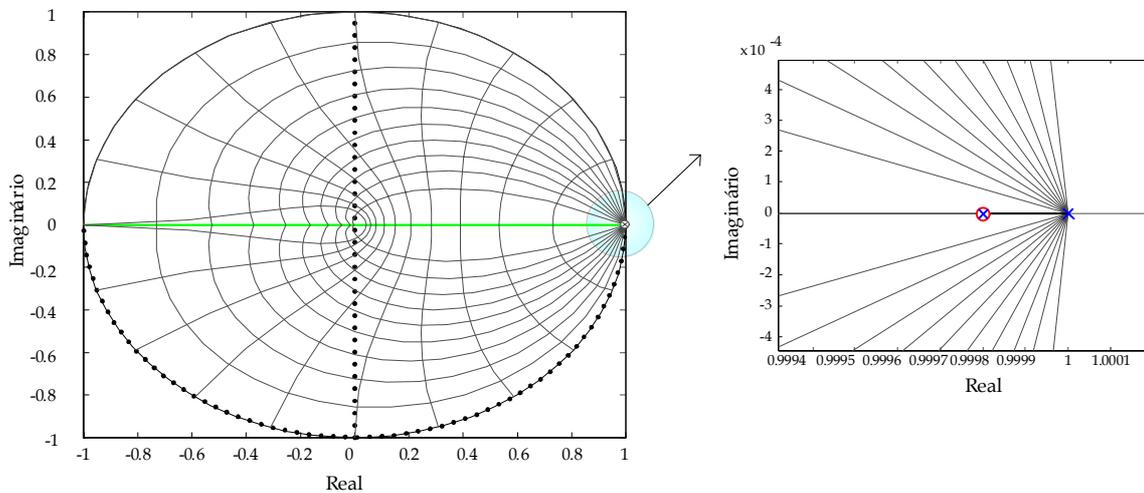


Fig. 4.10 – Gráfico do lugar das raízes para a malha de tensão.

Observa-se, no gráfico da Fig. 4.10, que o sistema apresenta raízes sobre o eixo real, o que significa a ausência de oscilações na resposta do sistema. Com o aumento do valor de  $K_v$ , pode-se tornar a resposta do sistema mais rápida. O limite máximo no valor desse ganho está localizado no zero do eixo real; acima desse valor a resposta é não desejada, visto que o sistema passará a se comportar

oscilatoriamente com valores positivos e negativos na resposta, alternado-se a cada período de amostragem. Escolheu-se para tanto um ganho de  $K_v$ , próximo de 1.

Desse modo o controlador de tensão projetado no domínio de  $z$  fica da seguinte forma:

$$C_v(z) = 1 \times \frac{(z - 0,9998)}{(z - 1)} \quad (4.18)$$

#### 4.4.3 EQUAÇÕES A DIFERENÇAS DOS CONTROLADORES DIGITAIS DE TENSÃO E CORRENTE

Os projetos dos controladores de tensão e corrente estão representados no domínio de  $z$ . Como o objetivo de controle proposto trata da implementação dessas leis de controle via Processador Digital de Sinais, faz-se necessário escrever as funções de transferência dos controladores sob a forma de equações a diferenças; dessa forma, é possível implementá-las via programação, usando o DSP escolhido para o projeto.

A partir das expressões no domínio de  $z$  dos controladores de corrente e tensão, pode-se encontrar a expressão dos controladores sob a forma de equações a diferenças. Como ambos são do tipo PI, a partir da expressão em  $z$  desse controlador, conforme segue, chega-se a:

Expressão do PI em  $z$ ,

$$C(z) = K_1 \cdot \left( \frac{1 + K_2 \cdot z^{-1}}{(1 - z^{-1})} \right)$$

onde:

$$K_1 = \frac{K \cdot (2 + T \cdot \omega_z)}{2}$$

$$K_2 = \frac{(T \cdot \omega_z - 2)}{(T \cdot \omega_z + 2)}$$

Sabendo-se que a função de transferência  $C(z)$  representa a relação  $u(z)/e(z)$ , tem-se:

$$\frac{u(z)}{e(z)} = K_1 \cdot \left( \frac{1 + K_2 \cdot z^{-1}}{1 - z^{-1}} \right)$$

$$u(z) - u(z) \cdot z^{-1} = e(z) \cdot K_1 + e(z) \cdot K_1 \cdot K_2 \cdot z^{-1}$$

$$u(z) = u(z) \cdot z^{-1} + e(z) \cdot K_1 + e(z) \cdot z^{-1} \cdot K_1 \cdot K_2$$

Sabe-se que o termo  $z^{-1}$  representa um atraso de uma amostra, representa-se a expressão acima como sendo:

$$u(k) = u(k-1) + K_1 \cdot e(k) + K_1 \cdot K_2 \cdot e(k-1) \quad (4.19)$$

A equação (4.19) representa a lei de controle do controlador PI, expressão sob a forma de equações a diferenças, que será implementada via programação no DSP. Os valores das constantes  $K_1$  e  $K_2$  são obtidos através das expressões acima.

## 4.5 RESULTADOS DE SIMULAÇÃO

Após o projeto dos controladores digitais partiu-se para a simulação do conversor com as respectivas malhas de corrente e tensão. Empregou-se um programa de simulação por computador (MATLAB) a fim de verificar o comportamento do conversor sob condições nominais de operação, bem como quando submetido a perturbações de carga.

Na Fig. 4.11, mostra-se em nível de diagramas de blocos o sistema completo das malhas de controle da corrente e da tensão do conversor, levando-se em conta estágios de saídas distintos do retificador dobrador de tensão.

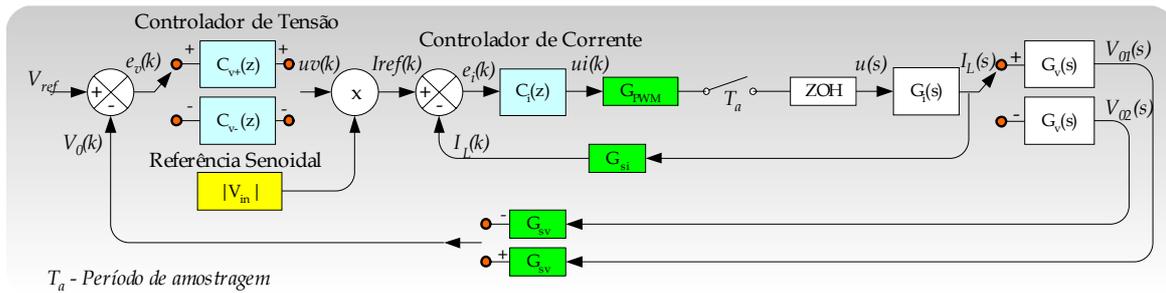


Fig. 4.11 - Diagrama de blocos do controle do conversor.

Conforme descrito no capítulo 3, nas etapas de funcionamento do conversor, a corrente que circula pelo indutor segue para cada um dos estágios de saída durante meio período da rede de alimentação; dessa forma, representou-se a ligação entre o indutor e os estágios de saída através de uma chave que comuta a cada meio período da rede.

Na Fig. 4.11, cada uma das tensões de saída são monitoradas e reguladas em função da mesma referência de tensão projetada ( $V_{ref}$ ). As correções necessárias para manter as saídas de tensão na referência especificada são feitas através do controle do fluxo de potência do conversor para cada uma das saídas. Admitindo-se a tensão de entrada constante, o controle do fluxo de potência fornecido aos estágios de saída é proporcional à corrente de entrada, conforme a seção 3.3.1.

Sendo assim, é possível controlar a tensão de saída através do controle da corrente de entrada, ou seja, por meio de modificações do sinal de referência que impõe a corrente de entrada; diante disso, optou-se pela alteração da amplitude do sinal de referência de corrente. Para distúrbios ocorridos em  $V_{o1}$  ou  $V_{o2}$ , a amplitude do sinal senoidal de referência  $I_{ref}(k)$  é modificada por ação do sinal de saída do controlador de tensão  $uv(k)$ . Se houver distúrbios desiguais nas tensões de saída, a amplitude do sinal de referência terá valor diferente para cada semiciclo da rede de alimentação, fator esse necessário para se obter o fluxo de potência adequado para cada uma das saídas, a fim de mantê-las equilibradas e reguladas na tensão de referência  $V_{ref}$ .

Admitindo-se, no entanto, distúrbios desiguais nas saídas do conversor com valores elevados (exemplificando, uma diferença no balanço de cargas entre as saídas na ordem de 50%), tem-se uma deformação elevada na forma de onda da corrente de entrada, a fim de manter equilibradas as tensões de saída do conversor.

As amplitudes diferentes em cada semiciclo da rede de alimentação dessa ordem de grandeza acarretarão a deterioração do fator de potência, haja vista o aparecimento de componentes harmônicas de amplitudes significativas.

Na realidade, o conversor foi projetado na expectativa de que ele operasse com perturbações pequenas e ou de curta duração; dessa forma, trata-se o desequilíbrio nas tensões como transitório, não sendo necessário manter por muito tempo as amplitudes em cada semiciclo da rede desequilibradas, o que fará com que o conversor apresente um alto fator de potência.

A partir da Fig. 4.11 simulou-se o circuito do conversor com as malhas de tensão e corrente. O diagrama de blocos funcional é mostrado na Fig. 4.12.

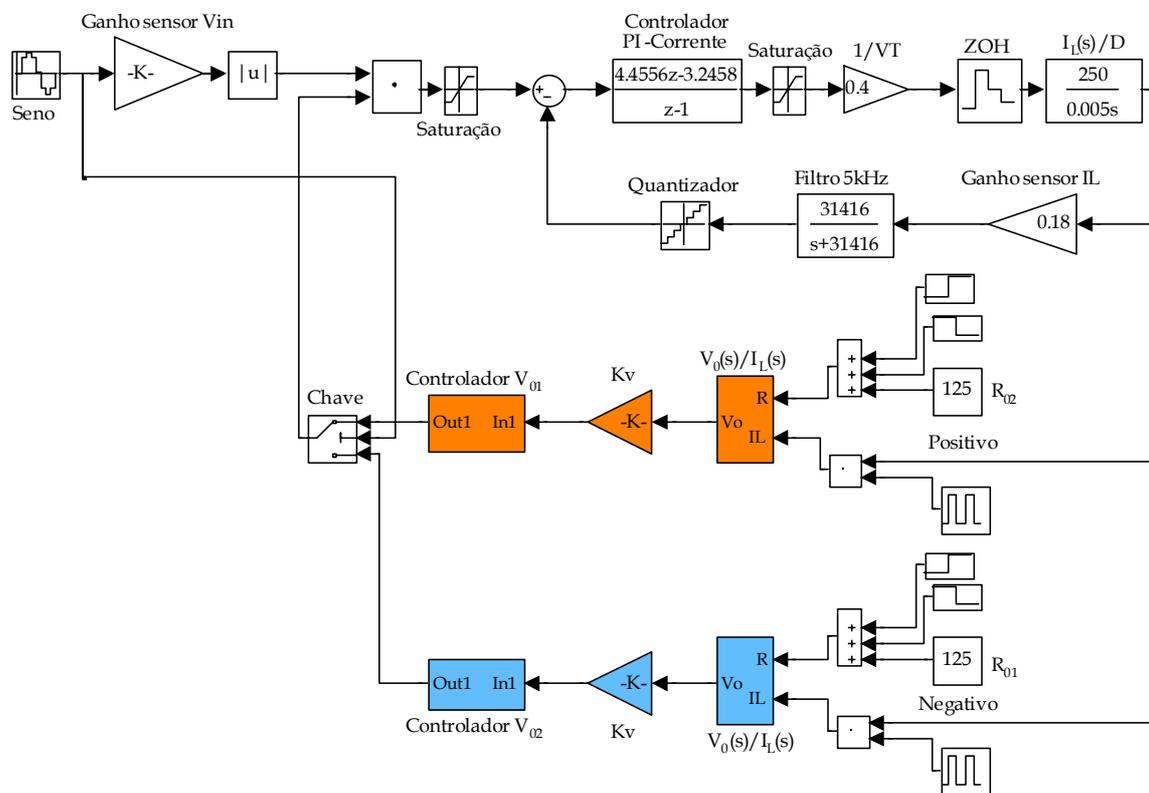
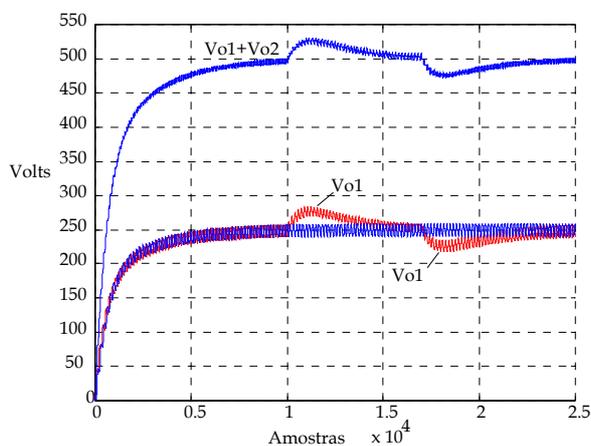


Fig. 4.12 – Diagrama de blocos do circuito simulado.

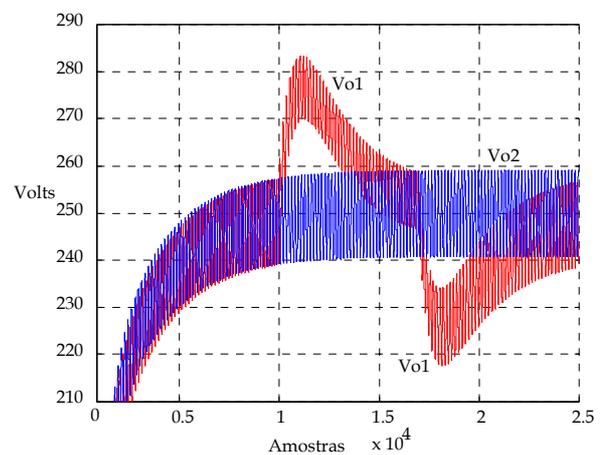
No diagrama da Fig. 4.12, construiu-se um sub-circuito que relaciona a tensão de saída ( $V_0$ ) e a corrente de entrada ( $I_L$ ), de tal forma que possibilite introduzir variações de carga no sistema. Os blocos de quantização e saturação foram introduzidos na simulação do sistema completo, na tentativa de aproximar sua resposta com o resultado obtido pelo processamento através do DSP; o primeiro no intuito de reproduzir o efeito de amostragem das variáveis monitoradas no processo, como se estivesse ocupando o espaço destinado ao conversor analógico-digital. O segundo elemento, saturação, responsabiliza-se pelo condicionamento dos cálculos, ou melhor, dos limites numéricos de representação do DSP, sem levar em conta as limitações relativas às operações em ponto-fixado.

Efetuararam-se diversas simulações do sistema, submetidas a combinações diferentes de perturbação na carga, ora aumentando, ora diminuindo o valor dos degraus de perturbações, bem como deslocando no tempo os instantes das perturbações. Alguns dos resultados do efeito da ação dos controladores do sistema são mostrados a seguir:



4.13 – Tensões de saída  $V_{01}$  e  $V_{02}$ .

Fig.



4.14 – Perturbação na tensão  $V_{01}$ .

Fig.

A Fig. 4.13 mostra o comportamento das tensões de saída do retificador quando submetido a dois degraus de carga, o primeiro relativo a uma diminuição na carga na ordem de 33%, e o segundo referente a um aumento no sentido de reaver o valor nominal dela.

É mostrado, na Fig. 4.14, detalhe do comportamento das tensões de saída frente a essas perturbações. Observa-se, na Fig. 4.13, a resposta da tensão de saída que segue o valor de referência estabelecido no projeto (250 V), após receber as perturbações na carga.

O comportamento da corrente de entrada, frente aos degraus de carga aplicados, pode ser visto na Fig. 4.15. Observa-se que a resposta do sistema age apenas no sentido de corrigir a tensão em uma das saídas, visto que a perturbação foi em apenas uma delas. Como consequência, observa-se na Fig. 4.15 que a corrente de entrada é alterada em apenas um dos semiciclos, aquele responsável por manter o fluxo de potência para aquela saída que sofreu alterações.

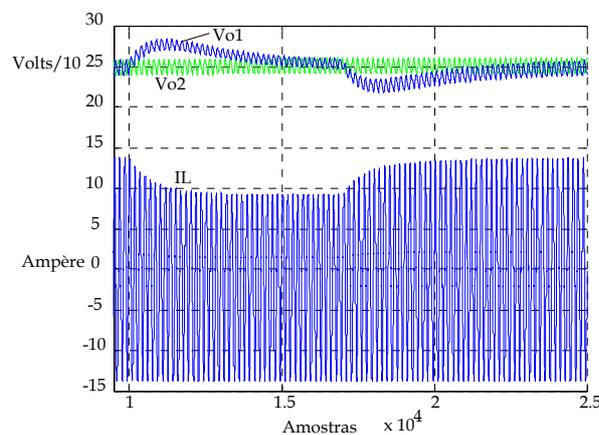


Fig. 4.15 – Corrente de entrada e tensões de saída.

Mostrando com mais detalhes, pode-se observar, na Fig. 4.16, o comportamento das correntes responsáveis pela manutenção dos estágios de saída, face aos degraus de carga. Como a perturbação se deu em apenas uma das saídas, claramente se evidencia nas figuras a alteração na amplitude de uma delas, sendo que a outra permanece inalterada, visto que não houve perturbações associadas a essa saída, ou seja, observa-se a atuação do controlador de tensão para cargas desequilibradas.

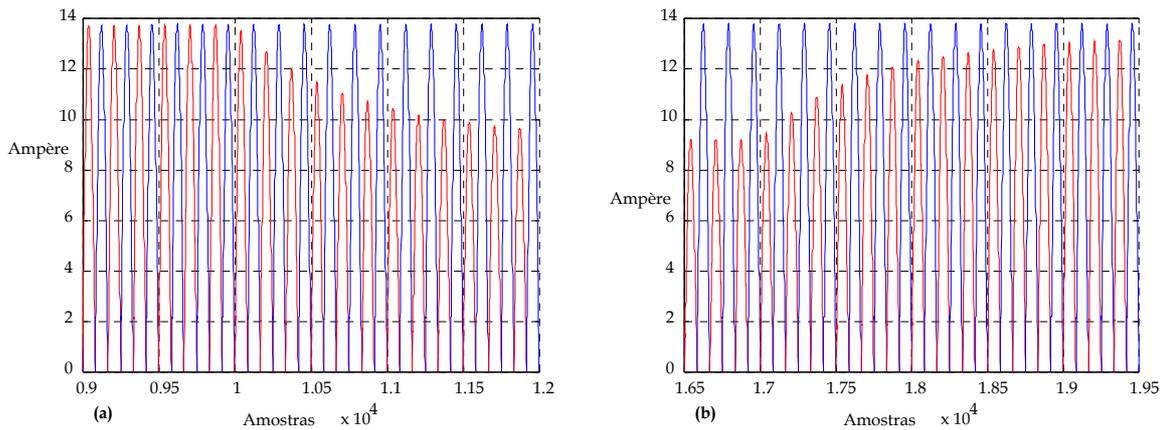


Fig. 4.16 – Detalhes do comportamento das corrente de entrada retificadas do conversor, nos instantes de perturbação: diminuição (a) e aumento(b) de carga.

Antes da aplicação da segunda perturbação, o conversor está operando com cargas desequilibradas, com isso a corrente de entrada apresenta valores de amplitude diferentes nos semiciclos positivo e negativo; resultado da atuação do controlador de tensão. Na Fig. 4.17 é mostrado com detalhes o comportamento da corrente de entrada durante o regime para cargas desequilibradas, sendo o degrau na ordem de 33%.

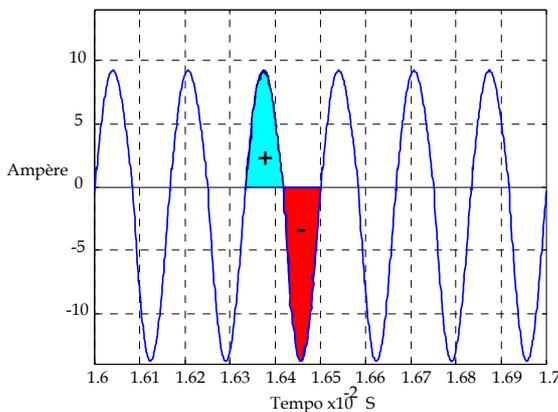


Fig. 4.17 –Detalhe da corrente de entrada para cargas desequilibradas.

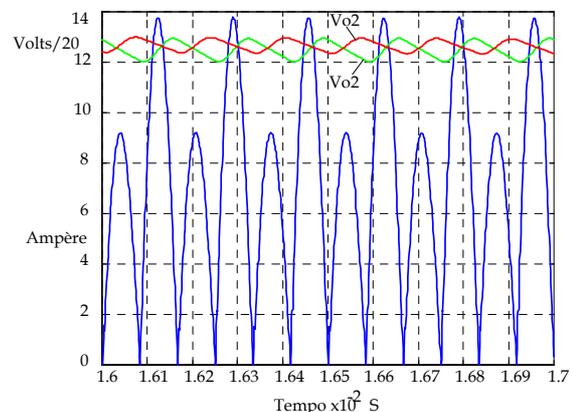


Fig. 4.18 – Detalhe da corrente e das tensões nos estágios de saída do conversor.

A Fig. 4.18 apresenta a variação nas correntes de entrada retificadas do conversor; fica evidente a variação na amplitude a fim de compensar o desequilíbrio de carga. Concomitantemente, detalhes das tensões de saída são mostradas na mesma figura, sobressaindo-se também a presença da ondulação nas tensões de saída.

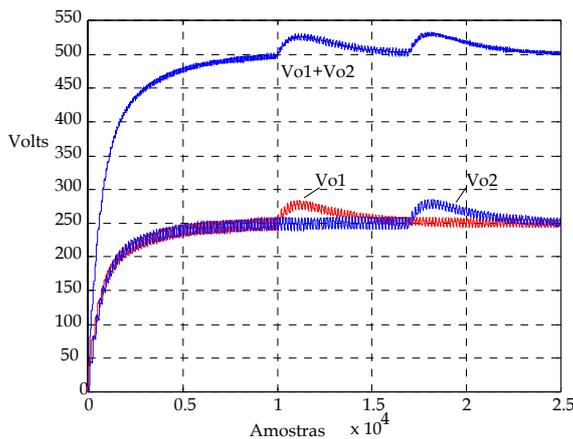


Fig. 4.19 – Tensões de saída  $V_{o1}$  e  $V_{o2}$ .

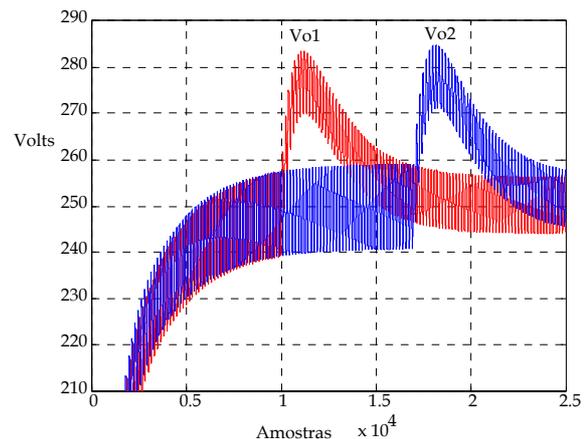


Fig. 4.20 – Perturbação nas tensões  $V_{o1}$  e  $V_{o2}$ .

Simulou-se uma outra situação, na qual ambas as saídas do conversor são submetidas a degraus de carga, porém em instantes de tempo diferentes.

Como resultado dessa simulação, a Fig. 4.19 mostra o comportamento da tensão de cada uma das saídas,  $V_{o1}$  e  $V_{o2}$ , bem como a tensão total do barramento. Detalhes das tensões de saída nos instantes de perturbação, nas respectivas cargas associadas, são mostradas na Fig. 4.20.

Para compensar os distúrbios nas cargas conectadas às saídas, o controlador de tensão contribui para a variação da amplitude do sinal de referência a ser seguido pelo controlador de corrente. Na Fig. 4.21, observa-se o comportamento da corrente de entrada, onde graficamente visualiza-se a variação na sua amplitude nos instantes em que ocorreram degraus de carga, ambos relativos à diminuição de carga.

Detalhes do comportamento das correntes de entrada retificadas do conversor, no instante em que ocorreu a perturbação na saída  $V_{o2}$ , são mostrados na Fig. 4.22. Observa-se a tendência das correntes a atingirem o mesmo valor, visto que a variação de carga nas saídas se iguala a partir desta segunda perturbação.

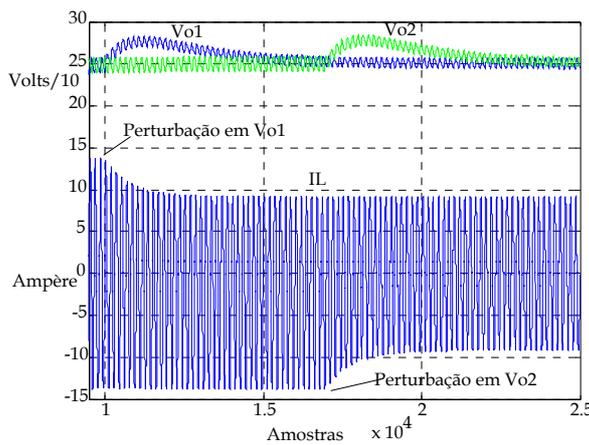


Fig. 4.21 - Corrente de entrada e tensões de saída.

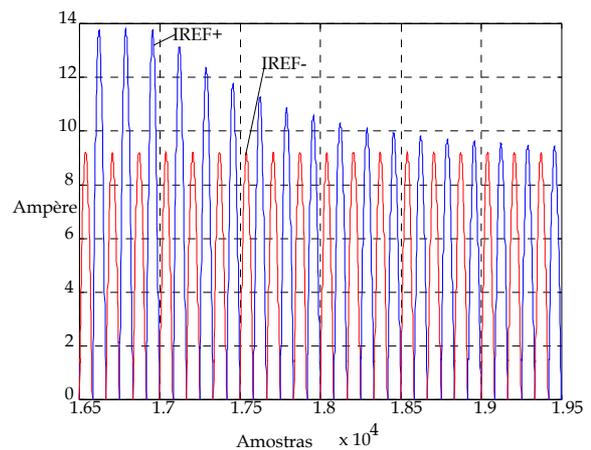


Fig. 4.22 - Detalhes do comportamento das correntes de entrada retificadas.

A corrente de entrada, no instante em que ocorre a perturbação na saída  $V_{o2}$ , pode ser visualizada com mais detalhes na Fig. 4.23. Verifica-se a diminuição na amplitude da corrente somente no semiciclo negativo, justamente a fração de corrente que fluirá para o estágio de saída onde ocorreu a diminuição de carga.

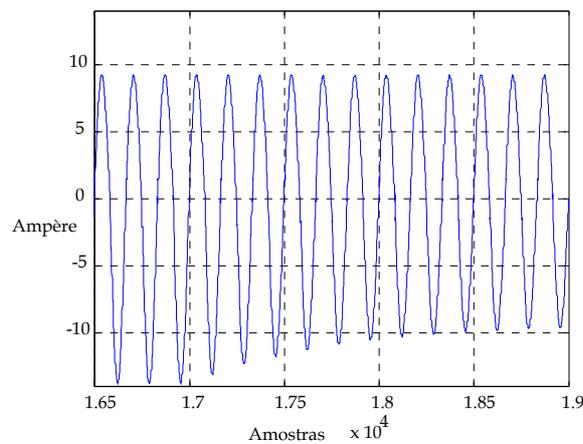


Fig. 4.23 - Detalhe na corrente de entrada.

Por último, optou-se por simular uma situação em que ambas as saídas do conversor fossem perturbadas simultaneamente. Aplicaram-se dois degraus de carga, sendo o primeiro uma diminuição de carga em ambas as saídas; e, o segundo, um aumento na mesma proporção, restabelecendo-se assim a condição de carga nominal. Na Fig. 4.24, tem-se o comportamento das tensões de saída frente a essas perturbações. Detalhes das tensões de saída nos instantes em que ocorreram os degraus de carga são vistas na Fig. 4.25.

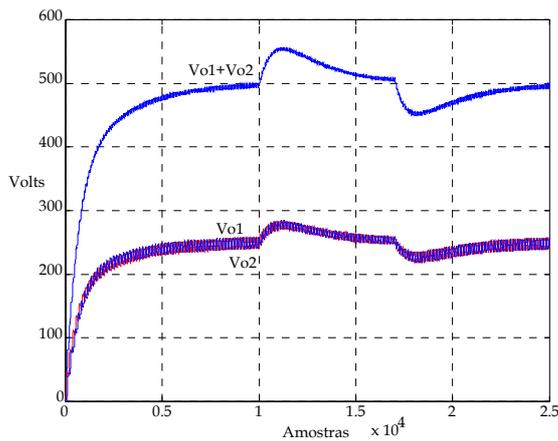


Fig. 4.24 - Tensão de saída total e tensões  $V_{01}$  e  $V_{02}$ .

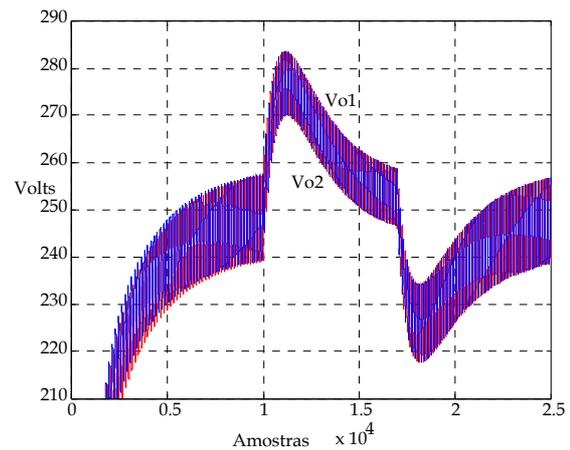


Fig. 4.25 - Detalhe da perturbação nas tensões  $V_{01}$  e  $V_{02}$ .

As variações na corrente de entrada são vistas na Fig. 4.26, onde se observa os ajustes de amplitude em ambos os semiciclos da corrente de entrada, caracterizando que houve perturbações simultâneas nas saídas do conversor. Como as perturbações foram de mesma intensidade, na ordem de 33%, as amplitudes variam simetricamente.

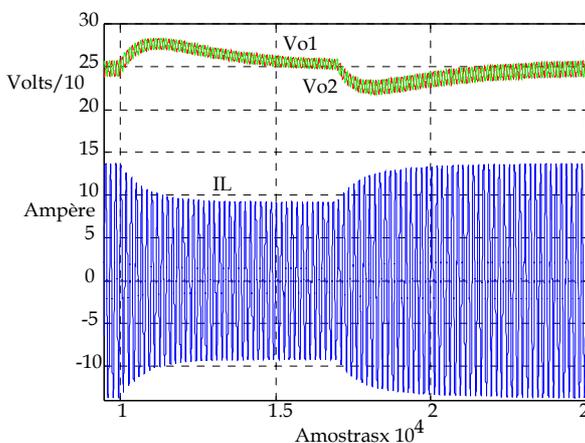


Fig. 4.26 - Corrente de entrada e tensões de saída.

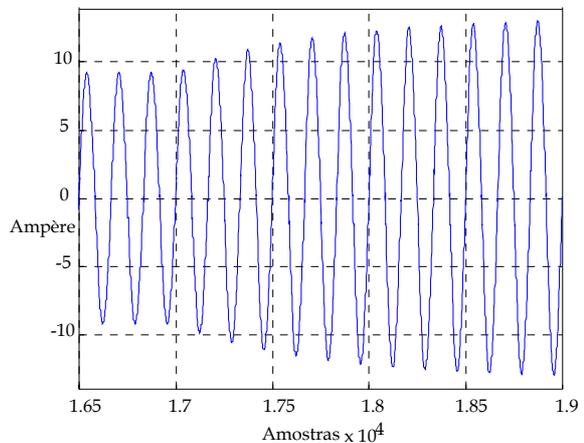


Fig. 4.27 - Detalhe na corrente de entrada no instante do aumento de carga.

As correntes que são injetadas nos estágios de saída do conversor são idênticas, pois ambas receberam degraus de carga idênticos e nos mesmos instantes; dessa forma a ação de controle é a mesma para ambos os controladores de tensão, acarretando respostas idênticas para ambas as correntes que fluem para as respectivas saídas. A Fig. 4.28 e a Fig. 4.29 mostram detalhes dessas correntes.

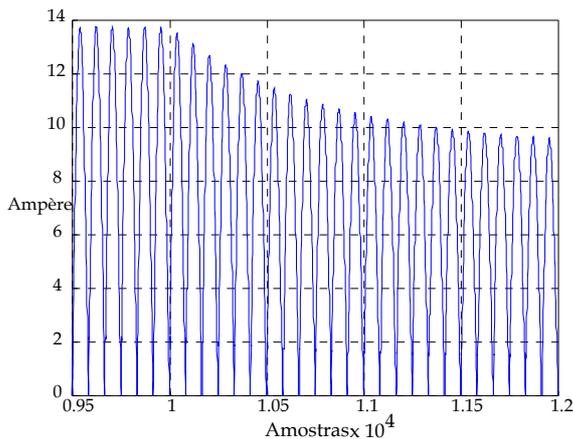


Fig. 4.28 - Detalhes do comportamento das correntes de entrada retificadas, durante diminuição de carga.

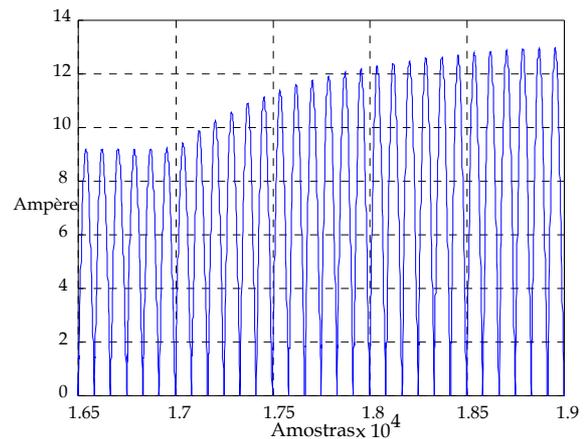


Fig. 4.29 - Detalhes do comportamento das correntes de entrada retificadas, durante aumento de carga.

## 4.6 CONCLUSÃO

Foram apresentadas, nesse capítulo, as técnicas de controle empregadas no conversor, o projeto das malhas de corrente e tensão, bem como a simulação completa da estrutura de controle do retificador dobrador de tensão, representando o conversor pelo diagrama de blocos equivalente.

A topologia do retificador tipo dobrador apresenta, em sua operação, uma situação não desejada, que se refere ao desequilíbrio das tensões em cada saída. Esse problema foi resolvido através da variação da amplitude da referência de corrente, em cada semiciclo da tensão da rede; sendo assim, é necessária a implementação de duas malhas de tensão, uma para cada saída.

Por fim, apresentou-se o resultado de simulação, que demonstrou uma operação adequada dos controladores, obtendo-se deles uma resposta satisfatória. O controle do retificador resultou no especificado no projeto, cujo objetivo é mantê-lo com alto fator de potência e as tensões de saídas reguladas e equilibradas.

# CAPÍTULO 5

## IMPLEMENTAÇÃO DO PROTÓTIPO – RETIFICADOR MONOFÁSICO

### 5.1 INTRODUÇÃO

Neste capítulo descrevem-se as principais etapas da implementação de um protótipo desenvolvido em laboratório. Projetou-se e implementou-se um conversor de 1.000 W controlado digitalmente através do controlador DSP ADMC331 da Analog Devices.

São apresentados, neste capítulo, o retificador com a estrutura de controle, o diagrama de blocos do programa desenvolvido, os circuitos eletrônicos utilizados, bem como os resultados experimentais obtidos do ensaio do protótipo em laboratório.

### 5.2 CONTROLE DO CONVERSOR COM DSP

A partir do estudo do conversor apresentado no capítulo 3, concomitantemente ao projeto dos controladores estudados no capítulo 4, partiu-se para a implementação do controle digital no retificador dobrador de tensão. Para isso, foi necessário monitorar algumas grandezas físicas envolvidas no processo de controle do conversor.

A Fig. 5.1 representa o circuito do retificador monofásico com o diagrama de blocos do controle da estrutura do conversor, no qual se empregou o ADMC331. Observa-se que algumas variáveis são monitoradas e tratadas pelo DSP, a fim de se obter a ação de controle adequada ao comando dos interruptores do retificador, cabendo lembrar que o objetivo é a correção do fator de potência, regulação e equilíbrio da tensão de saída. Expõe-se, a seguir, de forma sucinta, uma visão global do mecanismo de gerência envolvido no processo de controle do conversor.

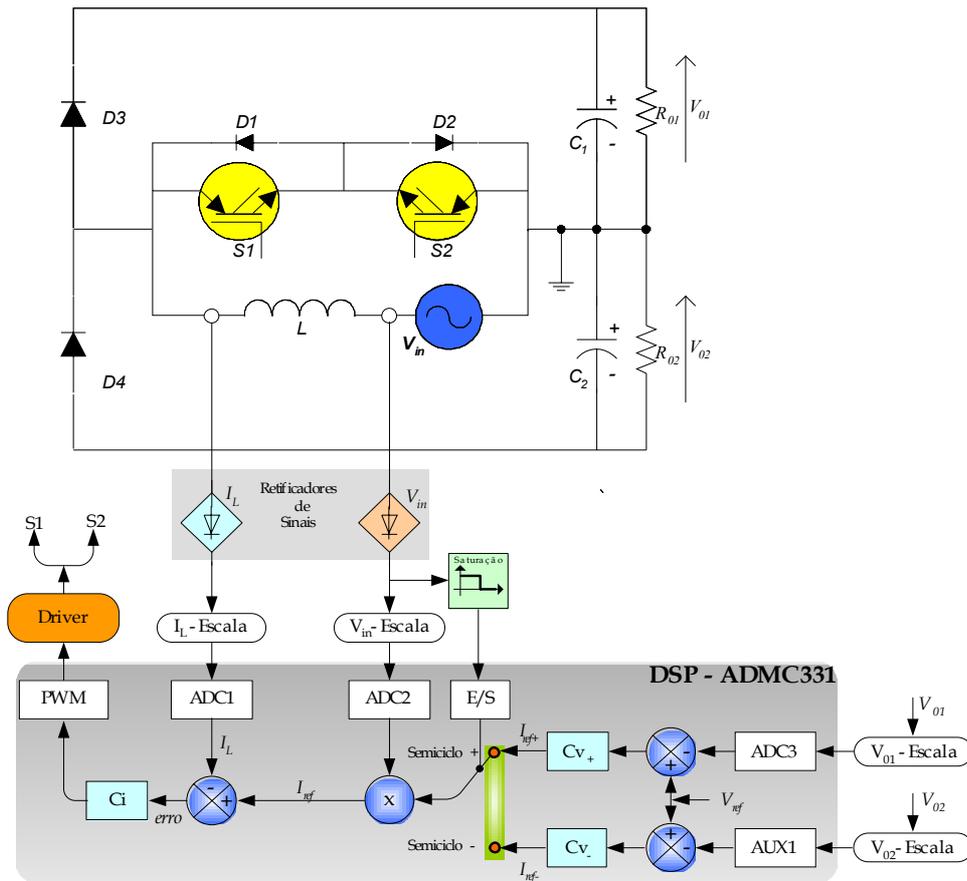


Fig. 5.1 – Diagrama de blocos do controle do conversor.

### 5.2.1 DESCRIÇÃO FUNCIONAL DO CONTROLE

Conforme pode ser visto na Fig. 5.1, são monitoradas as tensões de saída do conversor  $V_{01}$  e  $V_{02}$ , a tensão da rede  $V_{in}$  e a corrente de entrada  $I_L$ . Essas grandezas físicas são monitoradas através de circuitos de interfaces, que condicionam os sinais a níveis compatíveis com a entrada do conversor analógico-digital do DSP.

A tensão de entrada  $V_{in}$  passa, inicialmente, por um retificador de precisão e, posteriormente, por um circuito de ajuste de ganho, de tal forma a obter um nível de tensão proporcional e compatível com o nível de tensão permitido na entrada do sistema ADC. Amostras de  $V_{in}$  são obtidas e convertidas por meio da entrada ADC2 do conversor A/D.

As tensões de saída  $V_{01}$  e  $V_{02}$  são condicionadas por intermédio de um circuito de medição, baseado em transdutores de efeito *Hall*, e amostradas pelas entradas ADC3 e AUX1 do A/D.

A corrente de entrada,  $I_L$ , é retificada e monitorada por um circuito de medição de corrente; também é empregado o sensor de efeito *Hall*, passando por um circuito de ajuste de ganho a fim de adaptar o sinal de corrente, já transformado em tensão, aos níveis do A/D.

Observa-se, na Fig. 5.1, que a amostra do sinal de tensão da rede ( $V_{in}$ ) também passa por circuito de saturação, onde sua função é simplesmente indicar ao DSP em qual semiciclo da rede encontra-se operando o conversor, positivo ou negativo. Essa informação é importante no sentido de indicar qual das saídas do conversor é suscetível de controle e regulação por intermédio da malha de tensão, através da ação de comando sobre os interruptores.

Conforme descrito no capítulo 4, a referência de corrente é obtida da composição dos sinais de tensão de saída ( $V_{01}$  e  $V_{02}$ ) e da forma de onda de tensão de entrada  $V_{in}$ . Essa referência é comparada com a amostra da corrente de entrada do conversor  $I_L$ ; o erro resultante é aplicado ao controlador de corrente tipo PI, cuja saída determina a largura do pulso a ser aplicado aos interruptores, utilizando-se o módulo PWM do ADMC331.

A saída PWM do DSP é enviada a um circuito de *driver*, desenhado especificamente para o acionamento de interruptores de potência.

No próximo item, descrevem-se as rotinas implementadas a fim de satisfazer o processo de aquisição e operação das variáveis envolvidas no sistema de controle. Cabe salientar que, sendo o processo de controle digital, o DSP tem a função de monitorar as grandezas elétricas do conversor participantes do processo, bem como efetuar as operações concernentes às leis de controle do retificador monofásico.

### 5.3 PROGRAMA

A programação dos periféricos envolvidos no controle do conversor, sistema ADC e o controlador PWM — bem como a implementação da lei de controle —, é feita utilizando-se de uma linguagem de programação própria, desenvolvida pelo fabricante do DSP. O conjunto completo das instruções da família *ADSP-2100* pode ser encontrado em [21]. O digrama de blocos do programa, implementado no *ADMC331*, pode ser visto na Fig. 5.2.

Primeiramente, todas as variáveis e constantes são criadas e iniciadas nas memórias de dados e programas, bem como são alocados espaços na memória de programa a fim de acomodar as macros, que são pequenas rotinas, responsáveis pela inicialização e chamadas das rotinas dos controladores e de cálculo do valor médio.

Logo após, é feita a configuração do módulo PWM trifásico, programando-se a unidade em função das variáveis frequência PWM, razão cíclica, tempo morto, etc. A próxima etapa refere-se às inicializações dos vetores de interrupções, preparando-se a acomodação das rotinas de serviço de interrupção.

Depois de programada a unidade PWM, inicia-se sua operação. Conforme detalhes mostrados no apêndice A, é gerado um pulso sincronizado com a frequência PWM a cada início do período PWM. É justamente nesse ponto que o programa fica em estado de espera, aguardando esse pulso de sincronismo *PWMSYNC*, via interrupção.

Uma vez recebida essa interrupção, o programa segue para a rotina de serviço de interrupção do *PWMSYNC*, dando seqüência à execução do programa, resultando na leitura das tensões de saída  $V_{01}$  e  $V_{02}$  da tensão de entrada  $V_{in}$  e da corrente de entrada  $I_L$ . Com os valores das tensões de saída é calculado o valor médio relativo às amostras obtidas durante meio período da rede (120 Hz).

---

O controlador de tensão começa a atuar depois que a tensão de saída atingir certo limite estabelecido no projeto, antes disso a referência de corrente é composta somente pela medida da tensão de entrada  $V_{in}$ .

Observa-se, no diagrama de blocos da Fig. 5.2, que se atribui à saída do controlador de tensão o valor unitário (1), até a tensão de saída alcançar um certo limite. Uma vez que a saída de tensão atinja um valor adequado, o programa passa a verificar em que semiciclo da tensão da rede de alimentação encontra-se operando – positivo ou negativo –, calcula o erro de tensão para a saída específica e determina a ação de controle do controlador de tensão.

Atribui-se como limite de tensão na saída do conversor um valor maior que a metade da tensão de referência.

Em seguida, o *ADMC331* calcula a corrente de referência ( $I_{ref}$ ) que é a composição dos sinais  $V_{in}$  e da saída do controlador de tensão; a partir desta, calcula-se o erro de corrente que é aplicado ao controlador de corrente. A saída desse controlador é adaptada ao intervalo válido de razão cíclica, valor compreendido entre os limites zero (0) e o máximo possível (PWMTM). Esse valor é levado ao registrador PWMCHA, determinando-se o valor da largura do pulso PWM, isto é, a razão cíclica.

O programa então volta ao estágio inicial e fica aguardando por uma nova interrupção do módulo PWM.

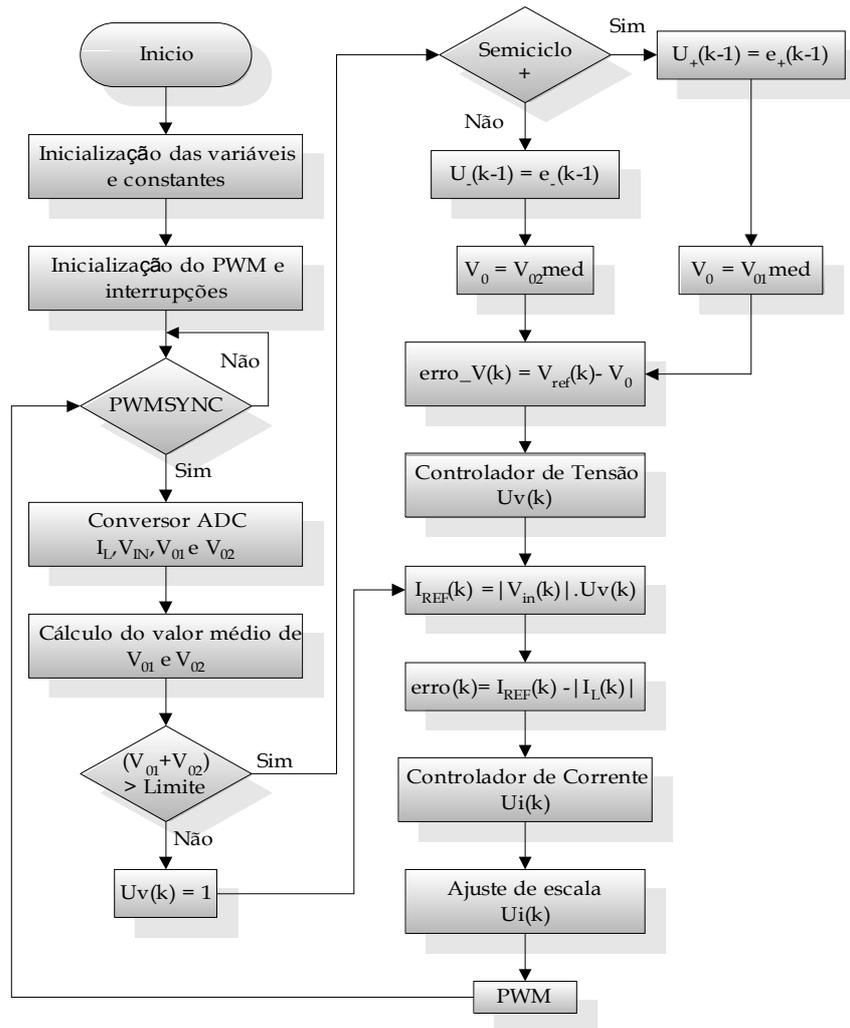


Fig. 5.2 – Diagrama de blocos do programa.

## 5.4 CIRCUITOS

São apresentados, neste item, os circuitos empregados na implementação da interface entre o conversor e o controlador DSP ADCM331, o circuito do conversor e o *driver* empregado no acionamento dos interruptores do retificador dobrador de tensão.

### 5.4.1 CIRCUITO DO CONVERSOR

Projitou-se e implementou-se um protótipo cujas especificações são apresentadas na Tabela 5.1.

Tabela 5.1 – Especificações do retificador.

Potência de Saída	$P_0 = 1000 \text{ W}$
Tensão em cada uma das saídas	$V_{01} = V_{02} = 250 \text{ V}$
Frequência de Chaveamento	$f_s = 50 \text{ kHz}$
Tensão de Entrada	$V_{in} = 127 \text{ V}_{RMS}, 60 \text{ Hz}$

Na Fig. 5.3, tem-se o circuito do conversor implementado em laboratório segundo as especificações mostradas na Tabela 5.1, cujos elementos foram dimensionados no capítulo 3. O dimensionamento dos interruptores e diodos *boost* utilizados foi feito por intermédio de simulação do circuito.

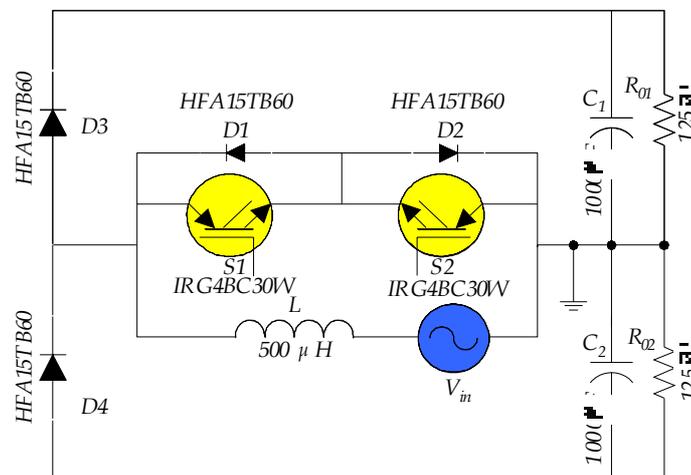


Fig. 5.3 – Circuito do conversor implementado.

#### 5.4.2 CIRCUITO DE INTERFACE

São apresentados, a seguir, os circuitos de interface empregados no condicionamento dos sinais entre o conversor e o DSP. Esses circuitos são basicamente compostos por amplificadores operacionais e sensores. Na Fig. 5.4, tem-se o circuito utilizado para medição e condicionamento da corrente de entrada, ou corrente no indutor,  $I_L$ . Utilizou-se um sensor de efeito *Hall* tipo LA 25-NP para medição da corrente, conjuntamente com um *buffer*, a fim de ajustar o ganho do circuito de medição. Após esse ajuste, o sinal é retificado por meio de um circuito retificador de precisão, mostrado na Fig. 5.4.

A saída do circuito de medição de corrente foi ajustada para se obter um nível de tensão máximo de 2 Volts quando o conversor estiver operando com potência nominal. Esse nível de tensão, proporcional à corrente de entrada, é então aplicado a uma das entradas do sistema ADC do *ADCM331*; nesse caso utilizou-se a entrada ADC2.

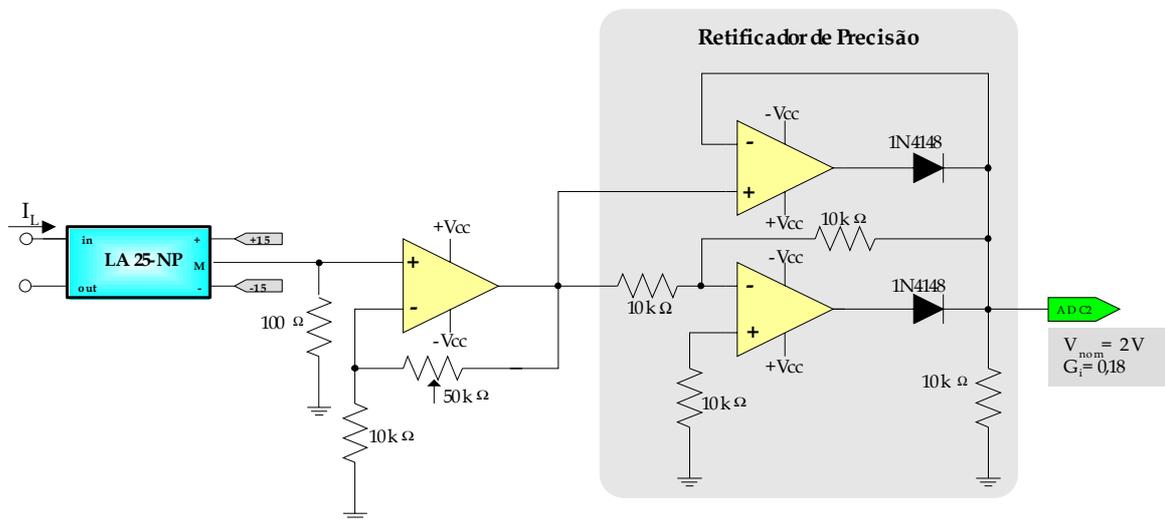


Fig. 5.4 – Circuito de medição de corrente.

Na Fig. 5.5, mostra-se o circuito utilizado para medição da tensão de entrada. A fim de adaptar os níveis do sinal da rede de alimentação aos valores permissíveis pelo DSP, utilizou-se um transformador e um divisor resistivo; com isso, ajustou-se o valor nominal de saída de 2 Volts, relativo à tensão de entrada nominal eficaz de 127 Volts. Esse sinal também é retificado por um circuito semelhante ao anterior e, posteriormente, aplicado à entrada analógica ADC1 do conversor A/D do *ADMC331*.

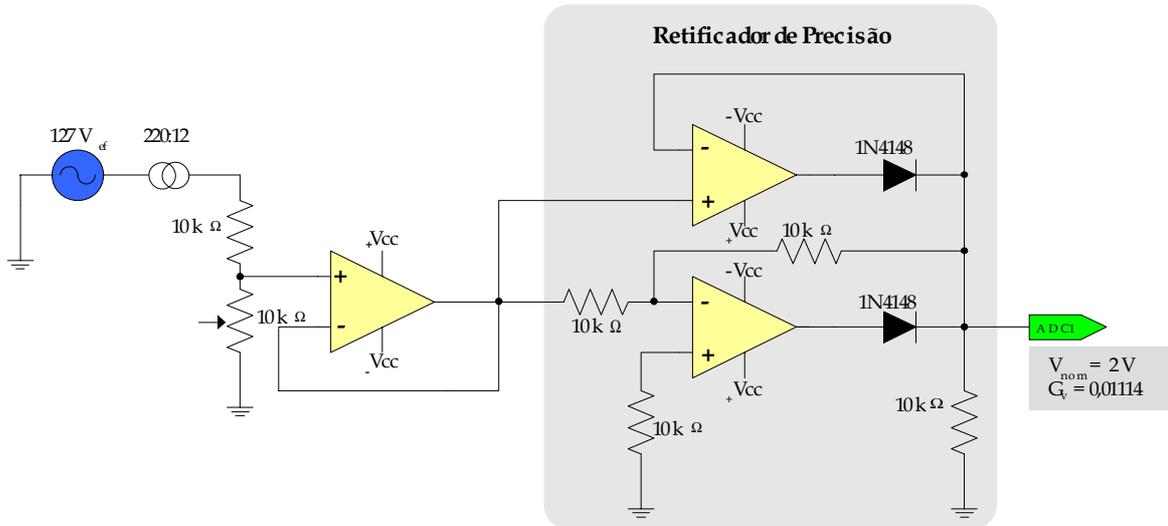


Fig. 5.5 – Circuito de medição da tensão de entrada.

Por último, tem-se na Fig. 5.6 o circuito de medição das tensões  $V_{01}$  e  $V_{02}$ . Por questão de comodidade e segurança, utilizaram-se transdutores de efeito Hall, com o objetivo de adaptar esses níveis de tensão ao A/D do DSP. Foi feito ajuste para a obtenção na saída desses transdutores de um nível de tensão de 1 Volt para cada uma das saídas, quando estas atingissem o valor nominal 250 Volts. Essas saídas foram aplicadas às entradas ADC3 e ADCAUX do sistema ADC do ADMC331.

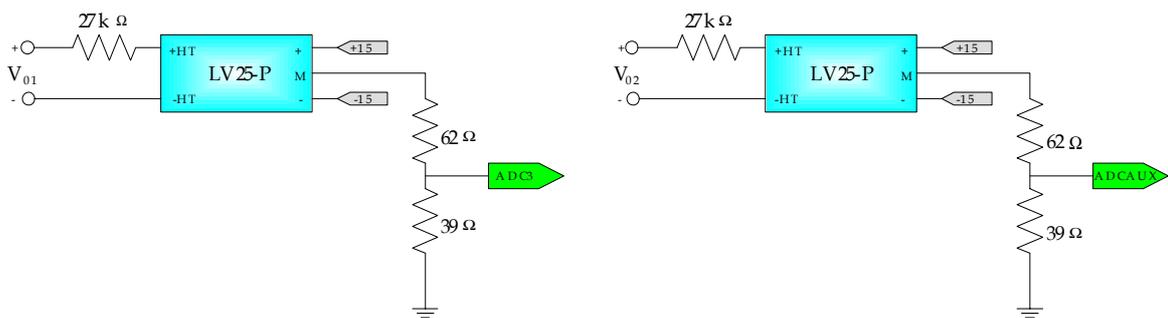


Fig. 5.6 – Circuito de medição das tensões de saída.

### 5.4.3 CIRCUITO DE COMANDO

Os sinais oriundos da unidade PWM do controlador ADMC331 são os sinais de comando dos IGBT da estrutura; esses sinais são aplicados ao circuito de comando utilizado para colocar o IGBT em condução ou bloqueio. O circuito de comando empregado foi um módulo da SEMIKRON SKHI 10, um para cada IGBT

que compõe a chave bidirecional em corrente do circuito do conversor. A Fig. 5.7 mostra o diagrama de blocos do módulo *driver* utilizado.

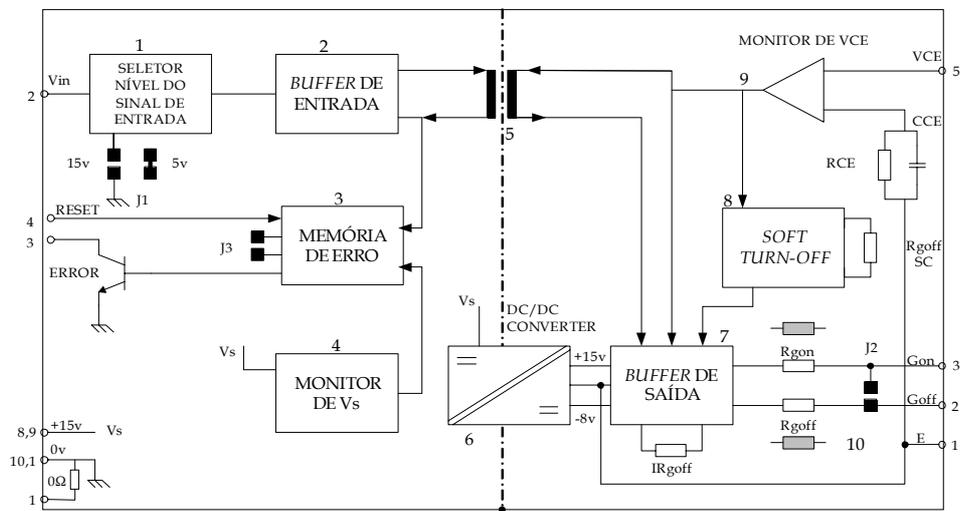


Fig. 5.7 – Diagrama de blocos do SKHI 10.

O módulo utilizado apresenta algumas características como: tensão  $V_{CE}$  1200 Volts, *buffer* de entrada compatível com CMOS/TTL, proteção contra curto-circuito através da monitoração de  $V_{CE}$ , isolamento via transformador, etc.

#### 5.4.4 CIRCUITO DO CONTROLADOR DSP

De todos os circuitos de controle do conversor, pode-se afirmar que o principal é aquele que contém o componente controlador DSP *ADMC331*, visto que este é o responsável direto pela execução do controle do conversor.

Para utilizar esse DSP usou-se um *kit* de desenvolvimento produzido pelo fabricante do componente, o *ADMC331-ADVEVALKIT*. As ferramentas de programação e simulação utilizadas foram o *ADI Motion Control Debugger* e *VisualDSP Debugger* da *ANALOG DEVICES*. Suas funções consistem em propiciar um ambiente de programação que facilite a implementação e os testes das rotinas de controle e de comando do conversor.

Na Fig. 5.8, pode-se visualizar o *kit* utilizado na implementação do controle do conversor; mostra-se também um diagrama localizando os principais componentes da placa, salientando-se o próprio *ADMC331*.

Existem barramentos (IF1, IF2 e IF3) onde o projetista tem acesso aos pinos do controlador. A carga do programa é feita por intermédio de um computador, via comunicação serial através da porta P1, como mostrado na Fig. 5.8.

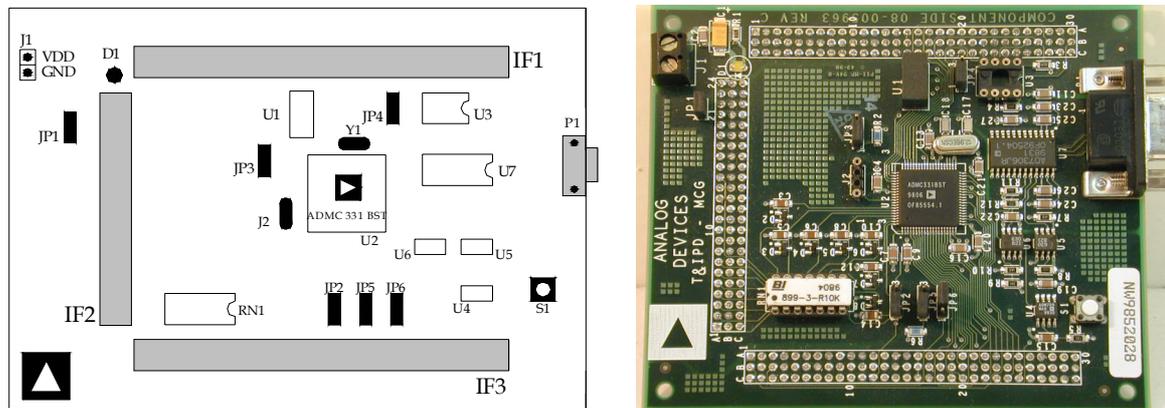


Fig. 5.8 – Kit de desenvolvimento (ADMC331-ADVEVALKIT).

## 5.5 RESULTADOS EXPERIMENTAIS

Neste item serão analisados os resultados obtidos no ensaio do protótipo do retificador tipo dobrador de tensão e as principais formas de onda do conversor, concernentes às variáveis de interesse no processo de controle do mesmo, evidenciando-se o comportamento da tensão de saída frente às perturbações de carga e à corrente e tensão de entrada e verificando-se também o resultado em relação à correção do fator de potência da estrutura. Aquisições relativas à comutação e aos sinais de controle também são disponibilizadas.

Na Fig. 5.9, têm-se as aquisições da tensão da rede de alimentação, da corrente no indutor  $I_L$ , e das tensões de saída  $V_{01}$  e  $V_{02}$ , com o conversor operando em potência nominal. Percebe-se, nas aquisições da Fig. 5.9, que a corrente de entrada do conversor segue uma referência senoidal imposta pelo formato de  $V_{in}$ , imposição que é feita através do controle adequado da comutação em alta frequência dos interruptores do conversor.

Na mesma figura, observam-se as tensões de saída do conversor,  $V_{01}$  e  $V_{02}$ , reguladas nos níveis estabelecidos no projeto do conversor, 250 Volts em cada uma das saídas. Fica mais claro observar na Fig. 5.10 a ondulação de 60 Hz em cada uma das saídas do conversor, cujo  $\Delta V$  corresponde a um dado de projeto levado em conta no momento de determinar o valor adequado dos capacitores de saída do retificador - expressão essa mostrada no capítulo 3, no item que descreve o comportamento da tensão de saída do conversor.

A Fig. 5.10 apenas mostra com mais detalhe as tensões de saída  $V_{01}$  e  $V_{02}$ , deixando evidente a modulação CA de 60 Hz, característica desse tipo de conversor.

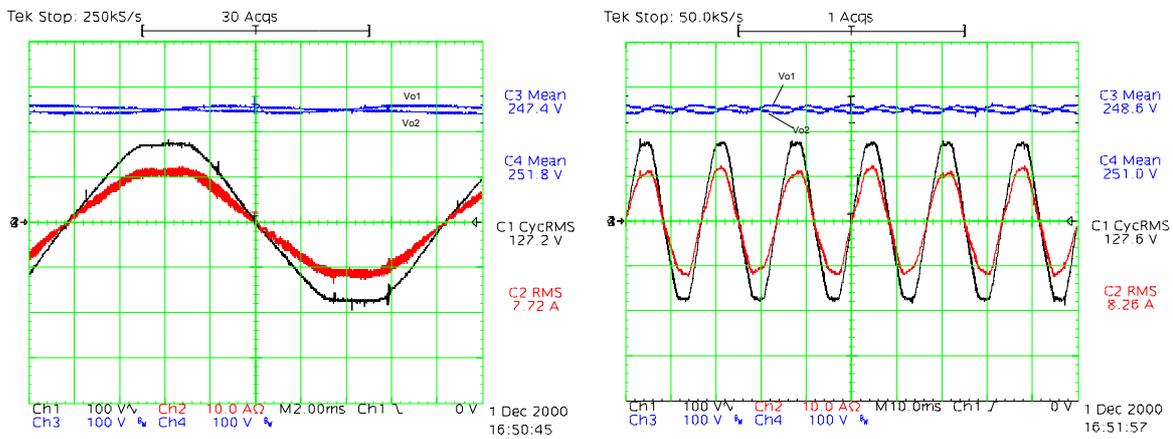


Fig. 5.9 – Tensão ( $V_{in}$ ) e corrente ( $I_1$ ) de entrada e tensões de saída ( $V_{01}$  e  $V_{02}$ ).

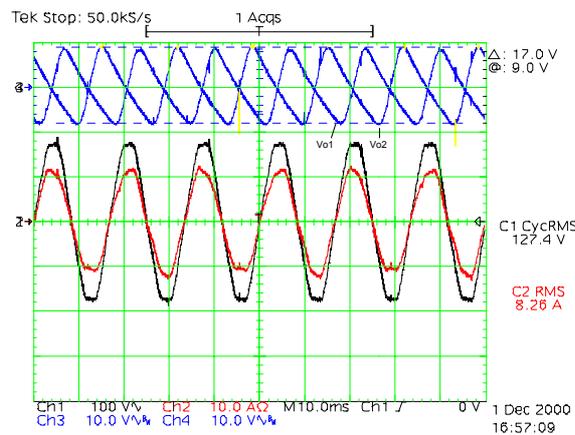


Fig. 5.10 – Detalhe das tensões de saída ( $V_{01}$  e  $V_{02}$ ).

Na Fig. 5.11, apresenta-se a análise harmônica da tensão e da corrente de entrada para o conversor, em operação com carga nominal. A taxa de distorção harmônica da tensão de entrada,  $TDH_{V_{in}}$ , apresentou um valor de 3,01%, enquanto a taxa de distorção harmônica da corrente,  $TDH_{I_L}$ , resultou em 3,14%. Com esses valores, obteve-se o fator de potência do retificador  $FP = 0,9985$ , o que na prática equivale à estrutura com fator de potência unitário para potência nominal.

A Tabela 5.2 apresenta as componentes harmônicas da tensão e da corrente até 36ª ordem, listando para cada uma o valor eficaz. Ela mostra também o percentual em relação à componente fundamental, bem como o ângulo de defasagem das componentes em relação à fundamental.

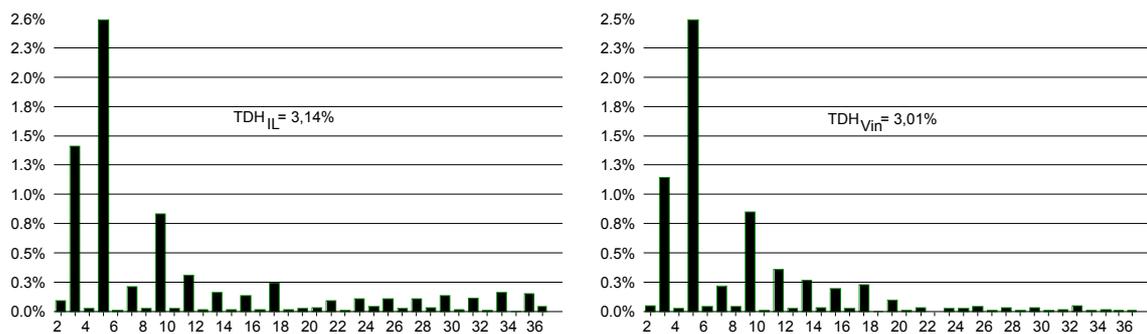


Fig. 5.11 – Espectro harmônico da corrente ( $I_L$ ) e da tensão ( $V_{in}$ ) de entrada do conversor.

Tabela 5.2 – Componentes harmônicas da tensão e corrente.

Harmônica	Frequência	Tensão Eficaz	Percentual da Fundamental	Fase da tensão	Corrente eficaz	Percentual da Fundamental	Fase da corrente
Fundamental	60 Hz	126 V	100,00%	0,0	7,89 A	100,00%	0,0
2	120 Hz	81,4 mV	0,06%	95,3	8,19 mA	0,10%	105
3	180 Hz	1,49 V	1,18%	103	115 mA	1,46%	98
4	240 Hz	41,5 mV	0,03%	-118	2,81 mA	0,04%	-117
5	300 Hz	3,21 V	2,55%	30,3	201 mA	2,55%	29,5
6	360 Hz	63,5 mV	0,05%	88,4	1,74 mA	0,02%	-123
7	420 Hz	297 mV	0,24%	-168	17,5 mA	0,22%	-158
8	480 Hz	68,9 mV	0,05%	-36,3	3,23 mA	0,04%	-62,4
9	540 Hz	1,11 V	0,88%	-70,9	67,8 mA	0,86%	-79,7
10	600 Hz	25,3 mV	0,02%	141	3,09 mA	0,04%	-108
11	660 Hz	475 mV	0,38%	129	25,6 mA	0,33%	133
12	720 Hz	51,7 mV	0,04%	-11,8	2,44 mA	0,03%	-113
13	780 Hz	358 mV	0,28%	108	13,9 mA	0,18%	106
14	840 Hz	60,8 mV	0,05%	-20,5	2,02 mA	0,03%	38,5

15	900 Hz	267 mV	0,21%	31,7	12,1 mA	0,15%	-37,2
16	960 Hz	48,5 mV	0,04%	91,2	2,37 mA	0,03%	76,2
17	1,02 kHz	305 mV	0,24%	167	20,3 mA	0,26%	177
18	1,08 kHz	11,5 mV	0,01%	104	2,56 mA	0,03%	112
19	1,14 kHz	142 mV	0,11%	122	2,81 mA	0,04%	-102
20	1,2 kHz	25,1 mV	0,02%	-70,5	3,29 mA	0,04%	127
21	1,26 kHz	53,7 mV	0,04%	98,7	8,38 mA	0,11%	-85
22	1,32 kHz	2,5 mV	0,00%	117	1,74 mA	0,02%	-124
23	1,38 kHz	45,6 mV	0,04%	96,9	9,21 mA	0,12%	-110
24	1,44 kHz	51 mV	0,04%	149	4,22 mA	0,05%	-129
25	1,5 kHz	68,3 mV	0,05%	85,4	9,4 mA	0,12%	-105
26	1,56 kHz	27,1 mV	0,02%	74,4	2,89 mA	0,04%	-125
27	1,62 kHz	55,8 mV	0,04%	145	9,61 mA	0,12%	-143
28	1,68 kHz	30,9 mV	0,02%	-22,6	3,82 mA	0,05%	-127
29	1,74 kHz	57,1 mV	0,05%	151	12 mA	0,15%	-129
30	1,8 kHz	26 mV	0,02%	95,2	2,57 mA	0,03%	-136
31	1,86 kHz	33,5 mV	0,03%	80,8	10,1 mA	0,13%	-145
32	1,92 kHz	80,5 mV	0,06%	92,4	1,7 mA	0,02%	-105
33	1,98 kHz	22,9 mV	0,02%	90,2	13,7 mA	0,17%	-139
34	2,04 kHz	38,5 mV	0,03%	55,9	798 uA	0,01%	-61,4
35	2,1 kHz	27,3 mV	0,02%	81,5	13,6 mA	0,17%	-131
36	2,16 kHz	23,4 mV	0,02%	36,6	4,17 mA	0,05%	-126

Nas figuras 5.12, 5.13 e 5.14, é apresentada uma seqüência de aquisições efetuadas com o propósito de demonstrar a atuação do sistema de controle frente às perturbações de carga. Na saída do conversor foram acopladas cargas independentes em cada uma das saídas, ou seja, cargas resistivas foram associadas em paralelo com os capacitores de saída, e submeteu-se o conversor a perturbações na carga da ordem de 33%, ora aumentando ora diminuindo de forma conjunta e também deslocada no tempo.

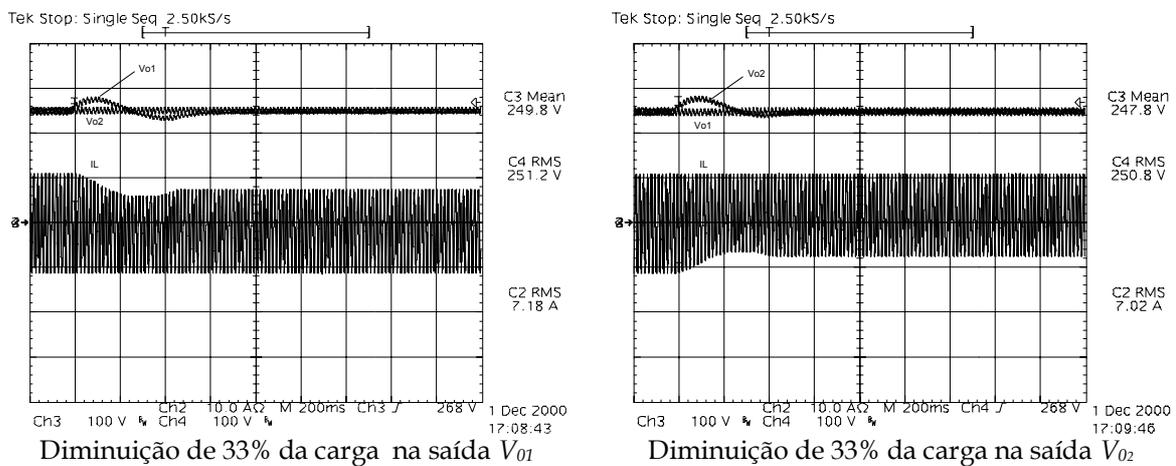
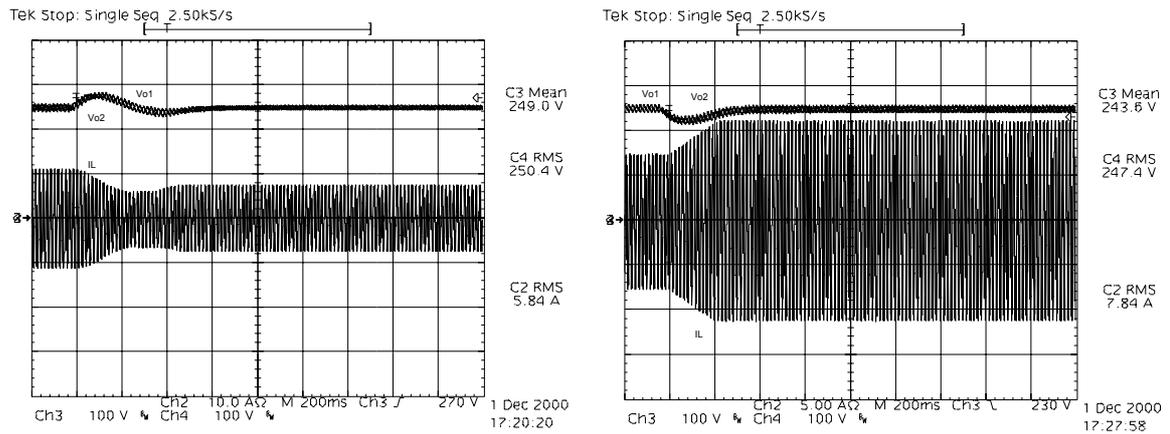


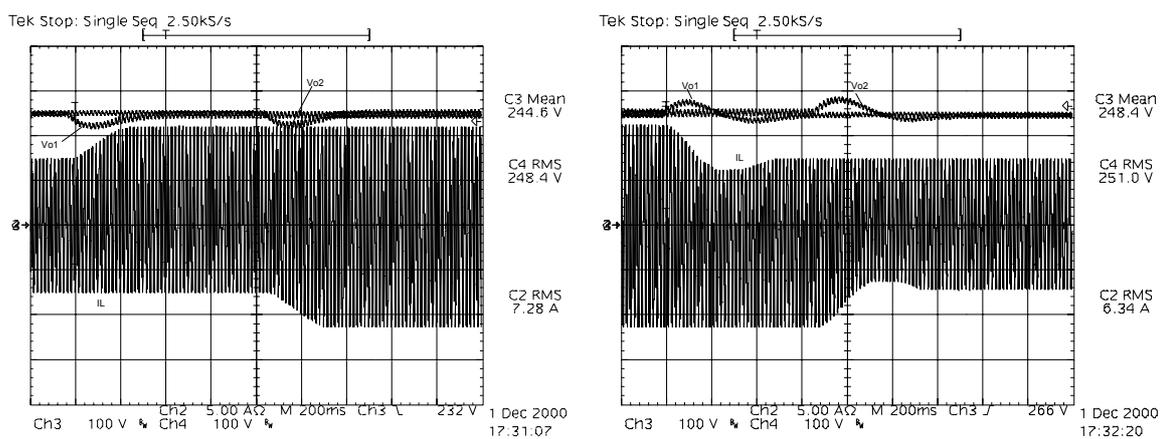
Fig. 5.12 – Perturbação de 33% em umas das saídas.



Diminuição de 33% da carga nas saída  $V_{01}$  e  $V_{02}$ . Aumento de 33% da carga nas saída  $V_{01}$  e  $V_{02}$ .

Fig. 5.13 – Diminuição e aumento de carga em ambas as saídas.

Na Fig. 5.12, são apresentadas a corrente de entrada e as tensões de saída no instante em que o conversor foi submetido a um degrau de carga de 33%. Na saída que sofreu perturbação de carga, observa-se o aparecimento de um transitório na tensão e posteriormente o controlador restabelece seu valor nominal. Os transitórios e a sobretensão estão dentro dos valores simulados. Observa-se, na Fig. 5.12, que somente um dos semiciclos da corrente de entrada sofre decréscimo em amplitude, a fim de compensar o degrau de carga que foi aplicado à respectiva saída do conversor.



Aumento de 33% da carga nas saída  $V_{01}$  e  $V_{02}$ . Redução de 33% da carga nas saída  $V_{01}$  e  $V_{02}$ .

Fig. 5.14 – Aumento e diminuição de carga em tempos diferente em ambas as saídas.

Nas figuras 5.13 e 5.14, repetem-se os ensaios com o conversor; na Fig. 5.13 ambas as saídas sofrem perturbação simultânea na carga, podendo-se observar que as duas são reguladas e equilibradas quando ocorrem aumentos ou diminuições nas cargas. A corrente de entrada acompanha as perturbações a fim de manter as tensões de saída.

Na Fig. 5.14, mostra-se uma situação em que ocorreram perturbações deslocadas no tempo; as aquisições mostram que as tensões de saída são reguladas e equilibradas quando submetidas a tais esforços. A primeira aquisição, da Fig. 5.14, refere-se a um aumento de 33% da carga nas saídas  $V_{01}$  e  $V_{02}$ , em instantes diferentes; o conversor é levado à carga nominal, porém com acréscimos de cargas não simultâneas. Na segunda aquisição, retorna-se à posição inicial de operação do conversor, retirando-se carga, uma de cada vez. Em ambos os casos o controlador age no intuito de manter as tensões reguladas e equilibradas.

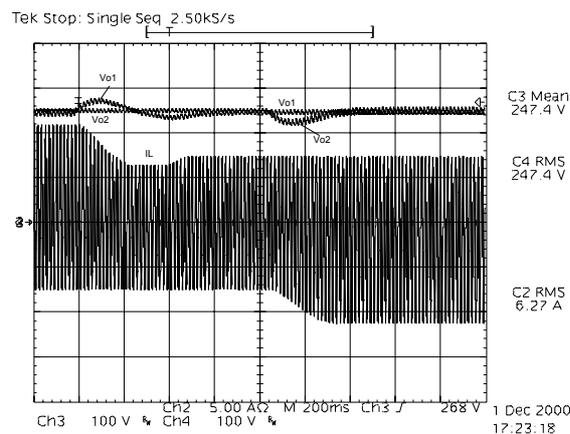


Fig. 5.15 – Deslocamento de carga entre as saídas do conversor.

Mais uma situação de ensaio do conversor é mostrada na Fig. 5.15, na qual o conversor opera inicialmente com carga desequilibrada; observa-se as amplitudes diferentes nos semiciclos de corrente. A seguir retira-se carga de uma das saídas ( $V_{01}$ ) e, posteriormente, acrescenta-se carga a outra saída (de outra forma, transfere-se o desequilíbrio da saída  $V_{01}$  para  $V_{02}$ ). Nesse caso também se verifica a operação coerente do controlador.

Na Fig. 5.16, exibem-se detalhes da corrente de entrada e das tensões de saída  $V_{01}$  e  $V_{02}$  durante um decréscimo de 33% das cargas de saída do conversor.

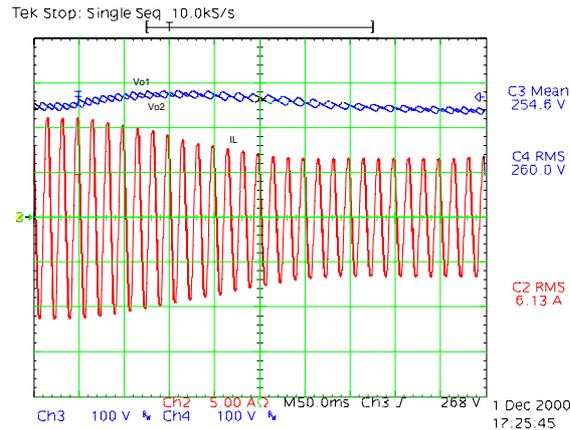


Fig. 5.16 – Corrente de entrada e tensões  $V_{01}$  e  $V_{02}$ .

Na Fig. 5.17, tem-se as aquisições que mostram situações em que o conversor opera com carga desequilibrada em uma das saídas. Observa-se, claramente, o desequilíbrio provocado na amplitude do sinal de referência, relativo à diferença existente entre as cargas localizadas em cada uma das saídas do conversor. A corrente é maior em amplitude no semiciclo de operação do conversor, onde se encontra a carga de maior valor, e vice-versa.

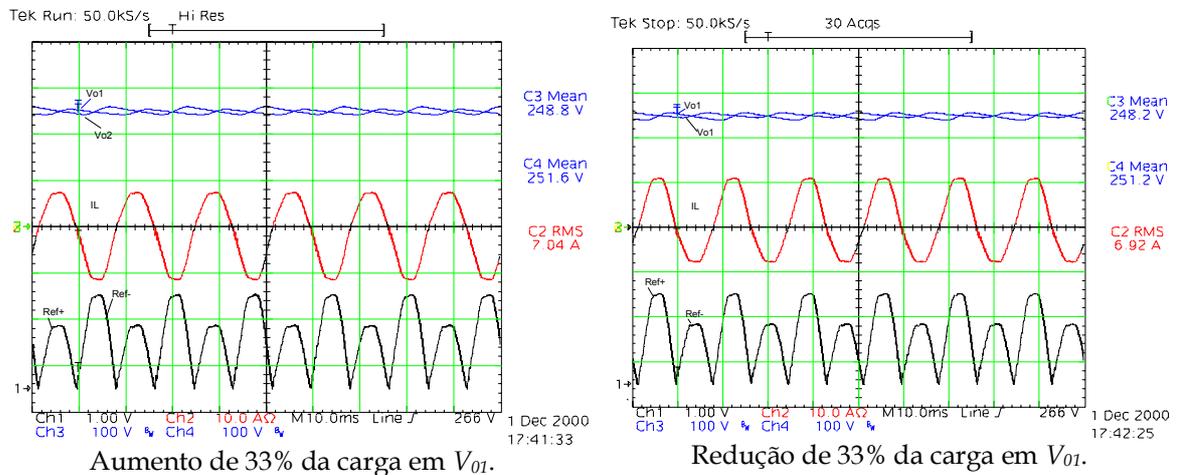


Fig. 5.17 – Detalhes da corrente de entrada e do sinal de referência.

Na Fig. 5.18, tem-se a situação em que o conversor opera em regime nominal de potência (1.000 W) com cargas equilibradas. A tensão de saída está regulada em 250 Volts em cada um dos barramentos, dessa forma o sinal de referência apresenta praticamente a mesma amplitude para o semiciclo positivo e para o negativo.

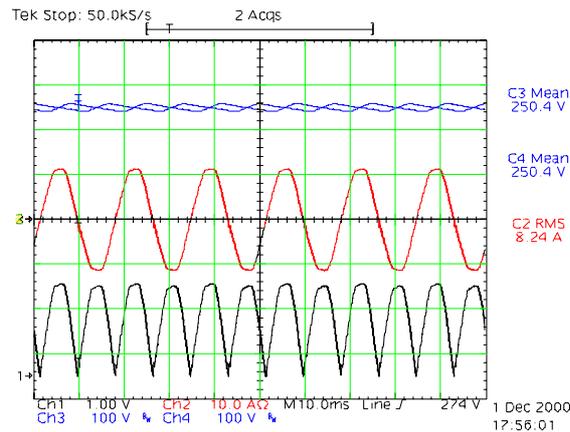
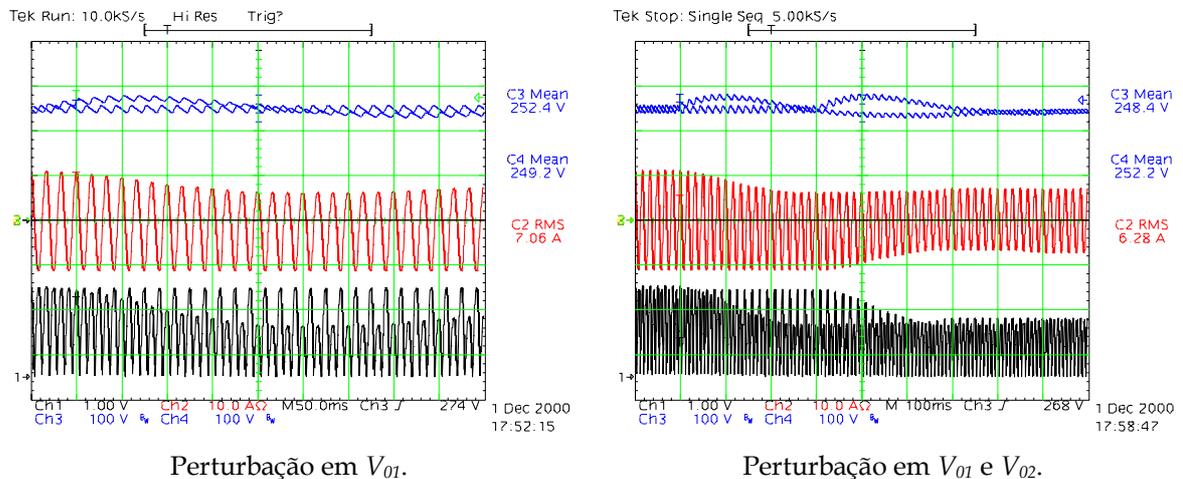


Fig. 5.18 - Tensões de saída ( $V_{01}$  e  $V_{02}$ ), corrente de entrada ( $I_L$ ) e sinal de referência.

Apresenta-se, na Fig. 5.19, o instante em que o conversor é perturbado em uma das saídas e a respectiva ação de controle, que atua na amplitude do sinal de referência. Uma segunda aquisição mostra a perturbação em ambas as saídas, deslocadas no tempo, verificando-se primeiramente a adaptação da amplitude do sinal de referência em apenas um dos semiciclos e, posteriormente, ambos igualando-se.



Perturbação em  $V_{01}$ .

Perturbação em  $V_{01}$  e  $V_{02}$ .

Fig. 5.19 – Detalhes da corrente de entrada e sinal de referência durante perturbação de carga.

Havendo flutuação na tensão de entrada, o controle aguarda a reflexão dessa perturbação na tensão de saída e, igualmente, atua no sinal de referência, no sentido de manter equilibradas as tensões de saída, conservando a corrente de entrada no formato senoidal. Uma perturbação desse tipo é possível visualizar nas aquisições da Fig. 5.20, onde se mostra a tensão de entrada submetida a uma pequena perturbação, no sentido de aumentar e diminuir o seu valor eficaz.

Observa-se a ação do controle, dirigida a manter as tensões de saída reguladas e equilibradas, por intermédio da variação da amplitude da corrente de entrada.

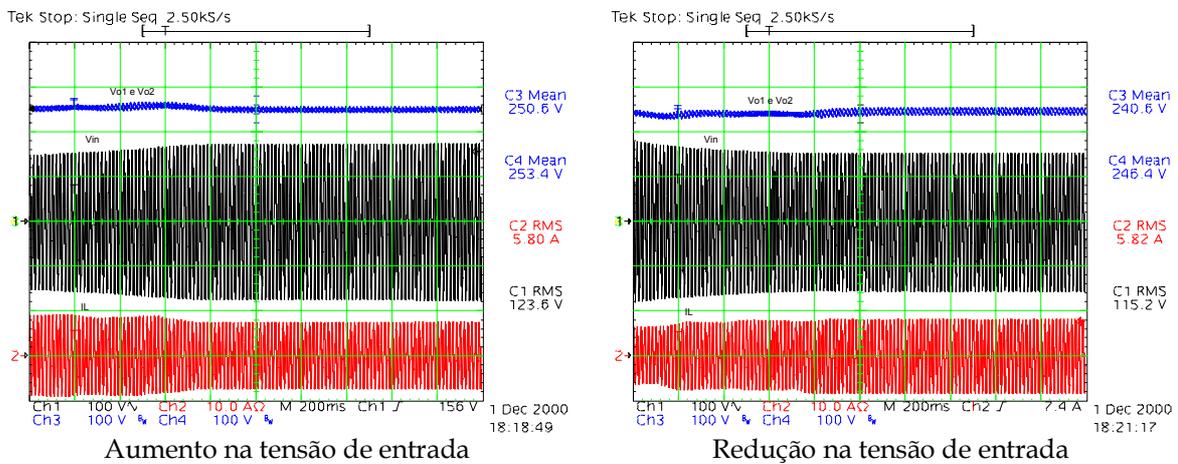


Fig. 5.20 – Tensão de entrada ( $V_{in}$ ), corrente de entrada ( $I_L$ ) e tensões de saída ( $V_{o1}$  e  $V_{o2}$ ).

Finalmente, mostram-se algumas aquisições relativas ao sinal de comando dos IGBT, bem como de tensões e de correntes sobre ele. A Fig. 5.21 tem o sinal de comando aplicado em um dos interruptores e a tensão entre o coletor e o emissor ( $V_{S1}$ ), e também a corrente ( $I_{S1}$ ) que circula por ele durante alguns períodos de chaveamento.

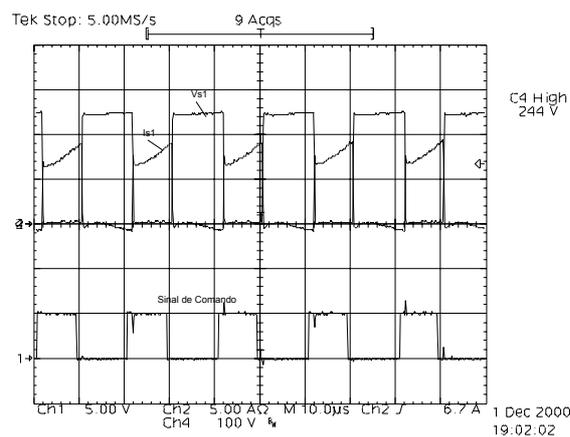


Fig. 5.21 – Sinal de comando, tensão e corrente no IGBT.

Detalhes da comutação, entrada em condução e bloqueio, do IGBT, podem ser analisados na Fig. 5.22, embora não seja a preocupação deste trabalho tratar do assunto.

Na Fig. 5.23, tem-se um instante de operação do conversor durante um dos semiciclos, onde se observa a corrente através do interruptor  $S_1$  e do diodo  $D_4$ , as quais, somadas, compõem a corrente de entrada  $I_L$ .

Detalhes de comutação dessas correntes são mostrados na Fig. 5.24, em conjunto com a tensão sob o IGBT, cujo valor é próximo a 250 Volts; valor previsto, já que ele fica submetido à metade da tensão total do barramento de saída.

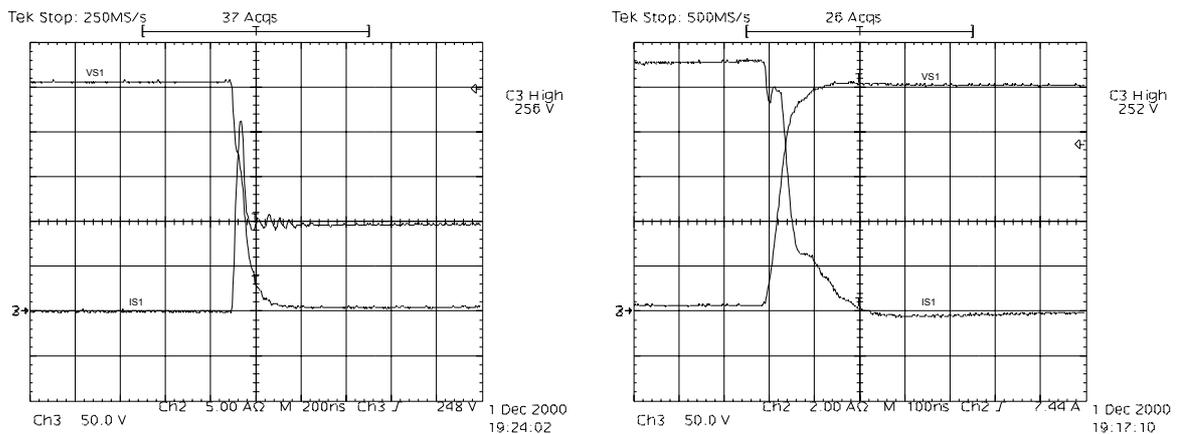


Fig. 5.22 – Detalhes da comutação no IGBT.

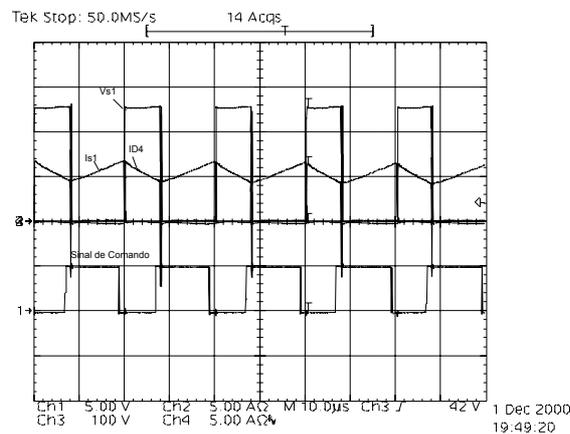


Fig. 5.23- Sinal de comando, tensão no IGBT e corrente de entrada.

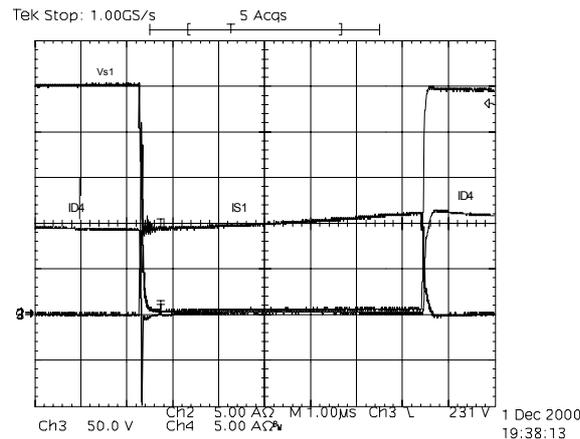


Fig. 5.24 – Detalhe da corrente de entrada.

Em todos os resultados experimentais obtidos do ensaio do retificador monofásico, foi empregada a técnica denominada de controle pelos valores médios instantâneos da corrente de entrada, procurando-se seguir uma referência senoidal para a corrente através da observação da tensão da rede. Notou-se, nos resultados obtidos, que a tensão apresenta distorções que são, conseqüentemente, repassadas para o sinal de referência da corrente. Com o objetivo de minimizar este efeito, ensaiou-se o mesmo protótipo, porém utilizou-se um algoritmo para detecção da passagem por zero da tensão de fase da rede de alimentação, com o intuito de sincronizar o sinal de referência gerado internamente. Este sinal de referência é uma senóide isenta de harmônicos e foi produzida internamente ao DSP de duas maneiras distintas; em uma delas optou-se pela gravação dos pontos de uma senoide pré-calculada e armazenada na memória do DSP. A segunda opção implementada foi a de determinar o sinal de referência instantaneamente pelo cálculo do valor do seno a cada instante de operação do conversor. Em ambos os casos o resultado foi semelhante. A preferência por um ou outro método está ligada à disponibilidade de memória e ao tempo de processamento, respectivamente, podendo-se optar por um ou outro, em função do tipo da aplicação.

Na Fig. 5.25, apresentam-se os resultados comparativos entre as formas de onda da corrente de entrada em dois casos de operação do conversor. Em (a), tem-se o retificador monofásico, operando com a referência da rede de

alimentação; observa-se nesse caso, que o sinal de corrente acompanha as deformações apresentadas na forma de onda da tensão de entrada. Nos resultados obtidos em (b), verifica-se, na figura, que o formato da corrente de entrada não mais acompanha as distorções da tensão de entrada e, sim, possui um formato próximo a um sinal senoidal, que é gerado internamente ao DSP.

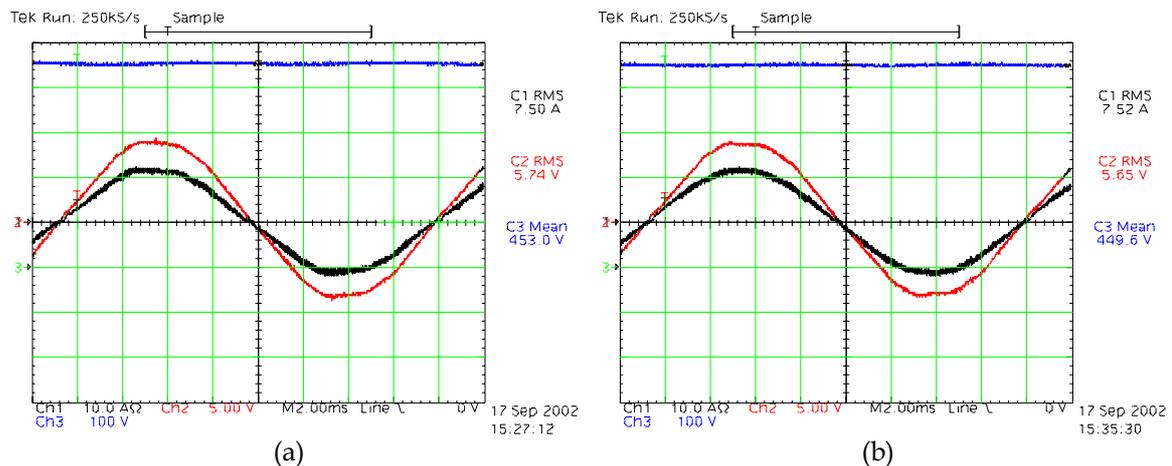


Fig. 5.25 – Tensão e corrente de entrada: com referência da rede (a) e interna (b).

Efetuiu-se a análise harmônica das correntes de entrada produzidas nos dois casos, e obtiveram-se os resultados mostrados na Fig. 5.26. Os gráficos representam a amplitude das componentes harmônicas dadas em termos percentuais da amplitude da fundamental. Na Fig. 5.26a, tem-se o espectro harmônico da corrente de entrada, usando-se como referência o sinal amostrado da tensão da rede de alimentação. A distorção harmônica total obtida nesse caso foi de 3,86%. No caso em que se optou por gerar internamente a referência de corrente, a taxa de distorção harmônica foi de 1,98%. Com esses resultados, presume-se que, com a utilização de referência interna no controle do retificador monofásico, obtém-se um resultado melhor do que se for usada como referência somente a tensão da rede. Cabe esclarecer que, nesse ensaio, o retificador operou com tensão total de saída de 450 V, sob potência nominal, e obteve-se uma taxa de distorção harmônica da corrente, para o caso (a) maior que no ensaio mostrado na Fig. 5.11. Isso decorre do fato de a tensão da rede possuir distorções distintas

dependendo da situação em que se encontra a rede de alimentação, bem como do fato de existirem variações comparativas entre as tensões de fase.

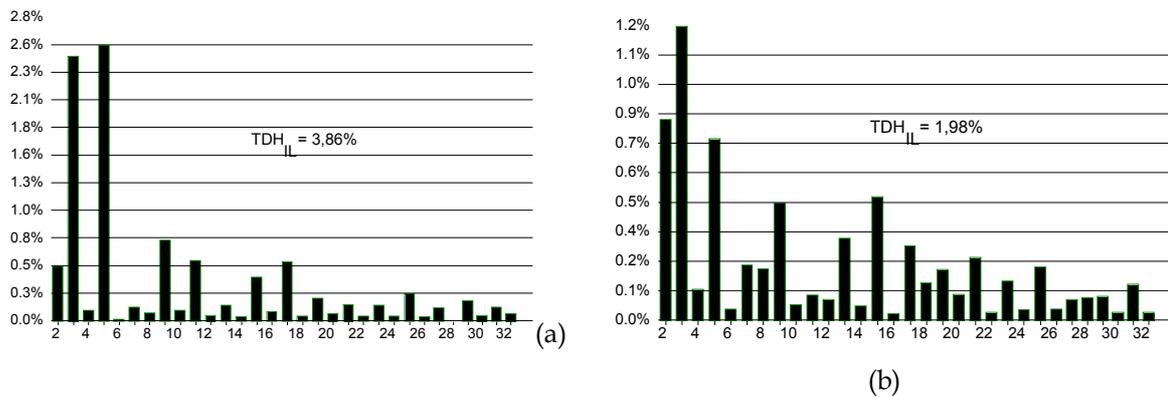


Fig. 5.26 – Espectro harmônico da corrente de entrada do conversor com referência : da rede (a) e interna (b).

O sincronismo efetuado entre a tensão da rede e a corrente de entrada do retificador é feita por *software*, por meio do qual se determina a passagem por zero da tensão da rede. Quando detectado esse instante, a tabela de referência do valor do seno é reiniciada, ou o valor de  $\omega t$  é zerado se optar pelo uso da rotina de cálculo instantâneo da referência interna. Esse método de sincronismo é bastante simples e funciona adequadamente se a tensão da rede não apresentar muita distorção, caso contrário faz-se necessário utilizar um PLL para obter o sincronismo.

## 5.6 CONCLUSÃO

Apresentaram-se, neste capítulo, as principais etapas desempenhadas e os resultados obtidos em laboratório na implementação do protótipo de um retificador monofásico tipo dobrador de tensão de 1.000 W.

Através do emprego de um controlador DSP, o *ADMC331*, conseguiu-se obter os resultados previstos nos objetivos propostos de controle do conversor. Verificou-se, nos resultados experimentais, através das aquisições, que o conversor apresentou um elevado fator de potência, bem como se mantiveram equilibradas e reguladas as tensões de saída. Todas as rotinas foram desenvolvidas

---

empregando-se cálculos em ponto-fixos, obtendo-se resultados satisfatórios, não tendo apresentado algum aspecto desfavorável.

Exaustivas demonstrações de perturbações de carga foram efetuadas no conversor, com o intuito de verificar o comportamento do controle digital implementado via DSP, as quais exibiram os resultados esperados. Perturbações na tensão de entrada também foram ensaiadas, evidenciando sucesso também no controle das tensões de saída e manutenção do fator de potência da estrutura. Efetuou-se uma análise comparativa de operação do conversor com referência da corrente obtida pela rede de alimentação e com referência gerada internamente através de algoritmos de programação.

# CAPÍTULO 6

## RETIFICADOR TRIFÁSICO DE TRÊS NÍVEIS

### 6.1 INTRODUÇÃO

Para fontes de alimentação de alta potência, acima de 6 kW, são utilizados como estágios de entrada pré-reguladores trifásicos, a fim de evitar grandes desequilíbrios entre as fases do sistema de alimentação, ou seja, pretende-se obter solicitações de corrente equilibradas nas três fases. Além disso, no conversor trifásico, distribui-se o processamento de energia nos diversos elementos que compõem os braços do conversor, de forma que as especificações elétricas dos componentes do retificador resultem também divididas.

Neste capítulo, é inicialmente apresentada a topologia do retificador trifásico três-níveis-unidirecional-sem-neutro. Também são descritos aspectos qualitativos básicos das etapas de operação do conversor, bem como são mostradas as expressões que definem o modelo do conversor e que são utilizadas para determinação dos controladores das malhas de controle.

### 6.2 PRINCÍPIO BÁSICO DE OPERAÇÃO

Utilizou-se nessa pesquisa o retificador trifásico três níveis proposto por Kolar [10], mostrado na Fig. 6.1, que consiste em uma combinação de uma ponte trifásica completa a diodos e um conversor *boost*, constituído por três interruptores bidirecionais em corrente, cada um formado por dois interruptores e dois diodos.

Esses interruptores criam um caminho alternativo para a circulação da corrente de fase ao ponto central do barramento CC. Por meio de seu chaveamento obtém-se um retificador trifásico com correção ativa do fator de potência. As tensões entre os pontos 1, 2 e 3, em relação ao ponto central do barramento CC, são chamadas respectivamente de  $V_{10}$ ,  $V_{20}$  e  $V_{30}$ .

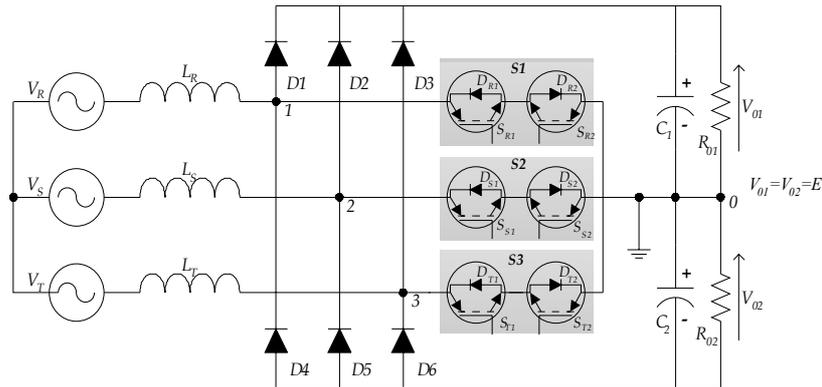


Fig. 6.1 – Retificador Trifásico Três Níveis.

Observa-se que, dependendo do estado do interruptor (conduzindo ou bloqueado), polaridade da corrente na respectiva fase. Dessa forma, a tensão nesses pontos pode assumir três valores distintos (+E, 0 e E). Pelo fato de cada braço da ponte apresentar essa característica de três níveis, ou seja, três possibilidades de valores de tensão, esse retificador é comumente referenciado na literatura como Retificador Trifásico Três Níveis.

Em função dessas constatações, pode-se construir o circuito equivalente simplificado para o conversor, apresentado na Fig. 6.2. Nesse circuito as fontes de tensão  $V_{10}$ ,  $V_{20}$  e  $V_{30}$  são resultantes do comando dos interruptores, apresentando três níveis distintos de tensão (+E, 0 e -E). O sistema de alimentação trifásico é conectado a essas fontes através dos indutores *boost*.

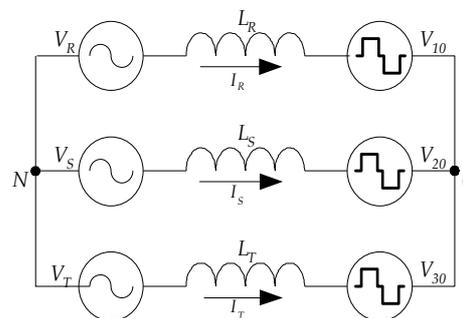


Fig. 6.2 - Circuito equivalente em regime permanente.

Examinando o circuito equivalente mostrado na Fig. 6.2, verifica-se a possibilidade de imposição de uma corrente senoidal nos indutores por meio do

controle da amplitude e da fase da componente fundamental das tensões  $V_{10}$ ,  $V_{20}$  e  $V_{30}$ , exercido mediante a modulação adequada dos interruptores  $S_1$ ,  $S_2$  e  $S_3$ .

### 6.3 ESTADOS TOPOLÓGICOS

Analisando o conversor mostrado na Fig. 6.1, sem levar em consideração a existência dos interruptores comandados ( $S_{R1}$ ,  $S_{R2}$ ,  $S_{T1}$ ,  $S_{T2}$ ,  $S_{S1}$  e  $S_{S2}$ ), observa-se que se trata de uma ponte completa a diodos, na qual ocorre uma comutação a cada  $60^\circ$  (bloqueio ou condução dos diodos da ponte trifásica). Desse modo, tem-se dentro de um período da rede um total de seis (6) estágios topológicos distintos de operação do conversor, e em cada um desses estágios, referidos freqüentemente como setores, sucedem as comutações nos interruptores. Como cada interruptor pode assumir dois estados possíveis, aberto (0) ou fechado (1), tem-se 8 ( $2^3$ ) possibilidades de combinação em cada setor de operação do conversor CA - CC. Na Fig. 6.3 vê-se a representação do sistema de alimentação trifásico, bem como a delimitação dos setores de operação do conversor. A cada intervalo de  $60^\circ$  uma das tensões do sistema trifásico muda de polaridade, de modo que essas mudanças definem os setores de operação do conversor. As tensões da rede de alimentação são representadas pelas expressões :

$$V_R(t) = V_p \cdot \text{sen}(\omega t) \quad (6.1)$$

$$V_S(t) = V_p \cdot \text{sen}(\omega t - 120) \quad (6.2)$$

$$V_T(t) = V_p \cdot \text{sen}(\omega t + 120) \quad (6.3)$$

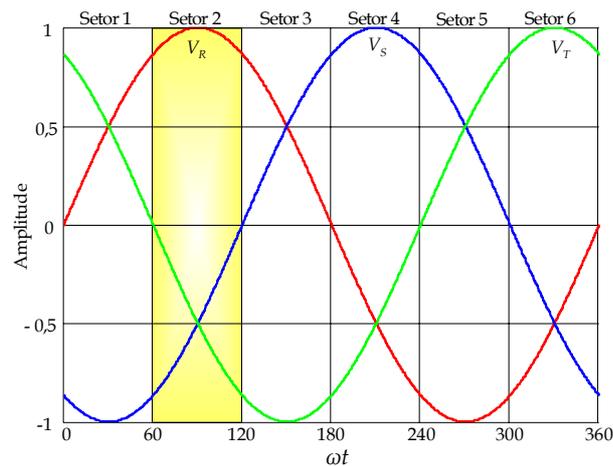


Fig. 6.3 – Tensão trifásica da rede e os setores de operação do conversor.

Nota-se, na Fig. 6.3, que existem seis (6) setores de operação do conversor, denominados de setor 1, 2, 3, 4, 5 e 6. Em cada um desses setores é possível obter 8 estágios topológicos distintos, já que a cada  $60^\circ$  ocorre uma mudança de setor e, por meio do comando de três (3) interruptores, conseguem-se as variações topológicas. Na Tabela 6.1, estão representadas todas as possíveis combinações de comando dos interruptores ( $S_{R1}$ ,  $S_{R2}$ ,  $S_{T1}$ ,  $S_{T2}$ ,  $S_{S1}$  e  $S_{S2}$ ), as quais mostram um conjunto de estados topológicos para cada setor de operação do conversor, perfazendo 48 estados topológicos possíveis, 8 em cada um dos 6 setores. Denomina-se  $S_1$  a combinação de  $S_{R1}$  e  $S_{R2}$ , formando um único interruptor; para  $S_2$  e  $S_3$  vale a mesma regra. Esses interruptores ( $S_1$ ,  $S_2$  e  $S_3$ ) ligam as fases ao ponto central de conexão dos capacitores de saída.

Na Tabela 6.2 estão representados os estados topológicos possíveis oriundos das combinações de comando dos interruptores para o setor 2, aquele compreendido no intervalo de tempo  $60^\circ < \theta < 120^\circ$ , conforme mostrado na Fig. 6.3. Cabe salientar que a representação do número zero ("0") equivale ao interruptor aberto e um "1" equivale ao interruptor fechado.

Tabela 6.1 – Combinações topológicas de operação do conversor.

Setor 1						
$V_{10}$	$V_{20}$	$V_{30}$	$S_1$	$S_2$	$S_3$	$I_0$
0	0	0	0	0	0	0
0	0	+E	0	0	1	$I_T$
0	-E	0	0	1	0	$-I_S$
0	-E	+E	0	1	1	$-I_R$
+E	0	0	1	0	0	$I_R$
+E	0	+E	1	0	1	$I_S$
+E	-E	0	1	1	0	$-I_T$
+E	-E	+E	1	1	1	0

Setor 2						
$V_{10}$	$V_{20}$	$V_{30}$	$S_1$	$S_2$	$S_3$	$I_0$
0	0	0	0	0	0	0
0	0	-E	0	0	1	$-I_T$
0	-E	0	0	1	0	$-I_S$
0	-E	-E	0	1	1	$-I_R$
+E	0	0	1	0	0	$I_R$
+E	0	-E	1	0	1	$I_S$
+E	-E	0	1	1	0	$I_T$
+E	-E	-E	1	1	1	0

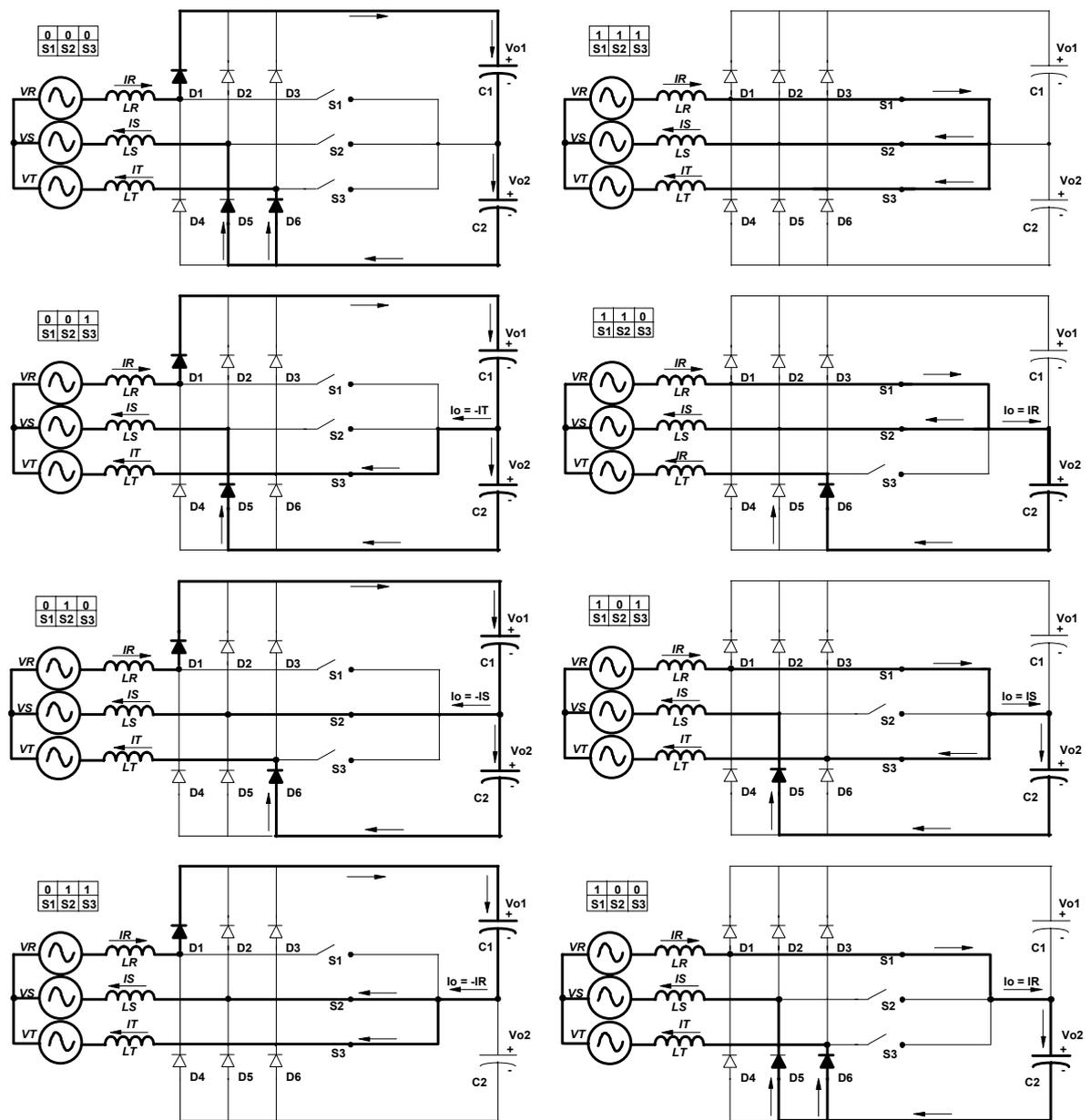
Setor 3						
$V_{10}$	$V_{20}$	$V_{30}$	$S_1$	$S_2$	$S_3$	$I_0$
0	0	0	0	0	0	0
0	0	-E	0	0	1	$-I_T$
0	+E	0	0	1	0	$I_S$
0	+E	-E	0	1	1	$-I_R$
+E	0	0	1	0	0	$I_R$
+E	0	-E	1	0	1	$-I_S$
+E	+E	0	1	1	0	$I_T$
+E	+E	-E	1	1	1	0

Setor 4						
$V_{10}$	$V_{20}$	$V_{30}$	$S_1$	$S_2$	$S_3$	$I_0$
0	0	0	0	0	0	0
0	0	-E	0	0	1	$-I_T$
0	+E	0	0	1	0	$I_S$
0	+E	-E	0	1	1	$I_R$
-E	0	0	1	0	0	$-I_R$
-E	0	-E	1	0	1	$-I_S$
-E	+E	0	1	1	0	$I_T$
-E	+E	-E	1	1	1	0

Setor 5						
$V_{10}$	$V_{20}$	$V_{30}$	$S_1$	$S_2$	$S_3$	$I_0$
0	0	0	0	0	0	0
0	0	+E	0	0	1	$I_T$
0	+E	0	0	1	0	$I_S$
0	+E	-E	0	1	1	$I_R$
-E	0	0	1	0	0	$-I_R$
-E	0	-E	1	0	1	$-I_S$
-E	+E	0	1	1	0	$-I_T$
-E	+E	-E	1	1	1	0

Setor 6						
$V_{10}$	$V_{20}$	$V_{30}$	$S_1$	$S_2$	$S_3$	$I_0$
0	0	0	0	0	0	0
0	0	+E	0	0	1	$I_T$
0	-E	0	0	1	0	$-I_S$
0	-E	+E	0	1	1	$I_R$
-E	0	0	1	0	0	$-I_R$
-E	0	+E	1	0	1	$I_S$
-E	-E	0	1	1	0	$-I_T$
-E	-E	+E	1	1	1	0

Tabela 6.2 – Estágios topológicos para o setor 2.



Observando a Tabela 6.1, acima, verifica-se que em cada um dos setores existem estágios topológicos equivalentes, ou seja, estágios em que os circuitos elétricos são semelhantes do ponto de vista das correntes de entrada, mas a corrente que circula no ponto central de conexão dos capacitores é diferente, pois troca de polaridade ( $I_o = +/- I_R$ ). Com isso, pode-se controlar o desequilíbrio de tensão nos capacitores por meio do comando desses estágios topológicos.

Na Fig. 6.4 estão representados dois estágios topológicos do setor 2 de operação do conversor, compreendido no intervalo de  $60^\circ < \theta < 120^\circ$ . Nota-se que, embora esses dois estágios sejam equivalentes, pode a corrente  $I_0$  ter valores diferentes e também a sua polaridade mudar ( $\pm I_R$ ). Mediante a variação da ordem de comando dos interruptores (100 ou 011) e do tempo de condução, ou, de outra forma, por meio da variação da razão cíclica nesses estágios topológicos, pode-se controlar a tensão em ambos os capacitores e, assim, manter o equilíbrio das tensões de saída do retificador dentro do setor, sem distorcer a corrente de entrada.

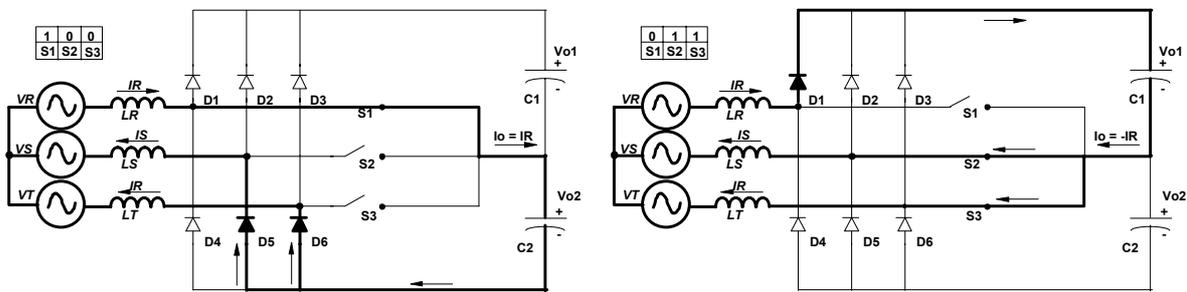


Fig. 6.4 -Estados topológicos para o setor 2.

Em cada setor de operação do conversor há esses estágios topológicos semelhantes, mudando apenas a corrente de entrada, isto é, a fase que irá suprir energia aos capacitores de saída.

A Tabela 6.3 apresenta a composição dos setores de operação do conversor e do modo de chaveamento, que proporcionará estágios topológicos equivalentes aos da Fig. 6.4. Observa-se, também, que a corrente  $I_0$  será igual ao valor da corrente maior em módulo no respectivo setor.

Examinando a Tabela 6.3, extraída da Tabela 6.1, repara-se que os setores são complementares aos pares. Exemplificando: os setores 1 e 4 possuem, em módulo, a corrente  $I_S$  maior que  $I_R$  e  $I_T$ , sendo neles a corrente  $I_0$  igual a  $I_S$ , cabendo notar que a polaridade muda em função do comando dos interruptores e do setor em que se encontra operando o conversor, nesse caso setor 1 ou 4. Com isso, tem-se flexibilidade para controlar a corrente  $I_0$  e, conseqüentemente, a

tensão nos capacitores de saída apenas controlando dois (2) estágios topológicos por setor de operação do conversor. Claramente se observa que as correntes de cada uma das fases do sistema trifásico de alimentação podem ser utilizadas para controlar a tensão de saída do conversor, bastando, para isso, identificar o setor de operação do conversor e comandar adequadamente os interruptores. É destacada na Tabela 6.3, em negrito, a corrente de maior módulo.

Tabela 6.3 –Estados topológicos.

$\Delta\theta$	Setor	$I_R$	$I_S$	$I_T$	$S_1$	$S_2$	$S_3$	$I_0$	Estado Topológico
0° - 60°	1	>0	<0	>0	0	1	0	$-I_S$	2
					1	0	1	$+I_S$	5
60° - 120°	2	>0	<0	<0	0	1	1	$-I_R$	3
					1	0	0	$+I_R$	4
120° - 180°	3	>0	>0	<0	0	0	1	$-I_T$	1
					1	1	0	$+I_T$	6
180° - 240°	4	<0	>0	<0	0	1	0	$+I_S$	2
					1	0	1	$-I_S$	5
240° - 300°	5	<0	>0	>0	0	1	1	$+I_R$	3
					1	0	0	$-I_R$	4
300° - 360°	6	<0	<0	>0	0	0	1	$+I_T$	1
					1	1	0	$-I_T$	6

## 6.4 FUNÇÕES DE TRANSFERÊNCIAS DO CONVERSOR

Necessita-se conhecer o modelo do conversor a fim de projetar adequadamente os controladores das malhas de tensão e corrente. Da mesma forma que o caso do retificador monofásico, o retificador trifásico foi modelado por meio de um circuito equivalente, que reflete sua operação em um dos setores. Considerou-se o intervalo de operação do conversor entre  $60^\circ < \theta < 120^\circ$ . A Fig. 6.5 representa o circuito resultante nesse setor, identificando também os terminais ativo, passivo e comum do modelo da chave PWM [1,28], apresentado apenas em uma das fases do conversor. A partir da Fig. 6.5, e substituindo no circuito o modelo da chave PWM, pode-se determinar a função de transferência do conversor que relaciona a corrente de entrada à razão cíclica D.

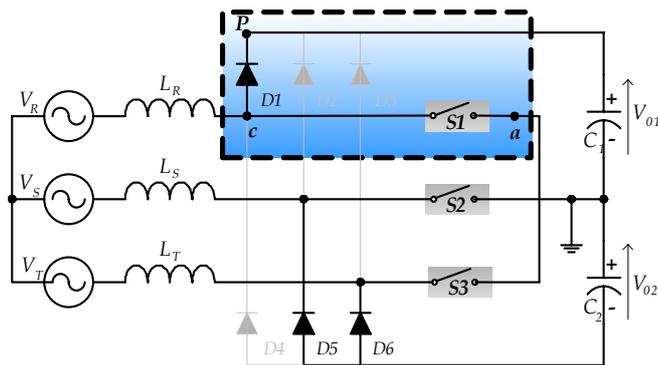


Fig. 6.5 Circuito resultante do conversor operado  $60^\circ < \theta < 120^\circ$ .

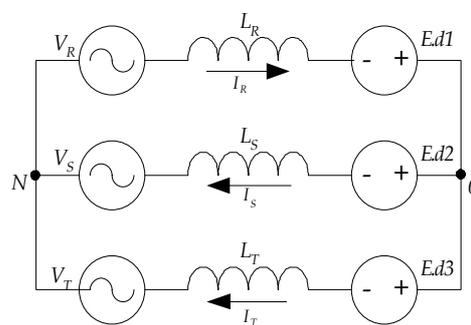


Fig. 6.6 – Modelo do conversor

A Fig. 6.6 representa o modelo do conversor para determinação da função de transferência que relaciona a corrente de entrada e a razão cíclica [1]. Resolvendo o circuito, tem-se a seguinte expressão:

$$G_{i3\phi}(s) = \frac{I_{in}(s)}{D(s)} = \frac{2}{3} \cdot \frac{E}{sL} \tag{6.4}$$

Uma outra função de transferência é necessária, aquela que relaciona a tensão de saída e a corrente no indutor, ou seja, uma expressão para  $G_{v3\phi}(s) = \frac{E(s)}{I_{in}(s)}$ , que é obtida através da análise do estágio de saída do conversor, conforme demonstrado em [1], ficando assim definida a expressão (6.5), que representa a função de transferência  $G_{v3\phi}(s)$ .

$$G_{v3\phi}(s) = 3 \cdot \left( \frac{1}{\beta \cdot \pi} + \frac{1}{2} \right) \cdot \left( \frac{R}{s \cdot C \cdot R + 1} \right) \tag{6.5}$$

## 6.5 CONCLUSÃO

Este capítulo apresentou o estudo qualitativo da operação do Retificador Trifásico Três Níveis. Mostraram-se aspectos de operação do conversor, destacando-se os diversos estados topológicos divididos em setores de operação. Expôs-se, também, a possibilidade de controle do desequilíbrio de tensão entre os capacitores de saída mediante o controle da corrente no ponto central do barramento de saída do conversor. Por fim, identificaram-se as funções de transferência que serão empregadas na determinação dos parâmetros dos controladores do conversor. Aspectos quantitativos do projeto do conversor e da determinação das funções de transferência são encontrados nas referências citadas no texto.

## **CAPÍTULO 7**

### **TÉCNICA DE CONTROLE DIGITAL DO RETIFICADOR TRIFÁSICO DE TRÊS NÍVEIS**

#### **7.1 INTRODUÇÃO**

Neste capítulo apresentam-se as estratégias utilizadas no controle do retificador trifásico, baseadas na extensão da técnica de controle empregada no retificador monofásico, exposta no capítulo 4, ou seja, será utilizada a técnica de controle por valores médios instantâneos da corrente de entrada. Também serão apresentadas, juntamente com estudos e projetos, as três malhas de controle necessárias: a malha de corrente, a malha de controle da tensão total de saída e a malha de controle do equilíbrio de tensão nos capacitores de saída; bem como os resultados obtidos por simulação.

Projetaram-se controladores digitais para as malhas de controle do retificador a fim de serem implementados através do uso de um Processador Digital de Sinais (DSP). Com a finalidade de simplificar o projeto dos controladores, admitiu-se o retificador trifásico como sendo uma extensão da composição de retificadores monofásicos; essas considerações não trouxeram perdas que prejudicassem o projeto adequado das malhas de controle do retificador trifásico.

#### **7.2 ESTRATÉGIA DE CONTROLE**

Adotou-se a mesma estratégia de controle utilizada no caso do retificador monofásico que foi mostrado no capítulo 4, porém, neste caso, precisa-se de três malhas de corrente em vez de uma. A tensão de saída do retificador deve ser mantida regulada em uma tensão pré-estabelecida em projeto, fazendo-se necessária a inclusão de uma malha de controle da tensão total de saída. Como no caso monofásico, é necessário manterem-se equilibradas as tensões em cada uma

das saídas do retificador. Controla-se a corrente em cada uma das fases de forma independente, contudo, como essa topologia de retificador trifásico não apresenta o neutro, sabe-se que apenas duas das correntes podem ser controladas, visto que a relação  $i_R(t) + i_S(t) + i_T(t) = 0$  deve ser respeitada. Sendo assim, as malhas de corrente interagem entre si a fim de se equilibrarem, organizando-se de forma a manter o somatório das correntes nulo; conseqüentemente, conseguem-se obter bons resultados empregando uma extensão do uso do controle aplicado ao retificador monofásico ao sistema de controle trifásico.

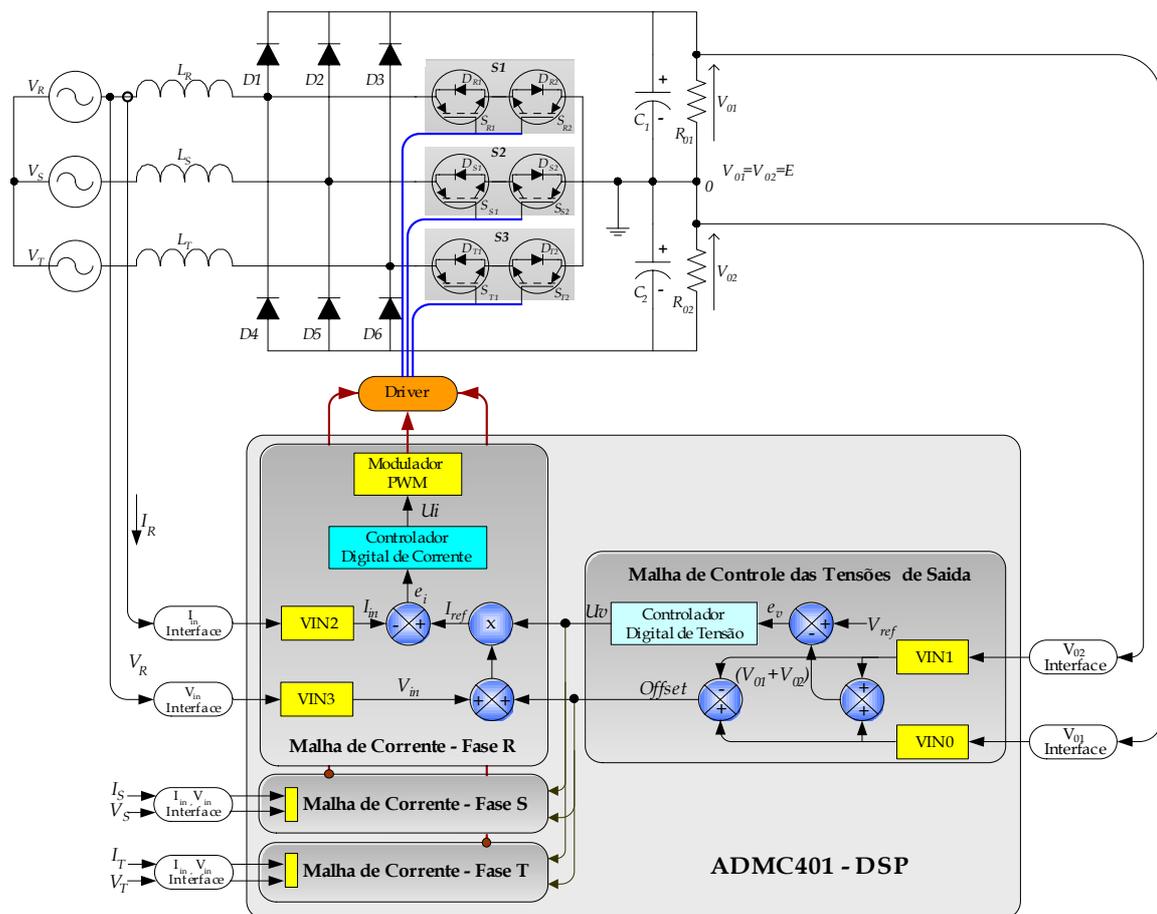


Fig. 7.1 – Diagrama de blocos do sistema de controle do retificador.

Na Fig. 7.1 é apresentado o esquema do sistema de controle do retificador trifásico. Observa-se a presença das três malhas de corrente e a malha de controle da tensão de saída. O controle do equilíbrio das tensões de saída é feito mediante a introdução de um nível CC no sinal de referência das malhas de controle de corrente. A intenção é extrair ou injetar uma corrente média no ponto

central do barramento CC; dessa forma, equilibram-se as tensões de saída sem alterar o formato senoidal das correntes de entrada do conversor. A ação conjunta dessas malhas de controle deverá produzir no retificador o resultado esperado, ou seja, um retificador trifásico com correntes de entrada senoidal nas fases e tensões de saída equilibradas e reguladas.

No circuito representado na Fig. 7.1 observa-se basicamente que o controle do conversor depende das malhas internas de corrente e das malhas externas de tensão. Nessa figura está evidenciado o diagrama de blocos de controle para a malha interna de uma das fases ( $R$ ); a implementação para as demais fases é da mesma forma. Para se obter o funcionamento adequado deste conversor, segundo a estratégia de controle adotada, é necessário monitorar oito (8) sinais, conforme é mostrado na Tabela 7.1:

*Tabela 7.1 – Variáveis monitoradas.*

<b>Tipo</b>	<b>Quantidade</b>	<b>Descrição</b>
Tensão	3	Tensões da rede de alimentação.
Tensão	2	Tensões no barramento de saída.
Corrente	3	Correntes de entrada do retificador.

De forma simplificada, o circuito de controle do conversor mostrado na Fig. 7.1 apresenta os seguintes blocos:

#### INTERFACE

Circuito responsável pelo condicionamento das grandezas elétricas de corrente e tensão, em sinais de tensão aos níveis adequados à aplicação na entrada dos canais de conversão analógico-digital do Processador Digital de Sinal.

#### CONTROLADOR DE TENSÃO

Esse elemento é responsável por manter a tensão total de saída do retificador regulada em um valor de referência ( $V_{ref}$ ) pré-estabelecido em projeto. Será implementado um controlador digital para realizar a função de regulação da tensão total de saída do conversor.

---

### CONTROLADOR DE CORRENTE

A função do controlador de corrente é impor um formato senoidal às correntes de entrada, seguindo como referência a aquisição da tensão de entrada, conferindo assim uma referência senoidal. A amplitude do sinal de referência depende da saída do controlador de tensão e, conseqüentemente, da carga. Igualmente, neste caso, a implementação do controlador será digital.

### MODULADOR PWM

Esse bloco produz os sinais de comando aplicados aos interruptores, que são do tipo PWM e modulados a partir da comparação de um sinal triangular, com frequência igual à de chaveamento, com o sinal de saída do controlador de corrente.

### DRIVER

Trata-se do circuito responsável pelo comando dos interruptores de potência. Ele converte os sinais de pulso de comando, oriundos do bloco Modulador PWM, em níveis de tensão adequada ao tipo de interruptor empregado no projeto do conversor, que neste caso se trata de IGBT.

Sintetizando-se, o elemento final de controle do retificador está condicionado à malha de corrente; o controlador de corrente irá impor um formato senoidal às correntes de entrada, seguindo a corrente de referência, cuja amplitude depende da malha de tensão e, conseqüentemente, da carga. Ao tentar corrigir o erro resultante da comparação das correntes nos indutores e da corrente de referência, tem-se um retificador com correntes senoidais, desprezando-se a alta frequência de chaveamento, e também tensões de saída reguladas e equilibradas.

Na Fig. 7.2 tem-se a representação por meio de diagrama de blocos do sistema de controle completo

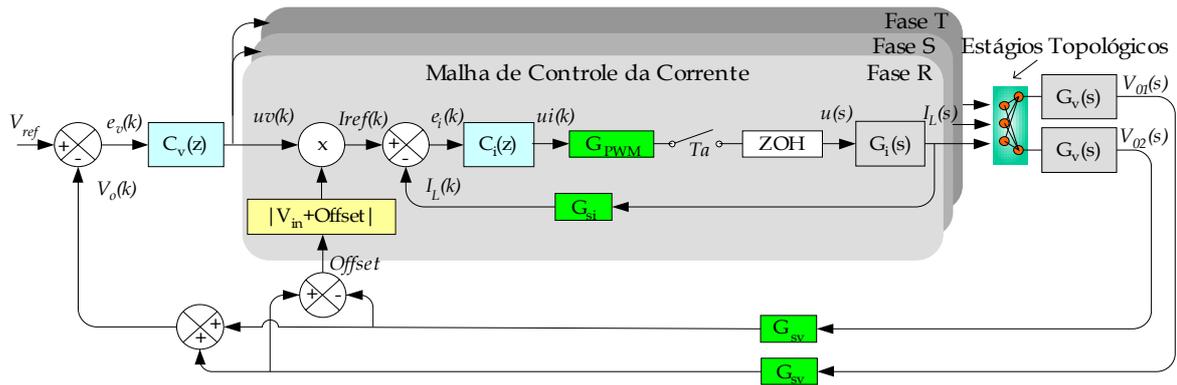


Fig. 7.2 – Diagrama de blocos das malhas de controle do conversor.

A seguir, apresenta-se o estudo e o projeto dos controladores digitais responsáveis pelo controle do retificador trifásico.

### 7.3 ESTUDO DA MALHA DE CORRENTE

O objetivo da malha de corrente é fazer as correntes de entrada do retificador seguirem uma referência senoidal e em fase com a tensão de alimentação. A amplitude da corrente solicitada da rede comercial terá um valor tal que o consumo de potência seja compatível com a carga, ou seja, se houver variações de carga a amplitude se altera para corrigir a tensão de saída. Para projetar os controladores da malha de corrente é necessário determinar a função de transferência de malha aberta; para isso, apresenta-se o diagrama de blocos da malha de corrente do retificador para uma das fases, mostrado na Fig. 7.3. O projeto do controlador é feito para uma das fases e estendido para as demais.

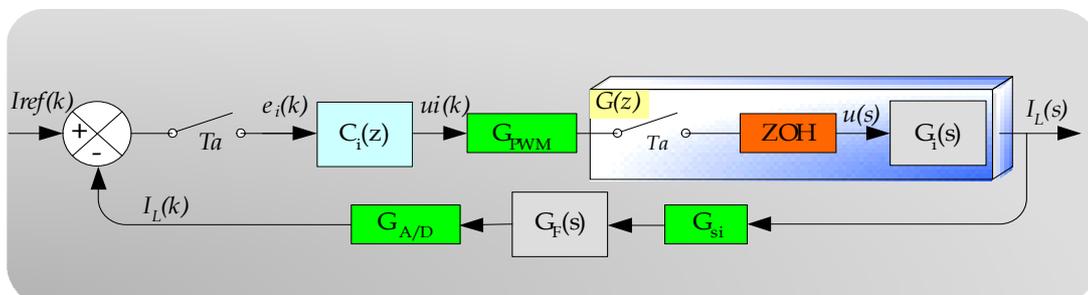


Fig. 7.3 – Diagrama de blocos da malha de corrente.

Observa-se, na Fig. 7.3, a presença do filtro de *antialiasing*  $G_F(s)$ , e a presença do segurador de ordem zero (ZOH – Zero Order Holder).

Cada um dos blocos que compõe a malha de controle da corrente de entrada tem sua função no diagrama. Cada um desses blocos representa o seguinte elemento na composição da malha de controle da corrente:

- Função de transferência do regulador de corrente  $-C_i(z)$ .
- Função de transferência do conversor  $-G_i(s)$ .
- Função de transferência do filtro antialiasing  $-G_F(s)$ .
- Ganho do conversor analógico-digital  $-G_{A/D}$ .
- Ganho do gerador PWM  $-G_{PWM}$ .
- Ganho do sensor de corrente  $-G_{si}$ .

No diagrama mostrado na Fig. 7.3, o elemento  $C_i(z)$  corresponde ao controlador digital de corrente dessa malha de controle e deve-se projetá-lo a fim de atender às especificações e aos critérios do projeto do controle do conversor. Esses critérios de projeto, apresentados a seguir, são baseados em informações adquiridas em projetos e estudos na área de conversores estáticos de potência. Essas informações são oriundas do projeto e implementação de controladores em sistemas contínuos de controle e podem ser aproveitadas para o projeto do sistema de controle digital [1,19,29]. Tem-se a vantagem de utilizar os conhecimentos e ferramentas já desenvolvidos para sistemas contínuos na área de Eletrônica de Potência, empregados nos projetos dos controladores no plano  $s$ , e aplicar nos projetos dos controladores discretos.

### 7.3.1 PROJETO NO PLANO $w$

Uma das técnicas de projeto de controladores digitais é o método de aproximação, pelo qual se projeta o controlador no domínio de tempo contínuo e, posteriormente, utilizando-se uma das técnicas de discretização [19], converte-se o controlador para o domínio de tempo discreto. Mais tarde, ele é implementado por intermédio de programação, neste caso via rotinas desenvolvidas no DSP.

A metodologia empregada no projeto do controlador digital de corrente  $C_i(z)$ , do sistema de malha fechada mostrado na Fig. 7.3, é idêntica à

utilizada nos controladores projetados no domínio de tempo contínuo [1,4]. Porém, alguns cuidados devem ser tomados a fim de se aproximar o projeto do domínio de tempo contínuo ao discreto.

O projeto do controlador de corrente baseia-se no método da resposta em frequência em tempo contínuo aplicado a sistemas de controle digital, conforme mostrado no capítulo 2. Empregando-se o remapeamento das funções de transferência para o plano  $w$  [19], obtêm-se as seguintes funções de transferência, que compõem o sistema de malha fechada do controle da corrente de entrada do retificador trifásico.

#### FUNÇÃO DE TRANSFERÊNCIA DO CONVERSOR – $G_i(w)$

Inicialmente, obtêm-se a função de transferência do conversor, que relaciona a corrente de entrada com a razão cíclica,  $G_i(s) = \frac{I_{in}(s)}{D(s)}$ , no domínio de  $z$   $G_i(z)$ , precedida de um segurador de ordem zero (ZOH); assim, encontra-se a seguinte função de transferência do conversor no domínio de  $z$  para a malha de corrente.

$$G_i(z) = \frac{4}{3} \cdot \frac{V_0}{L} \cdot \frac{T_a}{(z-1)} \quad (7.1)$$

A seguir, converte-se a função de transferência (7.1) para o plano  $w$  através da transformação bilinear, ou seja, substituindo-se a variável  $z$  por  $\frac{1+(T/2)w}{1-(T/2)w}$  obtêm-se a função de transferência do conversor, que representa a corrente no indutor relacionada com a razão cíclica, no plano  $w$ , encontrando-se (7.2).

$$G_i(w) = \frac{4}{3} \cdot \frac{V_0}{L} \cdot \frac{\left(1 - \frac{1}{2 \cdot f_a} \cdot w\right)}{w} \quad (7.2)$$

FUNÇÃO DE TRANSFERÊNCIA DO CONTROLADOR –  $C_i(w)$ 

Define-se o controlador de corrente da mesma forma que o empregado no projeto do retificador monofásico, ou seja, será utilizado controlador do tipo proporcional-integral (PI), um para cada malha de corrente do sistema de controle do retificador. A função de transferência desse controlador, considerando-se seu mapeamento no plano  $w$ , é mostrada na equação (7.3):

$$C_i(w) = k_i \cdot \frac{w + \omega_z}{w} \quad (7.3)$$

As mesmas restrições adotadas no projeto do controlador no plano  $s$  serão utilizadas na alocação do zero e do ganho  $k_i$  do controlador PI, conforme sugerido em [1,4,27]:

- A frequência de cruzamento de ganho deve ser menor que a metade da frequência de comutação.
- O zero deve estar posicionado a pelo menos uma década abaixo da frequência de cruzamento.
- O ganho do controlador será ajustado para satisfazer o critério de frequência de cruzamento de ganho.

Para tornar a influência do atraso de fase, introduzido pelo segurador de ordem zero, pouco considerável na margem de fase do sistema, adotaram-se os seguintes critérios, admitindo-se uma margem de segurança:

$$f_c \leq \frac{f_s}{10} \quad (7.4)$$

$$\omega_z = \frac{2 \cdot \pi \cdot f_c}{10} \quad (7.5)$$

Na transformação para o plano  $w$ , o eixo das frequências está distorcido, então, aplicando-se a expressão mostrada no capítulo 2, corrige-se essa distorção. Assim, o projeto deve ser realizado considerando as seguintes expressões para a frequência de cruzamento de ganho e o zero do controlador:

$$f_c = \frac{f_a}{\pi} \cdot \tan\left(\frac{\pi \cdot f_c}{f_a}\right) \quad (7.6)$$

$$\omega_z = 2 \cdot f_a \cdot \tan\left(\frac{\pi \cdot f_c}{10 \cdot f_a}\right) \quad (7.7)$$

#### FUNÇÃO DE TRANSFERÊNCIA DO FILTRO *ANTI*ALIASING $-G_F(s)$ .

A fim de evitar o recobrimento do espectro de frequência do sinal amostrado, utiliza-se um filtro passa-baixa para evitar que sinais com frequências superiores à metade da frequência de amostragem sejam adquiridos e convertidos pelo A/D. Esse fenômeno, conhecido como *aliasing* foi tratado no capítulo 2. A função de transferência do filtro utilizado é dada por (7.8),

$$G_F(s) = \frac{k}{s+k} \quad (7.8)$$

onde  $k$  representa:  $k = \frac{2 \cdot \pi \cdot f_a}{2} = \pi \cdot f_a$ , ou seja, o pólo localiza-se na metade da frequência de amostragem. O *kit* de desenvolvimento do DSP utilizado compõe-se de vários elementos agregados ao DSP; entre esses elementos o fabricante fornece (nesse sistema) filtros passa-baixa, precedendo os canais de entrada do conversor A/D. Utilizaram-se esses circuitos já implementados no *kit* de desenvolvimento do DSP para aquisição das grandezas necessárias à aplicação e ao desenvolvimento do sistema de controle digital do retificador trifásico. A Fig. 7.4 representa o circuito do filtro *antialiasing* usado nas entradas dos canais de conversão A/D do *ADMC401*:

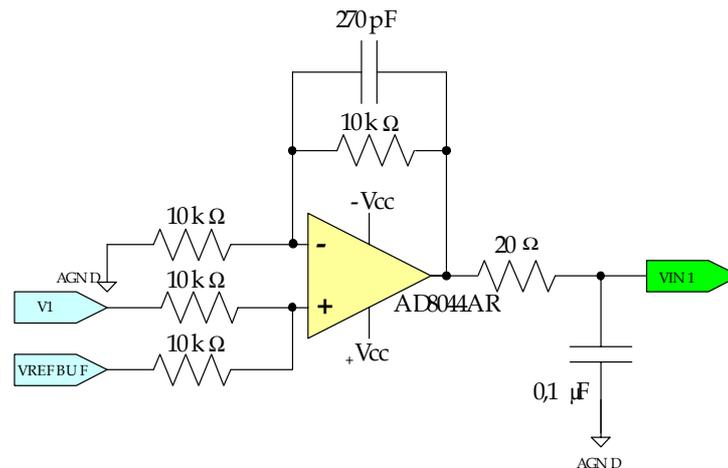


Fig. 7.4 – Circuito do filtro antialiasing utilizado no kit do ADMC401.

No projeto do filtro *antialiasing* desenvolvido pelo fabricante do *kit*, foi previsto um filtro passa-baixa com frequência de corte de aproximadamente 59 kHz. No entanto, a necessidade de projeto do filtro para o caso do retificador é da ordem de 25 kHz, visto que a frequência de amostragem utilizada no projeto é de 50 kHz. Com isso, foi necessário modificar os elementos do filtro a fim de atender às especificações de projeto.

#### GANHO DO GERADOR PWM – $G_{PWM}$

Existe ainda um ganho a ser considerado na malha de corrente, que se refere ao ganho PWM, cujo valor equivale ao pico do sinal triangular utilizado no modulador PWM. Esse sinal é gerado internamente no DSP e o valor é determinado conforme a expressão (7.9); o valor de  $G_{PWM}$  é determinado por  $1/PWM$ .

$$PWM = \frac{f_{CLKin}}{f_s} \quad (7.9)$$

#### GANHO DO SENSOR DE CORRENTE – $G_{si}$

Representa o valor do ganho adotado no projeto do sistema de condicionamento do sinal de corrente de entrada do conversor. O valor utilizado é dado por (7.10):

$$G_{si} = 0,15 \quad (7.10)$$

### GANHO DO CONVERSOR ANALÓGICO-DIGITAL – $G_{A/D}$

As correntes que circulam nos indutores de entrada do retificador trifásico são condicionadas e posteriormente amostradas pelo conversor A/D. Normalmente o valor dessa variável excursiona entre os valores mínimo e máximo da tensão permitida na entrada do A/D empregado. Após a conversão, essa variável apresenta um valor decimal compreendido entre os limites mínimo e máximo relativos ao número de *bits* do A/D. O valor de  $G_{A/D}$  para o DSP utilizado é apresentado como sendo a razão entre o número  $2^{12}$  e o valor pico a pico máximo permitido, que é de 4 Volts, obtendo-se :

$$G_{A/D} = \left( \frac{2^{12}}{4 \cdot V_{p-p}} - 1 \right) = 1023 \quad (7.11)$$

Analizados todos os elementos que compõem a malha de controle de corrente do retificador pode-se então projetar o controlador. Para o projeto, utiliza-se a função de transferência de laço aberto do sistema (7.12).

$$FTLA_i(w) = C_i(w) \cdot G_{PWM} \cdot G_i(w) \cdot G_{si} \cdot G_{A/D} \quad (7.12)$$

$$FTLA_i(w) = k_i \cdot \frac{w + \omega_z}{w} \cdot G_{PWM} \cdot \frac{4}{3} \cdot \frac{V_0}{L} \cdot \frac{\left( 1 - \frac{T_a}{2} \cdot w \right)}{w} \cdot G_{si} \cdot G_{A/D} \quad (7.13)$$

A expressão da  $FTLA_i(w)$  desconsidera o efeito do filtro *antialiasing*. Como nesse projeto estipulou-se a frequência de cruzamento de uma década abaixo da frequência de amostragem do sistema, pouco efeito a inclusão do filtro terá no projeto do controlador; dessa forma, reduz-se a complexidade da função de transferência de malha aberta. Também não foi considerado o efeito do atraso computacional inerente ao sistema de controle digital, pelo mesmo motivo anterior.

### 7.3.2 PROJETO DO CONTROLADOR DE CORRENTE

A partir da função de transferência de laço aberto do sistema (7.13), projeta-se o controlador de corrente a fim de atender às especificações de frequência de cruzamento de ganho do sistema e do posicionamento do zero do controlador. O projeto do controlador de corrente depende de informações oriundas do estágio de potência do retificador trifásico. As seguintes especificações de projeto foram adotadas para a construção do protótipo em laboratório:

Tabela 7.2 – Especificação do protótipo.

Potência de Saída	$P_o = 3.000 \text{ W}$
Tensão em cada uma das saídas	$V_{01} = V_{02} = 225 \text{ V}$
Frequência de Chaveamento	$f_s = 50 \text{ kHz}$
Tensão de Entrada	$V_{in} = 127 \text{ V}_{RMS}, 60 \text{ Hz}$
Variação de $V_{in}$	$\Delta V = 10\%$
Variação de $I_{in}$	$\Delta I = 20\%$
Rendimento esperado	$\eta = 0,98$

A partir das informações na Tabela 7.2, calcula-se a função de transferência do conversor. Primeiramente, obtém-se o valor das indutâncias de entrada,  $L$ , por intermédio da seguinte expressão, apresentada no capítulo 3:

$$L = \frac{\sqrt{2} \cdot V_{in} \cdot \overline{\Delta I_{Lmax}}}{f_s \cdot \Delta I_L} \quad (7.14)$$

Para calcular o valor da indutância, determina-se o valor de  $\overline{\Delta I_{Lmax}}$ , que representa a máxima ondulação da corrente de entrada parametrizada, e também o valor de  $\Delta I_L$ , que é a máxima variação permitida da corrente de entrada especificada no projeto do conversor, conforme Tabela 7.2. Inicialmente, calcula-se o valor da relação entre a tensão de saída do barramento CC e a tensão de pico de alimentação do conversor, ou seja, o valor de  $\beta$ :

$$\beta = \frac{V_{0,1}}{V_{in,p}} \quad (7.15)$$

$$\beta = 1,253 \quad (7.16)$$

A partir do valor de  $\beta$  determina-se o valor de  $\overline{\Delta I_{Lmax}}$ , conforme segue:

$$\overline{\Delta I_{Lmax}} = \frac{1}{4}\beta \quad (7.17)$$

$$\overline{\Delta I_{Lmax}} = 0,313 \quad (7.18)$$

Com os valores anteriormente determinados, pode-se calcular o valor da indutância de entrada do retificador  $L$ , como sendo:

$$L = \frac{\sqrt{2} \times 127 \times 0,313}{50 \times 10^3 \times 1,263} \quad (7.19)$$

$$L_{R,S,T} = 562,5 \mu H \quad (7.20)$$

A fim de possibilitar testes de operação com o conversor com tensões de saída total de barramento variando entre os valores de 450 V<sub>CC</sub> a 500 V<sub>CC</sub>, adotou-se um valor intermediário para a indutância como sendo:

$$L_{R,S,T} \approx 600 \mu H \quad (7.21)$$

Substituindo o valor de  $L$ ,  $V_o$  e  $f_a$  na equação (7.2), que representa a função de transferência do conversor no plano  $w$ , obtém-se assim a seguinte expressão:

$$G_i(w) = \frac{4}{3} \times \frac{225}{600 \mu H} \times \frac{\left(1 - \frac{1}{50 \text{ kHz} \times 2} \times w\right)}{w} \quad (7.22)$$

$$G_i(w) = 500 \times 10^3 \times \frac{\left(1 - \frac{1}{50 \text{ kHz} \times 2} \times w\right)}{w} \quad (7.23)$$

A representação por diagramas de Bode da resposta em frequência da função de transferência do conversor, é mostrada na Fig. 7.5:

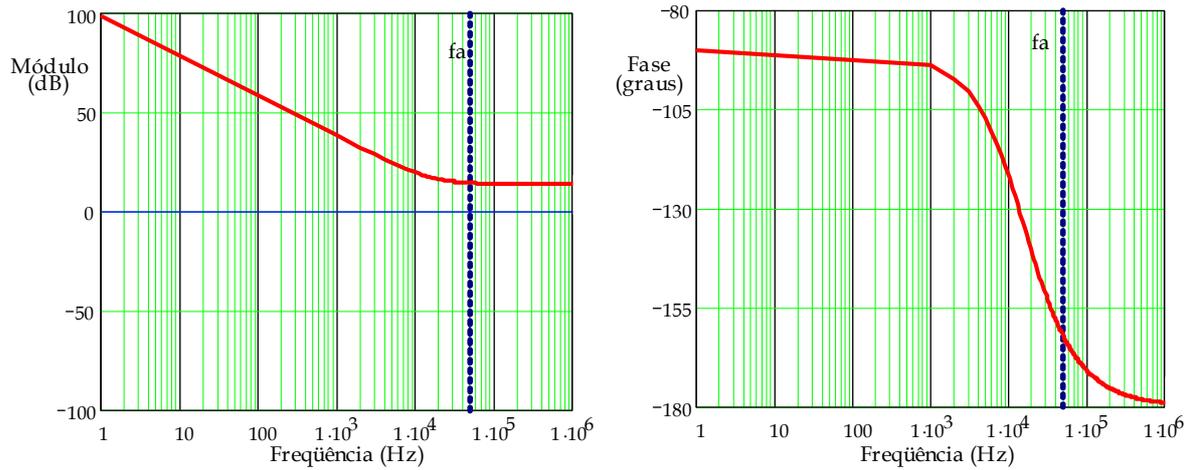


Fig. 7.5 - Diagrama do módulo e da fase de  $G_i(w)$ .

Na  $FTLA_i(w)$  existem outros elementos relacionados aos ganhos do sistema, para esses componentes os seguintes valores foram utilizados:  $G_{si} = 0,15$ ,  $G_{AD} = 1023$  e  $G_{PWM} = 1/260$ .

#### DETERMINAÇÃO DO ZERO DO CONTROLADOR

A função de transferência do controlador de corrente é do tipo PI, que está representada em (7.3). O zero do controlador é calculado pela expressão (7.7), de forma que se tem:

$$\omega_z = 2 \cdot f_a \cdot \tan\left(\frac{\pi \cdot f_c}{10 \cdot f_a}\right) = 2 \times 50 \times 10^3 \times \tan\left(\frac{\pi \times 5000}{10 \times 50 \times 10^3}\right) \quad (7.24)$$

$$\omega_z = 31.426 \frac{\text{rad}}{\text{s}} \quad (7.25)$$

Admitindo-se o ganho  $k_i = 1$ , que representa o ganho do controlador de corrente, obtém-se a  $FTLA_i(w)$  do sistema de controle das correntes de entrada como sendo:

$$FTLA_i(w) = \frac{w + \omega_z}{w} \times \frac{1}{260} \times 500 \times 10^3 \times \frac{\left(1 - \frac{1}{50 \times 10^3 \times 2} \times w\right)}{w} \times 0,15 \times 1023 \quad (7.26)$$

$$FTLA_i(w) = 18.590 \times \frac{w + 31.426}{w} \times \frac{\left(1 - \frac{1}{50 \times 10^3 \times 2} \times w\right)}{w} \quad (7.27)$$

A partir da expressão (7.27), traçou-se o diagrama do módulo e da fase para  $k_i = 1$ , conforme pode ser observado na Fig. 7.6:

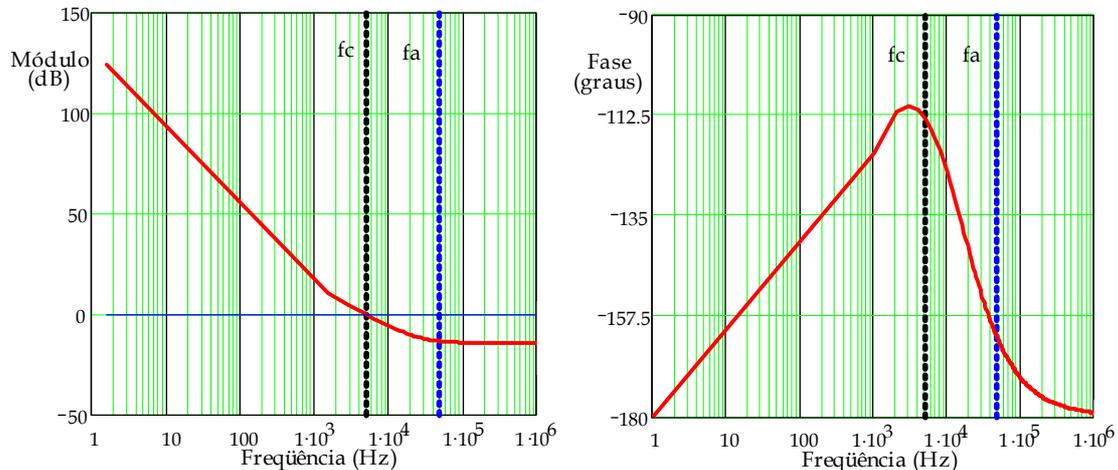


Fig. 7.6 - Digrama do módulo e fase da  $FTLA_i(w)$  para  $k_i=1$ .

Utilizando-se a expressão (7.6) determina-se a freqüência de cruzamento desejada conforme os critérios adotados no início do projeto do sistema de controle. Dessa forma, tem-se:

$$f_c = \frac{f_a}{\pi} \cdot \tan\left(\frac{\pi \cdot f_c}{f_a}\right) = \frac{50 \times 10^3}{\pi} \times \tan\left(\frac{\pi \times 5000}{50 \times 10^3}\right) \quad (7.28)$$

$$f_c = 5.171 \text{ Hz} \quad (7.29)$$

Com o valor da freqüência de cruzamento determinada, calcula-se o ganho da função de transferência de laço aberto nesta freqüência, considerando-se como sendo unitário o ganho do controlador de corrente  $k_i = 1$ ; assim, obtém-se o valor de ganho necessário a fim de estabelecer a freqüência de cruzamento de ganho da  $FTLA_i(w)$  no valor determinado em (7.29). Desse modo, tem-se o seguinte ganho:

$$\text{ganho} = 20 \cdot \log(|FTLA_i(f_c)|) = -4,374 \text{ dB} \quad (7.30)$$

A partir de (7.30), identifica-se a necessidade de amplificar o ganho do sistema em  $4,374 \text{ dB}$ , visto que este valor representa o quanto se deve aumentar o

ganho  $k_i$  a fim de obter-se o valor da frequência de cruzamento calculada em (7.29). Através da equação (7.31) tem-se o seguinte valor:

$$K_i = 10^{\frac{-\text{ganho}}{20}} = 10^{\frac{4,374}{20}} = 1,655 \quad (7.31)$$

Com esse novo valor para o ganho do controlador, traçaram-se os diagramas de ganho e de fase da função de transferência de laço aberto, conforme a Fig. 7.7:

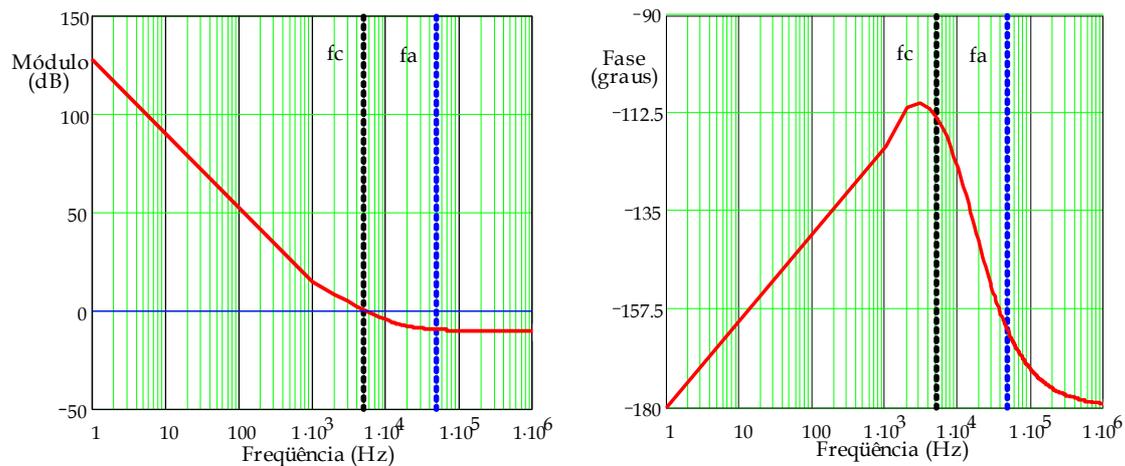


Fig. 7.7 - Diagrama do módulo e fase da  $FTLA_i(w)$  para  $k_i=1,655$ .

Pode-se determinar a margem de fase do sistema a partir da expressão (7.32), resultando no seguinte valor:

$$M_F = 180 + \arg(FTLA_i(f_c)) \quad (7.32)$$

$$M_F = 66,48^\circ \quad (7.33)$$

A partir dos valores determinados do ganho e do zero, a função de transferência do controlador PI no plano  $w$  fica determinada conforme a expressão:

$$C_i(w) = 1,655 \times \frac{w + 31.426}{w} \quad (7.34)$$

A próxima etapa é transformar a função de transferência mostrada em (7.34) no domínio de  $z$  e convertê-la na forma de equações a diferenças visando à implementação via DSP.

**PROJETO DO CONTROLADOR DE CORRENTE DIGITAL**

Representa-se o controlador de corrente no domínio de  $z$ , através da transformação bilinear, substituindo-se a variável  $w$  por  $\frac{2}{T_a} \cdot \frac{z-1}{z+1}$  na expressão (7.34), resultando:

$$C_i(z) = K_1 \cdot \left( \frac{1 + K_2 \cdot z^{-1}}{1 - z^{-1}} \right) \quad (7.35)$$

onde:

$$K_1 = \frac{k_i \cdot (2 + T_a \cdot \omega_z)}{2} \quad (7.36)$$

$$K_2 = \frac{(T_a \cdot \omega_z - 2)}{(T_a \cdot \omega_z + 2)} \quad (7.37)$$

Substituindo-se os valores do período de amostragem  $T_a = 1/f_a = 1/50 \text{ kHz}$  e de  $\omega_z$ , obtém-se a função de transferência do controlador PI no domínio de  $z$ , conforme segue:

$$C_i(z) = 1,76298 \times \left( \frac{1 - 0,93906 z^{-1}}{1 - z^{-1}} \right) \quad (7.38)$$

Com o objetivo de implementação do controlador via Processador Digital de Sinal, faz-se necessário escrever a equação (7.38) sob a forma de equação a diferença, resultando na seguinte expressão:

$$u(k) = u(k-1) + K_1 \cdot e(k) + K_1 \cdot K_2 \cdot e(k-1) \quad (7.39)$$

Substituindo os valores de  $K_1$  e  $K_2$  em (7.39), obtém-se:

$$u(k) = u(k-1) + 1,76298 e(k) - 1,65554 e(k-1) \quad (7.40)$$

A equação (7.40) representa a expressão do controlador PI sob a forma de equação a diferenças, que será implementada através de um ambiente de programação desenvolvido especificamente para ser utilizado em conjunto com a plataforma baseada no DSP.

### 7.4 ESTUDO DA MALHA DE TENSÃO DO BARRAMENTO

A malha de tensão do barramento é responsável por manter constante a tensão total de saída do conversor. Corresponde à soma das tensões nos capacitores de saída ( $V_{O1}+V_{O2}$ ). O controlador de tensão age de forma a modificar a amplitude do sinal de referência da corrente, modificando, assim, o fluxo de potência entre o sistema de alimentação e o conversor. Dessa forma, se houver variações na rede de alimentação ou na carga, a manutenção da tensão total de saída será garantida pelo controlador de tensão do barramento CC. Utilizam-se os mesmos procedimentos adotados no projeto da malha de corrente para projetar-se a malha de tensão. Faz-se necessário conhecer a função de transferência de laço aberto, por isso apresenta-se na Fig. 7.8 o diagrama das malhas de controle do conversor para uma das fases. Claramente se observa a existência de uma malha interna e outra externa, esta última responsável por manter a tensão total de saída regulada, bem como manter o equilíbrio de tensão em cada um dos capacitores. Aqui se trata do controle total da tensão de saída. Ainda convém salientar que para o projeto de controle do conversor admite-se a operação do retificador consistindo em três conversores monofásicos, o que simplifica consideravelmente a análise e o projeto do conversor, conseguindo-se bons resultados, mesmo desconsiderando a interação e influência entre as fases do retificador trifásico.

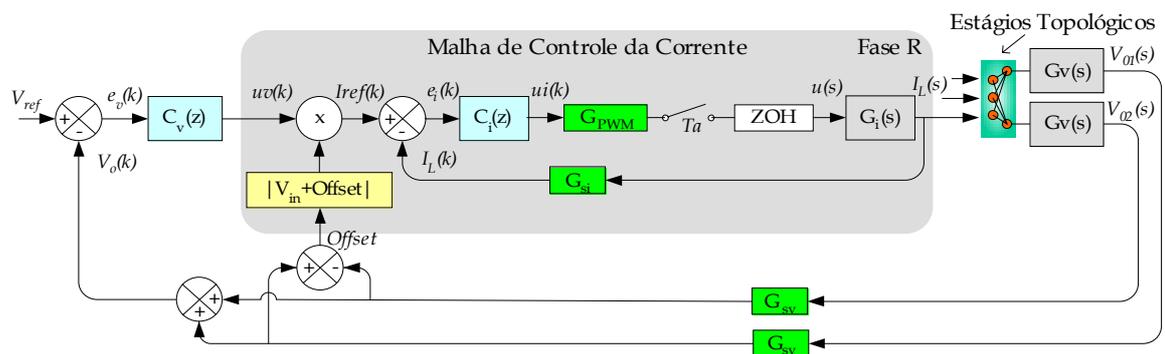


Fig. 7.8 - Diagrama de blocos das malhas de controle do conversor.

Para se projetar o controlador da malha de tensão adotam-se as considerações de [1,4,16], ou seja, a ação de controle na malha de tensão deve ocorrer em intervalos de tempo maior, na ordem do período da tensão de

alimentação, sendo considerada, dessa forma, uma malha mais lenta se relacionada com a malha de corrente. Admitindo-se essa simplificação, pode-se considerar a malha de corrente como sendo um ganho incluído na malha de tensão; podendo ser desprezada a dinâmica da malha de corrente se analisada sob a ótica da frequência da malha de tensão. Assim a função de transferência de malha fechada de corrente  $FTMF_i$  será substituída pelo bloco  $G_{FTMF_i}$ . A Fig. 7.9 representa a malha de tensão, considerando-se a substituição da malha de corrente pelo ganho  $G_{FTMF_i}$ .

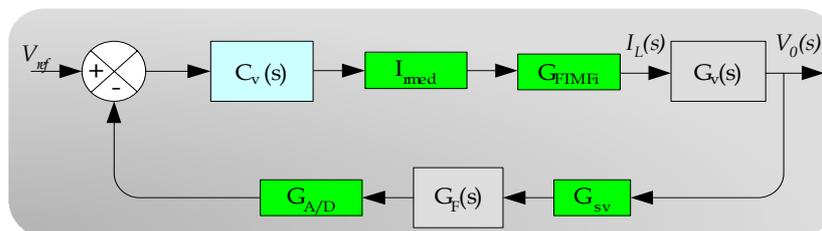


Fig. 7.9 – Diagrama de blocos funcional simplificado da malha de tensão.

Os blocos que compõem a malha de tensão, mostrados na Fig. 7.9, representam as seguintes funções:

- Função de transferência do regulador de tensão –  $C_v(s)$ .
- Valor médio da corrente de referência –  $I_{med}$ .
- Ganho da FTMF<sub>i</sub> -  $G_{FTMF_i}$ .
- Função de transferência do conversor –  $G_v(s)$
- Função de transferência do filtro antialiasing –  $G_F(s)$ .
- Ganho do conversor analógico-digital –  $G_{A/D}$ .
- Ganho do sensor de tensão –  $G_{sv}$ .

O ganho representado pelo bloco  $G_{FTMF_i}$  é dado pelo valor de  $G_{si}$ , resultante da seguinte expressão:

$$G_{FTMF_i} = \frac{1}{G_{si}} \quad (7.41)$$

Neste caso, considera-se também o valor do ganho do conversor A/D,  $G_{A/D}$  em (7.41). O valor de  $I_{med}$  representa a corrente de referência da malha de corrente, da mesma forma que no caso do retificador monofásico, tendo-se:

$$I_{med} = \frac{1}{\pi} \cdot I_{refp} \quad (7.42)$$

O controlador de tensão empregado será do tipo PI, idêntico ao empregado no controle do retificador monofásico. A função de transferência que relaciona a tensão de saída com a corrente de indutor foi determinada no capítulo 6. Determina-se, assim, a função de transferência de laço aberto da malha de tensão, conforme segue:

$$FTLA_v(s) = C_v(s) \cdot I_{med} \cdot H_v \cdot G_v(s) \cdot G_{sv} \quad (7.43)$$

Da mesma forma que foi projetado o controlador de corrente, precisa-se determinar a  $FTLA_v(w)$ , com o intuito de especificar o controlador de tensão. Aplicando-se as mesmas transformações utilizadas nos itens 7.31 e 7.32, tem-se como resultado a seguinte expressão para a função de transferência de laço aberto no plano  $w$ :

$$FTLA_v(w) = k_v \frac{w + \omega_z}{w} \cdot \frac{1}{\pi} I_{refp} \cdot \frac{1}{G_{si} \cdot G_{A/D}} \cdot 3 \left( \frac{1}{\beta \cdot \pi} + \frac{1}{2} \right) \frac{R_0}{1 + s \cdot R_0 \cdot C_0} \cdot G_{sv} \quad (7.44)$$

O zero do controlador de tensão é posicionado com o objetivo de cancelar o pólo inserido pela função de transferência  $G_v(s)$ .

#### 7.4.1 PROJETO DO CONTROLADOR DE TENSÃO

A partir da expressão (7.44), utilizando-se da resposta em frequência por diagrama de Bode, determina-se o ganho do controlador de tensão  $k_v$ . Os critérios que foram adotados na determinação do controlador de tensão são os mesmos adotados para o projeto do conversor monofásico.

Adotou-se uma frequência de cruzamento da função de transferência de laço aberto como sendo um quarto da frequência da rede ( $f_r/4$ ), e posicionou-se o zero do controlador a uma década abaixo da frequência de cruzamento, a fim de

garantir margem de fase. Substituindo-se os valores adequados na expressão da  $FTLA_v(w)$ , resulta em:

$$f_c = \frac{1}{4} \cdot f_r = 15 \text{ Hz} \tag{7.45}$$

$$\omega_z = \frac{2 \cdot \pi \cdot f_c}{10} = 9,425 \frac{\text{rad}}{\text{s}} \tag{7.46}$$

$$FTLA_v(w) = k_v \times \frac{w + 9,425}{w} \times 72.917,4 \times G_v(w) \tag{7.47}$$

Para determinação do  $k_v$ , utiliza-se o mesmo procedimento adotado para determinação do ganho do controlador da malha de corrente, ou seja, ele deve ser ajustado a fim de atender à frequência de cruzamento de ganho da  $FTLA_v(w)$ . Com o valor do ganho resultante, traçaram-se os diagramas de ganho e de fase da função de transferência de laço aberto, conforme mostrado na Fig. 7.10:

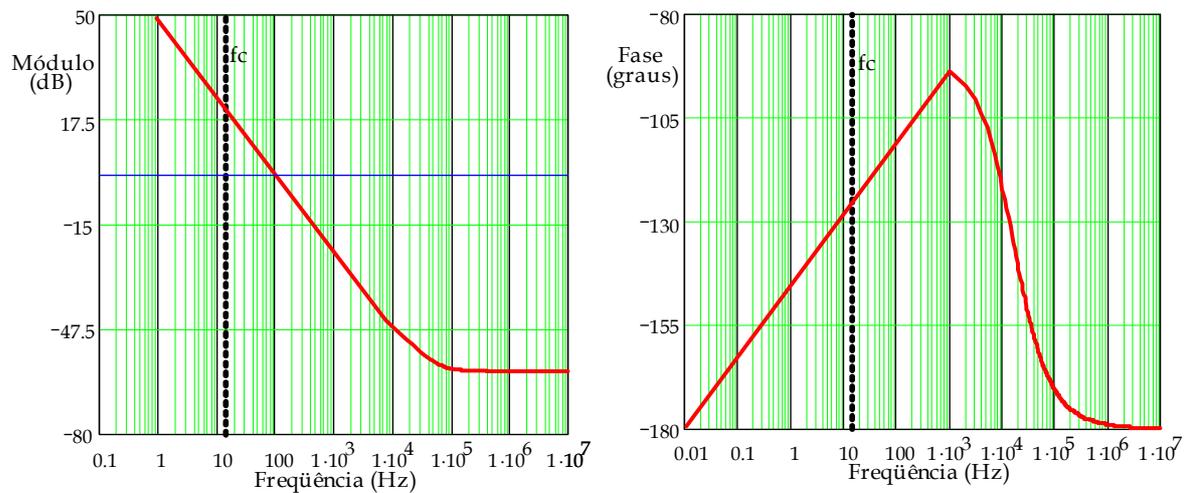


Fig. 7.10 - Digrama do módulo e fase da  $FTLA_v(w)$  para  $k_v=1,8796$ .

Determina-se a margem de fase do sistema a partir da expressão (7.32). Porém, substituindo o valor obtido pela  $FTLA_v(f_c)$ , resulta o seguinte valor:

$$M_F = 180 + \arg(FTLA_v(f_c)) \tag{7.48}$$

$$M_F = 88,72^\circ \tag{7.49}$$

Com a determinação dos valores do ganho e do zero, a função de transferência do controlador PI no plano  $w$  fica determinada, consoante a expressão:

$$C_v(w) = 1,8796 \times \frac{w + 9,425}{w} \quad (7.50)$$

A próxima etapa é transformar a função de transferência mostrada em (7.50) no domínio de  $z$  e convertê-la na forma de equações a diferenças, para implementação via DSP.

#### PROJETO DO CONTROLADOR DE TENSÃO DIGITAL

O procedimento é idêntico ao do projeto do controlador de corrente, ou seja, representa-se o controlador de tensão no domínio de  $z$ , através da transformação bilinear, substituindo-se a variável  $w$  por  $w = \frac{2}{T_a} \times \frac{z-1}{z+1}$  na expressão (7.50).

Substituindo-se os valores do período de amostragem  $T_a = 1/f_a = 1/50 \text{ KHz}$  e de  $\omega_z$  obtém-se a função de transferência do controlador PI no domínio de  $z$ , conforme segue:

$$C_v(z) = 0,76298 \times \left( \frac{1 - 0,98906 z^{-1}}{1 - z^{-1}} \right) \quad (7.51)$$

Como se pretende utilizar na implementação do controlador um Processador Digital de Sinal, a expressão do controlador de tensão precisa ser reescrita, ou seja, a equação (7.51) sob a forma de equação a diferença resulta na seguinte expressão:

$$u(k) = u(k-1) + K_1 \cdot e(k) + K_2 \cdot e(k-1) \quad (7.52)$$

Substituí-se os valores de  $K_1$  e  $K_2$  em (7.52), obtém-se :

$$u(k) = u(k-1) + 0,76298 \cdot e(k) - 0,75464 \cdot e(k-1) \quad (7.53)$$

A equação (7.53) representa a expressão do controlador PI sob a forma de equação a diferença. A partir dessa expressão pode-se, via programação,

implementá-la; e, nesse projeto, isso será feito através de um ambiente específico de programação baseado em DSP, que será utilizado no controle do retificador trifásico.

## 7.5 ESTUDO DA MALHA DE BALANCEAMENTO DA TENSÃO

Uma característica deste conversor é apresentar na saída dois capacitores cujas tensões devem ser mantidas equilibradas. Fundamentalmente, os fatores que contribuem para o desequilíbrio dessas tensões são: cargas desequilibradas, tolerância dos valores dos componentes utilizados no protótipo, *layout*, pequenas diferenças no comportamento dinâmico dos semicondutores utilizados, pequenas perturbações ou de curta duração ocorridas na carga ou na rede de alimentação, dentre outros.

A malha de controle da tensão total de barramento mantém a tensão total regulada em um valor de referência estabelecido em projeto, porém essa malha não garante valores iguais de tensão em cada um dos capacitores. Para se obter o equilíbrio entre as tensões nos capacitores de saída  $C_1$  e  $C_2$  monitora-se a diferença existente entre a tensão no capacitor  $C_1$  e  $C_2$  ( $V_{01} - V_{02}$ ), cujo valor deve permanecer em zero.

A estratégia de controle baseia-se na imposição de uma corrente média no ponto de conexão dos capacitores [16,18], através da modificação da corrente de referência em cada uma das fases, por intermédio da adição de um nível CC no sinal de referência de corrente. Dessa forma, pretende-se controlar o valor da corrente  $I_0(t)$ , e, conseqüentemente, a tensão nos capacitores. No capítulo 6, descrevem-se de forma qualitativa as informações observadas no comportamento do conversor em função dos estágios topológicos, nos quais se procurou identificar mecanismos e a forma como esse conversor interage, a fim de obter o equilíbrio das tensões de saída. Não se equacionou o estágio de saída, a fim de identificar esses mecanismos; por simplicidade, observaram-se os estágios de operação e, por simulação, verifica-se que a introdução de um nível CC nas correntes de referência das fases do conversor tem como conseqüência o equilíbrio

---

das tensões de saída do conversor, a partir do controle do valor médio da corrente  $I_0(t)$ .

Na realidade, os estágios topológicos existentes em cada setor de operação do conversor permitem controlar a corrente  $I_0(t)$  através da modulação adequada dos interruptores de potência, tornando-se possível alterar as cargas dos capacitores sem alterar as correntes de entrada.

Observando-se a Fig. 7.8, constata-se a existência de dois elementos de medida das tensões de saída ( $G_{sv}$ ). A soma das tensões nos capacitores é controlada pela malha de tensão, enquanto a diferença entre elas resulta no valor CC a ser adicionado ou subtraído (*offset*) na referência das correntes de fase a ser seguida pela malha de corrente. Fica evidente que dependendo de qual das tensões for maior,  $V_{01}$  ou  $V_{02}$ , tem-se um sinal CC positivo ou negativo a ser adicionado no sinal de referência. Na verdade o nível CC poderia ser somado às razões cíclicas de fase, de modo que não seriam alteradas as razões cíclicas de linha, não trazendo qualquer deformação às correntes. Como elas são somadas ao módulo das referências de corrente, causam uma deformação nas razões cíclicas, alterando o valor médio de  $I_0(t)$ , sem deformar significativamente as correntes de entrada. No entanto, a amplitude deste nível CC deve ser limitada, para também reduzir a deformação das correntes e evitar uma possível instabilidade do sistema [16].

## 7.6 RESULTADOS DE SIMULAÇÃO

Com o objetivo de averiguar o comportamento dos controladores digitais projetados, optou-se pela simulação por computador, e, com esta, pretende-se observar e verificar o comportamento das malhas de controle do retificador trifásico operando com fator de potência unitário. Para simulação do conversor com as respectivas malhas de controle, adotaram-se programas como o PSPICE<sup>®</sup> e o MATLAB<sup>®</sup>. Cada um desses simuladores apresenta características peculiares, sendo sua aplicação dependente do tipo de simulação e dos resultados que se queira observar.

### 7.6.1 SIMULAÇÃO DO CONVERSOR USANDO PSPICE

Os primeiros resultados foram obtidos através da simulação do conversor utilizando-se a ferramenta de simulação PSPICE®. Empregaram-se elementos analógicos a fim de verificar o comportamento das correntes e tensões de interesse. As especificações do projeto do retificador foram relacionadas na Tabela 7.2 do item 7.3.2. Implementou-se o circuito apresentado na Fig. 7.11.

Observa-se nas Fig. 7.11 e Fig. 7.12 que foram usados apenas elementos analógicos nos circuitos de simulação do retificador, com o fito de estabelecer um ponto de partida para a operação do conversor, deixando de lado, nesse primeiro momento, as possíveis restrições impostas pelo uso de técnicas de controle digital. Dessa forma, tem-se o resultado de operação do conversor controlado totalmente de forma analógica. Nessa primeira simulação optou-se pela utilização apenas das malhas de controle da corrente de entrada, sendo a malha de tensão retirada e a saída representada por uma fonte de tensão CC, conforme pode ser verificado na Fig. 7.11.

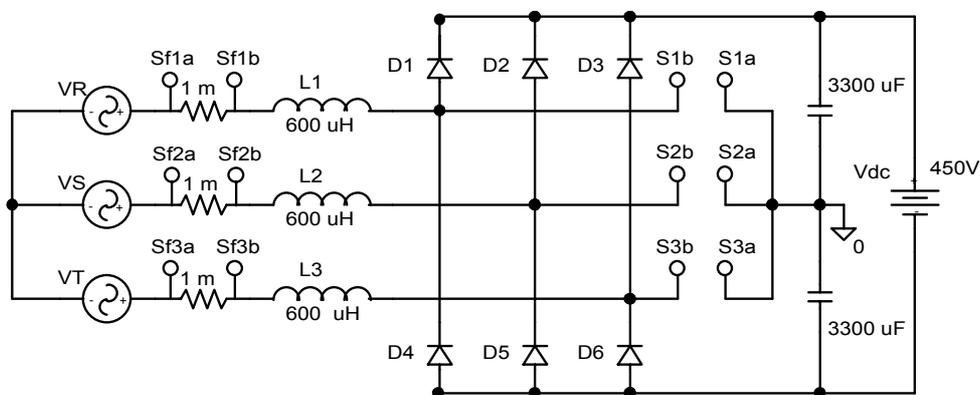


Fig. 7.11 - Circuito do retificador trifásico.

Na Fig. 7.12 apresenta-se o circuito de controle da corrente de entrada para uma das fases, as outras são idênticas. Na Fig. 7.13 tem-se o resultado obtido da simulação do retificador referente às correntes de entrada trifásica  $i_R(t)$ ,  $i_S(t)$  e  $i_T(t)$ . Observa-se o formato senoidal e o equilíbrio entre elas, comprovando-se a operação das malhas de corrente do retificador.

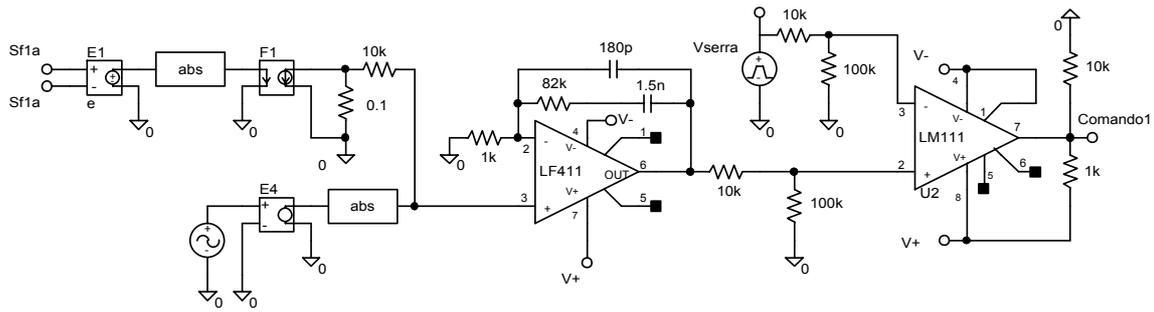


Fig. 7.12 - Circuito da malha de corrente e comando dos interruptores.

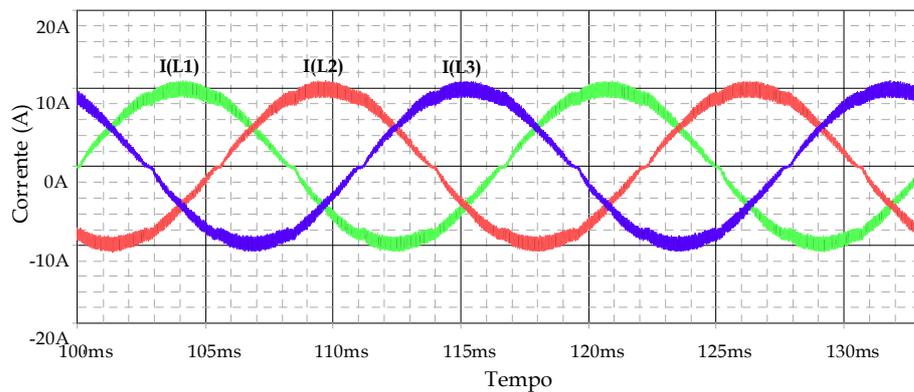


Fig. 7.13 - Correntes de entrada do retificador.

A partir dos resultados obtidos por simulação das malhas de corrente, inseriu-se no sistema a malha de tensão, cujo objetivo é manter regulada a tensão CC total de barramento do conversor. A ação de controle oriunda da saída do controlador de tensão efetua modificações na amplitude do sinal de referência das correntes, alterando assim o fluxo de potência entre a fonte e a carga, justamente para manter a tensão de saída regulada em função de variações na carga e/ou na rede de alimentação. Na Fig. 7.14 tem-se o circuito do retificador e as malhas de controle da tensão total no barramento CC.

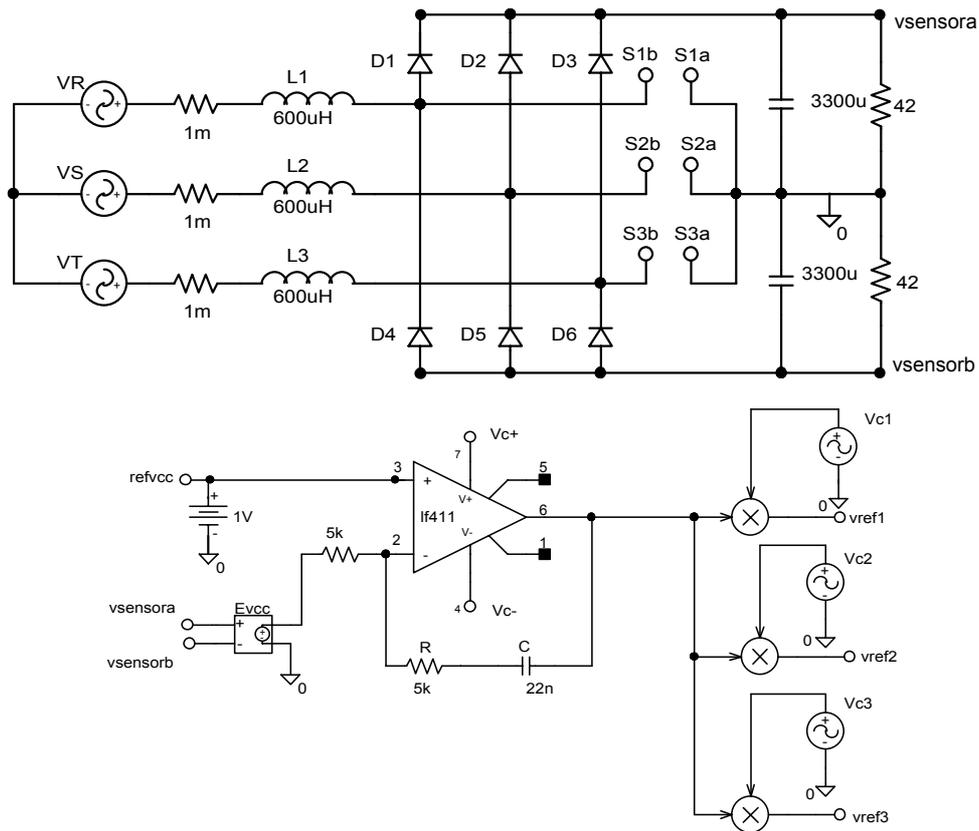


Fig. 7.14 - Circuito do retificador com a malha de tensão.

O resultado da simulação, considerando-se a inclusão da malha de tensão, pode ser visualizado na Fig. 7.15, onde se observa claramente a regulação da tensão de saída no nível estabelecido em projeto.

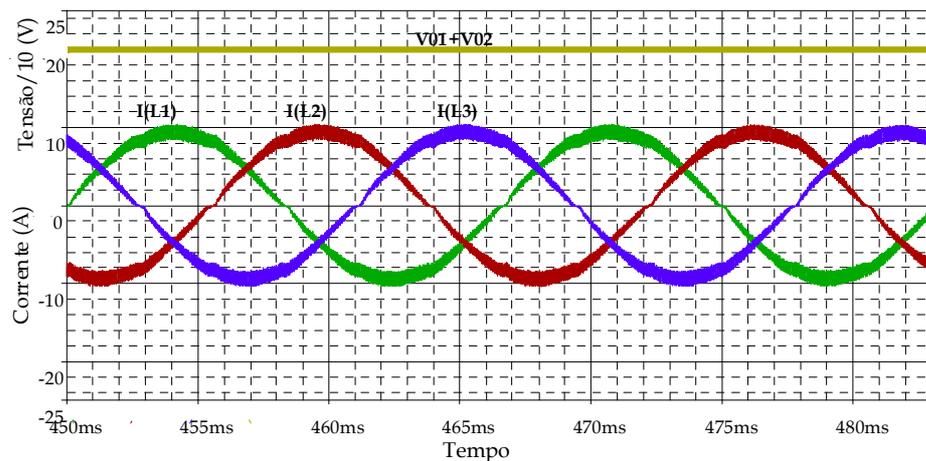


Fig. 7.15 - Tensão de Saída do retificador trifásico e corrente .

A regulação da tensão total de barramento, no entanto, não garante o equilíbrio entre as tensões nos capacitores de saída, razão por que é necessária a

comprovação do controle de balanceamento de tensão comentado no item 7.5. Uma forma de mostrar a eficiência dessa estratégia consistiria em verificar por simulação a influência do valor médio da corrente de  $I_0(t)$  sobre a carga dos capacitores de saída, bem como sobre as correntes de entrada do conversor. Em outras palavras, pretende-se verificar se as inserções de um nível CC nas referências de correntes efetivamente contribuem para o controle das tensões nos capacitores de saída ( $C_1$  e  $C_2$ ), sem deformar significativamente a forma de onda da corrente de entrada, ou seja, ela deve manter o formato senoidal.

Numa primeira simulação, pretende-se verificar o comportamento da corrente  $I_0(t)$  quando o conversor está operando com carga e tensões da rede equilibradas; e, num segundo momento, verificar as formas de onda da corrente de entrada quando houver a necessidade de variação do valor médio da corrente  $I_0(t)$  para valores positivos e(ou) negativos.

Na Fig. 7.16 tem-se o comportamento da corrente  $I_0(t)$  com o conversor operando com cargas equilibradas conectadas em cada um dos capacitores de saída. Na Fig. 7.17 observa-se o valor médio da corrente  $I_0(t)$ , cujo valor tende a zero na simulação do circuito, ou seja, os capacitores de saída possuem tensões iguais, e dessa forma o valor médio da corrente no ponto central de conexão tende a zero. Quando o conversor operar com carga equilibrada, a manutenção das tensões equilibradas nos capacitores resulta em valor médio zero para a corrente  $I_0(t)$ .

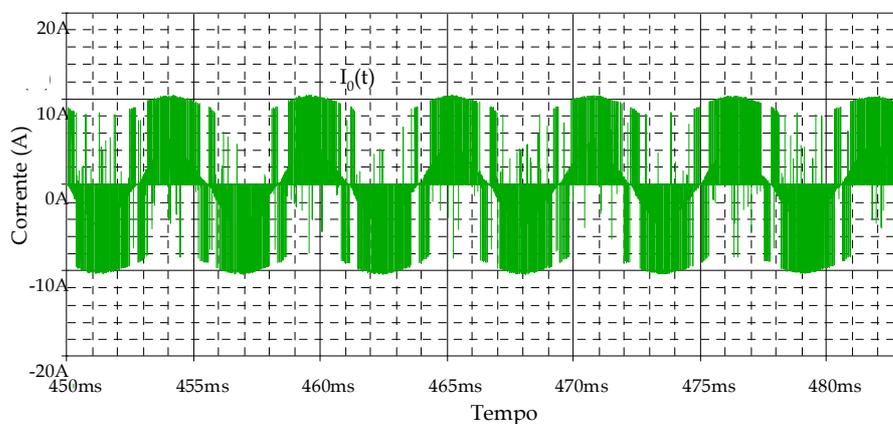


Fig. 7.16 – Corrente no ponto médio dos capacitores  $I_0(t)$ .

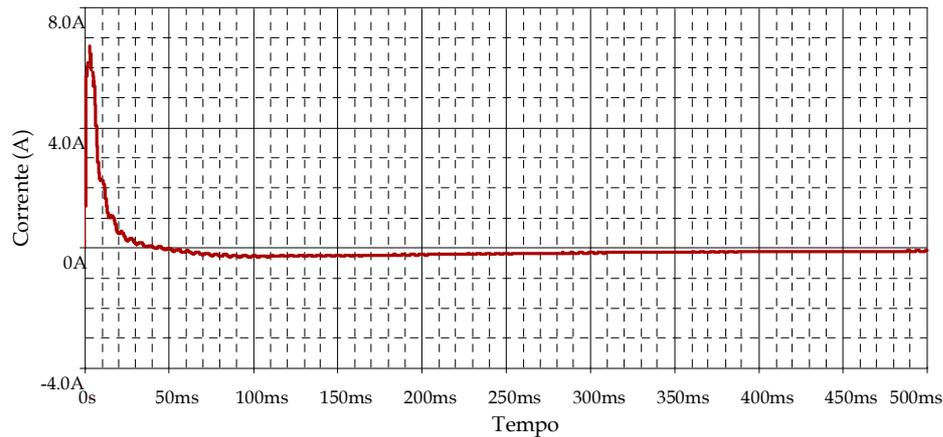


Fig. 7.17 – Valor médio da Corrente  $I_0(t)$ .

Se o conversor operar com cargas desequilibradas ou momentaneamente sofrer alguma perturbação nas saídas, de forma a desequilibrar as tensões nos capacitores de saída, por meio da variação do valor médio da corrente na conexão central, pode-se equilibrar novamente as tensões nos mesmos. Simulou-se uma situação em que o conversor opera com cargas desequilibradas, e, por intermédio da introdução de um nível médio na corrente  $I_0(t)$ , restaurou-se o equilíbrio entre as tensões de saída. Observa-se na Fig. 7.18 a corrente que circula no ponto central dos capacitores; neste caso a simulação ocorreu em uma situação em que houve uma variação no valor da carga situada no capacitor  $C_2$ , ou seja, ocorreu uma perturbação de menos 10% na carga conectada nesse capacitor. Dessa forma, o controle introduz um nível CC proporcional ao valor do desequilíbrio de tensão provocado pela perturbação, que significa a diferença entre as tensões nos capacitores. Esse nível CC é adicionado às referências de correntes, o que resulta na variação do valor médio da corrente  $I_0(t)$ , e, conseqüentemente, permite controlar o fluxo de carga em cada um dos capacitores, regulando-se assim a tensão nos mesmos.

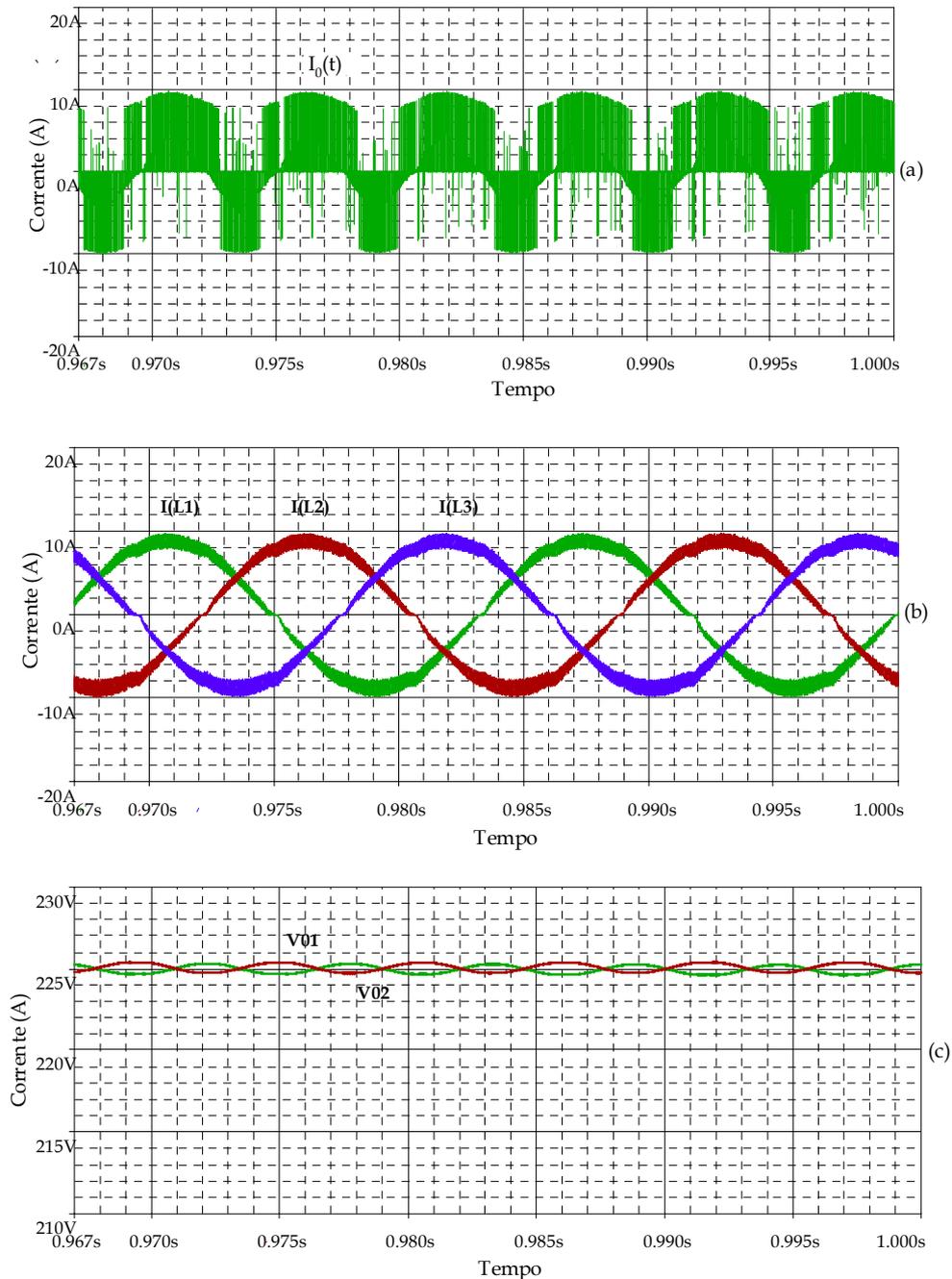


Fig. 7.18 – Formas de onda obtidas por simulação do conversor operando com carga desequilibrada: corrente  $I_0(t)$  com valor médio positivo (a), correntes de entrada (b) e tensões de saída (c).

Em outra situação, a perturbação de mesma intensidade ocorreu no capacitor  $C_{01}$ , resultando na corrente  $I_0(t)$ , com valor médio negativo, significando que está ocorrendo um desequilíbrio na tensão do capacitor  $C_{01}$ ; a malha de controle do balanço de tensão por intermédio da introdução de um nível médio na corrente  $I_0(t)$  procura manter equilibradas as tensões de saída. Mostra-se na Fig. 7.19 o comportamento da corrente  $I_0(t)$ :

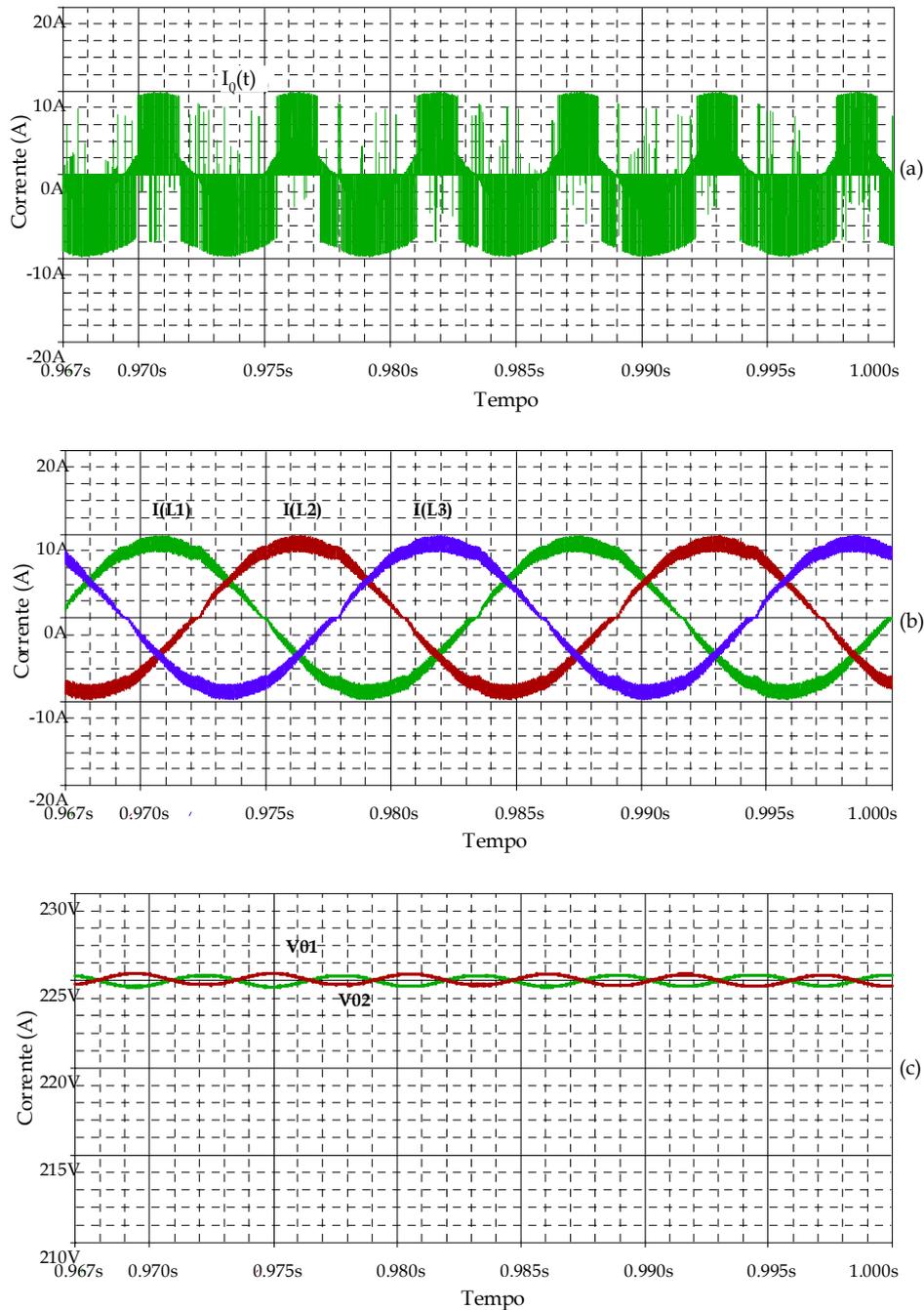


Fig. 7.19 - Formas de onda obtidas por simulação do conversor operando com carga desequilibrada: corrente  $I_o(t)$  com valor médio negativo (a), correntes de entrada (b) e tensões de saída (c).

Em ambas as simulações obteve-se o equilíbrio das tensões de saída, utilizando essa técnica de controle. Observou-se também a forma de onda das correntes de entrada a fim de verificar as consequências da introdução de um nível CC para o controle do balanço de tensão dos capacitores de saída. A adição do nível CC, nas referências de corrente, não ocasionou deformações significativas nas formas de onda da corrente de entrada do retificador trifásico. A Fig. 7.20

mostra as correntes de entrada no retificador em uma das fases, onde se observa o formato senoidal, a menos do conteúdo em alta frequência, comprovando-se a eficácia da estratégia empregada no controle do retificador. Na mesma figura, tem-se a comparação do espectro harmônico da corrente de entrada quando o conversor está operando com cargas desequilibradas, cuja perturbação ocorreu no capacitor superior e inferior em tempos distintos. A simulação foi efetuada com potência nominal, a partir de um dado instante houve um decréscimo de 10% na carga conectada no capacitor inferior ( $C_2$ ) e, no caso seguinte, um decréscimo de mesmo valor, porém no capacitor superior ( $C_1$ ). Utilizando-se o PSPICE®, gerou-se o gráfico das componentes harmônicas da corrente de entrada em uma das fases, conforme pode ser observado na Fig. 7.20.

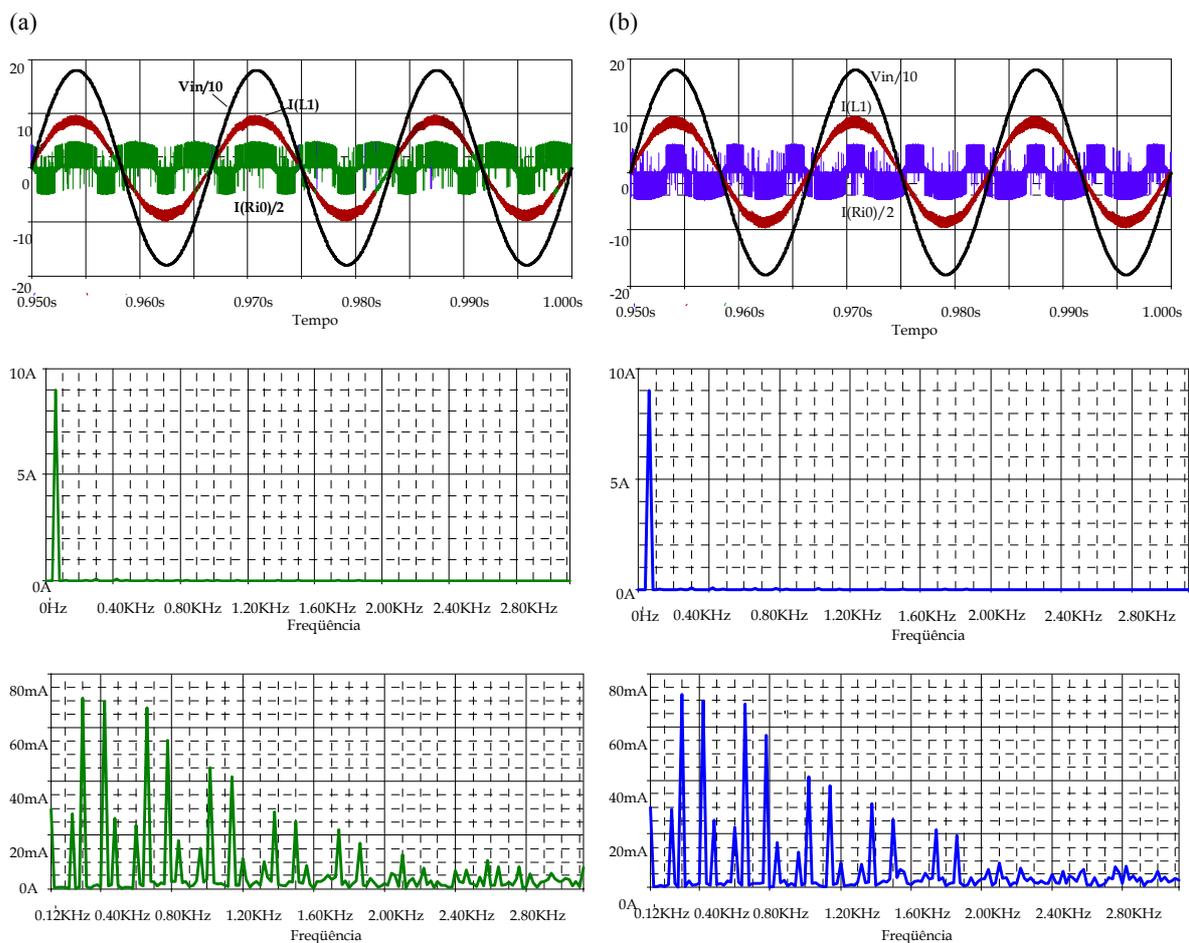


Fig. 7.20 - Análise harmônica da corrente de entrada na fase R com perturbação em  $C_2$  (a) e com perturbação em  $C_1$  (b).

Observa-se nos gráficos que o comportamento da corrente de entrada, para variações no valor médio de  $I_0(t)$ , mantém-se praticamente igual à situação em que o conversor opera com cargas equilibradas.

### 7.6.2 SINCRONISMO USANDO PLL

Utilizando-se as tensões de fase da rede de alimentação como referência para as malhas de controle das correntes trifásicas de entrada do conversor, verifica-se que essas correntes acabam herdando os desequilíbrios de tensão existentes entre as fases e também as distorções apresentadas por elas. De outra forma, ao se usar as tensões da rede como referência para as correntes, automaticamente estamos seguindo o formato que elas apresentam, com as possíveis distorções e desequilíbrios. Uma maneira de evitar distorções nas correntes seria impor formatos senoidais às referências de corrente. Isto pode ser conseguido através da geração do sistema trifásico puramente senoidal via programação. Porém, faz-se necessário obter um sincronismo entre as referências de corrente e as tensões de rede de alimentação, para que não haja defasagem entre a tensão e a corrente em cada uma das fases do sistema. Pode-se optar pelo uso de circuito eletrônico ou utilizar uma rotina que detecte a passagem por zero da tensão da rede de alimentação, fazendo com que esse seja o instante em que se deva sincronizar cada tensão de fase com a respectiva referência de corrente. Frequentemente as tensões da rede são deformadas pelo chaveamento do conversor, introduzindo nos circuitos de aquisição dos sinais da rede algum ruído que pode prejudicar a detecção exata da passagem da rede por zero, causando, dessa forma, também, erros na sincronização entre tensão e corrente.

Uma solução seria utilizar um circuito PLL, a fim de obter um sinal de referência puramente senoidal e em fase com a componente fundamental da tensão de fase, fazendo-se sua extensão para as três fases do sistema. Na Fig. 7.21 tem-se o resultado da simulação, utilizando-se o PSPICE® com o conversor, tendo como referência de corrente o sinal oriundo da saída do PLL.

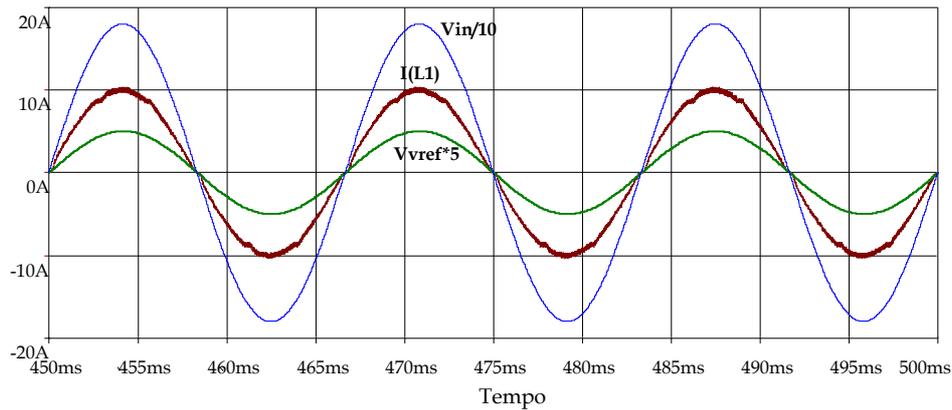


Fig. 7.21 – Tensão e corrente de fase e sinal de referência gerado via PLL.

Observa-se que a corrente e a tensão encontram-se em fase, visto que a geração da referência via PLL sincronizou-se adequadamente com o sinal da tensão de fase.

Mostram-se, na Fig. 7.22, as referências trifásicas geradas via PLL e as respectivas correntes de entrada do conversor, notando-se claramente a sincronização entre elas.

A Fig. 7.23 representa a amostra da tensão da rede de alimentação em uma das fases e, concomitantemente, a atuação do PLL, onde se verifica o comportamento do sinal de referência no sentido de acompanhar o sinal da tensão da rede. Depois de um certo tempo o PLL estabiliza-se e passa a acompanhar a tensão de entrada do conversor.

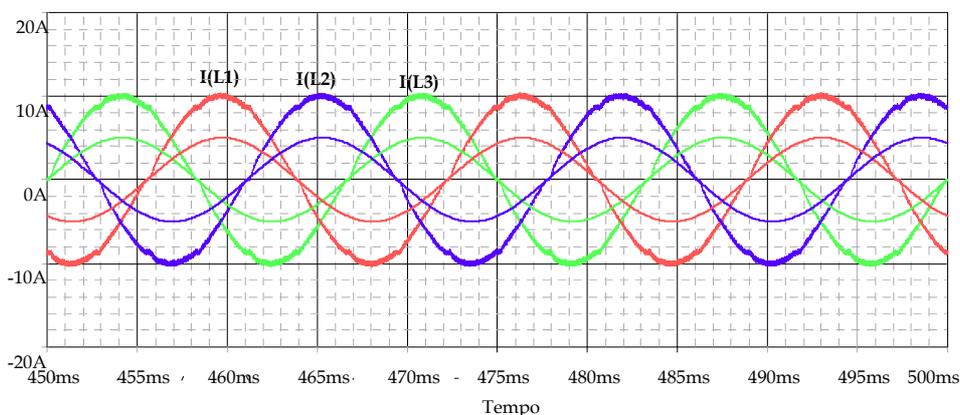


Fig. 7.22 – Correntes de fase e sinais de sincronismo.

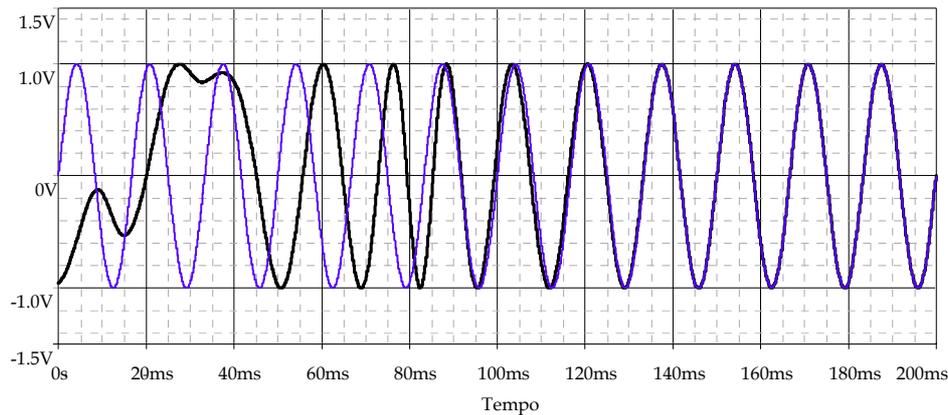


Fig. 7.23 – Atuação do sinal gerado pelo PLL.

Usando-se o PLL, obtêm-se as referências de correntes senoidais, independentemente de o sistema de alimentação estar ou não equilibrado e(ou) com distorções, pelo que se conclui ser essa uma boa opção na geração dos sinais de referência para controle do conversor trifásico.

### 7.6.3 SIMULAÇÃO EMPREGANDO O MATLAB

Para verificar o comportamento do controle digital do conversor, optou-se pela utilização da ferramenta de simulação Simulink/MATLAB®, por apresentar facilidades na implementação dos controladores no domínio  $z$ , bem como consistir na representação do efeito da amostragem, quantização, representação usando aritmética de ponto-fixa, entre outras. Utilizando-se das funções de transferência do retificador trifásico, implementou-se o diagrama mostrado na Fig. 7.24, onde se empregaram os compensadores projetados no domínio de  $z$ . O sistema construído para simulação considera a utilização de três conversores monofásicos. A fim de representar o funcionamento do retificador trifásico, usou-se uma lógica relacionando as etapas de operação do conversor com vistas ao direcionamento correto do fluxo de potência entre o sistema trifásico e os capacitores de saída, tentando-se, dessa forma, aproximar a simulação do retificador trifásico com o sistema real.

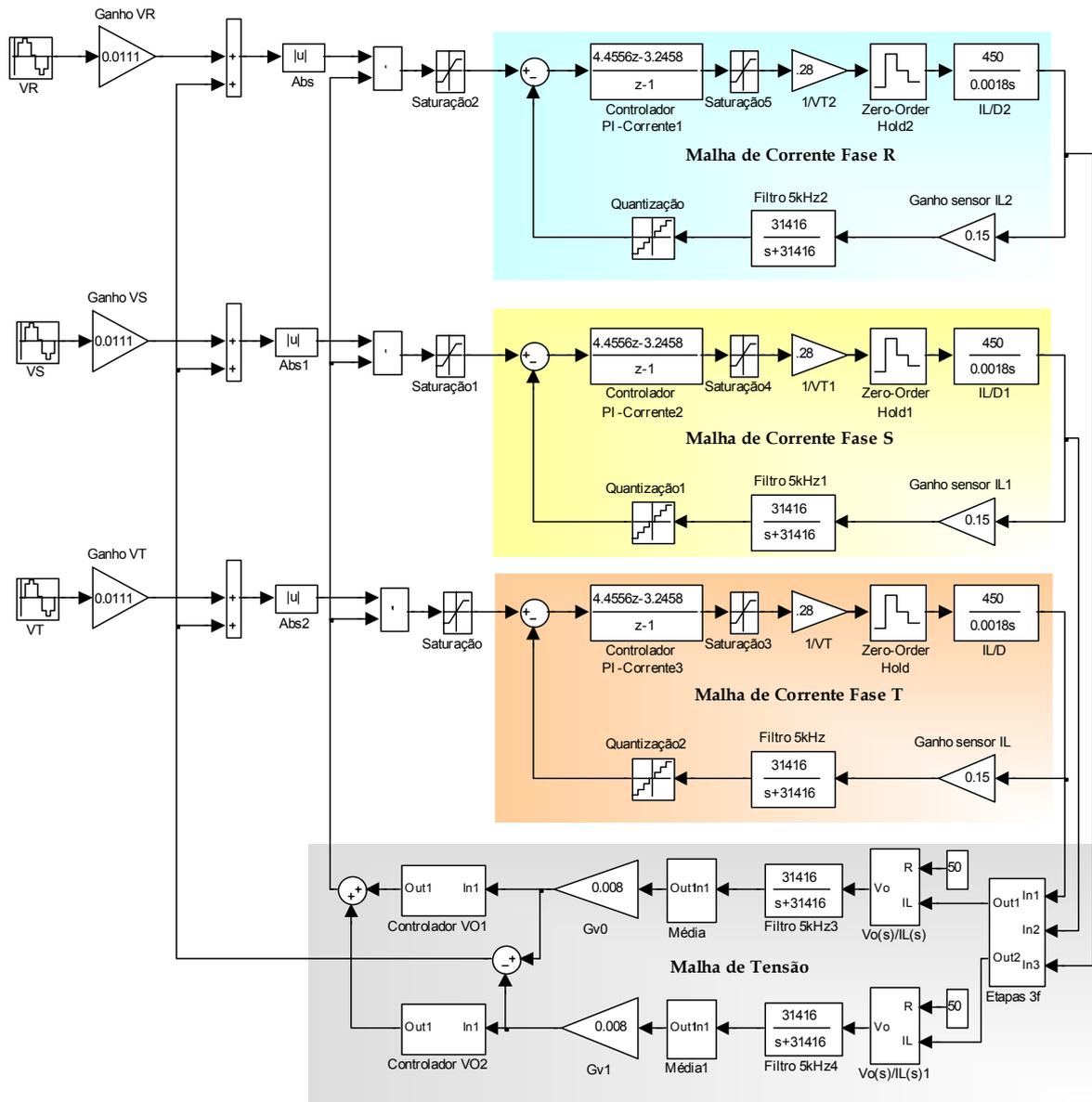


Fig. 7.24 – Diagrama em blocos do sistema de controle do retificador.

Os resultados obtidos da simulação são mostrados na Fig. 7.25, onde aparece a corrente de entrada no retificador e as tensões de saída. Nessa simulação, as correntes aparecem retificadas, pois elas são observadas no ponto onde os sinais de referência para as correntes passam pela retificação também, conduzindo as mesmas a seus valores absolutos, conforme especificado na estratégia de controle. A Fig. 7.25 mostra as tensões de saída do retificador, onde se observa o seu comportamento tendendo a estabilizar-se no valor de referência definido no projeto do retificador, ou seja, cada uma das tensões de saída foi regulada em 225 V.

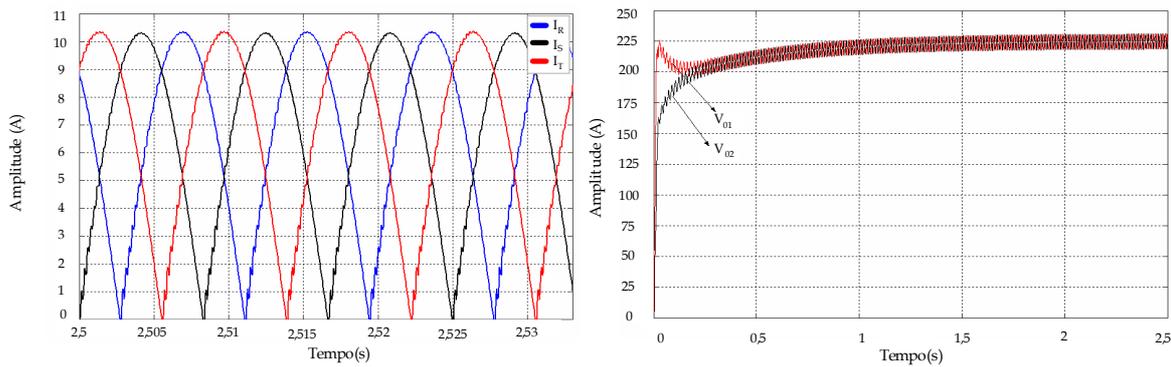


Fig. 7.25 – Correntes de entrada no retificador e tensões de saída.

Com o objetivo de obter mais informações sobre o sistema de controle do retificador trifásico, optou-se por incluir no circuito de simulação o diagrama do retificador, constituído da utilização de componentes discretos, tais como indutores, capacitores, resistores, interruptores, entre outros. Na Fig. 7.26 tem-se o sistema de controle do retificador apenas utilizando as malhas de controle da corrente, com a finalidade de minimizar o tempo de simulação e reduzir a complexidade do circuito, haja vista que nos testes de simulação efetuados com o PSPICE® obtiveram-se os resultados adequados da malha de tensão. O objetivo principal dessa simulação é verificar o comportamento da malha de controle das correntes de entrada, levando-se em consideração as características da inclusão do DSP no controle do retificador.

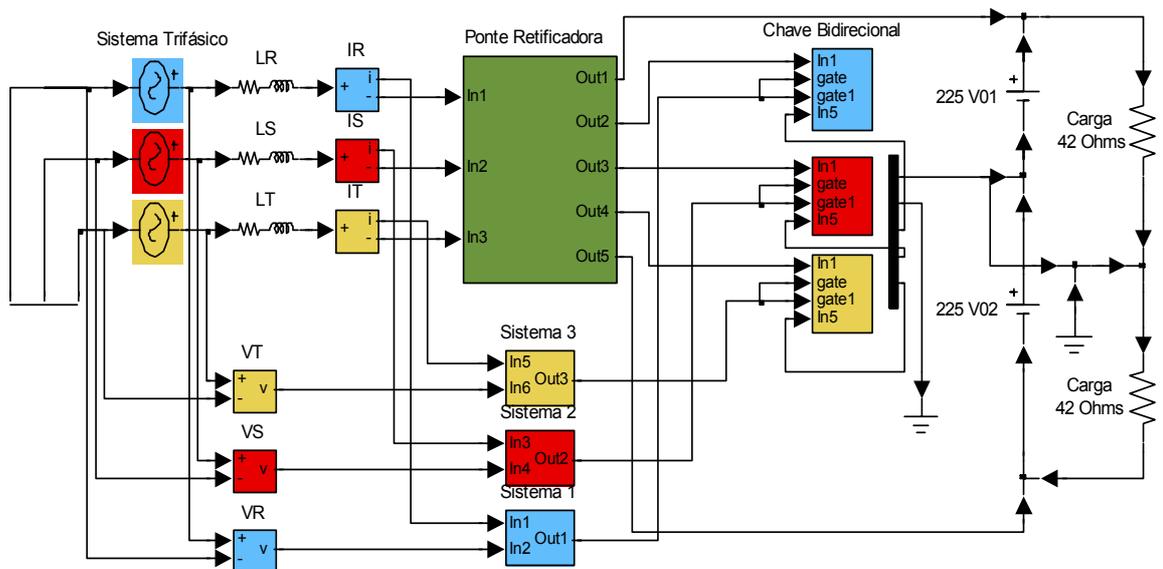


Fig. 7.26 – Diagrama em blocos do retificador e do sistema de controle.

O circuito do retificador foi implementado, conforme mostra a Fig. 7.27, em conjunto com as chaves bidirecionais em corrente, construídos a partir do uso de chaves ideais. A malha de controle das correntes de entrada estão representadas na Fig. 7.26 como subsistemas, cujos detalhes de implementação podem ser vistos na Fig. 7.28:

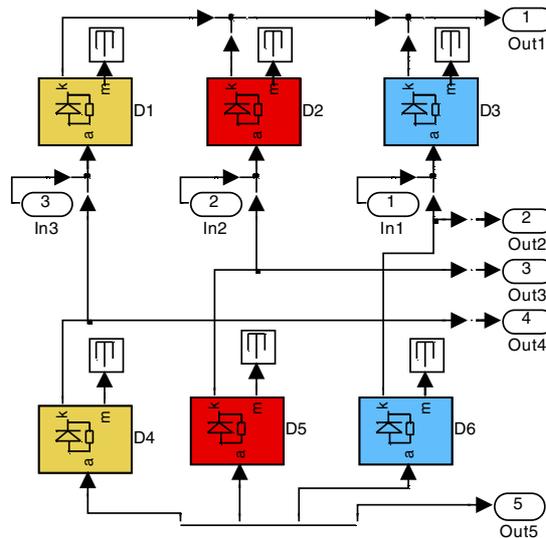


Fig. 7.27 – Diagrama em blocos da ponte retificadora.

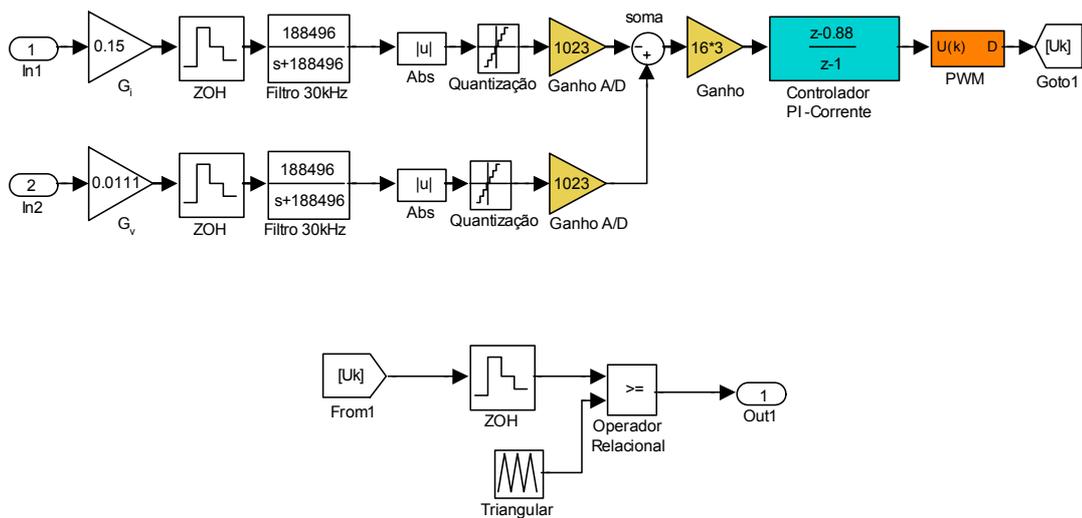


Fig. 7.28 – Detalhes da malha de controle da corrente de entrada.

Observa-se, na Fig. 7.28, a inclusão das características de quantização e de ganhos do conversor A/D. Mostra-se, também, como foi implementada a

geração do sinal PWM. Os resultados obtidos na simulação são mostrados na Fig. 7.29. Observa-se o formato senoidal das correntes de entrada, comprovando-se dessa forma a operação adequada das malhas de controle do conversor. Salienta-se que essa simulação possibilitou a utilização dos elementos relativos à implementação do controle digital, ou seja, incluem-se na simulação os elementos como gerador PWM, conversor A/D, quantização, ganhos numéricos da representação dos sinais de entrada. Procurou-se inserir todos os elementos que fazem parte da implementação numérica das malhas de controle, avaliando-se o desempenho do controle digital.

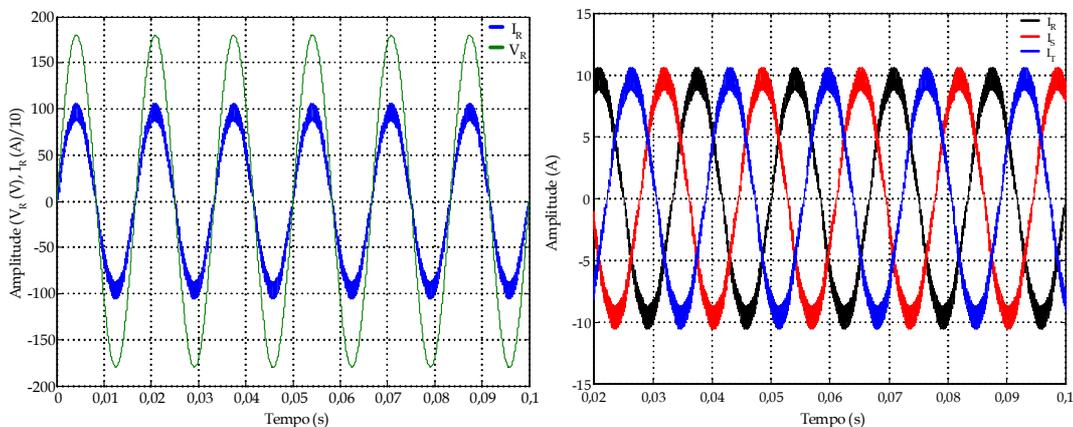


Fig. 7.29 – Correntes e tensão de entrada no retificador.

## 7.7 CONCLUSÃO

Foi apresentada, nesse capítulo, a estratégia a ser utilizada no controle do retificador, por meio de DSP, com base na extensão da técnica de controle empregado no retificador monofásico. A técnica é conhecida como controle por valores médios instantâneos da corrente de entrada; porém, nesta técnica, precisa-se de três malhas de corrente, em vez de uma. Projetaram-se os controladores baseados no método da resposta em frequência em tempo contínuo aplicado a sistemas de controle digital, utilizando-se o remapeamento das funções de transferência para o plano  $w$ . A partir do projeto dos controladores, simulações foram efetuadas com o intuito de verificar e comprovar a operação do retificador. Resultados de operação adequados foram obtidos, comprovando-se a estratégia de controle a ser utilizada por meio de técnicas digitais implementadas via DSP.

Empregou-se, também, o uso de um PLL, via simulação, com vistas a gerar os sinais de sincronismo trifásico para o conversor, evitando-se, assim, seguir as deformações típicas oriundas da rede de alimentação. Neste último teste, usando-se o simulador, obtiveram-se os sinais sincronizados com a componente fundamental das tensões da rede de alimentação.

## CAPÍTULO 8

### IMPLEMENTAÇÃO DO PROTÓTIPO – RETIFICADOR TRIFÁSICO

#### 8.1 INTRODUÇÃO

A última etapa do projeto refere-se à implementação do protótipo do retificador trifásico, controlado digitalmente por meio do controlador DSP ADMC401. Projetou-se e implementou-se um conversor de 3 kW, controlado digitalmente, a fim de validar a técnica de controle descrita no capítulo 7. Neste capítulo, descrevem-se os principais circuitos empregados na implementação do protótipo, bem como os detalhes de implementação das rotinas de controle do retificador; por fim são apresentados os resultados experimentais obtidos em laboratório, confirmando-se a operação como retificador trifásico com alto fator de potência e tensões de saída reguladas e balanceadas.

#### 8.2 CONTROLE DO CONVERSOR COM DSP

No capítulo 7, descreveu-se a estratégia de controle do retificador e o projeto dos controladores digitais a serem implementados usando-se o DSP. Na Fig. 8.1, ilustra-se a estratégia de controle digital a ser implementada, considerando o uso do *ADMC401*.

Conforme descrito na seção 7.2, é necessário monitorar 8 variáveis que relacionam as grandezas elétricas de tensões e correntes do retificador, o que embasa a implementação da estratégia de controle descrita nessa mesma seção. Com a aquisição dessas variáveis, o DSP calcula os algoritmos de controle e gera os sinais PWM, necessários à obtenção de um retificador trifásico com elevado fator de potência e tensão total de saída regulada, sem comprometimento do equilíbrio das tensões em cada um dos capacitores de saída. Na Fig. 8.1, apresentam-se as malhas de controle, considerando o uso das entradas analógicas do DSP (VIN0, VIN1, VIN2..., VIN7) e da unidade PWM trifásica. A entrada de

informação, ou seja, das grandezas elétricas de interesse, é feita por meio de entradas analógicas; a ação de controle (saída) é efetuada por intermédio das saídas PWM do DSP, que serão os sinais aplicados aos interruptores do retificador. Sucintamente, observam-se as variáveis de tensão e corrente e, via programação, implementa-se o controle do conversor, que gera sinais adequados a produzir os padrões de modulação na unidade PWM (Modulador PWM). Descrevem-se, a seguir, os detalhes de programação envolvidos na implementação das leis de controle e na configuração dos periféricos utilizados no DSP.

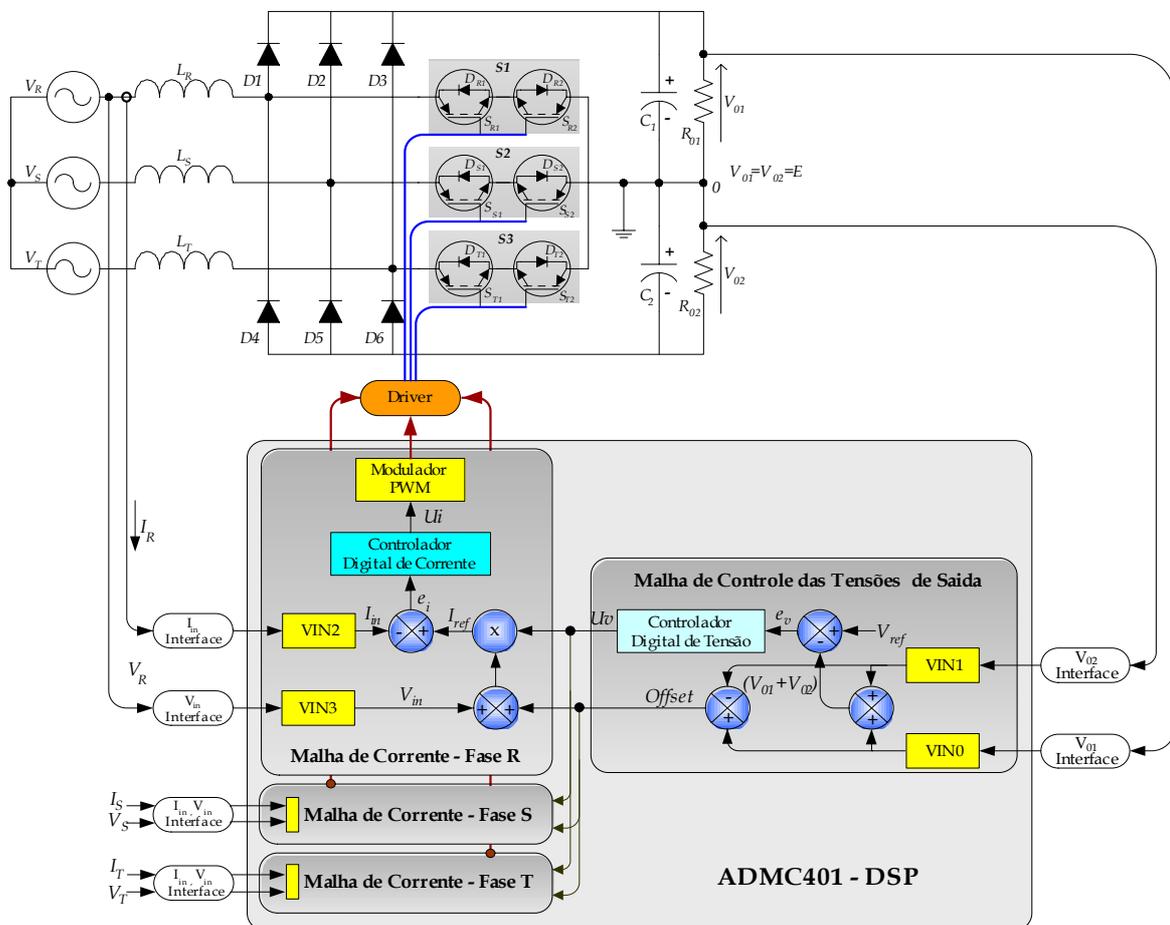


Fig. 8.1 – Diagrama em blocos do controle do conversor.

### 8.2.1 DESCRIÇÃO FUNCIONAL DO CONTROLE

O controle do retificador baseia-se na aquisição e processamento de dados e na geração dos sinais de controle. Primeiramente, descreve-se a operação das malhas de controle da corrente de entrada do retificador. As tensões da rede

de alimentação ( $V_R$ ,  $V_S$  e  $V_T$ ) são condicionadas por intermédio de circuitos de interface apropriados, a fim de representar essas grandezas em níveis compatíveis com as entradas analógicas do sistema de conversão analógico-digital do *ADCM401* (Unidade ADC). Essas amostras de tensão da rede de alimentação são convertidas em um valor numérico através do conversor A/D interno do DSP – as entradas utilizadas para leitura das tensões de entrada foram VIN0, VIN1 e VIN2.

As tensões de saída do conversor,  $V_{01}$  e  $V_{02}$ , são adquiridas por meio de um circuito de interface composto por sensores de efeito *Hall*; os níveis de tensões proporcionais a essas grandezas são amostrados pelas entradas VIN3 e VIN7 do conversor A/D. As outras grandezas a serem monitoradas são as correntes de fase do conversor ( $i_R(t)$ ,  $i_S(t)$  e  $i_T(t)$ ), que são condicionadas empregando-se circuitos de condicionamento de sinais compostos de sensores de efeito *Hall*, nos quais se pode ajustar o ganho mediante a adequação dessas grandezas elétricas aos valores permitidos para as entradas do A/D (VIN4, VIN5 e VIN6).

As amostras das tensões de entrada da rede de alimentação servirão como referências para as correntes de entrada, as quais possuem amplitude proporcional à saída do controlador da malha de tensão total, que controla o nível de tensão na saída do conversor em um valor determinado em projeto. Se a carga, ou a tensão de entrada variarem, a amplitude da referência de corrente acompanhará essas variações, mantendo constante a tensão total na saída do retificador trifásico.

As tensões de saída do conversor,  $V_{01}$  e  $V_{02}$ , são somadas, com o propósito de obter a tensão total de saída do conversor, valor esse que será comparado com a tensão de referência estabelecida em projeto; como resultado dessa comparação tem-se o erro, que por sua vez será a entrada do controlador de tensão. A saída do controlador de tensão é multiplicada pela amostra da tensão da rede, originando um sinal no formato senoidal com amplitude dependente da saída do controlador de tensão. As tensões de saída do retificador também são utilizadas para impor um nível de tensão CC nas correntes de referência, com o objetivo de obter o equilíbrio das tensões de saída do retificador. A amplitude

desse sinal é obtida pela diferença entre as tensões  $V_{01}$  e  $V_{02}$ ; logo, esse valor poderá assumir valores positivos ou negativos, impondo, desse modo, um nível médio positivo ou negativo de corrente no ponto de conexão central dos capacitores. Assim, conforme seção 7.5 (Capítulo 7), pode-se obter o balanceamento das tensões de saída do conversor.

A corrente imposta em cada uma das fases de alimentação do retificador possui sua própria referência, que acompanha a tensão na respectiva fase, com amplitude resultante da ação de controle da malha de tensão. O nível CC, adicionado ou subtraído nas referências de corrente, é utilizado nas três referências simultaneamente, fazendo com que as correntes de fase contribuam para o controle do equilíbrio das tensões de saída. As tensões lidas, nos capacitores de saída  $V_{01}$  e  $V_{02}$ , passam por um algoritmo que calcula o valor médio dessas grandezas em cada período da rede de alimentação.

Uma vez determinadas as correntes de referência de fase, seu valor absoluto é comparado com as respectivas amostras retificadas das correntes de entrada do retificador, resultando em sinais de erro, que aplicados aos controladores de corrente do tipo P.I geram os sinais que, enviados à unidade de geração PWM do *ADMC401*, produzem a largura de pulso a ser utilizada como comando dos interruptores de potência do retificador trifásico ( $S_{R1}$ ,  $S_{R2}$ ,  $S_{S1}$ ,  $S_{S2}$ ,  $S_{T1}$  e  $S_{T2}$ ). São gerados três sinais PWM distintos, um para cada par de interruptores ( $S_{R1}/S_{R2}$ ,  $S_{S1}/S_{S2}$  e  $S_{T1}/S_{T2}$ ), ou seja, o comando é único para cada um dos interruptores bidirecionais que conectam as fases ao ponto central dos capacitores; dependendo do setor onde se encontra operando o conversor, um dos interruptores estará em condições de condução, e o outro não. Esses sinais PWM gerados pela unidade trifásica do *ADMC401* são aplicados aos módulos de acionamento dos interruptores. Utilizaram-se módulos comerciais para acionamento dos interruptores.

### 8.3 PROGRAMAÇÃO

A partir da aquisição das grandezas elétricas envolvidas no processo de controle do retificador trifásico, o elemento responsável pela implementação da estratégia de controle é o Processador Digital de Sinais (DSP). Dessa forma, é por intermédio de programação dos algoritmos e rotinas no DSP que se obtém o controle do conversor, fazendo com que ele opere sob elevado fator de potência e com tensões de saída reguladas e equilibradas. Sendo necessária uma linguagem de programação para implementação das rotinas, para tal utilizou-se uma linguagem de baixo nível – *assembler* do DSP *ADMC401* [20-22].

Além dos algoritmos de controle do retificador, alguns elementos periféricos do *ADMC401* devem ser inicializados, tais como o conversor A/D, contadores e o gerador PWM trifásico – detalhes de operação e programação desses elementos podem ser vistos no apêndice A. Uma das características do DSP utilizado é a integração entre os componentes periféricos, pelo que facilmente se programa o conversor A/D sincronizado com o evento de geração de pulsos PWM.

O diagrama em blocos do fluxograma do programa implementado pode ser observado na Fig. 8.2. Inicialmente, todas as variáveis e constantes envolvidas nas rotinas de controle do conversor são inicializadas nas memórias de dados e de programas, a seguir os periféricos associados ao controle são inicializados, tais como o conversor A/D, interrupções e a unidade PWM trifásica. Na unidade PWM, definem-se variáveis de projeto, a exemplo da frequência de chaveamento e do tempo morto. Uma vez definida a frequência de chaveamento, um sinal de sincronismo é gerado no início de cada período PWM, esse sinal serve de sincronismo para o conversor A/D do DSP, ou seja, cada vez que inicia o período PWM, o conversor A/D inicia a conversão das grandezas elétricas de tensão e corrente. O programa principal aguarda uma interrupção gerada pelo conversor A/D, sinalizando o final da conversão, com o que se podem efetuar com

segurança as leituras dos valores convertidos das tensões e correntes monitoradas no retificador.

A corrente de referência é composta pelas leituras de tensões da rede de alimentação somadas ao sinal de *offset*, o qual é gerado pela diferença entre as tensões de saída ( $V_{01} - V_{02}$ ), e multiplicadas pela saída do regulador de tensão do barramento total de saída. A referência de corrente produzida para cada fase do retificador é comparada com o valor das correntes lidas, de onde se obtém o erro, que aplicado ao controlador P.I produz a ação de controle imposta ao modulador PWM.

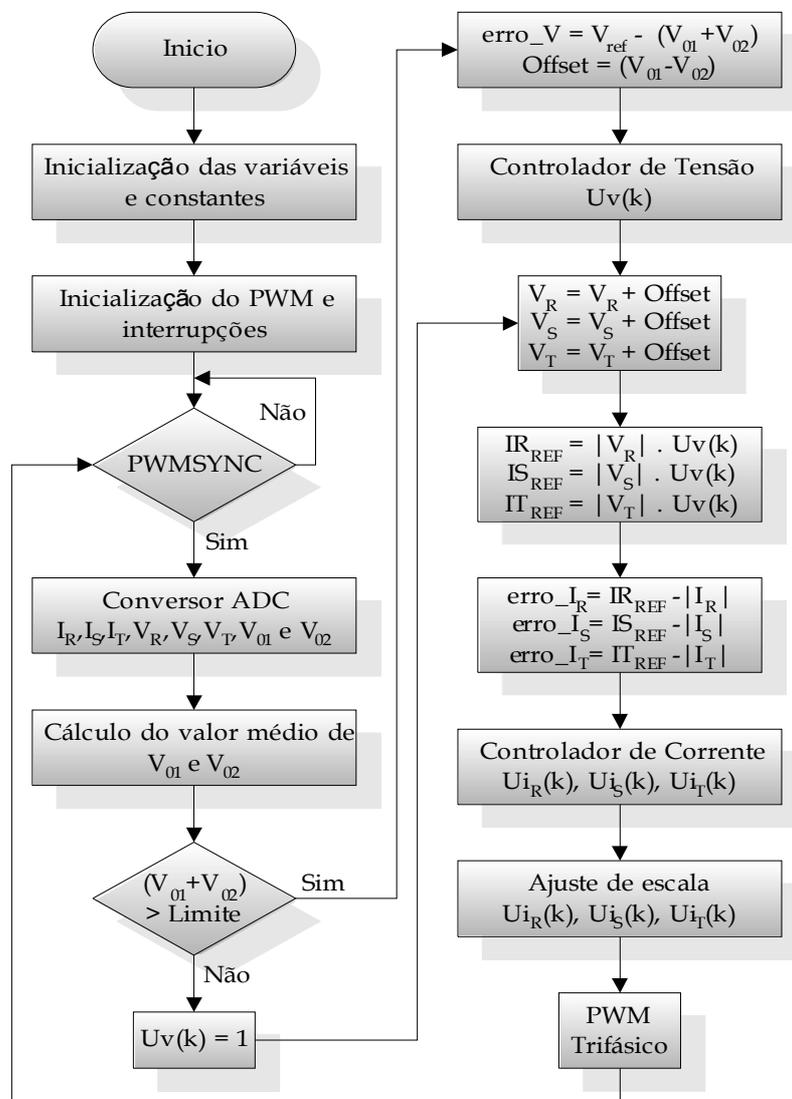


Fig. 8.2 - Fluxograma do programa de controle do retificador

Nessa estratégia de controle adotada, utilizou-se como sinal de referência para a corrente a forma de onda da tensão da rede, embora outras formas de obtenção da corrente de referência tenham sido exploradas neste trabalho, constituindo estratégias de controle modificadas em relação à proposição explanada na seção 7.2. A variação dessas estratégias desenvolvidas e implementadas ocorre no modo como o sinal de referência para as correntes de entrada do conversor é gerado. O objetivo das malhas de controle de corrente é fazer a corrente de entrada do conversor seguir uma referência senoidal e em fase com a tensão da rede de alimentação. Em decorrência, foram implementadas e testadas três formas distintas de obtenção do sinal de referência para as malhas de corrente de fase, que são:

#### **REFERÊNCIA DA REDE DE ALIMENTAÇÃO**

O controle impõe que a forma da corrente de entrada em cada fase tenha o mesmo formato da tensão de entrada. O sinal de referência é a própria amostra da tensão da fase correspondente. Esse método é o mais simples, visto que basta monitorar a tensão da rede disponível nos terminais do conversor para se obter o formato de referência para as correntes de entrada. Porém, apresenta a desvantagem de que as distorções presentes na tensão da rede se refletem também na forma de onda das correntes, podendo, por isso, degradar o fator de potência do conversor. A esse método corresponde a estratégia de controle relatada no capítulo 7.

#### **REFERÊNCIA INTERNA**

O sinal de referência para as correntes é um sinal senoidal sem distorção, calculado ponto a ponto pelo processador, ou obtido por intermédio da leitura de uma tabela de dados que representa um sinal senoidal previamente gravado na memória do DSP. É necessária uma rotina de detecção da passagem da rede por zero para sincronizar o sinal de referência com a tensão na fase. Utilizou-se uma rotina para calcular o valor médio retificado da tensão da fase, a fim de se estabelecer uma relação com a amplitude do sinal de entrada da rede de

alimentação. Esse valor, proporcional à amplitude da tensão de fase, é multiplicado pelo valor do sinal de referência, de modo a fornecer a amplitude do sinal. Nesse caso, a forma de onda do sinal gerado não apresenta distorção proveniente da tensão. Contudo, observou-se que na operação do conversor podem aparecer perturbações na forma de onda da tensão da rede, oriundas do chaveamento do conversor, provavelmente confundindo a rotina do sistema de detecção da passagem por zero da rede, que pode ser acionada indevidamente pelo ruído da tensão da rede. Isso ocasiona erros no sincronismo das referências de corrente e, conseqüentemente, distorções na forma de onda das correntes de entrada do retificador. Cabe também salientar que, uma vez detectada a passagem por zero da rede de alimentação, se houver variação na freqüência da rede, o sincronismo não segue essa variação, apenas a freqüência da rede em 60Hz.

#### REFERÊNCIA VIA PLL.

PLL (*Phase Locked Loop* - osciladores com bloqueio de fase) são circuitos utilizados para sincronizar sinais. O algoritmo empregado detecta a freqüência e a fase da componente fundamental do sinal trifásico de entrada [30]. A partir de amostras das tensões das três fases, é possível gerar um sinal senoidal, sem distorção, com a mesma freqüência de uma das fases da rede, bastando defasá-lo para obter os outros dois sinais de referência. Existe uma grande vantagem em utilizar esse algoritmo PLL, pois as referências de corrente estarão em fase e na mesma freqüência da componente fundamental da tensão de alimentação, mesmo que a tensão da rede tenha distorções ou a freqüência da rede varie.

A estratégia de controle do retificador trifásico, conforme já exposto, baseia-se na extensão do controle por valores médios instantâneos da corrente de entrada do retificador monofásico. Não obstante, com as modificações feitas na forma de obter as correntes de referência, rotinas adicionais foram desenvolvidas a fim de implementar essas estratégias modificadas. A seguir, destacam-se as principais sub-rotinas desenvolvidas com o objetivo de implementação da estratégia de controle do retificador trifásico.

### 8.3.1 PRINCIPAIS SUB-ROTINAS

#### CONTROLADOR PI:

O controlador PI (Proporcional Integral) é um controlador clássico projetado para controlar o valor de uma variável de interesse, de acordo com um sinal de referência “ $r(k)$ ”. Para ser implementado digitalmente, deve ser escrito na forma de soma de produtos ( $y(k) = y(k-1) + A.x(k) + B.x(k-1)$ ), sendo cada saída  $y(k)$  dependente das entradas e saídas anteriores. O controle ocorre da seguinte forma: o valor medido da variável de interesse é subtraído do valor de referência, gerando assim um sinal de erro; esse sinal alimenta o controlador, que por sua vez gera um sinal de controle, que é maior quanto maior for o erro entre o valor de referência e o valor medido.

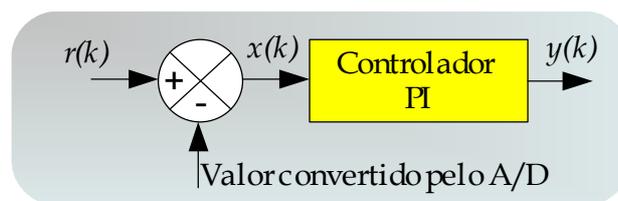


Fig. 8.3 – Controlador tipo PI.

#### GERAÇÃO DE SINAIS SENOIDAIS

O manual da família *ADSP 21XX*, da *ANALOG DEVICES* [21], traz alguns exemplos de rotinas que podem ser implementadas no *ADMC401*. Uma delas é a rotina que calcula o seno de um ângulo fornecido como parâmetro para a rotina. A aproximação do seno é feita por meio da série de Taylor da função seno, com expansão até a 5ª ordem, obtendo-se um resultado adequado para qualquer valor de ângulo localizado no primeiro quadrante. A rotina é executada seqüencialmente para as três fases, sendo os argumentos incrementados a cada período do sinal de PWM, gerando o período completo das tensões trifásicas. As senóides geradas possuem amplitude unitária, devendo ser corrigidas antes de serem aplicadas como sinais de referência das malhas de controle. Essa rotina deve ser auxiliada por uma rotina de detecção da passagem por zero, que reinicializa os argumentos de cada fase no instante em que a tensão da fase correspondente passa

por zero, ou seja, o ângulo retorna a seu valor inicial a cada detecção da passagem por zero das tensões de fase, respectivamente. A fim de verificar e testar a sub-rotina que calcula o valor do seno, comparou-se o valor calculado pelo DSP com o valor determinado pelo Mathcad<sup>®</sup>, resultando nas observações constantes da Fig. 8.4. Praticamente as funções se sobrepõem, confirmando o bom resultado obtido pelo cálculo do seno no DSP. Na Fig. 8.5, tem-se o valor do erro percentual do valor obtido no DSP em relação ao calculado pelo *software* matemático; aqui se considerou a determinação do erro apenas no primeiro quadrante. Observa-se um baixo desvio em relação ao valor calculado pelo Mathcad<sup>®</sup>, o máximo não chegando à ordem de 0,045%, o que o torna praticamente irrelevante.

Outra possibilidade para gerar um sinal senoidal é por intermédio da leitura de uma tabela de dados relativos ao valor do seno previamente calculado e gravado na memória do DSP. Dependendo da aplicação pode-se preferir uma a outra, levando-se em consideração tempo de execução e espaço de memória disponível no DSP.

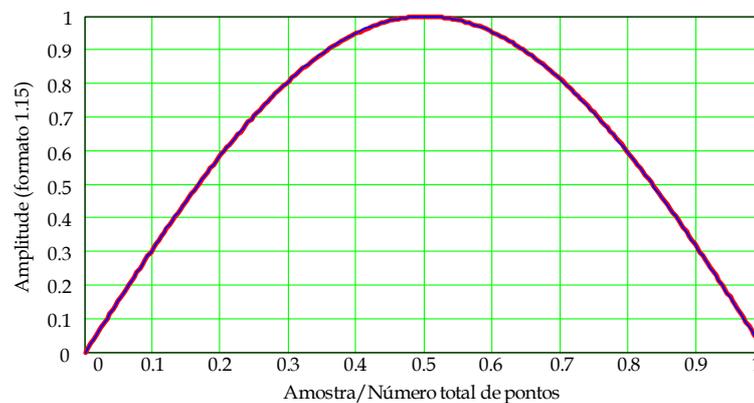


Fig. 8.4 – Função seno calculada pelo DSP e pelo Mathcad.

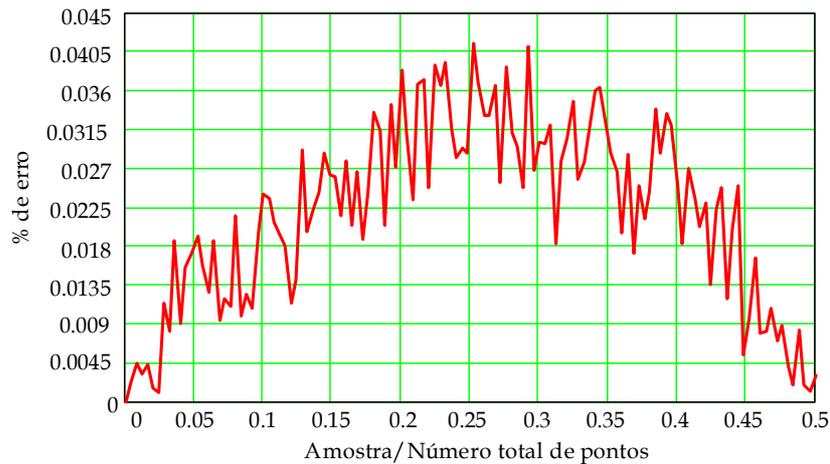


Fig. 8.5 – Erro percentual entre o valor calculado no Mathcad e no DSP.

Para as rotinas de sincronismo do retificador, é necessário conhecer o momento em que o valor da tensão de cada fase da rede é nulo. A rotina implementada para esse fim consiste no procedimento que se passa a descrever. A cada período de PWM as tensões de cada fase da rede são amostradas; a seguir, verifica-se o sinal de cada uma delas e compara-se ele com o sinal da amostra anterior. Se houve transição, é sinal de que ocorreu a passagem por zero da fase correspondente. Nesse instante, podem ser iniciadas as rotinas e variáveis que dependem do sincronismo com a rede, como a geração da senóide de referência e o cálculo do valor médio. Quando a passagem por zero é detectada, a rotina de detecção fica desabilitada por algum tempo, de modo a evitar sucessivas detecções indesejadas devido ao ruído da tensão da rede. Representou-se, na Fig. 8.6, o diagrama em blocos da sub-rotina que determina a passagem por zero em uma das fases da rede de alimentação; as restantes possuem o mesmo algoritmo.

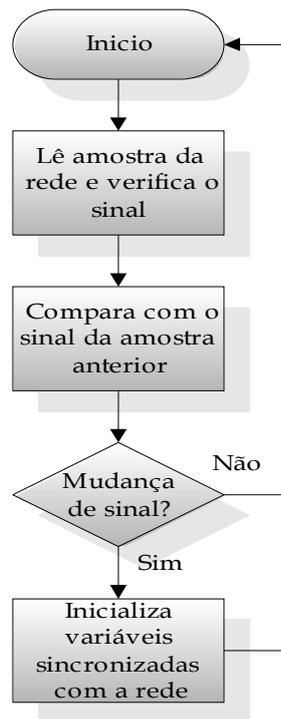


Fig. 8.6 –Diagrama em blocos da rotina de detecção da passagem por zero da rede.

Realizaram-se testes em laboratório a fim de validar a sub-rotina que determina o instante em que cada uma das tensões da rede de alimentação passa por zero. Para isso efetuou-se a leitura das tensões trifásicas, com o conversor operando sem chaveamento. Para identificar o cruzamento por zero em cada uma das fases, optou-se por gerar uma forma de onda quadrada com o objetivo de facilitar a identificação dos instantes da passagem por zero. Observa-se, na Fig. 8.7, o sinal de sincronismo retangular gerado pela operação da sub-rotina, na qual se verificam três sinais retangulares em fase com as respectivas tensões, comprovando-se a eficácia da sub-rotina. Visando a Fig. 8.7, nota-se que os sinais retangulares gerados pelo programa possuem amplitudes diferentes, o que se dá apenas para facilitar a identificação visual do sinal de sincronismo com a respectiva fase, haja vista que o importante são as transições desses sinais retangulares, justamente onde ocorre a passagem por zero das tensões da rede.

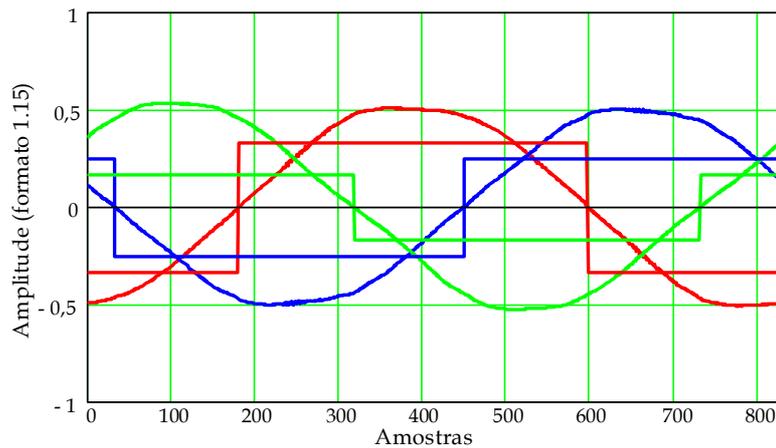


Fig. 8.7 – Leitura das tensões trifásicas com o sinal de sincronismo retangular.

A Fig. 8.8 mostra aquisições efetuadas a partir das tensões trifásicas da rede e o sinal de referência gerado pela sub-rotina, que produz o sinal senoidal em fase com as respectivas tensões. Dessa forma, obtiveram-se os sinais de referências senoidais em fase com as tensões de rede, evitando-se, assim, repassar para o formato da corrente de entrada do retificador as deformações oriundas do sistema trifásico de alimentação. Na Fig. 8.8, as tensões da rede de alimentação e os sinais de referência são representados como sinais retificados, em função da própria estratégia de controle adotada. A retificação das amostras de tensão da rede, bem como a das correntes de entrada do retificador foram efetuadas via *software*, simplesmente se considerando o valor em módulo das variáveis monitoradas.

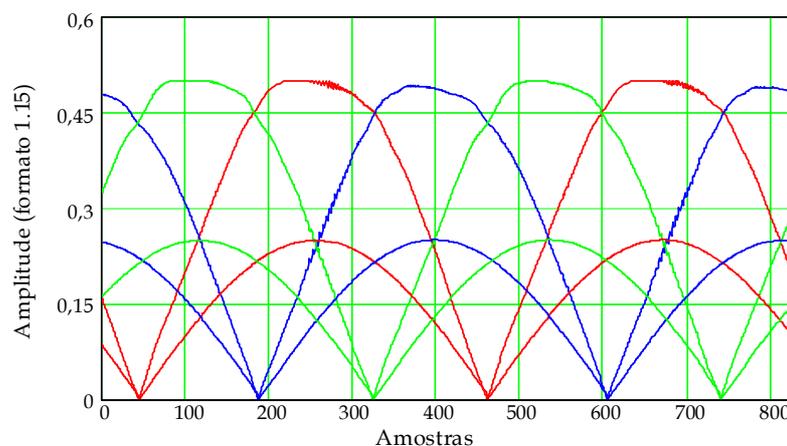


Fig. 8.8 – Tensões trifásicas e sinal de referência sincronizados.

Convém salientar, contudo, que a frequência da rede não se mantém constante, razão por que se introduziu um erro na determinação e geração da forma de onda de referência de corrente, em função de ela possuir frequência fixa (60 Hz).

#### CÁLCULO DO VALOR MÉDIO DA TENSÃO DA REDE:

Para gerar um sinal senoidal com a mesma amplitude e fase da tensão da rede, foi utilizada uma rotina de cálculo do valor médio da tensão da rede, pois o valor médio de um sinal senoidal é proporcional à sua amplitude. Em cada período de PWM, as três tensões da rede são amostradas e acumuladas em posições de memória específicas. A cada meio período da rede, o valor acumulado é dividido pelo número de pontos acumulados, fornecendo o valor médio da tensão naquele meio período. Esse valor médio é então multiplicado por uma constante de proporcionalidade, de modo a fornecer a amplitude do sinal, que é então multiplicada ponto a ponto pela senóide gerada internamente, de amplitude unitária.

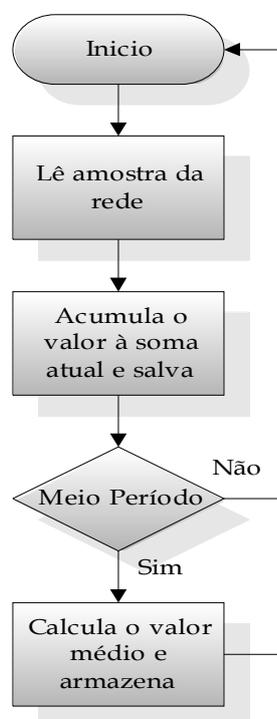


Fig. 8.9 - Diagrama de blocos da rotina de cálculo do valor médio da tensão da rede para uma Fase.

## PLL

O PLL (*Phase-Locked-Loop*) é um algoritmo que possibilita detectar a componente fundamental da tensão das fases da rede de alimentação, o que permite gerar sinais senoidais trifásicos sincronizados com as tensões da rede, sem a necessidade da sub-rotina de detecção da passagem por zero e da geração de sinais internos de referência para as correntes de entrada. Experimentalmente, a rotina da detecção da passagem por zero apresentou alguns problemas de sincronismo, que se podem creditar ao fato de ser ela baseada na amostragem da tensão da rede, que contém ruído, motivo pelo qual em alguns casos não é possível capturar o momento exato da passagem. A solução adotada foi usar o algoritmo de PLL, que executa algumas operações matemáticas com as amostras da rede, e um controlador PI para obter a componente fundamental da tensão da rede. As outras duas componentes são obtidas por defasamentos de  $120^\circ$  em relação ao sinal fundamental obtido. Os sinais obtidos podem então ser aplicados como referência às malhas de controle de corrente.

Efetuuou-se a leitura das tensões de fase da rede de alimentação e com as amostras obtidas aplicou-se o algoritmo PLL; após alguns períodos da rede de alimentação o PLL estabilizou-se e obteve-se a fase e a frequência do sinal monitorado. É a partir desses valores que se calcula o sinal de referência para as três correntes de entrada do retificador. Na Fig. 8.10, observa-se o gráfico do sinal da tensão da rede em uma das fases, em conjunto com o sinal produzido pelo algoritmo PLL, no qual facilmente se vê que foi gerado um sinal senoidal em fase e com a mesma frequência que a fundamental da tensão da rede, o que restou comprovado mediante a análise harmônica das duas formas de onda. Verificou-se que a fase da componente fundamental da tensão amostrada da rede é a mesma do sinal gerado pelo PLL na frequência da fundamental da rede.

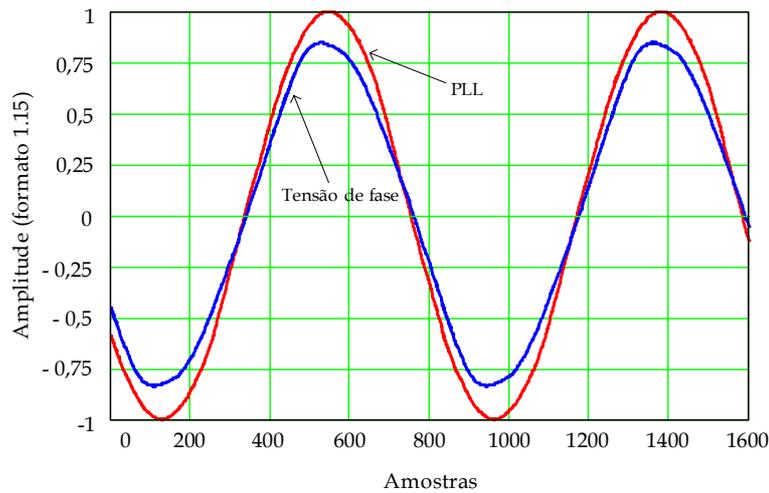


Fig. 8.10 – Amostra da tensão de fase e sinal de referência sincronizado produzido pelo PLL.

Com os sinais produzidos pelo PLL trifásico, ocorre o sincronismo trifásico com a fundamental das tensões da rede, conforme se pode ver na Fig. 8.11, onde estão representadas as amostras das tensões da rede de alimentação com o respectivo sinal de sincronismo gerado pelo PLL.

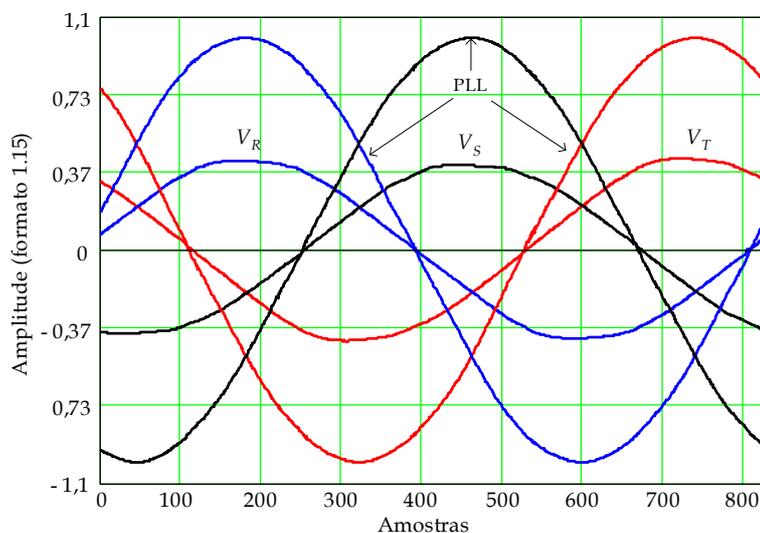


Fig. 8.11 – Sinais de Sincronismo trifásico e tensões da rede de alimentação.

#### DETECÇÃO DOS SETORES DE OPERAÇÃO DO CONVERSOR

Conforme mostrado no capítulo 6, onde se tratou das etapas de operação do conversor, concluiu-se que há possibilidade de controlar as tensões nos capacitores de saída por intermédio do controle da corrente que circula no ponto central de conexão dos capacitores, bastando para tanto atuar nos estágios

topológicos de interesse em cada setor de operação do conversor. Outras estratégias de controle [16] também necessitam da informação acerca dos instantes de operação do conversor, ou seja, em que setor o conversor encontra-se em um determinado momento. Implementou-se, então, uma sub-rotina que identifica em que setor o retificador está operando ao longo do tempo.

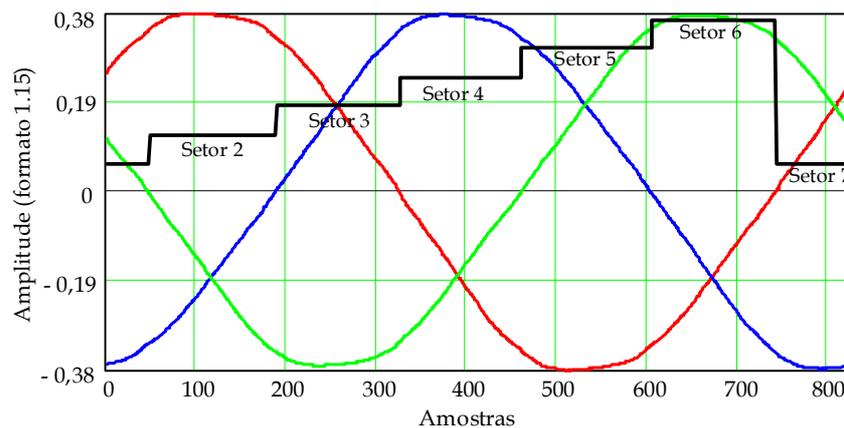


Fig. 8.12 – Amostras da rede de alimentação trifásica e identificação dos setores.

Essa rotina baseia-se na detecção da passagem por zero das tensões de fase, ocasião em que, a cada  $60^\circ$ , ocorre uma mudança de setor, o que é detectado por meio da mudança de polaridade de uma das tensões de fase. A Fig. 8.12 expõe as amostras das tensões de fase obtidas; pela representação de um degrau identificaram-se os setores de operação do retificador trifásico.

A partir das amostras da rede de alimentação trifásica, em conjunto com a operação de multiplicação das tensões de fase, também se podem identificar os setores de operação do conversor de maneira similar à anterior; porém, desse modo detecta-se a passagem não das tensões de fase do sistema de alimentação, mas da composição das três tensões de fase. A Fig. 8.13 representa o resultado da composição das tensões de fase por uma senóide de frequência igual a três vezes à da rede de alimentação, onde cada transição dessa forma de onda simboliza a mudança de setor de operação do retificador trifásico; podendo-se utilizar essa técnica para determinar o setor em que se encontra operando o conversor em um dado espaço de tempo. Testou-se essa opção apenas por simulação, não tendo sido implementadas sub-rotinas, e utilizando-se o DSP a fim de verificar no laboratório

a operação dessa técnica. Pode-se utilizar também um PLL monofásico com o objetivo de identificar a componente fundamental desse sinal derivado das tensões trifásicas de entrada, detectando-se, assim, os setores e evitando que distorções nas tensões de entrada originem erros na determinação exata das transições entre os setores de operação do retificador trifásico.

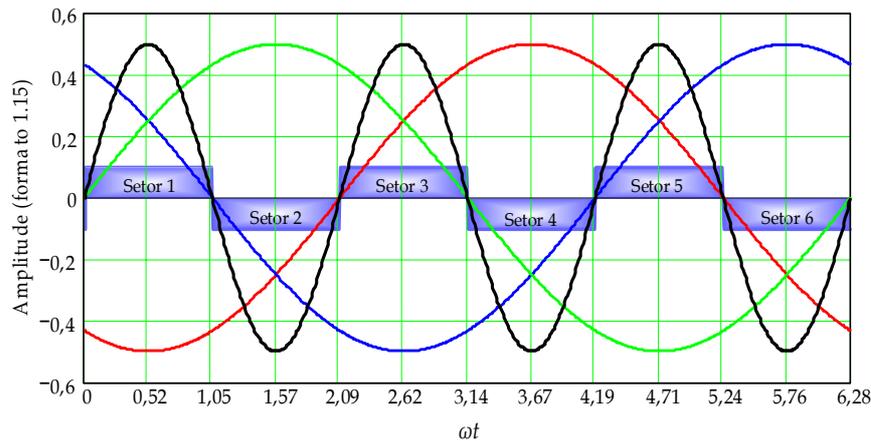


Fig. 8.13 - Detecção dos setores de operação do retificador.

#### TRANSFORMAÇÕES DE COORDENADAS (CLARK E PARK)

Em análises de máquinas elétricas, uma das ferramentas bastante utilizadas e difundidas consiste na transformação  $\alpha\beta 0$ , que resulta na transformação algébrica das tensões e correntes nas fases  $a-b-c$  em um outro sistema de coordenadas, chamado  $\alpha\beta 0$ , transformação essa também conhecida como Transformada de Clark. Outra importante transformada no estudo de máquinas elétricas é a chamada transformada de Park. Ambas têm sido utilizadas em estratégias de controle em filtros ativos, retificadores trifásicos, inversores, acionamento, etc.

Em metodologias desenvolvidas para análise, modelagem e controle de conversores CA-CC trifásicos utilizando essas transformadas [16], é preciso implementar rotinas que efetuem corretamente a conversão de sistema trifásico nas coordenadas necessárias. Com esse propósito são apresentados a seguir os resultados das rotinas desenvolvidas e testadas no DSP *ADMC401*, as quais efetuem as transformadas direta e reversa de Clark e Park, podendo ser utilizadas

em aplicações em que a estratégia de controle e modulação foram concebidas nesse domínio.

Na Fig. 8.14, está representada a tensão trifásica do sistema de alimentação da rede de energia, aqui mostrada como três senóides equilibradas, geradas internamente no DSP com o objetivo de aplicar as transformadas de Clark e Park.

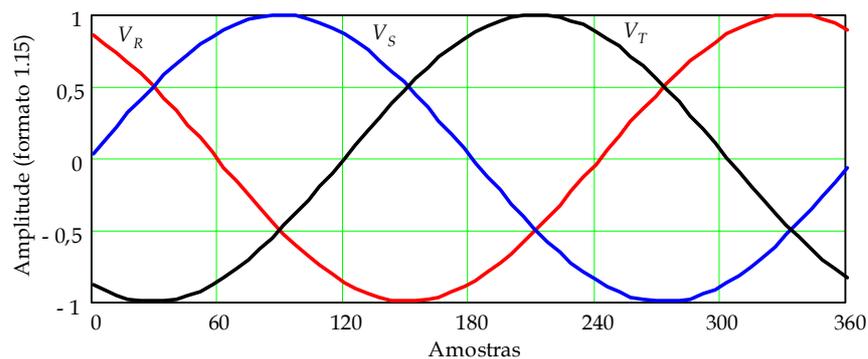


Fig. 8.14 – Sistema de alimentação trifásico.

As componentes  $\alpha$  e  $\beta$ , resultantes da transformada direta de Clark, são mostradas na Fig. 8.15; em conjunto com elas, observa-se a evolução de  $\omega t$ . Na Fig. 8.16, tem-se a representação das componentes  $d$  e  $q$ , oriundas da aplicação da transformada de Park sobre as formas de ondas senoidais trifásicas mostradas na Fig. 8.14. Podem-se obter, também, as componentes  $d$  e  $q$  através da aplicação da transformada de Park diretamente às componentes  $\alpha$  e  $\beta$ .

A partir das componentes  $d$  e  $q$ , aplicaram-se às transformadas reversas de Clark e Park, o que resultou na restituição do sistema original, ou seja, a representação dos sinais no sistema trifásico. Pode-se ver, na Fig. 8.17, a semelhança entre os sinais originais e os resultantes da reconstituição desses sinais via transformações reversas de Park e Clark. Os sinais reconstituídos pelas transformadas inversas foram multiplicados por um fator de  $\frac{1}{2}$  para facilitar a visualização e a comparação dos sinais. Na mesma figura, colocou-se a representação de uma das fases da representação senoidal do sistema trifásico em conjunto com o sinal reconstituído, o que permite observar a superposição dos

sinais, confirmando a operação adequada das rotinas de transformadas direta e reversa de Clark e Park.

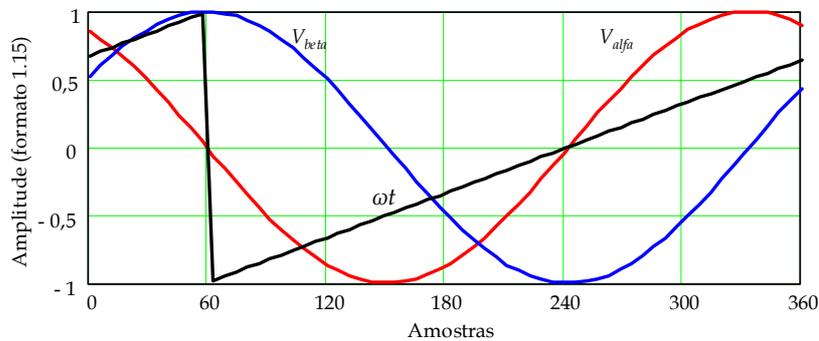


Fig. 8.15 - Transformada direta de Clark – Componentes  $\alpha$ ,  $\beta$  e  $\omega t$ .

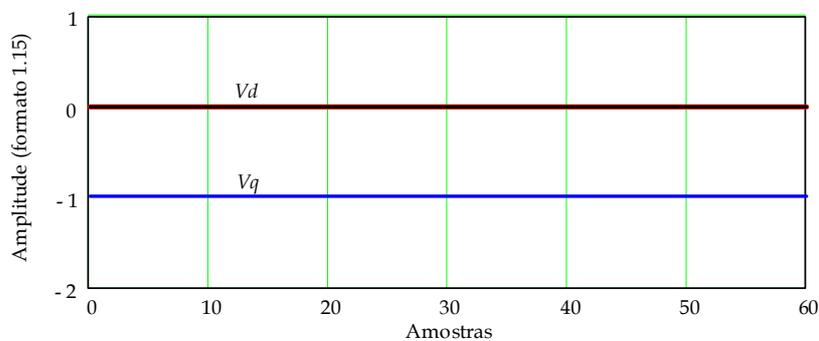


Fig. 8.16 - Transformada direta de Park – Componentes  $d$  e  $q$ .

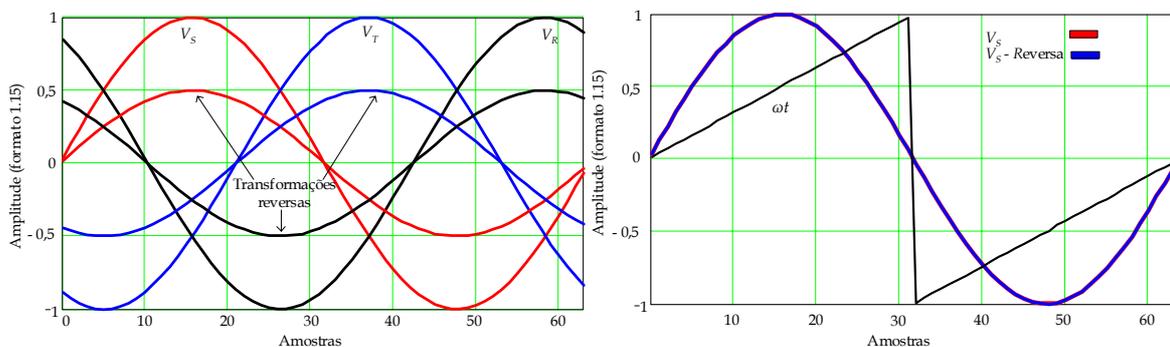


Fig. 8.17 - Forma de onda do sistema original e do reconstituído.

As rotinas foram implementadas com base em aplicações fornecidas pelo fabricante do *ADMC401* e adaptadas às necessidades de controle de retificadores trifásicos. Os resultados obtidos nas figuras anteriores provêm dos cálculos efetuados pelo DSP, via rotinas de transformações (Clark e Park), e armazenados na memória, de onde, posteriormente, foram resgatados e postos em forma de gráficos.

## 8.4 CIRCUITOS

Neste item apresentam-se os circuitos implementados em laboratório a fim de testar o retificador trifásico com as respectivas malhas de controle. Também são desenvolvidos circuitos de interface para condicionamentos das grandezas elétricas, envolvidas na estratégia de controle e utilizam-se circuitos comerciais de acionamento dos interruptores de potência. Detalhes do ambiente de desenvolvimento, baseado no DSP - *ADMC401* da *ANALOG DEVICES* também são explanados no decorrer deste item.

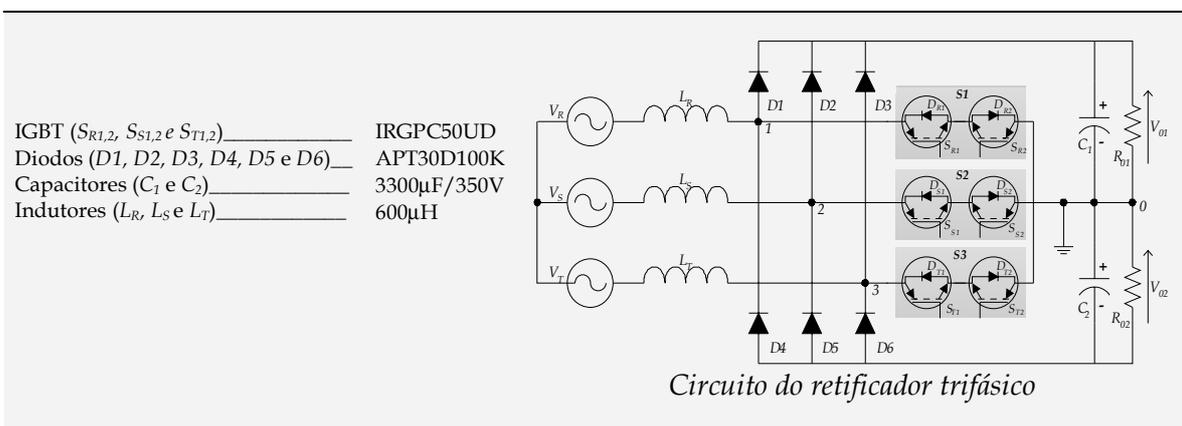
### 8.4.1 CIRCUITO DO CONVERSOR

Projetaram-se os elementos do estágio de potência do retificador trifásico segundo metodologia apresentada em [1], seguindo as especificações de projetos apresentados na Tabela 8.1. Em função dos resultados obtidos no dimensionamento dos elementos que compõem o estágio de potência, utilizaram-se os componentes mostrados na Tabela 8.2. Na mesma tabela, tem-se o circuito elétrico do estágio de potência do retificador trifásico implementado no laboratório.

Tabela 8.1 – Especificações do retificador trifásico.

Potência de Saída	$P_0 = 3 \text{ kW}$
Tensão em cada uma das saídas	$V_{01} = V_{02} = 225 \text{ V}$
Frequência de Chaveamento	$f_s = 50 \text{ kHz}$
Tensão de Entrada	$V_{in} = 127 \text{ V}_{RMS}, 60 \text{ Hz}$

Tabela 8.2 – Componentes utilizados.



### 8.4.2 CIRCUITOS DE INTERFACE

Descrevem-se, a seguir, os circuitos de interface, empregados no condicionamento das grandezas de tensão e corrente, a serem utilizados nos algoritmos desenvolvidos para o controle digital do retificador. Os componentes comuns nesse tipo de circuito são amplificadores operacionais e sensores, permitindo adequar os níveis de tensão e corrente que circulam no circuito de potência a valores permissíveis na entrada do conversor A/D do DSP. O *ADMC401* admite níveis de tensão confinados nos limites de 2 V a -2 V, de sorte que todas as variáveis a serem lidas pelo conversor A/D devem respeitar esses limites impostos pelo componente. Assim, construíram-se três interfaces a fim de condicionar as tensões da rede de alimentação, as tensões nos capacitores de saída e as correntes de fase do retificador trifásico. Os sinais que serão manuseados pelo conversor A/D, interno ao DSP, podem ser também valores unipolares positivos entre 0 V a 4 V - nesse projeto, optou-se pelo uso das entradas bipolares entre -2 V a 2 V. A seguir, discriminam-se os principais circuitos implementados.

#### CIRCUITO DE MEDIÇÃO DAS CORRENTES DE FASE

O circuito de medição das correntes de fase foi implementado por meio de sensores de efeito *hall*, do tipo LA 55-P. Utilizou-se de amplificadores operacionais, com o intuito de atribuir ganhos aos níveis de leitura da corrente nas fases do retificador. O circuito de medição de corrente foi ajustado para se ter na saída um valor de tensão máximo de +/- 2 V, quando ele operasse com potência nominal. O mesmo circuito permite que a leitura da corrente possa ser feita, considerando o sinal retificado ou não; para tal, utilizou-se um circuito retificador de precisão após a saída do sensor de corrente, que, por intermédio de um *jump* no circuito, pode ser desabilitado. Cabe ressaltar que foi utilizada a leitura de corrente no formato alternado, e que a retificação foi efetuada por *software*, reduzindo, desse modo, o circuito de condicionamento do sinal de corrente. Como o protótipo desenvolvido em laboratório passou por vários testes preliminares, optou-se por incluir no circuito o máximo possível de elementos, a fim de facilitar

e dar mais opções a quaisquer mudanças e necessidades que ocorressem nos testes do retificador. No circuito de interface para leitura da corrente na fase R, mostrado na Fig. 8.18, utilizou-se o canal V3 para a correspondente leitura. No tocante às demais fases, o circuito é equivalente, mudando apenas o canal do conversor A/D.

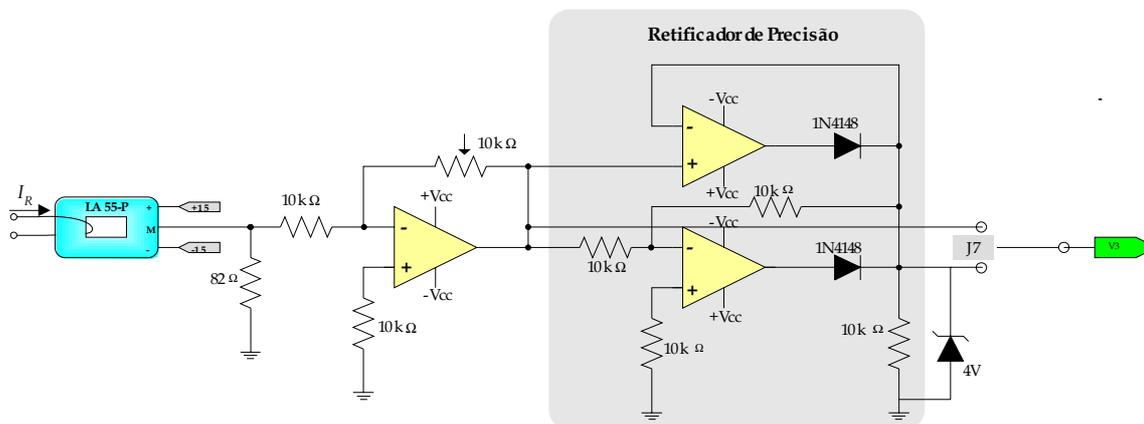


Fig. 8.18 - Circuito de interface da corrente de fase.

#### CIRCUITO DE MEDIÇÃO DA TENSÃO TRIFÁSICA DA REDE

Utilizou-se no circuito de interface, para medir a tensão trifásica da rede de alimentação, um transformador de sincronismo composto por três transformadores monofásicos conectados em  $\Delta/\Delta$ . Por meio de resistores conectados em estrela no secundário dos transformadores, obtêm-se as tensões de fase a partir das tensões de linha. Aplicam-se os valores transformados à entrada do circuito de condicionamento de sinais, o qual transpõe as tensões de fase de 127 Vrms aos níveis do conversor A/D. Optou-se por utilizar também, nas leituras das tensões da rede, circuitos de retificação de precisão com o objetivo de se ter a opção de disponibilidade dessa variável retificada antes da leitura do A/D. No entanto, escolheu-se a leitura dessas grandezas no formato alternado, posteriormente retificada por *software*. O circuito de leitura das tensões da rede de alimentação é mostrado na Fig. 8.19; basicamente, esse circuito serve de sincronismo com as tensões da rede de alimentação, bem como para impor o formato das tensões de fase amostradas nas correntes de fase.

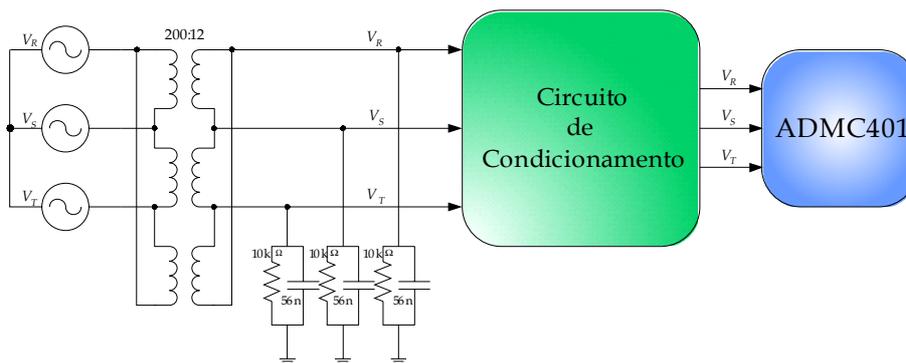


Fig. 8.19 - Circuito de medição das tensões da rede.

**CIRCUITO DE MEDIÇÃO DAS TENSÕES DE BARRAMENTO**

Os circuitos de medição das tensões nos capacitores de saída do retificador compõem-se de transdutores de efeito *hall*, tipo LV - 25P; os níveis de saída foram ajustados para atingirem aproximadamente 1,5 V quando a tensão de saída nos capacitores for a nominal estabelecida na Tabela 8.1. A leitura dessas tensões foi efetuada pelas entradas V6 e V7 do conversor A/D do *ADMC401*. Está representado na Fig. 8.20 o circuito implementado no laboratório para medição das tensões de saída do retificador trifásico ( $V_{01}$  e  $V_{02}$ ).

O circuito completo do sistema de condicionamento de sinais e *drivers*, utilizado na implementação do controle do retificador, é mostrado na Fig. 8.21. Representaram-se apenas os principais pinos utilizados do DSP *ADM401*, embora se tenha utilizado um *kit* de desenvolvimento, no qual os sinais empregados nesse projeto são disponíveis via barramento específico disponibilizado pelo fabricante.

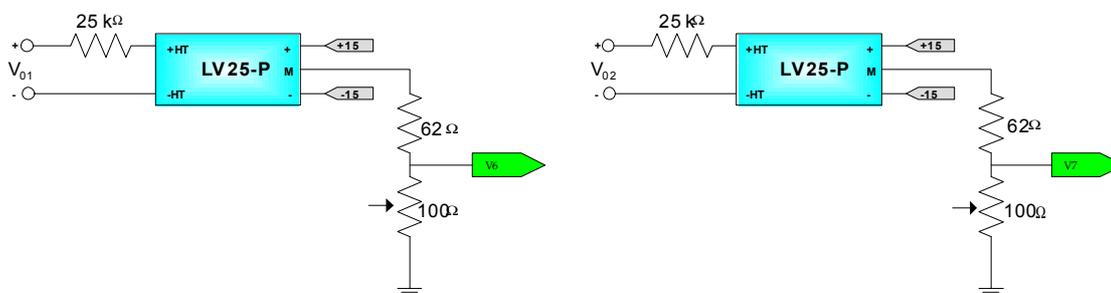


Fig. 8.20 - Circuito de medição das tensões de saída.

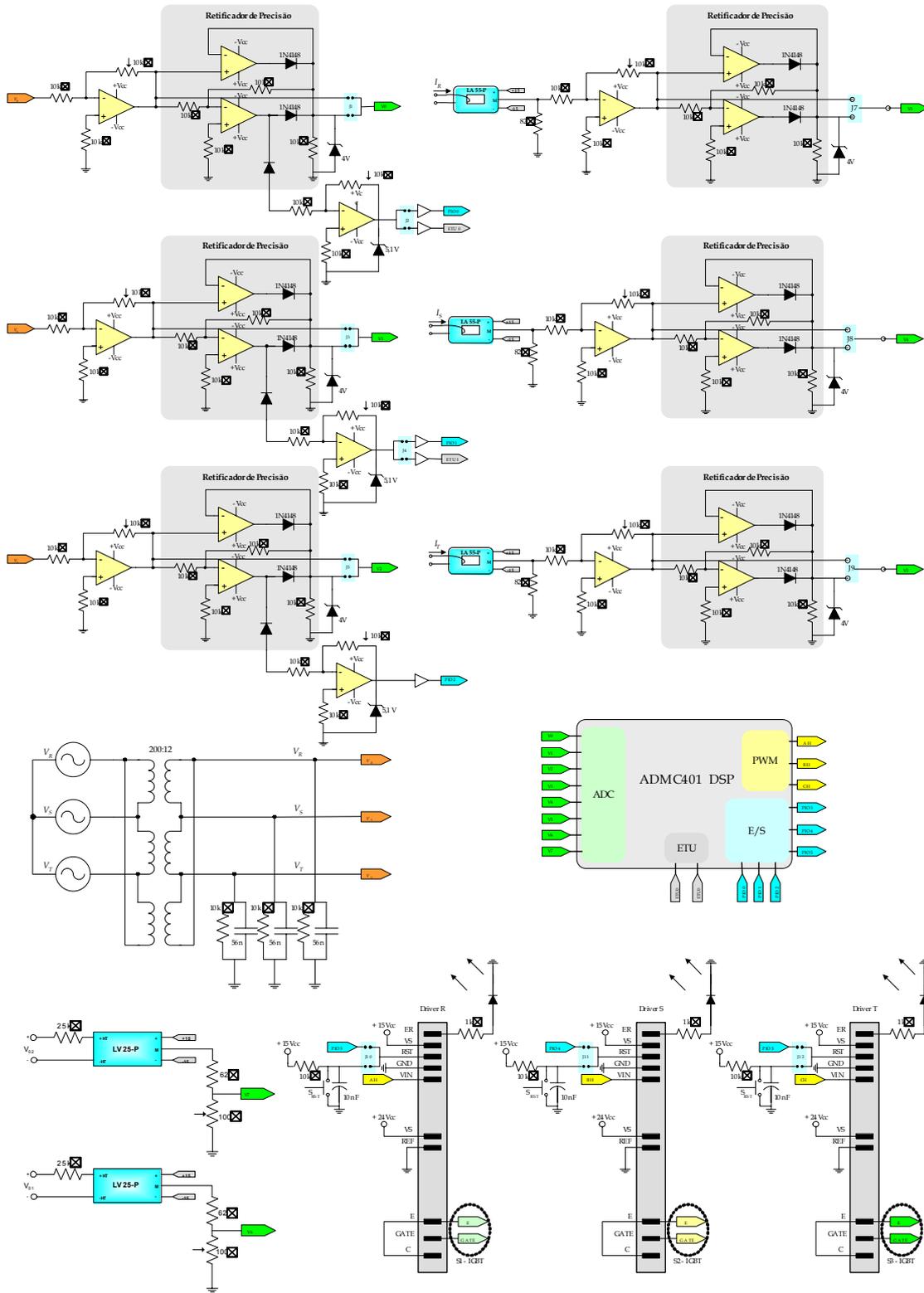


Fig. 8.21 – Circuito completo do sistema de aquisições e condicionamento de sinais.

### 8.4.3 CIRCUITOS DE COMANDO

Os sinais gerados pela unidade PWM do DSP são utilizados para acionar os IGBT's do retificador, que compõem a chave constituída de dois interruptores por fase. Para cada conjunto de dois IGBT, o circuito de comando é único, isso porque somente um deles tem condições de conduzir a corrente num dado instante de operação do conversor, ou seja, pode-se enviar o mesmo comando para os dois interruptores, que o comportamento final da chave será conduzir as correntes de fase, as quais fluem na direção da conexão central dos capacitores de saída. Como os sinais PWM, oriundos do DSP, possuem níveis de tensão e capacidade de acionamento limitada, empregaram-se dispositivos de acionamento (*drivers*) de uso comercial para gerar as tensões em níveis adequados ao correto acionamento dos interruptores de potência, tendo-se optado pela utilização de três *drivers*, um para cada fase, da Semikron do tipo SKHI 10op. Além de fornecer condições adequadas de acionamento, esses também têm a função de isolar os sinais de comando disponibilizados pelo DSP, preservando e protegendo, assim, o circuito de controle baseado no DSP do circuito de potência. Esse *driver* tem como características principais:

- tensão de alimentação no lado primário +15 VDC;
- tensão de alimentação no lado secundário +24 VDC;
- tensão no gate do interruptor em condução +15 VDC;
- tensão no gate do interruptor no bloqueio -8 VDC.

### 8.4.4 CIRCUITO DO ADM401

O principal componente no controle digital do retificador é, sem dúvida, o DSP; justamente o responsável por todo o algoritmo de controle do conversor, pela conversão dos sinais analógicos em digital, bem como pela geração dos sinais PWM. Utilizou-se o controlador DSP da *ANALOG DEVICES* - *ADMC401*, que o fabricante fornece em forma de um *kit* de desenvolvimento, contendo ferramentas de programação e simulação envolvidas nesse componente para

facilitar o trabalho de aplicação. Foram utilizados para desenvolver as sub-rotinas de controle do retificador o software *ADI Motion Control Debugger* e o *VisualDSP Debugger*, ambos da *ANALOG DEVICES*. Pode-se visualizar, na Fig. 8.22, o kit utilizado na implementação do controle do retificador e também um diagrama que mostra os principais componentes que fazem parte da placa de desenvolvimento, salientando-se no centro do *layout* o *ADMC401*.

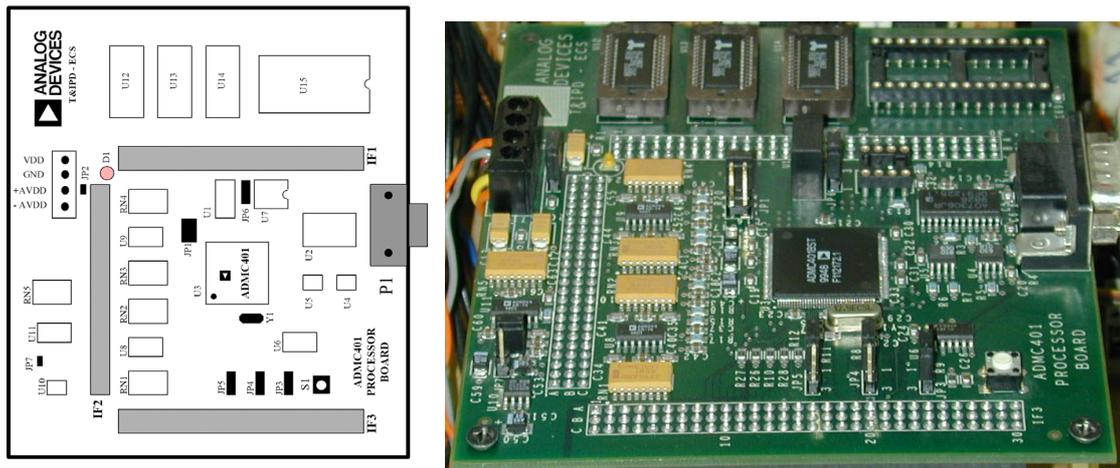


Fig. 8.22 - Kit de desenvolvimento – ADCM401 – ADVEVALKIT.

## 8.5 RESULTADOS EXPERIMENTAIS

Apresentam-se, neste item, os resultados mais importantes da operação de um protótipo do retificador trifásico implementado em laboratório. As especificações do conversor são aquelas mostradas na Tabela 8.1 do item 8.4.1. Foram efetuadas aquisições das principais formas de onda do retificador trifásico, operando em potência nominal e também em operação com cargas desequilibradas e sob variação de carga. A partir dos resultados obtidos em laboratório, verifica-se o comportamento do conversor no que se refere ao fator de potência e à taxa de distorção harmônica das correntes de entrada. Com o objetivo de validar a estratégia de controle digital desenvolvida ao longo desse trabalho, serão apresentadas algumas situações distintas de operação do retificador, conforme se verá nos itens seguintes.

### 8.5.1 CONVERSOR OPERANDO COM CARGAS EQUILIBRADAS

As figuras seguintes mostram o conversor operando em potência nominal com cargas equilibradas. Na Fig. 8.23 tem-se a aquisição da tensão em uma das fases da rede de alimentação e as correntes nos indutores de entrada do retificador, na qual se percebe que as correntes impostas pelas malhas de controle do retificador acompanham uma referência em formato senoidal, o que confere ao conversor um elevado fator de potência, conforme será demonstrado no decorrer dos resultados experimentais. Ambas as aquisições, representadas nesta figura, referem-se à mesma situação; apenas se consideraram, na segunda figura, detalhes relativos ao ruído de alta frequência da comutação dos IGBT.

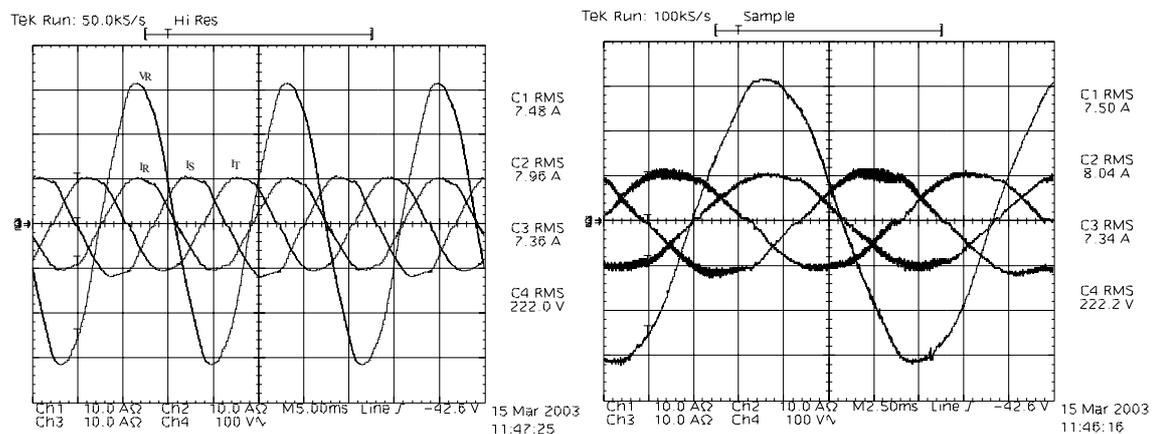


Fig. 8.23 - Correntes de entrada ( $i_R(t)$ ,  $i_S(t)$  e  $i_T(t)$ ) e tensão de fase.

Adquiriram-se as formas de onda relativas às tensões de saída acompanhadas das correntes de entrada do retificador. Na Fig. 8.24, mostram-se novamente as correntes de entrada acompanhadas da tensão total de saída ( $V_{O1} + V_{O2}$ ). Verifica-se que a tensão total de projeto foi de 450 V, ou seja, 225 V em cada uma das saídas, estabelecida pela malha de controle da tensão de saída do retificador.

Observaram-se, também, as saídas independentes em cada um dos capacitores de saída, a fim de verificar se elas estão com os valores equilibrados e de acordo com os valores determinados no projeto. Verificando-se a Fig. 8.25, nota-se que as tensões nos capacitores estão praticamente equilibradas, ressalvadas, é claro, diferenças decorrentes da precisão nos cálculos efetuados

pelo DSP e da dificuldade de ajuste de ganhos iguais nas interfaces de medida das tensões de saída. Essas diferenças, entretanto, são muito pequenas (inferiores a 1%), razão pela qual se admitem equilibradas as tensões de saída, conforme determinado no projeto de controle do retificador.

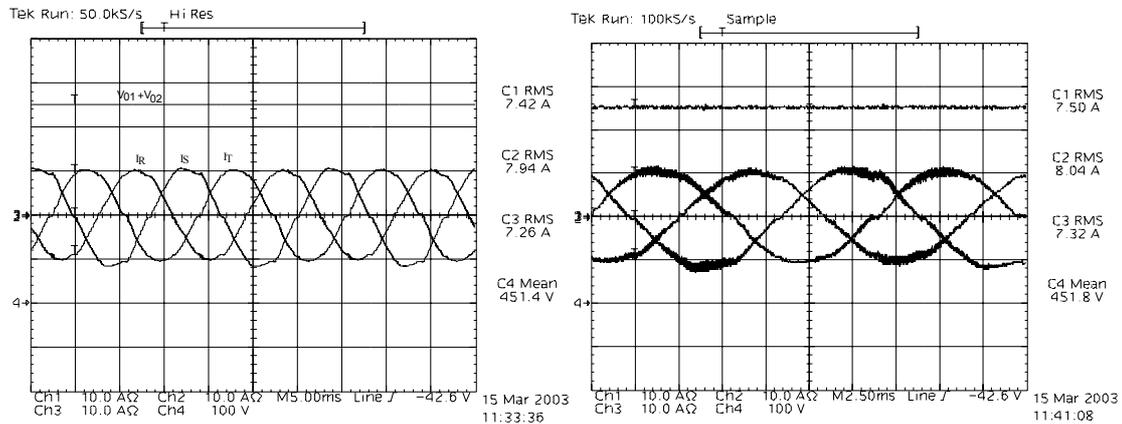


Fig. 8.24 - Correntes nos indutores de entrada e tensão total no barramento CC.

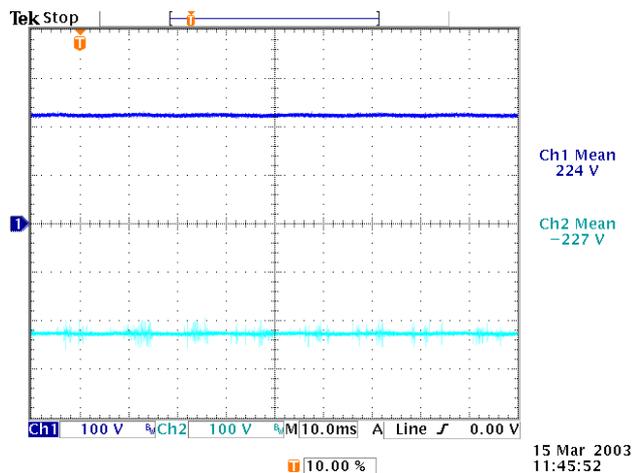


Fig. 8.25 - Tensões nos capacitores de saída do retificador ( $V_{01}$  e  $V_{02}$ ).

Apresenta-se, a seguir, a análise harmônica das tensões da rede de alimentação e das correntes de entrada do conversor, utilizando-se o programa WaveStar. Na Tabela 8.3 tem-se as componentes harmônicas da corrente na fase R até a 51ª ordem. Para cada uma das componentes harmônicas, mostram-se o valor eficaz, o percentual em relação à componente fundamental e também o ângulo de defasagem das componentes harmônicas em relação à fundamental; para as correntes nas outras fases a análise é semelhante.

Tabela 8.3 – Componentes harmônicas da corrente na fase R.

Harmônica	Frequência Hz	Corrente Eficaz	Percentual da Fundamental	Fase da Corrente
Fundamental	60	7,43 A	100,00%	0,0
2	120	21 mA	0,28%	78
3	180	95,2 mA	1,28%	-86,6
4	240	3,03 mA	0,04%	7,68
5	300	210 mA	2,83%	-4,68
6	360	9,47 mA	0,13%	-96,1
7	420	129 mA	1,74%	-29,6
8	480	11,4 mA	0,15%	165
9	540	74,8 mA	1,01%	-5,59
10	600	9,38 mA	0,13%	-43,9
11	660	67,4 mA	0,91%	10,7
12	720	6,43 mA	0,09%	-53,6
13	780	55,4 mA	0,75%	6,56
14	840	2,31 mA	0,03%	-146
15	900	7,23 mA	0,10%	-46,9
16	960	7,12 mA	0,10%	163
17	1,02 k	21,9 mA	0,30%	-37,6
18	1,08 k	1,76 mA	0,02%	85,9
19	1,14 k	60,2 mA	0,81%	-29,5
20	1,2 k	13 mA	0,18%	-138
21	1,26 k	18,7 mA	0,25%	-51,1
22	1,32 k	6,21 mA	0,08%	176
23	1,38 k	30,3 mA	0,41%	-31,1
24	1,44 k	9,47 mA	0,13%	-93,2
25	1,5 k	39,8 mA	0,54%	377 m
26	1,56 k	13,9 mA	0,19%	-122
27	1,62 k	17,5 mA	0,24%	28
28	1,68 k	4,16 mA	0,06%	-57,3
29	1,74 k	10,9 mA	0,15%	-26,6
30	1,8 k	9,93 mA	0,13%	33
31	1,86 k	23,9 mA	0,32%	53,3
32	1,92 k	5 mA	0,07%	164
33	1,98 k	14,6 mA	0,20%	164
34	2,04 k	5,09 mA	0,07%	140
35	2,1 k	4,79 mA	0,06%	120
36	2,16 k	15,7 mA	0,21%	-20,9
37	2,22 k	8,05 mA	0,11%	49
38	2,28 k	3,45 mA	0,05%	-104
39	2,34 k	20,8 mA	0,28%	180
40	2,4 k	6,14 mA	0,08%	52,8
41	2,46 k	9,9 mA	0,13%	-169
42	2,52 k	4,39 mA	0,06%	126
43	2,58 k	3,49 mA	0,05%	-76,8
44	2,64 k	3,98 mA	0,05%	145
45	2,7 k	16,2 mA	0,22%	-160
46	2,76 k	7,21 mA	0,10%	120
47	2,82 k	9,37 mA	0,13%	160

48	2,88 k	6,16 mA	0,08%	154
49	2,94 k	11,2 mA	0,15%	-141
50	3 k	10,3 mA	0,14%	140
51	3,06 k	14,4 mA	0,19%	-119

Na Fig. 8.26 são apresentadas as componentes harmônicas e suas amplitudes em termos percentuais em relação à componente fundamental da corrente de entrada da fase R. As componentes harmônicas, relativas às fases S e T, são mostradas nas figuras 8.28 e 8.29, respectivamente:

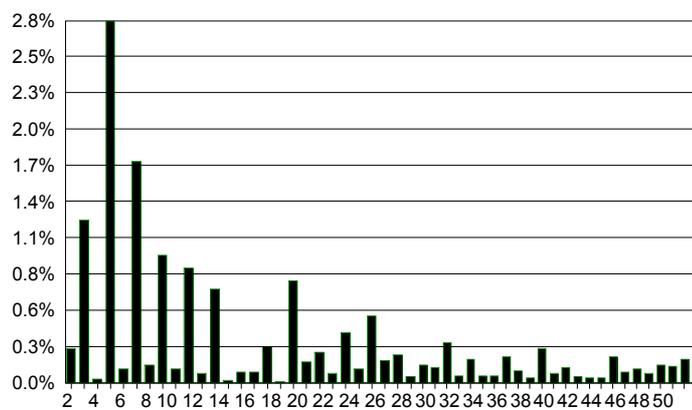


Fig. 8.26 - Componentes harmônicas percentuais em relação à fundamental da corrente na fase R.

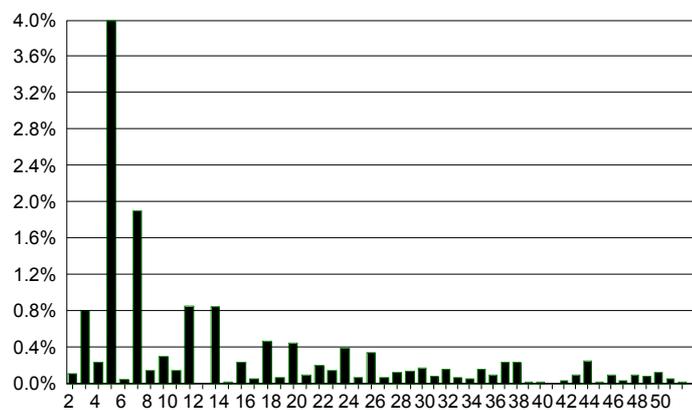


Fig. 8.27 - Componentes harmônicas percentuais em relação à fundamental da corrente na fase S.

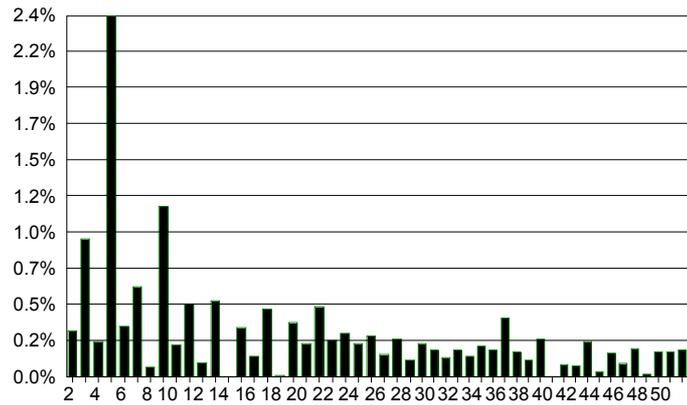


Fig. 8.28 - Componentes harmônicas percentuais em relação à fundamental da corrente na fase T.

Na Tabela 8.4 mostra-se o resumo dos resultados obtidos da análise harmônica das tensões e correntes na entrada do retificador trifásico, dados com os quais se calcula o fator de potência para cada uma das fases de alimentação do conversor. Observa-se, nessa tabela, que se obteve um elevado fator de potência por fase de alimentação do conversor, conferindo-se a ele um fator de potência considerado como sendo praticamente unitário.

Tabela 8.4 - Análise harmônica.

Fases	THD <sub>v</sub>	THD <sub>i</sub>	FP
R	3,32%	4,14%	0,995
S	3,51%	4,81%	0,992
T	3,12%	3,37%	0,997

### 8.5.2 CONVERSOR OPERANDO COM CARGAS DESEQUILBRADAS

Efetuarão-se testes com o conversor operando com cargas desequilibradas, com o objetivo de verificar o comportamento das tensões de saída, bem como analisar as formas de onda da corrente de entrada nos indutores do retificador. O primeiro teste efetuado consiste em provocar um desequilíbrio nas cargas de saída do retificador, reduzindo-se em 20% a carga localizada apenas na saída onde se encontra o capacitor  $C_1$ . Observam-se, na Fig. 8.29, as correntes de entrada do conversor e a tensão em uma das fases do sistema de alimentação; visualmente, observa-se o comportamento senoidal das correntes de entrada, havendo apenas uma redução no valor eficaz das correntes de entrada em relação

à operação do conversor com carga nominal, o que realmente era de se esperar, haja vista que houve uma diminuição total da carga. Verifica-se, também, que as correntes de entrada não se encontram totalmente equilibradas; isso se deve principalmente ao desequilíbrio das tensões da rede, que ocasionam também referências desequilibradas, refletindo no formato das correntes de entrada do retificador.

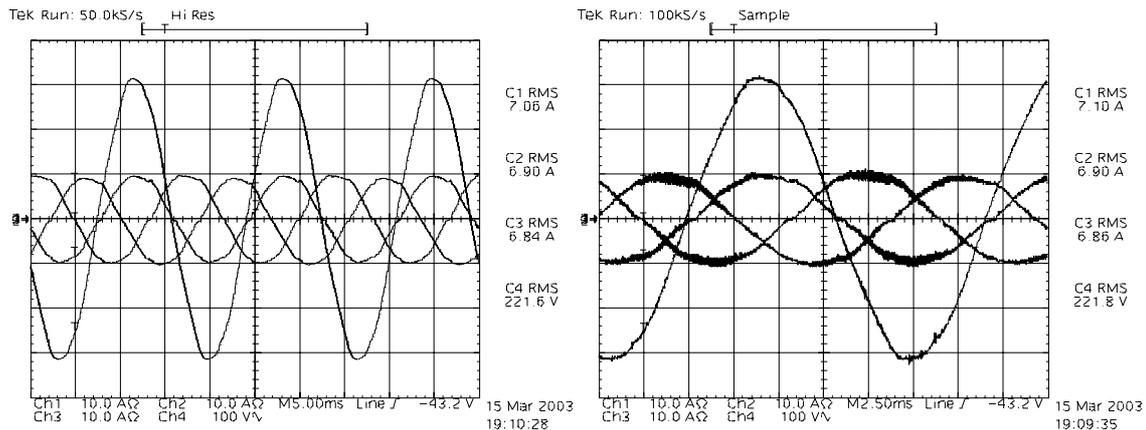


Fig. 8.29 - Correntes de entrada ( $i_R(t)$ ,  $i_S(t)$  e  $i_T(t)$ ) e tensão de fase.

Realizou-se uma análise harmônica das correntes de entrada do retificador operando com desequilíbrio de carga no capacitor  $C_1$ , isto é, a carga localizada em  $C_1$  é menor em 20% que a localizada em  $C_2$ . Nas figura 8.31, 8.32 e 8.33, são mostrados os comportamentos das componentes harmônicas das correntes de entrada do retificador e, na Tabela 8.5, tem-se os resultados obtidos da análise das taxas de distorção harmônica e o cálculo do fator de potência por fase do conversor. Considerou-se, nesse caso, que as tensões de entrada mantiveram-se inalteradas em relação ao caso do ensaio do retificador com carga equilibrada na potência nominal. Admitiu-se que as THD das tensões de entrada são as mesmas encontradas no caso anterior, em que o conversor operava com cargas equilibradas e sob potência nominal.

Tabela 8.5 – Análise harmônica.

Fases	THDV	THDI	FP
R	3,32%	4,45%	0,995
S	3,51%	3,76%	0,996
T	3,12%	4,51%	0,994

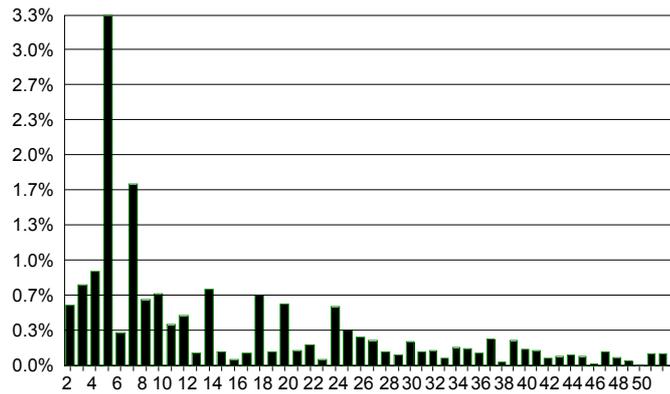


Fig. 8.30 - Componentes harmônicas da corrente na fase R – desequilíbrio em  $V_{01}$ .

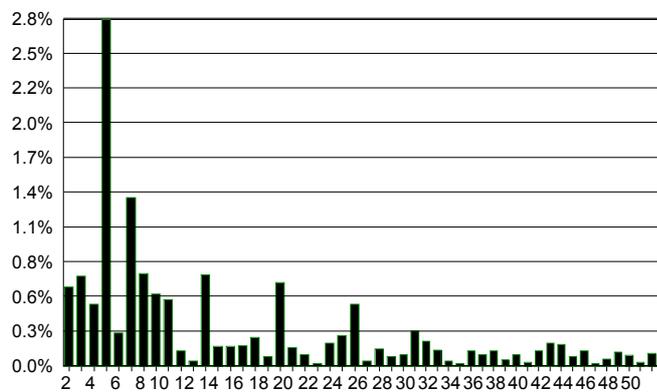


Fig. 8.31 - Componentes harmônicas da corrente na fase S – desequilíbrio em  $V_{01}$ .

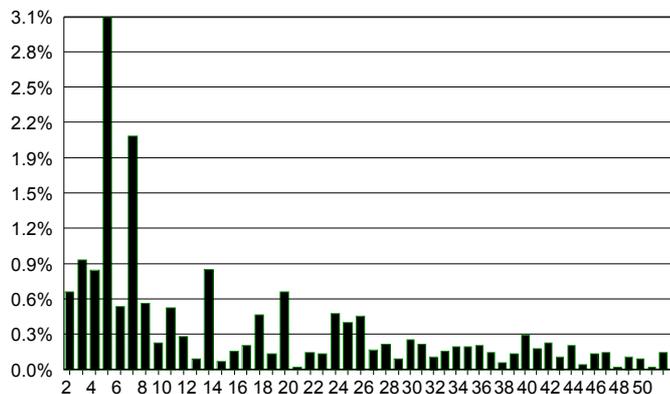


Fig. 8.32 - Componentes harmônicas da corrente na fase T – desequilíbrio em  $V_{01}$ .

Com o conversor operando com cargas desequilibradas pode-se concluir que houve alterações nas componentes harmônicas e, conseqüentemente, na taxa de distorção harmônica (TDH). Todavia, essas alterações não representam diferenças significativas no valor do fator de potência e também não ocasionaram

distorções e desequilíbrios acentuados nas correntes de entrada do retificador. Pode-se dizer que, mesmo na situação em que o conversor operava com cargas desequilibradas, as correntes de entrada mantiveram-se equilibradas, e o fator de potência permaneceu praticamente unitário.

Na Fig. 8.33 mostra-se o gráfico das tensões na saída do retificador. As tensões nos capacitores,  $V_{01}$  e  $V_{02}$ , são consideradas balanceadas, mesmo com o conversor operando com cargas desiguais conectadas nos capacitores. Dessa forma, pode-se comprovar a possibilidade de controlar o desequilíbrio nas tensões de saída pela introdução de um nível CC nas referências de corrente das malhas de controle da corrente de entrada.

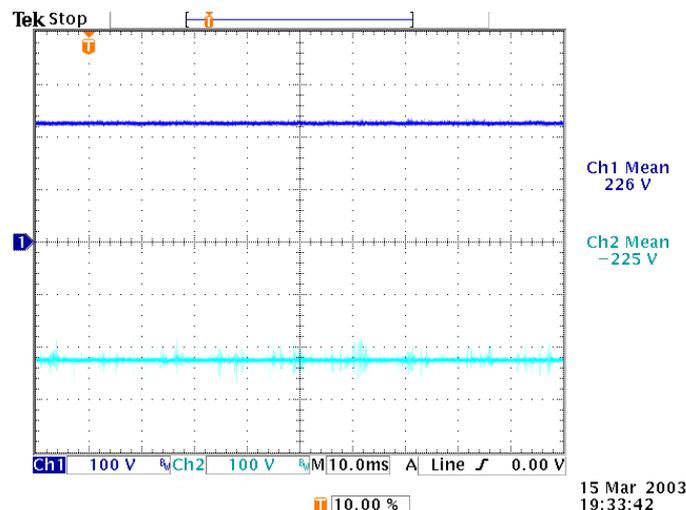


Fig. 8.33 - Tensões nos capacitores de saída do retificador ( $V_{01}$  e  $V_{02}$ ).

Executou-se outro teste em laboratório com o conversor igualmente operando com cargas desequilibradas, mas nesse caso diminuiu-se em 20% a carga localizada no capacitor  $C_2$ , ou seja, manteve-se a carga nominal conectada no  $C_1$  e variou-se a carga localizada no capacitor  $C_2$ . Em ensaio de laboratório, verificou-se o comportamento das correntes de entrada com o conversor operando nesse regime de cargas desequilibradas, cujos resultados são vistos na Fig. 8.34.

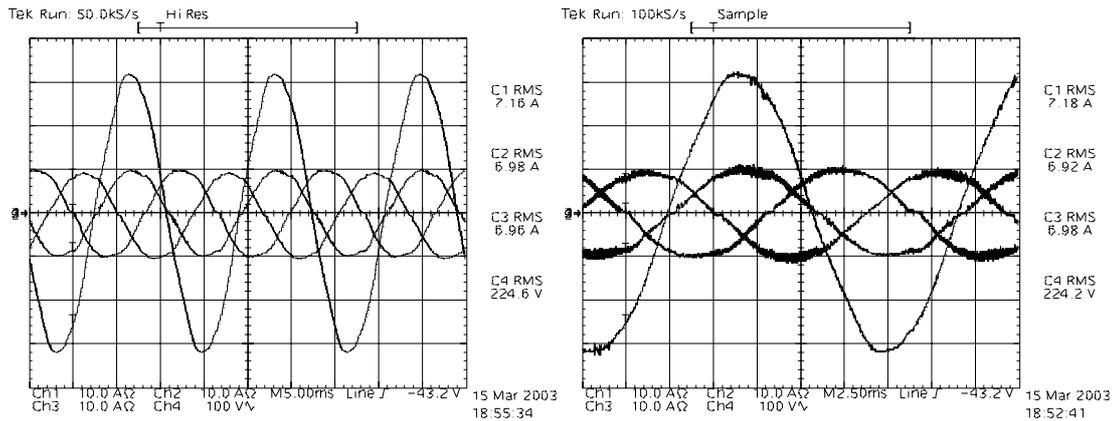


Fig. 8.34 - Correntes de entrada ( $i_R(t)$ ,  $i_S(t)$  e  $i_T(t)$ ) e tensão de fase.

Nota-se, na Fig. 8.35, que as tensões medidas nos capacitores de saída do retificador mantêm-se equilibradas nos valores estabelecidos no projeto. Um pequeno desvio atribui-se a todos os tipos de erros típicos, devido ao processamento numérico e às leituras efetuadas pelo DSP, bem como à dificuldade em ajustar os circuitos de condicionamentos de sinais com ganhos exatamente iguais para cada uma das leituras realizadas nos capacitores de saída. Tudo isso, aliado ao fato de que as medidas mostradas na Fig. 8.35 foram efetuadas pelo osciloscópio, motivo pelo qual há de se levar em consideração que o ruído conduzido em um dos capacitores de saída apresenta-se mais acentuado que no outro capacitor, o que serve para acentuar os desvios nas medidas das tensões.

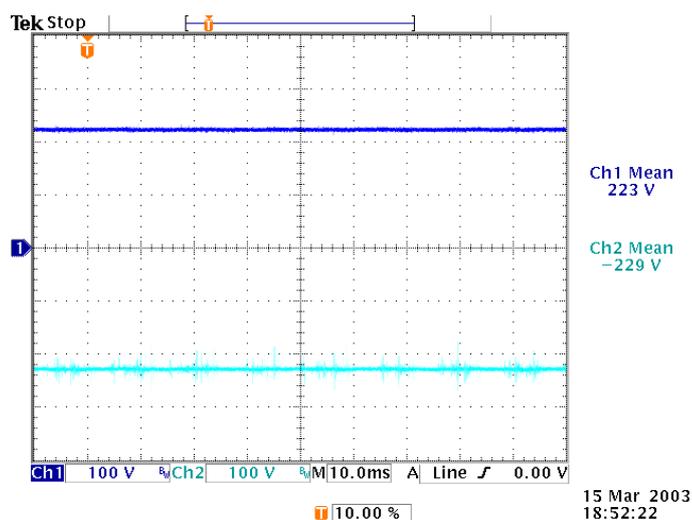


Fig. 8.35 - Tensões nos capacitores de saída do retificador ( $V_{01}$  e  $V_{02}$ ).

Da mesma forma que nos casos anteriores, o desvio nas tensões de saída não chega a 2% do valor de referência, o que se considera um resultado adequado. Pode-se considerar que as tensões de saída mantiveram-se equilibradas com o conversor operando com cargas desequilibradas; quer dizer, a malha responsável por manter as tensões de saída equilibradas teve um desempenho satisfatório, comprovando-se novamente a possibilidade de controlar as tensões de saída por intermédio do nível CC, introduzido no ponto central de conexão dos capacitores.

A análise harmônica das correntes de entrada do retificador, operando com desequilíbrio de carga no capacitor  $C_2$ , é mostrada nas figuras 8.37, 8.38 e 8.39. Nessas figuras mostra-se a representação das componentes harmônicas das correntes de entrada do retificador. Na Tabela 8.6 tem-se os resultados obtidos da análise das taxas de distorção harmônica e do cálculo do fator de potência por fase do conversor. Observa-se também, nesse caso de operação do retificador, que as correntes mantiveram-se equilibradas e a TDH dessas correntes teve variações semelhantes às do caso de operação do conversor com cargas equilibradas. Esses valores, para o nível de desequilíbrio testado, não apresentam conseqüências relevantes na determinação do fator de potência do conversor, que permanece praticamente inalterado e com valor próximo à unidade.

Optou-se por admitir que as tensões de entrada se mantiveram, ou seja, são do mesmo formato que no ensaio do retificador com carga equilibrada na potência nominal, conseqüentemente, admite-se que as THD das tensões de entrada são as mesmas encontradas no item 8.5.1, no qual o conversor operava com cargas equilibradas e potência nominal.

*Tabela 8.6 – Análise harmônica.*

Fases	THD <sub>v</sub>	THD <sub>i</sub>	FP
R	3,32%	4,68%	0,995
S	3,51%	3,53%	0,997
T	3,12%	4,25%	0,996

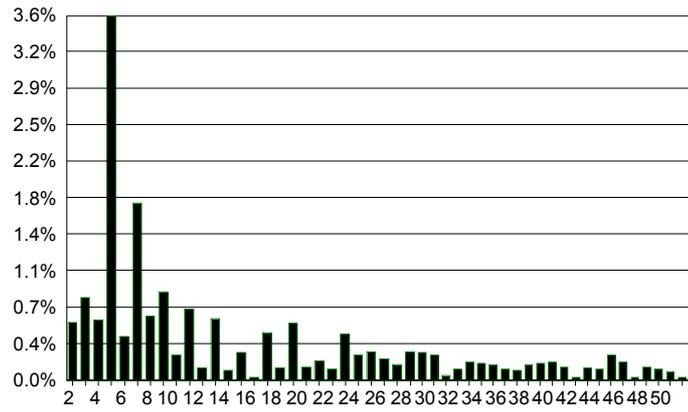


Fig. 8.36 - Componentes harmônicas da corrente na fase R – desequilíbrio em  $V_{02}$ .

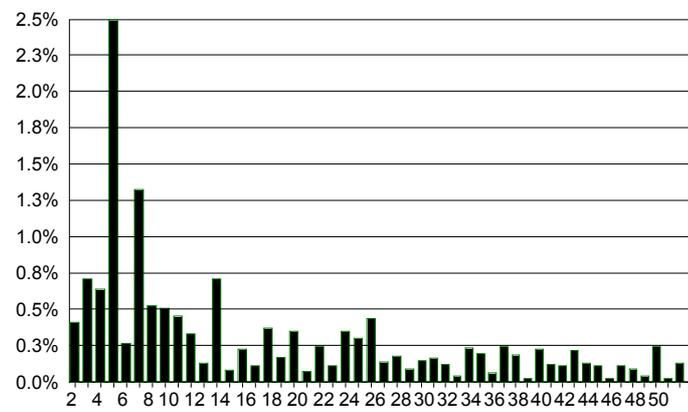


Fig. 8.37 - Componentes harmônicas da corrente na fase S – desequilíbrio em  $V_{02}$ .

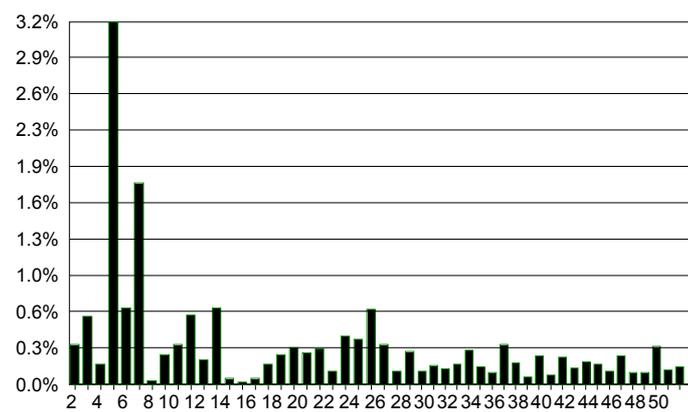


Fig. 8.38 - Componentes harmônicas da corrente na fase T – desequilíbrio em  $V_{02}$ .

### 8.5.3 CONVERSOR OPERANDO SOB PERTURBAÇÃO DE CARGA

Com o conversor trabalhando sob condições de operação nominal, efetuaram-se perturbações nas cargas conectadas nas saídas do conversor, com o objetivo de verificar o comportamento dinâmico de operação do conversor quando ele estiver submetido a variações de carga, de modo a comprovar a operação das malhas de controle do retificador sob uma dinâmica de perturbação na carga. Na Fig. 8.39 tem-se uma situação em que ocorreu um decréscimo de carga simultâneo nas saídas do retificador. Pode-se verificar, nessa aquisição, que a malha de controle da tensão total de saída, em conjunto com a estratégia por manter as tensões equilibradas, age de forma a equilibrar cada uma das tensões nos capacitores, tentando mantê-las nas referências estabelecidas no projeto do conversor. Verifica-se, assim, a operação adequada dessas malhas de controle.

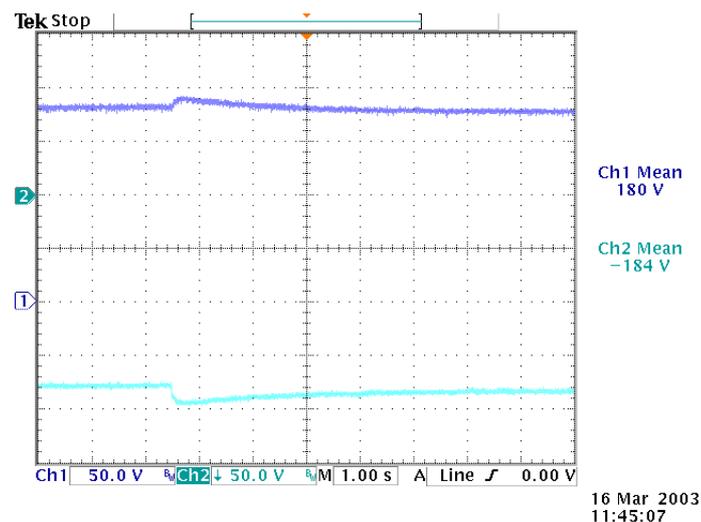


Fig. 8.39 - Tensões de saída do retificador trifásico.

Na Fig. 8.40 tem-se o comportamento das tensões nas saídas do retificador nos instantes em que solicitado por perturbações nas cargas de saída. Em um primeiro momento, retirou-se carga, na ordem de 20%, em ambas as saídas do conversor; posteriormente, acrescentou-se novamente a carga retirada em cada uma das saídas, verificando-se, nessa aquisição, a tendência das malhas de controle das tensões a tentar equilibrá-las conforme os valores de referência de projeto.

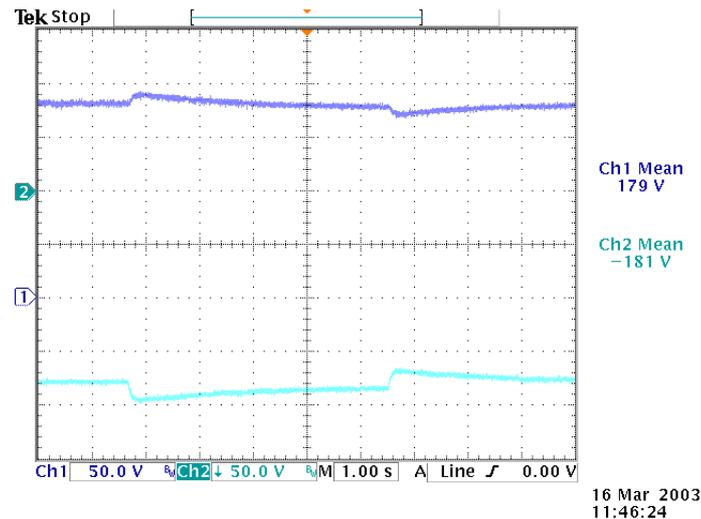


Fig. 8.40 - Tensões de saída do retificador trifásico.

Em ambas as experiências, retirada ou acréscimo de carga, observou-se que as malhas de controle de tensão estabeleceram os níveis de tensão determinados pelas referências de tensão do projeto do retificador trifásico. Os resultados obtidos, nesse ensaio, demonstraram que ele operou dentro das condições esperadas de projeto, ou seja, as malhas de controle da tensão tendem a estabilizar as tensões de saída do retificador.

## 8.6 CONCLUSÃO

Neste capítulo apresentaram-se as etapas concernentes à implementação do retificador trifásico três níveis, com o objetivo de verificar o comportamento operacional do conversor submetido ao controle digital implementado via DSP. Foram mostrados os circuitos implantados e os componentes utilizados na montagem do retificador. Um protótipo de 3 kW foi elaborado e testado no laboratório; as principais rotinas desenvolvidas para aplicação no controle do conversor foram explicitadas, expondo-se também a implementação de algumas rotinas com possibilidades de aplicação em técnicas de controle mais eficientes. A programação foi efetuada em linguagem *assembler* e os algoritmos de controle foram implementados em rotinas de ponto-fixa. Apesar dos problemas pertinentes ao uso de DSP, ou seja, da representação finita e da

---

aritmética em ponto-fixado, não houve aspectos negativos significativos quanto ao uso do *ADMC401* para o controle do retificador trifásico.

Resultados experimentais foram exibidos, os quais comprovaram a operação adequada do retificador controlado pelo DSP; caracterizando, assim, um conversor com fator de potência praticamente unitário, com correntes de entrada senoidais, cujas tensões de saída são equilibradas, o que vem confirmar a estratégia de controle digital desenvolvida e empregada no controle do retificador trifásico.

## CONCLUSÕES GERAIS

No início da apresentação deste trabalho, procurou-se enfatizar as exigências normativas e a necessidade de obter fontes de alimentação com alto fator de potência e baixa distorção harmônica da corrente de entrada; em um segundo momento citaram-se as topologias mais utilizadas e reconhecidas, que se destacam por apresentar essas características.

Optou-se pelo estudo e implementação de um retificador trifásico de três níveis com ponto médio na tensão de saída como sendo a base do tema proposto para a tese de doutorado, sendo as vantagens dessa topologia, em relação a outras, relatadas no capítulo 1. O tema da pesquisa referiu-se de modo mais pontual ao estudo e à implementação do controle desse retificador, visando obter um conversor que operasse como estágio pré-regulador de fontes de alimentação utilizadas em telecomunicações, apresentando um alto fator de potência com tensões de saída reguladas e equilibradas. A proposta teve como foco contemplar a utilização de técnicas e ferramentas de controle digital, implementadas no Processador Digital de Sinais (DSP).

Na proposta do tema, ressaltou-se uma das características dessa topologia, a qual se refere ao ponto médio de tensão na saída do conversor; o estágio seguinte, que compõe a fonte de alimentação, pode tirar proveito dessa usando conversores CC-CC de três níveis, por exemplo.

A manutenção do equilíbrio dessas tensões foi um ponto de estudo e interesse, já que a ausência dele pode ocasionar problemas com os interruptores e com os capacitores de saída do retificador. Tensões desequilibradas podem comprometer o funcionamento adequado desses componentes; chegando, inclusive, a ocasionar a perda definitiva do componente.

No capítulo 2 foram apresentadas algumas noções básicas de conceitos e de métodos convencionais para projetos em sistemas de controle de tempo discreto ou digital. Nessa etapa da pesquisa foram descritas as informações mais

---

relevantes dos Processadores Digitais de Sinais utilizados nas implementações ao longo desse trabalho. Foram estudados e utilizados tipos diferentes de DSP; essas escolhas levaram em consideração critérios de projeto, definidos nesse mesmo capítulo, assim como propositalmente se pretendeu abranger e expandir os conhecimentos no uso desses componentes aplicados em eletrônica de potência. Conseguiu-se, assim, obter e assimilar informações de aplicação, envolvendo DSP oriundos de diferentes fabricantes. Selecionou-se o *ADMC301* no controle do retificador monofásico; o *ADMC401* no retificador trifásico e, por último, utilizou-se o *TMS320LF2407* no controle de um filtro ativo monofásico implementado em laboratório. Esse último foi parte integrante da aprendizagem do uso de DSPs em eletrônica de potência, cujos detalhes de implementação podem ser obtidos em [32].

Nos capítulos 3, 4 e 5, procedeu-se ao estudo e à implementação prática do retificador tipo dobrador de tensão monofásico. Esse serviu como ponto de partida para o estudo do retificador trifásico proposto como tema. A simplicidade do retificador monofásico e as semelhanças com o trifásico, tocantes ao funcionamento, serviram de estímulo e ponto de partida na aquisição de informações e conhecimentos necessários à obtenção dos objetivos finais, relatados no capítulo 1.

Através do estudo do retificador dobrador de tensão monofásico, chegou-se a um protótipo com potência de 1.000 W, desenvolvido em laboratório, onde foram implementadas e testadas as malhas de controle do retificador; em ambas foram usadas as técnicas de controle digital via Processador Digital de Sinais, implementadas no ambiente do *ADMC331*. Obteve-se uma operação satisfatória e adequada do conversor, dentro das expectativas de controle esperadas no projeto e simulação do mesmo. Antes de chegar a esse ponto, foram necessários estudos na área de controle digital e uso de DSP em eletrônica de potência. Como solução para evitar o desequilíbrio entre as tensões nos capacitores de saída foi proposto e implementado o uso de duas malhas de tensão,

---

cada uma controlando a tensão em um dos capacitores. Os resultados obtidos foram adequados.

Outro aspecto importante refere-se ao uso de DSP de ponto fixo em controle de conversores estáticos. Os DSP's utilizados na implementação dos algoritmos e das leis de controle utilizadas nessa tese são do tipo aritmética de ponto fixo, cuja oferta e demanda na área de controle e acionamento tem se tornado bastante popular. O número de *bits* que estes DSP podem manipular diretamente pela sua unidade central de processamento (CPU) é fixo e limitado, especificamente 16 bits nos componentes DSP utilizados no controle dos conversores CA-CC aqui apresentados. Essa limitação traz como consequência problemas de representação numérica, ou seja, a representação numérica de variáveis e coeficientes é restrita a um conjunto finito e discreto de magnitudes. Esses efeitos ocasionados pelo comprimento finito da palavra representada pelos DSP significam ruídos de quantização introduzidos no projeto de controle do sistema, conforme relatado no capítulo 2. Erros de quantização podem, por exemplo, mover um pólo de uma posição definida em projeto para outra, talvez sobre o círculo unitário do plano  $z$ , ou pior ainda, até fora do mesmo. Esse fato poderia ocasionar oscilações na resposta do sistema, podendo resultar em instabilidade. A principal dificuldade prática no uso de DSP's são os aspectos relacionados com a representação das variáveis e constantes utilizadas nos programas, sendo assim, deve-se escolher adequadamente o formato numérico para representar esses valores nas rotinas.

Porém, saliente-se que não ocorreram problemas dessa ordem nos desenvolvimentos e implementações outrora apresentados nesta tese, confirmando ser uma opção viável o emprego de DSP tipo ponto fixo no desenvolvimento e aplicação de controle digital em conversores estáticos. Sabe-se no entanto que DSPs com maior capacidade de manipulação de *bits* e aritmética de ponto flutuante tornam-se opções cada vez mais presentes, devendo-se considerar a possibilidade de seu uso, minimizando-se assim os agravantes introduzidos

---

pelos efeitos da representação numérica em comprimento finito, os quais se acentuam no uso de DSPs de ponto fixo de 16 *bits*.

Na seqüência dos estudos foi pesquisada e apresentada nos capítulos 6 e 7 a topologia do retificador trifásico três-níveis-unidirecional-sem-neutro. Também foram descritos aspectos qualitativos básicos das etapas de operação do conversor e as estratégias empregadas no controle. Foram apresentados vários resultados, via utilização de simuladores, com o objetivo de verificar e validar a operação do retificador trifásico com correção de fator de potência.

A última etapa do projeto foi descrita no capítulo 8, no qual relatou-se a implementação do protótipo do retificador trifásico de 3 kW, controlado digitalmente por meio do controlador DSP *ADMC401*. Nesse capítulo descreveram-se os principais circuitos empregados na implementação do protótipo, bem como os detalhes de implementação das rotinas de controle do retificador; por fim, foram apresentados os resultados experimentais obtidos em laboratório. Para controlar as tensões de saída, mantendo-as nos valores estabelecidos como referência, foi utilizada a adição de um nível CC nas referências de corrente para as três fases; conseguindo-se assim os resultados esperados.

Finalmente conclui-se que a partir dos estudos e implementações do retificador monofásico, do retificador trifásico três níveis e outras experiências ao longo desses estudos, utilizando controle digital com DSP, resultaram as seguintes contribuições:

- dois protótipos implementados e controlados digitalmente por DSP: um Retificador Trifásico Três Níveis de 3 kW, um Retificador Monofásico Três Níveis de 1 kW. Tais implementações resultaram em informações de detalhes de projeto, simulação e implementação de técnica de controle digital via DSP;
- rotinas e algoritmos que podem ser aproveitados e utilizados em outras técnicas de controle dos retificadores trifásicos

---

(transformações  $\alpha$ - $\beta$ -0, transformações direta e inversa de Park e Clark, PLL, detecção passagem por zero, detector do setor de operação do conversor, filtros, controladores, métodos de sincronismo, entre outras). Essas rotinas foram implementadas e testadas;

- a proposição da utilização de um PLL digital para obter o sincronismo e gerar as referências das correntes de entrada para o retificador trifásico;
- a implementação de metodologias de controle digital do desequilíbrio de tensão dos retificadores monofásico e trifásico;
- a proposição de critérios de auxílio à escolha de DSPs em aplicações de controle em conversores estáticos.

# APÊNDICE A

## ASPECTOS GERAIS DOS CONTROLADORES DSP

### A.1 INTRODUÇÃO

No capítulo 2, seções 2.6, 2.7 e 2.8, apresentaram-se as características gerais dos DSPs utilizados na implementação dos retificadores monofásicos e trifásicos. Apresentam-se, nos parágrafos seguintes, os detalhes de operação e programação dos principais periféricos utilizados no controle digital dos conversores implementados nesta tese. Incluíram-se também, detalhes de operação do DSP TMS320LF2407, pelo fato de o mesmo ter sido estudado e avaliado no item 2.5.2, onde se tratou de critérios de escolha do DSP. As informações completas sobre os DSPs utilizados nesta tese podem ser encontradas nas referências bibliográficas [20 – 24].

### A.2 O DSP ADMC401

Dentre os três componentes DSPs estudados e utilizados nas implementações práticas, o principal foi sem dúvida o *ADMC401*, pelo fato desse ter sido usado na construção do protótipo do retificador trifásico, tema central desta tese. Além das características mostradas no capítulo 2, serão apresentados a seguir detalhes específicos do *ADMC401*. As informações aqui contidas são decorrentes da tradução, do estudo, e da interpretação dos manuais fornecidos pelo fabricante acerca deste componente DSP [20-22]. Podem-se obter muito mais detalhes, exemplos de aplicações, tutoriais e artigos diretamente na página da *ANALOG DEVICES*.

#### A.2.1 DESCRIÇÃO GERAL

Conforme descrito no item 2.6.1, esse componente é um controlador DSP que possui um núcleo que opera em 26 MIPS. As características básicas

principais foram relatadas anteriormente no capítulo 2. A seguir apresenta-se uma lista com elementos adicionais que esse DSP incorpora em seu núcleo.

- ❑ 26 MIPS Ponto - Fixo;
- ❑ Unidades computacionais independentes: ALU, Multiplicação, Acumulação e Deslocamento;
- ❑ Execução das Instruções em um único ciclo (38,5 ns);
- ❑ Instruções Multifunção;
- ❑ 2k x 24 bits - Memória de Programa RAM;
- ❑ 2k x 24 bits - Memória de Programa ROM;
- ❑ 1K x 16 bits - Memória de Dados RAM;
- ❑ Gerador PWM Trifásico de 16 bits;
- ❑ Oito (8) entradas analógicas (A/D) de 12 bits;
- ❑ Dois (2) PWM auxiliares de 8 bits;
- ❑ Watchdog de 16-bits;
- ❑ Timer de 16 - bits;
- ❑ Porta serial - duas (2).

O diagrama de blocos funcional do controlador DSP *ADMC401* pode ser visto na Fig. 2.10 do capítulo 2.

### **A.2.2 CARACTERÍSTICAS GERAIS**

A arquitetura flexível e o conjunto de instruções simplificadas do *ADSP-2171* (núcleo do *ADMC401*) possibilitam a execução de múltiplas operações em paralelo. Em um ciclo do processador (38,5 ns, para uma frequência de *clock* de 26 MHz), o núcleo do DSP pode:

- ❑ gerar o próximo endereço do programa;
- ❑ carregar a próxima instrução;
- ❑ executar uma ou duas movimentações de dados;
- ❑ atualizar um ou dois apontadores de endereçamento;
- ❑ realizar uma operação computacional.
- ❑ Isso ocorre enquanto o *ADMC401* continua a:

- receber e transmitir através das portas seriais;
- decrementar os timers;
- gerar sinais de PWM;
- converter sinais de entrada nos conversores A/D;
- operar todos os outros periféricos auxiliados pelo PWM.

As unidades computacionais ALU, MAC e SHIFTER podem manipular diretamente dados de 16 bits e adicionalmente possuem condições para manipular dados de maior precisão. A ALU executa um conjunto padrão de operações aritméticas e lógicas, podendo realizar também operações de divisão. A MAC executa em um único ciclo operações de multiplicação, multiplicação e acumulação, e multiplicação e subtração com até 40 bits de acumulação. A SHIFTER realiza deslocamentos aritméticos e lógicos, normalização e denormalização. A SHIFTER também pode ser utilizada para o controle de formatos numéricos, inclusive representações de ponto flutuante. O barramento de resultados (*R bus*) conecta todas as unidades, de forma que os resultados de uma unidade podem ser utilizados como operando de outra no ciclo seguinte.

Dois geradores de endereços (DAGs) possibilitam o acesso simultâneo à memória de dados e à de programa. Cada gerador de endereços mantém e atualiza quatro apontadores de endereçamento (registradores I). Sempre que um dos apontadores acessa a memória, é modificado posteriormente pelo valor contido em um dos modificadores (registradores M). Pode-se associar um valor que define o tamanho em cada apontador através dos registradores L, para implementar estruturas de dados circulares na memória.

A memória de programa pode armazenar tanto instruções como dados, permitindo ao DSP carregar dois operandos no mesmo ciclo; um da memória de dados e outro da memória de programa. O *ADMC401* pode carregar um operando da memória de programa e a próxima instrução no mesmo ciclo.

Esse DSP pode responder a algumas interrupções geradas em seu núcleo. Essas interrupções compreendem interrupções de transmissão e recebimento das portas seriais, interrupções do timer, interrupções de software e

externas. Há também um sinal de RESET global. Os periféricos de controle de motores também geram interrupções para o núcleo do DSP.

As duas portas seriais (SPORTs) disponibilizam a interface serial síncrona com diversos modos de transmissão e recepção. Cada porta serial pode gerar um *clock* interno programável ou operar de acordo com uma frequência de *clock* externa.

Um contador programável de intervalos é também disponível no núcleo do DSP e pode ser programado para gerar interrupções periódicas. Um valor de escala carregado no registrador TSCALE de 8 *bits* permite que um registrador de 16 *bits* (TCOUNT) seja decrementado a cada ciclo de processamento ou até 256 ciclos. Quando o valor do contador chega a zero, uma interrupção é gerada e o registrador de contagem é recarregado com o valor contido no registrador TPERIOD, de 16 *bits*.

### A.2.3 CONVERSÃO ANALÓGICO-DIGITAL (SISTEMA ADC)

O ADMC401 possui um sistema de conversão analógico-digital de tipo *pipeline flash*, o que lhe confere rapidez e precisão na conversão de grandezas analógicas em digital. A uma frequência de 26MHz, a conversão dos oito canais de entrada conclui-se em menos de 2 $\mu$ s. Na Fig. 2.11 do capítulo 2 tem-se o diagrama de blocos funcionais do sistema ADC do ADMC401.

Existem dois modos básicos de operação do sistema ADC, um chamado Amostragem Simultânea e outro de Amostragem Seqüencial. Além desses o sistema ADC utiliza-se de dois outros modos de operação, usados para calibrar o ganho e *offset* do sistema. No modo *Offset Calibration*, todas as entradas analógicas (VIN0 a VIN7, GAIN, ASHAN e BSHAN) são desconectadas dos amplificadores de SAH e SHB (*sample and hold*). A seguir, as duas entradas de cada amplificador são curto-circuitadas e conectadas à tensão de referência. Após uma seqüência de conversão, os dados guardados nos registradores ADC podem ser considerados como uma medida do *offset* em cada amplificador. No modo *Gain Calibration*, o sinal de entrada no pino GAIN é aplicado às entradas não inversoras de ambos os

amplificadores; tensões aplicadas a esse pino são usadas para medir e corrigir erros de ganho. Observe a Fig. 2.11 no capítulo 2.

Para cada saída do conversor A/D, um bit OTR (*Out of range*) é configurado em “1” se o sinal ultrapassar o limite de tensão permitido. Os oito bits OTR das oito entradas analógicas estão localizados no registrador ADCOTR. O bit OTR do registrador ADCXTRA é guardado no registrador ADCSTAT.

#### A.2.4 COMANDO DE INICIALIZAÇÃO

O processo de conversão analógico-digital do *ADMC401* pode ser iniciado por um comando interno ou externo. O *bit 0* do registrador ADCCTRL define quando o modo interno ou externo está habilitado. Se esse *bit* estiver zerado, o modo de iniciação interna está habilitado, e o processo de conversão é iniciado na subida do sinal PWMSYNC. Isso resulta em uma seqüência de conversão por período de chaveamento do PWM, quando o gerador PWM está no modo de operação *single update*. Se o PWM estiver no modo de operação *double update* ocorrerão duas seqüências de conversão por período. No modo interno, para assegurar uma correta sincronização e uma operação sem erros, é essencial que o valor do registrador PWMTM seja um múltiplo de quatro, ou seja, seus dois bits menos significativos devem ser 0.

Se o *bit 0* do registrador ADCCTRL estiver em “1”, o modo de iniciação externa está habilitado. Neste modo, o processo de conversão inicia na subida do sinal aplicado ao pino CONVST. Além disso, o processo de conversão pode ser iniciado por *software*, aplicando o sinal de alguma das linhas programáveis de entrada e saída (PIO), e gerando um nível alto alterando o *bit* apropriado no registrador PIODATA.

No *reset* do processador, o *bit 0* do registrador ADCCTRL estará zerado, de forma que o modo de iniciação interna estará selecionado.

### A.2.5 CONFIGURAÇÃO DOS SINAIS DE ENTRADA

A Fig. A.1 é um modelo simplificado para um canal da estrutura de entrada do sistema ADC do *ADMC401*. Esse modelo aplica-se a todos os canais. Os multiplexadores internos selecionam as diversas entradas para o núcleo do conversor A/D. Para todos os sinais do banco 1, há uma entrada comum (ASHAN), que é a entrada para o terminal inversor do amplificador de *sample and hold*. Para os sinais do banco 2, o sinal BSHAN desempenha a mesma função. O Valor  $V_{REF}$  (tensão de referência gerada internamente ou aplicada externamente ao pino  $V_{REF}$ ) define a máxima tensão aplicada ao núcleo do conversor A/D. A mínima tensão é automaticamente definida como sendo  $-V_{REF}$ .

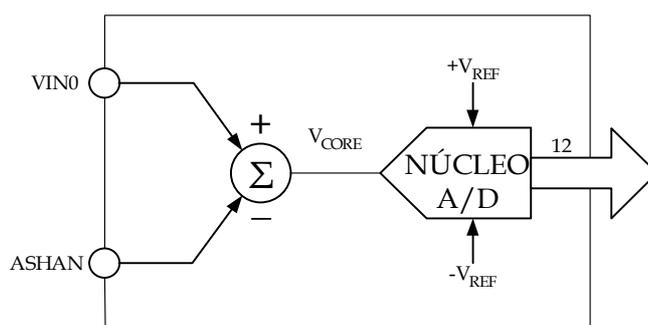


Fig. A.1 - Modelo do sistema de entrada do ADC.

Por exemplo: utilizando a referência interna de 2.0V, os níveis de entrada estarão centrados em torno de 2.0 V. As entradas ADC podem ser configuradas de modo que os pinos ASHAN e BSHAN estejam conectados diretamente à tensão de referência, e os valores de entrada sejam sinais com uma amplitude de 4.0  $V_{p-p}$ . As entradas VIN0 a VIN7 são unipolares, sendo que, ao operar com a tensão de referência interna de 2.0 V, os sinais de entrada podem estar numa faixa de 0 a 4 V. O fabricante recomenda a utilização da configuração mostrada na Fig. A.2, nesse caso está desenhado para um dos canais de entrada analógico [20].

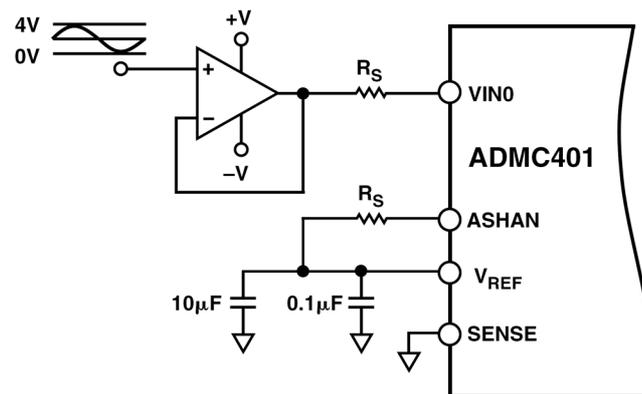


Fig. A.2 – Entrada analógica típica para o ADMC401.

O sinal de entrada do conversor A/D é dado por:

$$V_{CORE} = VIN0 - ASHAN \quad (a.1)$$

que deve satisfazer a condição:

$$-V_{REF} \leq V_{CORE} \leq V_{REF} \quad (a.2)$$

Além disso, existem outros limites para o sinal de entrada, que dependem dos valores de alimentação do ADMC401:

$$AV_{SS} - 0.3V \leq VIN0 \leq AV_{DD} + 0.3V \quad (a.3)$$

$$AV_{SS} - 0.3V \leq ASHAN \leq AV_{DD} + 0.3V \quad (a.4)$$

Onde geralmente  $AV_{SS}$  é 0V e  $AV_{DD}$  é 5V. Esses critérios de limitação aplicam-se a todos os pinos de entrada do sistema ADC.

### A.2.6 FORMATO DOS DADOS E DETECÇÃO DE ESTOURO

Os dados digitais oriundos do núcleo do conversor A/D, que são armazenados em registradores dedicados e mapeados na memória (ADC0 a ADC7 e ADCXTRA), são guardados alinhados à esquerda no formato de complemento 2. O núcleo do conversor A/D produz um bit de estouro (*Out-of-range*) que é colocado no valor "1" quando o sinal de entrada excede a faixa permitida de valores ( $-V_{REF}$  a  $V_{REF}$ ). O registrador ADCOTR, de 8 bits, guarda os 8 bits OTR das conversões dos sinais de VIN0 a VIN7. Existe um único bit para cada entrada. Por exemplo: Se o bit 0 do registrador ADCOTR estiver em nível alto, isso é sinal de

que a entrada VIN0 excedeu o limite de tensão permitido. Assim, se ao final de um ciclo, o valor do registrador ADCOTR for zero, significa que nenhuma das entradas excedeu a faixa permitida de tensões. Se o bit OTR, para um dado sinal de entrada no A/D, é colocado em nível 1, é possível determinar se o sinal está acima da faixa permitida (superior a  $2V_{REF}$ ) ou abaixo desta (inferior a 0V), verificando o bit mais significativo do valor convertido, como é mostrado na Tabela A.1.

Tabela A.1 – Condições do sinal de entrada no A/D.

Bit OTR	MSB	Condição
0	0	Dentro da faixa permitida: $V_{REF} \leq VIN \leq 2V_{REF} - 1LSB$
0	1	Dentro da faixa permitida: $0 \leq VIN \leq V_{REF} - 1LSB$
1	0	Acima da faixa permitida: $VIN \geq 2V_{REF}$
1	1	Abaixo da faixa permitida: $VIN < 0$

### A.2.7 MODOS DE OPERAÇÃO

O sistema ADC do *ADMC401* pode ser configurado para operar em quatro diferentes modos, selecionados através dos *bits* 3 e 4 do registrador ADCCTRL, conforme mostrado na Tabela A.2. No *reset*, estes dois bits estão zerados e o modo de amostragem simultânea está automaticamente selecionado.

Tabela A.2 – Modo de operação do ADC.

Bits 3 e 4 de ADCCTRL	Modo de Operação
00	Amostragem Simultânea
01	Amostragem Sequencial
10	Calibragem de <i>Offset</i>
11	Calibragem de ganho

#### MODOS AMOSTRAGEM SIMULTÂNEA

Este modo de operação é selecionado zerando-se os *bits* 3 e 4 do registrador ADCCTRL. Neste modo, as oito entradas analógicas são amostradas como quatro pares de entradas amostradas simultaneamente, com VIN0 e VIN4

formando o primeiro par de entradas amostradas, seguidos por VIN1 e VIN5, VIN2 e VIN6, e finalmente VIN3 e VIN7.

Existe para cada par de entradas um bit de status no registrador ADCSTAT, que é levado ao nível lógico “1” no momento em que a conversão do par de entradas amostradas simultaneamente é finalizada. O bit 0 do registrador ADCSTAT é “1” no momento em que os registradores ADC0 e ADC4 terminam de ser atualizados. O *bit* 1 tem a mesma função para ADC1 e ADC5, o *bit* 2 para ADC2 e ADC6, e o *bit* 3 para ADC3 e ADC7. No início de uma nova seqüência de conversão, todos os *bits* do registrador ADCSTAT são zerados. Além disso, no fim da seqüência de conversão, após a atualização do registrador ADC7, uma interrupção dedicada é gerada. Essa interrupção pode ser mascarada e controlada pelo bloco PIC (controlador programável de interrupções).

Dependendo das condições iniciais de sincronismo, o maior tempo possível gasto na seqüência de conversão, definido como o tempo entre a subida do comando de iniciação e a geração da interrupção é:

$$t_{CONV} = 49t_{CK} \quad (a.5)$$

O que corresponde a 1,88  $\mu$ s para uma freqüência de *clock* de 26 MHz. Neste modo, o tempo gasto entre a amostragem de dois pares consecutivos de entradas analógicas é de  $8t_{CK}$ , ou 308 ns (a 26MHz).

#### MODO AMOSTRAGEM SEQÜENCIAL

Este modo é selecionado configurando com “1” o *bit* 3 e zerando o *bit* 4 do registrador ADCCTRL. Neste modo, a conversão é feita amostrando as entradas analógicas seqüencialmente uma após a outra. Assim, no primeiro período de *clock* ADC, VIN0 é amostrado pelo amplificador de *sample and hold*. No segundo período, VIN0 é aplicado ao primeiro estágio *pipeline* do conversor A/D, e VIN1 é amostrado. Esse processo continua até que todas as entradas analógicas tenham sido amostradas e convertidas. O tempo total da seqüência de conversão é igual ao do modo de amostragem simultânea. Porém, canais sucessivos são amostrados em intervalos de  $4t_{CK}$ , ou 154 ns a 26 MHz. É atribuído valor “1” aos

*bits* 0 a 3 do registrador ADCSTAT simultaneamente ao fim das oito conversões. A interrupção é gerada quando o dado no registrador ADC7 estiver atualizado.

#### MODO CALIBRAGEM DE OFFSET

Para assegurar uma alta exatidão do sistema ADC do *ADMC401*, pode ser necessário medir e compensar quaisquer ganhos ou *offset* intrínsecos ao sistema de conversão. O Modo Calibragem de *Offset* é selecionado quando o *bit* 4 é “1” e o *bit* 3 é zero no registrador ADCCTRL; esse modo é usado para medir *offsets* nos amplificadores de *sample and hold*. Quando ele é selecionado, todas as entradas analógicas (VIN0 a VIN7, ASHAN e BSHAN) são desconectadas, as entradas de cada amplificador de *sample and hold* são conectadas e ligadas internamente à tensão de referência, no pino  $V_{REF}$ . A seguir, uma seqüência de conversão deve ser iniciada. Ao final da conversão, os dados nos registradores ADC0 a ADC3 podem ser considerados como quatro medidas distintas do *offset* no primeiro amplificador de *sample and hold*. Da mesma forma, os dados nos registradores ADC4 a ADC7 podem ser considerados medidas do *offset* associadas ao segundo amplificador de *sample and hold*. A média desses valores é o valor do *offset* em cada amplificador de *sample and hold*, que pode ser guardado para compensar quaisquer medidas futuras. Os *bits* de final de conversão são atualizados e a interrupção é gerada da mesma forma em que ocorrem no modo de amostragem simultânea.

#### MODO CALIBRAGEM DE GANHO

Em alguns casos, pode ser necessário medir e compensar os erros de ganho associados com o processo de conversão A/D. O modo de calibragem de ganho é selecionado quando os *bits* 3 e 4 do registrador ADCCTRL têm valores iguais à “1”. Ele é utilizado para oferecer uma flexibilidade significativa ao usuário na determinação da quantidade de compensação de ganho necessária. Neste modo, o pino de entrada GAIN é internamente conectado ao terminal não-inversor de cada amplificador de *sample and hold*. Podem ser aplicados valores definidos de tensão a este pino, de forma a medir o ganho associado à conversão analógico-digital.

Uma seqüência completa de conversão deve ser efetuada para cada valor de tensão aplicado ao pino GAIN. Após a conversão, os dados contidos nos registradores ADC0 a ADC3 podem ser usados para calcular o ganho separadamente para cada uma das entradas analógicas do primeiro amplificador de *sample and hold*. Da mesma forma, os dados em ADC4 a ADC7 podem fornecer o ganho do segundo amplificador. A média desses valores pode ser armazenada e utilizada como sendo o erro de ganho médio de cada um dos amplificadores de *sample and hold*, servindo para compensar quaisquer medidas futuras. Os *bits* de fim de conversão são atualizados e a interrupção é gerada da mesma forma em que ocorrem no modo de amostragem simultânea.

## A.2.8 CONTROLADOR PWM

### VISÃO GERAL

O controlador PWM do *ADMC401* é do tipo trifásico composto de três pares de sinais PWM acessíveis via seis pinos do *chip* DSP. Esse sistema é totalmente integrado, o que simplifica e facilita a sua programação, possibilitando a geração de padrões PWM em diversos tipos de aplicação, com especial interesse nos casos em que envolvam Eletrônica de Potência. Os pares de sinais de saída são enumerados pelas letras A,B e C, cujos pares são complementares, ou seja, ativos em alto e ativos em baixo (AH, AL, BH, BL, CH e CL).

Outras características como tempo morto e largura mínima de pulsos dos padrões de PWM são controladas pela programação de registradores específicos, destinados a esse fim [20]. A razão cíclica é determinada pelo valor numérico colocado nos registradores PWMCHA, PWMCHB e PWMCHC, cada um desses controla um dos pares de sinais PWM, respectivamente, A, B e C.

As seis saídas PWM podem ser habilitadas ou desabilitadas individualmente através dos *bits* do registrador PWMSEG. Além disso, três *bits* de controle do registrador PWMSEG permitem a troca entre si de dois sinais de um par PWM para facilitar o controle de motores ECM ou BDCM (modo *crossover*).

Em muitas aplicações, é necessário prover isolamento dos circuitos de comando que acionam os dispositivos de potência. Em geral, existem duas técnicas comuns de isolamento: isolamento óptico, utilizando optoisoladores, e isolamento por transformadores, utilizando transformadores de pulso. O controlador PWM do *ADMC401* permite a composição dos sinais de saída com um sinal modulador de alta frequência para permitir a interface com esse tipo de transformadores. As características desse modo de operação podem ser controladas por intermédio do registrador *PWMGATE*, que controla diretamente a frequência do modulador. Essa modulação em alta frequência pode ser habilitada independentemente, para as saídas altas ou baixas, utilizando *bits* diferentes do registrador *PWMGATE*.

O gerador PWM pode atualizar a razão cíclica uma ou duas vezes por período PWM, dependendo em que modo (*single update* ou *double update*) o controlador PWM está configurado. O modo de operação (*single* ou *double*) é selecionado por um bit de controle no registrador *MODECTRL*.

O gerador de PWM do *ADMC401* disponibiliza um pulso de saída no pino *PWMSYNC*, sincronizado com a frequência de chaveamento do PWM. No modo atualização simples (*single update*), um pulso é gerado em *PWMSYNC* no início do período de PWM. No modo atualização dupla (*double update*), um pulso adicional é gerado em *PWMSYNC* no ponto médio do período de PWM. A largura do pulso *PWMSYNC* é programável através do registrador *PWMSYNCWT*.

Os sinais de PWM produzidos pelo *ADMC401* podem ser desligados por alguns métodos. Existe um pino dedicado ao desligamento assíncrono, *PWMTRIP*, que ao receber um nível baixo, instantaneamente desliga todas as seis saídas PWM (estado determinado pelo sinal no pino *PWMPOL*). Além disso, cada uma das linhas *PIO* do *ADMC401* pode ser configurada como entrada de comando de desligamento do PWM, de forma que tenha o mesmo comportamento do pino *PWMTRIP*. O gerador PWM pode ser desligado também por *software*, através do registrador *PWMSWT*.

As informações sobre o estado do sistema PWM ficam disponíveis para o usuário no registrador SYSSTAT. Em particular, o estado dos pinos PWMTRIP e PWMPOL está disponível, assim como os *bits* que indicam se a operação está ocorrendo na primeira ou na segunda metade do período de PWM.

A geração dos padrões PWM disponíveis externamente ao DSP nos pinos AH a CL é controlada por blocos conforme mostrado na Fig. 2.12 do capítulo 2. A função de cada um desses blocos foi sucintamente descrita anteriormente, a saber, Unidade Trifásica de Tempo, Unidade de Controle de Saída, Unidade de *Gate Drive* e Unidade de Controle de Desligamento. Descrevem-se com mais detalhes essas unidades com o objetivo de disponibilizar detalhes da programação necessária para acionamento do controlador PWM. Essas unidades serão consideradas como itens individuais, dado o conjunto de informação que cada uma contém.

### A.2.9 UNIDADE TRIFÁSICA DE TEMPO

A unidade trifásica de tempo de 16 *bits* é o núcleo do controlador PWM e produz três pares de sinais modulados por largura de pulso, com alta resolução. As saídas dessa unidade são ativas-baixo, de forma que um nível baixo é interpretado como um comando de disparo para o dispositivo de potência associado. Existem quatro registradores principais de configuração (PWMTM, PWMDT, PWMPD, e PWMSYNCWT), que determinam as características principais das saídas PWM. O modo de operação do PWM (simples ou dupla atualização) é selecionado através do *bit* 6 do registrador MODECTRL. Esses registradores, em conjunto com os registradores de razão cíclica (PWMCHA, PWMCHB e PWMCHC), controlam as saídas da unidade trifásica de tempo.

#### FREQÜÊNCIA DE CHAVEAMENTO DO PWM

A frequência de chaveamento do PWM é controlada pelo registrador de período PWMTM. A unidade fundamental do controlador PWM é  $t_{CK}$  (ciclo de instruções do DSP). Assim, para um *clock* de 26 MHz, o incremento fundamental é de 38,5 ns. O valor escrito no registrador PWMTM é o número de incrementos em

meio período de PWM. O valor PWM<sub>TM</sub> em função da frequência de chaveamento desejada ( $f_{PWM}$ ) é dado por:

$$PWM_{TM} = \frac{f_{CLKOUT}}{2f_{PWM}} \quad (a.6)$$

Assim, o período de chaveamento do PWM,  $T_s$  pode ser definido como:

$$T_s = 2 PWM_{TM} t_{CK} \quad (a.7)$$

Por exemplo, para um *clock* de 26 MHz e uma frequência de PWM de 10 kHz, o valor que deve ser carregado no registrador PWM<sub>TM</sub> é:

$$PWM_{TM} = \frac{26 \text{ MHz}}{2 \cdot 10 \text{ kHz}} = 1.300 \quad (a.8)$$

O máximo valor que pode ser carregado em PWM<sub>TM</sub> é de 0xFFFF, o que corresponde a uma mínima frequência de 198 Hz.

#### TEMPO MORTO

Um dos parâmetros importantes na configuração do bloco PWM é o tempo morto. O tempo morto é um pequeno atraso entre o instante em que um sinal de PWM (AH, por exemplo) é desativado e o instante em que seu sinal complementar (AL neste caso) é ativado. Esse intervalo é gerado para assegurar que um sinal esteja completamente bloqueado antes que o outro seja ativado. Esse tempo morto é controlado pelo registrador de 10 *bits* PWM<sub>DT</sub>. Existe apenas um registrador de tempo morto que controla o tempo morto gerado em todos os três pares de sinais PWM. O tempo morto  $T_D$  é relacionado com o valor no registrador PWM<sub>DT</sub> pela seguinte relação:

$$T_D = PWM_{DT} \cdot 2 \cdot t_{CK} \quad (a.9)$$

Dessa forma, para um *clock* de 26 MHz, um valor de 0x000A (10) carregado em PWM<sub>DT</sub> gera um tempo morto de 770 ns entre o instante em que um sinal é desligado e o instante em que seu sinal complementar é acionado. O registrador PWM<sub>DT</sub> é um registrador de 10 *bits*, sendo o seu máximo valor de

---

0x03FF (1023), o que corresponde a um tempo morto máximo de 78,8  $\mu$ s, para uma frequência de *clock* de 26 MHz.

### MODOS DE OPERAÇÃO

O controlador PWM do *ADMC401*, conforme já citado, pode operar em dois modos distintos: modo atualização simples (*single update*) e modo atualização dupla (*double update*). O modo de operação do controlador PWM é controlado pelo *bit* 6 do registrador *MODECTRL*. Se este *bit* estiver zerado, o PWM opera em modo atualização simples. Caso contrário, o modo atualização dupla estará selecionado. No *reset*, este *bit* estará zerado, de forma que o PWM estará em modo atualização simples.

No modo atualização simples, um único pulso *PWMSYNC* é gerado em cada período de PWM. O instante de subida desse pulso marca o início de um novo período de PWM e é utilizado para carregar novos valores nos registradores de configuração do PWM (*PWMTM*, *PWMDT*, *PWMPD* e *PWMSYNCWT*) e nos registradores de razão cíclica (*PWMCHA*, *PWMCHB* e *PWMCHC*). Além disso, o valor do registrador *PWMSEG* é carregado na unidade de controle de saída, no momento da subida do pulso *PWMSYNC*. Isso quer dizer que as características de configuração do PWM podem ser atualizadas uma vez por período de PWM, no início. Os padrões de PWM gerados são então simétricos em relação ao ponto médio do período.

No modo atualização dupla, um pulso *PWMSYNC* adicional é gerado no ponto médio de cada período de PWM. O instante de subida deste pulso é usado para carregar novos valores nos registradores de configuração do PWM. Dessa forma, é possível alterar as características (frequência de chaveamento, tempo morto, largura mínima de pulso e largura do pulso *PWMSYNC*), assim como as razões cíclicas de saída no ponto médio de cada ciclo de PWM. Assim, podem-se produzir padrões de chaveamento não-simétricos em relação ao ponto médio do período.

No modo de atualização dupla, pode ser necessário saber se em um dado instante de tempo a operação está ocorrendo na primeira ou na segunda metade do período de PWM. Essa informação é fornecida pelo *bit* 3 do registrador SYSSTAT, que é zerado durante a primeira metade do período de PWM e recebe “1” na segunda metade.

#### LARGURA DO PULSO PWMSYNC

O controlador PWM do *ADMC401* gera um pulso de sincronismo numa taxa igual à frequência de chaveamento do PWM no modo atualização simples, e igual ao dobro da frequência de chaveamento no modo atualização dupla. Este pulso é disponível para uso externo no pino PWMSYNC. A largura deste pulso é programável através do registrador de 8 *bits* PWMSYNCWT. A largura  $T_{PWMSYNC}$  é relacionada com o valor contido no registrador PWMSYNCWT pela seguinte relação:

$$T_{PWMSYNC} = t_{CK} (PWMSYNCWT + 1) \quad (\text{a.10})$$

Sendo assim, a largura do pulso pode ser programada de  $t_{CK}$  até  $256t_{CK}$ . No *reset*, o valor carregado automaticamente em PWMSYNCWT é 0x27 (39), de forma que a largura padrão do pulso PWMSYNC é de 1,54  $\mu\text{s}$ , para uma frequência de *clock* de 26 MHz.

#### RAZÕES CÍCLICAS DO PWM

As razões cíclicas dos seis canais de saída do PWM são controladas pelos três registradores de razão cíclica, PWMCHA, PWMCHB e PWMCHC; todos de 16 *bits*. O valor inteiro contido no registrador PWMCHA controla a razão cíclica dos sinais AH e AL. O PWMCHB controla os canais BH e BL, e PWMCHC controla os canais CH e CL.

Os registradores de razão cíclica são programados em múltiplos inteiros da unidade de tempo fundamental,  $t_{CK}$ , e definem o tempo ativo do sinal alto produzido pela unidade trifásica de tempo na metade de período PWM desejada. Os sinais de chaveamento produzidos são ajustados para considerar o tempo

morto programado no registrador PWMDT. A unidade trifásica de tempo produz sinais ativos-baixo, de forma que um nível baixo representa um comando ativo para o dispositivo de potência associado.

Um par padrão de sinais de PWM da unidade trifásica de tempo é mostrado na Fig. A.3, em operação no modo atualização simples [20]. É possível perceber que os padrões de chaveamento são simétricos em relação ao ponto médio do período de PWM, essas são características do modo de atualização simples. Os registradores PWMTM, PWMCHA e PWMDT definem os sinais em ambas as metades do período. O tempo morto é incorporado movendo os instantes de chaveamento de ambos os sinais para longe do instante definido no registrador PWMCHA. Os dois instantes de chaveamento são afastados de  $(PWMDT \cdot t_{CK})$ , de forma a preservar a simetria dos padrões de saída. É possível visualizar também o comportamento do pulso PWMSYNC e do bit 3 do registrador SYSSTAT, que indica se a operação está ocorrendo na primeira ou na segunda metade do período de PWM.

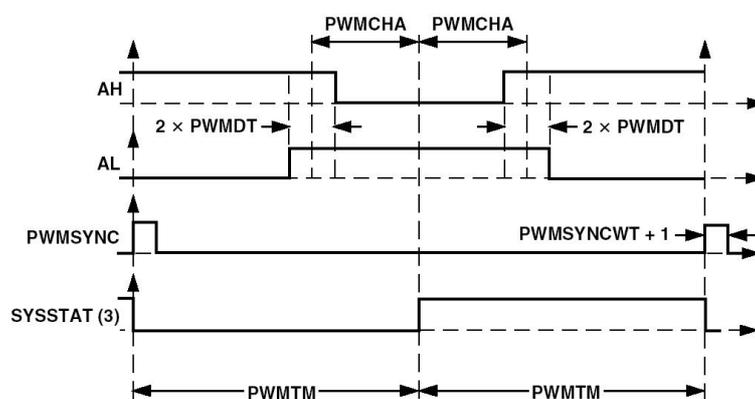


Fig. A.3 – Modo de atualização simples.

Os intervalos de tempo foram representados na figura pelos valores correspondentes dos registradores de configuração. Os intervalos de tempo correspondentes aos valores dos registradores mostrados na figura acima podem ser obtidos multiplicando o valor dos registradores pela unidade fundamental de tempo  $t_{CK}$ . Dessa forma, podemos calcular o tempo ativo de cada sinal em um período completo de PWM:

$$T_{AH} = 2.(PWMCHA - PWMDT).t_{CK} \tag{a.11}$$

$$T_{AL} = 2.(PWMTM - PWMCHA - PWMDT).t_{CK} \tag{a.12}$$

As razões cíclicas correspondentes são:

$$d_{AH} = \frac{T_{AH}}{T_S} = \frac{PWMCHA - PWMDT}{PWMTM} \tag{a.13}$$

$$d_{AL} = \frac{T_{AL}}{T_S} = \frac{PWMTM - PWMCHA - PWMDT}{PWMTM} \tag{a.14}$$

O mínimo valor permitido para  $T_{AH}$  ou  $T_{AL}$  é zero, o que corresponde a uma razão cíclica de 0%. Da mesma forma, o máximo valor permitido é  $T_S$ , o que corresponde a uma razão cíclica de 100%.

Os sinais de saída para o modo atualização dupla são mostrados na Fig. A.4. A figura ilustra um caso geral, no qual a frequência de chaveamento, o tempo morto e razão cíclica variam na segunda metade do período de PWM [20]. É possível perceber que o tempo morto é incorporado ao sinal da mesma forma em que ocorre no modo atualização simples.

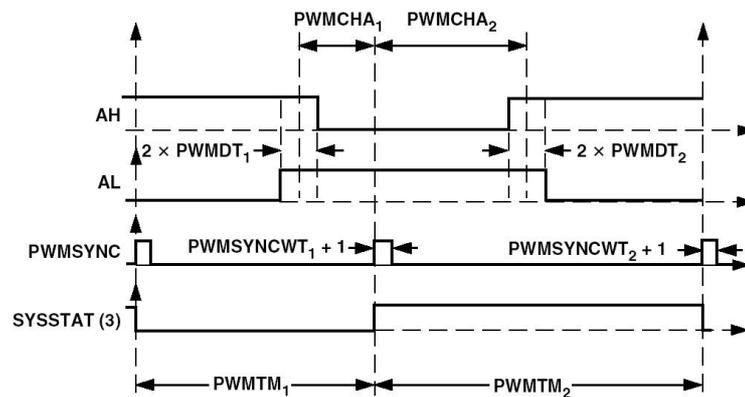


Fig. A.4 – Modo de atualização dupla.

Em geral, o tempo ativo dos sinais de PWM durante um período de PWM no modo atualização dupla pode ser definido como:

$$T_{AH} = (PWMCHA_1 + PWMCHA_2 - PWMDT_1 - PWMDT_2).t_{CK} \tag{a.15}$$

$$T_{AL} = (PWMTM_1 + PWMTM_2 - PWMCHA_1 - PWMCHA_2 - PWMDT_1 - PWMDT_2) \cdot t_{CK} \quad (a.16)$$

O índice 1 se refere ao valor contido no registrador correspondente na primeira metade do período de PWM, e o índice 2 ao valor contido na segunda metade do período de PWM. As razões cíclicas correspondentes são:

$$d_{AH} = \frac{T_{AH}}{T_s} = \frac{PWMCHA_1 + PWMCHA_2 - PWMDT_1 - PWMDT_2}{PWMTM_1 + PWMTM_2} \quad (a.17)$$

$$d_{AL} = \frac{T_{AL}}{T_s} = \frac{PWMTM_1 + PWMTM_2 - PWMCHA_1 - PWMCHA_2 - PWMDT_1 - PWMDT_2}{PWMTM_1 + PWMTM_2} \quad (a.18)$$

Para o caso geral, no modo atualização dupla, o período de chaveamento do PWM é dado por:

$$T_s = (PWMTM_1 + PWMTM_2) \cdot t_{CK} \quad (a.19)$$

Os padrões de PWM descritos acima podem ser produzidos nas saídas BH, BL, CH e CL através da programação dos registradores PWMCHB e PWMCHC, de maneira idêntica à descrita para PWMCHA.

#### LARGURA MÍNIMA DE PULSO

Em muitas aplicações de potência, é desejável eliminar sinais de chaveamento PWM abaixo de uma certa largura. Em alguns casos, gasta-se algum tempo entre o comando e o bloqueio de um dispositivo semicondutor. Dessa forma, se a largura de algum sinal de PWM for menor do que um valor mínimo, pode ser conveniente eliminar completamente o chaveamento PWM daquele ciclo em particular. A mínima largura de pulso permitida para qualquer uma das seis saídas PWM pode ser programada através do registrador PWMPD, de 10 bits. A mínima largura de pulso,  $T_{MIN}$ , é programada em múltiplos inteiros de  $t_{CK}$ , por meio da seguinte relação:

$$T_{MIN} = PWMPD \cdot t_{CK} \quad (a.20)$$

Assim um valor de 0x00A em PWMPD define uma largura de pulso mínima permitida de 0,39  $\mu$ s para um *clock* de 26 MHz. A operação de controle da largura mínima de pulso garante que o tempo entre o instante de acionamento e o de desligamento de qualquer sinal PWM nunca será menor do que o valor  $T_{MIN}$ , programado através do registrador PWMPD. Quando o controlador PWM detecta que esse tempo é menor que  $T_{MIN}$  para um dado sinal (AH, por exemplo), o pulso é ignorado e o sinal permanece desligado até o fim do período de PWM. O sinal complementar, AL, neste caso, fica acionado nesse período.

#### A.2.10 UNIDADE DE CONTROLE DE SAÍDA

A operação dessa unidade de saída é controlada pelo registrador PWMSEG, de 9 *bits*, que comanda algumas características diretamente importantes no controle de acionamento de motores.

##### CRUZAMENTO DE SINAIS

O registrador PWMSEG possui três *bits* de cruzamento (*crossover*); um para cada par de saídas PWM. Colocando-se o valor um (1) no *bit* 8 do registrador PWMSEG, é possível habilitar o modo de cruzamento para o par AH/AL. O *bit* 7 habilita o cruzamento do par BH/BL e o *bit* 6 habilita o cruzamento do par CH e CL. Se o modo de cruzamento estiver habilitado para qualquer par de saídas PWM, o sinal do lado alto (AH, por exemplo) será transferido para o lado baixo, de forma que aparecerá no pino correspondente ao lado baixo (AH neste caso). De forma análoga, o sinal do lado baixo será transferido para o pino do lado alto. No *reset*, os *bits* de cruzamento estão todos zerados, restando assim o modo de cruzamento desabilitado para todos os pares de sinais PWM.

##### HABILITAÇÃO DE SAÍDAS

O registrador PWMSEG possui seis *bits* (0 a 5), que são utilizados para habilitar ou desabilitar individualmente cada uma das seis saídas PWM. O *bit* correspondente para cada uma das saídas é mostrado na Tabela A.3 a seguir:

Tabela A.3 – Habilitações das saídas PWM.

Bit de PWMSEG	Saída PWM
5	AL
4	AH
3	BL
2	BH
1	CL
0	CH

Quando o *bit* correspondente a uma determinada saída PWM for levado a nível alto (1), esta saída será desabilitada independentemente do valor contido em seu registrador de razão cíclica. Esse sinal de PWM estará no estado desabilitado enquanto seu *bit* correspondente estiver em um (1). No *reset*, todos os *bits* de habilitação estão zerados, de forma que todas as saídas estarão habilitadas. Como os outros registradores de configuração, o registrador PWMSEG pode ser atualizado no instante de subida do pulso PWMSYNC, sendo possível habilitar ou desabilitar as saídas individualmente a cada ciclo.

#### A.2.11 UNIDADE DE GATE DRIVE

##### MODULADOR DE ALTA FREQUÊNCIA

A principal característica dessa unidade é simplificar o projeto de circuitos isolados de acionamento dos interruptores de potência. Se for utilizado no comando do conversor, um circuito de *drive* com isolamento baseado em transformador de pulso, o sinal PWM oriundo do DSP necessita de uma modulação em alta frequência para operar adequadamente. O registrador PWMGATE de 10 *bits* é utilizado para definir a frequência do sinal de modulação. Na Fig. A.5 tem-se um situação típica em que o par (AL/AH) de sinais de saída PWM foi modulado por um sinal retangular de alta frequência.

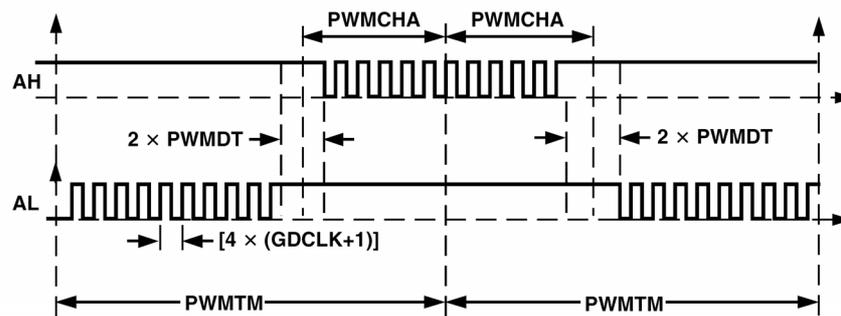


Fig. A.5 – Sinal PWM ativo em baixo com modulação em ambas as saída AH e AL.

A alta frequência de modulação é controlada por uma palavra de 8 bits (GDCLK) colocada nos bits de 0 a 7 do registrador PWMGATE, o período é determinado pela seguinte expressão:

$$T_{CHOP} = [4.(GDCLK + 1)].t_{CK} \quad (a.21)$$

A frequência fica da seguinte forma, considerando-se o CLKOUT:

$$f_{CHOP} = \frac{f_{CLKOUT}}{[4.(GDCLK + 1).t_{CK}]} \quad (a.22)$$

O valor de GDCLK (8 bits) pode variar de 0 a 255, correspondendo a uma frequência de modulação programável de 25,4 kHz a 6,6 MHz, considerando-se o clock de 26MHz. Após o reset, todos os bits do registrador PWMGATE são zerados e conseqüentemente a modulação em alta frequência é desabilitada.

#### POLARIDADE DO PWM

A polaridade dos sinais PWM produzidos nas saídas AH a CL pode ser selecionada por hardware através do pino PWMPOL. Conectando o pino PWMPOL a DGND, seleciona-se o modo de saída ativo-baixo, de forma que o nível baixo é interpretado como um comando de acionar o dispositivo de potência associado. De forma inversa, conectar o pino PWMPOL à V<sub>DD</sub> seleciona o modo de saída ativo-alto, neste modo, os dispositivos de potência associados são acionados por um nível alto nas saídas PWM. O nível do pino PWMPOL pode ser acessado internamente por intermédio do bit 2 do registrador SYSSTAT, onde um zero indica nível zero no pino PWMPOL.

### DESLIGAMENTO DO PWM

Em casos nos quais ocorrerem faltas externas, é essencial que o controlador PWM seja instantaneamente desativado de uma forma segura. Um nível baixo no pino  $\overline{\text{PWMTRIP}}$  disponibiliza um desligamento instantâneo e assíncrono (independente do *clock* do DSP) do controlador PWM. Todas as saídas são colocadas em estado desligado, de acordo com a polaridade selecionada através do pino PWMPOL. Além disso, o pulso PWMSYNC é desabilitado, assim como a interrupção do PWM. O estado do pino  $\overline{\text{PWMTRIP}}$  pode ser acessado internamente através do bit 0 do registrador SYSSTAT.

Por intermédio do registrador PWMPIO (12 *bits*) as entradas PIO do ADMC401 podem também ser configuradas para operar como pinos de desligamento do PWM. Esse registrador possui um *bit* correspondente a cada uma das entradas PIO, que podem ser configuradas, possibilitando operar da mesma maneira que o pino PWMTRIP. Nessa configuração, se ocorrer uma transição de borda de descida aplicada a linha PIO, o controlador PWM ficará desabilitado instantaneamente. No *reset*, o valor contido em PWMPIO é 0x0FFF, de forma que o PWM estará desligado. A correta operação do PWM só será possível após a configuração do sistema PIO.

Ainda é possível iniciar o desligamento do PWM por *software*, através do registrador PWMSWT, de 1 *bit*. Qualquer dado escrito nesse registrador automaticamente gera um comando de desligamento do PWM, da mesma maneira que o pino  $\overline{\text{PWMTRIP}}$  ou as linhas PIO. Após o desligamento do PWM, é possível ler o registrador PWMSWT para determinar se o desligamento foi gerado por *hardware* ou *software*. Se o PWM foi desligado pelo registrador PWMSWT, será lido o valor 1. A leitura do registrador PWMSWT automaticamente apaga seu conteúdo.

Na ocorrência do desligamento do PWM, seja por qualquer um dos meios citados, uma interrupção PWMTRIP será gerada. O PWM só poderá ser habilitado novamente carregando os registradores de configuração PWMTM,

---

PWMCHA, PWMCHB e PWMCHC. Após todos os pinos de desligamento terem retornado ao nível alto, o PWM voltará a operar normalmente.

### A.3 O DSP ADMC331

O *ADMC331 (Single Chip DSP Motor Controller)* é um controlador baseado em DSP, esse foi utilizado no controle do conversor apresentado no capítulo 3. Além das informações colocadas no capítulo 2, detalhes de programação dos componentes periféricos desse DSP serão tratados nos próximos itens. Esse componente é compatível com o *ADMC401* pois ambos são da mesma família. Sendo assim procurou-se descrever apenas os elementos diferenciados desse DSP em relação ao anterior.

#### A.3.1 DESCRIÇÃO GERAL

O *ADMC331* é um controlador de 16 *bits* e 26 MIPS; o núcleo é constituído também por um *ADSP-2171*. Em conjunto com o núcleo o fabricante disponibilizou periféricos projetados e otimizados pra aplicações como CFP e acionamento. As principais características desse componente que foram utilizadas nesta tese, são semelhantes às encontradas no *ADMC401*. Basicamente as maiores diferenças são relativas ao conversor A/D e ao módulo PWM trifásico. A seguir listam-se as principais características do *ADMC331*; comparando-se com o seu sucessor (*ADMC401*) verifica-se um elevado grau de semelhança, facilitando a migração entre eles.

- 26 MIPS ponto-fixos;
- Unidades computacionais independentes: ALU, Multiplicação e Acumulação e Deslocamento;
- Execução das Instruções em um único ciclo (38,5 ns);
- Instruções Multifunção;
- 2k x 24 bits - Memória de Programa RAM;
- 2k x 24 bits - Memória de Programa ROM;
- 1k x 16 bits - Memória de Dados RAM;
- Gerador PWM Trifásico de 16 bits;

- Sete (7) entradas analógicas (A/D) sincronizadas com o PWM;
- Dois (2) PWM auxiliares de 8 bits;
- Watchdog de 16-bits;
- Timer de 16-bits;
- Porta serial - duas (2);
- Funções Implementadas em ROM;
- 24 bits de portas de Entrada/Saída;

### A.3.2 ARQUITETURA

Observa-se na Fig. 2.13 do capítulo 2, a existência de um núcleo chamado *ADSP-2100*, que constitui a base do controlador *ADMC331*. Agregados a esse núcleo, seguem-se os módulos periféricos incorporados no *chip*. Em função das aplicações específicas a serem desempenhadas pelo controlador, os periféricos podem variar suas configurações, ou seja, variações na capacidade de memória, no número de temporizadores, nas entradas analógicas, portas de comunicação serial, moduladores PWM, etc.

Em sua arquitetura interna o *ADMC331* possui como núcleo o DSP-2171, na Fig. A.6 evidenciam-se três unidades computacionais independentes, chamadas de Unidade de Aritmética e Lógica (ULA), Unidade de Multiplicação e Acumulação (MAC) e Unidade de Deslocamento (SHIFTER). Neste DSP, além das características oriundas da utilização do núcleo comum, o fabricante adicionou mais periféricos, como a Unidade Controladora PWM Trifásica e uma unidade de conversão analógico-digital (Sistema ADC).

Estas unidades serão tratadas com mais detalhes nos itens seguintes, pois o controle do conversor passa necessariamente pela utilização destes dois periféricos do *ADMC331*, um responsável pela aquisição dos dados (Unidade ADC) e o outro pelo comando dos interruptores do conversor (Unidade PWM). Faz-se necessário conhecermos seu funcionamento e programação no intuito de utilizá-las de forma adequada.

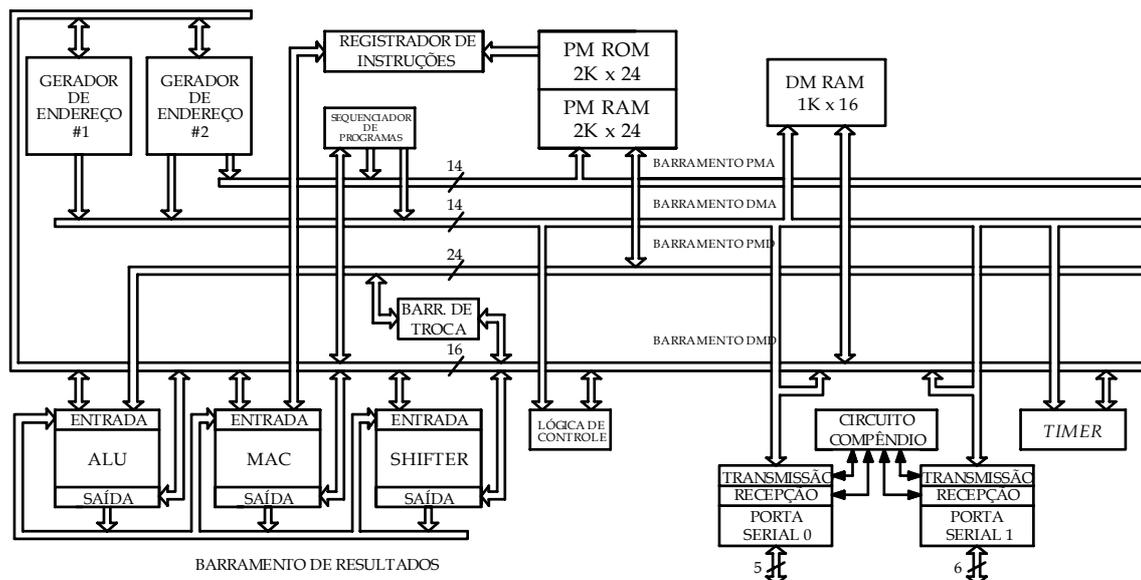


Fig. A.6 - Arquitetura básica interna do núcleo DSP do ADMC331.

### A.3.3 ROM INTERNA

O controlador DSP ADMC331 possui um bloco de memória ROM (memória somente de leitura) de  $2k \times 24$  bits que inicia no endereço  $0x0800$ . Nessa posição de memória, além de um programa monitor, existem rotinas implementadas pelo fabricante como funções matemáticas e aquelas aplicadas em acionamento, que podem ser utilizadas como sub-rotinas nos programas do usuário. Na Tabela 2.7 do capítulo 2 mostrou-se a relação completa dessas rotinas disponíveis na ROM desse DSP, entre elas, seno, cosseno, raiz quadrada, logaritmos, etc.

Para utilizá-las, o usuário poderá utilizar o arquivo *romutil.h*, que é instalado junto com o *software* de desenvolvimento, esse contém as definições das constantes para cada uma das rotinas. Os códigos fonte dessas funções foram disponibilizados pelo fabricante nos manuais do ADMC331, nele encontram-se informações de como foram implementadas as rotinas, como são passados os parâmetros de entrada, onde são devolvidos os de saída e quais registradores são alterados pela rotina.

### A.3.4 CONTROLADOR PWM TRIFÁSICO

Essa unidade periférica é utilizada para gerar os padrões PWM utilizados no acionamento dos interruptores de potência, é do tipo trifásico de 16 *bits*. O usuário tem em mãos uma unidade flexível e integrada que via programação gera-se diversos padrões PWM para aplicações das mais variadas possíveis. Assim como o *ADMC401* o gerador PWM é formado por três pares de sinais PWM disponíveis externamente através de seis (6) pinos do DSP. A nomenclatura é a mesma do seu sucessor (*ADMC401*).

A polaridade do PWM pode ser programada através de um sinal aplicado ao pino *PWMPOL*, selecionando-se assim o padrão ativo do PWM gerado em alto ou baixo.

No registrador de configuração do PWM existem os registradores com os quais pode-se configurar a frequência do PWM, o tempo morto e a largura mínima do pulso gerado, por meio da configuração adequada, respectivamente, dos registradores *PWMTM*, *PWMDT*, *PWMPD*.

Os registradores *PWMCHA*, *PWMCHB* e *PWMCHC* são os responsáveis pelo controle da razão cíclica de cada um dos três (3) pares de sinais PWM.

O pino  $\overline{\text{PWMSR}}$  e o registrador *PWMSEG* são empregados para controle da geração do PWM em aplicações de acionamento de máquinas elétricas, facilitando a geração do padrão PWM adequado ao controle da estrutura de potência.

Em muitas aplicações existe a necessidade de prover isolamento entre o circuito de comando e o interruptor de potência. O controlador PWM do *ADMC331* permite modular a saída PWM com um sinal em alta frequência, facilitando a interface com transformadores de pulso, quando estes forem utilizados para isolamento do sinal de comando dos interruptores. O registrador *PWMGATE*, de 8 *bits*, controla diretamente a frequência do trem de pulso que modulará o sinal PWM de saída.

O gerador PWM também disponibiliza um pulso no pino PWMSYNC, que é sincronizado com a frequência do PWM. No modo de operação de atualização simples (quando a razão cíclica só pode ser programada apenas uma vez por período do PWM), o PWMSYNC produz um pulso no início de cada período PWM.

Porém no modo de atualização dupla (duas atualizações da razão cíclica podem ser feitas por período PWM) um pulso adicional é gerado na metade de cada período PWM. O registrador PWMSYNCWT define a largura do pulso.

Os sinais PWM gerados pelo DSP podem ser inibidos de duas formas distintas. A primeira através de um sinal em nível baixo aplicado ao pino  $\overline{\text{PWMTRIP}}$ ; nesse caso as saídas PWM são desabilitadas. A outra forma é via *software*, pelo uso do registrador PWMSWT. O diagrama de blocos do controlador PWM foi mostrado na Fig. 2.14 do capítulo 2.

Nesse diagrama de blocos mostrados evidenciam-se as unidades básicas responsáveis pela geração do PWM. Os blocos mais importantes são: Unidade Trifásica de Tempo, Unidade de Controle de Relutância Chaveada, Unidade de Controle de Saída, Unidade de *Gate Drive*.

Observa-se que as unidades básicas que compõem as características do gerador PWM trifásico são as responsáveis pela sua correta operação. Detalhes de operação e programação da Unidade de Tempo Trifásico serão discutidas com mais detalhes, pois essa unidade é a responsável praticamente por toda a operação e geração do PWM.

#### UNIDADE TRIFÁSICA DE TEMPO

Esta unidade de 16 *bits* é a peça principal do gerador PWM, produzindo três pares sinais de alta resolução. Encontram-se localizados nesta unidade quatro (4) registradores de configuração principais (PWMTM, PWMDT, PWMPD e PWMSYNCWT), que determinam as características principais da saída PWM. O modo de operação do PWM (simples ou dupla atualização) é determinado pelo *bit* 6 do registrador MODECTRL. Esses registradores, em conjunto com os

registradores PWMCHA, PWMCHB e PWMCHC, controlam a saída desta unidade.

### RESOLUÇÃO PWM

No modo de atualização simples, os mesmos valores colocados em PWMCHA, PWMCHB e PWMCHC são usados para definir o tempo do pulso em ambos os meio-ciclos do período PWM. Como resultado, a resolução do PWM gerado é  $2t_{CK}$  (76,9 ns para 26 MHz).

No modo de dupla atualização, é possível aumentar a resolução do PWM, pois se definem valores diferentes da razão cíclica para cada meio ciclo do período PWM. A Tabela A.4 mostra valores típicos da resolução PWM no modo simples e duplo.

Tabela A.4 - Resolução PWM

Resolução (Bit)	Modo Simples Frequência PWM (kHz)	Modo Duplo Frequência PWM (kHz)
8	50,7	101,5
9	25,4	50,7
10	12,7	25,4
11	6,3	12,7
12	3,2	6,3

### A.3.5 SISTEMA ADC

O sistema ADC do *ADMC331* possui sete (7) canais analógicos de entrada, o conversor é do tipo rampa simples, com uma resolução de 12 bits. Dos 7 canais, três (3) podem efetuar aquisições simultaneamente, sendo os quatro restantes multiplexados. Na Fig. 2.15 do capítulo 2, mostra-se o diagrama de blocos do sistema ADC do DSP *ADMC331*.

Observa-se nessa figura que as entradas V1, V2 e V3 possuem comparadores dedicados, enquanto as entradas auxiliares VAUX0, VAUX1, VAUX2 e VAUX3 são multiplexadas.

A conversão é realizada por meio da comparação entre sinais. Uma rampa de referência é gerada a partir da carga de um capacitor externo sob fonte de corrente constante e comparada com um sinal analógico aplicado à entrada do comparador. O capacitor externo é conectado entre os pinos CAPIN(71) e SGND(73). Esse capacitor é descarregado a cada pulso do sinal de PWMSYNC.

Na borda de descida desse sinal o capacitor começa a se carregar novamente, com inclinação proporcional ao valor do capacitor e da fonte de corrente. A fonte de corrente pode ser externa aplicada ao pino ICOST(72). A Fig. A.7 ilustra o comportamento funcional do conversor rampa simples utilizado pelo sistema ADC.

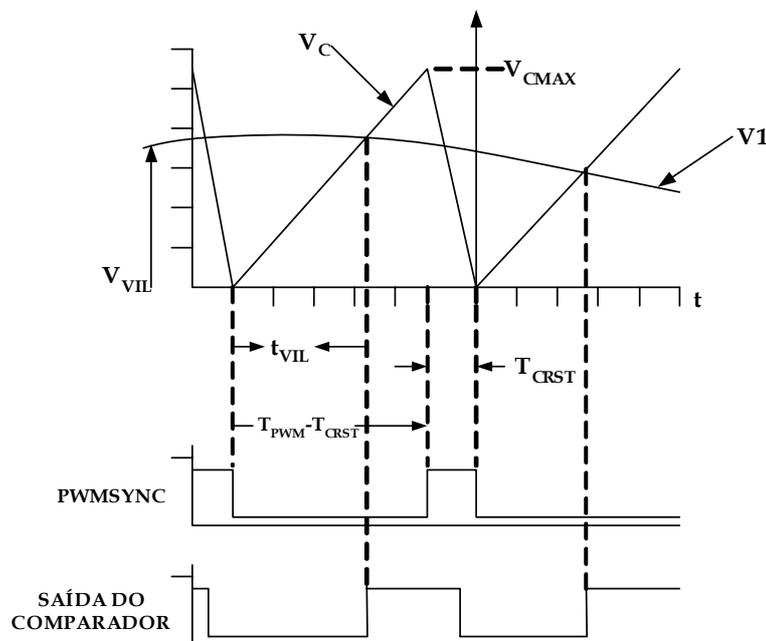


Fig. A.7 - Temporização do sistema de conversão A/D

O conversor está ligado à unidade PWM, cuja frequência de operação determina o valor adequado do capacitor que gera o sinal de referência (rampa). Por intermédio da expressão (a.23) pode-se determinar a capacitância necessária para obter tensão de entrada no conversor de até 3,5 Volts, valor máximo de entrada do conversor.

$$C_{NOM} = \frac{(0,9 \cdot I_{CONST})(T_{PWM} - T_{CRST})}{(1,1 \cdot 3,5)} \quad (a.23)$$

$T_{PWM}$  = Período PWM.

Onde:  $T_{CRTS}$  = Largura Pulso PWMSYNC.

$I_{CONST}$  = Fonte de Corrente, tipicamente  $12,7\mu A$ .

Como o sistema ADC está internamente conectado com o sistema PWM, a sua resolução depende da frequência do PWM. Dependendo do valor do *bit* (7) do registrador MODECTRL, o contador ligado ao ADC contará em incrementos de  $t_{CK}$  ou  $2t_{CK}$  ( $t_{CK} = 38,5 \text{ ns}$ ).

## A.4 O DSP TMS320LF2407

O TMS320LF2407 são componentes Processadores Digitais de Sinais (DSP) da plataforma de DSPs de ponto fixo TMS320C2000. Esse componente agrega vários periféricos, otimizados para aplicações tais como acionamento e controle digital.

### A.4.1 CARACTERÍSTICAS GERAIS

Esse DSP apresenta uma performance de processamento de 30/40 MIPS e um alto nível de integração periférica, é do tipo 16 *bits* de ponto fixo com memória *flash*. Suas principais características foram citadas no capítulo 2, entre essas, foram estudas com maior profundidade aquelas que normalmente são empregadas no controle de conversores estáticos. A seguir são reapresentados algumas características e periféricos que foram testados em projetos desenvolvidos em laboratório, a saber:

- Ciclo de instrução de 33/25 ns (frequência de 30/40 MHz);
- Até 32 k de palavras de 16 bits de E<sup>2</sup>PROM Flash;
- Até 2,5 k de palavras de 16 bits de RAM de Dados/Programa.
- Dois módulos gerenciadores de eventos (EVA e EVB).
- Oito canais de PWM de 16 bits.
- Conversor analógico-digital de 10 bits.

### A.4.2 ARQUITETURA BÁSICA

Um dos principais blocos que compõe o DSP é a Unidade Central de Processamento (CPU) do *TMS320LF2407*. A CPU possui seções responsáveis, cada uma delas, por um tipo de manipulação e operação com os dados. As seções fundamentais que compõem a CPU são: Seção de [Deslocamento](#) de Entrada, Seção de Multiplicação e Seção Central de Lógica e Aritmética. Na Fig. 2.21 do capítulo 2 mostra-se o diagrama de blocos da CPU. Um das seções de grande interesse é a de Multiplicação, pelo fato de que vários algoritmos de controle (PI, PID, filtros, etc.) utilizam-se ao máximo das características dessa unidade com o objetivo de otimizar as rotinas implementadas. Descreve-se a seguir com mais detalhes essa seção.

#### SEÇÃO DE MULTIPLICAÇÃO

O DSP *TMS320LF2407* usa um hardware de multiplicação de 16-bit x 16-bit que gera um produto com ou sem sinal de 32-bit em apenas um ciclo. Tal como pode ser visto na Fig. A.8, a seção de multiplicação consiste em:

- ❑ Um registro temporário de 16-bits (TREG), o qual armazena um dos valores a serem multiplicados;
- ❑ O multiplicador, que multiplica o valor contido no TREG por um segundo valor vindo da memória de Dados ou da de Programa;
- ❑ Um registro de produto de 32-bits (PREG), o qual recebe o resultado da multiplicação;
- ❑ O Deslocador de Produto, o qual escala o valor contido no PREG antes de passá-lo para a CALU.

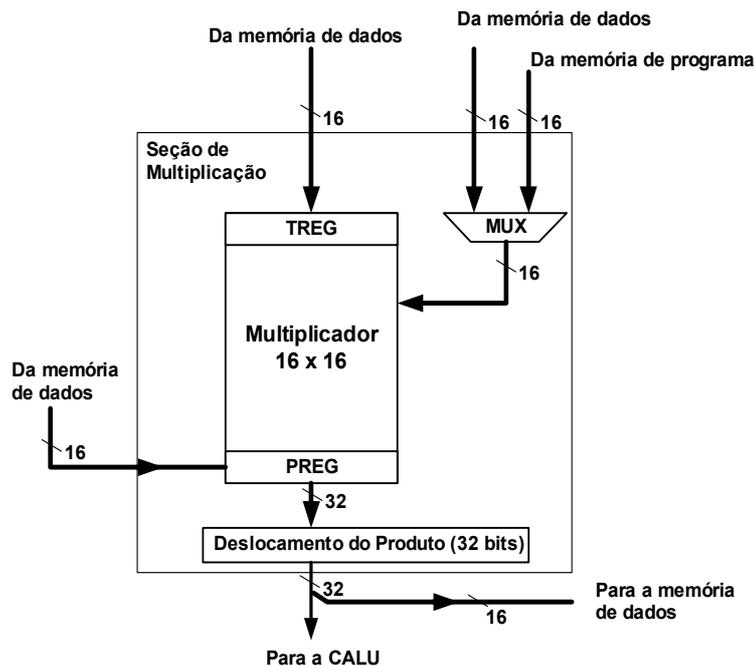


Fig. A.8 - Diagrama de blocos da seção de Multiplicação.

### DESLOCADOR DE PRODUTO

O deslocador de produto facilita a escala (formato) do valor contido no registro de produto (PREG). O deslocador tem sua entrada de 32-bits conectada à saída do PREG e sua saída de 32-bits conectada à entrada da CALU. O deslocador utiliza uma das quatro opções de deslocamento, de acordo com o valor dos bits no modo deslocador de produto (PM). Os modos de operação são os seguintes, mostrados na Tabela A.5.

Tabela A.5 – Deslocador de produto.

PM	Deslocamento	Comentários
00	Sem deslocamento.	O produto é enviado para a CALU ou para o barramento de dados sem deslocamento.
01	Um para a esquerda.	Remove o bit extra de sinal gerado pela multiplicação em complemento dois, originando um produto Q31
10	Desloca quatro bits para a esquerda.	Remove os quatro bits extras de sinal gerado pelo produto em complemento dois de 16-bitx13-bit, originando um produto Q31. Quando a multiplicação é feita por uma constante de 13-bit.
11	Desloca seis bits para a direita.	Escala o produto para permitir até 128 acumulações de produtos sem gerar <i>overflow</i> no acumulador.

### SEÇÃO CENTRAL DE LÓGICA E ARITMÉTICA

Os principais elementos integrantes da Central de Lógica e Aritmética estão presentes na Fig. A.9:

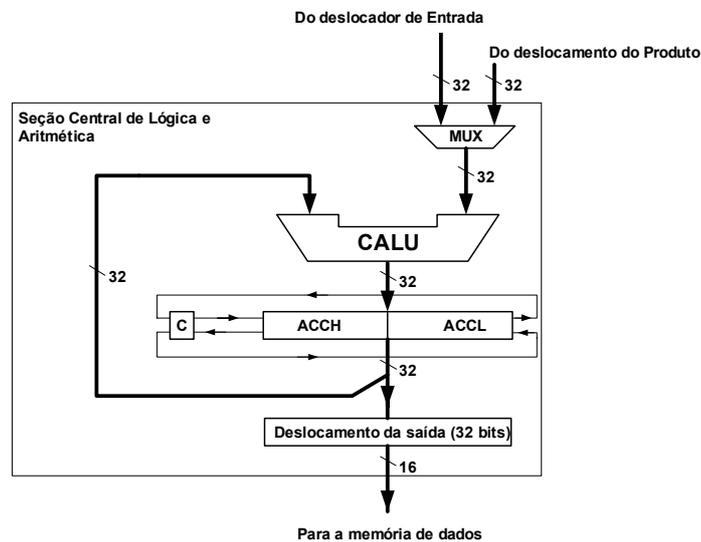


Fig. A.9 - Diagrama de blocos da CALU.

- Unidade Central de Lógica e Aritmética (CALU), responsável por vários tipos de operação de lógica e aritmética.
- Acumulador de 32-bit (ACC), que recebe a saída da CALU e está apto a executar deslocamento de bit sobre o seu conteúdo com a ajuda do carry bit (C).
- Deslocador da saída, que pode efetuar uma operação de deslocamento tanto da parte alta como da parte baixa do acumulador antes de enviá-la para ser armazenada numa posição de memória.

### UNIDADE CENTRAL DE LÓGICA E ARITMÉTICA

A CALU é a responsável pelas funções lógicas e aritméticas, sendo a maioria delas executadas em apenas um ciclo de *clock*. Essas funções podem ser agrupadas em quatro categorias: adição, subtração, operações lógicas booleanas, teste de *bits*, deslocamento e rotação.

Uma vez executada uma operação pela CALU, ela transfere o resultado para o acumulador, o qual está apto a executar deslocamentos de *bits* sobre o seu conteúdo. A saída do acumulador está conectada ao deslocador de saída de 32-*bits*. No deslocador de saída, a parte alta e a parte baixa do acumulador podem ser individualmente deslocadas e armazenadas na memória de dados.

O *bit* “modo extensão de sinal”, *bit* 10 do registrador de *status* (ST1), determina se a CALU usa extensão de sinal durante as operações. Se  $SXM = 0$ , as operações são efetuadas sem extensão de sinal. Se  $SXM = 1$ , as operações são com extensão de sinal.

#### DESLOCADOR DE SAÍDA

O deslocador de saída tem sua entrada de 32-*bit* conectada à saída do acumulador e sua saída de 16-*bit* conectada ao barramento de dados. O deslocador copia todos os 32 *bits* do acumulador e então executa deslocamentos de zero a sete bits para a esquerda, tal como especificado na instrução de armazenamento. A parte alta (instrução SACH) ou a parte baixa (instrução SACL) do deslocador é armazenada na memória de dados. O conteúdo do acumulador permanece inalterado.

#### A.4.3 UNIDADE DE REGISTRO AUXILIAR (ARAU)

A CPU também possui a ARAU, ou seja, uma unidade aritmética independente da CALU. A principal função da ARAU é a de executar operações aritméticas sobre os seus oito registros auxiliares (AR7 a AR8). A Fig. A.10 ilustra o diagrama de blocos da ARAU.

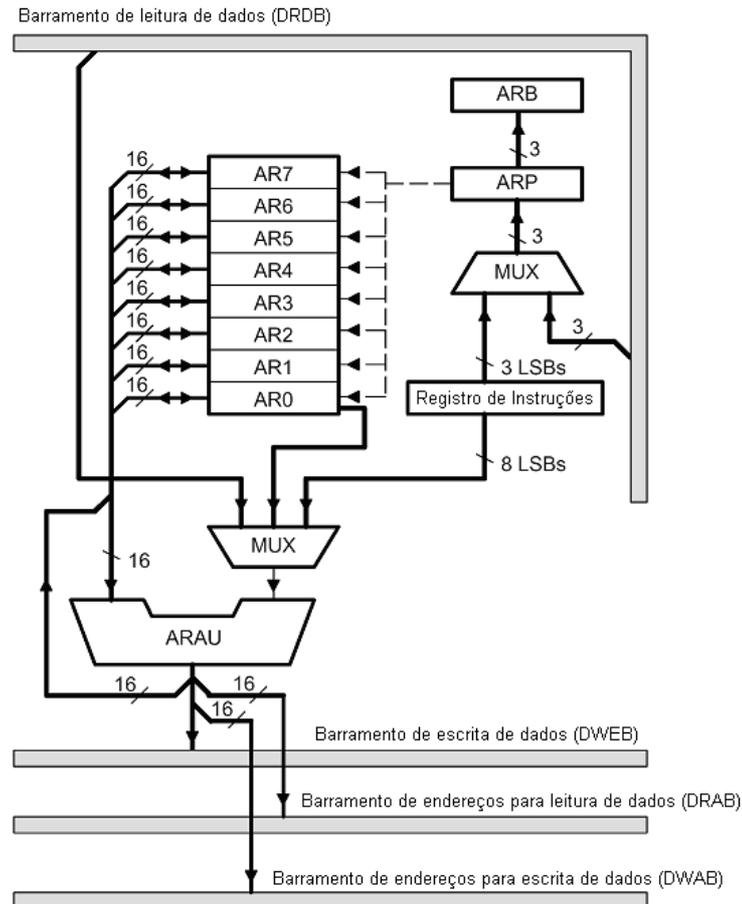


Fig. A.10 - Unidade de Registro Auxiliar.

Os oito registros auxiliares (AR7 - AR0) oferecem flexibilidade e eficiência no modo de endereçamento indireto - qualquer posição dentro dos 64K de memória de dados.

Três *bits* denominados apontadores de registro auxiliar (ARP), presentes no registrador de *status* ST0, selecionam um registro auxiliar específico (um entre AR0 - AR7).

A ARAU executa as seguintes operações:

- Incrementa ou decrementa o valor contido no registro auxiliar por um (1) ou por um valor indexado.
- Soma ou subtrai o valor contido num dos registros auxiliares por uma constante (através da instrução ADRK ou da SBRK respectivamente). A constante é um valor de até 8 bits.

- Compara o conteúdo de AR0 com o conteúdo do AR atual e coloca o resultado no bit de teste e controle (TC) do registrador de status ST1.

#### A.4.4 PERIFÉRICOS

Diversos periféricos são integrados ao DSP 2407, entre os quais destacam-se, na utilização voltada ao controle aplicado em eletrônica de potência, os gerenciadores de eventos e o módulo de conversão analógico-digital. Informações relativas a esses periféricos serão desenvolvidas a seguir.

##### CONVERSOR ANALÓGICO-DIGITAL

O módulo ADC do 2407, projetado para obter-se uma interface flexível com os gerenciadores de eventos A e B, constitui-se de sistema de conversão analógico-digital de 10 *bits*. Esse sistema possibilita a leitura e conversão de tensões, correntes e outros sinais necessários em aplicações de Processamento Digital de Sinais. Suas principais características são:

- Conversor analógico-digital de 10 - bit;
- Tempo de conversão de 500 ns;
- Dezesesseis entradas analógicas multiplexadas;
- Capacidade de auto-seqüenciamento - até 16 autoconversões dentro de uma simples seção. Cada seção de conversão pode ser programada para selecionar qualquer um dos 16 canais de entrada;
- Dois seqüenciadores independentes de oito estados (SEQ1 e SEQ2), que podem ser operados individualmente no modo seqüenciador dual ou em cascata, formando um seqüenciador de 16 estados - no modo cascata;
- Quatro registros de controle (CHSELSEQn), que determinam qual a seqüência de canais a serem convertidos;
- Dezesesseis registros de resultado, os quais armazenam os valores convertidos;

- Possui um controle de interrupções flexível, que permite requerer interrupções no final de cada seqüência;
- O seqüenciador pode operar no modo partida-parada, permitindo diversificar a fonte de sincronismo de disparo para as conversões;
- O gerenciador de eventos A e o B pode independentemente disparar a SEQ1 e a SEQ2, respectivamente;
- Modo de calibração.

O seqüenciador do ADC consiste em dois seqüenciadores independentes de oito estados (SEQ1 e SEQ2), que podem trabalhar juntos ou em cascata para formar um seqüenciador de 16 estados (SEQ). A palavra “estado” representa o número de autoconversões que pode ser executado com o seqüenciador. O diagrama de blocos do seqüenciador de modo simples (16 estados - cascata) e o de modo dual (dois de 8 estados) estão mostrados nas Fig. A.11 e Fig. A.12, respectivamente.

A operação de ambos os modos ( 8 estados e 16 estados) é quase a mesma, as poucas diferenças são mostradas na Tabela A.6.

Tabela A.6 - Comparação entre o modo de operação simples e em cascata.

Características	8 estados Seqüenciador #1 (SEQ1)	8 estados Seqüenciador #2 (SEQ2)	16 estados Seqüenciadores #1 e #2 em cascata (SEQ)
Número máximo de auto - conversões	8	8	16
Auto - parada no final da seqüência	Sim	Sim	Sim
Prioridade	Alta	Baixa	Não aplicável
Registros de resultado da conversão	0 a 7	8 a 15	0 a 15
Disparo do início da conversão	EVA, <i>software</i> e pino externo	EVB e <i>software</i>	EVA, EVB, <i>software</i> e pino externo

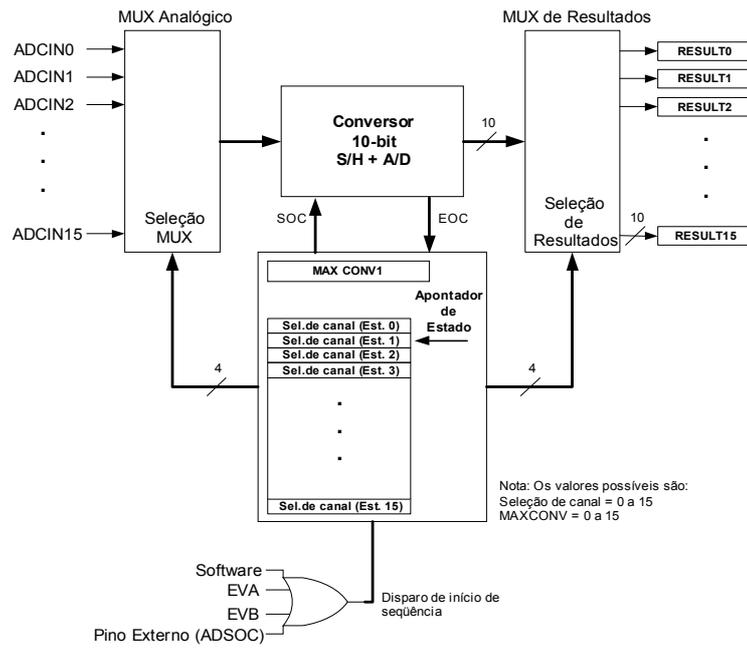


Fig. A.11 – Diagrama de blocos do seqüenciador no modo cascata.

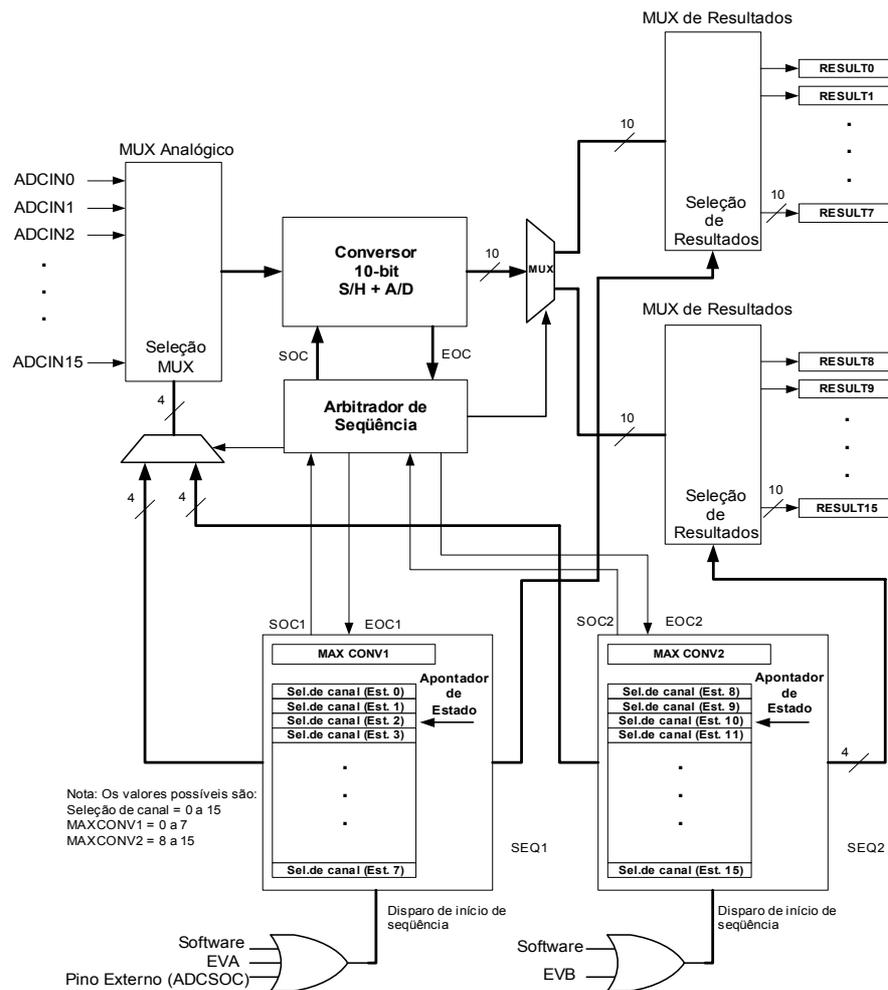


Fig. A.12 – Diagrama de blocos do seqüenciador no modo dual.

O canal de entrada analógico selecionado por uma seqüência de conversão está definido pelos campos de *bits* CONVnn, dentro dos registros de controle (CHSELSEQn). CONVnn é um campo de quatro *bits* que seleciona qualquer um dos 16 canais para conversão. Os *bits* CONVnn podem assumir qualquer valor de 0 a 15. Os canais analógicos poder ser escolhidos dentro de qualquer ordem desejada, e o mesmo canal pode ser selecionado várias vezes.

#### MODO SEQUENCIADOR START/STOP

Qualquer seqüenciador (SEQ1, SEQ2, SEQ) pode ser operado no modo *Start/Stop*, o que significa que o sincronismo para iniciar as conversões A/D pode se dar por diferentes fontes, separadas por um determinado tempo. Nesse modo, uma vez que a primeira seqüência chega ao fim, é permitido ao seqüenciador ser disparado sem ser levado ao estado inicial CONV00.

#### DESCRIÇÃO DA FONTE DE DISPARO

Cada seqüenciador tem um conjunto de fontes de disparo (sincronismo), que podem ser habilitadas ou desabilitadas. As entradas de disparo válidas para SEQ1, SEQ2 e em cascata SEQ são as seguintes, mostradas na Tabela A.7:

Tabela A.7 – Disparos dos seqüenciadores.

SEQ1 (seqüenciador 1)	SEQ2 (seqüenciador 2)	Em cascata SEQ
<i>Software</i>	<i>Software</i>	<i>Software</i>
Gerador de Eventos A	Gerador de Eventos B	Gerador de Eventos A e B
Pino externo SOC		Pino externo SOC

#### REGISTROS ENVOLVIDOS

Os principais registros necessários à configuração do módulo ADC são descritos na literatura da *TEXAS INSTRUMENTS* [24].

**GERENCIADOR DE EVENTO (EV)**

Todos os integrantes da família 240x, com exceção do *DSP 2402A*, possuem dois gerenciadores de evento, EVA e EVB; um deles é mostrado na Fig. A.13, que ilustra o gerenciador de eventos B (EVB). Esses dois gerenciadores são exatamente idênticos em termos de funcionalidade, e cada módulo EV contém os seguintes blocos principais:

- ❑ dois temporizadores de propósito geral (GP);
- ❑ três unidades de comparação;
- ❑ circuitos de PWM, unidade de geração de tempo morto e circuitos de saída;
- ❑ três unidades de captura.

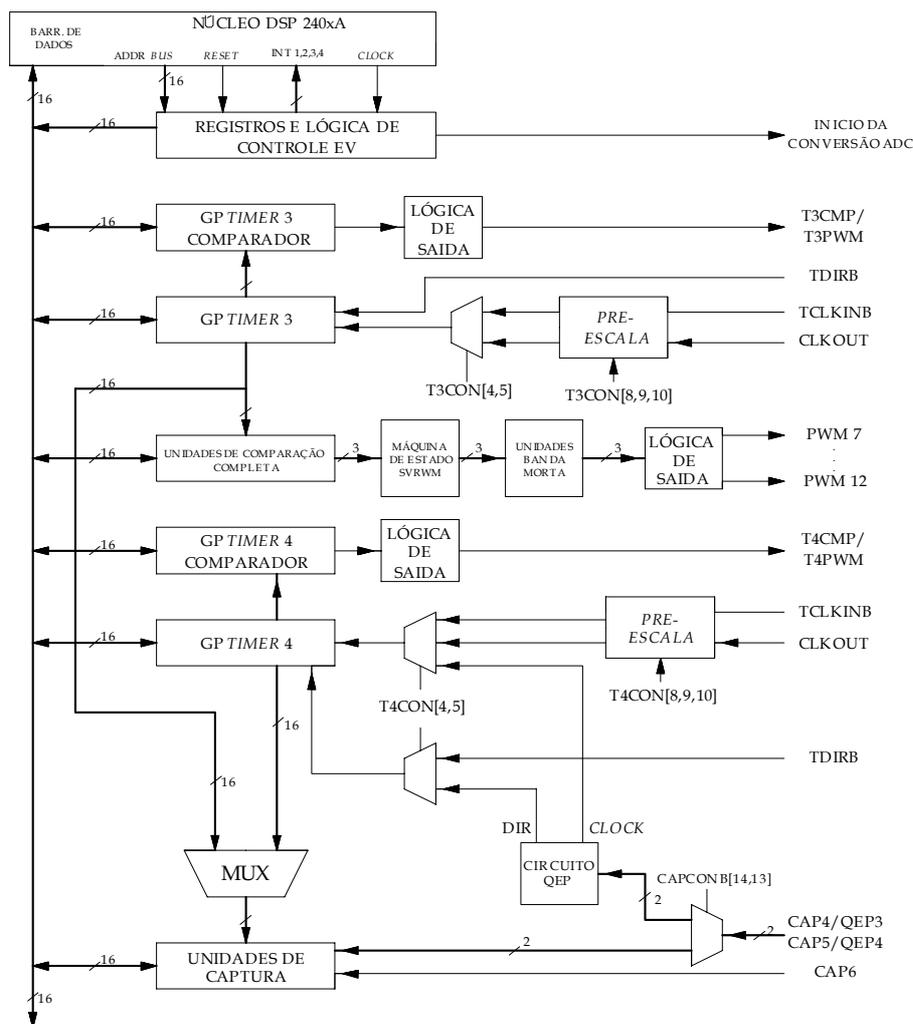


Fig. A.13 – Gerenciador de eventos (EVB).

## PINAGEM

Cada módulo EV possui oito pinos disponíveis para uso como comparação e de saída de PWM. Esses sinais são utilizados geralmente na geração de sinais PWM, por exemplo, como comando de interruptores de potência associados aos conversores. A Tabela A.8 mostra a nomenclatura desses pinos de saída do DSP.

*Tabela A.8 - Pinos de saída dos dois temporizadores (GP) de Comparação/PWM*

EVA	EV B
T1CMP/T1PWM	T3CMP/T3PWM
T2CMP/T2PWM	T4CMP/T4PWM
PWM1	PWM7
PWM2	PWM8
PWM3	PWM9
PWM4	PWM10
PWM5	PWM11
PWM6	PWM12

## TEMPORIZADORES DE PROPÓSITO GERAL (GP)

Existem dois temporizadores de propósito geral dentro de cada módulo. A Fig. A.14 mostra o diagrama de blocos do temporizador GP (propósito geral). Esses temporizadores podem ser usados de maneira independente, baseados em aplicações tais como:

- geração de um período de amostragem para controle de um determinado sistema;
- prover a base de tempo para operações nas unidades de comparação.

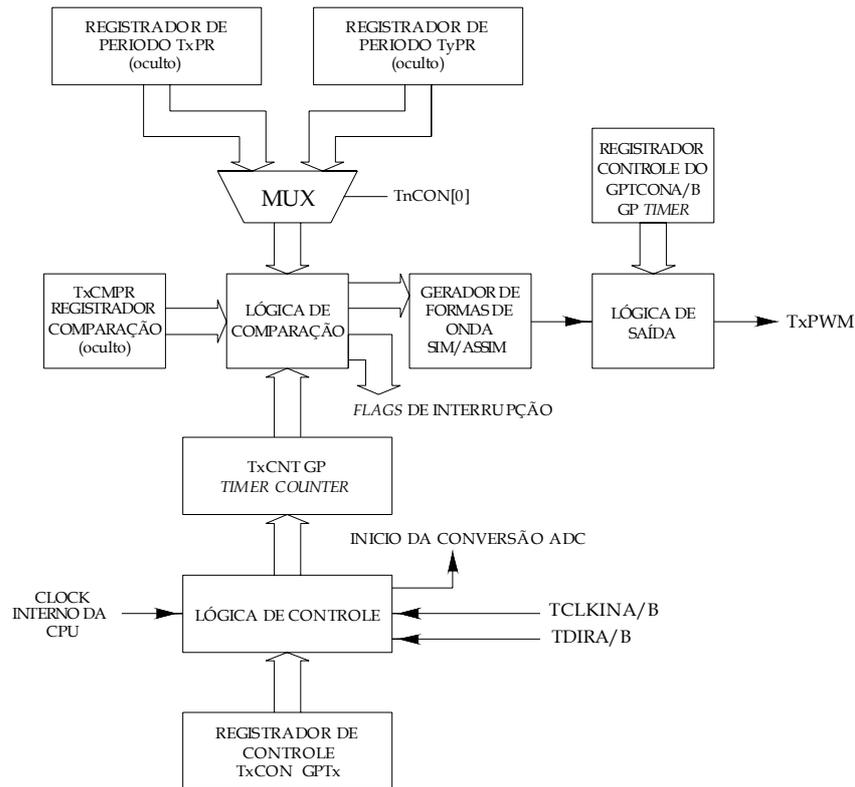


Fig. A.14 – Diagrama de blocos do temporizar GP.

Cada temporizador GP basicamente contém:

- ❑ um registro de contagem (leitura e escrita) de 16 - bit TxCNT ( $x= 1, 2, 3, 4$ ). Esse registro armazena o valor corrente da contagem e mantém-se incrementando ou decrementando, dependendo da direção da contagem;
- ❑ um registro de comparação (leitura e escrita) de 16 - bit TxCMPR ( $x= 1, 2, 3, 4$ );
- ❑ um registro de controle de 16-bit, TxCON ( $x= 1, 2, 3, 4$ );
- ❑ um registro de período de 16 - bit, TxPR ( $x= 1, 2, 3, 4$ );
- ❑ pré-escala programável aplicada tanto a clock interno quanto externo.

Os *timers* do GP (Temporizadores de Propósito Geral) podem operar independentemente ou sincronizados entre si. O registrador de comparação associado a cada *timer* pode ser usado para geração de um sinal PWM. Três pares independentes (seis saídas) são gerados pela unidade de comparação completa (*full-compare*) e dão a possibilidade de geração de tempo morto programável. Detalhes de programação dos periféricos encontram-se em [24].

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1] CRUZ, Cícero M.T. **Técnicas de comutação não dissipativa aplicada a retificadores de três níveis operando com fator de potência unitário**. Florianópolis, 2002. Tese (Doutorado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [2] TELEBRÁS, Especificações gerais de unidades retificadoras chaveadas em alta frequência. **Sistema de Documentação Telebrás** (Prática telebrás SDT 240-510 \*\*\*, série engenharia de 01/10/1997).
- [3] IEC 61000-3-2, Electromagnetic compatibility (EMC) Part 3-2: Limits for harmonic current emissions (equipment input current  $\leq 16$  A per phase). **International Electrotechnical Commission**. Ed. 1.2, 1998-04.
- [4] SOUZA, Alexandre F. de. **Retificadores monofásicos de alto fator de potência com reduzidas perdas de condução e comutação**. Florianópolis, 1998. Tese (Doutorado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [5] HELDWEIN, Marcelo L. **Unidade trifásica de alta potência e alto desempenho para aplicações em centrais de telecomunicações**. Florianópolis, 1999. Dissertação (Mestrado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [6] IDE, P., FROEHLEKE, N., GROSTOLLEN, H. Comparison of Selectec 3-Phase Switched Mode Rectifiers. **IEEE INTELEC - International Telecommunications Energy Conference**, 1997, p.630-636.
- [7] SALMON, J. C., Circuit topologies for pwm boost rectifiers operated from 1-phase and 3-phase ac supplies and using either single or split dc rail voltage outputs. **IEEE annual Applied Power Electronics Conference - APEC Records**, p.473-479, 1995.
- [8] TODD, Philip C. UC3854 Controller power factor correction circuit design, Unitrode - Texas Instruments em: <http://www-s.ti.com/sc/psheets/slva144/slva144.pdf>. Acesso em: 23/01/2001.

- 
- [9] UNITRODE. UC3842/3/4/5 Provides low cost current-mode control. Unitrode - Texas Instruments. em: <http://www-s.ti.com/sc/psheets/slua143/slua143.pdf>. Acesso em: 23/01/2001.
- [10] KOLAR, J. W. and ZACH, F. C. A Novel Three-Phase Three-Switch Three-Level PWM Rectifier. Proceeding of the 28th Power Conversions Conference, Nürnberg, Germany, June 28-30, p. 125-138 (1994).
- [11] KOLAR, J. W. and ZACH, F. C. A Novel Three-Phase Utility Interface Minimizing Line Current Harmonics of High-Power Telecommunications Rectifier Modules". **IEEE Transactions on Industrial Electronics**, Vol. 44, n° 4, p.456-467, August 1997.
- [12] KOLAR, J. W., ZACH, F. C. and DROFENIK, U. VIENNA Rectifier II - A Novel Single - Stage High - Frequency Isolated Three-Phase PWM Rectifier System. **IEEE Transactions on Industrial Electronics**, Vol. 46, n° 4, p.674-691, August 1997.
- [13] KOLAR, J. W., MINIBÖCK, J. and STÖGERER, F., A Novel Concept for Mains Voltage Proportional Input Current Shaping of VIENNA Rectifier Eliminating Controller Multipliers. Part I: Basic Theoretical Considerations and Experimental Verification and Part II: Operation for Heavily Unbalanced Mains Phase Voltages and in Wide Input Voltage Range. **IEEE Annual Applied Power Electronics Conference - APEC Records**, p.582-591, 2001.
- [14] LIPO, T. A., ZHAO, Y. and LI, Y. Forced Commutated Three Level Boost Type Rectifier. **IEEE Transactions on Industry Applications**, Vol. 31, No. 1, January/February 1995.
- [15] LIPO, T. A. and STANKOVIC A. V. A Novel Control Method for Input Output Harmonic Elimination of the PWM Boost Type Rectifier Under Unbalanced Operating Conditions. **IEEE Transactions on Power Electronics**, Vol. 16, No. 5, September 2001.
- [16] BORGONOVO, Devis. **Conversor CA-CC Trifásico PWM Unidirecional, com Fator de Potência Unitário**. Florianópolis, 2001. Dissertação (Mestrado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [17] GULES, R., MARTINS, A. S. and BARBI, I. A Switch-Mode Three-Phase Three-Level Telecommunications Rectifier. **IEEE INTELEC - International Telecommunications Energy Conference**, 1999.
-

- 
- [18] NOVAES, Y. R., Souza, F.P., Borgonovo, D. and Barbi, I. Retificadores PWM Trifásicos Unidirecionais com Alto Fator de Potência. **Revista da Sociedade Brasileira de Potência SOBRAEP**, Vol.7, n° 1, Novembro de 2002.
- [19] OGATA, Katsuhito, **Discrete-time control system**. 2 ed. New Jersey, Prentice-Hall, Inc., 1995.
- [20] Single Chip DSP Motor Controller ADMC401 – Data Sheet, ANALOG DEVICES.
- [21] ADSP-2100 Family User’s Manual – Data Sheet, ANALOG DEVICES.
- [22] ADSP-2100 Family, Assembler Tools & Simulator Manual, ANALOG DEVICES.
- [23] SPECTRUM DIGITAL, INC. Ezdsp™ LF2407 Technical Reference, Rev.C, August 2001.
- [24] TEXAS INSTRUMENTS. TMS320LF/LC240xA DSP Controllers Reference Guide - System and Peripherals. Literature number: SPRU357B.
- [25] SALMON, J. C., Circuit Topologies for Single-Phase Voltage-Doubler Boost Rectifiers, **IEEE Transactions on Power Electronics**, Vol. 8, No. 4, October 1993.
- [26] SALMON, J. C., Operating a Three-Phase Diode Rectifier With a Low-Input Current Distortion Using a Series-Connected Dual Boost Converter, **IEEE Transactions on Power Electronics**, Vol. 11, No. 4, July 1996.
- [27] JÚNIOR, Elias T. da S. **Análise e projeto de compensadores para conversor Boost**. Florianópolis, 1994. Dissertação (Mestrado em Engenharia Elétrica) – Centro Tecnológico, Universidade Federal de Santa Catarina.
- [28] VORPÉRIAN, Vatché. **Simplified analysis of PWM converters, using the model of PWM switch** - Part. 1: Continuous conduction mode – CCM. VPEC news letter current. Fall 1988. P. 1-9.
- [29] BARBI, Ivo. **Eletrônica de Potência: Projeto de fontes chaveadas**. Florianópolis, Edição do Autor 2001. INEP – Centro Tecnológico, UFSC - Universidade Federal de Santa Catarina.
- [30] AREDES, Maurício. **Active Line Power Line Conditioners**. Dr.-Ing Thesis, Technischen Universität Berlin, Berlin, Germany, 1996.
- [31] SOUZA, Fabiana P. de. **Correção do Fator de Potência para Instalações de Baixa Potência Empregando Filtro Ativo**. Florianópolis, 2000. Tese (Doutorado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
-

- 
- [32] LINDEKE, Dirk. **Projeto de um Filtro Ativo Paralelo de 1kVA Usando Técnicas de Controle Analógico e Digital**. Florianópolis, 2003. Dissertação (Mestrado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [33] BARBI, Ivo ; SOUZA, Alexandre F. de. **Correção do fator de potência de fontes de alimentação**. Florianópolis, 1995. Apostila (INEP) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [34] BARBI, Ivo. **Eletrônica de Potência**: Florianópolis, Edição do Autor 2000. INEP - Centro Tecnológico, UFSC - Universidade Federal de Santa Catarina.
- [35] VIEIRA, Luiz C. de F. **Modelagem de conversores CC-CC, PWM e ressonantes para análise dinâmica sob perturbações de pequenos e grandes amplitudes**. Florianópolis, 1992. TESE (Doutorado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [36] DÁVILA, José G. C. **Estudo de uma fonte de alimentação trifásica, alto fator de potência, comutação suave, com um único estágio de processamento de potência**. Florianópolis, 1997. Tese (Doutorado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [37] TOMASSELLI, Luis C. **Controle de um pré-regulador com alto fator de potência utilizando o controlador DSP TMS320F243**. Florianópolis, 2001. Dissertação (Mestrado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [38] GAINDZINSKI, Paulo R. **Unidade retificadora de alta performance, 1500 W - 25 A, para telecomunicações**. Florianópolis, 1993. Dissertação (Mestrado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina.
- [39] KASSICK, Enio W. EEL 6502 - **Modelagem e controle de conversores estáticos**. Notas de aula. Apostila. 1999.
- [40] PAGANO, D. J., RICO, J. E. N. **Notas de Aula da Disciplina DAS6008 do Curso de Pós-Graduação em Engenharia Elétrica - UFSC - 2000"**.
- [41] FAGUNDES, João C. S. **Transformadores para operação em alta frequência**. EEL-6507 - modelagem e projeto de transformadores e indutores de alta frequência. set - dez 1999. Notas de aula. Apostila 03/1998.

- 
- [42] DIXON, Lloyd. Average current mode control of switching power supplies. Unitrode - Texas Instruments. Disponível em: [http://www-s.ti.com/sc/psheets/sl原因079/sl原因079.pdf](http://www.s.ti.com/sc/psheets/sl原因079/sl原因079.pdf). Acesso em: 23/01/2001.
- [43] MIDAVAINÉ, H., MOIGNE, P. L. and BARTHOLOMEUS, P. Multilevel three-phase Rectifier with sinusoidal input currents. **IEEE Annual Power Electronics Specialists Conference - PESC Records**, p.1595-1600,1996
- [44] BUSO, S., MATTAVELLI, P., ROSSETTO, L., SPIAZZI, G. Simple Digital Control Improving Dynamic Performance of Power Factor Preregulators. **IEEE Transactions on Power Electronics**, Vol.13, No.5, September 1998, pp.814- 823.
- [45] MUSSA, Samir A and MOHR, Hari B. Single-Phase AC-DC Converter with Power Factor Correction Using DSP. IV INDUSTRY APPLICATIONS CONFERENCE, IV INDUSCON'2000, Vol.2, p.687-692.
- [46] MUSSA, Samir A. and MOHR, Hari B. Voltage-Doubler Rectifier with PFC, Regulation and Balancing of the Output Voltages Using DSP. THE 6<sup>TH</sup> BRAZILIAN POWER ELECTRONICS CONFERENCE, COBEP'2001, pp. 241-246.
- [47] MUSSA, Samir A. and MOHR, Hari B. High Power Factor AC-DC Converter Using DSP Controller ADMC401. XIV CONGRESSO BRASILEIRO DE AUTOMÁTICA, CBA'2002, p. 274-279.
- [48] MUSSA, Samir A. and MOHR, Hari B. Three-Phase Three-Level Unity Power Factor PWM Rectifier Using DSP. IEEE INTERNATIONAL SYMPOSIUM ON INDUSTRIAL ELECTRONICS - ISIE Records, 2003.
- [49] PHILLIPS, Charles L., NAGLE, H. Troy. **Digital Control System Analysis and Design**. 3 ed. New Jersey, Prentice-Hall, Inc., 1995.
- [50] FRANKLIN, Gene F., POWELL, J. David, WORKMAN, Michael L., **Digital Control of Dynamic Systems**. Third Edition. Addison Wesley Longman, Inc. 1998