

DIRK LINDEKE

**PROJETO DE UM FILTRO ATIVO PARALELO
DE 1kVA USANDO TÉCNICAS DE
CONTROLE ANALÓGICO E DIGITAL**

**FLORIANÓPOLIS
2003**



UNIVERSIDADE FEDERAL DE SANTA CATARINA

**PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA**



Instituto de Eletrônica de Potência

**PROJETO DE UM FILTRO ATIVO PARALELO
DE 1kVA USANDO TÉCNICAS DE
CONTROLE ANALÓGICO E DIGITAL**

Dissertação submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a obtenção do grau de
Mestre em Engenharia Elétrica.

DIRK LINDEKE

Florianópolis, Fevereiro de 2003.

PROJETO DE UM FILTRO ATIVO PARALELO DE 1kVA USANDO TÉCNICAS DE CONTROLE ANALÓGICO E DIGITAL

Dirk Lindeke

‘Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em Eletrônica de Potência e Acionamentos, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’

Ivo Barbi, Dr. Ing.
Orientador

Edson Roberto De Pieri, Dr.
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

Enio Valmor Kassick, Dr.
Presidente

Fabiana Pöttker de Souza, Dra.

Marcello Mezaroba, Dr.

A minha Mãe
Nóris.

Ao Conhecimento, a Ciência e a Tecnologia.

AGRADECIMENTOS

Ao Prof. Ivo Barbi pela orientação e sabedoria, pela motivação e pela oportunidade de trabalho junto com uma excelente equipe nestes 12 meses.

A Engenheira Fabiana Pöttker de Souza pela transmissão de seus conhecimentos na área de filtros ativos e pela excelente orientação nos trabalhos em conjunto.

Ao Engenheiro Samir Ahmad Mussa pela transmissão de seus conhecimentos na área de processamento digital de sinais e pela extraordinária condução dos trabalhos em equipe.

Aos membros da banca examinadora pelas revisões, correções e sugestões.

Aos demais professores do INEP que sempre estiveram dispostos a ajudar e que tanto contribuíram para minha formação na área de Eletrônica de Potência.

Aos técnicos e funcionários do INEP pela constante disposição para auxiliar, em especial a Dulcemar e ao Rafael.

Aos meus estimáveis colegas do Programa de Mestrado, Carlos, Douglas, Eduardo, Rafael e Ricardo que sempre estiveram prontamente dispostos a ajudar.

Aos demais amigos e colegas do INEP que de alguma forma contribuíram para minha formação.

A Vanessa pela paciência, apoio e carinho.

A minha mãe pelo apoio, amor e compreensão incondicionais em todos os momentos da minha vida, e que sem a qual nada teria sido possível.

A ciência pela inspiração, orientação e esclarecimento.

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

PROJETO DE UM FILTRO ATIVO PARALELO DE 1kVA USANDO TÉCNICAS DE CONTROLE ANALÓGICO E DIGITAL

Dirk Lindeke

Fevereiro / 2003

Orientador: Ivo Barbi, Dr. Ing.

Área de Concentração: Eletrônica de Potência e Acionamentos

Palavras-chave: 'filtro ativo' / 'controle digital'

Número de Páginas: 173.

O objetivo maior deste trabalho é realizar o projeto e a execução de dois Filtros Ativos Paralelos de 1 *kVA* com a corrente controlada por valores médios instantâneos, um deles com o controle tradicional analógico e o outro com o controle digital através de um processador digital de sinais (*DSP*) da *Texas Instruments*. Os resultados obtidos experimentalmente são então comparados e algumas conclusões a respeito das duas técnicas de controle são estabelecidas. O capítulo I faz um breve resumo a respeito dos filtros ativos em geral. O capítulo II apresenta a metodologia de projeto de potência de um *FAP*. O capítulo III apresenta o projeto dos controladores analógicos do *FAP* e os resultados de simulação da estrutura de potência e de controle. O capítulo IV apresenta a execução do projeto de um Filtro Ativo Paralelo (*FAP*) controlado de modo analógico. O capítulo V apresenta uma introdução ao controle digital através do uso de *DSP* aplicado a Eletrônica de Potência. Nos capítulos VI e VII são apresentadas a metodologia e execução de um Filtro Ativo Paralelo controlado de modo digital. Finalmente as conclusões gerais obtidas nesta dissertação são apresentadas. É ainda apresentado, no Anexo I, um breve estudo a respeito dos Filtros Ativos Série (*FAS*), também aplicados na correção de harmônicas de corrente.

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

PROJECT OF A 1kVA PARALLEL ACTIVE FILTER WITH ANALOG AND DIGITAL CONTROLLER TECHNIQUES

Dirk Lindeke

February / 2003

Advisor: Ivo Barbi, Dr. Ing.

Area of Concentration: Power Electronics

Keywords: 'active filter' / 'digital control'

Number of Pages: 173.

The main objective of this work is to design and assembly two Parallel Active Filters of 1 *kVA* each, with average current mode control technique. One of them will be controlled with traditional analog control and the other one will be controlled with a digital signal processor (*DSP*) from *Texas Instruments*. The experimental results are compared and some conclusions about both techniques are taken. In Chapter I a summary about active filters is presented. The power project of the Parallel Active Filter is presented in Chapter II. In Chapter III the analog controller project and the simulation results are presented. The Chapter IV presents the assembly details and the experimental results of the Parallel Active Filter. The Chapter V presents an introduction to digital signal processing applied to Power Electronics. The project method and the experimental results of a Parallel Active Filter with digital control are presented in Chapters VI and VII. Finally, some general conclusions are taken about this work. In this work is also presented a study about a Series Active Filter, applied again to current harmonic correction.

SUMÁRIO

ÍNDICE DE TABELAS	xviii
INTRODUÇÃO GERAL	xix
CAPÍTULO I - Filtros Ativos	1
1.1. Estruturas	1
1.1.1. Filtro Ativo Paralelo	1
1.1.2. Filtro Ativo Série	3
1.1.3. Filtro Ativo Universal	5
1.1.4. Filtros Ativos Híbridos	5
1.2. Topologias	7
1.3. Modulação	9
1.4. Estratégias de Controle da Corrente	11
1.5. Conclusão	14
CAPÍTULO II - Estrutura de Potência do Filtro Ativo	
Paralelo de 1 kVA	15
2.1. Estrutura, Topologia, Modulação e Estratégia de Controle da Corrente Adotadas	15
2.2. Projeto de Potência do <i>FAP</i>	17
2.2.1. Projeto da Carga: O Retificador Monofásico de Onda Completa com Filtro Capacitivo	18
2.2.2. Estrutura de Potência e Especificações do <i>FAP</i>	20
2.2.3. Cálculo dos Esforços de Corrente	21
2.2.4. Cálculo dos Elementos Passivos do <i>FAP</i> : a Indutância L_f e a Capacitância C_f	30
2.2.5. Projeto Físico do Indutor L_f	31
2.2.6. Especificação do Capacitor C_f	35
2.2.7. Esforços nos Componentes do <i>FAP</i>	36

2.2.8. Projeto dos Elementos Ativos do <i>FAP</i>	37
2.2.9. Cálculo das Perdas	38
2.2.10. Projeto dos Transdutores	40
2.2.10.1. Transdutor de Tensão <i>CA</i>	41
2.2.10.2. Transdutor de Corrente <i>CA</i>	44
2.2.10.3. Transdutor de Tensão <i>CC</i>	46
2.2.11. Circuito de Partida: Controle da Corrente de Partida	47
2.3. Conclusão	48

CAPÍTULO III - Controladores Analógicos do Filtro Ativo

Paralelo de 1 *kVA* 49

3.1. Estratégia de Controle e Projeto dos Controladores	49
3.2. Malha de Corrente	50
3.2.1. Modelagem	51
3.2.2. Projeto do Compensador	61
3.3. Malha de Tensão	67
3.3.1. Modelagem	69
3.3.2. Projeto do Compensador	69
3.4. Resultados de Simulação	72
3.4.1. Análise em Regime Permanente: o <i>FAP</i> Funcionando com Diferentes Situações de Carga	73
3.4.2. Análise das Características Dinâmicas: Degrau de Carga de 50%	76
3.4.3. Análise do Procedimento de Partida do Conversor	77
3.4.4. Análise dos Esforços no <i>FAP</i>	79
3.5. Conclusão	83

CAPÍTULO IV - Resultados Experimentais do Protótipo

de 1 *kVA* 84

4.1. Circuitos Auxiliares	84
---------------------------	----

4.1.1. Multiplicador	84
4.1.2. Circuitos Auxiliares de Partida do <i>FAP</i>	88
4.1.3. Circuito de Proteção de Sobre-Tensão	91
4.1.4. Geração da Modulação	92
4.1.5. Esquema Completo de Controle e de Potência	94
4.2. Resultados Experimentais	97
4.2.1. <i>FAP</i> Funcionando como Retificador <i>BOOST</i>	98
4.2.2. Conjunto de Fontes Chaveadas	99
4.2.3. Retificador com Filtro Capacitivo	100
4.2.4. Retificador com Carga <i>R-L</i>	101
4.2.5. Carga <i>R-L</i>	102
4.2.6. Carga <i>R</i>	102
4.2.7. Partida do <i>FAP</i>	103
4.3. Conclusão	104
CAPÍTULO V - Introdução ao Controle Digital	105
5.1. O Processamento Digital de Sinais	105
5.1.1. Amostragem e Aquisição de Sinais	106
5.1.2. O Efeito de <i>Aliasing</i>	107
5.1.3. O Retentor de Ordem Zero (<i>ZOH</i>)	108
5.1.4. O Atraso de Transporte	109
5.1.5. Representações Numéricas em <i>DSP</i> 's	110
5.2. O <i>DSP TMS 320LF2407A</i>	113
5.2.1. Especificações e Características	114
5.2.2. Diagrama de Controle com o <i>DSP</i> da <i>Texas</i>	115
5.2.3. Periféricos	117
5.3. Conclusão	118
CAPÍTULO VI - Projeto dos Controladores Digitais do	
Filtro Ativo Paralelo de 1 <i>kVA</i>	119
6.1. Projeto dos Controladores Digitais	119

6.1.1. Projeto do Controlador de Corrente no Plano Z	122
6.1.1.1. Características do Controle Digital	123
6.1.1.2. Gráfico do LR	128
6.1.1.3. Projeto do Controlador	129
6.1.2. Projeto do Controlador de Tensão no Plano Z	132
6.2. Resultados de Simulação	133
6.3. Conclusão	136

CAPÍTULO VII - Resultados Experimentais do Protótipo de 1 kVA com Controle Digital	137
7.1. Protótipo de 1 kVA	137
7.1.1. Condicionamento dos Sinais	137
7.1.2. Sinais de Comando do DSP	140
7.1.3. Comando do Relé do Circuito de Partida	141
7.1.4. Esquema Final da Placa de Interface	141
7.2. Resultados Experimentais	143
7.2.1. FAP Funcionando como Retificador $BOOST$	143
7.2.2. Conjunto de Fontes Chaveadas	144
7.2.3. Retificador com Filtro Capacitivo	145
7.2.4. Retificador com Carga $R-L$	145
7.2.5. Carga $R-L$	146
7.2.6. Carga R	147
7.3. Conclusão	148
Conclusões Gerais	149
Referências Bibliográficas	151

Anexo I - Estudo do Filtro Ativo Série na Correção de Harmônicas de Corrente	153
A. Projeto do <i>FAS</i>	154
B. Resultados de Simulação	155
C. Controle da Tensão do Barramento CC	157
D. Conclusão	158
Anexo II - Arquivos de Simulação e Programas	160
A. Arquivo de Dados da Simulação do <i>FAP</i> em Regime Permanente	160
B. Arquivo de Dados da Simulação da Partida do <i>FAP</i>	162
C. Arquivo de Dados da Simulação do <i>FAS</i>	163
D. Código do Programa para Gerar o <i>LR</i> no <i>MATLAB</i>	165
E. Código do Programa para Gerar o <i>LR</i> da Malha de Tensão no <i>MATLAB</i>	167

SIMBOLOGIA

1. Acrônimos e Abreviaturas

Símbolo	Significado
FAP	Filtro Ativo Paralelo
FAS	Filtro Ativo Série
THD	' <i>Total Harmonic Distortion</i> ', Distorção Harmônica Total
PFC	' <i>Power Factor Correction</i> ', Correção do Fator de Potência
VSI	' <i>Voltage Source Inverter</i> ', Inversor de Tensão
CSI	' <i>Current Source Inverter</i> ', Inversor de Corrente
CC	Corrente Contínua
CA	Corrente Alternada
FB	' <i>Full Bridge</i> ', Ponte Completa
PWM	' <i>Pulse Width Modulation</i> ', Modulação por Largura de Pulso
RSE	Resistência Série Equivalente
FB-VSI	' <i>Full Bridge Voltage Source Inverter</i> ', Inversor de Tensão em Ponte Completa
CI	Circuito Integrado
IGBT	' <i>Insulated Gate Bipolar Transistor</i> '
FTLA	Função de Transferência de Laço Aberto
FTMF	Função de Transferência de Malha Fechada
MF	Margem de Fase
AMPOP	Amplificador Operacional
DSP	' <i>Digital Signal Processor</i> ', Processador Digital de Sinais
ZOH	' <i>Zero Order Hold</i> ', Retentor de Ordem Zero
LR	Lugar das Raízes

2. Símbolos de Unidades de Grandezas Físicas

Símbolo	Significado
----------------	--------------------

Ω	Ohm
A	Ampère
V	Volt
F	Faraday
H	Henry
Hz	Hertz
W	Watt
VA	Volt-Ampère
VAR	Volt-Ampère Reativo
Φ	Fase
$^{\circ}$	Grau trigonométrico

3. Símbolos Usados em Expressões Matemáticas

Símbolo	Significado	Unidade
V_s	Tensão da rede elétrica	V
I_s	Corrente drenada da rede	A
I_f	Corrente drenada pelo filtro ativo	A
I_o	Corrente drenada pela carga	A
L	Indutor	H
S	Interruptor	
D	Diodo	
C_o	Capacitor de saída	F
R_o	Resistor de saída	Ω
V_1	Componente fundamental da tensão da rede	V
V_h	Componentes harmônicas da tensão da rede	V
V_{ab} completa	Tensão nos terminais ab do inversor de tensão em ponte completa	V
L_f	Indutor de acoplamento do FAP	H

C_f	Capacitor do barramento CC do FAP	F
V_{L_f}	Tensão sobre o indutor L_f	V
ΔI_{L_f}	Ondulação da corrente no indutor L_f	A
D	Razão cíclica	
$V_{Co_m\acute{a}x}$	Tensão máxima no capacitor retificador	V
$V_{Co_m\acute{i}n}$	Tensão mínima no capacitor retificador	V
$V_{Co_m\acute{e}d}$	Tensão média no capacitor retificador	V
V_{ACpico}	Tensão de pico da rede elétrica	V
V_{Cf}	Tensão no capacitor do barramento CC do FAP	V
$\Delta I_{f_{para_max}}$	Máx. ondulação de corrente parametrizada no FAP	A
$\Delta I_{f_{max}}$	Máx. ondulação de corrente absoluta no filtro FAP	A
f_{ab}	Frequência da modulação no indutor do FAP	Hz
V_{cc}	Tensão no barramento CC do FAP ($V_{cc} = V_{Cf}$)	V
M_i	Índice de modulação	
$I_{fundamental}$	Corrente fundamental	A
A_e	Área da perna central	cm ²
A_w	Área da janela	cm ²
$A_e.A_w$	Produto de áreas	cm ⁴
l_m	comprimento do caminho magnético	cm
P_v	Perdas volumétricas	W/m ²
N_{litz}	Número de fios em paralelo	
P_{cu}	Perdas no cobre	W
P_{nucleo}	Perdas no núcleo	W
P_{total}	Perdas totais	W
$P_{execu\c{c}\tilde{a}o}$	Possibilidade de execução	
V_{CEsat}	Tensão de saturação do IGBT	V
td_{on}	Tempo de entrada em condução do IGBT	s
td_{off}	Tempo de bloqueio do IGBT	s
$R_{th_{jc_igbt}}$	Resistência térmica junção-cápsula do IGBT	

$R_{th_{jc_diodo}}$	Resistência térmica junção-cápsula do diodo	
V_{To}	Tensão em condução do diodo	V
P_{Cf}	Perdas no capacitor C_f	W
P_{Scond}	Perdas em condução no interruptor	W
$P_{Scomutação}$	Perdas em comutação no interruptor	W
η	Rendimento	%
J_{max}	Máxima densidade de corrente	A/cm ²
B_{max}	Máxima densidade de fluxo	T/cm ²
S_{trafo}	Potência aparente do transformador	VA
a	Largura da perna central do núcleo	cm
N_{AT}	Número de espiras no primário de alta tensão	
N_{BT}	Número de espiras no secundário de baixa tensão	
S_m	Área da seção magnética	cm ²
$F_{cruzamento}$	Frequência de cruzamento da FTLA da planta	Hz
R_{Mi}	Resistência de ganho do sensor hall de corrente	Ω
R_{Mv}	Resistência de ganho do sensor hall de tensão	Ω
G_v	Ganho do amostrador de tensão	
G_i	Ganho do amostrador de corrente	
R_{INRUSH}	Resistor de in-rush	Ω
$R_i(s)$	Função de transferência do compensador de corrente	
$R_v(s)$	Função de transferência do compensador de tensão	
$G_{id}(s)$	Função de transferência do modelo em corrente	
$G_{vi}(s)$	Função de transferência do modelo em tensão	
F_{zero}	Frequência do zero	Hz
F_{polo}	Frequência do pólo	Hz
K_{Ri}	Ganho estático do compensador de corrente	
K_{Rv}	Ganho estático do compensador de corrente	
Z	Representação no domínio Z	
S	Representação no domínio S	

F_{clock}	Frequência de operação do DSP	Hz
--------------------	-------------------------------	----

Subíndices

carga	Carga
boost	Retificador BOOST
rede	Rede elétrica
mín	Valor mínimo
máx	Valor máximo
méd	Valor médio
pico	Valor de pico
ef	Valor eficaz
filtro	Filtro Ativo
i	Malha de corrente
v	Malha de tensão

4. Notações Matemáticas

<u>Símbolo</u>	<u>Significado</u>
\bar{A}	Grandeza parametrizada
$\langle \dots \rangle$	Valor Médio Quase Instantâneo VMQI
\wedge	Perturbação
A	Grandeza constante em um ponto de operação
a	Grandeza variável no modelo de pequenos sinais
$A.a$	Constante x perturbação em pequeno sinal
$a.a$	Pequeno sinal x pequeno sinal

ÍNDICE DE FIGURAS

Introdução Geral

Fig. 1 – Estrutura do pré-regulador <i>BOOST</i> .	xx
--	----

Capítulo I

Fig. 1.1 – Princípio de funcionamento de um <i>FAP</i> .	2
Fig. 1.2 – Funcionamento do <i>FAP</i> com uma carga do tipo retificador com filtro capacitivo.	2
Fig. 1.3 – <i>FAS</i> aplicado na compensação de harmônicas de tensão da rede.	4
Fig. 1.4 – <i>FAS</i> aplicado na compensação de harmônicas de tensão da rede.	4
Fig. 1.5 – Filtro ativo universal.	5
Fig. 1.6 (a), (b) e (c)– Filtros Ativos Híbridos.	6
Fig. 1.7 – Estruturas bidirecionais em corrente (<i>VSI</i> e <i>CSI</i>).	7
Fig. 1.8 – (a) Inversor de tensão em meia ponte, (b) em ponte completa, (c) com grampeamento no ponto neutro e (d) inversores de tensão em série.	8
Fig. 1.9 – Tensão V_{ab} de (a) dois níveis, (b) três níveis e (c) cinco níveis (c)	9
Fig. 1.10 – Estrutura de comando de três níveis para <i>VSI</i> em ponte completa.	10
Fig. 1.11 - (a) Geração da Modulação. (b) Comando do Interruptor S_3 . (c) Comando do Interruptor S_1 (d) Tensão V_{ab} nos terminais ab do inversor.	10
Fig. 1.12 – Filtro ativo monofásico do tipo paralelo empregando o inversor <i>VSI</i> controlado através do monitoramento da corrente na carga não-linear e no filtro ativo.	12
Fig. 1.13 – Filtro ativo monofásico do tipo paralelo empregando o inversor <i>VSI</i> controlado através do sensoriamento da corrente da rede.	13

Capítulo II

Fig. 2.1 – Inversor de tensão em ponte completa (destaque para os terminais ab).	16
Fig. 2.2 – Retificador monofásico de onda completa com filtro capacitivo.	18
Fig. 2.3 – Estrutura de potência do <i>FAP</i> .	20
Fig. 2.4 – Tensão nos terminais ab do <i>FAP</i> .	23
Fig. 2.5 - Variação da ondulação de corrente em função de wt .	26
Fig. 2.6 – Ondulação parametrizada da corrente no indutor L_f para um índice de modulação $M_i = 0,6$.	27
Fig. 2.7 - Forma de onda da corrente drenada pela carga (em componentes da série de <i>Fourier</i>).	29
Fig. 2.8 - Forma de onda da corrente que circula pelo <i>FAP</i> (em componentes da série de <i>Fourier</i>).	29
Fig. 2.9 – Transformador abaixador de tensão da rede.	41
Fig. 2.10 – Esquema de ligação do sensor hall de corrente.	45
Fig. 2.11 - Esquema de ligação do sensor hall de tensão.	46
Fig. 2.12 – Circuito de partida do <i>FAP</i> .	48

Capítulo III

Fig. 3.1 – Estrutura geral da estratégia de controle.	49
Fig. 3.2 – Diagrama de blocos da estrutura de controle.	50
Fig. 3.3 – Estrutura de controle da malha de corrente.	50
Fig. 3.4 – Estrutura proposta para a modelagem do conversor.	51
Fig. 3.5 – Pulsos de comando dos interruptores S_1 e S_3 para a razão cíclica $D = 0,5$.	52
Fig. 3.6 – (a) Condução dos interruptores S_1 e S_3 . (b) Condução dos interruptores S_2 e S_4 . (c) Condução dos interruptores S_1 e S_4 . (d) Condução dos interruptores S_2 e S_3 .	53
Fig. 3.7 – Estado topológico equivalente do $FB-VSI$ para situação ‘A’.	53
Fig. 3.8 - Pulsos de comando dos interruptores S_1 e S_3 para a razão cíclica $D = 0,8$.	54
Fig. 3.9 - Estados topológicos equivalentes do $FB-VSI$ para situação ‘B’.	54
Fig. 3.10 - Pulsos de comando dos interruptores S_1 e S_3 para a razão cíclica $D = 0,2$.	55
Fig. 3.11 - Estados topológicos equivalentes do $FB-VSI$ para situação ‘C’.	55
Fig. 3.12 – Etapas de funcionamento de um conversor $BOOST$.	56
Fig. 3.13 – (a) Módulo da expressão (3.18). (b) Fase da expressão (3.18).	59
Fig. 3.14 – Lugar das Raízes da FTMF da expressão (3.19).	60
Fig. 3.15 - (a) Módulo da função de transferência dos dois modelos. (b) Fase da função de transferência dos dois modelos.	61
Fig. 3.16 – (a) Compensador avanço-atraso de fase. (b) Módulo da função de transferência do compensador.	61
Fig. 3.17 – $FTLA$ da malha de corrente.	62
Fig. 3.18 – (a) LR da $FTMF$. (b) $BODE$ da $FTLA$.	65
Fig. 3.19 – Resposta ao degrau da planta em malha fechada.	66
Fig. 3.20 – Corrente drenada da rede para um FAP funcionando com uma malha de tensão rápida.	67
Fig. 3.21 – Diagrama de blocos no domínio S da malha de tensão.	68
Fig. 3.22 – Compensador avanço-atraso da malha de tensão.	69
Fig. 3.23 - Módulo e fase do diagrama de bode da $FLTA$ da malha de tensão.	71
Fig. 3.24 – Esquema do circuito de simulação numérica.	73
Fig. 3.25 – (a) Retificador com filtro capacitivo. (b) Retificador com carga $R-L$. (c) Carga $R-L$.	73
Fig. 3.26 – (a) Tensão e corrente da rede. (b) Corrente de carga e corrente no FAP (I_f).	74
Fig. 3.27 – (a) Tensão e corrente da rede (I_s). (b) Corrente de carga (I_o) e corrente no FAP (I_f).	75
Fig. 3.28 – (a) Tensão e corrente da rede (I_s). (b) Corrente de carga (I_o) e corrente no FAP (I_f).	75
Fig. 3.29 – (a) Corrente drenada da rede pela carga. (b) Tensão no capacitor C_f (barramento CC) do FAP .	76
Fig. 3.30 - (a) Tensão na saída do controlador de corrente. (b) Corrente drenada da rede.	77
Fig. 3.31 – Circuito utilizado na simulação numérica do circuito de partida.	78
Fig. 3.32 – Corrente de partida do FAP .	78
Fig. 3.33 – Corrente de partida da carga.	79
Fig. 3.34 - Corrente total drenada da rede I_s , corrente da carga I_o e a corrente no FAP I_f .	79
Fig. 3.35 – (a) Ondulação da corrente drenada da rede. (b) Ondulação da tensão do barramento CC .	80
Fig. 3.36 – (a) Corrente no interruptor S_1 . (b) Corrente no diodo D_1 .	81
Fig. 3.37 – (a) Corrente no capacitor C_f . (b) Ação de controle.	81

Fig. 3.38 – (a) Tensão na saída do controlador de tensão. (b) Tensão de referência da corrente.	82
---	----

Capítulo IV

Fig. 4.1 – Esquema elétrico do multiplicador.	85
Fig. 4.2 - Esquema de ganhos do <i>FAP</i> .	87
Fig. 4.3 – Circuito temporizador.	90
Fig. 4.4 – Circuito de partida progressiva.	90
Fig. 4.5 – Circuito de proteção de sobre-tensão do capacitor C_f .	91
Fig. 4.6 – Circuito elétrico para gerar uma forma de onda triangular.	93
Fig. 4.7 – Esquema completo da estrutura de potência.	95
Fig. 4.8 – Esquema elétrico da placa do sensor hall de tensão.	95
Fig. 4.9 – Esquema elétrico da placa auxiliar de potência.	96
Fig. 4.10 – Esquema completo do circuito de comando e controle do <i>FAP</i> .	96
Fig. 4.11 – Placa de controle e comando analógica.	97
Fig. 4.12 – (a) Tensão e corrente da rede. (b) Harmônicas da corrente total drenada da rede.	98
Fig. 4.13 - (a) Tensão e corrente da rede. (b) Tensão e corrente de carga. (c) Tensão e corrente que circula no <i>FAP</i> (c) Harmônicas da corrente total drenada da rede.	99
Fig. 4.14 – Detalhe da distorção da tensão da rede elétrica.	100
Fig. 4.15 - (a) Tensão e corrente da rede. (b) Tensão e corrente de carga. (c) Tensão e corrente que circula no <i>FAP</i> (c) Harmônicas da corrente total drenada da rede.	100
Fig. 4.16 - (a) Tensão e corrente da rede. (b) Tensão e corrente de carga. (c) Tensão e corrente que circula no <i>FAP</i> (c) Harmônicas da corrente total drenada da rede.	101
Fig. 4.17 - (a) Tensão e corrente da rede. (b) Tensão e corrente de carga. (c) Tensão e corrente que circula no <i>FAP</i> .	102
Fig. 4.18 - (a) Tensão e corrente da rede. (b) Tensão e corrente de carga. (c) Tensão e corrente que circula no <i>FAP</i> .	102
Fig. 4.19 – Tensão V_{Cf} no barramento <i>CC</i> do <i>FAP</i> (capacitor C_f) e corrente de partida I_f no <i>FAP</i> .	103
Fig. 4.20 – Detalhe dos diferentes estágios da corrente de partida.	104

Capítulo V

Fig. 5.1 – Diagrama de blocos de um conversor com controle digital.	106
Fig. 5.2 – (a) Sinal contínuo $i(t)$ e sinal amostrado i_n . (b) Ruído de quantização.	107
Fig. 5.3 – Efeito de aliasing que ocorre na amostragem.	108
Fig. 5.4 – Fase introduzida na planta por um retentor de ordem zero (<i>ZOH</i>) para uma frequência de amostragem de 100kHz.	109
Fig. 5.5 – Fase do diagrama de Bode do modelo do atraso de transporte.	110
Fig. 5.6 – Representação de número no formato ponto fixo Q_4 .	111
Fig. 5.7 – Exemplo de multiplicação e tratamento do resultado em ponto fixo.	113
Fig. 5.8 – <i>FAP</i> empregando o inversor <i>FB-VSI</i> controlado através de <i>DSP</i> .	115

Capítulo VI

Fig. 6.1 – Modelo da malha de corrente do <i>FAP</i> no domínio Z .	122
Fig. 6.2 – Princípio de geração dos pulsos <i>PWM</i> .	123
Fig. 6.3 – Esquema de ganhos do modulador <i>PWM</i> .	124
Fig. 6.4 – Filtro de <i>Anti-Aliasing</i> .	125
Fig. 6.5 – (a) Região desejável para os pólos da <i>FTMF</i> da planta. (b) Frequência natural de oscilação da planta da mesma ordem da frequência de amostragem.	129
Fig. 6.6 – Fase do atraso de transporte do sistema discreto.	130
Fig. 6.7 – Gráfico do <i>LR</i> da <i>FTMF</i> do <i>FAP</i> com controle digital.	130
Fig. 6.8 – Fase da <i>FTLA</i> do <i>FAP</i> com controle digital.	131
Fig. 6.9 – Resposta ao Degrau.	131
Fig. 6.10 – Lugar das raízes da <i>FTMF</i> da malha de tensão.	132
Fig. 6.11 – Fase da <i>FTLA</i> da malha de tensão.	132
Fig. 6.12 – Diagrama de controle digital do <i>FAP</i> .	133
Fig. 6.13 – Esquema da modulação <i>PWM</i> a 3 níveis.	134
Fig. 6.14 – Esquema de potência do <i>FAP</i> .	134
Fig. 6.15 – Esquema completo de potência e de comando digital.	135
Fig. 6.16 – Corrente drenada da rede (a) Retificador com filtro capacitivo. (b) Retificador com filtro capacitivo e com filtro de entrada. (c) Retificador com carga <i>R-L</i> .	135

Capítulo VII

Fig. 7.1 - Circuito de interface para os sinais dos sensores de corrente e de tensão da rede.	138
Fig. 7.2 – (a) Saída do bloco A. (b) Saída do bloco B. (c) Saída do bloco C. (d) Saída do bloco D. (e) Saída do bloco E. (f) Saída do bloco F.	138
Fig. 7.3 – Esquema elétrico dos sensores hall de tensão e de corrente.	139
Fig. 7.4 – Esquema elétrico do <i>buffer</i> de saída para o <i>driver</i> de comando.	140
Fig. 7.5 – Esquema elétrico do controle de corrente de partida.	141
Fig. 7.6 - Esquema elétrico completo da placa de interface.	142
Fig. 7.7 - Foto da placa de interface ou condicionamento de sinais.	142
Fig. 7.8 – (a) e (b) Formas de onda da tensão e da corrente drenada da rede para o <i>FAP</i> funcionando como retificador <i>BOOST</i> . (c) Espectro harmônico da corrente drenada da rede.	143
Fig. 7.9 – (a) Formas de onda da tensão e da corrente drenada da rede. (b) Espectro harmônico da corrente drenada da rede.	144
Fig. 7.10 – (a) Tensão e corrente drenada da rede. (b) Tensão e corrente da carga. (c) Tensão e corrente que circula no <i>FAP</i> . (d) Espectro harmônico da corrente drenada da rede.	145
Fig. 7.11 – (a) Tensão e corrente drenada da rede. (b) Tensão e corrente da carga. (c) Tensão e corrente que circula no <i>FAP</i> . (d) Espectro harmônico da corrente drenada da rede.	146
Fig. 7.12 - (a) Tensão e corrente drenada da rede. (b) Tensão e corrente da carga. (c) Tensão e corrente que circula no <i>FAP</i> .	147
Fig. 7.13 - (a) Tensão e corrente drenada da rede. (b) Tensão e corrente da carga. (c) Tensão e corrente que circula no <i>FAP</i> .	147

Anexos

Fig. A.1 – Estrutura do <i>FAS</i> com a estratégia de controle proposta.	155
Fig. A.2 – Esquema de simulação numérica do <i>FAS</i> .	155
Fig. A.3 – Tensão da rede e corrente drenada da mesma.	156
Fig. A.4 – Tensão no barramento <i>CC</i> do <i>FAS</i> .	156
Fig. A.5 – Tensão e corrente na carga.	157
Fig. A.6 – (a) Corrente atrasada de 0° . (b) Corrente atrasada de 30° . (c) Corrente atrasada de 60° .	158
Fig. A.7 – (a) Tensão e corrente na carga sem o <i>FAS</i> . (b) Tensão e corrente na carga com o <i>FAS</i> .	159

ÍNDICE DE TABELAS

Tabela 1.1 – Características das principais topologias empregadas nos filtros ativos.	9
Tabela 2.1 – Especificações do retificador (carga proposta).....	19
Tabela 2.2 – Parâmetros obtidos para o retificador.....	20
Tabela 2.3 – Especificações do Filtro Ativo Paralelo.	21
Tabela 2.4 - Parâmetros obtidos para o filtro ativo paralelo.	31
Tabela 2.5 - Especificações do projeto do indutor L_f	32
Tabela 2.6 – Aspectos construtivos do indutor L_f	35
Tabela 2.7 - Características individuais dos capacitores do banco capacitivo C_f	35
Tabela 2.8 - Características individuais dos capacitores do banco capacitivo C_f	36
Tabela 2.9 – Valores obtidos para as correntes que circulam nos elementos do <i>FAP</i>	36
Tabela 2.10 - Características do módulo <i>SEMİKRON SEMITOP² SK 45GB</i>	37
Tabela 2.11 - Perdas totais do conversor.	40
Tabela 2.12 – Especificações preliminares para o projeto do transformador.....	41
Tabela 2.13 – Características do núcleo comercial $a = 1,6$ cm.	43
Tabela 2.14 - Características do sensor hall de corrente.	45
Tabela 2.15 – Características do sensor hall de tensão.....	46
Tabela 3.1 - Parâmetros obtidos para o controlador de corrente.	65
Tabela 3.2 - Parâmetros elétricos do compensador de corrente.	67
Tabela 3.3 – Parâmetros obtidos para o controlador de tensão.	70
Tabela 3.4 - Parâmetros elétricos do compensador de tensão.	72
Tabela 3.5 – Correntes médias e eficazes nos elementos do filtro ativo.	82
Tabela 4.1 – Especificações e limitações de projeto do <i>CI 1595L</i>	85
Tabela 4.2 – Informações a respeito da rede elétrica com e sem o funcionamento do <i>FAP</i>	104
Tabela 5.1 – Abrangência numérica das diferentes representações em ponto fixo com sinal.	112
Tabela 5.2 - Necessidades do <i>FAP</i> e capacidade do <i>DSP</i>	115
Tabela 6.1 - Critérios de projeto para o controlador de corrente.....	129
Tabela 6.2 - Parâmetros obtidos para o controlador de corrente.	131
Tabela 6.3 - Parâmetros obtidos para o controlador de corrente.	133
Tabela 7.1 - Comparativo do desempenho entre a estratégia de controle analógica e digital.	148
Tabela A.1 - Características dos filtros ativos paralelo e série.....	158

INTRODUÇÃO GERAL

Com o aumento do número de equipamentos eletro-eletrônicos e eletromecânicos [1] que solicitam fontes de alimentação especiais - como os retificadores controlados, inversores, fontes chaveadas e outras - foram observadas algumas conseqüências das cargas eletrônicas dessa natureza, como os distúrbios relevantes no sistema de energia elétrica, causando transtornos aos consumidores e, principalmente, às concessionárias de energia elétrica. Dentre estes distúrbios podemos citar:

- Baixos níveis do fator de potência da instalação;
- Altas taxas de distorções harmônicas da tensão da rede elétrica devido à circulação de harmônicos de corrente na mesma;
- Níveis de ruídos (*EMI*) consideráveis injetados na rede elétrica pelos equipamentos em questão.

Hoje em dia são apresentadas novas normas e recomendações [2] e [3], as quais estabelecem padrões para a melhoria da qualidade da energia elétrica, principalmente em relação ao fator de potência, a taxa de distorção harmônica total (*THD*) e a emissão de ruídos (*EMI*). A tendência é que estes padrões passem a ser exigidos pelas empresas concessionárias do fornecimento de energia elétrica, fazendo com que haja necessidade de solucionar os problemas causados pelos conversores eletrônicos.

Na busca da minimização de tais problemas, foram e estão sendo feitas diversas pesquisas, sendo que em muitos casos há o alcance de resultados bastante relevantes e expressivos.

Como muitas aplicações utilizam retificadores monofásicos e trifásicos, algumas variações para a melhora de seu desempenho vem sendo propostas. Como exemplo podemos citar as soluções preventivas onde o próprio equipamento já utiliza alguma técnica de redução de conteúdo harmônico ou de correção de fator de potência (*PFC*), como o uso de um estágio pré-regulador *BOOST* [4] nos retificadores de tensão, como visto na figura Fig. 1.

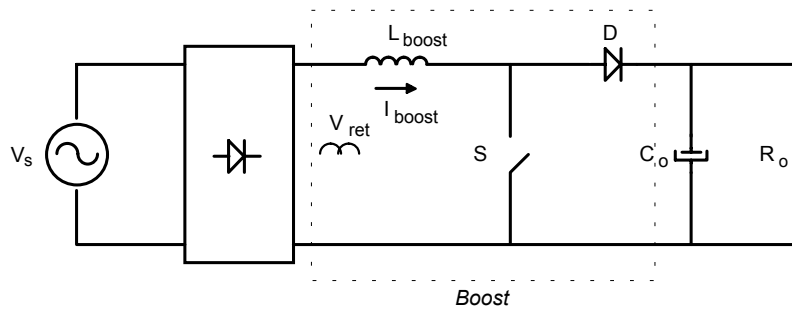


Fig. 1 – Estrutura do pré-regulador *BOOST*.

Estas soluções são elegantes, mas nem sempre são possíveis, pois exigem que o equipamento seja projetado pensando-se no uso destas técnicas (nota-se observando a Fig. 1 que o estágio *BOOST* encontra-se entre a ponte retificadora a diodos e o capacitor de filtragem), e assim sendo, não permitem a solução do problema para equipamentos que já estão em funcionamento.

Quando é necessário resolver os problemas de fator de potência, da taxa de distorção harmônica total (*THD*) e da emissão de ruídos (*EMI*) de equipamentos que já se encontram em funcionamento e que não possuem técnicas preventivas para redução destes problemas deve-se recorrer ao uso de técnicas corretivas. Muitas soluções deste tipo já foram propostas [8], [9], [11] e [12], como por exemplo, o uso de filtros passivos série e/ou paralelo (em geral usados em instalações elétricas com um grande conjunto de cargas conectadas), filtros ativos e diversas combinações de ambos.

Os filtros passivos são extremamente robustos, porém são pesados, volumosos e podem apresentar problemas de ressonância. O uso de pequenos filtros ativos em conjunto com os filtros passivos pode resolver os problemas de ressonância [11], mas os elevados peso e volume dos filtros passivos não possuem solução.

Sabe-se que o uso de filtros ativos paralelos monofásicos de pequena e média potência podem ser uma solução bastante interessante para as instalações que fazem o uso dos equipamentos ditos poluidores da rede elétrica [6], como os descritos anteriormente.

É importante ainda salientar que, assim como os avanços no setor da qualidade da energia elétrica, os avanços na tecnologia do processamento digital de sinais também foram muito acentuados nas duas últimas décadas. As vantagens do uso do controle digital em conversores estáticos são muitas, dentre outras podemos citar:

- Redução do número de componentes eletrônicos das placas de comando dos conversores;

- Grande flexibilidade na concepção do compensador e do modulador do conversor, bastando para isto mudar o *software* do *DSP*;
- Maior facilidade da montagem do produto final em linha de produção, uma vez que o mesmo fica com o número de componentes eletrônicos susceptíveis a variações paramétricas muito reduzido. Muitas vezes, o ajuste final, como por exemplo, o acerto de potenciômetros, pode não ser mais necessário (exceto, em alguns casos, em placas de condicionamento).

Se somarmos aos aspectos que dizem respeito à atual necessidade do setor da qualidade da energia elétrica o fato de que a cada momento se torna mais evidente o uso dos processadores digitais de sinais (*DSP's*) na Eletrônica de Potência, chegamos a inevitável conclusão que o domínio da tecnologia de um filtro ativo controlado de modo digital é muito importante.

Tomando posse destas constatações, este trabalho procura elaborar uma metodologia de projeto clara e concisa para um filtro ativo paralelo (*FAP*) controlado de modo clássico analógico e outro *FAP* controlado de modo digital, sendo que os resultados obtidos de ambas as estratégias de controle devem ser confrontados.

Num primeiro momento será apresentada uma breve recapitulação da teoria dos filtros ativos (Capítulo I), sendo que este tópico não será aprofundado visto que já existem diversos trabalhos a respeito do assunto [5] e [6].

No Capítulo II apresenta-se a escolha da melhor estrutura, topologia e estratégia de controle para um filtro ativo paralelo aplicado à compensação de harmônicas de corrente, assim como toda a metodologia de projeto do estágio de potência do conversor.

No Capítulo III apresentam-se a modelagem e uma metodologia de projeto do controlador analógico do *FAP*. Resultados de simulação numérica da estrutura de potência e de controle também serão apresentados.

No Capítulo IV são discutidos os resultados experimentais de um protótipo de *1kVA*.

No Capítulo V é realizada uma introdução ao processamento digital de sinais.

No Capítulo VI apresenta-se uma metodologia de projeto dos controladores digitais usados no filtro ativo paralelo.

No Capítulo VII são apresentados os circuitos auxiliares para a construção de um protótipo com controle digital. Os resultados experimentais obtidos também são apresentados.

Por fim, os resultados obtidos neste trabalho são discutidos e conclusões são apresentadas.

São ainda apresentados (no Anexo I) os resultados de simulação a respeito do estudo de um filtro ativo série (*FAS*) aplicado à compensação de harmônicas de corrente.

CAPÍTULO I - Filtros Ativos

Neste capítulo introdutório apresenta-se uma descrição resumida a respeito da teoria fundamental dos filtros ativos [5] e [6]. Deve ser abordado o princípio de funcionamento de diferentes estruturas, a saber:

- Filtro ativo paralelo;
- Filtro ativo série;
- Filtro ativo universal, que consiste da combinação de um filtro ativo série com um filtro ativo paralelo;
- Filtros ativos híbridos, que são combinações de filtros ativos com filtros passivos.

Serão apresentadas ainda as principais estruturas de filtros ativos, as topologias utilizadas, as possíveis modulações *PWM* e as estratégias de controle da corrente.

1.1. Estruturas

De uma maneira simplificada, os filtros ativos são equipamentos conectados com a rede elétrica de modo a eliminar distorções da tensão da rede e/ou compensar as harmônicas de corrente solicitadas pela carga.

Existem diversas formas de se conectar os filtros ativos em conjunto com a rede elétrica. Diferentes maneiras de fazê-lo serão descritas nos itens subseqüentes.

1.1.1. Filtro Ativo Paralelo

O filtro ativo do tipo paralelo (*FAP*) é geralmente empregado para corrigir harmônicas de corrente de cargas não-lineares. Ele é conectado em paralelo com a rede e com a carga, aonde ele atua como um dispositivo que injeta ou drena uma corrente do PCC de sorte que a corrente total drenada da rede elétrica, que é a corrente da carga mais a do filtro ativo, seja senoidal (expressão (1.1)). . Pela rede elétrica circula então apenas a componente fundamental da corrente da carga, resultando para a rede elétrica um comportamento de carga resistiva (carga não-linear + filtro ativo), como se pode observar na Fig. 1.1.

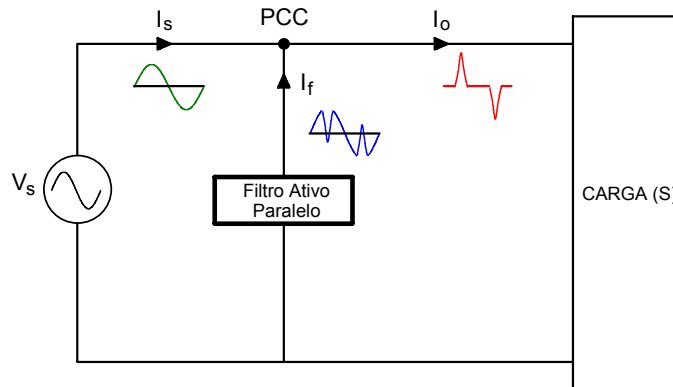


Fig. 1.1 – Princípio de funcionamento de um *FAP*.

Com uma estratégia de controle adequada o *FAP* também é capaz de compensar reativos de deslocamento da componente fundamental da corrente, proveniente de cargas lineares de caráter indutivo ou capacitivo e de cargas não-lineares.

$$I_S(\omega t) = I_{Carga}(\omega t) + I_{Filtro}(\omega t) \quad (1.1)$$

Para facilitar o entendimento do princípio de funcionamento do *FAP* são apresentadas na Fig. 1.2 as correntes drenada da rede, drenada/injetada pelo *FAP* e drenada pela carga para o *FAP* funcionando em paralelo com uma carga não-linear do tipo retificador com filtro capacitivo.

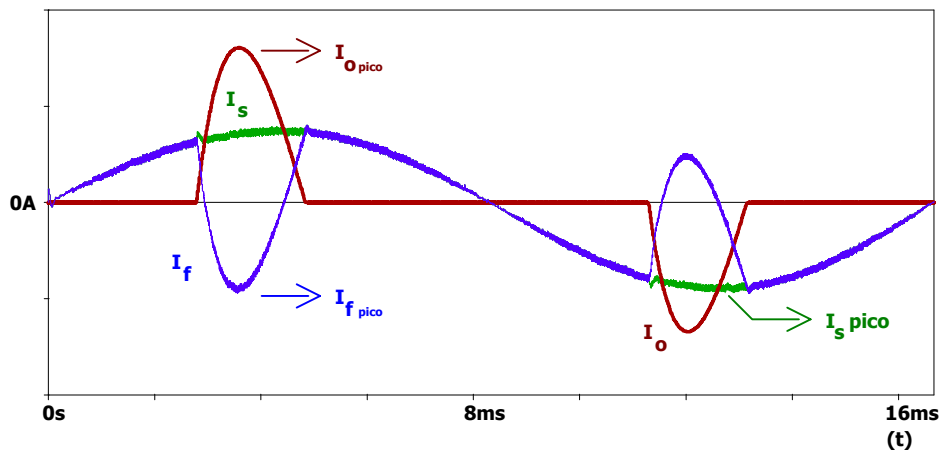


Fig. 1.2 – Funcionamento do *FAP* com uma carga do tipo retificador com filtro capacitivo.

Observando a Fig. 1.2 nota-se facilmente que a corrente drenada da rede (verde) é a soma da corrente drenada pela carga (vermelho) mais a corrente drenada/injetada pelo *FAP*.

A partir do princípio de funcionamento descrito, pode-se esperar, por exemplo, que para uma carga puramente resistiva o *FAP* não injete ou drene corrente alguma do sistema (exceto a corrente necessária para compensar as suas perdas), pois a corrente drenada por uma carga puramente resistiva já é senoidal e em fase com a tensão.

Seguindo o mesmo raciocínio, pode-se esperar que para uma carga linear de caráter indutivo ou capacitivo, o *FAP* injetará uma corrente adiantada ou atrasada de 90° , respectivamente, de modo a compensar apenas os reativos de deslocamento da carga e, assim, a corrente total drenada da rede é senoidal e em fase com a tensão.

Já para uma carga não linear, como no caso dos retificadores, o filtro ativo deve injetar e/ou drenar correntes harmônicas da rede, de modo que estas estejam em oposição de fase com as correntes harmônicas da carga. Deste modo, como nos casos anteriores, a corrente total drenada da rede se torna senoidal e em fase com a tensão (veja Fig. 1.2).

O filtro ativo paralelo não processa potência ativa. Por ele circula apenas uma potência reativa para compensar as harmônicas de corrente da carga ou o reativo de deslocamento da mesma. Desta forma, as perdas no *FAP* são menores do que em relação ao *FAS*, visto que o último processa toda a corrente de carga, como será visto adiante.

É importante salientar que não é necessário modificar a carga para acrescentar o *FAP*, pois o mesmo é conectado em paralelo com a rede. Assim, no caso do *FAP* deixar de operar, a carga continua sendo alimentada normalmente pela rede, porém com um baixo fator de potência.

Além disso, o *FAP* tem a capacidade de se adaptar a diferentes tipos de cargas (não-lineares e lineares) sem haver a necessidade de um conhecimento prévio das cargas (respeitados os limites de potência para qual o *FAP* for projetado).

1.1.2. Filtro Ativo Série

Uma das aplicações usuais para os filtros ativos do tipo série (*FAS*) é na compensação da tensão da rede, isolando a carga contra perturbações na tensão, tais como distorção harmônica e efeitos desta, como o *notching*.

Operando na correção de harmônicas de tensão, o *FAS* é conectado em série com a rede e a carga, apresentando uma característica de fonte de tensão variável (V_h). Esta tensão somada com a tensão da rede distorcida resulta em uma tensão na carga puramente senoidal, como mostra a Fig. 1.3. Funcionando desta forma o *FAS* não compensa as harmônicas de corrente da carga.

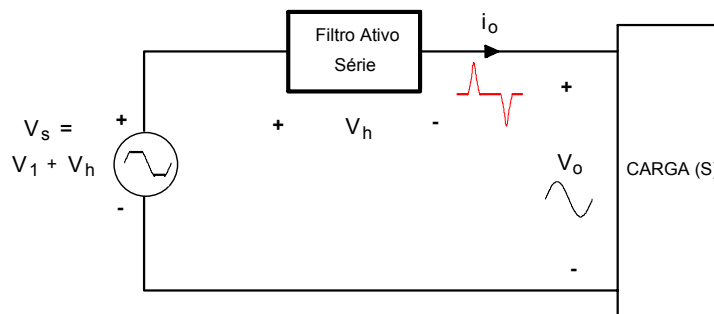


Fig. 1.3 – *FAS* aplicado na compensação de harmônicas de tensão da rede.

O *FAS* também pode ser utilizado para compensar as harmônicas de corrente da carga (veja Fig. 1.4). Neste caso, o *FAS* funciona como uma impedância variável, que deixa circular a componente fundamental da corrente da carga, mas bloqueia as componentes harmônicas, ou seja, é uma impedância elevada para as harmônicas de corrente.

Este modo de funcionamento do *FAS* pode não ser muito interessante, pois toda a componente fundamental da corrente da carga circula pelo filtro ativo, o que resulta em perdas. Além disso, se o filtro ativo deixa de funcionar, a carga também não funciona, o que é uma desvantagem em relação ao *FAP*. O *FAS* funcionando na correção de harmônicas de corrente é abordado de forma mais detalhada no Anexo I, onde são apresentados inclusive resultados de simulação de um *FAS* de 1 *kVA* funcionando na correção das harmônicas de corrente.

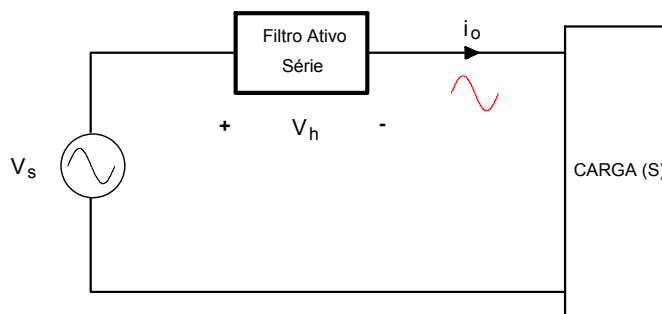


Fig. 1.4 – *FAS* aplicado na compensação de harmônicas de tensão da rede.

1.1.3. Filtro Ativo Universal

A combinação dos filtros ativos série e paralelo em uma única topologia denominada PLC (*power line condition*) é apresentada na Fig. 1.5. Esta combinação incorpora as características de compensação do filtro série com as do filtro paralelo. O filtro série compensa as distorções da rede, suas flutuações, *notching* e também funciona como um isolador de harmônicas. O filtro paralelo funciona como uma fonte controlada de corrente que compensa as harmônicas de corrente da carga. Assim, cargas sensíveis podem operar em instalações ditas poluídas com um fator de potência elevado.

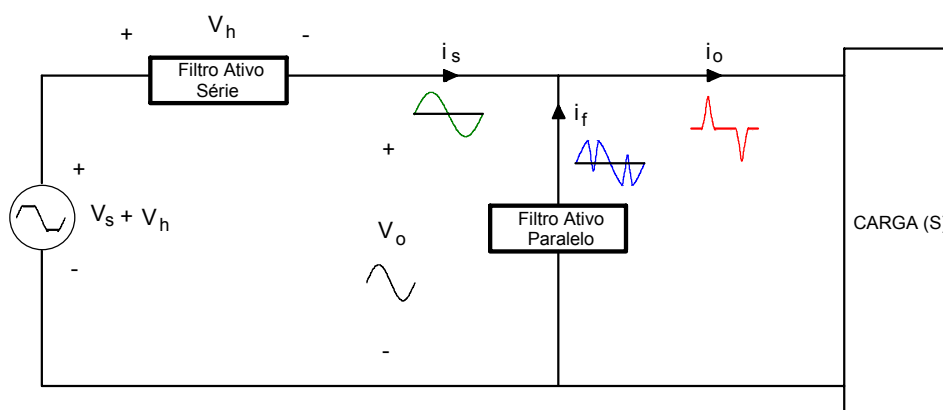


Fig. 1.5 – Filtro ativo universal.

1.1.4. Filtros Ativos Híbridos

Os filtros ativos híbridos, que são uma combinação entre filtros passivos e filtros ativos, são utilizados para a compensação de harmônicas de corrente. No entanto, apresentam um volume considerável devido aos filtros passivos, sendo por isso mais indicados para aplicações industriais. Na Fig. 1.6 são apresentadas as principais configurações.

Na Fig. 1.6-*a* pode-se observar o filtro passivo paralelo combinado com o filtro ativo paralelo. Neste caso o filtro ativo compensa as harmônicas de corrente de baixa frequência e o filtro passivo as harmônicas de corrente de alta frequência. Como o filtro ativo não compensa todas as harmônicas de corrente a sua potência é reduzida.

Na Fig. 1.6-*b* é apresentado o filtro ativo série combinado com o filtro passivo paralelo. Neste caso, o filtro ativo série atua como uma impedância variável de maneira que o filtro passivo passa a ter um comportamento praticamente ideal.

Na Fig. 1.6-c é apresentado o filtro ativo conectado em série com o filtro passivo paralelo. O filtro passivo em série com o filtro ativo é conectado em paralelo com a carga, conferindo um comportamento praticamente ideal ao filtro passivo. Como a tensão da rede não está diretamente aplicada ao filtro ativo, os esforços de tensão são reduzidos.

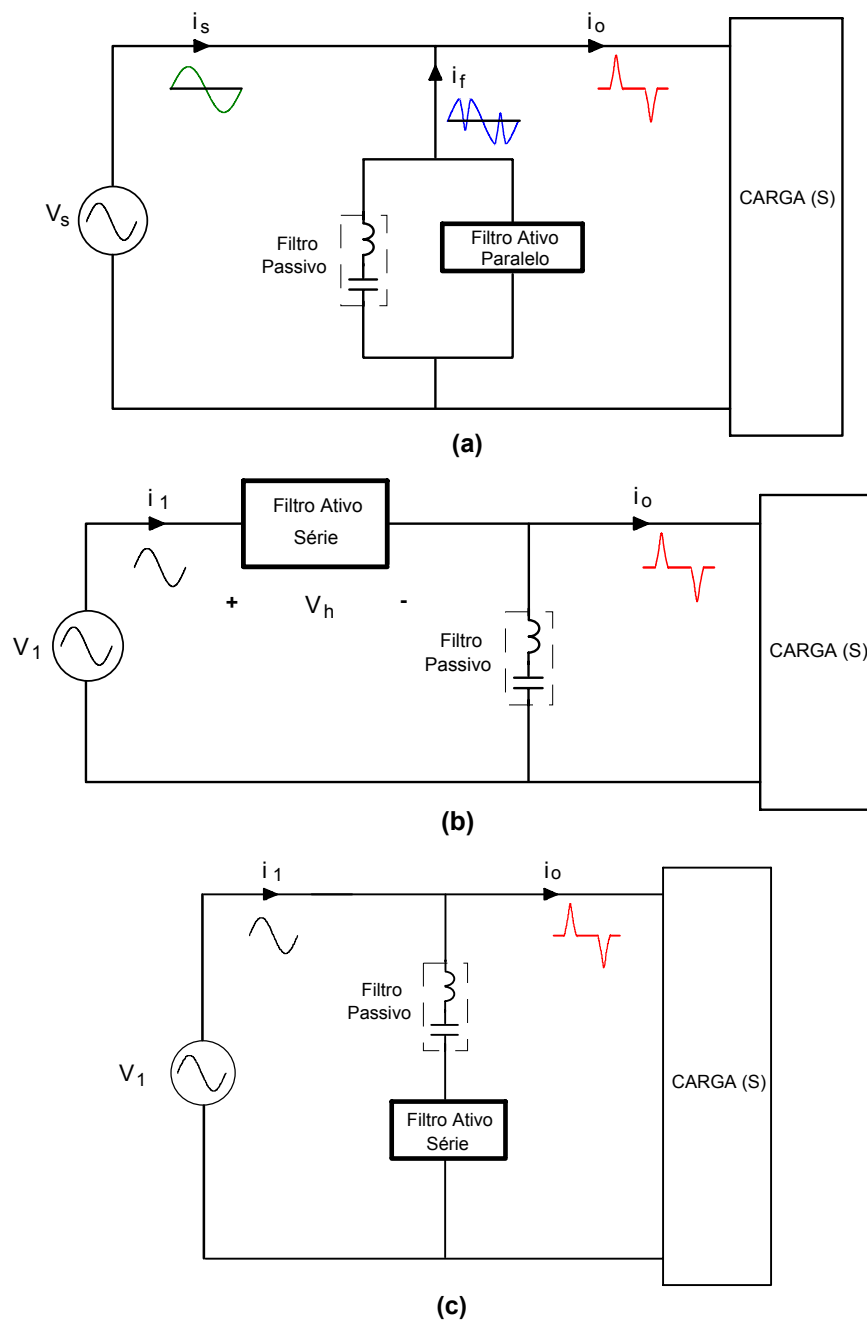


Fig. 1.6 (a), (b) e (c)– Filtros Ativos Híbridos.

1.2. Topologias

Qualquer conversor *CA-CC* bidirecional em corrente pode operar como filtro ativo. Tanto os inversores de tensão (*VSI*) como os inversores de corrente (*CSI*), apresentados na Fig. 1.7, podem ser empregados.

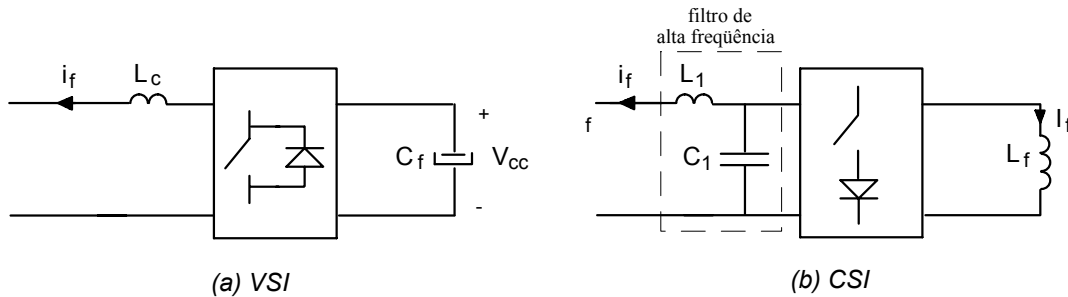


Fig. 1.7 – Estruturas bidirecionais em corrente (*VSI* e *CSI*).

No *VSI*, a tensão no barramento *CC* (V_{cc}) é controlada e mantida constante e provê para a rede a corrente necessária através do indutor de acoplamento L_c . O valor médio da tensão V_{cc} deve ser sempre superior ao valor de pico da tensão da rede.

No *CSI*, a corrente no barramento *CC* (i_f) é modulada e injetada na rede. A corrente i_f deve ser maior que o valor de pico da corrente a ser compensada, o que leva a perdas significativas no indutor L_f . As perdas por condução nos semicondutores também são elevadas devido aos diodos em série com os interruptores, tendo-se portanto o dobro de semicondutores conduzindo simultaneamente quando comparado ao inversor de tensão. Por estas razões, os inversores *VSI* são os mais adequados para a operação como filtros ativos.

Na Fig. 1.8 são apresentadas diferentes topologias de inversores de tensão que podem ser utilizados como filtro ativo.

Os inversores em meia ponte, ponte completa, com grampeamento do ponto neutro (*NPC – neutral point clamped*) e a conexão série de inversores de tensão monofásicos apresentados na Fig. 1.8 têm princípio de funcionamento similar. No entanto, estes inversores apresentam diferenças quanto a esforços de tensão nas chaves e diferentes possibilidades com relação a modulações multinível. A Tabela 1.1 apresenta as principais diferenças entre as diferentes topologias.

O inversor meia ponte apresenta o menor número de chaves, no entanto consegue-se apenas uma modulação a dois níveis, o que significa uma indutância de acoplamento maior, quando comparada com a modulação a três níveis. Além disso, a tensão sobre as

chaves é o dobro da tensão de barramento e existe a necessidade de se controlar a tensão em dois capacitores (garantir tensão igual nos dois). Esta topologia é indicada para potências baixas (por exemplo, até 500 VA)

O inversor em ponte completa apresenta quatro chaves que ficam submetidas à tensão de barramento (metade da tensão do meia ponte). Outros pontos importantes são a possibilidade de modulação a três níveis, reduzindo a indutância de acoplamento, e o fato de haver apenas um capacitor no barramento, o que torna a malha de controle de tensão mais simples. Pelas características apresentadas é indicado para potências médias (por exemplo, 500 VA até 10 kVA).

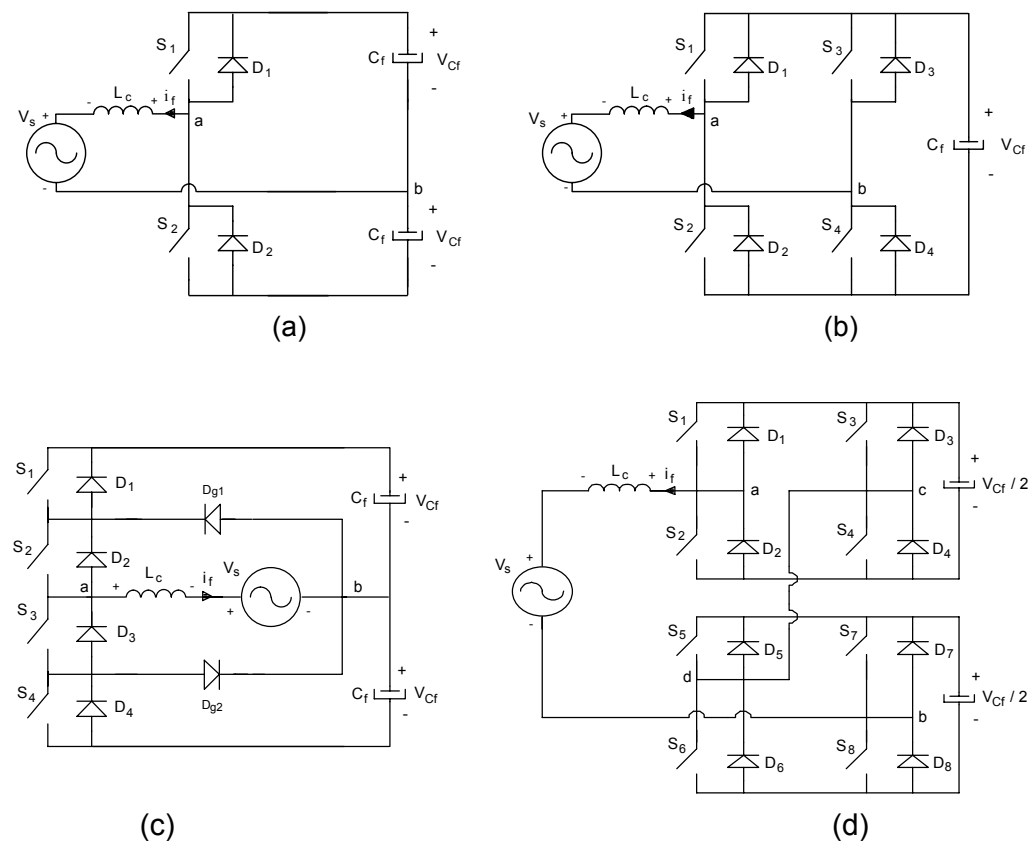


Fig. 1.8 – (a) Inversor de tensão em meia ponte, (b) em ponte completa, (c) com grampeamento no ponto neutro e (d) inversores de tensão em série.

As topologias NPC e conexão série de inversores apresentadas na Fig. 1.8 podem operar com 3 e 5 níveis de tensão, respectivamente. No entanto, para obter-se mais níveis de tensão basta acrescentar células de comutação (NPC) ou conectar mais inversores em série (conexão série). É importante salientar que, quanto maior o número de níveis de tensão, maior o número de chaves e menor a tensão aplicada sobre as mesmas. Assim,

estas topologias são indicadas para situações em que se tenha tensão de barramento elevada. Outro ponto importante é a necessidade de 2 capacitores (ou mais, dependendo do número de níveis de tensão) no barramento CC , o que aumenta o grau de complexidade da malha de controle de tensão.

Topologia do inversor	Níveis da tensão V_{ab}	Nº de interruptores	Tensão nos interruptores	No de capacitores no barramento CC
Meia-Ponte	2	2	$2 \cdot V_{Cf}$	2
Ponte Completa	2	4	V_{Cf}	1
	3	4	V_{Cf}	1
NPC*	2	4	V_{Cf}	2
	3	4	V_{Cf}	2
Conexão Série	3	8	$V_{Cf} / 2$	2

* NPC – Neutral Point Clamped

Tabela 1.1 – Características das principais topologias empregadas nos filtros ativos.

1.3. Modulação

Dependendo da modulação empregada, a tensão V_{ab} do filtro ativo apresenta diferentes níveis, como mostra a Fig. 1.9.

Quanto maior o número de níveis da tensão V_{ab} , menor a indutância de acoplamento, e maior a frequência da tensão V_{ab} . Estes dois fatores contribuem para um melhor desempenho do filtro ativo.

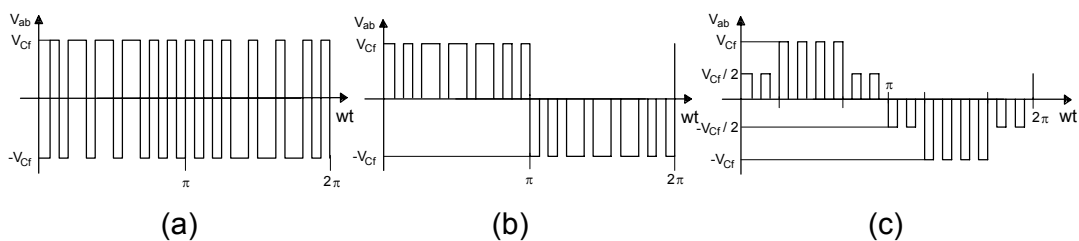


Fig. 1.9 – Tensão V_{ab} de (a) dois níveis, (b) três níveis e (c) cinco níveis (c)

Conforme apresentado na Tabela 1.1, algumas topologias admitem modulações de 2, 3 ou mais níveis e a modulação é definida pela estratégia de comando dos interruptores da topologia *VSI*. Em geral, opta-se pelo maior número de níveis da tensão V_{ab} que a topologia admite. Na Fig. 1.10, apresenta-se a estrutura de comando dos interruptores de uma *VSI* em ponte completa, apresentado na Fig. 1.8-b, modulada a três níveis.

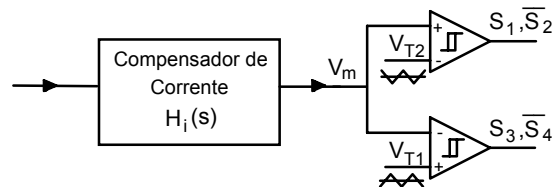


Fig. 1.10 – Estrutura de comando de três níveis para *VSI* em ponte completa.

Na Fig. 1.11 estão apresentadas as principais formas de onda do circuito de geração da modulação três níveis da Fig. 1.10 (com o intuito de facilitar a compreensão do gráfico, são desenhadas duas senóides defasadas de 180° (Fig. 1.11(a)) no lugar das duas triangulares defasadas de 180°).

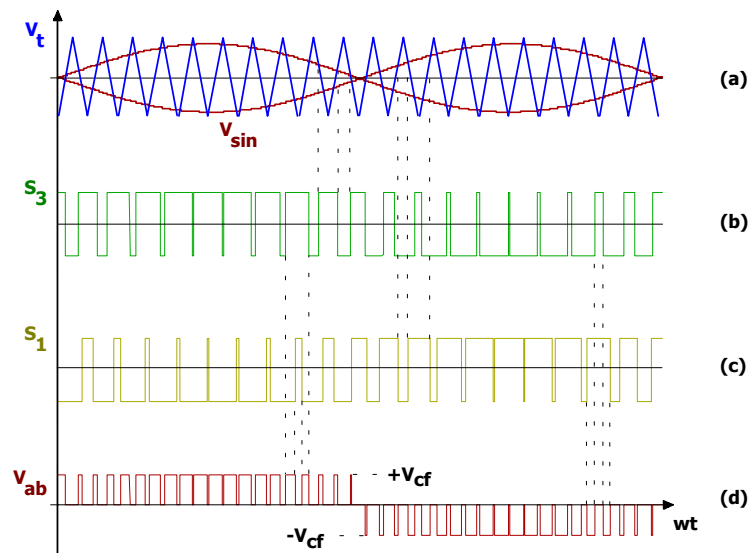


Fig. 1.11 - (a) Geração da Modulação. (b) Comando do Interruptor S_3 . (c) Comando do Interruptor S_1 (d) Tensão V_{ab} nos terminais ab do inversor.

Observa-se na Fig. 1.11 que a tensão V_{ab} pode assumir as tensões V_{cf} , 0 e $-V_{cf}$. Quando os interruptores S_1 e S_4 estiverem conduzindo, a tensão de saída será $V_{ab} = V_{cf}$, quando S_2 e S_3 estiverem conduzindo a tensão de saída será $V_{ab} = -V_{cf}$ e quando S_1 e S_3 ou S_2 e S_4 estiverem conduzindo a tensão de saída será $V_{ab} = 0$.

1.4. Estratégias de Controle da Corrente

Existem basicamente duas estratégias de controle para o filtro ativo paralelo. Uma estratégia é baseada no monitoramento da corrente da carga e do filtro ativo e outra estratégia é baseada no monitoramento da corrente drenada da rede.

Para as duas estratégias de controle tem-se uma malha de tensão e um malha de corrente.

- Malha de Tensão (Tensão no Barramento *CC* do *FAP*): deve garantir que o valor médio da tensão no barramento *CC* do filtro ativo seja mantido constante e que seja superior ao valor de pico da tensão da rede. Esta malha deve ser lenta pois gera a referência de corrente juntamente com uma amostra da tensão da rede.
- Malha de Corrente (Corrente no *FAP* ou na Rede): é a malha que efetivamente faz com que o filtro ativo compense as harmônicas de corrente da carga, impondo uma corrente no filtro ativo ou na rede, de acordo com a estratégia de controle empregada. Esta malha deve ser rápida para que o filtro ativo possa gerar as harmônicas de corrente desejadas.

Para a malha de corrente pode-se utilizar um controle por histerese, no qual a frequência de chaveamento é variável, ou um controle por valores médios instantâneos, no qual a frequência de chaveamento é constante. Por tornar mais simples o projeto dos magnéticos, recomenda-se o uso do controle por valores médios instantâneos. Na descrição das estratégias de controle, a malha de corrente é apresentada de forma genérica, sem especificar se o controle é por histerese ou por valores médios instantâneos.

A. Controle do *FAP* Monitorando a Corrente da Carga e do Filtro Ativo

Na Fig. 1.12 é apresenta-se o diagrama de blocos do filtro ativo utilizando o inversor de tensão controlado através do monitoramento da corrente na carga não-linear.

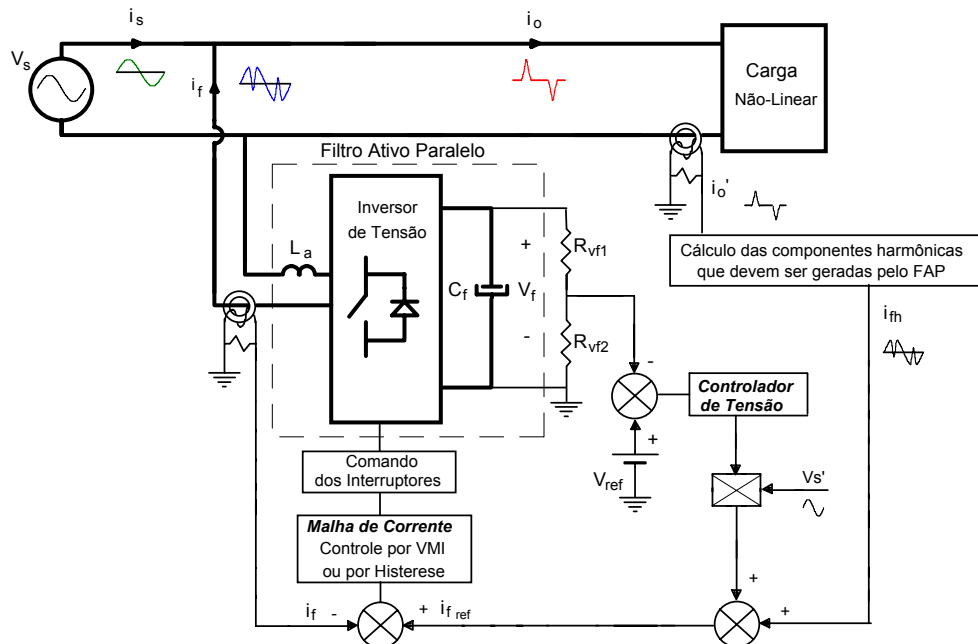


Fig. 1.12 – Filtro ativo monofásico do tipo paralelo empregando o inversor *VSI* controlado através do monitoramento da corrente na carga não-linear e no filtro ativo.

Para gerar a referência de corrente do filtro ativo, é necessário extrair-se a componente fundamental da corrente de carga e depois subtraí-la da corrente total da carga. A esta corrente de referência é somada uma componente fundamental para compensar as perdas no filtro ativo, que descarregam o capacitor do barramento *CC*. Esta componente fundamental é obtida através da malha de tensão do barramento *CC*, que compara a tensão do filtro ativo com uma tensão de referência. O sinal de erro obtido passa por um controlador de tensão adequado, cuja saída é multiplicada por uma amostra da tensão da rede.

A corrente do filtro ativo é comparada com a corrente de referência gerada. O sinal de erro passa por uma malha de corrente com controle por histerese ou com controle por valores médios instantâneos (*VMI*), gerando então os sinais de comando para as chaves.

Para que o filtro ativo gere a corrente necessária é preciso monitorar duas correntes (de carga e do filtro ativo), ou seja, são necessários dois sensores de corrente. Outro ponto importante é que para gerar a corrente de referência é necessário observar-se ao menos um período da rede para calcular as harmônicas de corrente que o *FAP* deve gerar, o que compromete o desempenho dinâmico do filtro ativo.

B. Controle do Filtro Ativo Paralelo Monitorando a Corrente da Rede

O filtro ativo pode ser controlado observando-se diretamente a corrente da rede, como mostra a Fig. 1.13, não havendo então a necessidade de se realizar cálculo algum e nem de utilizar algum tipo de filtro, o que garante um excelente desempenho dinâmico.

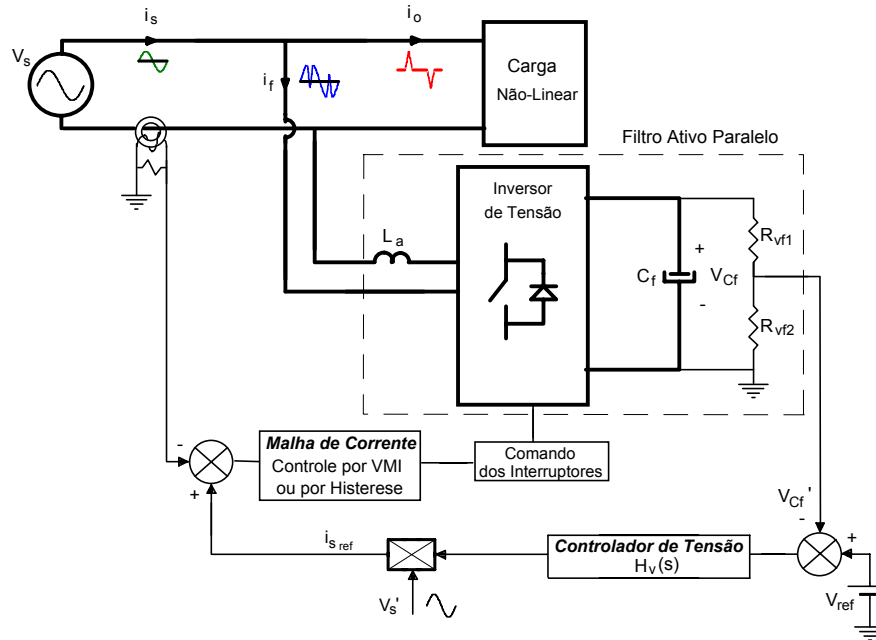


Fig. 1.13 – Filtro ativo monofásico do tipo paralelo empregando o inversor *VSI* controlado através do sensoriamento da corrente da rede.

A corrente de referência senoidal $i_{s_{ref}}$ é gerada através da malha de controle da tensão no barramento *CC* (V_{Cf}) do filtro ativo. Esta tensão é monitorada e comparada com uma tensão de referência (V_{ref}). O sinal de erro resultante passa por um controlador de tensão apropriado e o sinal de saída deste controlador é multiplicado por uma amostra da tensão da rede, gerando a corrente de referência senoidal.

A corrente da rede é comparada com a corrente de referência gerada. O sinal de erro passa por uma malha de corrente com controle por histerese ou com controle por valores médios instantâneos (*VMI*), gerando então os sinais de comando para as chaves.

Comparando-se esta estratégia de controle com a estratégia apresentada na Fig. 1.12, na qual a corrente na carga e no *FAP* são monitoradas, verifica-se que existe um sensor de corrente a menos, o que é significativo para filtros ativos de baixa e média potência devido ao custo dos sensores de corrente. Além disso, por não haver necessidade

de se realizar algum cálculo, o desempenho dinâmico do *FAP* é melhor, ou seja, para qualquer variação de carga o *FAP* atuará rapidamente para corrigir as harmônicas de corrente. De forma geral esta estratégia de controle é muito mais simples e de fácil implementação prática quando comparado com a estratégia de controle apresentada na Fig. 1.12.

1.5. Conclusão

Tendo sido apresentadas as principais estruturas, topologias e estratégias de controle dos filtros ativos pode-se logo perceber que existem algumas estruturas mais indicadas para corrigir harmônicas de tensão e outras mais indicadas para corrigir harmônicas de corrente. Estruturas híbridas, que podem corrigir tanto harmônicas de corrente quanto harmônicas de tensão podem ser interessantes em certas aplicações, conforme visto na Seção 1.1.

Foi justificado na Seção 1.2 que a topologia da estrutura de potência empregada nos filtros ativos em geral é o inversor de tensão em ponte completa (*FB-VSI*).

A estratégia de controle da corrente mais indicada para filtros ativos de pequenas e médias potências é o controle por valores médios instantâneos observando-se a corrente da rede, conforme apresentado na Seção 1.4.

Assim sendo, é possível determinar quais as características mais adequadas para um filtro ativo aplicado a correção de harmônicas de corrente, sendo que este levantamento é feito já na Seção 2.1 do próximo capítulo.

CAPÍTULO II - Estrutura de Potência do Filtro Ativo Paralelo de 1 *kVA*

Neste capítulo apresenta-se a metodologia de projeto de potência de um filtro ativo de 1 *kVA* aplicado à correção de harmônicas de corrente. Primeiramente deve-se justificar a estrutura, a topologia, a modulação e a estratégia de controle da corrente que foram adotadas, para então ser apresentada toda a metodologia de projeto de potência do conversor.

2.1. Estrutura, Topologia, Modulação e Estratégia de Controle da Corrente Adotadas

Nesta seção devem-se apresentar as justificativas para a escolha da estrutura, topologia, modulação e estratégia de controle da corrente do filtro ativo proposto.

A. Estrutura

A estrutura escolhida para corrigir as harmônicas de corrente é o Filtro Ativo Paralelo (*FAP*), já apresentado no Capítulo I. Esta estrutura apresenta diversas vantagens em relação a outras, a saber:

- Perdas reduzidas, pois a mesma não processa toda a corrente de carga, como no caso do *FAS*;
- Não é necessário modificar a carga para conectar o *FAP*;
- Em caso de falha do *FAP*, a carga continua sendo alimentada pela rede;
- Não é necessário ter um conhecimento prévio da carga a ser conectada, salvo a potência reativa total da carga;
- O *FAP* se adapta a qualquer condição de carga de forma dinâmica.

Estas características fazem com que o *FAP* seja a solução natural para a correção de harmônicos de corrente.

B. Topologia e Modulação

A topologia escolhida, apresentada na Fig. 2.1, é o inversor de tensão em ponte completa (*FB-VSI*). Esta topologia apresenta diversas características que fazem com que ela seja a solução natural para os *FAP*'s, a saber:

- Possibilidade de modulação a três níveis;
- Apenas um capacitor no barramento *CC*, o que simplifica a malha de controle da tensão.
- Emprego de quatro interruptores, o que é um número razoável se forem consideradas outras topologias;
- O circuito de comando dos interruptores é relativamente simples.

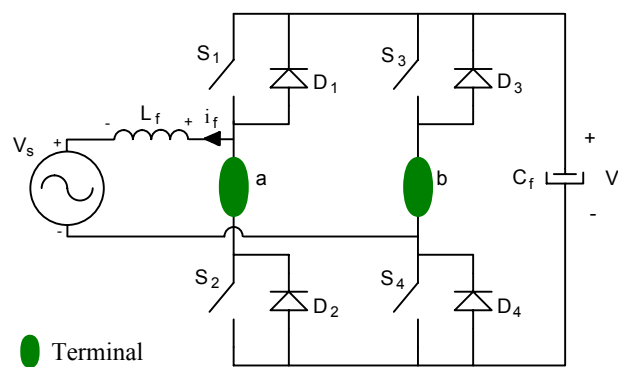


Fig. 2.1 – Inversor de tensão em ponte completa (destaque para os terminais *ab*).

A modulação utilizada é do tipo *PWM* modulado a três níveis. A modulação a três níveis exige um grau de complexidade de comando um pouco superior em relação à modulação a dois níveis, porém a modulação a três níveis se justifica por diversas razões, a saber:

- Na modulação a três níveis, a frequência de modulação da tensão nos terminais *ab* da ponte completa passa a ser o dobro da frequência de chaveamento dos interruptores da mesma, desta forma, para o mesmo indutor de acoplamento L_f , a ondulação de corrente proveniente do chaveamento deve diminuir (expressão (2.1)),

$$\Delta I_{L_f} = \frac{V_{L_f} \cdot D}{f_s} \cdot L_f \quad (2.1)$$

e, uma vez que o valor do indutor L_f é projetado em função da máxima ondulação da corrente desejada no filtro (expressão (2.2)), o valor do indutor L_f diminui de um fator de dois para a mesma ondulação de corrente.

$$L_f = \frac{\Delta I_{f_{para_max}}}{\Delta I_{f_{max}}} \cdot \frac{V_{Cf}}{f_{ab}} \quad (2.2)$$

,onde:

$f_{ab} \Rightarrow$ frequência de modulação da tensão V_{ab} ($= 2 \cdot f_s$ para modulação a três níveis).

- Pode-se dizer ainda que como o valor do indutor L_f diminui, o desempenho do filtro ativo deve melhorar, pois será possível fazer com que a corrente que é controlada pelo filtro ativo acompanhe derivadas de corrente mais acentuadas (expressão (2.1)).

C. Estratégia de Controle da Corrente

A estratégia de controle da corrente a ser adotada é a por valores médios instantâneos observando a corrente drenada da rede (ver Fig. 1.13). Esta estratégia de controle apresenta uma série de vantagens, a saber:

- Utiliza apenas um sensor de corrente;
- Não existe a necessidade do uso de filtros sintonizados ou de calcular as harmônicas da corrente drenada pela carga;
- A sua implementação prática é muito mais simples do que a de outras estratégias de controle da corrente.

2.2. Projeto de Potência do *FAP*

Nesta seção será apresentado todo o procedimento de projeto de potência do Filtro Ativo Paralelo (*FAP*). A metodologia de projeto inclui, entre outros cálculos:

- Especificações de projeto do *FAP*;
- Cálculo da corrente processada pelo *FAP*;
- Cálculo dos elementos passivos – o capacitor C_f e o indutor L_f ;
- Esforços nos componentes;
- Especificação dos interruptores;

- Especificação do *driver* de comando;
- Projeto físico do indutor L_f ;
- Especificação do capacitor C_f ;
- Cálculo térmico;
- Especificação dos transdutores utilizados;
- Projeto do circuito de partida.

No decorrer do procedimento de projeto será considerado que o *FAP* opera na correção das harmônicas de corrente de uma carga não linear clássica: o retificador monofásico de ponte completa com filtro capacitivo. A escolha desta carga não linear se deve ao fato de ser uma das cargas de maior exigência em termos de esforços do filtro ativo - a corrente drenada da rede por este tipo de carga é muito distorcida com derivadas abruptas de corrente e seu conteúdo harmônico é elevado. Este tipo de carga também é bastante comum, pois, em geral, os aparelhos eletro-eletrônicos utilizam este tipo de fonte de alimentação.

Alguns parâmetros calculados, como o capacitor C_f , foram refinados com o auxílio de simulação numérica.

2.2.1. Projeto da Carga: O Retificador Monofásico de Onda Completa com Filtro Capacitivo

A ponte retificadora usada como carga e que está apresentada na Fig. 2.2, é projetada de modo que a potência reativa total Q demandada da rede pela carga seja de 1 *kVA*.

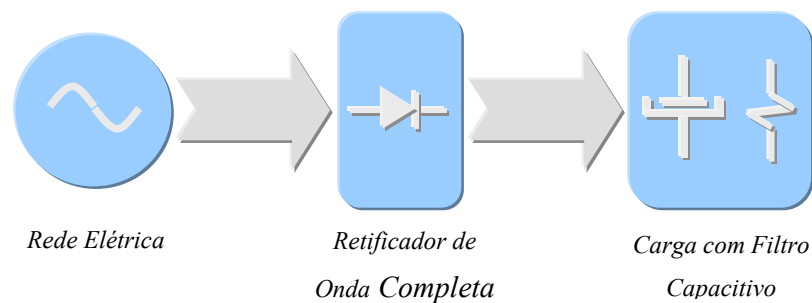


Fig. 2.2 – Retificador monofásico de onda completa com filtro capacitivo.

As especificações de projeto do retificador monofásico de onda completa com filtro capacitivo estão apresentadas na Tabela 2.1.

Especificação	Valor
Tensão eficaz da rede	127 V
Frequência de operação da rede	60 Hz
Potência reativa	1000 VAR
Ondulação da tensão de saída	10 %

Tabela 2.1 – Especificações do retificador (carga proposta).

Sabe-se que o fator de potência estimado para um retificador monofásico com filtro capacitivo projetado para esta faixa de potência é de $FP = 0,55$ (estimativa pessimista). Assim, através da expressão (2.3), pode-se obter a potência ativa demandada pelo retificador.

$$P_{carga} = \sqrt{\frac{FP_{carga}^2 * Q_{carga}^2}{1 - FP_{carga}^2}} \quad (2.3)$$

Sabendo-se a potência ativa do retificador, utilizou-se a metodologia apresentada em [13] para realizar o projeto do retificador. Esta metodologia é uma das técnicas clássicas para o projeto de retificadores. Sabendo-se a ondulação da tensão de saída podemos definir o valor do capacitor de saída C_o e o resistor de saída R_o do retificador como sendo:

$$C_o = \frac{P_{carga}}{f_{rede} * (V_{Co_max}^2 - V_{Co_min}^2)} \quad (2.4)$$

$$R_o = \frac{V_{Co_med}}{P_{carga}} \quad (2.5)$$

onde:

$V_{Co_máx}$, V_{Co_min} e $V_{Co_méd}$ são obtidos através da tensão de pico da rede e da ondulação de tensão do capacitor de saída C_o . A ponte retificadora utilizada é a SKB 30/08 da SEMIKRON, que suporta corrente média de 30 ampéres, tensão reversa de 800 volts e elevada corrente de partida [17], o que permite que o retificador seja conectado a rede elétrica sem o uso de um circuito de partida. Os parâmetros finais obtidos para o retificador estão apresentados na Tabela 2.2

Parâmetro	Valor
C_o	1920 μ F
R_o	44.4 Ω
Ponte Retificadora	SEMIKRON SKB 30/08

Tabela 2.2 – Parâmetros obtidos para o retificador.

2.2.2. Estrutura de Potência e Especificações do FAP

A estrutura completa de potência do FAP está apresentada na Fig. 2.3, onde pode-se observar os componentes ativos e passivos da topologia VSI-FB, os transdutores da malha de corrente e de tensão, e ainda o circuito de partida e as proteções implementadas.

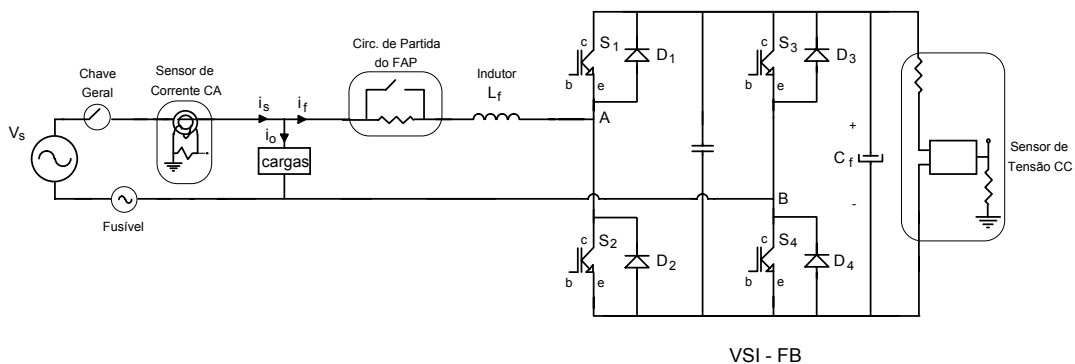


Fig. 2.3 – Estrutura de potência do FAP.

É importante notar que apesar do FAP não interferir no comportamento da carga por ser conectado em paralelo com a mesma, é necessário que a carga seja conectada no FAP, e não na rede elétrica, pois o sensor de corrente alternada que faz a amostra da corrente drenada da rede, encontra-se necessariamente a montante da carga e do FAP.

As especificações das características externas de operação do *FAP* estão apresentadas na Tabela 2.3 e a sua origem provém da experiência em implementação prática de conversores estáticos de potência, a saber:

- A ondulação da tensão no capacitor e da corrente no indutor do filtro está na faixa de ondulação usual de projeto de inversores de tensão;
- A frequência de chaveamento foi especificada pensando-se no uso de interruptores IGBT que têm se demonstrado mais adequados para elevados níveis de potência processada por conversores estáticos;
- A tensão do barramento *CC* do filtro ativo deve ser no mínimo igual à tensão de pico da rede para que o filtro seja capaz de entregar ou receber energia a qualquer instante do período da rede. Uma margem de folga na tensão *CC* do filtro é acrescida para que ele possa operar com eficiência mesmo em situações onde a exigência é elevada, como nos casos onde ele deve injetar uma considerável corrente no sistema no instante de pico da tensão da rede.

Especificação	Valor
Potência reativa processada	1000 VAR
Tensão eficaz da rede	127 V
Frequência de operação da rede	60 Hz
Ondulação da corrente no filtro (ondulação de corrente na rede)	20 %
Ondulação da tensão no capacitor C_f	10 %
Frequência de chaveamento f_s	30 kHz
Tensão no barramento <i>CC</i> do filtro (V_{cc})	300 V

Tabela 2.3 – Especificações do Filtro Ativo Paralelo.

2.2.3. Cálculo dos Esforços de Corrente

Com as especificações do *FAP* já determinadas, pode-se iniciar o procedimento de cálculo dos esforços do mesmo, sendo que a primeira etapa é a determinação do índice de modulação e o levantamento das características da corrente processada no *FAP*.

A. Índice de Modulação

Definindo-se o índice de modulação como sendo:

$$Mi = \frac{Vac_{pico}}{V_{cf}} \quad (2.6)$$

$$Mi \Rightarrow 0,6.$$

O índice de modulação fornece uma relação entre a tensão de pico da rede e a tensão do barramento CC do filtro ativo. Sabe-se que a tensão no barramento CC do filtro ativo deve ser no mínimo igual à tensão de pico da rede, pois o mesmo deve ser capaz de fornecer energia para a rede a qualquer instante do período da rede. Em geral utiliza-se uma tensão no barramento CC do filtro pelo menos 30% superior ao pico da tensão da rede e, assim sendo, o índice de modulação é sempre inferior à unidade.

Com o auxílio de resultados de simulação numérica determinou-se que a tensão do barramento CC deveria ser em torno de 60% superior a tensão de pico da rede elétrica, pois assim consegue-se uma maior derivada de corrente sobre o indutor L_f (expressão (2.7)) e, conseqüentemente uma maior derivada de corrente que flui pelo filtro, o que faz com que o mesmo consiga compensar correntes de carga mais abruptas, como ocorre, por exemplo, nos retificadores com filtro capacitivo.

$$\frac{\partial i_{L_f}(t)}{\partial t} = \frac{V_{c_f} - V_s}{L_f} \quad (2.7)$$

B. Ondulação da Corrente no Indutor L_f

Para determinar as características da corrente processada pelo FAP precisa-se, primeiramente, estabelecer equações para a ondulação de corrente no indutor L_f para que então seja possível determinar o valor da indutância L_f . A forma de onda da tensão sobre os terminais ab da ponte completa está apresentada na Fig. 2.4. É fácil perceber que a tensão sobre o indutor L_f é a diferença entre a tensão nos terminais ab e a tensão da rede (ver Fig. 2.1).

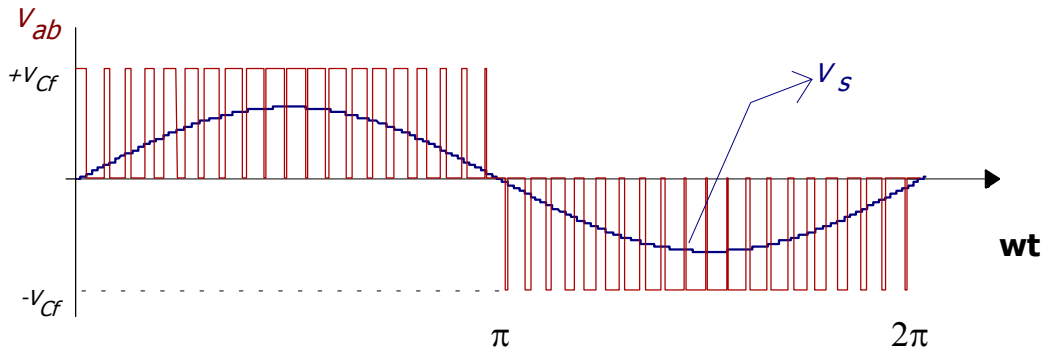


Fig. 2.4 – Tensão nos terminais *ab* do *FAP*.

Na operação a três níveis a tensão V_{ab} varia entre zero e $+V_{Cf}$ para $0 < wt < \pi$ e zero e $-V_{Cf}$ para $\pi < wt < 2\pi$, como mostra a Fig. 2.4. Assim os dois intervalos deverão ser analisados.

- Tensão V_{ab} Variando entre Zero e $+V_{Cf}$ ($0 < wt < \pi$)

Na Fig. 2.4 pode-se observar a tensão V_{ab} para $0 < wt < \pi$. O valor médio da tensão V_{ab} em um período de comutação, para $0 < wt < \pi$ é calculado de acordo com a expressão (2.8).

$$V_{ab\ med} = \frac{1}{T_s/2} \int_0^{DT_s/2} V_{Cf} dt \tag{2.8}$$

Resolvendo a integral obtém-se a expressão (2.9):

$$V_{ab\ med} = \frac{1}{T_s/2} V_{Cf} D \frac{T_s}{2} = D V_{Cf} \tag{2.9}$$

No *FAP* não deve circular potência ativa (apenas uma pequena parcela para compensar as perdas). Assim, pode-se considerar que a tensão V_{ab} possui uma componente fundamental senoidal de mesma frequência e amplitude e em fase com a tensão da rede (V_s), portanto pode-se escrever a expressão (2.10).

$$V_{ab1} = V_{ab\ pico} \text{ sen } wt \tag{2.10}$$

Substituindo a expressão (2.10) em (2.9) obtém-se a expressão (2.11).

$$\frac{V_{ab\ pico} \sen wt}{V_{c_f}} = D(t) \quad (2.11)$$

Isolando a razão cíclica $D(t)$ na expressão (2.11), encontra-se a função de modulação mostrada na expressão (2.12), válida para $0 < wt < \pi$. Esta equação define a razão cíclica para meio período da rede.

$$D(t) = \frac{V_{ab\ pico}}{V_{c_f}} \sen wt \quad (2.12)$$

Calcula-se então a indutância em função da variação máxima de corrente. Quando os interruptores S_1 e S_4 estão fechados tem-se a expressão (2.13) para o indutor:

$$V_{c_f} - V_{s\ pico} \sen wt = L_f \frac{di_f(t)}{dt} \quad (2.13)$$

Para um período de funcionamento tem-se a expressão (2.14).

$$V_{c_f} - V_{s\ pico} \sen wt = L_f \frac{\Delta i_f}{\Delta t} \quad (2.14)$$

Substituindo-se a expressão (2.12) em (2.14) e, sabendo-se que $\Delta t = D.T_s / 2$, obtém-se a expressão (2.15) para a ondulação de corrente no indutor.

$$\Delta i_f(t) = \frac{T_s}{2 L_f} \left[V_{ab\ pico} \sen wt - \frac{V_{ab\ pico} V_{s\ pico}}{V_{c_f}} (\sen wt)^2 \right] \quad (2.15)$$

Parametrizando-se a expressão (2.15), considerando-se que $V_{ab\ pico} = V_{s\ pico}$ e, substituindo-se (2.6), obtém-se a expressão (2.16).

$$\overline{\Delta i_f(t)} = \frac{2 \Delta i_f L_f}{V_{c_f} T_s} = M_i \sen wt - (M_i \sen wt)^2 \quad \text{para } 0 \leq wt \leq \pi \quad (2.16)$$

- Tensão V_{ab} Variando entre Zero e $-V_{Cf}$ ($\pi < \omega t < 2\pi$)

Na Fig. 2.4 pode-se observar a tensão V_{ab} para $\pi < \omega t < 2\pi$. O valor médio da tensão V_{ab} , em um período de comutação, é calculado de acordo com a (2.17).

$$V_{ab\ med} = \frac{1}{T_s/2} \int_0^{DT_s/2} -V_{Cf} \ dt \quad (2.17)$$

Resolvendo a integral obtém-se a expressão (2.18).

$$V_{ab\ med} = \frac{1}{T_s/2} \left(-V_{Cf} D \frac{T_s}{2} \right) = -D V_{Cf} \quad (2.18)$$

Substituindo (2.10) em (2.18), obtém-se a expressão (2.19).

$$\frac{-V_{ab\ pico} \ sen \ \omega t}{V_{Cf}} = D(t) \quad (2.19)$$

Isolando a razão cíclica $D(t)$ na expressão (2.19), encontra-se a função de modulação mostrada em (2.20), válida para $\pi < \omega t < 2\pi$. Esta equação define a razão cíclica para meio período da rede.

$$D(t) = \frac{-V_{ab\ pico}}{V_{Cf}} \ sen \ \omega t \quad (2.20)$$

O valor da indutância é então calculado em função da variação máxima de corrente. Quando os interruptores S_2 e S_3 estão fechados tem-se a expressão (2.21) para o indutor:

$$-V_{Cf} - V_{s\ pico} \ sen \ \omega t = L_f \frac{-di_f(t)}{dt} \quad (2.21)$$

Para um período de funcionamento tem-se a expressão (2.22).

$$V_{Cf} + V_{s\ pico} \ sen \ \omega t = L_f \frac{\Delta i_f}{\Delta t} \quad (2.22)$$

Sabendo-se que $\Delta t = D.T_s / 2$ e substituindo a expressão (2.20) em (2.22), obtém-se a expressão (2.23) para a ondulação de corrente no indutor.

$$\Delta i_f(t) = \frac{T_s}{2 L_f} \left[-V_{ab\,pico} \, \text{sen } \omega t - \frac{V_{ab\,pico} V_{spico}}{V_{c_f}} (\text{sen } \omega t)^2 \right] \quad (2.23)$$

Parametrizando a expressão (2.23), considerando-se que $V_{ab\,pico} = V_{spico}$ e substituindo-se (2.6), obtém-se a expressão (2.24).

$$\overline{\Delta i_f}(t) = \frac{2 \Delta i_f L_f}{V_{c_f} T_s} = -M_i \, \text{sen } \omega t - (M_i \, \text{sen } \omega t)^2 \quad \text{para } \pi \leq \omega t \leq 2\pi \quad (2.24)$$

A indutância L_f é calculada a partir da especificação da ondulação de corrente no indutor L_f , assim sendo, a expressão para o cálculo da indutância L_f é dada por (2.25).

$$L_f \geq \frac{\overline{\Delta i_{f\,max}} V_{c_f}}{\Delta i_{f\,max} 2 f_s} \quad (2.25)$$

Com o auxílio das expressões (2.16) e (2.24) pode-se traçar um ábaco para a ondulação parametrizada da corrente no indutor L_f em um período de rede para diferentes índices de modulação. O ábaco está apresentado na Fig. 2.5. A mínima ondulação de corrente é igual a zero e ocorre em $0, \pi$ e 2π . A máxima ondulação de corrente ocorre em pontos diferentes, dependendo do índice de modulação.

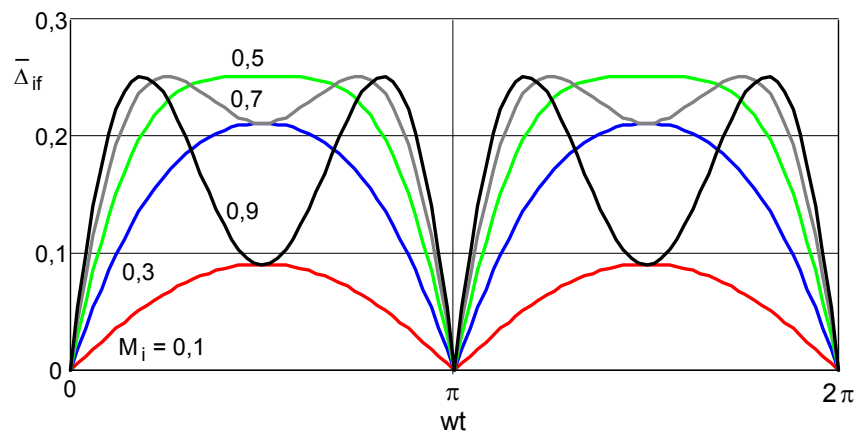


Fig. 2.5 - Variação da ondulação de corrente em função de ωt .

Para o índice de modulação calculado ($M_i = 0,6$) obtém-se a curva de ondulação parametrizada da corrente no indutor L_f apresentada na Fig. 2.6.

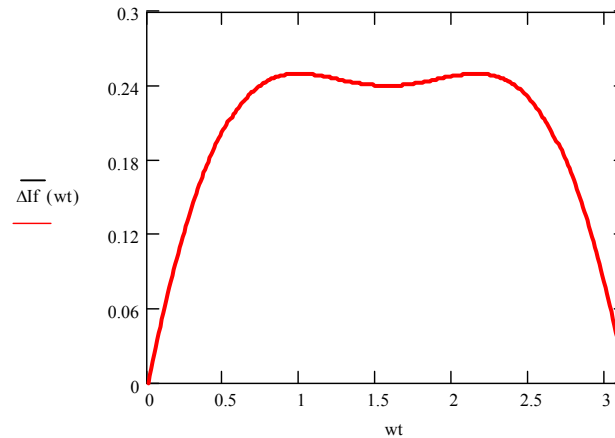


Fig. 2.6 – Ondulação parametrizada da corrente no indutor L_f para um índice de modulação $M_i = 0,6$.

Do ábaco da Fig. 2.6 obtém-se a máxima ondulação da corrente parametrizada no indutor L_f como sendo:

$$\overline{\Delta i_f} = 0,25 \tag{2.26}$$

C. Determinação da Corrente Processada pelo *FAP*

Para que se calcule o valor da indutância L_f falta, ainda, determinar a máxima ondulação de corrente no mesmo, que por sua vez depende da especificação de máxima ondulação de corrente do *FAP* (20 %) e da máxima corrente no indutor L_f .

Como já foi mencionado anteriormente, a determinação da corrente processada pelo *FAP* será feito considerando-se como carga não-linear um retificador monofásico de onda completa com filtro capacitivo.

Sabe-se que o *FAP* processa apenas a parcela de potência reativa da carga, pois o mesmo não processa potência ativa, e sendo assim, a potência nominal processada pelo filtro ativo é a mesma que a potência reativa demandada pela carga. Sabendo ainda que o fator de potência esperado para uma carga que demanda 1 *kVAR* é de aproximadamente $FP = 0.55$ é possível demonstrar que:

$$P_{carga} = \sqrt{\frac{FP_{carga}^2 \cdot Q_{carga}^2}{1 - FP_{carga}^2}} \quad (2.27)$$

$P_{carga} \Rightarrow 660 \text{ W.}$

Sabendo-se que o *FAP* faz com que a corrente drenada da rede seja senoidal e em fase com a tensão pode-se dizer que a corrente eficaz drenada da rede é obtida por (2.28):

$$I_{rede_{ef}} = \frac{P_{carga}}{Vac_{ef}} \quad (2.28)$$

$I_{rede_{ef}} \Rightarrow 5,2A.$

$I_{rede_{pico}} \Rightarrow 7,35A.$

Sabe-se que na decomposição em série de *Fourier* da corrente drenada pela carga (expressão (2.29)) o valor da componente fundamental da série *I_{fundamental}* (responsável pela potência ativa solicitada pela carga) é a própria corrente drenada da rede *I_{rede_{pico}}* (com o uso do filtro ativo), e as demais componentes harmônicas da série, que são responsáveis pela potência reativa que circula no sistema, circulam pelo filtro ativo.

$$I_{carga} = I_{fundamental} + I_{harmônicas} \quad (2.29)$$

Considerando-se o retificador com filtro capacitivo como a pior carga possível, pode-se determinar a decomposição em série de *Fourier* da corrente solicitada pela carga, uma vez que são conhecidos, através de aquisição e análise espectral de formas de onda de corrente de resultados experimentais, os coeficientes aproximados da série de *Fourier* para um retificador monofásico de onda completa com filtro capacitivo. Assim pode-se escrever uma equação da série de *Fourier* para a corrente drenada pela carga como sendo:

$$I_{carga}(wt) = I_1 \cdot sen(wt) - 0.81 \cdot I_1 \cdot sen(3.wt) + 0.606 \cdot I_1 \cdot sen(5.wt) - 0.37 \cdot I_1 \cdot sen(7.wt) + 0.157 \cdot I_1 \cdot sen(9.wt) - 0.024 \cdot I_1 \cdot sen(11.wt) + 0.063 \cdot I_1 \cdot sen(13.wt) - 0.079 \cdot I_1 \cdot sen(15.wt) \quad (2.30)$$

onde:

$$I_1 = I_{fundamental} = I_{rede_{pico}} \quad (2.31)$$

Um gráfico da corrente estabelecida pela expressão (2.30) para um período da rede ($0 < \omega t < 2\pi$) está apresentado na Fig. 2.7.

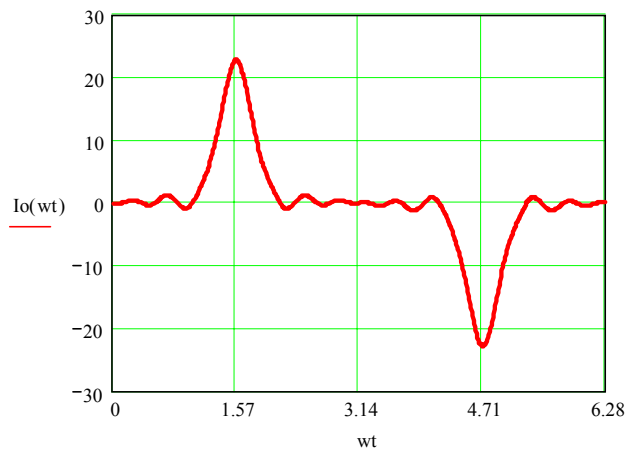


Fig. 2.7 - Forma de onda da corrente drenada pela carga (em componentes da série de Fourier).

Retirando-se a componente fundamental I_1 (responsável pela transferência de potência ativa para a carga) da série de Fourier para a corrente drenada pela carga, obtemos para a corrente que flui pelo filtro ativo $I_f(\omega t)$:

$$\begin{aligned}
 I_{\text{filtro}}(\omega t) = & \\
 & -0.81 \cdot I_1 \cdot \text{sen}(3 \cdot \omega t) + 0.606 \cdot I_1 \cdot \text{sen}(5 \cdot \omega t) - 0.37 \cdot I_1 \cdot \text{sen}(7 \cdot \omega t) + \\
 & 0.157 \cdot I_1 \cdot \text{sen}(9 \cdot \omega t) - 0.024 \cdot I_1 \cdot \text{sen}(11 \cdot \omega t) + 0.063 \cdot I_1 \cdot \text{sen}(13 \cdot \omega t) - 0.079 \cdot I_1 \cdot \text{sen}(15 \cdot \omega t)
 \end{aligned} \tag{2.32}$$

Um gráfico da corrente estabelecida pela expressão (2.32) para um período da rede ($0 < \omega t < 2\pi$) está apresentado na Fig. 2.8.

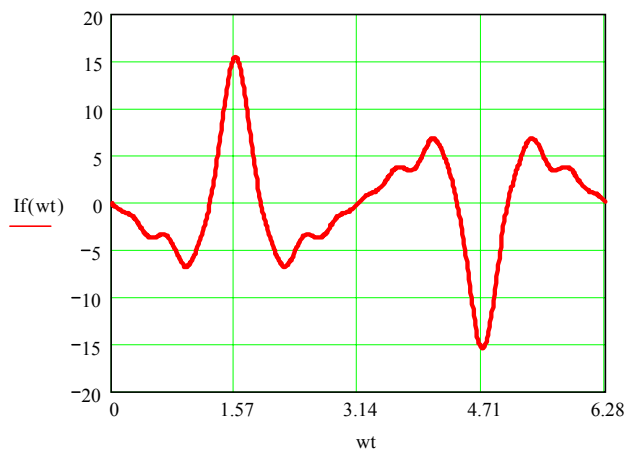


Fig. 2.8 - Forma de onda da corrente que circula pelo FAP (em componentes da série de Fourier).

Observa-se na Fig. 2.8 que a máxima corrente que circula no filtro ativo para solicitação de carga considerada é de 16 ampéres. A corrente eficaz que circula pelo filtro ativo pode ser escrita como:

$$I_{\text{filtro}_{ef}} = \frac{I_1}{\sqrt{2}} \cdot \sqrt{0.81^2 + 0.606^2 + 0.37^2 + 0.157^2 + 0.024^2 + 0.063^2 + 0.079^2} \quad (2.33)$$

$$I_{\text{filtro}_{ef}} \Rightarrow 5,67 \text{ A.}$$

A máxima ondulação de corrente desejada no filtro ativo deve ser calculada baseada na corrente de pico drenada da rede, pois a máxima ondulação de corrente é especificada em relação à corrente drenada da rede. Assim:

$$\Delta I_{L_f} = I_{\text{rede}_{pico}} \cdot \Delta I_{L_f} \% \quad (2.34)$$

$$\Delta I_{L_f} \Rightarrow 1,65 \text{ A.}$$

2.2.4. Cálculo dos Elementos Passivos do *FAP*: a Indutância L_f e a Capacitância C_f

Com o uso da expressão (2.25) e com os valores conhecidos para a ondulação de corrente no *FAP* (expressões (2.26) e (2.34)) obtém-se para a indutância L_f :

$$L_f = \frac{\overline{\Delta i_{f \max}} V_{c_f}}{\Delta i_{f \max} 2 f_s} \quad (2.35)$$

$$L_f \Rightarrow 750 \text{ uH.}$$

Para o cálculo do capacitor C_f pode-se obter uma estimativa inicial através da expressão da capacitância de um retificador de onda completa com filtro capacitivo (expressão (2.36)). Esta estimativa pode ser considerada com um valor mínimo para o capacitor C_f .

$$C_f = \frac{Q_{carga}}{f_{rede} \cdot (V_{Cf_max}^2 - V_{Cf_min}^2)} \quad (2.36)$$

$C_f \Rightarrow 925 \mu F$.

Os parâmetros obtidos para o filtro ativo estão apresentados na Tabela 2.4.

Especificação / Parâmetro	Valor
Índice de modulação M_i	0.6
Máxima ondulação da corrente parametrizada no indutor L_f	0.25
Capacitor C_f (estimativa inicial)	925 μF
Indutor L_f	750 μH

Tabela 2.4 - Parâmetros obtidos para o filtro ativo paralelo.

2.2.5. Projeto Físico do Indutor L_f

De posse do valor da indutância L_f e das características da corrente no *FAP* pode-se realizar o projeto físico do indutor L_f .

A. Especificações

O indutor L_f foi projetado considerando-se uma margem de segurança para a corrente processada pelo *FAP*. A corrente de pico e a corrente eficaz que circulam pelo *FAP*, e conseqüentemente pelo indutor, foram obtidas com auxílio de simulação numérica e uma margem de segurança de 20% foi acrescida as correntes (ver Tabela 2.5). Isto foi feito para que se possa garantir que o indutor não sature nem supraqueça em qualquer condição de carga. A rigor, é possível projetar um indutor para uma corrente eficaz e de pico em torno de 30% superior às correntes determinadas pelas expressões (2.32) e (2.33).

O material escolhido para o núcleo do indutor é o *KoolM μ* da *Magnetics*. A vantagem deste tipo de indutor toroidal é que seu entreferro é distribuído e o material possui características intermediárias entre núcleos de ferrite e de ferro-silício.

O projeto foi baseado no roteiro de cálculo do catálogo da *Magnetics* [18] e os principais pontos do projeto são apresentados a seguir. As especificações preliminares do projeto do indutor podem ser vistas na Tabela 2.5.

Especificação	Valor
Ondulação da corrente no indutor	15 %
Corrente de pico no indutor	24 A
Corrente eficaz no indutor $I_{L_f, ef}$	18 A
Indutância	750 μ H
Máxima densidade de fluxo B_{max}	0,6 T
Máxima densidade de corrente J_{max}	550 A/cm ²
Fator de ocupação da janela Kw_a	0,7

Tabela 2.5 - Especificações do projeto do indutor L_f .

B. Escolha do Núcleo

O produto de áreas para a escolha do núcleo pode ser obtido pela expressão (2.37):

$$A_e \cdot A_w = \frac{L_f \cdot I_{La_pico} \cdot I_{La_ef}}{Kw_a \cdot B_{max} \cdot J_{max}} \quad (2.37)$$

$A_e \cdot A_w \Rightarrow 15,28 \text{ cm}^4$.

E assim pode-se selecionar o núcleo como sendo *Koll M μ 77908-A7*, que possui as seguintes características:

- Produto de áreas efetivo $A_e \cdot A_w = 40.8 \text{ cm}^4$;
- Caminho magnético total $l_m = 19,95 \text{ cm}$ ou $l_m = 0,2 \text{ m}$;
- Permeabilidade $u_a = 26$ (sendo $u_o = 4 \cdot \pi \cdot 10^{-7} \text{ H/m}$);
- Comprimento médio de espira $MLT = 7,53 \text{ cm}$;
- Perdas volumétricas $P_v = 101 \text{ mW/cm}^3$;

- Volume do núcleo $V_{e_a} = 45 \text{ cm}^3$;
- Área da superfície $A_s = 225 \text{ cm}^2$.

C. Número de Espiras

De posse das características do núcleo pode-se obter o número de espiras para o indutor:

$$Na = \sqrt{\frac{Lf \cdot lm}{\mu_a \cdot \mu_o \cdot Ae}} \quad (2.38)$$

$Na \Rightarrow 142$ espiras.

D. Bitola dos Condutores

Por restrições construtivas o fio utilizado será do tipo enrolamento *Litz* com o bitola *AWG 25* por fio, sendo que o número de fios *AWG 25* em paralelo é obtido pela expressão (2.39):

$$N_{Litz} = \frac{I_{La_ef}}{S_{awg25} \cdot J_{max}} \quad (2.39)$$

$N_{Litz} \Rightarrow 21$ fios em paralelo.

A resistividade ρ do fio *AWG 25* é $2,078 \cdot 10^{-6} \text{ cm} \cdot \Omega$, sendo que, a área de cobre S_{cu} por fio é de $0,001623 \text{ cm}^2$.

E. Cálculo de Perdas

As perdas no indutor são determinadas pelas perdas no cobre e perdas no núcleo. Com o uso das expressões (2.40) e (2.41) obtemos as perdas no cobre e no núcleo, respectivamente.

$$P_{cu} = R_{cobre} \cdot (I_{Lf_{ef}})^2 = \frac{\rho \cdot Na \cdot MLT}{S_{cu} \cdot N_{litz}} \cdot (I_{Lf_{ef}})^2 \quad (2.40)$$

$$P_{nucleo} = P_v \cdot V_{e_a} \quad (2.41)$$

$$P_{cu} \Rightarrow 21,85 \text{ W.}$$

$$P_{nucleo} \Rightarrow 4,618 \text{ W.}$$

As perdas totais no indutor são dadas pela expressão (2.42).

$$P_{total} = P_{nucleo} + P_{cu} \quad (2.42)$$

$$P_{total} \Rightarrow 26,47 \text{ W.}$$

A elevação de temperatura do núcleo é dada por:

$$\Delta t = \frac{P_{total}}{A_s} \quad (2.43)$$

$$\Delta t \Rightarrow 53^\circ \text{ C.}$$

Assim sendo, o procedimento de cálculo de perdas resultou em elevação de temperatura de $\Delta t = 53^\circ \text{ C}$ para o indutor, o que é uma elevação de temperatura razoável para um indutor toroidal.

F. Possibilidade de Execução

A possibilidade de execução para este tipo de indutor pode ser obtida pela seguinte expressão:

$$P_{execução} = \frac{Aw}{Scu \cdot Na \cdot N_{Litz}} \geq 3 \quad (2.44)$$

$$P_{execução} \Rightarrow 3,0.$$

Como a possibilidade de execução é igual a 3 considera-se que o projeto do indutor é viável e ele pode ser enrolado. Uma relação com as características construtivas do indutor está apresentada na Tabela 2.6.

Característica	Valor
Indutância	750 μ H
Máxima densidade de fluxo resultante $B_{\text{efetivo max}}$	0,606 T
Núcleo selecionado	<i>Koll Mμ 77908-A7</i>
Número de espiras	142 espiras
Número de fios <i>AWG</i> 25 em paralelo	21 fios
Elevação de temperatura	53 °C
Possibilidade de execução	3,0

Tabela 2.6 – Aspectos construtivos do indutor L_f .

2.2.6. Especificação do Capacitor C_f

Com o auxílio de simulação numérica, feita na Seção 3.4 do Capítulo III, o capacitor do barramento CC do FAP foi redimensionado para $C_f = 1880 \mu\text{F}$, o que garantiu uma menor ondulação da tensão do barramento CC e uma maior margem de segurança quanto à ondulação da tensão sobre este capacitor quando o FAP é submetido a transitórios, principalmente na rejeição de carga.

Para o capacitor C_f do barramento CC do filtro ativo foi escolhido um banco capacitivo formado por quatro capacitores [SIEMENS B43875 A5477 - Q](#) com as seguintes especificações cada:

Especificação	Valor
Tensão máxima de operação	450 V
Capacitância	470 μF
Resistência série equivalente (R_{SE})	490 m Ω
Máxima corrente eficaz @40° C	3,2 A

Tabela 2.7 - Características individuais dos capacitores do banco capacitivo C_f .

As especificações relevantes ao banco capacitivo C_f podem ser vistas na Tabela 2.8.

Especificação	Valor
Capacitância total	1880 μ F
RSE total	122.5 m Ω
Corrente eficaz por capacitor (obtido por simulação)	1,36 A

Tabela 2.8 - Características individuais dos capacitores do banco capacitivo C_f .

Como a corrente eficaz por capacitor é inferior a máxima corrente eficaz suportada pelo mesmo e a máxima tensão de operação dos capacitores é de 450 volts o banco capacitivo deve operar sem nenhum problema e com uma razoável margem de segurança.

2.2.7. Esforços nos Componentes do *FAP*

Os esforços em corrente nos componentes ativos (interruptores + diodos em antiparalelo) e passivos (capacitor C_f e indutor L_f) do filtro ativo foram determinados com o auxílio de simulação numérica para que se pudessem comprovar os resultados teóricos obtidos e ainda determinar correntes que não foram calculadas teoricamente. Os resultados dos esforços de corrente obtidos por simulação podem ser vistos na Tabela 2.9.

Parâmetro	Valor calculado (A)	Valor obtido por simulação (A)
Corrente de pico drenada da rede	7,35	8,4
Corrente de pico drenada pela carga	23	26,6
Corrente de pico processada pelo <i>FAP</i>	16	20
Corrente eficaz no capacitor C_f	-	5,45
Corrente de pico no indutor L_f	16	20
Corrente eficaz no indutor L_f	5,67	7,4
Corrente média no diodo antiparalelo	-	1,45
Corrente eficaz no diodo antiparalelo	-	3,2
Corrente média no interruptor	-	1,5
Corrente eficaz no interruptor	-	4,3

Tabela 2.9 – Valores obtidos para as correntes que circulam nos elementos do *FAP*.

As correntes obtidas por simulação numérica ficaram bastante próximas das correntes calculadas teoricamente. Pôde-se observar um pequeno acréscimo nos valores das correntes obtidas por simulação numérica, uma vez que o circuito simulado introduz algumas não idealidades.

2.2.8. Projeto dos Elementos Ativos do FAP

Os elementos ativos do FAP, que são constituídos pelos interruptores e pelos diodos em antiparalelo foram selecionados de modo a simplificar a montagem da estrutura de potência: assim sendo, foram escolhidos módulos IGBT's **SEMIKRON SEMITOP² SK 45GB** que suportam tensão reversa de 600 volts e corrente eficaz de 45 ampéres.

Cada módulo, composto por dois interruptores IGBT (S_1 e S_2) e dois diodos conectados em antiparalelo com estes interruptores (D_1 e D_2), forma um braço do inversor de tensão do FAP (ver Fig. 2.3). As características relevantes deste módulo podem ser vistas na Tabela 2.10.

Especificação do interruptor IGBT	Valor
Máxima tensão reversa	600 V
Máxima corrente média	45 A
V_{CEsat}	2 V
td_{on}	45 ns
td_{off}	250 ns
Rth_{jc_igbt}	0,18 °C/W
Especificação do diodo antiparalelo	Valor
V_{To}	0,85 V
R_T	9 mΩ
Rth_{jc_diodo}	1,2 °C/W

Tabela 2.10 - Características do módulo SEMIKRON SEMITOP² SK 45GB.

Se forem comparados os esforços de corrente do *FAP* com a capacidade do módulo *SEMIKRON SEMITOP² SK 45GB* deve-se notar que a escolha de um módulo como este garante uma robustez muito importante numa fase de experimentação de um protótipo.

O *driver* de comando utilizado para acionar os interruptores é um *SKHI 20op* da *SEMIKRON*. Este *driver* incorpora dois *drivers SKHI 10op*, para que seja possível comandar interruptores em ponte, como no caso do *FB-VSI*. Este driver possui uma série de características desejáveis, a saber:

- Isolamento por transformador de pulso entre o comando e o circuito de potência;
- Proteção de sobre-corrente nos interruptores através da tensão V_{CE} ;
- Geração de tempo morto configurável por resistor;
- Imposição de tensão negativa no bloqueio dos interruptores;
- Possibilidade de selecionar o resistor de *gate* no comando e no bloqueio do interruptor.

O tempo morto foi configurado para 400ns. As demais configurações de fábrica foram mantidas.

2.2.9. Cálculo das Perdas

Apresentar-se-á agora um roteiro de cálculo resumido para o levantamento das características térmicas do filtro ativo.

A. Perdas no Banco Capacitivo C_f

As perdas no banco capacitivo C_f podem ser calculadas como sendo:

$$P_{C_f} = RSE_{eq} \cdot I_{Cef}^2 \quad (2.45)$$

$$P_{C_f} \Rightarrow 3,64 \text{ W.}$$

B. Perdas nos Diodos

As perdas em condução de um diodo são calculadas pela expressão (2.46):

$$P_{Dcond} = V_{To} \cdot I_{Dmed} \cdot r_T \cdot I_{Def}^2 \quad (2.46)$$

$$P_{Dcond} \Rightarrow 1,387 \text{ W.}$$

Assim as perdas totais nos quatro diodos do *FAP* somam $P_{Dtotal} = 5,55 \text{ W}$.

C. Perdas nos Interruptores *IGBT*

As perdas em condução de um interruptor *IGBT* são calculadas pela expressão (2.47):

$$P_{Scond} = I_{Sef} \cdot V_{CEsat} \cdot D \quad (2.47)$$

$$P_{Scond} \Rightarrow 4.3 \text{ W.}$$

As perdas de comutação de um interruptor *IGBT* podem ser calculadas por (2.48):

$$P_{Scomutacao} = (E_{on} + E_{off}) \cdot fs \quad (2.48)$$

onde,

$$E_{on} = \frac{I_{Cef} \cdot V_{CE} \cdot 1.2 \cdot td_{on}}{2} \quad (2.49)$$

e

$$E_{off} = \frac{I_{Cef} \cdot V_{CE} \cdot 1.2 \cdot td_{on}}{2} \quad (2.50)$$

$$P_{Scomutacao} \Rightarrow 5,7 \text{ W.}$$

Assim sendo as perdas totais nos quatro interruptores *IGBT* somam $P_{IGBTtotal} = 40 \text{ W}$.

D. Cálculo Térmico do Dissipador

O cálculo do dissipador foi realizado segundo a metodologia apresentada em [15], onde admitindo uma temperatura de junção de 150° C e uma temperatura ambiente de 40° C obtém-se um dissipador do tipo **K1,1 - M8 - massa aprox. 700g**.

Na prática será adotado um dissipador superdimensionado de massa maior do que 700g para garantir a operação da estrutura em regime térmico, buscando novamente uma elevada robustez do filtro ativo.

E. Perdas Totais no *FAP*

As perdas totais do conversor são constituídas pelas perdas no banco capacitivo, no indutor L_f , nos diodos em antiparalelo e nos interruptores *IGBT* e estão apresentadas na Tabela 2.11.

Elemento	Perdas
Banco capacitivo C_f	3,64 W
Indutor L_f	26,47 W
Diodos em antiparalelo	5,55 W
Interruptores <i>IGBT</i>	40 W
Perdas totais	75,66 W
Rendimento esperado η	92 %

Tabela 2.11 - Perdas totais do conversor.

O cálculo do rendimento de um filtro ativo não pode ser feito como o cálculo convencional de rendimento, como por exemplo, em um conversor *CC-CC*. Num conversor deste tipo o rendimento é definido como o quociente da potência ativa entregue na saída do conversor pela potência ativa consumida na entrada do mesmo, conforme apresentado na expressão (2.51). Mas o *FAP* não entrega potência ativa a nenhuma carga. Ele pode ser entendido como um conversor que apenas processa energia reativa. Assim sendo, não faz sentido afirmar que o a estrutura de potência utilizada no *FAP* possua rendimento.

$$\eta = \frac{P_{saída}}{P_{entrada}} \quad (2.51)$$

2.2.10. Projeto dos Transdutores

O projeto e especificação dos transdutores é muito importante para o adequado funcionamento do *FAP*, sendo que a escolha dos mesmos deve ser realizada com muito cuidado para que não ocorram problemas de comando do filtro ativo oriundos destes elementos.

2.2.10.1. Transdutor de Tensão CA

O transdutor de tensão CA serve para se obter uma amostra da tensão da rede que deve servir como referência para a corrente controlada pelo FAP e, como a corrente amostrada é a corrente drenada da rede, a mesma deve seguir uma amostra da tensão da rede.

O transdutor de tensão CA nada mais é do que um transformador abaixador da tensão da rede AC (ver Fig. 2.9). O projeto do transformador é baseado na metodologia apresentada em [16].

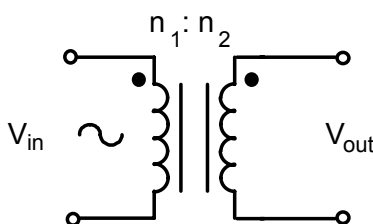


Fig. 2.9 – Transformador abaixador de tensão da rede.

As especificações preliminares para o projeto do transformador estão apresentadas na Tabela 2.12.

Especificação	Valor
Máxima densidade de corrente (J_{max})	300 A/cm ²
Indução magnética máxima no ferro (B_{max})	1 T
Potência de saída do transformador (P_o)	0,1 W
Rendimento do transformador (η)	90 %
Potência aparente processada pelo transformador (S_{trafo})	0,11 W
Tensão eficaz da rede AC	127 V
Máxima tensão eficaz no secundário (V_{BT})	2,12 V
Ganho efetivo do transformador (relação de transformação)	0,017

Tabela 2.12 – Especificações preliminares para o projeto do transformador.

A. Cálculo das Correntes Eficazes do Transformador

As correntes eficazes no primário e no secundário são dadas pelas seguintes expressões:

$$I_{AT} = \frac{S_{trafo}}{Vac} \quad (2.52)$$

$$I_{AT} \Rightarrow 866\text{uA.}$$

$$I_{BT} = \frac{Po}{V_{BT}} \quad (2.53)$$

$$I_{BT} \Rightarrow 47\text{mA.}$$

B. Cálculo da Bitola dos Condutores

O próximo passo é calcular a bitola dos condutores:

$$Scm_{AT} = \frac{I_{AT}}{J \max} \quad (2.54)$$

$$Scm_{AT} \Rightarrow 2,9 \cdot 10^{-6} \text{ cm}^2.$$

$$Scm_{BT} = \frac{I_{BT}}{J \max} \quad (2.55)$$

$$Scm_{BT} \Rightarrow 157 \cdot 10^{-6} \text{ cm}^2.$$

A menor bitola *AWG* que permite a confecção prática do transformador é a *AWG* 35 e, assim sendo, as bitolas dos dois condutores serão de $Scm = 160 \cdot 10^{-6} \text{ cm}^2$.

C. Cálculo e Escolha do Núcleo

Para a especificação do núcleo a ser utilizado precisa-se calcular a área da secção magnética do núcleo:

$$Sm = \left(7.5 \cdot \sqrt{\frac{S_{trafo}}{f_{rede}}} \right) \quad (2.56)$$

$Sm \Rightarrow 0,32 \text{ cm}^2$.

A largura mínima da perna central do núcleo do transformador é dada por:

$$a = \sqrt{1.1 \cdot Sm} \quad (2.57)$$

$a \Rightarrow 0,594 \text{ cm}$.

O núcleo escolhido é o **núcleo comercial a = 1,6 cm** (sendo ‘a’ a espessura da perna central) que possui as seguintes características:

Característica	Valor
Área da janela (Aw)	1,944 cm ²
Comprimento da perna central ($a_{efetivo}$)	1,6 cm
Secção magnética efetiva ($Sm_{efetivo}$)	256.10 ⁻⁶ m ²

Tabela 2.13 – Características do núcleo comercial a = 1,6 cm.

D. Cálculo do Número de Espiras

O número de espiras do primário e do secundário pode ser calculado pelas expressões:

$$N_{AT} = \frac{Vac}{4.44 \cdot Sm_{efetivo} \cdot B \max \cdot f_{rede}} \quad (2.58)$$

$N_{AT} \Rightarrow 1862 \text{ espiras}$.

$$N_{BT} = \frac{V_{BT}}{4.44 \cdot Sm_{efetivo} \cdot B \max \cdot f_{rede}} \quad (2.59)$$

$N_{BT} \Rightarrow 32 \text{ espiras}$.

E. Cálculo da Possibilidade de Execução

A possibilidade de execução do transformador é calculada pela expressão (2.60).

$$P_{exec} = \frac{Aw}{N_{AT} \cdot Scm_{AT_efetivo} + N_{BT} \cdot Scm_{BT_efetivo}} \quad (2.60)$$

$$P_{exec} \Rightarrow 6,4.$$

O critério para a possibilidade de execução do transformador é que a expressão (2.60) resulte num valor igual ou superior a 3. Como a possibilidade de execução ficou em 6,4 é possível enrolar com folga o transformador amostrador.

O ganho efetivo, ou relação de transformação, do sensor de tensão CA é especificação de projeto e está estabelecido na Tabela 2.12.

$$\text{Ganho do sensor de tensão CA: } Gv_{ac} \Rightarrow 0,017.$$

É possível também o uso de um sensor de efeito *hall* de tensão para amostrar a tensão da rede elétrica. Este tipo de sensor deve ser menos susceptível a ruídos, mas o seu custo normalmente é superior ao de um transformador como o proposto nesta seção.

2.2.10.2. Transdutor de Corrente CA

O transdutor de corrente alternada deve fornecer uma amostra da corrente drenada da rede para o controlador de corrente (ver Fig. 1.13).

Optou-se pelo uso de um sensor por efeito *hall* para que a amostra de corrente seja menos susceptível a ruídos provenientes do circuito de potência do *FAP*.

A máxima corrente eficaz drenada da rede com o uso do *FAP* é de 5,2 ampéres (expressão (2.28)). Uma margem de segurança de pelo menos 50% deve ser adicionada para a máxima leitura que o sensor por efeito *hall* é capaz de realizar. Assim sendo, para os níveis de potência exigidos do *FAP* (até 1kVA), o sensor *hall* de corrente escolhido é o **LEM LA 25-NP** que permite a leitura de até 25 ampéres eficazes. As suas especificações podem ser vistas na Tabela 2.14.

O esquema de ligação deste sensor *hall* de corrente está apresentado na Fig. 2.10.

Característica	Valor
Máxima leitura de corrente eficaz	25 A
Tensão de alimentação	+/- 15 V
Relação de transformação (K_{Mi})	1:1000
Máxima corrente no secundário I_{Smax}	12 mA

Tabela 2.14 - Características do sensor hall de corrente.

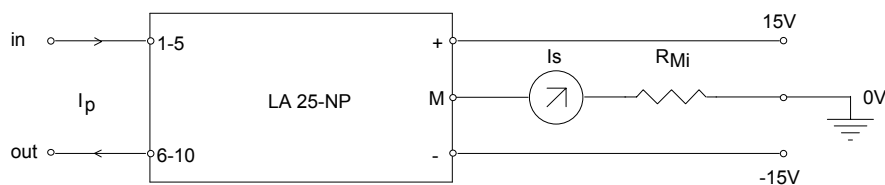


Fig. 2.10 – Esquema de ligação do sensor hall de corrente.

A saída do sensor é em corrente e o resistor R_{Mi} deve ser projetado para o nível de tensão desejado no terminal M do sensor. O valor deste resistor pode ser calculado segundo a expressão (2.61).

$$R_{Mi} = \frac{V_{aq_{max}}}{I_{S_{max}}} \quad (2.61)$$

, onde:

$V_{aq_{max}}$ => Máxima tensão desejada no terminal M (especificação de projeto de 3 volts).

$I_{S_{max}}$ => Máxima corrente na saída do sensor, segundo a relação de transformação K_{Mi} .

Resistor escolhido: $R_{Mi} \Rightarrow 150 \Omega$.

O ganho definitivo do sensor de corrente é definido pela expressão (2.62).

$$G_i = \frac{1}{K_N} \cdot R_{Mi} \quad (2.62)$$

Ganho do sensor de corrente CA: $G_i \Rightarrow 0,15$.

2.2.10.3. Transdutor de Tensão CC

O transdutor de tensão *CC* deve gerar uma amostra da tensão no barramento *CC* do filtro ativo (ver Fig. 1.13).

Assim como no caso do sensor de corrente, optou-se pelo uso de um sensor por efeito hall para que a tensão amostrada esteja imune aos ruídos que podem ser gerados pelo circuito de potência do *FAP*.

A tensão no barramento *CC* do *FAP* deve ficar em 300 volts, mas o sensor deve ser capaz de efetuar uma leitura da tensão com uma margem de folga de pelo menos 30% em relação à tensão nominal. Assim sendo, o sensor de tensão por efeito hall escolhido é o **LEM LV 25-P** que tem capacidade de efetuar leituras de até 500 volts. As suas especificações relevantes podem ser vistas na Tabela 2.15.

Característica	Valor
Máxima leitura de tensão V_{max}	500V
Tensão de alimentação	+/- 15V
Relação de transformação (K_N)	1000:2500

Tabela 2.15 – Características do sensor hall de tensão.

O esquema de ligação deste sensor hall de tensão pode ser visto na Fig. 2.11.

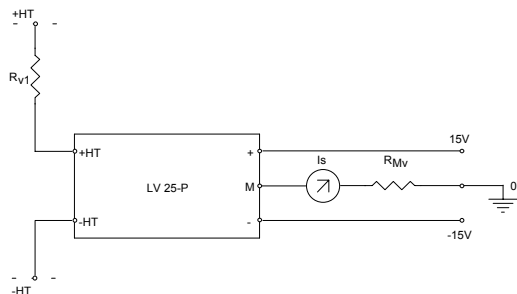


Fig. 2.11 - Esquema de ligação do sensor hall de tensão.

O resistor R_{V1} deve ser projetado de modo que a máxima corrente no sensor hall de tensão seja de 10mA. O valor deste resistor pode ser calculado segundo a expressão (2.63).

$$R_{V1} = \frac{V_{max}}{I_{Pmax}} \tag{2.63}$$

onde:

V_{max} => Máxima leitura de tensão.

I_{Pmax} => Máxima corrente no primário de sensor hall de tensão.

R_{V1} => 33k Ω / 5W.

A saída do sensor hall, como no caso do sensor de corrente, é em corrente e o resistor R_{Mv} deve ser projetado para o nível de tensão desejado no terminal M do sensor. O valor deste resistor pode ser calculado segundo a expressão (2.64):

$$R_{Mv} = \frac{V_{aq_{max}}}{I_{S_{max}}} \quad (2.64)$$

, onde:

$V_{aq_{max}}$ => Máxima tensão no terminal M (3,3 volts).

I_{Smax} => Máxima corrente na saída do sensor, segundo a relação de transformação K_{Mv} .

Resistor escolhido: R_{Mv} => 120 Ω .

O ganho definitivo do sensor de tensão CC é definido pela expressão (2.65).

$$G_v = \frac{R_{Mv}}{K_N \cdot R_{V1}} \quad (2.65)$$

Ganho do sensor de tensão CC : G_v => 0,009

2.2.11. Circuito de Partida: Controle da Corrente de Partida

O circuito de partida é composto por dois estágios. O primeiro estágio é responsável pela limitação da corrente de partida (*in-rush*) que ocorre quando a chave geral do *FAP* é ligada. Neste instante o capacitor do barramento CC encontra-se descarregado, comportando-se como um curto-circuito e, assim, o mesmo absorve uma elevada corrente até que ele se carregue. Este estágio será projetado nesta seção.

O segundo estágio será abordado na seção de projeto de circuitos auxiliares sendo que este estágio é responsável pela contenção da corrente de carga do barramento CC da tensão de pico da rede (180 volts) até a tensão nominal do barramento, que é de 300 volts.

A corrente de partida é o surgimento de uma corrente elevada responsável pela carga do capacitor C_f , quando o mesmo encontra-se descarregado, até a tensão de pico da rede, o que ocorre em apenas meio período da rede.

O circuito de partida é constituído por um resistor colocado em série com o *FAP* para limitar a corrente de surto e por um relé em paralelo com o resistor e que é utilizado para curto-circuitar o resistor após alguns períodos de rede, quando o capacitor já estiver devidamente carregado. O circuito de partida está apresentado na Fig. 2.12.

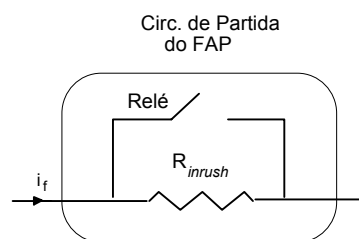


Fig. 2.12 – Circuito de partida do *FAP*.

O projeto do circuito de partida foi realizado com o auxílio de simulação numérica e os resultados estão apresentados na Seção 3.4.3 do Capítulo III. O valor do resistor que limita a corrente de partida foi estabelecido em $6,8\Omega$, e a potência do resistor deve ser de 25 watts, que é o valor usual de potência de resistores de partida para os níveis de correntes de surto solicitados no caso do *FAP*.

O resistor escolhido foi o **RS part no. 160-714 / $6,8\Omega$ - 25W** que atende as necessidades de projeto. O relé utilizado foi do tipo normalmente aberto acionado com comando de 15 volts.

2.3. Conclusão

Foi apresentada neste capítulo uma metodologia completa para o projeto da estrutura de potência de um filtro ativo paralelo aplicado a correção de harmônicas de corrente. O projeto de potência do circuito auxiliar de partida também foi abordado neste capítulo.

Neste ponto pode-se partir para o projeto dos controladores analógicos do *FAP* apresentado neste capítulo.

CAPÍTULO III - Controladores Analógicos do Filtro Ativo Paralelo de 1 kVA

Neste capítulo será apresentada a metodologia de projeto dos controladores analógicos do filtro ativo paralelo de 1 kVA. Os resultados de simulação numérica do FAP funcionando com controladores analógicos também serão apresentados.

Modelos para o conversor devem ser deduzidos e apresentados e, em seguida, o projeto dos controladores deve ser desenvolvido. A malha de corrente e a malha de tensão são projetadas separadamente, o que é possível já que a primeira é rápida e a segunda é bastante lenta.

3.1. Estratégia de Controle e Projeto dos Controladores

Conforme justificado na Seção 2.1 do Capítulo II, a estratégia de controle da corrente a ser adotada é a por valores médios instantâneos observando a corrente drenada da rede (ver Fig. 3.1). A escolha desta estratégia de controle do filtro ativo exige uma malha de corrente e uma malha de tensão. A modelagem do conversor e a metodologia de projeto dos controladores para ambas as malhas serão apresentadas nesta seção.

Uma abordagem detalhada da estratégia de controle adotada (ver Fig. 3.1) foi apresentada na Seção 1.4(B) do Capítulo I.

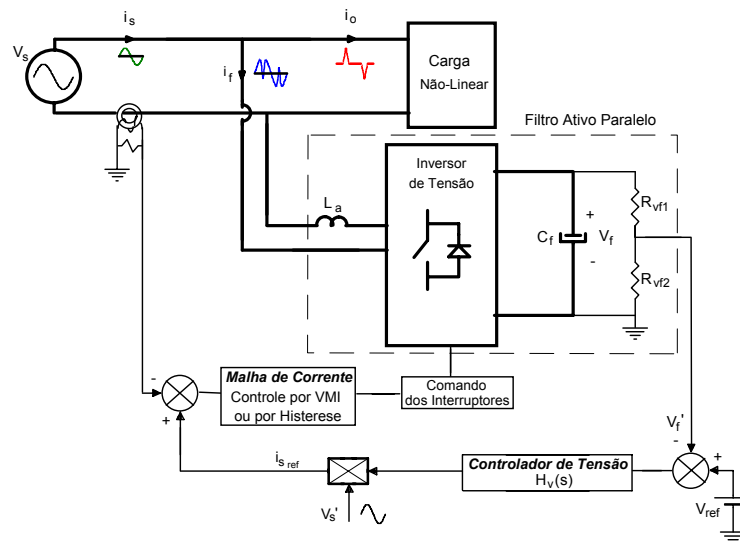


Fig. 3.1 – Estrutura geral da estratégia de controle.

Pode-se observar na Fig. 3.1 que a malha interna (rápida) é a malha de corrente e que a malha externa (lenta) é a malha de tensão. Um diagrama de blocos no plano S da estrutura de controle, que pode ser visto na Fig. 3.2, apresenta todos os elementos e ganhos das duas malhas de controle.

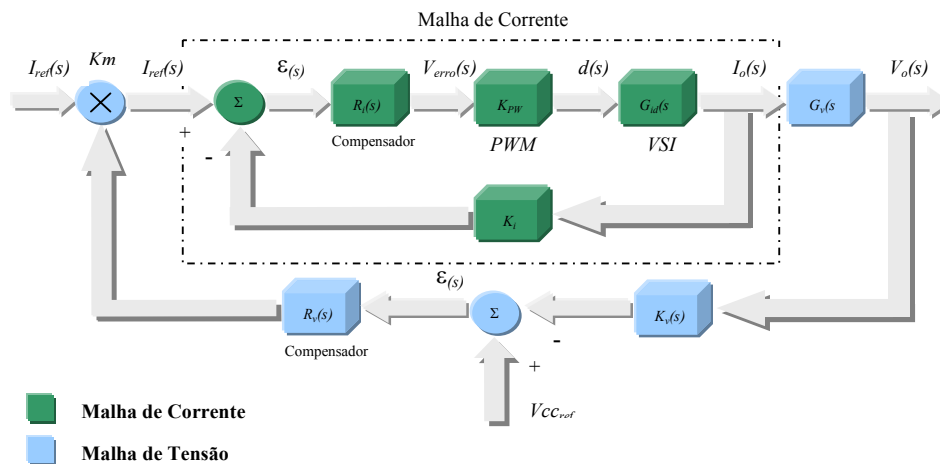


Fig. 3.2 – Diagrama de blocos da estrutura de controle.

3.2. Malha de Corrente

A malha de corrente faz com que a corrente total drenada da rede elétrica siga uma referência senoidal que é amostrada da rede pelo sensor de tensão CA . Esta malha deve ser rápida para que o filtro ativo possa gerar as harmônicas de corrente desejadas. A estrutura de controle da malha de corrente está apresentada na Fig. 3.3.

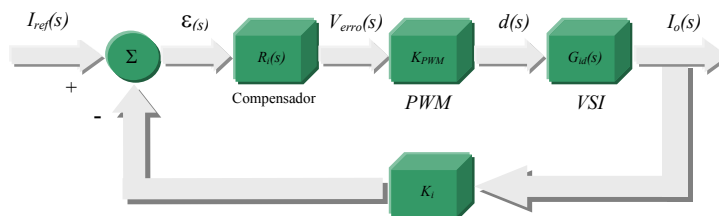


Fig. 3.3 – Estrutura de controle da malha de corrente.

Os blocos no domínio S , apresentados na Fig. 3.3, representam, a saber:

- $R_i(s)$ -> o compensador de corrente;

- K_{PWM} -> o ganho que representa o modulador PWM ;
- $G_{id}(s)$ -> a função transferência da corrente pela razão cíclica do modelo adotado;
- K_i -> o ganho do amostrador de corrente;
- $I_{ref}(s)$ -> a referência da corrente.

A primeira etapa em um projeto de controle é determinar um modelo que represente de modo satisfatório o conversor.

3.2.1. Modelagem

Serão apresentadas duas técnicas diferentes de modelagem: uma técnica busca obter um modelo mais completo e, uma segunda técnica mais simples, busca obter um modelo simplificado.

A. Modelo Completo

A função de transferência da corrente no filtro pela razão cíclica para o conversor $FB-VSI$ será obtida baseado na metodologia de modelagem de conversores de [19]. A topologia utilizada para a dedução do modelo considera o uso de interruptores ideais, sem a presença de tempo morto, conforme apresentado na Fig. 3.4, sem que haja nenhuma perda de formalismo das etapas de funcionamento do $FB-VSI$ relevantes ao processo de modelagem.

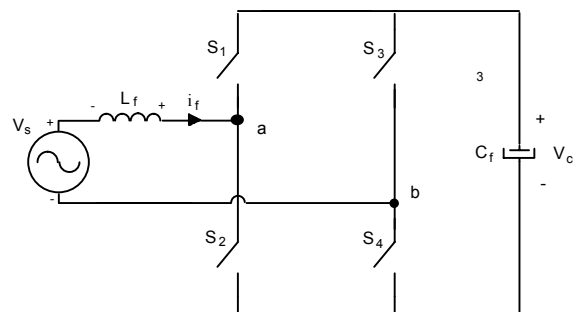


Fig. 3.4 – Estrutura proposta para a modelagem do conversor.

Como o $FB-VSI$ não é um dos seis conversores fundamentais (*buck*, *boost*, *buck-boost*, *cuk*, *zeta*, *sepic*) constituídos por apenas um interruptor, é necessário que se estabeleça qual interruptor irá representar o estado de condução definido pela razão cíclica

D , ou seja, qual interruptor estará conduzindo quando D for igual a um e qual estará bloqueado quando D for igual a zero. Pode-se, por exemplo, assumir que o interruptor que representa a razão cíclica é o interruptor S_1 .

É importante também considerar qual a referência da corrente i_f do *FAP*, ou seja, qual o sentido da corrente quando a mesma é positiva. Inicialmente vamos estabelecer arbitrariamente que a corrente positiva tem o sentido apresentado na Fig. 3.4.

Feitas estas considerações, e segundo a estrutura de geração dos pulsos *PWM* na modulação três níveis, podemos estabelecer três situações distintas de condução dos interruptores, a saber:

A. Razão Cíclica $D = 0,5$.

Quando a razão cíclica for $D = 0,5$, o comando dos interruptores S_1 e S_3 apresentam as características vistas na Fig. 3.5. É importante lembrar o fato de que o comando dos interruptores S_2 e S_4 é complementar ao comando dos interruptores S_1 e S_3 , respectivamente.

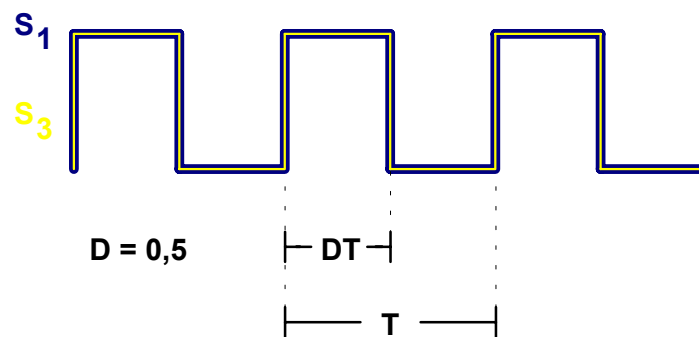


Fig. 3.5 – Pulsos de comando dos interruptores S_1 e S_3 para a razão cíclica $D = 0,5$.

É fácil notar que nestas circunstâncias a tensão nos terminais ab é sempre nula (ver Fig. 3.6-*a* e Fig. 3.6-*b*) e que a corrente fica limitada apenas pela indutância L_f . Porém isto não consiste de um problema, pois a razão cíclica não persiste neste valor ao longo do funcionamento dinâmico do *FAP*.

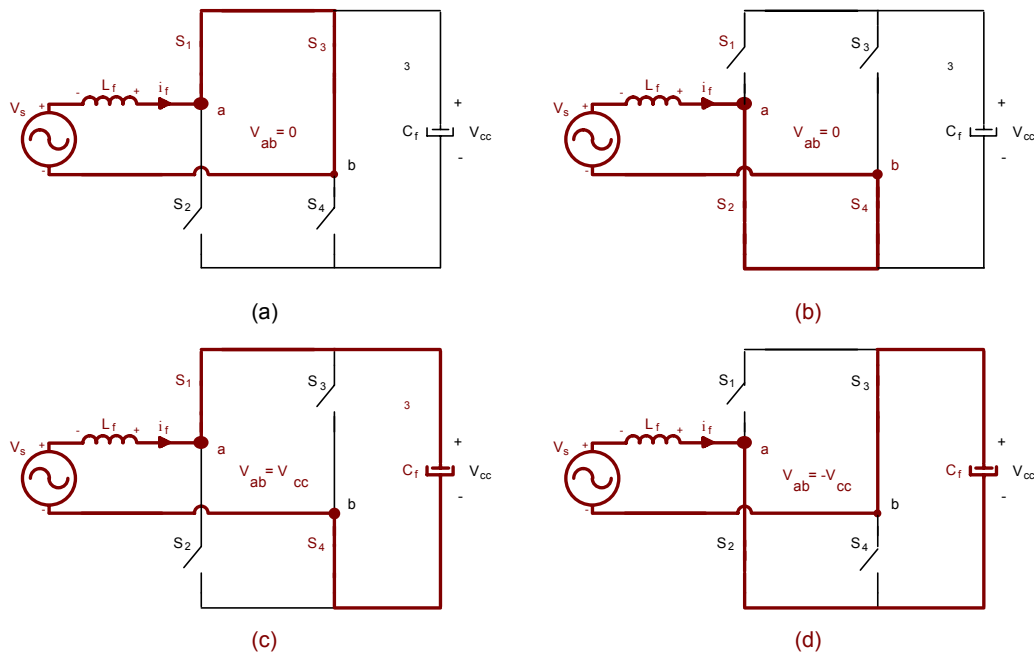


Fig. 3.6 – (a) Condução dos interruptores S_1 e S_3 . (b) Condução dos interruptores S_2 e S_4 . (c) Condução dos interruptores S_1 e S_4 . (d) Condução dos interruptores S_2 e S_3 .

O estado topológico equivalente do *FB-VSI* na situação ‘A’ (Razão Cíclica $D = 0,5$) pode ser visto na Fig. 3.7.

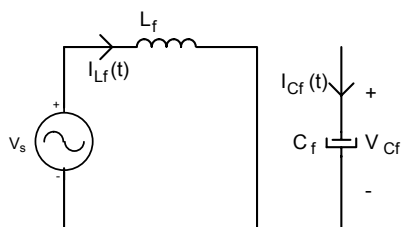


Fig. 3.7 – Estado topológico equivalente do *FB-VSI* para situação ‘A’.

B. Razão Cíclica $0,5 < D < 1$.

Quando a razão cíclica for $0,5 < D < 1$, assumindo, por exemplo, o valor $D = 0,8$, os pulsos de comando dos interruptores S_1 e S_3 devem apresentar as características vistas na Fig. 3.8.

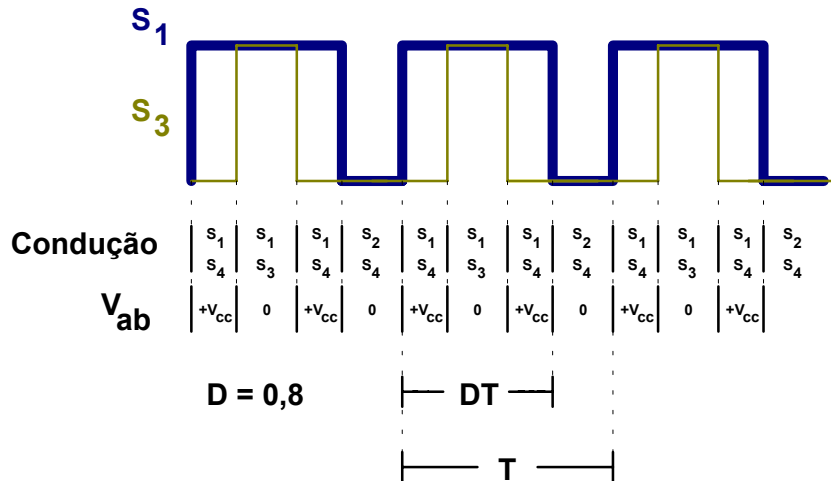


Fig. 3.8 - Pulsos de comando dos interruptores S_1 e S_3 para a razão cíclica $D = 0,8$.

A razão cíclica do interruptor S_3 é complementar a D , ou seja, quando a razão cíclica do interruptor S_1 é $D = 0,8$ a razão cíclica do interruptor S_3 é $D = 0,2$.

Nesta situação, a tensão nos terminais ab do FAP alterna entre zero e $+V_{cc}$ (ver Fig. 3.6), de modo que a tensão média dos terminais ab $V_{ab_{med}}$ aumenta progressivamente de zero até $+V_{cc}$ na medida que a razão cíclica tende para a unidade.

Os estados topológicos equivalentes do $FB-VSI$ na situação ‘B’ podem ser vistos na Fig. 3.9.

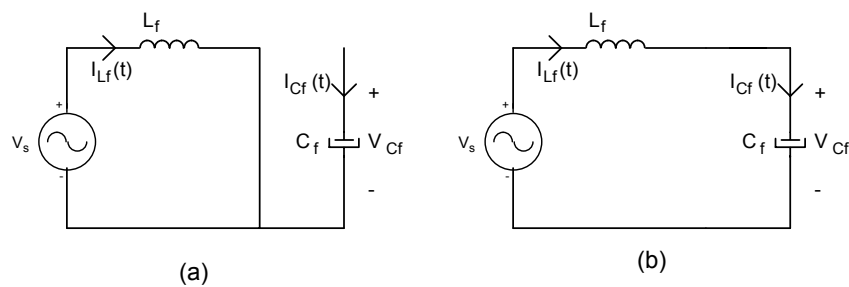


Fig. 3.9 - Estados topológicos equivalentes do $FB-VSI$ para situação ‘B’.

C. Razão Cíclica $0 < D < 0,5$.

Quando a razão cíclica for $0 < D < 0,5$, assumindo, por exemplo, o valor $D = 0,2$, os pulsos de comando dos interruptores S_1 e S_3 devem apresentar as características vistas na Fig. 3.10.

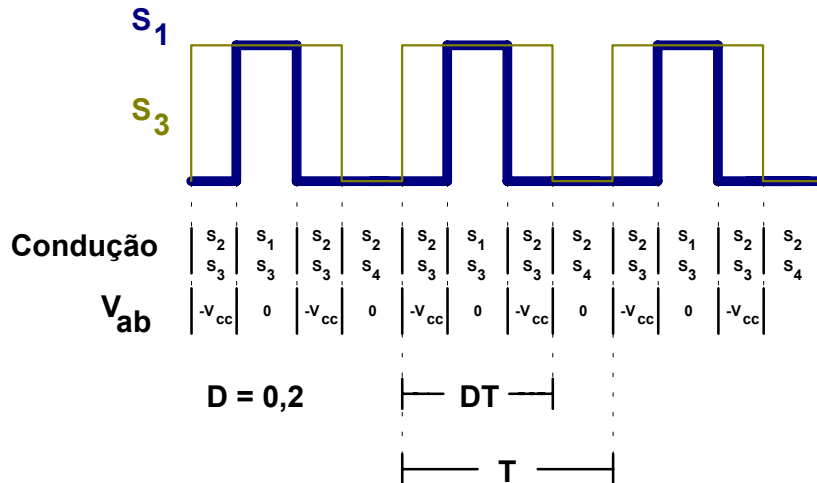


Fig. 3.10 - Pulsos de comando dos interruptores S_1 e S_3 para a razão cíclica $D = 0,2$.

Nesta situação a tensão nos terminais ab do FAP alterna entre zero e $-V_{cc}$ (ver Fig. 3.6), de modo que a tensão média dos terminais ab $V_{ab_{med}}$ diminui progressivamente até $-V_{cc}$, na medida que a razão cíclica tende para zero.

Os estados topológicos equivalentes do $FB-VSI$ na situação ‘C’ podem ser vistos na Fig. 3.11.

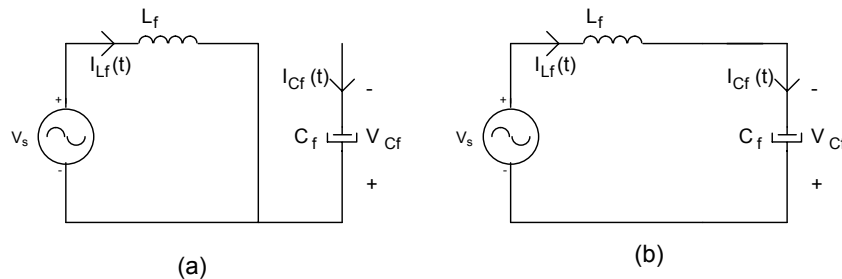


Fig. 3.11 - Estados topológicos equivalentes do $FB-VSI$ para situação ‘C’.

Apresentadas as três situações possíveis (A , B e C), não se pode deixar de notar a semelhança dos estados topológicos do conversor $FB-VSI$, funcionando com a modulação PWM a três níveis, com as etapas de funcionamento de um conversor $BOOST$.

Devido a esta semelhança, devem-se realizar algumas considerações, sem que haja perda de formalismo na dedução do modelo, para que se possa modelar o $FB-VSI$ como um conversor $BOOST$, a saber:

- Devido à simetria apresentada pelo conversor, pode-se analisar o modelo apenas para $0,5 < D < 1$ região onde a tensão média nos terminais ab do FAP pode apenas assumir valores positivos;
- Será considerado que a razão cíclica, no intervalo proposto, varia de $0 < D < 1$ ao invés de variar de $0,5 < D < 1$, isto simplifica bastante o equacionamento do modelo;
- É possível perceber que, na medida em que a razão cíclica D aumenta, o tempo em que o interruptor $BOOST$ (do estado topológico equivalente do conversor $FB-VSI$) encontra-se em condução diminui. Esta característica é contrária à característica encontrada para um conversor $BOOST$. Pode-se contornar este problema considerando que o interruptor que representa a razão cíclica é o interruptor S_2 , assim o comando em S_1 é complementar ao comando em S_2 e o problema da inversão de lógica de comando está solucionado.

Feitas as considerações descritas acima, é possível admitir que o conversor $FB-VSI$ com modulação PWM a três níveis comporta-se como um conversor $BOOST$, conforme apresentado na Fig. 3.12.

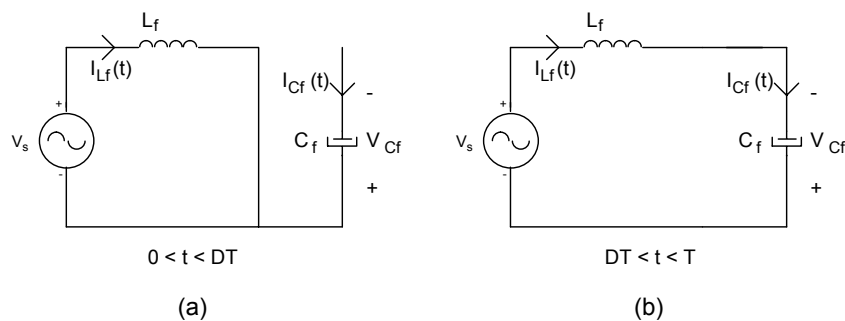


Fig. 3.12 – Etapas de funcionamento de um conversor $BOOST$.

Seguindo a modelagem de conversores por Valores Médios Quase Instantâneos proposta em [19], deve-se primeiramente equacionar as duas etapas de funcionamento do conversor:

Para o intervalo D ($0 < t < DT$) tem-se que:

$$\begin{aligned} v_{L_f}(t) &= v_{in}(t) \\ i_{C_f}(t) &= 0 \end{aligned} \tag{3.1}$$

Para o intervalo D' ($DT < t < T$) tem-se que:

$$\begin{aligned} v_{L_f}(t) &= v_{in}(t) - v_{C_f}(t) \\ i_{C_f}(t) &= i_{L_f}(t) \end{aligned} \quad (3.2)$$

Em seguida é feita a substituição das variáveis pelos seus valores médios quase instantâneos:

$$\begin{aligned} v_{in}(t) &= \langle v_{in}(t) \rangle \\ v_{C_f}(t) &= \langle v_{C_f}(t) \rangle \\ i_{L_f}(t) &= \langle i_{L_f}(t) \rangle \end{aligned} \quad (3.3)$$

Assim, substituindo a expressão (3.3) em (3.1), obtém-se:

$$\begin{aligned} v_{L_f}(t) &= \langle v_{in}(t) \rangle \\ i_{C_f}(t) &= 0 \end{aligned} \quad (3.4)$$

E substituindo a expressão (3.3) em (3.2), chega-se a:

$$\begin{aligned} v_{L_f}(t) &= \langle v_{in}(t) \rangle - \langle v_{C_f}(t) \rangle \\ i_{C_f}(t) &= \langle i_{L_f}(t) \rangle \end{aligned} \quad (3.5)$$

Integrando a tensão no indutor e a corrente no capacitor em um período T ($D + D'$) obtém-se os valores médios de $v_{L_f(t)}$ e $i_{C_f(t)}$:

$$\langle v_{L_f}(t) \rangle = \int_0^T v_{L_f}(t).dt = d(t).[\langle v_{in}(t) \rangle] - d'(t).[\langle v_{in}(t) \rangle - \langle v_{C_f}(t) \rangle] \quad (3.6)$$

e

$$\langle i_{C_f}(t) \rangle = \int_0^T i_{C_f}(t).dt = d'(t). \langle i_{L_f}(t) \rangle \quad (3.7)$$

Aplicando a relação volt-ampère no capacitor C_f e no indutor L_f obtém-se:

$$\langle v_{L_f}(t) \rangle = L_f \cdot \frac{di_{L_f}(t)}{dt} \quad (3.8)$$

e

$$\langle i_{cf}(t) \rangle = C_f \cdot \frac{dv_{cf}(t)}{dt} \quad (3.9)$$

Substituindo as expressões (3.8) e (3.9) nas expressões (3.6) e (3.7), respectivamente, obtém-se:

$$L_f \cdot \frac{di_{Lf}(t)}{dt} = d(t) \cdot [\langle v_{in}(t) \rangle] - d'(t) \cdot [\langle v_{in}(t) \rangle - \langle v_{cf}(t) \rangle] \quad (3.10)$$

e

$$C_f \cdot \frac{dv_{cf}(t)}{dt} = d'(t) \cdot \langle i_{Lf}(t) \rangle \quad (3.11)$$

Definindo as perturbações do sistema como:

$$\begin{aligned} d(t) &= D + \hat{d}(t) \\ d'(t) &= D' + \hat{d}'(t) \\ \langle v_{in}(t) \rangle &= V_{in} + \hat{v}_{in}(t) \\ \langle v_{cf}(t) \rangle &= V_{cf} + \hat{v}_{cf}(t) \\ \langle i_{Lf}(t) \rangle &= I_{Lf} + \hat{i}_{Lf}(t) \end{aligned} \quad (3.12)$$

Substituindo a expressão (3.12) em (3.10) e (3.11) e cancelando os termos *CC* (não são relevantes no modelo pequenos sinais) e ainda os termos de segunda ordem (muito pequenos), obtém-se:

$$L_f \cdot \frac{d\hat{i}_{Lf}(t)}{dt} = \hat{v}_{in}(t) - D' \cdot \hat{v}_{cf}(t) + V_{cf} \cdot \hat{d}(t) \quad (3.13)$$

e

$$C_f \cdot \frac{d\hat{v}_{cf}(t)}{dt} = +D' \cdot \hat{i}_{Lf}(t) - I_{Lf} \cdot \hat{d}(t) \quad (3.14)$$

Aplicando a transformada de Laplace às expressões (3.13) e (3.14) obtém-se:

$$s \cdot L_f \cdot \hat{i}_{Lf}(s) = \hat{v}_{in}(s) - D' \cdot \hat{v}_{cc}(s) + V_{cc} \cdot \hat{d}(s) \quad (3.15)$$

e

$$s.C_f.\hat{v}_{cc}(s) = +D'.\hat{i}_{Lf}(s) - I_{Lf}.\hat{d}(s) \quad (3.16)$$

As equações (3.15) e (3.16) representam as equações do modelo de pequenos sinais utilizando a técnica dos *VMQI*. Sabendo que:

$$G_{id}(s) = \frac{\hat{i}_{Lf}(s)}{\hat{d}(s)} \Big|_{\hat{v}_{in}(s)=0} \quad (3.17)$$

E manipulando as equações (3.15) e (3.16) chega-se a expressão (3.18) para a função de transferência do modelo de pequenos sinais da corrente I_f em função da razão cíclica D .

$$G_{id}(s) = \frac{\hat{i}_{Lf}(s)}{\hat{d}(s)} = \frac{s.C_f.V_{cc} + D'.I_{Lf}}{s^2.L_f.C_f + D'^2} \quad (3.18)$$

O ponto de operação da razão cíclica é um parâmetro da expressão (3.18) e, como a razão cíclica varia em uma faixa bastante ampla neste tipo de topologia, é interessante obter um gráfico do módulo e da fase da (3.18) para D em diferentes pontos de operação. Estes gráficos estão apresentados na Fig. 3.13.

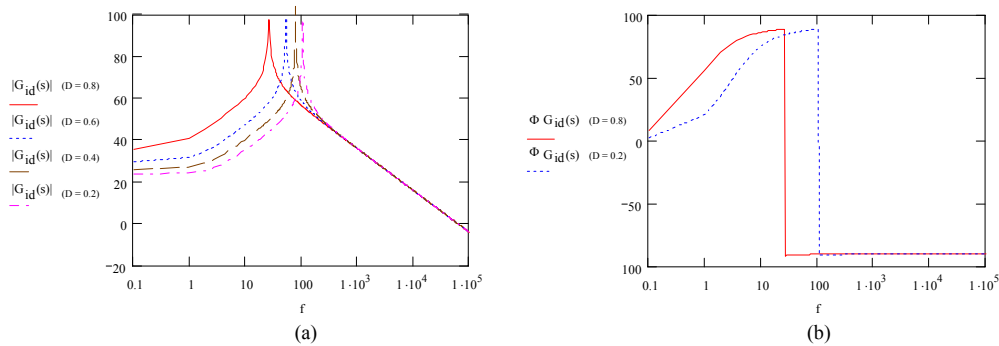


Fig. 3.13 – (a) Módulo da expressão (3.18). (b) Fase da expressão (3.18).

É importante notar que, como o interruptor que representa a razão cíclica é o interruptor S_2 , se for necessário que o comando seja referenciado ao interruptor S_1 deve-se inverter a referência do sensor hall de corrente, ou seja, deve-se inverter o sentido em que o sensor amostra a corrente. Caso esta medida não seja tomada é possível demonstrar que, segundo [19] chega-se a expressão (3.19) para a função de transferência do modelo de pequenos sinais da corrente I_f em função da razão cíclica D .

$$G_{id}(s) = \frac{\hat{i}_{L_f}(s)}{\hat{d}(s)} = -\frac{s.C_f.V_{cf} + D.I_{L_f}}{s^2.L_f.C_f + D^2} \quad (3.19)$$

A planta representada pela expressão (3.19) é instável em malha fechada, e assim sendo não é possível controlar o conversor. Isto pode ser confirmado observando-se o lugar das raízes obtido para a *FTMF* da expressão (3.19) (ver Fig. 3.14), pois fica clara a existência de um pólo no semi-plano direito na medida que se aumenta o ganho estático.

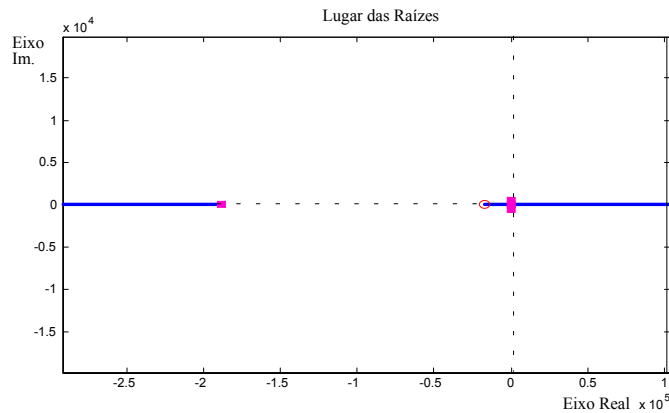


Fig. 3.14 – Lugar das Raízes da FTMF da expressão (3.19).

B. Modelo Simplificado

Outras técnicas de modelagem podem apresentar modelos mais simplificados para o conversor. Um exemplo é a técnica apresentada em [6], e que utiliza o modelo de valores médios instantâneos considerando a tensão do barramento *CC* do conversor isenta de ondulação. A expressão (3.20) estabelece a função de transferência do modelo de pequenos sinais da corrente *I_f* em função da razão cíclica obtida por esta técnica de modelagem.

$$G_{id}(s) = \frac{\hat{i}_{L_f}(s)}{\hat{d}(s)} = \frac{V_{CC}}{s.L_f} \quad (3.20)$$

A partir de uma frequência de aproximadamente 200 Hertz, a expressão (3.20) representa rigorosamente o modelo obtido pela expressão (3.15), conforme pode ser visto na Fig. 3.15. Esta figura apresenta os gráficos de módulo e de fase do modelo simplificado (3.20) em conjunto com o modelo completo (3.18).

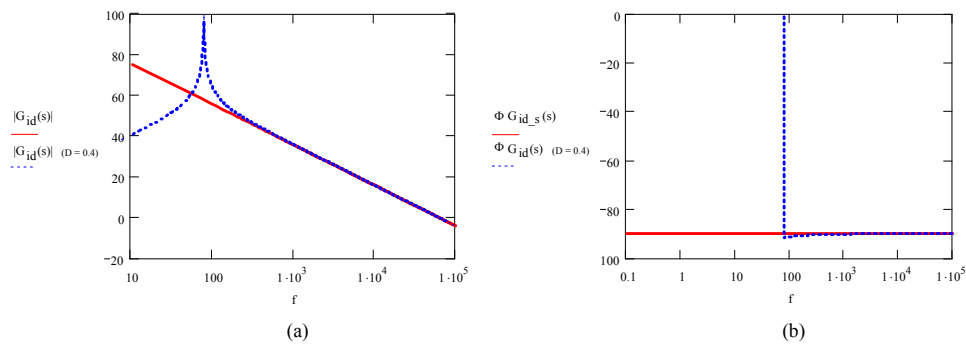


Fig. 3.15 - (a) Módulo da função de transferência dos dois modelos. (b) Fase da função de transferência dos dois modelos.

Para o projeto do compensador o comportamento da função de transferência em baixas frequências não é relevante, e, assim sendo, o modelo simplificado é válido e será considerado no procedimento de projeto do compensador.

3.2.2. Projeto do Compensador

Está demonstrado em [4] que o compensador mais apropriado para a malha de corrente de um retificador *PFC BOOST* é o avanço-atraso de fase. Como a função de transferência do *FAP* é muito semelhante (difere de um fator dois) da função de transferência utilizada no *PFC BOOST* apresentado em [4], o avanço-atraso deverá ser o compensador utilizado para a malha de corrente. Um modelo elétrico para este compensador pode ser visto na Fig. 3.16-a.

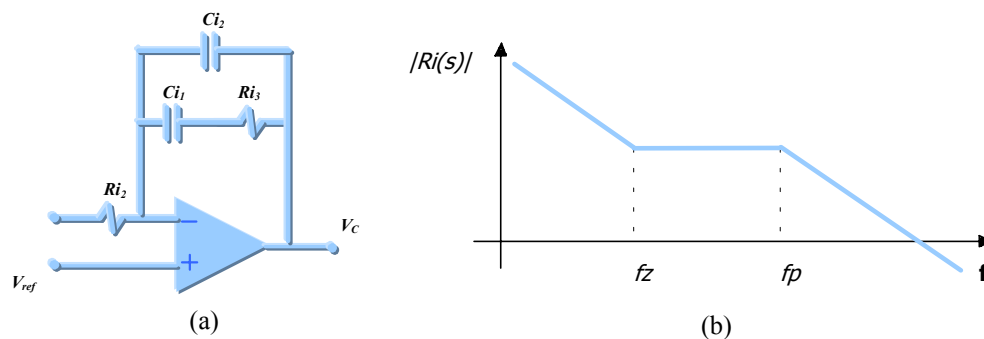


Fig. 3.16 – (a) Compensador avanço-atraso de fase. (b) Módulo da função de transferência do compensador.

Este compensador apresenta um pólo na origem, um zero na frequência wz e um pólo na frequência wp , além do ganho estático K_{Ri} . Pode-se demonstrar que a função de transferência em S deste compensador é dada pela (3.21).

$$R_i(s) = K_{Ri} \cdot \frac{1}{s} \cdot \frac{(s + wz)}{(s + wp)} \quad (3.21)$$

Tendo sido determinado qual o compensador a ser utilizado é interessante relembrarmos de alguns conceitos como:

- Função de Transferência de Laço Aberto (*FTLA*): é a composição no domínio *S* de todos os blocos que representam a malha de controle em laço aberto (ver Fig. 3.17), ou seja, o modelo da planta, o compensador de corrente, o ganho do amostrador de corrente e o ganho do modulador *PWM* considerados em cascata sem que se realmente a malha. No domínio *S*, os blocos da *FTLA* são multiplicados um a um, o que resulta na expressão (3.22);

$$FTLA = K_i \cdot K_{PWM} \cdot G_i(s) \cdot R_i(s) \quad (3.22)$$

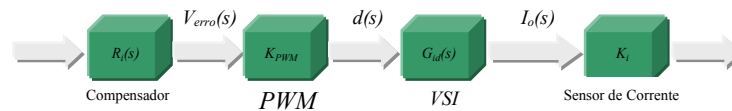


Fig. 3.17 – *FTLA* da malha de corrente.

- Frequência de cruzamento ($f_{cruzamento}$): é a frequência em que o módulo da *FLTA* cruza o eixo da frequência, ou seja, iguala-se a zero db. Quanto maior for a frequência de cruzamento, mais rápida será a resposta em frequência do conversor;
- Margem de fase *MF*: A *MF*, definida pela expressão (3.23), fornece um critério para que se possa garantir a estabilidade do sistema. Se a margem de fase foi igual ou menor do que zero, o sistema em malha fechada se torna instável. Quanto maior a *MF* mais lento e estável é o sistema. A escolha de uma *MF* adequada é importante para a obtenção de uma planta rápida e estável.

$$MF = 180^\circ - \Phi_{FTLA}(f_{cruzamento}) \quad (3.23)$$

- Função de Transferência de Malha Fechada (*FTMF*): é a composição, no domínio *S*, de todos os blocos que representam a malha de controle em malha fechada (ver

Fig. 3.3), ou seja, o modelo da planta, o compensador de corrente, o ganho do amostrador de corrente e o ganho do modulador *PWM* considerados em cascata, admitindo a realimentação da malha de corrente. No domínio *S* os blocos da *FTMF* são multiplicados um a um, o que resulta na expressão (3.24);

$$FTMF = \frac{FTLA}{1 - FTLA} \quad (3.24)$$

O projeto do compensador de corrente é feito com o auxílio do gráfico do Lugar das Raízes (*LR*) da *FTMF* e ainda com o auxílio do diagrama de *BODE* da *FTLA*.

Primeiramente, devem ser estabelecidos alguns critérios para a definição dos parâmetros do compensador de corrente, com a definição de estimativas iniciais para estes parâmetros. Em seguida, o *LR* e o diagrama de *BODE* devem auxiliar no refino do projeto do compensador.

Sabe-se da teoria de sistemas amostrados que a frequência de cruzamento da planta (*FTLA*) deve ficar no máximo na metade da frequência de chaveamento, sendo que o projeto usual de conversores localiza a frequência de cruzamento em torno de $\frac{1}{4}$ da frequência de chaveamento para que se possa garantir o comportamento linear do modelo proposto para o conversor. Assim, a expressão (3.25) fornece uma localização inicial para a frequência de cruzamento.

$$F_{\text{cruzamento}} = \frac{f_s}{4} \quad (3.25)$$

$$F_{\text{cruzamento}} \Rightarrow 7,5 \text{ kHz.}$$

Como o modelo do conversor (modelo simplificado) já possui um integrador, o integrador do compensador tira margem de fase e faz com que o ganho da planta caia 40 db/década. Assim, a frequência do zero do compensador deve ser posicionada abaixo da frequência de cruzamento da *FTLA* de tal maneira que o módulo da *FLTA* passe por 0 db com inclinação de, aproximadamente, 20 db/década e, assim, possua uma maior margem de fase. Sabe-se que a margem de fase usual para os retificadores *PFC BOOST* e para os filtros ativos está em torno de 55°. A expressão (3.26) pode determinar uma estimativa inicial para o posicionamento do zero do compensador.

$$F_{zero} = \frac{F_{Cruzamento}}{2} \quad (3.26)$$

$$F_{zero} \Rightarrow 3,75 \text{ kHz.}$$

O pólo é posicionado em torno da frequência de chaveamento para evitar que a saída do controlador apresente uma ondulação considerável acima da frequência de chaveamento, o que poderia causar disparos espúrios dos interruptores do conversor. A expressão (3.27) pode determinar uma estimativa inicial para o posicionamento do pólo do compensador.

$$F_{polo} = fs \quad (3.27)$$

$$F_{polo} \Rightarrow 30 \text{ kHz.}$$

Sabendo-se a posição do pólo e do zero do compensador, o ganho K_{Ri} pode ser considerado como um parâmetro livre para que possamos obter a frequência de cruzamento desejada para a $FTLA$. Como, na frequência de cruzamento, o módulo da $FLTA$ é igual a 0db (ou ainda, igual a unidade), o ganho K_{Ri} pode ser quantificado, através do uso das expressões (3.28) e (3.29), de modo que se obtenha a frequência de cruzamento desejada.

$$FTLA_{semK_{Ri}} = K_i \cdot K_{PWM} \cdot |Gi(f_{cruzamento})| \cdot |Ri_{semK_{Ri}}(f_{cruzamento})| \quad (3.28)$$

$$K_{Ri} = \frac{1}{FLTA_{semKi}} \quad (3.29)$$

$$K_{Ri} \Rightarrow 800.000.$$

O gráfico do lugar das raízes da $FTMF$ e do diagrama de $BODE$ da $FTLA$ estão apresentados na Fig. 3.18.

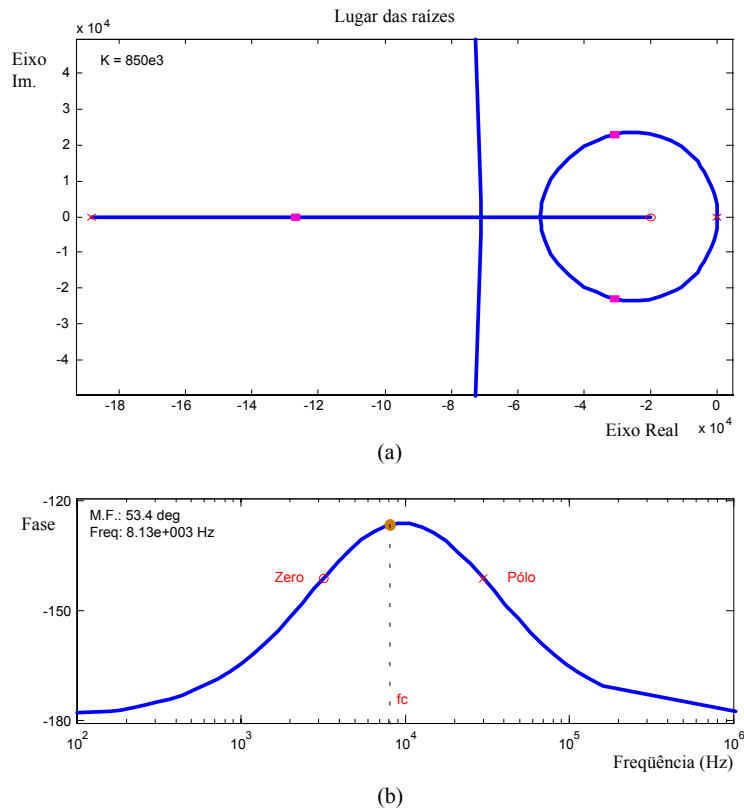


Fig. 3.18 – (a) *LR* da *FTMF*. (b) *BODE* da *FTLA*.

É desejável que a frequência de cruzamento esteja situada nas imediações da máxima margem de fase do sistema (ver Fig. 3.18-*b*), assim, as variações paramétricas dos elementos elétricos que constituem o compensador não alteram significativamente a margem de fase e tampouco a frequência de cruzamento. Foram realizados pequenos ajustes nos parâmetros do compensador com o auxílio do gráfico do lugar das raízes. Os parâmetros finais do compensador estão apresentados na Tabela 3.1.

Parâmetro	Estimativa inicial	Valor obtido pelo <i>LR</i>
Frequência de cruzamento	7,5 kHz	7,8 kHz
Frequência do pólo	30 kHz	30 kHz
Frequência do zero	3,75 kHz	3,2 kHz
Ganho estático K_{Ri}	800,000	825.000

Tabela 3.1 - Parâmetros obtidos para o controlador de corrente.

A margem de fase ficou em $53,4^\circ$, conforme pode ser visto na Fig. 3.18-*a*, o que é um valor muito próximo ao desejado para um filtro ativo.

A resposta ao degrau traz algumas informações importantes a respeito da estabilidade e do comportamento dinâmico final da planta. Na Fig. 3.19 pode-se observar que a resposta ao degrau do sistema é do tipo subamortecido, não existindo assim uma oscilação excessiva que poderia levar a algum tipo de instabilidade.

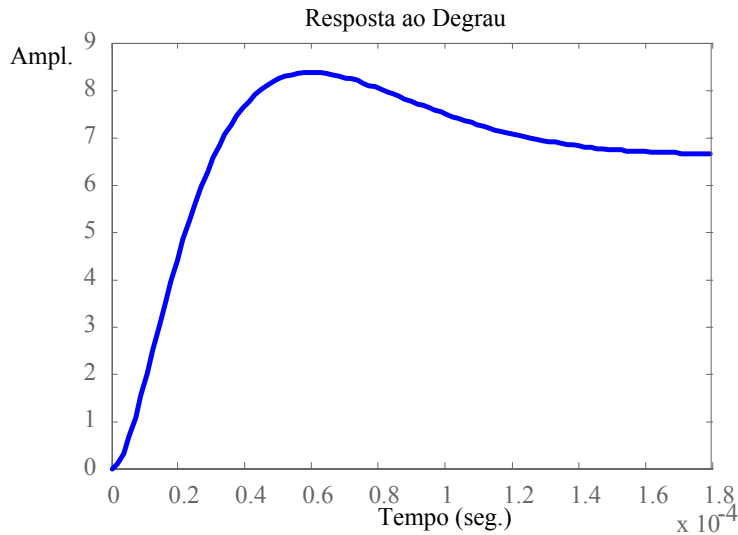


Fig. 3.19 – Resposta ao degrau da planta em malha fechada.

O próximo passo é determinar os parâmetros elétricos Ri_2 , Ri_3 , Ci_1 e Ci_2 do compensador apresentado na Fig. 3.16. Primeiramente, deve-se determinar um valor arbitrário para Ri_2 , por exemplo:

$$Ri_2 \Rightarrow 10 \text{ k}\Omega.$$

E, então, com o uso das equações (3.30), (3.31) e (3.32) obtém-se os demais parâmetros do controlador:

$$Ci_2 = \frac{1}{Ri_2 \cdot K_{Ri}} \tag{3.30}$$

$$Ci_1 = Ci_2 \cdot \left(\frac{wp}{wz} - 1 \right) \tag{3.31}$$

$$Ri_3 = \frac{1}{wz \cdot Ci_1} \tag{3.32}$$

Conclui-se, assim, o projeto do controlador de corrente do filtro ativo. Na Tabela 3.2 estão apresentados os parâmetros elétricos obtidos para o compensador de corrente.

Parâmetro	Valor
$Ri_{2(\text{comercial})}$	10 k Ω
$Ri_{3(\text{comercial})}$	47 k Ω
$Ci_{1(\text{comercial})}$	1 nF
$Ci_{2(\text{comercial})}$	120 pF

Tabela 3.2 - Parâmetros elétricos do compensador de corrente.

3.3. Malha de Tensão

A malha de tensão é responsável por manter constante a tensão no barramento *CC* do filtro ativo. O controlador de tensão funciona atuando na amplitude da corrente de referência do filtro ativo (ver Fig. 3.1) de modo que, assim, ele determina o fluxo de potência ativa no sistema e conseqüentemente no filtro ativo. Desta forma, pode-se controlar a tensão do barramento *CC* do *FAP* uma vez que ela se mantém constante quando o fluxo de potência ativa no filtro é nulo, ou seja, o filtro apenas processa reativos.

A malha de tensão deve ser bastante lenta pois ela atua na amplitude da corrente senoidal que é drenada da rede e, sendo assim, se esta malha for rápida ela fará com que a corrente senoidal drenada da rede distorça devido ao surgimento picos de corrente de diferentes amplitudes e de distorções na corrente de referência. Um exemplo da corrente obtida por simulação numérica para um *FAP* funcionando com uma malha de tensão relativamente rápida está apresentada na Fig. 3.20.

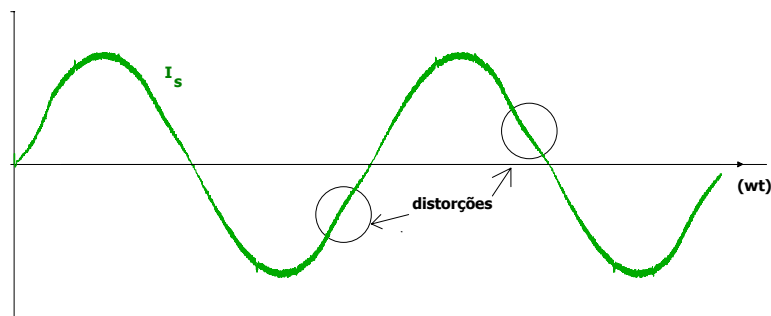


Fig. 3.20 – Corrente drenada da rede para um *FAP* funcionando com uma malha de tensão rápida.

O diagrama de blocos no domínio S da malha de tensão está apresentado na Fig. 3.21.

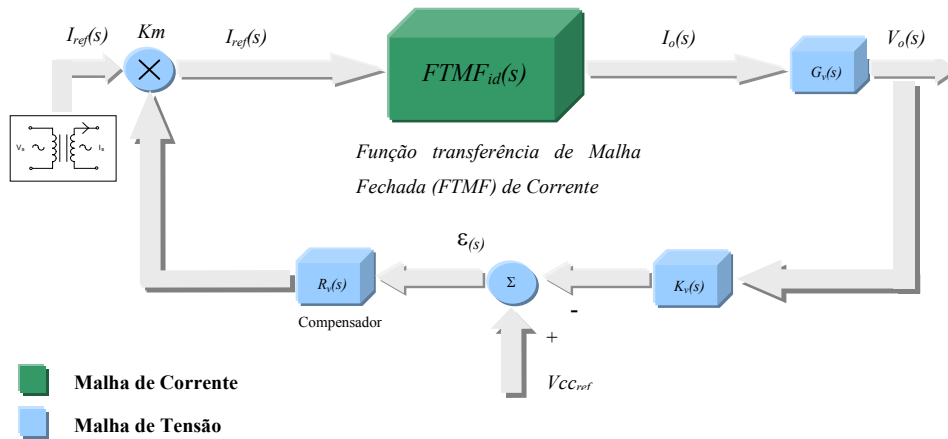


Fig. 3.21 – Diagrama de blocos no domínio S da malha de tensão.

Os blocos no domínio S , apresentados na Fig. 3.21, representam, a saber:

- K_m -> o ganho do multiplicador;
- $FTMF_i(s)$ -> a $FTMF$ da malha de corrente;
- $G_{vi}(s)$ -> a função de transferência da tensão pela corrente do conversor $FB-VSI$;
- K_v -> o ganho do amostrador de tensão;
- $V_{cc_{ref}}$ -> a referência da tensão do barramento CC ;
- $R_v(s)$ -> o compensador de tensão.

A $FTLA$ da malha de tensão inclui a função de transferência da planta, a função de transferência do compensador de tensão, o ganho da $FTMF$ da malha de corrente (que é o ganho do amostrador de corrente K_i) e o ganho do amostrador de tensão.

Pode-se demonstrar que a $FTMF$ da malha de corrente pode ser representada, quando considerada para análise da malha de tensão, pelo ganho do amostrador de corrente, K_i . Esta consideração é válida, pois a malha de corrente é muito mais rápida do que a malha de tensão e, assim sendo, a dinâmica da malha de corrente não influi na dinâmica da malha de tensão. A $FTLA$ da malha de tensão está representada na expressão (3.33).

$$FTLA_v = K_v \cdot G_v(s) \cdot R_v(s) \cdot FTMF_i(s) = \frac{K_v \cdot G_v(s) \cdot R_v(s)}{K_i} \quad (3.33)$$

3.3.1. Modelagem

Nesta seção obtém-se a função de transferência da malha de tensão do filtro ativo.

Sabe-se que a função de transferência da malha de tensão, representada pela expressão (3.34), fornece o comportamento dinâmico da tensão no barramento *CC* em função da corrente do *FAP*.

$$G_{vi}(s) = \frac{\hat{v}_{cc}(s)}{\hat{i}_{Lf}(s)} \Big|_{\hat{v}_m(s)=0/\hat{d}(s)=0} \quad (3.34)$$

Para obter uma expressão para (3.34) pode-se manipular a expressão (3.16) e, assim, obtém-se (3.35), que representa a função de transferência da malha de tensão.

$$G_{vi}(s) = \frac{\hat{v}_{cc}(s)}{\hat{i}_{Lf}(s)} \Big|_{\hat{v}_m(s)=0/\hat{d}(s)=0} = \frac{1-D}{s \cdot C_f} \quad (3.35)$$

3.3.2. Projeto do Compensador

O controlador de tensão utilizado no comando do filtro ativo também é um avanço-atraso de fase (ver Fig. 3.22), sendo que a forma de determinar o pólo, o zero e o ganho estático do compensador é similar ao do projeto do controlador de corrente.

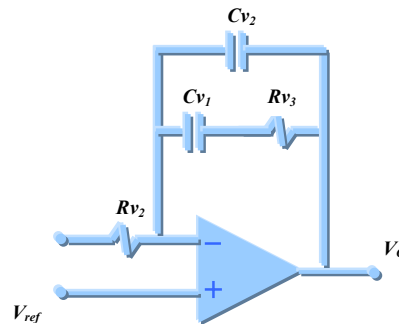


Fig. 3.22 – Compensador avanço-atraso da malha de tensão.

A frequência de cruzamento é posicionada em torno de quatro Hertz, uma vez que o controlador de tensão deve ser suficientemente lento para não distorcer a forma de onda da corrente de referência.

$$F_{cruzamento} \Rightarrow 4 \text{ Hz.}$$

O zero é posicionado uma década abaixo da frequência de cruzamento, seguindo os mesmos critérios do projeto do controlador de corrente.

$$F_{zero} \Rightarrow 0,4 \text{ Hz.}$$

O pólo é posicionado em torno de dez vezes a frequência de cruzamento e assim se garante uma resposta em frequência bastante lenta.

$$F_{polo} \Rightarrow 40 \text{ Hz.}$$

O ganho K_{Rv} é obtido de forma similar ao ganho do compensador de corrente, assim:

$$FTLA_{semK_{Rv}} = K_v \cdot |G_v(f_{cruzamento})| \cdot |R_{v,semK_{Rv}}(f_{cruzamento})| \quad (3.36)$$

$$K_{Rv} = \frac{1}{FTLA_{semK_{Rv}}} \quad (3.37)$$

$$K_{Rv} \Rightarrow 1800.$$

Na Tabela 3.3 pode-se observar os parâmetros obtidos para o controlador de tensão.

Parâmetro	Valor
Frequência de cruzamento	4 Hz
Frequência do pólo	40 Hz
Frequência do zero	0.4 Hz
Ganho estático Ki	1800

Tabela 3.3 – Parâmetros obtidos para o controlador de tensão.

A margem de fase obtida para a *FLTA* foi de $MF = 78,6^\circ$, o que está dentro da faixa esperada para a *MF*. Na Fig. 3.23 observa-se o módulo e a fase do diagrama de Bode da *FLTA* com o ganho estático K_v .

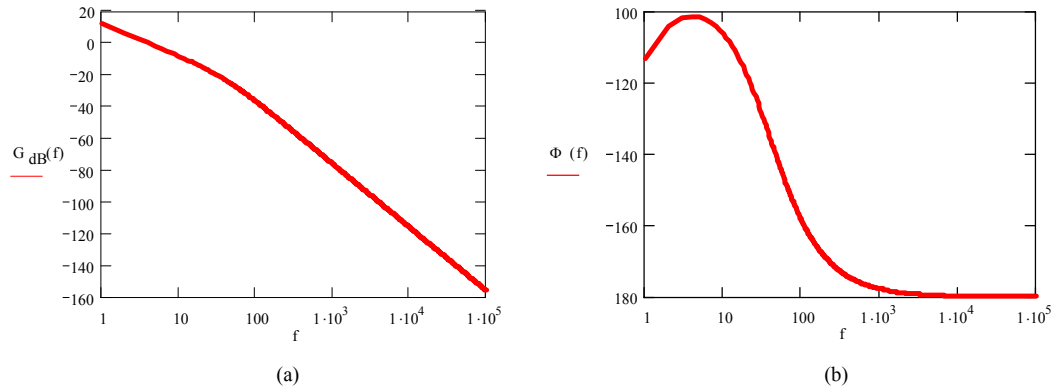


Fig. 3.23 - Módulo e fase do diagrama de bode da *FLTA* da malha de tensão.

Por fim, é necessário determinar os parâmetros elétricos Rv_2 , Rv_3 , Cv_1 e Cv_2 do compensador apresentado na Fig. 3.16. Primeiramente, deve-se determinar um valor arbitrário para Rv_2 , por exemplo:

$Rv_2 \Rightarrow 33 \text{ k}\Omega$.

E, então, com o uso das expressões (3.38), (3.39) e (3.40) obtém-se os demais parâmetros do controlador:

$$Cv_2 = \frac{1}{Rv_2 \cdot K_{Rv}} \tag{3.38}$$

$$Cv_1 = Cv_2 \left(\frac{wp}{wz} - 1 \right) \tag{3.39}$$

$$Rv_3 = \frac{1}{wz \cdot Cv_1} \tag{3.40}$$

Conclui-se, assim, o projeto do controlador de tensão do filtro ativo. Na Tabela 3.4 estão apresentados os parâmetros elétricos obtidos para o compensador de tensão.

Parâmetro	Valor
$Rv_{2(\text{comercial})}$	33 k Ω
$Rv_{3(\text{comercial})}$	220 k Ω
$Cv_{1(\text{comercial})}$	2 μ F
$Cv_{2(\text{comercial})}$	22 nF

Tabela 3.4 - Parâmetros elétricos do compensador de tensão.

3.4. Resultados de Simulação

A estrutura proposta do *FAP* foi simulada numericamente para que a análise teórica realizada pudesse ser consolidada; todos os resultados obtidos serão apresentados nesta seção.

Foram realizadas diversas simulações para que fosse possível a análise de diferentes situações, a saber:

- Três simulações do *FAP* operando com diferentes cargas. Estas simulações têm como objetivo observar o comportamento da corrente da rede em regime permanente com o *FAP* operando em diferentes situações de carga: um retificador monofásico de 1 *kVAR*; um retificador com carga *R-L*, e uma carga linear de caráter indutivo *R-L*. Nestas simulações a eficiência da malha de corrente deve ser verificada;
- Uma simulação em que um degrau de 50% foi aplicado na carga de um retificador com filtro capacitivo, para que se possa realizar a análise dinâmica do *FAP* perante perturbações na carga. Nesta simulação a eficiência da malha de tensão deve ser verificada;
- Uma simulação com condições iniciais nulas nos elementos passivos da estrutura para observar a corrente de partida no *FAP* e na carga que, no caso, foi um retificador com filtro capacitivo. Nesta simulação a eficiência do circuito de partida deve ser comprovada;
- E, finalmente, uma simulação do *FAP* funcionando em regime permanente para que se possam obter as características internas do *FAP*, como os esforços de tensão e de corrente nos seus elementos ativos e passivos.

3.4.1. Análise em Regime Permanente: o *FAP* Funcionando com Diferentes Situações de Carga

O esquema completo do circuito elétrico simulado pode ser visto na Fig. 3.24 (com exceção da carga, que difere em cada simulação), sendo que uma listagem do arquivo de simulação é apresentada no Anexo II.

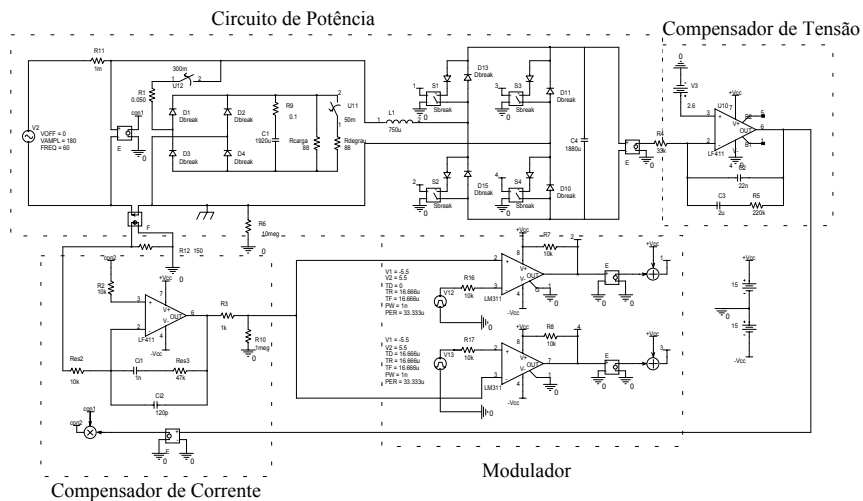


Fig. 3.24 – Esquema do circuito de simulação numérica.

No que diz respeito aos controladores, a análise em regime permanente do *FAP* em conjunto com a carga permite que se observe o comportamento dinâmico da malha de corrente e se a mesma está funcionando de modo adequado, corrigindo as harmônicas de corrente e o fator de potência da estrutura. As três situações de carga que foram propostas para que o *FAP* atue corrigindo a corrente drenada da rede, estão apresentadas na Fig. 3.25.

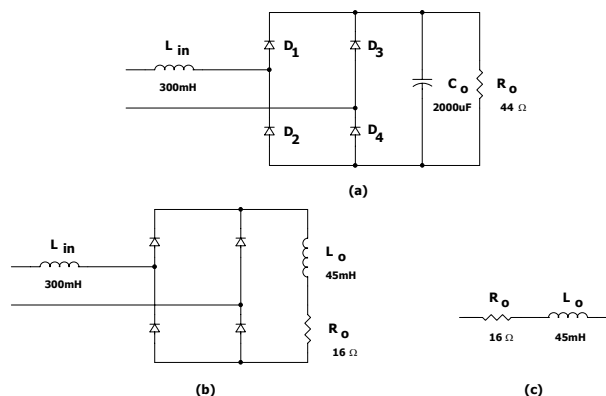


Fig. 3.25 – (a) Retificador com filtro capacitivo. (b) Retificador com carga *R-L*. (c) Carga *R-L*.

Serão apresentadas, para cada situação de carga, as seguintes formas de onda: da tensão vs. corrente drenada da rede; da tensão vs. corrente drenada pela carga; e da tensão vs. corrente que circula pelo *FAP*. Informações como a taxa de distorção harmônica total (*THD*) da corrente drenada pela rede e o fator de potência da rede também serão apresentadas.

A. Retificador de Onda Completa com Filtro Capacitivo

O *FAP* atuou de forma adequada na atenuação das harmônicas de corrente para o retificador com filtro capacitivo, o que se torna bastante evidente observando as formas de onda da tensão da rede e da corrente drenada da mesma, apresentadas na Fig. 3.26-a. A taxa de distorção harmônica e o fator de potência também tiveram melhoras muito consideráveis.

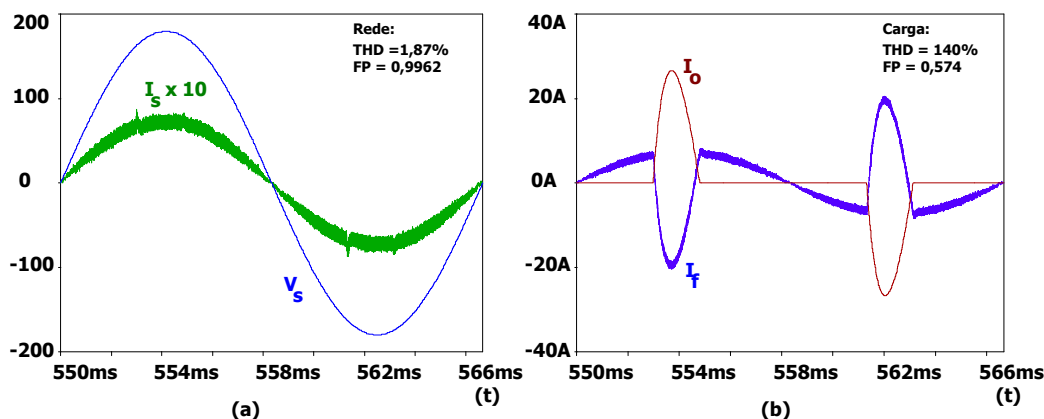


Fig. 3.26 – (a) Tensão e corrente da rede. (b) Corrente de carga e corrente no *FAP* (I_f).

A malha de corrente atuou rapidamente compensando a súbita derivada de corrente que é demandada pela carga quando o capacitor de saída do retificador C_o é carregado (ver Fig. 3.26-b), fazendo com que o *FAP* injete no sistema a corrente que é necessária para manter a corrente total drenada da rede isenta de distorções.

B. Retificador de Onda Completa com Carga *R-L*

A corrente drenada da rede pelo retificador com carga *R-L* apresenta uma súbita mudança de sentido, como uma espécie de degrau de corrente, conforme pode ser visto na Fig. 3.27-b.

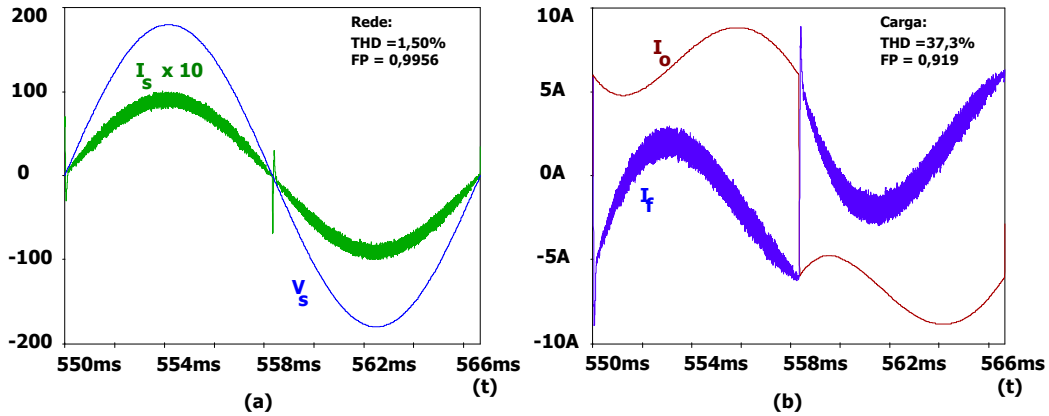


Fig. 3.27 – (a) Tensão e corrente da rede (I_S). (b) Corrente de carga (I_o) e corrente no FAP (I_f).

O FAP reagiu muito bem ao degrau que conseqüentemente surge na entrada do compensador de corrente (que é a corrente que ele deve efetivamente processar), sendo que, embora a malha de corrente seja rápida, não houve um *overshoot* considerável. Uma pequena distorção na corrente que é drenada da rede pode ser observada na passagem por zero da tensão da rede, que é justamente o instante em que a corrente de carga muda subitamente de sentido.

C. Carga R-L

O FAP é capaz de compensar reativos de deslocamento, o que é facilmente comprovado quando se observa o fator de potência do FAP conectado a uma carga linear de caráter indutivo (ver Fig. 3.28).

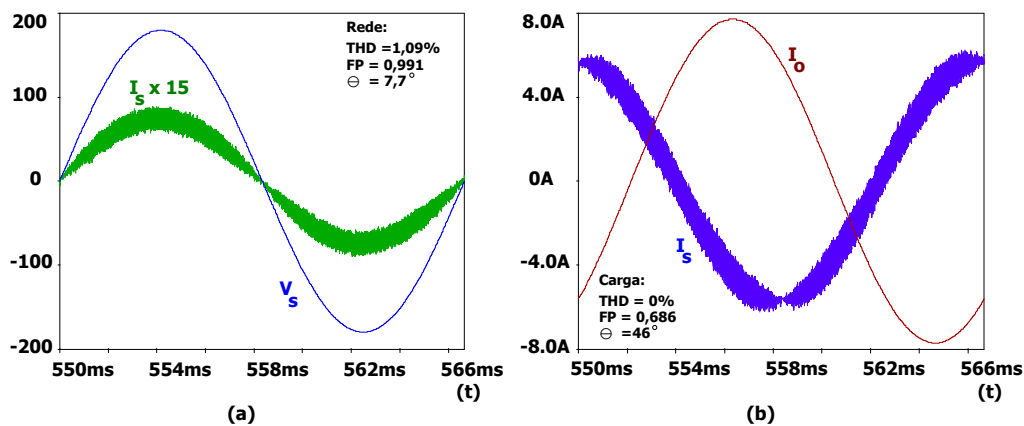


Fig. 3.28 – (a) Tensão e corrente da rede (I_S). (b) Corrente de carga (I_o) e corrente no FAP (I_f).

O *FAP* corrige o reativo de deslocamento indutivo impondo em seus terminais uma corrente adiantada em 90° da tensão da rede, compensando assim a parcela de corrente de caráter puramente indutivo, que é atrasada em 90° da tensão da rede.

3.4.2. Análise das Características Dinâmicas: Degrau de Carga de 50%

As características dinâmicas da malha de tensão do *FAP* podem ser observadas quando ocorre uma perturbação significativa na carga processada pelo mesmo. Assim sendo, um degraú de carga de 50% foi imposto em um retificador com filtro capacitivo a fim de se observar os fenômenos transitórios no *FAP*. Esta variação de carga foi feita na carga do retificador, abrindo-se um relé ligado em série com meia carga ao tempo de 50ms. Como resultado, deu-se que a carga varia de 100% (nominal) para 50%, o que caracteriza um degraú de carga de 50%.

Na Fig. 3.29 pode-se observar a corrente drenada da rede pelo retificador e a tensão no barramento *CC* do *FAP*, antes e depois da perturbação de carga.

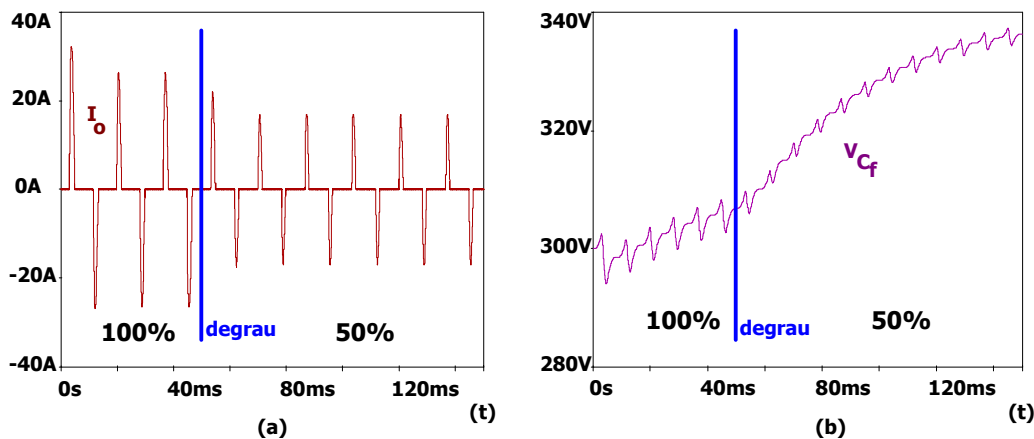


Fig. 3.29 – (a) Corrente drenada da rede pela carga. (b) Tensão no capacitor C_f (barramento *CC*) do *FAP*.

Nota-se, observando a Fig. 3.29-*a*, que o valor de pico da corrente drenada da rede tem uma diminuição significativa após a ocorrência do degraú de carga.

Conforme o esperado, a tensão no capacitor C_f tende a subir após o degraú de carga (ver Fig. 3.29-*b*), pois, conforme explicado anteriormente, o controlador de tensão é muito lento e leva alguns períodos de rede para atuar de forma efetiva na amplitude da corrente drenada da rede, fazendo com que a potência ativa excedente seja absorvida pelo capacitor C_f , aumentando a sua tensão.

A tensão no capacitor chegou a um pico de 330 volts, sendo que uma margem de segurança de pelo menos 20% deve ser dada à máxima tensão suportada pelo mesmo. Assim sendo, o uso de capacitores de 400 volts ou mais se faz necessário. O uso de algum circuito de proteção de sobre-tensão no barramento CC é interessante para proteger não só o capacitor, mas também os interruptores do *FAP*.

Na Fig. 3.30 pode-se observar a forma de onda da tensão de saída do controlador de tensão e a corrente drenada da rede elétrica.

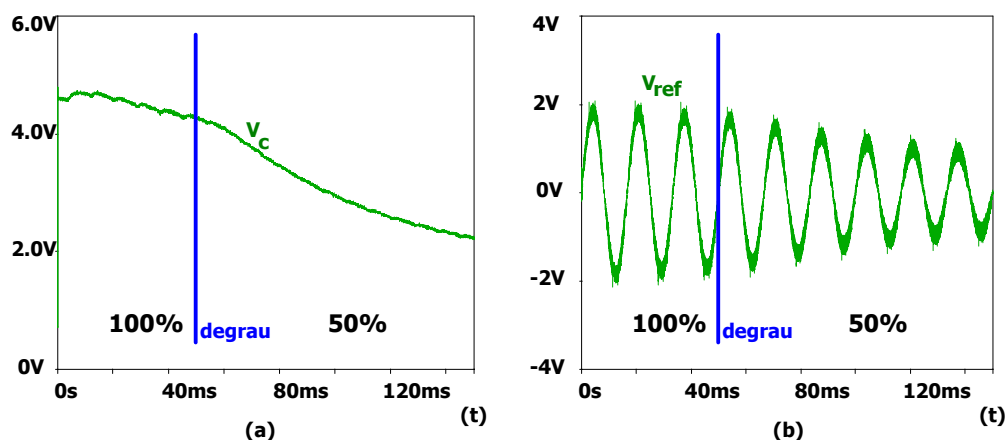


Fig. 3.30 - (a) Tensão na saída do controlador de corrente. (b) Corrente drenada da rede.

Nota-se, observando a tensão v_c (ver Fig. 3.30-*a*), que a atuação do controlador de tensão é adequada, buscando diminuir o valor de pico da corrente de referência do controlador de corrente (pois a saída do mesmo é multiplicada por uma referência de corrente amostrada da rede e que é de amplitude fixa), conforme visto na Fig. 3.30-*b*, o que faz com que a rede elétrica forneça menos potência ativa para o sistema e, assim, o *FAP* passa a fornecer parte da potência ativa para a carga, fazendo com que ocorra a diminuição da tensão no capacitor C_f , até que a mesma se acomode nos 300 volts.

3.4.3. Análise do Procedimento de Partida do Conversor

Foi realizada uma simulação para analisar o comportamento da corrente de partida (corrente de *in-rush*) do *FAP* e, assim, verificar se o procedimento de proteção para esta corrente através do uso de resistores e relés foi adequado. O circuito utilizado na simulação está apresentado na Fig. 3.31 e o arquivo de dados consta em anexo.

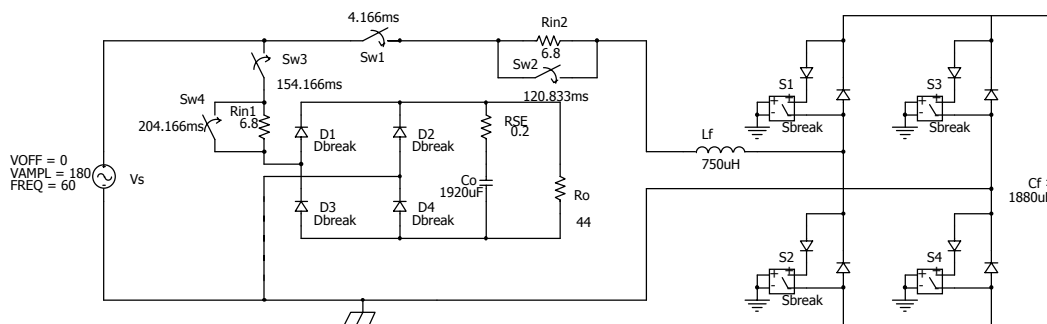


Fig. 3.31 – Circuito utilizado na simulação numérica do circuito de partida.

A. Partida do FAP

As formas de onda da corrente de partida e da tensão no capacitor C_f do FAP podem ser vistas na Fig. 3.32.

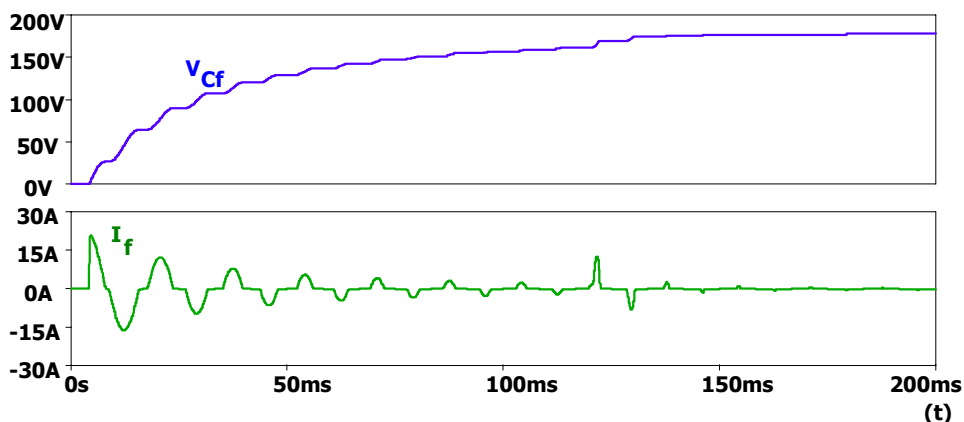


Fig. 3.32 – Corrente de partida do FAP.

No projeto do circuito de partida tomou-se cuidado para que a corrente de partida do FAP não ultrapassasse os 25 ampères de pico, que é a máxima corrente projetada para o indutor L_f . Com o uso de um resistor de $6,8\Omega$ a corrente ficou limitada em 21 ampères, mesmo com o FAP partindo no momento de pico da tensão da rede elétrica e, assim, o funcionamento do circuito de partida para o FAP se mostrou bastante adequado.

B. Partida da Carga

Para a carga foi projetado um circuito de proteção da corrente de partida com uma resistência de $3,3\Omega$. As formas de onda da corrente de partida e da tensão no capacitor C_o do retificador podem ser vistas na Fig. 3.33.

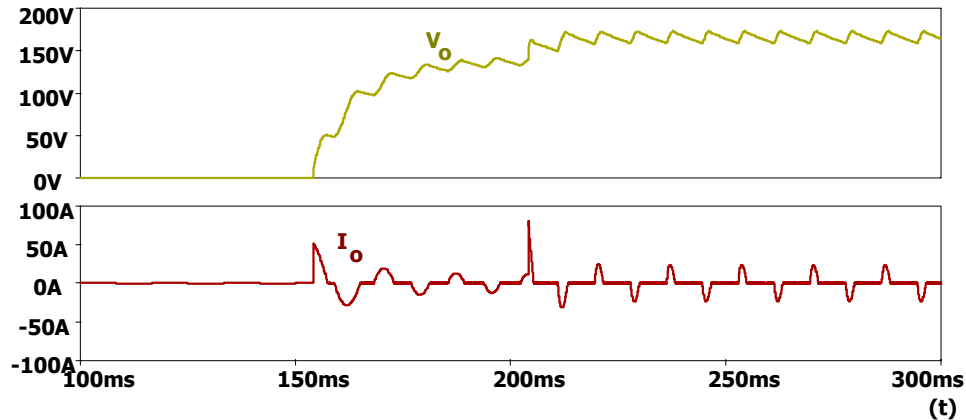


Fig. 3.33 – Corrente de partida da carga.

Observando a Fig. 3.33, verifica-se que a corrente ficou dentro de um limite de 80 ampères e, assim sendo, a proteção da corrente de partida para o retificador também se demonstrou eficiente.

Se a carga não apresenta problemas de corrente na partida, ou se os diodos da ponte retificadora projetada suportarem uma corrente de surto suficientemente alta, não é necessário projetar um circuito de partida para a carga.

3.4.4. Análise dos Esforços no FAP

Esta análise permite verificar os valores médios e os valores eficazes das correntes nos elementos ativos (interruptores e diodos) e nos elementos passivos (indutor e capacitor) do FAP, o que possibilita o dimensionamento e o cálculo térmico dos mesmos. A corrente total drenada da rede, a corrente da carga e a corrente no FAP podem ser vistas na Fig. 3.34.

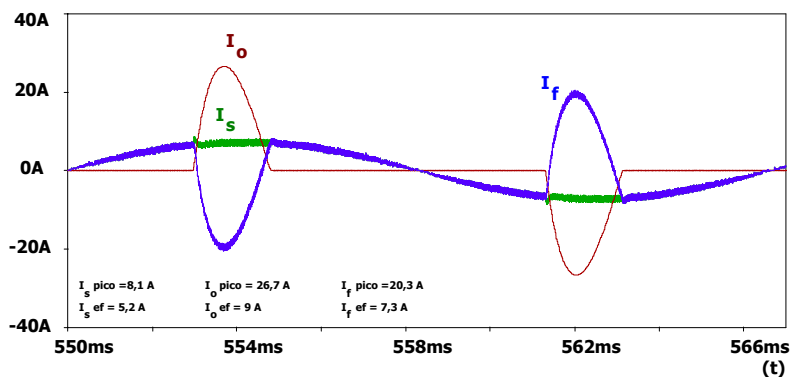


Fig. 3.34 - Corrente total drenada da rede I_s , corrente da carga I_o e a corrente no FAP I_f .

Como a corrente eficaz drenada da rede foi de 5,2 ampères pode-se dizer que a potência ativa fornecida pela rede para o sistema foi de 660 watts. A corrente eficaz processada pelo *FAP* foi de 7,3 ampères e, assim sendo, a potência aparente processada pelo mesmo foi da ordem de 940 volt-ampère, o que é um valor próximo ao qual o *FAP* foi projetado.

A corrente de pico processada pelo *FAP* ficou em 20 ampères e, assim sendo, ela não é superior a máxima corrente projetada para o indutor L_f , que foi de 25 ampères. É importante observar este aspecto pois a corrente processada pelo *FAP* passa pelo indutor L_f e caso ela ultrapasse os valores de projeto do mesmo ele pode saturar, o que é muito indesejável, pois nesta situação um indutor tende a se comportar como um curto-circuito.

As formas de onda da tensão no capacitor C_f do filtro e da corrente drenada da rede, mostrando o detalhe da ondulação, podem ser vistas na Fig. 3.35.

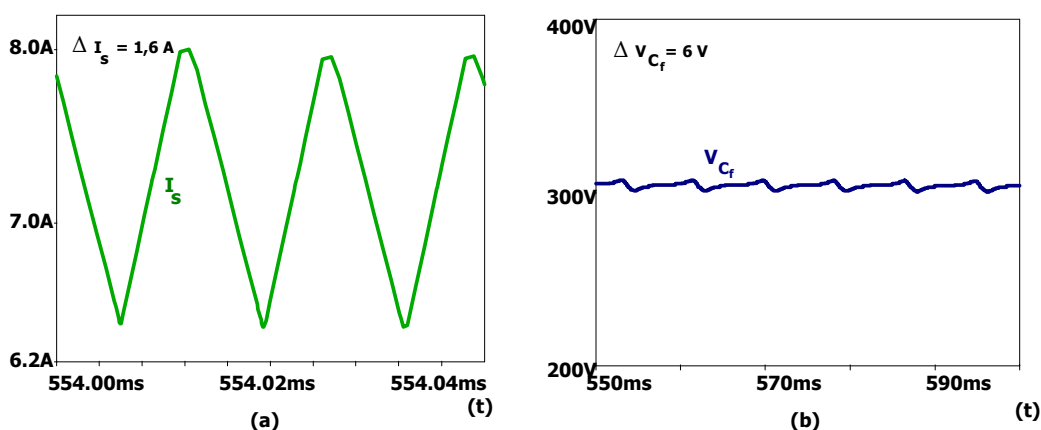


Fig. 3.35 – (a) Ondulação da corrente drenada da rede. (b) Ondulação da tensão do barramento *CC*.

A máxima ondulação de corrente ΔI_s ficou em 1,6 ampères o que resulta numa ondulação de corrente relativa de 18,4%, o que está dentro da especificação de projeto para a ondulação de corrente.

A tensão no capacitor C_f ficou em 300 volts, o que comprova o funcionamento da malha de tensão em regime permanente. A ondulação da tensão no capacitor C_f foi muito pequena, de apenas 6 volts, o que já era esperado pois o banco capacitivo de 1880uF utilizado é maior do que o capacitor teoricamente calculado para uma ondulação de tensão de 10% (em torno de duas vezes maior).

Analisar-se-á, agora, a corrente nos interruptores e nos diodos que compõem o FAP. As formas de onda da corrente em um dos interruptores (S_1) e em um dos diodos (D_1) do FAP podem ser vistas na Fig. 3.36.

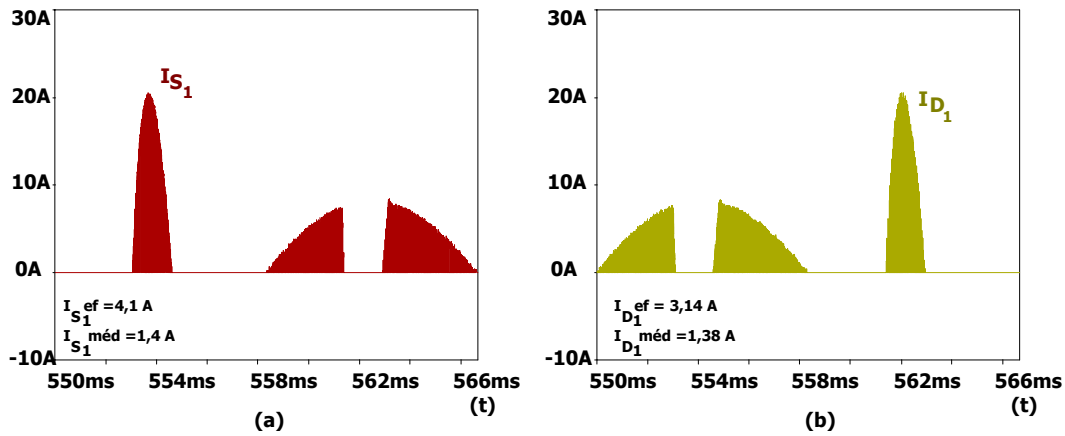


Fig. 3.36 – (a) Corrente no interruptor S_1 . (b) Corrente no diodo D_1 .

É fácil perceber que o interruptor e o diodo conduzem de forma complementar, e as suas correntes médias e eficazes estão apresentadas na Fig. 3.36. Falta ainda analisar a corrente no capacitor C_f para que seja possível completar a análise dos esforços no FAP. Esta corrente pode ser observada na Fig. 3.37-a. Na Tabela 3.5 pode-se observar as correntes médias e eficazes relevantes para o dimensionamento e o cálculo térmico dos componentes do FAP.

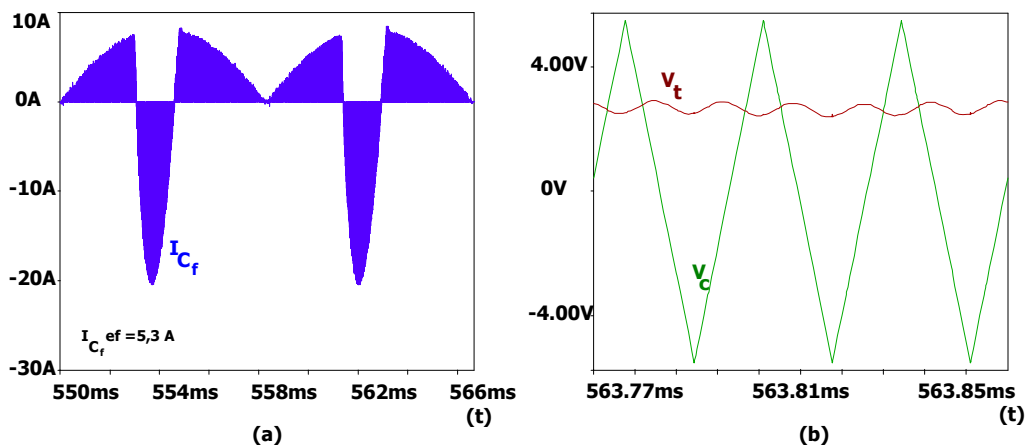


Fig. 3.37 – (a) Corrente no capacitor C_f . (b) Ação de controle.

Corrente	Valor
Eficaz no indutor L_f	7,3 A
Pico no indutor L_f	20,3 A
Média em um interruptor	1,4 A
Eficaz em um interruptor	4,1 A
Média em um diodo	1,4 A
Eficaz em um diodo	3,1 A
Eficaz no capacitor C_f	5,3 A

Tabela 3.5 – Correntes médias e eficazes nos elementos do filtro ativo.

Na Fig. 3.37-*b* pode-se observar a forma de onda da tensão da triangular do circuito de geração dos pulsos *PWM* e a tensão de saída do controlador de corrente. É importante perceber que a derivada do sinal de saída do controlador de corrente é menor que a derivada da forma de onda da triangular responsável pela geração dos pulsos *PWM*. Este detalhe é de extrema importância, pois caso a derivada do sinal de saída do controlador de corrente se torne excessiva pode haver a geração de múltiplos disparos de um interruptor dentro de um mesmo período de chaveamento, fenômeno conhecido por “disparos espúrios dos interruptores” que podem levar a perdas excessivas nos mesmos e levá-los a falha por superaquecimento.

A forma de onda da tensão de saída do controlador de tensão pode ser vista na Fig. 3.38-*a*.

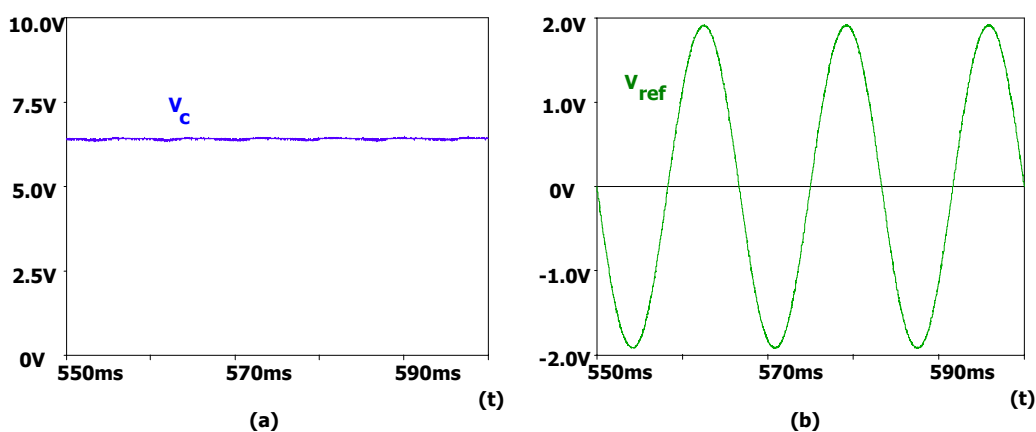


Fig. 3.38 – (a) Tensão na saída do controlador de tensão. (b) Tensão de referência da corrente.

O controlador de tensão deve apresentar como principal característica ser extremamente lento, pois caso contrário o mesmo pode distorcer a forma de onda da referência do controlador de corrente, o que conseqüentemente causaria a distorção da corrente drenada da rede. Isto ocorre pois o sinal de saída do controlador de tensão é multiplicado por uma tensão de referência amostrada da rede, gerando assim a referência para o controlador de corrente. Na Fig. 3.38-*a* observa-se que o sinal de saída do controlador de tensão praticamente não apresenta ondulação em regime permanente.

A forma de onda da referência do controlador de corrente pode ser vista na Fig. 3.38-*b*.

Com as análises realizadas na Seção 3.4 conclui-se a etapa de simulação numérica do conversor.

3.5. Conclusão

Neste capítulo apresentou-se a modelagem e o projeto dos controladores analógicos do conversor.

Na Seção 3.2.1 foram apresentados dois modelos de pequenos sinais que representam a resposta da corrente no indutor L_f em função da razão cíclica. Concluiu-se que o modelo simplificado pode ser utilizado no projeto dos controladores.

Na Seção 3.2.2 foi apresentada uma metodologia para o cálculo do compensador analógico de corrente.

Na Seção 3.3.1 obteve-se um modelo de pequenos sinais para a variação da tensão no barramento CC do FAP em função da corrente processada pelo mesmo.

Na Seção 3.3.2 foi apresentada uma metodologia para o cálculo do compensador analógico de tensão.

Na Seção 3.4 foram apresentados os resultados obtidos por simulação, sendo que estes validaram a eficiência da metodologia de projeto, visto que os resultados de simulação foram muito satisfatórios.

CAPÍTULO IV - Resultados Experimentais do Protótipo de 1 *kVA*

Neste capítulo apresenta-se o projeto dos circuitos auxiliares relevantes à construção do protótipo de 1 *kVA*. Em seguida, apresentar-se-ão os resultados experimentais do protótipo de 1 *kVA* funcionando como *FAP* para diferentes tipos de cargas.

4.1. Circuitos Auxiliares

A construção de um protótipo de 1 *kVA* foi realizada para comprovar a metodologia utilizada no projeto do *FAP*. Apresentam-se, nesta seção, os projetos de alguns circuitos auxiliares necessários para o funcionamento do *FAP*, como por exemplo:

- Um multiplicador capaz de efetuar a operação de multiplicação entre a amostra da tensão da rede (que é a referência de corrente) com a saída do controlador de tensão;
- Circuito de proteção contra sobre-tensão do barramento *CC*;
- Um circuito temporizador para acionar o relé do circuito de partida;
- O circuito temporizador para liberar os pulsos de comando do *FAP*;
- Um circuito de partida progressiva para a malha de tensão a partir do instante de liberação dos pulsos de comando;
- Um *buffer* de saída para o *driver* de comando dos interruptores;
- Circuito capaz de gerar a modulação *PWM* a três níveis proposta.

4.1.1. Multiplicador

O *CI* multiplicador *1595L* é capaz de operar nos quatro quadrantes e portanto será utilizado para realizar a multiplicação da amostra da tensão da rede pela saída do controlador de tensão. A Tabela 4.1 apresenta as especificações do projeto do multiplicador e as limitações de projeto do *CI*.

Especificação	Valor
Tensão de alimentação do comando	15 V
Tensão de saturação dos <i>AMPOP's</i>	14,2 V
Ganho do sensor de corrente	0,15
Ganho do sensor de tensão <i>CC</i>	0,009
Ganho do amostrador de tensão	0,017
Corrente máxima drenada da rede	15 A
Tensão de pico da rede	180 V
Tensão em regime do ctrl. de tensão	3 V
Ganho da saída do controlador de tensão	0,5
Limitação de Projeto do <i>CI (datasheet)</i>	Valor
Máxima tensão no pino 9 (V_x)	3,3 V
Máxima tensão no pino 4 (V_y)	7,1 V
Corrente na entrada dos pinos 3 e 13	1 mA

 Tabela 4.1 – Especificações e limitações de projeto do *CI 1595L*.

O esquema elétrico sugerido em [21] para o multiplicador está apresentado na Fig.

4.1.

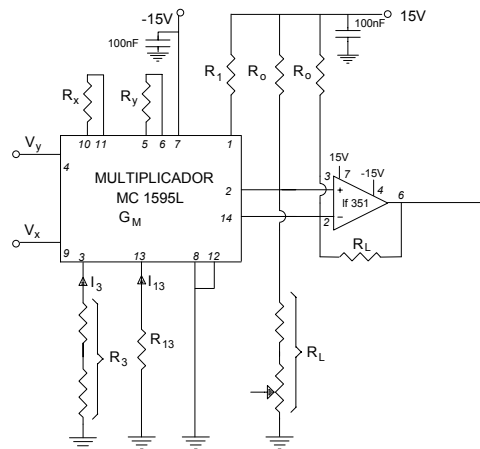


Fig. 4.1 – Esquema elétrico do multiplicador.

A. Cálculo dos resistores R_3 e R_{13}

A corrente de entrada nos pinos R_3 e R_{13} é dada por:

$$I_{R_3} = I_{R_{13}} = 1mA \quad (4.1)$$

As resistências R_3 e R_{13} podem ser calculadas pela expressão (4.2).

$$R_3 = R_{13} = \frac{|-V_{cc}| - 0,7V}{I_{R_{13}}} - 500\Omega \quad (4.2)$$

$$R_3 \text{ (comercial)} = R_{13} \text{ (comercial)} \Rightarrow 15 \text{ k}\Omega.$$

B. Cálculo dos Resistores R_x e R_y

Para garantir que os transistores de entrada do *CI* estarão sempre ativos deve-se seguir a relação:

$$\begin{aligned} \frac{V_x}{R_x} &< I_{13} \\ \frac{V_y}{R_y} &< I_3 \end{aligned} \quad (4.3)$$

Ainda segundo [21] faz-se:

$$\begin{aligned} \frac{V_x}{R_x} &< \frac{I_{13}}{1,5} \\ \frac{V_y}{R_y} &< \frac{I_3}{1,5} \end{aligned} \quad (4.4)$$

$$R_x \text{ (comercial)} \Rightarrow 5,6 \text{ k}\Omega.$$

$$R_y \text{ (comercial)} \Rightarrow 12 \text{ k}\Omega.$$

C. Cálculo do Ganho do Multiplicador

Um esquema com os ganhos do *FAP* está apresentado na Fig. 4.2.

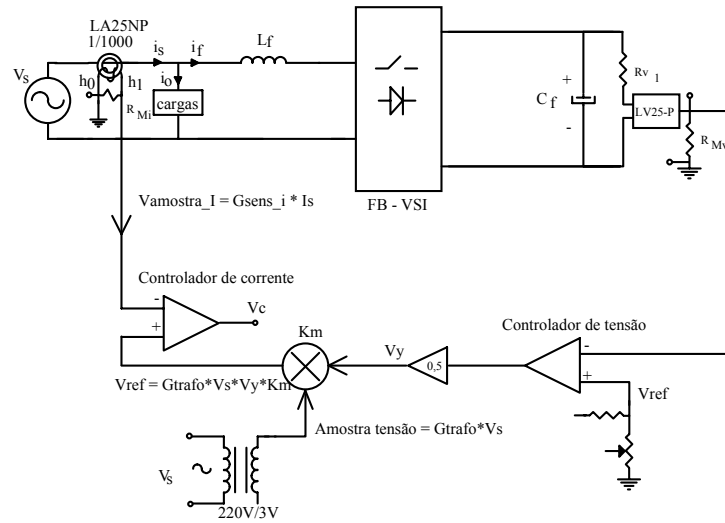


Fig. 4.2 - Esquema de ganhos do FAP.

Segundo o esquema de controle do FAP apresentado na Fig. 4.2, tem-se que:

$$V_{ref} = V_{amostra_i} \tag{4.5}$$

E assim obtém-se o ganho Km com o uso da expressão (4.6) :

$$Km = \frac{I_{s_{pico}} \cdot G_i}{G_{V_{ac}} \cdot V_{s_{pico}} \cdot V_{y_{regime}}} \tag{4.6}$$

$Km \Rightarrow 0,3$.

D. Cálculo do Resistor R_L

O resistor R_L determina o ganho do multiplicador e assim sendo ele pode ser colocado em série com um potenciômetro para o ajuste fino do ganho. O valor de R_L pode ser obtido como:

$$R_L = \frac{Km \cdot R_x \cdot R_y \cdot I_3}{2} \tag{4.7}$$

$R_L \Rightarrow$ Potenciômetro 10 k Ω + Resistor 5,6 k Ω .

E. Cálculo do resistor R_I .

A tensão no pino 1 do *CI* deve ser em torno de 2 volts acima da máxima tensão aplicada nas entradas V_x e V_y , assim:

$$V_{\text{pino}_1} = V_y + 2V \quad (4.8)$$

e

$$R_I = \frac{V_{cc} - V_{\text{pino}_1}}{2.I_3} \quad (4.9)$$

$$R_I \text{ (comercial)} \Rightarrow 3,3 \text{ k}\Omega.$$

F. Cálculo do Resistor R_O

As tensões no pino 2 e no pino 14 devem ser um meio termo entre a tensão no pino 1 e a tensão de alimentação, desta forma escreve-se:

$$V_{\text{pino}_2} = \frac{V_{\text{pino}_1} + V_{cc}}{2} \quad (4.10)$$

e

$$R_O = \frac{V_{cc} - V_{\text{pino}_2}}{V_{\text{pino}_2} / R_L - I_{13}} \quad (4.11)$$

$$R_O \text{ (comercial)} \Rightarrow 1,2 \text{ k}\Omega.$$

4.1.2. Circuitos Auxiliares de Partida do *FAP*

O circuito completo de partida do *FAP* é composto por dois estágios. O projeto de potência do primeiro estágio foi projetado na Seção 2.2.11 do Capítulo II e o projeto completo do circuito de partida apresenta-se nesta seção.

O primeiro estágio é responsável pela limitação da corrente de partida, que ocorre quando a chave geral do *FAP* é ligada, e este estágio termina quando o relé de partida é acionado para curto-circuitar o resistor de partida. Para acionar o relé é necessário o projeto de um temporizador.

O segundo estágio é responsável pela contenção da corrente de carga do barramento CC da tensão de pico da rede (180 volts) até a tensão nominal do barramento, que é de 300 volts.

Uma vez que o relé foi acionado, iniciando o segundo estágio, é necessário aguardar um tempo para que a tensão do capacitor de saída C_f atinja a tensão de pico da rede para somente então liberar os pulsos de comando do inversor $FB-VSI$. Para isto mais um circuito temporizador é necessário.

Uma vez que os pulsos de comando forem liberados é necessária alguma estratégia de contenção do valor da corrente drenada da rede, pois a malha de tensão tende a saturar em seu valor máximo, fazendo com que a corrente drenada da rede seja elevada.

A melhor forma de solucionar este problema é fazendo com que a referência da malha de tensão suba progressivamente, de tal sorte que, quando os pulsos de comando forem liberados, a referência da malha de tensão esteja impondo uma tensão em torno do valor da tensão de pico da rede. Isto pode ser facilmente obtido utilizando-se um circuito de partida progressiva do tipo *softstart* na referência da malha de tensão.

A. Projeto dos Temporizadores

São projetados dois integradores para atrasar os sinais que comandam a entrada em funcionamento do filtro ativo:

- O primeiro integrador aguarda 700ms para liberar o comando que aciona o relé de partida, assim a constante de tempo τ deste integrador é de 700ms;
- O segundo integrador aguarda 1200ms para habilitar os pulsos de comando para os interruptores do $FB-VSI$, assim a constante de tempo τ do segundo integrador é de 1200ms;

Os valores temporizados pelos integradores estão muito acima do tempo necessário para cada estágio de partida, o que garante um adequado funcionamento do circuito de partida. O esquema elétrico do circuito temporizador pode ser visto na Fig. 4.3.

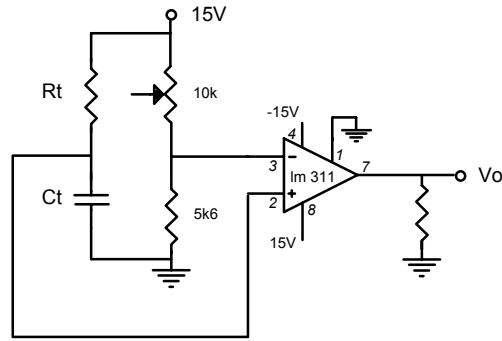


Fig. 4.3 – Circuito temporizador.

Sabendo-se o valor da constante de tempo de cada integrador, estima-se o valor do resistor R_t para então calcular o valor do capacitor C_t através do uso da expressão (4.12).

$$C_t = \frac{\tau}{5 \cdot R_t} \tag{4.12}$$

Usando a expressão (4.12) e estimando para o primeiro integrador um resistor $R_{t1} = 10 \text{ k}\Omega$ obtém-se um capacitor $C_{t1} = 10 \text{ nF}$. Da mesma forma, estimando para o segundo integrador um resistor $R_{t2} = 22 \text{ k}\Omega$ obtém-se um capacitor $C_{t2} = 10 \text{ nF}$.

B. Circuito de Partida Progressiva

O esquema elétrico do circuito de partida progressiva colocado na referência da malha de tensão está apresentado na Fig. 4.4.

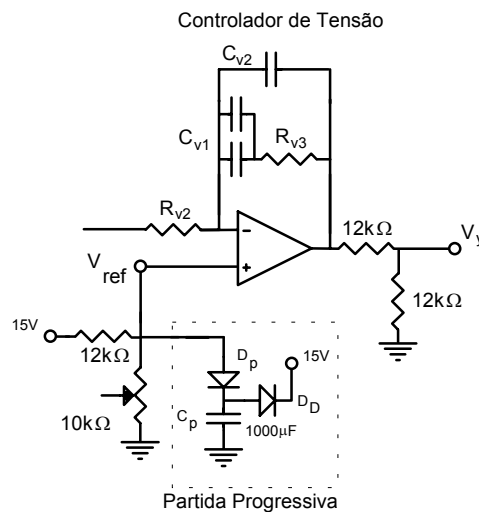


Fig. 4.4 – Circuito de partida progressiva.

O circuito de partida progressiva é acoplado diretamente na referência de tensão, de sorte que, a tensão de referência, na partida do *FAP*, é controlada pela constante de tempo formada pelo capacitor de partida C_P e pelo divisor resistivo que determina a referência de tensão V_{ref} . Quando o capacitor se carrega completamente o circuito de partida não atua mais na referência de tensão devido ao bloqueio do diodo de partida D_P .

O valor do capacitor de partida C_P foi obtido com o auxílio de simulação numérica, a saber, $C_P = 1000\mu F$. O diodo de partida D_P pode ser um diodo de sinal. O diodo D_D é o diodo responsável pela rápida descarga do capacitor de partida em caso de falha da rede elétrica, e o mesmo deve possuir uma capacidade de corrente maior. Devido a estas características o diodo D_D deve ser do tipo *IN4007* ou similar.

4.1.3. Circuito de Proteção de Sobre-Tensão

O circuito de proteção de sobre-tensão é um simples comparador com histerese, que compara a tensão amostrada do barramento *CC* com uma referência para a máxima tensão desejada. Se a tensão ultrapassar um determinado patamar a saída do comparador satura e inibe o envio dos pulsos de comando para o *driver* de comando dos interruptores até que a tensão volte a cair.

O circuito comparador com histerese pode ser visto na Fig. 4.5.

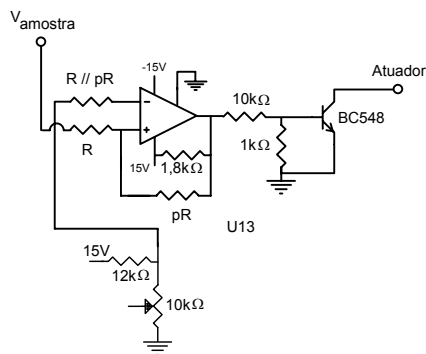


Fig. 4.5 – Circuito de proteção de sobre-tensão do capacitor C_f .

A proteção de sobre-tensão deve atuar quando a tensão no barramento *CC* atingir 350 volts. A histerese desejada é de 100 volts (250 - 350 volts). Considerando-se a tensão que é amostrada, a histerese representa 0,9 volts na tensão amostrada ($V_{histerese}$).

Os parâmetros que devem ser calculados são os valores dos resistores R , pR e $R // pR$. O fator de multiplicação p pode ser obtido pela expressão (4.13).

$$p = \frac{V_{sat}}{V_{histerese}/2} \quad (4.13)$$

O resistor R pode então ser arbitrariamente escolhido como sendo:

$$R \Rightarrow 1,8 \text{ k}\Omega.$$

Assim, com o auxílio da expressão (4.13) obtém-se:

$$pR \text{ (comercial)} \Rightarrow 5,6 \text{ k}\Omega.$$

O valor do resistor pR foi reajustado com o auxílio de simulação numérica para $pR = 12 \text{ k}\Omega$. E por fim, obtém-se o valor de $R // pR$ com:

$$R // pR = \frac{R \cdot pR}{R + pR} \quad (4.14)$$

$$R // pR \text{ (comercial)} \Rightarrow 1,5 \text{ k}\Omega.$$

4.1.4. Geração da Modulação

Para a geração da modulação *PWM* a três níveis é necessário comparar a saída do controlador de corrente com duas formas de onda triangulares defasadas de 180° entre si e, assim sendo, será apresentado o projeto de um circuito que gera uma forma de onda triangular, que pode ser visto na Fig. 4.6.

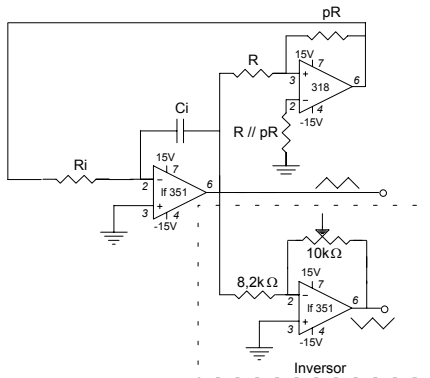


Fig. 4.6 – Circuito elétrico para gerar uma forma de onda triangular.

O circuito é composto por um integrador, um comparador com histerese e um inversor. O integrador define a frequência da triangular e o comparador determina a amplitude da triangular. O inversor é responsável por fornecer a triangular defasada de 180°.

Os parâmetros que devem ser calculados são os valores dos resistores R_i , R , pR e $R // pR$ e do capacitor C_i .

A. Cálculo do Integrador

Deve-se arbitrar um valor para R_i :

$$R_i \Rightarrow 22 \text{ k}\Omega.$$

Como R_i pode ajustar a frequência da forma de onda triangular e, conseqüentemente, a frequência de chaveamento, é interessante utilizar um resistor em série com um potenciômetro.

$$R_i \Rightarrow \text{Resistor } 15 \text{ k}\Omega + \text{Potenciômetro } 10 \text{ k}\Omega.$$

A frequência de chaveamento f_s é de 30k Hz, e assim:

$$C_i = \frac{p}{4 \cdot R_i \cdot f_s} \tag{4.15}$$

$$C_i \text{ (comercial)} \Rightarrow 1 \text{ nF.}$$

B. Cálculo do Comparador com Histerese

O cálculo do comparador com histerese é similar ao projeto apresentado na Seção 2.5.3 do Capítulo II. O valor de pico desejado para a forma de onda triangular é:

$$V_{t_{pico}} \Rightarrow 5,5 \text{ V.}$$

E o fator de multiplicação p pode ser obtido por:

$$p = \frac{V_{sat}}{V_{t_{pico}}} \quad (4.16)$$

O resistor R pode então ser arbitrariamente escolhido como sendo:

$$R \Rightarrow 4,7 \text{ k}\Omega.$$

Assim, com o auxílio da expressão (4.16) obtém-se:

$$pR_{(comercial)} \Rightarrow 12 \text{ k}\Omega.$$

E por fim, obtém-se o valor de $R // pR$ com:

$$R // pR = \frac{R \cdot pR}{R + pR} \quad (4.17)$$

$$R // pR_{(comercial)} \Rightarrow 3,3 \text{ k}\Omega.$$

4.1.5. Esquema Completo de Controle e de Potência

Nesta seção apresentam-se os esquemas elétricos definitivos dos circuitos de controle e de potência do *FAP*. O esquema completo de potência do *FAP* pode ser visto na Fig. 4.7.

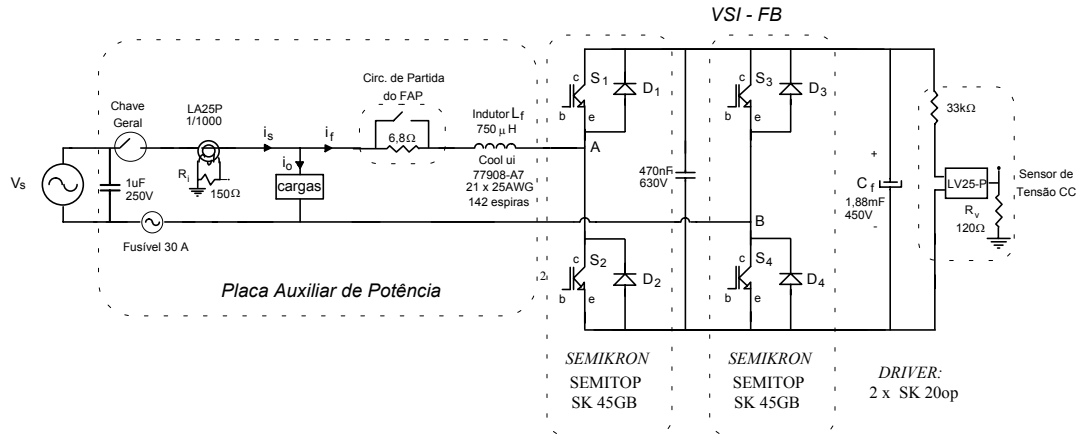


Fig. 4.7 – Esquema completo da estrutura de potência.

O conversor *FB-VSI*, os drivers de comando *SK 20op* e ainda o banco capacitivo C_f foram acomodados sobre um dissipador de massa aproximada de 2 kg.

Para acomodar os demais circuitos de potência foi necessário projetar uma placa auxiliar, que inclui:

- Fusível ultra-rápido *AMERICAN FUSE 30A*;
- Sensor hall de corrente *LEM LA25-P*;
- Resistor e relé de partida;
- Indutor de acoplamento L_f do *FAP*;
- Conectores tipo banana para as cargas;
- Capacitor de desacoplamento de $1\mu F / 250V$.

Uma pequena placa para acomodar o sensor hall de tensão também teve que ser projetada, o seu esquema elétrico pode ser visto na Fig. 4.8.

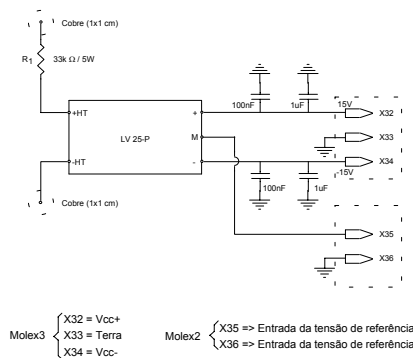


Fig. 4.8 – Esquema elétrico da placa do sensor hall de tensão.

A placa de controle e comando inclui todos os circuitos elétricos apresentados e ainda:

- Um “buffer” *CD 4503* na saída dos sinais de comando *PWM* que assegura a tensão *CMOS* adequada para o “driver” *SKHI 20op*. Este “buffer” possui pino de “enable” que é utilizado para inibir os pulsos de comando pelo circuito de partida e pela proteção de sobre-tensão;
- Duas entradas para fonte de alimentação também foram previstas: uma para a placa de controle e uma para o “driver” de comando dos interruptores.
- Comparadores com histerese de 70 mV utilizados para a geração dos pulsos *PWM*;
- Possibilidade de colocação de até três capacitores para compensar a indutância de dispersão do transformador amostrador da tensão da rede;

Uma foto da placa de controle e comando pode ser vista na Fig. 4.11.

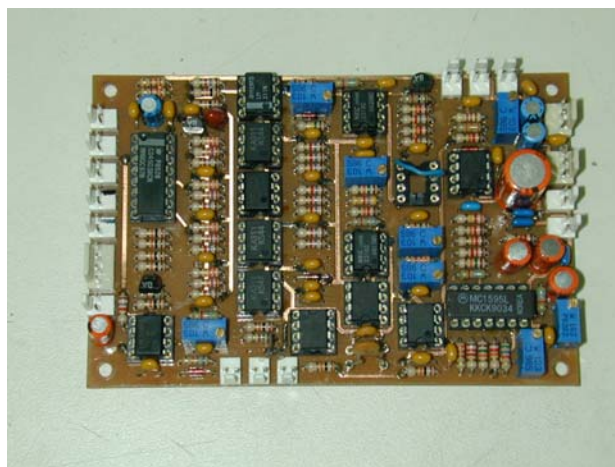


Fig. 4.11 – Placa de controle e comando analógica.

4.2. Resultados Experimentais

Os resultados experimentais do *FAP* são apresentados nesta seção. Todas as aquisições foram feitas com um osciloscópio digital *Tektronix* modelo *TDS-754A*.

Como o *FAP* é especificado para tensão de 127 volts e a rede de distribuição elétrica em Santa Catarina é de 220 volts foi necessário utilizar um transformador abaixador 220V/127V de 10 kVA para adaptar a tensão. O uso deste transformador degrada um pouco os resultados experimentais, visto que a indutância de dispersão num

transformador deste nível de potência não é desprezível e ela interage com o equipamento conectado ao mesmo. As cargas utilizadas nas aquisições possuem as mesmas características das cargas utilizadas nas simulações numéricas, a saber:

- Um conjunto de quatro fontes chaveadas para microcomputadores com uma carga total de 400 watts;
- Retificador monofásico de onda completa com filtro capacitivo ($C_o = 2000\mu\text{F} / P_o = 530\text{W}$);
- Retificador monofásico de onda completa com carga $R-L$ ($R_o = 15,5\Omega / L_o = 45\text{mH}$);
- Carga de caráter indutivo, $R-L$ ($R_o = 15,5\Omega / L_o = 45\text{mH}$);
- Carga resistiva pura R ($R_o = 15,5\Omega$).

Foram feitas também aquisições do *FAP* funcionando como retificador *BOOST* e da corrente de partida do conversor.

4.2.1. *FAP* Funcionando como Retificador *BOOST*

Devido a similaridade de funcionamento entre o *FAP* e o retificador *BOOST*, é possível conectar uma carga no barramento *CC* do *FAP* e ele irá atuar como um retificador com correção de fator de potência. A tensão e a corrente da rede podem ser vistas na Fig. 4.12-*a*.

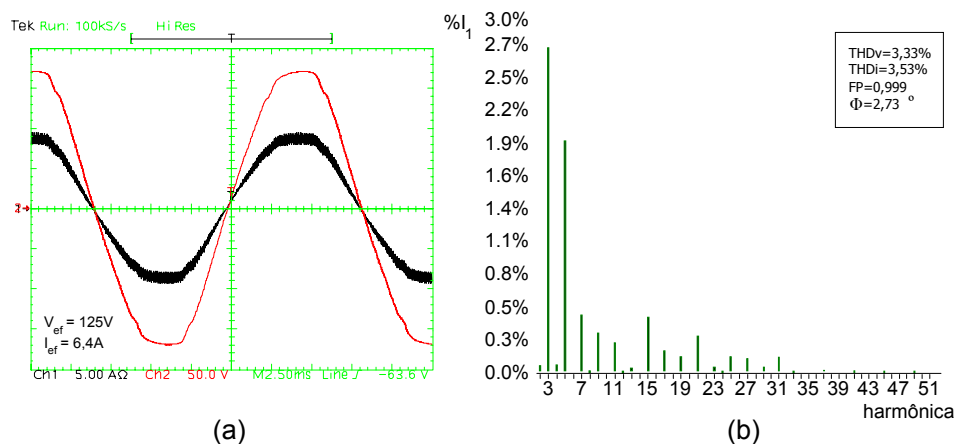


Fig. 4.12 – (a) Tensão e corrente da rede. (b) Harmônicas da corrente total drenada da rede.

A taxa de distorção harmônica da corrente drenada da rede é baixa, e o seu conteúdo harmônico pode ser visto na Fig. 4.12-*b*.

4.2.2. Conjunto de Fontes Chaveadas

Um conjunto composto por quatro fontes chaveadas, todas do tipo que alimentam microcomputadores, foram conectadas em paralelo com o *FAP*. As formas de onda resultantes podem ser vistas na Fig. 4.13.

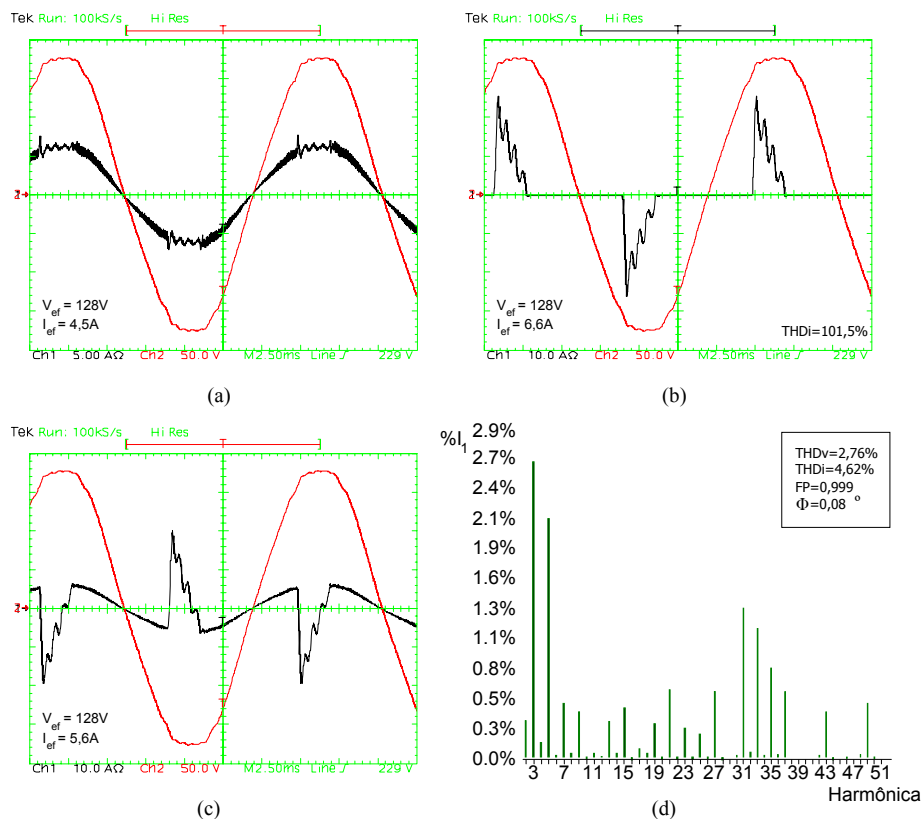


Fig. 4.13 - (a) Tensão e corrente da rede. (b) Tensão e corrente de carga. (c) Tensão e corrente que circula no *FAP* (c) Harmônicas da corrente total drenada da rede.

Comparando as formas de onda da corrente da carga e da rede, é fácil perceber que o *FAP* atuou de forma adequada, corrigindo as harmônicas da corrente da carga não linear de forma bastante eficiente.

É importante notar que, devido a presença da indutância de dispersão do transformador usado para adaptar a tensão da rede, ocorre uma distorção exagerada da tensão entregue para a carga (observar o detalhe da Fig. 4.14). Esta distorção da tensão faz com que a corrente drenada pela carga apresente as características vistas na Fig. 4.13-*b*.

Esta distorção indevida não deve ocorrer caso a carga e o *FAP* sejam conectados diretamente numa rede de 127 volts.

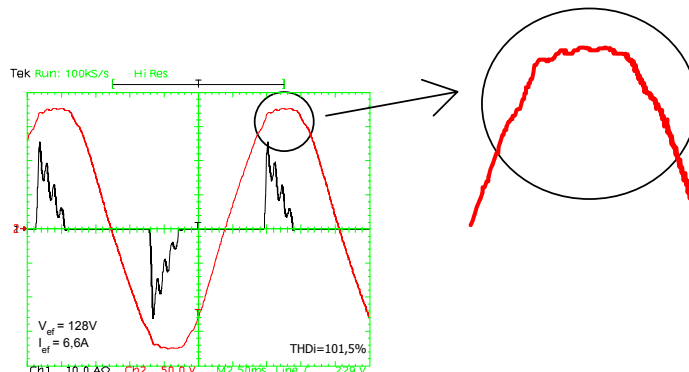


Fig. 4.14 – Detalhe da distorção da tensão da rede elétrica.

4.2.3. Retificador com Filtro Capacitivo

As formas de onda da tensão e da corrente com o *FAP* corrigindo as harmônicas de corrente de uma carga do tipo retificador com filtro capacitivo podem ser vistas na Fig. 4.15.

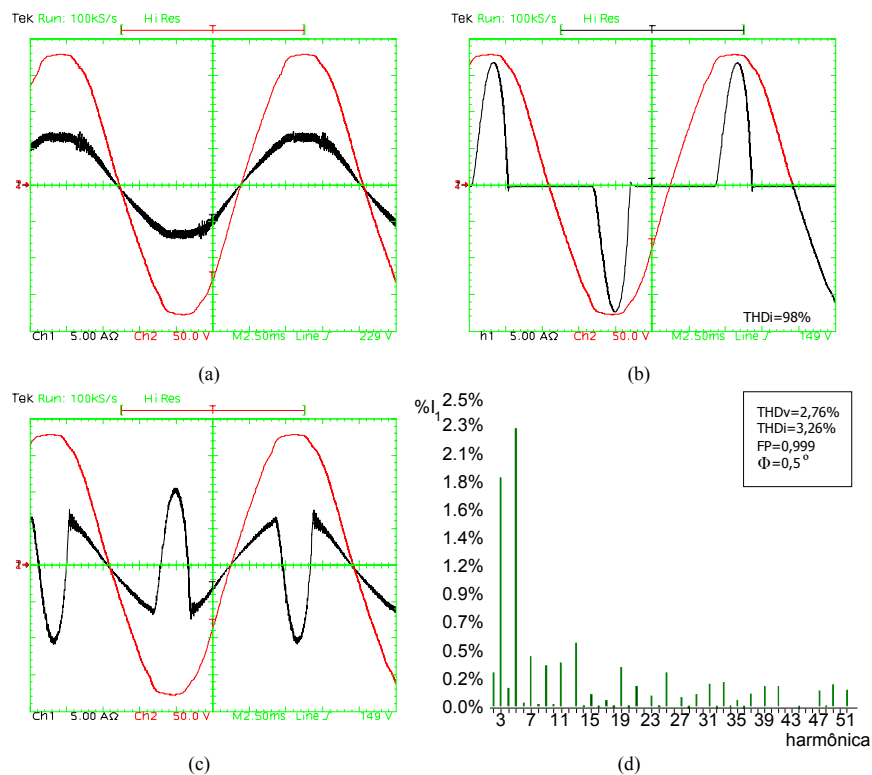


Fig. 4.15 - (a) Tensão e corrente da rede. (b) Tensão e corrente de carga. (c) Tensão e corrente que circula no *FAP* (c) Harmônicas da corrente total drenada da rede.

Como o retificador foi construído utilizando-se um indutor de entrada de 350 μH a corrente drenada pela carga não possui uma derivada tão abrupta como no caso das fontes chaveadas e, assim, o fenômeno da distorção da tensão entregue para a carga, descrita na seção anterior, não é perceptível.

4.2.4. Retificador com Carga $R-L$

As formas de onda da tensão e da corrente com o *FAP* corrigindo as harmônicas de corrente de uma carga do tipo retificador com carga $R-L$ podem ser vistas na Fig. 4.16.

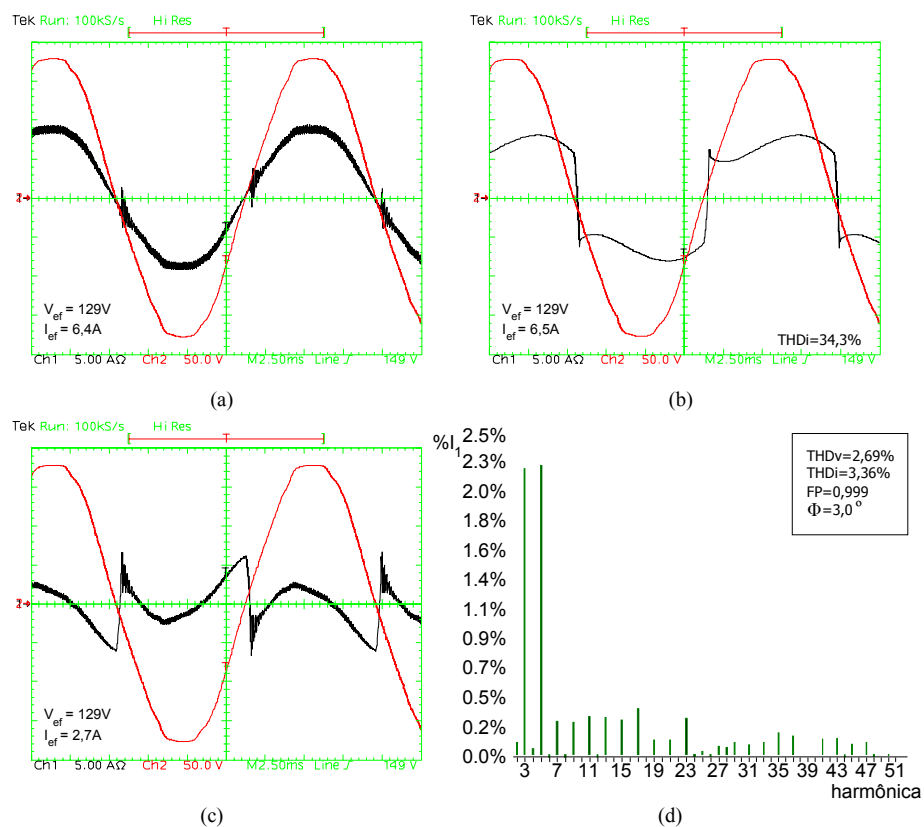


Fig. 4.16 - (a) Tensão e corrente da rede. (b) Tensão e corrente de carga. (c) Tensão e corrente que circula no *FAP* (c) Harmônicas da corrente total drenada da rede.

Percebe-se que, novamente, o *FAP* atuou de forma bastante adequada na correção das harmônicas de corrente e do fator de potência, sendo que este ficou praticamente unitário.

É possível notar ainda que a malha de corrente funciona corretamente no instante em que a corrente de carga muda de sentido, impondo um degrau para a malha. O controlador atuou de forma rápida e sem haver um excessivo sobre-sinal (ver Fig. 4.16-c).

4.2.5. Carga R-L

Com a carga linear do tipo R-L é possível comprovar que o FAP também compensa reativos de deslocamento levando o fator de potência da rede para a unidade. As formas de onda da tensão e da corrente com o FAP corrigindo o fator de deslocamento de uma carga linear do tipo R-L podem ser vistas na Fig. 4.17.

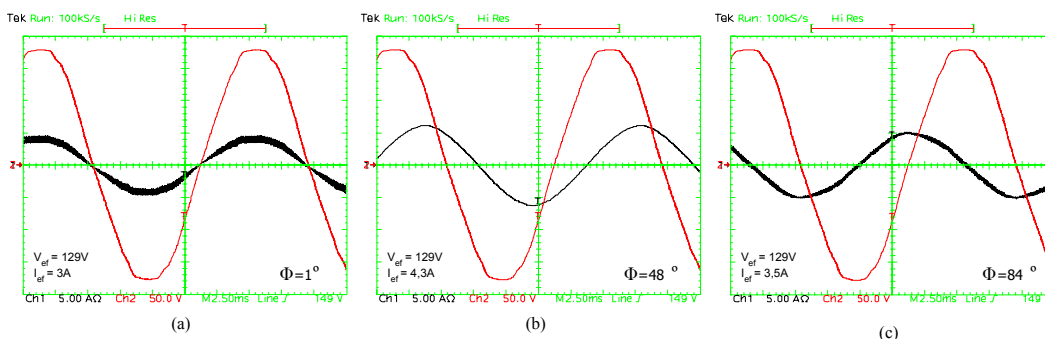


Fig. 4.17 - (a) Tensão e corrente da rede. (b) Tensão e corrente de carga. (c) Tensão e corrente que circula no FAP.

O FAP drena uma corrente adiantada de aproximadamente 90° para compensar a parcela reativa da corrente da carga, que está atrasada em 90°. A diferença de alguns graus é devido a parcela de potência ativa que o FAP demanda para suprir suas perdas.

4.2.6. Carga R

A carga linear resistiva pura permite observar as perdas do FAP, já que o mesmo não precisa corrigir harmônicas de corrente e nem fator de deslocamento. As formas de onda da tensão e da corrente com o FAP corrigindo o fator de deslocamento de uma carga linear resistiva pura podem ser vistas na Fig. 4.18.

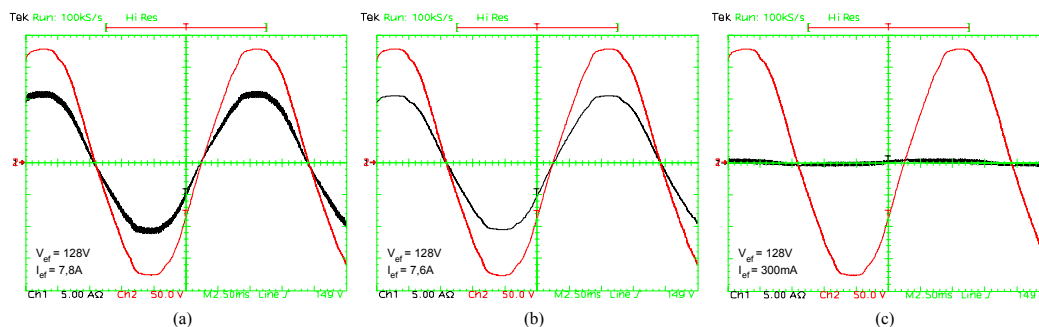


Fig. 4.18 - (a) Tensão e corrente da rede. (b) Tensão e corrente de carga. (c) Tensão e corrente que circula no FAP.

A corrente eficaz de 300m ampéres drenada pelo *FAP* mantém as perdas do conversor que são de 38 watts neste caso. Em resultados experimentais com diferentes cargas a potência ativa demandada pelo *FAP* fica sempre em torno de 55 watts, o que representa as suas perdas.

4.2.7. Partida do *FAP*

Foram feitas aquisições do procedimento de partida do *FAP*. As variáveis de interesse são a tensão do barramento *CC* e a corrente I_f . Na Fig. 4.19 pode-se observar o processo de partida do *FAP*.

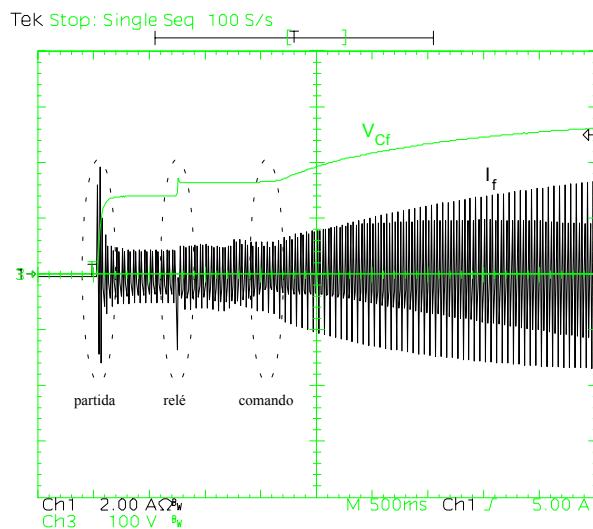


Fig. 4.19 – Tensão V_{Cf} no barramento *CC* do *FAP* (capacitor C_f) e corrente de partida I_f no *FAP*.

Na Fig. 4.20 pode-se observar o detalhe de cada etapa, a saber:

- (A) partida do *FAP* na rede elétrica, com o resistor de partida limitando a corrente;
- (B) acionamento do relé de partida, curto-circuitando o resistor R_{inrush} ;
- (C) início dos pulsos de comando nos interruptores do *FAP*, levando a tensão do barramento *CC* até a tensão nominal de 300 volts.

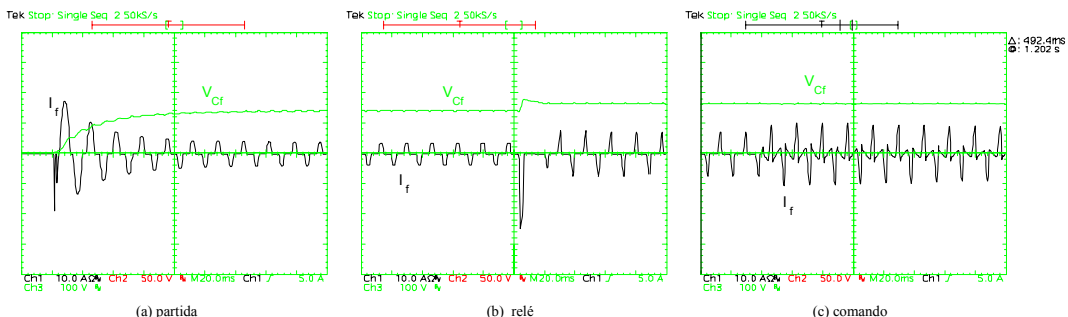


Fig. 4.20 – Detalhe dos diferentes estágios da corrente de partida.

4.3. Conclusão

Os resultados experimentais obtidos demonstram que o *FAP* funcionou de acordo com o esperado. A taxa de distorção harmônica e o fator de potência da rede, ambas obtidas com o funcionamento do *FAP* em paralelo com diferentes cargas, são muito baixas e estão dentro da norma *IEC 61000-3-2*. Baseado nos resultados experimentais, na Tabela 4.2 apresentam-se as características da rede elétrica para diferentes situações de carga, funcionando com e sem o *FAP* conectado em paralelo.

- Carga 1 - banco de fontes chaveadas;
- Carga 2 - retificador monofásico de onda completa com filtro capacitivo;
- Carga 3 - retificador monofásico de onda completa com carga R-L.

Tipo de carga	Carga							Carga + <i>FAP</i>						
	S (VA)	P (W)	Q (VAR)	THD _v	THD _i	FP	φ°	S (VA)	P (W)	Q (VAR)	THD _v	THD _i	FP	φ°
1	754	516	550	3,8%	101%	0,68	3,8	569	570	29,4	2,7%	4,6%	0,99	0
2	771	543	548	3,8%	98%	0,70	6	628	627	35,7	2,57%	3,3%	0,99	0,5
3	823	760	318	3,1%	34%	0,92	13	807	806	44	2,7%	3,36%	0,99	3

Tabela 4.2 – Informações a respeito da rede elétrica com e sem o funcionamento do *FAP*.

O programa de simulação numérica se mostrou uma ferramenta extremamente poderosa e eficaz no auxílio do projeto do *FAP*.

Os resultados experimentais obtidos estão de acordo com o previsto em teoria, e são muito semelhantes com os resultados de simulação numérica.

CAPÍTULO V - Introdução ao Controle Digital

Neste capítulo apresentam-se algumas características relevantes ao uso de controladores digitais aplicados a conversores estáticos. Primeiramente alguns conceitos a respeito da teoria do processamento digital de sinais devem ser apresentados. Em seguida, o *DSP* utilizado deve ser apresentado, a sua escolha justificada e as suas características relevantes apresentadas.

5.1. O Processamento Digital de Sinais

Nesta seção apresentar-se-ão alguns conceitos importantes ao processamento digital de sinais. Alguns fenômenos intrínsecos aos sistemas discretos também devem ser apresentados.

Um controlador digital necessita de um conversor analógico-digital (*A/D*) para ter acesso às informações do mundo real. É o conversor *A/D* que executa o procedimento de aquisição de um sinal. O conversor *A/D* introduz algumas não idealidades que estão representadas na Fig. 5.1.

A compensação é efetuada por um algoritmo numérico, em geral uma equação a diferenças, sendo que o resultado da equação, que representa a ação de controle, deve ser transferido para o mundo real através de algum tipo de atuador.

No caso do controle digital de conversores estáticos, o atuador é, em geral, o estado lógico de um pino de *I/O* do processador que representa o estado de um modulador *PWM* digital. O estado lógico neste pino é o sinal de comando de um *driver* que comanda um ou mais interruptores.

Uma representação em diagrama de blocos de um conversor com comando e controle digital pode ser vista na Fig. 5.1.

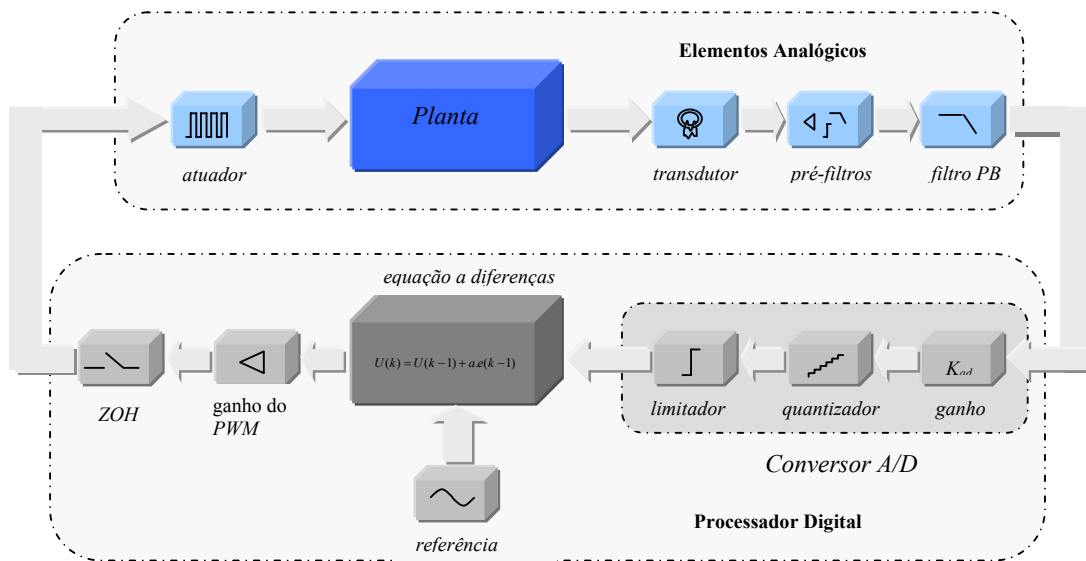


Fig. 5.1 – Diagrama de blocos de um conversor com controle digital.

Onde:

- Planta: representa o modelo do conversor (função de transferência do conversor);
- Transdutor: é um transdutor analógico convencional;
- Pré-filtros: são os circuitos de condicionamento dos sinais que venham a ser adquiridos pelo *DSP*;
- Filtro passa-baixa (filtro *PB*): é o filtro de *anti-aliasing*;
- Blocos do conversor *A/D*: representam matematicamente o conversor *A/D*;
- Controlador digital: é a rotina matemática que atua como compensador;
- Ganho *PWM*: é o ganho do modulador *PWM* digital;
- *ZOH*: é a representação matemática do retentor de ordem zero existente num sistema amostrado;
- Atuador: um *driver* de comando com sinal proveniente de uma porta de *I/O* do processador.

5.1.1. Amostragem e Aquisição de Sinais

Para que um processador digital possa tratar sinais do mundo real, é necessário algum meio de aquisição deste sinal contínuo de forma tal a construir seqüências que os representam. Este processo é realizado colhendo amostras do sinal contínuo em intervalos constantes de tempo Ta entre as amostras. O sinal obtido é chamado de sinal amostrado. Um exemplo de um sinal amostrado pode ser visto na Fig. 5.2-a.

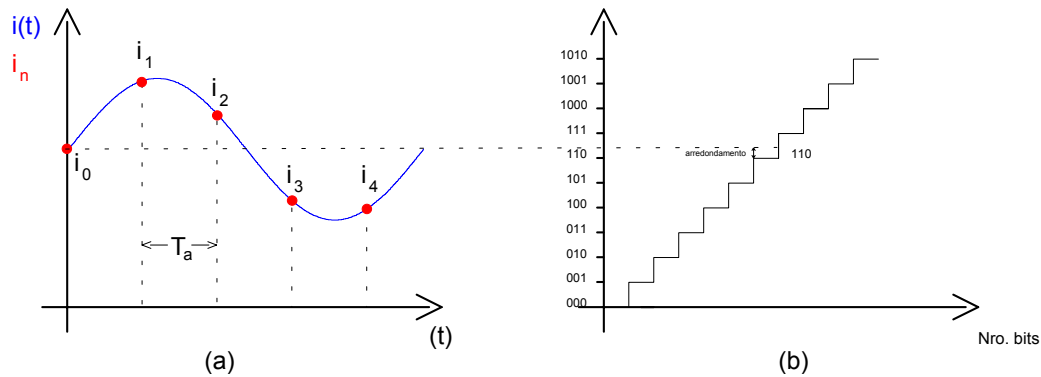


Fig. 5.2 – (a) Sinal contínuo $i(t)$ e sinal amostrado i_n . (b) Ruído de quantização.

Os processadores digitais realizam a aquisição através do uso de conversores analógico-digitais ou A/D 's. Estes conversores fornecem uma representação digital de ' n ' bits para o sinal adquirido (ver figura Fig. 5.2-b). Este processo introduz um erro na amostragem, pois devido ao modo como é feita a aquisição, o conversor A/D arredonda o valor para baixo sempre que não for possível representá-lo (ver Fig. 5.2-b). Este erro chama-se ruído de quantização e quanto maior a precisão em bits do conversor A/D menor o ruído de quantização.

Para amenizar o ruído ou erro de quantização a tensão amostrada pelo conversor A/D deve excursionar o mais próximo possível das tensões limites de conversão (0V – 3,3V) e os valores numéricos armazenados nos registradores do DSP devem estar numa representação adequada de ponto fixo.

Outro fator relevante na amostragem é a frequência de amostragem, dada pela expressão (5.1). Observando-se a Fig. 5.2 pode-se perceber intuitivamente que, quanto maior for a frequência de amostragem, melhor é a representação do sinal amostrado dentro de um sistema digital.

$$f_a = \frac{1}{T_a} \tag{5.1}$$

5.1.2. O Efeito de *Aliasing*

Outro fenômeno que ocorre na amostragem é o efeito de *aliasing*. Este efeito ocorre quando frequências acima da frequência de amostragem são adquiridas pelo conversor A/D , conforme pode ser visto na Fig. 5.3, fazendo com que o sinal de alta frequência i_b seja entendido e tratado pelo processador como se fosse o sinal de menor frequência i_a .

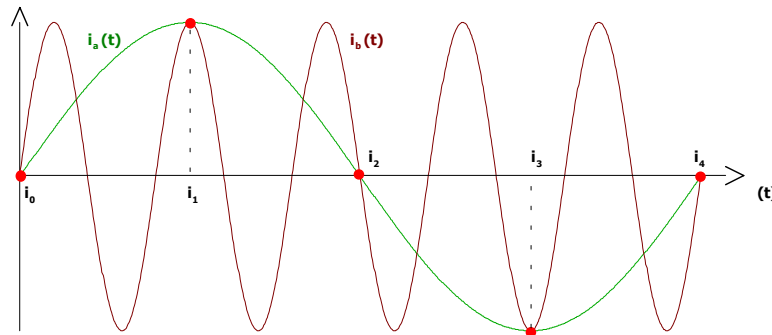


Fig. 5.3 – Efeito de aliasing que ocorre na amostragem.

Este efeito é bastante indesejado, sendo que, para solucioná-lo, deve ser colocado um filtro passa-baixa sintonizado abaixo da frequência de amostragem em todos os sinais amostrados pelo processador digital.

5.1.3. O Retentor de Ordem Zero (ZOH)

Para que o sinal de saída de um sistema amostrado possa interagir com o mundo real é necessário que este sinal discreto seja representado de modo contínuo. Uma das formas de representar um sinal discreto de modo contínuo é através do uso de um retentor de ordem zero.

O uso do retentor de ordem zero causa um efeito na planta que pode ser representado pela expressão (5.2).

$$ZOH(s) = \frac{1 - e^{-T_d s}}{s} \tag{5.2}$$

A fase da função de transferência do *ZOH* representado pela expressão (5.2), para uma frequência de amostragem de 100 kHz, pode ser vista na Fig. 5.4.

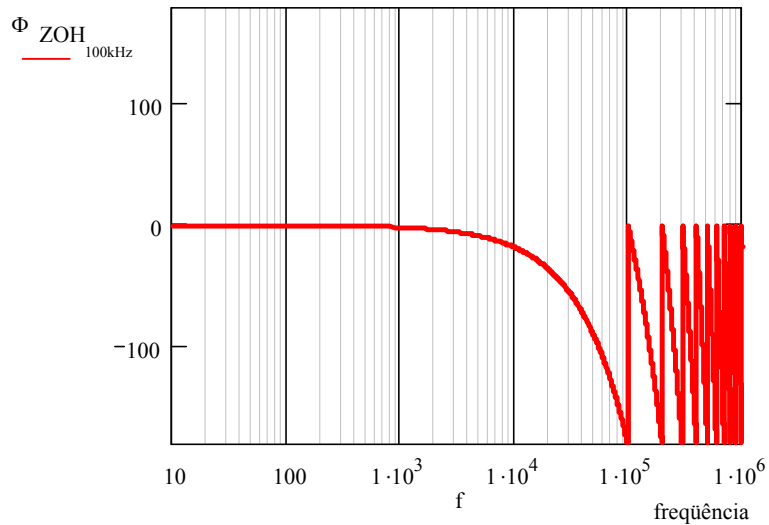


Fig. 5.4 – Fase introduzida na planta por um retentor de ordem zero (ZOH) para uma frequência de amostragem de 100kHz.

É importante perceber que o retentor de ordem zero diminui a fase do sistema nas frequências até duas décadas abaixo da frequência de amostragem e, portanto, ele deve ser levado em conta no projeto do controlador digital.

5.1.4. O Atraso de Transporte

O atraso de transporte representa o tempo de processamento que o processador digital despense entre a amostragem e a atuação do modulador *PWM*. O atraso de transporte pode ser representado por:

$$A_T(s) = e^{-T_T \cdot s} \tag{5.3}$$

onde,

$T_T \Rightarrow$ tempo total de atraso.

Um gráfico da fase da expressão (5.3) para um atraso T_T de meio período de amostragem, para uma frequência de amostragem de 100 kHz, pode ser visto na Fig. 5.5.

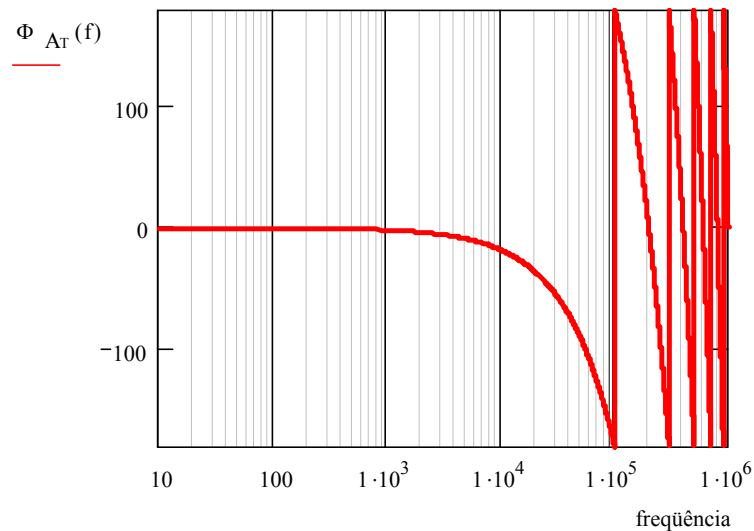


Fig. 5.5 – Fase do diagrama de Bode do modelo do atraso de transporte.

Nota-se que o atraso de transporte, assim como o retentor de ordem zero, também diminui a fase do sistema nas frequências até duas décadas abaixo da frequência de amostragem, e portanto ele deve ser levado em conta no projeto do controlador digital.

5.1.5. Representações Numéricas em *DSP's*

Nesta seção será realizada uma revisão a respeito de representações numéricas. Uma abordagem mais completa está apresentada em [22].

O formato numérico de um processador está ligado à forma como são armazenados e manipulados os dados em sua arquitetura interna. Os dados podem ser trabalhados tanto no formato de ponto fixo quanto no formato de ponto flutuante. Deste modo os *DSP's* são divididos em duas categorias, definidas pelo tipo de formato numérico tratado pelo processador.

A. Ponto Flutuante

Os dados do tipo ponto flutuante são caracterizados por um campo para a mantissa (ou fração), um campo para o expoente e um bit de sinal. Os *DSP's* de ponto flutuante utilizam em geral 32 *bits* para os registradores de uso geral, sendo que os processadores de ponto fixo utilizam apenas 16 *bits* para estes registradores. Isto traz diversas vantagens

para os DSP's de ponto flutuante, como a melhor precisão numérica e uma faixa dinâmica maior do que o equivalente em ponto fixo. Isto reduz bastante o ruído de quantização.

Outra vantagem de se trabalhar com processadores de ponto flutuante é a simplificação do projeto digital e da programação do *DSP*. O problema é que na atualidade (ano de 2003) os *DSP*'s otimizados para acionamentos elétricos são de ponto fixo, assim dar-se-á maior ênfase a este tipo de representação numérica.

B. Ponto Fixo

A representação em ponto fixo é caracterizada pela posição do ponto e pelo tamanho da palavra (ver Fig. 5.6). A localização do ponto indica como a palavra binária é escalonada. Pode-se entender que ele equivale a uma constante (sempre em potência de dois) que multiplica o valor numérico da palavra. Os números de ponto fixo podem ainda ser representados com sinal e sem sinal.

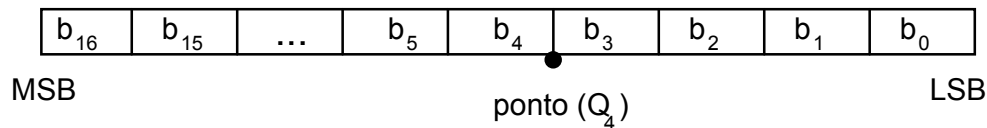


Fig. 5.6 – Representação de número no formato ponto fixo Q_4 .

Na representação de números inteiros sem sinal, o valor armazenado em um processador de 16 *bits* pode tomar qualquer valor entre 0 e 65535. De modo similar, a representação de números inteiros com sinal utiliza o complemento de dois para poder incluir a escala de números negativos, de -32768 a 32767. Neste caso o *bit* mais significativo (*MSB*) é usado para representar o sinal.

Na Tabela 5.1 estão apresentadas as faixas de abrangência numérica das diferentes representações em ponto fixo com sinal e a sua precisão. Assim, pode-se escolher o formato Q_n mais adequado para representar um determinado número.

n (Q_n)	Valor mínimo	Valor máximo	Precisão Δn
0	-32768	32767	1
1	-16384	16383,5	0,50000
2	-8192	8191,75	0,25000
3	-4096	4095,875	0,12500
4	-2048	2047,9375	0,062500
5	-1024	1023,84375	0,031250
6	-512	511,984375	0,015625
7	-256	255,9296875	0,0078126
8	-128	127,87109375	0,0039063
9	-64	63,998046875	0,0019531
10	-32	31,9990234375	0,000976577
11	-16	15,99951171875	0,000488288
12	-8	7,999755859375	0,000244144
13	-4	3,999877929687	0,000122072
14	-2	1,999938964843	0,00006103608
15	-1	0,999969482421	0,00003051804

Tabela 5.1 – Abrangência numérica das diferentes representações em ponto fixo com sinal.

Com a notação com sinal e ponto 15 ou Q_{15} pode-se representar os números positivos e negativos espaçados entre -1 e 0,99996948242. A notação em ponto 4 ou Q_4 representa com maior precisão os números situados entre -2048 e 2047,93.

Quando se deseja definir a notação Q_n de uma constante o procedimento é simples: basta verificar na Tabela 5.1 qual a localização do ponto mais adequada para representar o número. Por exemplo, se é necessário representar o valor 2,48764 deve-se escolher a notação em ponto 13 ou Q_{13} , que possui a melhor precisão entre as notações que abrangem este número.

Quando é necessário definir a notação de uma variável, por exemplo, o resultado da multiplicação de uma variável Q_4 por outra variável Q_6 , deve-se ter muito cuidado. Quando se executa uma multiplicação, o formato resultante é a soma dos índices das variáveis envolvidas. No exemplo visto na figura Fig. 5.7 o resultado da multiplicação estará então no formato Q_{10} .

É importante lembrar que os processadores de ponto fixo de 16 *bits* armazenam o resultado de uma multiplicação em registradores de 32 *bits*. Assim, o resultado também deve ser tratado caso seja necessário armazená-lo em registradores de 16 *bits*. Assim, após a multiplicação ter sido realizada, uma operação de deslocamento para a esquerda de 8 *bits*, o que coloca o resultado no formato Q_2 , conforme apresentado no exemplo, é efetuada. Os 16 *bits* menos significativos podem ser desprezados e os 16 *bits* mais significativos podem ser tratados como sendo o resultado em formato Q_2 de 16 *bits*.

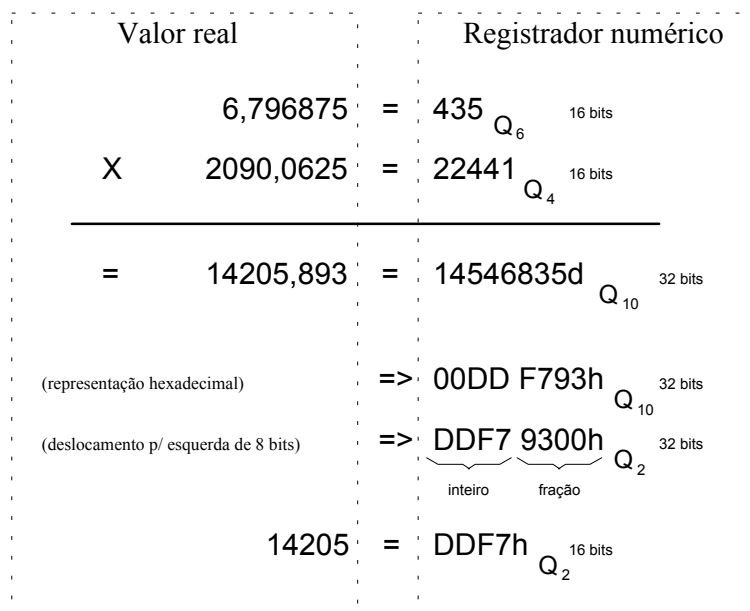


Fig. 5.7 – Exemplo de multiplicação e tratamento do resultado em ponto fixo.

É fácil perceber que é preciso ter muito cuidado no tratamento de operações aritméticas quando se trabalha em ponto fixo, pois para o processador todos os números estão no formato Q_0 e cabe ao programador saber interpretar e tratar o resultado de cada operação.

5.2. O DSP TMS 320LF2407A

Nesta seção serão apresentados as características e os principais periféricos do DSP utilizado, o *TMS 320LF2407A* da *Texas Instruments*.

5.2.1. Especificações e Características

Segundo [30], a definição de um *DSP* utilizado no controle e comando de um conversor passa, primeiramente, por uma análise geral de operação e funcionamento da topologia a ser utilizada. Em função das características de comando e controle do *FAP* podem-se determinar as especificações mínimas necessárias que o *DSP* deve apresentar. Os principais critérios analisados são:

- Os sinais a serem monitorados pelo *DSP*;
- O número de interruptores a serem comandados;
- A frequência de chaveamento do conversor *FB-VSI* do *FAP*;
- Uma pré-análise dos algoritmos a serem utilizados no controle do filtro ativo;
- O tipo de modulação a ser empregada no comando dos interruptores;
- E os circuitos de condicionamento de sinais necessários.

Com o intuito de atender a estes critérios no comando e controle do *FAP* foi realizado um estudo das características básicas agregadas ao *DSP* da *Texas*, a saber:

- Resolução do modulador e do conversor *A/D*;
- Tempo de execução das instruções;
- Capacidade de memória do *DSP*;
- Periféricos disponíveis no *DSP*;
- Ferramentas de hardware e software disponíveis para desenvolvimento;
- Disponibilidade no mercado.

Na Tabela 5.2 é possível constatar as exigências de comando do *FAP* e as capacidades do *DSP* da *Texas*.

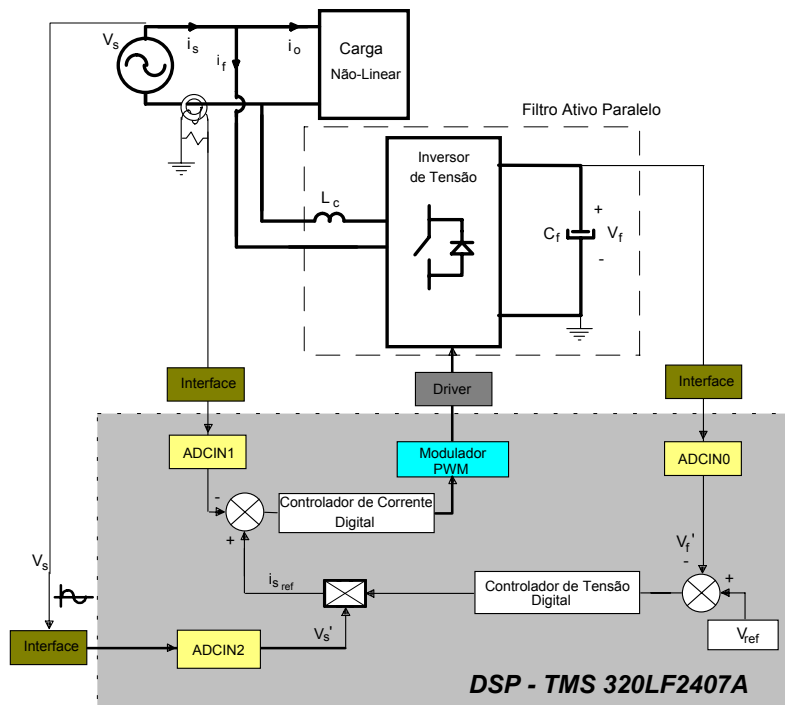
Em função dos resultados da análise das características do *FAP* e do processador da *Texas* concluiu-se que o *DSP* proposto atende com facilidade às especificações.

Característica do <i>FAP</i>	Capacidade do <i>DSP</i>
3 sinais amostrados	<i>A/D</i> de 16 canais
4 Interruptores	12 canais <i>PWM</i>
Frequência de chaveamento de 30kHz	Tempo de instrução de 33ns (1010 instruções por período)
Frequência de amostragem mínima de 60kHz por sinal	Tempo de conversão de 500ns
Controladores tipo <i>PI</i> ou similar	Tempo de instrução de 33ns
Modulação 3 níveis	Flexibilidade de programação do <i>PWM</i>

 Tabela 5.2 - Necessidades do *FAP* e capacidade do *DSP*.

5.2.2. Diagrama de Controle com o *DSP* da Texas

A Fig. 5.8 apresenta o circuito do *FAP* e o diagrama de blocos da estrutura de controle utilizando-se o *DSP*. É fácil perceber que as mesmas variáveis elétricas (I_s , V_s e V_{cf}) monitoradas no caso do controle analógico também serão adquiridas pelo *DSP*, o que podia ser esperado, já que a estratégia de controle e a estrutura de potência são as mesmas.


 Fig. 5.8 – *FAP* empregando o inversor *FB-VSI* controlado através de *DSP*.

Os blocos mostrados na Fig. 5.8 têm tarefas específicas dentro da estratégia de controle, entre eles, os principais têm as seguintes funções:

- Modulador *PWM*: este periférico é encarregado da geração dos pulsos *PWM* responsáveis pelos comandos dos interruptores. Estes são gerados a partir da comparação do sinal de saída do controlador de corrente digital com um sinal triangular gerado numericamente pelo próprio *DSP*. O modulador *PWM* também será responsável pela geração dos sinais complementares dos pulsos de comando, bem com pela geração de tempo morto entre os pulsos complementares;
- *ADCIN₀*, *ADCIN₁* e *ADCIN₂*: estes blocos representam as entradas analógicas do conversor *A/D* do *DSP*. Sua função é converter a tensão aplicada na entrada do conversor *A/D* em uma grandeza digital, que será expressa por valores numéricos adequados para então serem tratados pelo *DSP*;
- Circuitos de interface: são responsáveis pelo condicionamento das grandezas elétricas aos níveis permissíveis de tensão do conversor *A/D* do *DSP*;
- “*Drivers*”: circuitos responsáveis pelo acionamento dos interruptores de potência. Eles convertem os pulsos de saída em nível lógico da unidade *PWM* (0 – 3,3 volts) em níveis adequados ao comando dos interruptores (0 – 15 volts).

De forma geral o *DSP* será responsável pela execução das seguintes tarefas:

- Monitoração de correntes e de tensões;
- Cálculo dos sinais de erros (tensão e corrente);
- Determinação da corrente de referência;
- Cálculos dos controladores de Tensão e Corrente;
- Geração dos sinais de comandos para os interruptores.

Além destas funções o *DSP* deverá desempenhar outras tarefas como parte do procedimento de partida do *FAP*, atuando de forma a controlar a corrente no instante que o mesmo é ligado a rede elétrica. Cabe salientar que com o emprego do *DSP* no controle do *FAP*, pode-se incorporar em um produto final mais características, como: supervisão; proteções; sinalizações; etc...

5.2.3. Periféricos

Nesta seção será realizada uma pequena apresentação dos principais periféricos do DSP da Texas; uma abordagem mais detalhada pode ser vista em [30].

Conforme pode ser visto na Fig. 5.8 os elementos internos ao *DSP* no controle digital incluem:

- A aquisição do sinal através do conversor *A/D*;
- O tratamento matemático dos sinais adquiridos e a ação de controle;
- O circuito de modulação *PWM*.

Assim, pode-se relacionar as características relevantes do *DSP* da *Texas*:

- Uma grande flexibilidade na programação do conversor *A/D*;
- O reduzido tempo de execução das instruções e a existência de instruções bastante otimizadas para algoritmos de processamento digital;
- Uma poderosa interface de *PWM*.

Assim, diversos periféricos são integrados ao processador da *Texas*, mas pode-se destacar os de maior interesse nas aplicações em eletrônica de potência, que são os gerenciadores de eventos, onde os *timers* e a interface *PWM* são programados, e ainda o módulo de conversão analógico-digital.

A. Conversor Analógico-Digital

O módulo *ADC* do *TMS 320LF2407* foi projetado para se obter uma interface flexível com os gerenciadores de eventos, e o mesmo constitui-se de um rápido e preciso sistema de conversão analógico digital de 10 *bits*. Esse sistema possibilita a leitura e conversão de tensões, correntes e outros sinais necessários em aplicações de processamento digital de sinais. As suas principais características são:

- Conversor analógico-digital de 10 *bits*;
- Tempo de conversão de 500n s;
- Dezesseis entradas analógicas multiplexadas;

- Capacidade de auto-seqüenciamento – até 16 “autoconversões” dentro de uma simples seção. Cada seção de conversão pode ser programada para selecionar qualquer um dos 16 canais de entrada.

B. Gerenciador de Eventos

Todos os integrantes da família *TMS 320LF240x*, com exceção do *2402A*, possuem dois gerenciadores de evento, *EVA* e *EVB*. Esses dois gerenciadores são exatamente idênticos em termos de funcionalidade. Cada módulo *EV* contém os seguintes blocos:

- Dois temporizadores de uso geral (*GP*);
- Três unidades de comparação;
- Circuitos de *PWM*, unidade de geração de tempo morto e circuitos de saída;
- Três unidades de captura de sinais.

Existem dois temporizadores de uso geral dentro de cada gerenciador de eventos. Esses temporizadores podem ser usados de formas independentes baseados em aplicações tais como:

- Geração de um período de amostragem para controle de um determinado sistema;
- Prover a base de tempo para operações nas unidades de comparação.

Maiores informações a respeito do gerenciador de eventos podem ser encontradas na literatura da *Texas Instruments* [23].

5.3. Conclusão

Na Seção 5.1 os principais elementos que surgem da decorrência do uso de processadores digitais no controle de conversores estáticos foram apresentados e as suas conseqüências para o projeto de controladores discretos foram descritas.

Na Seção 5.2 foi realizada uma breve descrição a respeito dos principais periféricos do *DSP* da *Texas Instruments*, o *TMS 320LF2407*.

Contudo, é necessário determinar-se uma metodologia que permita o projeto dos controladores digitais do *FAP*. No Capítulo 6 serão discutidos os elementos apresentados na Seção 5.1 e então os controladores digitais devem ser projetados.

CAPÍTULO VI - Projeto dos Controladores Digitais do Filtro Ativo Paralelo de 1 kVA

Neste capítulo desenvolve-se o projeto dos controladores digitais através do uso de *DSP* (*Digital Signal Processor* - Processador Digital de Sinais) para comandar a estrutura de potência do *FAP* projetado no Capítulo II.

No Capítulo V foi realizado um estudo das características e dos periféricos do *DSP* a ser utilizado, sendo que então deve ser desenvolvida uma metodologia de projeto das malhas de controle digital para um *FAP*. Serão apresentados os resultados de simulação numérica da estrutura de potência comandada pelos controladores digitais projetados.

Os trabalhos em torno do filtro ativo com controle digital contaram com a colaboração do Eng. Samir Ahmad Mussa. O funcionamento detalhado dos periféricos, assim como a programação do *DSP*, não fazem parte do escopo desta dissertação, sendo que os mesmos são abordados em [30].

6.1. Projeto dos Controladores Digitais

O projeto de um controlador digital consiste, resumidamente, em encontrar os coeficientes da equação a diferenças que representa o compensador digital. Existem inúmeras formas de se projetar um controlador digital sendo que as diferenças mais significantes entre as diferentes técnicas são:

- O uso da transformada *Z*: em algumas técnicas é necessário obter-se a função de transferência da planta no domínio *Z* enquanto que em outras técnicas a planta no domínio *Z* não é necessária;
- O projeto do controlador: a forma como se projeta o controlador discreto.

Como a obtenção da transformada *Z* de uma função no domínio *S* é relativamente simples, a principal diferença entre as metodologias de projeto acaba sendo em como projetar o controlador digital.

A. Projeto Aproximado no Domínio S

Uma maneira muito usual de projeto de controladores discretos é realizar o projeto aproximado no domínio S, o que dispensa o uso da transformada Z para a função de transferência da planta. Após a conclusão do projeto do compensador no domínio S deve ser utilizado algum método de discretização por aproximação [25] para obter a função de transferência e os seus coeficientes no domínio Z. Nesta técnica não idealidades do controle discreto podem ser incorporadas na *FTLA* da planta, como por exemplo:

- A função de transferência do retentor de ordem zero;
- Os ganhos internos no processo de amostragem do *DSP*;
- A função de transferência do filtro de *anti-aliasing*;
- O atraso de transporte;
- Uma função de transferência para ajuste da frequência, para corrigir uma distorção que surge entre os planos Z e S.

Esta técnica dispensa a necessidade de obtenção do lugar das raízes no domínio Z, mas ela introduz muitos elementos no procedimento de projeto, tornando-o relativamente complexo.

Utilizando-se uma ferramenta que permita traçar o lugar das raízes, assim como foi feito no Capítulo III no projeto do controlador analógico, o uso desta técnica se torna dispendiosa.

B. Projeto Usando a Transformada Bilinear

Este método é baseado nas ferramentas de projeto no domínio S aplicadas na função de transferência discretizada, no domínio Z [24]. Ao trabalhar no domínio Z, perde-se a simplicidade oferecida pelos diagramas de Bode, pois a frequência aparece como um termo exponencial, como pode ser visto na expressão (6.1).

$$z = e^{-j\omega T} \quad (6.1)$$

Para contornar esta situação e trabalhar com as mesmas ferramentas usadas no domínio S é feito um remapeamento da variável complexa em um novo plano, por meio da transformada bilinear ou transformada *w*, apresentada na expressão (6.2).

$$z = \frac{1 + \left(\frac{T}{2}\right).w}{1 - \left(\frac{T}{2}\right).w} \quad (6.2)$$

Convertendo uma função de transferência no plano Z em uma função racional de W , os métodos de resposta em frequência podem ser estendidos para sistemas de controle no tempo discreto.

C. Projeto Pelo Lugar das Raízes no Domínio Z

O projeto pelo LR no domínio Z é feito com a planta e o controlador diretamente no domínio Z , sendo que a desvantagem deste método é que ao trabalhar diretamente no domínio Z torna-se complexo traçar o LR da $FTMF$ e o diagrama de Bode da $FTLA$. Por isso, esta técnica de projeto deve ser realizada com o auxílio de uma ferramenta matemática como, por exemplo, o programa *MATLAB*.

No projeto pelo lugar das raízes pode-se proceder da seguinte maneira:

- 1° - Determina-se um modelo para a planta e obtém-se a função de transferência em S do conversor;
- 2° - Obtém-se a transformada Z da função de transferência do conversor em S ;
- 3° - Determina-se o tipo de compensador a ser utilizado;
- 4° - Obtém-se a transformada Z da função de transferência do compensador utilizado (a ferramenta de desenho do lugar das raízes do *MATLAB*, o *RLTOOL*, permite que os pólos e zeros do compensador sejam posicionados diretamente no domínio Z , porém, neste trabalho, opta-se por elaborar a função de transferência do compensador no domínio Z e somente então importá-la de dentro da ferramenta *RLTOOL*);
- 5° - São estabelecidos os critérios de posicionamento de pólos e zeros do compensador. A frequência de cruzamento e a margem de fase da *FTLA* também são determinadas;
- 6° - Determina-se o ganho estático do compensador;
- 7° - Avalia-se o lugar das raízes (robustez da planta) e a resposta ao degrau;
- 8° - Os parâmetros como pólos, zeros e ganho estático são reajustados, caso necessário.

O modelo pode ser obtido por uma das diferentes técnicas de modelagem de conversores estáticos (no caso do *FAP* o modelo já foi obtido na Seção 3.2.1 do Capítulo III). O compensador utilizado depende das características do modelo que representa o conversor, sendo que, em geral, utiliza-se um compensador do tipo proporcional-integral (*PI*). As transformadas *Z* (passos 2 e 4) podem ser obtidas com o auxílio da ferramenta matemática utilizada. Os passos 5, 6, 7 e 8 são idênticos às etapas de projeto dos controladores analógicos projetados nas seções 3.2.1 e 3.3.1 do Capítulo III.

6.1.1. Projeto do Controlador de Corrente no Plano *Z*

O projeto do controlador de corrente foi realizado pelo lugar das raízes diretamente no domínio *Z*. Todo o projeto foi realizado com o auxílio do programa matemático *MATLAB*. Dois fatores levam a escolha desta técnica para o projeto dos controladores, a saber:

- A semelhança existente entre o projeto do controlador digital pelo *LR* no domínio *Z* com o projeto do controlador analógico utilizado no Capítulo III;
- A disponibilidade de uma ferramenta matemática como o programa computacional *MATLAB*.

Quando se realiza um projeto de compensador no domínio discreto deve-se tomar o cuidado de representar adequadamente todas as peculiaridades envolvidas nos sistemas amostrados. Um diagrama de blocos que representa todos os ganhos que devem ser considerados na *FTLA* da planta com controle digital pode ser visto na Fig. 6.1.

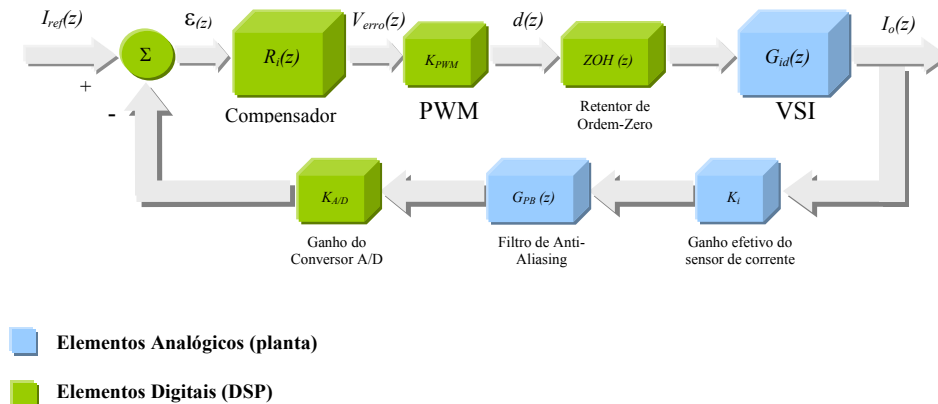


Fig. 6.1 – Modelo da malha de corrente do *FAP* no domínio *Z*.

6.1.1.1. Características do Controle Digital

Algumas características do projeto digital com uso de *DSP*, assim como a descrição dos blocos da Fig. 6.1, serão abordados um a um antes de dar-se continuidade ao procedimento de projeto com o auxílio do programa *MATLAB*.

A. Frequência de Amostragem

Sabe-se que, conforme apresentado na Seção 6.1 deste capítulo, existem elementos nos sistemas amostrados que causam efeitos indesejáveis na planta, como o atraso de fase na *FTLA* em frequências a partir de duas décadas abaixo da frequência de amostragem. Assim, quanto maior for a frequência de amostragem, menores são os efeitos indesejáveis decorrentes do controle digital.

Deve-se portanto procurar utilizar sempre a maior frequência de amostragem possível dentro dos limites de desempenho dos periféricos do *DSP*. O procedimento básico de geração dos pulsos *PWM* pelo processador está apresentado na Fig. 6.2.

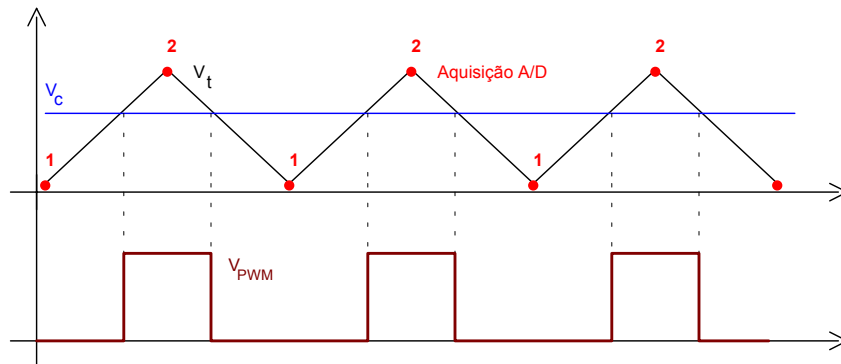


Fig. 6.2 – Princípio de geração dos pulsos *PWM*.

A triangular V_t é gerada numericamente por um contador programável, funcionando no modo *up-down*, do gerenciador de eventos do *DSP*. O sinal V_c é o resultado da equação a diferenças do compensador numérico, representando assim a ação de controle. A comparação entre os dois sinais gera os pulsos de comando *PWM*.

O gerenciador de eventos permite que se programe a seqüência de aquisições do conversor *A/D* no instante 1, ou nos instantes 1 e 2, sendo que no primeiro caso a frequência de amostragem é igual à frequência de chaveamento e no segundo caso a frequência de amostragem é o dobro da frequência de chaveamento. Como a especificação

do conversor determina uma frequência de chaveamento de 30 kHz, tem-se que, utilizando o gerenciador de eventos para programar a seqüência de aquisições do conversor *A/D*, pode-se obter uma frequência de amostragem de 60 kHz para cada sinal.

B. Ganho do Modulador *PWM*

O sinal triangular V_t , visto na Fig. 6.2 é incrementado e decrementado na frequência do *clock* do *DSP*, que é de 30 MHz. A expressão (6.3) fornece a contagem máxima da triangular em função da frequência de chaveamento desejada.

$$V_{t_{max}} = \frac{F_{clock}}{F_s} \cdot \frac{1}{2} \tag{6.3}$$

$V_{t_{max}} \Rightarrow 500$.

Assim o valor de pico a pico da triangular é 500 para uma frequência de chaveamento de 30 kHz. O ganho do modulador *PWM* é dado por:

$$K_{PWM} = \frac{1}{V_{t_{pico}}} = \frac{2}{V_{t_{pico-pico}}} = \frac{2}{V_{t_{max}}} \tag{6.4}$$

O resultado da equação a diferenças do compensador é armazenado em um registrador de 16 *bits* com sinal, e assim o mesmo pode assumir valores entre -32767 e +32767. Como o modulador *PWM* admite apenas valores entre 0 e 500, foram adicionados um ganho e um deslocamento para adequar o valor de saída do controlador (ver Fig. 6.3).

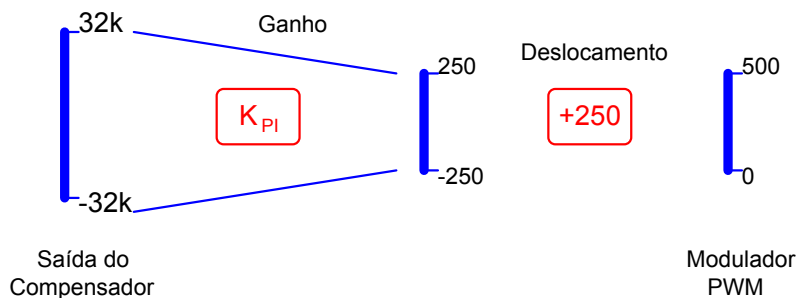


Fig. 6.3 – Esquema de ganhos do modulador *PWM*.

Pode ser demonstrado que o deslocamento aplicado ao sinal de saída do controlador não tem efeito na *FTLA* da planta. O ganho utilizado é dado por:

$$K_{PI} = \frac{V_{t_{\max}}}{65535} \quad (6.5)$$

C. O Filtro de *Anti-Aliasing*

Conforme foi visto na Seção 5.1.2 do Capítulo V, o uso de um filtro de *anti-aliasing* faz-se necessário em todos os sinais adquiridos em sistemas amostrados. O filtro de *anti-aliasing* é, em geral, um filtro do tipo passa-baixas como o apresentado na Fig. 6.4. A função transferência deste filtro no domínio S está representado na expressão (6.6).

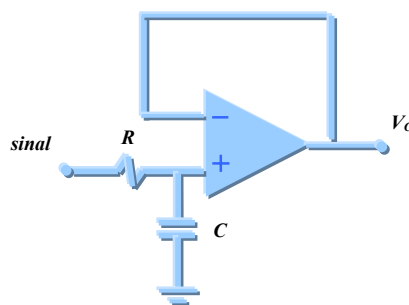


Fig. 6.4 – Filtro de *Anti-Aliasing*.

$$f_{PB}(s) = \frac{1}{s - w_c} \quad (6.6)$$

A frequência de corte f_c do filtro deve ser da ordem da metade da frequência de amostragem, ou seja, de 30 kHz. O valor do capacitor C foi estipulado em 1 nF e assim o resistor R pode ser calculado como:

$$R = \frac{1}{C \cdot 2\pi \cdot f_c} \quad (6.7)$$

$$R \Rightarrow 5,6 \text{ k}\Omega.$$

D. Ganho do Conversor *A/D*

A tensão de aquisição do conversor *A/D* do *DSP TMS320LF2407* é de 0 até 3,3 volts, sendo que o conversor possui ainda 10 *bits* de resolução. De posse destas informações, é possível calcular o ganho introduzido na amostragem de um sinal, que é dado por:

$$K_{AD} = \frac{V_{aq_{\max}}}{1024} \quad (6.8)$$

$$K_{AD} \Rightarrow 310.$$

E. Ganho Ki_D do Sensor de Corrente

O ganho do sensor de corrente inclui um novo termo introduzido pela placa de condicionamento de sinais, que será projetada na Seção 7.1.1 do Capítulo VII. Assim o ganho total do sensor de corrente passa a ser a composição do ganho do sensor de corrente analógico, apresentado na Seção 2.2.10.2 do Capítulo II, com um ganho ajustável pela placa de condicionamento de sinais.

Como o ganho Ki_D resultante pode ser ajustado, fez-se, através do uso de um potenciômetro, com que o mesmo assumisse o valor:

$$Ki_D \Rightarrow 0,1.$$

F. O Compensador

O compensador utilizado deve possuir características semelhantes ao compensador avanço-atraso utilizado no controle analógico. O compensador avanço-atraso possui um zero, e dois pólos, sendo um dos pólos na origem, conforme apresentado na expressão (3.21).

Como o filtro passa-baixa, utilizado na amostragem da corrente da rede para evitar o efeito de *aliasing*, está na *FTLA* da planta e introduz um pólo no sistema não é necessário utilizar um compensador avanço-atraso. Um compensador *PI*, com um zero e com um pólo na origem, associado a um filtro passa-baixa, produz o mesmo efeito de um compensador do tipo avanço-atraso, exceto que a posição do pólo é determinada pelo filtro passa-baixa.

Assim o compensador utilizado no controlador digital é um *PI* caracterizado pela seguinte função de transferência:

$$Ri = Ki \cdot \frac{s - w_z}{s} \quad (6.9)$$

Para converter o controlador de corrente no domínio Z , utilizou-se o método de discretização por aproximação bilinear, que consiste em substituir a variável S por $\frac{2}{T} \cdot \frac{(z-1)}{(z+1)}$, onde $T = \frac{1}{f_a}$, sendo f_a a frequência de amostragem do processo.

Discretizando-se o controlador de corrente do tipo PI no domínio de S (6.9) obtém-se o controlador em Z representado pela expressão (6.10).

$$R_i(z) = a \cdot \left(\frac{1 + b \cdot z^{-1}}{(1 - z^{-1})} \right) \quad (6.10)$$

onde:

$$a = \frac{K_i \cdot (2 + T \cdot \omega_z)}{2}, \text{ representa o ganho estático.} \quad (6.11)$$

$$b = \frac{(T \cdot \omega_z - 2)}{(T \cdot \omega_z + 2)}, \text{ representa a posição do zero.}$$

G. Equação a Diferenças

O projeto do controlador de corrente está representado no domínio Z . Como o objetivo de controle proposto trata-se da implementação dessas leis de controle via DSP , faz-se necessário escrever as funções de transferência dos controladores sob a forma de equações a diferenças, dessa forma é possível implementá-las via programação linear usando o DSP da *Texas*.

Sabendo-se que a função de transferência $R_i(z)$ representa a relação $\frac{d(z)}{e(z)}$, tem-se que:

$$\frac{d(z)}{e(z)} = a \cdot \left(\frac{1 + b \cdot z^{-1}}{(1 - z^{-1})} \right) \quad (6.12)$$

E, a partir da expressão (6.12), obtém-se a equação a diferenças:

$$U(k) = U(k-1) + a \cdot e(k-1) + a \cdot b \cdot e(k-1) \quad (6.13)$$

Os valores das constantes a e b podem ser obtidos através da expressão (6.11). Na prática, estes parâmetros são ajustados no projeto do controlador através do lugar das raízes no domínio Z .

H. A Planta

A planta no domínio discreto deve incluir a função de transferência do modelo do conversor, o filtro de *anti-aliasing*, o ganho do amostrador, o ganho do modulador *PWM* e o efeito do retentor de ordem zero. Estes blocos encontram-se destacados na Fig. 6.1.

A função de transferência da planta no domínio Z pode ser obtida com o uso da função ‘*c2d*’, ou ‘*continuous to discrete*’, do programa *MATLAB*. A função ‘*c2d*’ apresenta a seguinte sintaxe:

$$f(z) = c2d (f(s), T, \text{'tipo de transformada'})$$

onde:

- $f(z)$: é a função de transferência obtida no domínio Z ;
- $f(s)$: é a função de transferência no domínio S a ser transformada;
- T : é período de amostragem da função no domínio Z ;
- ‘tipo de transformada’: é o método utilizado na obtenção da transformada Z .

O modelo do conversor utilizado é o mesmo do projeto do controlador analógico, representado pela expressão (3.20).

O efeito do retentor de ordem zero pode ser incorporado utilizando-se o método *ZOH* ao utilizarmos a função ‘*c2d*’.

6.1.1.2. Gráfico do *LR*

Os gráficos do lugar das raízes da *FTMF* e do diagrama de *Bode* da *FTLA* foram obtidos com o auxílio da ferramenta *RLTOOL* do programa *MATLAB*. Esta ferramenta permite que se determine uma planta, um compensador e um ganho de amostragem. Os parâmetros do compensador são as variáveis livres a serem determinadas pela análise através do *LR*.

O ganho da amostragem e o compensador no domínio Z são obtidos com a função ‘*c2d*’ usando o método *tustin*. A planta é obtida como descrito no item H da seção anterior.

O código do programa utilizado para gerar o gráfico do *LR* e projetar o controlador está apresentado no anexo 2-C.

6.1.1.3. Projeto do Controlador

Os critérios de projeto do controlador discreto pelo *LR* do *FAP* são muito semelhantes aos critérios utilizados no controlador analógico. A diferença é que os pólos da *FTMF* devem situar-se dentro do círculo unitário para garantir a estabilidade do sistema, sendo que é desejável que os mesmos se situem na região destacada que pode ser vista na Fig. 6.5-*a*, o que garante que a frequência natural de oscilação do sistema submetido ao degrau seja inferior a frequência de amostragem. Um caso em que a frequência de oscilação é igual a frequência de amostragem pode ser visto na Fig. 6.5-*b*.

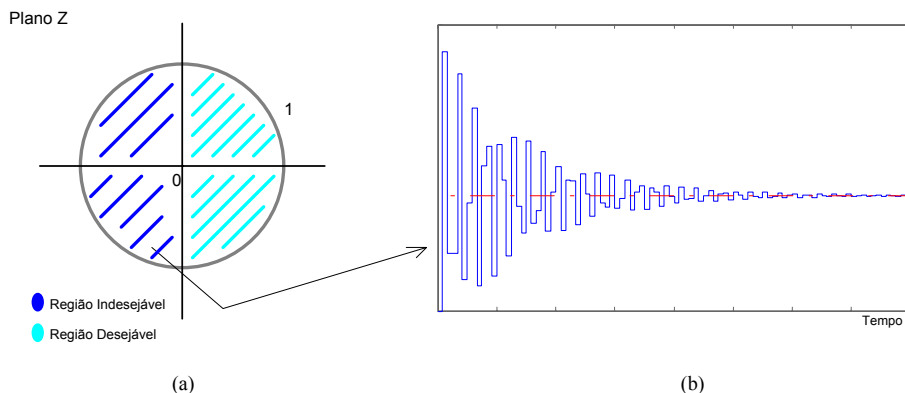


Fig. 6.5 – (a) Região desejável para os pólos da *FTMF* da planta. (b) Frequência natural de oscilação da planta da mesma ordem da frequência de amostragem.

Parâmetro	Critério de Projeto
Frequência de cruzamento	5 kHz
Margem de fase	60°
Frequência do pólo	30 kHz (filtro <i>anti-aliasing</i>)
Frequência do zero	3,75 kHz

Tabela 6.1 - Critérios de projeto para o controlador de corrente.

O atraso de transporte não foi representado na *FTLA* utilizada no programa *MATLAB*, embora ele não possa ser desprezado. O atraso de transporte considerado será de $\frac{1}{4}$ da frequência de amostragem. Um gráfico da fase do atraso de transporte pode ser visto na Fig. 6.6.

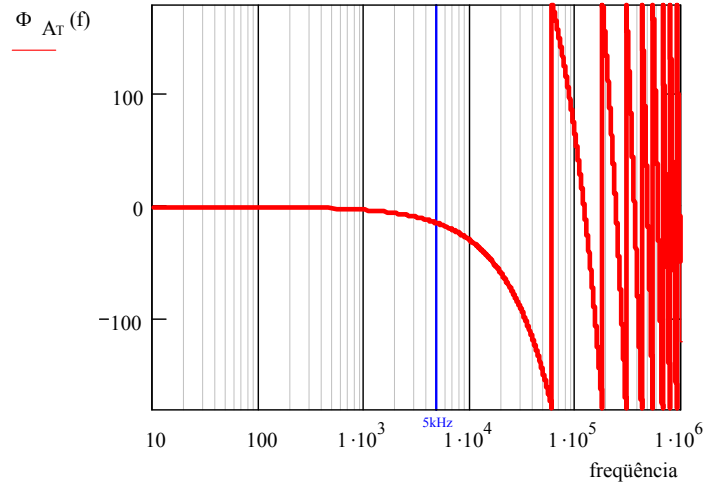


Fig. 6.6 – Fase do atraso de transporte do sistema discreto.

Para uma frequência de cruzamento de 5 kHz o atraso de fase devido ao efeito do atraso de transporte já é de aproximadamente 15°, assim é recomendável que a frequência de cruzamento fique abaixo dos 5 kHz e que a margem de fase da planta fique acima dos 60°, pois não se está considerando o efeito do atraso de transporte no projeto no domínio Z. Os critérios de projeto do compensador estão apresentados na Tabela 6.1.

O gráfico do lugar das raízes da *FTMF* do *FAP* com controle digital pode ser visto na Fig. 6.7.

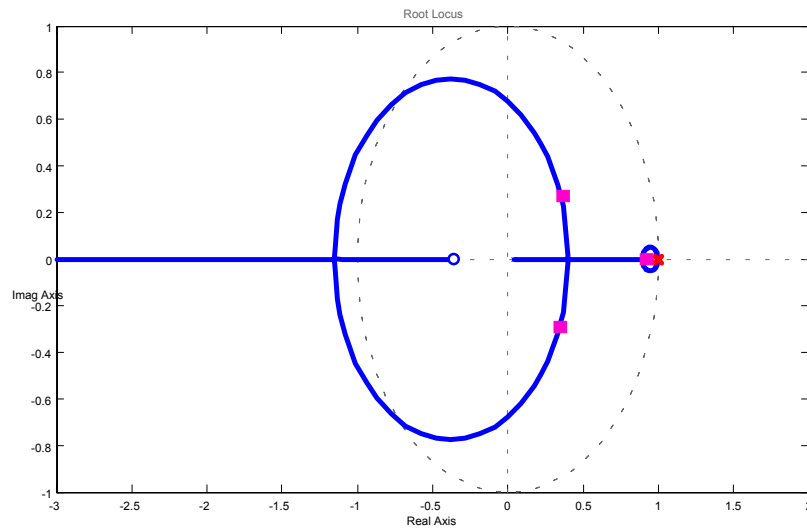


Fig. 6.7 – Gráfico do LR da *FTMF* do *FAP* com controle digital.

Nota-se que o lugar das raízes ficou dentro da região desejada segundo a Fig. 6.5. O diagrama de Bode da fase da *FTLA* pode ser visto na Fig. 6.8. Os parâmetros da *FTLA* e do compensador de tensão estão apresentados na Tabela 6.2.

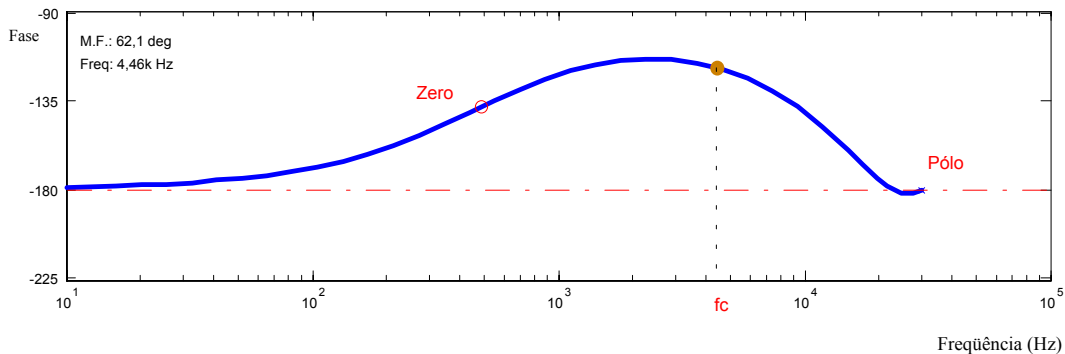


Fig. 6.8 – Fase da *FTLA* do *FAP* com controle digital.

Parâmetro	Valor obtido pelo LR
Frequência de cruzamento	4,46 kHz
Margem de fase	62,1°
Frequência do pólo	30 kHz (filtro <i>anti-aliasing</i>)
Frequência do zero	500 Hz
Ganho estático K_{Ri}	75

Tabela 6.2 - Parâmetros obtidos para o controlador de corrente.

A resposta ao degrau da *FTLA* com os parâmetros do compensador apresentados na Tabela 6.3 pode ser vista na Fig. 6.9. O comportamento da resposta ao degrau é muito bom, sem um sobre-sinal acentuado e sem as oscilações apresentadas na Fig. 6.5-*b*.

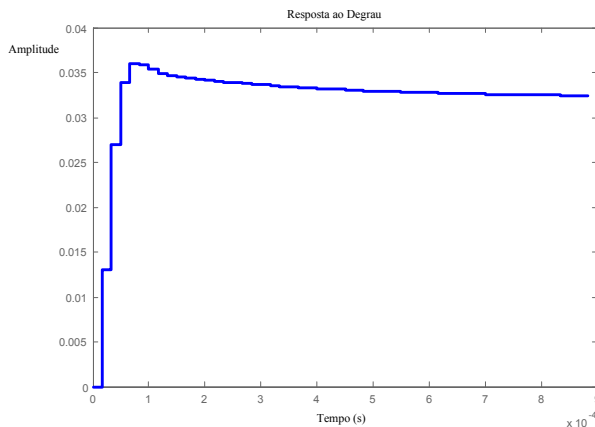


Fig. 6.9 – Resposta ao Degrau.

O seguinte controlador foi obtido no domínio Z:

$$R_i(z) = 75 \cdot \left(\frac{1 + 0.95 \cdot z^{-1}}{(1 - z^{-1})} \right) \tag{6.14}$$

6.1.2. Projeto do Controlador de Tensão no Plano Z

O projeto do controlador de tensão no plano Z segue a mesma metodologia e critérios apresentados na seção anterior. Conforme foi visto no projeto do controlador de tensão analógico, a malha de tensão deve ser bastante lenta, sendo que este é o principal critério de projeto da malha de tensão. Sendo assim os efeitos decorrentes do controle digital não afetam o desempenho da planta em malha fechada, já que a frequência de cruzamento do sistema é muito baixa. Uma listagem do programa usado no *MATLAB* para desenhar o *LR* da malha de tensão está apresentada no anexo 2-D. O lugar das raízes da *FTLA* da malha de tensão pode ser visto na Fig. 6.10.

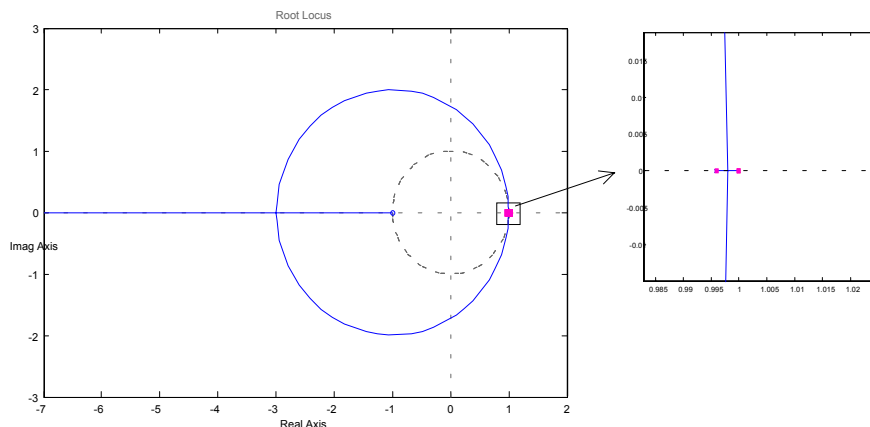


Fig. 6.10 – Lugar das raízes da *FTMF* da malha de tensão.

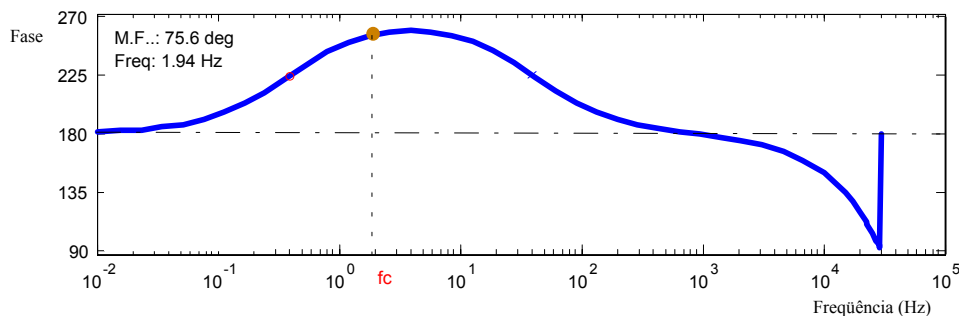


Fig. 6.11 – Fase da *FTLA* da malha de tensão.

Os parâmetros da *FTLA* e do compensador de tensão estão apresentados na Tabela 6.3.

Parâmetro	Valor obtido pelo <i>LR</i>
Frequência de cruzamento	2 Hz
Margem de fase	75,6°
Frequência do pólo	60 Hz (filtro <i>anti-aliasing</i>)
Frequência do zero	4 Hz
Ganho estático K_{Ri}	0,1

Tabela 6.3 - Parâmetros obtidos para o controlador de corrente.

O seguinte controlador foi obtido no domínio Z:

$$R_v(z) = 0.1 \cdot \left(\frac{1 + 0.995 \cdot z^{-1}}{1 - z^{-1}} \right) \quad (6.15)$$

6.2. Resultados de Simulação

É interessante que a estratégia de comando digital seja submetida a simulação numérica. Programas convencionais de simulação numérica como o *Orcad Capture* não podem ser utilizados pois não possuem elementos matemáticos no domínio discreto. Novamente a solução é recorrer a ferramentas matemáticas como o *MATLAB*. Através da ferramenta *SIMULINK*, o programa *MATLAB* permite que se trabalhe com blocos matemáticos no domínio Z e com circuitos elétricos simultaneamente, possibilitando assim a simulação de conversores controlados de modo digital.

O núcleo de controle digital está apresentado na Fig. 6.12.

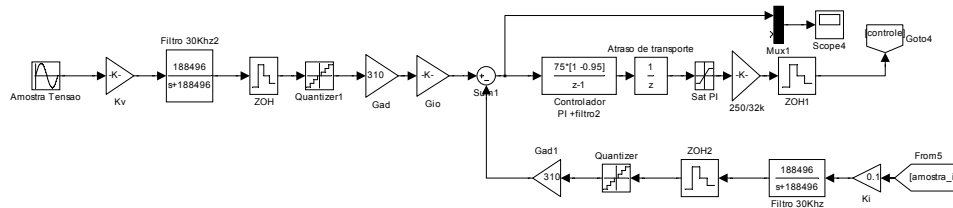


Fig. 6.12 – Diagrama de controle digital do *FAP*.

Os elementos associados ao controle digital estão todos representados, a exceção dos registradores de ponto fixo de 16 *bits* utilizados pelo *DSP* para processar as variáveis. A estratégia de modulação *PWM* foi representada externamente ao *DSP*, de modo analógico. O esquema da modulação *PWM* está apresentado na Fig. 6.13.

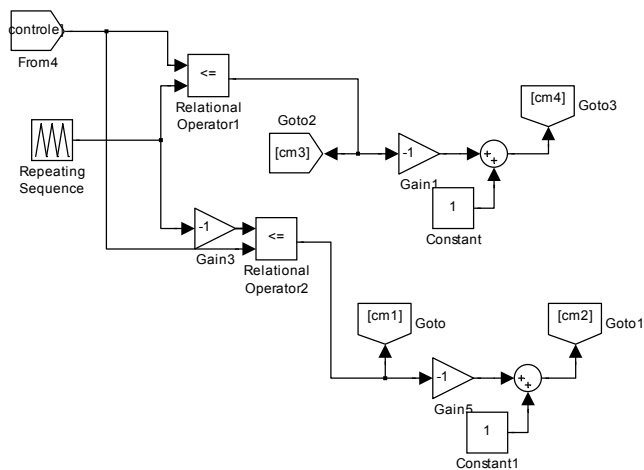


Fig. 6.13 – Esquema da modulação *PWM* a 3 níveis.

A estrutura de potência está apresentada na Fig. 6.14.

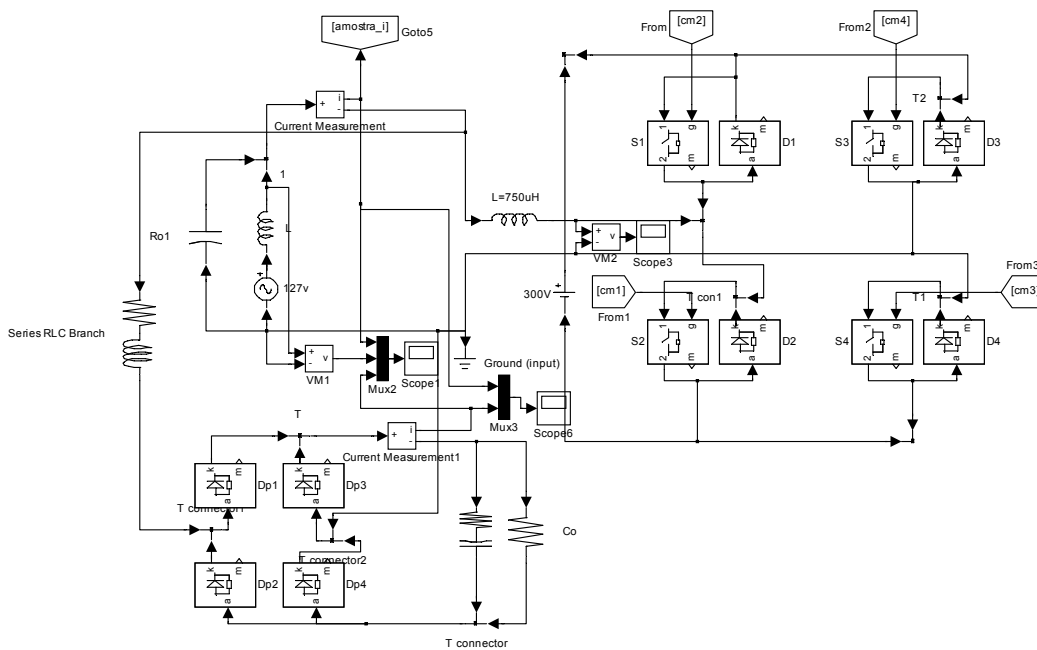


Fig. 6.14 – Esquema de potência do *FAP*.

O esquema completo simulado na ferramenta *SIMULINK* está apresentado na Fig. 6.15.

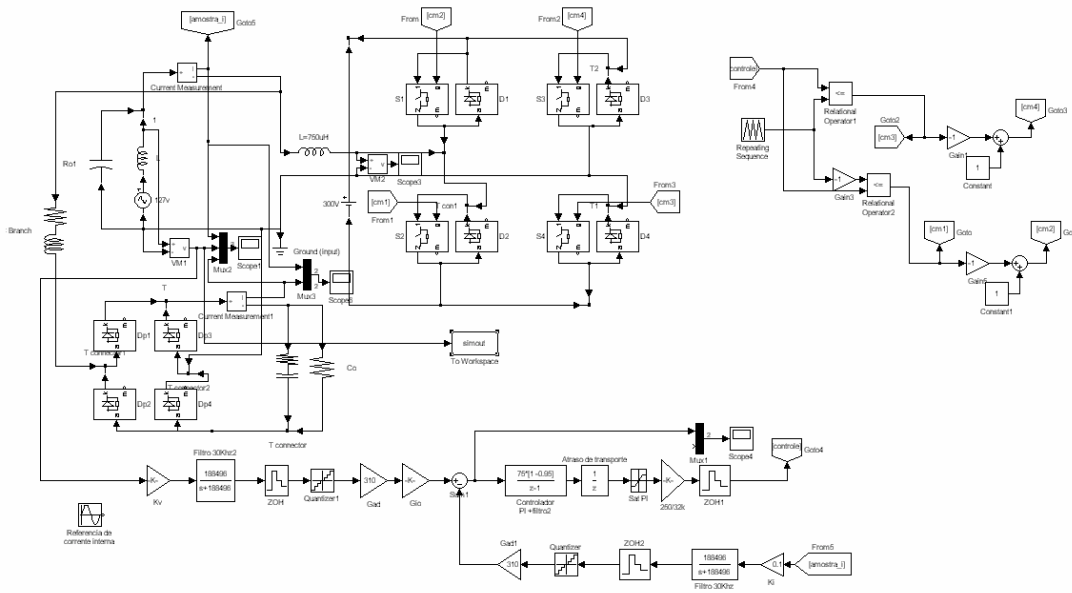


Fig. 6.15 – Esquema completo de potência e de comando digital.

O *FAP* com o controlador digital projetado na Seção 6.3.1 foi simulado com 3 diferentes cargas, a saber:

- Um retificador com filtro capacitivo;
- Um retificador com filtro capacitivo e filtro de entrada (indutivo);
- Um retificador com carga R-L.

A corrente total drenada da rede, para cada caso, está apresentada na Fig. 6.16-a, Fig. 6.16-b e Fig. 6.16-c, respectivamente.

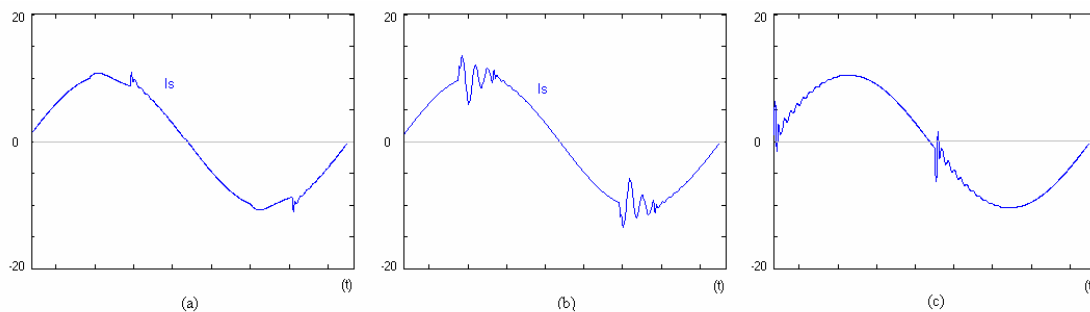


Fig. 6.16 – Corrente drenada da rede (a) Retificador com filtro capacitivo. (b) Retificador com filtro capacitivo e com filtro de entrada. (c) Retificador com carga R-L.

O efeito da indutância de dispersão do transformador utilizado para adaptar a tensão da rede elétrica foi representado, daí as distorções exageradas da corrente drenada da rede. O controlador de corrente digital também é mais lento do que o controlador do caso analógico, o que também justifica uma maior distorção da corrente drenada da rede para o *FAP* com controle digital.

6.3. Conclusão

Neste capítulo foi apresentada uma metodologia de projeto para os controladores digitais do *FAP*.

Os controladores digitais propostos foram simulados com o auxílio da ferramenta *Simulink* do programa computacional *MATLAB*. Os resultados obtidos através de simulação numérica foram bastante satisfatórios e conclusivos, sendo que a construção de uma estrutura de controle digital para validação da metodologia através de resultados experimentais será realizada no Capítulo VII.

CAPÍTULO VII - Resultados Experimentais do Protótipo de 1 *kVA* com Controle Digital

Neste capítulo apresentam-se as estruturas necessárias para a construção do protótipo de 1 *kVA* com controle digital. Serão apresentados ainda os resultados experimentais da estrutura de potência do *FAP* já construído comandada pelo *DSP*.

7.1. Protótipo de 1 *kVA*

A estrutura de potência do protótipo de 1*kVA* (apresentado no Capítulo IV) construído para funcionar com o controlador analógico também será utilizada para consolidar o projeto do controlador digital.

A estrutura de comando do protótipo digital é constituída pelo *kit* de desenvolvimento *eZdsp™ LF2407* e pela placa de condicionamento de sinais.

O *eZdsp™ LF2407* vem equipado com o *DSP TMS320LF2407* da *Texas Instruments*. O *kit* funciona como uma interface para programação do *DSP*.

7.1.1. Condicionamento dos Sinais

Esta seção aborda o projeto da placa de interface entre o *DSP* e os circuitos de potência e que é necessária para tratar os sinais de entrada e de saída do *DSP*.

Os sinais vindos dos transdutores necessitam de tratamento analógico para que eles possam ser adquiridos pelos conversores *A/D* do *DSP*.

Os sinais de comando gerados pelo *DSP* também devem receber tratamento analógico pra adequar os seus níveis de tensão, pois o *DSP* da *Texas* é alimentado em 3,3 volts e o sinal que sai para o *driver* de comando dos interruptores deve ser de 15 volts.

Um circuito de comando do relé de partida também foi incluído nesta placa para garantir que o resistor de partida atue de forma adequada mesmo com o *DSP* desligado.

Os sinais vindos dos transdutores de corrente e de tensão da rede (amostrador) possuem componente alternada (*CA*). Isto é um problema uma vez que o circuito de aquisição analógica do *DSP* trabalha somente com sinais contínuos (*CC*). Para resolver

este problema um circuito de deslocamento de nível e de ajuste de ganho deve ser utilizado para colocar estes dois sinais dentro dos limites de tensão de aquisição do conversor *A/D* do *DSP* (0 – 3,3 volts). O circuito completo utilizado para condicionar estes dois sinais está apresentado na Fig. 7.1.

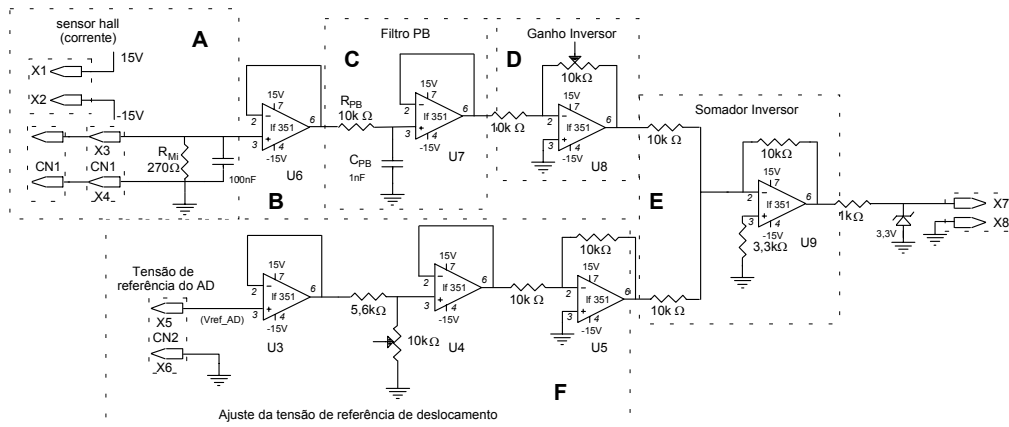


Fig. 7.1 - Circuito de interface para os sinais dos sensores de corrente e de tensão da rede.

O circuito está dividido em seis blocos de acordo com as suas diferentes funções. Na Fig. 7.2 podemos observar o sinal na saída de cada um dos blocos. Es seguida tem-se uma descrição de cada bloco.

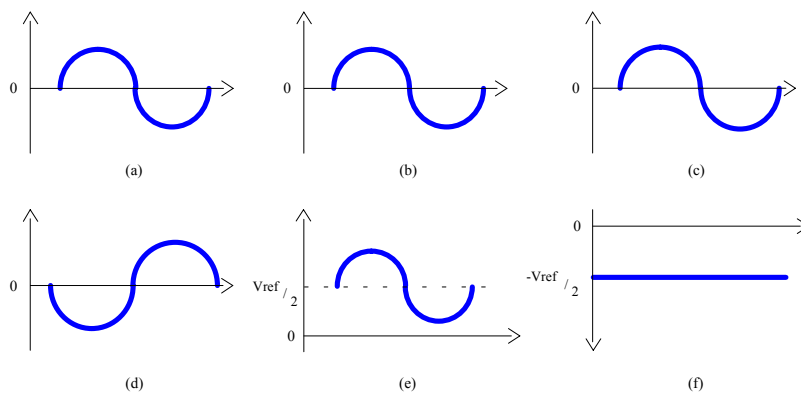


Fig. 7.2 – (a) Saída do bloco A. (b) Saída do bloco B. (c) Saída do bloco C. (d) Saída do bloco D. (e) Saída do bloco E. (f) Saída do bloco F.

A. Sinais dos Sensores de Efeito *Hall*

Este bloco faz parte do projeto dos sensores e nele se encontram os estágios de alimentação $\pm V_{cc}$ dos sensores e a entrada de sinal dos mesmos. Tanto o sensor *Hall* de tensão quanto o de corrente tem saída em corrente (ver Fig. 7.3) e os resistores R_{Mi} / R_{Mv}

são os responsáveis pelo ganho de corrente e pelo ganho de tensão, respectivamente, dos sensores de efeito *Hall*. O capacitor colocado em paralelo com o resistor R_{Mi} / R_{Mv} funciona com filtro de ruído de alta frequência.

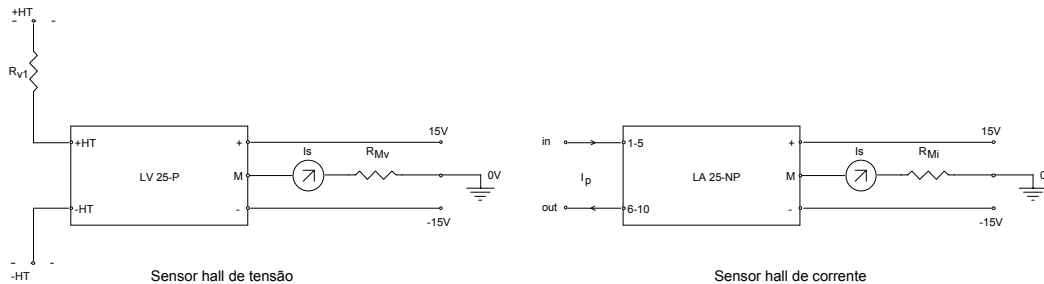


Fig. 7.3 - – Esquema elétrico dos sensores hall de tensão e de corrente.

B. Buffer

O bloco B funciona como um *buffer* constituído de um amplificador operacional na configuração de seguidor de tensão. Este *buffer* garante que o sinal vindo do transdutor não seja afetado pela impedância de entrada do circuito.

C. Filtro Passa-Baixa de Anti-Aliasing

Este é o filtro passa-baixa que funciona como filtro de *anti-aliasing* e que já foi projetado na Seção 6.1.1.1-C do Capítulo VI.

D. Circuito Inversor com Ganho

Os limites de tensão do sinal são ajustados com o ganho deste estágio. O ganho deste estágio deve ser negativo, pois o bloco somador que o segue (bloco E), possui uma característica inversora (ganho negativo). Desta forma, o sinal resultante destes dois blocos em cascata (blocos D e E) possui ganho positivo, ou seja, ganho não inversor.

E. Somador Inversor

Este bloco é o responsável pelo deslocamento de nível do sinal alternado dos sensores de modo que o sinal de saída contenha componente *DC* e se situe dentro dos limites de tensão de aquisição do *DSP*. O amplificador operacional somador soma o sinal

vindo do bloco D com uma tensão de referência ajustada na metade da tensão máxima de aquisição do *DSP*. Esta tensão de referência é obtida no bloco F.

F. Tensão de Referência

O *DSP* possui uma porta de saída com a máxima tensão de aquisição do conversor *A/D*. Este sinal chega do *DSP* nos pinos X_5 , X_6 e passa por um divisor resistivo de ganho 0,5 com *buffer*. Novamente um estágio inversor é necessário já que o bloco E é um somador inversor. Desta forma a referência de deslocamento do bloco E está disponível na saída do bloco F.

A porta de saída formada pelos pinos X_7 e X_8 pode ser diretamente conectada em um dos pinos de entrada de aquisição *A/D* do *DSP*.

O sinal vindo do sensor hall de tensão *CC* do capacitor C_f do *FAP* não possui componente alternada e assim sendo não precisa ser deslocado. O sinal passa apenas pelo filtro *anti-aliasing* e assim está pronto para aquisição pelo *DSP* (ver Fig. 7.6).

7.1.2. Sinais de Comando do *DSP*

Os sinais de comando gerados pelo *DSP* devem passar por um *buffer* antes de irem para o *driver* de comando dos interruptores do estágio de potência (*Semikron SK20op*). Este *buffer* está apresentado na Fig. 7.4.

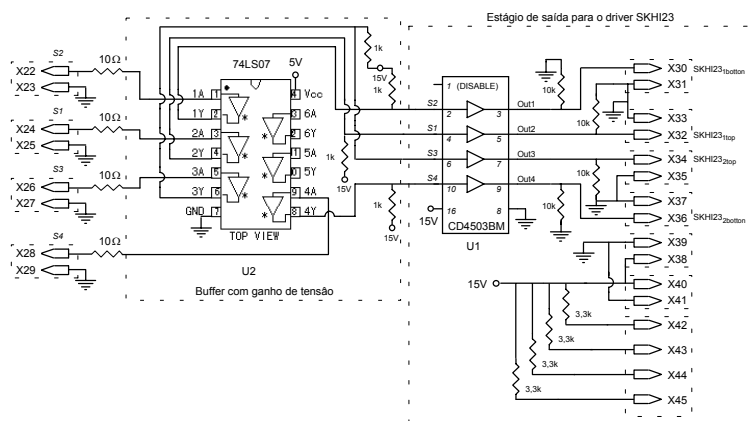


Fig. 7.4 – Esquema elétrico do *buffer* de saída para o *driver* de comando.

Os sinais de comando do *DSP* chegam nos pinos $X_{22} - X_{29}$ e passam primeiramente por um *buffer* *74LS07* que possui saída em coletor aberto. Desta forma o sinal de 3,3 volts que chega do *DSP* pode ter a tensão ajustada para 15 volts através de um simples resistor *pull-up* na saída do *buffer*.

O sinal de 15 volts passa novamente por um *buffer* *CD4503BM*, que foi incluído por possuir entrada de *enable*, o que permite que os sinais sejam desabilitados através de comando analógico externo. As saídas deste *buffer* possuem resistores *pull-down* para que se garanta que o sinal não flutue na saída do driver quando o mesmo está desabilitado.

Os pinos $X_{30} - X_{36}$ são os sinais de comando que vão para o *driver* de comando.

7.1.3. Comando do Relé do Circuito de Partida

Um circuito de comando externo para acionar o relé de partida foi adicionado na placa de interface. O esquema elétrico pode ser visto na Fig. 7.5.

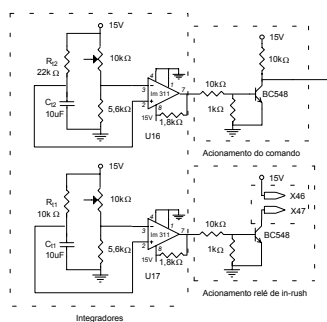


Fig. 7.5 – Esquema elétrico do controle de corrente de partida.

O circuito é formado por um integrador que habilita o relé de partida depois de decorrido um tempo predeterminado. Após o comando do relé de partida o sinal de *enable* para o comando do conversor é fornecido para o *driver* *CD4503BM* do estágio de saída de comando da placa de interface.

7.1.4. Esquema Final da Placa de Interface

O esquema completo da placa de interface pode ser visto na Fig. 7.6.

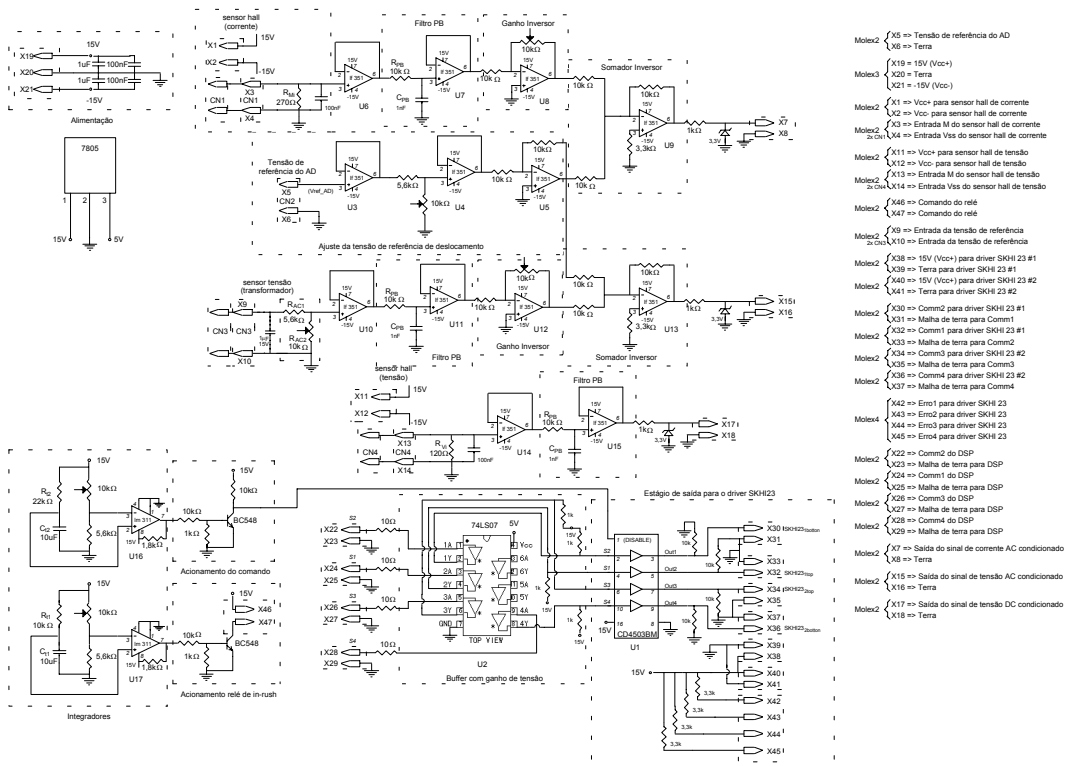


Fig. 7.6 - Esquema elétrico completo da placa de interface.

Todos os conectores dos pinos de entrada e de saída são do tipo *MOLEX*. Capacitores de desacoplamento foram colocados na alimentação de todos os circuitos integrados. Os conectores estão identificados ao lado do esquema elétrico para facilitar a identificação na placa. Uma foto da placa de interface pode ser vista na Fig. 7.7.

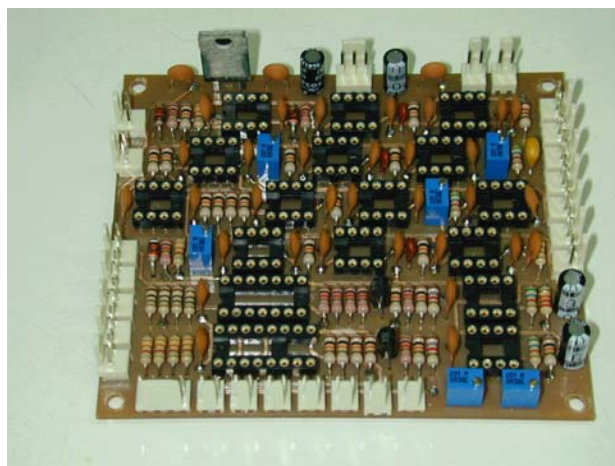


Fig. 7.7 - Foto da placa de interface ou condicionamento de sinais.

7.2. Resultados Experimentais

As aquisições das formas de onda do protótipo de 1kVA funcionando com o controle digital foram realizadas sob circunstâncias idênticas para o caso com controle analógico, apresentadas no Capítulo IV.

7.2.1. FAP Funcionando como Retificador *BOOST*

As formas de onda da tensão e da corrente drenada da rede para o *FAP* funcionando como retificador *BOOST* podem ser vistas na Fig. 7.8.

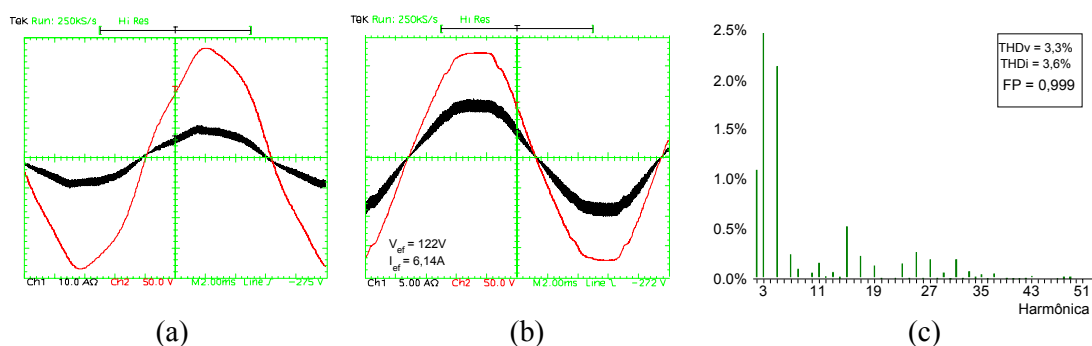


Fig. 7.8 – (a) e (b) Formas de onda da tensão e da corrente drenada da rede para o *FAP* funcionando como retificador *BOOST*. (c) Espectro harmônico da corrente drenada da rede.

O *FAP* funcionando com a tensão fornecida por um *varivolt* de 12 ampères / 0-220 volts pode ser visto na Fig. 7.8-*a*, sendo que na Fig. 7.8-*b* apresenta o *FAP* alimentado pelo transformador de 10kVA. Nota-se claramente a melhora na distorção da tensão de alimentação no caso do uso do transformador.

Conforme pode ser visto na Fig. 7.8-*c* é claro que o desempenho do *FAP* funcionando como retificador *BOOST* é excelente. A taxa de distorção harmônica da corrente ficou apenas 0,5% maior do que a taxa de distorção da tensão da rede, que serve como referência.

7.2.2. Conjunto de Fontes Chaveadas

As formas de onda da tensão e da corrente drenada da rede para a *FAP* funcionando em paralelo com o conjunto de fontes chaveadas de microcomputadores podem ser vistas na Fig. 7.9.

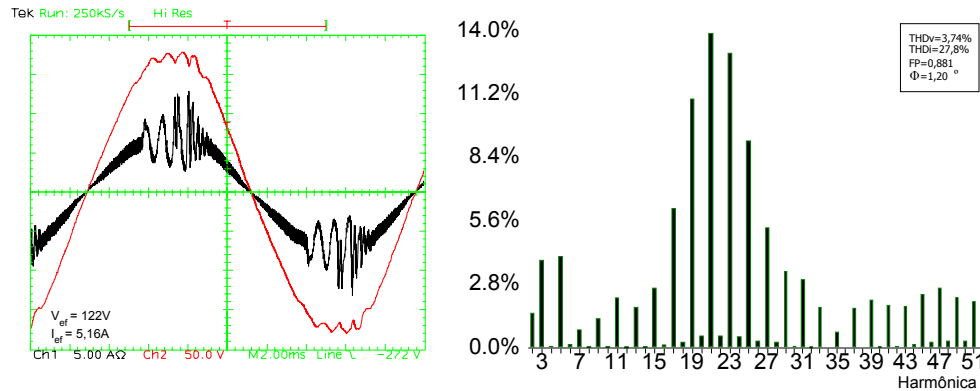


Fig. 7.9 – (a) Formas de onda da tensão e da corrente drenada da rede. (b) Espectro harmônico da corrente drenada da rede.

Embora a corrente drenada da rede tenha sofrido uma considerável redução de seu conteúdo harmônico este ainda é elevado. Pode-se citar três fatores que fazem com que a corrente não acompanhe adequadamente uma referência senoidal, a saber:

- O controlador é lento devido às limitações existentes no controle digital. Isto faz com que o *FAP* não consiga acompanhar as harmônicas de ordem mais elevada.
- A referência de corrente é uma amostra da tensão da rede, sendo que esta já se encontra distorcida devido ao efeito da indutância de dispersão do transformador utilizado (este fenômeno já foi abordado na Seção 4.2.2. do Capítulo IV). Assim, a referência de corrente sofre o efeito da distorção da rede, o que acaba realimentando o efeito oscilatório da tensão da rede elétrica;
- A própria indutância de dispersão do transformador, que não é desprezível, agrava o efeito descrito acima. Caso o conversor opere diretamente na rede elétrica, sem o uso de um transformador, esta distorção deve ser muito menor;

A combinação dos três efeitos descritos acima é o que justifica a distorção excessiva da corrente drenada da rede se estes resultados forem comparados com os resultados obtidos do caso em que o controle é analógico.

7.2.3. Retificador com Filtro Capacitivo

As formas de onda da tensão e da corrente drenada da rede para o *FAP* funcionando com um retificador com filtro capacitivo pode ser visto na Fig. 7.10.

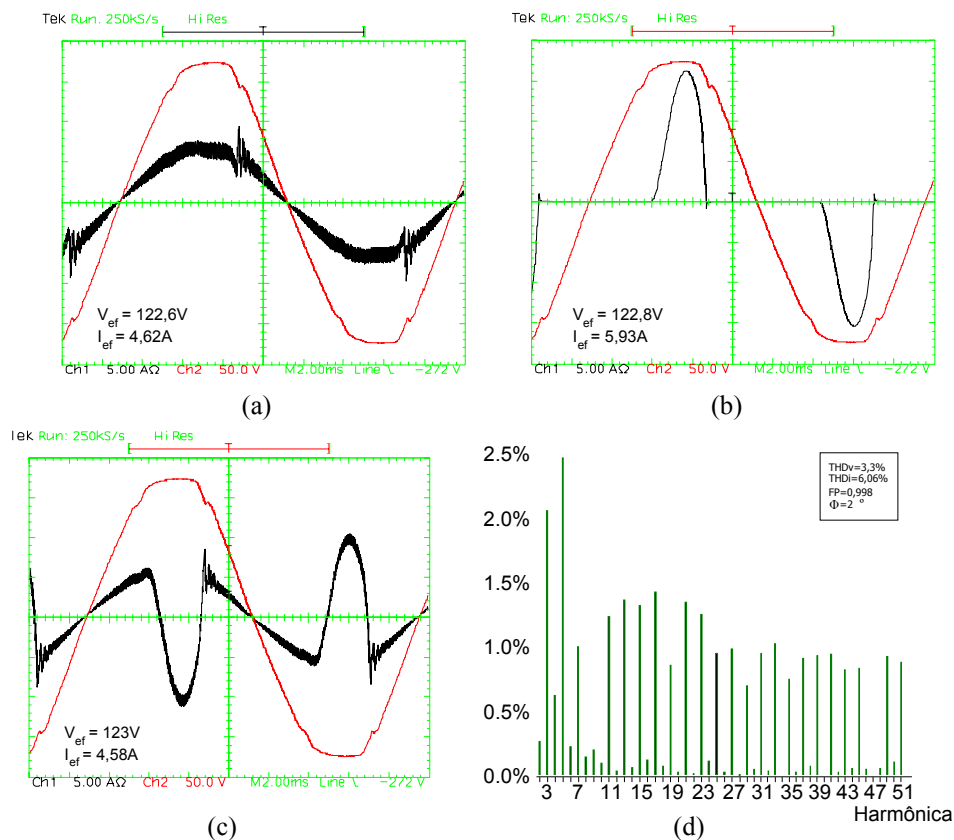


Fig. 7.10 – (a) Tensão e corrente drenada da rede. (b) Tensão e corrente da carga. (c) Tensão e corrente que circula no *FAP*. (d) Espectro harmônico da corrente drenada da rede.

O retificador com filtro capacitivo usado como carga possui um indutor de filtragem de 350uH em sua entrada. Este indutor limita a derivada da corrente solicitada pelo retificador, o que justifica o comportamento adequado do *FAP* com este tipo de retificador. A taxa de distorção harmônica da corrente foi de 6,06%, sendo que a tensão apresentava um *THD* de 3,3%. Nesta situação o *FAP* atuou de modo adequado.

7.2.4. Retificador com Carga R-L

As formas de onda da tensão e da corrente drenada da rede com o *FAP* funcionando com um retificador com carga *R-L* podem ser vistas na Fig. 7.11.

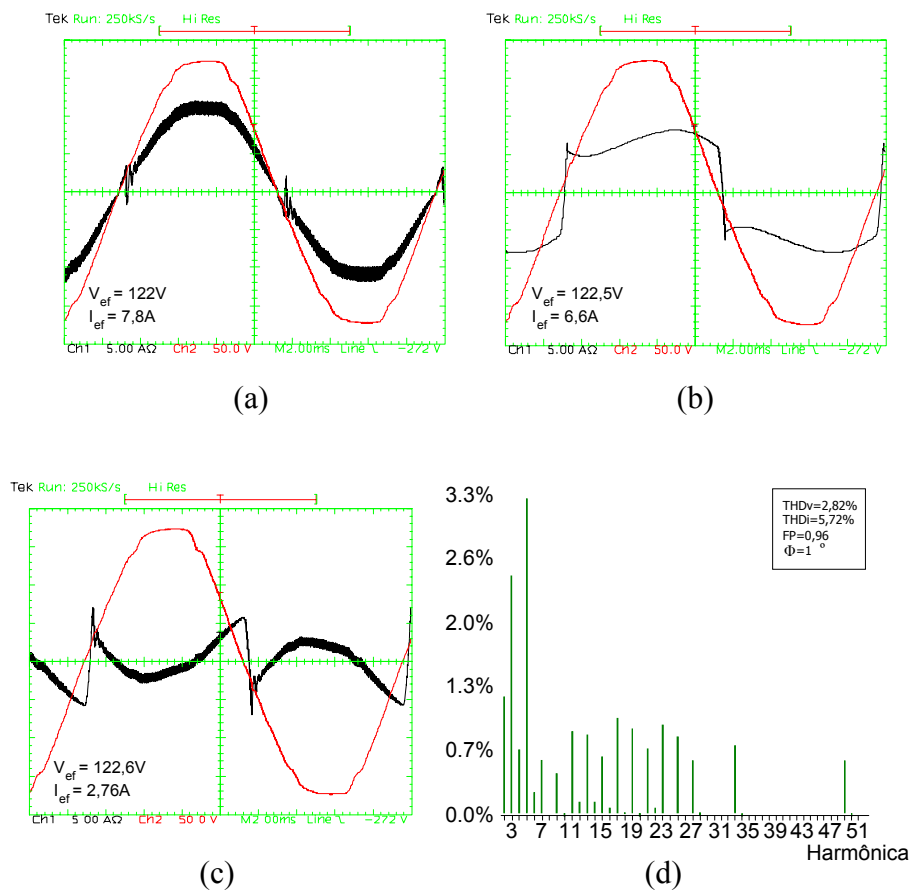


Fig. 7.11 – (a) Tensão e corrente drenada da rede. (b) Tensão e corrente da carga. (c) Tensão e corrente que circula no *FAP*. (d) Espectro harmônico da corrente drenada da rede.

Para este caso o *FAP* também funcionou de modo adequado, embora este tipo de carga imponha um degrau na referência de corrente para o controlador digital. A *THD* da corrente ficou em 5,72% para uma *THD* da tensão de 2,82%.

7.2.5. Carga *R-L*

As formas de onda da tensão e da corrente drenada da rede com o *FAP* funcionando com uma carga linear *R-L* podem ser vistas na Fig. 7.12.

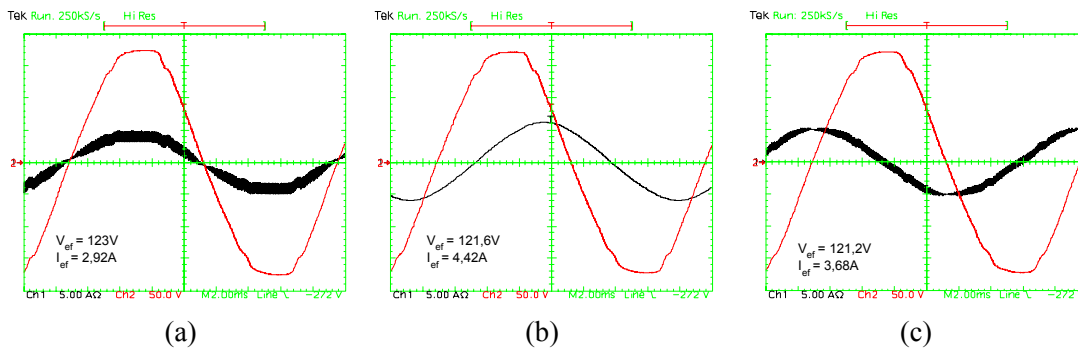


Fig. 7.12 - (a) Tensão e corrente drenada da rede. (b) Tensão e corrente da carga. (c) Tensão e corrente que circula no *FAP*.

Assim como no caso analógico, o *FAP* corrigiu adequadamente o reativo de deslocamento da carga linear de caráter indutivo.

7.2.6. Carga R

As formas de onda da tensão e da corrente drenada da rede com o *FAP* funcionando com uma carga linear resistiva pura *R* podem ser vistas na Fig. 7.13.

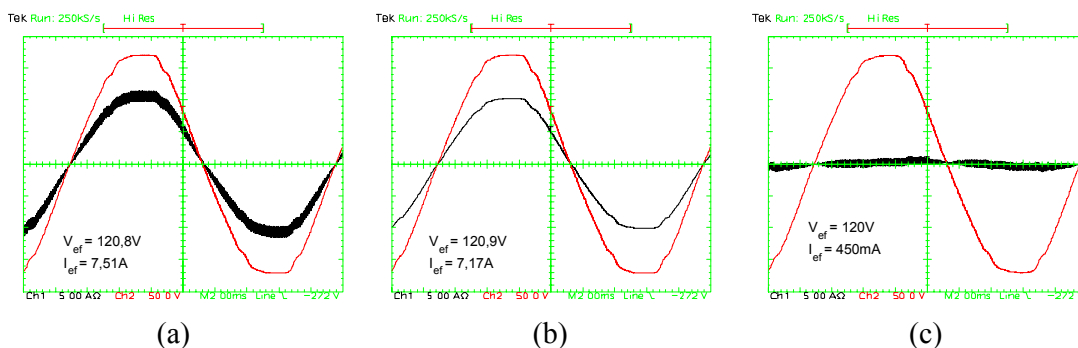


Fig. 7.13 - (a) Tensão e corrente drenada da rede. (b) Tensão e corrente da carga. (c) Tensão e corrente que circula no *FAP*.

A corrente que circula no *FAP* é aproximadamente a mesma para o caso em que o *FAP* é controlado de modo analógico, assim não existem diferenças no que diz respeito as perdas no filtro ativo se compararmos os casos do controlador analógico e digital.

7.3. Conclusão

A metodologia de projeto dos controladores digitais diretamente no domínio Z se mostrou muito eficiente. As previsões teóricas e os resultados de simulação foram comprovados pelos resultados experimentais.

Uma tabela comparativa entre as três situações possíveis – carga sem *FAP*, carga com *FAP* analógico e carga com *FAP* digital – foi montada com o intuito de avaliar a qualidade da tensão da rede e da corrente drenada da mesma para estas situações.

Os tipos de cargas avaliadas estão apresentados abaixo:

- Carga 1 - conjunto de fontes de microcomputadores;
- Carga 2 - retificador monofásico de onda completa com filtro capacitivo;
- Carga 3 - retificador monofásico de onda completa com carga *R-L*;
- Carga 4 - carga de caráter indutivo, *R-L*.

Tipo de carga	Carga				<i>FAP</i> c/ controle analógico				<i>FAP</i> c/ controle digital			
	THD V	THD I	FP	ϕ°	THD V	THD I	FP	ϕ°	THD V	THD I	FP	ϕ°
1	3,78%	101,5%	0,68	4	2,7%	4,6%	,999	0	3,74%	27,8%	,881	1
2	3,87%	98%	,70	6	2,57%	3,26%	,998	0,5	3,31%	6,06%	1	-2
3	3,15%	34,27%	,92	13	2,69%	3,36%	,999	-3	2,82%	5,72%	1	1
4	3,19%	1,85%	,64	48	-	-	-	-	3,41%	4,67%	,994	-4

Tabela 7.1 - Comparativo do desempenho entre a estratégia de controle analógica e digital.

O desempenho das duas estratégias de controle, com exceção da carga do tipo 1, é bastante similar no que diz respeito a *THD* da corrente drenada da rede e ao fator de potência do sistema. Para a carga de tipo 1 os problemas descritos na Seção 7.2 deste capítulo justificam a diferença de desempenho entre as duas estratégias de controle.

Conclusões Gerais

Este trabalho apresentou uma metodologia para o projeto de um filtro ativo paralelo aplicado à correção de harmônicas de corrente.

Foram apresentadas duas formas de controlar o conversor, uma de modo analógico e outra de maneira digital através do uso de *DSP*. Os resultados experimentais das duas técnicas de controle foram apresentados e confrontados.

Pode-se afirmar que, tanto o projeto de potência, quanto o projeto dos controladores analógicos do *FAP* proposto já é consolidado por diversos trabalhos publicados [5], [6] e [12].

No que diz respeito ao controle digital de filtros ativos pode-se fazer algumas constatações, a saber:

- Os efeitos decorrentes da presença dos elementos intrínsecos ao controle digital, apresentados na Seção 5.1 do Capítulo V, devem ser considerados no projeto dos controladores discretos e podem afetar o desempenho das malhas de controle;
- Quanto maior for a frequência de amostragem menores são os efeitos dos elementos descritos acima na resposta em frequência do sistema;
- O uso de transformadores para adaptar a tensão da rede elétrica pode degradar os resultados obtidos experimentalmente (o que também pode ser observado através de simulação);

Algumas medidas podem ser sugeridas para amenizar os problemas encontrados, como, por exemplo:

- A referência da corrente a ser controlada deve ser gerada por uma tabela numérica interna e sincronizada com a rede através de um circuito detector de passagem por zero da tensão da rede. Com esta medida deve-se amenizar o problema de distorção da tensão da rede elétrica, descrito na Seção 7.2.2 do Capítulo VII.
- A frequência de cruzamento da *FTLA* do sistema deve ficar entre dez e vinte vezes abaixo da frequência de amostragem dos sinais. Se a frequência de cruzamento for colocada duas décadas abaixo da frequência de amostragem os efeitos do retentor de ordem zero e do atraso de transporte não são significativos.

- Caso se deseje posicionar a frequência de cruzamento da *FTLA* além de uma década abaixo da frequência de amostragem o uso de um controlador avanço-atraso, ou proporcional-integral combinado com filtro passa-baixa, não deve garantir margem de fase suficiente para o sistema, e assim recomenda-se o uso de um compensador de dois pólos e dois zeros, como, por exemplo, o proporcional-integral-derivativo. Com este tipo de controlador pode-se posicionar dois zeros abaixo da frequência de cruzamento da planta garantindo uma maior margem de fase.

Referências Bibliográficas

- [1] Aloísio de Oliveira, José C. de Oliveira, Anderson L.A. Vilaça, Anésio L.F. Filho. **“Uma Contribuição para a Quantificação e Qualificação da Distorção Harmônica”**. COBEP 97, pp. 665-670
- [2] IEEE Std. 519-1992, **“IEEE Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems”**.
- [3] IEEE Std. 61000-3-2, **“IEEE International Standard – Electromagnetic Compatibility - Limits for Harmonic Current Emission”**.
- [4] Souza, Alexandre Ferrari. **“Retificadores de Alto Fator de Potência e Perdas Reduzidas por Condução e Comutação”**. Tese de Doutorado. Florianópolis, SC, 1998.
- [5] Pöttker, Fabiana. **Correção do Fator de Potência de Cargas Não-Lineares Monofásicas Empregando Filtros Ativos**. Dissertação de Mestrado. Florianópolis, SC, 1997.
- [6] Souza, Fabiana P. de. **Correção do Fator de Potência para Instalações de Baixa Potência Empregando Filtros Ativos**. Tese de Doutorado. Florianópolis, SC, 2000.
- [7] Peng, Fang Z. **Application Issues of Active Power Filters**. IEEE/IAS Annual Meeting Article. 1998.
- [8] Peng, Fang Z. **Harmonic Sources and Filtering Approaches**. IEEE/IAS Annual Meeting Article. 1999.
- [9] Nastran, Janko; Cajhen, Rafael; Seliger, Matija; Jereb, Peter. **Active Power Filter for Nonlinear AC Loads**. IEEE Article. 1991.
- [10] Singh, Bhim; Al-Haddad, Kamal; Chandra, Amrith. **A Review of Active Filters for Power Quality Improvement**. IEEE Article. 1998.
- [11] Peng, Fang Z; Akagi, Hiromufi. **A New Approach to Harmonic Compensation in Power Systems –A Combined System os Shunt Passive and Series Active Filters**. IAS Annual Meeting Article. 1988.
- [12] Souza, Fabiana Pöttker de; Barbi, Ivo. **“Power Factor Correction of Linear and Non-linear Loads Employing a Single Phase Active Power Filter Based on a Full-Bridge Current Source Inverter Controlled Through the Sensor of the AC Mains Current”** - PESC'99, pp. 387-392.

- [13] Barbi, Ivo. **Projetos de Fontes Chaveadas**. Edição do Autor. Florianópolis, SC, 2001.
- [14] Barbi, Ivo.; Martins, D.C. **Teoria Fundamental da Eletrônica de Potência**. Apostila INEP-EEL-UFSC. Florianópolis, SC, 2001.
- [15] Barbi, Ivo. **Eletrônica de Potência**. Edição do Autor. Florianópolis, SC, 1997.
- [16] Martignoni, Alfonso. **Transformadores**. Editora Globo, Porto Alegre, 1973.
- [17] *Datasheet Semikron SKB 30/08*.
- [18] Catálogo *Magnetics Kool Mu Powder Cores*.
- [19] Erickson, Robert W. **Fundamentals of Power Electronics**. Chapman & Hall, 1997.
- [20] *Datasheet SKHI 23 / SK20op*.
- [21] *Datasheet 4 quad. Multiplier MC1595L*.
- [22] Tomaselli, Luiz Cândido. **Controle de um Pré-Regulador com Alto Fator de Potência Utilizando o Controlador DSP TMS320F243**. Dissertação de Mestrado. Florianópolis, SC, 2001.
- [23] *Datasheet Texas Instruments TMS320LF240x Peripheral*.
- [24] Ogata, Katsuhiko. **Discrete-Time Control Systems**. Second Edition. University of Minnesota, 1995.
- [25] Barczak, Czeslau L. **Controle Digital de Sistemas Dinâmicos – Projeto e Análise**. Editora Edgard Blücher LTDA, São Paulo, 1995.
- [30] Mussa, Ahmad Samir. **Relatório Filtro Ativo Paralelo com Controle Digital**. INEP, 2002.

Anexo I - Estudo do Filtro Ativo Série na Correção de Harmônicas de Corrente

Os filtros ativos série *FAS* se demonstram muito eficientes para a correção de distorção harmônica de tensão, sendo que existem muitos trabalhos e publicações a respeito do assunto. Uma das aplicações do *FAS* é em cargas sensíveis como equipamentos cirúrgicos, por exemplo.

O uso de filtros ativos série para a correção do conteúdo harmônico de corrente de cargas não lineares não é uma tecnologia dominada sendo que existem poucas publicações a respeito do assunto.

Este trabalho busca apresentar os princípios básicos do filtro ativo série atuando na correção de harmônicas de corrente e ainda serão mostrados os resultados de simulação de um filtro ativo série corrigindo as harmônicas de corrente de um retificador de ponte completa com filtro capacitivo de 1 *kVA*.

Segundo a literatura o filtro ativo série pode ser entendido como uma elevada impedância para as harmônicas de corrente, o que faz com que as mesmas sejam impedidas de circular pelo circuito, e assim sendo a corrente que flui no circuito passa a ser apenas a componente fundamental.

Podemos ainda dizer que na prática o *FAS* funciona como uma fonte controlada de tensão que gera uma tensão V_{ab} em seus terminais. A tensão entregue para a carga passa a ser a diferença da tensão da rede com a tensão V_{ab} no filtro ativo, conforme apresentado pela expressão (A.1).

$$V_{carga} = V_{rede} - V_{ab} \quad (A.1)$$

A tensão então imposta para a carga é tal que a corrente drenada por ela passe a ser senoidal e em fase com a tensão da rede. Pode-se então dizer que, de certa forma, o filtro ativo série força a corrente na carga e conseqüentemente na rede elétrica a ser senoidal. Sendo adequadamente controlado o filtro ativo série também deve ser capaz de corrigir o fator de deslocamento de cargas lineares.

No caso de uma carga linear resistiva espera-se que a tensão sobre os terminais do *FAS* seja nula ao longo do tempo, pois o mesmo não precisa bloquear harmônicas e nem processar reativos de deslocamento.

No caso de cargas lineares de caráter indutivo ou capacitivo o filtro ativo série injeta uma tensão V_{ab} tal que a tensão na carga passe a ser senoidal e adiantada ou atrasada, respectivamente, em relação a tensão da rede, fazendo com que a corrente pela mesma fique em fase com a tensão da rede. Assim o filtro ativo funciona como um compensador de reativos de deslocamento.

Quando o filtro ativo está conectado em série com uma carga não linear ele processa potência reativa de deslocamento e potência reativa gerada por harmônicas. Fica claro que as características de tensão e de corrente na carga são alteradas pelo filtro ativo quando o mesmo está conectado com cargas não lineares. Um exemplo de um *FAS* atuando na correção do fator de potência de um retificador monofásico de ponte completa com filtro capacitivo será estudado através de simulação numérica neste anexo.

Nota-se ainda que por ser conectado em série com a carga o filtro ativo série processa toda a corrente de carga, o que em algumas situações passa a ser bastante indesejável.

A. Projeto do *FAS*

No estudo do *FAS* serão consideradas as estruturas de potência e de controle projetados nos Capítulos II e III, respectivamente.

O conversor será simplesmente conectado em série com a estrutura ao invés de ser conectado em paralelo. A única consideração feita está na malha de tensão que não controla mais a tensão do barramento *CC* do conversor, mas sim a amplitude da tensão eficaz entregue para a carga. Assim, a tensão no barramento *CC* do filtro ativo deve acomodar-se naturalmente. A estrutura resultante pode ser vista na Fig. A.1.

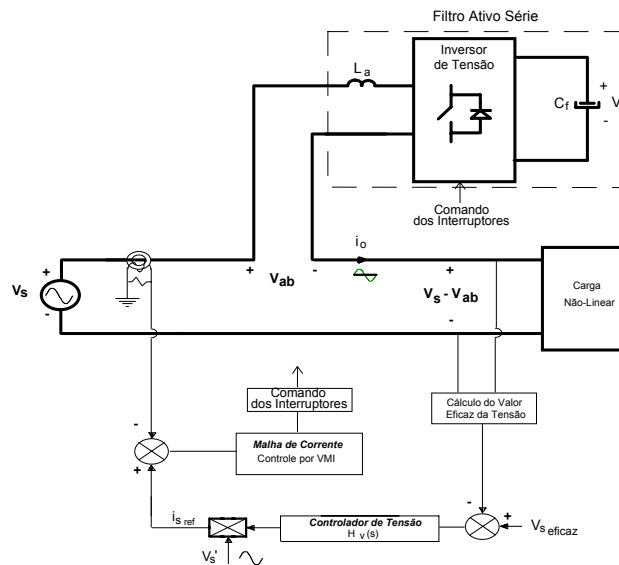


Fig. A.1 – Estrutura do FAS com a estratégia de controle proposta.

B. Resultados de Simulação

A estrutura proposta foi simulada numericamente para que se pudesse realizar uma análise qualitativa e quantitativa de um FAS. O esquema completo do circuito simulado pode ser visto na Fig. A.2 e uma listagem do arquivo de simulação encontra-se no Anexo 2-C.

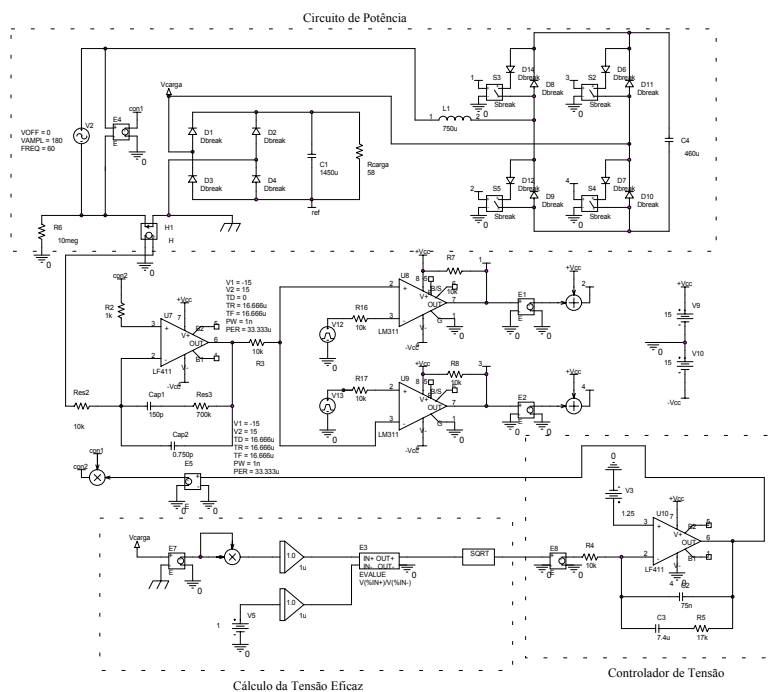


Fig. A.2 – Esquema de simulação numérica do FAS.

O filtro ativo série atuou de forma adequada na atenuação das harmônicas de corrente. As formas de onda da tensão da rede e da corrente drenada da mesma podem ser vistos na Fig. A.3.

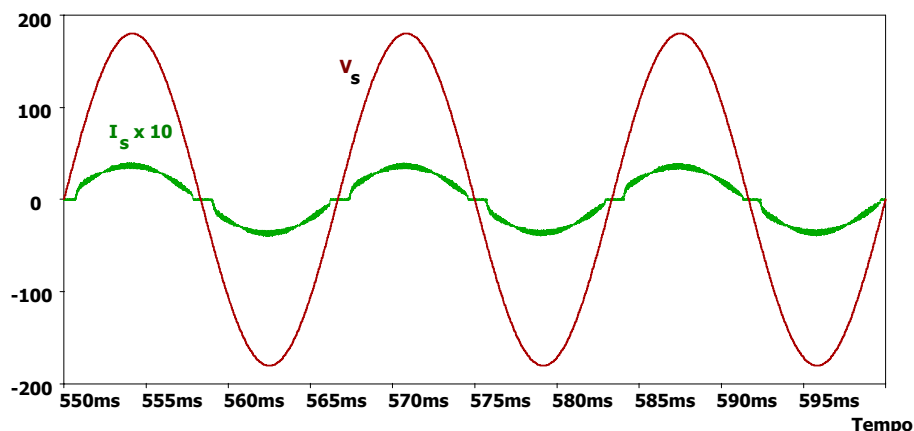


Fig. A.3 – Tensão da rede e corrente drenada da mesma.

Como pode ser visto na Fig. A.3 a corrente drenada da rede, e conseqüentemente a corrente que flui pelo filtro ativo e pela carga, é senoidal e difere em muito da corrente normalmente exigida por um retificador com filtro capacitivo.

Como a malha de tensão não regula mais a tensão no barramento *CC* do filtro ativo é interessante verificar a tensão no capacitor C_f . A tensão no barramento *CC* do *FAS* pode ser vista na Fig. A.4.

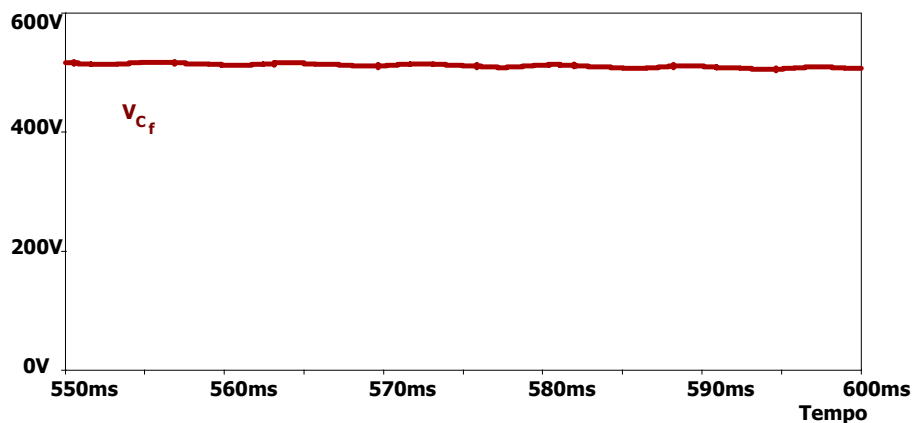


Fig. A.4 – Tensão no barramento *CC* do *FAS*.

Sabemos que o *FAS* altera as características da tensão e da corrente entregues para a carga, assim é interessante observarmos estas grandezas. A forma de onda da tensão fornecida para a carga não linear pode ser vista na Fig. A.5.

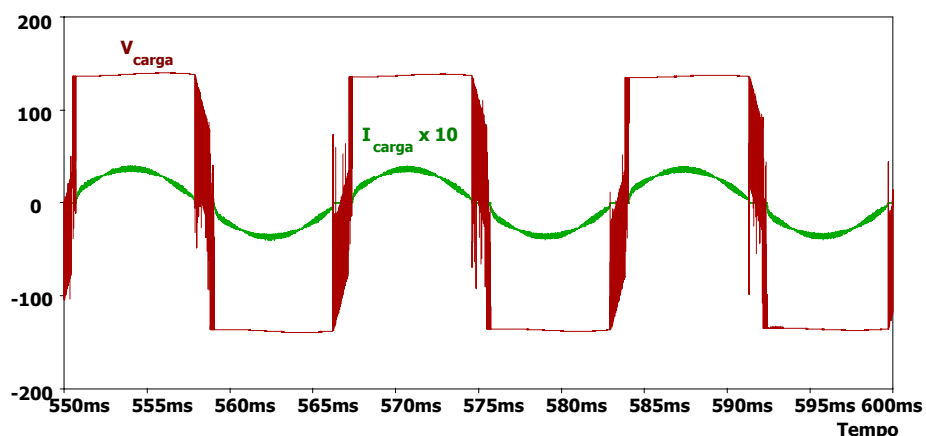


Fig. A.5 – Tensão e corrente na carga.

Conforme o esperado pela análise teórica realizada neste trabalho a tensão sobre a carga não é mais senoidal e possui na realidade elevado conteúdo harmônico de tensão. A tensão eficaz sobre a carga ficou em $V_{carga_{ef}} = 132$ volts. Este valor ficou um pouco acima da referência imposta para a malha de tensão que era de 127 volts eficazes. Esta forma de onda de tensão certamente muda o comportamento da carga, ou seja, do retificador com filtro capacitivo.

C. Controle da Tensão do Barramento CC

No estudo sobre o *FAS* apresentando neste anexo não foi realizado o controle da tensão no barramento *CC* do filtro ativo, ou seja, o controle da tensão sobre o capacitor C_f do *FAS*. Uma maneira de realizar este controle é atuando no ângulo entre a tensão da rede e a corrente drenada da mesma. Para testar este princípio foram realizadas simulações onde a referência de corrente do *FAS* estava atrasada de diferentes ângulos, a saber: 0° , 30° e 60° . Os resultados de simulação da tensão no capacitor C_f para os diferentes atrasos da corrente podem ser vistos na Fig. A.6.

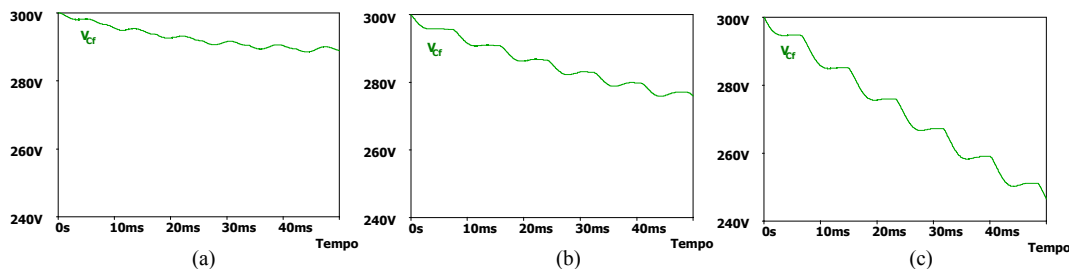


Fig. A.6 – (a) Corrente atrasada de 0°. (b) Corrente atrasada de 30°. (c) Corrente atrasada de 60°.

Observando a Fig. A.6 fica claro que a medida que a corrente de referência é atrasada em relação a tensão da rede a tensão no capacitor C_f do FAS tende a cair. Isto ocorre porque o FAS está na realidade processando reativo de deslocamento e assim pode-se controlar a tensão no capacitor C_f variando a defasagem da corrente de referência.

Quando se deseja usar o filtro para corrigir harmônicas e também corrigir o fator de potência de uma carga ou instalação este método não é interessante pois requer o uso de bancos capacitivos para corrigir o fator de deslocamento, já que a carga total (instalação + FAS) vista pela rede passa a ser de caráter indutivo caso a malha de tensão necessite abaixar a tensão do barramento CC.

D. Conclusão

Na Tabela A.1 são apresentadas as principais características dos filtros ativos série e paralelo. Em todos os aspectos analisados o FAS apresenta **desvantagens** para a compensação de harmônicas de corrente, pois modifica o funcionamento da carga, o seu controle é mais complexo e em caso de falha a carga deixa de operar.

Características	Filtro Ativo Paralelo	Filtro Ativo Série
Funcionamento da carga	<u>Não</u> modifica	Modifica
Malhas de controle	<u>1</u> de tensão, 1 de corrente	<u>2</u> de tensão, 1 de corrente
Em caso de falha do filtro ativo	Carga opera com FP baixo	Carga deixa de operar
Tensão no barramento CC do filtro ativo	Superior à tensão de pico da rede	Superior à tensão de pico da rede
Corrente no filtro ativo	Apenas as harmônicas de corrente da carga	Corrente total da carga

Tabela A.1 - Características dos filtros ativos paralelo e série.

O filtro ativo série se mostrou funcional para a correção de harmônicas de corrente para a carga proposta, ou seja, um retificador de onda completa com filtro capacitivo, porém é muito importante observar que o filtro ativo altera as características de tensão e de corrente na carga, o que não é interessante, especialmente porque existe uma série de cargas que não podem ser conectadas diretamente ao filtro ativo série.

Isto faz com que se tenha necessidade do conhecimento da carga a ser conectada ao filtro ativo, de modo que o mesmo não pode ser usado de modo genérico para qualquer carga. Na Fig. A.7 podemos observar as formas de onda da tensão e da corrente na carga com a mesma operando sem e com o *FAS*, respectivamente.

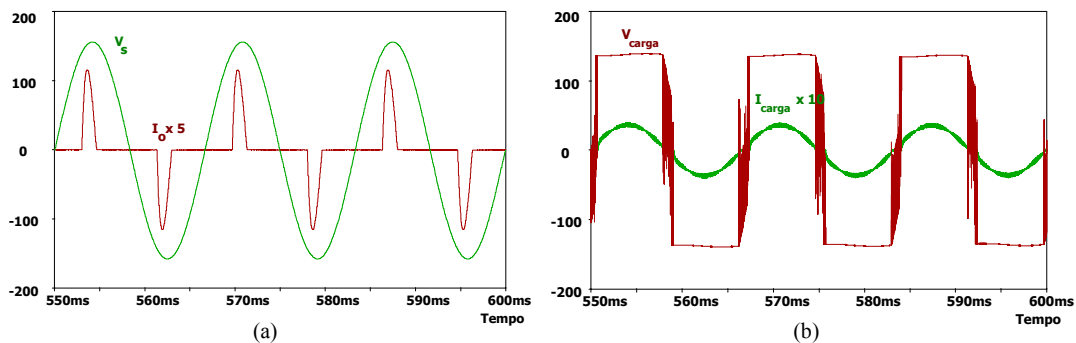


Fig. A.7 – (a) Tensão e corrente na carga sem o *FAS*. (b) Tensão e corrente na carga com o *FAS*.

Comparando as Fig. A.7-a e Fig. A.7-b fica claro como o *FAS* altera as características de tensão e de corrente de carga, o que não ocorre com o uso de um filtro ativo paralelo.

Anexo II - Arquivos de Simulação e Programas

A. Arquivo de Dados da Simulação do *FAP* em Regime Permanente

```

R_Rcarga          N00325 N00287 88
D_D15            N02347 N03961 Dbreak
D_D1             N00407 N00287 Dbreak
D_D12           N03961 N79356 Dbreak
D_D11           GND_EARTH N02471 Dbreak
X_U12           N164676 N03998
Sw_tOpen        PARAMS: tOpen=300m ttran=1u Rclosed=0.01 + Ropen=1Meg
R_R11           N01317 N03998 1m
D_D2            GND_EARTH N00287 Dbreak
C_Ci1           N40964 N40893 1n IC=0
V_V9            +VCC 0 15
R_R12           N141627 0 150
E_SUM1          1 0 VALUE {V(+VCC)+V(N71646)}
D_D13           N03961 N02471 Dbreak
D_D3            N00325 N00407 Dbreak
E_E4            CON1 0 N03998 N01365 5.555m
E_E1            N71646 0 2 0 -1
R_Rdegrau      N00325 N115331 88
R_R2            N55448 CON2 10k
E_SUM2          3 0 VALUE {V(+VCC)+V(N82774)}
C_Ci2           N40964 N40920 120p IC=0
V_V10          0 -VCC 15
E_E5            N102015 0 N93695 0 0.3
E_E3            N923971 0 N02471 N02347 8.666m
D_D4            N00325 GND_EARTH Dbreak
R_Res3         N40893 N40920 47k
V_V2            N01317 N01365 DC 0 +SIN 0 180 60 0 0 0
R_R4            N923971 N93621 33k
V_V3            N92796 0 2.6
E_E2            N82774 0 4 0 -1
X_U11          N115331 N00287
Sw_tOpen        PARAMS: tOpen=50m ttran=1u Rclosed=0.001 + Ropen=10Meg
R_R1            N00407 N164676 0.050
R_R5            N93668 N93695 220k
V_V13          N41606 0 +PULSE -5.5 5.5 16.666u 16.666u 16.666u 1n 33.333u
C_C2            N93621 N93695 22n IC=-2.0
X_U7            N55448 N40964 +VCC -VCC N40920 LF411
L_L1            N03998 N03961 750u IC=0
    
```

```

D_D6          N02471 N02409 Dbreak
R_Res2        N141627 N40964 10k
X_U8          N41447 N41671 +VCC -VCC 2 0 LM311
C_C3          N93621 N93668 2u IC=-2.0
X_F1          GND_EARTH N01365 0 N141627 SCHEMATIC1_F1
X_S2          3 0 N02409 GND_EARTH SCHEMATIC1_S2
R_R9          N119488 N00287 0.1
D_D7          GND_EARTH N02378 Dbreak
X_U10         N92796 N93621 +VCC 0 N93695 LF411
R_R7          2 +VCC 10k
D_D14         N02471 N79390 Dbreak
V_V12         N41710 0 +PULSE -5.5 5.5 0 16.666u 16.666u 1n 33.333u
C_C4          N02347 N02471 1880u IC=-300
R_R10         0 N41447 1meg
X_U9          N77689 N41447 +VCC -VCC 4 0 LM311
R_R6          GND_EARTH 0 10meg
E_MULT1       CON2 0 VALUE {V(CON1)*V(N102015)}
R_R16         N41710 N41671 10k
X_S3          1 0 N79390 N03961 SCHEMATIC1_S3
R_R3          N41447 N40920 1k
X_S4          4 0 N02378 N02347 SCHEMATIC1_S4
C_C1          N00325 N119488 1920u IC=-160
D_D10         N02347 GND_EARTH Dbreak
R_R17         N41606 N77689 10k
X_S5          2 0 N79356 N02347 SCHEMATIC1_S5
R_R8          +VCC 4 10k

```

```

.subckt SCHEMATIC1_F1 1 2 3 4
F_F1          3 4 VF_F1 1m
VF_F1         1 2 0V
.ends SCHEMATIC1_F1

```

```

.subckt SCHEMATIC1_S2 1 2 3 4
S_S2          3 4 1 2 Sbreak
RS_S2         1 2 1G
.ends SCHEMATIC1_S2

```

```

.subckt SCHEMATIC1_S3 1 2 3 4
S_S3          3 4 1 2 Sbreak
RS_S3         1 2 1G
.ends SCHEMATIC1_S3

```

```

.subckt SCHEMATIC1_S4 1 2 3 4
S_S4          3 4 1 2 Sbreak
RS_S4         1 2 1G
.ends SCHEMATIC1_S4

```

```
.subckt SCHEMATIC1_S5 1 2 3 4
S_S5          3 4 1 2 Sbreak
RS_S5         1 2 1G
.ends SCHEMATIC1_S5
```

B. Arquivo de Dados da Simulação da Partida do *FAP*

```
R_Ro          N00325 N00287 44
D_D1          N00407 N00287 Dbreak
D_D12         N03961 N79356 Dbreak
D_D11         0 N02471 Dbreak
D_D2          0 N00287 Dbreak
D_D3          N00325 N00407 Dbreak
D_D4          N00325 0 Dbreak
D_D8          N03961 N02471 Dbreak
X_Sw4         N00407 N129808 Sw_tClose PARAMS: tClose=204.166m ttran=1u
              + Rclosed=0.050 Ropen=10Meg
V_Vs          N01317 0 DC 0 +SIN 0 180 60 0 0 0
R_Rin2        N119712 N03998 6.8
D_D9          N02347 N03961 Dbreak
R_Rin1        N00407 N129808 6.8
X_Sw3         N129808 N01317 Sw_tClose PARAMS: tClose=154.166m ttran=1u
              + Rclosed=0.050 Ropen=10Meg
L_Lf          N03998 N03961 750u IC=0
D_D6          N02471 N02409 Dbreak
X_S3          0 0 N02409 0 SCHEMATIC1_S3
X_Sw2         N119712 N03998 Sw_tClose PARAMS: tClose=120.833m ttran=1u
              + Rclosed=0.050 Ropen=10Meg
D_D7          0 N02378 Dbreak
D_D14         N02471 N79390 Dbreak
C_Cf          N02347 N02471 1880u IC=0
R_RSE         N132778 N00287 0.2
X_Sw1         N01317 N119712 Sw_tClose PARAMS: tClose=4.166m ttran=1u
              + Rclosed=0.01 Ropen=1Meg
X_S1          0 0 N79390 N03961 SCHEMATIC1_S1
X_S4          0 0 N02378 N02347 SCHEMATIC1_S4
C_Co          N00325 N132778 1920u IC=0
D_D10         N02347 0 Dbreak
X_S2          0 0 N79356 N02347 SCHEMATIC1_S2

.subckt SCHEMATIC1_S3 1 2 3 4
S_S3          3 4 1 2 Sbreak
RS_S3         1 2 1G
.ends SCHEMATIC1_S3
```

```
.subckt SCHEMATIC1_S1 1 2 3 4
S_S1          3 4 1 2 Sbreak
RS_S1         1 2 1G
.ends SCHEMATIC1_S1
```

```
.subckt SCHEMATIC1_S4 1 2 3 4
S_S4          3 4 1 2 Sbreak
RS_S4         1 2 1G
.ends SCHEMATIC1_S4
```

```
.subckt SCHEMATIC1_S2 1 2 3 4
S_S2          3 4 1 2 Sbreak
RS_S2         1 2 1G
.ends SCHEMATIC1_S2
```

C. Arquivo de Dados da Simulação do FAS

```
R_Rcarga      REF N00287 58
E_E7          N111142 0 VCARGA GND_EARTH 0.01
D_D12         N03961 N79356 Dbreak
C_C4          N02347 N02471 460u IC=-200
D_D11         VCARGA N02471 Dbreak
C_Cap1        N40964 N40893 150p IC=0
V_V9          +VCC 0 15
E_SUM1        2 0 VALUE {V(+VCC)+V(N71646)}
D_D3          REF VCARGA Dbreak
E_E4          CON1 0 N01340 N01365 -5.555m
E_E1          N71646 0 1 0 -1
R_R2          N55448 CON2 1k
E_SUM2        4 0 VALUE {V(+VCC)+V(N82774)}
C_Cap2        N40964 N40920 0.750p IC=0
V_V10         0 -VCC 15
E_E5          N99893 0 N93695 0 0.125
X_H1          GND_EARTH N01365 N86773 0 SCHEMATIC1_H1
D_D4          REF GND_EARTH Dbreak
D_D8          N03961 N02471 Dbreak
E_MULT2       N110030 0 VALUE {V(N111142)*V(N111142)}
E_E3          N139102 0 VALUE { V(N132469)/V(N132556) }
R_Res3        N40893 N40920 700k
V_V2          N01340 N01365 DC 0 +SIN 0 180 60 0 0 0
D_D1          VCARGA N00287 Dbreak
R_R4          N923971 N93571 10k
E_SQRT1       N96373 0 VALUE {SQRT(V(N139102))}
V_V3          N92796 0 1.25
D_D9          N02347 N03961 Dbreak
E_E2          N82774 0 3 0 -1
```

```

E_E8          N923971 0 N96373 0 1
R_R5          N93668 N93695 17k
V_V13        N41606 0 +PULSE -15 15 16.666u 16.666u 16.666u 1n 33.333u
V_V5         N109172 0 1
C_C2         N93571 N93695 75n IC=-4.0
X_U7         N55448 N40964 +VCC -VCC N40920 LF411
L_L1         N01340 N03961 750u IC=0
D_D6         N02471 N02409 Dbreak
R_Res2       N86773 N40964 10k
X_U8         N41447 N41671 +VCC -VCC 1 0 LM311
X_INTEG2     N109172 N132556 SCHEMATIC1_INTEG2
C_C3         N93571 N93668 7.4u IC=-4.0
X_S2         3 0 N02409 VCARGA SCHEMATIC1_S2
X_INTEG1     N110030 N132469 SCHEMATIC1_INTEG1
D_D7         VCARGA N02378 Dbreak
X_U10        N92796 N93571 +VCC 0 N93695 LF411
R_R7         1 +VCC 10k
D_D14        N02471 N79390 Dbreak
V_V12        N41710 0 +PULSE -15 15 0 16.666u 16.666u 1n 33.333u
X_U9         N77689 N41447 +VCC -VCC 3 0 LM311
R_R6         N01365 0 10meg
E_MULT1     CON2 0 VALUE {V(CON1)*V(N99893)}
R_R16        N41710 N41671 10k
X_S3         1 0 N79390 N03961 SCHEMATIC1_S3
R_R3         N40920 N41447 10k
X_S4         4 0 N02378 N02347 SCHEMATIC1_S4
C_C1         REF N00287 1450u IC=-170
D_D2         GND_EARTH N00287 Dbreak
D_D10        N02347 VCARGA Dbreak
R_R17        N41606 N77689 10k
X_S5         2 0 N79356 N02347 SCHEMATIC1_S5
R_R8         +VCC 3 10k

```

```

.subckt SCHEMATIC1_H1 1 2 3 4
H_H1          3 4 VH_H1 -0.1
VH_H1         1 2 0V
.ends SCHEMATIC1_H1

```

```

.subckt SCHEMATIC1_INTEG2 in out
G_INTEG2     0 $$U_INTEG2 VALUE {V(in)}
C_INTEG2     $$U_INTEG2 0 {1/1.0}
R_INTEG2     $$U_INTEG2 0 1G
E_INTEG2     out 0 VALUE {V($$U_INTEG2)}
.IC          V($$U_INTEG2) = 1u
.ends SCHEMATIC1_INTEG2

```

```

.subckt SCHEMATIC1_S2 1 2 3 4

```



```

S_S2          3 4 1 2 Sbreak
RS_S2         1 2 1G
.ends SCHEMATIC1_S2

.subckt SCHEMATIC1_INTEG1 in out
G_INTEG1      0 $$U_INTEG1 VALUE {V(in)}
C_INTEG1      $$U_INTEG1 0 {1/1.0}
R_INTEG1      $$U_INTEG1 0 1G
E_INTEG1      out 0 VALUE {V($$U_INTEG1)}
.IC           V($$U_INTEG1) = 1u
.ends SCHEMATIC1_INTEG1

.subckt SCHEMATIC1_S3 1 2 3 4
S_S3          3 4 1 2 Sbreak
RS_S3         1 2 1G
.ends SCHEMATIC1_S3

.subckt SCHEMATIC1_S4 1 2 3 4
S_S4          3 4 1 2 Sbreak
RS_S4         1 2 1G
.ends SCHEMATIC1_S4

.subckt SCHEMATIC1_S5 1 2 3 4
S_S5          3 4 1 2 Sbreak
RS_S5         1 2 1G
.ends SCHEMATIC1_S5

```

D. Código do Programa para Gerar o *LR* no *MATLAB*

```

% modelo simplificado Gid do conversor aplicado no controle discreto

close all;

%%%%%%%%%%%% filtro PB %%%%%%%%%%%%%%
fp_PB=30e3;
wp_PB=6.28*fp_PB;

%numerador
a = wp_PB;

%denominador
b = 1;
c = wp_PB;

num=[a];
den=[b, c];

```

```

G_PB=tf(num,den)

%%%%%%%%%%%%% atraso de transporte %%%%%%%%%%%%%%
% definicao do tempo de atraso de transporte
T=1/120e3

%numerador
a = 1;

%denominador
b = 1;
c = 0;

num=[a];
den=[b, c];
G_AT=tf(num,den,T)

%%%%%%%%%%%%% planta %%%%%%%%%%%%%%
Lf=750e-6;
Cf=1880e-6;
Vcf=300;
Vtp=250;          % ganho do modulador PWM
Ka=250/32e3;      % ganho do ajustador do PI

%numerador
a = Vcf*Ka;

%denominador
b = Lf*Vtp;
c = 0;

num=[a];
den=[b, c]
Gid=tf(num,den)
Gid=Gid*G_PB

%%%%%%%%%%%%% amostrador %%%%%%%%%%%%%%
Ki=31; (310*0.1)  % ganho do AD * ganho analogico

%numerador
a = Ki;

%denominador
b = 1;

num=[a];

```

```

den=[b];
Gki=tf(num,den)

%%%%%%%%%%%%%% compensador PI %%%%%%%%%%%%%%%
fz=0.5e3;
wz=6.28*fz;

a = 1;
b = wz;
c = 1;
d = 0;

num=[a, b];
den=[c, d];
Ri=tf(num,den)

%%%%%%%%%%%%%% dominio Z %%%%%%%%%%%%%%%
Gid_Z=c2d(Gid,1/60e3,'zoh')

%Gid_Z=Gid_Z*(G_AT)

Ki_Z=c2d(Gki,1/60e3,'zoh')

Ri_Z=c2d(Ri,1/60e3,'tustin')

rltool

```

E. Código do Programa para Gerar o *LR* da Malha de Tensão no *MATLAB*

```

% modelo simplificado Gvi do conversor aplicado no controle discreto

format long e
close all;

%%%%%%%%%%%%%% filtro PB %%%%%%%%%%%%%%%
fp_PB=40;
wp_PB=6.28*fp_PB;

%numerador
a = wp_PB;

%denominador
b = 1;

```

```

c = wp_PB;

num=[a];
den=[b, c];
G_PB=tf(num,den)

%%%%%%%%%%%%%% planta + filtro PB %%%%%%%%%%%%%%%
D=0.6;
Cf=1880e-6;
Kv=2.79;
Ki=24.8;

%numerador
a = 2*D - 1;

%denominador
b = Cf;
c = 0;

num=[a];
den=[b, c]
Gvi=tf(num,den)
Gvi=Gvi*G_PB

%%%%%%%%%%%%%% amostrador %%%%%%%%%%%%%%%

%numerador
a = Kv/Ki;

%denominador
b = 1;

num=[a];
den=[b];
Gkv=tf(num,den)

%%%%%%%%%%%%%% compensador PI %%%%%%%%%%%%%%%
fz=0.4;
wz=6.28*fz;

a = 1;
b = wz;
c = 1;
d = 0;

num=[a, b];
den=[c, d];

```

Rv=tf(num,den)

%% dominio Z %%%

Gvi_Z=c2d(Gvi,1/60000,'zoh')

Kv_Z=c2d(Gkv,1/60000,'zoh')

Rv_Z=c2d(Rv,1/60000,'tustin')

rltool