

**UNIVERSIDADE FEDERAL DE SANTA CATARINA**  
**CENTRO TECNOLÓGICO**  
**DEPARTAMENTO DE INFORMÁTICA E ESTATÍSTICA**  
**CURSO DE PÓS-GRADUAÇÃO EM CIÊNCIA DA COMPUTAÇÃO**

**Conversor Analógico/Digital Direto de  
Complexidade Não-exponencial**

Dissertação submetida à Universidade Federal  
de Santa Catarina para a obtenção do grau de  
Mestre em Ciência da Computação

**Luís Cléber Carneiro Marques**

Florianópolis, fevereiro de 1998

# Conversor Analógico/Digital Direto de Complexidade Não-exponencial

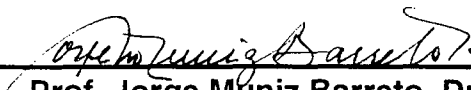
**Luís Cléber Carneiro Marques**

Dissertação aprovada como requisito parcial para a obtenção do grau de Mestre no Curso de Pós-Graduação em Ciência da Computação da Universidade Federal de Santa Catarina, pela comissão formada pelos professores:



**Prof. Luiz Fernando Jacintho Maia, Dr.**

Orientador



**Prof. Jorge Muniz Barreto, Dr.**

Coordenador do Curso de Pós-Graduação em Ciência da Computação

Banca examinadora:



**Prof. Luiz Fernando Jacintho Maia, Dr.**

Presidente

**Prof. João Bosco da Mota Alves, Dr.**

**Prof. Sidnei Noceti Filho, Dr.**

**Prof. Rui Seara, Dr.**

“Ô Cride, fala pra mãe que eu nunca li num  
livro que o espirro fosse um vírus sem  
cura. Vê se me entende pelo menos uma  
vez, criatura!”

(“Televisão” - TITÃS)

“Sonhar mais um sonho impossível  
Lutar quando é fácil ceder  
Vencer o inimigo invencível  
Negar quando a regra é vender.”

(Miguel de Cervantes)

“Cochilo.  
Na linha eu ponho a isca de um sonho  
Pesco uma estrelinha.”

(Guilherme de Almeida)

*À Cristiane, minha companheira de  
ideologia, de música, de vibração e de  
diferenças, por toda a força, sempre!*

## **Agradecimentos**

Ao professor **Luiz Fernando Jacintho Maia**, por viabilizar este trabalho, pela orientação e pela tranquilidade transmitida.

Ao professor e amigo **João Bosco da Mota Alves**, por toda a ajuda e companheirismo, dentro e fora do espaço acadêmico.

Ao professor **Sidnei Noceti Filho**, pela dedicação extra e orientação no período de conclusão deste trabalho.

Ao amigo **Miguel Alexandre Wisintainer**, pela ajuda constante.

## Resumo

Neste trabalho implementa-se, para avaliação, um conversor analógico/digital, com 8 bits, seguindo a filosofia de conversão proposta por Maia [MAI 92]. Trata-se de um circuito original para a conversão analógico/digital direta com complexidade linear, expressando a saída digital no código de Gray e onde a resolução do conversor pode ser estendida arbitrariamente pela conexão em cascata de um módulo básico para cada bit adicionado à saída. O módulo básico proposto por Maia é constituído por quatro amplificadores operacionais que implementam a função de transferência não-linear necessária, devido a suas características de saturação. Apresenta-se neste trabalho as alterações necessárias ao módulo básico para a implementação do conversor. Apresentam-se também os resultados dos testes que comprovam a funcionalidade da filosofia de conversão.

A frequência máxima de amostragem depende unicamente dos retardos nos circuitos. Propõe-se neste trabalho o uso de estrutura *pipilened* para o conversor, sendo desta forma a frequência máxima de amostragem limitada pelo retardo de um único módulo de conversão.

Propõem-se também módulos de conversão básicos alternativos ao apresentado por Maia. Estes novos módulos apresentam como vantagens em relação ao anterior a utilização de um menor número de componentes e um menor tempo de acomodação.

## Abstract

In this work is made the implementation for evaluation of an 8-bit analog-to-digital converter following the methodology proposed by Maia [MAI 92]. It is an original circuit for direct analog-to-digital conversion with linear complexity. The output is presented in Gray code and the resolution of the converter can be improved arbitrarily with cascaded basic conversion modules (BCMs), one BCM for each bit added to the output of the converter. The BCM proposed by Maia is constituted by four operational amplifiers implementing the required transfer function by means of its saturation characteristics. In this work are proposed all necessary modifications to the BCM for implementing the converter. This work also presents the results of tests that confirm the functionality of this methodology of conversion.

The maximum speed of sampling depends uniquely on the delays in the circuits. In this work is proposed the use of pipelining in the converter, so that the maximum speed of sampling is limited by the delay in just one BCM.

Are also proposed in this work two improved BCMs. The advantages of these new BCMs are to have fewer components and to present shorter settling time.

# Sumário

<i>Resumo</i>	v
<i>Abstract</i>	vi
<i>Sumário</i>	vii
<i>Lista de Figuras</i>	ix
<i>Glossário</i>	xi
<b>1. INTRODUÇÃO</b>	<b>1</b>
1.1 APRESENTAÇÃO	1
1.2 DEFINIÇÃO DO PROBLEMA	2
1.3 OBJETIVOS	2
1.4 ESTRUTURA	3
<b>2. AMPLIFICADORES ANALÓGICOS</b>	<b>4</b>
2.1 INTRODUÇÃO	4
2.2 OS AMPLIFICADORES OPERACIONAIS	4
2.2.1 Análise das características dos amplificadores operacionais	5
2.2.2 Circuitos básicos com amplificadores operacionais	7
2.2.3 Comparador	9
<b>3. CONVERSORES ANALÓGICO/DIGITAL</b>	<b>11</b>
3.1 INTRODUÇÃO	11
3.2 ESPECIFICAÇÕES	12
3.3 CONVERSORES MAIS COMUNS	16
3.3.1 ADC de rampa simples	16
3.3.2 ADC de rampa dupla	17
3.3.3 ADC de rampa múltipla	19
3.3.4 ADC Delta-sigma	19
3.3.5 ADC de contagem	20
3.3.6 ADC de busca de trilha (contínuo)	22

3.3.7 ADC de aproximação sucessiva	22
3.3.8 ADC de aproximação sucessiva <i>pipelined</i>	24
3.3.9 ADC paralelo ( <i>flash</i> )	25
3.3.10 ADC semi-paralelo ( <i>half-flash</i> ) / Paralelo de múltiplos estágios	27
3.3.11 ADC paralelo multiestágio <i>pipelined</i>	28
<b>4. FILOSOFIA DE CONVERSÃO A/D PROPOSTA</b>	<b>30</b>
4.1 INTRODUÇÃO	30
4.2 MÓDULO DE CONVERSÃO BÁSICO	30
4.3 CIRCUITO COMPLETO DE CONVERSÃO	33
4.4 ANÁLISE DAS CARACTERÍSTICAS	36
<b>5. PROTÓTIPO DESENVOLVIDO</b>	<b>38</b>
5.1 MONTAGEM DO CONVERSOR	38
5.2 TESTES COM O PROTÓTIPO	41
<b>6. MCBs ALTERNATIVOS E DESEMPENHO</b>	<b>46</b>
6.1 CIRCUITOS PROPOSTOS	46
6.1.1 Módulo Básico de Conversão N° 2	46
6.1.2 Módulo Básico de Conversão N° 3	47
6.2 ANÁLISE DE DESEMPENHO DOS CIRCUITOS	49
6.3 CONSIDERAÇÕES SOBRE DESEMPENHO	51
<b>7. CONCLUSÕES</b>	<b>54</b>
<b>8. REFERÊNCIAS BIBLIOGRÁFICAS</b>	<b>56</b>
<i>Apêndice</i>	<b>59</b>



## Lista de Figuras

Figura 2.1 - Símbolo para o amplificador operacional	4
Figura 2.2 - Amplificador inversor	7
Figura 2.3 - Amplificador não-inversor	8
Figura 2.4 - Seguidor de tensão	8
Figura 2.5 - Amplificador somador inversor	8
Figura 2.6 - Curva de transferência DC de um amp. operacional real	9
Figura 2.7 - Comparador com realimentação positiva	10
Figura 3.1 - Curva de transferência de um ADC ideal de 3 bits e com faixa de entrada de 0 a 10V	13
Figura 3.2 - ADC de rampa simples	17
Figura 3.3 - Rampa dupla - $t_2$ proporcional a $V_{IA}$	18
Figura 3.4 - ADC de contagem	21
Figura 3.5 - ADC de aproximação sucessiva	23
Figura 3.6 - ADC de aproximação sucessiva pipelined	25
Figura 3.7 - ADC paralelo de 3 bits	26
Figura 3.8 - ADC semi-paralelo de 10 bits	28
Figura 4.1 - Diagrama em blocos do MCB	30
Figura 4.2 - Curva de transferência do bloco 1	31
Figura 4.3 - Curva de transferência do bloco 2	31
Figura 4.4 - Curva de transferência do MCB	32
Figura 4.5 - Módulo de conversão básico	32
Figura 4.6 - Diagrama em blocos - conversor de 12 bits	33
Figura 4.7 - Conversor de 4 bits	34
Figura 4.8 - Curva de transferência do 1º MCB (bit 2)	35
Figura 4.9 - Curva de transferência do 2º MCB (bit 3)	35
Figura 4.10 - Curva de transferência do 3º MCB (bit 4)	35
Figura 5.1 - Diagrama esquemático do MCB	39
Figura 5.2 - Comparador	40
Figura 5.3 - Conversor de 8 bits implementado	40
Figura 5.4 - Amostras de uma forma de onda triangular de 100Hz	42
Figura 5.5 - Amostras de uma forma de onda senoidal de 100Hz	43
Figura 5.6 - Amostras de uma forma de onda retangular de 100Hz	44
Figura 6.1 - Segundo Módulo de Conversão Básico	47
Figura 6.2 - Terceiro Módulo de Conversão Básico	48

<i>Figura 6.3 - Resposta do MCB1</i>	49
<i>Figura 6.4 - Resposta do MCB2</i>	50
<i>Figura 6.5 - Resposta do MCB3</i>	50
<i>Figura 6.6 - Resposta ao degrau de 3 MCBs em cascata</i>	52
<i>Figura 6.7 - Resposta do MCB3 - Slew-rate de <math>45V/\mu s</math></i>	53

## Glossário

ADC	<i>Analog-to-Digital Converter</i>
AO	Amplificador Operacional
BCM	<i>Basic Conversion Module</i>
CMR	<i>Common-mode Rejection</i>
CMRR	<i>Common-mode Rejection Ratio</i>
DAC	<i>Digital-to-Analog Converter</i>
DC	<i>Direct Current</i>
FFT	<i>Fast Fourier Transform</i>
GBW	<i>Gain Bandwidth</i>
GSPS	<i>Giga Samples Per Second</i>
IBM	<i>International Business Machines</i>
ISA	<i>Industry Standard Architecture</i>
LSB	<i>Least Significant Bit</i>
MCB	Módulo de Conversão Básico
MSB	<i>Most Significant Bit</i>
MSPS	<i>Mega Samples Per Second</i>
NMSB	<i>Next Most Significant Bit</i>
PC	<i>Personal Computer</i>
RAS	Registrador de Aproximação Sucessiva
VLSI	<i>Very Large Scale Integration</i>

# 1. INTRODUÇÃO

## 1.1 APRESENTAÇÃO

Com o avanço da tecnologia, tem-se cada vez mais necessidade de sistemas mais rápidos e precisos de aquisição de dados. Assim, muito se tem pesquisado para o desenvolvimento de conversores analógico/digital (ADCs) e digital/analógico (DACs) com melhor resolução (maior número de bits) e com menor tempo de conversão.

Os ADCs correntemente disponíveis podem ser classificados em dois grandes grupos, segundo seus princípios operacionais: conversores diretos e indiretos.

Os conversores indiretos realizam a conversão da grandeza analógica em digital seja por uma contagem do tempo em que uma grandeza analógica, integrada, leva para atingir determinado valor, seja por um processo de aproximações sucessivas. Estes conversores têm um custo relativamente baixo, mas possuem o inconveniente de necessitarem um tempo relativamente grande para realizar a conversão, o que limita a frequência máxima de operação.

Os conversores diretos, por sua vez, não utilizam o auxílio de outros elementos (como integradores ou RAS - Registrador de Aproximações Sucessivas) para realizar a conversão, e assim realizam a conversão em tempos bem menores do que os dos conversores indiretos. No entanto, os conversores diretos que apresentam o menor tempo de conversão (os conversores paralelos) exigem um número de componentes que cresce exponencialmente com a resolução do conversor, número este que é mais que duplicado a cada bit acrescentado à resolução do conversor. Um conversor de oito bits necessita 255 comparadores, um de nove bits necessita 511, um de dez bits requer 1023 e assim sucessivamente. Isto inviabiliza a construção de conversores altamente precisos (com muitos bits de resolução) com esta técnica.

Existem ainda algumas técnicas que buscam a redução do número de comparadores, como a dos conversores paralelos de múltiplos estágios, que no entanto possuem um tempo de conversão ainda muito maior do que os conversores paralelos de

estágio simples [HOE 94], ou a dos conversores paralelos *pipelined* em múltiplos estágios, que atingem velocidades maiores do que os conversores paralelos em múltiplos estágios, mas têm um aumento considerável de complexidade [HOE 94].

## **1.2 DEFINIÇÃO DO PROBLEMA**

Considerando-se a necessidade de conversores muito rápidos para certas aplicações (como aplicações de vídeo, processamento de radar ou instrumentação de alta velocidade, por exemplo), os conversores indiretos atualmente disponíveis não podem ser utilizados em função da sua limitação no tempo mínimo de conversão. Por outro lado, os conversores diretos de precisão, entenda-se os de muitos bits, têm alto custo em função do número de componentes utilizado. As alternativas disponíveis no mercado apresentam também desvantagens, principalmente no que se refere à complexidade.

Buscou-se então desenvolver um conversor com características dos conversores diretos, de modo a permitir amostragens em tempos pequenos, sem no entanto necessitar de muitos comparadores ou ainda de circuitos muito complexos.

O circuito apresentado por Maia [MAI 92] e implementado neste trabalho possui uma complexidade linear. Ou seja, um aumento da resolução implica em um aumento linear dos componentes necessários. Para título de comparação, utilizando-se um conversor não-otimizado (conforme proposto por Maia - são apresentadas, posteriormente, alternativas para otimização), em termos do número de componentes ativos, um conversor de oito bits requer 36 componentes, um de nove bits requer 41, um de dez bits requer 46 e assim sucessivamente. Este último número contrasta significativamente com os 1023 comparadores necessários ao conversor paralelo de dez bits.

## **1.3 OBJETIVOS**

O objetivo geral deste trabalho é apresentar um modelo de conversor analógico/digital que possua as vantagens dos conversores indiretos, simplicidade e baixo custo, e também possa realizar a conversão em tempos pequenos. A filosofia de conversão utilizada não tem, teoricamente, limitação do número de bits, muito embora este referido número influencie no tempo mínimo de amostragem ou na latência do conversor,

dependendo do uso ou não de amostragem e retenção e circuitos para armazenamento temporário.

Os objetivos específicos são:

1. desenvolver um protótipo de um conversor de 8 bits com a filosofia de conversão proposta por Maia e realizar testes de conversão que comprovem a funcionalidade da topologia proposta;
2. apresentar alternativas ao módulo básico de conversão inicialmente proposto, propondo módulos com menos componentes e que permitam tempos de conversão menores.

#### **1.4 ESTRUTURA**

Este documento está estruturado em sete capítulos. Cada capítulo constitui uma parte essencial do estudo feito para a elaboração deste trabalho.

No Capítulo 2, apresentam-se alguns aspectos relevantes sobre os amplificadores analógicos (operacionais e de instrumentação). São relacionadas suas características principais, dando-se ênfase nos aspectos importantes para aquisição de dados.

No Capítulo 3, aborda-se a teoria básica sobre conversores analógico/digital e faz-se uma síntese acerca das características dos ADCs comerciais.

No Capítulo 4, apresenta-se a filosofia de conversão analógico/digital proposta em [MAI 92].

No Capítulo 5, relata-se a montagem do protótipo de 8 bits e apresentam-se dados relativos ao comportamento do mesmo.

No Capítulo 6, apresenta-se um estudo de módulos básicos de conversão alternativos ao inicialmente utilizado, faz-se uma comparação entre eles e disserta-se sobre o desempenho do conversor em função do tempo de conversão.

Finalmente, no Capítulo 7, apresentam-se as conclusões do trabalho e sugerem-se trabalhos futuros relacionados ao modelo de conversor apresentado.

## 2. AMPLIFICADORES ANALÓGICOS

### 2.1 INTRODUÇÃO

Dispositivos conversores de dados são principalmente constituídos de componentes analógicos, sendo então estes componentes analógicos o principal ponto de consideração nesta seção. Os principais componentes analógicos ativos são os Amplificadores Operacionais (AO) e os Amplificadores de Instrumentação (AI).

Este capítulo apresenta considerações sobre os amplificadores operacionais, com o intuito de tornar mais claros os conversores de dados apresentados e a filosofia de conversão sugerida, a qual tem como principal elemento o amplificador operacional.

### 2.2 OS AMPLIFICADORES OPERACIONAIS

O progresso em instrumentação analógica e processamento de sinais tem sido muito rápido desde a introdução do amplificador operacional em circuito integrado monolítico, o  $\mu A709$ , da Fairchild, em 1965 [GAR 81]. Amplificadores operacionais de uso geral, contudo, oferecem menos precisão e estabilidade em longo prazo do que os amplificadores de instrumentação. No entanto, seu relativo baixo custo e ampla disponibilidade fazem com que os mesmos sejam utilizados muitos conversores de dados existentes.

A simbologia para o AO é mostrada na Figura 2.1, onde o (-) indica a entrada inversora, enquanto que o (+) indica a entrada não-inversora.

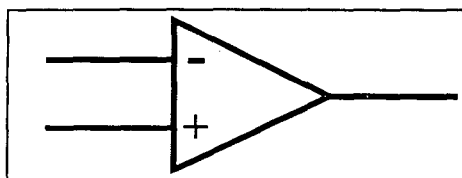


Figura 2.1 - Símbolo para o amplificador operacional

### 2.2.1 Análise das características dos amplificadores operacionais

As características elétricas de um AO são geralmente definidas tendo como parâmetro a temperatura ambiente e a tensão de alimentação. No entanto, certos fatores podem oferecer dados suplementares, como a carga ou então a resistência da fonte [BER 77]. Os parâmetros quase sempre apresentam um valor mínimo, um típico e/ou um máximo.

O amplificador operacional ideal tem os seguintes parâmetros [GRU 88]:

- Impedância de entrada infinita,  $r_i = \infty$ .
- Impedância de saída zero,  $r_o = 0$ .
- Ganho de tensão de malha aberta infinito em DC,  $A_{vo} = \infty$ .
- Defasagem fixa de  $180^\circ$  entre entrada (inversora) e saída.
- Largura de banda infinita,  $B = \infty$ .
- Características constantes a longo prazo e para condições ambientais diferentes.
- Ganho de tensão de modo comum nulo,  $A_{vc} = 0$ .
- Ruído de entrada nulo.
- *Slew-rate* =  $\infty$ .
- Tensão offset de saída nula.

Contudo, nenhum circuito é ideal. Assim, aplicações práticas contêm algumas fontes de erros. A maioria dessas fontes introduz erros muito pequenos e que portanto podem ser ignorados. É importante, no entanto, frisar que algumas aplicações requerem atenção especial a fontes específicas de erro.

Em relação à aquisição de dados, torna-se particularmente importante se analisar os seguintes parâmetros:

- Razão de Rejeição de Modo Comum;
- Produto Ganho-Largura de Banda;
- *Slew-rate*.



### Razão de Rejeição de Modo Comum

Em aquisição de dados, muitas vezes o nível do sinal é fraco, se o compararmos ao ruído presente. Como o ruído está normalmente presente em ambas as entradas, uma grande CMRR garantirá melhoria significativa na razão sinal/ruído, nos casos em que as entradas são utilizadas diferencialmente.

### Produto Ganho-Largura de Banda

O ganho em malha aberta de um AO real diminui com a frequência, limitando o ganho que poderá ser obtido em uma dada frequência (a taxa típica de declive para um AO de uso geral é de -20dB/década [MIL 92]). De acordo com Berlin [BER 77], o valor do ganho em malha fechada deverá permanecer entre 1/10 e 1/20 do ganho em malha aberta para uma frequência determinada, o que garante o funcionamento sem distorções. Como exemplo, o ganho máximo do AO de uso geral 741 na frequência de 10kHz deverá ficar entre 5 e 10, pois o mesmo tem um produto ganho-largura de faixa de 1MHz (sendo então de 100 o ganho em malha aberta para esta frequência).

Com relação a conversores analógico/digital, a frequência utilizada para cálculo deste item não deverá ser a frequência máxima do sinal de entrada, e sim o dobro da mesma (no mínimo), para satisfazer o Teorema de Nyquist (ou Teorema de Amostragem). Segundo o mesmo, se a maior frequência que compõe um sinal com banda limitada (passa-baixas) é  $\omega_c$  radianos por segundo, uma frequência de amostragem maior ou igual a  $2 \omega_c$  proporcionará amostras que permitirão que o sinal original seja completamente recuperado por filtragem passa-baixas ideal [BRO 82],[MOT 96],[HNA 76]. Ainda, em função de considerações práticas como limitações em filtros passa-baixas e limitações no processamento digital de sinais, razões de amostragens mais altas do que o dobro do maior componente de frequência do sinal de banda limitada são em alguns conversores utilizadas (*oversampling*) [HOE 94].

### Slew-rate

O *slew-rate* é um parâmetro fundamental para sistemas de aquisição de dados, pois o mesmo limita o tempo mínimo de amostragem. O AO de uso geral 741, por exemplo, possui um *slew-rate* de apenas 0,5 V/ $\mu$ s, enquanto que AO para altas frequências possuem

valores muito mais elevados, como o AO híbrido 0063 [SCH 82], que possui um *slew-rate* de 6000 V/ $\mu$ s.

## 2.2.2 Circuitos básicos com amplificadores operacionais

Os amplificadores operacionais se caracterizam por um ganho muito alto em DC (ganho de malha aberta) e uma queda uniforme (considerando-se as escalas em decibéis, tipicamente -20dB/década) neste ganho com o aumento da frequência por várias décadas. Este alto ganho dá ao AO a sua versatilidade, possuindo a capacidade de aceitar realimentação em uma variedade de redes com excelente estabilidade dinâmica. Ainda, a disponibilidade de entradas inversora e não-inversora é de particular interesse para aplicações em instrumentação devido à capacidade de rejeição de sinais de modo comum que a estrutura possibilita.

Alguns circuitos práticos usando AO são apresentados, em função de serem utilizados no ADC proposto. O circuito equivalente para um amplificador inversor é mostrado na Figura 2.2. Considerando-se que  $A_{vo}$  é muito grande, a tensão diferencial  $V_d$  tende a zero. Assim, considera-se um curto circuito virtual entre as entradas, o que faz com que o ganho do amplificador seja definido pela razão entre  $R_f$  e  $R_i$ , conforme mostra a Figura 2.2.

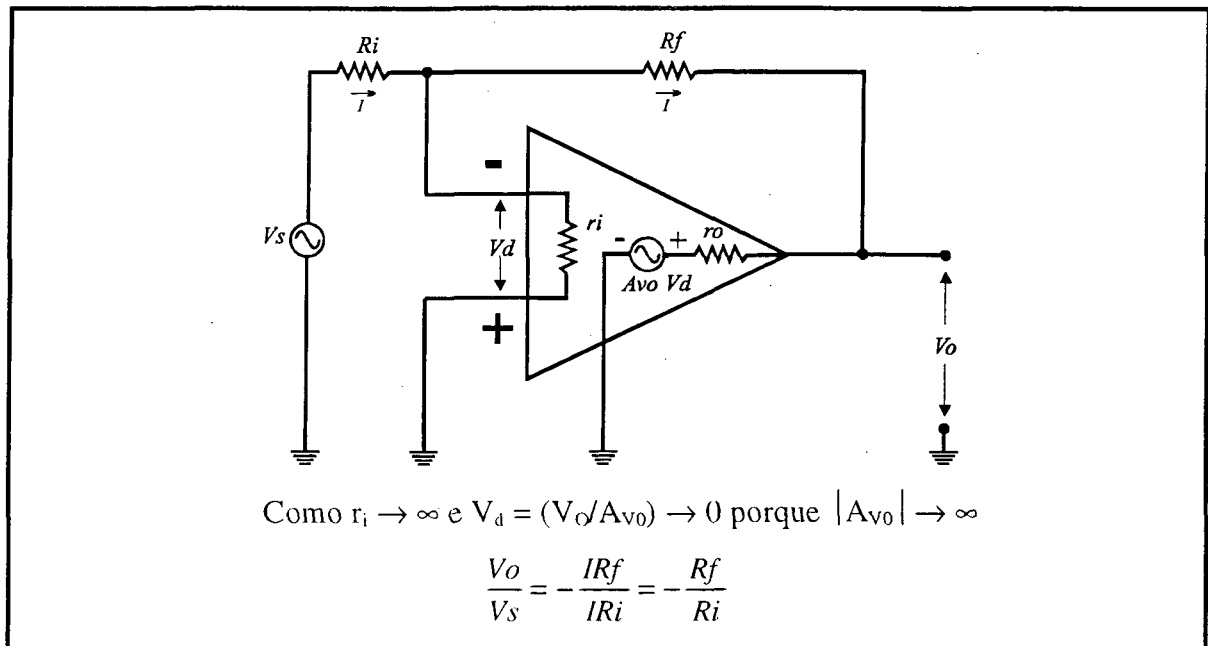


Figura 2.2 - Amplificador inversor

Outros circuitos elementares com o amplificador operacional são mostrados nas Figuras 2.3 a 2.6 com seus respectivos ganhos de tensão expressos em termos de razões de resistores.

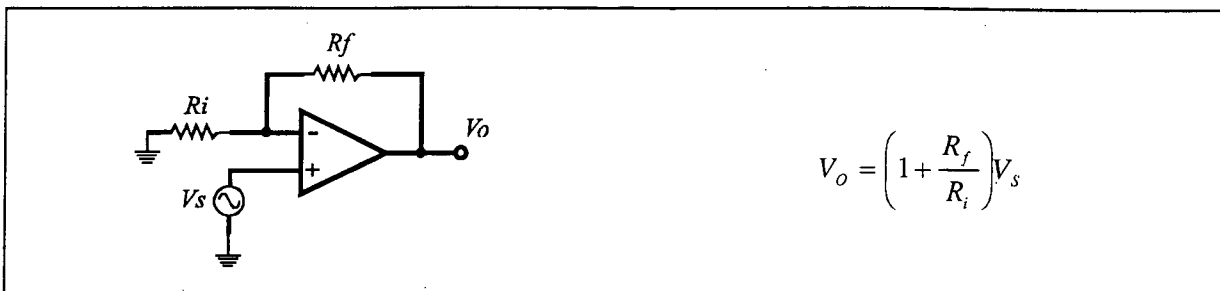


Figura 2.3 - Amplificador não-inversor

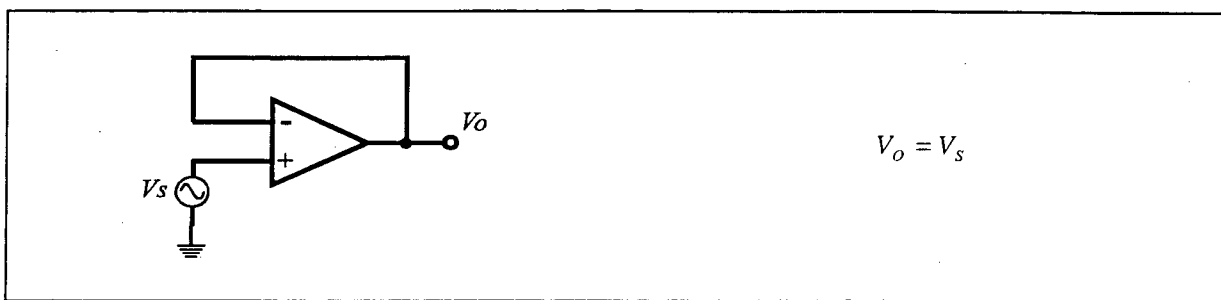


Figura 2.4 - Seguidor de tensão

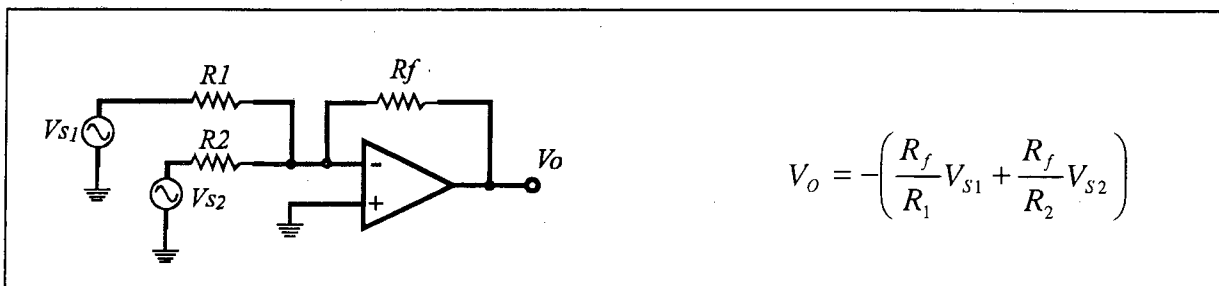


Figura 2.5 - Amplificador somador inversor

As tensões de saída apresentadas nos circuitos acima ficam limitadas em função da saturação do amplificador. Esta característica não-linear dos mesmos é explorada na estrutura de ADC proposta por Maia [MAI 92]. A Figura 2.6 apresenta a função de transferência para um amplificador operacional real, relacionando a tensão de saída com a tensão diferencial de entrada.

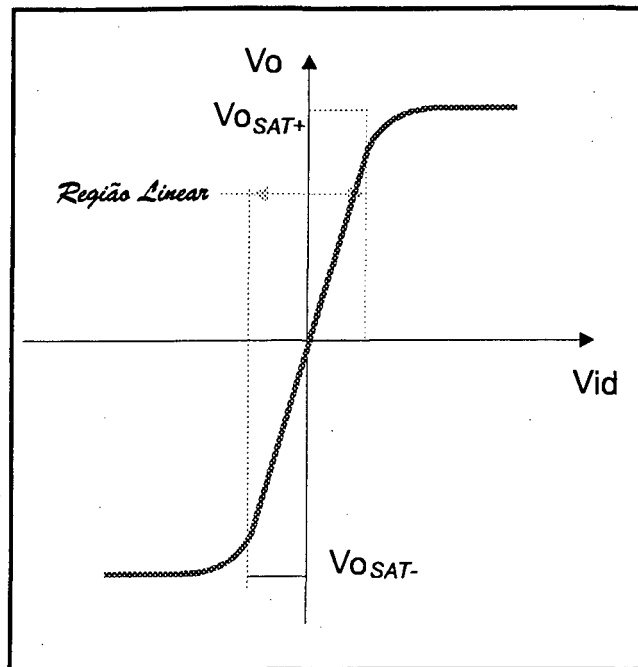


Figura 2.6 - Curva de transferência DC de um amp. operacional real

### 2.2.3 Comparador

Devido a sua importância nos conversores analógico/digital, o comparador é analisado em maiores detalhes. Comparadores analógicos são utilizados para comparar a magnitude de dois níveis de tensões analógicas e determinar qual deles é maior. Ambas as tensões analógicas podem ser variáveis, como no caso do ADC contínuo. O comparador também é o elemento de decisão no ADC de aproximação sucessiva, no ADC paralelo e no modelo de ADC proposto por Maia e implementado neste trabalho.

É importante considerar a existência ou não de realimentação positiva. Este tipo de realimentação é utilizado para efetivamente aumentar o ganho de malha do circuito (apresentando um ganho de malha fechada que reforça a troca de estado) de modo a evitar que a saída mantenha-se em uma região de incerteza, fazendo com que a mesma tenha dois estados estáveis. Para que isso possa acontecer, a realimentação positiva tem de ser forte o suficiente para causar regeneração no circuito assim que a saída começa a mudar. Comparadores desse tipo são chamados de regenerativos.

Um circuito com realimentação positiva é mostrado na Figura 2.7. Para o circuito ser regenerativo, a seguinte condição deve ser satisfeita [HOE 94]:

$$1 \leq \left[ \frac{r_{g1} // r_{i1}}{(r_{g1} // r_{i1}) + R_f} \right] A_{vo} \quad (2.1)$$

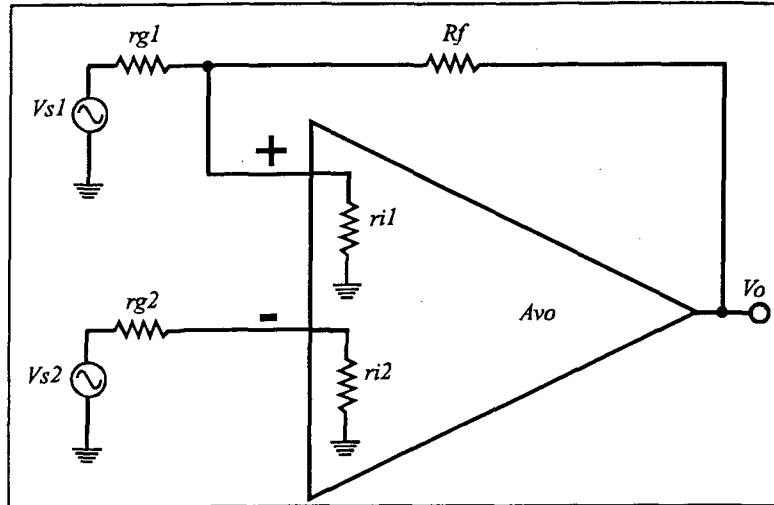


Figura 2.7 - Comparador com realimentação positiva

Caso a condição expressa na equação 2.1 não se realize, o circuito não será biestável em seus estados de saída, mas ainda assim terá sensibilidade e ganho aumentados (em relação ao circuito sem realimentação positiva) na região de limiar. Esta fraca realimentação positiva às vezes é utilizada para causar uma *histerese* que diminua a susceptibilidade do comparador a ruídos interferentes [GRU 88]. Neste caso, a saída ainda apresentará uma região de incerteza, mas, diferentemente do circuito sem realimentação positiva, o início da transição de saída se dará em um valor que depende do sentido da mudança da tensão de entrada.

Todo comparador com realimentação positiva terá então histerese no seu ponto de limiar que depende do estado da tensão de saída. A quantidade de histerese, em termos de tensão referenciada à entrada, é [HOE 94]:

$$V_{s1H} = \frac{(\Delta V_o)(r_{g1} // r_{i1})}{(r_{g1} // r_{i1}) + R_f} \quad (2.2)$$

Portanto, a realimentação positiva é responsável pela regeneração e pela histerese. Quanto mais forte for a realimentação positiva (menores valores de  $R_f$ , em relação a  $r_{g1}$ ), mais forte serão a regeneração e a histerese.

## 3. CONVERSORES ANALÓGICO/DIGITAL

### 3.1 INTRODUÇÃO

Os conversores analógico/digital conhecidos geralmente se encaixam em uma destas categorias:

#### 1. Indiretos

- De Integração
  - ◆ Rampa simples
  - ◆ Rampa dupla
  - ◆ Rampa múltipla
  - ◆ Delta-sigma
- De Realimentação
  - ◆ De contagem
  - ◆ Busca de trilha (contínuo)
  - ◆ Aproximação sucessiva
  - ◆ Aproximação sucessiva *pipelined*

#### 2. Diretos

- ◆ Paralelo (*flash*)
- ◆ Semi-paralelo (*half-flash*)
- ◆ Paralelo multiestágio *pipelined*

O tipo de conversor a ser escolhido para uma dada aplicação depende de muitos fatores, sendo que dentre eles estão a precisão requerida, o tempo de conversão necessário, a imunidade ao ruído necessária e o custo. Antes de uma análise de cada um destes dispositivos, é importante fazer uma abordagem a respeito dos termos relacionados a um ADC.

### 3.2 ESPECIFICAÇÕES

As especificações são apresentadas em uma ordem que permite o mínimo de referências a especificações posteriores.

#### **Faixa de Entrada**

É a faixa de tensões analógicas que pode ser digitalizada, podendo ser unipolar - por exemplo, de 0 a 10 V - ou bipolar - por exemplo,  $\pm 5V$ ,  $\pm 10V$  etc.

#### **Resolução**

Resolução é a mudança na entrada necessária para mudar a saída entre dois códigos adjacentes. Como a resolução depende do número de bits do conversor, às vezes a resolução é expressa em termos do número de bits ( $n$ ). Por exemplo, um conversor com faixa de entrada de 0V a 10V e palavra digital de 8 bits tem na realidade uma resolução

$$res = \frac{10V - 0V}{2^n} = \frac{10V}{2^8} = \frac{10V}{256} = 39mV, \text{ mas alguns fabricantes se referenciam ao mesmo}$$

como apenas sendo um conversor de 8 bits de resolução.

#### **Faixa Dinâmica**

É definida como sendo a razão da tensão máxima de entrada (tensão de fundo de escala) pelo tamanho do degrau de quantização (resolução), sendo expressa em dB. A faixa dinâmica depende exclusivamente do número de bits:

$$\text{Faixa dinâmica} = 20 \log 2^n = 6,02n \text{ dB}$$

#### **Formato de Saída**

Existe uma variedade de formatos, dentre os quais: binário, unipolar, binário com deslocamento, complemento de 1, complemento de 2, e diversos outros códigos padrões, como o código de Gray [IDO 84].

### Função de Transferência e Erro de Quantização

A função de transferência é o relacionamento entre palavra de saída digital (código) e o sinal analógico de entrada. A Figura 3.1 apresenta a função de transferência para um ADC de 3 bits ideal, com saída binária. O mesmo princípio é válido para qualquer número de bits. É importante frisar que há  $\frac{1}{2}$  bit menos significativo (LSB) de offset na entrada (comparador centralizado), de modo tal que a primeira contagem ocorre quando a entrada é igual a  $\frac{1}{2}$  LSB. Assim, o centro da faixa do primeiro degrau ocorre quando a entrada é igual ao valor de 1 LSB e o erro no ponto de chaveamento fica limitado a  $\frac{1}{2}$  LSB. Este erro é conhecido como erro de quantização e é inerente ao processo de conversão devido à saída discreta. Caso não houvesse o  $\frac{1}{2}$  LSB de offset na entrada, o erro de quantização máximo seria de +1 LSB, enquanto que com o  $\frac{1}{2}$  LSB de offset o erro de quantização máximo é de  $\pm \frac{1}{2}$  LSB.

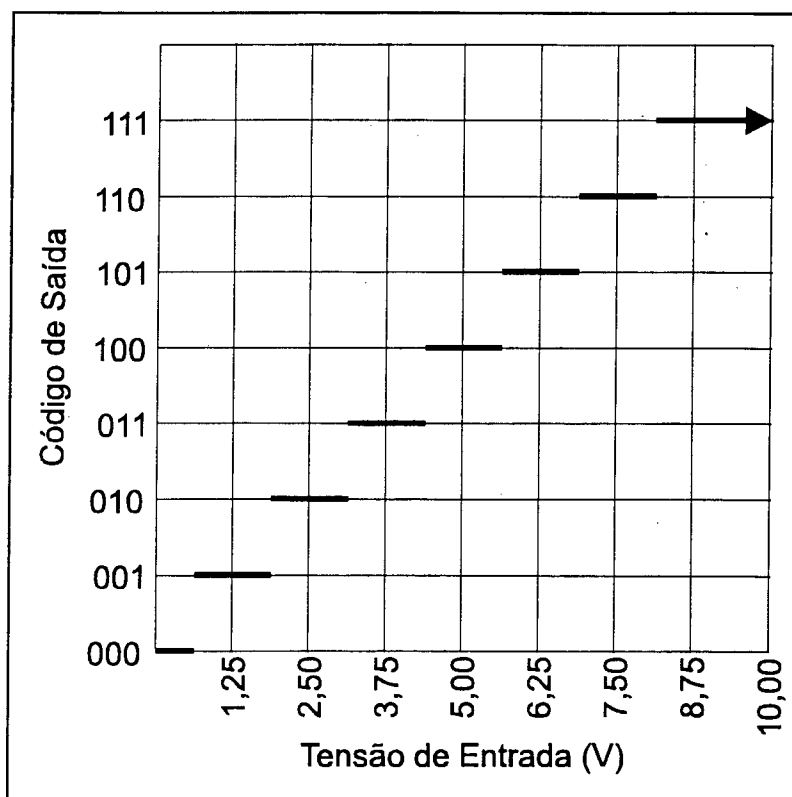


Figura 3.1 - Função de transferência de um ADC ideal de 3 bits e com faixa de entrada de 0 a 10V



### **Exatidão**

A exatidão inclui tanto os erros da parte analógica quanto os da parte digital do sistema. O erro digital é devido à quantização, enquanto que a principal fonte de erro analógico é o comparador [MAL 87]. Outras possíveis fontes de erro analógico (se houverem - depende do tipo de conversor) são a fonte de tensão de referência, os resistores da escada R-2R, o ruído e os amplificadores lineares etc. A exatidão necessária e o número de bits devem ser compatíveis. Por exemplo, o conversor de 8 bits com faixa de entrada 0 a 10V possui erro de quantização de 19,5mV ( $\frac{1}{2}$  LSB). Caso o erro analógico também seja de 19,5mV, o erro total será de 39mV (visto serem os erros cumulativos) e o sistema se comportará como um ADC de 7 bits isento de erro analógico (muito embora isto não seja possível na prática), pois o erro de quantização do mesmo é de 39mV. Neste caso, diz-se que a conversão *efetiva* é de 7 bits [SCH 82].

### **Velocidade de Conversão**

A velocidade de conversão é a velocidade na qual um ADC pode fazer conversões de dados repetitivas.

### **Tempo de Conversão**

Refere-se ao tempo máximo gasto para se realizar uma conversão completa. Este tempo depende basicamente do tipo de conversor. Os conversores paralelos, por exemplo, apresentam tempos de conversão na faixa de nanossegundos, enquanto que conversores de aproximação sucessiva apresentam tempos da ordem de microssegundos [SCH 82].

### **Erro de Offset**

Refere-se ao deslocamento da curva de transferência ideal.

### **Erro de Ganho**

Refere-se ao desvio no tamanho dos degraus. Com relação ao conversor ideal mostrado na Figura 3.1, um conversor com ganho muito alto teria degraus de duração menor do que

1,25V, enquanto que um conversor com ganho muito baixo teria degraus maiores do que 1,25V.

### **Precisão Relativa**

Trata da diferença entre a transição de bit real e a ideal em qualquer nível sobre a faixa do ADC, sendo dada em percentual relativo ao fundo de escala (%FS).

### **Erro de Histerese**

O erro de histerese é a dependência do código de tensão na transição, relativa a direção na qual a transição é abordada.

### **Monotonicidade**

Um conversor é monotônico quando o código de saída ou sobe ou permanece o mesmo para tensões crescentes da entrada analógica e quando o código de saída desce ou permanece o mesmo para tensões decrescentes da entrada analógica.

### **Códigos Ausentes**

Um código ausente é uma combinação que é pulada, ou seja, nunca será obtida na saída.

### **Amostragem e Retenção**

Os efeitos da variação da tensão da entrada durante o processo de conversão dependem do tipo de conversor, do tempo de conversão e de outros fatores. No entanto, se a tensão de entrada variar significativamente enquanto a conversão A/D estiver em prosseguimento, a saída digitalizada será ambígua [MAL 85]. A forma de se evitar este problema é através de um circuito de amostragem e retenção (*sample-and-hold* - S/H), o qual possui amplificadores e um capacitor de retenção que, após a amostragem (que é efetuada em um período muito pequeno de tempo, se comparado ao tempo de retenção), mantém a tensão praticamente estável durante todo o processo de conversão.

### 3.3 CONVERSORES MAIS COMUNS

Nesta seção são apresentados os conversores mais usuais e suas características, conforme o apresentado na introdução deste capítulo.

#### 3.3.1 ADC de rampa simples

Conversores de rampa realizam a comparação da tensão analógica de entrada com uma tensão de referência que começa em zero e aumenta linearmente no tempo (positiva ou negativamente). Um gerador de rampa (normalmente um amplificador operacional operando como integrador) é utilizado para gerar esta tensão de referência variável. O tempo necessário para a tensão de referência aumentar até o valor da tensão desconhecida de entrada é diretamente proporcional à magnitude da mesma, sendo este período medido com um módulo contador digital. A Figura 3.2 apresenta a estrutura de um conversor de rampa simples. Na figura, podem ser notados, além do integrador responsável pela rampa, o comparador, a porta que controla a passagem de pulsos de *clock* para os contadores e os módulos contador e de geração de *clock*/controle. O funcionamento é o seguinte: inicialmente, o módulo de controle (re)inicializa os contadores e o integrador, através da chave em paralelo com o capacitor C. Ao liberar a chave, o integrador começa a gerar a rampa e, como a saída do comparador apresenta nível alto (supondo-se  $V_{IA}$  positiva), os pulsos de *clock* chegam aos contadores. Quando a tensão da rampa atingir  $V_{IA}$  mais a sensibilidade do comparador, a saída do mesmo passa a nível baixo, encerrando a contagem e acionando o controle. O controle então ativa os *latches*, o que faz com que a palavra digital fique presente nas saídas dos mesmos, e reinicializa os contadores e o integrador, dando início a um novo ciclo.

Como o contador conta continuamente os pulsos de entrada, um contador de rampa é inerentemente monotônico e não possui códigos ausentes [HOE 94], além de apresentar excelente imunidade a ruídos. São então utilizados em conversores de até 20 bits. Também possuem as vantagens de serem de baixo custo (por não necessitarem de circuitos como os DAC) e fáceis de implementar [MAL 87]. No entanto, contadores de rampa são lentos, com tempos de conversão da ordem de milissegundos, o que limita sua

utilização a aplicações onde a velocidade não seja importante, como por exemplo os voltímetros digitais e medidores digitais de painéis.

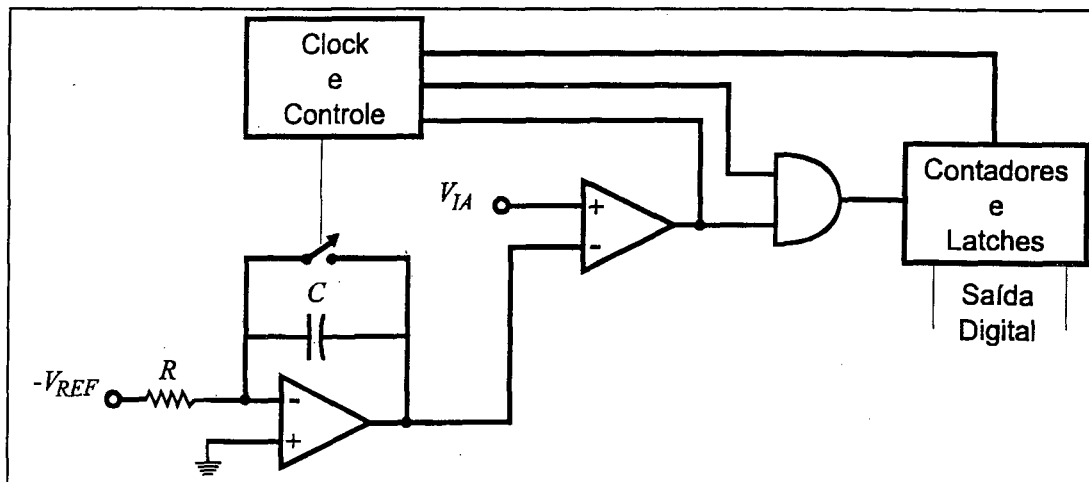


Figura 3.2 - ADC de rampa simples

Os conversores de rampa simples ainda possuem a desvantagem de possuírem diversas fontes de erro, como as variações dos valores de  $R$  e  $C$  do integrador (em função de variáveis como o tempo e a temperatura) e desvios da tensão da fonte de referência, o que faz com que os mesmos sejam pouco utilizados na prática atualmente [MAL 87]. Para resolver alguns destes problemas foram propostos conversores de rampa dupla (ou mesmo múltipla) com custo semelhante e que podem ser utilizados nas mesmas aplicações que os de rampa simples, sendo mais precisos do que estes últimos.

### 3.3.2 ADC de rampa dupla

O ADC de rampa dupla é uma variação do ADC de rampa simples que corrige ou elimina algumas fontes de erro do ADC de rampa simples, como por exemplo as variações dos valores de  $R$  e  $C$  do integrador. Isto é conseguido através da utilização do mesmo integrador para gerar 2 rampas: em um primeiro momento, o integrador integra a tensão analógica de entrada (durante um tempo fixo), gerando uma rampa crescente proporcional a  $V_{IA}$ ; em um segundo momento, o integrador integra uma tensão de referência fixa de sinal contrário a  $V_{IA}$ , gerando uma rampa que diminuirá a tensão sobre o capacitor (decrecente se a tensão sobre o capacitor for positiva). A segunda rampa tem duração proporcional à tensão de entrada analógica, pois como a tensão de referência é fixa, a

declividade da segunda reta também é fixa, sendo o tempo de duração dependente da carga armazenada na primeira etapa do processo (Figura 3.3). Como o capacitor e resistor que são utilizados nas duas rampas são os mesmos e a tensão inicial da segunda rampa é a tensão final da primeira (Figura 3.3), qualquer variação nos valores dos referidos componentes não influenciará no tempo final da segunda rampa, a qual é efetivamente utilizada para a contagem. Este cancelamento pode ser observado na equação 3.1 [MAL 87].

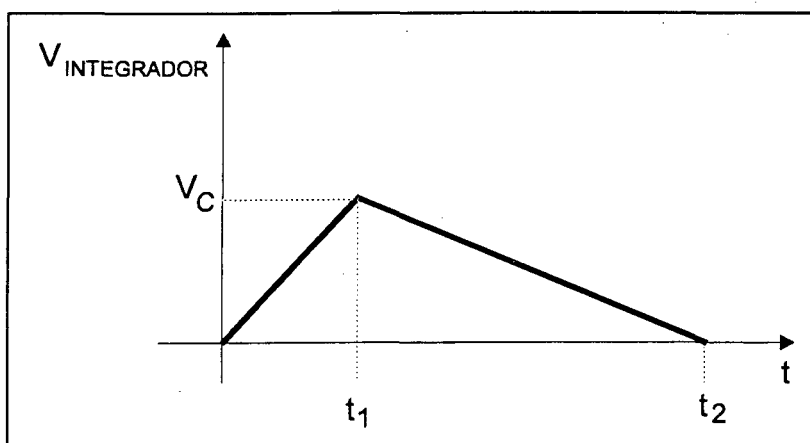


Figura 3.3 - Rampa dupla -  $t_2$  proporcional a  $V_{IA}$

$$\frac{V_{IA}}{RC} t_1 = \frac{V_{REF}}{RC} t_2 \quad (3.1)$$

Uma adicional vantagem do conversor de rampa dupla é a rejeição de sinais de ruído cuja frequência tenha período igual ou submúltiplo do período  $t_1$  [HOE 94].

No entanto, com o tempo de conversão da ordem de milissegundos, a utilização desses conversores fica limitada a aplicações onde a tensão analógica de entrada seja DC ou lentamente variante.

Exemplos de circuitos comerciais [RSC 97]:

#### $\mu$ PD7002C

número de bits:	10
Tempo ou taxa de conversão:	15ms
Amostragem e retenção:	Não
Número de canais:	4
Fabricante:	NEC

## CA3162

número de bits:	4x3
Tempo ou taxa de conversão:	96Hz
Amostragem e retenção:	Não
Número de canais:	1
Fabricante:	RCA

### 3.3.3 ADC de rampa múltipla

Visando a correção de outros erros, conversores de rampa múltipla foram desenvolvidos. Com uma terceira rampa, é possível determinar a tensão de erro de offset do conversor. Outra rampa pode ainda ser utilizada para determinar o erro de fundo de escala. Os dois erros determinados podem, então, ser corrigidos digitalmente [HOE 94].

Utilização: voltímetros digitais e medidores digitais de painéis

Tempo de conversão: da ordem de milissegundos

Exemplo de circuito comercial [RSC 97]:

#### TSC850CPL

número de bits:	16
Tempo ou taxa de conversão:	25ms
Amostragem e retenção:	Não
Número de canais:	1
Fabricante:	Telcom

### 3.3.4 ADC Delta-sigma

Conversores analógico/digital *oversampled* delta-sigma têm sido muito utilizados em anos recentes em função da alta precisão, com mais de 20 bits [RSC 97] e conversão de DC até algumas centenas de kilohertz de sinais AC [HOE 94]. Sua grande vantagem é a de trocar a exigência de circuitos analógicos altamente precisos por uma maior complexidade da parte digital que, com as novas tecnologias VLSI, resulta em alta precisão a baixo custo [HOE 94].

Conversores *oversampled* fazem amostragens a taxas muito maiores do que a taxa de Nyquist. A taxa desta “sobreamostragem” pode ser de centenas ou milhares de vezes a largura de banda do sinal de entrada analógico. Isto é obtido no delta-sigma porque o mesmo utiliza um sistema de conversão de 1 bit de baixa precisão (com A/D e D/A) que faz uso de filtros digitais para determinar a palavra digital final. A grande vantagem destes conversores é, então, que os mesmos somente necessitam de ADC e DAC de 1 bit com relativamente imprecisos amplificador somador e integrador (que atua como filtro passa-baixas), circuitos analógicos que são muito mais fáceis de implementar em VLSI do que os circuitos analógicos precisos exigidos por conversores paralelos e de aproximação sucessiva, os quais requerem resistores ou capacitores de precisão (principalmente para mais de 12 bits) [HOE 94]. No entanto, a velocidade de conversão atingida por estes conversores pode ser considerada média, com a tecnologia atual.

Exemplos de circuitos comerciais [RSC 97]:

#### **AD776AQ**

número de bits:	16
Tempo ou taxa de conversão:	100kSPS
Amostragem e retenção:	Não
Número de canais:	1
Fabricante:	Analog Devices

#### **ADS1211P**

número de bits:	24
Tempo ou taxa de conversão:	Não declarado
Amostragem e retenção:	Não
Número de canais:	4
Fabricante:	Burr-Brown

### **3.3.5 ADC de contagem**

Este contador é extremamente simples em seu funcionamento, o que não implica em ser de baixo custo, visto que necessita de um conversor D/A com o mesmo número de bits do conversor em questão. Sua estrutura pode ser vista na Figura 3.4 e seu

funcionamento é o seguinte: inicialmente, um pulso de *reset* inicializa os contadores, levando a saída do conversor D/A a zero Volt. Supondo-se  $V_{IA}$  positiva, pulsos passam ao contador que avança a contagem, aumentando a tensão de saída do conversor D/A. Assim, semelhante ao conversor de rampa, quando a tensão de saída do conversor D/A for levemente maior do que a tensão da entrada analógica, a saída do comparador comuta para nível baixo, o que faz com que a contagem cesse e o valor da palavra digital fique retido nos *latches*. A borda de descida da tensão de saída do comparador pode também ser responsável por reinicializar os contadores e reiniciar o processo ou os contadores podem ser reinicializados em função de um tempo predefinido (neste caso maior do que o tempo necessário para se atingir a contagem máxima).

O tempo de conversão é função do período de *clock* e do número de bits do conversor, sendo definido este tempo (máximo) por  $(2^n - 1) \cdot T$ , onde  $n$  é o número de bits do conversor e  $T$  é o período de *clock*. Assim, este tipo de conversor é relativamente lento, com tempo de conversão da ordem de centenas de microssegundos, fazendo que o mesmo somente seja utilizado em sinais analógicos de variação muito lenta ou DC [HOE 94].

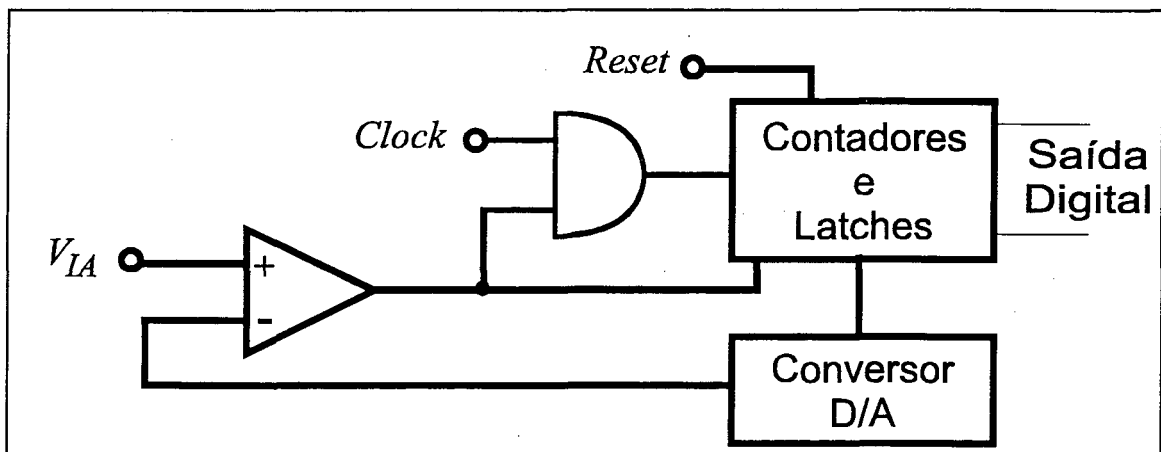


Figura 3.4 - ADC de contagem



### 3.3.6 ADC de busca de trilha (contínuo)

O ADC contínuo é uma variação do conversor anterior que busca diminuir o tempo de conversão. Baseia-se no processo de não reinicializar os contadores após concluir a conversão, o que faz com que o tempo de conversão fique diminuído se o sinal de entrada for contínuo. Como os contadores, em cada nova conversão, partem do valor da conversão anterior, o tempo de contagem depende da diferença entre as tensões de entrada para as amostras consecutivas, e não da diferença entre o valor da tensão de entrada e o zero, como ocorre no conversor anterior. Portanto, torna-se necessária a utilização de contadores bidirecionais, com o sentido da conversão controlado pelo resultado do comparador, que pode ser um comparador de duas saídas [MAL 87]. Este conversor é então bastante rápido quando suas amostras consecutivas são de tensões próximas, o que normalmente acontece quando se tem uma entrada única, mas torna-se lento quando multiplexa entradas (neste caso, os contadores podem ter que efetuar contagens longas entre amostras). Por exemplo, se uma conversão amostrar um dos sinais em seu valor mínimo e a seguinte amostrar o próximo sinal em seu valor máximo, os contadores terão de avançar todas as contagens, o que leva o tempo máximo de conversão deste conversor a ficar idêntico ao do anterior [MAL 87].

### 3.3.7 ADC de aproximação sucessiva

Este processo aumenta bastante a velocidade do conversor (em relação ao dois anteriores), pois consiste em definir 1 bit a cada pulso de *clock* (começando pelo mais significativo). Assim, o tempo máximo de conversão passa a ser dado por  $t = n.T$ , onde  $n$  é o número de bits do conversor e  $T$  é o ciclo de conversão, normalmente igual ao período do pulso de *clock* (alguns conversores utilizam vários períodos de *clock* por ciclo de conversão, como o ADC0804C, da Texas [TEX 83] que utiliza 8 períodos de *clock* por ciclo).

A estrutura básica deste conversor é mostrada na Figura 3.5. O funcionamento é como segue: o registrador de aproximação sucessiva (RAS) inicialmente entrega ao conversor D/A uma palavra digital com apenas o bit mais significativo (MSB) em nível alto. Assim, conversor D/A produzirá uma tensão exatamente no centro da faixa de

tensões de entrada. Se a entrada analógica for maior, o comparador entrega um nível alto, informando para o RAS que o MSB é alto; caso contrário, o RAS armazenará um nível baixo para o MSB. Em seguida, o RAS repetirá o processo com o próximo bit mais significativo (NMSB), mantendo o mais significativo de acordo com o resultado da etapa anterior, o que dividirá a faixa de tensões restante ao meio e, novamente, o comparador definirá o valor do bit. Seguindo-se este processo até o último bit, teremos uma conversão completa com um pulso de *clock* para cada bit do conversor. Pode ser notado que toda a complexidade do circuito fica contida dentro do RAS.

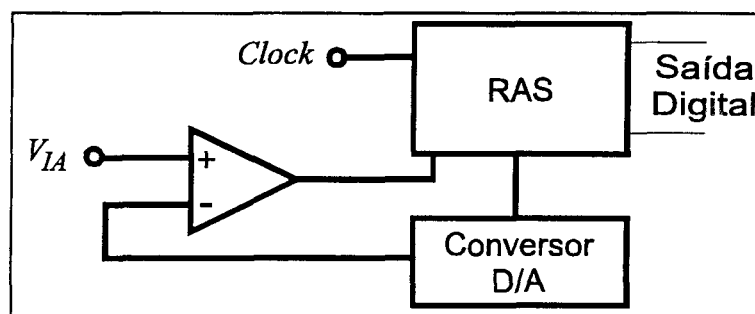


Figura 3.5 - ADC de aproximação sucessiva

De acordo com Hoeschele [HOE 94], a complexidade do RAS não é um limitador para o uso comercial, pois a precisão e velocidade de RAS para conversores de aproximação sucessiva de baixo custo estão em contínuo processo de melhoria. No entanto, como este é um processo programado, tempo suficiente deve ser reservado para todos os transientes se estabelecerem dentro do RAS, o que significa que os demais circuitos devem responder completamente com algum tempo extra antes do próximo passo começar.

Exemplos de circuitos comerciais [RSC 97]:

#### TLC549JP

número de bits:	8
Tempo ou taxa de conversão:	17 $\mu$ s
Amostragem e retenção:	Sim
Número de canais:	1
Fabricante:	Texas Instruments

## ADC0804

número de bits:	8
Tempo ou taxa de conversão:	100 $\mu$ s
Amostragem e retenção:	Não
Número de canais:	1
Fabricante:	Texas Instruments

### 3.3.8 ADC de aproximação sucessiva *pipelined*

A busca por conversores com maior precisão e que operem em velocidades mais altas tem levado a ADCs que combinem elementos das técnicas de aproximação sucessiva e conversão paralela com processamento de sinais do tipo *pipeline*<sup>1</sup>. Em processamento de sinais *pipelined*, a conversão A/D é desempenhada em cada amostra do sinal analógico de entrada durante um período de tempo de dois ou mais tempos de amostragem do sinal analógico, ou seja, a conversão ocorre com uma latência [HOE 94]. O processo é o seguinte: o primeiro estágio do conversor converte uma certa quantidade dos bits mais significativos e passa o resíduo, gerado através de um conversor D/A e subtrator, para o próximo estágio. Durante o segundo período de amostragem, o primeiro estágio converte os bits mais significativos para a próxima amostragem analógica, enquanto que o segundo estágio converte o resíduo da amostragem anterior para os próximos bits mais significativos. Este processo se repete para todos os estágios do conversor, de modo que ao final de um número de amostragens igual ao número de estágios é possível ter-se a palavra digital completa em um banco de registradores. Os estágios iniciais devem ter bancos de registradores suficientes para armazenar as amostras enquanto os outros estágios estão processando, ou seja, sendo o número de estágios  $n$ , o primeiro estágio deve ter  $n$  bancos de registradores, o segundo estágio deve ter  $n-1$  bancos de registradores e assim sucessivamente até o último estágio, que necessita de 1 banco de registradores.

A Figura 3.6 ilustra um conversor de 12 bits com 4 bits por estágio [HOE 94]. Este conversor utiliza um RAS de 4 bits, de modo que a frequência de *clock* para o RAS

---

<sup>1</sup> Algumas poucas traduções, como a do Tanenbaum [TAN 94], utilizam o termo canalizar. No entanto, como o termo não está ainda consagrado, será mantido neste trabalho o termo em inglês.

deverá ser de 4 vezes a taxa de amostragem do sinal analógico de entrada. Quando comparado com o conversor de aproximação sucessiva simples, este conversor apresenta quase o triplo da velocidade, apesar da latência de três períodos de amostragem analógica [HOE 94]. No entanto, este conversor exige o acréscimo de um circuito de amostragem e retenção por estágio e dois subtratores (número de estágios menos 1), além dos registradores e lógica de reordenação.

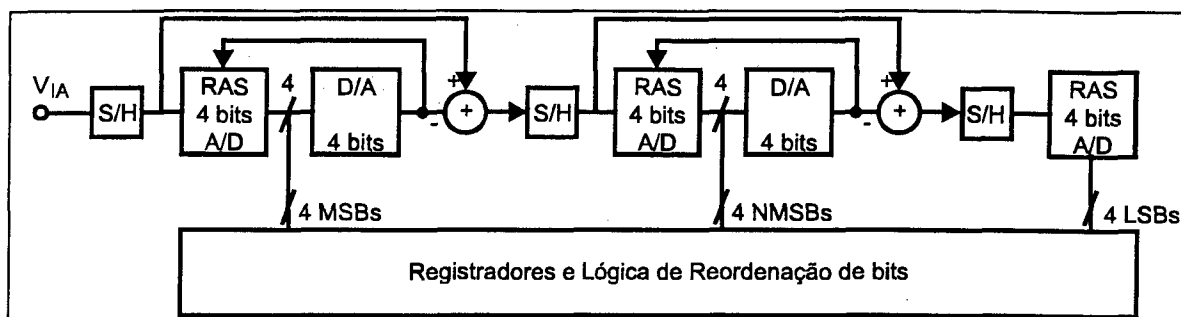


Figura 3.6 - ADC de aproximação sucessiva pipelined

### 3.3.9 ADC paralelo (*flash*)

Os conversores paralelos são os conversores que atingem a maior velocidade, pois toda conversão é efetuada em um único passo. Seu princípio de funcionamento baseia-se em ter  $2^n - 1$  comparadores e tensões de referência, onde  $n$  é o número de bits do conversor. Como o próprio nome indica, todos os comparadores operam em paralelo, cada um comparando a tensão de entrada com sua tensão de referência. As saídas dos  $2^n - 1$  comparadores passam por uma lógica de codificação para gerar os  $n$  bits.

A grande desvantagem deste tipo de conversor está no aumento exponencial do número de comparadores com o número de bits, além do significativo aumento na lógica de codificação com o aumento dos bits. Segundo Hoeschele [HOE 94], no início da década de setenta era possível construir apenas conversores de 4 bits com esta técnica, enquanto que no início dos anos noventa tornou-se possível, graças ao avanço nas tecnologias de integração, construir conversores paralelos de 10 bits. Ainda segundo Hoeschele, com a tecnologia de integração de circuitos em arseneto de gálio (GaAs - *gallium-arsenide*) pode-se produzir conversores *flash* com resoluções menores e que operem na faixa de bilhões de amostras por segundo (GSPS).

A Figura 3.7 apresenta um conversor paralelo de 3 bits unipolar, com faixa de tensões de entrada de 0 a +V.

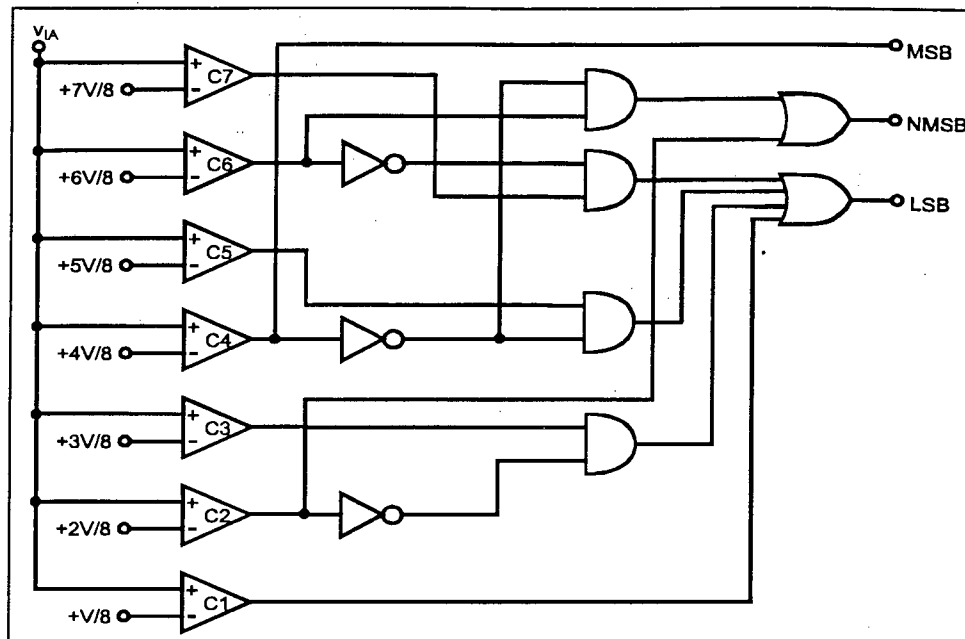


Figura 3.7 - ADC paralelo de 3 bits

No circuito da Figura 3.7, para que não ocorram ambigüidades na leitura dos valores digitais, o que poderia acarretar erro na palavra digital, alguns dos comparadores devem ser regenerativos, particularmente os comparadores 2, 4 e 6. Outra forma de evitar ambigüidades é primeiro decodificar a palavra de saída dos comparadores para o código de Gray, onde de uma palavra digital para a seguinte apenas um bit muda de valor (o que elimina qualquer ambigüidade) e posteriormente converter este código de Gray para binário.

Exemplos de circuitos comerciais [RSC 97]:

**CA3304E**

número de bits:	4
Tempo ou taxa de conversão:	3ns
Amostragem e retenção:	Não
Número de canais:	1
Fabricante:	Harris Semiconductor

### HI3-5700J-5

número de bits:	8
Tempo ou taxa de conversão:	25MSPS
Amostragem e retenção:	Não
Número de canais:	1
Fabricante:	Harris Semiconductor

#### 3.3.10 ADC semi-paralelo (*half-flash*) / Paralelo de múltiplos estágios

Uma das formas de diminuir o número de comparadores dos conversores diretos é a utilização da técnica de múltiplos estágios em paralelo, uma combinação das técnicas de aproximação sucessiva e arquitetura paralela. Um dos conversores mais utilizados por esta técnica é o paralelo de dois estágios, também conhecido como semi-paralelo (*half-flash*). No entanto, a velocidade de conversão para este tipo de conversor é consideravelmente mais baixa do que para os conversores paralelos puros. Isto se dá em função de faixas dinâmicas mais altas (como ganho-largura de banda é uma constante, para uma maior sensibilidade, a largura de banda deve diminuir) e também em função do fato de cada passo do processo de conversão em múltiplos estágios ter seu próprio tempo de acomodação, sendo estes tempos adicionados na conversão total [HOE 94].

A Figura 3.8 apresenta um conversor semi-paralelo de 10 bits. O mesmo requer dois passos, durante uma amostragem do sinal analógico, para completar a conversão. Durante a metade do tempo de amostragem, os 5 bits mais significativos são convertidos e ficam retidos no registrador intermediário. O conversor D/A então entrega o equivalente a esta parte da conversão (conversão grossa) para o subtrator, o qual apresentará o resíduo para ser convertido durante a segunda metade do tempo de amostragem (conversão fina).

Esta estrutura consegue diminuir significativamente o número de comparadores (neste caso são 62 contra os 1023 do paralelo puro), embora exija o acréscimo de conversor D/A e subtrator e apenas consiga realizar conversões a taxas bem mais baixas. Uma outra vantagem em relação ao conversor paralelo é a de apresentar menor corrente de retorno para a fonte de sinal analógica.

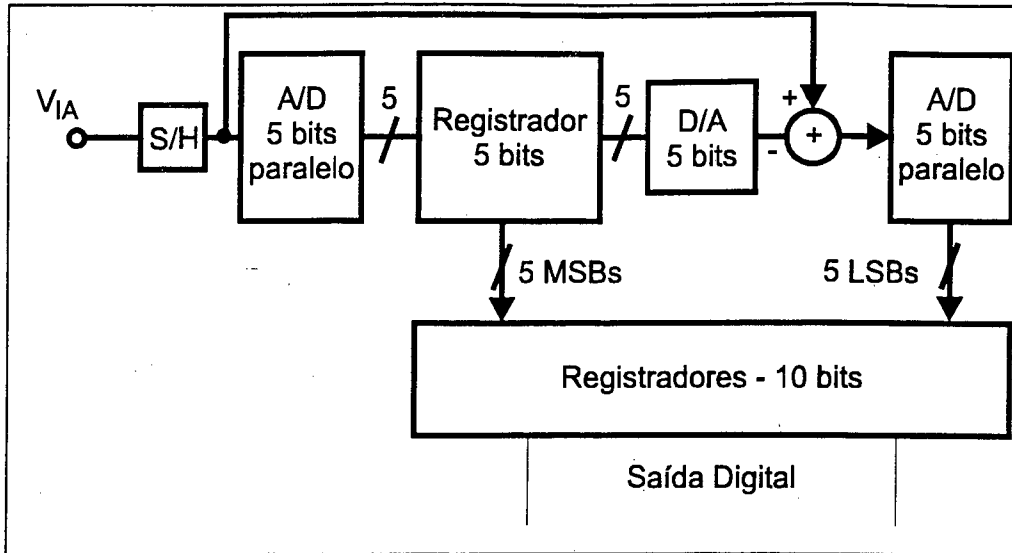


Figura 3.8 - ADC semi-paralelo de 10 bits

Exemplo de circuito comercial [RSC 97]:

#### AD7821KN

número de bits:	8
Tempo ou taxa de conversão:	660ns
Amostragem e retenção:	T/H
Número de canais:	1
Fabricante:	Analog Devices

### 3.3.11 ADC paralelo multiestágio *pipelined*

Variação da estrutura paralela em múltiplos estágios que utiliza a sistemática *pipelined*, este tipo de conversor precisa somente de um tempo de amostragem para cada passo da conversão, o que o permite atingir velocidades de conversão que se aproximam das obtidas com o conversor paralelo. Em relação a estrutura anterior, este conversor apresenta um custo adicional de amostragem e retenção para cada etapa e circuitos lógicos adicionais para montar e armazenar os bits lógicos a medida que eles ocorrem, pois de uma etapa para a seguinte a conversão é feita com o atraso de uma amostragem. Dessa forma, a palavra digital final aparece com uma latência. A necessidade de circuito de amostragem e retenção para cada estágio traz um aumento considerável de potência consumida, pois são circuitos amplificadores classe A.

Em sistemas onde apenas uma fonte de sinal está sendo convertida, o valor da latência da palavra digital da saída normalmente não é crítico para a operação do circuito. Porém, se múltiplos sinais estão sendo multiplexados na entrada do conversor, torna-se importante saber o valor exato da latência para determinar qual saída digital pertence a uma específica entrada analógica [HOE 94].

Exemplo de circuito comercial [RSC 97]:

**AD773JD**

número de bits:	10
Tempo ou taxa de conversão:	18MSPS
Amostragem e retenção:	T/H
Número de canais:	1
Fabricante:	Analog Devices



## 4. FILOSOFIA DE CONVERSÃO A/D PROPOSTA

### 4.1 INTRODUÇÃO

A estrutura de conversor analógico/digital direto utilizada neste trabalho foi proposta por Maia [MAI 92]. A mesma baseia-se na utilização de módulos básicos de conversão, sendo o número de bits de conversão igual ao número de módulos utilizados mais um. Os módulos são colocados em cascata. A saída do conversor é expressa no código de Gray. Este código também é utilizado em outros conversores, como o conversor paralelo, como forma de evitar ambigüidades [HOE 94]. Se necessário, um circuito combinacional simples pode ser utilizado para se obter uma saída em binário puro. A faixa de tensão de entrada é bipolar, tendo seu valor máximo em função da tensão de alimentação utilizada nos amplificadores operacionais. O tempo mínimo de conversão depende unicamente do retardo dos circuitos.

### 4.2 MÓDULO DE CONVERSÃO BÁSICO

A Figura 4.1 apresenta o diagrama em blocos do módulo de conversão básico (MCB) necessário para a implementação da filosofia de conversão proposta. O bloco 1 fornece em sua saída um sinal

$$X1 = -(-2X + V)$$

limitado ao intervalo  $(-V, +V)$ , como apresentado na Figura 4.2.

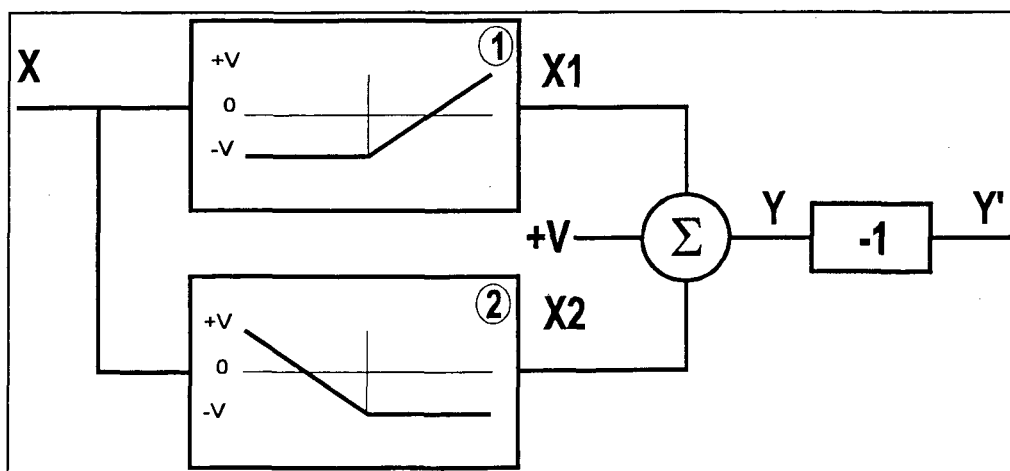
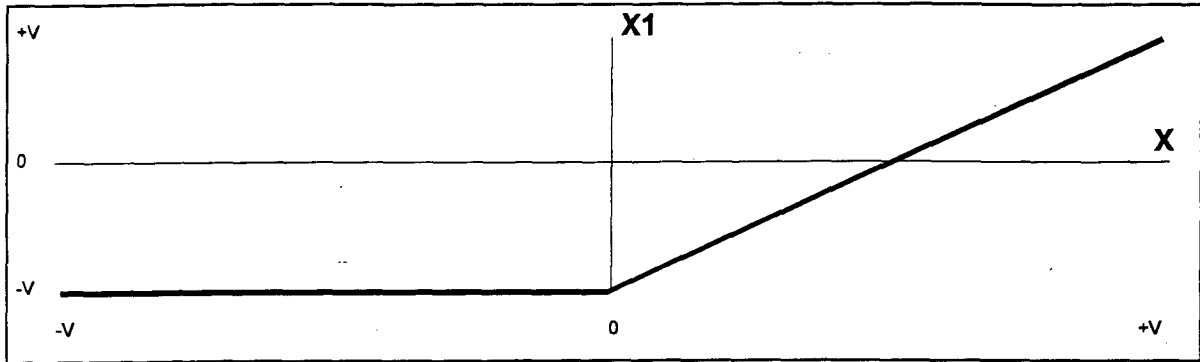


Figura 4.1 - Diagrama em blocos do MCB

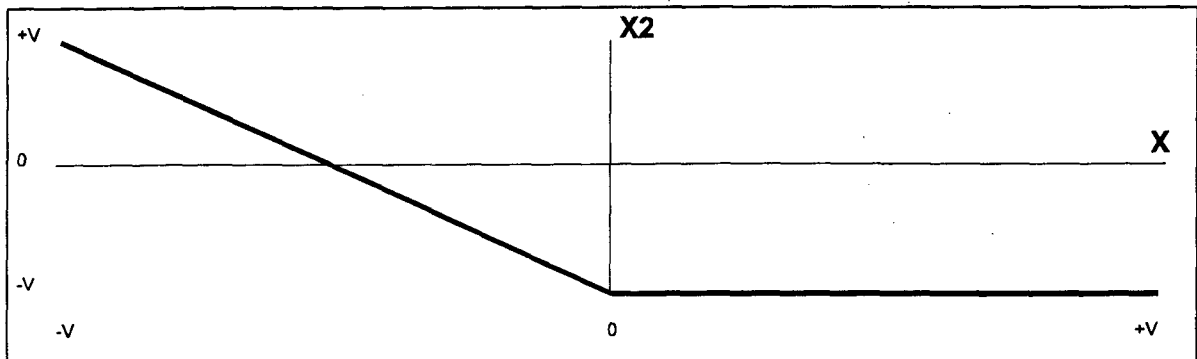


**Figura 4.2 - Curva de transferência do bloco 1**

O bloco 2 fornece em sua saída o sinal

$$X2 = - ( 2X + V )$$

também limitado ao intervalo  $(-V,+V)$ , como apresentado na Figura 4.3.



**Figura 4.3 - Curva de transferência do bloco 2**

Portanto, o somador apresenta em sua saída o sinal

$$Y = X1 + X2 + V \quad \text{ou}$$

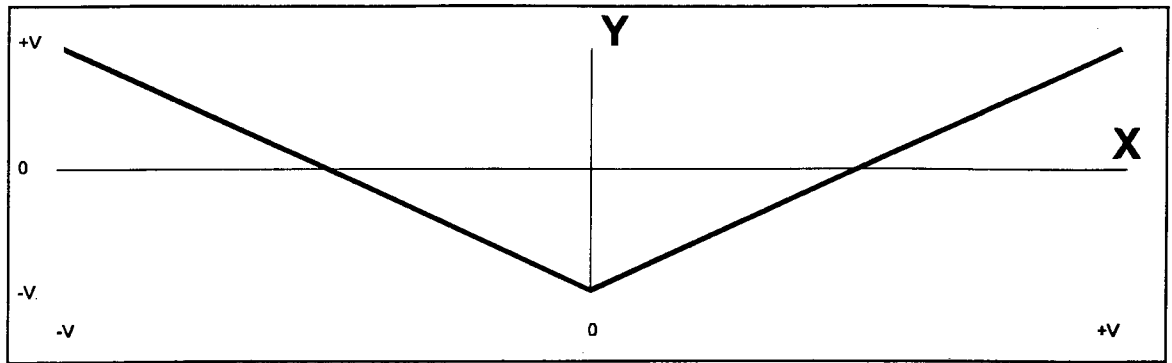
$$Y = 2\text{mod}(X) - V$$

conforme apresentado na Figura 4.4a.

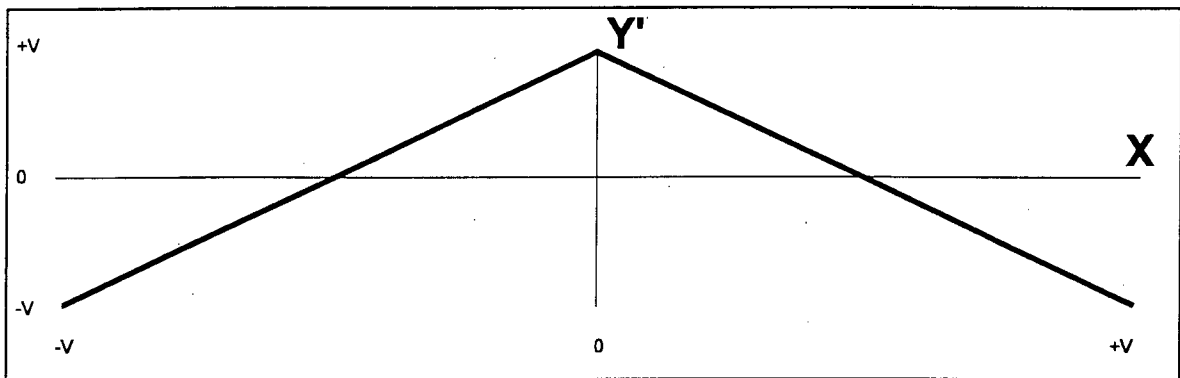
Ainda, é possível também utilizar o sinal  $Y'$ , o qual é o inverso do sinal  $Y$  ou

$$Y' = -2\text{mod}(X) + V$$

conforme apresentado na Figura 4.4b.



(a)



(b)

Figura 4.4 - Curva de transferência do MCB

O módulo de conversão básico na topologia proposta por Maia utiliza amplificadores operacionais que operam em uma faixa de tensão de  $-V_{SAT}$  a  $+V_{SAT}$ , com características lineares. O mesmo é composto por quatro amplificadores operacionais designados por 1, 2, 3 e 4 (Figura 4.5), que realizam as operações recém descritas (na figura,  $V_{REF} = V_{SAT}$  dos operacionais).

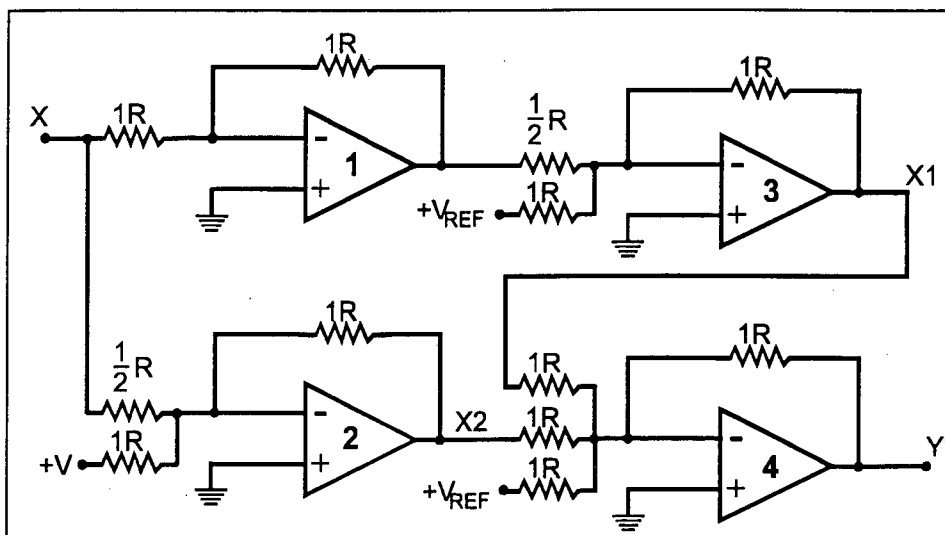


Figura 4.5 - Módulo de conversão básico

### 4.3 CIRCUITO COMPLETO DE CONVERSÃO

Através da associação em cascata de vários MCBs, tem-se um conversor completo com saída digital expressa no código de Gray. A Figura 4.6 mostra o diagrama em blocos de um conversor de 12 bits. O bit mais significativo pode ser obtido a partir do sinal de entrada, por meio de um discriminador de nível de zero. O bit mais significativo, portanto, indica a polaridade da tensão analógica de entrada, sendo uma tensão positiva representada por um nível alto (1) e uma tensão negativa representada por um nível baixo (0).

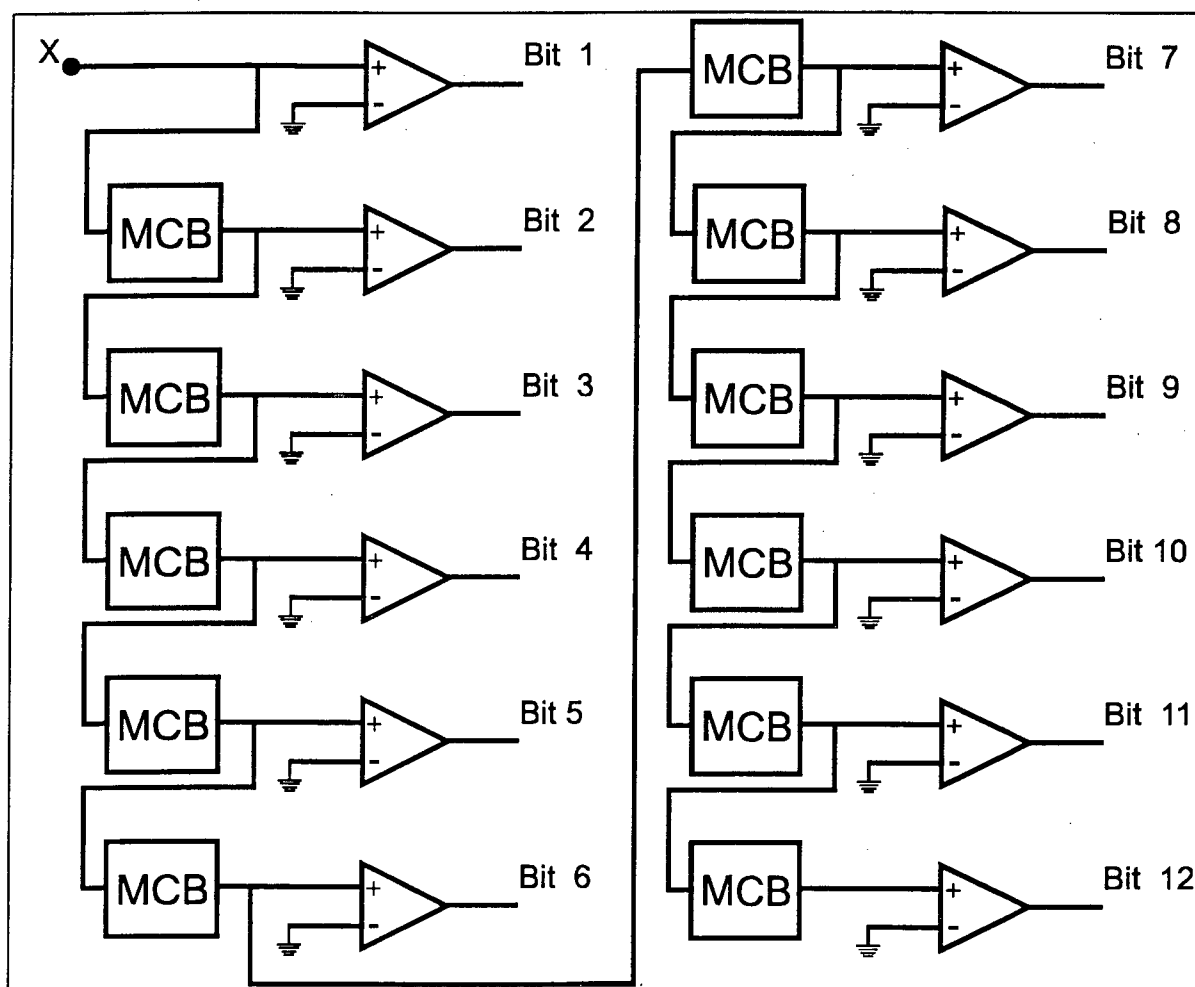


Figura 4.6 - Diagrama em blocos - conversor de 12 bits

O sinal de entrada, além de originar diretamente o bit mais significativo do código de saída, também excita o primeiro MCB. O 1º MCB produzirá um sinal que, através de outro comparador de nível de zero, gerará o bit seguinte do código de Gray. Este sinal,

processado por outro MCB, originará como saída o sinal que será o próximo bit do código de Gray e assim sucessivamente, até o último bit, conforme a Figura 4.6, sendo o processo limitado unicamente pela precisão e estabilidade dos componentes.

A análise demonstrativa do comportamento do conversor apresentado é feita em função de um conversor com poucos bits a título de simplicidade. A Figura 4.7 apresenta o diagrama em blocos para um conversor de 4 bits. A Tabela 4.1 apresenta os valores de saída para toda a faixa de tensões de entrada deste conversor. As Figuras 4.8, 4.9 e 4.10 apresentam as curvas de transferência dos 3 módulos de conversão, em função do sinal de entrada. Pode-se observar por estas três figuras que, como as saídas dos MCBs passam por comparadores de nível de zero, a palavra digital para, por exemplo, uma entrada igual a  $+V$  é 1000. Isto está de acordo com o apresentado na Tabela 4.1.

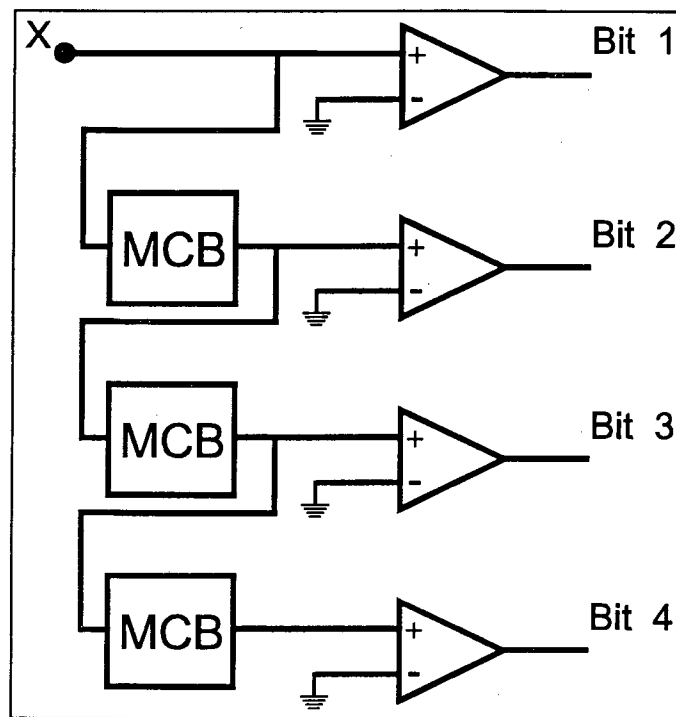


Figura 4.7 - Conversor de 4 bits

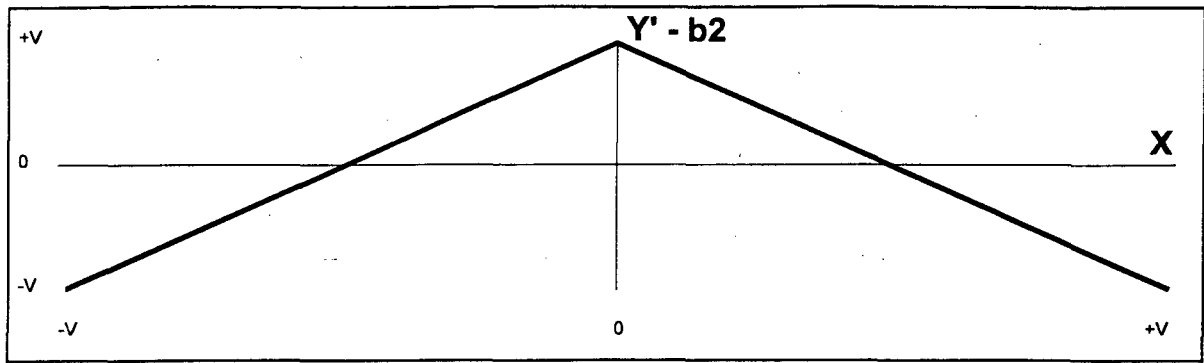


Figura 4.8 - Curva de transferência do 1º MCB (bit 2)

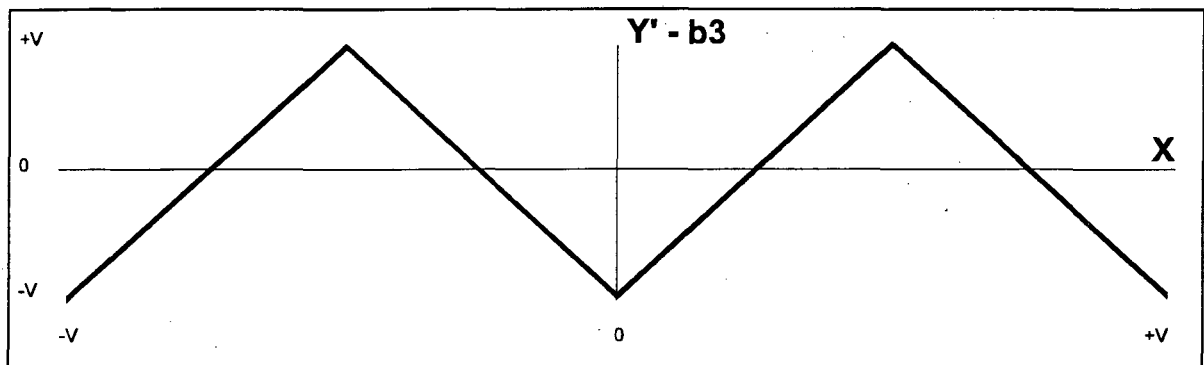


Figura 4.9 - Curva de transferência do 2º MCB (bit 3)

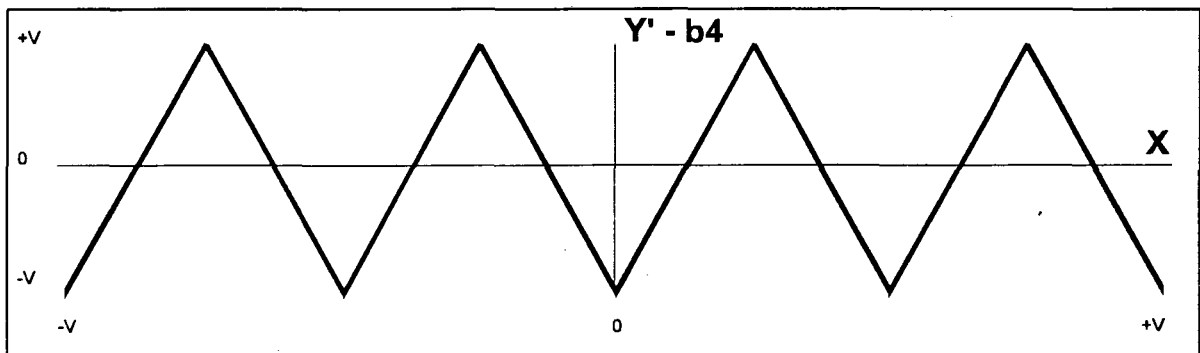


Figura 4.10 - Curva de transferência do 3º MCB (bit 4)

**Tabela 4.1 - Comportamento do Conversor de 4 Bits**

Intervalo de Entrada			Saída
-V	a	-7/8V	0000
-7/8V	a	-3/4V	0001
-3/4V	a	-5/8V	0011
-5/8V	a	-1/2V	0010
-1/2V	a	-3/8V	0110
-3/8V	a	-1/4V	0111
-1/4V	a	-1/8V	0101
-1/8V	a	zero	0100
zero	a	+1/8V	1100
+1/8V	a	+1/4V	1101
+1/4V	a	+3/8V	1111
+3/8V	a	+1/2V	1110
+1/2V	a	+5/8V	1010
+5/8V	a	+3/4V	1011
+3/4V	a	+7/8V	1001
+7/8V	a	+V	1000

É importante salientar que no módulo básico o que importa é o valor *relativo* dos resistores e não seu valor absoluto, o que facilita o processo de integração para uma determinada precisão total. Além disso, o MCB pode ser construído de outras formas, conforme apresentado no Capítulo 6, pois qualquer circuito que apresente uma saída

$$Y' = V - 2.\text{mod}(X)$$

(ou  $Y = -V + 2.\text{mod}(X)$ , neste caso com as entradas dos comparadores invertidas) pode ser utilizado.

#### **4.4 ANÁLISE DAS CARACTERÍSTICAS**

Um dos principais objetivos do conversor apresentado é a realização de conversões em alta frequência. Uma pequena análise no circuito apresentado na seção anterior nos permite concluir que o tempo de resposta de um MCB é o fator principal a ser considerado na obtenção do tempo mínimo de conversão. Como os MCBs são colocados em cascata, os tempos de cada bloco são somados para obtenção do tempo de resposta total. Neste caso, pode ser interessante a utilização de um circuito de amostragem e retenção (S/H)

para evitar que ocorram erros de amostragem em casos que o nível do sinal analógico de entrada mude significativamente durante cada processo de conversão.

É, no entanto, importante frisar que, se for possível realizar amostragens sincronizadas em intervalos iguais ao atraso de propagação de um único MCB, a frequência máxima de amostragem ficará limitada pelo tempo de atraso de um único módulo e neste caso não será necessário circuito de amostragem e retenção, mas a conversão será efetuada com uma latência que será proporcional ao número de bits do conversor. Por exemplo, considerando-se um conversor de 8 bits com esta abordagem (b7b6b5b4b3b2b1b0), a primeira amostragem conterà apenas o bit mais significativo do instante  $x$  (b7), a segunda amostragem conterà b6 do instante  $x$  e b7 do instante  $x+1$ , a terceira amostragem conterà b5 do instante  $x$ , b6 do instante  $x+1$  e b7 do instante  $x+2$  e assim sucessivamente. Caberá ao processamento digital a obtenção das palavras digitais originais.

A precisão de um conversor em cascata como o apresentado é determinada principalmente em função da precisão dos estágios mais significativos (dos MCBs, isto é 2° MSB, visto que o 1° MSB representa a polaridade do sinal e é obtido diretamente do comparador, sem MCB). O erro causado pelo primeiro MCB (2° MSB) é incluído diretamente no erro total do sistema, enquanto que o erro causado pelo segundo MCB é atenuado por um fator de dois, o erro do terceiro MCB é atenuado por um fator de quatro e assim sucessivamente. Desta forma é possível utilizar-se para os estágios menos significativos circuitos menos precisos sem comprometimento da precisão total do sistema.

Em relação ao conversor paralelo multiestágio *pipelined*, o modelo aqui apresentado possui as vantagens de não necessitar vários circuitos de amostragem e retenção e nem de conversores D/A.

A principal desvantagem do modelo apresentado relaciona-se ao grande número de amplificadores lineares, o que aumenta o consumo de potência. Pode-se, no entanto, utilizar módulos conversores que realizem a mesma função de transferência com menos amplificadores operando em sua região linear. Algumas alternativas são apresentadas no Capítulo 6.



## 5. PROTÓTIPO DESENVOLVIDO

Para comprovação prática do modelo de conversor analógico/digital proposto, foi montado um conversor de 8 bits. Este número de bits foi escolhido por ser um dos padrões mais utilizados. No modelo implementado, deu-se ênfase na parte conversora propriamente dita, não sendo implementado nenhum tipo de circuito de interfaceamento ou de amostragem e retenção. Também optou-se pela utilização de amplificadores operacionais comuns de médio desempenho (TL074), de ampla oferta no mercado local, mesmo sabendo-se das limitações dos mesmos.

### 5.1 MONTAGEM DO CONVERSOR

A montagem do conversor foi efetuada primeiramente em uma matriz de contatos (tipo *breadboard*).

Após a obtenção de resultados corretos em testes estáticos, montou-se o circuito em uma placa de 16 bits padrão ISA [HUN 95], com o intuito de realizar medições através de um computador pessoal padrão PC. Como pretendeu-se utilizar a fonte do PC para alimentação da placa, optou-se por alimentar os operacionais dos MCBs com tensão simétrica de  $\pm 12V$ .

Como as tensões de  $+12V$  e  $-12V$  não seriam obtidas nas saídas dos operacionais, em virtude das quedas de tensão internas, a alternativa foi utilizar uma faixa de tensões de entrada menor. A faixa de tensões de  $\pm 5V$  foi escolhida por ser bastante usual. Assim, foram utilizados diodos Zener para limitar as tensões de saída dos amplificadores, de modo que o diagrama esquemático final para um MCB é o apresentado na Figura 5.1.

Os diodos Zener utilizados foram de  $4,3V/400mW$ . De acordo com as especificações dos mesmos, uma corrente em torno de  $8mA$  possibilita tensão Zener de  $4,3V$ . Portanto, a resistência em série é

$$R = \frac{10,5V - 4,3V - 0,7V}{8mA} = 687,5\Omega \cong 680\Omega$$

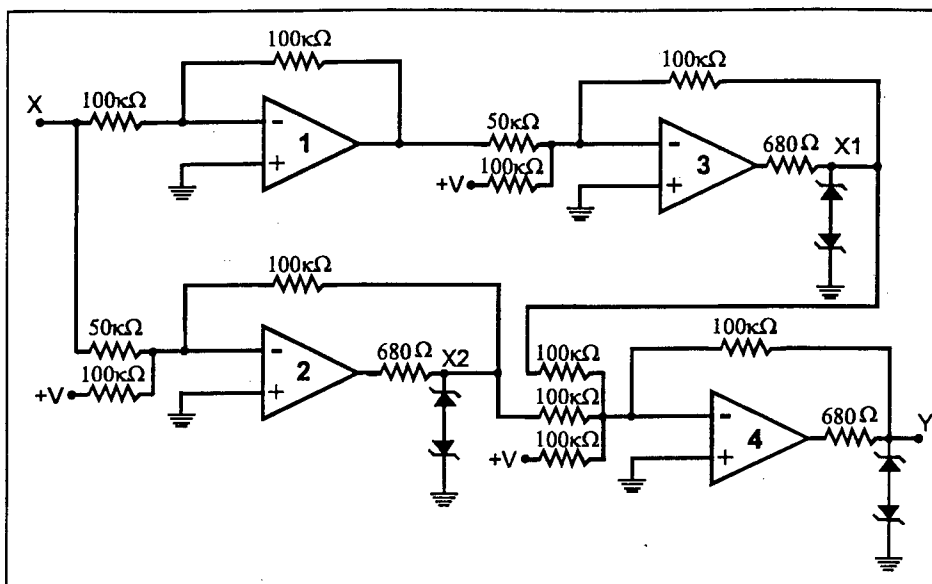


Figura 5.1 - Diagrama esquemático do MCB

Como não foi utilizado nenhum circuito de isolamento, optou-se pela utilização de resistores de valor elevado para os amplificadores, de modo a não sobrecarregar a fonte de sinal. Como não se dispunha de componentes de precisão, os resistores dos amplificadores 2, 3 e 4 em série com a fonte de tensão +V ( $100\text{k}\Omega$ ) foram substituídos pela série  $68\text{k}\Omega + 27\text{k}\Omega +$  trimpot de precisão de  $10\text{k}\Omega$ , de modo a permitir ajuste das tensões máximas de saída positiva e negativa. Caso estas tensões estejam em valores diferentes, a declividade da reta de saída (curva de transferência) será alterada, provocando um ponto de passagem por zero deslocado do seu valor ideal, o que provoca erro de ganho no conversor. Para evitar este problema, todos os 7 MCBs tiveram seus valores máximos de saída ajustados dessa forma.

Os discriminadores de nível de zero foram montados com o bem conhecido comparador LM339, o qual possui saída em coletor aberto, o que facilita o interfaceamento com os níveis TTL exigidos pelo PC. Estes comparadores apresentam baixa tensão de *offset*, da ordem de  $2\text{mV}$ . Ainda, estes comparadores apresentam tempo de resposta de  $1,3\mu\text{s}$  para um degrau de entrada de  $100\text{mV}$  com *overdrive* de  $5\text{mV}$  (para sinais de *overdrive* maior,  $300\text{ns}$  podem ser obtidos).

O circuito para cada comparador ficou sendo o apresentado pela Figura 5.2.

Os oito bits de dados foram então conectados às entradas de um 74373, o qual é um *latch* de 8 bits TTL de uso geral. Montou-se também um decodificador de endereços

para possibilitar a leitura do conteúdo do 74373 através do endereço livre 300H do PC. Esta lógica de decodificação foi implementada dentro de uma GAL - *Gate Array Logic* - a título de simplificação do circuito. A Figura 5.3 apresenta o conversor completo.

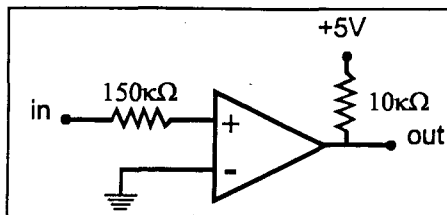


Figura 5.2 - Comparador

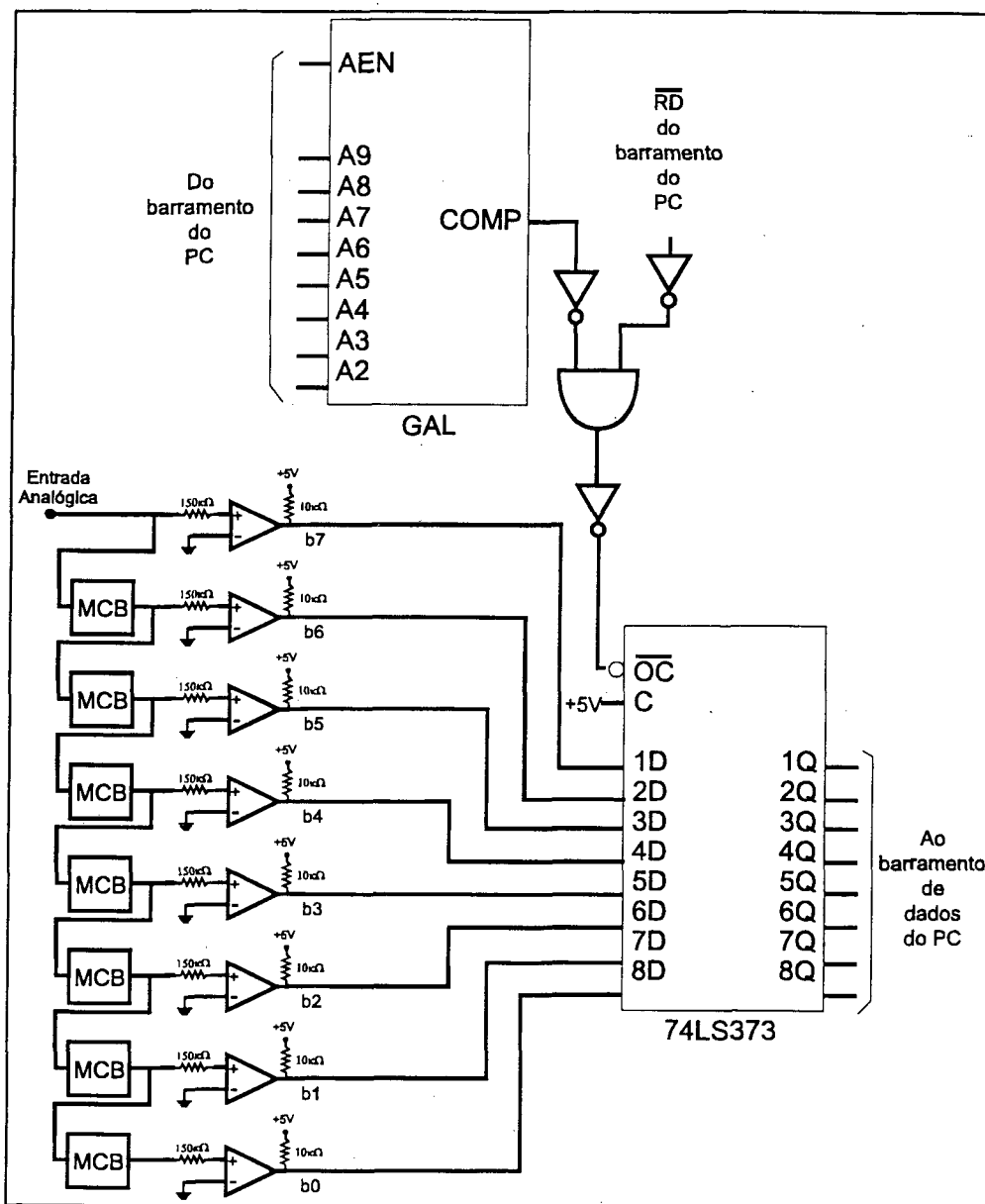


Figura 5.3 - Conversor de 8 bits implementado

## 5.2 TESTES COM O PROTÓTIPO

Em testes estáticos, o conversor comprovou a inexistência de códigos ausentes. A precisão estática é função dos *offsets* dos amplificadores e precisão relativa dos resistores, visto que é a razão entre eles, e não o seu valor absoluto, que define o ganho necessário para os amplificadores que implementam a função de transferência do MCB.

Para testes dinâmicos, utilizou-se um gerador de sinais de precisão, onde o gerador e conversor atuaram independentes um do outro (*free-running*). Várias amostragens foram feitas, utilizando-se rotinas em linguagem C. Estas rotinas permitem a obtenção de amostras da ordem de microssegundos [KEL 89],[TIS 95].

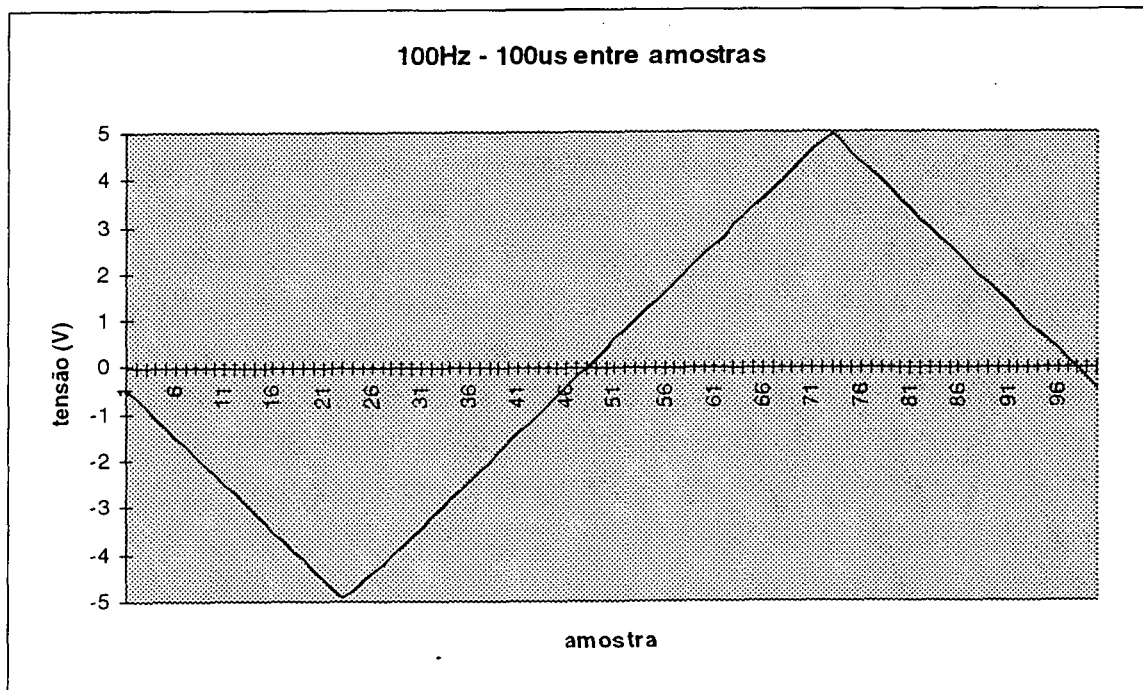
Amostras em diversas frequências e com diversos tipos de forma de onda foram obtidas, tendo o conversor operado corretamente em toda a faixa de tensões de entrada.

As Figuras 5.5, 5.6 e 5.7 apresentam os valores e gráficos para as amostras de um ciclo completo para uma frequência fundamental de 100Hz em sinais com formas de onda triangular, senoidal e retangular, respectivamente, com intervalo de 100 $\mu$ s entre as amostras. Este valor de frequência foi escolhido por proporcionar um ciclo completo com 100 amostras intervaladas em 100 $\mu$ s ( $T = 1/100\text{Hz} = 10\text{ms} = 100 \times 100\mu\text{s}$ ). Já o valor de 100 $\mu$ s de intervalo para as amostras foi escolhido porque não havia sido definido ainda o tempo de conversão para o conversor (definido apenas no Capítulo 6) e, portanto, o conversor não estava operando em sua frequência máxima de amostragem. As formas de onda de entrada apresentam valores de pico de +5V/-5V, ou seja, cobrem toda a faixa de entrada do conversor.

Nas Figuras 5.4a, 5.5a e 5.6a, a primeira coluna lista o número da amostra, a segunda o valor da tensão, em Volts, a terceira o equivalente em hexadecimal para o código binário da palavra digital (convertido a partir do código de Gray) e a quarta o equivalente em hexadecimal para o código de Gray de saída do conversor. As Figuras 5.4b, 5.5b e 5.6b apresentam os gráficos traçados com os valores da tensão.

00	-0.51	73	4A	20	-4.53	0C	0A	40	-1.41	5C	72	60	2.58	C2	A3	80	3.36	D6	BD
01	-0.66	6F	58	21	-4.73	07	04	41	-1.21	61	51	61	2.77	C7	A4	81	3.12	D0	B8
02	-0.90	69	5D	22	-4.92	02	03	42	-1.02	66	55	62	3.01	CD	AB	82	2.93	CB	AE
03	-1.09	64	56	23	-4.77	06	05	43	-0.78	6C	5A	63	3.20	D2	BB	83	2.73	C6	A5
04	-1.29	5F	70	24	-4.57	0B	0E	44	-0.62	70	48	64	3.40	D7	BC	84	2.54	C1	A1
05	-1.52	59	75	25	-4.38	10	18	45	-0.39	76	4D	65	3.59	DC	B2	85	2.38	BD	E3
06	-1.68	55	7F	26	-4.22	14	1E	46	-0.20	7B	46	66	3.79	E1	91	86	2.15	B7	EC
07	-1.91	4F	68	27	-4.06	18	14	47	0.00	80	C0	67	3.98	E6	95	87	1.95	B2	EB
08	-2.11	4A	6F	28	-3.83	1E	11	48	0.20	85	C7	68	4.18	EB	9E	88	1.76	AD	FB
09	-2.30	45	67	29	-3.63	23	32	49	0.39	8A	CF	69	4.38	F0	88	89	1.56	A8	FC
10	-2.50	40	60	30	-3.44	28	3C	50	0.62	90	D8	70	4.61	F6	8D	90	1.37	A3	F2
11	-2.70	3B	26	31	-3.20	2E	39	51	0.78	94	DE	71	4.80	FB	86	91	1.17	9E	D1
12	-2.89	36	2D	32	-3.01	33	2A	52	1.02	9A	D7	72	4.96	FF	80	92	0.94	98	D4
13	-3.12	30	28	33	-2.81	38	24	53	1.21	9F	D0	73	4.77	FA	87	93	0.74	93	DA
14	-3.32	2B	3E	34	-2.62	3D	23	54	1.41	A4	F6	74	4.53	F4	8E	94	0.59	8F	C8
15	-3.52	26	35	35	-2.42	42	63	55	1.60	A9	FD	75	4.34	EF	98	95	0.35	89	CD
16	-3.71	21	31	36	-2.23	47	64	56	1.80	AE	F9	76	4.14	EA	9F	96	0.16	84	C6
17	-3.91	1C	12	37	-2.03	4C	6A	57	1.99	B3	EA	77	3.95	E5	97	97	-0.04	7F	40
18	-4.10	17	1C	38	-1.84	51	79	58	2.19	B8	E4	78	3.75	E0	90	98	-0.23	7A	47
19	-4.34	11	19	39	-1.60	57	7C	59	2.42	BE	E1	79	3.55	DB	B6	99	-0.43	75	4F

(a)

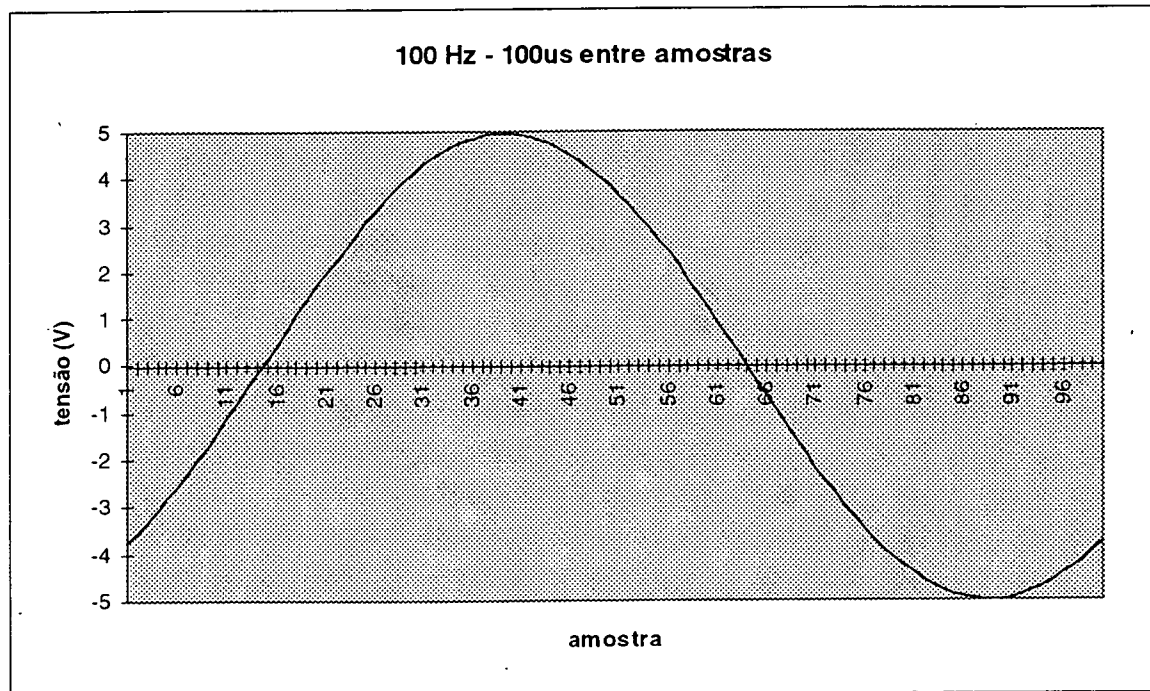


(b)

Figura 5.4 - Amostras de uma forma de onda triangular de 100Hz

00	-3.75	20	30	20	1.99	B3	EA	40	4.92	FE	81	60	0.90	97	DC	80	-4.41	0F	08
01	-3.55	25	37	21	2.27	BA	E7	41	4.88	FD	83	61	0.59	8F	C8	81	-4.57	0B	0E
02	-3.32	2B	3E	22	2.50	C0	A0	42	4.80	FB	86	62	0.27	87	C4	82	-4.69	08	0C
03	-3.09	31	29	23	2.81	C8	AC	43	4.73	F9	85	63	-0.04	7F	40	83	-4.80	05	07
04	-2.81	38	24	24	3.05	CE	A9	44	4.61	F6	8D	64	-0.35	77	4C	84	-4.88	03	02
05	-2.58	3E	21	25	3.28	D4	BE	45	4.49	F3	8A	65	-0.66	6F	58	85	-4.92	02	03
06	-2.30	45	67	26	3.55	DB	B6	46	4.34	EF	98	66	-0.98	67	54	86	-4.96	01	01
07	-1.99	4D	6B	27	3.75	E0	90	47	4.18	EB	9E	67	-1.29	5F	70	87	-5.00	00	00
08	-1.72	54	7E	28	3.95	E5	97	48	4.02	E7	94	68	-1.60	57	7C	88	-5.00	00	00
09	-1.41	5C	72	29	4.14	EA	9F	49	3.83	E2	93	69	-1.91	4F	68	89	-5.00	00	00
10	-1.09	64	56	30	4.30	EE	99	50	3.63	DD	B3	70	-2.19	48	6C	90	-4.96	01	01
11	-0.78	6C	5A	31	4.45	F2	8B	51	3.40	D7	BC	71	-2.46	41	61	91	-4.88	03	02
12	-0.47	74	4E	32	4.57	F5	8F	52	3.16	D1	B9	72	-2.73	3A	27	92	-4.80	05	07
13	-0.16	7C	42	33	4.69	F8	84	53	2.93	CB	AE	73	-3.01	33	2A	93	-4.69	08	0C
14	0.16	84	C6	34	4.77	FA	87	54	2.66	C4	A6	74	-3.24	2D	3B	94	-4.57	0B	0E
15	0.47	8C	CA	35	4.84	FC	82	55	2.42	BE	E1	75	-3.48	27	34	95	-4.41	0F	08
16	0.78	94	DE	36	4.92	FE	81	56	2.11	B6	ED	76	-3.71	21	31	96	-4.30	12	1B
17	1.09	9C	D2	37	4.96	FF	80	57	1.84	AF	F8	77	-3.91	1C	12	97	-4.14	16	1D
18	1.41	A4	F6	38	4.96	FF	80	58	1.52	A7	F4	78	-4.10	17	1C	98	-3.91	1C	12
19	1.72	AC	FA	39	4.96	FF	80	59	1.21	9F	D0	79	-4.26	13	1A	99	-3.75	20	30

(a)

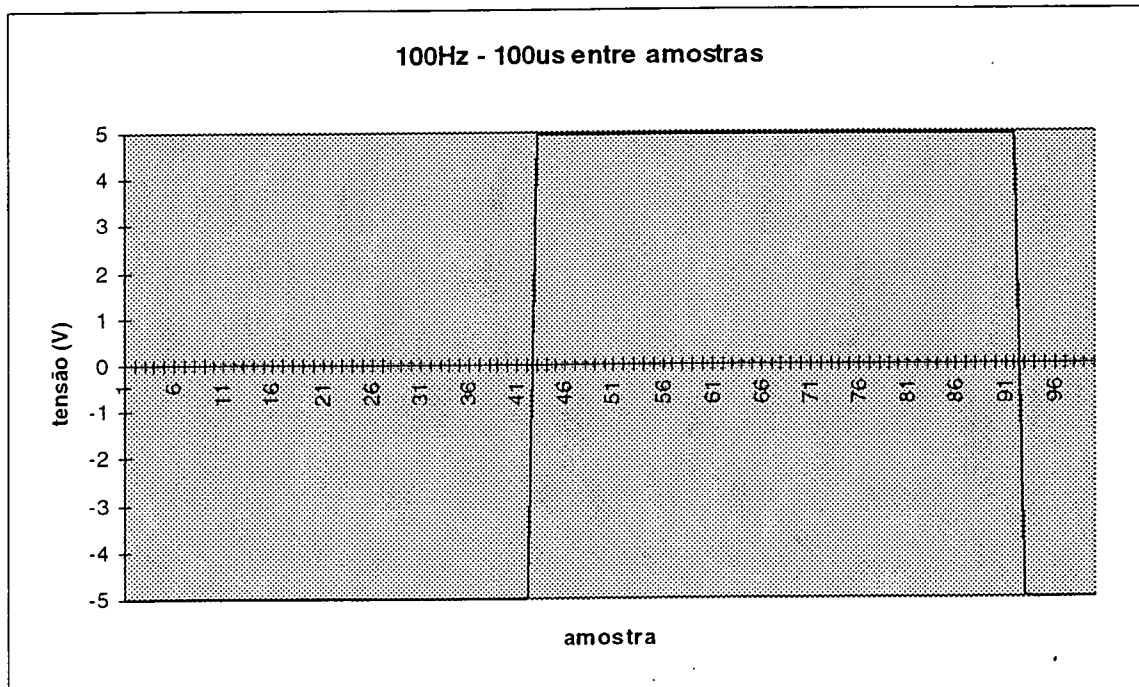


(b)

Figura 5.5 - Amostras de uma forma de onda senoidal de 100Hz

00	-5.00	00	00	20	-5.00	00	00	40	-5.00	00	00	60	4.96	FF	80	80	4.96	FF	80
01	-5.00	00	00	21	-5.00	00	00	41	-5.00	00	00	61	4.96	FF	80	81	4.96	FF	80
02	-5.00	00	00	22	-5.00	00	00	42	4.96	FF	80	62	4.96	FF	80	82	4.96	FF	80
03	-5.00	00	00	23	-5.00	00	00	43	4.96	FF	80	63	4.96	FF	80	83	4.96	FF	80
04	-5.00	00	00	24	-5.00	00	00	44	4.96	FF	80	64	4.96	FF	80	84	4.96	FF	80
05	-5.00	00	00	25	-5.00	00	00	45	4.96	FF	80	65	4.96	FF	80	85	4.96	FF	80
06	-5.00	00	00	26	-5.00	00	00	46	4.96	FF	80	66	4.96	FF	80	86	4.96	FF	80
07	-5.00	00	00	27	-5.00	00	00	47	4.96	FF	80	67	4.96	FF	80	87	4.96	FF	80
08	-5.00	00	00	28	-5.00	00	00	48	4.96	FF	80	68	4.96	FF	80	88	4.96	FF	80
09	-5.00	00	00	29	-5.00	00	00	49	4.96	FF	80	69	4.96	FF	80	89	4.96	FF	80
10	-5.00	00	00	30	-5.00	00	00	50	4.96	FF	80	70	4.96	FF	80	90	4.96	FF	80
11	-5.00	00	00	31	-5.00	00	00	51	4.96	FF	80	71	4.96	FF	80	91	4.96	FF	80
12	-5.00	00	00	32	-5.00	00	00	52	4.96	FF	80	72	4.96	FF	80	92	-4.96	01	01
13	-5.00	00	00	33	-5.00	00	00	53	4.96	FF	80	73	4.96	FF	80	93	-5.00	00	00
14	-5.00	00	00	34	-5.00	00	00	54	4.96	FF	80	74	4.96	FF	80	94	-5.00	00	00
15	-5.00	00	00	35	-5.00	00	00	55	4.96	FF	80	75	4.96	FF	80	95	-5.00	00	00
16	-5.00	00	00	36	-5.00	00	00	56	4.96	FF	80	76	4.96	FF	80	96	-5.00	00	00
17	-5.00	00	00	37	-5.00	00	00	57	4.96	FF	80	77	4.96	FF	80	97	-5.00	00	00
18	-5.00	00	00	38	-5.00	00	00	58	4.96	FF	80	78	4.96	FF	80	98	-5.00	00	00
19	-5.00	00	00	39	-5.00	00	00	59	4.96	FF	80	79	4.96	FF	80	99	-5.00	00	00

(a)



(b)

Figura 5.6 - Amostras de uma forma de onda retangular de 100Hz

Testes bem conhecidos, como o teste de histograma ou teste de FFT [DOE 84],[WAG 91], permitem a verificação do nível de transição de cada código, na máxima velocidade de amostragem do conversor. A partir do nível de transição de cada código, parâmetros como a precisão relativa podem ser determinados. No teste de histograma, por exemplo, um número significativo de ciclos completos de uma forma de onda conhecida de entrada (cobrindo toda a faixa de tensões de entrada) são amostrados, sendo feita a média de ocorrência de cada um dos códigos. Porém, em testes deste tipo características como a monotonicidade podem ser mascaradas. Assim, para comprovar características como a monotonicidade e não ocorrência de códigos ausentes, utilizou-se uma forma de onda triangular de baixa frequência, ajustada para cobrir toda a faixa de tensões de entrada do conversor. Para percorrer um ciclo completo nesta frequência, são necessárias 2000 amostras intervaladas por 100 $\mu$ s. Os resultados para este teste são apresentados na Tabela 5.1, colocada no apêndice por sua extensão. Pode ser comprovado pela mesma a inexistência de códigos ausentes e a monotonicidade do conversor.

Caso seja utilizada uma forma de onda de entrada triangular que não varie em frequência, fase ou amplitude durante as amostras e que ainda cubra exatamente toda a faixa de tensões de entrada, um conversor ideal deveria apresentar o mesmo número de ocorrências em cada código. Isto não ocorre nos dados apresentados na Tabela 5.1 por causa da não utilização de componentes de precisão no conversor, além da utilização da fonte do PC, a qual não é precisa nem para alimentar o circuito nem como tensão de referência.

Apesar da pequena precisão relativa devido aos problemas citados, o conversor mostrou-se monotônico em toda a faixa de tensões de entrada, comprovando a funcionalidade do modelo apresentado.

Com a utilização de módulos de conversão otimizados e componentes de precisão, espera-se chegar a conversores de 10 bits com tempos de conversão da ordem de apenas algumas centenas de nanossegundos, conforme detalhado no Capítulo 6.



## 6. MCBs ALTERNATIVOS E DESEMPENHO

Neste capítulo apresentam-se alternativas ao Módulo de Conversão Básico proposto por Maia [MAI 92], visto que o mesmo possui alguns inconvenientes: utiliza muitos componentes (4 amplificadores operacionais, 16 resistores e 6 diodos Zener) e tem sua precisão dependente da precisão dos diodos Zener.

Também neste capítulo é feita a análise de desempenho dos módulos apresentados, comparando-os com o MCB proposto por Maia. Para a análise do comportamento dos MCBs, foi utilizado o simulador T-Spice.

### 6.1 CIRCUITOS PROPOSTOS

Como o MCB necessita realizar uma operação que produza uma saída composta pelo módulo da tensão de entrada ( $Y' = -2 \cdot |v_{il}| + V_{REF}$ ), pensou-se em chegar ao circuito final a partir de circuitos de valor absoluto de precisão. São vários os circuitos deste tipo encontrados na literatura [GRA 73],[WAI 75]. No entanto, somente alguns permitem alterações em sua estrutura básica para modificar a saída  $v_o = |v_{il}|$  para  $v_o = Y' = -2 \cdot |v_{il}| + V_{REF}$  sem o acréscimo de um número excessivo de componentes.

#### 6.1.1 Módulo Básico de Conversão N° 2

A primeira alternativa viável é apresentada na Figura 6.1. Este circuito, que será chamado de MCB2, apresenta uma saída  $Y = 2 \cdot |v_{il}| - V_{REF}$ , ou seja, o inverso do apresentado pelo circuito original (proposto por Maia - será chamado de MCB1). Desta forma, os comparadores utilizados no conversor (a partir do 2° comparador - o primeiro permanece inalterado) deverão ter suas saídas invertidas. Pode ser notado na Figura 6.1 que este circuito apresenta uma redução significativa no número de componentes utilizado, pois são usados apenas 2 amplificadores operacionais (2 a menos), 6 resistores (10 a menos) e 2 diodos retificadores (em contraste com os 6 diodos Zener). O funcionamento do circuito está baseado no chaveamento dos diodos de acordo com a polaridade da tensão de entrada e é o seguinte: quando a tensão de entrada é positiva, D2 está cortado e D1 conduz a corrente de realimentação para conectar A1 como um inversor de ganho unitário. Este sinal invertido é somado com o sinal de entrada original (através de R4) e

com a tensão de referência por A2. A expressão final de saída, para este caso, é  $v_o = - (2v_i + 4(-v_i) + V_{REF}) = 2v_i - V_{REF}$ . Quando o sinal de entrada é negativo, D1 está cortado e D2 conduz a corrente de realimentação de A1 para manter sua entrada em seu terra virtual, resultando em uma saída nula para A1. Assim, a expressão de saída, para este caso, é:  $v_o = - (2(-v_i) + 4(0) + V_{REF}) = 2v_i - V_{REF}$ . Desta forma, o comportamento do circuito pode ser expresso por  $Y = v_o = 2|v_i| - V_{REF}$ , conforme desejado.

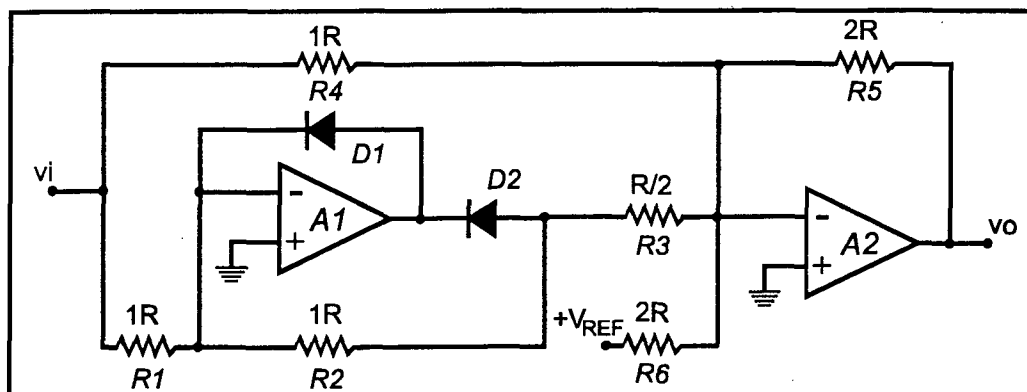


Figura 6.1 - Segundo Módulo de Conversão Básico

O circuito apresentado possui vantagens significativas em relação ao circuito inicial: apenas 2 AO e menor número de resistores. Da mesma forma que no circuito original, o que importa é a precisão relativa dos resistores, e não seus valores absolutos. Ainda, como o circuito tem menor número de amplificadores operacionais, provavelmente apresenta menor tempo de resposta. Para comprovação, a análise do comportamento do circuito apresentado (análise transitória) é feita posteriormente neste capítulo, através de simulações.

### 6.1.2 Módulo Básico de Conversão N° 3

O segundo circuito proposto neste trabalho é apresentado na Figura 6.2, e será chamado de MCB3. Em relação ao MCB inicialmente utilizado (MCB1), este circuito apresenta também uma redução significativa de componentes: contém 3 amplificadores operacionais (1 a menos), 6 resistores (10 a menos) e 4 diodos retificadores (em contraposição aos 6 diodos Zener). Com relação ao MCB2, este circuito apresenta 1 AO e 2 diodos a mais. No entanto, possui duas vantagens: a primeira diz respeito a ser balanceado, o que não ocorre com os dois circuitos anteriores (no MCB1, antes do

somador de saída, por um dos ramos há dois amplificadores e pelo outro há apenas um; no MCB2, o sinal de entrada  $v_i$  chega até A2 diretamente através de R4 enquanto que passa por A1 para atingir A2 através de R3); a segunda vantagem é que a precisão do circuito é função da precisão relativa de 3 razões de resistores ( $R_2/R_1$ ,  $R_5/R_4$  e  $R_5/R_6$  - o valor de R3 não é crítico, pois o mesmo é escolhido para se obter baixo erro com a corrente de polarização de entrada de A2) em contraste com a necessidade de precisão em 4 razões de resistores para o MCB2 ( $R_2/R_1$ ,  $R_5/R_4$ ,  $R_5/R_3$ ,  $R_5/R_6$ ) e 7 para o MCB1.

O funcionamento do circuito é o seguinte: A1 é um amplificador inversor de ganho unitário, enquanto que A2 é um seguidor de tensão. Estes dois amplificadores estão conectados em paralelo, sendo que D2 e D4 são responsáveis por permitir que apenas tensões positivas das saídas dos amplificadores sejam entregues para A3. Assim, quando a tensão de entrada é positiva, a pequena tensão negativa da saída de A1 (tensão de barreira de D1) é bloqueada por D2, enquanto que a saída de A2, operando como seguidor de tensão (não flui corrente em R3, pois D3 está cortado) é aplicada a R4 através de D4, sendo a tensão de saída  $v_o = - (2v_i + (-V_{REF}))$ . Quando a tensão de entrada é negativa A2 apresenta saída negativa (limitada por D3), bloqueada por D4, enquanto que A1, operando como inversor de ganho unitário, apresenta saída positiva que será aplicada a R4, fazendo com que  $v_o = - (2v_i + (-V_{REF}))$ . Desta forma, a resposta do circuito pode ser expressa por  $Y' = v_o = - 2.|v_i| + V_{REF}$ .

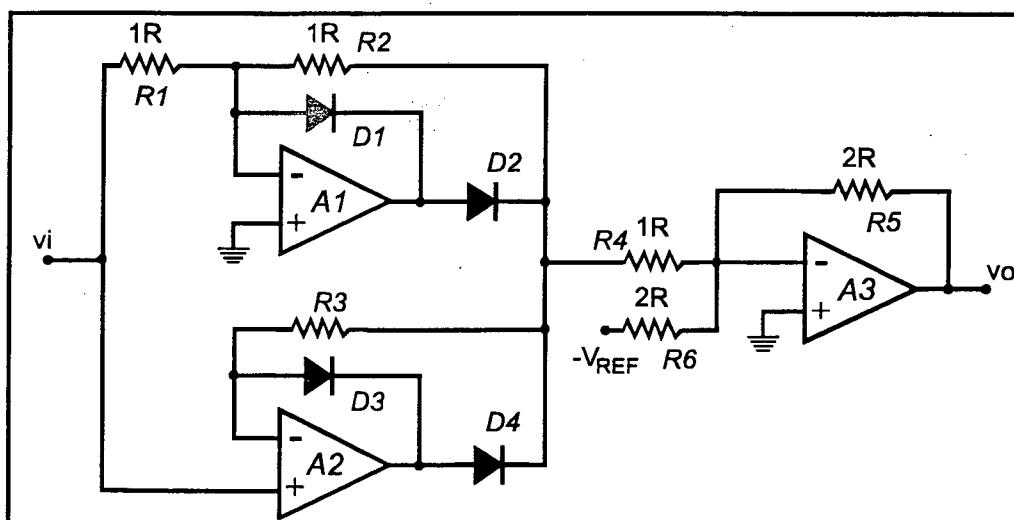


Figura 6.2 - Terceiro Módulo de Conversão Básico

## 6.2 ANÁLISE DE DESEMPENHO DOS CIRCUITOS

Para comparação do desempenho dos circuitos foram realizadas simulações utilizando-se o programa SPICE [SED 92]. Nas simulações, para que não sejam necessários grande quantidade de memória e de tempo de CPU, costuma-se utilizar macromodelos para os amplificadores operacionais, e não modelagem ao nível do dispositivo [SAN 79]. Muitos são os macromodelos para AOs propostos na literatura. No entanto, poucos modelam as não-linearidades de interesse para conversão A/D. Assim, utilizou-se o macromodelo para o TL071, da Texas Instruments [TEX], o qual é bastante completo, permitindo inclusive simulação do *slew-rate*.

Os resultados da análise transitória (resposta ao degrau), para os três MCBs, são apresentados nas Figuras 6.3, 6.4 e 6.5.

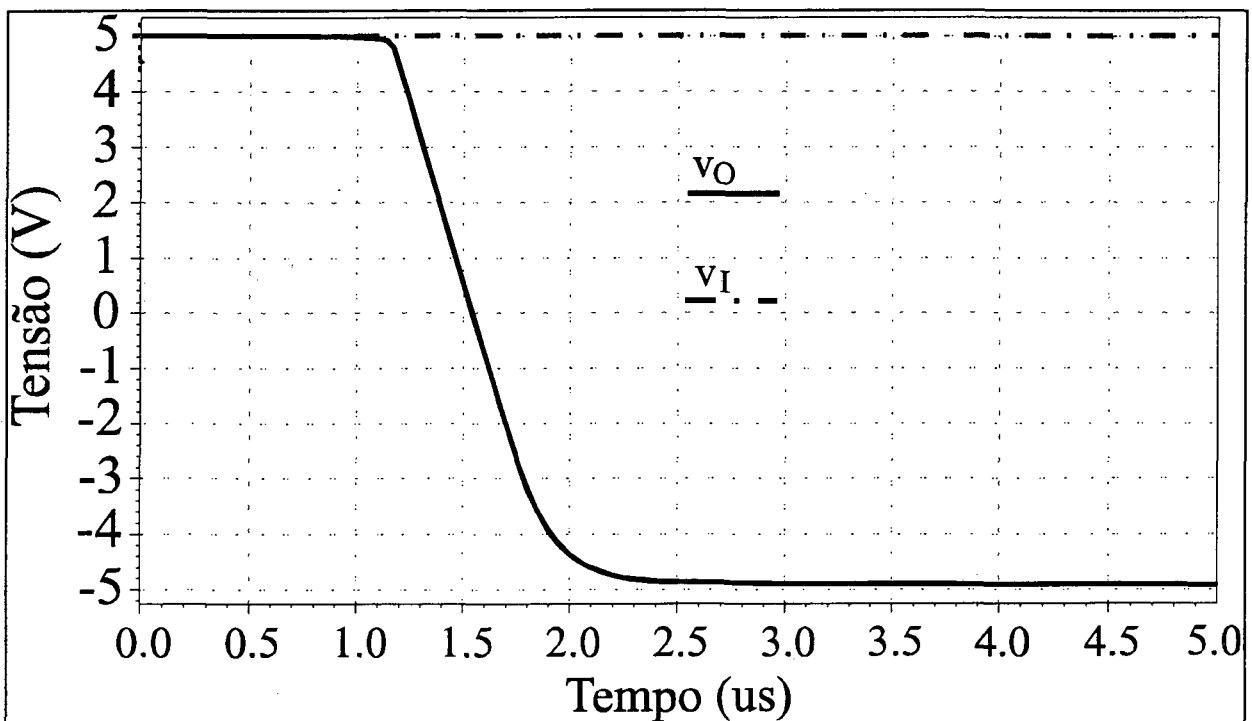
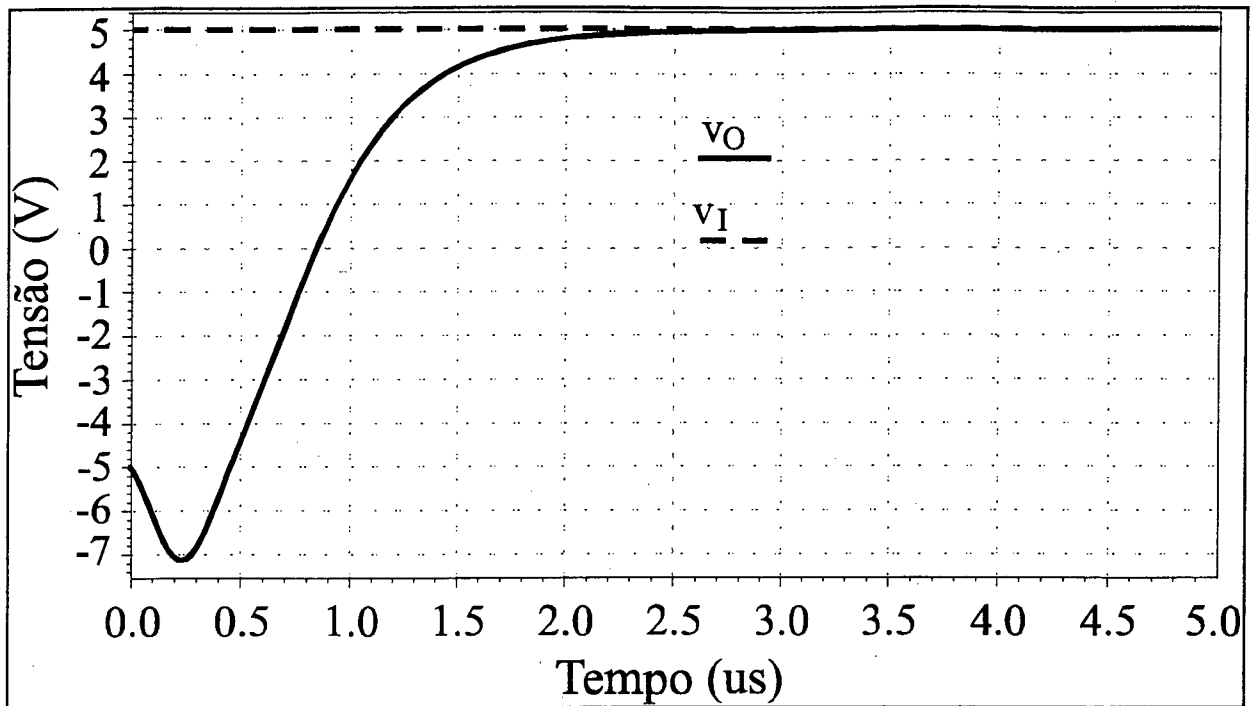
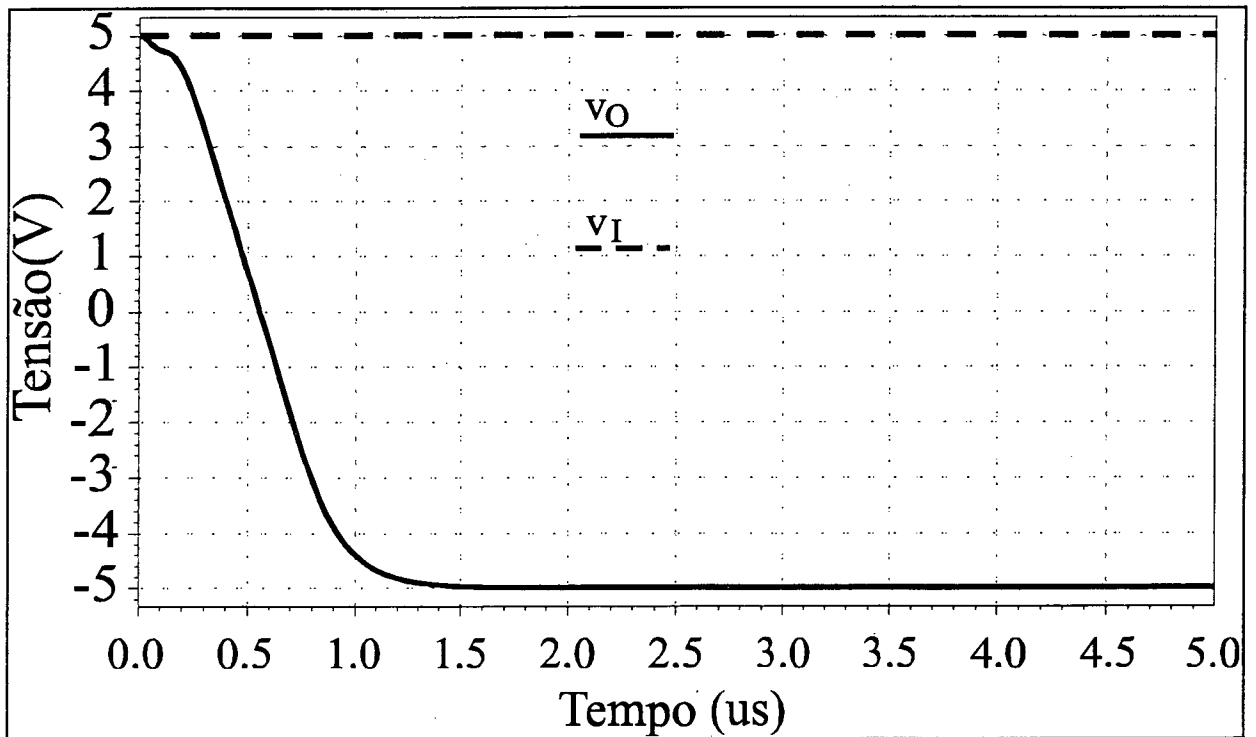


Figura 6.3 - Resposta do MCB1  
( $V_I$   $\equiv$  degrau de entrada,  $V_O$   $\equiv$  tensão de saída)



**Figura 6.4 - Resposta do MCB2**  
 ( $V_I$  ≡ degrau de entrada,  $V_O$  ≡ tensão de saída)



**Figura 6.5 - Resposta do MCB3**  
 ( $V_I$  ≡ degrau de entrada,  $V_O$  ≡ tensão de saída)

Pode-se notar pelas Figuras 6.3, 6.4 e 6.5 que, para os mesmos amplificadores operacionais, o MCB3 apresenta desempenho muito superior ao MCB1 e MCB2, por apresentar um tempo de acomodação bem menor.

O MCB2, apesar de ter apenas dois AOs, tem desempenho inferior devido ao desbalanceamento citado anteriormente, pois como o sinal que passa por R4 chega ao somador de saída antes do que o sinal que passa por A1, a tensão de saída, com o degrau utilizado, chega a -7,2V (ver Figura 6.4), o que faz o tempo de acomodação para o mesmo ser muito maior do que o tempo de acomodação para o MCB3. Este último tem 3 AOs, mas dois atuam em paralelo, o que contribui para um tempo de acomodação menor.

Em relação ao MCB1, a vantagem do MCB3 torna-se ainda mais significativa quando se deseja tolerâncias menores (como 1% do valor final), como pode ser notado pelas figuras. No caso da utilização de diodos Zener, no MCB1, a precisão final dependerá da precisão destes dispositivos. Nos MCB2 e MCB3, no entanto, as não idealidades dos diodos retificadores são desprezíveis, pois os mesmos se encontram na malha de realimentação, tendo então sua queda de tensão direta dividida pelo ganho DC do operacional.

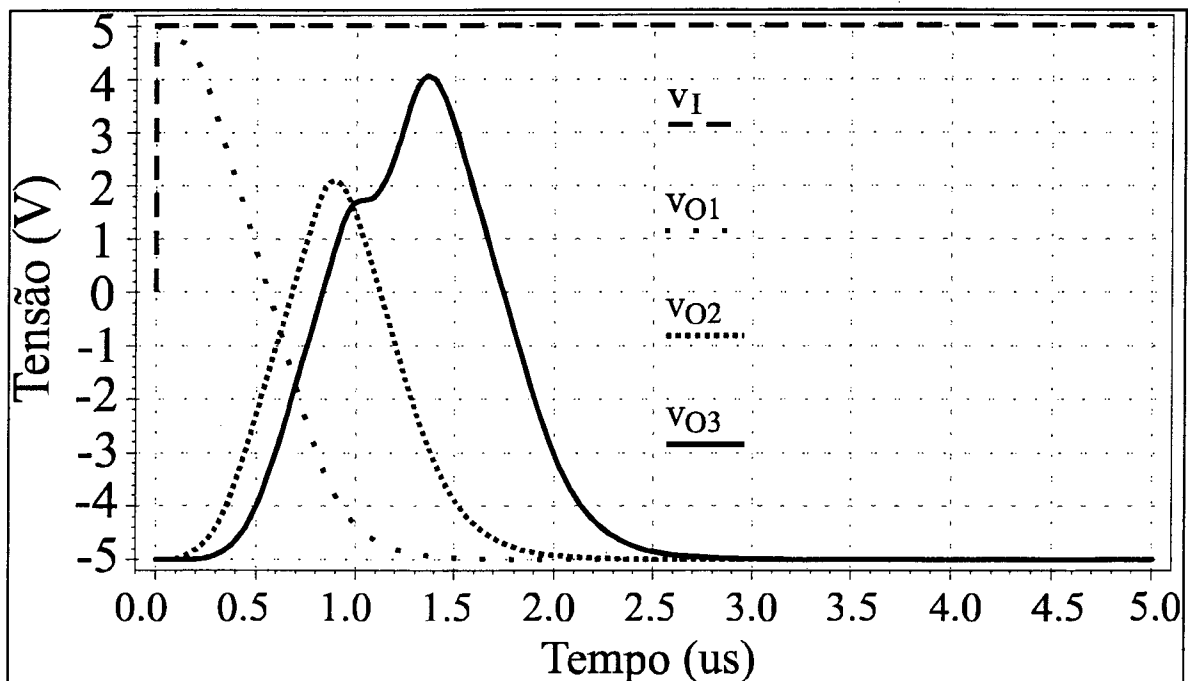
O MCB3 é, portanto, o módulo com menor tempo de acomodação. Por isto o mesmo é o módulo escolhido para ser utilizado no modelo de conversor apresentado.

### **6.3 CONSIDERAÇÕES SOBRE DESEMPENHO**

Os grandes valores absolutos de tempo de acomodação obtidos para os três circuitos, na seção anterior, se dão em função da utilização de um AO com *slew-rate* (principal limitador, principalmente no caso do MCB2 e do MCB3) de apenas 13V/ $\mu$ s e com compensação interna em frequência. Com amplificadores de resposta mais rápida (a utilização de amplificadores operacionais de transcondutância é uma possibilidade a ser estudada), ter-se-á uma redução no tempo de acomodação total. Ainda, no caso de AOs de grandes *slew-rates*, o tempo de acomodação final poderá ser ainda mais reduzido em função da resposta a pequenos sinais, o que será possível com a correta compensação em frequência dos amplificadores utilizados, pois o tempo de acomodação é altamente dependente da margem de fase [MAK 90].

Ainda, para aumentar a resposta em alta-freqüência do MCB3 (o qual apresenta a melhor resposta), pode-se efetuar uma pequena alteração no circuito apresentado. Esta modificação consiste em desligar o circuito de compensação em freqüência quando o amplificador (A1 ou A2) estiver na faixa de transição de saída positiva para negativa (ou o oposto). Nesta região, nenhum dos dois diodos conectados ao amplificador está conduzindo (e portanto o amplificador está em malha aberta) [GRA 73].

Outro aspecto importante a ser considerado é em relação ao tempo de acomodação total dos módulos em cascata. Como cada um dos módulos começa a conversão assim que a tensão de saída do módulo anterior começa a mudar, o tempo de conversão será inferior ao produto do número de módulos pelo tempo de acomodação de um único módulo, desde que os demais atrasos do circuito sejam desprezíveis em relação ao tempo de acomodação de um único módulo. Isto pode ser observado pela Figura 6.6, a qual ilustra a resposta ao degrau de três módulos em cascata, utilizando-se, como nas análises anteriores, o macromodelo para o TL071.

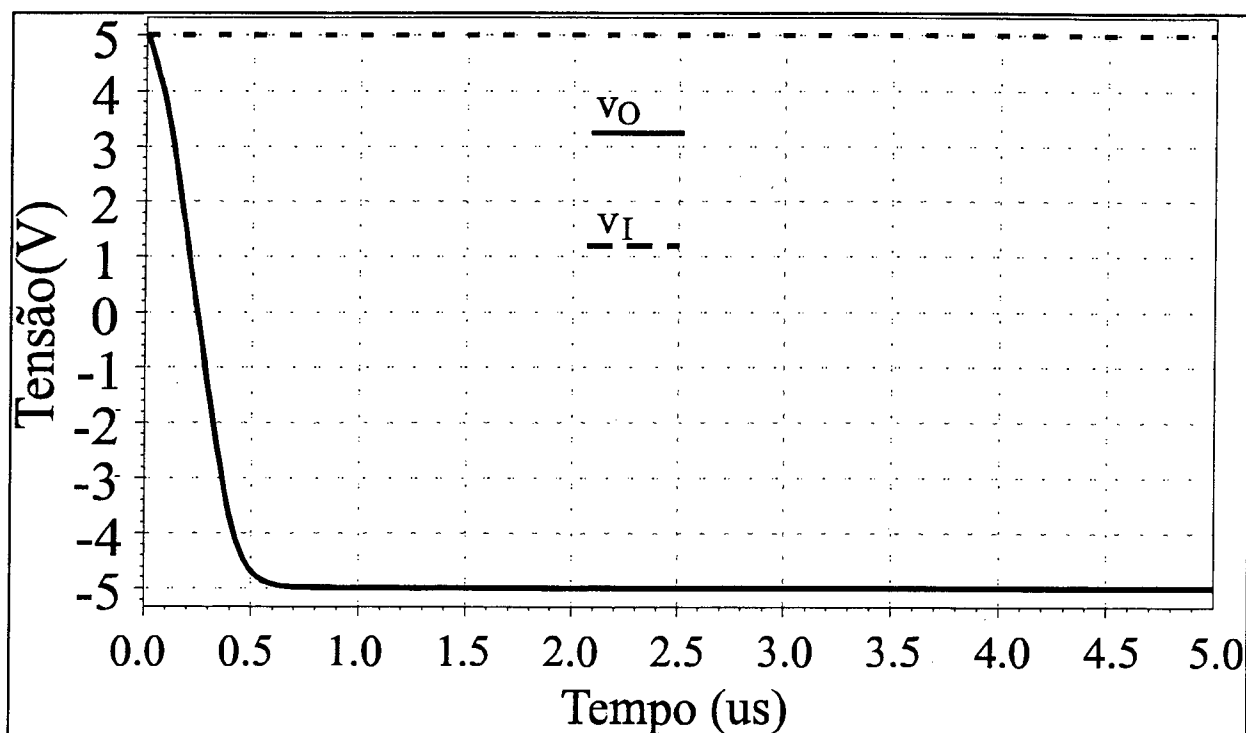


**Figura 6.6** - Resposta ao degrau de 3 MCBs em cascata  
 $(V_I \equiv$ degrau de entrada,  $V_{O1} \equiv$ tensão de saída do 1º MCB,  
 $V_{O2} \equiv$ tensão de saída do 2º MCB,  $V_{O3} \equiv$ tensão de saída do 3º MCB)

Pode ser notado pela Figura 6.6 que o tempo de acomodação para o 1º MCB é da ordem de  $1,5\mu s$ . Porém, o tempo de acomodação para os dois módulos em cascata não é 2

vezes esse valor, mas apenas da ordem de  $2,1\mu\text{s}$ . Da mesma forma, o tempo de acomodação para 3 módulos em cascata é apenas da ordem de  $2,7\mu\text{s}$ , menos que o dobro do tempo de acomodação para 1 único módulo.

Como já foi citado, o principal limitador do tempo de resposta nas análises apresentadas é o *slew-rate*. Este fato pode ser comprovado comparando-se a Figura 6.7 com a Figura 6.5. Ambas figuras apresentam a resposta do MCB3, mas na simulação apresentada na Figura 6.5 foi utilizado o macromodelo do TL071, com  $13\text{V}/\mu\text{s}$  de *slew-rate*, enquanto que simulação apresentada na Figura 6.7 foi utilizado o macromodelo do TLE2072, com  $45\text{V}/\mu\text{s}$  de *slew-rate*. Pode ser notado que a resposta apresentada na Figura 6.7 é bem superior (quase 3 vezes mais rápida).



**Figura 6.7** - Resposta do MCB3 - *Slew-rate* de  $45\text{V}/\mu\text{s}$   
( $V_I$ ≡degrau de entrada,  $V_O$ ≡tensão de saída)

Com as sugestões apresentadas neste capítulo, entende-se que será possível a realização de MCBs com tempo de acomodação inferior a  $100\text{ns}$ , o que permitirá conversores de 10 bits com tempos de conversão da ordem de apenas algumas centenas de nanossegundos.



## 7. CONCLUSÕES

A filosofia de conversão analógico/digital proposta por Maia e implementada neste trabalho apresenta uma alternativa aos circuitos existentes na prática. Em relação aos conversores indiretos, a estrutura apresentada possui a vantagem de permitir conversões mais rápidas. Em relação aos conversores diretos existentes, o conversor implementado apresenta também vantagens, principalmente no que se refere à menor complexidade dos circuitos.

O circuito implementado mostrou a viabilidade da filosofia de conversão proposta por Maia, por permitir a obtenção de saídas digitais sem códigos ausentes sobre toda a faixa de tensões de entrada, além de ser monotônico. A principal desvantagem desta filosofia de conversão está em razão de a velocidade de resposta ser principalmente uma função dos atrasos de propagação nos amplificadores, o que significa que operação em alta velocidade só poderá ser obtida se amplificadores de alta velocidade forem utilizados. Para diminuir este problema, novos módulos de conversão básicos, com menor sensibilidade ao *slew-rate* e/ou produto ganho-banda do amplificador operacional, foram propostos.

O terceiro módulo básico proposto (MCB3) é superior ao anterior (MCB1), apresentando como vantagens a utilização de um número menor de componentes, uma maior precisão e um menor tempo de acomodação. Com algumas modificações, também propostas neste trabalho, acredita-se ser possível a realização de MCBs com tempo de acomodação inferior a 100ns, o que permitirá conversores de 10 bits com tempos de conversão de apenas algumas centenas de nanossegundos.

Outra vantagem da estrutura utilizada diz respeito à não necessidade de circuitos de grande precisão para os estágios menos significativos. A precisão de um conversor em cascata como o apresentado é determinada principalmente em função da precisão dos estágios mais significativos (dos MCBs, isto é 2° MSB, visto que o 1° MSB representa a polaridade do sinal e é obtido diretamente do comparador, sem MCB). Assim, o erro causado pelo primeiro MCB (2° MSB) é incluído diretamente no erro total do sistema, enquanto que o erro causado pelo segundo MCB é atenuado por um fator de dois, o erro do terceiro MCB é atenuado por um fator de quatro e assim sucessivamente. Desta forma

é possível utilizar-se para os estágios menos significativos circuitos menos precisos sem comprometimento da precisão total do sistema.

Propôs-se ainda neste trabalho a utilização de uma estrutura *pipelined* para a filosofia de conversão proposta por Maia, para reduzir ainda mais o tempo de conversão. No entanto, isto acrescentará complexidade ao circuito.

Como sugestões de trabalhos posteriores, pode-se citar:

- Verificação da possibilidade de utilização de amplificadores operacionais de transcondutância nos MCBs, visando maior desempenho.
- Verificação da máxima velocidade/precisão que podem ser obtidas utilizando-se tecnologia MOS, para um conversor de  $n$  bits; Comparação com outros conversores.
- Verificação da máxima velocidade/precisão que podem ser obtidas utilizando-se tecnologia BIPOLAR, para um conversor de  $n$  bits; Comparação com outros conversores.
- Integração do conversor em tecnologia MOS.
- Desenvolvimento de módulo de conversão com a mesma função de transferência, utilizando-se o menor número de amplificadores analógicos possível.
- Busca de possibilidade de substituição do comparador por circuito simples com transistor. No MCB3, por exemplo, as saídas dos amplificadores 1 e 2 apresentam a polaridade do sinal da etapa anterior, de modo que as mesmas podem ser utilizadas para chavear algum circuito simples que substituiria o comparador da etapa anterior.

## 8. REFERÊNCIAS BIBLIOGRÁFICAS

- [BER 77] BERLIN, Howard M. **Projetos com Amplificadores Operacionais com Experiências**. Editele. São Paulo, 1977.
- [BRO 82] BROWN, W. R.; BOWEN, B. A. **VLSI Systems Design for Digital Signal Processing**. Vol. 1. Prentice Hall. New Jersey, USA, 1982.
- [DOE 84] DOERNBERG, J. ; LEE, H.S.; HODGES, D. A. **Full-speed Testing of A/D Converters**. *IEEE Journal of Solid-State and Circuits*, vol. SC-19, pp. 820-827, Dec. 1984.
- [GAR 81] GARRET, Patrick H. **Analog I/O Design**. Reston Publishing Company, Inc. Reston, USA, 1981.
- [GRA 73] GRAEME, Jerald G. **Applications of Operational Amplifiers**. Burr-Brown/McGraw-Hill Kogakusha. Tokyo, Japan, 1973.
- [GRU 88] GRUITER, Arthur François. **Amplificadores Operacionais**. McGraw-Hill. São Paulo, 1988.
- [HNA 76] HNATEK, Eugene R. **A User's Handbook of D/A and A/D Converters**. John Wiley & Sons, Inc. NY, USA, 1976.
- [HOE 94] HOESCHELE, David F. **Analog-to-Digital and Digital-to-Analog Conversion Techniques**. John Wiley & Sons, Inc. NY, USA, 1994.
- [HUN 95] HUNT, Craig. **Networking Personal Computers with TCP/IP**. O'Reilly & Associates, Inc. Sebastopol, USA, 1995.
- [IDO 84] IDOETA, I. V.; CAPUANO, F. G. **Elementos de Eletrônica Digital**. Érica. São Paulo, 1984.
- [KEL 89] KELLY- BOOTLE, Stan. **Dominando o Turbo C**. Ciência Moderna. Rio de Janeiro, 1989.
- [MAI 92] MAIA, L. F. J. **Circuito Conversor Analógico/Digital**. *ANAIS do VII Simpósio Brasileiro de Concepção de Circuitos Integrados*, Rio de Janeiro, RJ, 1992, pp. 212-219.

- [MAK 90] MAKRIS, C.A. ; TOUMAZOU, C. **Operational Amplifier Modelling for High Speed Sampled data Applications.** *IEEE Proceedings*, vol. 137, Pt. G, No. 5, pp. 333-339, Oct. 1990.
- [MAL 85] MALVINO, Albert P. **Microcomputadores e Micriprocessadores.** McGraw-Hill. São Paulo, 1985.
- [MAL 87] MALVINO, A. P.; LEACH, D. P. **Eletrônica Digital, Princípios e Aplicações - Lógica Seqüencial.** McGraw-Hill. São Paulo, 1987.
- [MIL 92] MILMAN, J.; GRABEL, A. **Microelectrónica.** . McGraw-Hill. Lisboa, 1992.
- [MOT 96] MOTOROLA. **Analog/Interface ICs.** Vol. 2. Motorola. Denver, USA, 1996.
- [PHI 88] PHILIPS. **Linear Products Data Handbook.** Philips. Netherlands, 1987.
- [RSC 97] RS. **RS Catalogue.** RS Components. London, England, 1997.
- [SAN 79] SANCHEZ-SINENCIO, E. ; MAJEWSKI, M. L. **A Nonlinear Macromodel of Operational Amplifiers in the Frequency Domain.** *IEEE Transactions on Circuits and Systems*, vol. CAS-26. no. 6, pp. 395-402, Jun. 1979.
- [SED 92] SEDRA; SMITH. **SPICE for Microelectronic Circuits.** Saunders College Publishing. Orlando, USA, 1992.
- [SCH 82] SCHILLING, D. L.; BELOVE, C. **Circuitos Eletrônicos Discretos e Integrados.** Guanabara Dois. Rio de Janeiro, 1982.
- [TAN 94] TANENBAUM, A. S. **Redes de Computadores.** Campus. Rio de Janeiro, 1994.
- [TEX 83] TEXAS. **Linear Products Databook.** Texas. Dalas, USA, 1983.
- [TEX] TEXAS INSTRUMENTS. **FREE Updated Selection Disk - Op Amp Macromodels.** [online] Disponível pela Internet via WWW: <URL: <http://www.ti.com/sc/docs/msp/showcase/vol12/freedisk.htm> >.
- [TIS 95] TISCHER, Michael. **PC Intern Systems Programming.** Em Compact Disc. CD-ROM. Data Becker Edition - Abacus. Grand Rapids, USA, 1995.
- [WAG 91] WAGDY, M. F.; AWAD, S. S. **Determining ADC Effective Number of Bits Via Histogram Testing.** *IEEE Transactions on Instrumentation and Measurement*, vol. 40. no. 4, pp. 770-772, Aug. 1991.

[WAI 75] WAIT, J. V.; HUELSMAN, L. P.; KORN, G. A. **Introduction to Operational Amplifier Theory and Application.** McGraw-Hill Kogakusha. Tokyo, Japan, 1973.

## Apêndice

**Tabela 5.1 - Amostras de uma forma de onda triangular de 5Hz  
Ciclo completo (2000 amostras com intervalo de 100µs)**

00	-0.23	65	-0.90	130	-1.56	195	-2.23	260	-2.85	325	-3.52	390	-4.14	455	-4.80
01	-0.23	66	-0.90	131	-1.56	196	-2.23	261	-2.85	326	-3.52	391	-4.18	456	-4.84
02	-0.27	67	-0.94	132	-1.56	197	-2.23	262	-2.85	327	-3.52	392	-4.18	457	-4.84
03	-0.27	68	-0.94	133	-1.60	198	-2.23	263	-2.89	328	-3.55	393	-4.22	458	-4.84
04	-0.27	69	-0.94	134	-1.60	199	-2.27	264	-2.89	329	-3.55	394	-4.22	459	-4.84
05	-0.27	70	-0.94	135	-1.60	200	-2.27	265	-2.89	330	-3.55	395	-4.22	460	-4.88
06	-0.27	71	-0.98	136	-1.60	201	-2.27	266	-2.93	331	-3.59	396	-4.22	461	-4.88
07	-0.31	72	-0.98	137	-1.60	202	-2.30	267	-2.93	332	-3.59	397	-4.22	462	-4.88
08	-0.31	73	-0.98	138	-1.64	203	-2.30	268	-2.93	333	-3.59	398	-4.26	463	-4.88
09	-0.35	74	-0.98	139	-1.64	204	-2.30	269	-2.97	334	-3.59	399	-4.26	464	-4.92
10	-0.35	75	-1.02	140	-1.68	205	-2.30	270	-2.97	335	-3.59	400	-4.26	465	-4.92
11	-0.35	76	-1.02	141	-1.68	206	-2.34	271	-2.97	336	-3.63	401	-4.26	466	-4.92
12	-0.35	77	-1.02	142	-1.68	207	-2.34	272	-2.97	337	-3.63	402	-4.30	467	-4.92
13	-0.35	78	-1.05	143	-1.68	208	-2.34	273	-2.97	338	-3.63	403	-4.30	468	-4.96
14	-0.39	79	-1.05	144	-1.68	209	-2.34	274	-3.01	339	-3.63	404	-4.30	469	-4.96
15	-0.39	80	-1.05	145	-1.72	210	-2.38	275	-3.01	340	-3.67	405	-4.34	470	-4.96
16	-0.39	81	-1.05	146	-1.72	211	-2.38	276	-3.01	341	-3.67	406	-4.34	471	-4.96
17	-0.43	82	-1.05	147	-1.72	212	-2.38	277	-3.05	342	-3.67	407	-4.34	472	-4.96
18	-0.43	83	-1.09	148	-1.76	213	-2.38	278	-3.05	343	-3.71	408	-4.34	473	-4.96
19	-0.43	84	-1.09	149	-1.76	214	-2.42	279	-3.05	344	-3.71	409	-4.38	474	-4.96
20	-0.43	85	-1.09	150	-1.76	215	-2.42	280	-3.05	345	-3.71	410	-4.38	475	-4.92
21	-0.47	86	-1.13	151	-1.76	216	-2.42	281	-3.09	346	-3.71	411	-4.38	476	-4.92
22	-0.47	87	-1.13	152	-1.76	217	-2.46	282	-3.09	347	-3.75	412	-4.38	477	-4.92
23	-0.47	88	-1.13	153	-1.80	218	-2.46	283	-3.09	348	-3.75	413	-4.38	478	-4.92
24	-0.51	89	-1.13	154	-1.80	219	-2.46	284	-3.09	349	-3.75	414	-4.41	479	-4.88
25	-0.51	90	-1.13	155	-1.84	220	-2.46	285	-3.12	350	-3.75	415	-4.41	480	-4.88
26	-0.51	91	-1.17	156	-1.84	221	-2.50	286	-3.12	351	-3.79	416	-4.41	481	-4.88
27	-0.51	92	-1.17	157	-1.84	222	-2.50	287	-3.12	352	-3.79	417	-4.41	482	-4.84
28	-0.55	93	-1.17	158	-1.84	223	-2.50	288	-3.12	353	-3.79	418	-4.41	483	-4.84
29	-0.55	94	-1.21	159	-1.84	224	-2.50	289	-3.12	354	-3.79	419	-4.45	484	-4.84
30	-0.55	95	-1.21	160	-1.88	225	-2.50	290	-3.16	355	-3.79	420	-4.45	485	-4.84
31	-0.55	96	-1.21	161	-1.88	226	-2.50	291	-3.16	356	-3.79	421	-4.45	486	-4.80
32	-0.59	97	-1.25	162	-1.88	227	-2.54	292	-3.16	357	-3.83	422	-4.49	487	-4.80
33	-0.59	98	-1.25	163	-1.88	228	-2.54	293	-3.16	358	-3.83	423	-4.49	488	-4.80
34	-0.59	99	-1.25	164	-1.91	229	-2.54	294	-3.16	359	-3.83	424	-4.49	489	-4.80
35	-0.59	100	-1.25	165	-1.91	230	-2.54	295	-3.20	360	-3.87	425	-4.53	490	-4.77
36	-0.62	101	-1.25	166	-1.91	231	-2.54	296	-3.20	361	-3.87	426	-4.53	491	-4.77
37	-0.62	102	-1.29	167	-1.91	232	-2.54	297	-3.20	362	-3.87	427	-4.53	492	-4.77
38	-0.62	103	-1.29	168	-1.91	233	-2.58	298	-3.24	363	-3.91	428	-4.53	493	-4.77
39	-0.62	104	-1.29	169	-1.95	234	-2.58	299	-3.24	364	-3.91	429	-4.53	494	-4.73
40	-0.66	105	-1.29	170	-1.95	235	-2.58	300	-3.28	365	-3.91	430	-4.57	495	-4.73
41	-0.66	106	-1.29	171	-1.95	236	-2.62	301	-3.28	366	-3.91	431	-4.57	496	-4.73
42	-0.66	107	-1.33	172	-1.99	237	-2.62	302	-3.28	367	-3.95	432	-4.57	497	-4.69
43	-0.66	108	-1.33	173	-1.99	238	-2.62	303	-3.28	368	-3.95	433	-4.61	498	-4.69
44	-0.66	109	-1.33	174	-1.99	239	-2.62	304	-3.28	369	-3.95	434	-4.61	499	-4.69
45	-0.70	110	-1.33	175	-2.03	240	-2.66	305	-3.32	370	-3.95	435	-4.61	500	-4.69
46	-0.70	111	-1.37	176	-2.03	241	-2.66	306	-3.32	371	-3.98	436	-4.61	501	-4.69
47	-0.70	112	-1.37	177	-2.03	242	-2.66	307	-3.32	372	-3.98	437	-4.65	502	-4.65
48	-0.74	113	-1.37	178	-2.03	243	-2.66	308	-3.32	373	-3.98	438	-4.65	503	-4.65
49	-0.74	114	-1.41	179	-2.03	244	-2.70	309	-3.36	374	-3.98	439	-4.65	504	-4.65
50	-0.74	115	-1.41	180	-2.07	245	-2.70	310	-3.36	375	-3.98	440	-4.65	505	-4.65
51	-0.74	116	-1.41	181	-2.07	246	-2.70	311	-3.36	376	-4.02	441	-4.69	506	-4.61
52	-0.78	117	-1.41	182	-2.07	247	-2.73	312	-3.40	377	-4.02	442	-4.69	507	-4.61
53	-0.78	118	-1.45	183	-2.07	248	-2.73	313	-3.40	378	-4.06	443	-4.69	508	-4.61
54	-0.78	119	-1.45	184	-2.11	249	-2.73	314	-3.40	379	-4.06	444	-4.69	509	-4.57
55	-0.78	120	-1.45	185	-2.15	250	-2.73	315	-3.40	380	-4.06	445	-4.73	510	-4.57
56	-0.78	121	-1.45	186	-2.15	251	-2.77	316	-3.44	381	-4.06	446	-4.73	511	-4.57
57	-0.82	122	-1.45	187	-2.15	252	-2.77	317	-3.44	382	-4.06	447	-4.73	512	-4.53
58	-0.82	123	-1.45	188	-2.15	253	-2.77	318	-3.44	383	-4.10	448	-4.77	513	-4.53
59	-0.82	124	-1.52	189	-2.15	254	-2.81	319	-3.44	384	-4.10	449	-4.77	514	-4.53
60	-0.82	125	-1.52	190	-2.19	255	-2.81	320	-3.44	385	-4.10	450	-4.77	515	-4.53
61	-0.86	126	-1.52	191	-2.19	256	-2.81	321	-3.48	386	-4.14	451	-4.77	516	-4.53
62	-0.90	127	-1.52	192	-2.19	257	-2.81	322	-3.48	387	-4.14	452	-4.80	517	-4.49
63	-0.90	128	-1.52	193	-2.19	258	-2.81	323	-3.48	388	-4.14	453	-4.80	518	-4.49
64	-0.90	129	-1.52	194	-2.23	259	-2.85	324	-3.52	389	-4.14	454	-4.80	519	-4.49

520	-4.45	594	-3.75	668	-2.97	742	-2.27	816	-1.52	890	-0.74	964	-0.04	1038	0.70
521	-4.45	595	-3.75	669	-2.97	743	-2.23	817	-1.52	891	-0.74	965	-0.04	1039	0.74
522	-4.45	596	-3.71	670	-2.97	744	-2.23	818	-1.48	892	-0.74	966	0.00	1040	0.74
523	-4.45	597	-3.71	671	-2.97	745	-2.23	819	-1.45	893	-0.74	967	0.00	1041	0.74
524	-4.41	598	-3.71	672	-2.93	746	-2.23	820	-1.45	894	-0.70	968	0.00	1042	0.74
525	-4.41	599	-3.71	673	-2.93	747	-2.19	821	-1.45	895	-0.70	969	0.04	1043	0.78
526	-4.41	600	-3.67	674	-2.93	748	-2.19	822	-1.45	896	-0.70	970	0.04	1044	0.78
527	-4.41	601	-3.67	675	-2.93	749	-2.19	823	-1.41	897	-0.66	971	0.04	1045	0.78
528	-4.41	602	-3.67	676	-2.89	750	-2.19	824	-1.41	898	-0.66	972	0.04	1046	0.82
529	-4.38	603	-3.63	677	-2.89	751	-2.15	825	-1.41	899	-0.66	973	0.08	1047	0.82
530	-4.38	604	-3.63	678	-2.89	752	-2.15	826	-1.41	900	-0.66	974	0.08	1048	0.82
531	-4.38	605	-3.63	679	-2.85	753	-2.15	827	-1.41	901	-0.66	975	0.08	1049	0.86
532	-4.38	606	-3.59	680	-2.85	754	-2.15	828	-1.37	902	-0.62	976	0.12	1050	0.86
533	-4.34	607	-3.59	681	-2.85	755	-2.11	829	-1.37	903	-0.62	977	0.12	1051	0.86
534	-4.34	608	-3.59	682	-2.85	756	-2.11	830	-1.37	904	-0.62	978	0.12	1052	0.86
535	-4.34	609	-3.59	683	-2.81	757	-2.11	831	-1.37	905	-0.62	979	0.12	1053	0.86
536	-4.34	610	-3.59	684	-2.81	758	-2.07	832	-1.33	906	-0.62	980	0.16	1054	0.90
537	-4.30	611	-3.55	685	-2.81	759	-2.07	833	-1.33	907	-0.59	981	0.16	1055	0.90
538	-4.30	612	-3.55	686	-2.81	760	-2.07	834	-1.33	908	-0.59	982	0.16	1056	0.90
539	-4.30	613	-3.55	687	-2.77	761	-2.03	835	-1.29	909	-0.59	983	0.16	1057	0.90
540	-4.30	614	-3.52	688	-2.77	762	-2.03	836	-1.29	910	-0.55	984	0.16	1058	0.94
541	-4.26	615	-3.52	689	-2.77	763	-2.03	837	-1.29	911	-0.55	985	0.20	1059	0.94
542	-4.26	616	-3.52	690	-2.77	764	-2.03	838	-1.29	912	-0.55	986	0.20	1060	0.94
543	-4.26	617	-3.52	691	-2.73	765	-2.03	839	-1.29	913	-0.51	987	0.20	1061	0.98
544	-4.22	618	-3.48	692	-2.73	766	-1.99	840	-1.25	914	-0.51	988	0.23	1062	0.98
545	-4.22	619	-3.48	693	-2.73	767	-1.99	841	-1.25	915	-0.51	989	0.23	1063	0.98
546	-4.22	620	-3.48	694	-2.70	768	-1.99	842	-1.25	916	-0.51	990	0.23	1064	1.02
547	-4.22	621	-3.48	695	-2.70	769	-1.99	843	-1.25	917	-0.51	991	0.23	1065	1.02
548	-4.22	622	-3.44	696	-2.70	770	-1.95	844	-1.25	918	-0.47	992	0.23	1066	1.02
549	-4.22	623	-3.44	697	-2.70	771	-1.95	845	-1.21	919	-0.47	993	0.27	1067	1.02
550	-4.18	624	-3.44	698	-2.66	772	-1.95	846	-1.21	920	-0.47	994	0.27	1068	1.02
551	-4.14	625	-3.44	699	-2.66	773	-1.91	847	-1.21	921	-0.43	995	0.31	1069	1.05
552	-4.14	626	-3.44	700	-2.66	774	-1.91	848	-1.17	922	-0.43	996	0.31	1070	1.05
553	-4.14	627	-3.40	701	-2.66	775	-1.91	849	-1.17	923	-0.43	997	0.31	1071	1.05
554	-4.14	628	-3.40	702	-2.62	776	-1.91	850	-1.17	924	-0.43	998	0.31	1072	1.09
555	-4.14	629	-3.40	703	-2.62	777	-1.91	851	-1.17	925	-0.39	999	0.31	1073	1.09
556	-4.10	630	-3.36	704	-2.62	778	-1.88	852	-1.13	926	-0.39	1000	0.35	1074	1.09
557	-4.10	631	-3.36	705	-2.58	779	-1.88	853	-1.13	927	-0.39	1001	0.35	1075	1.09
558	-4.10	632	-3.36	706	-2.58	780	-1.88	854	-1.13	928	-0.35	1002	0.35	1076	1.09
559	-4.06	633	-3.32	707	-2.58	781	-1.88	855	-1.13	929	-0.35	1003	0.39	1077	1.13
560	-4.06	634	-3.32	708	-2.58	782	-1.88	856	-1.09	930	-0.35	1004	0.39	1078	1.13
561	-4.06	635	-3.32	709	-2.54	783	-1.84	857	-1.09	931	-0.35	1005	0.39	1079	1.13
562	-4.06	636	-3.28	710	-2.54	784	-1.84	858	-1.09	932	-0.35	1006	0.39	1080	1.17
563	-4.06	637	-3.28	711	-2.54	785	-1.84	859	-1.09	933	-0.31	1007	0.39	1081	1.17
564	-4.02	638	-3.28	712	-2.54	786	-1.80	860	-1.05	934	-0.31	1008	0.43	1082	1.17
565	-4.02	639	-3.28	713	-2.54	787	-1.80	861	-1.05	935	-0.31	1009	0.43	1083	1.17
566	-4.02	640	-3.28	714	-2.54	788	-1.80	862	-1.05	936	-0.27	1010	0.47	1084	1.21
567	-3.98	641	-3.28	715	-2.50	789	-1.76	863	-1.02	937	-0.27	1011	0.47	1085	1.21
568	-3.98	642	-3.24	716	-2.50	790	-1.76	864	-1.02	938	-0.27	1012	0.47	1086	1.21
569	-3.98	643	-3.24	717	-2.50	791	-1.76	865	-1.02	939	-0.27	1013	0.47	1087	1.21
570	-3.98	644	-3.24	718	-2.50	792	-1.76	866	-1.02	940	-0.23	1014	0.47	1088	1.21
571	-3.95	645	-3.20	719	-2.50	793	-1.72	867	-0.98	941	-0.23	1015	0.51	1089	1.25
572	-3.95	646	-3.20	720	-2.50	794	-1.72	868	-0.98	942	-0.23	1016	0.51	1090	1.25
573	-3.95	647	-3.20	721	-2.46	795	-1.72	869	-0.98	943	-0.20	1017	0.51	1091	1.25
574	-3.95	648	-3.16	722	-2.46	796	-1.72	870	-0.98	944	-0.20	1018	0.55	1092	1.25
575	-3.91	649	-3.16	723	-2.46	797	-1.68	871	-0.94	945	-0.20	1019	0.55	1093	1.25
576	-3.91	650	-3.16	724	-2.46	798	-1.68	872	-0.94	946	-0.20	1020	0.55	1094	1.29
577	-3.91	651	-3.16	725	-2.42	799	-1.68	873	-0.94	947	-0.20	1021	0.55	1095	1.29
578	-3.91	652	-3.12	726	-2.42	800	-1.64	874	-0.94	948	-0.16	1022	0.59	1096	1.29
579	-3.87	653	-3.12	727	-2.42	801	-1.64	875	-0.90	949	-0.16	1023	0.59	1097	1.29
580	-3.87	654	-3.12	728	-2.38	802	-1.64	876	-0.90	950	-0.16	1024	0.59	1098	1.33
581	-3.87	655	-3.12	729	-2.38	803	-1.64	877	-0.90	951	-0.12	1025	0.59	1099	1.33
582	-3.83	656	-3.12	730	-2.38	804	-1.60	878	-0.90	952	-0.12	1026	0.62	1100	1.33
583	-3.83	657	-3.09	731	-2.38	805	-1.60	879	-0.90	953	-0.12	1027	0.62	1101	1.37
584	-3.83	658	-3.09	732	-2.34	806	-1.60	880	-0.86	954	-0.12	1028	0.62	1102	1.37
585	-3.83	659	-3.09	733	-2.34	807	-1.60	881	-0.86	955	-0.08	1029	0.62	1103	1.37
586	-3.79	660	-3.09	734	-2.34	808	-1.56	882	-0.82	956	-0.08	1030	0.62	1104	1.41
587	-3.79	661	-3.05	735	-2.30	809	-1.56	883	-0.82	957	-0.08	1031	0.66	1105	1.41
588	-3.79	662	-3.05	736	-2.30	810	-1.56	884	-0.82	958	-0.08	1032	0.66	1106	1.41
589	-3.79	663	-3.05	737	-2.30	811	-1.56	885	-0.82	959	-0.04	1033	0.66	1107	1.41
590	-3.75	664	-3.01	738	-2.30	812	-1.56	886	-0.78	960	-0.04	1034	0.70	1108	1.41
591	-3.75	665	-3.01	739	-2.30	813	-1.52	887	-0.78	961	-0.04	1035	0.70	1109	1.41
592	-3.75	666	-3.01	740	-2.27	814	-1.52	888	-0.78	962	-0.04	1036	0.70	1110	1.45
593	-3.75	667	-3.01	741	-2.27	815	-1.52	889	-0.78	963	-0.04	1037	0.70	1111	1.48

1112	1.48	1186	2.19	1260	2.93	1334	3.67	1408	4.38	1482	4.73	1556	3.98	1630	3.24
1113	1.48	1187	2.23	1261	2.93	1335	3.67	1409	4.41	1483	4.73	1557	3.98	1631	3.24
1114	1.48	1188	2.23	1262	2.97	1336	3.71	1410	4.41	1484	4.69	1558	3.98	1632	3.24
1115	1.48	1189	2.27	1263	2.97	1337	3.71	1411	4.41	1485	4.69	1559	3.95	1633	3.24
1116	1.48	1190	2.27	1264	2.97	1338	3.71	1412	4.45	1486	4.69	1560	3.95	1634	3.20
1117	1.52	1191	2.27	1265	3.01	1339	3.71	1413	4.45	1487	4.69	1561	3.95	1635	3.20
1118	1.52	1192	2.27	1266	3.01	1340	3.71	1414	4.45	1488	4.65	1562	3.91	1636	3.20
1119	1.52	1193	2.27	1267	3.01	1341	3.75	1415	4.45	1489	4.65	1563	3.91	1637	3.16
1120	1.56	1194	2.30	1268	3.01	1342	3.75	1416	4.49	1490	4.65	1564	3.91	1638	3.16
1121	1.56	1195	2.30	1269	3.05	1343	3.75	1417	4.49	1491	4.65	1565	3.91	1639	3.16
1122	1.56	1196	2.30	1270	3.05	1344	3.75	1418	4.49	1492	4.61	1566	3.87	1640	3.12
1123	1.56	1197	2.34	1271	3.05	1345	3.75	1419	4.49	1493	4.61	1567	3.87	1641	3.12
1124	1.56	1198	2.34	1272	3.05	1346	3.79	1420	4.53	1494	4.61	1568	3.87	1642	3.12
1125	1.56	1199	2.34	1273	3.09	1347	3.79	1421	4.53	1495	4.61	1569	3.87	1643	3.12
1126	1.60	1200	2.34	1274	3.09	1348	3.79	1422	4.53	1496	4.57	1570	3.83	1644	3.12
1127	1.60	1201	2.38	1275	3.09	1349	3.83	1423	4.53	1497	4.57	1571	3.83	1645	3.09
1128	1.60	1202	2.38	1276	3.09	1350	3.83	1424	4.57	1498	4.57	1572	3.83	1646	3.09
1129	1.64	1203	2.38	1277	3.09	1351	3.83	1425	4.57	1499	4.53	1573	3.79	1647	3.09
1130	1.64	1204	2.38	1278	3.12	1352	3.87	1426	4.57	1500	4.53	1574	3.79	1648	3.09
1131	1.64	1205	2.42	1279	3.12	1353	3.87	1427	4.61	1501	4.53	1575	3.79	1649	3.05
1132	1.64	1206	2.42	1280	3.12	1354	3.87	1428	4.61	1502	4.53	1576	3.79	1650	3.05
1133	1.68	1207	2.42	1281	3.12	1355	3.87	1429	4.61	1503	4.53	1577	3.75	1651	3.05
1134	1.68	1208	2.46	1282	3.12	1356	3.87	1430	4.61	1504	4.49	1578	3.75	1652	3.05
1135	1.72	1209	2.46	1283	3.16	1357	3.91	1431	4.65	1505	4.49	1579	3.75	1653	3.01
1136	1.72	1210	2.46	1284	3.16	1358	3.91	1432	4.65	1506	4.49	1580	3.75	1654	3.01
1137	1.72	1211	2.46	1285	3.16	1359	3.91	1433	4.65	1507	4.45	1581	3.75	1655	3.01
1138	1.72	1212	2.46	1286	3.20	1360	3.91	1434	4.65	1508	4.45	1582	3.71	1656	3.01
1139	1.72	1213	2.46	1287	3.20	1361	3.95	1435	4.65	1509	4.45	1583	3.71	1657	2.97
1140	1.76	1214	2.50	1288	3.20	1362	3.95	1436	4.69	1510	4.45	1584	3.71	1658	2.97
1141	1.76	1215	2.50	1289	3.24	1363	3.95	1437	4.69	1511	4.41	1585	3.71	1659	2.97
1142	1.76	1216	2.50	1290	3.24	1364	3.95	1438	4.69	1512	4.41	1586	3.71	1660	2.93
1143	1.80	1217	2.50	1291	3.24	1365	3.98	1439	4.73	1513	4.41	1587	3.67	1661	2.93
1144	1.80	1218	2.50	1292	3.24	1366	3.98	1440	4.73	1514	4.38	1588	3.67	1662	2.93
1145	1.80	1219	2.50	1293	3.24	1367	3.98	1441	4.73	1515	4.38	1589	3.67	1663	2.93
1146	1.80	1220	2.50	1294	3.28	1368	4.02	1442	4.73	1516	4.38	1590	3.67	1664	2.89
1147	1.84	1221	2.54	1295	3.28	1369	4.02	1443	4.77	1517	4.38	1591	3.63	1665	2.89
1148	1.84	1222	2.54	1296	3.28	1370	4.02	1444	4.77	1518	4.38	1592	3.63	1666	2.89
1149	1.84	1223	2.54	1297	3.28	1371	4.02	1445	4.77	1519	4.34	1593	3.63	1667	2.85
1150	1.84	1224	2.58	1298	3.32	1372	4.02	1446	4.77	1520	4.34	1594	3.59	1668	2.85
1151	1.88	1225	2.58	1299	3.32	1373	4.06	1447	4.80	1521	4.34	1595	3.59	1669	2.85
1152	1.88	1226	2.58	1300	3.36	1374	4.06	1448	4.80	1522	4.34	1596	3.59	1670	2.85
1153	1.88	1227	2.58	1301	3.36	1375	4.06	1449	4.80	1523	4.34	1597	3.59	1671	2.85
1154	1.88	1228	2.62	1302	3.36	1376	4.06	1450	4.84	1524	4.30	1598	3.55	1672	2.81
1155	1.88	1229	2.62	1303	3.36	1377	4.10	1451	4.84	1525	4.30	1599	3.55	1673	2.81
1156	1.91	1230	2.62	1304	3.40	1378	4.10	1452	4.84	1526	4.30	1600	3.55	1674	2.81
1157	1.91	1231	2.66	1305	3.40	1379	4.10	1453	4.84	1527	4.30	1601	3.55	1675	2.81
1158	1.91	1232	2.66	1306	3.40	1380	4.14	1454	4.84	1528	4.26	1602	3.55	1676	2.77
1159	1.95	1233	2.66	1307	3.40	1381	4.14	1455	4.88	1529	4.26	1603	3.52	1677	2.77
1160	1.95	1234	2.66	1308	3.44	1382	4.14	1456	4.88	1530	4.26	1604	3.52	1678	2.77
1161	1.95	1235	2.66	1309	3.44	1383	4.14	1457	4.88	1531	4.26	1605	3.52	1679	2.77
1162	1.95	1236	2.70	1310	3.44	1384	4.18	1458	4.92	1532	4.22	1606	3.48	1680	2.77
1163	1.99	1237	2.70	1311	3.44	1385	4.18	1459	4.92	1533	4.22	1607	3.48	1681	2.73
1164	1.99	1238	2.70	1312	3.44	1386	4.18	1460	4.92	1534	4.22	1608	3.48	1682	2.73
1165	1.99	1239	2.73	1313	3.48	1387	4.18	1461	4.92	1535	4.18	1609	3.48	1683	2.70
1166	1.99	1240	2.73	1314	3.48	1388	4.22	1462	4.92	1536	4.18	1610	3.44	1684	2.70
1167	1.99	1241	2.77	1315	3.48	1389	4.22	1463	4.92	1537	4.18	1611	3.44	1685	2.70
1168	2.03	1242	2.77	1316	3.52	1390	4.22	1464	4.92	1538	4.18	1612	3.44	1686	2.70
1169	2.03	1243	2.77	1317	3.52	1391	4.22	1465	4.88	1539	4.18	1613	3.40	1687	2.66
1170	2.03	1244	2.77	1318	3.52	1392	4.26	1466	4.88	1540	4.14	1614	3.40	1688	2.66
1171	2.07	1245	2.77	1319	3.52	1393	4.26	1467	4.88	1541	4.14	1615	3.40	1689	2.66
1172	2.07	1246	2.77	1320	3.55	1394	4.26	1468	4.88	1542	4.10	1616	3.40	1690	2.66
1173	2.11	1247	2.81	1321	3.55	1395	4.26	1469	4.84	1543	4.10	1617	3.40	1691	2.62
1174	2.11	1248	2.81	1322	3.55	1396	4.30	1470	4.84	1544	4.10	1618	3.36	1692	2.62
1175	2.11	1249	2.81	1323	3.55	1397	4.30	1471	4.84	1545	4.10	1619	3.36	1693	2.62
1176	2.11	1250	2.81	1324	3.59	1398	4.30	1472	4.84	1546	4.10	1620	3.36	1694	2.58
1177	2.11	1251	2.85	1325	3.59	1399	4.30	1473	4.80	1547	4.06	1621	3.36	1695	2.58
1178	2.11	1252	2.85	1326	3.59	1400	4.34	1474	4.80	1548	4.06	1622	3.32	1696	2.58
1179	2.15	1253	2.85	1327	3.59	1401	4.34	1475	4.80	1549	4.06	1623	3.32	1697	2.58
1180	2.15	1254	2.89	1328	3.63	1402	4.34	1476	4.77	1550	4.02	1624	3.32	1698	2.54
1181	2.15	1255	2.89	1329	3.63	1403	4.34	1477	4.77	1551	4.02	1625	3.28	1699	2.54
1182	2.19	1256	2.89	1330	3.63	1404	4.38	1478	4.77	1552	4.02	1626	3.28	1700	2.54
1183	2.19	1257	2.89	1331	3.63	1405	4.38	1479	4.77	1553	4.02	1627	3.28	1701	2.54
1184	2.19	1258	2.93	1332	3.67	1406	4.38	1480	4.77	1554	4.02	1628	3.24	1702	2.50
1185	2.19	1259	2.93	1333	3.67	1407	4.38	1481	4.73	1555	3.98	1629	3.24	1703	2.50



1704	2.50	1741	2.15	1778	1.80	1815	1.41	1852	1.05	1889	0.66	1926	0.31	1963	-0.04
1705	2.50	1742	2.15	1779	1.80	1816	1.41	1853	1.05	1890	0.66	1927	0.27	1964	-0.08
1706	2.50	1743	2.15	1780	1.76	1817	1.41	1854	1.02	1891	0.62	1928	0.27	1965	-0.08
1707	2.46	1744	2.11	1781	1.76	1818	1.37	1855	1.02	1892	0.62	1929	0.27	1966	-0.08
1708	2.46	1745	2.11	1782	1.76	1819	1.37	1856	1.02	1893	0.62	1930	0.27	1967	-0.08
1709	2.46	1746	2.11	1783	1.72	1820	1.37	1857	0.98	1894	0.62	1931	0.23	1968	-0.12
1710	2.46	1747	2.11	1784	1.72	1821	1.33	1858	0.98	1895	0.59	1932	0.23	1969	-0.12
1711	2.46	1748	2.07	1785	1.72	1822	1.33	1859	0.98	1896	0.59	1933	0.23	1970	-0.12
1712	2.46	1749	2.07	1786	1.72	1823	1.33	1860	0.94	1897	0.59	1934	0.23	1971	-0.16
1713	2.46	1750	2.03	1787	1.68	1824	1.33	1861	0.94	1898	0.59	1935	0.20	1972	-0.16
1714	2.42	1751	2.03	1788	1.68	1825	1.29	1862	0.94	1899	0.59	1936	0.20	1973	-0.16
1715	2.42	1752	2.03	1789	1.64	1826	1.29	1863	0.94	1900	0.55	1937	0.20	1974	-0.16
1716	2.42	1753	2.03	1790	1.64	1827	1.29	1864	0.94	1901	0.55	1938	0.16	1975	-0.20
1717	2.42	1754	2.03	1791	1.64	1828	1.29	1865	0.90	1902	0.55	1939	0.16	1976	-0.20
1718	2.38	1755	2.03	1792	1.64	1829	1.25	1866	0.90	1903	0.55	1940	0.16	1977	-0.20
1719	2.38	1756	1.99	1793	1.64	1830	1.25	1867	0.90	1904	0.55	1941	0.16	1978	-0.20
1720	2.38	1757	1.99	1794	1.60	1831	1.25	1868	0.86	1905	0.51	1942	0.16	1979	-0.20
1721	2.34	1758	1.99	1795	1.60	1832	1.25	1869	0.86	1906	0.51	1943	0.12	1980	-0.23
1722	2.34	1759	1.95	1796	1.56	1833	1.21	1870	0.86	1907	0.51	1944	0.12	1981	-0.23
1723	2.34	1760	1.95	1797	1.56	1834	1.21	1871	0.86	1908	0.47	1945	0.12	1982	-0.27
1724	2.34	1761	1.95	1798	1.56	1835	1.21	1872	0.86	1909	0.47	1946	0.08	1983	-0.27
1725	2.30	1762	1.95	1799	1.56	1836	1.21	1873	0.86	1910	0.47	1947	0.08	1984	-0.27
1726	2.30	1763	1.95	1800	1.56	1837	1.21	1874	0.82	1911	0.47	1948	0.08	1985	-0.27
1727	2.30	1764	1.91	1801	1.56	1838	1.17	1875	0.78	1912	0.47	1949	0.08	1986	-0.27
1728	2.27	1765	1.91	1802	1.52	1839	1.17	1876	0.78	1913	0.43	1950	0.04	1987	-0.31
1729	2.27	1766	1.88	1803	1.52	1840	1.17	1877	0.78	1914	0.43	1951	0.04	1988	-0.31
1730	2.27	1767	1.88	1804	1.52	1841	1.17	1878	0.78	1915	0.39	1952	0.04	1989	-0.31
1731	2.27	1768	1.88	1805	1.52	1842	1.13	1879	0.78	1916	0.39	1953	0.04	1990	-0.35
1732	2.27	1769	1.88	1806	1.52	1843	1.13	1880	0.74	1917	0.39	1954	0.00	1991	-0.35
1733	2.23	1770	1.88	1807	1.48	1844	1.13	1881	0.74	1918	0.39	1955	0.00	1992	-0.35
1734	2.23	1771	1.88	1808	1.48	1845	1.09	1882	0.74	1919	0.39	1956	0.00	1993	-0.35
1735	2.23	1772	1.84	1809	1.48	1846	1.09	1883	0.74	1920	0.35	1957	-0.04	1994	-0.35
1736	2.19	1773	1.84	1810	1.45	1847	1.09	1884	0.70	1921	0.35	1958	-0.04	1995	-0.39
1737	2.19	1774	1.84	1811	1.45	1848	1.09	1885	0.70	1922	0.35	1959	-0.04	1996	-0.39
1738	2.19	1775	1.80	1812	1.45	1849	1.09	1886	0.70	1923	0.31	1960	-0.04	1997	-0.43
1739	2.19	1776	1.80	1813	1.41	1850	1.05	1887	0.70	1924	0.31	1961	-0.04	1998	-0.43
1740	2.15	1777	1.80	1814	1.41	1851	1.05	1888	0.66	1925	0.31	1962	-0.04	1999	-0.43