



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO TECNOLÓGICO
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Angélica Paula Caús

Conversores cc-cc a Capacitor Variável

Florianópolis

2024

Angélica Paula Caús

Conversores cc-cc a Capacitor Variável

Tese de Doutorado submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina como parte dos requisitos para a obtenção do grau de Doutor em Engenharia Elétrica.

Orientador: Prof. Ivo Barbi, Dr.

Coorientador: Prof. Alceu André Badin, Dr.

Florianópolis

2024

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Sobrenome Autor, Nome Autor

Titulo Trabalho : Subtitulo Trabalho / Nome Autor

Sobrenome Autor ; orientador, Nome Orientador Sobrenome
Orientador ; co-orientador, Nome Coorientador Sobrenome
Coorientador. - Florianópolis, SC, Ano.

PGs p.

- Universidade Federal de Santa Catarina, Centro Sócio-
Econômico. Programa de Pós-Graduação em Administração.

Inclui referências

1. Administração. 2. Assunto 1. 3. Assunto 2. 4. Assunto
3. 5. Assunto 4. I. Sobrenome Orientador, Nome Orientador.
II. Sobrenome Coorientador, Nome Coorientador. III.
Universidade Federal de Santa Catarina. Programa de Pós-
Graduação em Administração. IV. Título.

Angélica Paula Caús

Conversores cc-cc a Capacitor Variável

O presente trabalho em nível de doutorado foi avaliado e aprovado em 15/08/2024 por banca examinadora composta pelos seguintes membros:

Prof., Dr. Daniel Flores Cortez
Universidade Tecnológica Federal do Paraná – UTFPR

Prof., Dr. Carlos Henrique Illa Font
Universidade Tecnológica Federal do Paraná – UTFPR

Prof., Dr. Mario Lucio da Silva Martins
Universidade Federal de Santa Maria – UFSM

Certificamos que esta é a versão original e final do trabalho de conclusão que foi julgado adequado para obtenção do título de doutora em Engenharia Elétrica.

Prof., Dr. Telles Brunelli Lazzarin
Coordenador do Programa

Prof. Ivo Barbi, Dr.
Orientador

Florianópolis, 2024.

*Aos meus pais Neusa e Gilberto Caús.
Ao meu avô Serafim Caús - in memoriam.
Ao meu noivo Matheus Schramm Dall'Asta.*

AGRADECIMENTOS

Primeiramente, agradeço aos meus pais, Neusa e Gilberto, e aos meus irmãos Giovani e Ana Vitória pelos sacrifícios feitos para garantir meus estudos.

Agradeço ao meu noivo, Matheus Schramm Dall'Asta, pelos momentos de lazer, paciência e apoio emocional. Agradeço também pelas discussões técnicas e pelas revisões realizadas.

Agradeço aos professores Ivo Barbi e Alceu André Badin pela orientação durante o desenvolvimento deste trabalho. Aproveito também para expressar minha gratidão pelos ensinamentos compartilhados e pelas palavras de motivação.

Agradeço aos laboratórios IBEPE e Fotovoltaica-UFSC por disponibilizarem a estrutura necessária para o desenvolvimento deste trabalho.

Agradeço a todos os colegas que, de uma forma ou de outra, contribuíram para a construção do conhecimento adquirido durante esses dois anos, pelas ajudas e conversas técnicas que auxiliaram na realização deste trabalho.

Agradeço aos meus colegas e amigos Leonardo Pacheco e Gabriel Assunção pelas conversas, discussões técnicas e por me acompanharem durante os ensaios em bancada.

Agradeço à banca examinadora pelo tempo dedicado à leitura deste trabalho, pelas correções e importantes contribuições para a sua finalização.

Agradeço ao professor Hugo Larico pelo auxílio durante o projeto e experimentação da placa de circuito impresso, bem como pela prototipagem das PCBs.

Por fim, agradeço ao CNPq por proporcionar a bolsa de estudos durante o período do doutorado.

“A Humanidade certamente necessita de homens práticos, que obtêm o máximo de seu trabalho e, sem esquecer o bem geral, resguardam seus próprios interesses. Contudo, a humanidade necessita também dos sonhadores, para quem o desenvolvimento desinteressado de um empreendimento é tão cativante que lhes torna impossível cuidar dos seus próprios interesses materiais.”

Marie Curie

RESUMO

Um novo princípio de conversão estática, baseado na variação rápida da capacitância, é apresentado. Uma célula de comutação formada por interruptores e capacitores é desenvolvida e integrada aos conversores *Buck*, *Boost* e *Buck-Boost*. A análise estática das topologias é realizada, e os esforços de corrente e tensão sobre os componentes são validados por simulação. Uma topologia isolada, que opera com comutação suave e redução dos esforços de tensão sobre os interruptores, é obtida pela integração entre o conversor *Buck* e a célula de comutação a capacitor variável. Um equacionamento detalhado para verificar a influência da constante $f_s\tau$ nos valores da corrente nos dispositivos semicondutores é desenvolvido. Técnicas de mitigação de perdas, desenvolvidas para conversores a capacitor chaveado, são aplicadas. A análise da comutação é desenvolvida para a versão isolada do conversor tipo *Buck* a capacitor variável. Os critérios para projeto de comutação com tensão nula nos interruptores do lado de alta tensão são apresentados. A análise teórica e o funcionamento do conversor isolado são validados a partir de um protótipo com potência nominal. Primeiramente, com 480 W, tensão de alimentação de 400 V e tensão de saída de 24 V, com estágio de saída formado por um filtro LC e um retificador de ponte completa, o qual apresentou eficiência máxima de 92,34%. Em seguida, é avaliado para uma potência de 960 W e tensão de saída de 48 V, operando com um retificador de ponto médio. Nessa condição, a eficiência máxima obtida é de 93,63%. Os resultados obtidos para ambas as estruturas são avaliados e comparados.

Palavras-chave: Capacitância Variável, Isolamento Galvânico, Comutação Suave, ZVS, Modulação por Largura de Pulso Assimétrica.

ABSTRACT

A new principle of static conversion, based on the abrupt variation of capacitance, is presented. A commutation cell consisting of interrupters and capacitors is developed and integrated into the Buck, Boost and Buck-Boost converters. Static analysis of topologies is performed then the current and voltage stresses on components are validated by simulation. An isolated topology, which operates with soft commutation and reduction of voltage efforts across the interrupters, is obtained by the integration between the Buck converter and the variable capacitor commutation cell. A detailed equation to verify the influence of the constant $fs\tau$ on current values in semiconductor devices is developed. Loss mitigation techniques, developed for switched capacitor converters, are applied. The commutation analysis is developed for the isolated version of the variable capacitor Buck type converter. The criterion for switching design with zero voltage, in the switches on the high voltage side, are presented. The theoretical analysis and the operation of the isolated converter are validated from a prototype. The first one with a nominal power of 480 W, supply voltage of 400 V and output voltage of 24 V, with output stage formed by an LC filter and a full bridge rectifier, which presented maximum efficiency of 92.34%. The second one is evaluated for a power of 960 W and output voltage of 48 V, operating with a midpoint rectifier. In this condition, the maximum efficiency obtained is 93.63%. The results obtained for both structures are evaluated and compared.

Key-words: Variable Capacitance, Galvanic Insulation, Soft Switching, ZVS, Asymmetrical Pulsing Width Modulation.

LISTA DE ILUSTRAÇÕES

Figura 1.1 – Indutor variável. (a) Estrutura. (b) Princípio de operação.	32
Figura 1.2 – Topologias baseadas em capacitor variável. (a) Conversor <i>Buck</i> a capacitor variável. (b) Conversor <i>Boost</i> a capacitor variável. (c) Conversor <i>Buck – Boost</i> a capacitor variável. (d) Estrutura utilizada para emular uma capacitância com variação abrupta em testes laboratoriais. (e) Sinais de comando aplicado aos interruptores e capacitância equivalente para cada etapa de operação. (f) Circuito equivalente para a estrutura utilizada para emular uma capacitância com variação abrupta durante a primeira etapa de operação. (g) Circuito equivalente para a estrutura utilizada para emular uma capacitância com variação abrupta durante a segunda etapa de operação.	33
Figura 1.3 – Conversor <i>Buck</i> isolado (a) Estágio de potência. (b) Valor da capacitância variável em cada uma das etapas de operação.	34
Figura 2.1 – Estrutura de um capacitor formado por placas retangulares paralelas. .	38
Figura 2.2 – Comportamento da carga do capacitor e da diferença de potencial durante a inserção de um material dielétrico entre as placas de um capacitor. (a) A bateria mantém a diferença de potencial entre as placas, dessa forma, a carga aumenta quando a placa de material dielétrico é inserida. (b) A carga é mantida quando a placa de material dielétrico é inserida, portanto, a diferença de potencial reduz proporcionalmente a k	39
Figura 2.3 – Alocação das cargas nas placas de um capacitor. (a) Quando as placas estão totalmente sobrepostas. (b) Quando a placa superior é deslocada para a direita, reduzindo a área sobreposta das placas.	39
Figura 2.4 – Associação de capacitores. (a) Associação série de capacitores. (b) Associação paralela de capacitores. (c) Célula de comutação capaz associar os capacitores em série em uma etapa de operação (c_2) e em paralelo na outra (c_2).	40
Figura 2.5 – Conversor cc-cc com capacitância variável.	41
Figura 2.6 – Dispositivo de capacitor variável proposto por (HARADA et al., 1993). (a) Símbolo definido para o dispositivo. (b) Variação da capacitância em relação à tensão aplicada no terminal 2.	42
Figura 2.7 – Dispositivo de capacitor variável proposto por (ZHANG et al., 2017). (a) Circuito equivalente. (b) Variação da capacitância em relação à tensão aplicada nos terminais c^+ e c^-	43
Figura 2.8 – Conversor ca com dispositivo de capacitância variável.	44
Figura 2.9 – Topologia proposta para gerar a capacitância variável por meio do ângulo de condução α . (a) Topologia proposta em (HARADA; GU; MURATA, 1987). (b) Principais formas de onda.	45
Figura 2.10–Capacitância equivalente vista entre os terminais a e b parametrizada em relação a C	45
Figura 2.11–Célula a capacitância variável desenvolvida por (HU; AMARA; IOINOVICI, 2013) para ser utilizada como capacitância ressonante.	46
Figura 2.12–Células de capacitor chaveado. (a) Dobrador de tensão. (b) <i>Ladder</i> . (c) <i>Dickson</i> . (d) <i>Fibonacci</i>	47

Figura 2.13—Conversor <i>Buck</i> híbrido obtido por meio da integração entre a célula de capacitor chaveado proposta por (AXELROD; BERKOVICH; IOINOVICI, 2008) e o conversor <i>buck</i> . (a) Estágio de potência. (b) Primeira etapa de operação. (b) Segunda etapa de operação.	48
Figura 2.14—Conversores cc-ccc híbridos (a) Conversor <i>S – 1L – tank-alt</i> e (ELLIS; AMIRTHARAJAH, 2022). (b) Conversor <i>LLC</i> ressonante híbrido (LEANDRO, 2019). (c) Conversor <i>POS – HSCB</i> (CHEN et al., 2020).	50
Figura 2.15—Conversor bidirecional de três níveis a capacitor chaveado.	52
Figura 2.16—Etapas de operação e formas de onda relevantes para o equacionamento do conversor bidirecional de três níveis operando no modo abaixador. (a) Primeira etapa de operação. (b) Segunda etapa de operação. (c) Principais formas de onda.	52
Figura 2.17—Circuito equivalente para representação de conversores a capacitores chaveados. (a) Célula unitária. (b) Etapa de carregamento do capacitor. (c) Etapa de descarga do capacitor. Formas de onda para a tensão sobre <i>C</i> considerando o modo de carga parcial. (c) Tensão inicial do capacitor nula. (d) Tensão inicial do capacitor maior que zero.	55
Figura 2.18—Análise da resistência equivalente. (a) Célula unitária. (b) Primeira etapa de operação. (c) Segunda etapa de operação. (d) Principais etapas de operação. (e) Circuito equivalente.	58
Figura 2.19—Representação do limite de impedância de comutação lenta (<i>SSL</i>) e limite de impedância de comutação rápida (<i>FSL</i>) e comparação entre os valores de resistência equivalente obtidas em (BARBI, 2019) ($R_{eq,c}$) e (SEEMAN; SANDERS, 2008) ($R_{eq,s}$) considerando $D = 0,5$	62
Figura 2.20—Análise da resistência equivalente da célula unitária em relação ao modo de carga dos capacitores.	62
Figura 2.21—Célula de comutação não dissipativa. (a) Células de comutação <i>ZVS</i> . (b) Célula de comutação <i>ZCS</i>	63
Figura 2.22—Formas de onda teóricas para a tensão (v_S) e para a corrente (i_S) nos MOSFETs durante a comutação.	64
Figura 2.23—Plano de fase. (a) Plano de fase genérico para um circuito não ressonante. (b) Detalhe do plano de fase durante o período de comutação para bloqueio do interruptor.	65
Figura 2.24—Célula de comutação não dissipativa <i>ZVS-PWM</i>	66
Figura 2.25—Etapa ressonante de comutação. (a) Circuito equivalente genérico para a etapa ressonante da comutação. (b) Plano de fases obtido por meio do equacionamento do circuito equivalente.	67
Figura 3.1 – Conversor tipo <i>Buck</i> (a) Estágio de potência. (b) Valores da capacitância para cada etapa de operação. (c) Primeira etapa de operação ($t_0 - t_1$). (d) Segunda etapa de operação ($t_1 - t_2$).	69
Figura 3.2 – Relação entre V_{Ca} e V_{Cb} . (a) Conservação de carga. (b) Conservação de energia.	71
Figura 3.3 – Ganho do conversor em relação ao tempo em que o valor da capacitância de C_V permanece com seu valor máximo (C_{max}) para diferentes valores de k_c . (a) Considerando que o capacitor apresenta conservação de carga. (b) Considerando que o capacitor apresenta conservação de energia.	72

Figura 3.4 – Formas de onda para tensão e corrente em C_V . (a) Corrente em C_V considerando que a carga é constante. (b) Tensão C_V considerando que a carga é constante. (c) Corrente em C_V considerando que a energia é constante. (d) Tensão C_V considerando que a energia é constante.	76
Figura 3.5 – Valor eficaz da corrente em C_V para em relação a D e k_c	77
Figura 3.6 – Estruturas usadas para implementar um capacitor com variação abrupta do valor de capacitância. (a) Considerando que a energia é conservada. (b) Considerando a carga é conservada.	79
Figura 3.7 – Comparação entre as formas de onda, obtidas por meio de simulação e por meio do equacionamento considerando as seguintes especificações $C_{min} = 5 \mu\text{F}$, $C_{max} = 20 \mu\text{F}$, $V_{in} = 100 \text{ V}$, $f_s = 100 \text{ kHz}$ e $I_o = 10 \text{ A}$. (a) Corrente em C_V para a condição em que a carga é conservada. (b) Tensão sobre C_V para a condição em que a carga é conservada. (c) Corrente em C_V para a condição em que a energia é conservada. (d) Tensão sobre C_V para a condição em que a energia é conservada.	80
Figura 3.8 – Célula de comutação usada para emular um capacitor com variação abrupta da capacitância.	81
Figura 4.1 – Circuitos utilizados para o equacionamento da resistência e da capacitância equivalente da célula de comutação a capacitor variável. (a) Conversor cc-cc básico desenvolvido a partir da célula de comutação a capacitor variável. (b) Sinais de comutação e formas de onda das tensões sobre os capacitores chaveados. (c) Primeira etapa de operação. (d) Segunda etapa de operação.	83
Figura 4.2 – Circuitos equivalentes para a célula de comutação a capacitância variável. (a) Célula de comutação vista como uma resistência equivalente. (b) Forma de onda para a tensão nos capacitores.	84
Figura 4.3 – Variação da resistência equivalente parametrizada (\bar{R}_{eq}). (a) Em função da razão cíclica. (b) Em função da constante $f_s\tau$	88
Figura 5.1 – Estágio de potência do conversor do tipo <i>Buck</i>	90
Figura 5.2 – Circuito equivalente do primeiro estado topológico ($0 - DT_s$).	90
Figura 5.3 – Circuito equivalente do segundo estado topológico ($DT_s - T_s$).	91
Figura 5.4 – Principais formas de onda para o conversor tipo <i>Buck</i>	91
Figura 5.5 – Circuito equivalente do conversor para o intervalo de tempo ($0 - DT_s$).	93
Figura 5.6 – Circuito equivalente do conversor para o intervalo de tempo ($DT_s - T_s$).	94
Figura 5.7 – Formas de onda para as correntes nos interruptores. (a) Corrente em S_1 e em S_3 (i_{S1}, i_{S3}). (b) Corrente em S_2 (i_{S2}).	99
Figura 5.8 – Relação entre o valor de pico da corrente em S_2 e I_o em função da razão cíclica para diferentes valores de $f_s\tau$	99
Figura 5.9 – Valores eficazes das correntes em S_1 e S_2 parametrizados em relação a I_o em função de D para $f_s\tau = 1$	100
Figura 6.1 – Relação entre o valor eficaz da corrente em C_1 , C_2 e S_2 e a constante $f_s\tau$	102
Figura 6.2 – Ondulação de corrente em L_o em função de D para diferentes valores de L_o	104
Figura 6.3 – Formas de onda para a tensão e da corrente em C_o	105
Figura 6.4 – Ondulação de tensão sobre C_o em função de D para diferentes valores de capacitâncias.	106
Figura 6.5 – Protótipo do conversor <i>Buck</i> a capacitor variável.	107

Figura 6.6 – Formas de onda para a tensão de entrada (V_{in}), para a tensão sobre a célula de comutação (v_{ab}) e para a tensão sobre o diodo (v_D). (a) Resultados experimentais. (b) Resultados de simulação.	108
Figura 6.7 – Formas de ondas para a corrente de saída (i_{Lo}) e para a corrente de entrada (i_{in}) (a) Resultados experimentais. (b) Resultados de simulação.	108
Figura 6.8 – Formas de ondas para a corrente de entrada (i_{in}), para a corrente em L_o e para a corrente no diodo (i_D). (a) Resultados experimentais. (b) Resultados de simulação.	109
Figura 6.9 – Formas de onda para a tensão sobre C_1 (v_{C1}) e C_2 (v_{C2}) e para a tensão sobre o indutor de filtro de saída (v_{Lo}). (a) Resultados experimentais. (b) Resultados de simulação.	109
Figura 6.10 – Característica de saída teórica (linha contínua) e prática (linha tracejada) do conversor <i>Buck</i> a capacitor variável.	110
Figura 7.1 – Conversor tipo <i>Boost</i> (a) Estágio de potência. (b) Valores da capacitância para cada etapa de operação. (c) Primeira etapa de operação ($t_0 - t_1$). (d) Segunda etapa de operação ($t_1 - t_2$).	111
Figura 7.2 – Principais formas de onda para o conversor tipo <i>Boost</i> a capacitor variável.	112
Figura 7.3 – Ganho do conversor em relação ao tempo em que o valor da capacitância de C_V permanece com seu valores máximo (C_{max}) para diferentes valor de k_c . (a) Considerando que o capacitor apresenta conservação de carga. (b) Considerando que o capacitor apresenta conservação de energia. . .	114
Figura 7.4 – Formas de onda para o conversor <i>Boost</i> . (a) Tensão sobre C_o . (b) Tensão sobre C_V	119
Figura 7.5 – Comparação entre as formas de onda, obtidas por meio de simulação e por meio do equacionamento para considerando as seguintes especificações $C_{min} = 25 \mu\text{F}$, $C_{max} = 100 \mu\text{F}$, $V_{in} = 75 \text{ V}$, $f_s = 100 \text{ kHz}$ e $I_o = 2.5 \text{ A}$. (a) Tensão sobre C_V para a condição em que a energia é conservada. (b) Tensão sobre C_o para a condição em que a energia é conservada. (c) Tensão sobre C_V para a condição em que a carga é conservada. (d) Tensão sobre C_o para a condição em que a carga é conservada.	120
Figura 7.6 – Valor eficaz da corrente em C_V em relação a D e a k_c	121
Figura 8.1 – Conversor tipo <i>Boost</i> . (a) Estágio de potência. (b) Sinais de comando. .	124
Figura 8.2 – Circuito equivalente da primeira etapa de operação.	125
Figura 8.3 – Circuito equivalente da segunda etapa de operação.	125
Figura 8.4 – Principais formas de onda.	126
Figura 8.5 – Ganho estático para o conversor tipo <i>Boost</i>	127
Figura 8.6 – Formas de onda para o conversor <i>Boost</i> . (a) Tensão sobre C_o . (b) Tensão sobre C_1 e C_2	129
Figura 8.7 – Relação entre os valores máximos para a corrente em C_1 , C_2 , a capacitância do capacitor de saída (C_o) e a capacitância dos capacitores comutados C	131
Figura 8.8 – Valores eficazes parametrizados das correntes em S_1 , S_2 e S_3 em função da razão cíclica para $f_s\tau = 1$	132
Figura 8.9 – Ondulação de corrente em L em função de D para diferentes valores de indutância.	134
Figura 8.10 – Formas de onda obtidas por meio de simulação no software <i>Simulink</i> . .	136

Figura 9.1 – Conversor tipo <i>Buck-Boost</i> (a) Estágio de potência. (b) Valores da capacitância para cada etapa de operação. (c) Primeira etapa de operação ($t_0 - t_1$). (d) Segunda etapa de operação ($t_1 - t_2$).	137
Figura 9.2 – Principais formas de onda para o conversor <i>Buck – Boost</i> a capacitor variável.	138
Figura 9.3 – Ganho do conversor em relação ao tempo em que o valor da capacitância de C_V permanece com seu valor máximo (C_{max}) para diferentes valores de k_c . (a) Considerando que o capacitor apresenta conservação de carga. (b) Considerando que o capacitor apresenta conservação de energia. . .	140
Figura 9.4 – Formas de onda para o conversor <i>Buck – Boost</i> . (a) Tensão sobre C_o . (b) Tensão sobre C_V	141
Figura 9.5 – Comparação entre as formas de onda, obtidas por meio de simulação e por meio do equacionamento para considerando as seguintes especificações $C_{min} = 25 \mu\text{F}$, $C_{max} = 100 \mu\text{F}$, $V_{in} = 75 \text{ V}$, $f_s = 100 \text{ kHz}$ e $I_o = 2.5 \text{ A}$. (a) Tensão sobre C_V para a condição em que a energia é conservada. (b) Tensão sobre C_o para a condição em que a energia é conservada. (c) Tensão sobre C_V para a condição em que a carga é conservada. (d) Tensão sobre C_o para a condição em que a carga é conservada.	144
Figura 9.6 – Valor eficaz da corrente em C_V em relação a D e a k_c	145
Figura 10.1–Conversor abaixador de tensão com inversão da polaridade da tensão de saída obtido a partir da célula de comutação a capacitância variável. (a) Estágio de potência. (b) Sinais de comutação.	149
Figura 10.2–Circuitos equivalentes do conversor proposto. (a) Primeira etapa de operação. (b) Segunda etapa de operação.	150
Figura 10.3–Principais formas de onda para o conversor abaixador de tensão com inversão da polaridade na saída.	151
Figura 10.4–Ganho do conversor proposto em função da razão cíclica.	151
Figura 10.5–Valores eficazes das correntes parametrizadas em S_1 , S_2 e S_3 em função da razão cíclica para $f_s\tau = 1$	155
Figura 10.6–Relação dos valores eficazes das correntes em C_1 , C_2 e S_2 , parametrizadas em relação a I_o , e em função da constante $f_s\tau$	156
Figura 10.7–Ondulação de corrente em L em função de D para diferentes valores de indutância.	157
Figura 10.8–Formas de onda obtidas por meio de simulação.	160
Figura 11.1–Conversor tipo <i>Buck</i> a capacitor variável isolado(a) Estágio de potência. (b) Sinais de comando.	163
Figura 11.2–Etapas de operação do conversor proposto. (a) Primeira etapa de operação. (b) Segunda etapa de operação. (c) Terceira etapa de operação. .	164
Figura 11.3–Etapas de operação do conversor proposto. (a) Quarta etapa de operação. (b) Quinta etapa de operação. (c) Sexta etapa de operação.	166
Figura 11.4–Formas de onda típicas da topologia proposta para $L_C \neq 0$	167
Figura 11.5–Circuito equivalente para estágio de potência do conversor proposto para $L_C \neq 0$	168
Figura 11.6–Representação gráfica do ganho estático para o conversor proposto. (a) Em relação à razão cíclica para diferentes valores de corrente de saída parametrizada. (b) Em relação à corrente de saída parametrizada para diferentes valores de razão cíclica.	170

Figura 11.7–Circuitos equivalentes para o conversor proposto. (a) Circuito equivalente referente à primeira, quinta e sexta etapas de operação. (b) Circuito equivalente referente à segunda, terceira e quarta etapas de operação.	170
Figura 11.8–(a) Circuito equivalente. (b) Formas de onda utilizadas no equacionamento da corrente em L_m e L_C e da tensão sobre C_x e C_y	171
Figura 11.9–Comparação entre as formas de onda obtidas por meio do equacionado e as obtidas por simulação no <i>Simulink</i> . As formas de onda adquiridas pelo equacionamento são representadas pela linha contínua e as adquirida por simulação pela linha tracejada.	180
Figura 11.10–Comparação entre as formas de onda obtidas por meio do equacionamento e as obtidas por simulação no <i>Simulink</i> , considerando o ajuste nos valores de Δt_a e Δt_b . As formas de onda adquiridas pelo equacionamento são representadas pela linha contínua e as adquiridas por simulação, pela linha tracejada.	182
Figura 11.11–Topologia da ponte retificadora.	186
Figura 12.1–Estado topológico do conversor no instante de tempo anterior a comutação para bloqueio de S_{1a} e S_{1b} ($t_2 - t_3$).	191
Figura 12.2–Estado topológico para a topologia para o conversor isolado durante o tempo morto.	192
Figura 12.3–Análise da comutação de bloqueio de S_{1a} e S_{1b} (a) Circuito equivalente para o conversor durante o tempo morto. (b) Circuito equivalente para o conversor durante a etapa ressonante da comutação. (c) Principais formas de onda para a comutação de bloqueio de S_{1a} e S_{1b}	194
Figura 12.4–Plano de fase referente ao intervalo de tempo ressonante da comutação.	196
Figura 12.5–Estado topológico para o conversor tipo <i>Buck</i> a capacitor variável isolado instantes após v_{C2} atingir valor nulo.	197
Figura 12.6–Estado topológico do conversor no instante de tempo anterior a comutação para bloqueio de S_2 ($t_2 - t_3$).	198
Figura 12.7–Estado topológico para a topologia proposta durante o tempo morto.	199
Figura 12.8–Análise da comutação de bloqueio de S_2 (a) Circuito equivalente para o conversor durante o tempo morto. (b) Circuito equivalente para o conversor durante a etapa ressonante da comutação. (c) Principais formas de onda para a comutação de bloqueio de S_2	200
Figura 12.9–Plano de fase referente ao intervalo de tempo ressonante da comutação.	201
Figura 12.10–Estado topológico para o conversor tipo <i>Buck</i> a capacitor variável isolado instantes após $v_{C2}(t)$ atingir valor nulo.	202
Figura 13.1–Relação entre os valores de indutância e capacitâncias de comutação para o conversor tipo <i>Buck</i> a capacitor variável isolado.	210
Figura 13.2–(a) Sinais de comutação teóricos. (b) Circuito <i>Buffer</i> implementado.	213
Figura 13.3–Distribuição das perdas no conversor.	214
Figura 13.4–Protótipo desenvolvido para validação da topologia proposta.	215
Figura 13.5–Sinais de comando.	216
Figura 13.6–Sinais de comando formas de onda para as tensões sobre os interruptores S_{1a} e S_2 para a comutação de bloqueio de S_2 e entrada em condução de S_{1a}	217

Figura 13.7–Sinais de comando e formas de onda para as tensões sobre os interruptores S_{1a} e S_2 para a comutação de bloqueio de S_{1a} e entrada em condução de S_2	217
Figura 13.8–Corrente de saída (i_o) e corrente na indutância de dispersão (i_{Lc}).	218
Figura 13.9–Tensão sobre os interruptores S_{1a} e S_2 (v_{Ds1a} e v_{Ds2} , respectivamente).	218
Figura 13.10–Tensão sobre o lado primário do transformador (v_{ab}) e tensão sobre os terminais da ponte retificadora (v_{ret}).	219
Figura 13.11–Característica de saída do conversor obtida experimentalmente.	219
Figura 13.12–Curva de eficiência do conversor obtida experimentalmente.	220
Figura 13.13–Distribuição de perdas no estágio de potência do conversor.	221
Figura 13.14–Circuito elétrico do estágio de saída.	221
Figura 13.15–Formas de onda obtidas experimentalmente para a tensão sobre os diodos retificadores (v_{D_1} e v_{D_1}), para a corrente na indutância de comutação (i_{Lc}) e para a corrente de saída (i_o).	222
Figura 13.16–Tensão sobre os diodos retificadores (D_{R1} e D_{R2}). (a) Operando sem grampeador. (b) Detalhe a forma de onda de tensão sobre D_{R1} . (c) Tensão sobre D_{R1} com inserção do grampeador de tensão. (d) Tensão sobre D_{R2} com inserção do grampeador de tensão.	223
Figura 13.17–Curva de eficiência do conversor com retificador de ponto médio obtida experimentalmente.	224
Figura 13.18–Distribuição de perdas no estágio de potência do conversor.	225
Figura 13.19–Distribuição de perdas sobre os componentes do estágio de potência do conversor.	225
Figura A.1–Variação da capacitância vista entre os terminais ab da célula de comutação variável em relação a razão cíclica.	242
Figura A.2–Validação experimental da variação da capacitância vista nos terminais da célula de comutação. (a) Curva de capacitância vista dos terminais da célula de comutação em função da razão cíclica obtida experimentalmente. (b) Circuito utilizado no experimento.	243

LISTA DE TABELAS

Tabela 2.1 – Ganho das topologias clássicas e híbridas obtidas por meio da integração com à capacitor chaveado proposta.	49
Tabela 2.2 – Estruturas de conversores cc-cc híbridos a capacitor chaveado.	51
Tabela 3.1 – Corrente e tensão sobre C_V para carga constante e para energia constante.	75
Tabela 6.1 – Especificações de projeto para o conversor tipo <i>Buck</i> a capacitor variável.	101
Tabela 6.2 – Parâmetros construtivos do indutor de saída.	104
Tabela 7.1 – Validação do equacionamento considerando a energia constante.	123
Tabela 7.2 – Validação do equacionamento considerando a carga constante.	123
Tabela 8.1 – Especificações de projeto para o conversor tipo <i>Boost</i>	134
Tabela 8.2 – Projeto do conversor tipo <i>Boost</i>	135
Tabela 8.3 – Comparação entre os valores obtidos por meio de simulação com os calculados para o conversor tipo <i>Boost</i>	135
Tabela 9.1 – Validação do equacionamento considerando a energia constante.	146
Tabela 9.2 – Validação do equacionamento considerando a carga constante.	147
Tabela 10.1–Especificações de projeto para o conversor abaixador com inversão da tensão de saída.	158
Tabela 10.2–Comparação entre os valores calculados e simulados.	159
Tabela 11.1–Valores para a tensão sobre L_m e L_C em cada etapa de operação.	168
Tabela 11.2–Equações para R_{eq} , C_{eq} e L_{eq} para cada etapa de operação.	172
Tabela 11.3–Equações para $i_{C_x}(t)$ em cada etapa de operação.	176
Tabela 11.4–Valores para os componentes que integram o conversor utilizado para o equacionamento numérico de A_1 , A_2 , A_3 e A_4	179
Tabela 11.5–Valores encontrados para A_1 , a A_8 para as condições apresentadas na Tabela 11.4.	179
Tabela 11.6–Comparação entre os valores calculados e definidos em simulação para os esforços de tensão e corrente.	188
Tabela 13.1–Especificações de projeto.	204
Tabela 13.2–Parâmetros do núcleo E 70/33/32.	206
Tabela 13.3–Especificações para o fio AWG38.	207
Tabela 13.4–Valores obtidos para as indutâncias do transformador utilizando o alisador de impedâncias Keysight E4990A	208
Tabela 13.5–Parâmetros construtivos do indutor série.	210
Tabela 13.6–Distribuição teórica de perdas em cada componente do circuito.	214
Tabela 13.7–Parâmetros do núcleo E 70/33/32.	222
Tabela B.1 – Parâmetros do núcleo NEE-42/21/20.	244
Tabela C.1 – Parâmetros do núcleo NEE-55/28/21.	246

LISTA DE ABREVIATURAS E SIGLAS

ZVS	<i>Zero Voltage Switching</i> - Comutação com Tensão Nula
CCV	Célula a Capacitor Variável
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> - Transistor de Efeito de Campo de Semicondutor de Óxido Metálico
MEMS	<i>Micro-Electro-Mechanical Systems</i> - Sistemas Micro-Eletro-Mecânicos
PWM	<i>Pulse-Width Modulation</i> - Modulação por Largura de Pulso
FP	Fator de Potência
SC	<i>Switched Capacitor</i> - Capacitor Chaveado
ca	Corrente alternada
ZCS	<i>Zero Current Switching</i> - Comutação com Corrente Nula
ASL-SU2C	<i>Active Switched Inductor - Step-Up 2 Cell</i> - Indutor Comutado Ativo Elevador de 2 Células
SCDS	<i>Switched Capacitor-based Dual-Switch</i> - Capacitor Chaveado baseado em Chave Dupla
DIPOS-HSCB	<i>Double Input-parallel-output-series Hybrid Switched-capacitor Boost</i> - Capacitor Chaveado <i>Boost</i> Híbrido Dupla Entrada-Paralelo-Saída-Série
ISH-SL-SC	<i>Improved Symmetrical - Hybrid Switched Inductor - Switched Capacitor</i> - Indutor Chaveado - Capacitor Chaveado - Híbrido Simétrico Aprimorado
ESR	Resistência série do capacitor
CP	Modo de Carga Parcial
CC	Modo de Carga Completa
cc	Corrente contínua
SSL	<i>Slow Switching Limit</i> - Limite de Comutação Lenta
FSL	<i>Fast Switching Limit</i> - Limite de Comutação Rápida
NC	Modo de Não Carga
SIC	<i>Silicon Carbide</i> - Carboneto de Silício
ZVS - PWM	Comutação com tensão nula em conversores com modulação PWM
FB-ZVS-PWM	<i>Full Bridge Zero Voltage Switching Pulse-Width Modulation</i> - Ponte Completa com Comutação Suave com Tensão Nula e Modulação por Largura de Pulso
HB-ZVS-PWM	<i>Half Bridge Zero Voltage Switching Pulse-Width Modulation</i> - Meia Ponte com Comutação Suave com Tensão Nula e Modulação por Largura de Pulso

LISTA DE SÍMBOLOS

- N_{DC} = Enrolamento cc indutor variável
 N_{AC} = Enrolamento ca indutor variável
 I_L = Corrente no enrolamento central do indutor variável
 I_{DC} = Corrente nos enrolamentos externos do indutor variável
 Φ_{AC} = Fluxo magnético
 B = Densidade de fluxo magnético
 ΔB_n = Variação de densidade magnética
 H_n = Intensidade de campo magnético
 ΔH_n = Variação da intensidade de campo magnético
 C_V = Capacitância variável
 D_1, D_2, D_3, D_4 = Diodos
 C_1, C_2 = Capacitores
 S_1, S_2, S_3, S_4 = Interruptores
 L = Indutância
 C = Capacitância
 C_{eq} = Capacitância equivalente
 D = Razão cíclica
 T_s = Período de comutação
 V_{in} = Tensão na fonte de alimentação
 T = Transformador
 L_C = Indutância de comutação
 L_m = Indutância de magnetização
 q = Carga elétrica que flui entre as placas do capacitor
 q^+ = Carga positiva
 q^- = Carga negativa
 Q = Carga total de um capacitor
 V = Diferença de potencial
 ε_o = Constante elétrica
 A = Área de sobreposição das placas
 d = Distância entre as placas
 k = Constante dielétrica
 q_{total} = Carga total em uma etapa de operação
 v_c = Valor tensão instantânea sobre o capacitor variável

v_o = Valor tensão instantânea de saída
 R_o = Carga resistiva
 C_o = Capacitância de filtro de saída
 C_{max} = Valor máximo da capacitância
 C_{min} = Valor mínimo da capacitância
 L_r = Resistor ressonante
 i_o = Valor instantâneo da corrente de saída
 C_n = Razão entre o valor final e o valor inicial da capacitância ressonante
 C_{rf} = Valor final da capacitância ressonante
 C_{ro} = Valor inicial da capacitância ressonante
 f_n = Razão entre a frequência de comutação e a frequência de ressonância
 f_s = Frequência de comutação
 f_{swo} = Frequência de ressonância
 α = Ângulo de controle
 \bar{C}_{eq} = Capacitância equivalente parametrizada
 V_o = Valor médio da tensão de saída
 R_s = Resistência série do interruptor
 Δv_C = Variação da tensão sobre o capacitor
 i_{pico} = Valor de pico da corrente
 R_{ch} = Resistência de carga
 R_{dis} = Resistência de descarga
 $v_{C,min}$ = Valor mínimo da tensão sobre o capacitor
 $v_{C,max}$ = Valor máximo da tensão sobre o capacitor
 i_C = Corrente instantânea no capacitor
 ΔE_C = Variação da energia no capacitor
 ΔE_{in} = Variação da energia na fonte de alimentação
 T_{ch} = Tempo de carga do capacitor
 v_{Rch} = Valor instantâneo da tensão sobre a resistência de carga
 v_{Rdis} = Valor instantâneo da tensão sobre a resistência de descarga
 η_{cc} = Eficiência do estágio de carregamento do capacitor operando com carga completa
 η_{cp} = Eficiência do estágio de carregamento do capacitor operando com carga parcial
 R_L = Resistência de carga
 ΔE_{RL} = Variação da energia na carga

η_{cp} = Eficiência do estágio de descarregamento do capacitor

I_o = Valor médio da corrente de saída

Δt = Variação do tempo

τ, τ_1, τ_2 = Constante de tempo

Z_o = Impedância de saída

R_{eq} = Resistência equivalente

V_a = Tensão mínima sobre o capacitor da célula unitária

V_b = Tensão máxima sobre o capacitor da célula unitária

a_1 e a_2 = Vetores multiplicadores de carga

$a_{1c,i}$ e $a_{2c,i}$ = Vetores constituídos apenas com valores do fluxo de carga nos capacitores

a_{r1} = Vetor que define o fluxo de carga nos interruptores durante a primeira etapa de operação

a_{r2} = Vetor que define o fluxo de carga nos interruptores durante a segunda etapa de operação

$i_{r,i}$ = Vetor que define as correntes de condução nos interruptores

q_i = Carga na entrada do conversor

q_o = Carga na saída do conversor

$q_{r,i}$ = vetor que define a carga que flui através do interruptor durante um período de comutação

R_{FSL} = Impedância de saída *FSL*

R_{SSL} = Impedância de saída *SSL*

P_{FSL} = Perda total do conversor a capacitor chaveado

$R_{eq,c}$ = Resistência equivalente obtida pelo equacionamento completo

$R_{eq,s}$ = Resistência equivalente obtida pelo equacionamento simplificado

T_i = Tempo em que ocorre a descarga completa do capacitor

CC = Modo de carga completa

PC = Modo de carga parcial

NC = Modo não carga

PSW = Potência total dissipada nos interruptores

I_S = Corrente de condução do MOSFET

V_S = Tensão de bloqueio do MOSFET

t_{off} = Tempo de bloqueio de um interruptor

t_{on} = Tempo de entrada em condução de um interruptor

v_{DS} = Tensão de bloqueio de um diodo genérico

v_{GS} = Tensão de bloqueio de um MOSFET genérico

v_G = Tensão de gate
 $v_{Cr,i}$ = Valor da tensão sobre o capacitor de comutação no início da etapa ressonante da comutação
 t_d = Tempo morto
 t_l = Duração da etapa linear da comutação
 t_r = Duração da etapa ressonante da comutação
 i_{Lc} = Valor instantâneo da corrente na indutância de comutação
 C_C = Capacitância de comutação
 v_{Cc} = Valor instantâneo da tensão sobre a capacitância de comutação
 Z = Impedância característica do circuito
 R = Raio do plano de fases
 θ_n = Ângulo do plano de fase referente ao intervalo de tempo ressonante ($n = 1, 2$)
 ϕ_n = Ângulo entre a resultante e o eixo x do plano de fase ($n = 1, 2$)
 ω = Frequência de ressonância angular
 $v_{r,f}$ = Valor da tensão sobre o capacitor no final da etapa ressonante da comutação
 V_{Ca} = Tensão mínima sobre o capacitor variável
 V_{Cb} = Tensão máxima sobre o capacitor variável
 i_{Cv} = Corrente no capacitor variável
 i_L = Corrente no indutor
 v_L = Tensão sobre o indutor
 $v_{L,max}$ = Valor máximo da tensão sobre o indutor
 $v_{L,min}$ = Valor mínimo da tensão sobre o indutor
 $I_{L,med}$ = Valor médio da corrente no indutor
 Δi_L = Ondulação de corrente no indutor
 v_{Dn} = Valor instantâneo da tensão sobre o diodo ($n = 1, 2, 3, 4$)
 $v_{Dn,max}$ = Valor máximo da tensão sobre o diodo ($n = 1, 2, 3, 4$)
 i_{Dn} = Valor instantâneo da corrente no diodo ($n = 1, 2, 3, 4$)
 k_c = Razão entre o valor máximo e mínimo da capacitância variável
 k_v = Razão entre o valor máximo e mínimo da tensão sobre a capacitância variável
 G = Ganho estático de tensão
 R_C = Resistência intrínseca ao capacitor variável
 Δv_{Ca} = Ondulação da tensão sobre o capacitor variável durante a primeira etapa de operação
 Δv_{Cb} = Ondulação da tensão sobre o capacitor variável durante a primeira etapa de operação

ΔE_a = Variação de energia no capacitor variável durante a primeira etapa de operação

ΔE_b = Variação de energia no capacitor variável durante a segunda etapa de operação

E_{cons} = Energia constante

Q_{cons} = Carga constante

i_{Ca} = Valor instantâneo da corrente em C_V durante a primeira etapa de operação

i_{Cb} = Valor instantâneo da corrente em C_V durante a segunda etapa de operação

$I_{Cv,rms}$ = Valor eficaz da corrente em C_V

\bar{R}_{eq} = Resistência equivalente da célula de comutação parametrizada em relação a R_s

C_1 e C_2 = Capacitores referentes a célula de comutação

v_{C1} = Valor instantâneo da corrente em C_1

v_{C2} = Valor instantâneo da corrente em C_2

i_{C1} = Valor instantâneo da corrente em C_1

i_{C2} = Valor instantâneo da corrente em C_2

L_o = Indutância do filtro de saída

i_{Lo} = Valor instantâneo da corrente em L_o

i_{Co} = Valor instantâneo da corrente em C_o

$v_{Lo,max}$ = Valor máximo da tensão sobre L_o

Δi_{Lo} = Ondulação de corrente em L_o

$i_{C,max}$ = Valor máximo da corrente nos capacitores referentes a célula de comutação

v_{ab} = Tensão entre os terminais a e b

$V_{C1,med}$ e $V_{C2,med}$ = Valor médio da tensão sobre os capacitores referentes a célula de comutação

β_o = Valor mínimo da corrente em $C1$ e $C2$ parametrizada em relação à corrente de saída

β_f = Valor máximo da corrente em $C1$ e $C2$ parametrizada em relação à corrente de saída

$I_{C,ef}$ = Valor eficaz da corrente em C_1 e C_2

α_1 = Valor eficaz da corrente em $S1$ parametrizada em relação à corrente de saída

α_2 = Valor eficaz da corrente em $S2$ parametrizada em relação à corrente de saída

α_3 = Valor eficaz da corrente em $S3$ parametrizada em relação à corrente de saída

$I_{Sn,ef}$ = Valores eficaz da corrente no interruptor ($n = 1, 2, 3$)

$I_{D,ef}$ e $i_{Dn,ef}$ = Valor eficaz da corrente no diodo ($n = 1, 2, 3, 4$)

$\bar{I}_{C,ef}$ = Valor eficaz da corrente em C_1 e C_2 parametrizado em relação a I_o

$\bar{I}_{S2,ef}$ = Valores eficaz da corrente no interruptor S_2 parametrizado em relação a I_o
 $I_{Dn,med}$ = Valor médio da corrente no diodo ($n = 1, 2, 3, 4$)
 $\Delta v_{Co,max}$ = Valor máximo de Δv_{Co}
 λ_n = Raízes das equações ($n = 1, 2, 3, 4, 5, 6, 7, 8, x, y$)
 S_{1a}, S_{1b} = Interruptores
 C_x e C_y = Capacitores
 v_{Cx} = Valor instantâneo da tensão sobre C_x
 v_{Cy} = Valor instantâneo da tensão sobre C_y
 i_{in} = Corrente de entrada
 i_p = Corrente no lado primário do transformador
 v_{ret} = Tensão sobre a ponte retificadora
 $v_{ret'}$ = Tensão sobre a ponte retificadora refletida ao lado primário do transformador
 $i'o$ = Corrente de saída refletida ao primário do transformador
 Δt_a e Δt_b = Etapas de transição do conversor tipo *Buck* isolado
 $V'_{o,med}$ = Valor médio da tensão de saída refletido ao primário
 C_{eq} = Capacitância equivalente
 L_{eq} = Indutância equivalente
 v_{Ceq} = Valor instantâneo da tensão sobre C_{eq}
 i_{Ceq} = Valor instantâneo da corrente em C_{eq}
 i_{Cx} = Valor instantâneo da corrente em C_x
 i_{Cy} = Valor instantâneo da corrente C_y
 $V_{Cx,med}$ = Valor médio da tensão sobre C_x
 $V_{Cy,med}$ = Valor médio da tensão sobre C_y
 $I_{Lc,med}$ = Valor médio da corrente em L_C
 $I_{Lc,ef}$ = Valor eficaz da corrente em L_C
 $i_{S1a,\Delta t_a}$ = Corrente em S_{1a} e S_{1ab} durante o intervalo Δt_a
 $i_{S2,\Delta t_b}$ = Corrente em S_2 durante o intervalo Δt_b
 Δt_l = Duração da etapa linear da comutação
 Δt_r = Duração da etapa ressonante da comutação
 i_{DSn} = Valor instantâneo da corrente nos diodos intrínsecos aos MOSFETs
 C_{Cn} = Capacitor de comutação ($n=1a,2,1b$)
 ΔD_{max} = Perda máxima de razão cíclica
 P_o = Potência de saída
 G_D = Ganho estático do conversor, considerando as perdas de razão cíclica
 D_{min} = Valor mínimo de razão cíclica

n = Relação de transformação do transformador
 A_e = Área da seção transversal do núcleo
 $A_e A_w$ = Área do núcleo
 A_w = Área da janela
 B_{max} = Valor máximo de densidade de fluxo magnético
 K_f = Fator de forma
 k_f = Constante de perdas por correntes parasitas ($4 \cdot 10^{-10}$)
 k_u = Fator de utilização da janela
 k_h = Constante de perdas por histerese ($4 \cdot 10^{-5}$)
 J_{max} = Máxima densidade de corrente
 $V_{p,ef}$ = Valor eficaz da tensão no primário do transformador
 N_p = Número de enrolamentos no primário do transformador
 l_c = Comprimento do caminho magnético
 l_g = Largura do entre ferro
 μ_o = Permeabilidade magnética no vácuo
 μ_r = Permeabilidade relativa
 $S_{fio,p}$ = Seção transversal mínima necessária para os condutores no enrolamento primário
 $S_{fio,s}$ = Seção transversal mínima necessária para os condutores no enrolamento secundário
 $N_{paralelo,p}$ = Número de fios em paralelo no enrolamento primário do transformador
 $N_{paralelo,s}$ = Número de fios em paralelo no enrolamento secundário do transformador
 $P_{cobre,p}$ = Perda no cobre no primário do transformador
 $R_{cobre,p}$ = Resistência do cobre no primário do transformador
 $P_{cobre,s}$ = Perda no cobre no secundário do transformador
 $R_{cobre,s}$ = Resistência do cobre no secundário do transformador
 $P_{núcleo}$ = Perdas no núcleo
 $P_{total,trafo}$ = Perdas totais no transformador
 $R_{t,núcleo}$ = Resistência térmica do núcleo
 ΔT = Variação de temperatura
 $L_{C,min}$ = Valor mínimo de L_C
 $L_{C,max}$ = Valor máximo de L_C
 R_D = Resistência de condução do diodo
 V_{To} = Tensão limiar do diodo

P_{Sn} = Potência dissipada nos MOSFETs

P_{Dn} = Potência dissipada nos diodos

P_{Cx} e P_{Cy} = Potência dissipada nos capacitores

D_{Rn} = Diodo do grampeador

C_{gn} = Capacitância do grampeador

R_{gn} = Resistência do grampeador

SUMÁRIO

1	INTRODUÇÃO	30
1.1	OBJETIVOS	34
1.1.1	Objetivo Geral	34
1.1.2	Objetivos Específicos	34
1.1.3	Estrutura do documento	35
2	REVISÃO BIBLIOGRÁFICA	37
2.1	CAPACITOR E CONCEITO DE CAPACITÂNCIA	37
2.2	CAPACITÂNCIAS VARIÁVEIS	41
2.3	CONVERSORES A CAPACITOR CHAVEADO	46
2.3.1	Método de projeto	50
2.3.1.1	Influência da resistência equivalente no modo de carga do capacitor	62
2.4	COMUTAÇÃO SUAVE	63
3	TOPOLOGIA DO TIPO <i>BUCK</i> A CAPACITOR VARIÁVEL	69
3.1	ESFORÇOS DE TENSÃO E CORRENTE NO CAPACITOR VARIÁVEL E NO DIODO	73
3.2	VALIDAÇÃO DO EQUACIONAMENTO POR MEIO DA IMPLEMENTAÇÃO DE CAPACITORES VARIÁVEIS NO <i>SOFTWARE</i> PSIM	77
4	ANÁLISE DA CÉLULA DE COMUTAÇÃO	82
4.1	CÉLULA DE COMUTAÇÃO A CAPACITÂNCIA VARIÁVEL	82
4.1.1	Resistência equivalente	84
5	ANÁLISE ORIENTADA AO PROJETO DO CONVERSOR <i>BUCK</i> INTEGRADO A CÉLULA DE COMUTAÇÃO A CAPACITOR VARIÁVEL	89
5.1	ANÁLISE ESTÁTICA DO CONVERSOR TIPO <i>BUCK</i> A CAPACITOR VARIÁVEL	89
5.1.1	Ganho estático de tensão	91
5.1.2	Esforços de tensão e corrente nos capacitores C_1 e C_2	93
5.1.2.1	Comparação entre as equações obtidas para os esforços de tensão e corrente sobre os capacitores usando uma capacitância variável e as obtidas usando a célula de comutação	97
5.1.3	Esforços de tensão e de corrente nos semicondutores	98
6	METODOLOGIA DE PROJETO E RESULTADOS EXPERIMENTAIS PARA O CONVERSOR TIPO <i>BUCK</i> NÃO ISOLADO	101

6.1	METODOLOGIA DE PROJETO	101
6.2	RESULTADOS EXPERIMENTAIS	106
7	TOPOLOGIA DO TIPO <i>BOOST</i> A CAPACITOR VARIÁVEL	111
7.1	GANHO ESTÁTICO DE TENSÃO	112
7.2	ESFORÇOS DE TENSÃO E CORRENTE NO CAPACITOR VARIÁVEL E NO DIODO	115
8	ANÁLISE ORIENTADA AO PROJETO DO CONVERSOR <i>BOOST</i> INTEGRADO A CÉLULA DE COMUTAÇÃO A CAPACITOR VARIÁVEL	124
8.1	GANHO ESTÁTICO DE TENSÃO	125
8.2	ESFORÇOS DE TENSÃO E CORRENTE NOS CAPACITORES C_1 E C_2	127
8.3	ESFORÇOS DE TENSÃO E CORRENTE NOS INTERRUPTORES E NO DIODO	131
8.4	DIMENSIONAMENTO DAS INDUTÂNCIAS E DAS CAPACITÂNCIAS	132
8.4.1	Capacitor do filtro de saída	133
8.4.2	Capacitores C_1 e C_2	133
8.4.3	Indutor do filtro de saída	133
8.5	EXEMPLO DE PROJETO PARA O CONVERSOR TIPO <i>BOOST</i> NÃO ISOLADO	134
9	TOPOLOGIA DO TIPO <i>BUCK-BOOST</i> A CAPACITOR VARIÁVEL	137
9.1	GANHO ESTÁTICO DE TENSÃO	138
9.1.1	Esforços de tensão e corrente no capacitor variável e no diodo	140
10	ANÁLISE ORIENTADA AO PROJETO DO CONVERSOR <i>BUCK-BOOST</i> INTEGRADO A CÉLULA DE COMUTAÇÃO A CAPACITOR VARIÁVEL	148
10.1	GANHO ESTÁTICO	149
10.2	ESFORÇOS DE TENSÃO E CORRENTE NOS CAPACITORES C_1 E C_2	150
10.3	ESFORÇOS DE TENSÃO E CORRENTE NOS INTERRUPTORES .	154
10.4	DIMENSIONAMENTO DAS INDUTÂNCIAS E CAPACITÂNCIAS .	155
10.4.1	Capacitâncias C_1 e C_2	156

10.4.2	Indutância L	157
10.4.3	Capacitância de saída C_o	157
10.5	EXEMPLO DE PROJETO PARA O CONVERSOR ELEVADOR COM INVERSÃO DE POLARIDADE NA SAÍDA	158
11	ANÁLISE ESTÁTICA DO CONVERSOR TIPO <i>BUCK</i> ISO- LADO	162
11.1	ETAPAS DE OPERAÇÃO	162
11.2	CARACTERÍSTICA DE SAÍDA E GANHO ESTÁTICO	165
11.3	CÁLCULO DOS ESFORÇOS DE TENSÃO E CORRENTE NOS COMPONENTES	169
11.3.1	Equacionamento dos valores instantâneos para a tensão e corrente em C_x e C_y e corrente em L_C e L_m	169
11.3.2	Equacionamentos dos esforços de tensão e corrente em C_x e C_y	181
11.3.3	Esforços de tensão e corrente em L_C	183
11.3.4	Esforços de tensão e corrente em L_m	184
11.3.5	Esforços de tensão e corrente em S_{1a} , S_2 e S_{1b}	184
11.3.6	Esforços de tensão e corrente nos diodos referentes a ponte retificadora	186
12	ANÁLISE DA COMUTAÇÃO PARA O CONVERSOR <i>BUCK</i> ISOLADO	189
12.1	COMUTAÇÃO PARA BLOQUEIO DE S_{1A} E S_{1B}	190
12.1.1	Intervalo linear da comutação	190
12.1.2	Intervalo de tempo ressonante	193
12.2	COMUTAÇÃO PARA BLOQUEIO DE S_2	197
12.2.1	Intervalo linear da comutação	197
12.2.2	Intervalo de tempo ressonante	199
13	METODOLOGIA DE PROJETO E RESULTADOS PRÁTI- COS PARA O CONVERSOR <i>BUCK</i> ISOLADO	204
13.1	METODOLOGIA DE PROJETO	204
13.1.1	Especificações do transformador	204
13.1.2	Especificação dos parâmetros responsáveis pela comutação ZVS	208
13.1.3	Projeto do filtro de saída	210
13.1.4	Dimensionamento dos semicondutores de potência	211
13.1.5	Dimensionamento dos capacitores C_x e C_y	212
13.1.6	Condicionamento de sinais	213
13.1.7	Análise teórica da distribuição de perdas no conversor	213
13.2	RESULTADOS EXPERIMENTAIS	215
13.2.1	Característica de saída	219
13.2.2	Eficiência do conversor	220
13.2.3	Resultados experimentais com retificador de ponto médio	221

14	CONCLUSÃO	227
	REFERÊNCIAS	231
	APÊNDICE A – VARIAÇÃO DO VALOR DA CAPACITÂNCIA EM FUNÇÃO DA RAZÃO CÍCLICA	241
	A.1 – VALIDAÇÃO EXPERIMENTAL DA VARIAÇÃO DA CAPACITÂNCIA EM RELAÇÃO A RAZÃO CÍCLICA	242
	APÊNDICE B – PROJETO DO INDUTOR AUXILIAR DE COMUTAÇÃO	244
	APÊNDICE C – PROJETO DO INDUTOR DO FILTRO DE SAÍDA	246
	APÊNDICE D – PROJETO DA PLACA NO ALTIUN	249
	D.1 – ESQUEMA ELÉTRICO DA PLACA DE CIRCUÍTO IMPRESSO	249
	D.2 – DESENHO DA PLACA DE CIRCUITO IMPRESSO	250
	APÊNDICE E – ARTIGO PUBLICADO NA REVISTA SOBRAEP	251

1 INTRODUÇÃO

Energias renováveis representam 83,79% da matriz elétrica brasileira atual. A geração hídrica é responsável por 55,66% da geração elétrica nacional enquanto a geração eólica representa 13,74% e geração fotovoltaica 5,26%. A biomassa gerada a partir da cana de açúcar, restos de vegetais, madeira ou castanhas, corresponde à 8,78% da geração nacional. A parcela não renovável da matriz elétrica é formada por combustíveis fósseis (15,56% do total) e energia nuclear (1,01% do total) (ANEEL, 2023).

A energia hidroelétrica foi uma das primeiras fontes de energia utilizadas para geração elétrica. A água é conduzida por uma tubulação estreita, onde ganha pressão e, em seguida, passa pela turbina, gerando a energia mecânica que será transformada em energia elétrica pelo gerador. Os geradores mecânicos foram os primeiros conversores de energia contínua desenvolvidos (UMANSI, 2014) e atualmente são amplamente usados na geração de energia elétrica. Os níveis de tensão e corrente gerados por esses geradores precisam ser ajustados para atender às necessidades de transmissão de energia e dos equipamentos que serão conectados à rede elétrica. Inicialmente, essa tarefa foi delegada aos transformadores. Os transformadores são componentes caros e pesados; no entanto, apresentam alta confiabilidade e robustez, o que justifica sua ampla utilização em sistemas de transmissão de energia (KANG; ENJETI; PITEL, 1999).

A transmissão de energia elétrica geralmente ocorre em corrente alternada. No entanto, algumas aplicações, como a eletrificação ferroviária, exigem corrente contínua. Para suprir essa necessidade, foi desenvolvido o primeiro retificador, formado por um arranjo de motores e geradores. Esses conversores são denominados conversores rotatórios (OWEN, 1996). Com a invenção da válvula de mercúrio em 1901, surgiram os primeiros os conversores estáticos de energia, tornando os conversores dinâmicos obsoletos (TIKU, 2014). Na década de 40, o laboratório Bell desenvolveu o primeiro dispositivo semicondutor de silício, e na década de 50, os primeiros semicondutores de potência foram produzidos (LOJEK, 2002; ADLER et al., 1984). O desenvolvimento de semicondutores de potência possibilitou a construção de conversores estáticos com maior densidade de energia, eficiência e robustez.

O aperfeiçoamento da tecnologia de semicondutores proporcionou a produção de dispositivos de potência capazes de suportar valores elevados de tensão e corrente. Atualmente, estão sendo desenvolvidos dispositivos semicondutores de óxido de gálio com capacidade para 10 kV (PETERSEN, 2023). Devido à alta densidade de potência, os semicondutores se popularizaram entre os pesquisadores de eletrônica de potência, dando origem a inúmeras topologias de conversores estáticos, os quais proporcionam alto ganho, eficiência e densidade de potência. Os conversores estáticos têm papel central na transição energética, seja garantindo eletrodoméstico mais eficiente ou na conversão da energia

gerada pelas fontes renovais intermitentes, principalmente eólica e fotovoltaica, que estão em expansão no Brasil e no mundo (BOSE, 2013; BLAABJERG et al., 2006; MARTINS et al., 2022). Os conversores estáticos também apresentam papel central no desenvolvimento de carros elétricos e de carregadores de baterias para os mesmos (SAADAoui; OUASSAID; MAAROUFI, 2023; RAFIN; ISLAM; MOHAMMED, 2023).

Para atender à necessidade da indústria por conversores que apresentem alta densidade de energia e altas taxas de conversão, desenvolveram-se os conversores a capacitor chaveado (SOUZA; TOFOLI; RIBEIRO, 2021; MARTINS; BARBI, 2013) e os conversores multiníveis (FANG et al., 2021), que também apresentam redução dos esforços de tensão sobre os interruptores, possibilitando o uso de interruptores mais baratos. Os conversores a capacitor chaveado não possuem elementos magnéticos na sua estrutura. Dessa forma, para atender a necessidade de filtrar a tensão e a corrente em seus terminais ou possibilitar isolamento galvânico ao conversor, desenvolveram-se os conversores híbridos a capacitor chaveado (ZHANG; PENG; QIAN, 2004; PETER; AGARWAL, 2010).

Os avanços nas tecnologias de semicondutores de potência possibilitaram comutá-los com frequências elevadas (centenas de quilohertz até dezenas de megahertz), o que contribui para a redução do tamanho dos capacitores e dos elementos magnéticos, elevando a densidade de potência dos conversores. No entanto, as perdas de comutação nos interruptores tornam-se mais expressivas. Algumas técnicas de comutação suaves foram propostas para mitigar as perdas de comutação (BARBI; PÖTTKER, 2019). Os conversores *PWM* podem atingir comutação suave pela adição de indutores e capacitores em seus circuitos, enquanto os conversores ressonantes podem apresentar comutação suave naturalmente (LEE; LI; NABIH, 2021; BELLAR et al., 1998). Porém, apresentam um inconveniente: são controlados com frequência variável.

Os componentes que formam um conversor estático são frequentemente divididos em componentes ativos e passivos. Os componentes ativos mais modernos são os semicondutores de potência operando como interruptores. Idealmente, esses interruptores são considerados resistores com resistência variável, onde o valor da resistência é nulo no estado de condução e infinito no estado bloqueado. Os elementos passivos incluem capacitores, indutores e indutores ou transformadores acoplados. Normalmente, os parâmetros desses componentes são constantes e independentes das correntes, tensões ou frequências de operação.

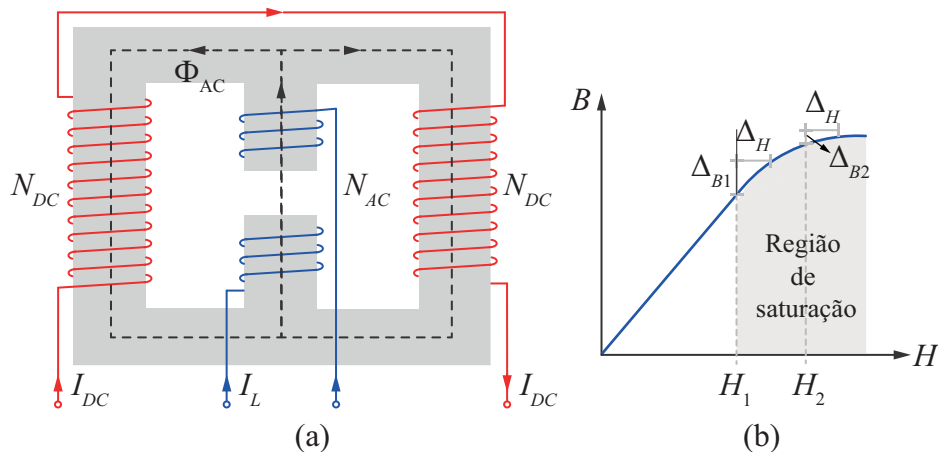
Os componentes passivos são usados como filtro, acumulador de energia ou para proporcionar isolamento galvânico aos conversores. Assim, eles não participam do controle do fluxo de energia entre a fonte de entrada e a carga de um conversor. Por outro lado, os componentes ativos permitem o controle do fluxo de potência por meio da variação de sua frequência de comutação ou da variação dos tempos relativos entre os estados de condução e de bloqueio.

Indutores com indutância variável têm sido amplamente discutidos na literatura

em aplicações de eletrônica de potência. São principalmente utilizados para proporcionar controle com frequência fixa aos conversores ressonantes (WEI; WOLDEGIORGIS; MANTOOTH, 2020), correção do fator de potência (WEI et al., 2020), para realizar correção de potência reativa (NAKAMURA et al., 2008), controle de máxima potência em sistemas fotovoltaicos (ZHANG; HURLEY; WöLFLE, 2010) e controle a tensão de conversores (CHOI et al., 2023).

Os indutores variáveis utilizados nessas aplicações são geralmente obtidos utilizando núcleos E, como mostrado na Figura 1.1(a). O princípio de operação dos indutores variáveis é o seguinte: uma corrente é aplicada nos enrolamentos de controle do indutor (N_{DC}), criando uma densidade de fluxo magnético capaz de levar o núcleo a operar na região de saturação, como o mostrado na Figura 1.1(b). Quando o indutor opera na região de saturação sua indutância deixa de ser constante e passa a reduzir com o aumento de corrente (ALONSO et al., 2017).

Figura 1.1 – Indutor variável. (a) Estrutura. (b) Princípio de operação.



Fonte: Adaptado de (ALONSO et al., 2017).

De forma dual à indutância variável, foram desenvolvidos os capacitores variáveis. Esses dispositivos podem ser construídos usando diferentes técnicas, entre as quais se destacam sistemas microeletromecânicos (ABDELGHANY et al., 2016; SABERHOSSEINI et al., 2020), tecnologia micro fluido (DANESHVAR et al., 2019), dispositivos sólidos como capacitores cerâmicos (ZHANG et al., 2017) e capacitância variável obtida por meio de comutação de interruptores (HARADA; GU; MURATA, 1987).

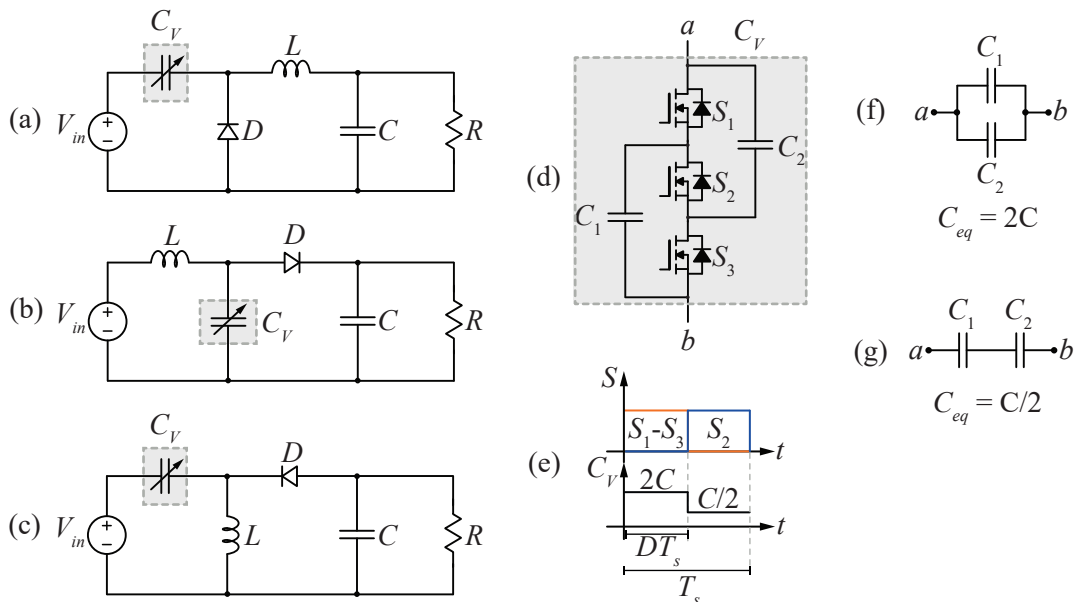
Os capacitores variáveis são utilizados principalmente em sistemas de plasma para radiofrequência (MIN; SUH, 2022), controle de conversores ressonantes com frequência fixa (HARADA; GU; MURATA, 1987), amplificadores de rádio, sintonizadores de antena em telecomunicações e em geradores eletrostáticos eletrônicos (QUEIROZ; MENEZES, 2018). Em eletrônica de potência, os capacitores variáveis são utilizados principalmente no controle de conversores ressonantes com frequência constante (HU; AMARA; IOINOVICI, 2013), na correção de fator de potência em conversores ca-cc e ca-ca (KATSUKI; IWATA;

MATSUI, 1997) e no controle da tensão de saída de conversores estáticos (HAAS; KRAFT, 2004).

Nas estruturas apresentadas em (KATSUKI; IWATA; MATSUI, 1997) e (HAAS; KRAFT, 2004), o capacitor variável é utilizado para controlar a potência processada. No entanto, permanece sendo um componente passivo, uma vez que sua variação ocorre lentamente, com frequência inferior a dos elementos ativos (interruptores).

O presente trabalho propõe a utilização de capacitores variáveis como elemento ativo de conversores de potência. Dessa forma, é desejável um degrau elevado no valor da capacitância, na ordem de microfarad, em um intervalo de poucos microssegundos. Atualmente, não existem capacitores variáveis com essas características; portanto, é utilizado uma célula de comutação para emulá-lo. Para validar o conceito estudado, a estrutura usada para emular o capacitor variável é inserida aos conversores *Buck*, *Boost* e *Buck – Boost*, como apresentado na Figura 1.2.

Figura 1.2 – Topologias baseadas em capacitor variável. (a) Conversor *Buck* a capacitor variável. (b) Conversor *Boost* a capacitor variável. (c) Conversor *Buck – Boost* a capacitor variável. (d) Estrutura utilizada para emular uma capacitância com variação abrupta em testes laboratoriais. (e) Sinais de comando aplicado aos interruptores e capacitância equivalente para cada etapa de operação. (f) Circuito equivalente para a estrutura utilizada para emular uma capacitância com variação abrupta durante a primeira etapa de operação. (g) Circuito equivalente para a estrutura utilizada para emular uma capacitância com variação abrupta durante a segunda etapa de operação.



Fonte: Autor.

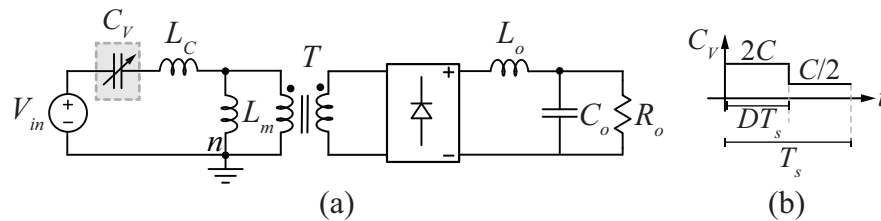
A estrutura proposta para emular a variação da capacitância é mostrada na Figura 1.2(d). Os interruptores S_1 , S_2 e S_3 são comandados pelos sinais de comutação apresentados na Figura 1.2(e). Portanto, a estrutura apresenta duas etapas de operação. A primeira, mostrada na Figura 1.2(f), ocorre quando os interruptores S_1 e S_3 conduzem e os capacitores

C_1 e C_2 são conectados em paralelo, resultando em uma capacitância equivalente vista entre os terminais a e b igual a $2C$. A segunda etapa refere-se ao momento em que S_1 e S_3 são bloqueados e S_2 passa a conduzir, as capacitâncias são conectadas em paralelo, como apresentado na Figura 1.2(g), e a capacitância equivalente é igual a $C/2$. Dessa forma, a razão entre a capacitância equivalente em cada uma das etapas (k) é igual a 0,25.

A estrutura utilizada para emular a variação abrupta da capacitância apresenta algumas características das células de comutação a capacitor chaveado. Essas características incluem elevação da taxa de conversão, equalização automática da tensão nos capacitores, inexistência de sobretensão nos interruptores controlados e redução dos esforços de tensão nos interruptores.

A partir do conversor tipo *Buck* a capacitor variável, é possível obter o conversor isolado apresentado na Figura 1.3. Essa topologia mantém todas as características da topologia não isolada e ainda apresenta comutação suave do tipo *ZVS* (*Zero Voltage Switching*) nos interruptores do lado de alta tensão.

Figura 1.3 – Conversor *Buck* isolado (a) Estágio de potência. (b) Valor da capacitância variável em cada uma das etapas de operação.



Fonte: Autor.

1.1 OBJETIVOS

1.1.1 Objetivo Geral

O presente trabalho tem por objetivo geral realizar o estudo teórico e experimental da aplicação de um capacitor variável com variação rápida da capacitância como elemento ativo na conversão de energia em conversores básicos aplicados à eletrônica de potência.

1.1.2 Objetivos Específicos

- Realizar uma revisão bibliográfica a respeito das principais técnicas utilizadas para obter capacitâncias variáveis;
- Realizar uma revisão bibliográfica de técnicas para otimização da eficiência em conversores a capacitor chaveado;
- Realizar uma revisão bibliográfica a respeito de comutação com tensão nula;

- Integrar um capacitor variável com variação rápida da capacitância aos conversores *Buck*, *Boost* e *Buck – Boost*;
- Desenvolver a versão isolada do conversor *Buck* a capacitor variável;
- Analisar o comportamento estático das topologias desenvolvidas;
- Validar os resultados teóricos por comparação entre formas de onda obtidas por equacionamento e por simulação;
- Desenvolver protótipos, não otimizados, para validação experimental do estudo;
- Validar o estudo teórico por meio de experimentações em laboratório.

1.1.3 Estrutura do documento

Os temas discutidos no presente trabalho são divididos em quinze Capítulos. Inicialmente, no **Capítulo 2**, realiza-se uma breve revisão bibliográfica a respeito das técnicas utilizadas para se obter capacitâncias variáveis e otimizar células de comutação a capacitor chaveado. Além disso, apresenta-se uma breve revisão sobre a técnica de comutação suave sob tensão nula (ZVS).

No **Capítulo 3**, é apresentada a análise do conversor *Buck* a capacitor variável. No **Capítulo 4**, realiza-se uma breve explicação da célula de comutação a capacitor variável. São discutidas a variação abrupta e suave da capacitância, e a resistência equivalente da estrutura é equacionada. Por fim, no **Capítulo 5**, é apresentada a análise do conversor *Buck* utilizando a célula de comutação para emular o capacitor variável. No **Capítulo 6**, são discutidos os resultados obtidos para o conversor tipo *Buck* experimentalmente.

Nos **Capítulos 7 8, 9 10**, são apresentadas as análises estáticas os conversores *Boost* e *Buck-Boost*. Os esforços de tensão e de corrente nos componentes são equacionados e os resultados obtidos são comparados com os resultados de simulação. Por fim, exemplos de projeto são apresentados.

O **Capítulo 11** apresenta a análise estática do conversor tipo *Buck* isolado, desconsiderando a influência indutância de dispersão do transformador. Os resultados obtidos são validados por meio de simulação. No **Capítulo 12**, é apresentada a análise estática da topologia tipo *Buck* isolada, considerando a indutância de dispersão. Os resultados do equacionamento são validados por simulação no *software Matlab*.

A análise da comutação dos interruptores do lado de alta tensão do conversor isolado é apresentada no **Capítulo 13**. As etapas da comutação são descritas e os parâmetros que influenciam a comutação são equacionados, viabilizando o projeto do conversor com ausência de perdas de comutação nos MOSFETs.

No **Capítulo 14**, a metodologia de projeto para o conversor tipo *Buck* isolado é abordada, e os resultados experimentais para a topologia, operando com um retificador em ponte completa e com um retificador de ponto médio, são apresentados e comparados.

Por fim, no **Capítulo 15**, discutem-se os resultados obtidos no decorrer do trabalho, e um cronograma com as atividades a serem realizadas é apresentado.

2 REVISÃO BIBLIOGRÁFICA

O estudo proposto tem como principal objetivo verificar a operação de conversores chaveados ao substituir seus interruptores por capacitores variáveis. Esses capacitores devem apresentar uma variação rápida da capacitância, quase instantânea. Dessa forma, os capacitores e o conceito de capacitância são o primeiro tópico a ser discutido na revisão bibliográfica. Em seguida, as principais técnicas utilizadas para obter capacitâncias variáveis e suas aplicações em eletrônica de potência são analisadas. Como será discutido nas próximas seções, atualmente não existe um dispositivo capaz de realizar uma variação rápida, quase instantânea, de capacitâncias. Portanto, como desejamos operar os conversores em alta frequência (na casa das centenas de quilohertz), a capacitância variável será emulada pela célula de comutação apresentada na Figura 1.2(d).

A célula de comutação utilizada apresenta características de conversores a capacitor chaveado. Assim, conhecer sobre a operação de conversores a capacitor chaveado se torna indispensável para o correto projeto dessa célula de comutação. Além disso, quando conectada a determinadas topologias, os interruptores controlados da célula apresentam comutação suave, portanto, técnicas de comutação suave clássicas serão discutidas no decorrer da revisão bibliográfica.

2.1 CAPACITOR E CONCEITO DE CAPACITÂNCIA

Um capacitor consiste em um sistema de dois condutores, chamados de placas, isoladas entre si e do ambiente. Essas placas são carregadas com a mesma quantidade de cargas elétricas (q) em valor absoluto, mas de sinais opostos ($+q$ e $-q$), dessa forma, a carga total de um capacitor (Q) é sempre nula. Entre as duas placas existe uma diferença de potencial (V), a qual é proporcional à carga q , logo pode-se dizer que (SANTOS, 2015; HALLIDAY; RESNICK; WALKER, 2013)

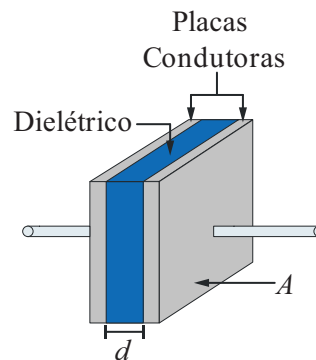
$$q = CV. \quad (2.1)$$

A constante de proporcionalidade C é definida como a capacitância, seu valor independe da carga e da diferença de potencial. No entanto, seu valor depende dos aspectos construtivos do capacitor (JR.; BUCK, 2013). Considerando um capacitor formado por placas retangulares paralelas, como apresentado na Figura 2.1, o valor da capacitância pode ser definido por

$$C = \frac{\epsilon_o A}{d}. \quad (2.2)$$

Em que A é a área de sobreposição das placas, d é a distância entre as placas e ϵ_o representa a constante elétrica.

Figura 2.1 – Estrutura de um capacitor formado por placas retangulares paralelas.



Fonte: Autor.

A equação (2.2) é válida na condição em que o material dielétrico é o ar, cuja constante dielétrica (k) é igual a unidade. Quando inserimos outro material dielétrico, o valor da capacitância aumenta proporcionalmente a constante dielétrica deste material (JR.; BUCK, 2013). Assim, (2.2) pode ser reescrita como

$$C = \frac{k\epsilon_0 A}{d}. \quad (2.3)$$

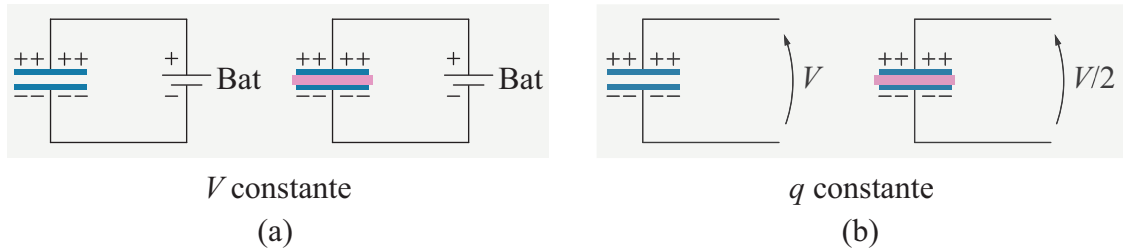
Analisando a Figura 2.1 e equação (2.3), pode-se notar que o valor da capacitância muda quando a distância entre as placas é alterada, a área de sobreposição entre as placas é modificada ou ainda quando a constante dielétrica do material que separa as placas é modificada.

Para compreender os fenômenos físicos que ocorrem quando uma placa de dielétrico é inserida entre duas placas carregadas (HALLIDAY; RESNICK; WALKER, 2013) propõe olharmos para os resultados dos experimentos de Faraday, apresentados na Figura 2.2(a). Nesses experimentos, um capacitor sem nenhum material dielétrico é conectado a uma bateria. Em seguida, um material dielétrico é inserido entre as placas desse capacitor, fazendo com que a quantidade de cargas presentes em cada uma das placas seja multiplicada pela constante dielétrica do material (k), a carga adicionada ao capacitor é fornecida pela bateria e a diferença de potencial não é alterada; logo, o valor da capacitância aumenta. Na Figura 2.2(b), a bateria é removida, o que significa que não há fonte de carga disponível quando o dielétrico é inserido. Nessa situação, a diferença de potencial entre as placas é reduzida por um fator k , uma vez que a carga é mantida constante. Portanto, o valor da capacitância aumenta proporcionalmente a k .

Considerando a condição ilustrada na Figura 2.2(b), na ausência de uma fonte de carga disponível, se a distância entre as placas (d) aumentar, a capacitância deve diminuir proporcionalmente. Como a carga é mantida constante, isso resulta no aumento da diferença de potencial.

As cargas são distribuídas nas placas sobrepostas, ocupando uma área inicial igual

Figura 2.2 – Comportamento da carga do capacitor e da diferença de potencial durante a inserção de um material dielétrico entre as placas de um capacitor. (a) A bateria mantém a diferença de potencial entre as placas, dessa forma, a carga aumenta quando a placa de material dielétrico é inserida. (b) A carga é mantida quando a placa de material dielétrico é inserida, portanto, a diferença de potencial reduz proporcionalmente a k .



Fonte: Adaptado de (HALLIDAY; RESNICK; WALKER, 2013).

à área total de sobreposição. Quando a área de sobreposição das placas é reduzida, como ilustrado na Figura 2.3(b), a área disponível para a distribuição das cargas também diminui, resultando na redução da capacitância. Uma vez que o número absoluto de cargas em cada placa permanece constante, a diferença de potencial entre as placas aumenta na mesma proporção em que a capacitância diminui. Essa variação da capacitância, por meio da modificação da área de sobreposição das placas, é amplamente empregada em dispositivos captadores de energia baseados em capacitores variáveis. Esses capacitores conseguem converter a energia proveniente de fontes como luz, calor, vibração ou movimento mecânico em energia elétrica (VALLEM et al., 2021; COONLEY; SEQUEIRA; MANN, 2020).

Figura 2.3 – Alocação das cargas nas placas de um capacitor. (a) Quando as placas estão totalmente sobrepostas. (b) Quando a placa superior é deslocada para a direita, reduzindo a área sobreposta das placas.



Fonte: Autor.

Conforme afirmado, a quantidade de carga nas placas de um capacitor permanece constante mesmo quando a distância entre as placas, a área de sobreposição das placas e a constante dielétrica do material isolante são modificadas. No entanto, a energia armazenada no capacitor varia quando esses parâmetros são alterados. Essa relação pode ser demonstrada por meio da equação que descreve a energia armazenada em um capacitor, a qual é dada por

$$E_C = \frac{1}{2}CV^2. \tag{2.4}$$

Ao substituir a Equação (2.1) em (2.4), podemos definir a relação entre a carga e a energia armazenada no capacitor, conforme mostrado em (2.5). Essa relação demonstra que, se a carga do capacitor for mantida constante, a energia armazenada no capacitor diminui à medida que a capacitância aumenta.

$$E_C = \frac{q^2}{C} \tag{2.5}$$

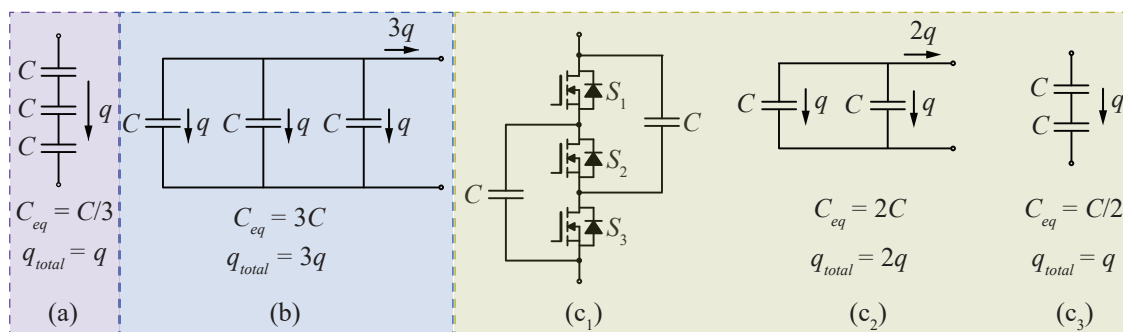
A relação entre a energia armazenada na capacitância e as variáveis construtivas do capacitor, apresentada em (2.6), pode ser definida substituindo (2.3) em (2.4). Analisando (2.6), pode-se concluir que a energia armazenada na capacitância aumenta à medida que a constante dielétrica e a área de sobreposição das placas são incrementadas e reduz com o aumento da distância entre as placas.

$$E_C = \frac{V^2 k\epsilon A}{2 d} \tag{2.6}$$

Capacitores podem ser associados em série ou em paralelo, como mostrado na Figura 2.4. Quando capacitores são associados em paralelo, a capacitância vista nos terminais do arranjo é igual à soma das capacitâncias, e a carga total é igual à soma da carga de cada um dos capacitores. Ao associar capacitores em série, a capacitância total do arranjo é definida por (2.7). A carga total desse arranjo é igual à carga em um dos capacitores (HALLIDAY; RESNICK; WALKER, 2013). Dessa forma, ao realizarmos a conexão série de dois capacitores e, posteriormente, conectá-los em paralelo por meio de interruptores controlados, como mostrado na Figura 2.4(c), a carga total do arranjo em cada uma das etapas de operação será diferente. No entanto, a energia armazenada no arranjo será igual em ambas as etapas de operação, uma vez que a tensão total do arranjo é inversamente proporcional à sua capacitância.

$$\frac{1}{C_{eq}} = \frac{1}{C_1} + \frac{1}{C_2} + \dots + \frac{1}{C_n} \tag{2.7}$$

Figura 2.4 – Associação de capacitores. (a) Associação série de capacitores. (b) Associação paralela de capacitores. (c) Célula de comutação capaz associar os capacitores em série em uma etapa de operação (c_1) e em paralelo na outra (c_2).



Fonte: Autor.

Uma vez que o conceito de capacitância tenha sido definido, e após examinarmos os principais aspectos construtivos do capacitor que afetam o valor de sua capacitância, bem como o comportamento da carga, da energia e da diferença de potencial com a alteração

desses parâmetros, podemos abordar as principais técnicas apresentadas na literatura para obter capacitâncias variáveis.

2.2 CAPACITÂNCIAS VARIÁVEIS

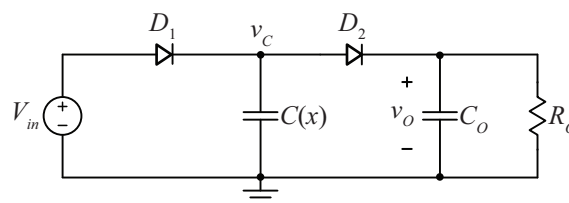
Estudos apresentados na literatura a respeito da construção de capacitâncias variáveis tendem a abordar três técnicas para obter a variação da capacitância: 1) Sistema micro-elétrico-mecânicos (MEMS *Micro-Electro-Mechanical Systems*); 2) Construção de capacitores com materiais cujo valor da capacitância são sensíveis à tensão; 3) Células com dispositivos semicondutores.

Os capacitores variáveis MEMS têm sido amplamente pesquisados para atender à demanda por frequências variáveis, filtros de rádio frequência com parâmetros variáveis e combinação de impedâncias, os quais são soluções promissoras para atender às normas de telecomunicações e eliminar a necessidade de *hardware* complexo.

A capacitância dos dispositivos MEMS é variável com o deslocamento do dielétrico e excursão do tamanho do *gap*, obtido pela alteração da distância entre a chapa superior e a chapa inferior do capacitor (KHAN; YOUNIS, 2021; LI et al., 2006). Os principais métodos de fabricação de capacitores variáveis MEMS têm como objetivo comum aumentar a confiabilidade, os limites de excursão dos valores da capacitância e a linearidade entre o valor da tensão de controle aplicada e a capacitância obtida. No entanto, mesmo as técnicas mais modernas possibilitam aquisição de capacitância na faixa de dezenas de picofarad (KHAN; YOUNIS, 2021).

Na literatura são encontradas algumas aplicações de capacitores variáveis MEMS em conversores (HAAS; KRAFT, 2004; SAMAALI; OUNI; NAJAR, 2015). O princípio de funcionamento desse método é melhor compreendido com o auxílio do circuito mostrado na Figura 2.5, em que $C(x)$ representa um capacitor de capacitância variável.

Figura 2.5 – Conversor cc-cc com capacitância variável.



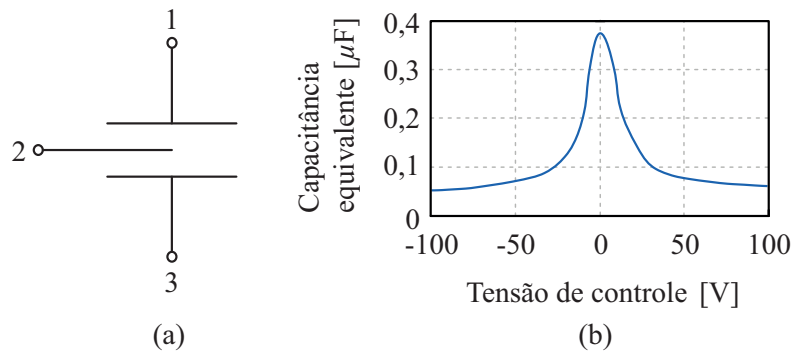
Fonte: Adaptado de (HAAS; KRAFT, 2004).

A capacitância de $C(x)$ varia periodicamente. No intervalo de tempo em que $C(x)$ assume o seu valor máximo (C_{max}), a tensão v_c é menor que v_o e V_{in} , logo D_2 bloqueia e D_1 conduz, conectando o capacitor $C(x)$ em paralelo com a fonte de tensão V_{in} . Nesse intervalo de tempo, a energia é transferida de V_{in} para $C(x)$. Quando $C(x)$ assume seu valor mínimo (C_{min}) e a tensão v_c é maior que a tensão de entrada, o diodo D_1 está

bloqueado. O diodo D_2 conduz e parte da energia armazenada em $C(x)$ é transferida para o estágio de saída (v_o). Desta forma, a tensão na saída é maior que na entrada e o circuito é um elevador de tensão. O método proposto em (HAAS; KRAFT, 2004) e (SAMAALI; OUNI; NAJAR, 2015) possibilita que sejam obtidas capacitâncias na ordem de alguns picofarads, permitindo apenas o processamento de baixas potências.

Em (HARADA et al., 1993) é proposto um dispositivo de capacitor variável baseado em material ferroelétrico, em que a capacitância é influenciada pela tensão aplicada nos terminais do capacitor. A representação gráfica do dispositivo é mostrada na Figura 2.6(a). Os terminais 1 e 3 são os pontos de conexão com o circuito e o terminal 2 é a entrada para o sinal de controle.

Figura 2.6 – Dispositivo de capacitor variável proposto por (HARADA et al., 1993). (a) Símbolo definido para o dispositivo. (b) Variação da capacitância em relação à tensão aplicada no terminal 2.



Fonte: Adaptado de (HARADA et al., 1993).

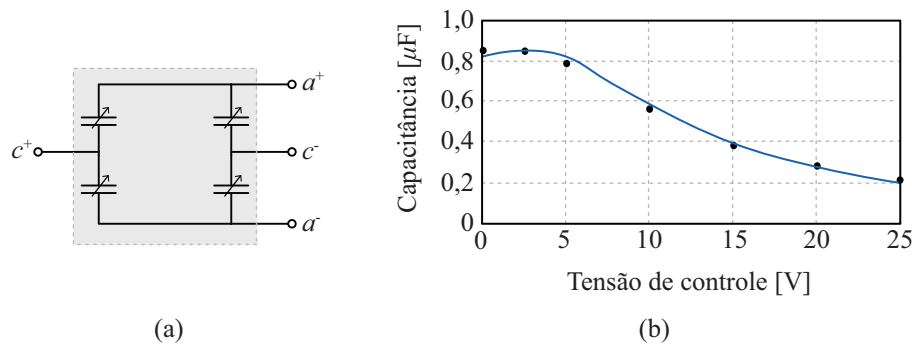
De acordo com os resultados apresentados por (HARADA et al., 1993), a capacitância do dispositivo desenvolvido reduz com o aumento da tensão aplicada sobre o terminal 2, como mostrado na Figura 2.6(b). O capacitor é utilizado em conversores ressonantes, permitindo que essas topologias sejam controladas com frequência fixa.

Em (ZHANG et al., 2017) é apresentado um capacitor formado por um material dielétrico de classe II (ferroelétrico) e duas camadas de eletrodos, cujo circuito equivalente é mostrado na Figura 2.7(a). A capacitância pode ser variada de acordo com a tensão (campo) aplicada nos terminais de controle (c^+ e c^-) conectados à parte das camadas de eletrodos, gerando um campo elétrico sobreposto ao original.

A operação do capacitor físico com encapsulamento 1206 e modelo *spice* foram validadas por meio da conexão de uma fonte de tensão contínua sobre os terminais (c^+ e c^-). Com esse ensaio (ZHANG et al., 2017) obteve a curva apresentada na Figura 2.7(b), em que os pontos e a linha representam respectivamente os valores obtidos para o modelo físico e *spice*. A capacitância do capacitor ensaiado excursiona exponencialmente com o aumento da tensão de 80% a 20% do seu valor nominal de $1\mu\text{F}$.

Uma estrutura parecida com a apresentada em (ZHANG et al., 2017) foi desen-

Figura 2.7 – Dispositivo de capacitor variável proposto por (ZHANG et al., 2017). (a) Circuito equivalente. (b) Variação da capacitância em relação à tensão aplicada nos terminais c^+ e c^- .



Fonte: Adaptado de (ZHANG et al., 2017).

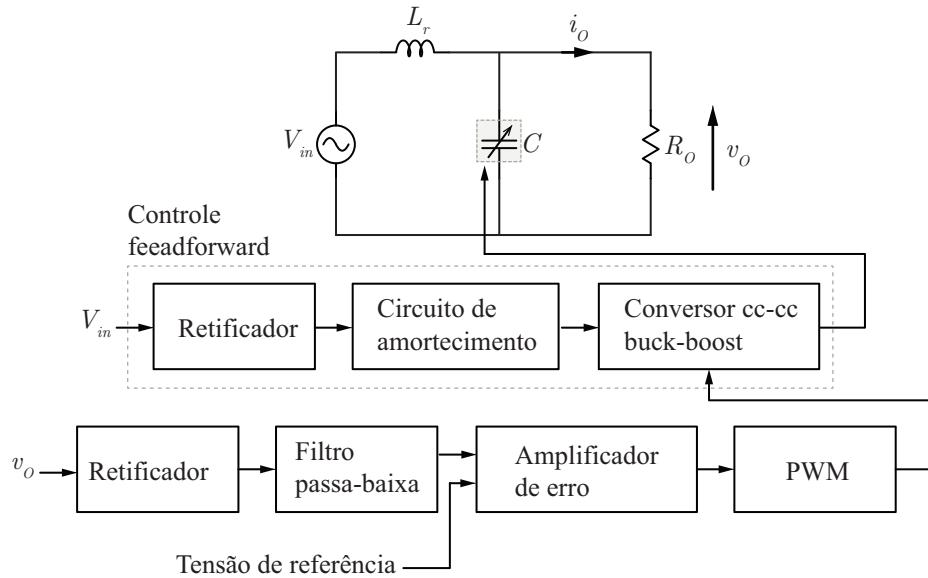
volvida anteriormente em (KATSUKI et al., 1993), em que foi aplicada em um conversor ressonante do tipo *Buck*. Posteriormente, (KATSUKI; IWATA; MATSUI, 1997) utiliza essa estrutura de capacitância variável para controlar a tensão de saída do conversor ca-cc mostrado na Figura 2.8. Nessa aplicação o capacitor variável possibilita que a tensão de saída do conversor seja controlada sem o uso de semicondutores.

O circuito de controle proposto por (KATSUKI; IWATA; MATSUI, 1997) envolve tanto o controle de *feedback* quanto o controle de *feedforward*. A amplitude da tensão de saída é detectada por um retificador e um filtro passa-baixa. Em seguida, esse sinal é comparado com a tensão de referência, passa pelo bloco amplificador de erro e, é aplicado a um modulador por largura de pulso (PWM *Pulse-Width Modulation*), o qual define o valor da tensão de saída do conversor cc-cc que controla o valor da capacitância C . A ausência de semicondutores no conversor ca-cc proporciona operação com alto fator de potência (FP). Os resultados teóricos mostram que o conversor opera com FP superior a 0,9 em toda a faixa de potência, atingindo fator de potência quase unitário para potência entre a faixa de 60% a 90% do valor nominal.

Em (KATSUKI; ARAI; MATSUSHIMA, 2002), os autores voltaram a discutir a utilização da estrutura a capacitância variável para proporcionar alto fator de potência e eliminar as distorções de corrente e tensão de saída em conversores. Uma nova estrutura de conversor ressonante foi apresentada e valores quase unitários para fator de potência foram verificados em testes experimentais com diferentes valores de tensão de entrada e saída.

Em (ZHANG; NGO, 2018) é proposta a conexão série de dois capacitores, C_a e C_b , onde C_a é um capacitor cerâmico construído com material Y5V com capacitância nominal de $0,22 \mu F$ a qual pode variar entre -20% e $+80\%$. O capacitor C_b possui capacitância de $10 \mu F$ com tolerância de $\pm 10\%$. Sobre C_a é aplicada a tensão de controle, que varia entre $0 V$ e $25 V$, e a capacitância vista dos terminais do arranjo, que excursiona de 34

Figura 2.8 – Conversor ca com dispositivo de capacitância variável.



Fonte: Adaptado de (KATSUKI; IWATA; MATSUI, 1997).

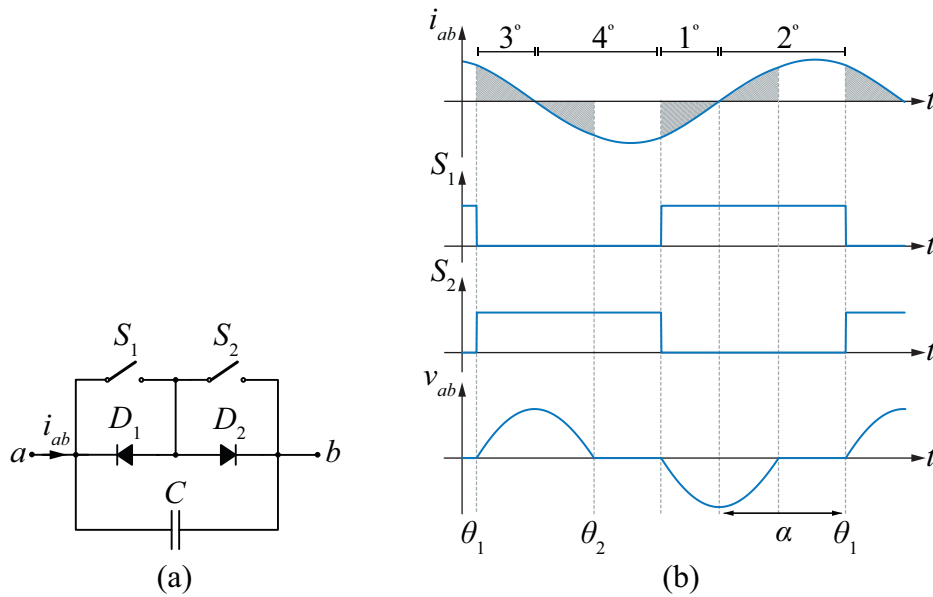
nF a $163 nF$ para uma tensão de $0 V$ sobre os terminais do arranjo e de $32 nF$ a $150 nF$ para máxima tensão de operação do arranjo ($40 V$).

A estrutura apresentada em (ZHANG; NGO, 2018) é implementada no conversor LLC ressonante por (GUO; DWARI; PRIYA, 2019), possibilitando que o controle da tensão de saída seja realizado com frequência constante. A estrutura implementada permite uma variabilidade de 27% no valor da capacitância para uma tensão de controle que excursionsa de $0 V$ à $100 V$. O ganho mínimo obtido pelo conversor é de $0,75$ e o máximo é de $1,01$ para $C_n = C_{rf}/C_{ro}$ de 1 para $1,5$. O mesmo ganho seria obtido para $f_n = f_s/f_{swo}$ variando entre 1 e $1,23$, portanto o ganho de tensão é mais sensível à variação da frequência.

Com o intuito de controlar conversores ressonantes com frequência constante, (HARADA; GU; MURATA, 1987) propôs a célula de comutação a capacitância variável apresentada na Figura 2.9(a), que possibilita o controle por meio da variação do ângulo α . O princípio de funcionamento da topologia considera que uma corrente sinusoidal flui do ponto a para o ponto b e os sinais de controle são sincronizados com essa corrente. A forma de onda para a corrente i_{ab} , os sinais de comando dos interruptores e tensão entre os pontos ab (v_{ab}) são apresentados na Figura 2.9(b).

A topologia proposta em (HARADA; GU; MURATA, 1987) opera em quatro estágios. O primeiro estágio tem início quando o interruptor S_1 é comandado a conduzir, no entanto, a corrente flui através do capacitor até que esse atinja tensão nula. O segundo estágio de operação ocorre quando a tensão sobre C se torna nula e a corrente é conduzida por S_1 e D_2 . Em θ_1 o interruptor S_1 é comandado a bloquear e S_2 a conduzir, a corrente flui através de C para carregá-lo e descarregá-lo. Em θ_2 a tensão sobre C atinge valor nulo e a i_{ab} flui por S_2 e D_1 , caracterizando a quarta etapa de operação da topologia.

Figura 2.9 – Topologia proposta para gerar a capacitância variável por meio do ângulo de condução α . (a) Topologia proposta em (HARADA; GU; MURATA, 1987). (b) Principais formas de onda.



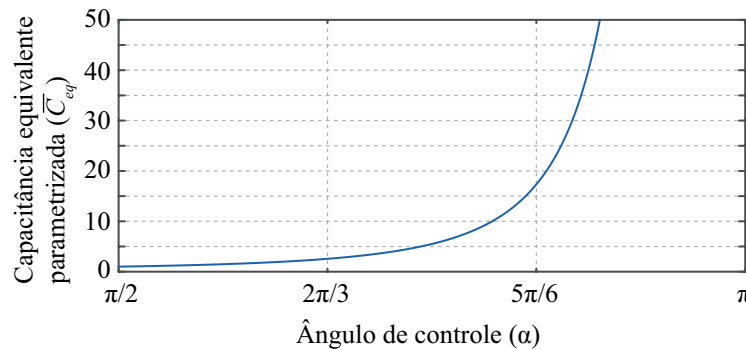
Fonte: Adaptado de (HARADA; GU; MURATA, 1987).

Considerando que α excursiona entre $\pi/2$ e π , (HARADA; GU; MURATA, 1987) define-se que a capacitância equivalente vista entre os terminais a e b é dada por:

$$C_{eq} = \frac{\pi C}{2\pi - 2\alpha + \sin(2\alpha)}. \quad (2.8)$$

Parametrizando em relação a C e representando graficamente (2.8) em função do ângulo α , é obtida a Figura 2.10, na qual pode ser notado que a capacitância vista entre os terminais a e b incrementa seu valor com o aumento de α , tendendo ao infinito para $\alpha \simeq 9/\pi$.

Figura 2.10 – Capacitância equivalente vista entre os terminais a e b parametrizada em relação a C .



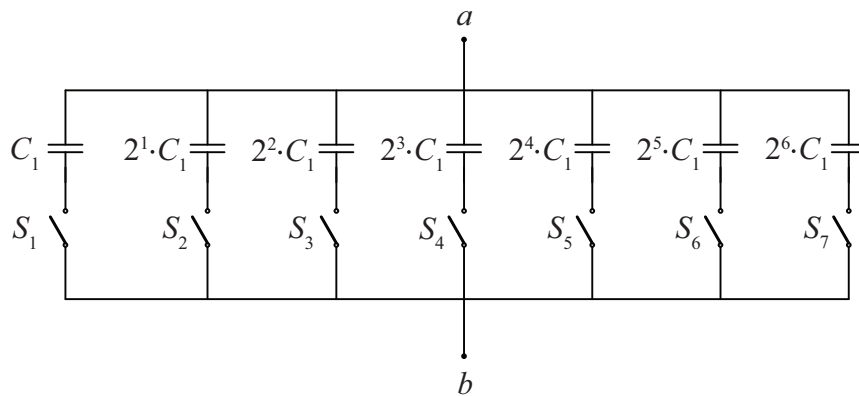
Fonte: Adaptado de (HARADA; GU; MURATA, 1987).

Em (HU; AMARA; IOINOVICI, 2013) é proposta a estrutura apresentada na Figura 2.11, a qual é constituída por sete braços com interruptores em série com capacitores,

podendo ser expandida para n braços. A variação da capacitância é obtida por meio da combinação entre os interruptores. No estudo, é obtida uma variação quase contínua com passo de 0,5 nF na capacitância entre os pontos a e b .

Essa estrutura foi utilizada para substituir o capacitor ressonante (C_r) no conversor ressonante LLC. Nessa circunstância, os interruptores comutam com tensão nula (ZVS *zero voltage switching*), se for garantido que a comutação aconteça no instante em que a tensão sobre os terminais da estrutura for nula. Portanto, é necessário o uso de um sensor para verificar a tensão sobre os terminais a e b , o que eleva o custo de produção. Do ponto de vista de controle da tensão de saída foram obtidos bons resultados, uma vez que a tensão de saída apresentou valor constante para a variação de 300 V a 400 V da tensão de entrada e entre 5 Ω e 100 Ω da resistência de carga. Para essa topologia, a relação de variação é de 0,1 V para 0,5 nF.

Figura 2.11 – Célula a capacitância variável desenvolvida por (HU; AMARA; IOINOVICI, 2013) para ser utilizada como capacitância ressonante.



Fonte: Adaptado de (HU; AMARA; IOINOVICI, 2013).

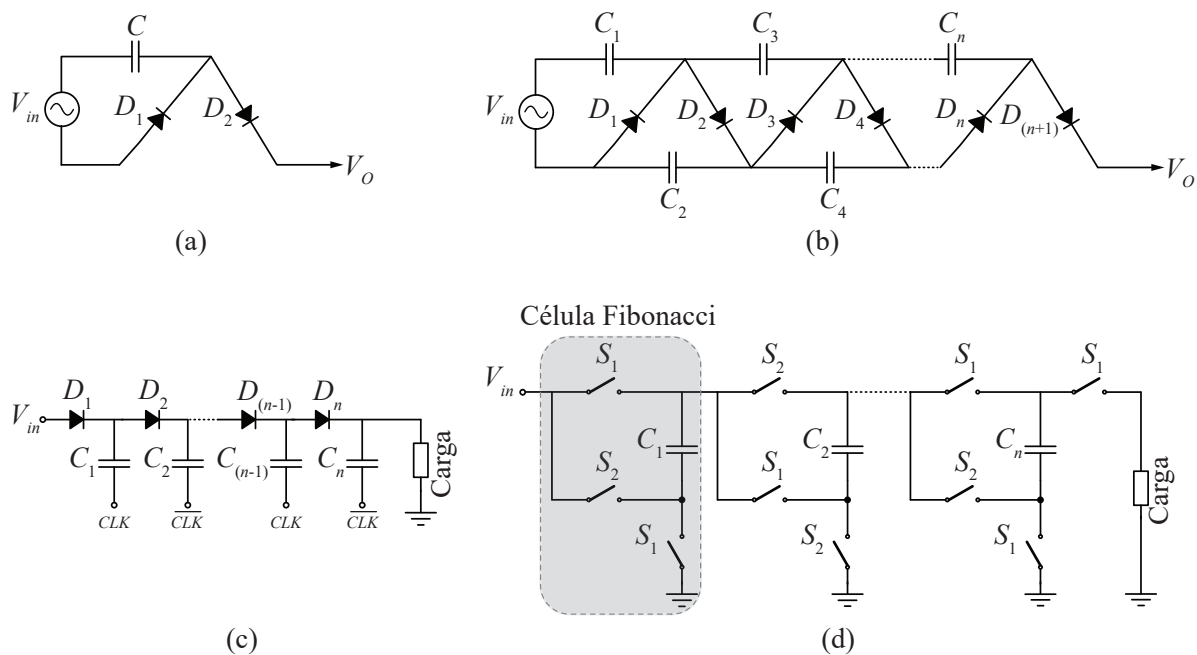
As estruturas de capacitância variável apresentadas na literatura têm como principais aplicações sistemas de telecomunicação, que necessitam trabalhar com frequências variáveis, e a substituição do capacitor ressonante em conversores ressonantes. A célula de comutação proposta no trabalho pode ser aplicada para substituir o capacitor ressonante em conversores ressonantes, permitindo que o controle desse seja realizado com frequência constante. No entanto, o principal foco do trabalho é discutir o processamento de energia por meio da variação de capacitância.

2.3 CONVERSORES A CAPACITOR CHAVEADO

Conversores a capacitor chaveado (SC - *Switched Capacitor*) são constituídos por capacitores, interruptores e resistores e processam a energia por transmissão de carga entre capacitores. A ausência de elementos indutivos em sua estrutura proporciona maior densidade de potência, rendimento e reduz a interferência eletromagnética (MAKOWSKI; MAKSIMOVIC, 1995).

A primeira topologia SC foi desenvolvida por Greinacher em 1914 para obter um valor de 200 V de tensão contínua a partir de uma entrada de tensão alternada de 110 V eficazes e ficou conhecido como dobrador de tensão (Figura 2.12(a)). Em 1932, Cockcroft e Walton expandiram o conceito para os vários estágios multiplicadores de tensão, usando uma fonte de tensão *ca*, N capacitores e $(N + 1)$ diodos (Figura 2.12(b)), para ser utilizado em um acelerador de partículas onde era necessário um ganho de tensão maior que duas vezes. Essa topologia desenvolvida ficou conhecida como *Ladder* e posteriormente foi utilizada em equipamentos médicos de raio-x. Em 1976, foi desenvolvido o conversor *Dickson* (Figura 2.12(c)) para operar em baixa potência no formato de *chip*. Usando sete estágios, o conversor *Dickson* elevou uma tensão contínua de 15 V para 40 V. O conversor *Dickson* apresenta uma resistência equivalente menor que o *Ladder* e seu ganho é dado por $(N + 1)$, em que N representa a quantidade de capacitores. Em 1991 foi proposto o conversor *Fibonacci* (Figura 2.12(d)), que apresenta um número reduzido de capacitores, visto que cada célula de comutação ou estágio de conversão é composto por um capacitor e três interruptores. A conexão em paralelo da célula de comutação *Fibonacci* eleva o ganho de acordo com a sequência de *Fibonacci* (TANZAWA, 2016).

Figura 2.12 – Células de capacitor chaveado. (a) Dobrador de tensão. (b) *Ladder*. (c) *Dickson*. (d) *Fibonacci*.



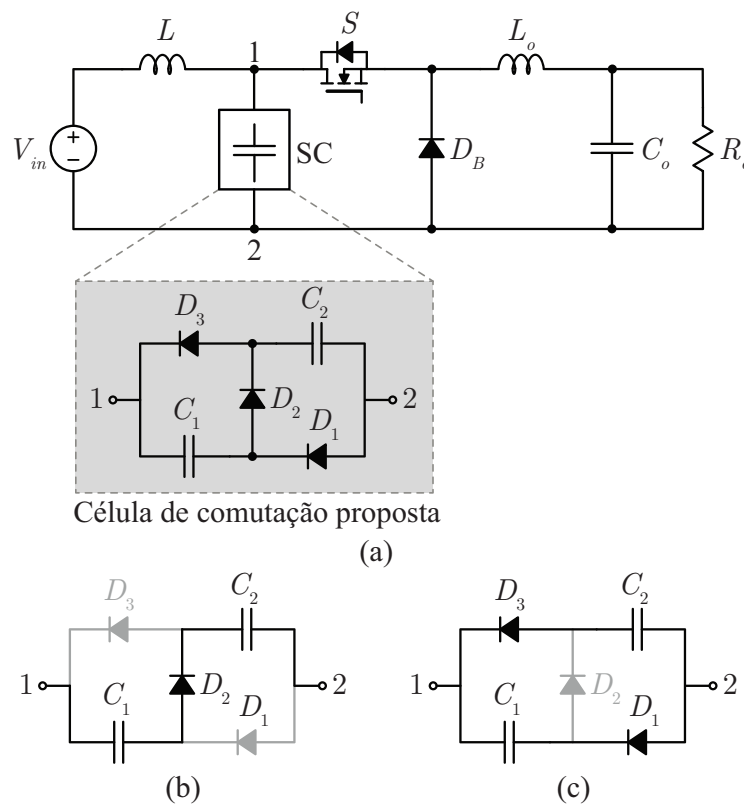
Fonte: Adaptado de (TANZAWA, 2016).

O ganho dos conversores SC é ajustado de acordo com o número de células conectadas e não pode ser controlado sem dissipação de energia. Ao integrar as células SC a conversores chaveados, são obtidas topologias híbridas de alto ganho que podem ser controladas pela variação da razão cíclica. No entanto, a presença de elementos indutivos reduz a densidade de potência e aumenta a interferência eletromagnética no conversor (LI et al., 2020).

Na Figura 2.13(a) é apresentada a estrutura de um conversor híbrido desenvolvido por meio da integração entre o conversor *Buck* e a célula de comutação SC proposta por (AXELROD; BERKOVICH; IOINOVICI, 2008). A célula proposta é constituída por dois capacitores (C_1 e C_2) e três diodos (D_1 , D_2 e D_3). Quando os diodos D_1 e D_3 estão bloqueados e D_2 está conduzindo, os capacitores são associados em série e carregam (Figura 2.13(b)). Assim que D_2 é bloqueado e D_1 e D_3 entram em condução, C_1 e C_2 são conectados em paralelo e descarregam (Figura 2.13(c)).

Em (AXELROD; BERKOVICH; IOINOVICI, 2008) também são apresentadas as topologias obtidas por meio da integração entre a célula proposta e os conversores *Buck-boost*, *Ćuk* e *Sepic*. De forma similar ao realizado para o conversor *Buck*, o capacitor de filtro de entrada do conversor *Buck-Boost* é substituído pela célula de comutação, nos conversores *Ćuk* e *Sepic* a célula de comutação substitui o capacitor de entrada. As equações para o ganho de cada topologia são apresentadas na Tabela 2.1 juntamente com a equação do conversor clássico que recebe a célula de comutação.

Figura 2.13 – Conversor *Buck* híbrido obtido por meio da integração entre a célula de capacitor chaveado proposta por (AXELROD; BERKOVICH; IOINOVICI, 2008) e o conversor *buck*. (a) Estágio de potência. (b) Primeira etapa de operação. (c) Segunda etapa de operação.



Fonte: Adaptado de (AXELROD; BERKOVICH; IOINOVICI, 2008).

Comparando as equações de ganho das versões híbridas e clássicas dos conversores, é possível notar que o ganho da versão híbrida do *Buck* e *Buck – Boost* é $1/(2 - D)$ vezes

Tabela 2.1 – Ganho das topologias clássicas e híbridas obtidas por meio da integração com à capacitor chaveado proposta.

Topologia	Ganho	
	Clássico	Híbrido
<i>Buck</i>	D	$\frac{D}{2-D}$
<i>Buck-Boost</i>	$\frac{D}{(1-D)}$	$\frac{D}{(1-D)(2-D)}$
<i>Cúk</i>	$\frac{D}{(1-D)}$	$\frac{D}{2(1-D)}$
<i>Sepic</i>	$\frac{D}{(1-D)}$	$\frac{D}{2(1-D)}$

maior que da respectiva versão clássica. A versão híbrida dos conversores *Cúk* e *Sepic* apresentam taxa de conversão duas vezes menor que suas versões clássicas.

As estruturas híbridas aplicadas a conversores de potência desenvolvidas a partir da célula *Ladder* e *Dickson* são apresentadas na Figura 2.14. O conversor *S-1L-tank-alt* (Figura 2.14(a)) é uma variação do conversor *Dickson* híbrido, apresenta alto ganho de tensão e comutação suave ZVS nos interruptores se o projeto for adequado. A célula *Ladder* integrada a conversores consolidados (*Buck*, *Boost*, Meia ponte, *Forward*, Série ressonante) é amplamente utilizada na conversão de energia, uma vez que gera topologias controláveis com alto ganho e rendimento. A estrutura apresentada na Figura 2.14(b) é obtida por meio da integração entre a célula *Ladder* e o conversor LLC ressonante e opera com ZVS/ZCS em todos os interruptores. A célula *Ladder* também é aplicada em conversores cascadeados (Figura 2.14(c)) que são capazes de processar valores elevados de tensão e/ou corrente.

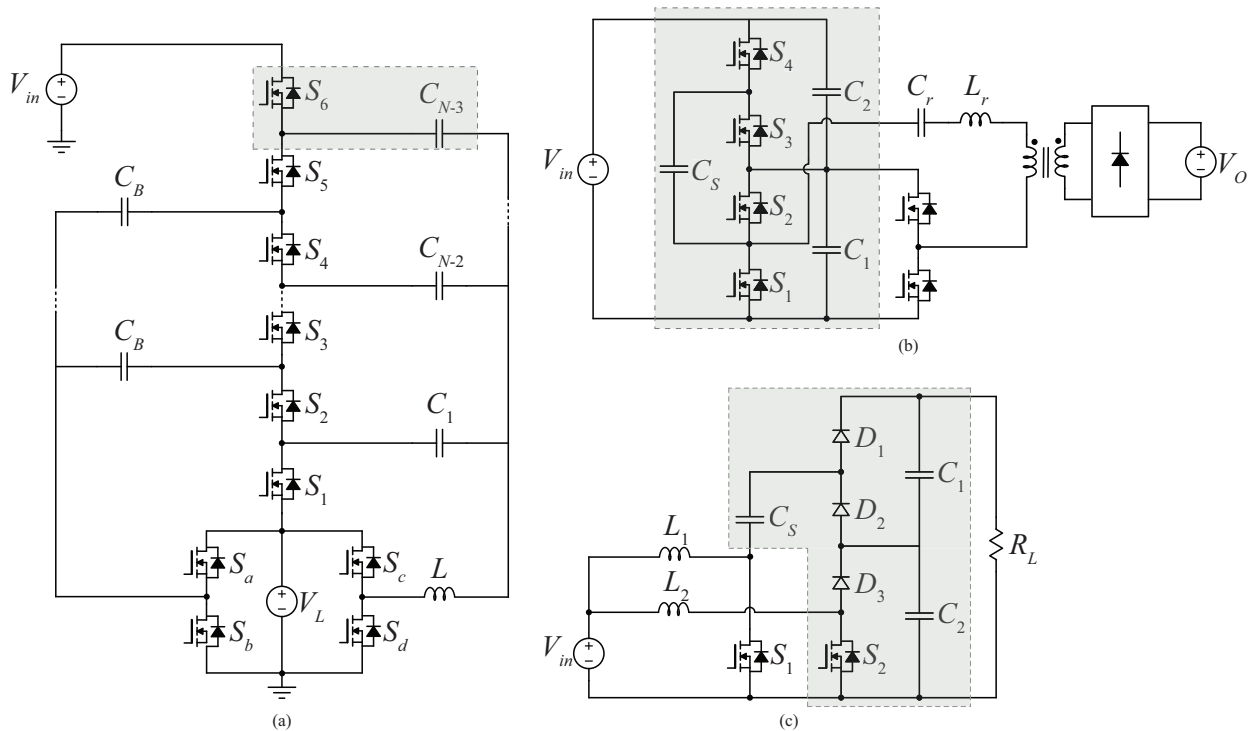
Na Tabela 2.2 são apresentadas algumas estruturas de conversores híbridos desenvolvidas nos últimos anos. Atualmente, há grande interesse no desenvolvimento de estruturas híbridas devido à possibilidade de atingir alto ganho de tensão, controle da tensão por variação da razão cíclica ou frequência de comutação, comutação não dissipativa e isolamento galvânico.

Conversores híbridos ressonantes geralmente apresentam eficiência elevada (acima de 96%) devido à ampla faixa de operação com comutação não dissipativa. Quando isolados, a indutância de dispersão do transformador (L_r) pode ser utilizada como indutância ressonante. Em conversores híbridos isolados não ressonantes, L_r pode ser utilizada para fornecer comutação não dissipativa aos interruptores, melhorando a eficiência desses.

As estruturas não isoladas ASL-SLC, SCDS, DIPS-HSCB, e ISH-SL-SC apresentam boa relação entre ganho de tensão e número de interruptores. A possibilidade de atingir alto ganho com a ausência de transformador permite obter maior densidade de potência e redução de perdas.

Os conversores a capacitor chaveado apresentados na Tabela 2.2 apresentam eficiência superior a 90%. Para atingir elevados valores de eficiência, alguns pontos devem ser considerados no projeto. Esses itens, bem como os principais métodos de projeto

Figura 2.14 – Conversores cc-ccc híbridos (a) Conversor $S-1L-tank-alt$ e (ELLIS; AMIRTHARAJAH, 2022). (b) Conversor LLC ressonante híbrido (LEANDRO, 2019). (c) Conversor $POS-HSCB$ (CHEN et al., 2020).



Fonte: Adaptado de (AXELROD; BERKOVICH; IOINOVICI, 2008).

apresentados na literatura, são discutidos a seguir.

2.3.1 Método de projeto

Os métodos de projeto apresentados a seguir se complementam. Alguns apresentam uma análise simplificada, outros são mais precisos no equacionamento. No entanto, todos apresentaram bons resultados quanto a possibilidade de elevar a eficiência das topologias onde são empregados.

O primeiro método para projeto de conversores a capacitor chaveado discutido foi apresentado em (ZHANG et al., 2008) e visa a redução do pico de corrente nos interruptores durante o transiente de comutação. O método propõe a redução da diferença entre a tensão dos capacitores que são conectados por meio da comutação dos interruptores. Para exemplificar, o autor aplica o método no conversor à capacitor chaveado bidirecional apresentado na Figura 2.15. Na análise é considerado que o conversor opera no modo abaixador de tensão (*Buck*).

Para simplificar a análise, os capacitores C_2 e C_o são considerados grandes suficientes para que as ondulações de tensão sobre os mesmos possam ser consideradas constantes; portanto, podem ser substituídos pelas fontes de tensão constante V_{in} e V_o , respectivamente. A corrente que flui para a carga (Z_o) é considerada constante e representada por uma fonte de corrente (I_o). O valor da capacitância de C_1 é dada por C , e o valor equivalente

Tabela 2.2 – Estruturas de conversores cc-cc híbridos a capacitor chaveado.

Estrutura	Isolação		Ganho	
	galvânica	Comutação	máximo	Interruptores
		ZVS/ZCS		4 diodos
<i>Step-up Ladder</i> RSCC ⁽¹⁾	Não	Ressonante	3	2 MOSFETs
Meia ponte híbrido ⁽²⁾	Sim	ZVS	0,25 p/ n = 1	4 diodos 4 MOSFETs
ASL-SU2C ⁽³⁾	Não	Não	16	2 MOSFETs
<i>Step-down Dickson</i> SC ⁽⁴⁾	Não	Não	4	8 MOSFETs
SCDS ⁽⁵⁾	Não	Não	16	4 diodos 2 MOSFETs
<i>Full – Bridge</i> híbrido SC ⁽⁶⁾	Sim	ZVS	0,5 p/ n = 1	4 diodos 6 MOSFETs
LLC ressonante híbrido SC ⁽⁷⁾	Sim	ZVS/ZCS Ressonante	1,2 p/ n = 1	4 diodos 6 MOSFETs
DIPOS-HSCB ⁽⁸⁾	Não	Não	18	6 diodos 4 MOSFETs
ISH-SL-SC ⁽⁹⁾	Não	Não	28	10 diodos 3 MOSFETs

1 - (XIE; SMEDLEY, 2020), 2 - (CAÚS; BARBI, 2022a), 3 - (SALVADOR; LAZZARIN; COELHO, 2018),

4 - (SUN et al., 2021), 5 - (NGUYEN; DUONG; LIM, 2018), 6 - (ALVES; BARBI, 2022), 7 - (LEANDRO, 2019),

8 - (CHEN et al., 2020) 9 - (FARIDPAK et al., 2021).

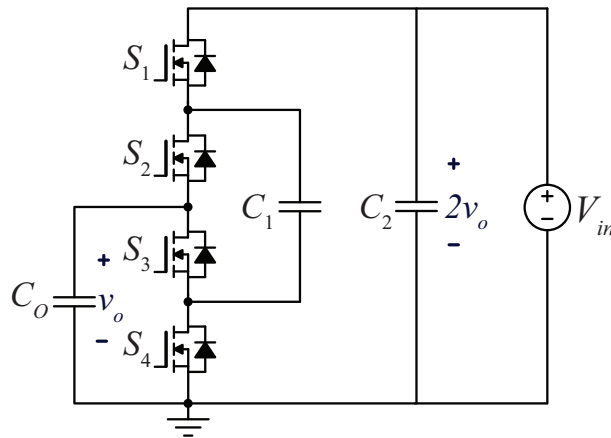
da associação entre a resistência série do capacitor (ESR) e da resistência de condução dos interruptores é representada por R_s . Além disso, é considerado que a corrente em C_1 (i_C) varia de forma linear durante um período de comutação. Considerando as hipóteses simplificativas adotadas, as etapas de operação do conversor são apresentadas na Figura 2.16.

Durante a primeira etapa (Figura 2.16(a)), o capacitor chaveado C_1 é conectado em paralelo com C_o e descarrega, enviando energia para a carga. Na segunda etapa de operação (Figura 2.16(b)), C_1 é conectado em série com V_o e carregado por V_{in} . As principais formas de onda para o conversor são apresentadas na Figura 2.16(c).

Para verificar a influência dos valores das capacitâncias e das resistências nos valores das correntes nos interruptores, equaciona-se o valor de pico da corrente nos capacitores, pois a corrente que flui pelos interruptores é igual a que flui através do capacitor C_1 . Analisando a Figura 2.16(a) e a Figura 2.16(c), define-se o valor da corrente em C_1 no instante de tempo t_0 como

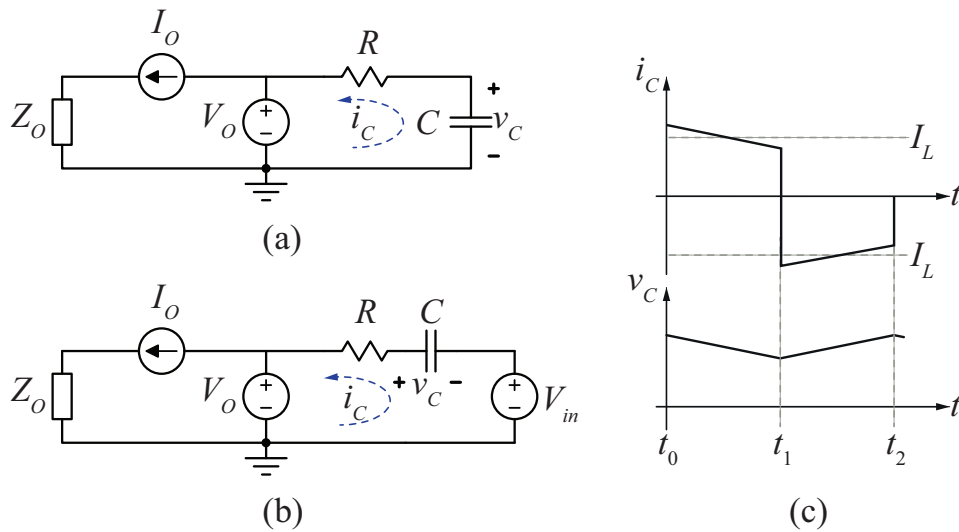
$$i_C(t_0) = \frac{v_C(t_0) - V_o}{R_s}. \quad (2.9)$$

Figura 2.15 – Conversor bidirecional de três níveis a capacitor chaveado.



Fonte: Adaptado de (ZHANG et al., 2008).

Figura 2.16 – Etapas de operação e formas de onda relevantes para o equacionamento do conversor bidirecional de três níveis operando no modo abaixador. (a) Primeira etapa de operação. (b) Segunda etapa de operação. (c) Principais formas de onda.



Fonte: Adaptado de (ZHANG et al., 2008).

No instante de tempo t_1 , obtém-se

$$i_C(t_1) = \frac{v_C(t_1) - V_o}{R_s}. \quad (2.10)$$

Observando as formas de onda apresentadas na Figura 2.16(c), pode-se escrever que

$$v_C(t_1) = v_C(t_0) - v_C, \quad (2.11)$$

sendo:

$$\Delta v_C = \frac{I_o}{2 \cdot f_s \cdot C}. \quad (2.12)$$

Considerando que i_C varia linearmente, define-se o valor médio da corrente i_o como

$$I_o = \frac{i_C(t_0) + i_C(t_1)}{2}. \quad (2.13)$$

Substituindo (2.13) em (2.12), obtém-se

$$(4f_s \cdot C \cdot R_s + 1) = 2(v_C(t_0) - V_o). \quad (2.14)$$

E substituindo (2.12) em (2.14), define-se

$$2(v_C(t_0) - V_o) = 2 \cdot I_L \cdot R_s + \Delta v_C. \quad (2.15)$$

Realizando o mesmo procedimento para o segundo período de comutação, determina-se que

$$2(V_{in} - v_C(t_2) - V_o) = 2 \cdot I_L \cdot R_s - \Delta v_C. \quad (2.16)$$

Os valores de v_C nos instantes de tempo t_0 e t_2 são iguais. Portanto, os valores de V_o e v_c são obtidos a partir da resolução do sistema de equações formado por (2.15) e (2.16), assim

$$V_o = \frac{V_{in}}{2} - I_o \cdot R_s \quad (2.17)$$

$$v_C = \frac{V_{in}}{2} + \frac{I_o}{4 \cdot C \cdot f_s}. \quad (2.18)$$

Substituindo (2.17) e (2.18) em (2.9), define-se o valor de pico da corrente no capacitor C_1 e nos interruptores S_1 a S_4 .

$$i_{pico} = \left(1 + \frac{1}{4 \cdot R_s \cdot C \cdot f_s}\right) I_o \quad (2.19)$$

A equação (2.19) mostra que o valor de pico da corrente nos interruptores pode ser reduzido elevando os valores da resistência, da capacitância ou da frequência de comutação. De acordo com (ZHANG et al., 2008), a forma mais eficiente para limitar o valor de i_{pico} é selecionar interruptores e capacitores que forneçam resistência reduzida e uma capacitância grande para C_1 , uma vez que elevando a resistência equivalente de condução ou a frequência de comutação também se elevam as perdas.

O equacionamento, o projeto e os resultados experimentais para um conversor de cinco níveis bidirecional não isolado, com ganho de tensão igual a três ou um terço (14–42 V), para aplicação em sistema automotivos, também são apresentados em (ZHANG et al., 2008). Usando o mesmo equacionamento realizado para o conversor três níveis, o autor define os valores dos capacitores chaveados que permitem o conversor operar com redução

de perdas. Para o protótipo operando com potência de 1 kW, são selecionados capacitores eletrolíticos com capacitâncias de 3300 $\mu\text{F}/7 \text{ m}\Omega$ e 2200 $\mu\text{F}/12 \text{ m}\Omega$. A resistência de condução individual dos MOSFETS utilizados é 2,8 $\text{m}\Omega$. Cinco MOSFETS são conectados em paralelo para formar um interruptor, assim a resistência de condução equivalente é 0,5 $\text{m}\Omega$. Os resultados experimentais confirmam que o método de projeto proposto fornece alto rendimento, uma vez que o conversor de cinco níveis apresenta rendimento médio de 96% e rendimento máximo de 98% para a potência de 300 W e operando com frequência de comutação de 5 kHz.

As perdas em conversores a capacitor chaveado são causadas principalmente pelas resistências de condução dos capacitores e dos interruptores, além da comutação dos interruptores. Portanto, maiores valores de capacitância e frequência de comutação não proporcionam necessariamente maior eficiência para todos os conversores e condições de operação (ZHU; YE; PILAWA-PODGURSKI, 2021). Contudo, a correta combinação entre a frequência de comutação, a capacitância e a resistência de condução podem melhorar o desempenho do conversor. Em (CHEUNG et al., 2013), a eficiência teórica da célula unitária é analisada para o capacitor chaveado C operando em modo de carga parcial (CP) e em modo de carga completa (CC).

Conversores SC são formados apenas por interruptores e capacitores flutuantes, podendo ser representados por um circuito RC (ZHU; IOINOVICI, 1997), como mostrado na Figura 2.17(b) e na Figura 2.17(c). As resistências R_{ch} e R_{dis} são formadas pela resistência série do capacitor, resistência de condução dos interruptores e uma resistência equivalente, que representa as perdas de comutação. Com essas considerações, analisando o circuito equivalente do estágio de carga do capacitor C , apresentado na Figura 2.17(b), (CHEUNG et al., 2013) define os valores instantâneos para a tensão sobre C e R_{ch} e para a corrente em C , apresentados como

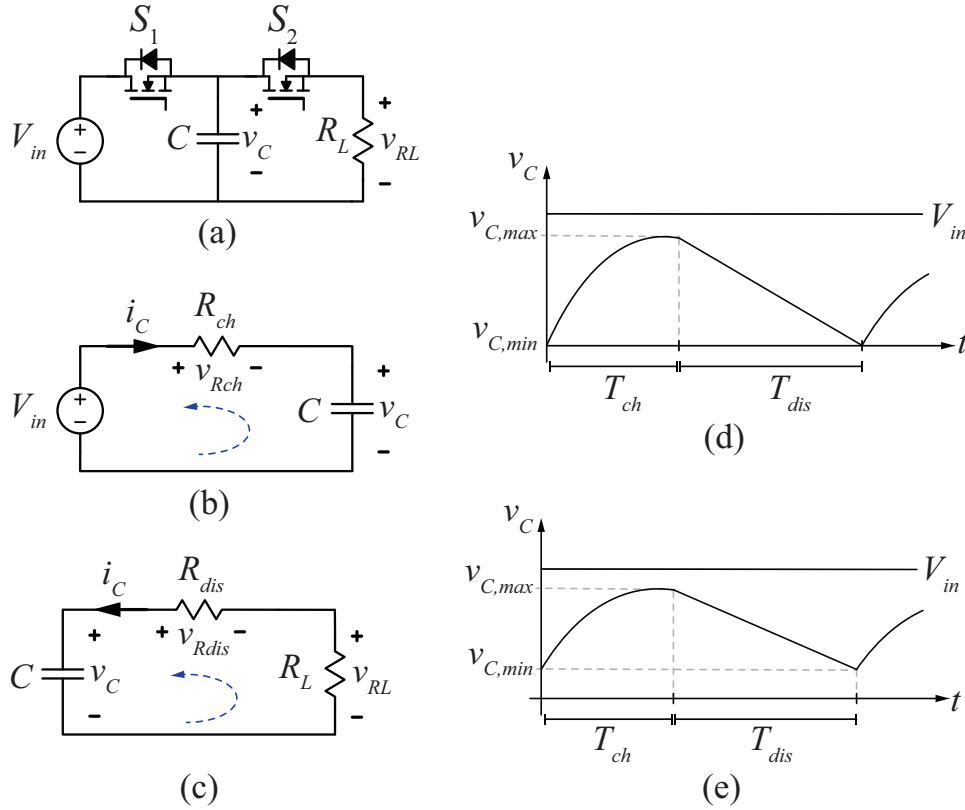
$$\begin{cases} v_C = (v_{C,min} - V_{in}) \cdot e^{\frac{-t}{R_{ch} \cdot C}} + V_{in} \\ v_{R_{ch}} = V_{in} - v_C \\ i_C = \frac{V_{in} - v_{C,min}}{R_{ch}} \cdot e^{\frac{-t}{R_{ch} \cdot C}}. \end{cases} \quad (2.20)$$

A variação de energia em C (ΔE_C) e na fonte de alimentação V_{in} (ΔE_{in}), para o capacitor operando com carga completa ($v_{C,max} = V_{in}$), são dadas por

$$\begin{cases} \Delta E_C = \int_0^{T_{ch} \rightarrow \infty} (v_C \cdot i_C) dt = \frac{C}{2} \cdot (V_{in}^2 - v_{C,min}^2) \\ \Delta E_{in} = \int_0^{T_{ch} \rightarrow \infty} (V_{in} \cdot i_C) dt = C \cdot V_{in} \cdot (V_{in} - v_{C,min}). \end{cases} \quad (2.21)$$

Logo, a eficiência do estágio de carregamento do capacitor operando com carga completa é

Figura 2.17 – Circuito equivalente para representação de conversores a capacitores chaveados. (a) Célula unitária. (b) Etapa de carregamento do capacitor. (c) Etapa de descarga do capacitor. Formas de onda para a tensão sobre C considerando o modo de carga parcial. (d) Tensão inicial do capacitor nula. (e) Tensão inicial do capacitor maior que zero.



Fonte: Adaptado de (CHEUNG et al., 2013).

dada por

$$\eta_{cc} = \frac{\Delta E_C}{\Delta E_{in}} = \frac{1}{2} \left(1 + \frac{v_{C,min}}{V_{in}} \right). \quad (2.22)$$

A Figura 2.17(d) apresenta a forma de onda para a tensão sobre o capacitor (v_C) na condição em que o valor inicial é nulo. A Figura 2.17(e) mostra v_C para valores iniciais de tensão diferentes de zero. Para a primeira condição ($v_{C,min} = 0$), a eficiência máxima é igual a 50% e independe de R_{ch} . Para a segunda condição ($v_{C,min} \neq 0$), a eficiência de carga é superior a 50%, tornando-se maior à medida que a diferença entre $v_{C,min}$ e V_{in} reduz.

Considerando o modo de carga parcial do capacitor ($v_{C,max} < V_{in}$), define-se a variação da energia no capacitor e em V_{in} como

$$\begin{cases} \Delta E_C = \int_0^{T_{ch} \rightarrow \infty} (v_C \cdot i_C) dt = \frac{C}{2} \cdot (v_{C,max}^2 - v_{C,min}^2) \\ \Delta E_{in} = \int_0^{T_{ch} \rightarrow \infty} (V_{in} \cdot i_C) dt = C \cdot V_{in} \cdot (v_{C,max} - v_{C,min}). \end{cases} \quad (2.23)$$

Portanto, a eficiência de carga para o conversor operando com carga parcial é

$$\eta_{cp} = \frac{\Delta E_C}{\Delta E_{in}} = \frac{1}{2} \left(\frac{v_{C,min} + v_{C,max}}{V_{in}} \right). \quad (2.24)$$

Observando (2.24), nota-se que para $v_{C,min} = 0$, a eficiência é sempre inferior a 50%, se tornando igual a 50% quando $v_{C,max} = V_{in}$. Para $v_{C,min} \neq 0$, a eficiência de carga aumenta a medida que a diferença $v_{C,min} + v_{C,max}$ e V_{in} reduzem. Portanto, pela análise realizada para o circuito equivalente de carga do capacitor, conclui-se que

- A eficiência de carga independe da resistência equivalente R_{ch} ;
- O valor de pico da corrente no capacitor C aumenta à medida que R_{ch} reduz;
- A eficiência de carga aumenta com a redução da ondulação de tensão;
- R_{ch} engloba as perdas por comutação. No entanto, a análise apresentada não possibilita dimensionar as perdas de comutação nos interruptores, tampouco afirmar que não ocorrem perdas decorrentes da comutação na etapa de carga.

Analisando o circuito equivalente para a etapa de descarga do capacitor, apresentado na Figura 2.17(c), são definidas as equações para a tensão e para a corrente no capacitor C e na carga R_L , apresentadas abaixo.

$$\begin{cases} v_C = v_{C,max} \cdot e^{\frac{-t}{(R_{dis}+R_L) \cdot C}} \\ i_C = \frac{v_{C,max}}{R_{dis}+R_L} \cdot e^{\frac{-t}{(R_L+R_{dis}) \cdot C}} \\ v_{R_L} = \frac{R_L}{R_L+R_{dis}} \cdot v_{C,max} e^{\frac{-t}{(R_{dis}+R_L) \cdot C}} \end{cases} \quad (2.25)$$

Em que, a resistência equivalente de descarga (R_{dis}) representa as perdas decorrentes da condução dos MOSFETs, da condução do capacitor e da comutação dos interruptores.

Da mesma forma que é realizado na etapa de carga do capacitor, a variação da energia em C e na carga R_L durante a descarga são definidas por

$$\begin{cases} \Delta E_C = \int_0^{T_{ch} \rightarrow \infty} [v_C(t) \cdot i_C(t)] dt = \frac{C}{2} \cdot (v_{C,max}^2 - v_{C,min}^2) \\ \Delta E_{R_L} = \int_0^{T_{ch} \rightarrow \infty} [v_{R_L}(t) \cdot i_C(t)] dt = \frac{C}{2} \cdot (v_{C,max}^2 - v_{C,min}^2) \cdot \left(\frac{R_L}{R_{dis}+R_L} \right) \end{cases} \quad (2.26)$$

A eficiência da etapa de descarga é dada pela razão entre ΔE_{R_L} e ΔE_C , assim

$$\eta_{dis,R} = \frac{\Delta E_{R_L}}{\Delta E_C} = \frac{R_L}{R_L + R_{dis}}. \quad (2.27)$$

Durante a etapa de descarga do capacitor, não há diferença entre a eficiência para operação com carga parcial e carga completa, pois, de acordo com (2.27), o valor da tensão sobre o capacitor não interfere no rendimento da etapa de descarga. Ainda analisando (2.27), nota-se que a eficiência é inversamente proporcional ao valor de R_{dis} .

A eficiência total de um conversor a capacitor chaveado é definida a partir da combinação da análise realizada para as etapas de carga e descarga. Em regime permanente, a energia é balanceada no capacitor, portanto a variação de energia na etapa de carga é igual a variação de energia na etapa de descarga. Dessa forma, partido de (2.24) e (2.27), é definida a eficiência para o modo de carga parcial em (2.28) e para o modo de carga completa em (2.29).

$$\eta_{SC,cp} = \eta_{cp} \cdot \eta_{dis,R} = \frac{1}{2} \left(\frac{R_L}{R_L + R_{dis}} \right) \cdot \left(\frac{v_{C,min} + v_{C,max}}{V_{in}} \right) \quad (2.28)$$

$$\eta_{SC,cc} = \eta_{cc} \cdot \eta_{dis,R} = \frac{1}{2} \left(\frac{R_L}{R_L + R_{dis}} \right) \cdot \left(1 + \frac{v_{C,min}}{V_{in}} \right) \quad (2.29)$$

Analisando (2.28) e (2.29), conclui-se que:

- A eficiência de um conversor a capacitor chaveado é influenciada pela dissipação de energia na condução do interruptor e do capacitor, ondulação de tensão sobre o capacitor e frequência de comutação;
- O conversor apresenta maior eficiência se os capacitores operam com carga parcial;
- O conversor deve operar com baixa ondulação de tensão para obter maior valor de eficiência.

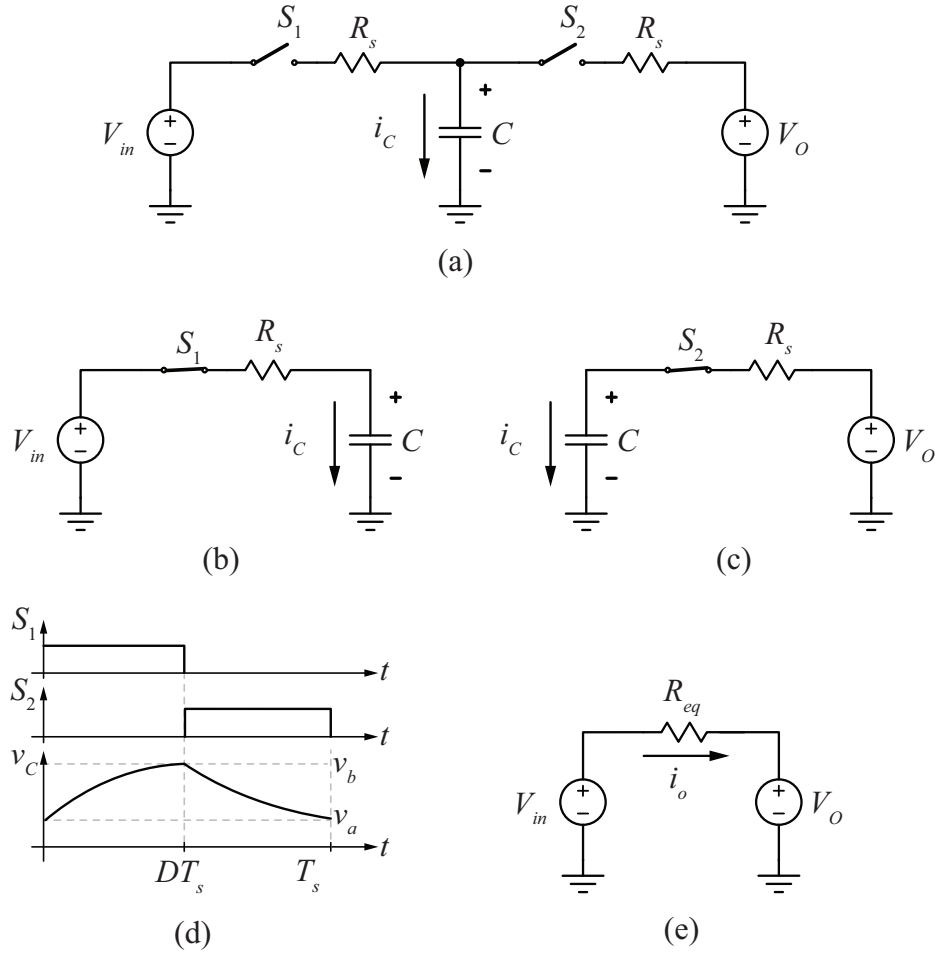
Outro método de análise da eficiência dos conversores a capacitor chaveado é o modelo de resistência equivalente, no qual o conversor é representado por um circuito formado apenas pelas fontes de entrada e de saída e uma resistência equivalente (R_{eq}) representando as perdas. Em (BARBI, 2019), o equacionamento da R_{eq} é desenvolvido para a célula unitária apresentada na Figura 2.18.

A resistência equivalente é definida considerando o circuito equivalente apresentado na Figura 2.18(e), no qual a corrente média na fonte V_o (i_o) é definida por

$$I_o = C \frac{\Delta v_C}{\Delta t} = C \left(\frac{V_b - V_a}{T_s} \right). \quad (2.30)$$

Analisando as etapas de operação do conversor, apresentadas na Figura 2.18(b) e na Figura 2.18(c), definem-se as equações que regem V_a em (2.31) e V_b em (2.32), sendo $\tau = R_s \cdot C$.

Figura 2.18 – Análise da resistência equivalente. (a) Célula unitária. (b) Primeira etapa de operação. (c) Segunda etapa de operação. (d) Principais etapas de operação. (e) Circuito equivalente.



Fonte: Adaptado de (BARBI, 2019).

$$V_a = V_o \left(1 - e^{-\frac{(1-D)T_s}{\tau}} \right) + V_b \cdot e^{-\frac{(1-D)T_s}{\tau}} \quad (2.31)$$

$$V_b = V_{in} \left(1 - e^{-\frac{D \cdot T_s}{\tau}} \right) + V_a \cdot e^{-\frac{D \cdot T_s}{\tau}} \quad (2.32)$$

Substituindo (2.31) e (2.32) em (2.33), obtém-se

$$\frac{R_{eq}}{R_s} = \frac{\left(1 - e^{-\frac{1}{f_s \cdot \tau}} \right)}{f_s \cdot \tau \left(1 - e^{-\frac{D}{f_s \cdot \tau}} \right) \left(1 - e^{-\frac{(1-D)}{f_s \cdot \tau}} \right)}. \quad (2.33)$$

O método apresentado por (BARBI, 2019) é aplicado em (LEANDRO, 2019) para definir a resistência equivalente para o conversor cc-cc LLC híbrido a capacitor chaveado, e em (JÚNIOR, 2019) para definir a resistência equivalente do conversor cc-cc híbrido obtido por meio da integração entre a célula à capacitor chaveado do tipo *Ladder* com o conversor

Forward. Os dois trabalhos obtiveram resultados precisos utilizando esse método.

Definir o valor da resistência equivalente por meio da corrente pode se tornar uma tarefa complexa em determinadas topologias (ZHENG et al., 2023; ZHENG; LUO, 2022). Nesses casos, a resistência equivalente pode ser determinada por meio da média geométrica de dois limites assintóticos: limite de impedância de comutação lenta (*SSL - Slow Switching Limit*) e limite de impedância de comutação rápida (*FSL - Fast Switching Limit*) (SEEMAN; SANDERS, 2008).

O cálculo dos limites de impedância é realizado por meio da análise do fluxo de carga nos capacitores e nas fontes de entrada e saída, os quais são dispostos em dois vetores multiplicadores de carga (a_1 e a_2), sendo que a_1 refere-se aos valores definidos para a primeira etapa de operação e a_2 para a segunda etapa. Para o *SSL*, os vetores correspondem aos fluxos de carga que ocorrem imediatamente após os interruptores entrarem em condução. Considerando a célula unitária (Figura 2.18), obtém-se

$$\begin{aligned} a_1 &= [1 \ 1 \ 0]^T \\ a_2 &= [0 \ -1 \ 1]^T \end{aligned} \quad (2.34)$$

O primeiro elemento de cada vetor representa a carga em V_{in} , o segundo em C e o terceiro em V_o .

Aplicando do teorema de Tellegen ¹ (CHUA; DESOER; KUH, 1987), é definido que $a_1 \cdot v_1 = 0$ e $a_2 \cdot v_2 = 0$, assim

$$V_o(a_{1,2} + a_{2,2}) + \sum_{cap} (a_{1c,i} \cdot v_{1c,i} + a_{2c,i} \cdot v_{2c,i}) = 0. \quad (2.35)$$

Os vetores $a_{1c,i}$ e $a_{2c,i}$ são constituídos apenas com valores do fluxo de carga nos capacitores. Assim: $a_{1c,i} = [1]$ e $a_{2c,i} = [-1]$. v_1 é o vetor de tensão em regime para a primeira etapa de operação, definido por $v_1 = [1 \ 0]$. v_2 é o vetor de tensão em regime para a segunda etapa de operação, logo $v_2 = [0 \ 1]$.

O primeiro termo de (2.35) é referente a soma do fluxo de carga em V_o durante um período de comutação, logo: $V_o(a_{1,2} + a_{2,2})=1$. Devido à conservação de carga em regime permanente, $a_{c,i} = a_{1c,i} = -a_{2c,i}$ e $q_i = q_o \cdot a_{c,i}$. As variáveis q_i e q_o representam, respectivamente, a carga na entrada e na saída do conversor. Dessa forma, multiplicando (2.35) por q_o , obtém-se

$$q_o \cdot V_o + \sum_{cap} q_i \cdot (v_{1c,i} - v_{2c,i}) = 0. \quad (2.36)$$

Cada termo do somatório de (2.36) corresponde à perda de energia associada a um

¹ O teorema de Tellegen afirma que a soma da potência instantânea consumida por vários elementos em vários ramos é zero para qualquer circuito.

capacitor específico, no caso da célula unitária a C . Nenhuma das tensões do capacitor precisa ser explicitamente calculada para essa análise. A diferença entre $v_{1c,i}$ e $v_{2c,i}$ (v_i) pode ser dada pela razão entre a carga total do capacitor e a capacitância. Dividindo (2.36) por q_o^2 e substituindo Δv_i , define-se que

$$\frac{v_o}{q_o} + \sum_{cap} \left(\frac{q_i}{q_o} \right)^2 \cdot \frac{1}{C_i} = 0. \quad (2.37)$$

A resistência equivalente para o limite assintótico de comutação lenta (SSL) é definida pela razão entre (2.37) e a frequência de comutação, assim:

$$R_{SSL} = -\frac{V_o}{I_o} = \sum_i \frac{(a_{c,i})^2}{C_i \cdot f_s}. \quad (2.38)$$

Para o cálculo da impedância de comutação rápida (FSL), a tensão nos capacitores é considerada constante, visto que a FSL representa apenas as perdas na resistência de condução dos interruptores. Os vetores a_{r1} e a_{r2} definem o fluxo de carga nos interruptores durante a primeira e segunda etapas de operação, respectivamente. O vetor a_r é determinado pela soma de a_{r1} e a_{r2} . Esse vetor é obtido a partir da análise das etapas de operação apresentadas na Figura 2.18(b) e na Figura 2.18(c).

$$\begin{aligned} a_{r1} &= [1 \ 0] \\ a_{r2} &= [0 \ 1] \\ a_r &= [1 \ 1] \end{aligned} \quad (2.39)$$

Para a análise da FSL, as correntes conduzidas pelos interruptores são consideradas constantes e podem ser definida por

$$i_{r,i} = \frac{q_{r,i} \cdot f_s}{D}. \quad (2.40)$$

Em que, $q_{r,i}$ é a carga que flui através do interruptor durante um período de comutação.

Sendo $q_{r,i} = a_{r,i} \cdot q_o$ e $q_o = I_o / f_s$, (2.40) é rescrita como

$$i_{r,i} = \frac{a_{r,i} \cdot I_o}{D}. \quad (2.41)$$

A perda total do conversor a capacitor chaveado para o FSL é dada pela soma das

perdas nos interruptores, logo

$$P_{FSL} = \frac{1}{D} \sum_{int} R_{si} (a_{r,i} \cdot I_o)^2. \quad (2.42)$$

Em que, R_{si} é a resistência de condução dos interruptores.

Toda a perda de potência em um conversor a capacitor chaveado ideal pode ser modelada a partir da queda de tensão de saída. Assim, a impedância de saída pode ser determinada igualando a perda de potência real do circuito com a perda de potência aparente devido à impedância de saída (SEEMAN; SANDERS, 2008). Como essa perda de potência é proporcional ao quadrado da corrente de saída, a impedância de saída FSL pode ser obtida por

$$R_{FSL} = \frac{1}{D} \sum_i R_i (a_{r,i})^2. \quad (2.43)$$

As equações que definem R_{SSL} e R_{FSL} são dadas em termos de parâmetros dos componentes e dos coeficientes do multiplicador de carga. Dessa forma, não é necessário definir as equações que regem a tensão e a corrente nos componentes, o que pode simplificar o equacionamento da resistência equivalente em algumas topologias.

Realizando a média geométrica entre R_{SSL} e R_{FSL} , define-se a resistência equivalente total do circuito, dada por

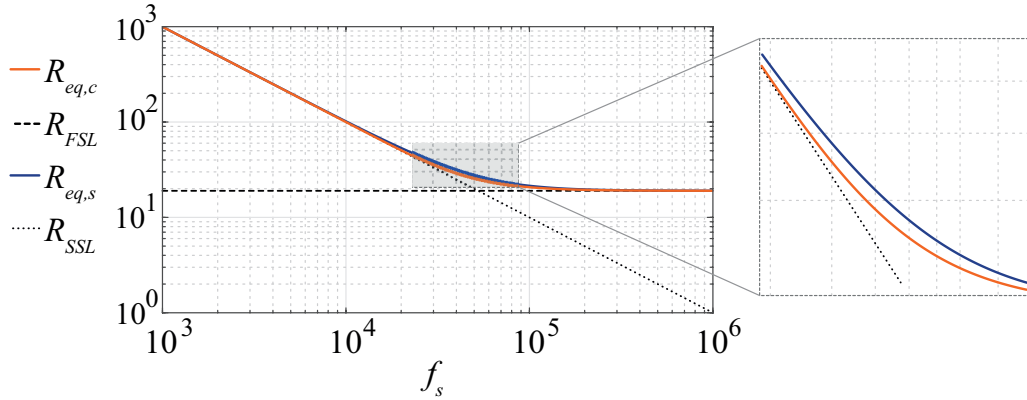
$$R_{eq} = \sqrt{R_{SSL}^2 + R_{FSL}^2}. \quad (2.44)$$

Mais informações sobre o equacionamento para definir R_{SSL} e R_{FSL} podem ser encontrados em (SEEMAN; SANDERS, 2008) e (SEEMAN, 2009).

As equações que definem o limite de impedância de comutação lenta (2.38) e o limite de impedância de comutação rápida (2.43) são representadas graficamente na Figura 2.19, junto com as resistências equivalentes obtidas aplicando os métodos apresentados em (SEEMAN; SANDERS, 2008) (2.44) e em (BARBI, 2019) (2.33).

Analisando a Figura 2.19, nota-se que o resultado do método simplificado, apresentado por (SEEMAN; SANDERS, 2008), se aproxima do cálculo analítico completo, uma vez que a curva de $R_{eq,s}$ segue a mesma trajetória que a curva de $R_{eq,c}$ para baixos valores de frequência (1 kHz-10 kHz) e altos valores de frequência (100 kHz-1 MHz). Para frequências entre 10 kHz e 100 kHz, $R_{eq,s}$ apresenta valores levemente maiores que $R_{eq,c}$, assim, o método apresentado por (SEEMAN; SANDERS, 2008) pode ser aplicado no cálculo da resistência equivalente de conversores SC, trazendo simplicidade ao equacionamento em conversores formados por associação de células SC e/ou conversores multiníveis.

Figura 2.19 – Representação do limite de impedância de comutação lenta (*SSL*) e limite de impedância de comutação rápida (*FSL*) e comparação entre os valores de resistência equivalente obtidas em (BARBI, 2019) ($R_{eq,c}$) e (SEEMAN; SANDERS, 2008) ($R_{eq,s}$) considerando $D = 0,5$.



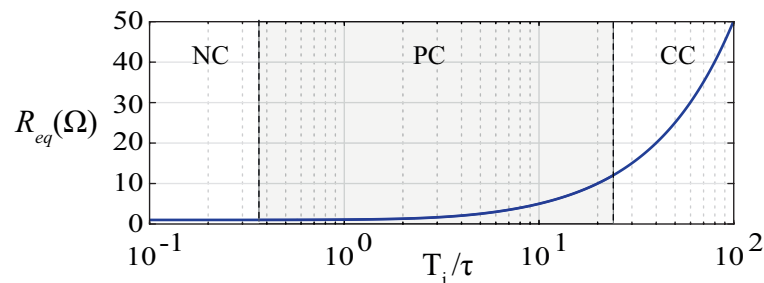
Fonte: Autor.

2.3.1.1 Influência da resistência equivalente no modo de carga do capacitor

O valor da resistência equivalente do conversor depende principalmente da combinação entre a resistência de condução dos interruptores, a frequência de comutação e a capacitâncias da célula de comutação. Esses parâmetros também influenciam no modo de carga do capacitor. O comportamento da resistência equivalente em relação a constante de tempo $\tau = R \cdot C$ pode ser analisada por meio da representação gráfica de (2.33) em relação a $1/\tau$ (BEN-YAAKOV, 2012), como apresentado na Figura 2.20.

O modo de carga completa (CC) ocorre para a constante de tempo $\tau \ll T_i$, sendo T_i a duração da etapa de operação. O modo de carga parcial (PC) é definido para $\tau \approx T_i$ e o modo de não carga (NC) ocorre quando $\tau \gg T_i$.

Figura 2.20 – Análise da resistência equivalente da célula unitária em relação ao modo de carga dos capacitores.



Fonte: Adaptado de (BEN-YAAKOV, 2012).

Observando a Figura 2.20, conclui-se que, ao operar no modo de não carga, os conversores SC apresentam valores menores de resistência equivalente, o que proporciona ao conversor maior eficiência. No entanto, isso requer valores elevados de frequência de comutação ou de capacitâncias. O modo de carga parcial apresenta valores de R_{eq} maiores

que modo de não carga; no entanto, os valores de capacitância e/ou de frequência de comutação podem ser menores. Por fim, o modo de carga completa apresenta valor elevado de R_{eq} , reduzindo a eficiência do conversor SC.

2.4 COMUTAÇÃO SUAVE

A evolução da indústria de semicondutores tem possibilitado o desenvolvimento de dispositivos com capacidade para suportar valores mais elevados de tensão e corrente. Interruptores que combinam valores elevados de corrente, tensão e frequência de comutação tendem a apresentar consideráveis perdas de comutação. Uma abordagem para a potência média dissipada na comutação de interruptores do tipo MOSFET é definida em (XIONG et al., 2009) como

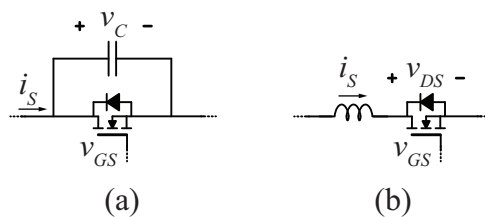
$$P_{SW} = \frac{1}{2} \cdot I_S \cdot V_S \cdot (t_{off} + t_{on}) \cdot f_s. \quad (2.45)$$

Sendo I_S e V_S respectivamente a corrente de condução e a tensão de bloqueio do MOSFET, f_s a frequência de comutação, t_{on} o tempo de entrada em condução e t_{off} o tempo de bloqueio. Os dois últimos parâmetros estão relacionados aos aspectos construtivos dos interruptores, e apresentam valores menores em interruptores rápidos, como os MOSFETs SIC, os quais têm menores perdas de comutação. Porém, com o aumento da frequência de operação, as perdas permanecem sendo consideráveis.

As perdas por comutação podem ser mitigadas com técnicas de comutação suave, as quais visam a redução ou a eliminação da área de sobreposição entre V_S e I_S . Existem duas formas de realizar comutação suave: comutação com tensão nula (ZVS - *Zero Voltage Switching*) e comutação com corrente nula (ZCS - *Zero Current Switching*).

A comutação com tensão nula em interruptores MOSFET é obtida inserindo um capacitor em paralelo com o interruptor, conforme mostrado na Figura 2.21(a). Quando a tensão do capacitor atinge valor nulo, o diodo de corpo do MOSFET conduz, fixando a tensão sobre o interruptor em zero. Para que ocorra ZVS durante a comutação de bloqueio, é necessário garantir que a tensão sobre o interruptor permaneça nula até que a corrente seja extinta.

Figura 2.21 – Célula de comutação não dissipativa. (a) Células de comutação ZVS. (b) Célula de comutação ZCS.

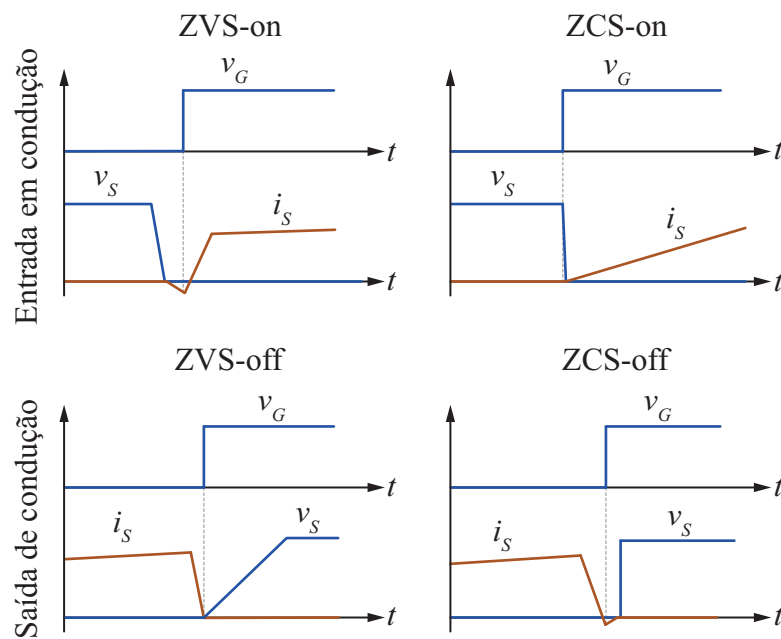


Fonte: Autor.

Como apresentado na Figura 2.21(b), para obter ZCS é inserido um indutor em

série com o MOSFET. O indutor é responsável por limitar a taxa de variação da corrente que flui através do interruptor. Devido ao atraso que a indutância causa na corrente, é obtida a condição de ZCS na entrada em condução do interruptor. Para garantir ZCS na comutação de bloqueio, a corrente no interruptor deve ser reduzida a um pequeno valor negativo antes que o MOSFET receba o comando para bloquear. Na Figura 2.22 são apresentadas as formas de onda teóricas para a corrente e para a tensão nos interruptores durante a comutação.

Figura 2.22 – Formas de onda teóricas para a tensão (v_S) e para a corrente (i_S) nos MOSFETs durante a comutação.



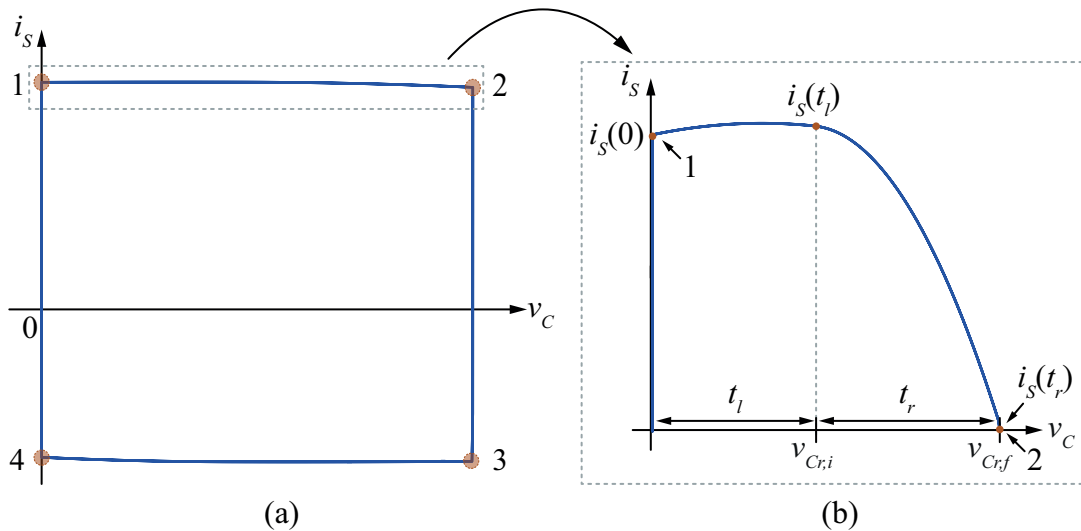
Fonte: Autor.

As técnicas de comutação suave foram inicialmente desenvolvidas para conversores ressonantes (TABISZ; LEE, 1988; SURYADEVARA; PARSA, 2020; ABBASIAN et al., 2022) e posteriormente estendida aos demais conversores (SABATE et al., 1990; CHENG et al., 2021; MOHAMMED; JUNG, 2021). As técnicas de comutação denominadas ZVS-PWM e ZCS-PWM em (HUA; LEE, 1995) são amplamente utilizadas para obter comutação suave em conversores não ressonantes (JANG; JOVANOVIC; CHANG, 2003; DENG et al., 2023; MOUSAVI; DAS; MOSCHOPOULOS, 2012; WEN et al., 2021). As principais características da comutação ZVS-PWM são comentadas a seguir.

A técnica ZVS-PWM apresenta redução dos esforços de corrente nos interruptores, quando comparada às técnicas de ZVS ressonante, uma vez que essa técnica não insere ressonância durante as etapas de transferência de energia. A ressonância entre o indutor e o capacitor de comutação ocorre somente durante uma parte da comutação. O plano de fase típico para um conversor genérico operando com ZVS-PWM é apresentado na Figura 2.23.

Observando o plano de fase na Figura 2.23(a), nota-se que a corrente de comutação

Figura 2.23 – Plano de fase. (a) Plano de fase genérico para um circuito não ressonante. (b) Detalhe do plano de fase durante o período de comutação para bloqueio do interruptor.



¹ Início da comutação de bloqueio. ² Fim da comutação de bloqueio. ³ Início da comutação de entrada em condução. ⁴ Fim da comutação de entrada em condução.

Fonte: Autor.

i_s possui trajetória linear em relação à tensão sobre o capacitor de comutação (v_C) durante as etapas de transferência de energia, as quais se encontram entre os pontos "4" e "1" e "2" e "3". O ponto "1" representa o início da etapa de comutação para o bloqueio do interruptor.

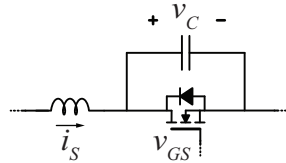
Analisando a Figura 2.23(b), percebe-se que no início da comutação de bloqueio, i_s apresenta valor máximo e interage de forma linear com v_C . Esse período é definido como etapa linear da comutação (t_l). Quando a tensão sobre o capacitor de comutação atinge valor igual a $v_{Cr,i}$, a tensão e a corrente de comutação passam a interagir de forma ressonante, essa etapa é chamada de ressonante (t_r) e finaliza quando v_C atinge seu valor máximo.

Finalizada a comutação de bloqueio, v_C assume valor constante e interage de forma linear com a corrente de comutação, como é mostrado entre os pontos "2" e "3" na Figura 2.23(a). Entre os pontos "3" e "4" ocorre a comutação de entrada em condução do interruptor, a qual também apresenta uma etapa linear e outra ressonante e finaliza quando $v_C = 0$ no ponto "4" onde tem início a segunda etapa de transferência de energia. A trajetória da corrente durante essa etapa é representada entre os pontos "4" e "1", enquanto a tensão no capacitor se mantém nula e a corrente é incrementada de forma linear.

Para que o interruptor atinja comutação ZVS, é necessário que a corrente i_s seja suficiente para descarregar ou carregar o capacitor durante o intervalo de tempo morto. Dessa forma, com o intuito de ampliar a faixa de operação em que o conversor opera com comutação não dissipativa, um indutor é conectado em série com a célula de comutação

não dissipativa apresentada na Figura 2.21(a) (HUA; LEE, 1995). O circuito resultante é apresentado na Figura 2.24. Alguns conversores, como o ponte completa, o meia ponte e suas variações topológicas obtidas a partir da integração desses com a célula de comutação a capacitor chaveado, utilizam a indutância de dispersão do transformador como indutor de comutação (PENG et al., 2004; ALVES; BARBI, 2022; LEE; MOON, 2008; CAÚS; BARBI, 2022b).

Figura 2.24 – Célula de comutação não dissipativa ZVS-PWM.



Fonte: Autor.

Para implementar a célula de comutação não dissipativa ZVS-PWM, apresentada na Figura 2.24, é necessário definir os valores do capacitor, do indutor e do tempo morto entre os sinais de comutação (t_d), que deve ser maior que o tempo necessário para realizar a comutação. Observando o detalhe do plano de fase genérico, apresentado na Figura 2.23(b), pode-se concluir que o tempo total de comutação é dado pela soma entre a duração da etapa linear (t_l) e da etapa ressonante de comutação (t_r).

O tempo linear (t_l) é definido por meio da relação volt-ampere do capacitor. Como a tensão sobre o capacitor varia entre 0 V e $v_{Cr,i}$ durante t_l , logo

$$t_l = C \cdot \frac{v_{Cr,i}}{i_C}. \quad (2.46)$$

A duração do intervalo ressonante da comutação é definida por meio da elaboração de um novo plano de fase, que representa o circuito equivalente para o intervalo ressonante da comutação (JUNIOR et al., 2018; CAÚS; BARBI, 2022b; BARBI; PÖTTKER, 2019). Para exemplificar o equacionamento de t_r , é usado o circuito equivalente genérico para etapa ressonante da comutação mostrado na Figura 2.25(a), o qual é obtido a partir das equações que seguem.

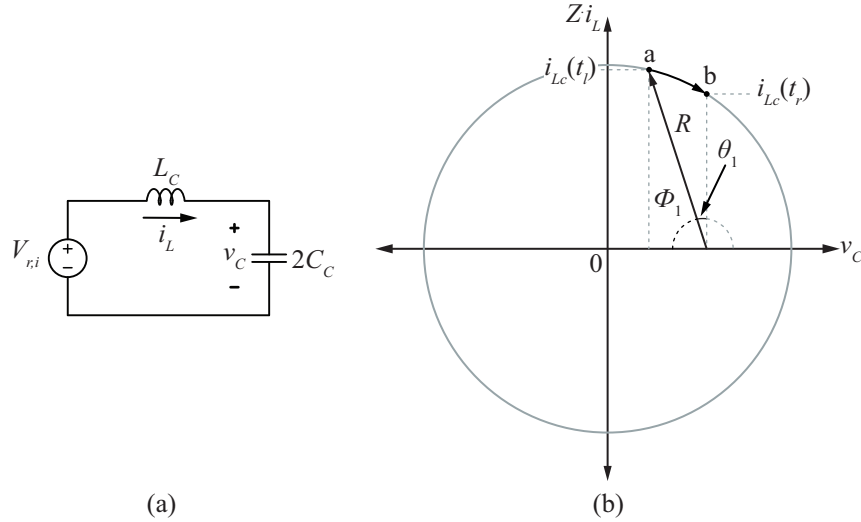
$$i_{Lc} = 2C_C \frac{d}{dt} \quad (2.47)$$

$$v_{r,i} = v_{Cc} + 2 \cdot L_C \cdot C_C \cdot \frac{d^2}{dt^2} v_{Cc}. \quad (2.48)$$

Aplicando a transformada de *Laplace* em (2.48), define-se (2.49), que corresponde a tensão sobre o capacitor no domínio da frequência.

$$V_{Cc}(s) = -\frac{I_{Lc}(0) \cdot L_C}{(1 + s^2 \cdot 2L_C \cdot C)} + \frac{s \cdot V_{Cc}(0) \cdot 2L_C \cdot C_C}{(1 + s^2 \cdot 2L_C \cdot C)} + \frac{v_{r,i}}{s \cdot (1 + s^2 \cdot 2L_C \cdot C_C)} \quad (2.49)$$

Figura 2.25 – Etapa ressonante de comutação. (a) Circuito equivalente genérico para a etapa ressonante da comutação. (b) Plano de fases obtido por meio do equacionamento do circuito equivalente.



Fonte: Autor.

$V_{C_c}(0)$ é o valor da tensão sobre o capacitor no início do intervalo ressonante da comutação, representado no circuito equivalente pela fonte de tensão. $I_{L_c}(0)$ representa a corrente em L_C no início de t_r , que pode ser considerada igual a corrente em L no instante anterior ao bloqueio dos interruptores.

Aplicando a transformada inversa de *Laplace* em (2.49), define-se a tensão sobre C no domínio do tempo, dado por

$$v_{C_c} = V_{C_c}(0) \cdot \cos(\omega t) + v_{r,i} [1 - \cos(\omega t)] - Z \cdot I_{L_c}(0) \cdot \sin(\omega t). \quad (2.50)$$

Em que, Z representa a impedância característica do circuito, definida por $\sqrt{\frac{L_C}{2C_C}}$. ω simboliza a frequência de ressonância angular, dada por $\sqrt{\frac{1}{2L_C C_C}}$.

A equação que define i_{L_c} durante o intervalo ressonante da comutação, apresentada em (2.51), é encontrada substituindo (2.50) em (2.47).

$$i_{L_c} = I_{L_c}(0) \cdot \cos(\omega t) + \frac{V_{C_c}(0) \cdot \sin(\omega t)}{Z} - v_{r,i} \cdot \frac{\sin(\omega t)}{Z}. \quad (2.51)$$

Representando graficamente $Z \cdot i_{L_c}$ em relação a v_{C_c} , define-se o plano de fase apresentado na Figura 2.25(b). Esse plano de fases é válido somente entre os pontos "a" e "b", que representam, respectivamente, $v_{r,i}$ (valor da tensão sobre o capacitor no início da etapa ressonante da comutação de bloqueio) e $v_{r,f}$ (valor da tensão sobre o capacitor no final da etapa ressonante da comutação bloqueio do interruptor).

A duração do intervalo ressonante é obtida a partir da análise do deslocamento

angular da corrente no plano de fase. Inicialmente, são definidos θ_1 e ϕ_1 , sendo ϕ_1 dado por

$$\phi_1 = \cos^{-1} \left[\frac{v_{r,i}}{R} \right]. \quad (2.52)$$

E $\theta_1 + \phi_1 = \frac{\pi}{2}$, então:

$$\theta_1 = \frac{\pi}{2} - \cos^{-1} \left[\frac{v_{r,i}}{R} \right]. \quad (2.53)$$

Em que, R representa o raio do plano de fases e é definido por

$$R = \sqrt{v_{r,i}^2 + (Z \cdot I_{Lc}(0))^2}. \quad (2.54)$$

A duração da etapa ressonante é dada pela razão entre o deslocamento angular (θ_1) e a frequência de ressonância angular. Assim, substituindo (2.54) em (2.53) e dividindo a equação encontrada por ω , define-se t_r como

$$t_r = \frac{1}{\omega} \left\{ \frac{\pi}{2} - \cos^{-1} \left[\frac{D \cdot v_{r,i}}{\sqrt{v_{r,i}^2 + (Z \cdot I_{Lc}(0))^2}} \right] \right\}. \quad (2.55)$$

O valor de tempo morto, aplicado entre os sinais de comando, deve ser maior que $t_l + t_r$ e depende dos valores de capacitância e indutância de comutação.

A indutância de comutação causa redução no ganho de tensão em algumas topologias. Portanto, a escolha do valor de L_C deve considerar a máxima redução no ganho (ou redução de razão cíclica) desejada (BARBI; PÖTTKER, 2019). Após definir a indutância, a capacitância de comutação pode ser encontrada igualando as equações que definem a energia armazenada em L_C e C_C , visto que a energia armazenada em L_C deve ser suficiente para descarregar o capacitor durante o tempo total de comutação. Assim,

$$C_c = L_c \left(\frac{i_{Lc}}{v_{Cc}} \right)^2. \quad (2.56)$$

A comutação suave proporciona ao conversor maior rendimento e densidade de potência, devido à redução do dissipador. No entanto, requer componentes extras (capacitores e indutores). O uso do indutor de comutação pode causar redução na razão cíclica efetiva. Portanto, o projeto da comutação suave deve ser realizado de maneira criteriosa considerando os tópicos apresentados e verificando a possibilidade de utilizar elementos parasitas e não idealidades dos componentes para proporcionar comutação não dissipativa aos interruptores.

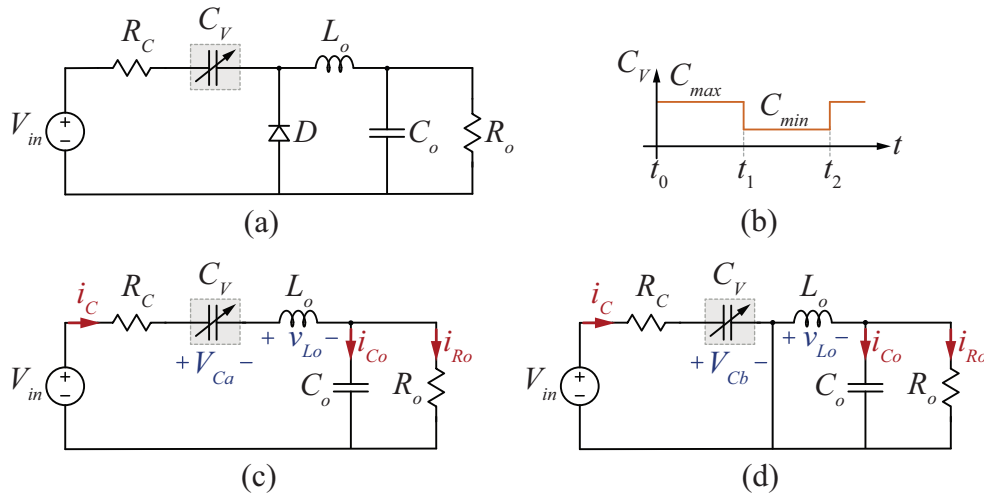
3 TOPOLOGIA DO TIPO *BUCK* A CAPACITOR VARIÁVEL

O conversor do tipo *Buck* a capacitor variável é obtido ao substituir o interruptor controlado no conversor *Buck* por um capacitor variável, conforme ilustrado na Figura 3.1(a). Dependendo da técnica utilizada para obter a capacitância variável, a carga ou a energia é conservada nos capacitores durante a transição do valor da capacitância. Capacitâncias variáveis, obtidas por meio da modificação dos aspectos construtivos do capacitor, geralmente mantêm a quantidade absoluta de cargas em cada uma das placas fixas. Isso resulta na variação da energia armazenada no capacitor à medida que a capacitância varia.

Quando a capacitância é alterada através da comutação de interruptores controlados, que conectam os capacitores em série ou em paralelo, a carga total do arranjo depende da configuração dos capacitores. Isso resulta em mudanças no número total de cargas no arranjo em cada uma das etapas de operação. No entanto, a energia total do arranjo é conservada.

A análise do conversor *Buck* a capacitância variável é desenvolvida de forma a tornar o equacionamento válido para ambos os casos: conservação de carga e conservação de energia, durante a transição do valor da capacitância. Inicialmente, a análise é realizada considerando a conservação de energia e, posteriormente, é realizada assumindo a conservação de carga. Para que o equacionamento seja aplicável em ambos os casos, são definidas equações genéricas.

Figura 3.1 – Conversor tipo *Buck* (a) Estágio de potência. (b) Valores da capacitância para cada etapa de operação. (c) Primeira etapa de operação ($t_0 - t_1$). (d) Segunda etapa de operação ($t_1 - t_2$).



Fonte: Autor.

Durante a primeira etapa de operação, apresentada na Figura 3.1(c), a capacitância de C_v é igual a C_{max} , a tensão sobre C_v apresenta seu valor de patamar mínimo (V_{Ca}) e

o diodo está bloqueado. A fonte transfere energia para a carga R_o , os capacitores C_V e C_o e o indutor L_o são carregados. Durante essa etapa de operação, a corrente que flui através de C_V é igual a I_o , se as ondulações de corrente forem desconsideradas.

A segunda etapa de operação, apresentada na Figura 3.1(d), ocorre quando $C_V = C_{min}$. Durante essa etapa de operação, a tensão sobre C_V atinge seu valor de patamar máximo v_{Cb} , que é igual a V_{in} , se a queda de tensão sobre a resistência intrínseca a C_V (R_C) for desconsiderada. A tensão sobre C_V é maior que a tensão de saída V_o , portanto, o diodo conduz e L_o e C_o fornecem energia para a carga.

Analisando as etapas de operação, pode-se notar que a variação do valor da capacitância resulta em uma diferença no valor da tensão sobre C_V . Considerando que os valores da capacitância de C_V são suficientemente altos para que as ondulações de tensão em C_V durante cada etapa de operação possam ser desconsideradas, podemos assumir que, durante o intervalo de tempo em que a capacitância atinge seu valor máximo ($C_V = C_{max}$), a tensão sobre C_V (v_C) permanece constante e é definida como V_{Ca} . Quando C_V atinge seu valor mínimo ($C_V = C_{min}$), v_C é igual a V_{Cb} , também mantida constante. Portanto, se a energia é conservada, podemos expressá-la da seguinte maneira

$$E_a = E_b \rightarrow \frac{1}{2}C_{max} \cdot V_{Ca}^2 = \frac{1}{2}C_{min} \cdot V_{Cb}^2. \quad (3.1)$$

Dessa forma, tem-se

$$V_{Ca} = V_{Cb} \cdot \sqrt{\frac{C_{min}}{C_{max}}}. \quad (3.2)$$

Com o intuito de generalizar o equacionamento, podemos definir que

$$k_c = \frac{C_{min}}{C_{max}}. \quad (3.3)$$

Portanto, podemos reescrever (3.2) como

$$V_{Ca} = V_{Cb} \cdot k_v. \quad (3.4)$$

Em que $k_v = \sqrt{k_c}$.

Se for considerado que a carga é conservada durante a transição do valor da capacitância, a relação entre V_{Ca} e V_{Cb} é definida igualando os valores absolutos da carga no capacitor durante a primeira e a segunda etapa de operação. Assim, estabelecemos a igualdade

$$C_{max} \cdot V_{Ca} = C_{min} \cdot V_{Cb}. \quad (3.5)$$

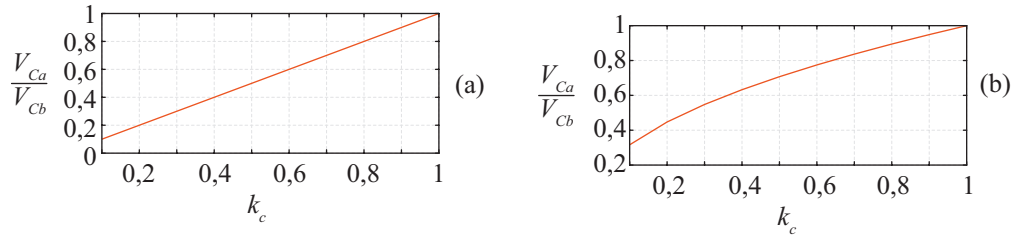
Dessa forma, a relação entre V_{Ca} e V_{Cb} é dada por

$$V_{Ca} = V_{Cb} \cdot k_v. \quad (3.6)$$

Sendo $k_v = k_c$.

A relação entre V_{Ca} e V_{Cb} , para as condições em que a carga e a energia são conservadas em C_V , são representadas respectivamente na Figura 3.2(a) e na Figura 3.2(b). Analisando a Figura 3.2 podemos observar que a maneira como a capacitância variável é modificada afeta a relação entre os valores de tensão sobre o capacitor. Além disso, pode ser notado que a razão entre V_{Ca} e V_{Cb} é maior quando a energia é considerada constante.

Figura 3.2 – Relação entre V_{Ca} e V_{Cb} . (a) Conservação de carga. (b) Conservação de energia.



Fonte: Autor.

Definida a operação do conversor e a relação entre os valores para a tensão sobre C_V durante cada uma das etapas de operação, podemos realizar a análise de ganho estático de tensão do conversor. A análise do ganho estático do conversor é realizada de forma a definir uma equação genérica para ambas as condições. Sabendo que, independentemente da condição de operação do capacitor, o conversor apresenta duas etapas de operação é definido que o intervalo de tempo em que $C_V = C_{max}$ é igual a $D \cdot T_s$ e que o intervalo de tempo em que $C_V = C_{min}$ é igual a $(1 - D)T_s$. Durante a segunda etapa de operação ($(1 - D)T_s$), a tensão sobre C_V é igual a V_{in} . Portanto, a tensão sobre C_V durante a primeira etapa de operação (V_{Ca}) é igual $V_{in} \cdot k_v$ e, desconsiderando a queda de tensão sobre R_C , a tensão sobre L_o é definida por

$$v_{Lo} = V_{in} - V_o - V_{in} \cdot k_v. \quad (3.7)$$

Durante a segunda etapa de operação, apresentada na Figura 3.1(d), $v_{Lo} = V_o$. Assim, considerando que o conversor opera em regime permanente, tem-se:

$$V_{Lo} \cdot T_s = [V_{in}(1 - k_v) - V_o]D \cdot T_s - V_o(1 - D)T_s = 0. \quad (3.8)$$

Organizando (3.8), o ganho estático de tensão é definido como:

$$G = \frac{V_o}{V_{in}} = (1 - k_v)D. \quad (3.9)$$

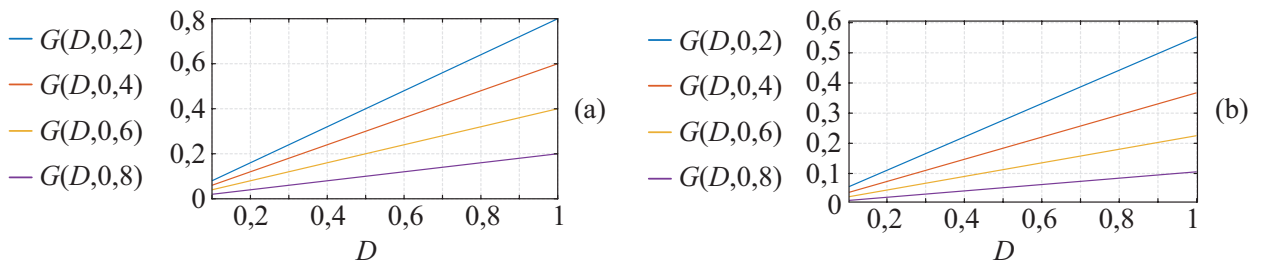
A equação para o ganho, definida em (3.9), é válida para ambos os casos. Dessa forma, para estabelecer equações específicas para cada situação, o valor apropriado para k_v deve ser substituído em (3.9). Assim, ao substituir k_v por $\sqrt{k_c}$ em (3.9), obtém-se a equação para o ganho ao considerar a conservação de energia, apresentada em (3.10). Da mesma forma, substituindo k_v por k_c em (3.9), define-se a equação para o ganho quando a carga é conservada, como mostrado em (3.11)

$$G = \left(1 - \sqrt{\frac{C_{min}}{C_{max}}}\right) D. \quad (3.10)$$

$$G = \left(1 - \frac{C_{min}}{C_{max}}\right) D. \quad (3.11)$$

As curvas de ganho para ambas as condições são ilustradas na Figura 3.3. Ao analisar essas curvas, observa-se que, para ambas as condições, o ganho aumenta linearmente com D , mantendo a característica de ganho do conversor *Buck*. Além disso, nota-se que, à medida que o valor de k_c aumenta, o ganho diminui. No entanto, é importante destacar que, ao considerar a conservação de carga, a relação de ganho é maior do que quando se considera a conservação de energia.

Figura 3.3 – Ganho do conversor em relação ao tempo em que o valor da capacitância de C_V permanece com seu valor máximo (C_{max}) para diferentes valores de k_c . (a) Considerando que o capacitor apresenta conservação de carga. (b) Considerando que o capacitor apresenta conservação de energia.



Fonte: Autor.

Ao analisar o equacionamento do ganho, pode ser notado que as equações para ambas as condições se diferenciam apenas no valor da variável k_v . Portanto, se o equacionamento for conduzido sem realizar a substituição do valor de k_v , obtêm-se equações genéricas. Seguindo a mesma abordagem, são equacionados os esforços de tensão e corrente nos componentes. Inicialmente, são definidas equações genéricas e, posteriormente, a variável k_v é substituída, resultando em equações específicas para cada condição.

3.1 ESFORÇOS DE TENSÃO E CORRENTE NO CAPACITOR VARIÁVEL E NO DIODO

O equacionamento dos esforços de tensão e corrente em C_V é realizado mediante a análise das etapas de operação do conversor. Analisando a segunda etapa de operação, que ocorre quando $C_V = C_{min}$, e aplicando a definição de corrente em uma capacitância, obtemos

$$\frac{V_{in}}{R_C \cdot C_{min}} = \frac{d}{dt} v_{Cb} + \frac{v_{Cb}}{R_C \cdot C_{min}}. \quad (3.12)$$

Resolvendo (3.12) por meio do método dos coeficientes a determinar, define-se:

$$v_{Cb}(t) = k_{Cb} \cdot e^{-\frac{t}{\tau}} + V_{in}. \quad (3.13)$$

Em que, $\tau = R_C \cdot C_{min}$.

Durante a segunda etapa de operação, o conversor devolve energia para a fonte. Portanto, considerando as convenções adotadas para a direção da corrente e para a queda de tensão na Figura 3.1, pode ser afirmado que a tensão sobre C_V está reduzindo durante essa etapa de operação, e que o valor máximo de v_{Cb} ($v_{Cb,max}$) é encontrado no início da etapa. Assim, ao definir $t = 0$ em (3.13), é definido k_{Cb} como

$$k_{Cb} = v_{Cb,max} - V_{in}. \quad (3.14)$$

O valor mínimo de v_{Cb} ocorre no final da segunda etapa de operação. Dessa forma, substituindo t por $(1 - D)T_s$ e k_{Cb} por (3.14) em (3.13), define-se o valor mínimo de v_{Cb} como

$$v_{Cb} = v_{Cb,max} \cdot e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} + \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)}\right] V_{in}. \quad (3.15)$$

A ondulação de tensão sobre C_V durante a segunda etapa de operação (Δv_{Cb}) é igual a $v_{Cb,max} - v_{Cb,min}$. Logo, $v_{Cb,max} = v_{Cb,min} + \Delta v_{Cb}$. Substituindo $v_{Cb,max}$ em (3.15), tem-se

$$v_{Cb,min} = V_{in} + \frac{\Delta v_{Cb} \cdot e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)}}{1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)}}. \quad (3.16)$$

Substituindo (3.14) e (3.16) em (3.13), determina-se a equação que representa v_{Cb} em (3.17).

$$v_{Cb,min} = V_{in} + \frac{\Delta v_{Cb} \cdot e^{-\left(\frac{t}{\tau}\right)}}{1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)}} \quad (3.17)$$

A equação que define Δv_{Cb} , para a condição em que a carga é conservada durante a transição do valor da capacitância, é obtida assumindo que a variação da carga durante a primeira etapa de operação é igual à variação da carga durante a segunda etapa de

operação. Portanto,

$$\Delta v_{Ca} \cdot C_{max} = \Delta v_{Cd} \cdot C_{min}. \quad (3.18)$$

Analisando a primeira etapa de operação, apresentada na Figura 3.1, é estabelecido que i_{CV} é igual a corrente de saída do conversor (I_o). Portanto, $\Delta v_{Ca} = I_o \cdot D \cdot T_s \cdot C_{max}$ e, conseqüentemente

$$\Delta v_{Cb} = \frac{I_o \cdot D}{C_{min} \cdot f_s}. \quad (3.19)$$

Para a condição em que a energia é conservada durante a transição do valor da capacitância, define-se Δv_{Cb} igualando a variação de energia em cada uma das etapas de operação. A variação de energia em um capacitor é definida por

$$\Delta E = \frac{Q}{C} \cdot \Delta q. \quad (3.20)$$

Sendo $Q = C \cdot V$ e $\Delta q = \Delta V \cdot C$, as variações de energia durante a primeira e segunda etapas de operação são definidas como

$$\Delta E_a = C_{max} \cdot v_{Ca} \cdot \Delta v_{Ca} \quad (3.21)$$

$$\Delta E_b = C_{min} \cdot v_{Cb} \cdot \Delta v_{Cb}. \quad (3.22)$$

Igualando (3.21) e (3.22), considerando que $v_{Cb} = V_{in}$ e $v_{Ca} = k_v \cdot V_{in}$, e utilizando a equação definida para Δv_{Ca} em (3.18), válida para ambas as condições, obtém-se

$$\Delta v_{Cb} = k_v \cdot \frac{I_o \cdot D}{C_{min} \cdot f_s}. \quad (3.23)$$

Substituindo (3.19) ou (3.23) em (3.17), tem-se

$$v_{Cb}(t) = V_{in} + k_x \frac{I_o \cdot D \cdot e^{-\left(\frac{t}{\tau}\right)}}{C_{min} \cdot f_s \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} \right]}. \quad (3.24)$$

Em que, $k_x = 1$ para a condição em que a carga é conservada no capacitor e $K_x = \sqrt{k_c}$ para a condição em que a energia armazenada no capacitor é conservada.

A equação que define os valores de v_{Ca} pode ser aproximada substituindo (3.24) em (3.4) ou em (3.6). Assim,

$$v_{Ca}(t) = k_v \cdot V_{in} + k_v \cdot k_x \frac{I_o \cdot D \cdot e^{-\left(\frac{t}{\tau}\right)}}{C_{min} \cdot f_s \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} \right]}. \quad (3.25)$$

Analisando a segunda etapa de operação, mostrada na Figura 3.1(d), podemos definir que $i_{Cb}(t) = [V_{in} - v_{Cb}(t)]/R_C$, logo

$$i_{Cb}(t) = -k_x \frac{I_o \cdot D \cdot e^{-\left(\frac{t}{\tau}\right)}}{R_C \cdot C_{min} \cdot f_s \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} \right]}. \quad (3.26)$$

Na Tabela 3.1 são apresentadas as equações que caracterizam a tensão e a corrente em C_V , tanto para a condição de conservação de carga, quanto para condição de conservação de energia. Também, são apresentados os valores eficazes da corrente em C_V para ambas as condições, considerando as seguintes especificações $C_{min} = 5 \mu\text{F}$, $C_{max} = 20 \mu\text{F}$, $V_{in} = 100 \text{ V}$, $f_s = 100 \text{ kHz}$ e $I_o = 10 \text{ A}$. Pode ser notado que o valor eficaz da corrente em C_V é maior quando o capacitor apresenta conservação de carga.

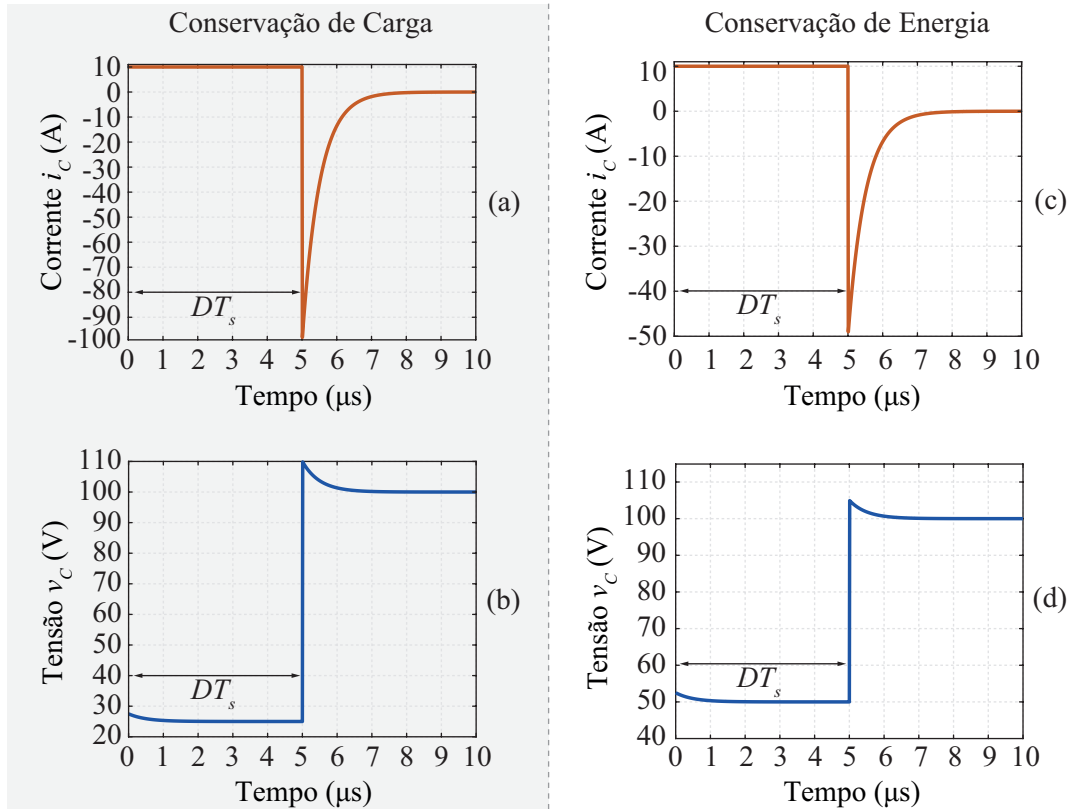
Tabela 3.1 – Corrente e tensão sobre C_V para carga constante e para energia constante.

Variável	Conservação de Energia	Conservação de Carga
$v_{Ca}(t)$	$\sqrt{k_c} \cdot V_{in} + k_c \frac{I_o \cdot D \cdot e^{-\left(\frac{t}{\tau}\right)}}{C_{min} \cdot f_s \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} \right]}$	$k_c \cdot V_{in} + k_c \frac{I_o \cdot D \cdot e^{-\left(\frac{t}{\tau}\right)}}{C_{min} \cdot f_s \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} \right]}$
$v_{Cb}(t)$	$V_{in} + \sqrt{k_c} \frac{I_o \cdot D \cdot e^{-\left(\frac{t}{\tau}\right)}}{C_{min} \cdot f_s \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} \right]}$	$V_{in} + \frac{I_o \cdot D \cdot e^{-\left(\frac{t}{\tau}\right)}}{C_{min} \cdot f_s \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} \right]}$
$i_{Ca}(t)$	I_o	I_o
$i_{Cb}(t)$	$-\sqrt{k_c} \frac{I_o \cdot D \cdot e^{-\left(\frac{t}{\tau}\right)}}{R_C \cdot C_{min} \cdot f_s \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} \right]}$	$-\frac{I_o \cdot D \cdot e^{-\left(\frac{t}{\tau}\right)}}{R_C \cdot C_{min} \cdot f_s \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} \right]}$
$I_{Cv,rms}$	10,5476 A	15,6464 A

Usando as equações apresentadas na Tabela 3.1, são obtidas as formas de onda mostradas na Figura 3.4. A Figura 3.4(a) e a Figura 3.4(c) apresentam, respectivamente, o comportamento da corrente para a condição em que a carga é conservada e para a condição que a energia é conservada. Pode-se notar que durante a primeira etapa de operação, o valor da corrente no capacitor é idêntico para ambas as condições, uma vez que o valor da capacitância C_V não interfere no valor da corrente. No entanto, durante a segunda etapa de operação, os valores da corrente em C_V são maiores quando consideramos que o capacitor está operando com conservação de carga. As formas de onda para a tensão sobre C_V são apresentadas na Figura 3.4(b) e na Figura 3.4(d). Durante a segunda etapa de operação, os valores de patamar da tensão sobre C_V são similares. No entanto, o valor de pico da tensão é maior para o caso em que a carga é conservada (Figura 3.4(b)). Durante a primeira etapa de operação, o valor de patamar da tensão sobre C_V é maior quando a energia é conservada.

Na Figura 3.5 estão representados os valores eficazes para a corrente em C_V como função de D e da constante k_c . Analisando a Figura 3.5, pode-se notar que o valor eficaz

Figura 3.4 – Formas de onda para tensão e corrente em C_V . (a) Corrente em C_V considerando que a carga é constante. (b) Tensão C_V considerando que a carga é constante. (c) Corrente em C_V considerando que a energia é constante. (d) Tensão C_V considerando que a energia é constante.



Fonte: Autor.

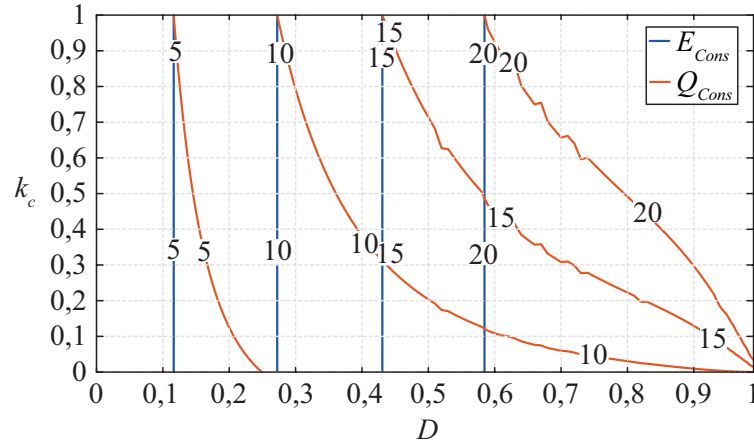
da corrente aumenta com o incremento de D . Portanto, quanto maior o tempo em que $C_V = C_{max}$, maior o valor eficaz de i_{CV} . Além disso, o valor eficaz de i_{CV} diminui com a redução do valor de k_c , quando se considera que a energia é conservada. Também, pode ser observado que, para um mesmo valor de D , o valor eficaz para i_{CV} é maior quando se considera que o capacitor opera com conservação de carga, exceto na condição em que $k_c = 1$. Nessa condição, os valores eficazes das correntes são iguais para ambas as condições.

Definidas as equações que regem os valores de tensão e corrente em C_V , os esforços de tensão e corrente no diodo podem ser encontrados por meio da análise das etapas de operação, apresentadas na Figura 3.1. Durante a primeira etapa de operação, mostrada na Figura 3.1(c), o diodo está bloqueado. Logo, a corrente que flui no mesmo é nula e a tensão é dada por

$$v_D = V_{in} - v_{Ca}. \quad (3.27)$$

Substituindo (3.4) em (3.27), tem-se

$$v_D = V_{in}(1 - k_v). \quad (3.28)$$

Figura 3.5 – Valor eficaz da corrente em C_V para em relação a D e k_c .

Fonte: Autor.

Durante a segunda etapa de operação, mostrada na Figura 3.1(d), o diodo conduz. A tensão sobre o diodo é nula e a corrente é igual $I_o - i_{CV}$. Sendo o valor de i_{CV} referente a segunda etapa de operação definido em (3.26), determina-se que

$$i_D = I_o \left\{ 1 - \frac{k_v \cdot D \cdot e^{-\left(\frac{t}{\tau}\right)}}{R_C \cdot C_{min} \cdot f_s \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} \right]} \right\}. \quad (3.29)$$

Dessa forma, o valor médio da corrente que flui através do diodo é igual a

$$i_D = I_o \cdot \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} \right] \frac{k_v \cdot D + (1-D) \cdot C_{min} \cdot R_C}{R_C \cdot C_{min} \left[1 - e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} \right]}. \quad (3.30)$$

Encontradas as equações que definem os esforços de tensão e corrente no capacitor variável e no diodo, são desenvolvidos modelos de capacitâncias variáveis, no *software* PSIM para validação do equacionamento desenvolvido.

3.2 VALIDAÇÃO DO EQUACIONAMENTO POR MEIO DA IMPLEMENTAÇÃO DE CAPACITORES VARIÁVEIS NO *SOFTWARE* PSIM

Para verificar a validade do equacionamento apresentado, realiza-se a implementação de capacitores com variação rápida da capacitância para ambos os casos (conservação de carga e conservação de energia) utilizando o *software* PSIM. O capacitor que apresenta conservação de energia é obtido implementando a equação que descreve a energia armazenada no capacitor, apresentada em (3.31), por meio de um diagrama de blocos.

$$E_C = \int v_C \cdot i_C dt \quad (3.31)$$

E_C representa a energia armazenada no capacitor, e i_C é a corrente que flui no capacitor, a qual será uma entrada do sistema. v_C é a tensão sobre o capacitor, definida por

$$v_C = \frac{1}{C} \int_0^T i_C dt + V_0. \quad (3.32)$$

V_0 representa o valor de v_C no início de cada etapa de operação. Como o valor da capacitância varia rapidamente, é preciso considerar no equacionamento que o valor de V_0 muda em cada etapa de operação. Manipulando a equação que define a energia armazenada no capacitor, descrita em (3.1), define-se que

$$V_0 = \sqrt{\frac{2E_C}{C}}. \quad (3.33)$$

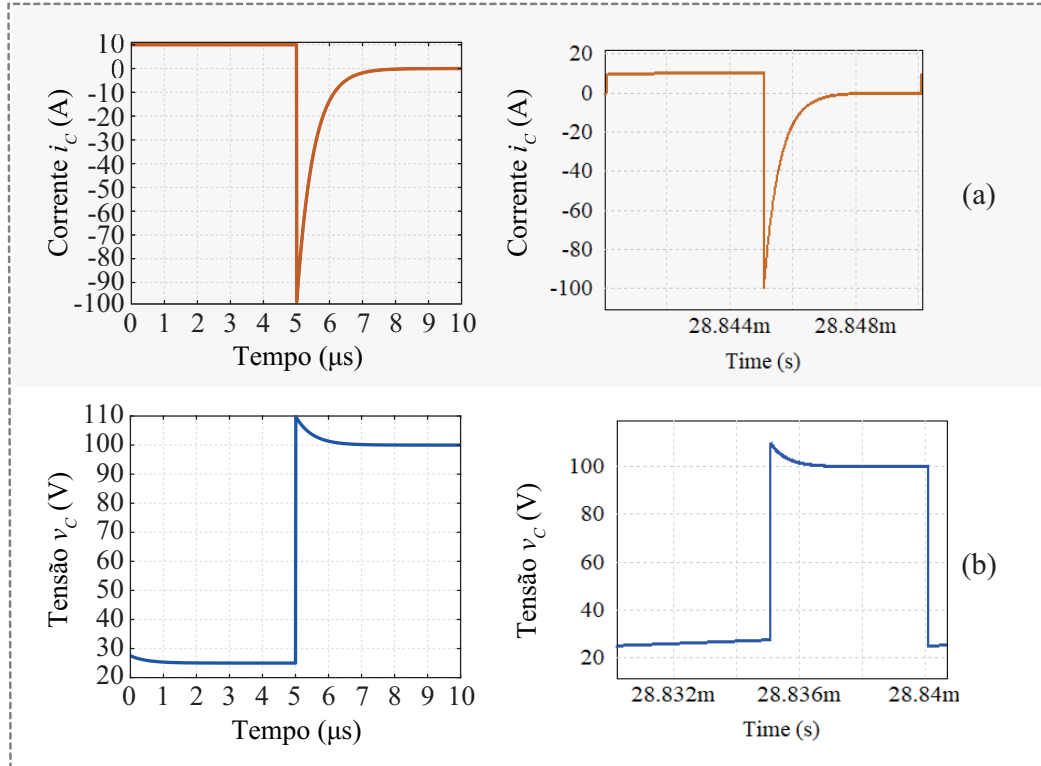
O diagrama de blocos obtido usando (3.31), (3.32) e (3.33) é apresentado na Figura 3.6(a). O integrador, a esquerda no diagrama de blocos, acumula os valores que recebe. Dessa forma, o novo valor é somado ao antigo fazendo com que surja um valor incorreto na saída do somador. Para corrigir esse erro o integrador deve ser reiniciado a cada mudança no valor da capacitância. No diagrama de blocos a inicialização do integrador é realizada por meio do sinal Rst.

O sinal Rst é gerado utilizando dois comparadores e uma porta lógica OR. Na entrada não inversora de um dos comparadores é inserido o sinal referente ao valor atual da capacitância, enquanto na sua entrada inversora é inserido o sinal correspondente ao valor da capacitância lido no ciclo anterior. Se o valor atual for maior que o valor lido no passo anterior, a saída do comparador apresenta nível lógico alto, reiniciando o integrador. No segundo comparador, a lógica inversa é aplicada. Assim, o sinal de saída do sistema apresenta nível lógico alto sempre que o valor da capacitância for alterado, reiniciando o integrador. Esse sinal também é usado para reiniciar o amostrador na entrada inferior do somador, assegurando que o valor de V_0 seja modificado apenas quando ocorrerem mudanças no valor da capacitância.

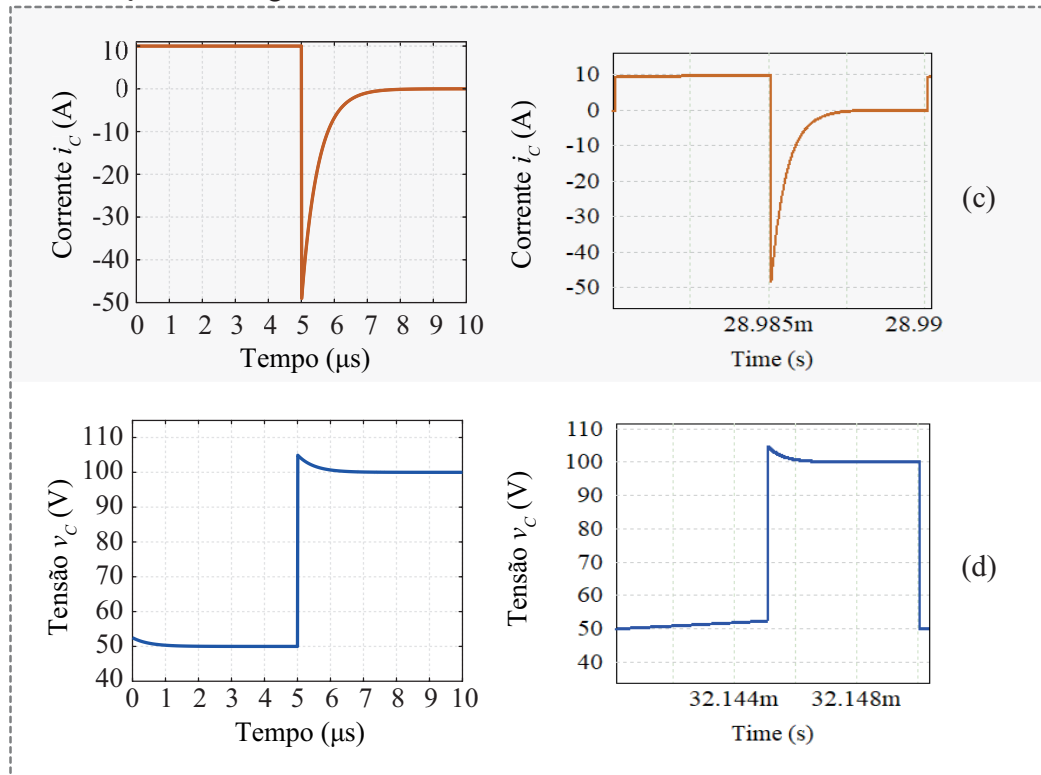
A estrutura usada para emular o capacitor variável com conservação de carga é formada por dois *flip-flops*, quatro interruptores, duas fontes controladas, dois capacitores e uma porta lógica inversora, como apresentado na Figura 3.6(b). O circuito é controlado pela variável S , que define quando C_V é igual a C_{max} e quando C_V é igual a C_{min} , o sinal S é enviado para a entrada *set* do primeiro *flip-flop*, enquanto a entrada *reset* desse *flip-flop* recebe o sinal referente ao valor de S com um pequeno atraso, esse sinal também controla o interruptor S_3 .

Figura 3.7 – Comparação entre as formas de onda, obtidas por meio de simulação e por meio do equacionamento considerando as seguintes especificações $C_{min} = 5 \mu\text{F}$, $C_{max} = 20 \mu\text{F}$, $V_{in} = 100 \text{ V}$, $f_s = 100 \text{ kHz}$ e $I_o = 10 \text{ A}$. (a) Corrente em C_V para a condição em que a carga é conservada. (b) Tensão sobre C_V para a condição em que a carga é conservada. (c) Corrente em C_V para a condição em que a energia é conservada. (d) Tensão sobre C_V para a condição em que a energia é conservada.

Conservação de Carga



Conservação de Energia

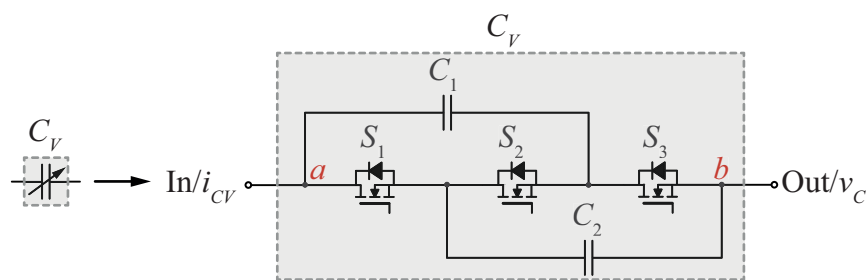


Fonte: Autor.

patamar, o que confirma a validade do equacionamento. As formas de onda para a tensão sobre C_V , na condição em que ocorre a conservação de energia, são mostradas na Figura 3.7(d). Ao comparar as formas de onda obtidas por meio do equacionamento e por meio da simulação, observa-se a similaridade entre ambas, tanto no formato quanto nos valores de pico e patamar. Durante a primeira etapa, nota-se uma divergência no formato das formas de onda para a tensão sobre C_V , o que ocorre devido à simplificação realizada no equacionamento de v_{C_a} . No entanto, essa simplificação não causa erros significativos nos valores de patamar da tensão sobre C_V .

Capacitores com variação rápida na capacitância podem ser emulados usando programas de simulação numérica. No entanto, na prática, não existem capacitores físicos que possam apresentar essa característica. Dessa forma, para validar o equacionamento desenvolvido em laboratório, um capacitor variável é criado por meio de um arranjo de interruptores e capacitores, conforme ilustrado na Figura 3.8. A variação rápida na capacitância é obtida comutando os interruptores, que conectam os capacitores em série durante uma das etapas de operação e em paralelo na outra. Assim, o capacitor resultante apresenta conservação de energia. O próximo passo do estudo é analisar a operação da célula de comutação inserida no conversor *Buck* e definir os esforços de tensão e corrente nos componentes que a integram para, posteriormente, desenvolver a implementação do conversor em laboratório.

Figura 3.8 – Célula de comutação usada para emular um capacitor com variação abrupta da capacitância.



Fonte: Autor.

4 ANÁLISE DA CÉLULA DE COMUTAÇÃO

A capacitância variável inserida nos conversores *Buck*, *Boost* e *Buck – Boost* é obtida por meio da célula de comutação apresentada na Figura 3.8. Portanto, a mudança do valor da capacitância é obtida alternando a forma como os capacitores são conectados, e a energia é conservada durante a transição do valor da capacitância.

A célula utilizada exibe semelhanças com células de comutação a capacitor chaveado. Portanto, é essencial entender algumas propriedades da célula utilizada, como a constante de tempo dos capacitores e a resistência equivalente vista em seus terminais, antes de analisarmos a estrutura proposta.

4.1 CÉLULA DE COMUTAÇÃO A CAPACITÂNCIA VARIÁVEL

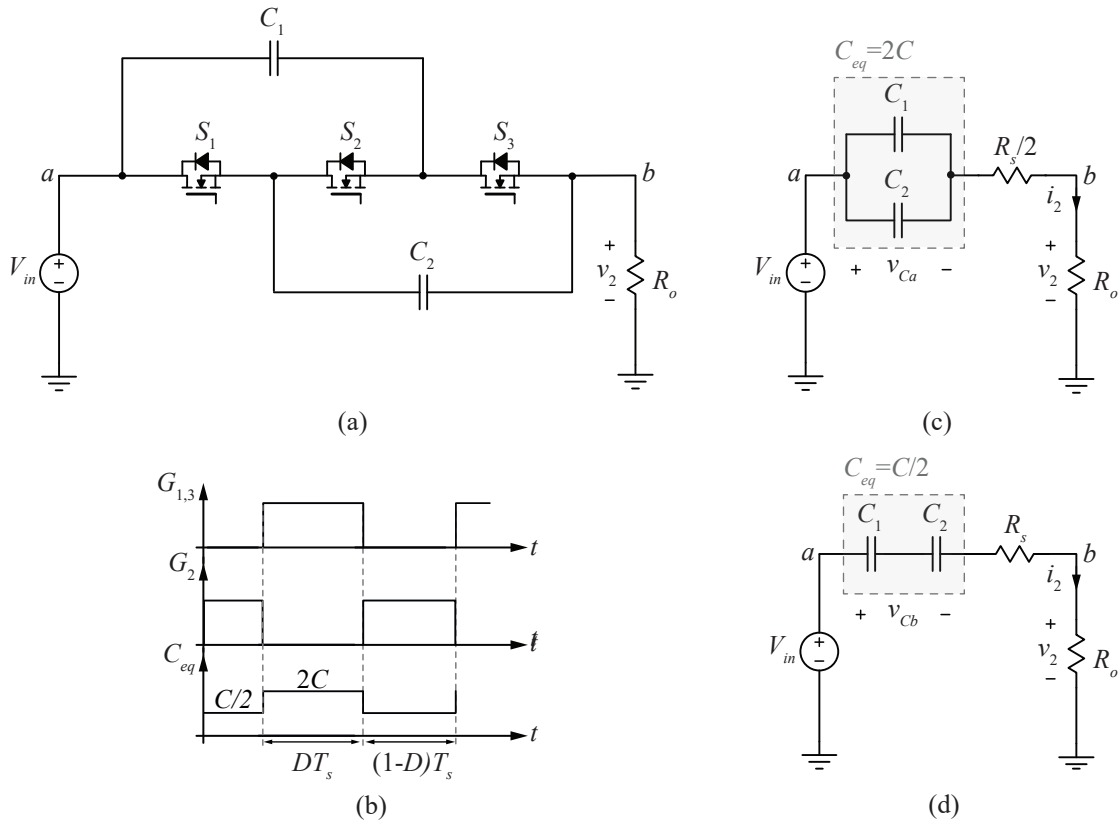
Para discutir o funcionamento da célula de comutação, é usado o conversor genérico apresentado na Figura 4.1(a), em que V_{in} é a fonte de alimentação e R_o representa a carga do conversor. Os interruptores são comandados pelos sinais de comutação descritos na Figura 4.1(b), e nessa condição, o conversor possui duas etapas de operação. Durante o primeiro intervalo de tempo ($0 - DT_s$), os interruptores S_1 e S_3 conduzem, S_2 está bloqueado e os capacitores C_1 e C_2 são associados em paralelo, como mostrado na Figura 4.1(c). Considerando $C_1 = C_2 = C$, a capacitância equivalente vista entre os terminais ab é $C_{eq} = 2C$. No intervalo de tempo ($DT_s - T_s$), os interruptores S_1 e S_3 estão bloqueados, S_2 conduz e os capacitores C_1 e C_2 estão conectados em série; logo, a capacitância vista entre os terminais ab é $C_{eq} = C/2$. O circuito equivalente referente a esse intervalo de tempo é apresentado na Figura 4.1(d).

A variação rápida da capacitância causa uma componente alternada de tensão entre os terminais a e b da célula de comutação (v_{ab}). Desconsiderando as perdas nos interruptores, representadas pela resistência R_s , o valor médio de v_{ab} é igual a diferença entre os valores médios das tensões V_{in} e V_2 .

A tensão entre os terminais a e b para cada etapa de operação pode ser definida por meio da análise da energia armazenada na capacitância equivalente. Como definido, a energia é conservada durante a transição do valor da capacitância, então, pode ser considerado que a energia armazenada na célula de comutação durante a primeira etapa de operação é igual a energia armazenada durante a segunda etapa de operação. Dessa forma, considerando que as capacitâncias sejam grandes suficientes de modo que a ondulação de tensão em cada etapa possa ser desprezada, tem-se

$$C_{eq} \cdot V_{Ca}^2 = C_{eq} \cdot V_{Cb}^2. \quad (4.1)$$

Figura 4.1 – Circuitos utilizados para o equacionamento da resistência e da capacitância equivalente da célula de comutação a capacitor variável. (a) Conversor cc-cc básico desenvolvido a partir da célula de comutação a capacitor variável. (b) Sinais de comutação e formas de onda das tensões sobre os capacitores chaveados. (c) Primeira etapa de operação. (d) Segunda etapa de operação.



Fonte: Autor.

Partindo de (4.1), podemos escrever que

$$V_{Ca} = V_{Cb} \cdot \sqrt{k_c}. \quad (4.2)$$

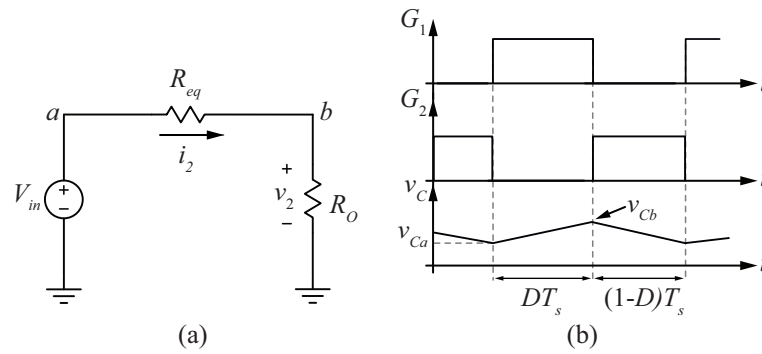
A equação (4.2) é idêntica à equação definida para a capacitância variável em (3.2). No entanto, a célula utilizada apresenta um valor fixo de k_c , igual a 0,25. Isso ocorre porque a capacitância equivalente é igual a $2C$ durante a primeira etapa de operação e igual a $C/2$ durante a segunda etapa de operação.

Por meio da análise das etapas de operação da célula de comutação, pode-se notar que o valor da tensão sobre os capacitores é equalizado durante a primeira etapa de operação. Essa característica também é encontrada nos conversores a capacitor chaveado. Outra característica compartilhada entre a célula estudada e os conversores a capacitor chaveado é a influência da forma de operação dos capacitores na eficiência do conversor. Portanto, o próximo objeto de análise é a resistência equivalente da célula a capacitor variável e seu comportamento em relação a constante de tempo τ .

4.1.1 Resistência equivalente

A célula de comutação apresentada possui características similares à célula unitária. Portanto, os processos de carga e descarga dos capacitores podem ser avaliados pelo método da resistência equivalente dos interruptores e capacitores. Esse método consiste em considerar apenas as ondulações de tensão sobre os capacitores pertencentes a célula de comutação. Os interruptores S_1 , S_2 e S_3 e suas resistências intrínsecas (R_s) são modelados por uma resistência equivalente como é descrito na Figura 4.2(a).

Figura 4.2 – Circuitos equivalentes para a célula de comutação a capacitância variável. (a) Célula de comutação vista como uma resistência equivalente. (b) Forma de onda para a tensão nos capacitores.



Fonte: Autor.

Observando a Figura 4.2(a), pode ser escrito que

$$R_{eq} = \frac{V_{in} - v_2}{i_2}. \quad (4.3)$$

A equação que define i_2 pode ser encontrada pela análise da variação da carga nos capacitores. Durante o primeiro intervalo de operação, a corrente nos capacitores é igual a metade de i_2 , e a variação de carga é dada por

$$\Delta Q = \frac{i_2}{2} \Delta t. \quad (4.4)$$

Sabendo que $\Delta Q = C \cdot \Delta v_C$,

$$i_2 = \frac{2C \cdot \Delta v_C}{\Delta t}. \quad (4.5)$$

Durante a segunda etapa de operação, a corrente que flui através capacitores é igual a i_2 , assim,

$$\Delta Q = i_2 \cdot \Delta t. \quad (4.6)$$

Desenvolvendo a mesma análise realizada para a primeira etapa de operação,

define-se o valor de i_2 para a segunda etapa de operação em (4.7).

$$i_2 = \frac{C \cdot \Delta v_C}{\Delta t} \quad (4.7)$$

Aplicando o método dos valores médios quase instantâneos, obtém-se

$$I_2 = 3C \cdot \Delta v_C \cdot f_s. \quad (4.8)$$

Observando a forma de onda da tensão sobre os capacitores, apresentada na Figura 4.2(b), é estabelecido que

$$\Delta v_C = v_{Cb} - v_{Ca}. \quad (4.9)$$

Os valores de v_{Ca} e v_{Cb} são encontrados por meio da análise das etapas de operação apresentadas na Figura 4.1. Desenvolvendo uma malha de tensão no circuito equivalente referente ao primeiro intervalo de operação, apresentado na Figura 4.1(c), é definido que

$$-V_{in} + v_C + \frac{R_s}{2} \cdot i_2 + v_2 = 0. \quad (4.10)$$

Substituindo (4.5) em (4.10), tem-se

$$\frac{dv_C}{dt} + \frac{v_C}{C \cdot R_s} = \frac{V_{in} - V_2}{C \cdot R_s}. \quad (4.11)$$

A equação (4.11) é identificada como uma equação diferencial ordinária não homogênea separável de segunda ordem, e é solucionada pelo método dos coeficientes a determinar. A solução particular para (4.11) é dada por

$$v_C = V_{in} - v_2. \quad (4.12)$$

A solução complementar de (4.11) é definida fazendo o lado esquerdo da equação igual a zero, logo

$$\frac{dv_c}{v_C} = -\frac{1}{R_s \cdot C}. \quad (4.13)$$

Integrando (4.13) como segue,

$$\int_{V_C(0)}^{v_C} \frac{dv_c}{v_C} = -\int_{t_0}^t \frac{1}{R_s \cdot C}. \quad (4.14)$$

Define-se que

$$v_C = V_C(0) \cdot e^{-\frac{t}{\tau_1}} + (V_{in} - V_2) \left(1 - e^{-\frac{t}{\tau_1}}\right). \quad (4.15)$$

Em que, τ_1 é a constante de tempo, dada por

$$\tau_1 = C \cdot R_s \quad (4.16)$$

e a variável $V_C(0)$ representa o valor da tensão sobre os capacitores no instante $t = 0$. Ao observar a Figura 4.2(b), nota-se que a tensão sobre o capacitor no início da primeira etapa de operação é indicada por v_{Ca} . Portanto,

$$v_C = v_{Ca} \cdot e^{-\frac{t}{\tau_1}} + (V_{in} - V_2) \left(1 - e^{-\frac{t}{\tau_1}}\right) \quad (4.17)$$

Desenvolvendo uma malha de corrente no circuito equivalente referente a segunda etapa de operação, apresentado na Figura 4.1(d), obtém-se

$$-V_{in} + 2v_C + R_s \cdot i_2 + v_2 = 0. \quad (4.18)$$

Substituindo (4.7) em (4.18), define-se que

$$\frac{dv_C}{dt} + \frac{v_C}{C \cdot R_s} = \frac{V_{in} - V_2}{2 \cdot C \cdot R_s}. \quad (4.19)$$

Resolvendo (4.19), utilizando as mesmas ferramentas usadas para resolução de (4.11), é determinado que

$$v_C = v_{Cb} \cdot e^{-\frac{t}{\tau_2}} + \left(\frac{V_{in} - V_2}{2}\right) \left(1 - e^{-\frac{t}{\tau_2}}\right), \quad (4.20)$$

Na qual, v_{Cb} representa o valor da tensão sobre os capacitores no instante $t = DT_s$, e τ_2 é dado por

$$\tau_2 = \frac{C \cdot R_s}{2}. \quad (4.21)$$

Substituindo t por DT_s em (4.15) e t por $(1 - D)T_s$ em (4.20) são definidas, respectivamente, (4.22) e (4.23).

$$v_{Cb} = v_{Ca} \cdot e^{-\frac{DT_s}{\tau}} + (V_{in} - V_2) \left(1 - e^{-\frac{DT_s}{\tau}}\right) \quad (4.22)$$

$$v_{Ca} = v_{Cb} e^{-\frac{(1-D)T_s}{\tau}} + \left(\frac{V_{in} - V_2}{2}\right) \left(1 - e^{-\frac{(1-D)T_s}{\tau}}\right) \quad (4.23)$$

Resolvendo o sistema de equações constituído por (4.22) e (4.23) obtém-se,

$$v_{Ca} = \frac{V_{in} - V_2}{2} \left(\frac{1 + e^{-\frac{1-D}{\tau \cdot f_s}} - 2e^{-\frac{1}{\tau \cdot f_s}}}{1 - e^{-\frac{1}{\tau \cdot f_s}}} \right) \quad (4.24)$$

$$v_{Cb} = \frac{V_{in} - V_2}{2} \left(\frac{2 - e^{-\frac{D}{\tau \cdot f_s}} - e^{-\frac{1}{\tau \cdot f_s}}}{1 - e^{-\frac{1}{\tau \cdot f_s}}} \right) \quad (4.25)$$

Substituindo (4.24) e (4.25) em (4.9) conclui-se que,

$$\Delta v_C = \frac{V_2 - V_{in}}{2} \cdot \left(\frac{e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} + e^{-\frac{D}{\tau \cdot f_s}} - e^{-\frac{1}{\tau \cdot f_s}} - 1}{1 - e^{-\frac{1}{\tau \cdot f_s}}} \right). \quad (4.26)$$

Substituindo (4.26) em (4.8) é definido o valor médio de i_2 , dado por

$$I_2 = 3C \cdot f_s \cdot \frac{V_2 - V_{in}}{2} \cdot \left(\frac{e^{-\left(\frac{1-D}{\tau \cdot f_s}\right)} + e^{-\frac{D}{\tau \cdot f_s}} - e^{-\frac{1}{\tau \cdot f_s}} - 1}{1 - e^{-\frac{1}{\tau \cdot f_s}}} \right). \quad (4.27)$$

Substituído (4.27) em (4.3) e, considerando $C = 2\tau/R_s$, tem-se

$$R_{eq} = \frac{R_s \left(1 - e^{-\frac{1}{\tau \cdot f_s}}\right)}{3\tau \cdot f_s \left[\left(1 - e^{-\frac{D}{\tau \cdot f_s}}\right) \left(1 - e^{-\frac{1-D}{\tau \cdot f_s}}\right) \right]}. \quad (4.28)$$

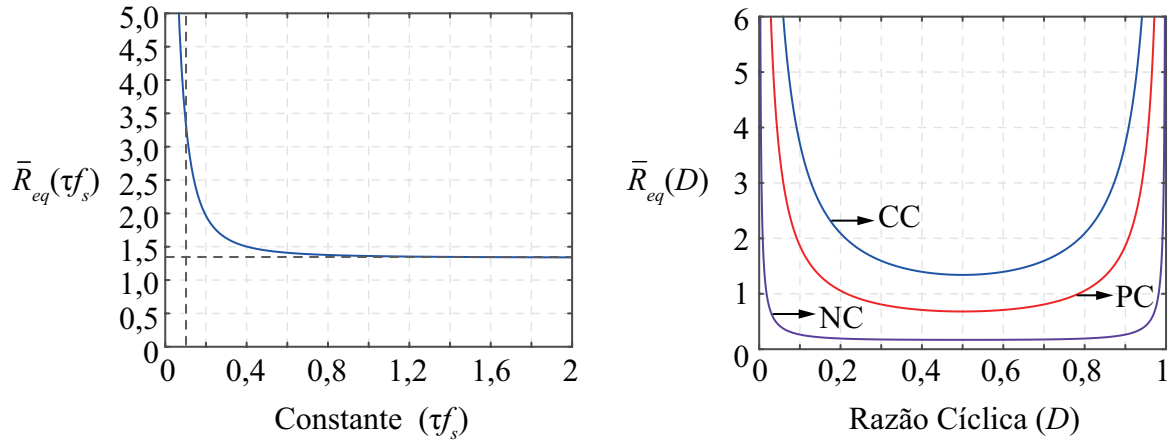
A equação (4.28) é parametrizada em relação a R_s em (4.29) e representada graficamente em função da constante $\tau \cdot f_s$ na Figura 4.3(a), e em função da razão cíclica na Figura 4.3(b).

$$R_{eq} = \frac{\left(1 - e^{-\frac{1}{\tau \cdot f_s}}\right)}{3\tau \cdot f_s \left[\left(1 - e^{-\frac{D}{\tau \cdot f_s}}\right) \left(1 - e^{-\frac{1-D}{\tau \cdot f_s}}\right) \right]}. \quad (4.29)$$

Analisando o equacionamento realizado e a representação gráfica de \bar{R}_{eq} , conclui-se que:

- A célula de comutação apresenta R_{eq} maior ao operar em carga completa, consequentemente, o conversor apresenta perdas mais elevadas nesse modo de carga;
- O menor valor para R_{eq} é encontrado quando o conversor opera com valores de razão cíclica próximos a 0,5;
- Do ponto de vista de redução de perdas, o ideal é que a célula de comutação opere com carga constante. No entanto, requer frequência de comutação, capacitâncias ou resistências elevadas.

Figura 4.3 – Variação da resistência equivalente parametrizada (\bar{R}_{eq}). (a) Em função da razão cíclica. (b) Em função da constante $f_s\tau$.



Fonte: Autor.

- Comparando o valor da resistência equivalente para os modos de operação em carga completa e carga parcial, nota-se que os valores de R_{eq} são próximos, logo operar no modo de carga parcial é o mais indicado.

5 ANÁLISE ORIENTADA AO PROJETO DO CONVERSOR *BUCK* INTEGRADO A CÉLULA DE COMUTAÇÃO A CAPACITOR VARIÁVEL

Um equacionamento detalhado dos esforços de tensão e corrente nos componentes é desenvolvido para o conversor *Buck* integrado a célula de comutação a capacitor variável, possibilitando que esse seja implementado em laboratório. Inicialmente, são definidas as etapas de operação do conversor e seu ganho estático de tensão e, em seguida, os esforços de tensão e corrente nos capacitores da célula de comutação são equacionados e os resultados obtidos são comparados com os valores encontrados para a estrutura usando um capacitor variável genérico. Por fim, são equacionados os esforços de tensão e corrente sobre os semicondutores e as equações de projeto para o indutor e capacitores são apresentadas.

5.1 ANÁLISE ESTÁTICA DO CONVERSOR TIPO *BUCK* A CAPACITOR VARIÁVEL

A análise estática da topologia do tipo *Buck* a capacitor variável é desenvolvida no decorrer do capítulo. Inicialmente, realiza-se o estudo das etapas de operação do conversor, e os esforços de tensão e corrente nos componentes são definidos usando as leis de Kirchhoff. Por fim, as equações de projeto para os capacitores e indutor são estabelecidas.

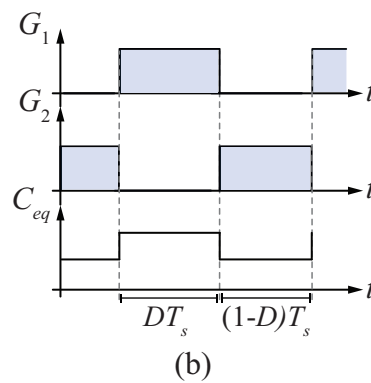
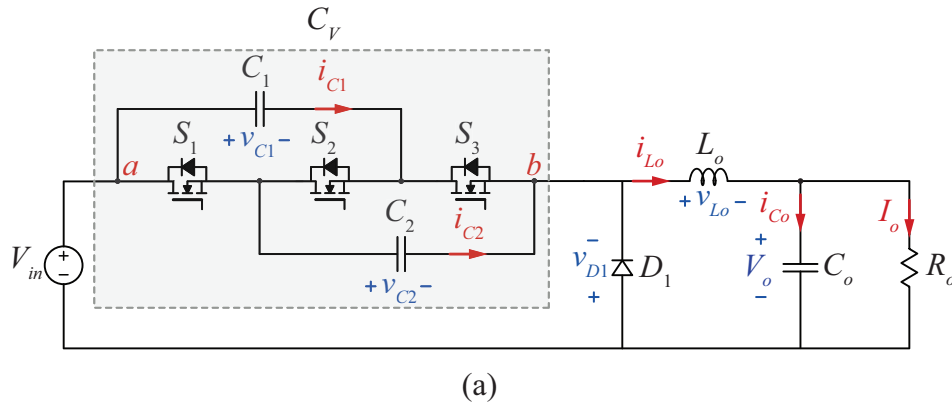
As seguintes hipóteses simplificativas são adotadas para análise do conversor:

- L_o e C_o são projetados de forma que a ondulação da corrente e da tensão de saída sejam desprezíveis;
- Para a análise do ganho de tensão, os MOSFETs são considerados ideais. Para as demais análises, os MOSFETs são modelados por uma resistência série (R_s) quando em condução;
- Os capacitores C_1 e C_2 apresentam capacitâncias idênticas, dadas por C ;
- A capacitância C é suficientemente grande para que as ondulações de tensão sobre C_1 e C_2 possam ser desprezadas no equacionamento.

A topologia obtida por meio da integração entre a célula de comutação a capacitor variável e o conversor *Buck*, apresentada na Figura 5.1(a), é constituída por três interruptores (S_1 , S_2 e S_3), dois capacitores comutados (C_1 e C_2), um diodo (D_1) e um filtro de saída formado por C_o e L_o . A carga é representada por R_o .

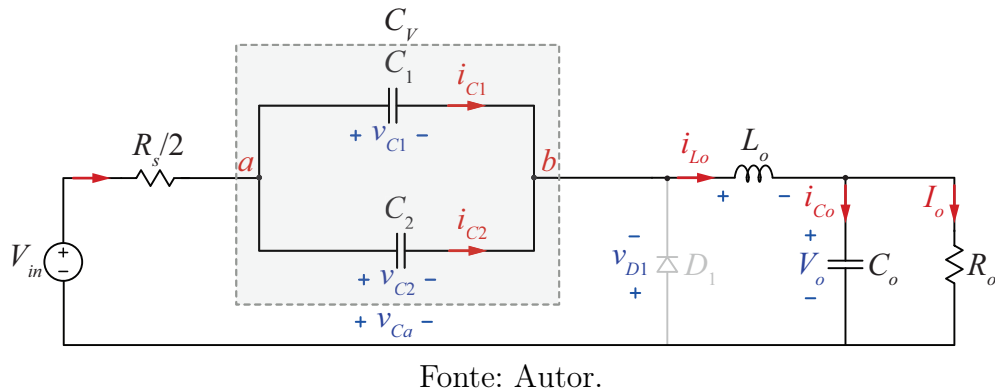
O conversor tipo *Buck* apresenta dois estados topológicos ao operar em modo de condução contínua e com os interruptores comandados pelo sinal PWM, descrito na Figura 5.1(b). Durante o primeiro estado topológico ($0 - DT_s$), apresentado na Figura 5.2, os interruptores S_1 e S_3 conduzem. Os capacitores C_1 e C_2 estão conectados em paralelo e o

Figura 5.1 – Estágio de potência do conversor do tipo Buck.



Fonte: Autor.

Figura 5.2 – Circuito equivalente do primeiro estado topológico ($0 - DT_s$).

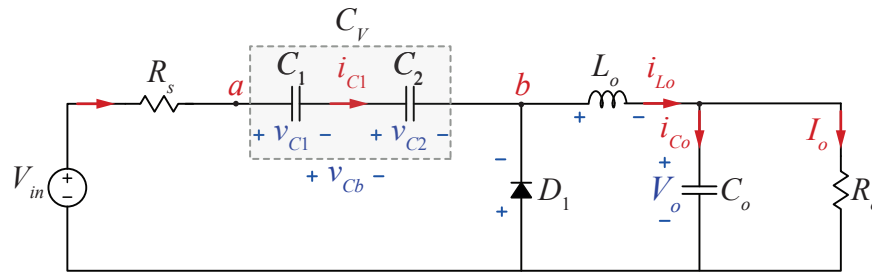


diodo D_1 permanece bloqueado. A energia é transferida da fonte de entrada (V_{in}) para o estágio de saída.

O segundo estágio topológico ($DT_s - T_s$), mostrado na Figura 5.3, tem início quando S_1 e S_3 são comandados a bloquear e S_2 passa a conduzir. O diodo D_1 está diretamente polarizado e conduz a corrente que flui por L_o . A energia armazenada em C_o é transferida para a carga e os capacitores C_1 e C_2 estão conectados em série.

Por meio da análise dos estados topológicos do conversor são determinadas as formas de onda apresentadas na Figura 5.4. Observando os estados topológicos e as principais formas de onda para o conversor tipo Buck é realizada a análise estática, que tem início

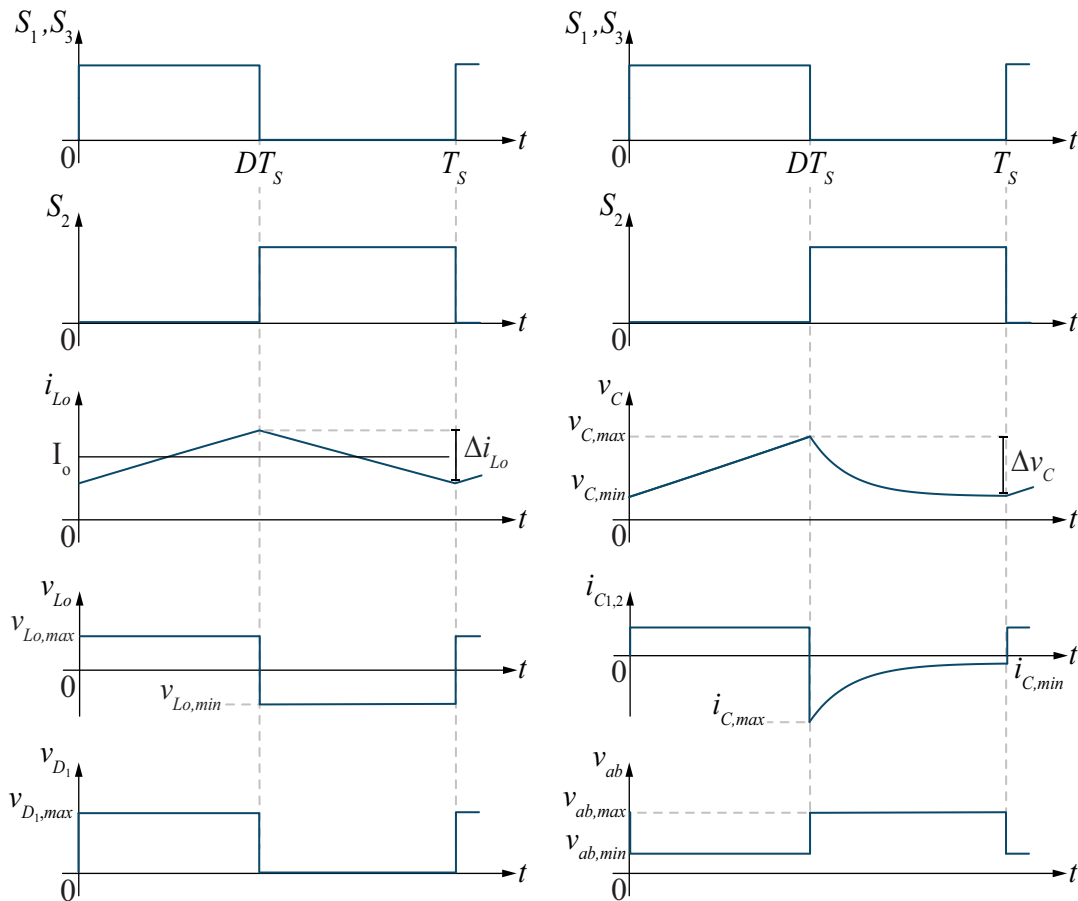
Figura 5.3 – Circuito equivalente do segundo estado topológico ($DT_s - T_s$).



Fonte: Autor.

pele equacionamento do ganho estático de tensão do conversor.

Figura 5.4 – Principais formas de onda para o conversor tipo Buck.



Fonte: Autor.

5.1.1 Ganho estático de tensão

Para desenvolver a análise do ganho estático de tensão da topologia, considera-se que o conversor está operando em regime permanente, portanto o valor médio da tensão sobre o indutor do filtro de saída L_o é nula. Analisando a Figura 5.2 e a Figura 5.3, definem-se os valores para a tensão sobre L_o em cada uma das etapas de operação. Multiplicando

as equações pelo intervalo de tempo referente a cada uma dessas etapas, obtém-se

$$D(V_{in} - v_{Ca} - V_o) = (1 - D)V_o. \quad (5.1)$$

Considerando que os valores das capacitâncias C_1 e C_2 são grandes o suficiente para que as ondulações das tensões v_{C1} e v_{C2} sejam muito pequenas, os valores de v_{C1} e v_{C2} em cada um dos intervalos de operação podem ser considerados iguais aos próprios valores médios.

Durante a primeira etapa de operação ($0 - DT_s$), os capacitores C_1 e C_2 são conectados em paralelo, portanto os valores das tensões v_{C1} e v_{C2} são idênticos. Dessa forma

$$V_{C1,med} = V_{C2,med} = v_{Ca}. \quad (5.2)$$

Na segunda etapa de operação ($DT_s - T_s$), os capacitores C_1 e C_2 são conectados em série com a fonte de alimentação. Assim,

$$V_{in} = V_{C1,med} + V_{C2,med} = v_{Cb}. \quad (5.3)$$

Conhecendo as equações que definem os valores da tensão sobre os capacitores durante a primeira e a segunda etapas de operação, define-se a energia armazenada no arranjo formado por C_1 e C_2 em cada uma das etapas de operação, conforme descrito abaixo.

$$E_a = 2C \cdot v_{Ca}^2 \quad (5.4)$$

$$E_b = \frac{C}{2} \cdot v_{Cb}^2 \quad (5.5)$$

Conforme estabelecido, a energia armazenada no arranjo de capacitores durante a primeira etapa de operação é igual à energia armazenada durante a segunda etapa de operação. Portanto, ao igualar as equações (5.4) e (5.5), pode-se definir a relação entre v_{Ca} e v_{Cb} como $v_{Ca} = \sqrt{k_c} \cdot v_{Cb}$. Com isso, a equação (5.1) pode ser reescrita como

$$D(V_{in} - V_{in}\sqrt{k_c} - V_o) = (1 - D)V_o. \quad (5.6)$$

Organizando (5.6), define-se o ganho estático do conversor, dado por

$$G = \frac{V_o}{V_{in}} = D(1 - \sqrt{k_c}). \quad (5.7)$$

Como o valor de k_c da célula de comutação é fixado em 0,25, o ganho do conversor pode ser definido por

$$G = \frac{V_o}{V_{in}} = \frac{D}{2}. \quad (5.8)$$

Como esperado para um conversor tipo *Buck* não isolado, o ganho de tensão aumenta proporcionalmente à razão cíclica. No entanto, a topologia proposta apresenta ganho de tensão duas vezes menor que o conversor *Buck* clássico.

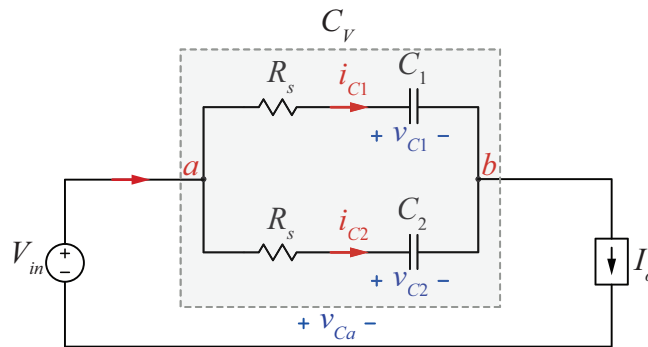
5.1.2 Esforços de tensão e corrente nos capacitores C_1 e C_2

O equacionamento dos esforços de tensão e corrente em C_1 e C_2 é desenvolvido por meio da análise dos circuitos equivalentes do conversor, apresentados na Figura 5.5 e na Figura 5.6. As ondulações de corrente em L_o são desprezadas; dessa forma, o estágio de saída do conversor pode ser representado por uma fonte de corrente contante (I_o). Os capacitores C_1 e C_2 são considerados ideais, com capacitâncias idênticas representadas por C ; a única não idealidade dos interruptores considerada no equacionamento é a resistência de condução (R_s).

Observando o circuito equivalente apresentado na Figura 5.5, nota-se que, durante o primeiro intervalo de operação, a corrente que flui em cada um dos capacitores é constante e definida por

$$i_{C1} = i_{C2} = i_C = \frac{I_o}{2}. \quad (5.9)$$

Figura 5.5 – Circuito equivalente do conversor para o intervalo de tempo $(0 - DT_s)$.



Fonte: Autor.

Analisando (5.9), nota-se que durante a primeira etapa de operação, a tensão sobre C_1 e C_2 aumenta linearmente com o tempo, de acordo com

$$v_C = \frac{I_o}{2C}t. \quad (5.10)$$

No instante em que $t = DT_s$, as tensões sobre C_1 e C_2 atingem seus valores máximos ($v_{C,max}$), os quais são dados pela soma entre a ondulação de tensão sobre os capacitores

(Δv_C) e o valor inicial da tensão sobre os mesmos ($v_{C,min}$), conforme mostrado na Figura 5.3. A partir dessa análise, podemos definir que

$$\Delta v_C = v_{C,max} - v_{C,min}. \quad (5.11)$$

Considerando a equação (5.11) e a relação volt-ampere para a corrente no capacitor, determina-se a ondulação de tensão sobre os capacitores C_1 e C_2 , conforme a expressão abaixo.

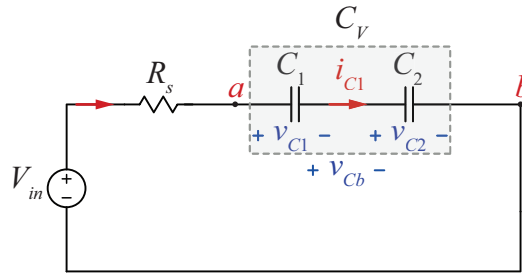
$$\Delta v_C = \frac{I_o \cdot D}{2C \cdot f_s}. \quad (5.12)$$

Observando (5.12), nota-se que a ondulação de tensão sobre os capacitores C_1 e C_2 aumenta linearmente com a razão cíclica.

Analisando o segundo intervalo de operação, apresentado na Figura 6.7, define-se que

$$\frac{V_{in}}{C \cdot R_s} = \frac{dv_C}{dt} + \frac{2v_C}{C \cdot R_s}. \quad (5.13)$$

Figura 5.6 – Circuito equivalente do conversor para o intervalo de tempo ($DT_s - T_s$).



Fonte: Autor.

Resolvendo (5.13), por meio do método dos coeficientes a determinar, obtém-se

$$v_C = v_x e^{-\frac{t}{\tau}} + \frac{V_{in}}{2}. \quad (5.14)$$

A equação (5.14) é válida para o intervalo de tempo $DT_s - T_s$. Observando a forma de onda para v_C , apresentada na Figura 5.4, nota-se que no instante de tempo DT_s $v_C = v_{C,max}$. Dessa forma, fazendo $t = 0$ em (5.14) é definido o valor máximo da tensão sobre C_1 e C_2 , dado por

$$v_{C,max} = v_x + \frac{V_{in}}{2}. \quad (5.15)$$

Isolando v_x em (5.15), obtém-se

$$v_x = v_{C,max} - \frac{V_{in}}{2}. \quad (5.16)$$

Substituindo (5.16) em (5.14), determina-se que:

$$v_C = v_{C,max} \cdot e^{-\frac{t}{\tau}} + \frac{V_{in}}{2} \left(1 - e^{-\frac{t}{\tau}}\right). \quad (5.17)$$

Sendo a contante de tempo τ definida como

$$\tau = \frac{R_s \cdot C}{2}. \quad (5.18)$$

No instante em que $t = T_s$, a tensão sobre C atinge seu valor mínimo ($v_{C,min}$). A equação (5.17) tem como referência o instante de tempo $t = DT_s$, então $v_{C,min}$ é definido substituindo t por $(1 - D)T_s$ em (5.17), assim

$$v_{C,min} = v_{C,max} \cdot e^{-\frac{(1-D)T_s}{\tau}} + \frac{V_{in}}{2} \left(1 - e^{-\frac{(1-D)T_s}{\tau}}\right). \quad (5.19)$$

De acordo com (5.11),

$$v_{C,max} = v_{C,min} + \Delta v_C. \quad (5.20)$$

Substituindo (5.20) em (5.19), obtém-se

$$v_{C,min} = \left(v_{C,min} + \Delta v_C\right) e^{-\frac{(1-D)}{\tau \cdot f_s}} + \frac{V_{in}}{2} \left(1 - e^{-\frac{(1-D)}{\tau \cdot f_s}}\right). \quad (5.21)$$

Isolando $v_{C,min}$ em (5.21), determina-se o valor mínimo da tensão sobre C_1 e C_2 , dado por

$$v_{C,min} = \frac{V_{in} - (V_{in} - 2\Delta v_C) e^{-\frac{(1-D)}{\tau \cdot f_s}}}{2 \left(1 - e^{-\frac{(1-D)}{\tau \cdot f_s}}\right)}. \quad (5.22)$$

Manipulando algebricamente (5.22), define-se a relação entre o valor mínimo da tensão sobre C_1 e C_2 e a tensão de alimentação do conversor como

$$\frac{2v_{C,min}}{V_{in}} = 1 - \frac{2\Delta v_C}{V_{in}} \cdot \frac{e^{-\frac{1-D}{\tau \cdot f_s}}}{1 - e^{-\frac{1-D}{\tau \cdot f_s}}}. \quad (5.23)$$

Analisando (5.23), nota-se que $v_{C,min} < \frac{V_{in}}{2}$ e, de acordo com (5.20), $v_{C,max} > \frac{V_{in}}{2}$ o que é coerente, pois o valor médio da tensão sobre os capacitores é igual a metade do valor da tensão de entrada.

Substituindo (5.20), (5.21) e (5.22) em (5.12) é definido o valor de v_C como

$$v_C = \frac{I_o \cdot D}{2 \cdot C \cdot f_s} \frac{e^{-\frac{t}{\tau}}}{1 - e^{-\frac{1-D}{\tau \cdot f_s}}} + \frac{V_{in}}{2}. \quad (5.24)$$

Por inspeção da Figura 5.6, a corrente que flui através de C_1 e C_2 durante o segundo intervalo de operação é definida como

$$i_C = \frac{V_{in} - 2v_C}{R_s}. \quad (5.25)$$

Substituindo (5.17) e (5.20) em (5.25) e rearranjando os termos, obtém-se

$$i_C = -\frac{(2v_{C,min} + 2\Delta v_C - V_{in}) e^{-\frac{t}{\tau}}}{R_s}. \quad (5.26)$$

Δv_C e $v_{C,min}$ são determinados em (5.12) e (5.22) respectivamente. Substituindo (5.12) e (5.22) em (5.26), encontra-se

$$i_C = -\frac{D \cdot I_o}{C \cdot f_s \cdot R_s} \cdot \frac{e^{-\frac{t}{\tau}}}{1 - e^{-\frac{1-D}{\tau \cdot f_s}}}. \quad (5.27)$$

Quando $t = 0$, $i_C = i_{C,min}$. Então,

$$i_{C,min} = -\frac{D \cdot I_o}{C \cdot f_s \cdot R_s} \cdot \frac{1}{1 - e^{-\frac{1-D}{\tau \cdot f_s}}}. \quad (5.28)$$

Parametrizando (5.28) em relação à corrente de saída, determina-se β_o como

$$\beta_o = \frac{i_{C,min}}{I_o} = -\frac{D}{C \cdot f_s \cdot R_s} \cdot \frac{1}{1 - e^{-\frac{1-D}{\tau \cdot f_s}}}. \quad (5.29)$$

No final da segunda etapa de operação, $i_C = i_{C,max}$. Portanto, fazendo $t = (1 - D)T_s$ em (5.27), define-se o valor de $i_{C,max}$ em (5.30).

$$i_{C,max} = -\frac{D \cdot I_o}{C \cdot f_s \cdot R_s} \cdot \frac{e^{-\frac{1-D}{\tau \cdot f_s}}}{1 - e^{-\frac{1-D}{\tau \cdot f_s}}}. \quad (5.30)$$

A parametrização de $i_{C,max}$ em relação a I_o é definida como β_f .

$$\beta_f = \frac{i_{C,max}}{I_o} = -\frac{D}{C \cdot f_s \cdot R_s} \cdot \frac{e^{-\frac{1-D}{\tau \cdot f_s}}}{1 - e^{-\frac{1-D}{\tau \cdot f_s}}}. \quad (5.31)$$

O valor eficaz da corrente nos capacitores é dado por

$$i_{C,ef} = \sqrt{\int_0^{D \cdot T_s} \left(\frac{I_o}{2}\right)^2 dt + \int_0^{(1-D)T_s} \left(-\frac{D \cdot I_o}{C \cdot f_s \cdot R_S} \cdot \frac{1}{1 - e^{-\frac{1-D}{\tau \cdot f_s}}}\right)^2 dt}. \quad (5.32)$$

Resolvendo (5.32), define-se que

$$i_{C,ef} = \frac{I_o}{4\tau} \sqrt{\frac{2 \cdot D^2 \cdot \tau [1 - e^{-2 \cdot x_a}] + D \cdot \tau^2 \cdot f_s [1 - 2e^{-x_a}] + D \cdot \tau^2 \cdot f_s \cdot e^{-2x_a}}{f_s (1 - 2 \cdot e^{-x_a} + e^{-2 \cdot x_a})}}. \quad (5.33)$$

Sendo:

$$x_a = \frac{1 - D}{\tau \cdot f_s}. \quad (5.34)$$

Uma vez estabelecidas as equações para a corrente em C_1 e C_2 utilizando a célula de comutação a capacitor variável, é importante compará-las com as equações obtidas anteriormente utilizando o capacitor variável. Essa comparação permitirá avaliar se a célula utilizada para emular a capacitância variável apresenta as características desejáveis.

5.1.2.1 Comparação entre as equações obtidas para os esforços de tensão e corrente sobre os capacitores usando uma capacitância variável e as obtidas usando a célula de comutação

Com o intuito verificar a validade das equações obtidas para a tensão e corrente usando a capacitância variável emulada no *software* PSIM, apresentada no Capítulo 3, esse equacionamento é comparado com o equacionamento obtido no presente capítulo.

A equação encontrada para a tensão sobre um dos capacitores da célula de comutação, durante a segunda etapa de operação, é dada por

$$v_C = \frac{I_o \cdot D}{2 \cdot C \cdot f_s} \frac{e^{-\frac{t}{\tau}}}{1 - e^{-\frac{1-D}{\tau \cdot f_s}}} + \frac{V_{in}}{2}. \quad (5.35)$$

Durante essa etapa de operação, os capacitores estão conectados em série. Dessa forma, a tensão presente nos terminais da célula de comutação é igual a $2 \cdot v_C$. Como $C = 2 \cdot C_{min}$, o valor da tensão sobre a célula de comutação pode ser definido como

$$v_C = \frac{I_o \cdot D}{2 \cdot C_{min} \cdot f_s} \frac{e^{-\frac{t}{\tau}}}{1 - e^{-\frac{1-D}{\tau \cdot f_s}}} + V_{in}. \quad (5.36)$$

Fazendo $k_c = 0,25$ em (3.24), tem-se

$$v_{Cb}(t) = \frac{I_o \cdot D}{2 \cdot C_{min} \cdot f_s} \frac{e^{-\frac{t}{\tau}}}{1 - e^{-\frac{1-D}{\tau \cdot f_s}}} + V_{in}. \quad (5.37)$$

Como pode ser observado, (5.36) e (5.37) são idênticas quando $k_c = 0,25$. Portanto, a célula de comutação pode emular o comportamento da tensão sobre um capacitor com variação rápida da capacitância para um valor fixo de k_c .

Durante a primeira etapa de operação, a corrente sobre cada um dos capacitores é igual a $I_o/2$. Portanto, como os capacitores estão conectados em paralelo, a corrente total que flui através da célula de comutação é igual I_o , o mesmo valor encontrado na análise realizada utilizando um capacitor variável.

A corrente que flui através de um dos capacitores durante a segunda etapa de operação do conversor, utilizando a célula de comutação, é igual a corrente total que flui na célula de comutação. Portanto, ao substituir $C = 2 \cdot C_{min}$ em (5.27), obtêm-se

$$i_C = -\frac{D \cdot I_o}{2 \cdot C_{min} \cdot f_s \cdot R_s} \cdot \frac{e^{-\frac{t}{\tau}}}{1 - e^{-\frac{1-D}{\tau \cdot f_s}}}. \quad (5.38)$$

Fazendo $k = 0,25$ em (3.26), é definida a equação para a corrente na capacitância variável C_V , dada por

$$i_{Cb}(t) = -\frac{I_o \cdot D}{2 \cdot R_C \cdot C_{min} \cdot f_s} \frac{e^{-\frac{t}{\tau}}}{\left[1 - e^{-\frac{1-D}{\tau \cdot f_s}}\right]}. \quad (5.39)$$

As equações (5.38) e (5.39) são idênticas. Portanto, a célula de comutação também pode emular o comportamento da corrente em um capacitor com variação rápida da capacitância para um valor fixo de k_c .

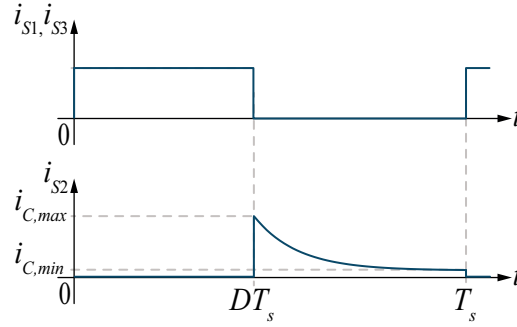
5.1.3 Esforços de tensão e de corrente nos semicondutores

Durante o primeiro intervalo de operação, S_1 e S_3 conduzem corrente igual à metade da corrente de saída. No segundo intervalo de operação, S_1 e S_3 são bloqueados, e a corrente em C_1 e C_2 flui por S_2 , como apresentado na Figura 5.7. O valor de pico da corrente em S_2 (i_{S2}) depende da razão cíclica, da frequência de comutação e da constante de tempo (τ). O valor de pico para i_{S2} é definido por (5.28). Assim, a equação (5.29) representa a razão entre o valor de pico da corrente em S_2 e a corrente de carga (I_o), e é representada na Figura 5.8 em função da razão cíclica (D) para diversos valores de $f_s \tau$.

As curvas apresentadas na Figura 5.8 indicam que o valor de pico da corrente em S_2 pode alcançar valores elevados para $D > 0.9$. Também pode ser observado que, para os mesmos valores de D , o valor de pico de i_{S2} reduz com o aumento de $f_s \tau$.

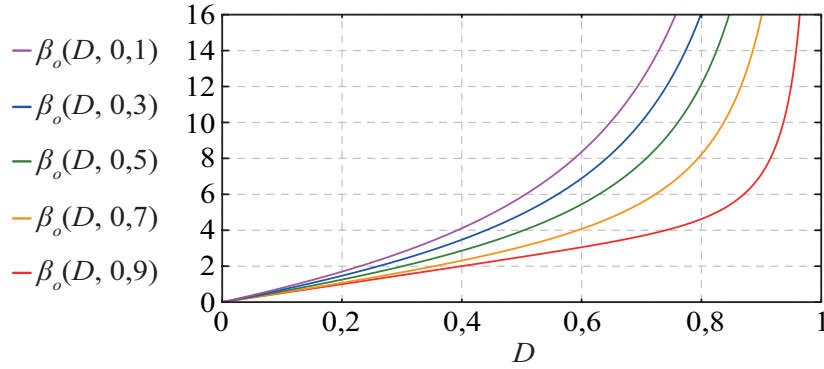
Conhecendo os valores instantâneos para a corrente nos interruptores, o valor eficaz da corrente que flui em S_1 e S_3 é definido em (5.40).

Figura 5.7 – Formas de onda para as correntes nos interruptores. (a) Corrente em S_1 e em S_3 (i_{S1}, i_{S3}). (b) Corrente em S_2 (i_{S2}).



Fonte: Autor.

Figura 5.8 – Relação entre o valor de pico da corrente em S_2 e I_o em função da razão cíclica para diferentes valores de $f_s\tau$.



Fonte: Autor.

$$i_{S1,ef} = i_{S3,ef} = \frac{I_o}{2} \sqrt{D} \quad (5.40)$$

Parametrizando (5.40) em relação à corrente de carga, tem-se

$$\alpha_1 = \alpha_3 = \frac{i_{S1,ef}}{I_o} = \frac{\sqrt{D}}{2}. \quad (5.41)$$

O valor eficaz da corrente no interruptor S_2 é definido por

$$i_{S2,ef} = I_o \cdot D \sqrt{\frac{1 - e^{-2\frac{1-D}{f_s \cdot \tau}}}{8f_s \tau \left(1 - 2e^{-\frac{1-D}{f_s \cdot \tau}} + e^{-2\frac{1-D}{f_s \cdot \tau}}\right)}}. \quad (5.42)$$

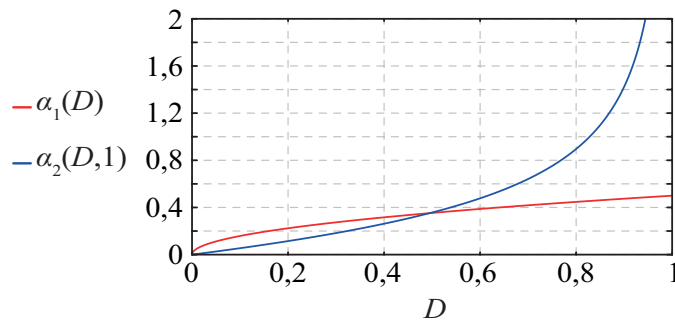
Parametrizando (5.42) em relação à corrente de carga, determina-se o valor de α_2 como

$$\alpha_2 = \frac{i_{S2,ef}}{I_o} = D \sqrt{\frac{1 - e^{-2\frac{1-D}{f_s \cdot \tau}}}{8f_s \tau \left(1 - 2e^{-\frac{1-D}{f_s \cdot \tau}} + e^{-2\frac{1-D}{f_s \cdot \tau}}\right)}}. \quad (5.43)$$

Na Figura 5.9, as variáveis α_1 e α_2 são representadas em função da razão cíclica para $f_s\tau = 1$. De acordo com a Figura 5.9, o valor de α_1 é maior que α_2 quando $D > 0,5$, e para valores da razão cíclica maiores que 0,5, $\alpha_1 < \alpha_2$. O valor de α_2 aumenta exponencialmente quando a razão cíclica se aproxima da unidade.

Durante a segunda etapa de operação do conversor, o diodo conduz corrente igual a $-i_C + I_o$. Dessa forma, o valor médio e o valor eficaz da corrente no diodo são definidos, respectivamente, por (5.44) e por (5.45).

Figura 5.9 – Valores eficazes das correntes em S_1 e S_2 parametrizados em relação a I_o em função de D para $f_s\tau = 1$.



Fonte: Autor.

$$I_{D,med} = \frac{I_o(2-D)}{2} \quad (5.44)$$

$$I_{D,ef} = \frac{I_o}{2} \sqrt{\frac{D^2 \left[1 - e^{-\left(\frac{1-D}{f_s\tau}\right)} - e^{-2\left(\frac{1-D}{f_s\tau}\right)} + e^{-3\left(\frac{1-D}{f_s\tau}\right)} \right] + 8f_s\tau \left[1 - 3e^{-\left(\frac{1-D}{f_s\tau}\right)} + 3e^{-2\left(\frac{1-D}{f_s\tau}\right)} \right]}{2f_s\tau \left[1 - 3e^{-\left(\frac{1-D}{f_s\tau}\right)} + 3e^{-2\left(\frac{1-D}{f_s\tau}\right)} - e^{-3\left(\frac{1-D}{f_s\tau}\right)} \right]}} \quad (5.45)$$

Durante a primeira etapa de operação, tanto o interruptor S_2 quanto o diodo bloqueiam uma tensão igual a metade da tensão de entrada. Essa condição é mantida durante a segunda etapa de operação, onde os interruptores S_1 e S_3 também bloqueiam uma tensão igual a metade da tensão de entrada. Em comparação com o conversor *Buck* clássico, a topologia discutida apresenta esforços de tensão 50% menores nos semicondutores. Esse benefício é resultado do uso da célula de comutação. Outra característica imposta pela célula de comutação é que os esforços de corrente nos interruptores dependem da constante de tempo (carga e descarga) dos capacitores.

Compreendendo as características de operação do conversor, assim como as equações que regem os esforços de tensão e corrente nos componentes, torna-se possível projetar e avaliar um protótipo em laboratório. Portanto, no próximo capítulo, serão apresentados o projeto dos componentes e os resultados experimentais obtidos para o conversor *Buck* a capacitor variável.

6 METODOLOGIA DE PROJETO E RESULTADOS EXPERIMENTAIS PARA O CONVERSOR TIPO BUCK NÃO ISOLADO

Com o intuito de validar o equacionamento realizado para o conversor tipo *Buck* a capacitor variável, o mesmo foi projetado e implementado no simulador *Simulink*. Em seguida, um protótipo foi desenvolvido e testes em bancada foram realizados. As especificações para o projeto são apresentadas na Tabela 6.1.

Tabela 6.1 – Especificações de projeto para o conversor tipo *Buck* a capacitor variável.

Parâmetro	Valores especificado
Tensão de entrada	100 V
Tensão de saída	24 V
Potência nominal de saída	240 W
Máxima ondulação de tensão nos capacitores	2%
Máxima ondulação de corrente na indutância	10%
Frequência de comutação	100 kHz

6.1 METODOLOGIA DE PROJETO

O projeto do conversor tem início na definição do valor médio da corrente nos seus terminais de saída, dado por

$$I_o = \frac{P_o}{V_o} = 10 \text{ A.} \quad (6.1)$$

Outra variável importante para o projeto do conversor é a razão cíclica, definida em (6.2).

$$D = \frac{2V_o}{V_{in}} = \frac{2 \cdot 24}{100} = 0,48 \quad (6.2)$$

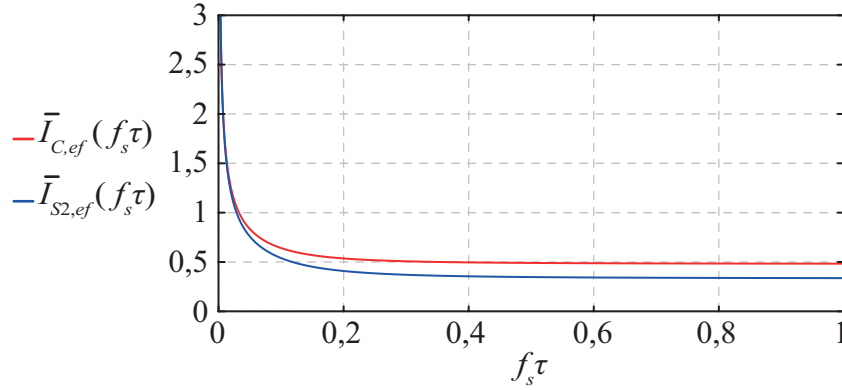
Após definir a razão cíclica para o ponto nominal de operação, o próximo passo é selecionar os semicondutores a serem empregados no protótipo. O valor da tensão sobre os interruptores é igual a metade de V_{in} , e o valor eficaz da corrente nos interruptores S_1 e S_3 é determinado substituindo os valores da corrente de saída e da razão cíclica em (5.40), conforme a equação abaixo:

$$i_{S1,ef} = i_{S3,ef} = \frac{I_o}{2} \sqrt{D} = \frac{10}{2} \sqrt{0,5} = 3,536 \text{ A.} \quad (6.3)$$

Para determinar a corrente no interruptor S_2 , é essencial conhecer o valor da constante τ , que depende da resistência de condução do interruptor e das capacitâncias C_1 e C_2 . No entanto, para selecionar o interruptor adequado, é necessário ter conhecimento da corrente que flui através dele. Portanto, um valor de τf_s é estabelecido e, em seguida, selecionamos um valor de capacitância que atenda à constante τf_s especificada.

Para auxiliar o projetista na escolha do valor de τ a ser utilizado no projeto, as equações que definem os valores eficazes de corrente C_1 , C_2 e S_2 , parametrizados em relação a I_o , em função de $f_s\tau$, são representadas graficamente na Figura 6.1.

Figura 6.1 – Relação entre o valor eficaz da corrente em C_1 , C_2 e S_2 e a constante $f_s\tau$.



Fonte: Autor.

Observando a Figura 6.1, percebe-se que os valores eficazes das correntes nos capacitores e no interruptor S_2 são elevados quando o conversor opera com valores de $f_s\tau$ menores que 0,15. Portanto, para reduzir as perdas de condução dos interruptores, é recomendado escolher um valor de capacitância que resulte em valores de $f_s\tau$ maiores que 0,15. Assim, substituindo $f_s\tau$ em (5.42) por 0,15, pode-se definir o valor eficaz da corrente em S_2 como

$$i_{S2,ef} = I_o \cdot D \sqrt{\frac{1 - e^{-2\frac{1-D}{f_s\tau}}}{8f_s\tau \left(1 - 2e^{-\frac{1-D}{f_s\tau}} + e^{-2\frac{1-D}{f_s\tau}}\right)}} = 4,292 \text{ A.} \quad (6.4)$$

Considerando os valores encontrados no equacionamento, optou-se por utilizar o interruptor MOSFET FDPF39N15A, que possui capacidade de 15 A e de 150 V, e resistência de condução de 80 m Ω para a condição de operação do conversor.

A tensão de bloqueio do diodo também é igual a metade da tensão de entrada. O valor médio da corrente que flui através do diodo é definido substituindo os valores em (5.44). Assim, tem-se

$$I_{D,med} = \frac{10(2 - 0,48)}{2} = 7,5 \text{ A.} \quad (6.5)$$

O diodo disponível no laboratório que melhor atendia às necessidades do protótipo é o MBR40250-TG, capaz de conduzir 40 A e bloquear 250 V.

Com os interruptores definidos, as capacitâncias C_1 e C_2 podem ser calculadas. Para determinar seus valores, dois critérios podem ser considerados: a máxima ondulação de tensão sobre os capacitores especificada e o valor da constante $f_s\tau$.

Para calcular as capacitâncias C_1 e C_2 com base na ondulação de tensão sobre os capacitores, reescrevemos a equação (5.12) como mostrado na equação (6.6).

$$C = \frac{I_o \cdot D}{2 \cdot \Delta v_C \cdot f_s} \quad (6.6)$$

Substituindo os valores em (6.6), definem-se os valores para C_1 e para C_2 como

$$C = \frac{10 \cdot 0.48}{2 \cdot 1 \cdot 100 \cdot 10^3} = 24 \mu\text{F}. \quad (6.7)$$

Outro parâmetro que deve ser considerado no momento de definir o valor das capacitâncias C_1 e C_2 é a constante de tempo τ , pois esta exerce influência no valor da corrente nos capacitores e no interruptor S_2 . Dessa forma, manipulando (5.18), obtém-se

$$C > \frac{2\tau}{R_s}. \quad (6.8)$$

Substituindo o valor definido para C_1 e C_2 em (6.7) e multiplicando (6.7) pela frequência de comutação, tem-se

$$\tau \cdot f_s = \frac{0.08 \cdot 24 \cdot 10^{-6} \cdot 100 \cdot 10^3}{2} = 0,096. \quad (6.9)$$

Como o valor de $f_s \tau$ é menor que 0,15, então a capacitância definida no equacionamento deve ser substituída por uma capacitância maior. De (6.8) obtém-se

$$C = \frac{2\tau}{R_s} = \frac{2 \cdot 0.15}{0.08 \cdot 100 \cdot 10^3} = 37,5 \mu\text{F}. \quad (6.10)$$

Dessa forma, as capacitâncias de C_1 e C_2 devem possuir valores iguais ou maiores que $37,5 \mu\text{F}$ para garantir que o conversor opere com redução de perdas de condução nos interruptores. Assim, optou-se por uma capacitância de $40 \mu\text{F}$.

Definidas as capacitâncias de C_1 e C_2 , o próximo passo é definir o indutor de filtro de saída. O valor da indutância para o filtro de saída é definido pelo critério da máxima ondulação de corrente em L_o , que é definida por meio da relação volt-ampere para a tensão em L_o . Assim

$$\Delta i_{L_o} = \frac{v_{L_o} \cdot \Delta t}{L_o}. \quad (6.11)$$

Durante o primeiro intervalo de operação ($0 - DT_s$), a tensão sobre L_o é dada por

$$v_{L_o} = \frac{V_{in}}{2} - V_o. \quad (6.12)$$

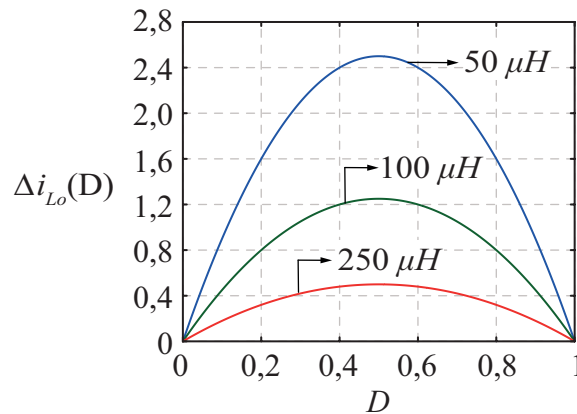
Substituindo (5.7) e (6.12) em (6.11), define-se

$$\Delta i_{L_o} = \frac{V_{in}(1-D)D}{2 \cdot L_o \cdot f_s}. \quad (6.13)$$

A representação gráfica de (6.13) em função de D na Figura 6.2 mostra que a máxima ondulação de corrente ocorre quando a razão cíclica é igual a 0,5. Portanto, substituindo D por 0,5 em (6.13) e isolando a variável L_o , encontramos a equação que estabelece o valor mínimo de L_o para garantir uma ondulação de corrente inferior a $\Delta i_{L_o,max}$.

$$L_o = \frac{V_{in}}{8 \cdot \Delta i_{L_o,max} \cdot f_s}. \quad (6.14)$$

Figura 6.2 – Ondulação de corrente em L_o em função de D para diferentes valores de L_o .



Fonte: Autor.

O valor da indutância de saída do conversor é definido substituindo os valores dados para o projeto em (6.14). Considerando que a máxima ondulação de corrente permitida no projeto é igual a 10% do valor nominal ou 1 A, tem-se

$$L_o = \frac{V_{in}}{8 \Delta i_{L_o,max} \cdot f_s} = \frac{100}{8 \cdot 1 \cdot 100 \cdot 10^3} = 125 \mu\text{H}. \quad (6.15)$$

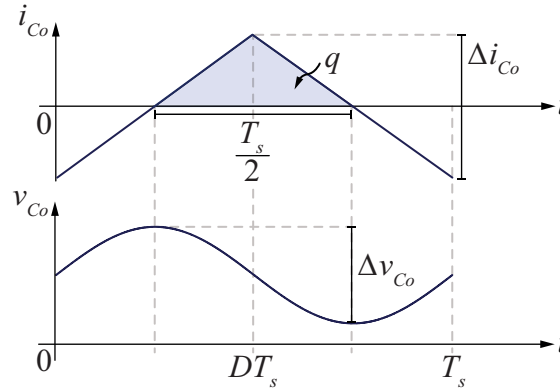
Definido o valor da indutância de saída, realiza-se o projeto físico do indutor. As especificações do indutor construído são apresentadas na Tabela 6.2.

Tabela 6.2 – Parâmetros construtivos do indutor de saída.

Parâmetro	Valor
Indutância	124,208 μH
Número de espiras	24
Tamanho do entreferro	1,025 mm
Núcleo utilizado	NEE-55/28/21, Material N87
Número de fios em paralelo	300 (2x400AWG38)

Com o indutor de saída definido, a capacitância de saída pode ser determinada. O valor de C_o é calculado por meio da análise das formas de onda da tensão e da corrente em C_o , conforme apresentado na Figura 6.3.

Figura 6.3 – Formas de onda para a tensão e da corrente em C_o .



Fonte: Autor.

A forma de onda da corrente em C_o é idêntica à de i_{L_o} , porém, a componente CC é removida, uma vez que apenas as componentes oscilatórias de i_{L_o} são conduzidas por C_o . Observando a Figura 6.3, nota-se que a corrente em C_o apresenta simetria e que a carga do capacitor ocorre em meio período de comutação. Durante o tempo de carga do capacitor, a tensão em C_o apresenta variação igual a Δv_{C_o} . Sendo a carga do capacitor dada por

$$q = C \cdot V. \quad (6.16)$$

Então,

$$q = C_o \cdot \Delta v_{C_o}. \quad (6.17)$$

A carga total do capacitor é definida como a integral de área da sua forma de onda de corrente entre suas passagens por zero. Dessa forma,

$$q = \frac{1}{2} \cdot \frac{\Delta i_{L_o}}{2} \cdot \frac{T_s}{2}. \quad (6.18)$$

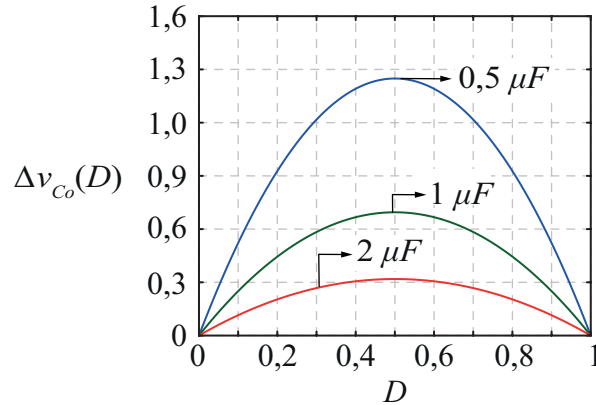
Substituindo (6.17) e (6.13) em (6.18), define-se a ondulação de tensão sobre C_o como

$$\Delta v_{C_o} = \frac{V_{in}(1-D)D}{16 \cdot C_o \cdot L_o \cdot f_s^2}. \quad (6.19)$$

A representação gráfica de (6.19) é apresentada na Figura 6.4. A ondulação de tensão sobre C_o atinge o valor máximo quando o conversor opera com razão cíclica igual a 0,5. Assim, fazendo $D = 0,5$ em (6.19), define-se a equação para o projeto de C_o ,

$$C_o = \frac{V_{in}}{64 \cdot \Delta v_{C_o,max} \cdot L_o \cdot f_s^2}. \quad (6.20)$$

Figura 6.4 – Ondulação de tensão sobre C_o em função de D para diferentes valores de capacitâncias.



Fonte: Autor.

A tensão sobre C_o possui valor igual a tensão de saída. Portanto, a máxima ondulação de tensão permitida é de 0,50 V. Dessa forma

$$C_o = \frac{V_{in}}{64 \cdot \Delta v_{o,max} \cdot L_o \cdot f_s^2} = \frac{100}{64 \cdot 0,48 \cdot 124,208 \cdot 10^{-6} \cdot (100 \cdot 10^3)^2} = 2,621 \mu F. \quad (6.21)$$

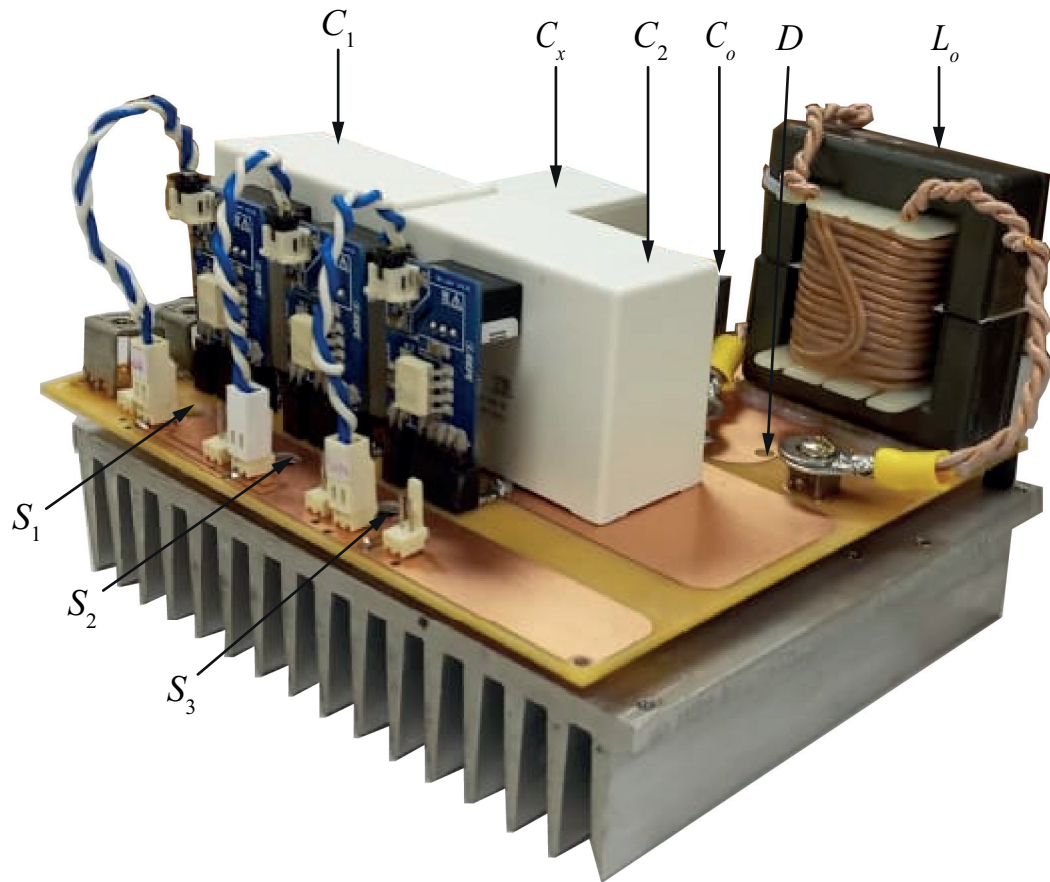
Definidos os componentes as serem utilizados, o projeto da placa de circuito impresso pode ser desenvolvido e o protótipo pode ser montado e testado em laboratório.

6.2 RESULTADOS EXPERIMENTAIS

Para validar o conceito de capacitor variável, é construído o protótipo apresentado na Figura 6.5. O protótipo foi construído com os elementos disponíveis no laboratório, os quais não eram os mais apropriados, do ponto de vista de otimização. Dessa forma, seu rendimento e sua densidade potência não serão avaliados. Observando a Figura 6.5, pode-se notar que foi inserido o capacitor C_x próximo ao diodo, esse possui capacitância igual a $1,2 \mu F$ e é responsável por reduzir os níveis de sobretensão sobre o diodo, causadas pelas indutâncias parasitas. Para alimentar o conversor, utilizou-se uma fonte com capacidade de 2 kW e as formas de onda, apresentadas no decorrer do texto, foram obtidas por meio de um osciloscópio do modelo MDO3012 da Tektronix.

As principais formas de onda para a validação do funcionamento do conversor são adquiridas experimentalmente e comparadas com as obtidas por meio de simulação. Na Figura 6.6, é apresentada a forma de onda para a tensão de entrada, a qual apresenta baixa ondulação e valor médio de 100 V. Abaixo de V_{in} , é apresentada a forma de onda para a tensão sobre a célula de comutação. Essa forma de onda representa também a tensão sobre o capacitor variável. v_{ab} apresenta os níveis de 50 V, quando $C = C_{max}$, e 100 V, quando $C = C_{min}$, corroborando com o resultado esperado para um capacitor variável que conserva a energia e apresenta $k_c = 0,25$.

Figura 6.5 – Protótipo do conversor Buck a capacitor variável.

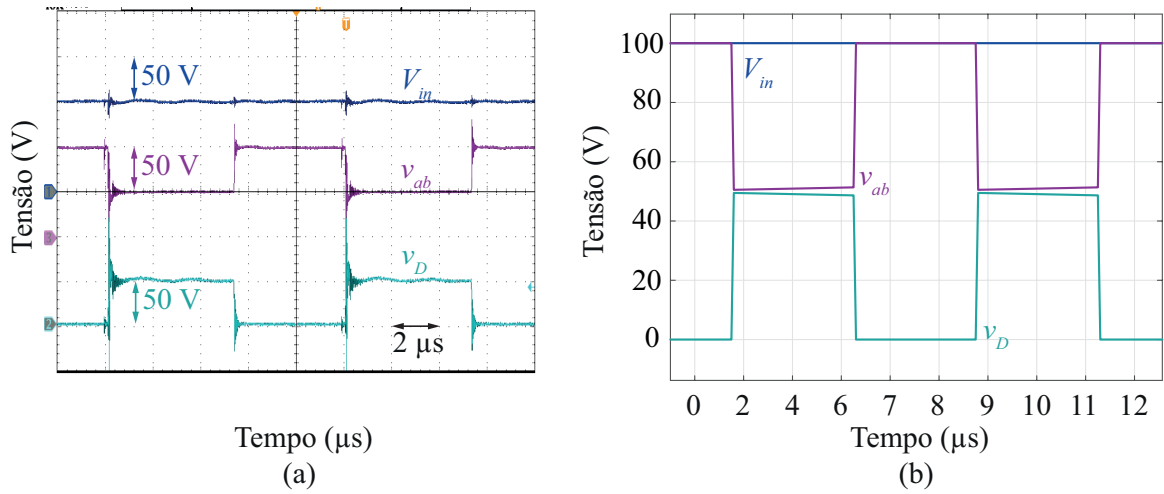


Fonte: Autor.

Na Figura 6.6, também é apresentada a forma de onda de tensão no diodo, como pode ser notado, a tensão de patamar sobre o diodo é igual a metade da tensão de entrada. Além disso, observa-se que existem picos de sobretensão na saída de condução do diodo, esses picos são iguais ao dobro da tensão de patamar sobre o mesmo. Como o diodo utilizado suporta o valor de sobretensão existente, não foi adotado um circuito grampeador. No entanto, com o intuito de reduzir os efeitos das indutâncias parasitas no diodo, um capacitor de $1,2 \mu\text{F}$ foi inserido próximo ao mesmo. Comparando as formas de ondas obtidas por meio de simulação com as obtidas em laboratório pode ser notado que ambas apresentam os mesmos valores de patamar, porém, as formas de onda obtidas por meio de simulação não apresentam sobretensão, uma vez que, a única não idealidade inserida no simulador foi a resistência de condução dos MOSFETs.

Na Figura 6.7, são apresentadas as formas de onda correspondentes a corrente em L_o e a corrente na entrada do conversor. A forma de onda para a corrente em L_o , obtida experimentalmente em laboratório, assemelha-se àquela simulada. No entanto, a forma de onda obtida experimentalmente para i_{in} difere da simulada. Essa diferença é atribuída à presença de indutâncias parasitas no protótipo, resultando em uma derivada limitada do crescimento da corrente. Dado que i_{in} é igual a corrente que flui através célula de

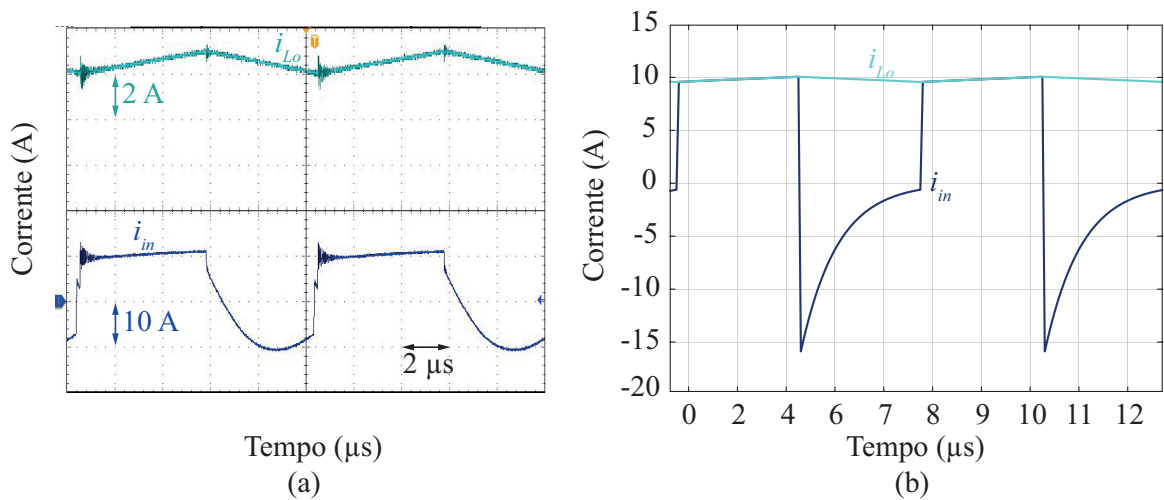
Figura 6.6 – Formas de onda para a tensão de entrada (V_{in}), para a tensão sobre a célula de comutação (v_{ab}) e para a tensão sobre o diodo (v_D). (a) Resultados experimentais. (b) Resultados de simulação.



Fonte: Autor.

comutação, tal fenômeno contribui para a realização da comutação suave nos interruptores.

Figura 6.7 – Formas de ondas para a corrente de saída (i_{Lo}) e para a corrente de entrada (i_{in}). (a) Resultados experimentais. (b) Resultados de simulação.

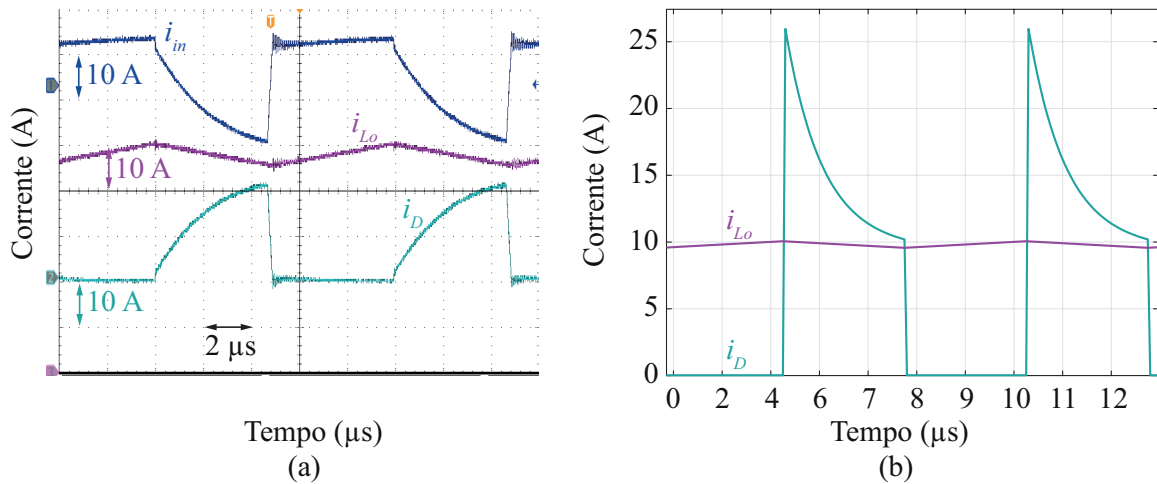


Fonte: Autor.

A forma de onda para a corrente no diodo é apresentada na Figura 6.8. A corrente no diodo é igual a soma da corrente em L_o e da corrente na célula de comutação, logo é esperado que as indutâncias parasitas presentes no protótipo também afetem a forma de onda de i_D , limitando a derivada do crescimento da corrente e causando uma discrepância entre os resultados obtidos em laboratório e os obtidos no simulador. Devido ao formato de i_D , o diodo pode apresentar comutação suave durante a entrada em condução.

As formas de onda para a tensão sobre C_1 e C_2 são apresentadas na Figura 6.9. Pode-se observar que tensões nos capacitores são equalizadas naturalmente, conforme esperado em uma célula de comutação a capacitor chaveado. Essa tensão possui um valor

Figura 6.8 – Formas de ondas para a corrente de entrada (i_{in}), para a corrente em L_o e para a corrente no diodo (i_D). (a) Resultados experimentais. (b) Resultados de simulação.

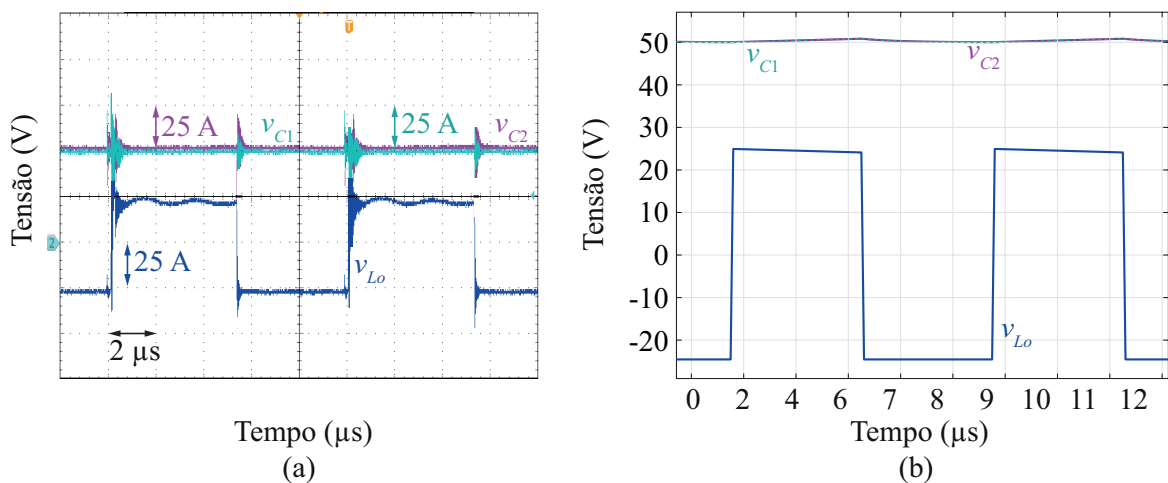


Fonte: Autor.

igual à metade da tensão de entrada, conforme verificado nos resultados da simulação. Como C_1 e C_2 impõem a tensão nos interruptores, v_{S1} , v_{S2} e v_{S13} são iguais a $V_{in}/2$.

Na Figura 6.9, também é apresentada a forma de onda para a tensão sobre L_o , a qual exibe valores de patamar semelhantes aos obtidos na simulação. Entretanto, assim como nas formas de onda para as tensões sobre C_1 e C_2 , a forma de onda para v_{Lo} apresenta alguns ruídos resultantes da comutação dos interruptores, além de sobretensão e uma distorção na forma de onda. Esta última é causada pela inserção de capacitores destinados a minimizar os efeitos das indutâncias parasitas no protótipo.

Figura 6.9 – Formas de onda para a tensão sobre C_1 (v_{C1}) e C_2 (v_{C2}) e para a tensão sobre o indutor de filtro de saída (v_{Lo}). (a) Resultados experimentais. (b) Resultados de simulação.

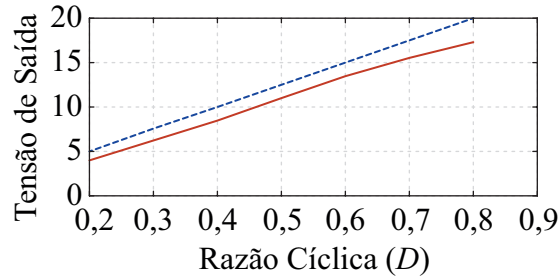


Fonte: Autor.

As características de saída teórica e prática do conversor alimentado com 50 V são mostradas na Figura 6.10. Ao observar a Figura 6.10, pode ser notado que a tensão de saída aumenta de maneira linear com o incremento da razão cíclica, e que as curvas

exibem uma diferença devido às perdas no conversor, as quais não foram consideradas na análise teórica.

Figura 6.10 – Característica de saída teórica (linha contínua) e prática (linha tracejada) do conversor Buck a capacitor variável.



Fonte: Autor.

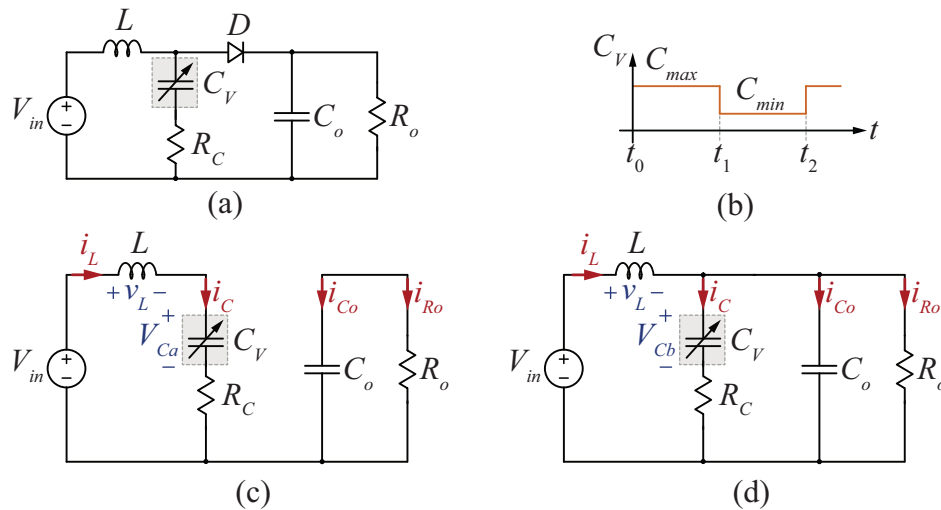
Os testes realizados no protótipo do conversor Buck a capacitor variável, utilizando a célula de comutação, que emula um capacitor variável em ambiente laboratorial, possibilitam a validação da análise matemática desenvolvida. As formas de onda obtidas experimentalmente mostram um invólucro semelhante ao obtido em simulação. No entanto, algumas distorções surgiram nas formas de onda, devido às indutâncias parasitas, presentes na placa de circuito impresso. Essas indutâncias parasitas podem ser minimizadas ao reduzir o comprimento das trilhas, especialmente da trilha que conecta a célula de comutação ao diodo.

Ao observar a forma de onda da tensão sobre a célula de comutação, pode-se concluir que a substituição dos interruptores tradicionais por capacitores variáveis é viável, com base nas variações rápidas na capacitância. Apesar de esses dispositivos ainda estarem em estágio inicial de desenvolvimento, seu progresso pode introduzir novas técnicas de conversão de energia.

7 TOPOLOGIA DO TIPO *BOOST* A CAPACITOR VARIÁVEL

De maneira similar ao realizado para o conversor tipo *Buck*, o conversor tipo *Boost* a capacitor variável é obtido ao substituir o interruptor controlado por um capacitor variável no conversor *Boost*, conforme ilustrado na Figura 7.1(a). A análise do conversor inicia pelo estudo das etapas de operação do conversor e, posteriormente, o ganho estático e os esforços de tensão e corrente no capacitor variável e no diodo são definidos de forma a serem válidos tanto para o caso em que a carga é conservada quanto para o caso em que a energia é conservada.

Figura 7.1 – Conversor tipo *Boost* (a) Estágio de potência. (b) Valores da capacitância para cada etapa de operação. (c) Primeira etapa de operação ($t_0 - t_1$). (d) Segunda etapa de operação ($t_1 - t_2$).



Fonte: Autor.

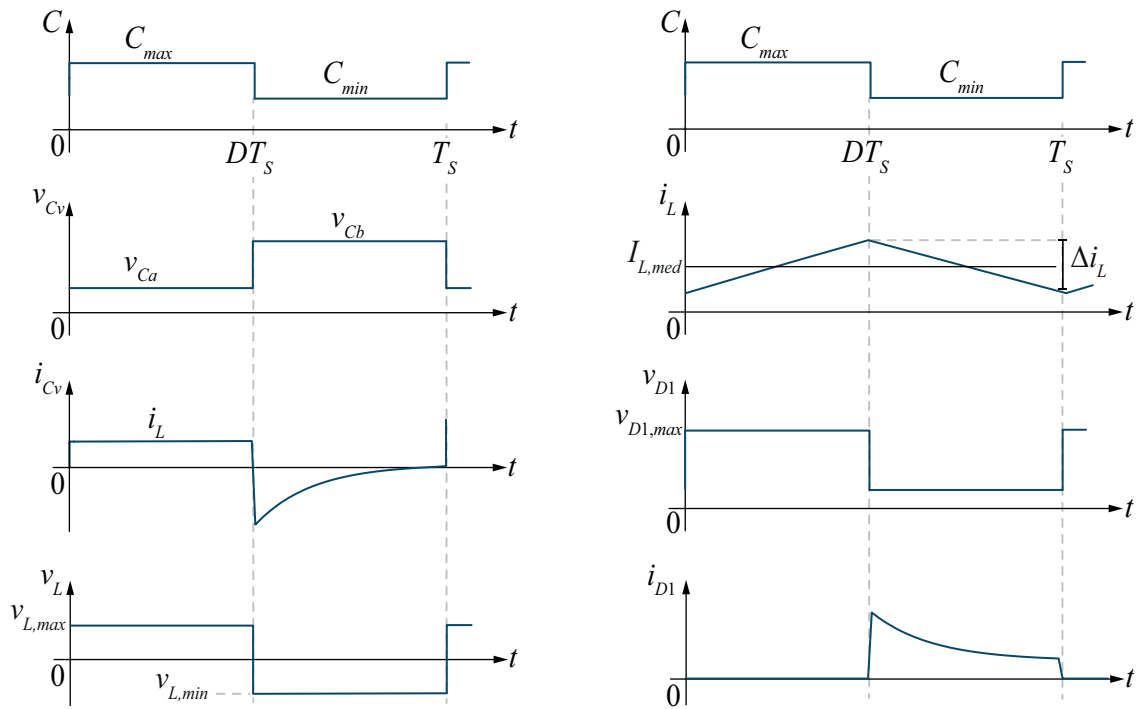
O valor da capacitância varia abruptamente, apresentando dois valores distintos. Durante o primeiro período ($t_0 - t_1$), a capacitância atinge seu valor máximo (C_{max}). Em seguida, durante o segundo intervalo de tempo ($t_1 - t_2$), a capacitância diminui para seu valor mínimo (C_{min}), conforme ilustrado na Figura 7.1(b). Essa variação na capacitância resulta em uma diferença nos níveis de tensão sobre o capacitor C_V , permitindo que o diodo conduza durante um dos intervalos de tempo e fique bloqueado durante o outro. Portanto, o conversor opera em duas etapas distintas, como mostrado nas Figuras 7.1(c) e 7.1(d).

Durante a primeira etapa de operação ($t_0 - t_1$), como mostrado na Figura 7.1(c), a capacitância de C_V atinge seu valor máximo, C_{max} , e a tensão sobre C_V torna-se menor que a tensão de saída (v_o). Como resultado, o diodo fica bloqueado, enquanto a fonte de alimentação (V_{in}) fornece energia para C_V e o capacitor C_o fornece energia para a carga R_o .

A segunda etapa de operação ocorre quando $C_V = C_{min}$ ($t_1 - t_2$). A redução do

valor da capacitância faz com que a tensão sobre C_V aumente, tornando-se maior que a tensão de saída do conversor. Isso permite que o diodo conduza, facilitando a transferência de energia da fonte de alimentação para a carga. Durante esse período, o capacitor C_o carrega enquanto o indutor L descarrega. O estado topológico correspondente à segunda etapa de operação é apresentado na Figura 7.1(d). Na Figura 7.2, são apresentadas as principais formas de onda para o conversor.

Figura 7.2 – Principais formas de onda para o conversor tipo *Boost* a capacitor variável.



Fonte: Autor.

Observando as formas de onda do conversor proposto, apresentadas na Figura 7.2, nota-se que, devido à variação rápida da capacitância, ocorre uma descontinuidade nos valores da forma de onda da tensão sobre C_V . Portanto, não é possível realizar o equacionamento da tensão sobre C_V da mesma maneira que para um capacitor tradicional. No entanto, ao conhecer as formas de onda e a operação do conversor, podemos equacionar os valores da tensão sobre C_V em cada uma das etapas de operação, estabelecer a relação entre esses valores e, posteriormente, determinar as equações para o ganho estático de tensão e para os esforços de tensão e corrente nos componentes.

7.1 GANHO ESTÁTICO DE TENSÃO

O ganho estático de tensão do conversor tipo *Boost* a capacitor variável é determinado pela análise das etapas de operação do conversor e das formas de onda resultantes dessa análise. Todo o equacionamento é desenvolvido para abranger tanto uma capacitância variável que apresenta conservação de energia quanto uma que apresenta conservação de carga. Além disso, os valores da capacitância de C_V são considerados suficientemente altos,

o que permite que as variações de tensão sobre C_V durante cada etapa de operação sejam negligenciadas. Portanto, podemos assumir que, durante o intervalo de tempo em que a capacitância atinge seu valor máximo ($C_V = C_{max}$), a tensão sobre C_V (v_C) permanece constante e é definida como V_{Ca} . Quando C_V atinge seu valor mínimo ($C_V = C_{min}$), v_C é igual a V_{Cb} , que também é mantida constante.

Partido das considerações acima, se a energia for conservada no capacitor variável, podemos estabelecer que

$$V_{Ca} = V_{Cb} \cdot k_v. \quad (7.1)$$

Em que,

$$k_v = \sqrt{k_c}. \quad (7.2)$$

Se considerarmos que a carga é conservada durante a transição do valor da capacitância, a relação entre V_{Ca} e V_{Cb} é definida igualando os valores absolutos da carga no capacitor durante a primeira e a segunda etapa de operação. Dessa forma, a relação entre V_{Ca} e V_{Cb} é definida como

$$V_{Ca} = V_{Cb} \cdot k_v. \quad (7.3)$$

Sendo

$$k_v = k_c. \quad (7.4)$$

Observando (7.1) e (7.3) pode ser notado que a relação entre os valores da tensão sobre C_V durante a primeira etapa de operação (V_{Ca}) e a segunda etapa de operação (V_{Cb}) são idênticas as obtidas na análise do conversor tipo *Buck* a capacitor variável, apresentas em (3.2) e (3.6), para ambos os casos, conservação de energia e conservação de carga. Dessa forma, pode ser assumido que a relação entre os valores das tensões é imposta pelo capacitor variável e independe da topologia em que esse é inserido.

A equação que define o ganho estático de tensão é obtida por meio do equacionamento dos valores da tensão sobre o indutor (v_L). Durante a primeira etapa de operação, o diodo está bloqueado e, se desconsideramos a queda de tensão sobre a resistência intrínseca ao capacitor variável (R_C), v_L é definido como

$$V_L = V_{in} - V_{Ca}. \quad (7.5)$$

Durante a segunda etapa de operação, o diodo conduz, conectando C_V em paralelo com C_o e, $V_{Cb} = V_o$. Assim, a tensão sobre L é dada por

$$V_L = V_{in} - V_o. \quad (7.6)$$

Por convenção, a duração da primeira etapa de operação será definida como $D \cdot T_s$ e

a duração da segunda etapa de operação será definida por $(1 - D)T_s$, onde $D \cdot T_s$ representa o período no qual C_V apresenta seu valor máximo de capacitância. Portanto, considerando que o conversor está operando em regime permanente e substituindo (7.1) ou (7.3) em (7.5), o ganho estático do conversor é definido por

$$G = \frac{V_o}{V_{in}} = \frac{1}{(1 - D) + k_c \cdot D}. \quad (7.7)$$

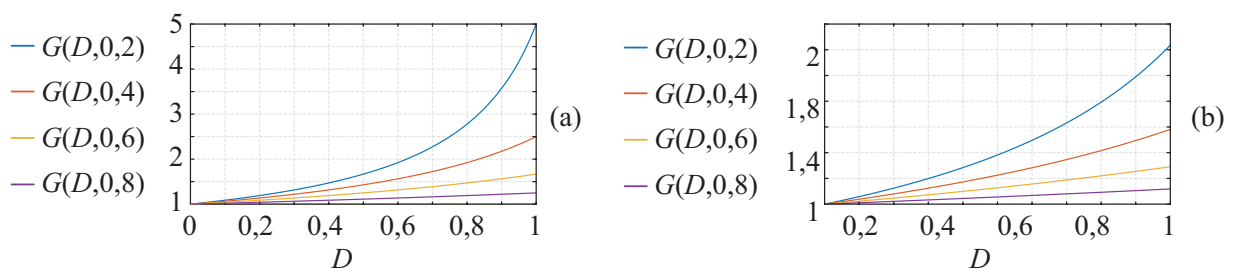
A equação para o ganho estático definida em (7.7) é válida para ambos os casos, conservação de energia e conservação de carga. Para estabelecer equações específicas para cada situação, o valor de k_c deve ser substituído pela equação apropriada. Assim, fazendo $k_c = \sqrt{k_v}$ em (7.7), obtém-se a equação para o ganho ao considerar a conservação de energia, apresentada em (7.8), e fazendo $k_v = k_c$ em (7.7), define-se a equação para o ganho quando a carga é conservada, como mostrado em (7.9).

$$G = \frac{V_o}{V_{in}} = \frac{1}{(1 - D) + \sqrt{k_c} \cdot D} \quad (7.8)$$

$$G = \frac{V_o}{V_{in}} = \frac{1}{(1 - D) + k_c \cdot D} \quad (7.9)$$

As curvas de ganho para ambas as condições são ilustradas na Figura 7.3. Ao analisar essas curvas, observa-se que, para ambas as condições, a taxa de ganho aumenta com o incremento de D e diminui com o incremento de k_c . Além disso, podemos observar que a taxa de ganho é maior quando se considera a conservação de carga em comparação com a consideração da conservação de energia.

Figura 7.3 – Ganho do conversor em relação ao tempo em que o valor da capacitância de C_V permanece com seu valores máximo (C_{max}) para diferentes valor de k_c . (a) Considerando que o capacitor apresenta conservação de carga. (b) Considerando que o capacitor apresenta conservação de energia.



Fonte: Autor.

Definido o ganho estático de tensão para o conversor, o próximo passo é definir os esforços de tensão e corrente no capacitor variável e no diodo.

7.2 ESFORÇOS DE TENSÃO E CORRENTE NO CAPACITOR VARIÁVEL E NO DIODO

O equacionamento dos esforços de tensão e corrente em C_V é realizado por meio da análise das formas de onda e da operação do conversor. Durante a segunda etapa de operação, a corrente em C_V pode ser aproximada pelo valor médio da corrente em L , desde que a indutância de L seja grande o suficiente para que a ondulação de corrente nesse indutor possa ser negligenciada. Assim, inicialmente é definido o valor médio de i_L usando o método de espaço de estados. O primeiro passo para determinar as matrizes de estados é encontrar as equações para os estados em cada etapa de operação. Dessa forma, as equações que definem as variáveis de estado para a primeira etapa de operação são descritas em (7.11).

$$\begin{aligned} C_a \frac{dv_{C_a}}{dt} &= I_L \\ L \frac{di_L}{dt} &= V_{in} - v_{C_a} - i_L \cdot R_c \\ C_o \frac{dv_{C_o}}{dt} &= -\frac{v_{C_o}}{R_o}. \end{aligned} \quad (7.10)$$

Para resolver o sistema de equações apresentado em (7.11), esse é escrito na forma matricial, como mostrado em (7.11).

$$\underbrace{\frac{d}{dt} \begin{bmatrix} C_a \cdot v_{C_b} \\ C_o \cdot v_{C_o} \\ L \cdot i_L \end{bmatrix}}_{\dot{x}} = \underbrace{\begin{bmatrix} -R_c & -1 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & -\frac{1}{R_o} \end{bmatrix}}_{A_1} \times \underbrace{\begin{bmatrix} v_{C_a} \\ v_{C_o} \\ i_L \end{bmatrix}}_X + \underbrace{\begin{bmatrix} 1 \\ 0 \\ 0 \end{bmatrix}}_{B_1} \times \underbrace{\begin{bmatrix} V_{in} \end{bmatrix}}_U. \quad (7.11)$$

As equações de estados referentes a segunda etapa de operação são apresentadas no sistema de equações abaixo.

$$\begin{aligned} C_a \frac{k_c}{k_v} \frac{dv_{C_b}}{dt} &= \frac{v_{C_o} - v_{C_b}}{R_c} \\ L \frac{di_L}{dt} &= -v_{C_o} \\ C_o \frac{dv_{C_o}}{dt} &= I_L + \frac{v_{C_a}}{k_v \cdot R_c} - v_{C_o} \left(\frac{R_o + R_c}{R_o \cdot R_c} \right). \end{aligned} \quad (7.12)$$

Assim como realizado para o sistema de equações apresentado em (7.11), o conjunto

de equações em (7.13) é expresso de forma matricial abaixo, a fim de permitir a definição do valor médio de I_L através do método de espaço de estados.

$$\underbrace{\frac{d}{dt} \begin{bmatrix} C_a \cdot v_{Cb} \\ C_o \cdot v_{Co} \\ L \cdot i_L \end{bmatrix}}_{\dot{x}} = \underbrace{\begin{bmatrix} 0 & 0 & -1 \\ 0 & -\frac{1}{R_c \cdot k_c} & \frac{k_v}{R_c \cdot k_c} \\ 1 & \frac{1}{R_c \cdot k_v} & -\frac{R_c + R_o}{R_c \cdot R_o} \end{bmatrix}}_{A_2} \times \underbrace{\begin{bmatrix} v_{Ca} \\ v_{Co} \\ i_L \end{bmatrix}}_X + \underbrace{\begin{bmatrix} 1 \\ 0 \\ 0 \end{bmatrix}}_{B_2} \times \underbrace{\begin{bmatrix} V_{in} \end{bmatrix}}_U. \quad (7.13)$$

Sabendo que em regime permanente, o valor médio da tensão no indutor e da corrente no capacitor são nulos, as matrizes \dot{x} são nulas, e os valores médios das variáveis apresentadas na matriz X são definidos por:

$$X = [A_1 \cdot D + A_2 \cdot (1 - D)]^{-1} \times [B_1 \cdot D + B_2 \cdot (1 - D)] \times U \quad (7.14)$$

Portanto, desconsiderando as perdas no capacitor variável ($R_c = 0$), o valor médio para a corrente em L é definido como

$$I_L = \frac{V_{in} \cdot k_v}{R_o [k_v(1 - D) + D \cdot k_c] [D \cdot k_v + (1 - D)]}. \quad (7.15)$$

O valor da corrente em C_V para a primeira etapa de operação é definido por meio da relação volt-ampere para o capacitor. Portanto, inicialmente, é definido o valor da tensão sobre C_V por meio da análise do estado topológico referente à primeira etapa de operação, apresentado na Figura 7.1(d). Assim, pode ser escrito que

$$I_L - i_C - i_{Co} - \frac{v_{Co}}{R_o}. \quad (7.16)$$

Observando a Figura 7.1, define-se que $v_{Co} = v_{Cb} - R_C \cdot i_C$. Assim, aplicando a relação volt-ampere para a corrente no capacitor, (7.16) pode ser reescrita como

$$\frac{I_L}{C_o \cdot R_C \cdot C_{min}} = \frac{d^2 v_{Cb}}{dt^2} + K_{Cb} \frac{dv_{Cb}}{dt} + \frac{v_{Cb}}{R_o \cdot C_o \cdot R_C \cdot C_{min}}. \quad (7.17)$$

Em que:

$$K_{Cb} \left(\frac{1}{C_{min} \cdot R_C} + \frac{R_C + R_o}{C_o \cdot R_o \cdot R_C} \right). \quad (7.18)$$

Resolvendo (7.17) por meio do método dos coeficientes a determinar, define-se

$$v_{Cb} = A_3 \cdot e^{\lambda_1 \cdot t} + A_4 \cdot e^{\lambda_2 \cdot t} + I_L \cdot R_o. \quad (7.19)$$

A equação (7.19) apresenta quatro variáveis com valores desconhecidos. Para definir os valores das variáveis desconhecidas, um sistema contendo quatro equações é montado. As três equações necessárias para completar o sistema são obtidas equacionando a tensão sobre C_V durante a primeira etapa de operação e a tensão sobre C_o para ambas as etapas de operação. Como já descrito, durante a segunda etapa de operação $v_{C_o} = v_{C_b} - R_C \cdot C_{min} \frac{dv_{C_b}}{dt}$. Dessa forma, substituindo v_{C_b} por (7.19), define-se a equação que rege os valores v_{C_o} durante a segunda etapa de operação como

$$v_{C_o} = A_3 \cdot e^{\lambda_1 \cdot t} (1 + \lambda_1 \cdot C_{min} \cdot R_C) + A_4 \cdot e^{\lambda_2 \cdot t} (1 + \lambda_2 \cdot C_{min} \cdot R_C) + I_L \cdot R_o. \quad (7.20)$$

Analisando o estado topológico referente à primeira etapa de operação, apresentado na Figura 7.1, define-se que

$$C_o \frac{dv_{C_o}}{dt} = - \frac{v_{C_o}}{C_o \cdot R_o}. \quad (7.21)$$

Portanto, v_{C_o} é definida por meio da equação clássica para tensão sobre um capacitor, como mostrado em (7.22).

$$v_{C_o} = A_2 \cdot e^{\frac{t}{R_o \cdot C_o}} \quad (7.22)$$

Durante a primeira etapa de operação a corrente que flui através de C_V é igual a I_L . Dessa forma, a ondulação de tensão sobre C_V , durante essa etapa de operação, é dada por

$$\Delta_{v_{C_a}} = \frac{I_L}{C_{max}} t. \quad (7.23)$$

Somando a ondulação de tensão sobre C_V a um valor constante, é definida a equação que rege a tensão sobre C_V durante a primeira etapa de operação, dada por

$$v_{C_a} = \frac{I_L}{C_{max}} t + A_1. \quad (7.24)$$

Observando a Figura 7.4(a), podem ser escritas as equações de contorno para a tensão sobre C_o . Durante a primeira etapa de operação, a forma de onda para v_{C_o} é definida por (7.22). Portanto, fazendo $t = 0$ em (7.22) é definido o valor de v_{C_o} para o ponto a. Durante a segunda etapa de operação, (7.20) define a forma de onda para v_{C_o} . Substituindo t por $(1 - D)T_s$ em (7.20), determina-se o valor de v_{C_o} no ponto c. Considerando que o conversor opera em regime permanente, o valor de v_{C_o} nos pontos a e c são iguais. Dessa forma, tem-se:

$$A_2 = A_3 \cdot e^{\lambda_1 \cdot (1-D)T_s} (1 + \lambda_1 \cdot C_{min} \cdot R_C) + A_4 \cdot e^{\lambda_2 \cdot (1-D)T_s} (1 + \lambda_2 \cdot C_{min} \cdot R_C) + I_L \cdot R_o. \quad (7.25)$$

O valor da tensão sobre v_{C_o} no ponto b pode ser definido fazendo $t = D \cdot T_s$ em (7.22) ou substituindo t por zero em (7.20). Assim,

$$A_2 \cdot e^{\frac{D \cdot T_s}{R_o \cdot C_o}} = A_3 \cdot (1 + \lambda_1 \cdot C_{min} \cdot R_C) + A_4 \cdot (1 + \lambda_2 \cdot C_{min} \cdot R_C) + I_L \cdot R_o. \quad (7.26)$$

A relação entre os valores de patamar para a tensão sobre C_V durante a primeira e a segunda etapa de operação é definida por k_v . Dessa forma, analisando a Figura 7.4(b), pode-se afirmar que o valor da tensão no ponto b é igual ao valor da tensão no ponto c multiplicada por k_v ($v_{C_b}(c) \cdot k_v$), e que o valor da tensão no ponto a é igual a tensão no ponto d multiplicada por k_v .

O valor de v_{C_V} é definido por (7.24) durante a primeira etapa de operação e por (7.20) durante a segunda etapa de operação. Portanto, substituindo t por zero em (7.24) é definido o valor de v_{C_V} no ponto a, e fazendo $t = (1 - D)T_s$ é definido o valor de v_{C_V} no ponto b. Assim, considerando a relação entre os valores de v_{C_a} e de v_{C_b} , tem-se:

$$A_1 = A_3 \cdot e^{\lambda_1 \cdot (1-D)T_s} + A_4 \cdot e^{\lambda_2 \cdot (1-D)T_s} + I_L \cdot R_o. \quad (7.27)$$

Fazendo $t = D \cdot T_s$ em (7.24), define-se o valor de v_{C_V} no ponto b. O valor da tensão no ponto c é definido substituindo t por zero em (7.20) e multiplicado a equação resultante por k_v . Assim,

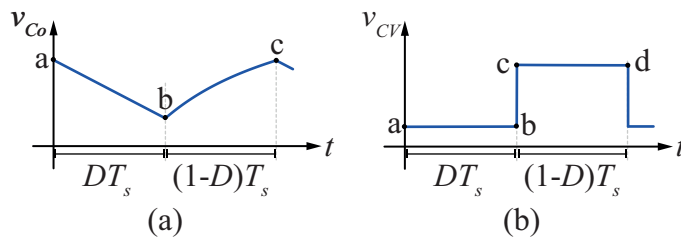
$$\frac{I_L \cdot D \cdot T_s}{C_{max}} + A_1 = A_3 + A_4 + I_L \cdot R_o. \quad (7.28)$$

As equações (7.25) à (7.28) podem ser escritas da forma matricial $Y = X \times Z$. Isolando X , tem - se $X = Z^{-1} \times Y$, e desenvolvendo essa equação são encontrados os valores de A_1, A_2, A_3 e A_4 . A matriz Z é apresentada em (7.29) e os vetores X e Y são apresentados em (7.30).

$$Z = \begin{bmatrix} -1 & 0 & k_v & k_v \\ 1 & 0 & -k_v \cdot e^{\lambda_1 \cdot (1-D)T_s} & -k_v \cdot e^{\lambda_2 \cdot (1-D)T_s} \\ 0 & e^{-\frac{D \cdot T_s}{R_o \cdot C_o}} & -(1 + C_{min} \cdot R_C \cdot \lambda_1) & -(1 + C_{min} \cdot R_C \cdot \lambda_2) \\ 0 & 1 & -(1 + C_{min} \cdot R_C \cdot \lambda_1) e^{\lambda_1 \cdot (1-D)T_s} & -(1 + C_{min} \cdot R_C \cdot \lambda_2) e^{\lambda_2 \cdot (1-D)T_s} \end{bmatrix} \quad (7.29)$$

$$X = \begin{bmatrix} A_1 \\ A_2 \\ A_3 \\ A_4 \end{bmatrix} \quad Y = \begin{bmatrix} I_L \left(\frac{D}{C_{max} \cdot f_s} - R_o \cdot k_v \right) \\ I_L \cdot R_o \cdot k_v \\ I_L \cdot R_o \\ I_L \cdot R_o \end{bmatrix} \quad (7.30)$$

Figura 7.4 – Formas de onda para o conversor Boost. (a) Tensão sobre C_o . (b) Tensão sobre C_V .



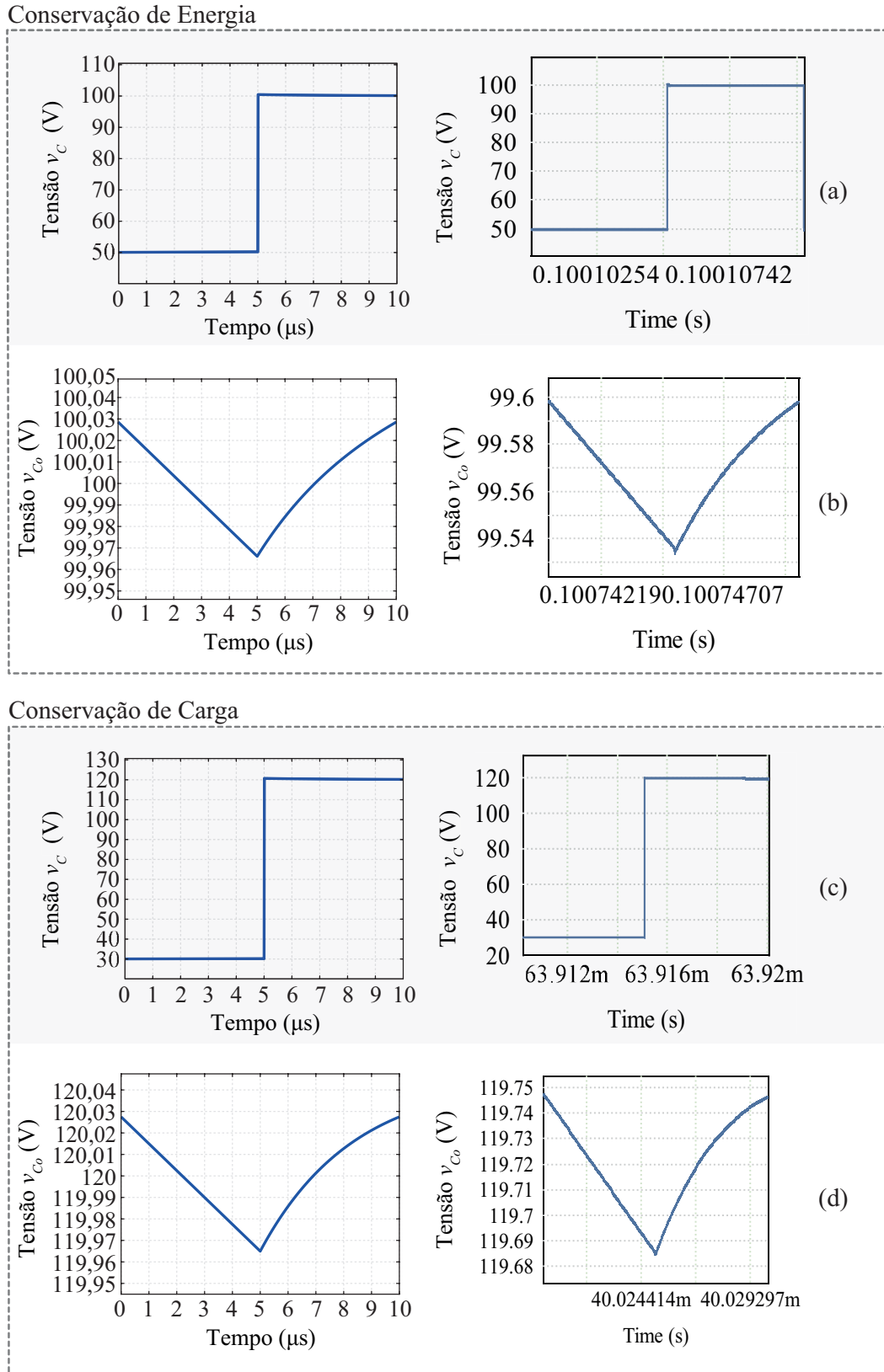
Fonte: Autor.

As equações que definem os valores de A_1, A_2, A_3 e A_4 são extensas e não serão apresentadas no decorrer do texto. Para validar o equacionamento realizado, as formas de onda obtidas por meio do equacionamento são comparadas com as obtidas por meio de simulação no *software* PSIM, como apresentado na Figura 7.5. Para emular os capacitores com capacitâncias variáveis no *software* PSIM são utilizadas as estruturas apresentadas na Figura 3.6.

Na Figura 7.5(a) são apresentadas as formas de onda da corrente em C_V , para a condição que a energia é contante, pode-se observar que as formas de onda obtidas por simulação são praticamente iguais as obtidas por meio do equacionamento. Analisando a Figura 7.5(b), pode ser observado que as formas de onda da tensão sobre C_o obtidas por meio da simulação e por meio do equacionamento são semelhantes. No entanto, os valores de tensão obtidos para a forma de onda simulada (à direita) são levemente menores que os obtidos por meio do equacionamento (à esquerda), essa diferença é decorrente da desconsideração de R_C no equacionamento da corrente do indutor.

As formas de onda referentes a tensão sobre C_V , para condição em que a carga é contante, são apresentadas na Figura 7.5(d), na qual, pode-se observar que a curva obtida por simulação e a curva obtida por meio do equacionamento são praticamente iguais. Na Figura 7.5(c) são apresentadas as formas de onda para a tensão sobre C_o , em que pode ser notado que os valores de tensão obtidos para forma de onda simulada são levemente menores que os obtidos por meio do equacionamento. Essa diferença ocorre porque R_C é negligenciado no equacionamento de I_L . Como observado, as formas de onda

Figura 7.5 – Comparação entre as formas de onda, obtidas por meio de simulação e por meio do equacionamento para considerando as seguintes especificações $C_{min} = 25 \mu\text{F}$, $C_{max} = 100 \mu\text{F}$, $V_{in} = 75 \text{ V}$, $f_s = 100 \text{ kHz}$ e $I_o = 2.5 \text{ A}$. (a) Tensão sobre C_V para a condição em que a energia é conservada. (b) Tensão sobre C_o para a condição em que a energia é conservada. (c) Tensão sobre C_V para a condição em que a carga é conservada. (d) Tensão sobre C_o para a condição em que a carga é conservada.



Fonte: Autor.

obtidas por simulação são similares as obtidas por meio do equacionamento. Portanto, o equacionamento pode ser considerado válido.

Definidas as equações para v_C , a corrente que flui através de C_V durante a segunda etapa de operação pode ser definida. Sendo o valor da tensão sobre C_V durante a segunda etapa de operação definido em (7.19), tem-se

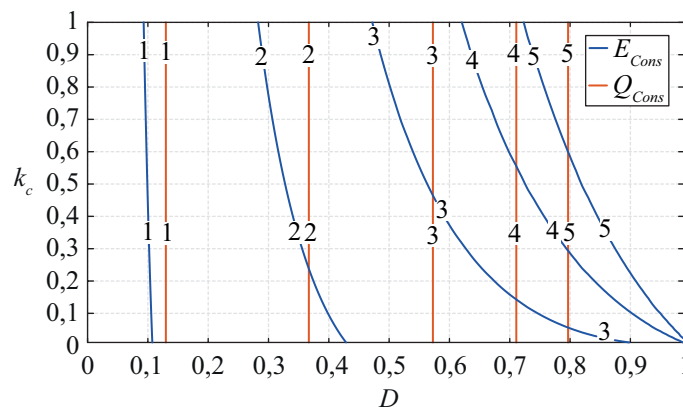
$$i_{Cb} = C_{min} (A_3 \cdot e^{\lambda_1 \cdot t} + A_4 \cdot e^{\lambda_2 \cdot t}). \quad (7.31)$$

O valor eficaz da corrente em C_V é definido por

$$I_{CV,rms} = \frac{1}{T_s} \left(\int_0^{DT_s} i_{Ca}(t) dt + \int_{DT_s}^{T_s} i_{Cb}(t) dt \right). \quad (7.32)$$

Representando (7.32) na Figura 7.6 para um valor fixo de I_o , pode ser observado o comportamento do valor eficaz da corrente quando os valores da razão cíclica e da constante k_c são alterados. Observando a Figura 7.6, pode ser notado que a variável k_c não influencia no valor eficaz de i_C , quando consideramos que a carga é preservada no capacitor durante a transição dos valores de capacitância. Essa característica também é observada no conversor tipo *Buck* a capacitor variável. Além disso, pode ser observado que, tanto ao considerarmos conservação de energia quanto ao considerarmos a conservação da carga, o valor eficaz de i_C aumenta à medida que o valor da razão cíclica é elevado. Se a energia é mantida constante durante a transição do valor da capacitância, o valor eficaz de i_C aumenta com o incremento do valor de k_c .

Figura 7.6 – Valor eficaz da corrente em C_V em relação a D e a k_c .



Fonte: Autor.

Definidas as equações que regem os valores de tensão e corrente em C_V , tem-se as equações necessárias para definir os esforços de tensão e corrente no diodo. Analisando a primeira etapa de operação, apresentada na Figura 7.1(c), observa-se que o diodo está bloqueado durante essa etapa de operação. Portanto, o valor de patamar da tensão sobre

o diodo é definida como

$$v_D = V_o - \left(A_3 \cdot e^{\lambda_1 \cdot t} + A_4 \cdot e^{\lambda_2 \cdot t} + I_L \cdot R_o \right). \quad (7.33)$$

Durante a segunda etapa de operação, conforme mostrado na Figura 7.1(d), o diodo conduz. Nesse estágio, a tensão sobre o diodo é nula e a corrente é igual a $I_L - i_{Cb}$, se as ondulações de tensão sobre C_o forem desconsideradas. Portanto, a corrente que flui através do diodo é definida por

$$i_D = I_L - C_{min} \left[A_3 \lambda_1 e^{\lambda_1 \cdot t} + A_4 \lambda_2 e^{\lambda_2 \cdot t} \right]. \quad (7.34)$$

A partir de (7.34), pode ser definido o valor médio da corrente no diodo, dada por

$$I_{D,med} = I_L(1 - D) + C \cdot f_s \cdot k_v \left[A_3(1 - e^{\lambda_1(1-D)T_s}) + A_4(1 - e^{\lambda_2(1-D)T_s}) \right]. \quad (7.35)$$

A equação (7.35) é válida para as condições de conservação de energia e de carga. Para definir os valores específicos para cada condição, I_L e k_v devem ser substituídos adequadamente.

O valor eficaz da corrente no diodo é obtido por meio da raiz quadrada da média dos quadrados dos valores instantâneos da forma de onda durante um período de comutação. Essa operação resulta em equações grandes as quais não serão apresentadas no texto.

Com o intuito de validar o equacionamento realizado, os resultados obtidos são comparados com os encontrados por meio de simulação. Nas Tabelas 7.1 e 7.2, são apresentados os valores obtidos considerando, respectivamente, a energia constante e a carga constante, para as seguintes especificações: $D = 0,3$, $k_c = 0,25$, $R_c = 80m \Omega$, $V_{in} = 75$ V, $R_o = 38,8 \Omega$, $f_s = 100kHz$ e $C = 25\mu$ F.

Analisando as Tabelas 7.1 e 7.2, é possível afirmar que o equacionamento está correto para ambas as condições analisadas. Apesar das simplificações realizadas com o intuito de facilitar o equacionamento, a taxa de erro percentual ficou abaixo de 5%. O maior valor encontrado, para a condição em que a energia é considerada constante, foi de 3,07%, referente ao valor médio da corrente no diodo. Enquanto para a condição em que a carga é conservada, a maior taxa de erro foi encontrada para o valor eficaz da corrente no diodo, sendo igual a 3,21%.

Por meio da análise do conversor tipo *Boost* a capacitor variável, conclui-se que um capacitor com variação rápida da capacitância pode substituir um interruptor, uma vez que a relação entre o valor mínimo e máximo da capacitância (k_c) influencia o ganho do conversor. Essa característica também foi observada no conversor tipo *Buck* a capacitor

Tabela 7.1 – Validação do equacionamento considerando a energia constante.

Parâmetro	Calculado	Simulados	Erro
$I_{L,med}$	2,65 A	2,71 A	2,24%
v_{Ca}	44,15 V	44,37 V	0,5%
v_{Cb}	88,27 V	88,14 V	0,15%
V_o	88,23 V	88,14 V	0,11%
$I_{CV,ef}$	1,58 A	1,61 A	1,86%
$I_{D,med}$	2,21 A	2,28 A	3,07%
$I_{D,ef}$	2,68 A	2,71 A	1,10%

Tabela 7.2 – Validação do equacionamento considerando a carga constante.

Parâmetro	Calculado	Simulados	Erro
$I_{L,med}$	2,42 A	2,49 A	2,81%
v_{Ca}	24,23 V	24,24 V	0,45%
v_{Cb}	96,88 V	96,67 V	0,22%
V_o	96,88 V	96,67 V	0,22%
$I_{CV,ef}$	1,82 A	1,86 A	2,15%
$I_{D,med}$	2,42 A	2,48 A	2,42%
$I_{D,ef}$	3,02 A	3,12 A	3,21%

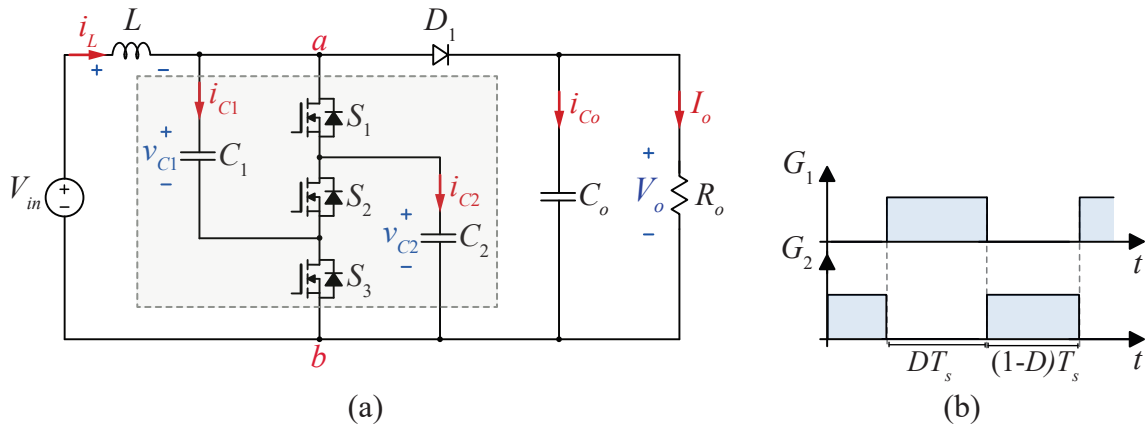
variável, o que confirma a aplicabilidade do conceito em diversas topologias. Além disso, nota-se que a topologia em estudo apresenta um ganho menor do que a estrutura tradicional do conversor *Boost*; no entanto, os esforços de tensão sobre o diodo são menores.

8 ANÁLISE ORIENTADA AO PROJETO DO CONVERSOR BOOST INTEGRADO A CÉLULA DE COMUTAÇÃO A CAPACITOR VARIÁVEL

Com o intuito de possibilitar a validação em laboratório da topologia do tipo *Boost* a capacitor variável, o capacitor variável (C_V) é substituído pela célula de comutação apresentada na Figura 3.8. A estrutura resultante, apresentada na Figura 8.1(a), é constituída por três capacitores (C_1 , C_2 e C_o), um indutor (L), três interruptores controlados (S_1 , S_2 e S_3) e um diodo (D_1).

A análise estática do conversor tipo *Boost* com capacitor variável é apresentada ao longo do capítulo. Primeiramente, consideram-se todos os componentes ideais e todas as capacitâncias grandes o suficiente, de forma que as ondulações de tensão possam ser desconsideradas. Em seguida, desconsiderando as ondulações de corrente no indutor, define-se a corrente nos capacitores e interruptores. Nessa análise, os interruptores são modelados pela resistência R_s quando em condução. Por fim, determinam-se as equações que definem os valores das capacitâncias e da indutância.

Figura 8.1 – Conversor tipo *Boost*. (a) Estágio de potência. (b) Sinais de comando.



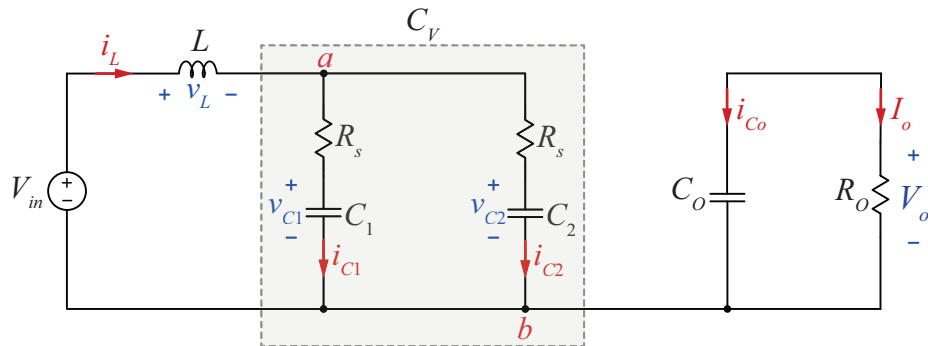
Fonte: Autor.

Ao operar em modo de condução contínua e ser comandado pelos sinais apresentados na Figura 8.1(b), o conversor tipo *Boost* possui dois estados topológicos. Durante a primeira etapa de operação ($0 - DT_s$), os interruptores S_1 e S_3 conduzem a corrente i_L , enquanto o diodo D_1 permanece bloqueado, conforme apresentado na Figura 8.2. Os capacitores C_1 e C_2 são conectados em paralelo, logo apresentam o mesmo valor de tensão ($v_{C1} = v_{C2} = v_C$). Considerando C_1 e C_2 idênticos, obtém-se

$$i_{C1} = i_{C2} = \frac{i_L}{2}. \quad (8.1)$$

O segundo intervalo de tempo ($DT_s - T_s$), apresentado na Figura 8.3, tem início no momento em que os interruptores S_1 e S_3 são bloqueados, S_2 conduz, e o diodo D_1 é polarizado diretamente e passa a conduzir. Os capacitores C_1 e C_2 são conectados em

Figura 8.2 – Circuito equivalente da primeira etapa de operação.

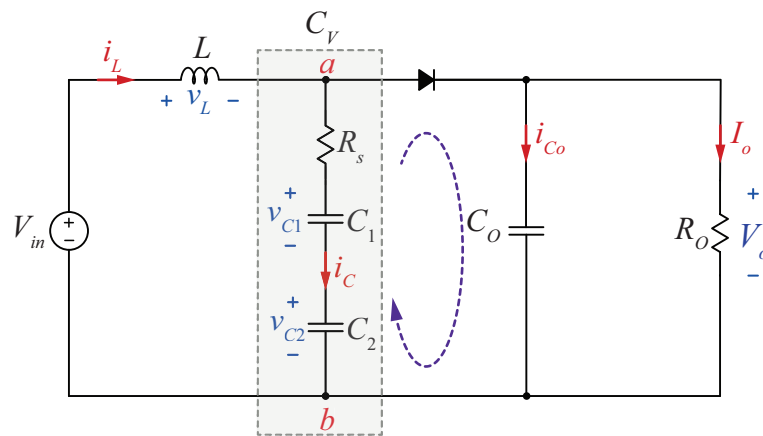


série. Portanto, desconsiderando a ondulação de tensão sobre C_1 e C_2 , determina-se que

$$V_{C1,med} = V_{C2,med} = V_{C,med} = \frac{V_o}{2}. \quad (8.2)$$

Observando a Figura 8.2 e a Figura 8.3, nota-se que a tensão sobre S_1 , S_2 e S_3 é igual a $V_{C,med}$. Portanto, o valor de patamar da tensão sobre os interruptores é igual à metade da tensão de saída do conversor (V_o).

Figura 8.3 – Circuito equivalente da segunda etapa de operação.



Fonte: Autor.

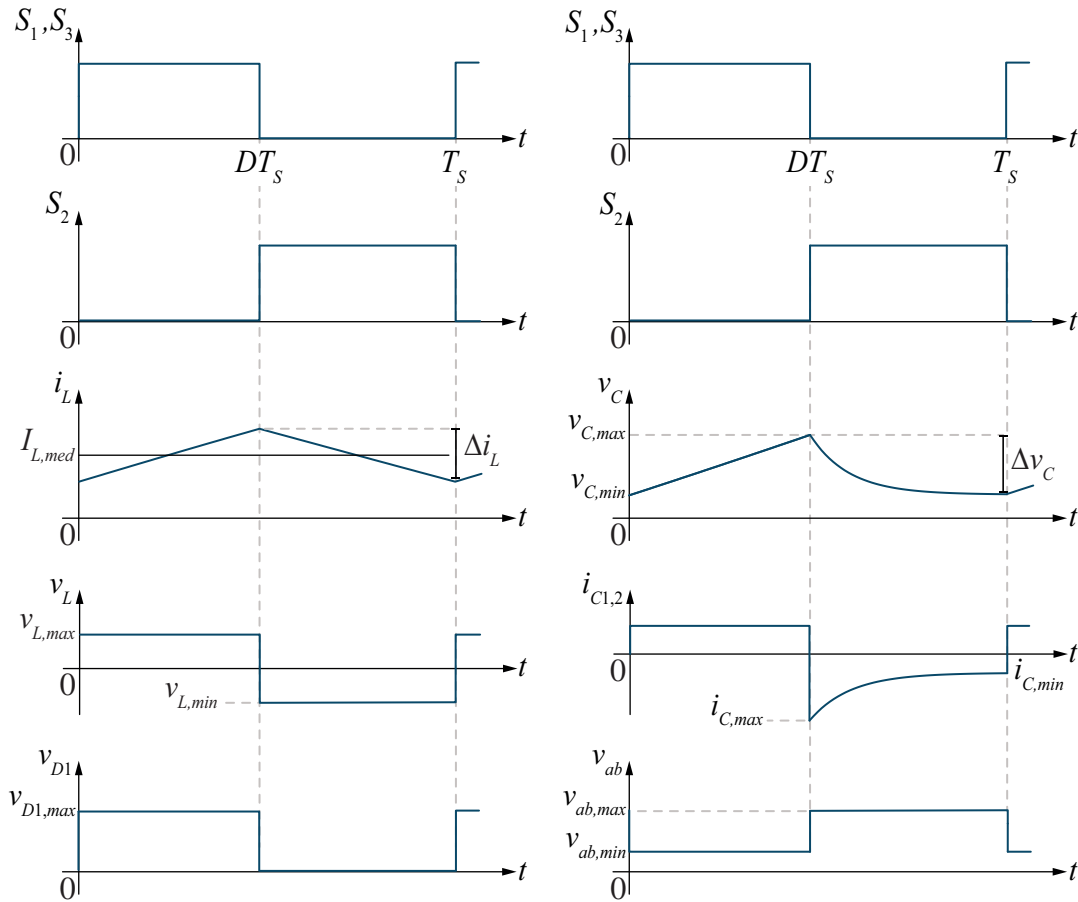
A partir da descrição da operação do conversor, são obtidas as formas de onda apresentadas na Figura 8.4, e o ganho estático de tensão do conversor pode ser equacionado.

8.1 GANHO ESTÁTICO DE TENSÃO

O ganho estático de tensão do conversor é definido por meio da análise da tensão sobre o indutor L . Durante o primeiro intervalo de operação, apresentado na Figura 8.2, o valor de v_L é definido a partir da malha de corrente entre L , V_{in} e C_1 , o que resulta em

$$v_L = V_{in} - v_{C1}. \quad (8.3)$$

Figura 8.4 – Principais formas de onda.



Fonte: Autor.

O valor de v_L durante o segundo intervalo de operação é obtido desenvolvendo a malha de corrente entre L , V_{in} , C_1 e C_2 , como apresentado na Figura 8.3. Assim

$$v_L = V_{in} - v_{C1} - v_{C2}. \quad (8.4)$$

Quando o conversor opera em regime permanente, o valor médio da tensão sobre o indutor é nulo. Portanto,

$$(V_{in} - v_{C1})D \cdot T_s = -(V_{in} - v_{C1} - v_{C2})(1 - D)T_s. \quad (8.5)$$

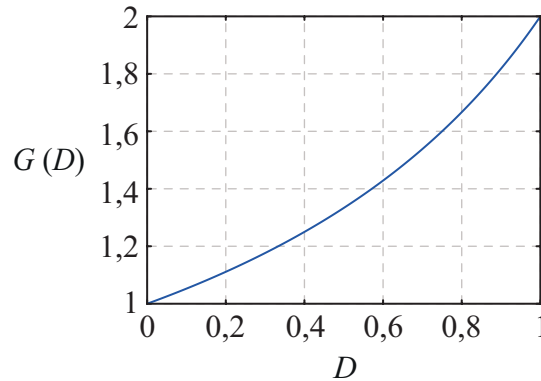
Desconsiderando as ondulações de tensão sobre C_1 e C_2 e substituindo (8.2) em (8.5), define-se o ganho estático de tensão para o conversor tipo *Boost*, dado por:

$$G = \frac{V_o}{V_{in}} = \frac{2}{2 - D}. \quad (8.6)$$

Representando (8.6) na Figura 8.5, observa-se que o ganho do conversor varia entre

um e dois. O menor valor de ganho de tensão é obtido para $D = 0$, e o ganho máximo é atingido quando $D = 1$. Em comparação ao conversor Boost clássico, a topologia proposta apresenta ganho menor para quase todos os valores de razão cíclica.

Figura 8.5 – Ganho estático para o conversor tipo Boost.



Fonte: Autor.

Conhecida a equação de ganho do conversor apresentado, os esforços de tensão e corrente sobre os componentes são equacionados.

8.2 ESFORÇOS DE TENSÃO E CORRENTE NOS CAPACITORES C_1 E C_2

O equacionamento dos esforços de tensão e de corrente em C_1 e C_2 é desenvolvido analisando os circuitos equivalentes do conversor e suas principais formas de onda, apresentados respectivamente na Figura 8.2, na Figura 8.3 e na Figura 8.4.

Durante a primeira etapa de operação, o diodo D_1 está bloqueado, e a corrente que flui pela indutância L se divide entre os capacitores C_1 e C_2 , como mostrado na Figura 8.2. Considerando $C_1 = C_2 = C$, define-se que $i_{C1} = i_{C2} = i_C = \frac{I_L}{2}$.

Considerando todos os componentes ideais, os valores de potência na entrada e na saída do conversor são iguais. Logo

$$i_L = \frac{2I_o}{(2-D)}. \quad (8.7)$$

A tensão sobre C_1 e C_2 durante a primeira etapa de operação pode ser definida como

$$v_C = \frac{I_L}{2C}t + A_1. \quad (8.8)$$

A tensão sobre C_o é dada por

$$v_{C_o} = A_2 e^{-\frac{t}{R_o C_o}}. \quad (8.9)$$

Analisando a segunda etapa de operação, apresentada na Figura 8.3, define-se que

v_{C_o} é igual a

$$v_{C_o} = 2v_C + R_s \cdot C \frac{d}{dt} v_C. \quad (8.10)$$

Por meio da análise do circuito, apresentado na Figura 8.3, também pode ser escrito que

$$I_L - i_C - C_o \frac{v_{C_o}}{dt} - \frac{v_{C_o}}{R_o} = 0. \quad (8.11)$$

Substituindo (8.10) em (8.11), tem-se

$$\frac{d^2}{dt^2} v_C + \frac{d}{dt} v_C \left(\frac{1}{C_o \cdot R_s} + \frac{2}{C \cdot R_s} + \frac{1}{C_o \cdot R_o} \right) + \frac{2v_C}{C_o \cdot C_b \cdot R_o \cdot R_s} = \frac{I_L}{C_o \cdot C_b \cdot R_s}. \quad (8.12)$$

Resolvendo (8.12), define-se a equação que rege v_C durante a segunda etapa de operação, dada por:

$$v_C = A_3 e^{\lambda_3 \cdot t} + A_4 e^{\lambda_4 \cdot t} + R_o \frac{I_L}{2}. \quad (8.13)$$

A equação que define a tensão sobre C_o durante a segunda etapa de operação é obtida substituindo (8.13) em (8.9). Dessa forma, tem-se

$$v_{C_o} = A_3 e^{\lambda_3 \cdot t} (2 + \lambda_3 \cdot C \cdot R_s) + A_4 e^{\lambda_4 \cdot t} (2 + \lambda_4 \cdot C \cdot R_s) + I_L \cdot R_o. \quad (8.14)$$

Em que,

$$\lambda_{3,4} = \frac{-b \pm \sqrt{b^2 - 4a \cdot c}}{2a} : \quad (8.15)$$

Sendo: $a = 1$;

$$b = \frac{1}{C_o \cdot R_s} + \frac{1}{C \cdot R_s} + \frac{1}{C_o \cdot R_o};$$

$$c = \frac{1}{R_s \cdot R_o \cdot C_o \cdot C}.$$

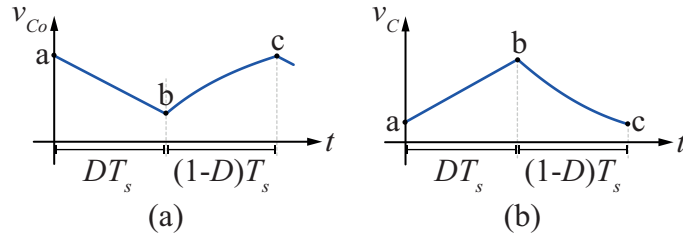
Os valores das variáveis A_1 a A_4 são definidos por meio das equações de contorno das formas de onda para a tensão sobre C_o e para a tensão sobre C_1 e C_2 apresentadas na Figura 8.6. O valor da tensão sobre C_o no ponto a é igual ao valor de v_{C_o} no ponto c e é determinado fazendo $t = 0$ em (8.9) e $t = (1 - D)T_s$ em (8.14). Dessa forma, pode-se definir que

$$A_2 - A_3 e^{\lambda_3(1-D)T_s} (2 + \lambda_3 \cdot C \cdot R_s) - A_4 e^{\lambda_4(1-D)T_s} (2 + \lambda_4 \cdot C \cdot R_s) = I_L \cdot R_o. \quad (8.16)$$

O valor de v_{C_o} no ponto b pode ser definido fazendo $t = DT_s$ em (8.9) ou fazendo $t = 0$ em (8.14). Assim,

$$A_2 e^{-\frac{DT_s}{R_o \cdot C_o}} - A_3 (2 + \lambda_3 \cdot C \cdot R_s) - A_4 (2 + \lambda_4 \cdot C \cdot R_s) = I_L \cdot R_o. \quad (8.17)$$

Figura 8.6 – Formas de onda para o conversor Boost. (a) Tensão sobre C_o . (b) Tensão sobre C_1 e C_2 .



Fonte: Autor.

Os valores para a tensão sobre C_1 e C_2 no ponto a , apresentada na Figura 8.6(b), são definidos fazendo $t = 0$ em (8.8) ou fazendo $t = (1 - D)T_s$ em (8.13). Portanto,

$$A_1 - A_3 e^{-(1-D)T_s} - A_4 e^{-(1-D)T_s} = \frac{I_L \cdot R_o}{2}. \quad (8.18)$$

Fazendo $t = 0$ em (8.13) ou fazendo $t = DT_s$ em (8.13), determina-se o valor de v_C no ponto b . Dessa forma, define-se que

$$A_1 - A_3 - A_4 = -\frac{I_L}{2} \left(\frac{DT_s}{C} - R_o \right). \quad (8.19)$$

As equações (8.16) à (8.19) podem ser escritas na forma matricial como apresentado em (8.20) e (8.21). Substituindo as matrizes na equações (8.22). São definidos os valores das constantes A_1 à A_4 . No entanto, devido à extensão das equações algébricas resultantes, sua apresentação detalhada no texto não é viável.

$$Z = \begin{bmatrix} 0 & 1 & -(2 + \lambda_3 \cdot C \cdot R_s) e^{\lambda_3(1-D)T_s} & -(2 + \lambda_4 \cdot C \cdot R_s) e^{\lambda_4(1-D)T_s} \\ 0 & e^{-\frac{DT_s}{R_o \cdot C_o}} & -(2 + \lambda_3 \cdot C \cdot R_s) & -(2 + \lambda_3 \cdot C \cdot R_s) \\ 1 & 0 & -e^{-(1-D)T_s} & -e^{-(1-D)T_s} \\ 1 & 0 & -1 & -1 \end{bmatrix} \quad (8.20)$$

$$X = \begin{bmatrix} A_1 \\ A_2 \\ A_3 \\ A_4 \end{bmatrix} \quad Y = \begin{bmatrix} -I_L \cdot R_o \\ I_L \cdot R_o \\ \frac{I_L \cdot R_o}{2} \\ I_L \left(\frac{D \cdot T_s}{C} - R_o \right) \end{bmatrix} \quad (8.21)$$

$$X = Z^{-1} \times Y \quad (8.22)$$

Definida a equação para a tensão sobre C_1 e C_2 , a corrente que flui através desses capacitores durante a segunda etapa de operação do conversor é equacionada por meio da relação volt-ampere de um capacitor. Assim,

$$i_C = C \left(A_3 \cdot \lambda_3 e^{\lambda_3 t} + A_4 \cdot \lambda_4 e^{\lambda_4 t} + R_o \frac{I_L}{2} \right). \quad (8.23)$$

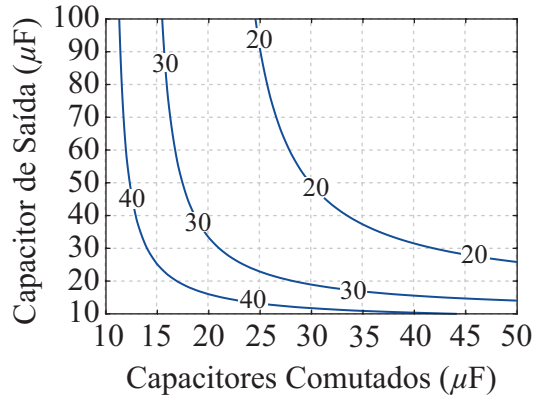
Analisando (8.23) e (8.15), pode-se notar que o valor da corrente durante a segunda etapa de operação do conversor depende da resistência de condução do interruptor, da carga conectada na saída do conversor e dos valores dos capacitores C_1 , C_2 e C_o .

Com o intuito de auxiliar o projetista na escolha dos valores de capacitância, é desenvolvido um código que retorna os valores máximos de corrente em C_1 e C_2 durante a segunda etapa de operação para cada combinação de C_o e C . O valor máximo de i_C ocorre no início da segunda etapa de operação, onde t é substituído por zero em (8.23), e os valores de C e C_o variam de acordo com a faixa definida pelo projetista. Os valores de f_s , I_L , R_o e R_s são ditados pelas especificações de projeto e pelas características do interruptor utilizado. Como exemplo, no código foram utilizados $R_s = 0.04\Omega$, $R_o = 40\Omega$, $I_L = 3.33$ A e $f_s = 100$ kHz. Alguns dos valores obtidos são apresentados na Figura 8.7.

Analisando a Figura 8.7, é possível notar que, à medida que o valor da capacitância de C_o é aumentado, é possível reduzir as capacitâncias de C_1 e C_2 e manter o mesmo valor máximo de i_C . Além disso, observa-se que a partir de um determinado valor de C_o , os valores máximos de i_C deixam de variar com a mudança em C_o . Esse é o valor ótimo de C_o para do projeto do conversor, quando visada a redução do tamanho do protótipo e a minimização das perdas nos capacitores e nos interruptores, especialmente em S_2 .

Após analisar os esforços de tensão nos capacitores, definidos em (8.8) e (8.13), pode-se concluir que a aproximação realizada em (8.2) está correta e pode ser empregada no equacionamento sem grandes prejuízos em sua precisão, contanto que os valores escolhidos para as capacitâncias garantam baixa ondulação de tensão. Com a análise dos esforços de

Figura 8.7 – Relação entre os valores máximos para a corrente em C_1 , C_2 , a capacitância do capacitor de saída (C_o) e a capacitância dos capacitores comutados C .



Fonte: Autor.

tensão e corrente nos capacitores, juntamente com as observações relevantes, é possível proceder com o desenvolvimento do equacionamento dos esforços sobre os interruptores.

8.3 ESFORÇOS DE TENSÃO E CORRENTE NOS INTERRUPTORES E NO DIODO

"Durante a primeira etapa de operação, I_L é dividida igualmente entre os interruptores S_1 e S_3 . No segundo intervalo de operação, S_1 e S_3 são bloqueados, e S_2 conduz a corrente i_C , definida em (8.23). Dessa forma, considerando que a capacitância de C_o seja grande o suficiente para não interferir nos valores da corrente nos capacitores, o valor eficaz da corrente em S_1 e S_3 e em S_2 são definidos, respectivamente, em (8.24) e em (??).

$$I_{S1,3,ef} = \frac{I_o}{2-D} \sqrt{D} \quad (8.24)$$

$$I_{S2,ef} = \frac{I_o \cdot D}{2 \cdot (2-D)} \sqrt{\frac{e^{\left(\frac{1+D}{f_s \tau}\right)} \left(e^{-\frac{2D}{f_s \tau}} - e^{-\frac{2}{f_s \tau}}\right)}{f_s \tau \left[\cosh\left(\frac{1-D}{f_s \tau}\right) - 1\right]}} \quad (8.25)$$

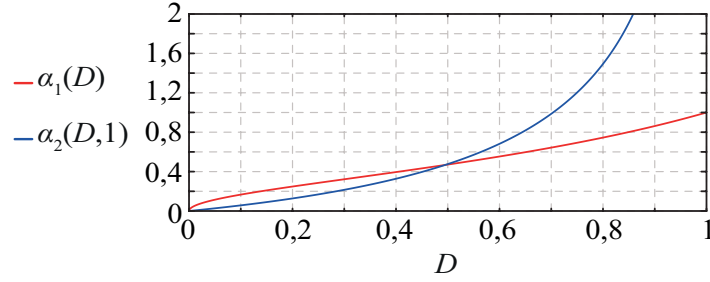
Os valores eficazes das correntes em S_1 e S_3 dependem da corrente de carga (I_o) e da razão cíclica (D). A corrente eficaz em S_2 depende, além disso, da constante $f_s \tau$. Parametrizando (8.24) e (8.25) em relação à corrente de carga, definem-se as variáveis α_1 e α_2 , dadas por

$$\alpha_1 = \frac{I_{S1,ef}}{I_o} = \frac{1}{(2-D)} \sqrt{D} \quad (8.26)$$

$$\alpha_2 = \frac{I_{S2,ef}}{I_o} = \frac{D}{2 \cdot (2-D)} \sqrt{\frac{e^{\left(\frac{1+D}{\tau \cdot f_s}\right)} \left(e^{-\frac{2D}{\tau \cdot f_s}} - e^{-\frac{2}{\tau \cdot f_s}}\right)}{\tau \cdot f_s \left[\cosh\left(\frac{1-D}{\tau \cdot f_s}\right) - 1\right]}}, \quad (8.27)$$

representadas em função da razão cíclica na Figura 8.8.

Figura 8.8 – Valores eficazes parametrizados das correntes em S_1 , S_2 e S_3 em função da razão cíclica para $f_s\tau = 1$.



Fonte: Autor.

Analisando a Figura 8.8, nota-se que os valores de α_1 são maiores que os valores de α_2 para razão cíclica menores que 0,5. Para $D > 0,5$, α_2 possui valores maiores que α_1 .

O valor de patamar da tensão sobre os interruptores é igual ao valor médio da tensão sobre C_1 e C_2 . Dessa forma

$$v_s = \frac{V_{in}}{2}. \quad (8.28)$$

Durante a primeira etapa de operação, o diodo está bloqueado e a tensão sobre ele é igual a metade da tensão de saída. Na segunda etapa de operação, o diodo conduz uma corrente igual a $I_o - i_C$. Portanto, o valor médio e o valor eficaz da corrente no diodo são definidos, respectivamente, por

$$I_{D,med} = C \cdot A_3 \cdot f_s \left(1 - e^{(1-D)T_s \cdot \lambda_3}\right) + C \cdot A_4 \cdot f_s \left(1 - e^{(1-D)T_s \cdot \lambda_4}\right) + I_o(1-D)T_s \quad (8.29)$$

$$I_{D,ef} = \sqrt{I_o^2(1-D) + 2C \cdot I_o \cdot X_1 - X_2 - X_3}. \quad (8.30)$$

Em que:

$$X_1 = \frac{A_3 + A_4 - \left[A_3 e^{\lambda_3(1-D)T_s} + A_4 e^{\lambda_4(1-D)T_s} \right]}{T_s};$$

$$X_2 = C^2 \cdot \frac{A_3^2 \cdot \lambda_3 \left[1 - e^{2\lambda_3(1-D)T_s} \right] + A_4^2 \cdot \lambda_4 \left[1 - e^{2\lambda_4(1-D)T_s} \right]}{2T_s};$$

$$X_3 = \frac{2C^2 \cdot A_3 \cdot A_4 \cdot \lambda_3 \lambda_4 \left[1 - e^{(\lambda_3 + \lambda_4)(1-D)T_s} \right]}{T_s(\lambda_3 + \lambda_4)}.$$

Definidos os esforços de tensão e corrente sobre os componentes, as capacitâncias e a indutância podem ser dimensionadas, e posteriormente um exemplo de projeto pode ser desenvolvido para validar o equacionamento realizado.

8.4 DIMENSIONAMENTO DAS INDUTÂNCIAS E DAS CAPACITÂNCIAS

Com o intuito de viabilizar o projeto do conversor tipo *Boost* são obtidas as equações que definem os valores das capacitâncias e da indutância presentes na sua estrutura.

8.4.1 Capacitor do filtro de saída

A capacitância do filtro de saída do conversor tipo Boost deve atender ao critério de máxima ondulação de tensão estabelecido para o projeto. Além disso, é essencial avaliar se o valor atribuído à capacitância está acima do joelho da curva que define a corrente máxima desejada nos capacitores C_1 e C_2 . Exemplos dessas curvas podem ser visualizados na Figura 8.7

O valor da capacitância C_o , levando em consideração o critério de máxima ondulação de tensão, é determinado por

$$C_o = \frac{I_o \cdot D}{\Delta v_{C_o, max} \cdot f_s}. \quad (8.31)$$

8.4.2 Capacitores C_1 e C_2

Os valores das capacitâncias C_1 e C_2 são inicialmente determinados levando em consideração o critério de ondulação de tensão. Em seguida, é realizada uma análise utilizando as curvas que relacionam C_o , C e o valor máximo de i_C , como exemplificado na Figura 8.7, para verificar se o valor definido é adequado para atender ao critério de máxima corrente no capacitor. O valor máximo da corrente é determinado pelas especificações do interruptor escolhido, uma vez que a corrente que flui através dele durante a segunda etapa de operação é igual a i_C .

Pelo critério da ondulação de tensão sobre os capacitores, as capacitâncias C_1 e C_2 são dadas por

$$C = \frac{I_o \cdot D}{(2 - D) \cdot \Delta v_C \cdot f_s}. \quad (8.32)$$

Observando (8.32), nota-se que a ondulação de tensão sobre C_1 e C_2 aumenta com o aumento da razão cíclica.

8.4.3 Indutor do filtro de saída

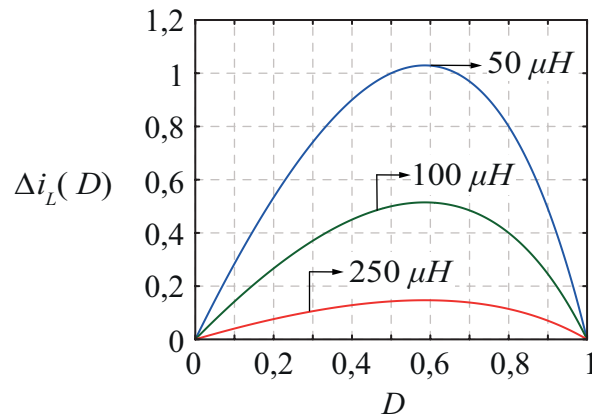
A indutância para o filtro de saída é determinada pelo critério da máxima ondulação de corrente em L . Assim, utilizando a relação volt-ampere, podemos definir que

$$\Delta i_L = \left(\frac{1 - D}{2 - D} \right) \left(\frac{D \cdot V_{in}}{f_s \cdot L} \right). \quad (8.33)$$

Representando a equação (8.33) em função de D na Figura 8.9, percebe-se que a máxima ondulação de corrente ocorre para uma razão cíclica próxima a 0,6. Isolando a variável L em (8.33), determina-se que

$$L = \left(\frac{1 - D}{2 - D} \right) \left(\frac{D \cdot V_{in}}{f_s \cdot \Delta i_L} \right). \quad (8.34)$$

Figura 8.9 – Ondulação de corrente em L em função de D para diferentes valores de indutância.



Fonte: Autor.

Definidas as equações para o cálculo das capacitâncias e indutância, um exemplo de projeto é desenvolvido.

8.5 EXEMPLO DE PROJETO PARA O CONVERSOR TIPO BOOST NÃO ISOLADO

Com o intuito de validar o equacionamento realizado no decorrer do capítulo é desenvolvido um exemplo de projeto para o conversor tipo *Boost* não isolado. As especificações para o projeto são mostradas na Tabela 8.1.

Tabela 8.1 – Especificações de projeto para o conversor tipo *Boost*.

Parâmetro	Valores especificado
Tensão de entrada	75 V
Tensão de saída	100 V
Potência nominal de saída	250 W
Máxima ondulação de tensão nos capacitores	2%
Máxima ondulação de corrente na indutância	5%
Resistências de condução dos interruptores (R_s)	0,04 Ω
Frequência de comutação	100 kHz

O projeto do conversor tipo Boost é desenvolvido seguindo os mesmos passos realizados para o conversor tipo Buck. Assim, os valores das capacitâncias, indutâncias e os esforços de tensão e corrente são definidos substituindo os valores de projeto nas equações definidas ao longo do capítulo. Na Tabela 8.2 são apresentadas as equações de projeto e os valores de cada componente, bem como os esforços de tensão e corrente calculados.

Para validar o equacionamento, o conversor é simulado, e as formas de onda resultantes são apresentadas na Figura 8.10. Os valores obtidos por simulação são confrontados com os calculados na Tabela 8.3.

Analisando a Figura 8.10 e a Tabela 8.3, observa-se que o erro percentual obtido por meio da comparação entre os valores calculados e os obtidos por simulação são menores

Tabela 8.2 – Projeto do conversor tipo Boost.

Parâmetro	Equação	Valore calculado
I_o	$\frac{P_o}{V_o}$	2,5 A
D	$\frac{2 \cdot (V_o - V_{in})}{V_o}$	0,5
C_1 e C_2	$\frac{2\tau}{R_s}$	40 μ F
I_L	$\frac{4 \cdot V_{in}}{(2 - D)^2 R_o}$	3,33 A
L	$\left(\frac{1 - D}{2 - D}\right) \left(\frac{D \cdot V_{in}}{f_s \cdot \Delta i_L}\right)$	750 μ H
C_o	$\frac{I_o \cdot D}{\Delta v_C}$	100 μ F
v_S	$\frac{V_{in}}{2 - D}$	50 V
$i_{S1,ef}$ e $i_{S3,ef}$	$\frac{I_o}{2 - D}$	1,179 A
$i_{S2,ef}$	Equação (8.27)	1,310 A

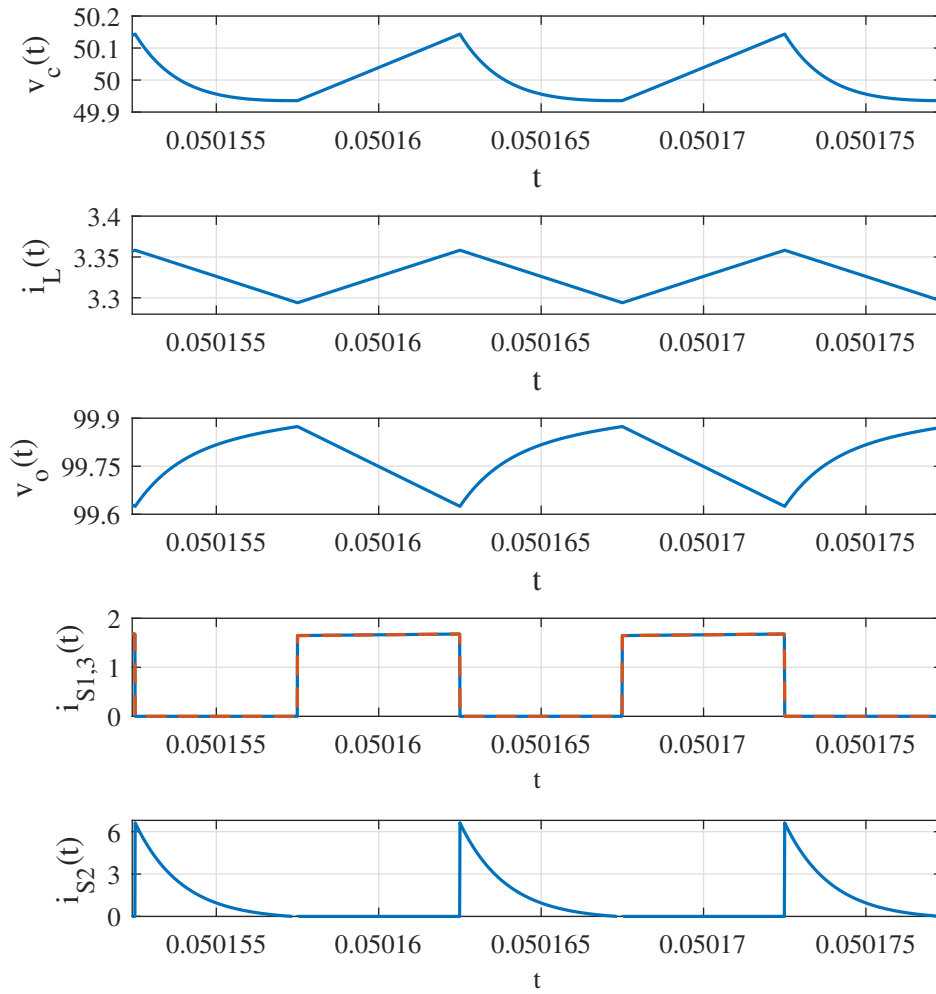
Tabela 8.3 – Comparação entre os valores obtidos por meio de simulação com os calculados para o conversor tipo Boost.

Grandeza	Valores simulado	Valor calculado	Erro (%)
Δi_L	0,164 A	0,167 A	1,253
Δv_{C_o}	1,971 V	2,000 V	1,434
$i_{S1,ef}$ e $i_{S3,ef}$	1,166 A	1,179 A	1,051
$i_{S2,ef}$	1,471 A	1,310 A	2,824

que 5%. Dessa forma, conclui-se que o equacionamento realizado para o conversor é válido. As ondulações de tensão sobre os capacitores e de corrente nos indutores foram desconsideradas no equacionamento do valor médio da tensão sobre os capacitores e da corrente no indutor. O conversor foi considerado ideal para o equacionamento do valor médio de I_L ; no entanto, na simulação, foram inseridas as resistências de condução nos interruptores. Essas simplificações facilitam a análise e fornecem equações concisas; no entanto, acarretam em perda da precisão do cálculo.

Por meio da análise do conversor do tipo Boost a capacitor variável, conclui-se que, do ponto de vista de taxa de conversão, a topologia Boost clássica é mais vantajosa. No entanto, os esforços de tensão sobre os interruptores no conversor em estudo são 50% menores que no conversor Boost. Avaliando a forma de onda da tensão sobre os terminais da célula v_{ab} , nota-se a presença de uma componente alternada com valor médio positivo e, observando as etapas de operação, percebe-se C_1 e C_2 carregam e descarregam juntos. Essa característica da célula proposta também está presente no conversor do tipo Buck – Boost, apresentada no próximo capítulo. Comparando os valores eficazes para as

Figura 8.10 – Formas de onda obtidas por meio de simulação no software *Simulink*.

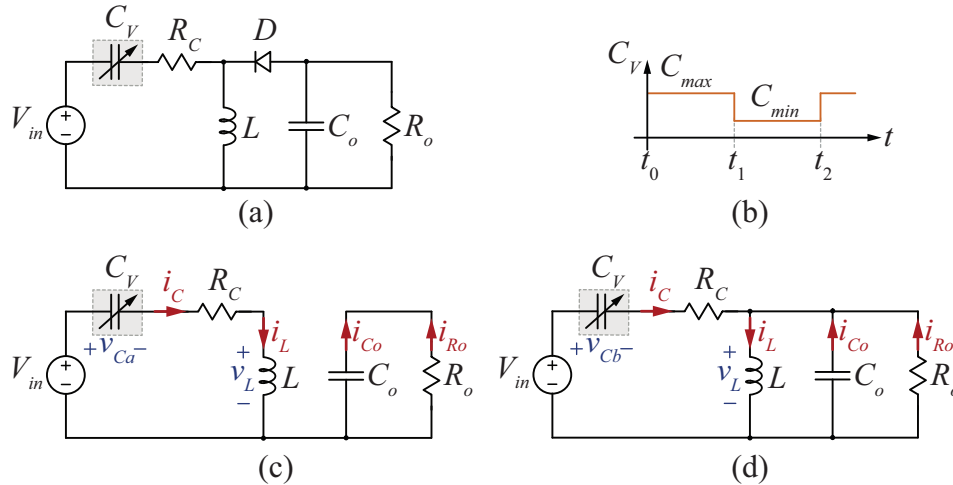


Fonte: Autor.

correntes, verifica-se que os esforços de corrente em C_1 , C_2 e S_2 são maiores na topologia do tipo *Boost* que na do tipo *Buck*.

9 TOPOLOGIA DO TIPO *BUCK-BOOST* A CAPACITOR VARIÁVEL

Figura 9.1 – Conversor tipo *Buck-Boost* (a) Estágio de potência. (b) Valores da capacitância para cada etapa de operação. (c) Primeira etapa de operação ($t_0 - t_1$). (d) Segunda etapa de operação ($t_1 - t_2$).



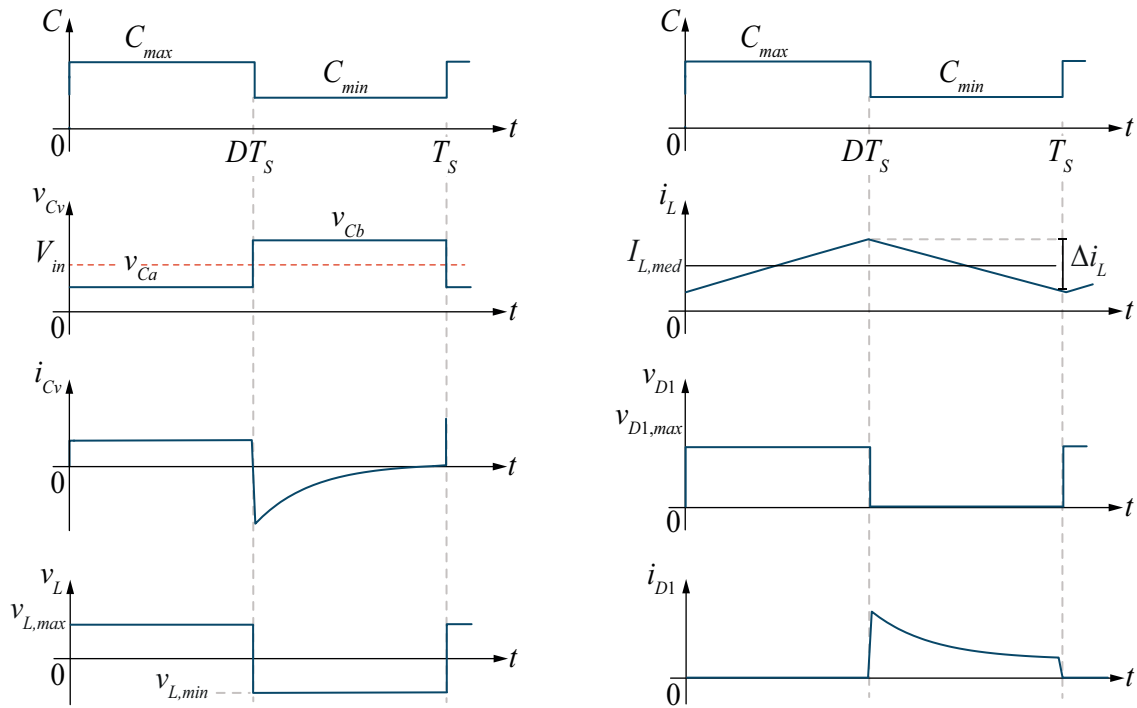
Fonte: Autor.

O valor da capacitância varia rapidamente, conforme apresentado na Figura 9.1(b), resultando em uma diferença no valor da tensão sobre o capacitor C_V . Portanto, o diodo está apto a conduzir durante um dos intervalos de tempo e bloqueado no outro.

O conversor tipo *Buck – Boost* a capacitor variável apresenta duas etapas de operação, as quais são ilustradas nas Figuras 9.1(c) e 9.1(d). Durante a primeira etapa de operação (t_0-t_1), conforme ilustrado na Figura 9.1(c), a capacitância de C_V permanece em C_{max} , mantendo o diodo bloqueado. Neste momento, a fonte de alimentação V_{in} fornece energia para C_V , enquanto o capacitor C_o alimenta a carga R_o . A transição para a segunda etapa de operação ocorre quando C_V atinge C_{min} (t_1-t_2), resultando no aumento da tensão sobre C_V e na redução de v_L , tornando v_L inferior a V_o . Assim, o diodo está apto a conduzir. O estado topológico correspondente à segunda etapa de operação é apresentado na Figura 9.1(d), e as principais formas de onda para o conversor são mostradas na Figura 9.2.

Observando as formas de onda do conversor proposto, apresentadas na Figura 9.2, pode-se notar a similaridade entre estas e as apresentadas para o conversor *Boost* na Figura 7.2. Da mesma forma que ocorre para o conversor *Buck* e *Boost* a capacitor variável, a forma de onda para v_C apresenta uma descontinuidade de valores devido à variação rápida da capacitância. Assim, o equacionamento do ganho estático de tensão e dos esforços de tensão e corrente nos componentes é desenvolvido de forma semelhante ao realizado nos Capítulos 3 e 7.

Figura 9.2 – Principais formas de onda para o conversor *Buck – Boost* a capacitor variável.



Fonte: Autor.

9.1 GANHO ESTÁTICO DE TENSÃO

A análise estática do conversor tipo *Buck – Boost* a capacitor variável é desenvolvida de forma similar ao realizado para os conversores tipo *Buck* e tipo *Boost*. Inicialmente, é definida a relação entre os valores de patamar da tensão sobre C_v durante a primeira e a segunda etapa de operação, tanto para a condição em que o capacitor variável opera com conservação de carga quanto para a condição em que a energia é conservada. Essa relação é a mesma que se definiu para os conversores tipo *Buck* e tipo *Boost*, reescrita em (9.1).

$$V_{Ca} = V_{Cb} \cdot k_v. \tag{9.1}$$

Sendo $k_v = \sqrt{k_c}$ para a condição de carga constante e $k_v = k_c$ se a energia for considerada constante.

Definida a relação entre v_{Ca} e v_{Cb} , pode-se determinar o valor médio da tensão sobre C_o e a corrente em L por meio da análise de espaço de estados. Além disso, é possível definir o valor médio da tensão de patamar sobre o capacitor variável em uma das etapas de operação. Analisando a primeira etapa de operação, apresentada na Figura 9.1(c),

tem-se o seguinte sistema de equações

$$\begin{aligned} \frac{C_b \cdot k_c}{k_v} \frac{dv_{Cb}}{dt} &= I_L \\ L \frac{di_L}{dt} &= V_{in} - v_{Cb} \cdot k_v - i_L \cdot R_s \\ C_o \frac{dv_{Co}}{dt} &= -\frac{v_{Co}}{R_o}. \end{aligned} \quad (9.2)$$

Para a segunda etapa de operação, apresentada na Figura 9.1(d), define-se o sistema e equações abaixo

$$\begin{aligned} C_b \frac{dv_{Cb}}{dt} &= \frac{V_{in} - v_{Cb} + v_{Co}}{R_s} \\ L \frac{di_L}{dt} &= -v_{Co} \\ C_o \frac{dv_{Co}}{dt} &= \frac{v_{in}}{R_s} + \frac{v_{Cb}}{R_s} - v_{Co} \left(\frac{R_o + R_s}{R_o \cdot R_s} \right). \end{aligned} \quad (9.3)$$

O sistema de equações (9.3) pode ser escrito na forma matricial como segue

$$\underbrace{\frac{d}{dt} \begin{bmatrix} C_b \cdot v_{Cb} \\ C_o \cdot v_{Co} \\ L \cdot i_L \end{bmatrix}}_{\dot{x}} = \underbrace{\begin{bmatrix} 0 & 0 & \frac{k_c}{k_v} \\ 0 & -\frac{1}{R_o} & 0 \\ -k_v & 0 & -R_s \end{bmatrix}}_{A_1} \times \underbrace{\begin{bmatrix} v_{Cb} \\ v_{Co} \\ i_L \end{bmatrix}}_x + \underbrace{\begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix}}_{B_1} \times \underbrace{\begin{bmatrix} V_{in} \end{bmatrix}}_U. \quad (9.4)$$

E o sistema de equações (9.4) pode ser escrito na forma matricial da seguinte forma

$$\underbrace{\frac{d}{dt} \begin{bmatrix} C_b \cdot v_{Cb} \\ C_o \cdot v_{Co} \\ L \cdot i_L \end{bmatrix}}_{\dot{X}} = \underbrace{\begin{bmatrix} -\frac{1}{R_s} & \frac{1}{R_s} & 0 \\ \frac{1}{R_s} & -\frac{R_o + R_s}{R_o \cdot R_s} & 1 \\ 0 & -1 & 0 \end{bmatrix}}_{A_2} \times \underbrace{\begin{bmatrix} v_{Cb} \\ v_{Co} \\ i_L \end{bmatrix}}_X + \underbrace{\begin{bmatrix} \frac{1}{R_s} \\ -\frac{1}{R_s} \\ 0 \end{bmatrix}}_{B_2} \times \underbrace{\begin{bmatrix} V_{in} \end{bmatrix}}_U. \quad (9.5)$$

Em regime permanente, o valor médio da tensão no indutor e da corrente no capacitor são nulos. Dessa forma, as matrizes \dot{x} são nulas, e os valores médios das variáveis apresentadas na matriz X são definidos por: $X = [A_1 \cdot D + A_2 \cdot (1 - D)]^{-1} \times [B_1 \cdot D + B_2 \cdot (1 - D)] \times U$. Dessa operação, são definidos os valores médios para a tensão de saída, para a tensão de patamar sobre C_V , durante a segunda etapa de operação, e para a corrente em L , respectivamente apresentadas em (9.6), (9.7) e (9.8).

$$V_{Co} = -\frac{V_{in} \cdot D \cdot R_o(1 - k_v)(1 - D)(D \cdot k_v + 1 - D)}{K}. \quad (9.6)$$

$$V_{Cb} = \frac{V_{in} \cdot (D \cdot k_c + 1 - D)[D \cdot R_s + R_o(1 - D)]}{K}. \quad (9.7)$$

$$I_L = \frac{V_{in} \cdot D(1 - D)(1 - k_v)}{K}. \quad (9.8)$$

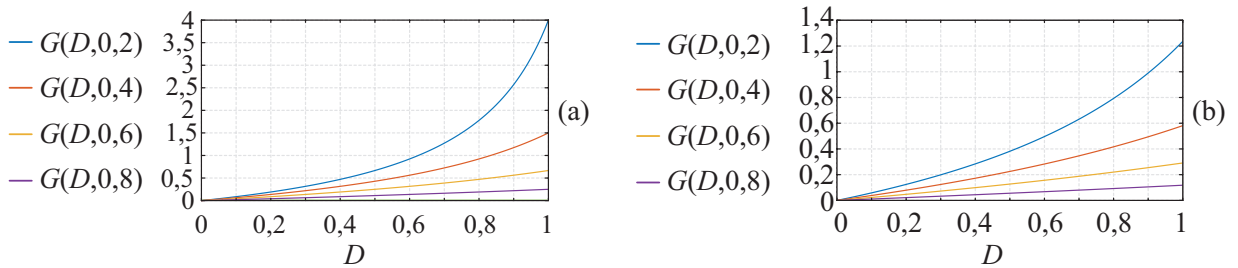
Em que:

$$K = R_o(1 - D) \left(D\sqrt{k_v} - D + 1 \right)^2 + D \cdot R(1 - D + k_v).$$

Dividindo (9.6) por V_{in} e desconsiderando a resistência intrínseca a C_V , define-se o ganho estático de tensão do conversor como

$$G = 1 - \frac{1}{1 - D(1 - k_v)}. \quad (9.9)$$

Figura 9.3 – Ganho do conversor em relação ao tempo em que o valor da capacitância de C_V permanece com seu valor máximo (C_{max}) para diferentes valores de k_c . (a) Considerando que o capacitor apresenta conservação de carga. (b) Considerando que o capacitor apresenta conservação de energia.



Fonte: Autor.

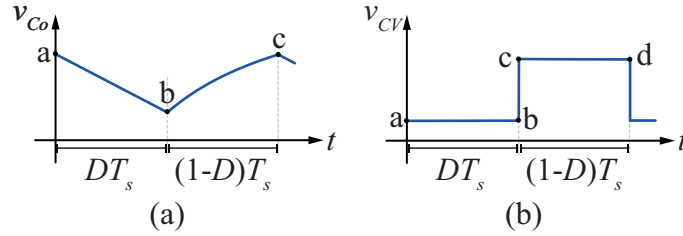
Na Figura 9.3, é representada a equação (9.9) sob as condições de conservação de carga e conservação de energia. Ao analisar as Figuras 9.3(a) e 9.3(b), pode-se observar que o ganho do conversor diminui com o aumento de k_c e aumenta conforme o tempo em que $C = C_{max}$ (D) se prolonga. Além disso, nota-se que o ganho de tensão é mais elevado quando consideramos a conservação de carga. Essa característica também é evidente nas topologias Buck e Boost, pois está relacionada à natureza do capacitor variável, sendo independente da topologia em que está inserido.

9.1.1 Esforços de tensão e corrente no capacitor variável e no diodo

O equacionamento dos esforços de tensão e corrente no capacitor variável e no diodo do conversor Buck-Boost é realizado de forma similar ao desenvolvido para o conversor Boost. Dessa forma, primeiramente, são definidas as equações que representam a tensão

sobre C_V e sobre C_o , e posteriormente determinam-se as condições de contorno para as formas de onda apresentadas na Figura 9.4.

Figura 9.4 – Formas de onda para o conversor *Buck – Boost*. (a) Tensão sobre C_o . (b) Tensão sobre C_V .



Fonte: Autor.

Ao analisar a primeira etapa de operação, descrita na 9.1(c), são encontradas as equações que definem a tensão sobre C_o e sobre C_V durante essa etapa de operação, dadas por

$$v_{C_a} = \frac{I_L}{C_a}t + A_1 \quad (9.10)$$

$$v_{C_o} = A_2 \cdot e^{-\frac{t}{C_o \cdot R_o}}. \quad (9.11)$$

Observando a segunda etapa de operação, apresentada Figura 9.1(d), define-se que

$$v_{C_o} = V_{in} - v_{C_b} - R \cdot C_b \frac{dv_{C_b}}{dt}. \quad (9.12)$$

Por meio da análise da Figura 9.1(d), também é definida a seguinte equação diferencial

$$\frac{d^2 v_{C_b}}{dt^2} + \frac{dv_{C_b}}{dt} \left(\frac{1}{C_o \cdot R} + \frac{1}{C_b \cdot R} + \frac{1}{C_o \cdot R_o} \right) + \frac{v_{C_b}}{R_o \cdot C_o \cdot R \cdot C_b} = \frac{V_{in} + I_L \cdot R_o}{R_o \cdot C_o \cdot R \cdot C_b}. \quad (9.13)$$

Resolvendo (9.13), define-se v_{C_V} durante a segunda etapa de operação do conversor, dada por

$$v_{C_b} = A_3 \cdot e^{\lambda_3 t} + A_4 \cdot e^{\lambda_4 t} + V_{in} + I_L \cdot R_o. \quad (9.14)$$

Sendo:

$$\lambda_{3,4} = \frac{-b \pm \sqrt{b^2 - 4a \cdot c}}{2a}. \quad (9.15)$$

Em que, $a = 1$;

$$b = \frac{1}{C_o \cdot R_s} + \frac{1}{C \cdot R_s} + \frac{1}{C_o \cdot R_o};$$

$$c = \frac{1}{R_s \cdot R_o \cdot C_o \cdot C}.$$

Substituindo (9.13) em (9.14), tem-se

$$v_{Co} = -A_3(1 + R_C \cdot C_{max} \cdot \lambda_3) e^{\lambda_3 t} - A_4(1 + R_C \cdot C_{max} \lambda_4) \cdot e^{\lambda_4 t} - I_L \cdot R_o. \quad (9.16)$$

Observando a Figura 9.4(a), pode ser notado que o valor de v_{Co} no início da segunda etapa de operação (ponto *b*) é igual ao valor de v_{Co} no final da primeira etapa de operação (ponto *b*). Assim,

$$A_2 \cdot e^{-\left(\frac{D \cdot T_s}{C_o \cdot R_o}\right) + A_3 + A_4(1 + \lambda_4 \cdot R_C \cdot C_b)} = -I_L \cdot R_o. \quad (9.17)$$

Também, pode ser observado que o valor de v_{Co} no início da primeira etapa de operação (ponto *a*) é igual ao valor de v_{Co} no final da segunda etapa de operação ponto *c*. Dessa forma,

$$A_2 + A_3 \cdot (1 + \lambda_3 \cdot R_C \cdot C_b) e^{\lambda_3(1-D)T_s} + A_4 \cdot (1 + \lambda_4 \cdot R_C \cdot C_b) e^{\lambda_4(1-D)T_s} = -I_L \cdot R_o. \quad (9.18)$$

Analisando a Figura 9.4(b), é possível observar que o valor de v_{CV} no início da segunda etapa de operação (ponto *c*) é igual ao valor de v_{CV} no final da primeira etapa de operação (ponto *b*) multiplicado pela constante k_v . Portanto,

$$A_1 - A_3 \cdot k_v - A_4 \cdot k_v = V_{in} \cdot k_v + I_L \cdot k_v \left(R_o - \frac{DT_s}{Ca} \right). \quad (9.19)$$

Da mesma forma, o valor da tensão sobre C_V no final da segunda etapa de operação (ponto *d*) multiplicado pela constante k_v é igual ao valor de v_{Cv} no início da primeira etapa de operação (ponto *a*). Assim,

$$A_1 - A_3 \cdot k_v \cdot e^{\lambda_3(1-D)T_s} + A_4 \cdot k_v \cdot e^{\lambda_4(1-D)T_s} = (V_{in} + I_L \cdot R_o). \quad (9.20)$$

As equações (9.17) a (9.20) podem ser escritas na forma matricial $Y = X \times Z$, em que Z , X e Y são definidas como:

$$Z = \begin{bmatrix} 0 & 1 & (1 + \lambda_3 \cdot C_{min} \cdot R_s) e^{\lambda_3(1-D)T_s} & (1 + \lambda_4 \cdot C_{min} \cdot R_s) e^{\lambda_4(1-D)T_s} \\ 0 & e^{-\frac{DT_s}{R_o \cdot C_o}} & (1 + \lambda_3 \cdot C_{min} \cdot R_s) & (1 + \lambda_4 \cdot C_{min} \cdot R_s) \\ 1 & 0 & -k_v \cdot e^{\lambda_3(1-D)T_s} & -k_v \cdot e^{\lambda_4(1-D)T_s} \\ 1 & 0 & -k_v & -k_v \end{bmatrix} \quad (9.21)$$

$$X = \begin{bmatrix} A_1 \\ A_2 \\ A_3 \\ A_4 \end{bmatrix} \quad Y = \begin{bmatrix} -I_L \cdot R_o \\ -I_L \cdot R_o \\ (I_L \cdot R_o + V_{in}) \cdot k_v \\ I_L \left(R_o \cdot k_v - \frac{D \cdot T_s}{C_{max}} \right) + V_{in} \cdot k_v \end{bmatrix}. \quad (9.22)$$

O valor das variáveis A_1 a A_4 pode ser definido por meio da seguinte operação matricial: $X = Z^{-1} \times Y$. Essa operação matricial é resolvida numericamente. Portanto, as equações que definem A_1 , A_2 , A_3 e A_4 não serão apresentadas no texto.

Com o intuito de validar o equacionamento realizado para definir os valores de A_1 a A_4 , as formas de onda geradas por meio do equacionamento são comparadas com aquelas que foram obtidas por simulações, utilizando as estruturas que emulam os capacitores variáveis. Os resultados dessa comparação são exibidos na Figura 7.5.

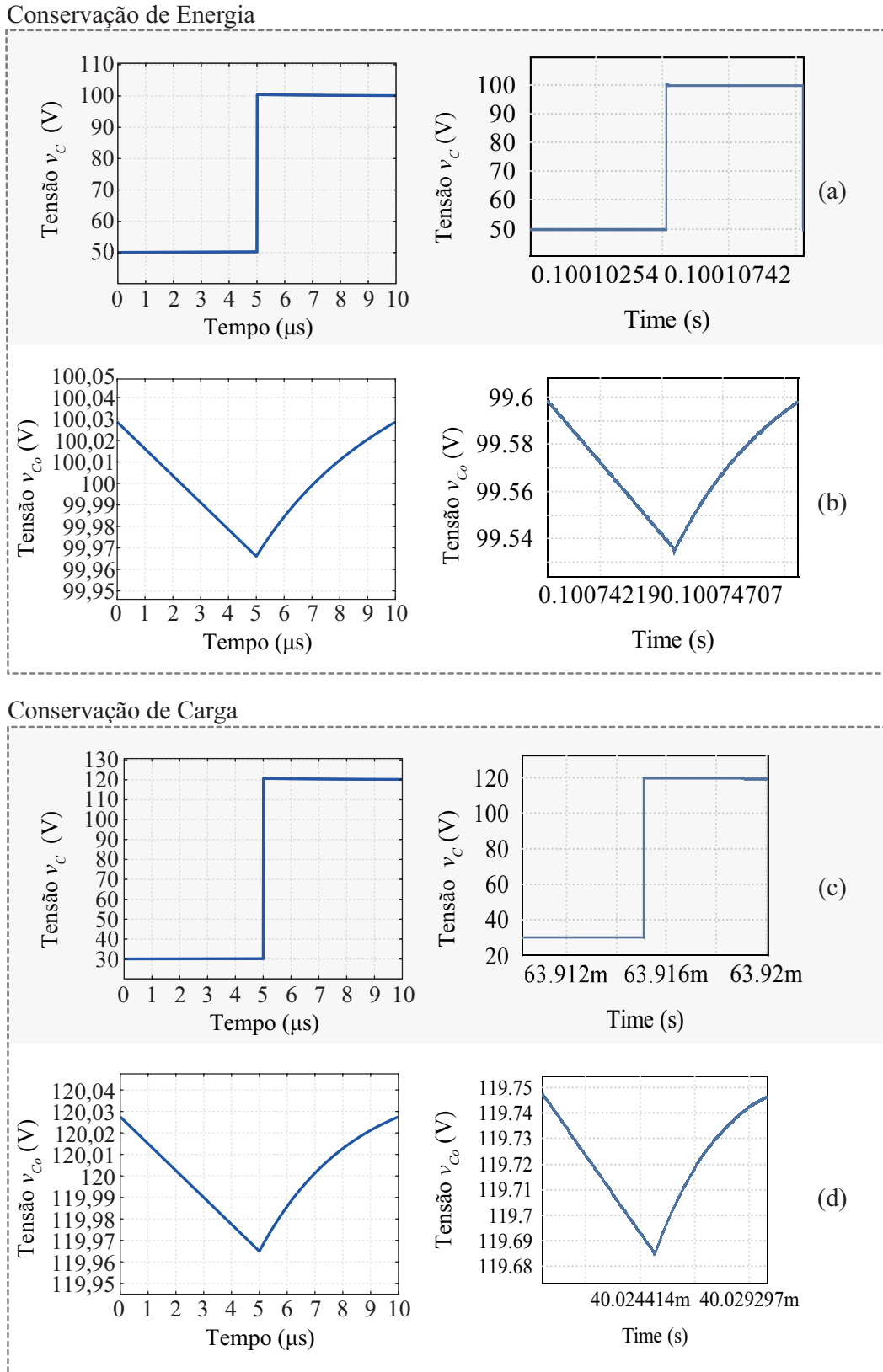
Na Figura 9.5(a) são apresentadas as formas de onda para a corrente em C_V sob a condição de energia constante. Pode-se observar que a forma de onda obtida por simulação é praticamente igual à obtida por meio do equacionamento. Analisando a Figura 9.5(b), pode-se notar que as formas de onda da tensão sobre C_o obtidas por meio da simulação e por meio do equacionamento são semelhantes. No entanto, os valores de tensão obtidos para a forma de onda simulada (à direita) são levemente menores do que os obtidos por meio do equacionamento (à esquerda). Essa diferença é decorrente da desconsideração de R_C no equacionamento da corrente do indutor

As formas de onda referentes à tensão sobre C_V , para a condição em que a carga é constante, são apresentadas na Figura 9.5(d), na qual pode-se observar que a curva obtida por simulação e a curva obtida por meio do equacionamento são praticamente iguais. Na Figura 9.5(c) são apresentadas as formas de onda para a tensão sobre C_o , onde pode-se observado que os valores de tensão obtidos para a forma de onda simulada são levemente menores do que os obtidos por meio do equacionamento. Essa diferença ocorre porque R_c é negligenciado no equacionamento de I_L . Como pode ser notado, as formas de onda obtidas por simulação são similares às obtidas por meio do equacionamento. Portanto, o equacionamento pode ser considerado válido.

Validadas as equações que regem a tensão sobre C_o e sobre C_V em cada uma das etapas de operação, pode ser definida a equação que determina o valor da corrente em C_V durante a segunda etapa de operação por meio da relação volt-ampere para o capacitor. Assim, tem-se

$$i_{Cb} = C_{min} \left(A_3 \cdot e^{\lambda_3 \cdot t} + A_4 \cdot e^{\lambda_4 \cdot t} \right). \quad (9.23)$$

Figura 9.5 – Comparação entre as formas de onda, obtidas por meio de simulação e por meio do equacionamento para considerando as seguintes especificações $C_{min} = 25 \mu\text{F}$, $C_{max} = 100 \mu\text{F}$, $V_{in} = 75 \text{ V}$, $f_s = 100 \text{ kHz}$ e $I_o = 2.5 \text{ A}$. (a) Tensão sobre C_V para a condição em que a energia é conservada. (b) Tensão sobre C_o para a condição em que a energia é conservada. (c) Tensão sobre C_V para a condição em que a carga é conservada. (d) Tensão sobre C_o para a condição em que a carga é conservada.



Fonte: Autor.

Durante a primeira etapa de operação do conversor, a corrente que flui por C_V pode ser considerada igual ao valor médio da corrente em L . Dessa forma, o valor eficaz de i_{C_V} é definido por

$$I_{C_V,rms} = \sqrt{\frac{A + B - C + 2D \cdot I_L^2 (\lambda_3 + \lambda_4) T_s}{2(\lambda_3 + \lambda_4) T_s}}. \quad (9.24)$$

Em que,

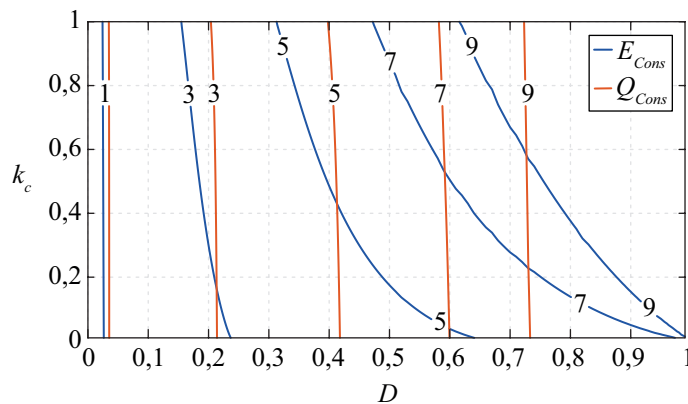
$$A = A_3^2 \cdot C_{min}^2 \cdot \lambda_3 \left[\lambda_3 \cdot e^{2 \cdot T_s \cdot \lambda_3 (1-D)} - \lambda_4 - \lambda_3 + \lambda_4 \cdot e^{2 \cdot T_s \cdot \lambda_3 (1-D)} \right]$$

$$B = A_4^2 \cdot C_{min}^2 \cdot \lambda_4 \left[\lambda_4 \cdot e^{2 \cdot T_s \cdot \lambda_4 (1-D)} - \lambda_3 - \lambda_3 + \lambda_4 \cdot e^{2 \cdot T_s \cdot \lambda_3 (1-D)} \right]$$

$$C = 4A_3 \cdot A_4 \cdot \lambda_3 \cdot \lambda_4 \cdot C_{min}^2 \left((1 - e^{\lambda_3 \cdot \lambda_4 (1-D)}) T_s \right).$$

Representando a equação (9.24) na Figura 9.6 para um valor fixo de I_o , pode ser observado o comportamento do valor eficaz da corrente quando os valores da razão cíclica e da constante k_c são alterados. Observando a Figura 9.6, pode-se notar que a variável k_c não influencia no valor eficaz de i_C , quando consideramos que a carga é preservada no capacitor durante a transição dos valores de capacitância. Essa característica também é observada nos conversores tipo *Buck* e tipo *Boost* a capacitor variável. Além disso, é possível observar que, tanto ao considerarmos a conservação de energia quanto ao considerarmos a conservação da carga, o valor eficaz de i_C aumenta à medida que o valor da razão cíclica é elevado. Se a energia é mantida constante durante a transição do valor da capacitância, o valor eficaz de i_C aumenta com o incremento do valor de k_c .

Figura 9.6 – Valor eficaz da corrente em C_V em relação a D e a k_c .



Fonte: Autor.

Definidas as equações que regem os valores de tensão e corrente em C_V , possuímos as equações necessárias para definir os esforços de tensão e corrente no diodo. Durante a primeira etapa de operação, apresentada na Figura 9.1(c), é observado que o diodo está

bloqueado. Dessa forma, o valor de patamar da tensão sobre o diodo é definida como:

$$v_D = (V_o + V_{in})k_v. \quad (9.25)$$

Durante a segunda etapa de operação, mostrada na Figura 7.1(d), o diodo conduz. A tensão sobre o diodo é nula e a corrente é igual $I_L - i_{Cb}$, se as ondulações de corrente em L forem desconsideradas. Assim, a corrente que flui através do diodo é definida por

$$i_D = I_L - C_{min} [A_3\lambda_1 e^{\lambda_1 t} + A_4\lambda_2 e^{\lambda_2 t}]. \quad (9.26)$$

A partir de (9.26), definem-se tanto o valor médio de i_D , apresentado em (9.27), quanto o seu valor eficaz. A equação que representa o valor eficaz de i_D é extensa, portanto, não esta descrita do documento.

$$i_{D,med} = I_L(1 - D) + \frac{A_3 \cdot C_{min} (1 - e^{\lambda_1 \cdot (1-D)T_s}) + A_4 \cdot C_{min} (1 - e^{\lambda_2 \cdot (1-D)T_s})}{T_s}. \quad (9.27)$$

Com o objetivo de verificar se o equacionamento é valido, os resultados obtidos por meio desse são comparados com os encontrados por meio de simulação. Nas Tabelas 9.1 e 9.2, são apresentados os valores obtidos considerando que a energia constante e que a carga constante, respectivamente. As especificações são: $D = 0,6$, $k_c = 0,5$, $R_c = 80m\Omega$, $V_{in} = 100V$, $I_o = 5$ A, $f_s = 100kHz$ e $C_{min} = 20\mu F$.

Tabela 9.1 – Validação do equacionamento considerando a energia constante.

Parâmetro	Calculado	Simulados	Erro
$I_{L,med}$	5,96 A	6,06 A	1,67%
v_{Ca}	85,85 V	86,38 V	0,61%
v_{Cb}	120,98 V	121,74 V	0,63%
V_o	20,54 V	21,32 V	3,79%
$I_{CV,ef}$	6,98 A	7,08 A	1,43%
$I_{D,med}$	4,93 A	5 A	1,42%
$I_{D,ef}$	8,50 A	8,60 A	1,18%

Observando os resultados apresentados nas Tabelas 9.1 e 9.2, pode-se afirmar que, apesar das simplificações adotadas para facilitar a modelagem, as equações obtidas demonstraram ser capazes de representar adequadamente os esforços de tensão e corrente nos componentes, sem que haja uma redução substancial na precisão. Isso é evidenciado

Tabela 9.2 – Validação do equacionamento considerando a carga constante.

Parâmetro	Calculado	Simulados	Erro
$I_{L,med}$	5 A	4,91 A	1,83%
v_{Ca}	101,60 V	99,27 V	2,35%
v_{Cb}	143,02 V	142,54 V	0,38%
v_o	42,86 V	42,09 V	1,83%
$I_{CV,ef}$	6,56A	6,84 A	2,15%
$I_{D,med}$	4,57 A	4,91 A	4,09%
$I_{D,ef}$	7,99 A	8,35 A	4,31%

pela taxa de erro percentual, a qual se manteve abaixo de 5%. Os maiores valores de erro percentual encontrados foram de 3,79%, correspondente ao valor médio da tensão sobre C_o quando considerada a conservação de energia, e de 4,31%, referente ao valor eficaz da corrente no diodo quando a conservação de carga é levada em conta.

Por meio da análise do conversor *Buck-Boost* a capacitor variável pode ser concluído um capacitor com variação abrupta da capacitância pode substituir um interruptor, uma vez que que, a relação entre o valor mínimo e máximo da capacitância (k_c) interfere no ganho do conversor. Essa característica também foi verificada no conversor *Buck* a capacitor variável, comprovando que o conceito em estudo pode ser aplicado em diversas topologias. Além disso, pode ser notado que a topologia em estudo apresenta ganho menor que a estrutura tradicional do conversor *Boost*, porém, os esforços de tensão sobre o diodo são menores.

10 ANÁLISE ORIENTADA AO PROJETO DO CONVERSOR *BUCK-BOOST* INTEGRADO A CÉLULA DE COMUTAÇÃO A CAPACITOR VARIÁVEL

A topologia resultante da integração do conversor *Buck-Boost* com uma célula de comutação a capacitor variável opera apenas na região de redução de tensão, mas mantém a característica de inversão da polaridade da tensão de saída. A análise estática dessa topologia é apresentada ao longo do capítulo. Inicialmente, é estudada a operação do conversor, desconsiderando as ondulações de tensão sobre os capacitores e considerando todos os componentes ideais, além de assumir que $C_1 = C_2 = C$. Nesse contexto, define-se o ganho estático de tensão. Em seguida, utilizando o método de espaço de estados, determina-se o valor médio da corrente no indutor. Por fim, os esforços de corrente e tensão sobre os capacitores C_1 e C_2 e sobre os interruptores são equacionados. Para validar o equacionamento por meio de simulação, são obtidas as equações que regem os valores das capacitâncias e da indutância, e um exemplo de projeto é desenvolvido. Posteriormente, os valores calculados e simulados são confrontados para validar a análise desenvolvida.

O conversor abaixador com inversão da polaridade da tensão de saída a capacitor variável é apresentado na Figura 10.1(a). A topologia proposta é composta por três interruptores (S_1 - S_3), dois capacitores chaveados ($C_1 - C_2$), um diodo (D_1), um indutor (L) e um capacitor de filtro (C_o). R_o representa a carga do conversor. Ao operar em condução contínua e com os interruptores comandados pelo sinal apresentado na Figura 10.1(b), o conversor possui duas etapas de operação.

A primeira etapa de operação (0-DTs), mostrada na Figura 10.2(a), ocorre quando os interruptores S_1 e S_3 conduzem e S_2 e D_1 estão bloqueados. Os capacitores C_1 e C_2 são associados em paralelo. Desconsiderando as não idealidades do conversor, obtém-se

$$v_{C1} = v_{C2} = v_C. \quad (10.1)$$

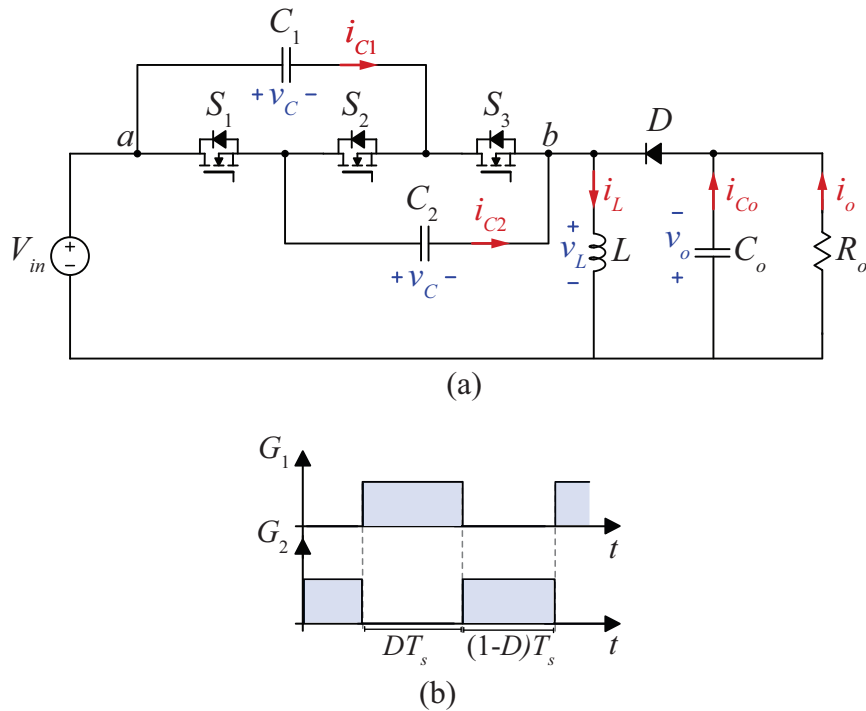
Durante a segunda etapa de operação (DT_s - T_s), apresentada na Figura 10.2(b), o diodo está diretamente polarizado e S_2 conduz, enquanto S_1 e S_3 estão bloqueados, e os capacitores C_1 e C_2 estão conectados em série. Considerando que $C_1 = C_2$ e desconsiderando as ondulações de tensão nos capacitores, tem-se que

$$v_{C1} + v_{C2} = V_{in} + V_o. \quad (10.2)$$

Portanto, o valor médio da tensão sobre C_1 e C_2 é definido por

$$V_{C,med} = \frac{V_{in} + V_o}{2}. \quad (10.3)$$

Figura 10.1 – Conversor abaixador de tensão com inversão da polaridade da tensão de saída obtido a partir da célula de comutação a capacitância variável. (a) Estágio de potência. (b) Sinais de comutação.



Fonte: Autor.

Por meio da análise da operação do conversor, definem-se as principais formas de onda, apresentadas na Figura 10.3. Ao analisar os estados topológicos do conversor e suas principais formas de onda, determina-se o ganho estático e os esforços de tensão e corrente nos componentes.

10.1 GANHO ESTÁTICO

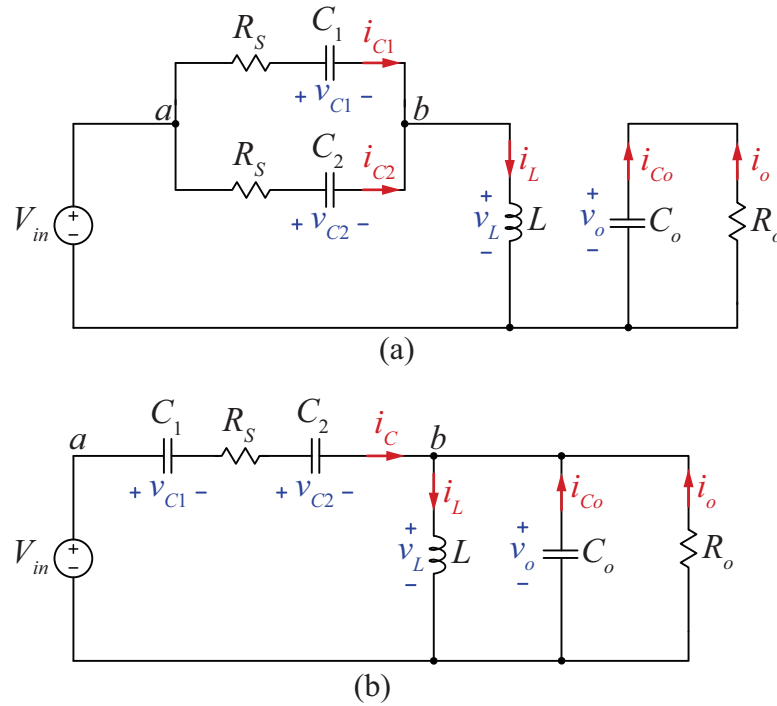
O equacionamento do ganho estático de tensão do conversor segue a metodologia apresentada para os conversores tipo *Buck* e *Boost*. Portanto, inicialmente, os valores instantâneos da tensão sobre o indutor são equacionados. A tensão sobre o indutor durante a primeira etapa de operação é definida por (10.4), enquanto durante a segunda etapa de operação, v_L é igual à tensão de saída (V_o).

$$v_L = \frac{V_{in} - V_o}{2} \quad (10.4)$$

Em regime permanente, o valor médio da tensão sobre o indutor é nulo. Portanto, o ganho estático de tensão é definido como

$$G = \frac{V_o}{V_{in}} = \frac{D}{2 - D}. \quad (10.5)$$

Figura 10.2 – Circuitos equivalentes do conversor proposto. (a) Primeira etapa de operação. (b) Segunda etapa de operação.



Fonte: Autor.

Representando a equação (10.5) na Figura 10.4, nota-se que o ganho de tensão aumenta com o incremento da razão cíclica, e que o ganho teórico da topologia varia entre zero e um, respectivamente, para $D = 0$ e $D = 1$. Portanto, o conversor opera apenas como abaixador de tensão.

Definido o ganho estático do conversor, o próximo passo é determinar os esforços de tensão e corrente nos componentes.

10.2 ESFORÇOS DE TENSÃO E CORRENTE NOS CAPACITORES C_1 E C_2

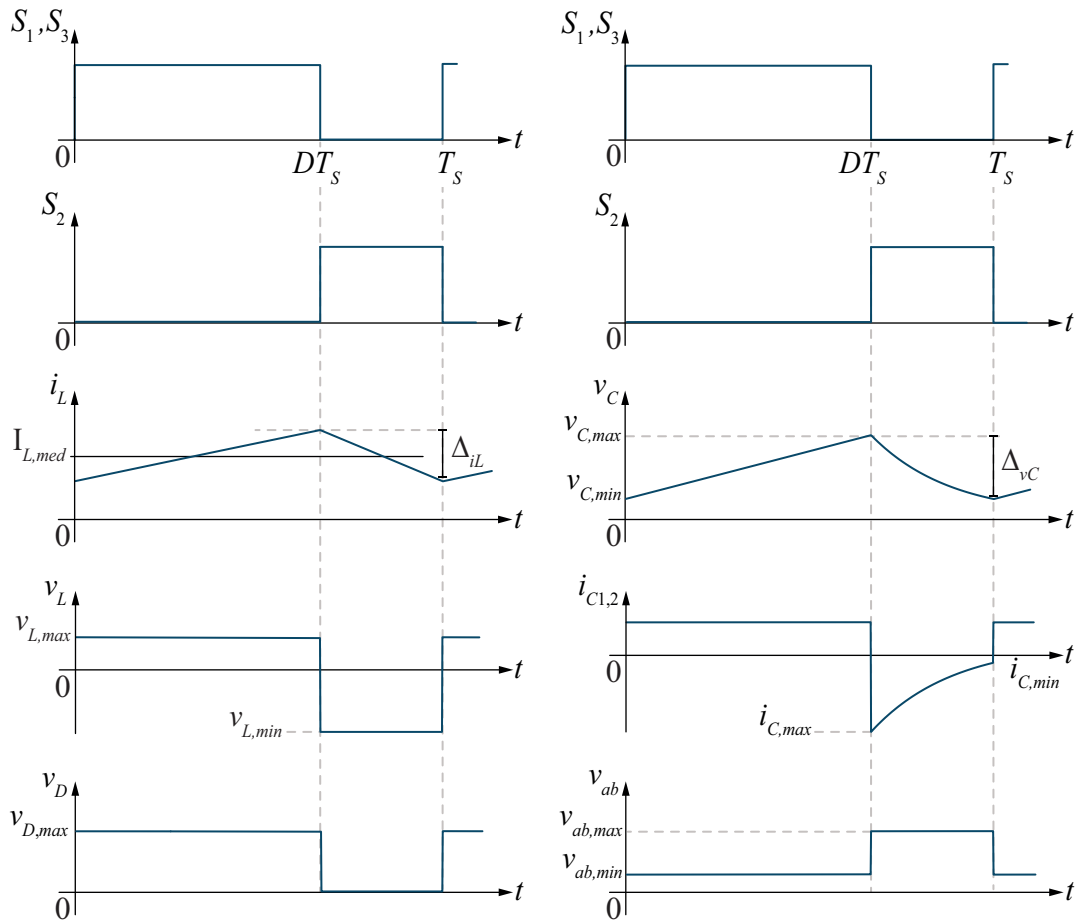
Os esforços de tensão e corrente em C_1 e C_2 são definidos pela análise dos estados topológicos e das formas de onda de tensão e corrente sobre os componentes. Considerando $C_1 = C_2$ e que as resistências de condução dos interruptores são idênticas, tem-se $i_{C1} = i_{C2}$. Durante a primeira etapa de operação, pode-se determinar que

$$i_{C1} = i_{C2} = C \frac{dv_C}{dt} = \frac{i_L}{2}. \quad (10.6)$$

Aplicando a análise de malha de tensão no circuito equivalente apresentado na Figura 10.2(a), define-se a tensão sobre o indutor durante a primeira etapa de operação como

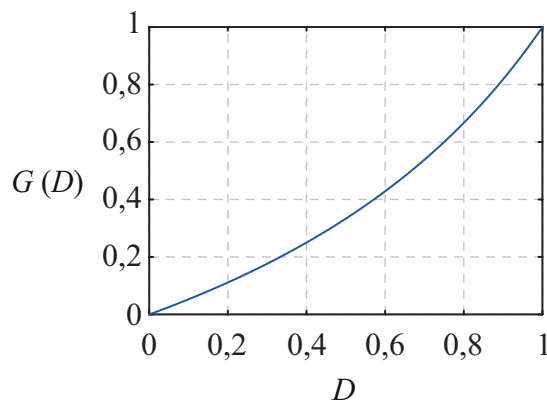
$$v_L = L \frac{di_L}{dt} = V_{in} - R_s \frac{i_L}{2} - v_C. \quad (10.7)$$

Figura 10.3 – Principais formas de onda para o conversor abaixador de tensão com inversão da polaridade na saída.



Fonte: Autor.

Figura 10.4 – Ganho do conversor proposto em função da razão cíclica.



Fonte: Autor.

Pela análise de nó de corrente, obtém-se

$$i_{C_o} = C_o \frac{dv_{C_o}}{dt} = -\frac{v_{C_o}}{R_o}. \quad (10.8)$$

As equações de estados, referentes ao primeiro intervalo de operação, (10.6), (10.7)

e (10.8), podem ser escritas na forma matricial compacta como

$$X = A^{-1} \cdot B + U. \quad (10.9)$$

O vetor \mathbf{X} contém todas as variáveis de estado, enquanto o vetor \mathbf{U} contém as entradas independentes do conversor. Assim, na forma matricial, escreve-se

$$\underbrace{\frac{d}{dt} \begin{bmatrix} L \cdot i_L \\ C \cdot v_C \\ C_o \cdot v_{C_o} \end{bmatrix}}_{\dot{x}} = \underbrace{\begin{bmatrix} -\frac{R_s}{2} & -1 & 0 \\ \frac{1}{2} & 0 & 0 \\ 0 & 0 & -\frac{1}{R_o} \end{bmatrix}}_{A_1} \cdot \underbrace{\begin{bmatrix} i_L \\ v_C \\ v_{C_o} \end{bmatrix}}_X + \underbrace{\begin{bmatrix} 1 \\ 0 \\ 0 \end{bmatrix}}_{B_1} \cdot \underbrace{[V_{in}]}_U. \quad (10.10)$$

Desenvolvendo a análise de nó de corrente para a segunda etapa de operação do conversor, conforme mostrado na Figura 10.2(b), define-se que

$$i_{C_o} = i_C - i_o - i_L, \quad (10.11)$$

e aplicando a análise de malha de tensão, obtém-se

$$i_C = C \frac{dv_C}{dt} = \frac{V_{in} - v_{C_o} - 2v_C}{R_s}. \quad (10.12)$$

Substituindo (10.12) em (10.11), define-se que

$$i_{C_o} = C_o \frac{dv_{C_o}}{dt} = \frac{V_{in} - 2v_C}{R_s} - i_L - \left(\frac{R_o + R_s}{R_o \cdot R_s} \right) v_{C_o}. \quad (10.13)$$

A tensão sobre o indutor é igual a v_{C_o} . Assim, tem-se

$$v_L = L \frac{di_L}{dt} = v_o. \quad (10.14)$$

As equações de estado referentes ao segundo intervalo de operação são escritas na forma matricial em (10.15).

$$\underbrace{\frac{d}{dt} \begin{bmatrix} L \cdot i_L \\ C \cdot v_C \\ C_o \cdot v_{C_o} \end{bmatrix}}_{\dot{x}} = \underbrace{\begin{bmatrix} 0 & 0 & 1 \\ 0 & -\frac{2}{R_s} & -\frac{1}{R_s} \\ 1 & -\frac{2}{R_s} & -\frac{R_o + R_s}{R_s \cdot R_o} \end{bmatrix}}_{A_2} \cdot \underbrace{\begin{bmatrix} i_L \\ v_C \\ v_{C_o} \end{bmatrix}}_X + \underbrace{\begin{bmatrix} 0 \\ \frac{1}{R_s} \\ \frac{1}{R_s} \end{bmatrix}}_{B_2} \cdot \underbrace{\left[V_{in} \right]}_U. \quad (10.15)$$

Os valores médios das variáveis de estados são definidos por:

$$X = -[A_1 \cdot D + A_2 \cdot (1 - D)]^{-1} \times [B_1 \cdot D + B_2 \cdot (1 - D)] \times U, \quad (10.16)$$

resolvendo essa operação matricial, define-se o valor médio da corrente no indutor como

$$I_{L,med} = \frac{2 \cdot D \cdot V_{in} (1 - D)}{(D^2 \cdot R_o - 3D \cdot R_o + 2R_o + D \cdot R_s) (2 - D)}. \quad (10.17)$$

Durante a primeira etapa de operação, i_{C1} e i_{C2} são iguais a $I_{L,med}/2$. Desconsiderando a ondulação de corrente no indutor, i_{C1} e i_{C2} são consideradas constantes durante essa etapa de operação. Portanto, as tensões sobre C_1 e C_2 evoluem linearmente de acordo com

$$v_C = \frac{D \cdot V_{in} (1 - D) \cdot t}{(D^2 \cdot R_o - 3D \cdot R_o + 2R_o + D \cdot R_s) (2 - D) \cdot C}. \quad (10.18)$$

A tensão sobre os capacitores, durante a segunda etapa de operação, é determinada resolvendo a equação (10.12). Assim,

$$v_C = v_x e^{-\frac{t}{\tau}} + \frac{V_{in} - V_o}{2}. \quad (10.19)$$

Em que,

$$\tau = \frac{R_s \cdot C}{2}. \quad (10.20)$$

Observando a forma de onda de v_C , apresentada na Figura 10.3, nota-se que em $t = DT_s$ as tensões sobre C_1 e C_2 atingem seu valor máximo. Dessa forma,

$$v_x = v_{max} - \left(\frac{V_{in} - V_o}{2} \right). \quad (10.21)$$

Substituindo (10.21) em (10.19), obtém-se

$$v_C = v_{C,max} \cdot e^{-\frac{t}{\tau}} + \frac{V_{in} - V_o}{2} (1 - e^{-\frac{t}{\tau}}). \quad (10.22)$$

Analisando a Figura 8.4, percebe-se que $v_{C,max} = \Delta v_C + v_{C,min}$ e que o valor

mínimo de v_C ocorre em $t = T_s$. Então, fazendo $t = (1 - D)T_s$, define-se que

$$v_{C,min} = \frac{\Delta v_C \cdot e^{-\frac{(1-D)}{\tau f_s}}}{1 - e^{-\frac{(1-D)}{\tau f_s}}} + \frac{V_{in} - V_o}{2}. \quad (10.23)$$

Substituindo (10.23) em (10.12), determina-se que

$$i_C = -\frac{2 \cdot \Delta v_C \cdot e^{-\frac{t}{\tau f_s}}}{R_s \left(1 - e^{-\frac{(1-D)}{\tau}}\right)}. \quad (10.24)$$

O valor eficaz da corrente nos capacitores C_1 e C_2 é dado por

$$I_{C,ef} = -\frac{V_o \cdot \sqrt{D} \cdot (1 - D)}{2 \cdot R_o - 3 \cdot D \cdot R_o + D \cdot R_s + D^2 \cdot R_o} \sqrt{1 - \frac{D(e^{-a_1} - e^{a_1})}{2 \cdot f_s \cdot \tau \cdot (e^{-a_2} - e^{a_2})^2}}. \quad (10.25)$$

Em que,

$$a_1 = \frac{1 - D}{\tau f_s} \quad (10.26)$$

$$a_2 = \frac{1 - D}{2\tau f_s}. \quad (10.27)$$

Definidas as equações para i_{C1} e i_{C2} , os esforços de corrente nos interruptores podem ser determinados.

10.3 ESFORÇOS DE TENSÃO E CORRENTE NOS INTERRUPTORES

Por meio da análise realizada, define-se que durante a primeira etapa de operação, a corrente em S_1 e S_3 é igual $I_L/2$. Dessa forma, o valor eficaz de i_{S1} e i_{S3} , parametrizado em relação a I_o , é dado por

$$I_{S1,ef} = I_{S3,ef} = \sqrt{\frac{D^3}{(2 - D)^2 \cdot (D^2 \cdot R_o - 3 \cdot D \cdot R_o + 2 \cdot R_o + D \cdot R_s)^2}} \quad (10.28)$$

Durante a segunda etapa de operação, os interruptores S_1 e S_3 estão bloqueados, enquanto S_2 conduz corrente igual a i_C . Portanto, o valor eficaz de i_{S2} , parametrizado em relação a I_o , é dado por:

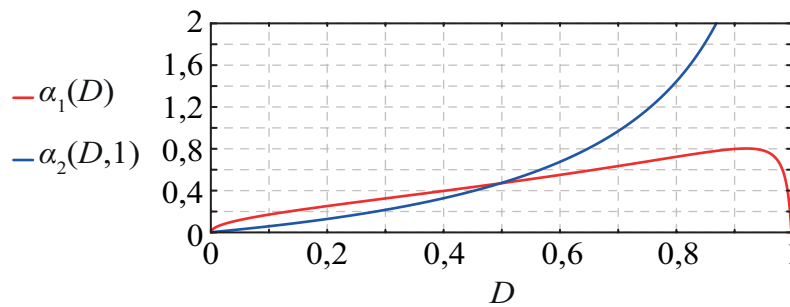
$$I_{S2,ef} = -D \cdot I_o \cdot R_o (1 - D) \sqrt{\frac{-e^{\frac{1-D}{\tau f_s}} \left(1 - e^{-\frac{2(1-D)}{\tau f_s}}\right)}{2\tau f_s \cdot b_n^2 \left(2 - e^{-\frac{1-D}{\tau f_s}} - e^{\frac{1-D}{\tau f_s}}\right)}}. \quad (10.29)$$

Em que,

$$b_n = 2R_o - 3D \cdot R_o + D \cdot R_s + D^2 R_o. \quad (10.30)$$

Representando (10.28) e (10.29) na Figura 10.5, observa-se que a corrente em S_2 é incrementada exponencialmente com o aumento da razão cíclica, enquanto a corrente em S_1 cresce linearmente. Os valores eficazes das correntes nos interruptores são iguais em $D = 0.5$. Portanto, ao operar com $D = 0.5$, o conversor apresenta uma melhor distribuição de perdas. O mesmo ocorre nos conversores tipo *Buck* e *Boost*.

Figura 10.5 – Valores eficazes das correntes parametrizadas em S_1 , S_2 e S_3 em função da razão cíclica para $f_s \tau = 1$.



Fonte: Autor.

Durante a primeira etapa de operação, S_1 e S_3 conduzem, portanto, a tensão sobre esses interruptores é nula. S_2 está bloqueado e a tensão sobre ele é dada por

$$v_{S2} = \frac{V_{in} + V_o}{2} = \frac{V_{in}}{2 - D}, \quad (10.31)$$

No segundo intervalo de operação, S_2 conduz, logo $V_{S2} = 0$, e a tensão sobre S_1 e S_3 é dada por

$$v_{S1} = v_{S3} = \frac{V_{in}}{2 - D}. \quad (10.32)$$

Observando (10.31) e (10.32), nota-se que os valores de patamar das tensões sobre os interruptores variam com a razão cíclica, atingindo o valor máximo de V_{in} para $D = 1$, e o valor mínimo de $V_{in}/2$ para $D = 0$.

Definidos os esforços sobre os interruptores, o próximo passo será o equacionamento das capacitâncias e da indutância do conversor.

10.4 DIMENSIONAMENTO DAS INDUTÂNCIAS E CAPACITÂNCIAS

Com o intuito de validar o funcionamento do conversor proposto por meio de simulação, realiza-se o equacionamento dos valores das capacitâncias e indutâncias do conversor.

10.4.1 Capacitâncias C_1 e C_2

Os valores das capacitâncias C_1 e C_2 são definidos considerando as especificações de ondulação de tensão sobre os capacitores e o valor mínimo da constante $f_s\tau$ que proporciona a redução dos esforços de corrente nos interruptores.

Pelo critério da máxima ondulação de tensão, as capacitâncias de C_1 e C_2 são dadas por

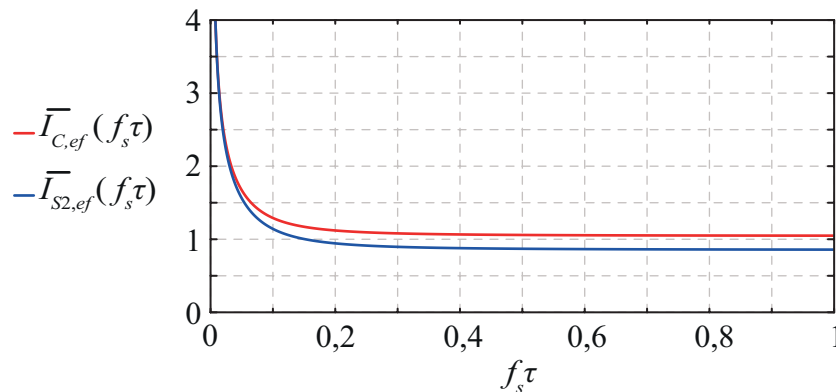
$$C = \frac{I_o \cdot D}{(2 - D) \cdot \Delta v_C \cdot f_s}. \quad (10.33)$$

Observando (10.33), nota-se que a ondulação de tensão sobre C_1 e C_2 é proporcional a D . Pelo critério do valor mínimo de $f_s\tau$, que garanta ao conversor operar com redução das perdas de condução nos interruptores, obtém-se

$$C = \frac{2\tau}{R_s}. \quad (10.34)$$

O valor de $f_s\tau$ que proporciona a redução do valor eficaz da corrente em C_1 , C_2 e S_2 pode ser determinado pela análise das equações (10.25) e (10.29). Para facilitar a interpretação, essas equações são parametrizadas em relação à corrente de saída e apresentadas na Figura 10.6.

Figura 10.6 – Relação dos valores eficazes das correntes em C_1 , C_2 e S_2 , parametrizadas em relação a I_o , e em função da constante $f_s\tau$.



Fonte: Autor.

Analisando a Figura 10.6, nota-se que, da mesma forma que ocorre com os conversores tipo *Buck* e *Boost*, os valores eficazes para as correntes nos capacitores e em S_2 são elevados quando o conversor opera com $f_s\tau$ menor que 0,15. Portanto, é aconselhável escolher um valor de capacitância que proporcione valores de $f_s\tau$ maiores que 0,15.

10.4.2 Indutância L

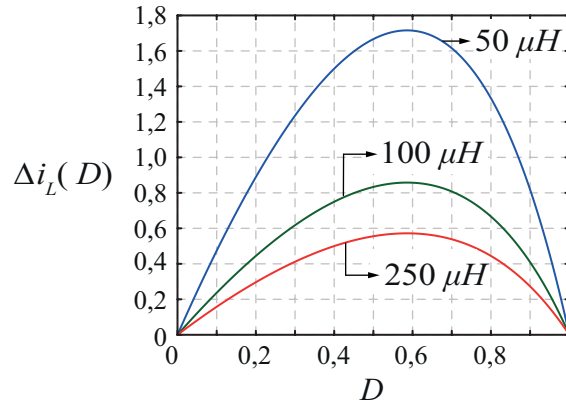
O valor da indutância é definido pelo critério da máxima ondulação de corrente. Assim, por meio da relação volt-ampere, obtém-se

$$\Delta i_L = \frac{V_{in} \cdot D(1-D)}{L \cdot f_s \cdot (2-D)}. \quad (10.35)$$

Representando (10.35) em função de D na Figura 10.7, observa-se que a máxima ondulação de corrente ocorre para razão cíclica igual a 0,6. A partir de (10.35), define-se a indutância como

$$L = \frac{D(1-D) \cdot V_{in}}{(2-D) \cdot \Delta i_{L,max} \cdot f_s}. \quad (10.36)$$

Figura 10.7 – Ondulação de corrente em L em função de D para diferentes valores de indutância.



Fonte: Autor.

10.4.3 Capacitância de saída C_o

A equação que determina o valor da capacitância de saída do conversor é definida pelo critério da máxima ondulação de tensão. Seja a ondulação de tensão em C_o dada por

$$\Delta v_{C_o} = \frac{D^2 \cdot V_{in}}{(2-D) \cdot R_o \cdot f_s \cdot C_o}. \quad (10.37)$$

A ondulação de tensão sobre C_o aumenta com incremento da razão cíclica. Isolando C_o em (10.37), obtém-se

$$C_o = \frac{V_{in} D^2}{(2-D) R_o \cdot f_s \cdot \Delta v_{C_o}}. \quad (10.38)$$

Encontradas as equações necessárias para definir os valores das capacitâncias e da indutância, um exemplo de projeto é realizado.

10.5 EXEMPLO DE PROJETO PARA O CONVERSOR ELEVADOR COM INVERSÃO DE POLARIDADE NA SAÍDA

Para validar o equacionamento realizado no decorrer do Capítulo é apresentado um exemplo de projeto para o conversor proposto. As especificações de projeto são mostradas na Tabela 10.1

Tabela 10.1 – Especificações de projeto para o conversor abaixador com inversão da tensão de saída.

Parâmetro	Valores especificado
Tensão de entrada	100 V
Tensão de saída	50 V
Potência nominal de saída	250 W
Máxima ondulação de tensão nos capacitores	2%
Máxima ondulação de corrente na indutância	5%
Resistências de condução dos interruptores (R_s)	0,1 Ω
Frequência de comutação	100 kHz

Inicialmente, é necessário definir o valor médio da corrente de saída e a razão cíclica. Sendo I_o dado por

$$I_o = \frac{P_o}{V_o} = 5 \text{ A.} \quad (10.39)$$

A razão cíclica que atende às especificações de projeto é igual a

$$D = \frac{2 \cdot V_o}{V_o + V_{in}} = \frac{2 \cdot 50}{100 + 50} = 0,667. \quad (10.40)$$

Para definir os valores das capacitâncias C_1 e C_2 é necessário primeiramente conhecer o valor médio da tensão C_1 e C_2 , o qual é dado por

$$V_{C,med} = \frac{V_{in} - V_o}{2} = \frac{100 + 50}{2} = 75 \text{ V.} \quad (10.41)$$

Logo, o valor de C_1 e C_2 é dado por

$$C = \frac{D \cdot I_o}{\Delta v_C \cdot f_s \cdot (2 - D)} = 16,749 \text{ } \mu\text{F.} \quad (10.42)$$

Para verificar se a capacitância calculada em (10.42) fornece $f_s \tau > 0,15$, substitui-se o valor de C em (8.13). Assim, tem-se que $\tau = 0,084$. O valor de $f_s \tau$ é menor que 0,15, então, o valor da capacitância é calculado pelo critério do valor mínimo de τ . Dessa forma,

$$C = \frac{2\tau}{R_s \cdot f_s} = 30 \text{ } \mu\text{F.} \quad (10.43)$$

Portanto, para garantir que o conversor opere com redução de perdas de condução

nos interruptores, as capacitâncias de C_1 e C_2 devem ser maiores que $30\mu F$.

O valor médio da corrente no indutor é definido substituindo os valores em (10.17), resultando em $i_{L,med} = 7,389$ A.

Conhecendo o valor médio da corrente no indutor, determina-se o valor de indutância por

$$L = \frac{D(1-D) \cdot V_{in}}{(2-D) \cdot \Delta i_{L,max} \cdot f_s} = 451,111 \mu H. \quad (10.44)$$

A máxima ondulação de tensão desejada sobre C_o é de 1 V. Dessa forma, a capacitância C_o é calculada como

$$C_o = -\frac{V_{in} \cdot D^2}{f_s \Delta v_{C_o} \cdot R_o \cdot (2-D)} = 33,833 \mu F. \quad (10.45)$$

Os esforços de tensão sobre os interruptores são iguais ao valor médio da tensão sobre os capacitores. Portanto,

$$v_{S1} = v_{S2} = v_{S3} = \frac{V_{in} + V_o}{2} = \frac{100 - 50}{2} = 75 \text{ V}. \quad (10.46)$$

O valor eficaz da corrente nos interruptores S_1 e S_3 é calculado substituindo os valores definidos em (10.28), resultando em $i_{S1,ef} = i_{S3,ef} = 3,017$ A. Já o valor eficaz da corrente no interruptor S_2 é determinado substituindo os valores em (10.29) e (10.30), resultando em $i_{S2,ef} = 4,645$ A.

Com os valores das capacitâncias, da indutância e os esforços de tensão e corrente nos interruptores definidos, o conversor é simulado no *software Simulink*. As formas de onda obtidas na simulação são apresentadas na Figura 10.8, onde também são comparados os valores simulados com os cálculos na Tabela 10.2.

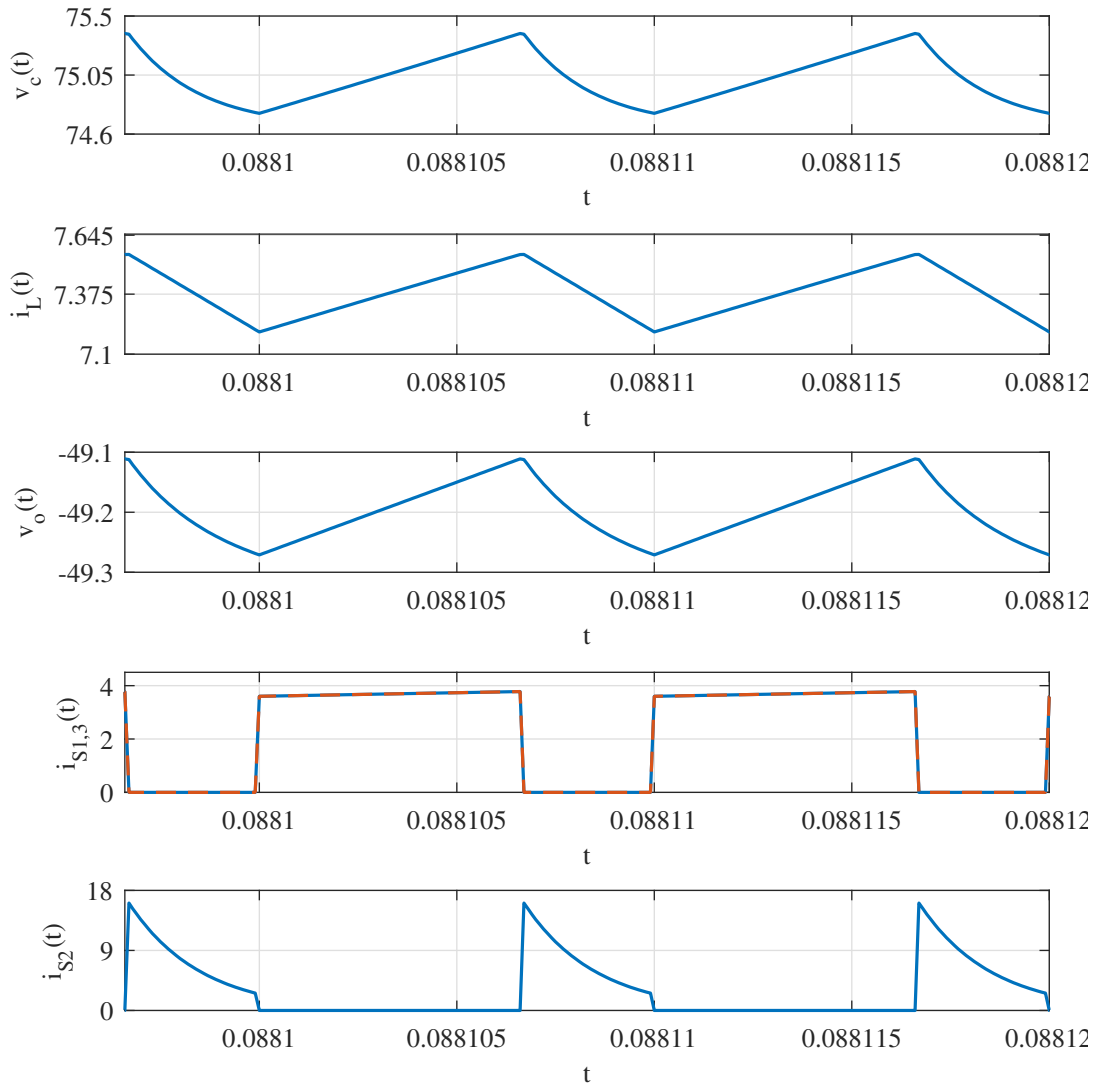
Tabela 10.2 – Comparação entre os valores calculados e simulados.

Grandeza	Valores simulado	Valor calculado	Erro (%)
Δi_L	0,357 A	0,365 A	2,241
Δv_{C_o}	0,979 V	1 V	2,142
$i_{S1,ef}$ e $i_{S3,ef}$	3,014 A	3,017 A	0,100
$i_{S2,ef}$	4,883 A	4,645 A	4,874

Analisando a Figura 10.8 e a Tabela 10.2, observa-se que o erro percentual obtido por meio da comparação entre os valores calculados e obtidos por simulação é menor que 5%, assim, é possível concluir que o equacionamento realizado para o conversor é válido. O maior valor de erro é encontrado no equacionamento do valor eficaz da corrente em S_2 e ocorre devido simplificação no equacionamento das correntes em C_1 e C_2 .

Pela análise do conversor abaixador com inversão da corrente de saída, conclui-se

Figura 10.8 – Formas de onda obtidas por meio de simulação.



Fonte: Autor.

que ele mantém a característica de inverter a polaridade da corrente de saída do conversor *Buck – Boost*. No entanto, opera apenas como abaixador de tensão e apresenta uma taxa de conversão menor que a da topologia *Buck – Boost*.

As perdas de condução em S_2 dependem da constante $f_s\tau$, portanto, é necessário definir valores para C_1 e C_2 que proporcionem $f_s\tau > 0,15$. Quando comparado com a topologia do tipo *Buck* a capacitor variável, o conversor proposto apresenta uma taxa de conversão maior. No entanto, as perdas de condução e os esforços de tensão sobre os interruptores são maiores.

Avaliando a forma de onda da tensão sobre os terminais da célula de comutação v_{ab} , percebe-se que ela possui uma componente alternada e um valor médio diferente de zero, da mesma forma que ocorre nos conversores do tipo *Buck* e do tipo *Boost* apresentados nos capítulos anteriores.

Após concluir a análise das topologias não isoladas a capacitância variável, avalia-se a operação da topologia isolada obtida a partir do conversor tipo *Buck* a capacitor variável.

11 ANÁLISE ESTÁTICA DO CONVERSOR TIPO *BUCK* ISOLADO

O conversor tipo *Buck* isolado pode operar com comutação não dissipativa do tipo ZVS, desde que sejam inseridos capacitores em paralelo com os interruptores (S_{1a} , S_{1b} e S_2) e que haja corrente suficiente para descarregar esses capacitores durante um determinado intervalo de tempo. Com o intuito de atingir a corrente necessária para obter comutação suave nos interruptores, são utilizadas as não idealidades do transformador, como a indutância de dispersão e baixo valor de indutância magnetizante (valores na casa de centenas de micro Henry). Portanto, é necessário verificar a influência da indutância de dispersão, definida como indutância de comutação ao longo do texto, e da indutância magnetizante na operação do conversor.

O desenvolvimento da análise inicia-se com a descrição da operação do conversor e suas principais formas de onda. Em seguida, são equacionados e analisados o ganho estático de tensão, a característica de saída e os esforços de tensão e corrente nos componentes referentes ao estágio de potência do conversor.

Para a análise estática do conversor, são adotadas as seguintes hipóteses simplificativas:

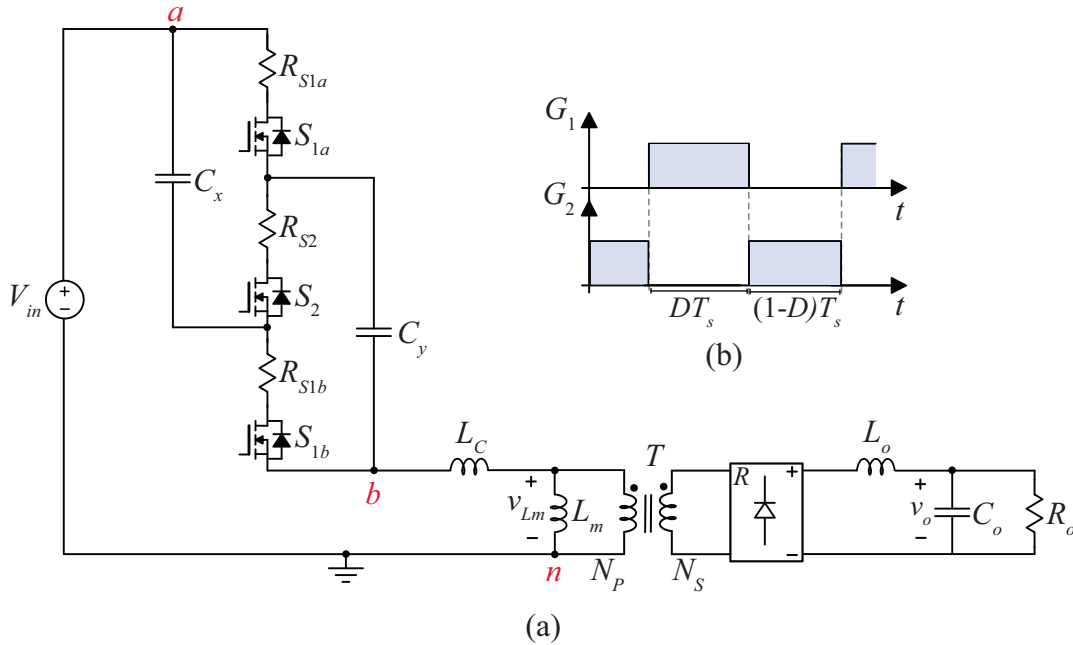
1. O valor da indutância de saída é grande o suficiente para que as ondulações na corrente de saída possam ser desprezadas;
2. Todos os diodos são ideais;
3. As únicas não idealidades consideradas para os interruptores são as resistências de condução (R_{S1a} , R_{S1b} e R_{S2}), as quais são consideradas idênticas e representadas por R_s ;
4. O modelo do transformador não considera as perdas, apenas as indutâncias magnetizante e de dispersão, sendo a última definida no texto como indutância de comutação;
5. Os capacitores C_x e C_y possuem capacitâncias idênticas representadas por C ;
6. Para a análise do ganho e da característica de saída do conversor, os valores das capacitâncias de C_x e C_y são considerados grandes o suficiente para que a ondulação de tensão sobre os capacitores possa ser desprezada. Para as demais análises, as ondulações de tensão sobre C_x e C_y são consideradas.

11.1 ETAPAS DE OPERAÇÃO

Considerando a estrutura apresentada na Figura 11.1(a) e os sinais de comutação apresentados na Figura 11.1(b), o conversor proposto opera em seis etapas: duas de

transferência de potência e quatro de transição.

Figura 11.1 – Conversor tipo Buck a capacitor variável isolado (a) Estágio de potência. (b) Sinais de comando.



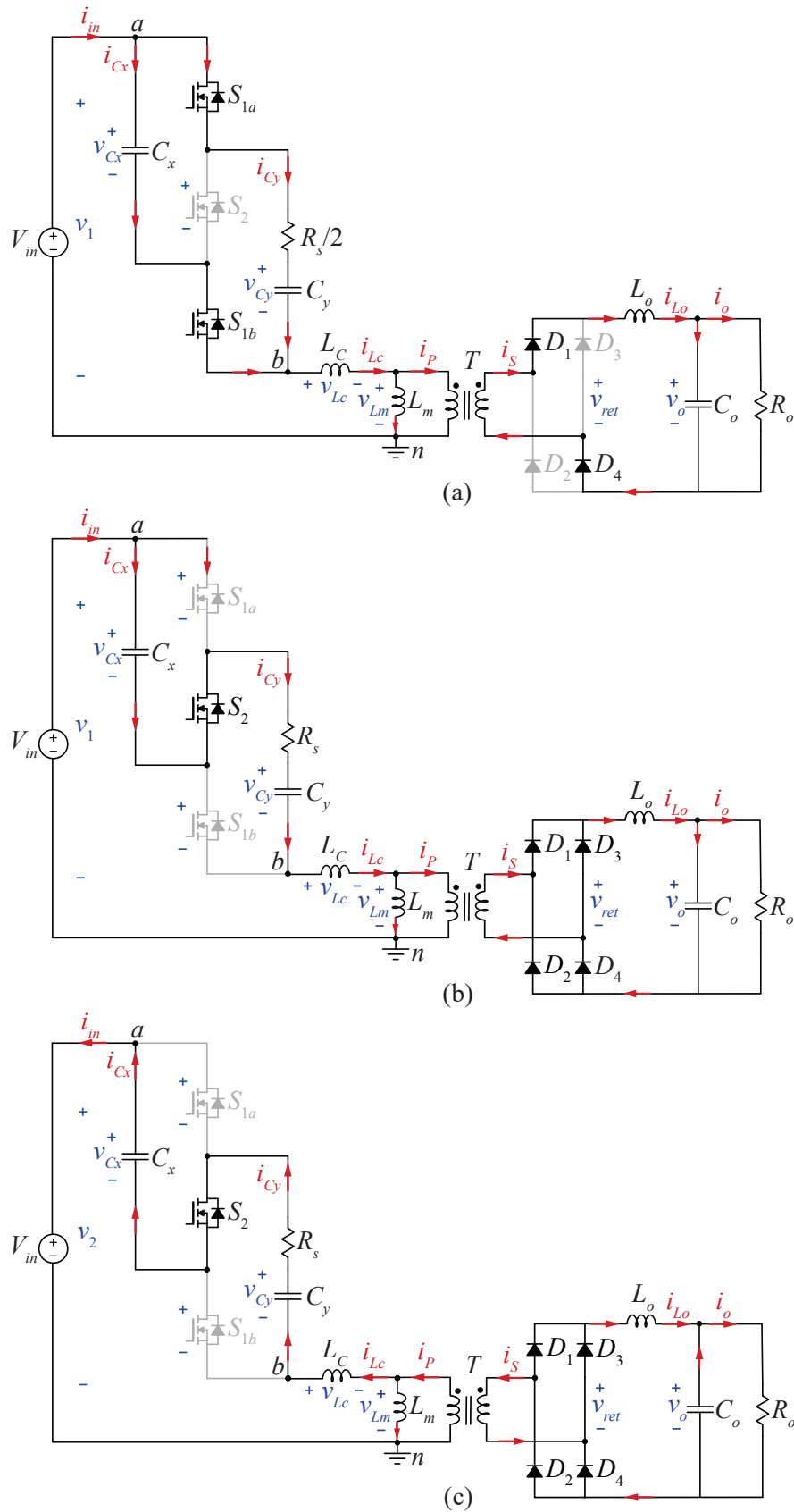
Fonte: Autor.

A primeira etapa de operação ($t_2 - t_3$), apresentada na Figura 11.2(a), inicia quando os interruptores S_{1a} e S_{1b} estão aptos a conduzir, e a corrente em L_C atinge valor superior à corrente de saída refletida ao lado primário do transformador (i'_o). O funcionamento do conversor nessa etapa de operação é idêntico ao descrito para a primeira etapa na análise considerando $L_C = 0$.

A segunda etapa de operação ($t_3 - t_4$), ilustrada na Figura 11.2(b), começa quando S_{1a} e S_{1b} são desligados e S_2 é ativado. A corrente na indutância de comutação começa a diminuir gradualmente até se tornar menor em módulo do que i'_o . Nesse momento, os diodos retificadores são polarizados diretamente, permitindo que todos conduzam e formando um curto-circuito no secundário do transformador. Como os interruptores usados são MOSFETs, parte da corrente é conduzida através de seus diodos intrínsecos. Os capacitores C_x e C_y são conectados em série e começam a se descarregar. A capacitância equivalente vista nos terminais ab é $C_{eq} = C/2$. Enquanto isso, o capacitor de filtro (C_o) alimenta a carga, mantendo a tensão e a corrente de saída constantes. Essa etapa termina quando a corrente em L_C atinge zero.

A terceira etapa de operação ($t_4 - t_5$), apresentada na Figura 11.2(c), inicia quando i_{L_C} atinge valor nulo, o diodo intrínseco à S_2 é polarizado reversamente, e toda corrente é conduzida pelo canal de S_2 . A amplitude de i_{L_C} em módulo é menor que i'_o , então, todos os diodos retificadores continuam conduzindo. A tensão sobre L_m permanece nula e a tensão sobre L_C é igual a $V_{in} - V_2$.

Figura 11.2 – Etapas de operação do conversor proposto. (a) Primeira etapa de operação. (b) Segunda etapa de operação. (c) Terceira etapa de operação.



Fonte: Autor.

Quando a amplitude de i_{L_C} atinge o valor de i'_o em módulo, tem início a quarta etapa de operação ($t_5 - t_0$), conforme mostrado na Figura 11.3(a). Nessa etapa, a corrente em L_C torna-se constante, resultando em uma tensão nula em L_C . Os capacitores C_x e C_y permanecem conectados em série.

A quinta etapa de operação ($t_0 - t_1$), ilustrada na Figura 11.3(b), se inicia quando S_2 é comandado a bloquear e S_{1a} e S_{1b} são comandados a conduzir. Nesse momento, a corrente na indutância de comutação não se inverte instantaneamente, passando a ter uma amplitude menor que i'_o em módulo. Como resultado, todos os diodos da ponte retificadora conduzem, zerando a tensão sobre L_m . A tensão sobre L_C assume o valor de $V_{in} - V_1$. Os diodos intrínsecos a S_{1a} e S_{1b} são polarizados diretamente, conduzindo parte da corrente. O capacitor de saída alimenta a carga, enquanto C_x e C_y são conectados em paralelo e a capacitância vista pelos terminais ab é $C_{eq} = 2C$. Essa etapa se encerra quando $i_{L_C} = 0$.

Quando i_{L_C} atinge amplitude nula, a sexta etapa de operação ($t_1 - t_2$), conforme mostrado na Figura 11.3(c), tem início. Nesse momento, os diodos intrínsecos a S_{1a} e S_{1b} estão reversamente polarizados, e toda a corrente é conduzida através dos canais dos interruptores. Entretanto, a amplitude da corrente em i_{L_C} é menor que i'_o em módulo, permitindo que todos os diodos retificadores continuem conduzindo, mantendo a tensão v_{L_m} nula.

Analisando as etapas de operação do conversor, são adquiridas as principais formas de onda para tensão e corrente nos componentes, apresentadas na Figura 11.4. Partindo dessas informações, equacionam-se o ganho de tensão, a característica de saída e os esforços de corrente e tensão.

11.2 CARACTERÍSTICA DE SAÍDA E GANHO ESTÁTICO

Analisando as etapas de operação do conversor, observa-se que durante a quinta, sexta e primeira etapa de operação, os capacitores C_x e C_y são conectados em paralelo. Portanto, a capacitância equivalente é $2C$. A tensão entre os terminais a e b é igual a V_1 , conforme definido em (11.1), e a tensão entre os pontos b e n é $V_{in} - V_1$.

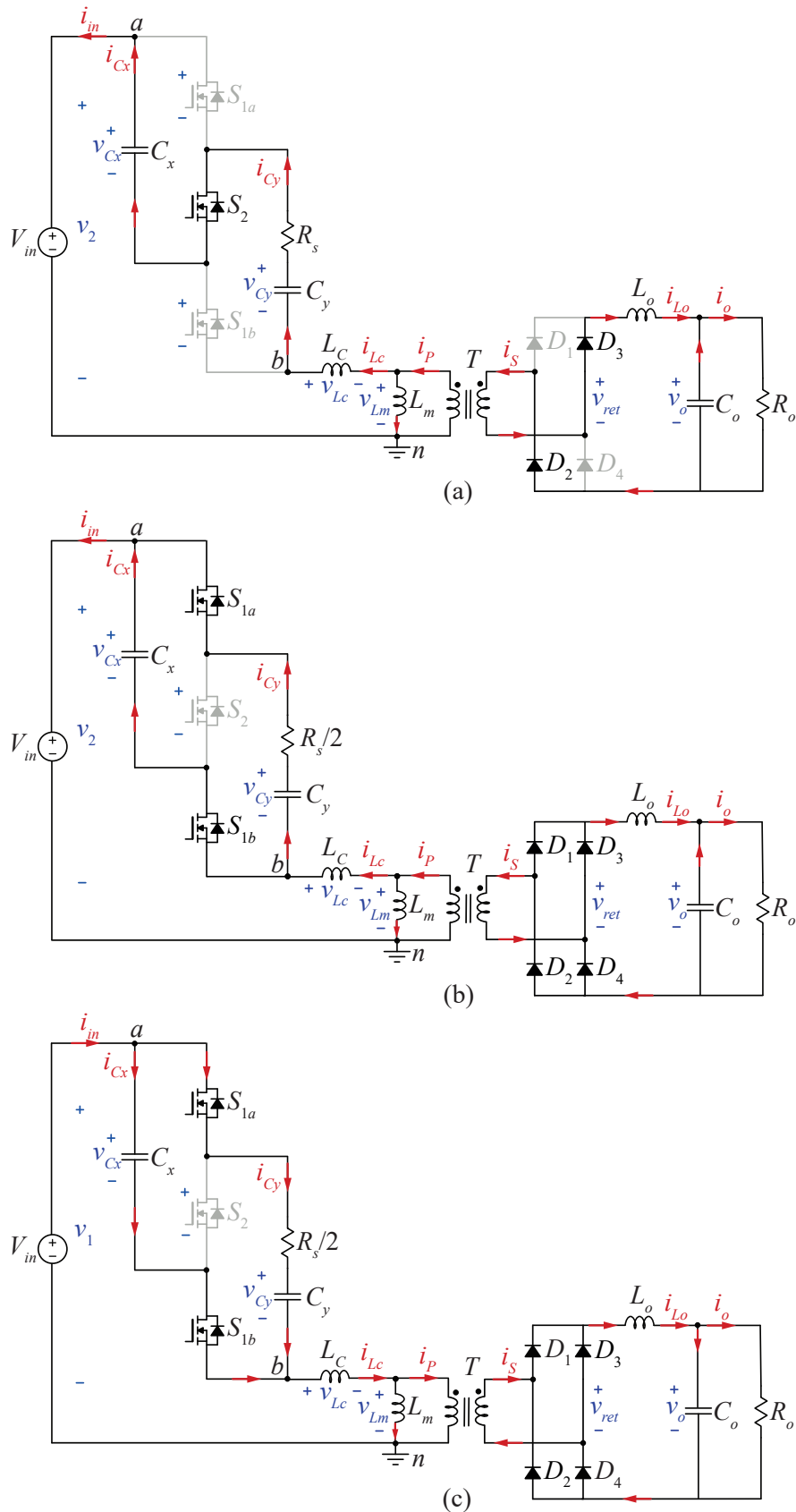
Durante a segunda, terceira e quarta etapas de operação, os capacitores C_x e C_y estão conectados em série. A capacitância equivalente vista entre os pontos a e b é $C/2$. A tensão sobre os terminais a e b é igual a V_2 , conforme definido em (11.2), e $v_{bn} = V_{in} - V_2$.

$$V_1 = \frac{V_{in}}{(2-D)} \quad (11.1)$$

$$V_2 = \frac{2V_{in}}{(2-D)} \quad (11.2)$$

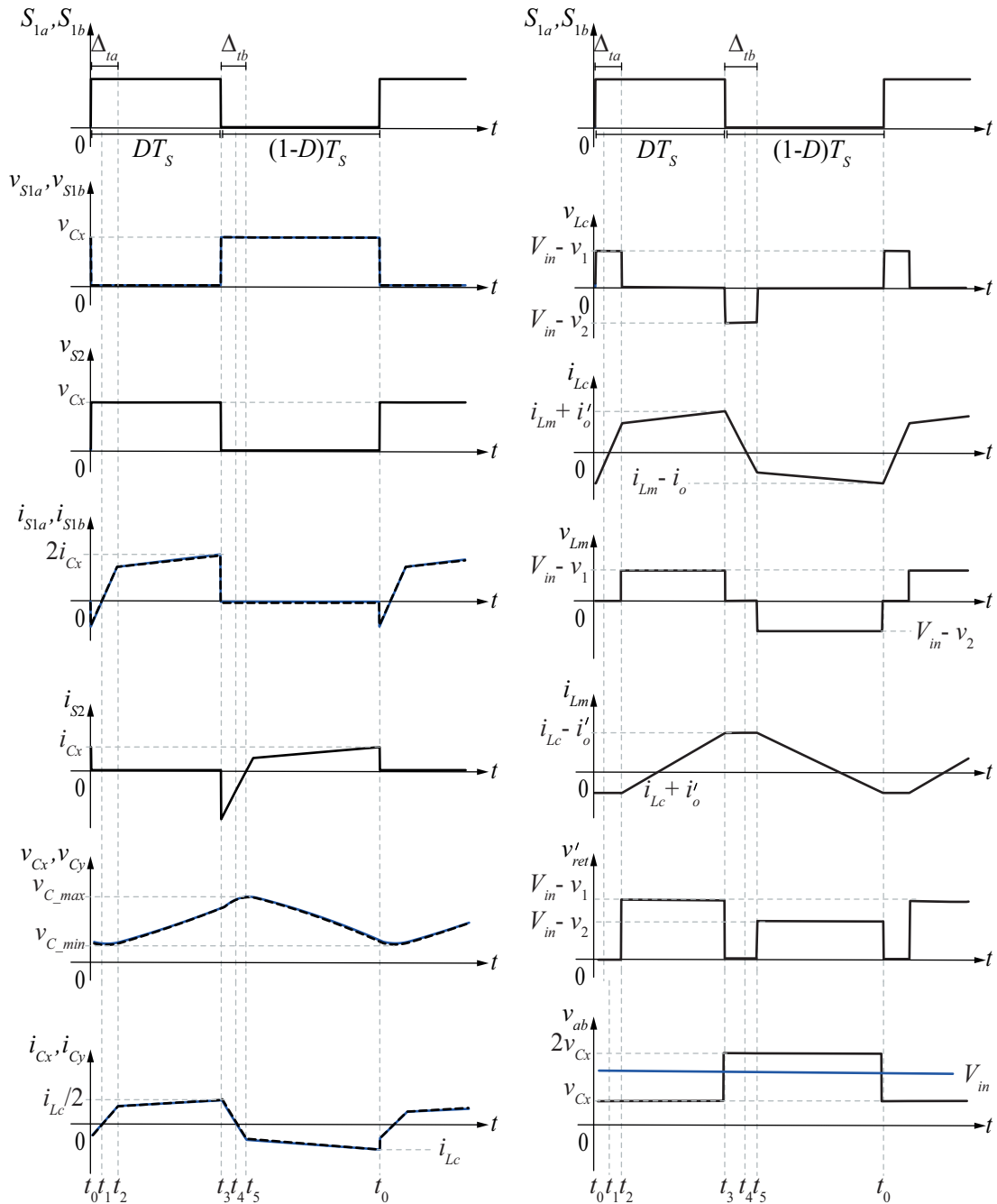
Durante a primeira e a terceira etapas de operação, a tensão sobre a indutância

Figura 11.3 – Etapas de operação do conversor proposto. (a) Quarta etapa de operação. (b) Quinta etapa de operação. (c) Sexta etapa de operação.



Fonte: Autor.

Figura 11.4 – Formas de onda típicas da topologia proposta para $L_C \neq 0$.



Fonte: Autor.

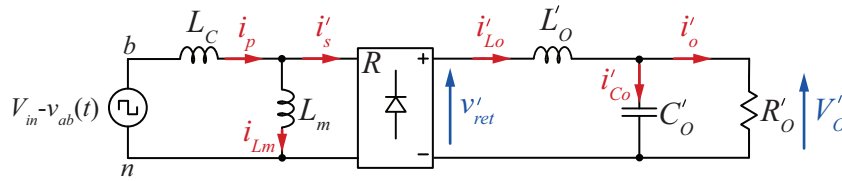
de comutação é nula, e v_{Lm} possui um valor igual à tensão v_{bn} . Nas demais etapas de operação, a tensão sobre L_m é nula, e v_{Lc} apresenta um valor igual a v_{bn} . Para uma melhor visualização, os valores de v_{Lm} e v_{Lc} em cada etapa de operação são apresentados na Tabela 11.1.

Após definir as equações de v_{Lm} e v_{Lc} para cada etapa de operação, o ganho estático de tensão é calculado. Com o intuito de simplificar esse equacionamento, todos os componentes do lado secundário do transformador são refletidos para o lado primário, e a célula de comutação é substituída por uma fonte de tensão, representando v_{bn} , conforme

Tabela 11.1 – Valores para a tensão sobre L_m e L_C em cada etapa de operação.

Etapa de operação	Tensão sobre L_m	Tensão sobre L_C
1 ^a	$V_{in} - V_1$	$V_{in} - V_2$
2 ^a	0	$V_{in} - V_2$
3 ^a	0	0
4 ^a	$V_{in} - V_2$	0
5 ^a	0	$V_{in} - V_1$
6 ^a	0	$V_{in} - V_1$

apresentado na Figura 11.5.

 Figura 11.5 – Circuito equivalente para estágio de potência do conversor proposto para $L_C \neq 0$.


Fonte: Autor.

Para equacionar o valor médio da tensão de saída, a queda de tensão sobre L_o é desprezada. Dessa forma, o valor médio de V'_o é considerado igual ao valor médio de v_{ret} . Analisando a forma de onda para v_{ret} , apresentada na Figura 11.4, nota-se que durante os intervalos de tempo Δt_a e Δt_b , v_{ret} é nulo. Portanto, é necessário encontrar as equações que definem a duração desses intervalos de tempo. Os valores dos intervalos de tempo Δt_a e Δt_b são definidos por meio da relação volt-ampere para o indutor, dada por

$$v_{Lc} = L_C \frac{di_{Lc}}{dt}. \quad (11.3)$$

Os intervalos de tempo Δt_a e Δt_b têm início no momento em que a corrente na indutância de comutação atinge um valor menor que i'_o em módulo e terminam no instante em que i_{Lc} atinge um valor igual a i'_o em módulo. Assim, a ondulação de corrente sobre L_C é igual a $2i'_o$. Os valores de tensão durante cada intervalo de tempo são apresentados na Tabela 11.1. Portanto, Δt_a e Δt_b são dados por

$$\Delta t_a = L_C \frac{2i'_o \cdot (2 - D)}{(1 - D) \cdot V_{in}} \quad (11.4)$$

$$\Delta t_b = L_C \frac{2i'_o \cdot (2 - D)}{D \cdot V_{in}}. \quad (11.5)$$

Observando a Figura 11.5, percebe-se que a tensão sobre os terminais de entrada do retificador é igual à tensão sobre L_m . Assim, o valor médio da tensão de saída pode ser definido como

$$V'_{o,med} = \frac{1}{T_s} \left(\int_{\Delta t_a}^{DT_s} v_{Lm}(t) dt \int_{\Delta t_b}^{(1-D)T_s} v_{Lm}(t) dt \right) \quad (11.6)$$

Substituindo (11.4) e (11.5) em (11.6), define-se o ganho estático de tensão visto pelo primário do transformador como

$$G = \frac{V_O}{V_{in}} = 2D \cdot \left(\frac{1-D}{2-D} \right) - \frac{2f_s \cdot L_C \cdot i'_o}{V_{in}}. \quad (11.7)$$

O segundo termo em (11.7) representa a perda de razão cíclica, causada pela indutância de comutação. Esse termo é proporcional à indutância de comutação, à frequência de comutação, à corrente de saída e inversamente proporcional à tensão de entrada.

Com o intuito de avaliar a influência da corrente de saída no ganho estático do conversor, a perda de razão cíclica é parametrizada como

$$\bar{I}_o = \frac{2f_s \cdot L_C \cdot i'_o}{V_{in}}. \quad (11.8)$$

Dessa forma, mantendo a tensão de entrada, a frequência de comutação e a indutância de comutação constantes e alterando o valor da carga do conversor, é avaliada a influência da corrente de saída na característica de saída e no ganho de tensão do conversor.

Substituindo (11.8) em (11.7), obtém-se

$$G = \frac{V_O}{V_{in}} = 2D \cdot \left(\frac{1-D}{2-D} \right) - \bar{I}_o. \quad (11.9)$$

Representando a equação (11.9) em relação à razão cíclica na Figura 11.6(a), observa-se que o valor do ganho estático reduz à medida que \bar{I}_o aumenta. Isso ocorre porque a queda de tensão sobre LC é proporcional a \bar{I}_o . Independentemente do valor de \bar{I}_o , o ganho máximo do conversor ocorre para uma razão cíclica igual a 0,586.

Ao representar a relação entre o ganho e \bar{I}_o para diferentes valores de razão cíclica na Figura 11.6(b), obtém-se a característica de saída do conversor e constata-se que a relação entre a corrente de carga e o ganho do conversor é linear.

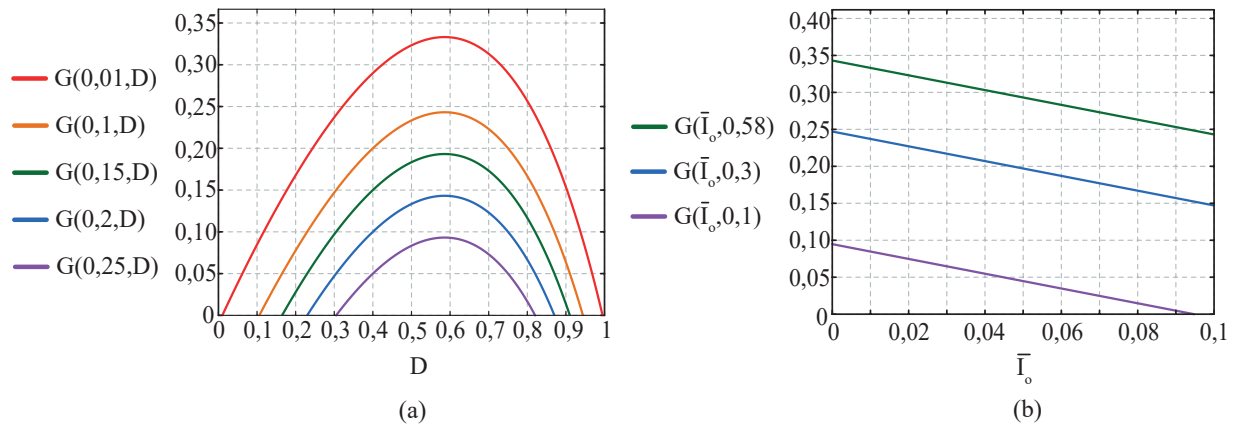
11.3 CÁLCULO DOS ESFORÇOS DE TENSÃO E CORRENTE NOS COMPONENTES

O estudo dos esforços de tensão e corrente nos componentes do conversor, considerando $LC \neq 0$, tem início pelo equacionamento da corrente e da tensão sobre os capacitores C_x e C_y . Em seguida, definem-se os esforços nos demais componentes.

11.3.1 Equacionamento dos valores instantâneos para a tensão e corrente em C_x e C_y e corrente em L_C e L_m

Para definir os esforços de tensão e corrente sobre C_x e C_y , todos os componentes referentes ao lado secundário do transformador são refletidos ao primário e representados

Figura 11.6 – Representação gráfica do ganho estático para o conversor proposto. (a) Em relação à razão cíclica para diferentes valores de corrente de saída parametrizada. (b) Em relação à corrente de saída parametrizada para diferentes valores de razão cíclica.

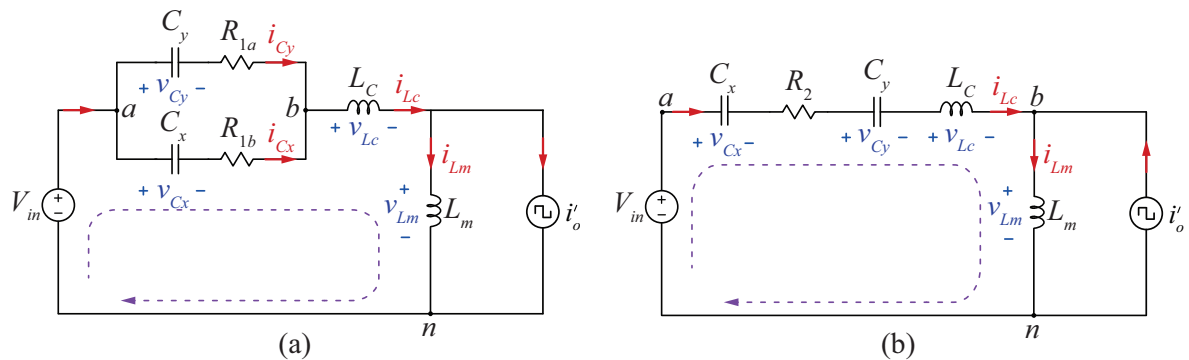


Fonte: Autor.

por uma fonte de corrente alternada (i'_o).

Analisando as etapas de operação do conversor, apresentadas na Figura 11.2 e na Figura 11.3, observa-se que a primeira, quinta e sexta etapas de operação podem ser representadas pelo mesmo circuito equivalente, como mostrado na Figura 11.7(a). A segunda, terceira e quarta etapas de operação são representadas pelo circuito equivalente mostrado na Figura 11.7(b).

Figura 11.7 – Circuitos equivalentes para o conversor proposto. (a) Circuito equivalente referente à primeira, quinta e sexta etapas de operação. (b) Circuito equivalente referente à segunda, terceira e quarta etapas de operação.

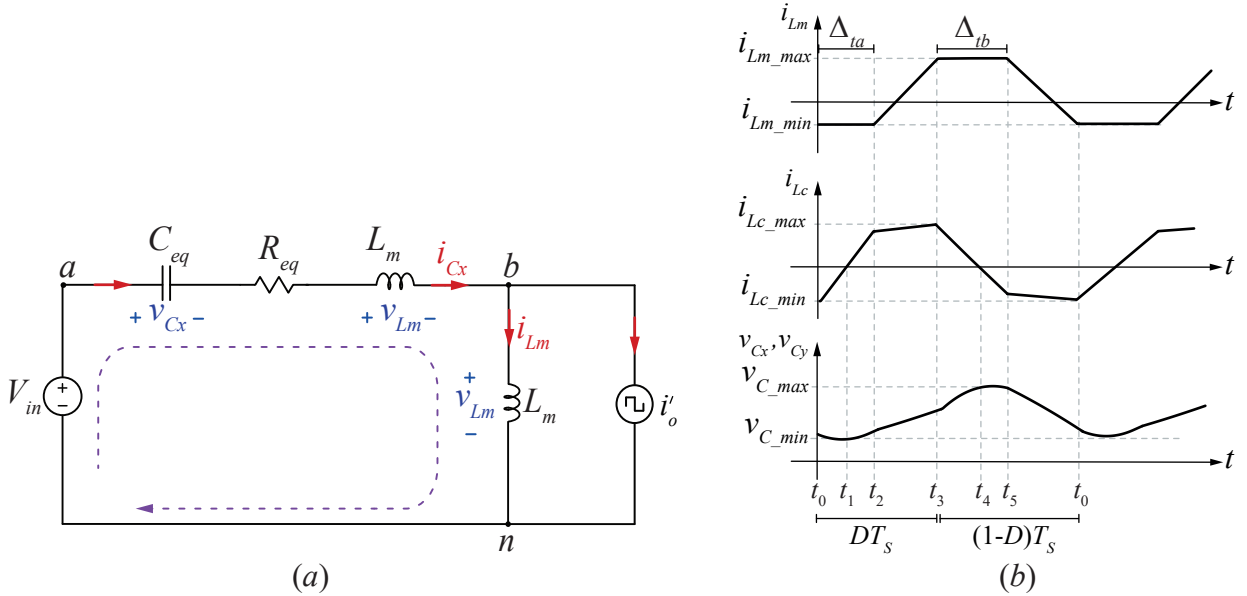


Fonte: Autor.

Observando a Figura 11.7, nota-se que os circuitos equivalentes para cada um dos conjuntos de etapas são semelhantes, esses são diferentes apenas na conexão entre C_x , C_y e R_s (R_{1a} , R_{1b} e R_2). Calculando a capacitância e a resistência equivalente para a Figura 11.7(a) obtêm-se $C_{eq} = 2C$ e $R_{eq} = R_s/2$. Para a Figura 11.7(b) os valores equivalentes de capacitância e resistência são respectivamente $C_{eq} = C/2$ e $R_{eq} = R_s$. Dessa forma, ambos os circuitos equivalentes, apresentados na Figura 11.7(a), podem ser representados por um único circuito equivalente genérico, o qual é apresentado na Figura 11.8, onde C_x e C_y

são representados por uma capacitância equivalente e R_{1a} , R_{1b} e R_2 por uma resistência equivalente.

Figura 11.8 – (a) Circuito equivalente. (b) Formas de onda utilizadas no equacionamento da corrente em L_m e L_C e da tensão sobre C_x e C_y .



Fonte: Autor.

A equação para as tensões sobre C_x e C_y é definida por meio do equacionamento da malha de corrente, mostrada na Figura 11.8(a). Assim, a equação resultante é

$$-V_{in} + R_{eq}C_{eq}\frac{d}{dt}v_{Ceq} + v_{Ceq} + L_C\frac{d}{dt}i_{Lc} + L_m\frac{d}{dt}i_{Lm} = 0. \quad (11.10)$$

A corrente na indutância de comutação é igual à corrente na capacitância equivalente. Assim, considerando a relação volt-ampere, obtém-se

$$i_{Lc} = i_{Ceq} = C_{eq}\frac{d}{dt}v_{Ceq}. \quad (11.11)$$

Equacionando o nó b , apresentado na Figura 11.8(a), define-se a corrente magnetizante como

$$i_{Lm} = i_{Lc} - i'_{o}. \quad (11.12)$$

Substituindo (11.11) em (11.12), determina-se

$$i_{Lm} = C_{eq}\frac{d}{dt}v_{Ceq} - I'_{o}. \quad (11.13)$$

Substituindo (11.11) e (11.13) em (11.10), define-se que

$$\frac{d^2}{dt^2}v_{Ceq} + \left(\frac{R_{eq}}{L_{eq}}\right)\frac{d}{dt}v_{Ceq} + \frac{v_{Ceq}}{C_{eq}(L_{eq})} - \frac{V_{in}}{C_{eq}(L_{eq})} = 0. \quad (11.14)$$

Em (11.14), o termo que representa a soma entre L_C e L_m é substituído por L_{eq} . A indutância L_{eq} varia conforme a etapa de operação, sendo igual a L_C quando v_{Lm} é nulo e $L_m + L_C$ quando v_{Lm} possui valor diferente de zero. Para melhor visualização, as equações de R_{eq} , C_{eq} e L_{eq} para cada etapa de operação são apresentadas na Tabela 11.2.

Tabela 11.2 – Equações para R_{eq} , C_{eq} e L_{eq} para cada etapa de operação.

Variável	Etapas de operação	Equações
L_{eq}	1º e 4º	$L_m + L_C$
L_{eq}	2º, 3º, 5º e 6º	L_C
C_{eq}	1º, 5º e 6º	$C/2$
C_{eq}	2º, 3º e 4º	$2C$
R_{eq}	1º, 5º e 6º	$R_{on}/2$
R_{eq}	2º, 3º e 4º	R_{on}

A equação apresentada em (11.14) é definida como uma equação diferencial ordinária não homogênea separável de segunda ordem, e pode ser resolvida por meio do método dos coeficientes a determinar. A solução de (11.14) é dada por

$$v_{Ceq} = A_x e^{\lambda_x t} + A_y e^{\lambda_y t} + V_{in}, \quad (11.15)$$

Em que,

$$\lambda_x = \frac{R_{eq}}{2L_{eq}} + \left[1 + \sqrt{1 - \frac{4}{R_{eq}^2 C_{eq}} L_{eq}} \right] \quad (11.16)$$

$$\lambda_y = \frac{R_{eq}}{2L_{eq}} - \left[1 + \sqrt{1 - \frac{4}{R_{eq}^2 C_{eq}} L_{eq}} \right]. \quad (11.17)$$

A_x , A_y são constantes desconhecidas e podem apresentar valores diferentes para cada etapa de operação, portanto, o índice que acompanha $A_{x,y}$ será alterado de acordo com as etapas de operação. As constantes λ_x e λ_y dependem dos valores de C_{eq} , L_{eq} e R_{eq} e também podem apresentar valores diferentes em cada etapa de operação, assim seu índice varia de acordo com o índice da constante A .

Conhecendo a expressão genérica para a tensão em C_{eq} , o valor da corrente em C_{eq} pode ser obtido pela relação volt-ampere para a corrente no capacitor, então (11.15) é derivada em relação ao tempo e multiplicada por C_{eq} , logo

$$i_{Cx} = C_{eq} \frac{d}{dt} v_{Ceq} = C_{eq} \cdot A_x \cdot \lambda_x \cdot e^{\lambda_x t} + C_{eq} \cdot A_y \cdot \lambda_y \cdot e^{\lambda_y t}. \quad (11.18)$$

As equações (11.10) a (11.18) são equações genéricas e válidas para todas as etapas de operação. No entanto, para utilizá-las no equacionamento dos esforços de tensão e corrente nos componentes, é necessária a compreensão da operação do conversor em estudo,

apresentada na seção 11.1.

Analisando os circuitos equivalentes, apresentados na Figura 11.7, e o circuito mostrado na Figura 11.8(a), pode-se notar que durante a primeira, quinta e sexta etapas de operação, a tensão sobre C_x é igual à tensão sobre C_{eq} , pois C_x e C_y estão conectados em paralelo. Durante a segunda, terceira e sexta etapas de operação, a tensão sobre C_x é igual à metade da tensão sobre C_{eq} , uma vez que os capacitores C_x e C_y estão conectados em série. Conhecendo a relação entre a tensão sobre C_x e a tensão sobre C_{eq} , define-se a equação da tensão sobre C_x para cada etapa de operação, substituindo C_{eq} , L_{eq} e R_{eq} correspondentes a cada intervalo de tempo em (11.15).

Durante a primeira etapa de operação ($t_2 - t_3$), a capacitância equivalente é dada por $2C$, a indutância equivalente é igual a $L_m + L_C$, e a resistência equivalente é $2R_s$. Portanto,

$$v_{Cx} = A_1 e^{\lambda_1 t} + A_2 e^{\lambda_2 t} + V_{in}. \quad (11.19)$$

λ_1 e λ_2 são definidos substituindo C_{eq} , L_{eq} e R_{eq} em (11.16) e (11.17) pelos valores referentes à primeira etapa. Assim,

$$\lambda_1 = -\frac{R_s}{4(L_C + L_m)} \left[1 + \sqrt{1 - \frac{8}{R_s^2 C} (L_C + L_m)} \right] \quad (11.20)$$

$$\lambda_2 = -\frac{R_s}{4(L_C + L_m)} \left[1 - \sqrt{1 - \frac{8}{R_s^2 C} (L_C + L_m)} \right]. \quad (11.21)$$

A segunda e a terceira etapas de operação são etapas de transição e não apresentam diferenças do ponto de vista de circuito equivalente. A soma do tempo de duração dessas duas etapas é indicada por Δt_b . Durante esse intervalo de tempo, a tensão sobre a indutância magnetizante é nula, então $L_{eq} = L_C$ e C_x é conectado em série com C_y . Assim, a capacitância e a resistência equivalentes são, respectivamente, $C/2$ e R_s . A tensão sobre C_{eq} é igual à soma de v_{Cx} e v_{Cy} . De acordo com as hipóteses simplificativas e o equacionamento previamente apresentado, $v_{Cx} = v_{Cy}$. Portanto,

$$v_{Cx} = \frac{v_{C_{eq}}}{2} = \frac{A_x e^{\lambda_x t}}{2} + \frac{A_y e^{\lambda_y t}}{2} + \frac{V_{in}}{2}. \quad (11.22)$$

Como definido A_x e A_y são constantes desconhecidas. Portanto (11.22) pode ser reescrita como

$$v_{Cx} = A_3 e^{\lambda_3 t} + A_4 e^{\lambda_4 t} + \frac{V_{in}}{2} \quad (11.23)$$

Substituindo os valores de C_{eq} , L_{eq} e R_{eq} referentes ao período Δt_b em (11.16) e

(11.17), são definidos λ_3 e λ_4 . Portanto,

$$\lambda_3 = -\frac{R_s}{2L_C} \left[1 + \sqrt{1 - \frac{8}{R_s^2 C} L_C} \right] \quad (11.24)$$

$$\lambda_4 = -\frac{R_s}{2L_C} \left[1 - \sqrt{1 - \frac{8}{R_s^2 C} L_C} \right]. \quad (11.25)$$

Durante a quarta etapa de operação, os capacitores C_x e C_y permanecem conectados em série. Portanto, de forma análoga ao período de tempo Δt_b , tem-se que $C_{eq} = C/2$, $R_{eq} = R_s$, e $v_{C_x} = v_{C_{eq}}/2$. Dessa forma,

$$v_{C_x} = A_5 e^{\lambda_5 t} + A_6 e^{\lambda_6 t} + \frac{V_{in}}{2}, \quad (11.26)$$

Durante esse intervalo de tempo, $v_{L_m} \neq 0$. Portanto, $L_{eq} = L_m + L_C$, e λ_5 e λ_6 são definidos como

$$\lambda_5 = -\frac{R_s}{2(L_m + L_C)} \left[1 + \sqrt{1 - \frac{8}{R_s^2 C} (L_m + L_C)} \right]. \quad (11.27)$$

$$\lambda_6 = -\frac{R_s}{2(L_m + L_C)} \left[1 - \sqrt{1 - \frac{8}{R_s^2 C} (L_m + L_C)} \right]. \quad (11.28)$$

A quinta e a sexta etapas de operação são etapas de transição e apresentam o mesmo circuito equivalente. A soma dos intervalos de duração dessas etapas é definida como Δt_a . Durante esse intervalo de tempo, os capacitores C_x e C_y estão conectados em paralelo, portanto, $v_{C_x} = v_{C_y} = v_{C_{eq}}$. Assim, obtém-se

$$v_{C_x} = A_7 e^{\lambda_7 t} + A_8 e^{\lambda_8 t} + V_{in}. \quad (11.29)$$

Durante as etapas de transição, v_{L_m} apresenta valor nulo, o que implica em $L_{eq} = L_C$. Além disso, os capacitores C_x e C_y estão conectados em paralelo, assim como R_{1a} e R_{1b} , resultando em $C_{eq} = 2C$ e $R_{eq} = R_s/2$. Conhecendo os valores para a resistência, capacitância e indutância equivalentes, λ_7 e λ_8 são definidos como segue.

$$\lambda_7 = -\frac{R_s}{4L_C} \left[1 - \sqrt{1 - \frac{8}{R_s^2 C} L_C} \right] \quad (11.30)$$

$$\lambda_8 = -\frac{R_s}{4L_C} \left[1 + \sqrt{1 + \frac{8}{R_s^2 C} L_C} \right] \quad (11.31)$$

Para concluir o equacionamento da tensão sobre C_x , é necessário definir os valores de A_1 a A_8 . Essas incógnitas são definidas por meio das condições de contorno da forma de onda para a tensão nos capacitores C_x e C_y , apresentada na Figura 11.8(b). Observando

essa forma de onda pode ser escrito o seguinte sistema de equações:

$$\left\{ \begin{array}{l} v_{Cx1} = v_{Cx2} = v_{Cx}(t_2) \\ v_{Cx3} = v_{Cx4} = v_{Cx}(t_3) \\ v_{Cx5} = v_{Cx6} = v_{Cx}(t_5) \\ v_{Cx7} = v_{Cx0} = v_{Cx}(t_0). \end{array} \right. \quad (11.32)$$

No sistema de equações (11.32), v_{Cx2} representa a tensão sobre os capacitores C_x e C_y no instante t_2 , o ponto de referência da equação que define v_{Cx} para a primeira etapa de operação é t_2 , assim, define-se o valor de v_{Cx} substituindo t por zero em (11.19). v_{Cx1} representa a tensão sobre C_x no instante em que a sexta etapa de operação termina e é definido substituindo t por Δt_a em (11.29), uma vez que o ponto de referência para (11.29) é t_0 . v_{Cx3} representa o ponto em que a primeira etapa de operação finaliza e é definido fazendo $t = (DT_S - \Delta t_a)$ em (11.19). v_{Cx4} indica o início da segunda etapa de operação e é obtido substituindo t por zero em (11.23).

v_{Cx5} indica o valor de v_{Cx} no final da terceira etapa de operação, seu valor é definido substituindo t por Δt_b em (11.23). v_{Cx6} indica o valor de v_{Cx} no início da quarta etapa de operação e é definido fazendo $t = 0$ em (11.26). v_{Cx7} indica o término da quarta etapa de operação, o valor de v_{Cx} neste instante é obtido substituindo t por $(1 - D)T_S - \Delta t_b$ em (11.26) e v_{Cx0} é definido fazendo $t = 0$ em (11.29). Realizando as substituições mencionadas, obtém-se o sistema de equações apresentado em (11.33).

$$\left\{ \begin{array}{l} A_7 e^{(\lambda_7 \Delta t_a)} + A_8 e^{(\lambda_8 \Delta t_a)} = A_1 + A_2 \\ A_1 e^{\lambda_1 (DT_S - \Delta t_a)} + A_2 e^{\lambda_2 (DT_S - \Delta t_a)} + V_{in} = A_3 + A_4 + \frac{V_{in}}{2} \\ A_3 e^{\lambda_3 \Delta t_b} + A_4 e^{\lambda_4 \Delta t_b} = A_5 + A_6 \\ A_5 e^{\lambda_5 [(1-D)T_S - \Delta t_b]} + A_6 e^{\lambda_6 [(1-D)T_S - \Delta t_b]} + \frac{V_{in}}{2} = A_7 + A_8 + V_{in} \end{array} \right. \quad (11.33)$$

O sistema de equações apresentado em (11.33) possui oito incógnitas e quatro equações, no entanto, para viabilizar a resolução desse sistema são necessárias mais quatro equações. As quatro equações adicionais necessárias para completar o sistema podem ser obtidas equacionando a corrente em L_C .

Analisando os circuitos equivalentes e o circuito genérico, apresentados respecti-

vamente nas Figura 11.7 e Figura 11.8(a), e considerando as hipóteses simplificativas, é concluído que $i_{Lc} = i_{Ceq} = i_{Cx}$ para a segunda, terceira e quarta etapas de operação e $i_{Lc} = 2i_{Ceq} = 2i_{Cx}$ para as demais etapas de operação, pois nesses intervalos de tempo C_x e C_y estão conectados em paralelo.

A corrente na capacitância equivalente é equacionada por meio da relação volt-ampere. Assim, substituindo (11.15) em (11.11), tem-se

$$i_{Cx} = C_{eq} \frac{d}{dt} v_{Ceq} = C_x \left(\lambda_x A_x e^{\lambda_x t} + \lambda_y A_y e^{\lambda_y t} \right). \quad (11.34)$$

As equações de i_{Cx} para cada etapa de operação são definidas substituindo os índices de $\lambda_{x,y}$ e $A_{x,y}$ referentes a cada intervalo de tempo em (11.34). Os resultados dessas substituições são apresentados na Tabela 11.3.

Tabela 11.3 – Equações para $i_{Cx}(t)$ em cada etapa de operação.

Etapas de operação	i_{Cx} em cada etapa de operação
Primeira etapa de operação ($DT_S - \Delta t_a$)	$C \left(A_1 \lambda_1 e^{\lambda_1 t} + A_2 \lambda_2 e^{\lambda_2 t} \right)$
Segunda e terceira etapas de operação (Δt_b)	$C \left(A_3 \lambda_3 e^{\lambda_3 t} + A_4 \lambda_4 e^{\lambda_4 t} \right)$
Quarta etapa de operação ($(1 - D)T_S - \Delta t_b$)	$C \left(A_5 \lambda_5 e^{\lambda_5 t} + A_6 \lambda_6 e^{\lambda_6 t} \right)$
Quinta e sexta etapas de operação (Δt_a)	$C \left(A_7 \lambda_7 e^{\lambda_7 t} + A_8 \lambda_8 e^{\lambda_8 t} \right)$

Conhecendo as equações que definem i_{Cx} em cada intervalo de tempo e a relação entre i_{Lc} e i_{Cx} , os valores da corrente na indutância de comutação para a primeira e quarta etapas de operação são dados, respectivamente, por

$$i_{Lc} = 2C \left(A_1 \lambda_1 e^{\lambda_1 t} + A_2 \lambda_2 e^{\lambda_2 t} \right) \quad (11.35)$$

$$i_{Lc} = C \left(A_5 \lambda_5 e^{\lambda_5 t} + A_6 \lambda_6 e^{\lambda_6 t} \right). \quad (11.36)$$

Durante os intervalos de tempo Δt_a e Δt_b , i_{Lc} é definida, respectivamente, por

$$i_{Lc} = 2C \left(A_3 \lambda_3 e^{\lambda_3 t} + A_4 \lambda_4 e^{\lambda_4 t} \right) \quad (11.37)$$

$$i_{Lc} = C \left(A_7 \lambda_7 e^{\lambda_7 t} + A_8 \lambda_8 e^{\lambda_8 t} \right). \quad (11.38)$$

Definidas as equações para i_{Lc} em cada etapa de operação e observando a forma de onda para a corrente em L_C , apresentada na Figura 11.8, são definidas as equações de contorno a seguir.

$$\left\{ \begin{array}{l} i_{Lc1} = i_{Lc2} = i_{Lc}(t_2) \\ i_{Lc3} = i_{Lc4} = i_{Lc}(t_3) \\ i_{Lc5} = i_{Lc6} = i_{Lc}(t_5) \\ i_{Lc7} = i_{Lc0} = i_{Lc}(t_0) \end{array} \right. \quad (11.39)$$

De maneira análoga ao desenvolvido para a tensão sobre C_x , i_{Lc1} representa o valor de i_{Lc} no final da sexta etapa de operação, i_{Lc2} indica i_{Lc} no início da primeira etapa de operação e assim sucessivamente. Substituindo t por zero nas equações apresentadas na Tabela 11.3 são definidos, respectivamente, i_{Lc1} , i_{Lc4} , i_{Lc6} e i_{Lc0} .

Substituindo t por Δt_a na equação que define i_{Lc} para a quinta etapa de operação, é definido i_{Lc1} . Fazendo $t = (DT_S - \Delta t_a)$ na equação que define i_{Lc} para a segunda e terceira etapas de operação, é definido i_{Lc3} . i_{Lc5} é definido substituindo t por Δt_a na terceira equação apresentada na Tabela 11.3, e i_{Lc7} é obtida fazendo $t = (1 - D)T_S - \Delta t_b$ na equação que representa i_{Lc} na quarta etapa de operação.

Definidas as equações de i_{Lc0} a i_{Lc7} , obtém-se o seguinte sistema:

$$\left\{ \begin{array}{l} A_7 \lambda_7 e^{\lambda_7 \Delta t_a} + A_8 \lambda_8 e^{\lambda_8 \Delta t_a} = A_1 \lambda_1 + A_2 \lambda_2 \\ 2 \left(A_1 \lambda_1 e^{\lambda_1 (DT_S - \Delta t_a)} + A_2 \lambda_2 e^{\lambda_2 (DT_S - \Delta t_a)} \right) = A_3 \lambda_3 + A_4 \lambda_4 \\ A_3 \lambda_3 e^{\lambda_3 \Delta t_b} + A_4 \lambda_4 e^{\lambda_4 \Delta t_b} = A_5 \lambda_5 + A_6 \lambda_6 \\ A_5 \lambda_5 e^{\lambda_5 [(1-D)T_S - \Delta t_b]} + A_6 \lambda_6 e^{\lambda_6 [(1-D)T_S - \Delta t_b]} = 2(A_7 \lambda_7 + A_8 \lambda_8). \end{array} \right. \quad (11.40)$$

Os sistemas de equações (11.33) e (11.40) são escritos na forma matricial $\mathbf{B} \times \mathbf{X} = \mathbf{C}$. A matriz \mathbf{B} é apresentada em (11.41), e os vetores \mathbf{X} e \mathbf{C} são descritos em (11.42).

$$\mathbf{B} = \begin{bmatrix} -1 & -1 & 0 & 0 & 0 & 0 & e^{\lambda_7 \Delta t_a} & e^{\lambda_8 \Delta t_a} \\ e^{x_a} & e^{x_b} & -1 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & e^{\lambda_3 \Delta t_b} & e^{\lambda_4 \Delta t_b} & -1 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & e^{x_c} & e^{x_d} & -1 & -1 \\ -\lambda_1 & -\lambda_2 & 0 & 0 & 0 & 0 & \lambda_7 e^{\lambda_7 \Delta t_a} & \lambda_8 e^{\lambda_8 \Delta t_a} \\ 2\lambda_1 e^{x_a} & 2\lambda_2 e^{x_b} & -\lambda_3 & -\lambda_4 & 0 & 0 & 0 & 0 \\ 0 & 0 & \lambda_3 e^{\lambda_3 \Delta t_b} & \lambda_4 e^{\lambda_4 \Delta t_b} & -\lambda_5 & -\lambda_6 & 0 & 0 \\ 0 & 0 & 0 & 0 & \lambda_5 e^{x_c} & \lambda_6 e^{x_d} & -2\lambda_7 & -2\lambda_8 \end{bmatrix} \quad (11.41)$$

$$\mathbf{C} = \begin{bmatrix} 0 \\ V_{in}/2 \\ 0 \\ -V_{in}/2 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad \mathbf{X} = \begin{bmatrix} A_1 \\ A_2 \\ A_3 \\ A_4 \\ A_5 \\ A_6 \\ A_7 \\ A_8 \end{bmatrix} \quad (11.42)$$

Sendo,

$$x_a = \lambda_1(DT_S - \Delta t_a) \quad (11.43)$$

$$x_b = \lambda_2(DT_S - \Delta t_a) \quad (11.44)$$

$$x_c = e^{\lambda_5[(1-D)T_S - \Delta t_b]} \quad (11.45)$$

$$x_d = e^{\lambda_6[(1-D)T_S - \Delta t_b]}. \quad (11.46)$$

Realizando a operação matricial $\mathbf{X} = \mathbf{B}^{-1} \times \mathbf{C}$, definem-se os valores de A_1 a A_8 . As equações algébricas que regem os valores para essas constantes são extensas. Portanto, no texto são apresentados apenas seus valores numéricos para uma determinada condição de operação do conversor. Os valores utilizados nos cálculos são apresentados na Tabela 11.4. Os valores encontrados para A_1 a A_8 para esta condição são apresentados na Tabela 11.5.

Substituindo os valores de A_1 a A_8 em (11.19), (11.23), (11.26) e (11.29), encontram-se os valores instantâneos de tensão em C_x , e substituindo os valores de A_1 a A_8 em (11.35) a (11.38), definem-se os valores instantâneos para a corrente em L_C .

Para a primeira etapa de operação, a corrente na indutância magnetizante (i_{Lm}) é

Tabela 11.4 – Valores para os componentes que integram o conversor utilizado para o equacionamento numérico de A_1 , A_2 , A_3 e A_4 .

Componentes	Valores
C_x, C_y	25 μF
R_s	100 $\text{m}\Omega$
L_m	180 μH
L_C	8 μH
n	3
L_o	25 μH
C_o	1000 μF
R_o	1,3 Ω
V_{in}	800 V
f_s	100 kHz
D	0,45

Tabela 11.5 – Valores encontrados para A_1 , a A_8 para as condições apresentadas na Tabela 11.4.

Variáveis	Valores
A_1	$-150,4721 + j16,3339$
A_2	$-150,4721 - j16,3339$
A_3	$50,2071 + j7,9343$
A_4	$50,2071 - j7,9343$
A_5	$50,4129 - j6,1548$
A_6	$50,4129 + j6,1548$
A_7	$-150,5000 - j11,8445$
A_8	$-150,5000 + j11,8445$

expressa por $i_{Lc} - I'_o$. Portanto, tem-se

$$i_{Lm} = 2C \left(A_1 \lambda_1 e^{\lambda_1 t} + A_2 \lambda_2 e^{\lambda_2 t} \right) - \frac{I_o}{n}. \quad (11.47)$$

A corrente em L_m apresenta um valor constante durante o intervalo de tempo Δt_b , desde que as ondulações de corrente em L_o sejam desconsideradas. Portanto, para o intervalo Δt_b , a corrente i_{Lm} é definida substituindo t por $D \cdot T_s - \Delta t_a$ na equação (11.47). Assim,

$$i_{Lm} = 2 \left(A_1 \lambda_1 e^{\lambda_1 (D \cdot T_s - \Delta t_a)} + A_2 \lambda_2 e^{\lambda_2 (D \cdot T_s - \Delta t_a)} \right) - \frac{I_o}{n}. \quad (11.48)$$

Durante a quarta etapa de operação, a corrente em L_m é definida por $i_{Lc} + I'_o$. Portanto,

$$i_{Lm} = C \left(A_5 \lambda_5 e^{\lambda_5 t} + A_6 \lambda_6 e^{\lambda_6 t} \right) + \frac{I_o}{n}. \quad (11.49)$$

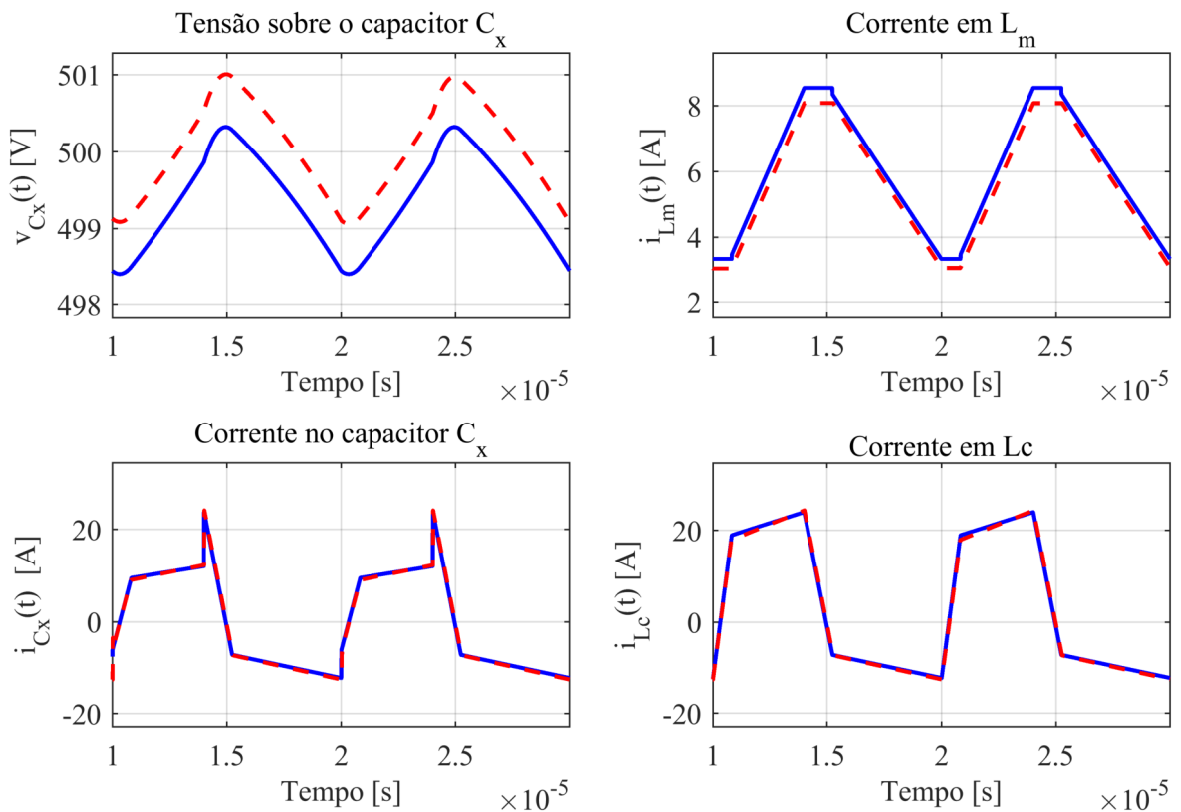
No intervalo de tempo Δt_a , a corrente em L_m possui valor constante, o qual é

determinado substituindo t por $(1 - D)Ts - \Delta t_b$ em (11.49), resultando em

$$i_{Lm} = C \left(A_5 \lambda_5 e^{\lambda_5[(1-D)Ts - \Delta t_b]} + A_6 \lambda_6 e^{\lambda_6[(1-D)Ts - \Delta t_b]} \right) + \frac{I_o}{n} \quad (11.50)$$

Após a definição das equações que regem os valores instantâneos de v_{C_x} , i_{C_x} , i_{L_m} e i_{L_c} , essas equações são representadas na Figura 11.9, onde são comparadas com as formas de onda obtidas por meio de simulação no *Simulink*.

Figura 11.9 – Comparação entre as formas de onda obtidas por meio do equacionado e as obtidas por simulação no *Simulink*. As formas de onda adquiridas pelo equacionamento são representadas pela linha contínua e as adquirida por simulação pela linha tracejada.



Fonte: Autor.

Analisando a Figura 11.9, observa-se que as formas de onda obtidas por meio do equacionamento para i_{C_x} e i_{L_c} são semelhantes às obtidas por simulação. No entanto, a forma de onda obtida por meio do equacionamento para a tensão sobre C_x está deslocada para baixo em relação àquela adquirida na simulação, enquanto a forma de onda para i_{L_m} obtida por equacionamento está deslocada para cima em relação àquela obtida por simulação, além de apresentar uma pequena descontinuidade nas transições da terceira para a quarta etapa de operação e da sexta para a primeira etapa de operação. Esses erros ocorrem devido às simplificações realizadas para o equacionamento de Δt_a e Δt_b , apresentadas respectivamente em (11.4) e (11.5).

Para obter maior exatidão nos resultados, os valores de Δt_a e Δt_b devem ser calculados juntamente com os valores de A_1 a A_8 . Portanto, são adicionadas duas equações ao sistema. Essas equações são obtidas pela análise da forma de onda da corrente em L_m , apresentada na Figura 11.8(b).

Analisando as formas de onda apresentadas na Figura 11.8(b), observa-se que o valor de i_{Lm} no final da primeira etapa de operação (t_3) é igual ao valor de i_{Lm} no início da quarta etapa de operação (t_5). Assim, a equação para i_{Lm} no instante t_3 é definida substituindo t por $D \cdot Ts - \Delta t_a$ em (11.47), e i_{Lm} no instante t_5 é obtido fazendo $t = 0$ em (11.49). Além disso, observa-se que o valor de i_{Lm} no início da primeira etapa de operação (t_2) é igual ao valor de i_{Lm} no final da quarta etapa de operação (t_0). Portanto, o valor de i_{Lm} no instante t_2 é definido substituindo t por zero em (11.47), e i_{Lm} no instante t_0 é definido substituindo t por $(1 - D)Ts - \Delta t_b$ em (11.49)

A partir das considerações realizadas acima, são definidas as equações (11.51) e (11.52), que são inseridas no sistema de equações apresentado na forma matricial em (11.41) e (11.42). No entanto, o novo sistema de equações não pode ser solucionado pela operação matricial utilizada anteriormente, devido às variáveis de interesse estarem no expoente da equação. Portanto, o sistema de equações é resolvido utilizando as ferramentas disponíveis no *Matlab* para resolução de cálculos numéricos.

$$2 \left[A_1 \cdot \lambda_1 \cdot e^{\lambda_1(D \cdot Ts - \Delta t_a)} + A_2 \cdot \lambda_2 \cdot e^{\lambda_2(D \cdot Ts - \Delta t_a)} \right] = A_5 \cdot \lambda_5 + A_6 \cdot \lambda_6 + \frac{2i_o}{n} \quad (11.51)$$

$$A_5 \cdot \lambda_5 \cdot e^{\lambda_5[(1-D)Ts - \Delta t_b]} + A_6 \cdot \lambda_6 \cdot e^{\lambda_6[(1-D)Ts - \Delta t_b]} = 2 \cdot (A_1 \cdot \lambda_1 + A_2 \cdot \lambda_2) - \frac{2i_o}{n} \quad (11.52)$$

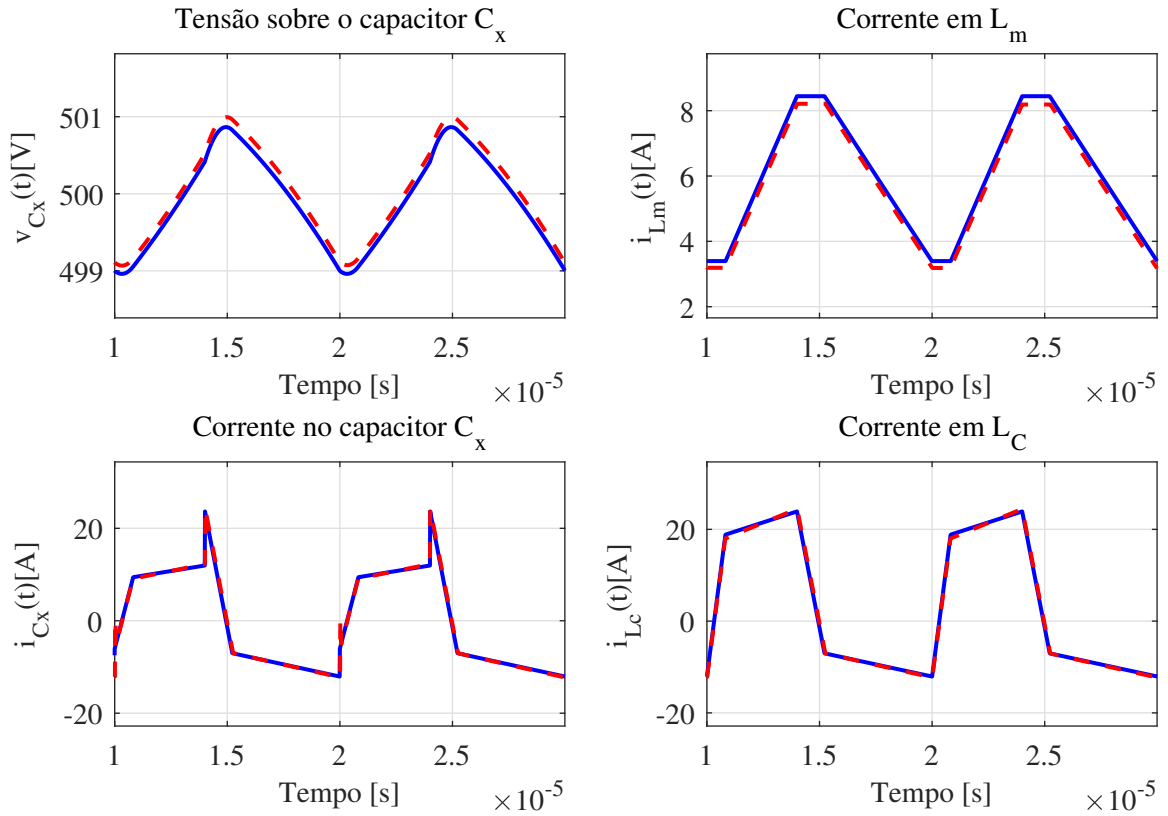
Para validar o equacionamento realizado, as equações numéricas obtidas para v_{Cs} , i_{Cs} , i_{Lm} e i_{Lc} , considerando os novos valores para Δt_a e Δt_b , são representadas na Figura 11.10 e comparadas com as formas de onda obtidas por meio de simulação no *Simulink*.

Comparando as formas de onda apresentadas na Figura 11.9 e na Figura 11.10, nota-se que é obtida maior precisão nos cálculos dos valores de Δt_a e Δt_b pelo segundo método, principalmente para o equacionamento da tensão sobre C_x e da corrente em L_m . No entanto, o equacionamento realizado por meio da relação volt-ampere para L_C em (11.4) e (11.5) proporciona boas aproximações e equações concisas.

11.3.2 Equacionamentos dos esforços de tensão e corrente em C_x e C_y

Com o intuito de viabilizar o projeto do conversor e o equacionamento das perdas sobre os componentes os valores médios e eficazes das tensões sobre C_x e C_y e os valores eficazes das correntes em C_x e C_y são equacionados. Os valores médios para as tensões

Figura 11.10 – Comparação entre as formas de onda obtidas por meio do equacionamento e as obtidas por simulação no *Simulink*, considerando o ajuste nos valores de Δt_a e Δt_b . As formas de onda adquiridas pelo equacionamento são representadas pela linha contínua e as adquiridas por simulação, pela linha tracejada.



Fonte: Autor.

sobre C_x e C_y são dados por

$$V_{C_x,med} = \frac{1}{T_s} \left(\int_0^{D \cdot T_s - \Delta t_a} v_{C_x} dt + \int_0^{\Delta t_b} v_{C_x} dt + \int_0^{(1-D)T_s - \Delta t_b} v_{C_x} dt + \int_0^{\Delta t_a} v_{C_x} dt \right), \quad (11.53)$$

Substituindo (11.19), (11.23), (11.26) e (11.29) em (11.53), obtém-se

$$V_{C_x,med} = V_{C_y,med} = \frac{V_{in}}{2} (1-D) \sum_{n=1}^{n=8} \frac{A_n \cdot T_s}{\lambda_n} e^{K_n} - 1. \quad (11.54)$$

Em que,

$$K_1 = \lambda_1 (D \cdot T_s - \Delta t_a)$$

$$K_2 = \lambda_2 (D \cdot T_s - \Delta t_a)$$

$$K_3 = \lambda_3 \cdot \Delta t_b$$

$$K_4 = \lambda_4 \cdot \Delta t_b$$

$$K_5 = \lambda_5 [(1 - D)Ts - \Delta t_b]$$

$$K_6 = \lambda_6 [(1 - D)\Delta t_b]$$

$$K_7 = \lambda_7 \cdot \Delta t_a$$

$$K_8 = \lambda_8 \cdot \Delta t_a.$$

Os valores obtidos para $V_{Cx,ef}$ e $V_{Cy,ef}$, considerando os valores de Δt_a e Δt_b aproximados e exatos, são apresentados na Tabela 11.6, onde são comparados com os valores obtidos por meio de simulação.

Para determinar os valores eficazes das correntes em C_x e C_y , substituímos as equações que representam os valores instantâneos de i_{Cx} e i_{Cy} , conforme definido na Tabela 11.3, em (11.55). Os resultados numéricos obtidos são apresentados na Tabela 11.6.

$$X_{ef} = \sqrt{\frac{1}{T} \int_0^T x(t)^2 dt} \quad (11.55)$$

11.3.3 Esforços de tensão e corrente em L_C

Os esforços de tensão e corrente na indutância de comutação são definidos por meio da análise dos circuitos equivalentes, conforme ilustrado na Figura 11.7. Inicialmente, determinam-se os valores de patamar e eficaz para a tensão sobre o indutor de comutação, e em seguida são estabelecidos os valores médio e eficaz para a corrente em L_C .

Durante as etapas de transferência de potência, os valores da tensão sobre L_C são idealmente nulos, visto que toda a tensão é aplicada sobre o lado primário do transformador. Entretanto, durante a etapa de transição, definida por Δt_a , a tensão sobre L_C é igual à diferença entre V_{in} e V_1 , e para o intervalo de tempo Δt_b , a tensão sobre L_C é dada por $V_{in} - V_2$. Portanto, o valor eficaz para v_{L_C} é dado por

$$V_{L_C,ef} = \sqrt{f_s [\Delta t_a (V_{in} - v_1)^2 + \Delta t_b (V_{in} - v_2)^2]} \quad (11.56)$$

O valor médio da corrente sobre a indutância de comutação é determinado substituindo as equações para i_{L_C} , apresentadas em (11.35) a (11.38), juntamente com os intervalos de tempo apropriados, em (11.57). A equação resultante é apresentada em (11.58).

$$X_{med} = \frac{1}{T} \int_0^T x(t) dt \quad (11.57)$$

$$I_{Lc,med} = C_x \cdot f_s \left(\sum_{n=1}^{n=2} 2A_n (1 - e^{kn}) + \sum_{n=3}^{n=6} A_n (1 - e^{kn}) + \sum_{n=7}^{n=8} 1 - e^{kn} \right). \quad (11.58)$$

O valor eficaz da corrente em L_C é determinado substituindo as equações definidas para i_{Lc} e os intervalos de tempo adequados em (11.55). Os resultados obtidos por meio da resolução numérica para $I_{Lc,ef}$, considerando as duas formas de definir os valores de Δt_a e Δt_b , são apresentados e comparados com os resultados de simulação na Tabela 11.6.

11.3.4 Esforços de tensão e corrente em L_m

Analisando as etapas de operação do conversor em estudo, nota-se que durante os intervalos de transição a tensão sobre L_m é nula, pois todos os diodos retificadores estão conduzindo. Durante a primeira etapa de operação, determina-se v_{Lm} pela diferença entre V_{in} e V_1 . Na terceira etapa de operação, v_{Lm} é definido pela diferença entre V_{in} e V_2 . Substituindo os valores de v_{Lm} para cada etapa de operação e seus intervalos de duração em (11.55), encontramos a equação que rege o valor eficaz da tensão sobre a indutância magnetizante, dada por

$$V_{Lm,ef} = \sqrt{f_s [(D \cdot T_s - \Delta t_a)(V_{in} - v_1)^2 + [(1 - D)T_s - \Delta t_b](V_{in} - v_2)^2]}. \quad (11.59)$$

As equações que definem a corrente em L_m para cada uma das etapas de operação são apresentadas em (11.47) a (11.50). Substituindo essas equações e os intervalos de tempo adequados em (11.57), encontramos o valor médio de i_{Lm} . Essa operação resulta em

$$I_{Lm,med} = \frac{V_O(1 - 2D)}{R_o \cdot n} + \frac{2V_O \cdot f_s}{R_o \cdot n} (\Delta t_a + \Delta t_b) - C_x \cdot f_s \left(\sum_{n=1}^{n=2} f_y \sum_{n=7}^{n=8} f_y \right). \quad (11.60)$$

Na qual,

$$f_y = A_n (1 - e^{kn}) + 2A_n (1 - e^{kn}). \quad (11.61)$$

O valor eficaz de i_{Lm} é definido substituindo (11.35) a (11.38) em (11.55). O resultado numérico obtido é apresenta na Tabela 11.6.

11.3.5 Esforços de tensão e corrente em S_{1a} , S_2 e S_{1b}

Os esforços de tensão sobre os interruptores são definidos por meio da análise dos circuitos equivalentes, apresentados na Figura 11.7. Durante a primeira, quinta e sexta etapas de operação, os interruptores S_{1a} e S_{1b} estão conduzindo, S_2 está bloqueado e conectado em paralelo com C_x e C_y . Portanto, a tensão de patamar sobre S_2 é igual ao

valor médio da tensão sobre C_x . Assim,

$$v_{S2} = \frac{V_{in}}{(2-D)}. \quad (11.62)$$

Os interruptores S_{1a} e S_{1b} permanecem bloqueados durante a segunda, terceira e quarta etapas de operação. S_{1a} é conectado em paralelo com C_x , enquanto S_{1b} é conectado em paralelo com C_y . Portanto, o valor da tensão de patamar sobre S_{1a} e S_{1b} é dado por

$$v_{S1a} = v_{S1b} = \frac{V_{in}}{(2-D)}. \quad (11.63)$$

Observando os circuitos equivalentes, apresentados na Figura 11.7, nota-se que as correntes em S_{1a} e S_{1b} são iguais à metade de i_{Lc} , enquanto a corrente em S_2 é igual a i_{Lc} . Portanto, a distribuição de perdas nos interruptores é assimétrica.

Com os valores de corrente em L_C para cada etapa de operação conhecidos, são definidas as equações para a corrente em S_{1a} e S_{1b} durante a primeira etapa de operação e para o intervalo de tempo Δt_a , respectivamente, em (11.64) e (11.65). Durante as demais etapas, i_{S1a} e i_{S1b} apresentam valor nulo.

$$i_{S1a,1} = \frac{i_{Lc}}{2} = C \left(A_1 \lambda_1 e^{\lambda_1 t} + A_2 \lambda_2 e^{\lambda_2 t} \right) \quad (11.64)$$

$$i_{S1a,\Delta t_a} = \frac{i_{Lc}}{2} = C \left(A_3 \lambda_3 e^{\lambda_3 t} + A_4 \lambda_4 e^{\lambda_4 t} \right) \quad (11.65)$$

Substituindo (11.64) e (11.65) em (11.55), é definido o valor eficaz para a corrente em S_{1a} e S_{1b} . A equação simbólica para a corrente eficaz nos interruptores é extensa; portanto, na Tabela 11.6 são apresentados apenas os resultados numéricos.

Durante a quarta etapa de operação e o intervalo de tempo Δt_b , a corrente sobre S_2 é igual a i_{Lc} . Assim,

$$i_{S2,4} = i_{Lc} = C \left(A_5 \lambda_5 e^{\lambda_5 t} + A_6 \lambda_6 e^{\lambda_6 t} \right) \quad (11.66)$$

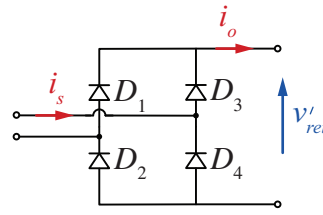
$$i_{S2,\Delta t_b} = i_{Lc}(t) = C \left(A_7 \lambda_7 e^{\lambda_7 t} + A_8 \lambda_8 e^{\lambda_8 t} \right). \quad (11.67)$$

Com os valores instantâneos das correntes em S_2 e seus intervalos de condução conhecidos, podemos determinar o valor eficaz da corrente em S_2 , apresentado na Tabela 11.6.

11.3.6 Esforços de tensão e corrente nos diodos referentes a ponte retificadora

Os cálculos dos esforços de tensão e corrente nos diodos retificadores têm como objetivo auxiliar na definição do modelo de diodo a ser utilizado, bem como no equacionamento das perdas sobre eles. Portanto, a seguir, serão apresentadas as equações que definem os valores de patamar da tensão sobre os diodos e os valores médios e eficazes para as correntes nos mesmos. A topologia da ponte retificadora utilizada é apresentada na Figura 11.11.

Figura 11.11 – Topologia da ponte retificadora.



Fonte: Autor.

Os diodos D_2 e D_3 permanecem bloqueados durante a primeira etapa de operação. Portanto, o valor da tensão sobre esses é igual a v_{Lm} dividido pela relação de transformação. v_{Lm} é igual à diferença entre a tensão de entrada e V_1 . Então

$$v_{D2} = v_{D3} = \frac{V_{in}(1-D)}{n(2-D)}. \quad (11.68)$$

Durante a primeira etapa de operação, os diodos D_2 e D_3 permanecem bloqueados. Assim, a tensão sobre eles é igual a v_{Lm} dividido pela relação de transformação. O valor de v_{Lm} é determinado pela diferença entre a tensão de entrada e V_1 . Portanto,

$$v_{D1} = v_{D4} = \frac{V_{in}}{n} \frac{D}{(2-D)}. \quad (11.69)$$

Durante as etapas de transferência de potência, os diodos retificadores conduzem a corrente que flui por L_o . Nas etapas de transição, essa corrente decai até atingir valor nulo. Assim, os valores médio e eficaz da corrente nos diodos podem ser equacionados de duas formas. A primeira consiste em negligenciar as etapas de transição e considerar que os diodos D_1 e D_4 conduzem corrente igual a I_o durante o intervalo de tempo $D \cdot T_s$, enquanto D_2 e D_3 conduzem I_o em $(1-D)T_s$. Dessa forma, os valores médio e eficaz para as correntes nos diodos são definidos como segue.

$$I_{D1,med} = I_{D4,med} = I_o \cdot D \quad (11.70)$$

$$I_{D2,med} = I_{D3,med} = I_o(1-D). \quad (11.71)$$

$$I_{D2,ef} = I_{D3,ef} = I_o\sqrt{D} \quad (11.72)$$

$$I_{D2,ef} = I_{D3,ef} = I_o \sqrt{1-D}. \quad (11.73)$$

A segunda forma consiste em considerar que os diodos conduzem a corrente do primário refletida ao secundário. Durante a primeira etapa de operação, a corrente em D_1 e D_4 é definida por (11.74) ou pode ser aproximada por I_o .

$$i_{D1} = i_{D4} = (i_{Lc} - i_{Lm}) \cdot n \quad (11.74)$$

Na quinta e sexta etapa de operação a corrente em D_1 , D_2 , D_3 e D_4 é dada por

$$i_{D1} = i_{D2} = i_{D3} = i_{D4} = \left(\frac{i_{Lc} - i_{Lm}}{2} \right) n. \quad (11.75)$$

Durante a segunda etapa de operação, a corrente em D_2 e D_3 é definida por (11.77) ou pode ser aproximada por I_o .

$$i_{D1,D4} = (i_{Lm} - i_{Lc}) n \quad (11.76)$$

Durante o intervalo de tempo Δt_a , todos os diodos conduzem, e a corrente que flui através dos mesmos é definida por

$$i_{D1} = i_{D2} = i_{D3} = i_{D4} = (i_{Lm} - i_{Lc}). \quad (11.77)$$

O valor médio da corrente em L_m é definido substituindo as equações (11.74) a (11.77) em (11.57). O valor eficaz de i_{Lm} é encontrado substituindo (11.74) a (11.77) em (11.55). Os resultados obtidos são apresentados na Tabela 11.6.

Observando os valores apresentados na Tabela 11.6, nota-se que o equacionamento desenvolvido ao longo do capítulo é válido, uma vez que o maior valor de erro percentual encontrado é de 3,539% para o valor médio da corrente em L_m . Além disso, analisa-se que não há um ganho significativo de exatidão ao utilizar as equações exatas em detrimento das equações simplificadas para calcular os intervalos de tempo Δt_a e Δt_b .

Analisando os efeitos da indutância de comutação no conversor, conclui-se que a queda de tensão sobre a mesma causa uma redução no ganho do conversor. Esse efeito depende do valor da indutância de comutação, que é formada pela indutância de dispersão do transformador somada a uma indutância auxiliar, além de ser influenciada pela frequência de comutação, pela tensão de entrada e pela carga do conversor. Portanto, o valor da indutância de comutação deve ser projetado com cuidado para minimizar seus efeitos. Além disso, é importante observar que os valores das correntes nos interruptores são influenciados por L_c , e os sinais de sobretensão nos diodos retificadores são ampliados com o aumento do valor de L_c .

Tabela 11.6 – Comparação entre os valores calculados e definidos em simulação para os esforços de tensão e corrente.

Grandezas	Valores calculados	Valores simulados	Erro
$I_{Lm,med}(exato)$	6,012 A	5,806 A	3,538%
$I_{Lm,ef}(exato)$	6,256 A	6,055 A	3,316%
$V_{Cx,med}(exato)$	499,911 V	500,025 V	0,022%
$V_{Cx,ef}(exato)$	499,912 V	500,0258 V	0,022%
$I_{Cx,ef}(exato)$	10,069 A	10,172 A	1,008%
$I_{S1,ef}(exato)$	6,192 A	6.155 A	0,607%
$I_{S2,ef}(exato)$	8,031 A	7,940 A	1,141%
$I_{Lm,med}(simplicado)$	6.012 A	5,806 A	3,539%
$I_{Lm,ef}(simplicado)$	6.263 A	6,055 A	3,448%
$V_{Cx,med}(simplicado)$	499,363 V	500,025 V	0,132%
$V_{Cx,ef}(simplicado)$	499,912 V	500,025 V	0,132%
$I_{Cx,ef}(simplicado)$	10,021 A	10,172 A	1,484%
$I_{S1,ef}(simplicado)$	6.217 A	6.155 A	1,007%
$I_{S2,ef}(simplicado)$	7,831 A	7,940 A	1,372%

No próximo capítulo, será apresentado o estudo da comutação para o conversor proposto, bem como sugestões de projeto para minimizar os efeitos da indutância no ganho do conversor. Em conversores que não preveem a realização de comutação suave, devem ser utilizadas técnicas de projeto e montagem de transformadores que visem minimizar a indutância de dispersão dos mesmos.

12 ANÁLISE DA COMUTAÇÃO PARA O CONVERSOR *BUCK* ISOLADO

A utilização de altas frequências de comutação (na grandeza de centenas de quilohertz a dezenas de megahertz) possibilita a redução do volume do conversor, aumentando sua densidade de potência, uma vez que o tamanho dos capacitores e elementos magnéticos se reduzem com o aumento da frequência. No entanto, incrementa as perdas de comutação nos interruptores. A fim de mitigar as perdas de comutação na topologia proposta, uma análise da comutação é realizada para os interruptores S_{1a} , S_{1b} e S_2 , os quais podem atingir comutação com tensão nula durante a entrada e a saída de condução.

Para que ocorra a comutação ZVS em S_{1a} , S_{1b} e S_2 , é necessário inserir um capacitor em paralelo (C_{1a} , C_2 e C_{1b}) com cada um dos interruptores (S_{1a} , S_2 e S_{1b}), cujos valores devem estar em conformidade com os demais parâmetros que influenciam na comutação. Para o conversor proposto, esses parâmetros incluem a corrente de saída, a tensão de entrada, o tempo morto entre os sinais de comando e a indutância de comutação.

A indutância de comutação é composta pelas indutâncias parasitas do transformador e, se necessário, por um indutor auxiliar conectado em série com o transformador. Os valores da indutância de comutação e do tempo morto influenciam o ganho do conversor, portanto, a escolha desses parâmetros deve levar em consideração a máxima perda de razão cíclica admitida no projeto. Além disso, L_C introduz indutâncias parasitas no lado de baixa tensão do transformador e, junto com as capacitâncias parasitas e intrínsecas dos diodos retificadores, causam sinais de sobretensão nesses diodos.

Com o intuito de definir conjuntos de valores para o tempo morto, indutância e capacitâncias de comutação que permitam ao conversor operar com ZVS em uma ampla faixa de potência sem redução considerável da razão cíclica, é desenvolvida uma análise detalhada da comutação dos interruptores S_{1a} , S_{1b} e S_2 .

Para a análise da comutação, as seguintes considerações são realizadas:

1. Os valores das capacitâncias C_x e C_y são consideravelmente grandes, de modo que as variações de tensão sobre esses capacitores possam ser negligenciadas;
2. Os interruptores são considerados ideais;
3. A corrente em L_C permanece constante durante o intervalo linear da comutação dos interruptores;
4. As capacitâncias C_{1a} , C_{1b} e C_2 são idênticas e representadas por C_C .

12.1 COMUTAÇÃO PARA BLOQUEIO DE S_{1a} E S_{1b}

A comutação para o bloqueio dos interruptores S_{1a} e S_{1b} ocorre em duas etapas: linear e ressonante. Durante a etapa linear, que se inicia assim que S_{1a} e S_{1b} são bloqueados, os capacitores C_{1a} e C_{1b} são carregados, enquanto o capacitor C_2 é descarregado por uma corrente constante. Nesse momento, a corrente disponível para a comutação é determinada pelo somatório entre a corrente de saída refletida ao lado primário do transformador e a corrente na indutância magnetizante. Essa etapa linear finaliza quando a tensão sobre L_m atinge o valor nulo. A partir desse instante, a corrente em L_C e a tensão sobre os capacitores de comutação começam a interagir de maneira ressonante.

Para que ocorra a comutação do tipo ZVS no bloqueio de S_{1a} e S_{1b} , é necessário que a tensão sobre C_{1a} e C_{1b} permaneça nula até que a corrente nos interruptores atinja o valor nulo. Da mesma forma, para obter a comutação ZVS na entrada em condução de S_2 , é fundamental garantir que a tensão sobre C_2 seja nula no momento em que os interruptores recebem o sinal de comando para conduzir. Portanto, é importante definir o tempo necessário para a completa descarga de C_2 (t_{d1}), o qual é dado pela soma entre os intervalos de tempo linear e ressonante. As equações que determinam a duração de cada etapa da comutação são definidas pela análise dos estados topológicos apresentada a seguir.

12.1.1 Intervalo linear da comutação

A análise da operação e o equacionamento do conversor proposto durante a etapa linear da comutação são realizados por meio da observação dos seus estados topológicos. Inicialmente, é analisada a operação do conversor no instante anterior à comutação de bloqueio de S_{1a} e S_{1b} , cujo circuito equivalente é apresentado na Figura 12.1. Durante esse intervalo de tempo, a operação do conversor é praticamente idêntica àquela descrita para a primeira etapa de operação (t_2 - t_3), uma vez que a única alteração na estrutura do conversor é a inserção dos capacitores de comutação.

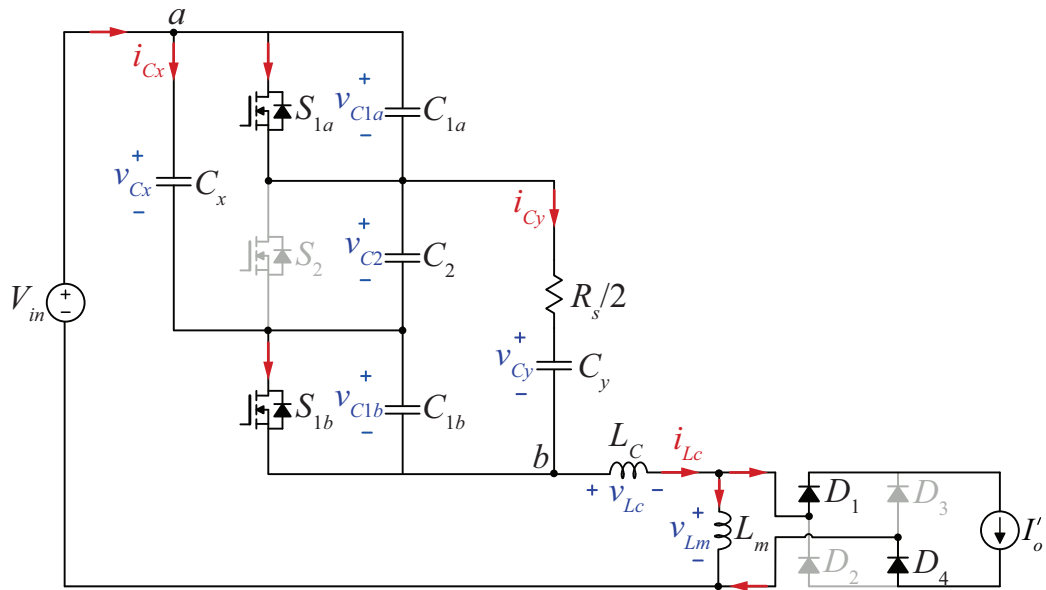
Durante a etapa de operação apresentada na Figura 12.1, os interruptores S_{1a} e S_{1b} estão conduzindo. Portanto, a tensão sobre os capacitores C_{1a} e C_{1b} é nula. O interruptor S_2 permanece bloqueado e conectado em paralelo com C_x e C_y , de modo que a tensão sobre C_2 é igual a tensão sobre C_x . Nesse intervalo de tempo, toda a corrente flui através dos interruptores, não havendo circulação de corrente nos capacitores de comutação.

Conforme a etapa de operação mostrada na Figura 12.1,

$$v_{C_{1a}} = v_{C_{1b}} = 0 \quad (12.1)$$

$$v_{C_2} = \frac{V_{in}}{(2-D)}. \quad (12.2)$$

Figura 12.1 – Estado topológico do conversor no instante de tempo anterior a comutação para bloqueio de S_{1a} e S_{1b} ($t_2 - t_3$).



Fonte: Autor.

Como descrito no Capítulo 11, a corrente na indutância de comutação durante a primeira etapa de operação é definida como

$$i_{Lc} = I'_o + i_{Lm}. \quad (12.3)$$

Substituindo (11.47) em (12.3) e fazendo $t = D \cdot T_s - \Delta t_a$, define-se i_{Lc} no instante que S_{1a} e S_{1b} recebem o comando para bloquear, dada por

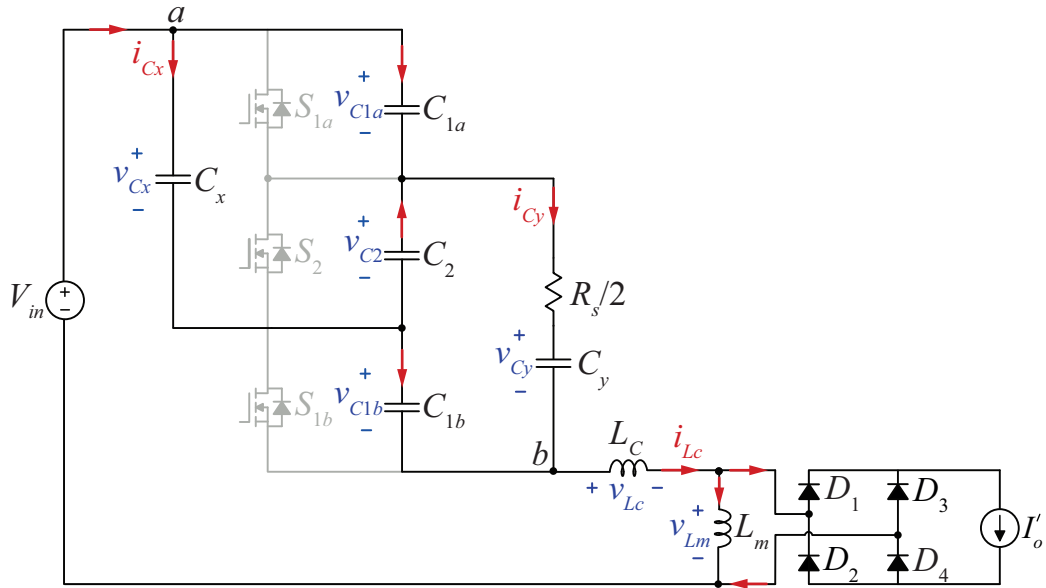
$$i_{Lc} = 2C \left[A_1 \lambda_1 e^{\lambda_1 (D \cdot T_s - \Delta t_a)} + A_2 \lambda_2 e^{\lambda_2 (D \cdot T_s - \Delta t_a)} \right]. \quad (12.4)$$

A equação que define Δt_a é apresentada em (11.4). O valor de Δt_a depende da corrente de saída, da razão cíclica, da tensão de entrada e da indutância de comutação. λ_1 e λ_2 dependem da resistência de condução dos interruptores, das capacitâncias de C_x e C_y , da indutância de comutação e da indutância magnetizante do transformador.

Geralmente é desejável que a indutância magnetizante do transformador seja grande o suficiente para que as ondulações de corrente possam ser desprezadas. Porém, quando se deseja obter comutação suave na topologia proposta, valores menores de indutância magnetizante são benéficos, pois aumentam o valor da corrente disponível para a comutação. Isso ocorre porque i_{Lm} atinge seu valor de pico no instante que a comutação ocorre.

No momento em que todos os interruptores são comandados a bloquear, a corrente da indutância de comutação é conduzida por C_{1a} , C_{1b} e C_2 . C_2 descarrega e C_{1a} e C_{1b} são carregados. O estado topológico referente a esse intervalo de tempo é apresentado na Figura 12.2.

Figura 12.2 – Estado topológico para a topologia para o conversor isolado durante o tempo morto.



Fonte: Autor.

Conhecendo os valores das tensões sobre os capacitores de comutação e a corrente em L_C no início do intervalo denominado tempo morto e analisando o estado topológico apresentado na Figura 12.2, define-se o tempo de duração do intervalo linear da comutação. Inicialmente, é equacionada a malha de tensão entre C_x , C_{1a} e C_2 , que resulta em:

$$-v_{C_x}(t) + v_{C_{1a}} + v_{C_2} = 0. \quad (12.5)$$

O intervalo de tempo referente à duração da etapa linear da comutação é muito pequeno quando comparado ao período de comutação. Portanto, consideram-se as tensões sobre C_x e C_y constantes. Aplicando a equação diferencial em relação ao tempo em (12.5), obtém-se

$$\frac{d}{dt}v_{C_{1a}} + \frac{d}{dt}v_{C_2} = 0. \quad (12.6)$$

Aplicando a relação volt-ampere em (12.6), e assumindo que os capacitores de comutação possuem capacitâncias idênticas, define-se a relação entre $i_{C_{1a}}$ e i_{C_2} , dada por

$$i_{C_{1a}} = i_{C_2}. \quad (12.7)$$

Desenvolvendo a malha entre C_{1b} , C_2 e C_y é definido que

$$v_{C_y} - v_{C_{1a}} + v_{C_2} = 0. \quad (12.8)$$

Derivando (12.8) em relação ao tempo e aplicando a relação volt-ampere para a

corrente no capacitor, obtém-se

$$i_{C_{1b}} = i_{C_2}. \quad (12.9)$$

Observando as equações (12.7) e (12.9), conclui-se que a corrente em L_C se divide igualmente entre os capacitores de comutação durante essa etapa de operação. Então,

$$i_{C_{1a}} = i_{C_2} = i_{C_{1a}} = \frac{i_{Lc}}{3}. \quad (12.10)$$

Definida a corrente em C_2 , a duração da etapa linear de comutação é equacionada por meio da manipulação da relação volt-ampere da corrente em C_2 . A equação resultante é dada por

$$\Delta t_{l,1} = \frac{3C_c}{i_{Lc}(t)} \left(\frac{V_{in}}{2-D} - V_{C_2}(0) \right). \quad (12.11)$$

A equação (12.11) define a duração do intervalo linear da comutação. C_c e $V_{C_2}(0)$ representam, respectivamente, a capacitância dos capacitores de comutação e o valor da tensão no início do intervalo ressonante de comutação.

12.1.2 Intervalo de tempo ressonante

A duração do intervalo de tempo ressonante de comutação é definida pela análise do plano de fase do conversor. O plano de fase em questão é obtido por meio da representação gráfica da corrente em L_C , multiplicada pela impedância característica do circuito, em relação à tensão sobre um capacitor de comutação. As equações que definem a corrente em L_C e a tensão sobre os capacitores de comutação no intervalo ressonante são definidas analisando o estado topológico do conversor, apresentado na Figura 12.2.

Durante o intervalo de tempo ressonante, a comutação dos interruptores depende somente da energia armazenada em L_C . Assim, o estado topológico do conversor pode ser representado pelo circuito equivalente mostrado na Figura 12.3(a), no qual os capacitores C_x e C_y são substituídos por fontes de tensão, que representam o valor médio da tensão sobre esses capacitores.

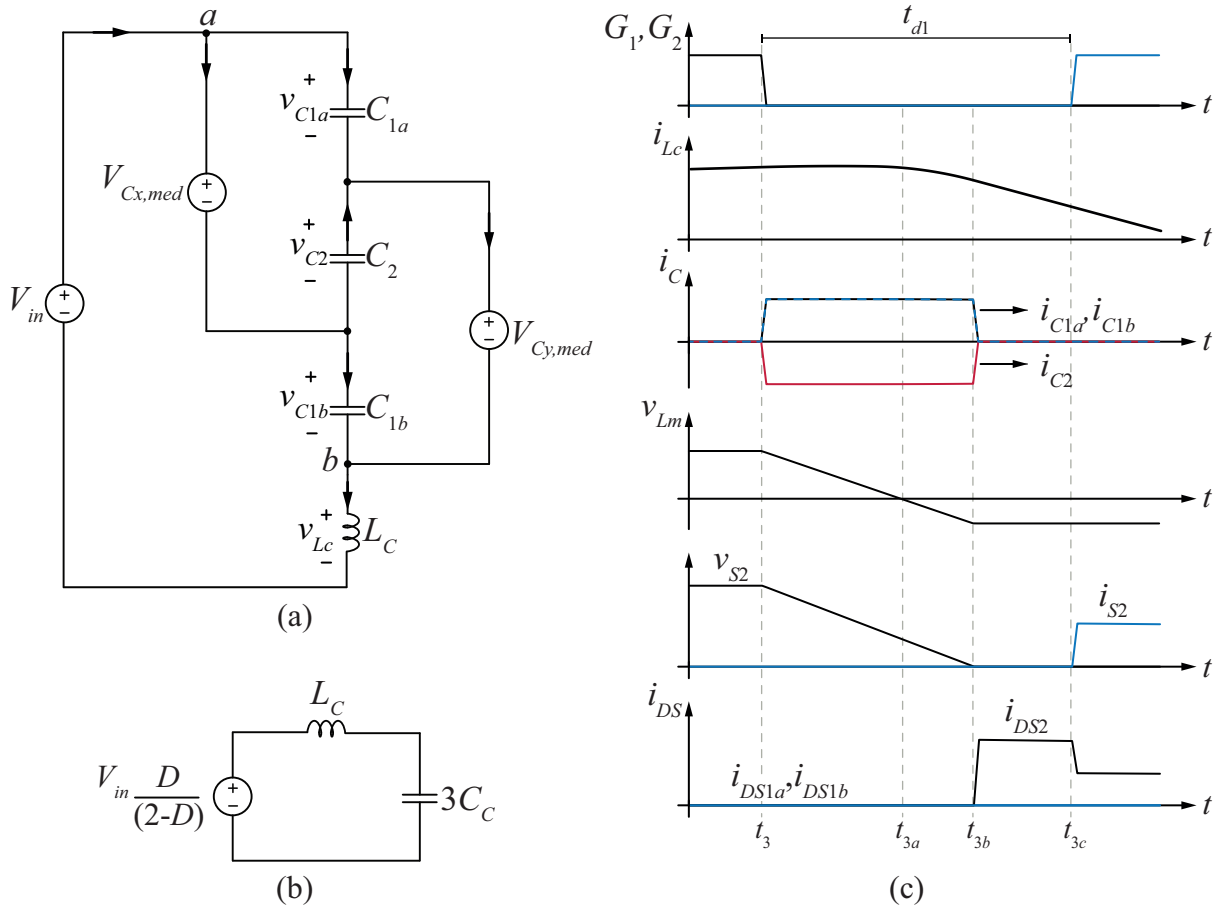
Analisando a Figura 12.3(a) e desenvolvendo uma malha de tensão entre a fonte de tensão $V_{C_{y,med}}$, C_{1b} e C_2 , define-se que

$$v_{C_{1b}} = \frac{V_{in}}{2-D} + v_{C_2}. \quad (12.12)$$

Analisando a malha de tensão entre V_{in} , $V_{C_{x,med}}$, L_C e C_{1b} , obtém-se

$$V_{in} \left(\frac{1-D}{2-D} \right) = v_{C_{1b}} + v_{Lc}. \quad (12.13)$$

Figura 12.3 – Análise da comutação de bloqueio de S_{1a} e S_{1b} (a) Circuito equivalente para o conversor durante o tempo morto. (b) Circuito equivalente para o conversor durante a etapa ressonante da comutação. (c) Principais formas de onda para a comutação de bloqueio de S_{1a} e S_{1b} .



Fonte: Autor.

Substituindo (12.12) em (12.13) e aplicando a relação volt-ampere para v_{Lc} , é dado que

$$V_{in} \left(\frac{D}{2-D} \right) = v_{C2} + L_C \frac{d}{dt} i_{Lc}. \quad (12.14)$$

O conversor mantém o mesmo estado topológico tanto durante a etapa linear quanto durante a etapa ressonante da comutação. Portanto, a relação entre a corrente na indutância de comutação e a corrente nos capacitores de comutação, definida em (12.10), permanece válida, e a relação volt-ampere para o capacitor pode ser expressa como

$$i_{Lc} = 3C_c \frac{d}{dt} v_{C2}. \quad (12.15)$$

Substituindo (12.15) em (12.14), define-se:

$$V_{in} \left(\frac{D}{2-D} \right) = v_{C2} + 3L_C \cdot C_c \frac{d^2}{dt^2} v_{C2}. \quad (12.16)$$

A partir da equação (12.16), podemos definir o circuito equivalente simplificado apresentado na Figura 12.3(b), que é válido para o intervalo ressonante da comutação. Aplicando a transformada de Laplace em (12.16), obtemos a equação para a tensão sobre C_2 no domínio da frequência, dada por

$$V_{C_2}(s) = -\frac{I_{Lc}(0) \cdot L_C}{(1 + s^2 \cdot 3L_C \cdot C_c)} + \frac{s \cdot V_{C_2}(0) \cdot 3L_C \cdot C_c}{(1 + s^2 \cdot 3L_C \cdot C_c)} + \frac{V_{in} \cdot D}{s \cdot (2 - D) \cdot (1 + s^2 \cdot 3L_C \cdot C_c)}, \quad (12.17)$$

onde $V_{C_2}(0)$ representa o valor da tensão sobre C_2 no início do intervalo ressonante da comutação e é representado pela fonte de tensão na Figura 12.3(b). $I_{Lc}(0)$ é a corrente em L_C no início do intervalo ressonante da comutação e é considerada igual à corrente em L_C no instante anterior ao bloqueio dos interruptores.

Aplicando a transformada inversa de Laplace em (12.17), podemos encontrar a equação que define a tensão em C_2 no domínio do tempo, que é dada por

$$v_{C_2} = V_{C_2}(0) \cdot \cos(\omega t) + V_{in} \left(\frac{D}{2 - D} \right) [1 - \cos(\omega t)] - Z \cdot I_{Lc}(0) \cdot \sin(\omega t). \quad (12.18)$$

Em que, Z representa a impedância característica do circuito, definida por $\sqrt{\frac{L_C}{3C_c}}$, e ω simboliza a frequência angular de ressonância, dada por $\sqrt{\frac{1}{3L_C \cdot C_c}}$.

Ao substituir a equação (12.18) na equação (12.15), obtemos a equação que rege os valores de i_{Lc} durante o intervalo ressonante da comutação, dada por

$$i_L = I_{Lc}(0) \cdot \cos(\omega t) + \frac{V_{C_2}(0) \cdot \sin(\omega t)}{Z} - \frac{D \cdot V_{in}}{(2 - D)} \cdot \frac{\sin(\omega t)}{Z}. \quad (12.19)$$

Representando a corrente em L_C , multiplicada pela impedância característica do circuito, em relação à tensão sobre C_2 , define-se o plano de fase apresentado na Figura 12.4. As equações (12.18) e (12.19) são válidas apenas para o intervalo ressonante da comutação, dessa forma, o plano de fase é válido apenas para valores de v_{C_2} entre $V_{C_2}(0)$ e zero.

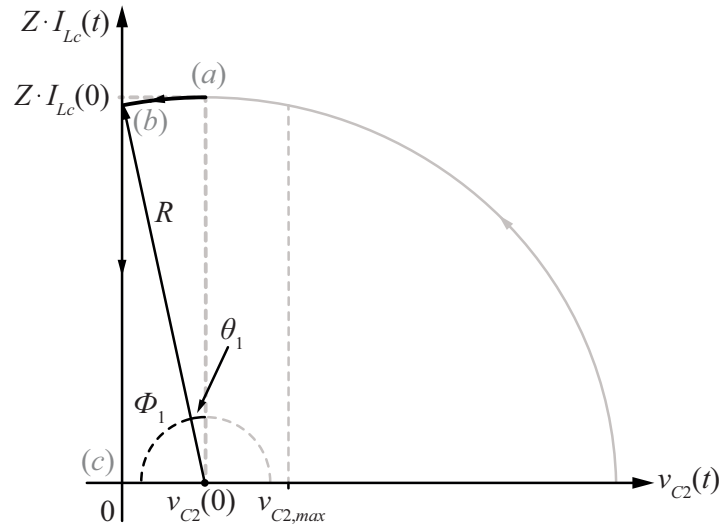
O tempo que a tensão sobre C_2 leva para atingir valor nulo é obtido a partir do deslocamento angular do plano de fase, dessa forma, é inicialmente definido o ângulo θ_1 . Sabendo que $\theta_1 + \phi_1 = \frac{\pi}{2}$ e que, ϕ_1 é dado por

$$\phi = \cos^{-1} \left[\frac{D \cdot V_{in}}{(2 - D)R} \right]. \quad (12.20)$$

Então,

$$\theta = \frac{\pi}{2} - \cos^{-1} \left[\frac{D \cdot V_{in}}{(2 - D)R} \right]. \quad (12.21)$$

Figura 12.4 – Plano de fase referente ao intervalo de tempo ressonante da comutação.



Fonte: Autor.

Em que, R representa o raio do plano de fase, definido por

$$R = \sqrt{\left(\frac{V_{in} \cdot D}{2 - D}\right)^2 + (Z \cdot I_{Lc}(0))^2}. \quad (12.22)$$

Substituindo (12.22) em (12.21) e dividindo pela frequência de ressonância angular, define-se a duração do intervalo ressonante da comutação, dada por

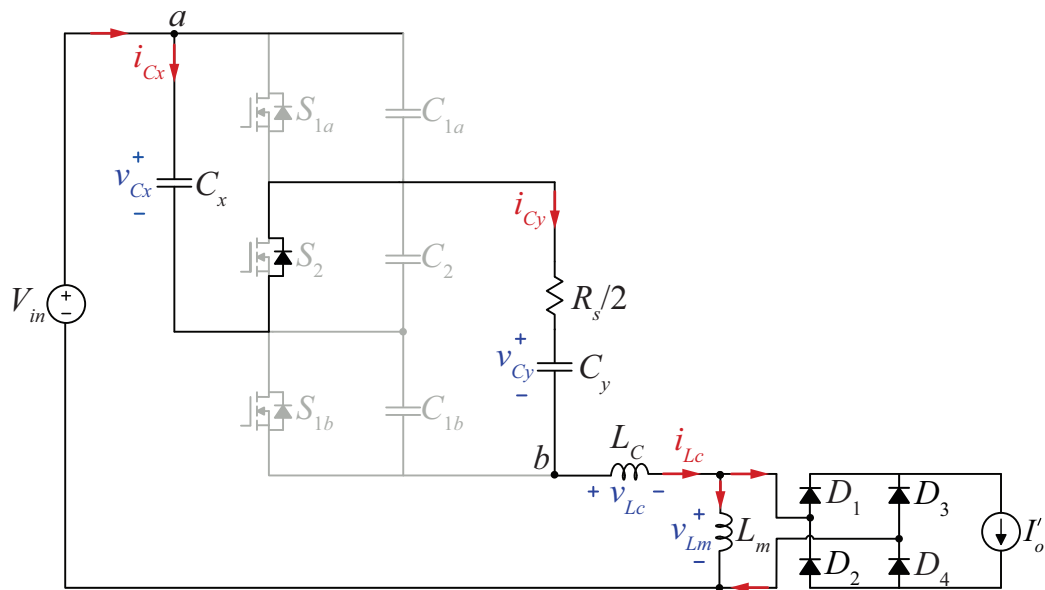
$$\Delta t_{r,1} = \frac{1}{\omega} \left[\frac{\pi}{2} - \cos^{-1} \left(\frac{D \cdot V_{in}}{(2 - D) \sqrt{\left(\frac{V_{in} \cdot D}{2 - D}\right)^2 + (Z \cdot I_{Lc}(0))^2}} \right) \right] \quad (12.23)$$

A etapa ressonante finaliza no momento em que v_{C_2} atinge valor nulo e o diodo intrínseco a S_2 conduz. Após isso, o indutor de comutação se descarrega através de C_x e C_y , como apresentado na Figura 12.5. No plano de fase, essa etapa é representada pela reta entre os pontos (b) e (c). Para garantir que ocorra comutação do tipo ZVS, o interruptor S_2 deve receber o sinal de comando para conduzir após o término do intervalo de tempo ressonante e antes ocorra a desmagnetização total da indutância de comutação. A operação do conversor durante o tempo morto também pode ser verificada pela análise das formas de onda referentes a comutação, apresentadas na 12.3(c).

O tempo morto aplicado entre os sinais de comutação, para a comutação em questão deve obedecer à seguinte equação

$$\Delta t_{l,1} + \Delta t_{r,1} < t_{d,1}. \quad (12.24)$$

Figura 12.5 – Estado topológico para o conversor tipo *Buck* a capacitor variável isolado instantes após v_{C_2} atingir valor nulo.



Fonte: Autor.

12.2 COMUTAÇÃO PARA BLOQUEIO DE S_2

A comutação para o bloqueio do interruptor S_2 ocorre de maneira similar à de S_{1a} e S_{1b} . Inicialmente, ocorre a etapa linear da comutação, na qual C_{1a} e C_{1b} são descarregados e C_2 é carregado linearmente. Quando a tensão sobre L_m atinge o valor nulo, a corrente na indutância de comutação e a tensão sobre os capacitores de comutação começam a interagir de maneira ressonante, dando início ao intervalo ressonante da comutação.

A corrente disponível para a comutação é determinada pela diferença entre a corrente de saída refletida no lado primário do transformador e a corrente magnetizante. Portanto, há uma menor disponibilidade de corrente para a comutação em questão do que para a comutação de bloqueio de S_{1a} e S_{1b} , tornando-a mais crítica. Dessa forma, para garantir que os interruptores alcancem o ZVS em ambas as comutações, a escolha do tempo morto entre os sinais de comando deve levar em consideração o tempo necessário para a descarga de C_{1a} e C_{1b} .

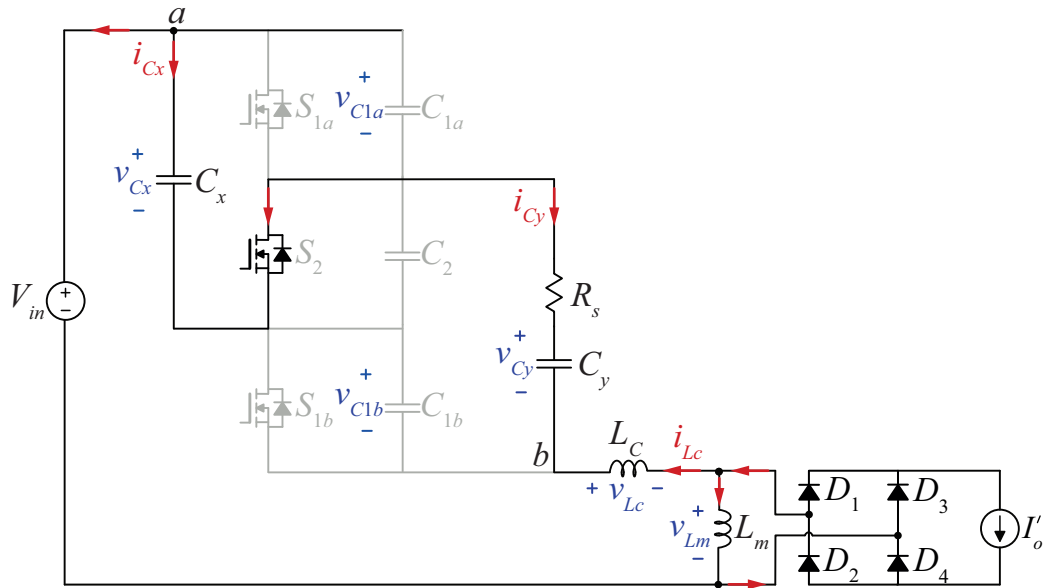
O equacionamento da duração dos intervalos de tempo linear e ressonante da comutação é desenvolvido de forma semelhante ao realizado para a comutação de bloqueio de S_{1a} e S_{1b} . Inicialmente, por meio da análise das etapas de operação do conversor, determina-se a duração do intervalo de tempo linear da comutação e, em seguida, com o auxílio do plano de fase, define-se a duração do intervalo ressonante da comutação.

12.2.1 Intervalo linear da comutação

Inicialmente, é analisada a operação do conversor no instante de tempo que antecede a comutação para o bloqueio de S_2 , cujo circuito equivalente é apresentado na Figura

12.6. A operação do conversor durante esse intervalo de tempo é praticamente igual aquela descrita para a quarta etapa de operação (t_5-t_0).

Figura 12.6 – Estado topológico do conversor no instante de tempo anterior a comutação para bloqueio de S_2 (t_2-t_3).



Fonte: Autor.

Durante a etapa de operação apresentada na Figura 12.6, o interruptor S_2 conduz. A tensão sobre C_2 é nula, e os interruptores S_{1a} e S_{1b} estão bloqueados e conectados em paralelo, respectivamente, com C_x e C_y . As tensões sobre C_{1a} e C_{1b} são iguais à tensão sobre os capacitores C_x e C_y e toda a corrente flui através de S_2 , não havendo circulação de corrente nos capacitores de comutação.

Durante a etapa de operação descrita na Figura 12.6,

$$v_{C_{1a}} = v_{C_{1b}} = \frac{V_{in}}{(2-D)} \quad (12.25)$$

$$v_{C_{+2}} = 0. \quad (12.26)$$

A corrente na indutância de comutação no final da quarta etapa de operação é dada por

$$i_{L_c} = C \left(A_5 \lambda_5 e^{\lambda_5[(1-D)T_s - \Delta t_b]} + A_6 \lambda_6 e^{\lambda_6[(1-D)T_s - \Delta t_b]} \right). \quad (12.27)$$

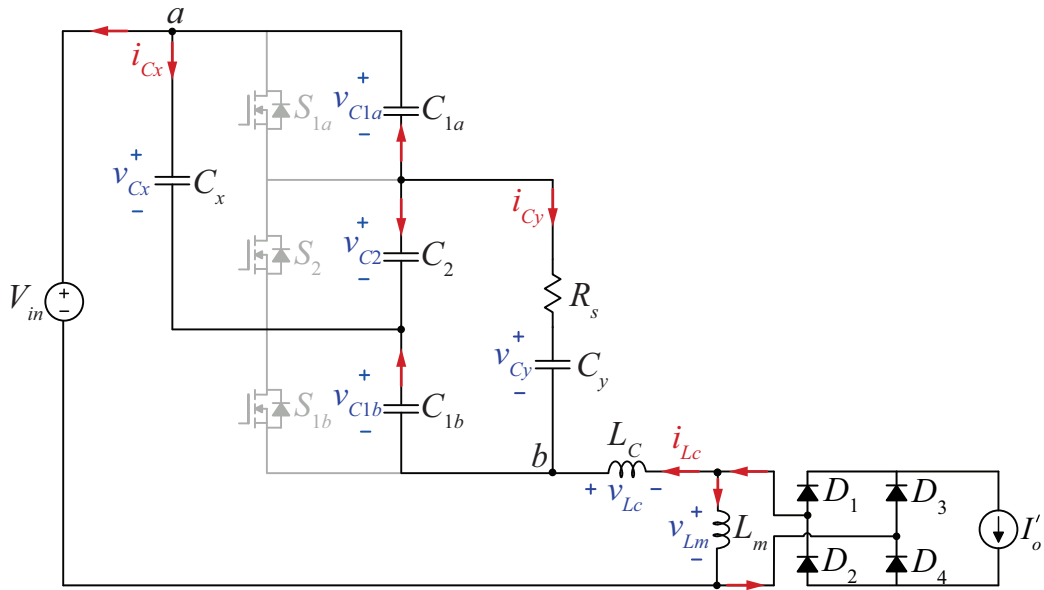
A equação que define Δt_b é apresentada em (11.5). O valor de Δt_b depende da corrente de saída, da razão cíclica, da tensão de entrada e da indutância de comutação. λ_5 e λ_6 dependem da resistência de condução dos interruptores, das capacitâncias C_x e C_y , da indutância comutação e da indutância magnetizante do transformador.

Quando o interruptor S_2 é bloqueado, a corrente em L_c é conduzida através dos capacitores de comutação, enquanto C_2 é carregado e C_{1a} e C_{1b} são descarregados. O

estado topológico referente a esse intervalo de tempo é apresentado na Figura 12.7, onde é possível notar que a corrente em L_C é dividida igualmente entre os capacitores de comutação. Assim,

$$i_{C1a} = i_{C2} = i_{C1b} = \frac{i_{Lc}}{3}. \quad (12.28)$$

Figura 12.7 – Estado topológico para a topologia proposta durante o tempo morto.



Fonte: Autor.

A duração do intervalo linear da comutação é dada por

$$\Delta t_{l,2} = \frac{3C_c}{i_{Lc}(t)} \left(\frac{V_{in}}{2-D} - V_{C1a}(0) \right). \quad (12.29)$$

12.2.2 Intervalo de tempo ressonante

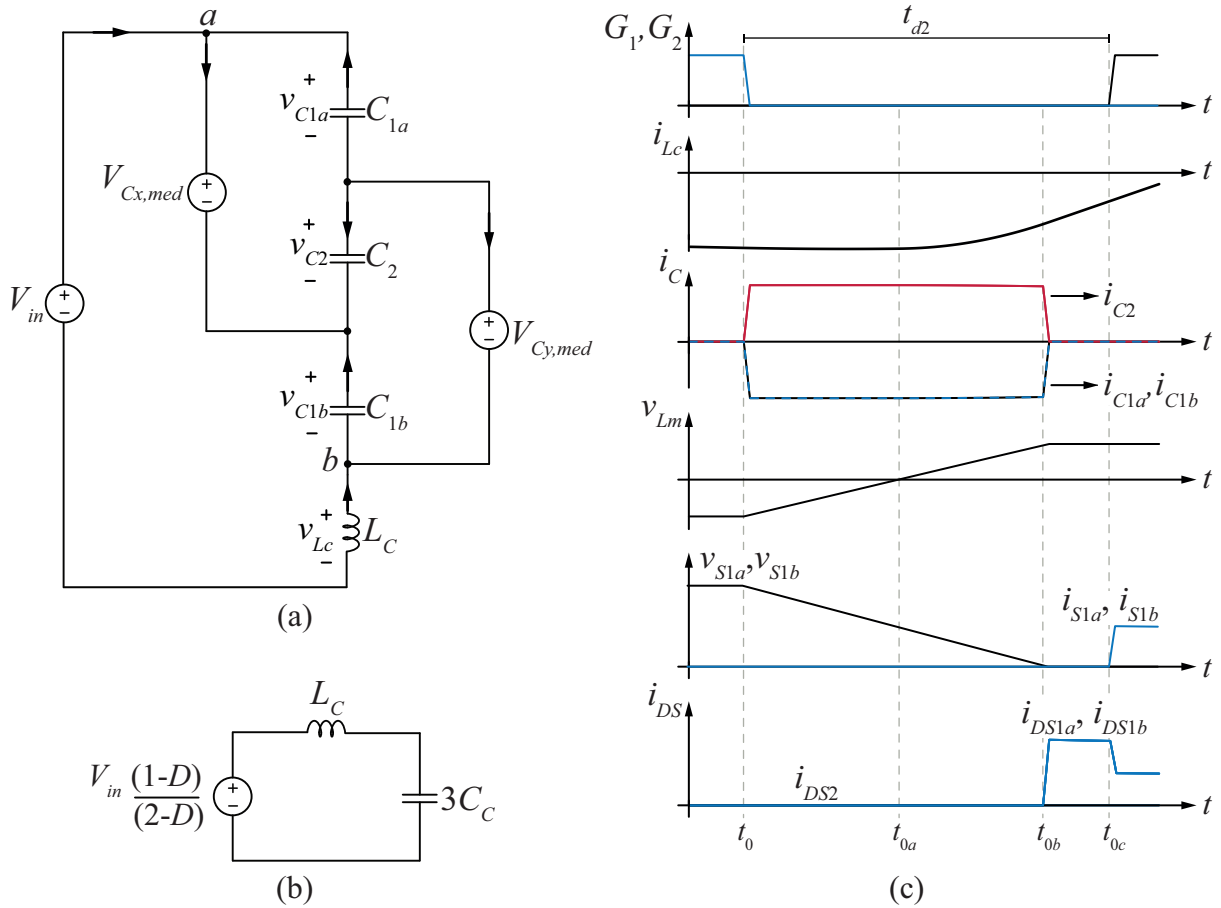
Durante o intervalo ressonante da comutação, a corrente na indutância de comutação e a tensão sobre os capacitores de comutação interagem de forma ressonante. A duração dessa etapa é definida por meio da análise do plano de fase do conversor.

As equações que definem a corrente na indutância de comutação e a tensão sobre os capacitores de comutação na etapa ressonante são obtidas analisando o circuito equivalente apresentado na Figura 12.8(a), no qual os capacitores C_x e C_y são substituídos por fontes de tensão que representam o valor médio da tensão sobre esses capacitores. Pela análise da Figura 12.8(a), define-se a equação diferencial que descreve o circuito durante esse intervalo de comutação, a qual é dada por

$$V_{in} \left(\frac{1-D}{2-D} \right) = v_{C1b} - L_C \frac{d}{dt} i_{Lc}. \quad (12.30)$$

O conversor apresenta o mesmo estado topológico durante a etapa linear e a etapa

Figura 12.8 – Análise da comutação de bloqueio de S_2 (a) Circuito equivalente para o conversor durante o tempo morto. (b) Circuito equivalente para o conversor durante a etapa ressonante da comutação. (c) Principais formas de onda para a comutação de bloqueio de S_2 .



Fonte: Autor.

ressonante da comutação. Portanto, define-se a corrente em L_C como

$$i_{Lc} = -3C_c \frac{d}{dt} v_{C1b}. \quad (12.31)$$

Substituindo (12.31) em (12.30), obtém-se

$$V_{in} \left(\frac{1-D}{2-D} \right) = v_{C1b} + 3L_C \cdot C_c \frac{d^2}{dt^2} v_{C1b}, \quad (12.32)$$

a qual é representada pelo circuito equivalente apresentado na Figura 12.8(b), constituído por uma fonte de tensão que, representa o valor da tensão no início da etapa ressonante da comutação ($V_{C1a}(0)$), pela indutância de comutação e pela capacitância equivalente de comutação. Esse circuito é válido apenas durante a etapa ressonante da comutação.

Aplicando a transformada de Laplace em (12.32) organizando e aplicando a transformada inversa de Laplace, da mesma forma que o realizado para (12.16), é definido

que

$$v_{C1b} = V_{C1b}(0) \cdot \cos(\omega t) + V_{in} \left(\frac{D}{2-D} \right) [1 - \cos(\omega t)] - Z \cdot I_{Lc}(0) \cdot \sin(\omega t). \quad (12.33)$$

Z representa a impedância característica do circuito definida por $\sqrt{\frac{L_C}{3C_c}}$ e ω representa a frequência de ressonância angular dada por $\sqrt{\frac{1}{3L_C \cdot C_c}}$. $V_{C1b}(0)$ é o valor da tensão sobre C_{1a} no início do intervalo ressonante da comutação e $I_{Lc}(0)$ é o valor da corrente em L_C no início do intervalo ressonante da comutação, considerada igual à corrente em L_C no instante anterior ao bloqueio de S_2 .

Observando o circuito equivalente apresentado na Figura 12.8(b), define-se que

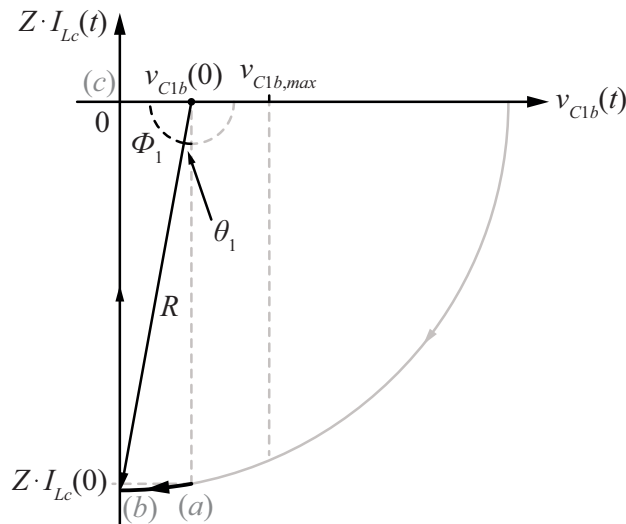
$$i_{Lc} = -3C_c \frac{d}{dt} v_{C1b}. \quad (12.34)$$

Substituindo (12.33) em (12.34), define-se a equação que rege os valores de i_{Lc} durante o intervalo ressonante da comutação como

$$i_L = I_{Lc}(0) \cdot \cos(\omega t) + \frac{V_{C1b}(0) \cdot \sin(\omega t)}{Z} - \frac{D \cdot V_{in}}{(2-D)} \cdot \frac{\sin(\omega t)}{Z}. \quad (12.35)$$

Representando 12.35, multiplicada pela impedância característica do circuito em relação à tensão sobre C_{1b} , define-se o plano de fase apresentado na Figura 12.9.

Figura 12.9 – Plano de fase referente ao intervalo de tempo ressonante da comutação.



Fonte: Autor.

O tempo em que a tensão sobre C_{1b} leva para atingir valor nulo é obtido a partir do deslocamento angular do plano de fases e dado por

$$\Delta t_{r,2} = \frac{1}{\omega_2} \cdot \theta_2. \quad (12.36)$$

Em que, θ_2 e R_2 são definidos, respectivamente, em (12.37) e (12.38).

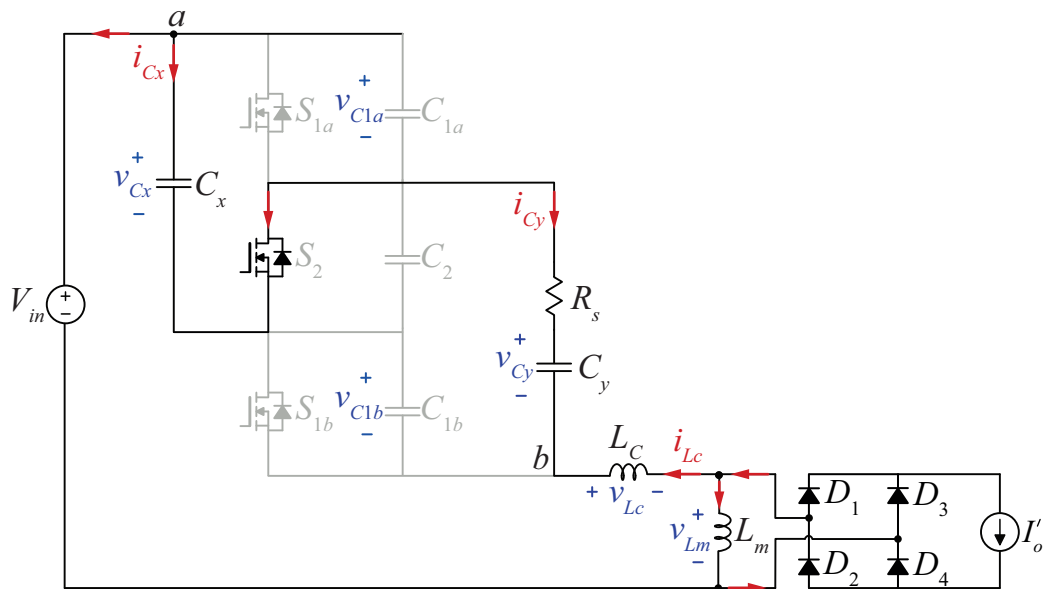
$$\theta = \frac{\pi}{2} - \cos^{-1} \left[\frac{(1-D) \cdot V_{in}}{(2-D)R} \right] \quad (12.37)$$

$$R = \sqrt{\left(\frac{(1-D)V_{in} \cdot D}{2-D} \right)^2 + (Z \cdot I_{Lc}(0))^2} \quad (12.38)$$

A etapa ressonante finaliza no momento em que $v_{C_{1a}}$ e $v_{C_{1b}}$ atingem valor nulo e os diodos intrínsecos a S_{1a} e S_{1b} entram em condução. O indutor de comutação passa a se desmagnetizar através de C_x e C_y , conforme apresentado na Figura 12.10. No plano de fase, essa etapa é representada pela reta entre os pontos (b) e (c). Os interruptores S_{1a} e S_{1b} devem receber o sinal de comando para conduzir após o término do intervalo de tempo ressonante e antes que ocorra a desmagnetização total da indutância de comutação, como pode ser observado na Figura 12.8(c). Dessa forma, o valor do tempo morto a ser aplicado entre os sinais de comutação é dado por

$$\Delta t_{l,2} + \Delta t_{r,2} < t_{d,2}. \quad (12.39)$$

Figura 12.10 – Estado topológico para o conversor tipo Buck a capacitor variável isolado instantes após $v_{C2}(t)$ atingir valor nulo.



Fonte: Autor.

Por meio da análise da comutação, conclui-se que:

1. O valor da indutância magnetizante do transformador influencia na corrente disponível para a comutação;

2. Valores baixos de indutância magnetizante no transformador (na casa das centenas de microhenries) são benéficos para a comutação, uma vez que elevam a corrente disponível para a mesma;
3. A comutação de bloqueio de S_2 é mais crítica; portanto, o tempo morto deve ser maior que t_{d2} ;
4. Para garantir ZVS, os interruptores devem receber o sinal de comando para conduzir após o término do intervalo de tempo ressonante e antes que ocorra a desmagnetização total da indutância de comutação;
5. Os interruptores devem ser comandados a comutar antes que a corrente nos diodos intrínsecos aos interruptores seja extinta.

13 METODOLOGIA DE PROJETO E RESULTADOS PRÁTICOS PARA O CONVERSOR *BUCK* ISOLADO

A metodologia adotada para o projeto e construção do protótipo do conversor tipo *Buck* a capacitor variável isolado para validação experimental, bem como os resultados adquiridos, são discutidos nesse capítulo. As especificações de projeto, são apresentadas na Tabela 13.1.

Tabela 13.1 – Especificações de projeto.

Parâmetro	Símbolo	Valor
Tensão de entrada	V_{in}	400 V
Tensão de Saída	V_o	24 V
Potência de saída	P_o	480 W
Frequência de comutação	f_s	100 kHz
Ondulação da tensão de saída	$\Delta v_o\%$	5%
Ondulação de corrente em L_o	$\Delta i_{L_o}\%$	10%
Perda máxima de razão cíclica	ΔD_{max}	0.055
Modo de operação em carga parcial dos capacitores (pc)	-	$f_s\tau > 0,2$
Faixa da comutação ZVS	-	$P_o - 0,4P_o$

13.1 METODOLOGIA DE PROJETO

Para desenvolver o projeto do conversor foram utilizados os conceitos e equações apresentados no Capítulo 11 e no Capítulo 12. O primeiro elemento do circuito a ser projetado e construído é o transformador, uma vez que o valor da indutância de magnetização e da indutância de dispersão influenciam no ganho estático de tensão e na comutação do conversor. Após a construção do transformador, os valores das indutâncias são verificados por meio de um analisador de impedância. A partir dos resultados encontrados, os demais elementos magnéticos, o tempo morto entre os interruptores, os capacitores e os semicondutores são definidos.

13.1.1 Especificações do transformador

Como definido, o transformador exerce influência sobre o ganho estático de tensão do conversor e sobre a comutação dos interruptores, portanto, é o primeiro elemento a ser projetado e construído.

Sendo o ganho estático de tensão do conversor dado por:

$$G_1 = \frac{V_o}{V_{in}} = \frac{24 V}{400 V} = 0,06. \quad (13.1)$$

A relação de espiras do transformador é definida pela equação de ganho ideal do conversor proposto, porém, é retirado da razão cíclica o valor da máxima perda de razão

cíclica (ΔD_{max}) admitida. A equação que define o ganho, desconsiderando o transformador, é dada por:

$$G_D = \frac{2D_{min}(1 - D_{min})}{(2 - D_{min})}, \quad (13.2)$$

Em que, D_{min} é dado por $D - \Delta D_{max}$.

Considerando que o conversor atinge ganho máximo quando opera com razão cíclica igual a 0,568, o transformador é construído para que o conversor atinja tensão nominal quando opera com razão cíclica igual a 0,45. A única não idealidade considerada na análise é a indutância de dispersão do transformador, dessa forma, é necessário definir uma razão cíclica abaixo do valor máximo teórico para que, apesar da queda de tensão nos elementos parasitas, seja possível atingir o valor desejado para a tensão de saída. Assim, substituindo os valores especificado para o projeto em (13.2) e (13.1), define-se a relação de espiras do transformador (n) pela razão entre G_D e G .

$$n = \frac{G_D}{G} = 3,571 \quad (13.3)$$

De acordo com a metodologia apresentada em (BARBI, 2014), para determinar o número de espiras do transformador é necessário, primeiramente, definir o núcleo a ser usado no projeto. Assim, inicialmente, define-se a área do núcleo como

$$AeAw_{(Trafo)} = \frac{2P_o}{K_f \cdot K_u \cdot f_s \cdot B_{max} \cdot J_{max}}. \quad (13.4)$$

Os núcleos disponíveis para utilização nesse projeto são fabricados com material N87 pela THORNTON, com valor máximo de densidade de fluxo magnético (B_{max}) em torno de 0,4 T. No projeto, com intuito de evitar a saturação do núcleo, utilizou-se $B_{max} = 0,3$ T. A máxima densidade de corrente (J_{max}) definida para o projeto é igual a 450 A/cm². O fator de utilização da janela K_u é definido igual a 0,7 e o fator de forma K_f é dado pela razão entre o valor eficaz e o valor de patamar da tensão sobre o primário do transformador. Dessa forma, define-se, em (13.4), o produto mínimo da área da janela e da área da seção transversal do núcleo ($AeAw_{(Trafo)}$) como 1,456 cm⁴. Dentre os núcleos disponíveis, o mais apropriado é o modelo NEE-65/33/26. As especificações do núcleo escolhido são apresentadas na Tabela 13.2.

Escolhido o núcleo a ser utilizado, define-se o número de espiras necessário para o enrolamento primário por

$$N_p = \frac{V_{p,ef}}{K_f \cdot A_e \cdot B_{max} \cdot f_s} \quad (13.5)$$

Substituindo os valores em (13.5), define-se o valor de 9,941 espiras para o lado primário do transformador. Logo, pela relação de transformação, o lado secundário deve

Tabela 13.2 – Parâmetros do núcleo E 70/33/32.

Parâmetro	Valor
Área da seção transversal do núcleo (A_e)	532 mm ²
Área da janela (A_w)	370 mm ²
Produto das áreas ($A_e A_w$)	19,684 mm ²
Caminho magnético médio ($l_{núcleo}$)	147 mm
Volume do núcleo ($V_{núcleo}$)	78200 mm ³
Comprimento médio de uma espira (l_{espira})	148 mm
Permeabilidade magnética no vácuo (μ_o)	$4\pi \cdot 10^{-7}$ H/m
Constante de perdas por histerese (K_h)	$4 \cdot 10^{-5}$
Contante de perdas por correntes parasitas (K_f)	$4 \cdot 10^{-10}$

conter 2,783 espiras. Ajustando o número de espiras, são definidas 14 voltas no enrolamento primário e 4 no secundário. Assim, a relação de transformação é 3,5.

Para o número de espiras definidos e usando um entreferro (l_g) de 0,5 mm, a indutância magnetizante, vista do primário do transformador, é dada por

$$L_m = \frac{A_e \cdot N_P^2 \cdot \mu_o \cdot \mu_r}{l_c + l_g \cdot \mu_r} = 238,743 \mu\text{H}. \quad (13.6)$$

Na qual l_c representa o comprimento do caminho magnético.

A seção transversal necessária para os condutores no enrolamento primário e secundário são definidas, respectivamente, em (13.7) e (13.8).

$$S_{fio,p} = \frac{I_{o,nom}}{J_{max} \cdot n} = 0,016 \text{ cm}^2 \quad (13.7)$$

$$S_{fio,s} = \frac{I_{o,nom}}{J_{max}} = 0,056 \text{ cm}^2 \quad (13.8)$$

Quando um condutor é exposto à alta frequência, a corrente que flui através dele tende a se distribuir pela periferia, o que é conhecido na literatura como efeito pelicular (BARBI, 2014). Esse efeito reduz a área efetiva do condutor, assim, o condutor escolhido deve possuir um diâmetro inferior a duas vezes o valor da profundidade de penetração da corrente, que é definida como

$$\Delta = \frac{7,5}{\sqrt{f_s}} = 0,024 \text{ cm}. \quad (13.9)$$

Dessa forma, é selecionado o fio AWG38 para a construção do transformador, e suas características estão apresentadas na Tabela 13.3.

As seções transversais calculadas para os condutores, são superiores à seção trans-

Tabela 13.3 – Especificações para o fio AWG38.

Parâmetro	Valor
Seção transversal do fio não isolado ($S_{AWG38,cu}$)	0,000080 cm ²
Seção transversal do fio isolado ($S_{AWG38,iso}$)	0,00013 cm ²
Resistência do fio por cm (ρ_{AWG38})	0,029 Ω/cm

versal apresentada pelo fio AWG38. Portanto, é necessário o uso de condutores em paralelo, a fim de que a corrente seja conduzida sem provocar superaquecimento nos fios. O número de condutores em paralelo para cada enrolamento é calculado como segue.

$$N_{paralelo,p} = \frac{S_{fio,p}}{S_{AWG38,cu}} = 198,413 \quad (13.10)$$

$$N_{paralelo,s} = \frac{S_{fio,s}}{S_{AWG38,cu}} = 694,444 \quad (13.11)$$

Considerando os fios Litz disponíveis, selecionou-se um fio Litz contendo 220 condutores em paralelo para o enrolamento primário e 2 fios Litz com 400 condutores para o enrolamento secundário. Com o núcleo e o fio definidos para a construção do transformador, podemos equacionar as perdas de potência. As perdas no enrolamento primário, no enrolamento secundário e no núcleo são determinadas, respectivamente, em (13.12), (13.16) e (13.14).

$$P_{cobre,p} = R_{cobre,p} \left(\frac{I_{o,nom}}{n} \right)^2 = 1,394 \text{ W}, \quad (13.12)$$

Em que,

$$R_{cobre,p} = \frac{l_{espira} N_p R_{AWG38}}{N_{paralelo,p}} = 27,313 \text{ m}\Omega. \quad (13.13)$$

$$P_{cobre,s} = R_{cobre,s} I_o^2 = 1,341 \text{ W}. \quad (13.14)$$

Na qual,

$$R_{cobre,s} = \frac{l_{espira} N_s R_{AWG38}}{N_{paralelo,s}} = 2,146 \text{ m}\Omega. \quad (13.15)$$

$$P_{núcleo} = \Delta B^{2,4} (K_h f_s + K_f f_s^2) = 1,359 \text{ W} \quad (13.16)$$

Somando (13.12), (13.14) e (13.16), define-se a potência total dissipada pelo transformador, dada por

$$P_{total,trafo} = P_{cobre,p} + P_{cobre,s} + P_{núcleo} = 5,338 \text{ W}. \quad (13.17)$$

Para evitar que o núcleo e os enrolamentos do transformador sobreaqueçam, a elevação da temperatura sobre os mesmos deve ser analisada. Portanto, define-se a máxima variação de temperatura, determinada por

$$\Delta T = P_{total,trafo} \cdot R_{t,núcleo} = 29,361 \text{ } ^\circ\text{C}, \quad (13.18)$$

Onde, a resistência térmica do núcleo ($R_{t,núcleo}$) é definida pelo fabricante como 5,5 K/W. Considerando a temperatura ambiente 40 °C, a temperatura máxima calculada que o transformador deve atingir é 69,361 °C. O isolamento do condutor pode suportar até 150 °C e o núcleo escolhido pode trabalhar com temperaturas de até 220 °C. Portanto, o projeto pode ser executado.

Os valores experimentais da indutância de magnetização e da indutância de dispersão são obtidos por meio dos ensaios de circuito aberto e de curto-circuito. Utiliza-se o analisador de impedâncias Keysight E4990A para verificar esses valores na frequência de 100 kHz, os quais são apresentados na Tabela 13.4.

Tabela 13.4 – Valores obtidos para as indutâncias do transformador utilizando o analisador de impedâncias Keysight E4990A .

Parâmetro	Valor
Indutância magnetizante vista pelo primário	246,31 μH
Indutância magnetizante vista pelo secundário	20,007 μH
Indutância de dispersão vista pelo primário	8,493 μH
Indutância de dispersão vista pelo secundário	709,230 nH

Definidos os valores da indutância de dispersão e da indutância magnetizante referentes ao lado primário do transformador, os demais componentes que auxiliam na comutação ZVS dos interruptores são projetados.

13.1.2 Especificação dos parâmetros responsáveis pela comutação ZVS

Para que os interruptores operem com comutação suave, é crucial que a energia armazenada na indutância de comutação seja suficiente para descarregar os capacitores de saída dos MOSFETs e/ou os capacitores auxiliares de comutação antes que os interruptores recebam o sinal de comando para conduzir. Portanto, a relação entre a capacitância, a indutância e o tempo morto deve ser cuidadosamente definida. Em alguns casos, a indutância de dispersão do transformador e a capacitância de saída dos MOSFETs são suficientes para que o conversor opere com ZVS.

Assim, o primeiro passo para projetar a comutação é verificar se a indutância de dispersão do transformador é suficiente para garantir ZVS em toda a faixa de potência desejada. A escolha da indutância de comutação deve atender a dois critérios principais:

- Não deve resultar em uma perda de razão cíclica maior do que a definida para o projeto;
- Deve ser grande o suficiente para armazenar a energia necessária para a descarga completa dos capacitores de comutação.

Essas condições são atendidas quando a indutância de comutação (L_C) apresentar valor entre os limites definidos em (13.19) e (13.20). A primeira equação é derivada isolando L_C em (11.4) enquanto a segunda equação é obtida igualando as equações que descrevem o armazenamento de energia no capacitor e no indutor.

$$L_{C,max} = \frac{\Delta D_{max} \cdot V_{in}(1-D)n}{2f_s \cdot I_{o,min}(2-D)} \quad (13.19)$$

$$L_{C,min} = \left(\frac{n \cdot V_{in}}{(2-D)I_{o,min}} \right)^2 C_c \quad (13.20)$$

É critério de projeto que o conversor opere com ZVS nos MOSFETs para a faixa de 40% a 100% da potência nominal. Portanto, $I_{o,min} = 0,4I_{o,nominal}$.

Substituindo os valores especificados para o projeto em (13.19) e (13.20) e representando essas equações em relação à capacitância de comutação, define-se a Figura 13.1. A linha vermelha representa o valor máximo da indutância, que garante o cumprimento da máxima perda de razão cíclica, enquanto a curva em verde mostra os valores mínimos de indutância necessários para fornecer energia suficiente para descarregar os capacitores de comutação. A linha azul representa o valor mínimo da capacitância de comutação, determinado pela capacitância de saída do MOSFET. Os valores da indutância e das capacitâncias de comutação são escolhidos dentre os valores pertencentes a área destacada em azul. Para o projeto do protótipo em questão, definiu-se $L_C = 15,5 \mu\text{H}$ e $C_c = 750 \text{ pF}$.

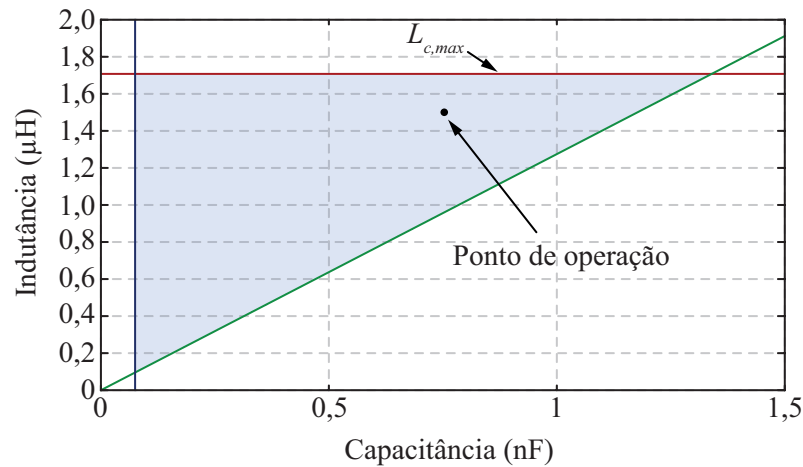
O tempo necessário para a descarga total de C_c é determinado pela soma das equações apresentadas em (12.29) e (12.36), que foram combinadas e reescritas em (13.21) e (13.22), respectivamente.

$$\Delta t_l = 3C_c \frac{D \cdot V_{in}}{(2-D)I_{o,min}} = 98,438 \text{ ns} \quad (13.21)$$

$$\Delta t_r = \sqrt{3C_c \cdot L_c} \left[\frac{\pi}{2} - \cos^{-1} \left(\frac{D \cdot V_{in}}{(2-D) \sqrt{\left(\frac{V_{in} \cdot D}{2-D}\right)^2 + (Z \cdot I_{o,min})^2}} \right) \right] = 90,588 \text{ ns} \quad (13.22)$$

O valor mínimo de tempo morto, determinado pela soma de (13.21) e (13.22), é

Figura 13.1 – Relação entre os valores de indutância e capacitâncias de comutação para o conversor tipo Buck a capacitor variável isolado.



Fonte: Autor.

189,025 ns. Assim, é aplicado um tempo morto de 200 ns entre os sinais de comando.

A indutância de dispersão intrínseca ao transformador é inferior ao necessário para permitir a comutação do tipo ZVS nos interruptores. Portanto, um indutor auxiliar é projetado e inserido em série ao transformador. As especificações do indutor construído são apresentadas na Tabela 13.5, e o projeto completo é detalhado no Anexo B.

Tabela 13.5 – Parâmetros construtivos do indutor série.

Parâmetro	Valor
Indutância série	7,5 μH
Número de espiras	8
Tamanho do entreferro	1,2 mm
Núcleo utilizado	NEE-42/21/20, Material N87
Número de fios em paralelo	800 (2x400AWG38)

13.1.3 Projeto do filtro de saída

Os elementos do filtro de saída são projetados para atender às especificações da máxima ondulação de tensão e corrente na saída.

A equação que define a indutância de saída, obtida por meio da relação volt-ampere da tensão em L_o , é dada por

$$L_o = \frac{v_{Lo} \cdot D}{I_o \cdot f_s \cdot \Delta i_{Lo}}, \quad (13.23)$$

em que:

$$v_{Lo} = \frac{4 \cdot I_o \cdot L_c \cdot f_s}{n^2} + \frac{V_{in} \cdot (2D^2 - 3D + 1)}{n(2 - D)}. \quad (13.24)$$

Observando (13.23), pode ser notado que o valor de Δi_{Lo} aumenta com o incremento de D . Dessa forma, para garantir que a ondulação de corrente fique abaixo do máximo

especificado para o projeto, o valor de L_o é calculado para $D = 0,568$. Substituindo os valores em (13.23) e (13.24), encontramos $L_o = 26,571 \mu\text{H}$. O projeto do indutor é apresentado no Apêndice C.

A capacitância do filtro de saída (C_o) é definida em (13.25). A análise realizada para definir (13.25) é apresentada na seção 6.1.

$$C_o = \frac{\Delta I_{L_o}}{8 \cdot f_s \Delta V_o} \quad (13.25)$$

Desta forma, determina-se $C_o = 10,417 \mu\text{F}$. Observando as opções disponíveis, é escolhido um capacitor de $25 \mu\text{F}/100 \text{ V}$.

13.1.4 Dimensionamento dos semicondutores de potência

Os interruptores usados no protótipo devem permitir fluxo bidirecional de corrente e atender às especificações de tensão e corrente do projeto. Por meio da análise da topologia, apresentada no Capítulo 11, a tensão de patamar sobre os interruptores é igual ao valor médio da tensão sobre os capacitores C_x e C_y . Portanto,

$$V_s = \frac{V_{in}}{2 - D} = \frac{400 \text{ V}}{2 - 0,45} = 258,06 \text{ V}. \quad (13.26)$$

A corrente que flui em S_{1a} e S_{1b} durante o intervalo de tempo DT_s é igual à corrente que flui em C_x . Durante o intervalo de tempo $(1 - D)T_s$, o interruptor S_2 conduz a corrente que passa através de C_y . Os valores eficazes obtidos para as correntes em S_{1a} e S_{1b} são iguais a $2,124 \text{ A}$, enquanto o valor eficaz para a corrente em S_2 é de $2,735 \text{ A}$.

O interruptor disponível que melhor atende às necessidades do projeto é o MOSFET SiC de modelo SCT3120AL, o qual suporta tensão de 650 V e uma corrente de 21 A . Sua resistência de condução, para o conversor operando em potência nominal, é de aproximadamente $0,12 \Omega$.

Considerando que o conversor opera com ZVS, a potência dissipada nos MOSFETs é dada por

$$P_{S_{1a}} = I_{S_{1a,ef}}^2 R_{on} = 0,541 \text{ W} \quad (13.27)$$

$$P_{S_2} = I_{S_2,ef}^2 R_{on} = 0,897 \text{ W} \quad (13.28)$$

$$P_{S_{1b}} = I_{S_{1b,ef}}^2 R_{on} = 0,541 \text{ W} \quad (13.29)$$

Para definir os diodos a serem utilizados no protótipo, necessita-se conhecer os valores médios e eficazes das correntes e o valor de patamar da tensão sobre os mesmos.

Os valores médios das correntes são dados por

$$I_{D1,med} = I_{D4,med} = DI_o = 9,282 \text{ A} \quad (13.30)$$

$$I_{D2,med} = I_{D3,med} = (1 - D)I_o = 10,665 \text{ A}, \quad (13.31)$$

e os valores eficazes das correntes são definidos como

$$I_{D1,ef} = I_{D4,ef} = \sqrt{D}I_o = 12,946 \text{ A} \quad (13.32)$$

$$I_{D2,ef} = I_{D3,ef} = \sqrt{(1 - D)}I_o = 13,917 \text{ A}. \quad (13.33)$$

Os valores de patamar da tensão sobre os diodos são iguais a:

$$v_{D1}(t) = v_{D4}(t) = \left(\frac{1 - D}{2 - D} \right) \frac{V_{in}}{n} = 40,552 \text{ V} \quad (13.34)$$

$$v_{D2}(t) = v_{D3}(t) = \left(\frac{D}{2 - D} \right) \frac{V_{in}}{n} = 33,179 \text{ V}. \quad (13.35)$$

Os diodos selecionados para o protótipo são do modelo MBR40250-TG que suporta 40 A e 250 V. A resistência interna do diodo é $R_D = 0,00804 \Omega$ e a tensão limiar do semicondutor $V_{To} = 0,6451 \text{ V}$. Assim, a potência dissipada nos diodos da ponte retificadora é definida como

$$P_{D1} = P_{D4} = R_D I_{D1,ef}^2 + I_{D1,med} V_{To} = 7,335 \text{ W} \quad (13.36)$$

$$P_{D2} = P_{D3} = R_D I_{D2,ef}^2 + I_{D2,med} V_{To} = 8,437 \text{ W}. \quad (13.37)$$

13.1.5 Dimensionamento dos capacitores C_x e C_y

Conforme determinado na análise teórica, os capacitores C_x e C_y são idênticos e definidos considerando dois critérios: (a) a especificação do modo de operação em carga parcial ($f_s \tau > 0,2$) e (b) a especificação da máxima ondulação de tensão. Assim, pelo primeiro critério, tem-se:

$$C_{min} = \frac{0,2 \cdot 2}{f_s \cdot R_{on}} = 33,33 \mu\text{F}. \quad (13.38)$$

Adotando a máxima ondulação de tensão para C_x , C_y igual a 1% e, sendo o valor médio da tensão sobre os capacitores 358,02 V e, o valor de patamar de i_{Cx} e i_{Cy} , durante o intervalo de tempo $DT_s - \Delta t_a$, igual a 4,4 A, a capacitância que garante ao conversor operar dentro dos limites de ondulação de tensão é dada por

$$C = \frac{i_{Cx} \cdot D(2 - D)}{V_{in} \cdot f_s \cdot \Delta v_c} = 7,672 \mu\text{F}, \quad (13.39)$$

Dessa forma, para atender ambos os critérios, devem ser utilizadas capacitâncias superiores a $33,33 \mu\text{F}$.

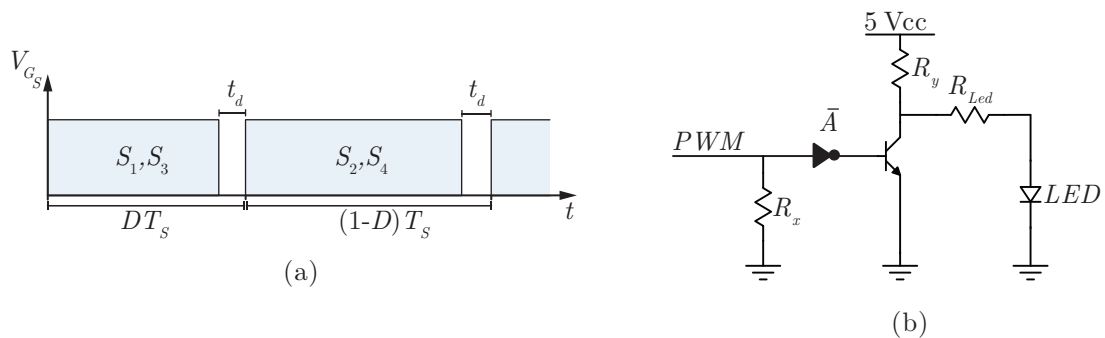
O valor eficaz da corrente nos capacitores, calculado numericamente, é de $3,861 \text{ A}$, e a resistência interna dos mesmos é igual a $0,005\Omega$. Portanto, a potência dissipada para operação em potência nominal é definida como

$$P_{Cx} = P_{Cy} = I_{Cx,ef}^2 R_c = 0.596 \text{ W}. \quad (13.40)$$

13.1.6 Condicionamento de sinais

Fixado o tempo morto em 200 ns e a razão cíclica em $0,45$, é desenvolvido o projeto para o acionamento dos interruptores. Os sinais de comando, apresentados na Figura 13.2(a), são gerados por meio da função PWM do DSP TMS320F28069, e em seguida os sinais são enviados para o *buffer* conforme mostrado na Figura 13.2(b).

Figura 13.2 – (a) Sinais de comutação teóricos. (b) Circuito *Buffer* implementado.



Fonte: Autor.

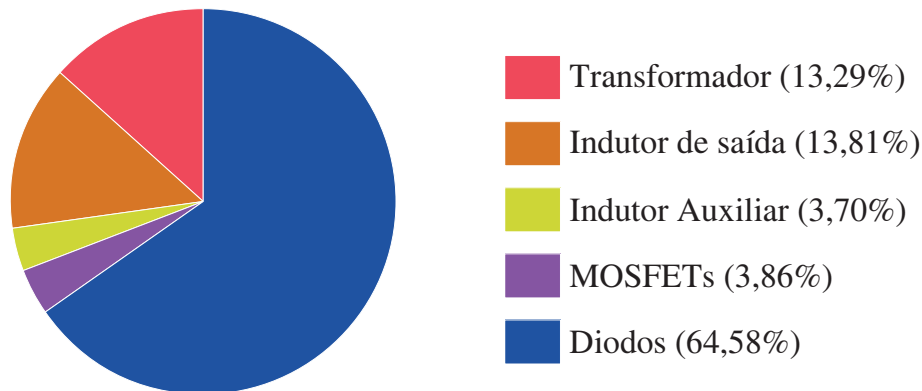
O *buffer* opera da seguinte maneira: quando o sinal está em nível lógico baixo, a porta lógica inversora \bar{A} faz com que o transistor conduza, permitindo que a corrente proveniente da fonte de alimentação flua através do canal do transistor. O resistor R_y deve ser dimensionado para limitar essa corrente, garantindo que não exceda a capacidade de corrente suportada pelo transistor. Por outro lado, quando o sinal está em nível lógico alto, o inversor bloqueia o transistor e a corrente da fonte é direcionada para o LED (*light emitting diode*) do optoacoplador. Nesse caso, R_{Led} é projetado para, juntamente com R_y , limitar a corrente enviada ao LED do optoacoplador. O *buffer* encaminha o sinal para o circuito do *gate driver*, que é responsável por acionar os interruptores.

13.1.7 Análise teórica da distribuição de perdas no conversor

Muitos parâmetros influenciam nas perdas de um conversor chaveado, entre esses estão a frequência de comutação, a resistência interna dos componentes, a razão cíclica, a variação da carga e o material usado na construção dos magnéticos. Portanto, as perdas do conversor não se dividem igualmente entre os componentes. As perdas totais de cada

grupo de componentes são calculadas para a potência nominal do conversor e comparada com a perda total, posteriormente os resultados são apresentados na Figura 13.3.

Figura 13.3 – Distribuição das perdas no conversor.



Fonte: Autor.

A perda total de potência em cada dispositivo pode ser dividida em três componentes: 1- Componente constante e independente da carga; 2- Componente proporcional, constituído pela potência dissipada pelo valor médio da corrente nos diodos; 3- Componente quadráticas da perda, que ocorre nos semicondutores, capacitores e dispositivos magnéticos. Analisando a Tabela 13.6, na qual são apresentadas as perdas teóricas em cada componente do circuito, bem como as componentes independentes, proporcionais e quadráticas, nota-se que grande parte das perdas nos diodos está relacionada à componente proporcional de perdas ($VT_o \cdot I_o$). Dessa forma, a substituição do modelo dos diodos e a troca da ponte retificadora por um retificador com ponto médio deve ser considerada, caso se deseje otimizar a eficiência do conversor.

Tabela 13.6 – Distribuição teórica de perdas em cada componente do circuito.

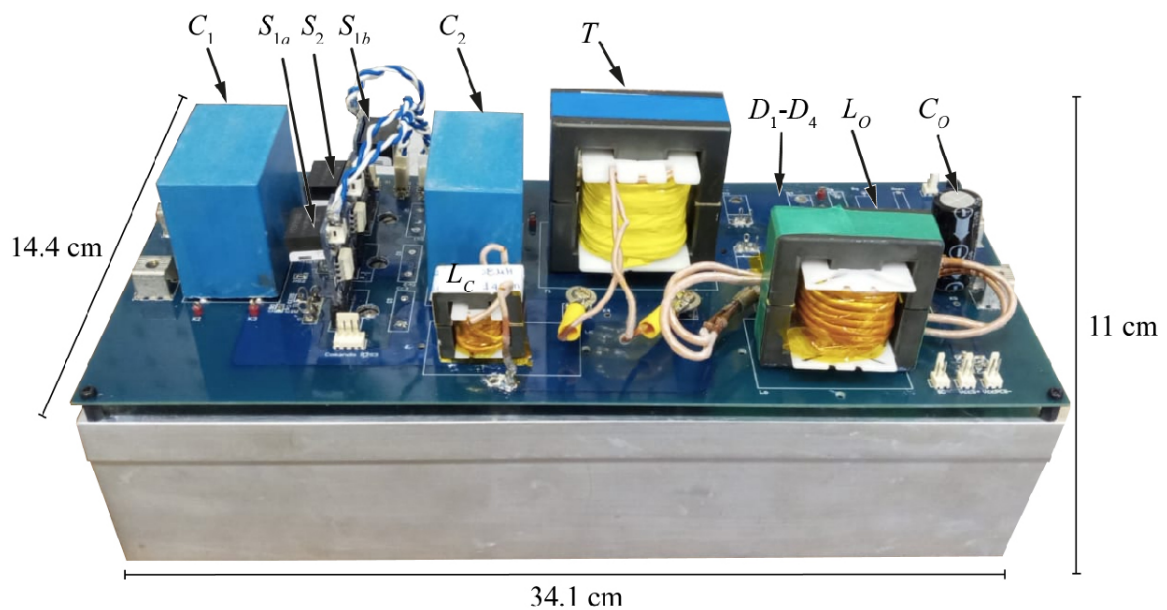
Componentes	Perdas Totais	Independentes	Proporcionais	Quadráticas
Transformador	5,711 W	0,506 W	0 W	5,204 W
Indutor de Saída	6,933 W	0,792 W	0 W	6,141 W
Indutor Auxiliar	0,684 W	0,434 W	0 W	0,249 W
Diodos	34,141 W	0 W	28,206 W	5,935 W
Interruptores	2,693 W	0 W	0 W	2,693 W
Total	50,163 W	1,733 W	28,206 W	20,223 W

Observando a Figura 13.3, nota-se que a maior parte das perdas ocorre nos diodos retificadores. Isso acontece porque cada diodo conduz corrente igual a I_o . Portanto, as perdas podem ser substancialmente reduzidas substituindo o retificador de ponte completa por um retificador de ponto médio, que consiste em dois diodos, ou utilizando retificadores síncronos. Além disso, os elementos magnéticos também provocam uma perda considerável de potência, a qual pode ser reduzida pelo emprego de dispositivos magnéticos otimizados.

13.2 RESULTADOS EXPERIMENTAIS

Para validar o funcionamento do conversor, foi construído o protótipo mostrado na Figura 13.4. Este protótipo não tem a pretensão de fornecer alto rendimento ou densidade de potência, uma vez que foi construído com os elementos disponíveis no laboratório, que não eram os mais apropriados do ponto de vista da otimização. Além disso, não foi realizado um projeto otimizado para os componentes magnéticos. O esquemático foi desenhado no *Altium Designer*, e o projeto da placa de circuito impresso está apresentado no Apêndice D. Para alimentar o conversor, foi utilizada uma fonte com capacidade de 2 kW. As formas de onda apresentadas ao longo do texto foram obtidas por meio de um osciloscópio modelo MDO3012 da Tektronix, e as informações usadas para desenvolver a curva de rendimento do conversor foram obtidas pelo analisador de potência PA3000 da Tektronix.

Figura 13.4 – Protótipo desenvolvido para validação da topologia proposta.

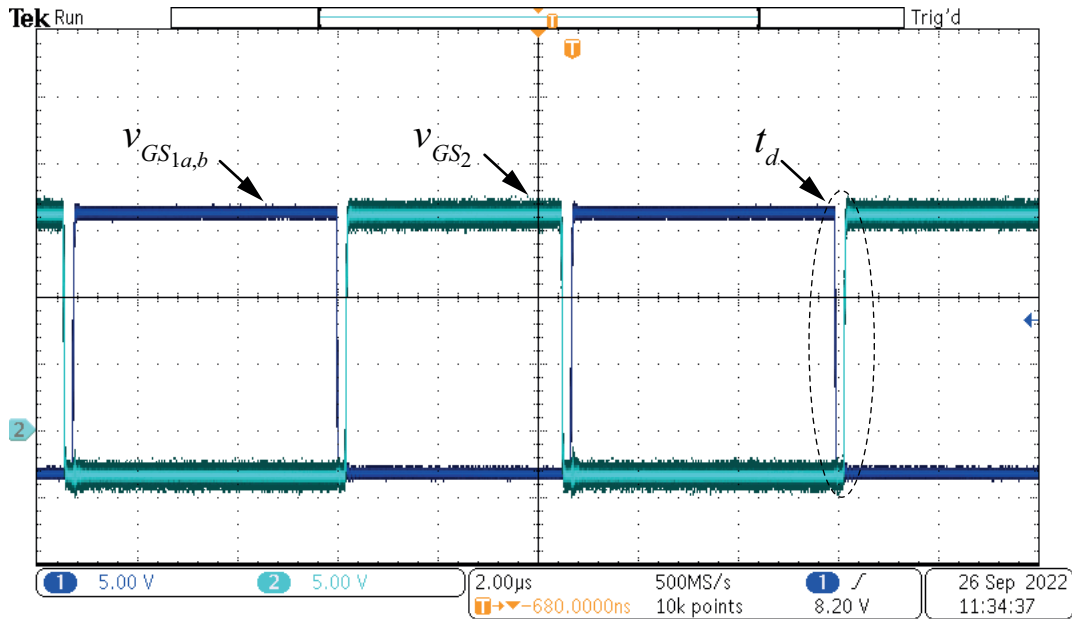


Fonte: Autor.

As principais formas de onda para validar o funcionamento do conversor são adquiridas experimentalmente. Na Figura 13.5, apresentam-se os sinais utilizados para comandar os MOSFETs S_{1a} , S_2 e S_{1b} , gerados por um controlador DSP F28069M. Um tempo morto apropriado é inserido entre os sinais de comando para evitar que ambas as chaves conduzam simultaneamente, causando um curto-circuito de braço. Além disso, é necessário um tempo morto para realizar a comutação sob tensão nula.

O tempo morto selecionado, combinado com os demais parâmetros que fazem parte da comutação, permite que o conversor opere com ZVS a partir de 40% da potência nominal. Na Figura 13.6, são mostradas as formas de onda para os sinais de comando e para a tensão nos terminais *dreno-source* dos interruptores S_{1a} e S_2 , para o intervalo de

Figura 13.5 – Sinais de comando.



Fonte: Autor.

tempo em que os MOSFETs S_{1a} e S_{1b} são acionados e o MOSFET S_2 é bloqueado, com o conversor operando em 40% da sua potência nominal.

Na Figura 13.6, pode-se observar que a tensão no interruptor S_{1a} atinge valor nulo antes que S_{1a} e S_{1b} recebam o comando para conduzir. Portanto, S_{1a} e S_{1b} entram em condução com ZVS. A tensão sobre S_2 permanece nula até instantes após o interruptor receber o comando para bloquear, logo a comutação de bloqueio de S_2 ocorre com ZVS.

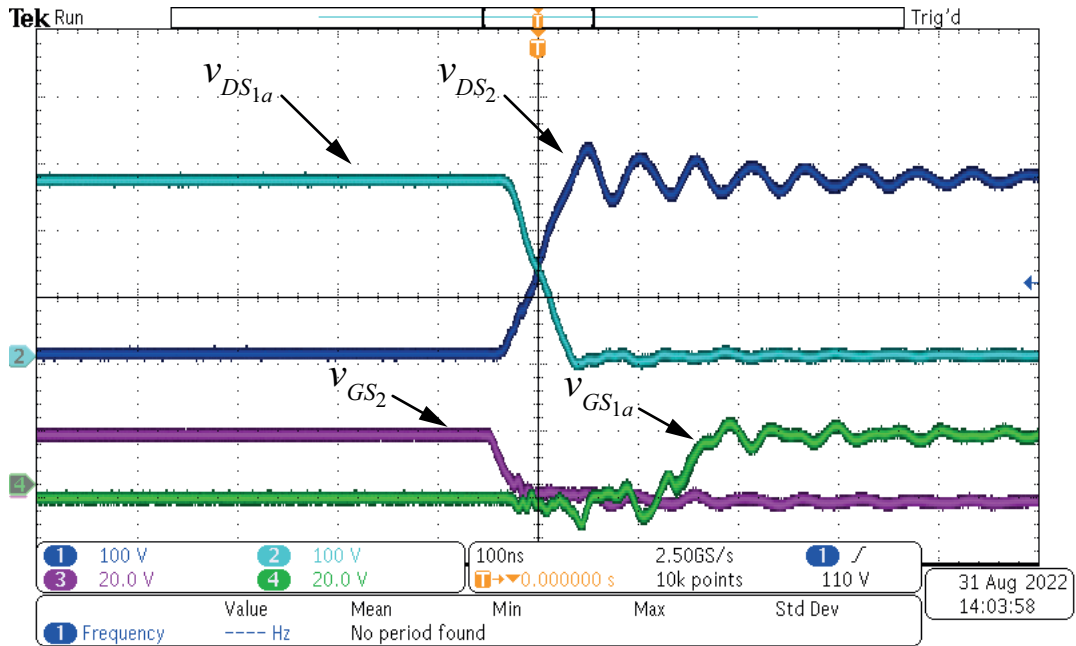
O bloqueio de S_2 é considerado crítico, uma vez que a corrente disponível para realizar essa comutação é menor do que a disponível no instante em que os MOSFETs S_{1a} e S_{1b} são bloqueados. Assim, se os parâmetros do circuito permitirem que S_2 bloqueie com ZVS, a comutação de bloqueio de S_{1a} e S_{1b} também ocorrerá com ZVS.

A Figura 13.7 apresenta as formas de onda referentes para a comutação de bloqueio de S_{1a} e S_{1b} . A tensão sobre S_2 atinge valor nulo antes que o sinal de comando para S_2 apresente nível lógico alto. A tensão sobre S_{1a} permanece nula até momentos após S_{1a} receber o comando para bloquear. Portanto, S_{1a} e S_{1b} são bloqueados com ZVS, enquanto S_2 entra em condução com ZVS.

Analisando as formas de onda para a corrente em L_C e I_o , apresentadas na Figura 13.8, nota-se que o valor instantâneo de i_{L_C} é maior durante a comutação de bloqueio de S_{1a} e S_{1b} em comparação com o bloqueio de S_2 , confirmando que a comutação de bloqueio de S_2 é mais crítica. Além disso, é perceptível que a corrente de saída (I_o) possui uma baixa ondulação.

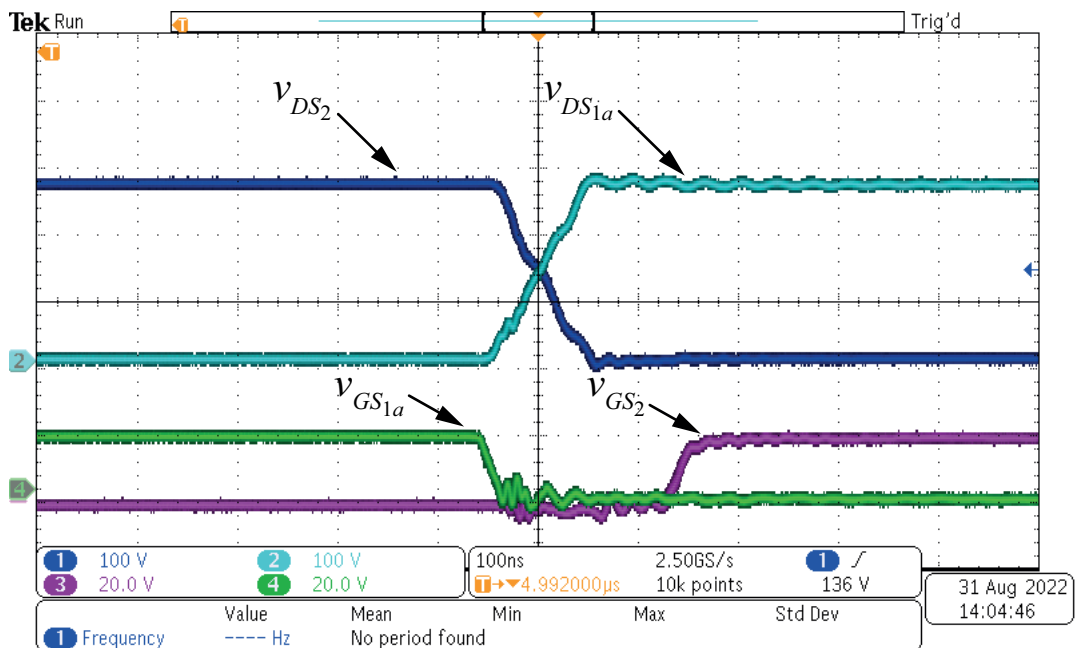
As formas de onda para a tensão sobre S_{1a} e S_2 são apresentadas na Figura 13.9. Os

Figura 13.6 – Sinais de comando formas de onda para as tensões sobre os interruptores S_{1a} e S_2 para a comutação de bloqueio de S_2 e entrada em condução de S_{1a} .



Fonte: Autor.

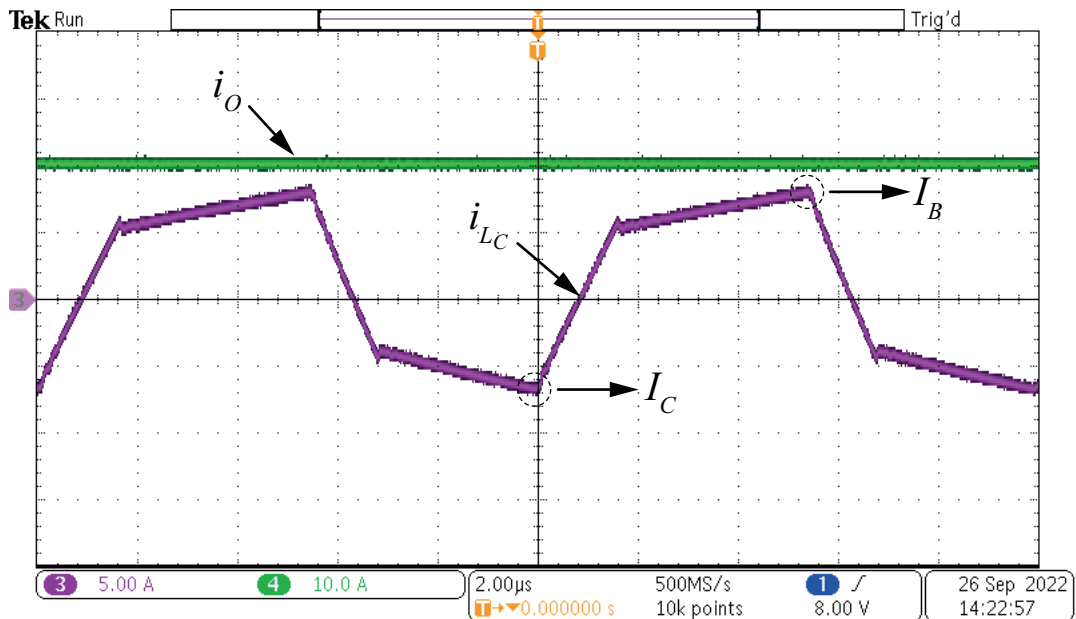
Figura 13.7 – Sinais de comando e formas de onda para as tensões sobre os interruptores S_{1a} e S_2 para a comutação de bloqueio de S_{1a} e entrada em condução de S_2 .



Fonte: Autor.

valores de patamar para v_{DS1a} e v_{DS2} são próximos a dois terços da tensão de alimentação, para o conversor operando com razão cíclica de 0,55, conforme previsto pela análise teórica. Também, nota-se que o conversor não apresenta sobretensão nos MOSFETs. Isso ocorre porque a tensão sobre os interruptores é imposta pelos capacitores, além de que os capacitores, que estão localizados próximos aos interruptores na placa de circuito. As

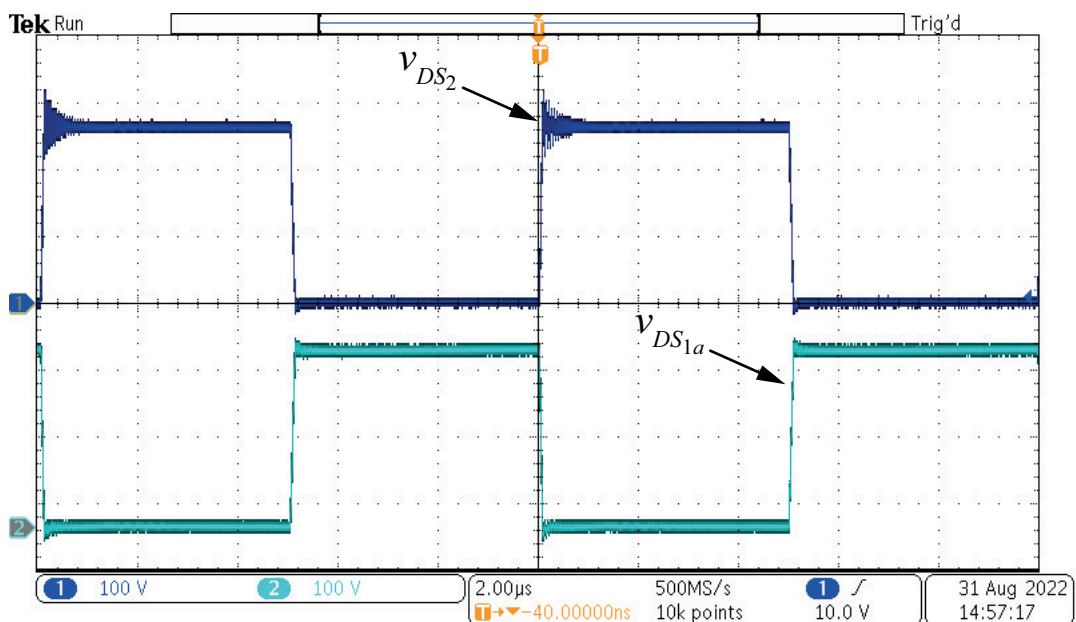
Figura 13.8 – Corrente de saída (i_o) e corrente na indutância de dispersão (i_{Lc}).



Fonte: Autor.

tensões sobre os MOSFETs são iguais às tensões sobre os capacitores, o que indica que os capacitores operam com um balanço automático de tensão.

Figura 13.9 – Tensão sobre os interruptores S_{1a} e S_2 (v_{DS1a} e v_{DS2} , respectivamente).

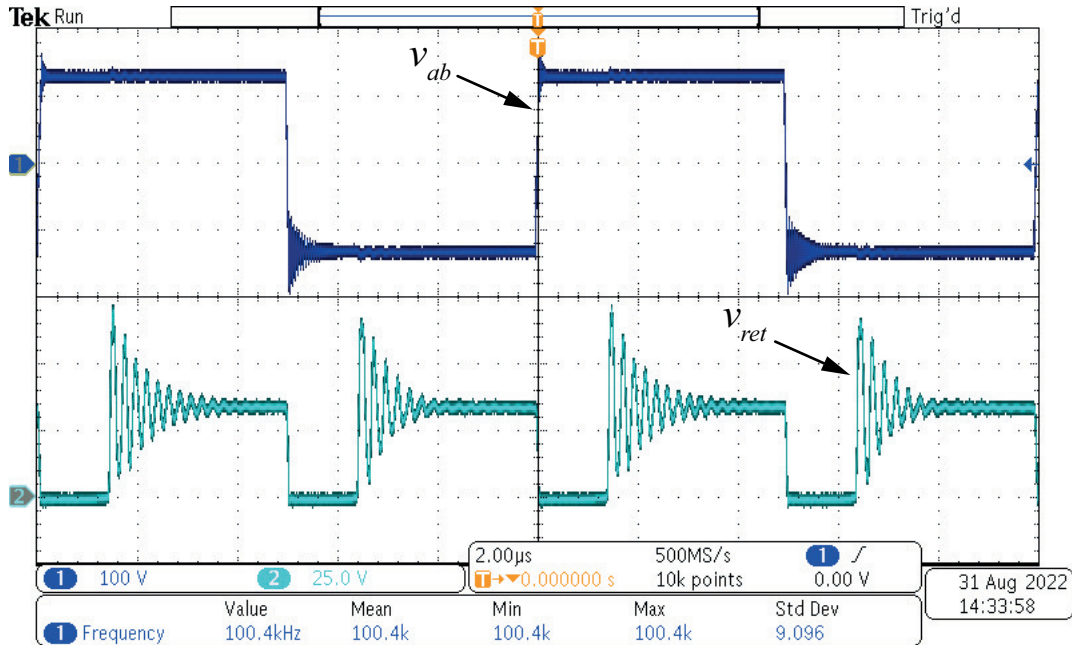


Fonte: Autor.

Na Figura 13.10, são mostradas as formas de onda para a tensão sobre os terminais da ponte retificadora e para a tensão sobre o lado primário do transformador. Pode-se notar que ocorrem picos de sobretensão nos diodos devido à interação entre as capacitâncias intrínsecas aos diodos e a indutância de dispersão do transformador somada às demais

indutâncias parasitas. Essas oscilações também ocorrem em outros conversores cc-cc com saída em tensão, não sendo uma desvantagem exclusiva do conversor proposto.

Figura 13.10 – Tensão sobre o lado primário do transformador (v_{ab}) e tensão sobre os terminais da ponte retificadora (v_{ret}).

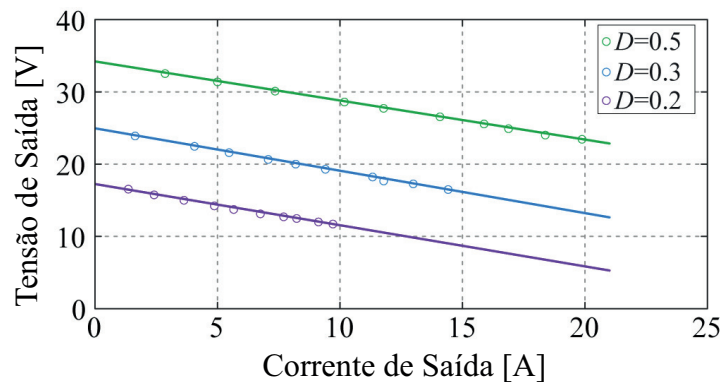


Fonte: Autor.

13.2.1 Característica de saída

As características de saída do conversor, para diferentes valores de razão cíclica, apresentadas na Figura 13.11, foram obtidas fixando a razão cíclica e variando a carga conectada ao protótipo. As linhas de tendência são lineares e estão de acordo com os resultados obtidos pela análise teórica. Além disso, nota-se a semelhança entre característica de saída obtida para a topologia proposta com às características de saída dos conversores FB-ZVS-PWM e HB-ZVS-PWM.

Figura 13.11 – Característica de saída do conversor obtida experimentalmente.

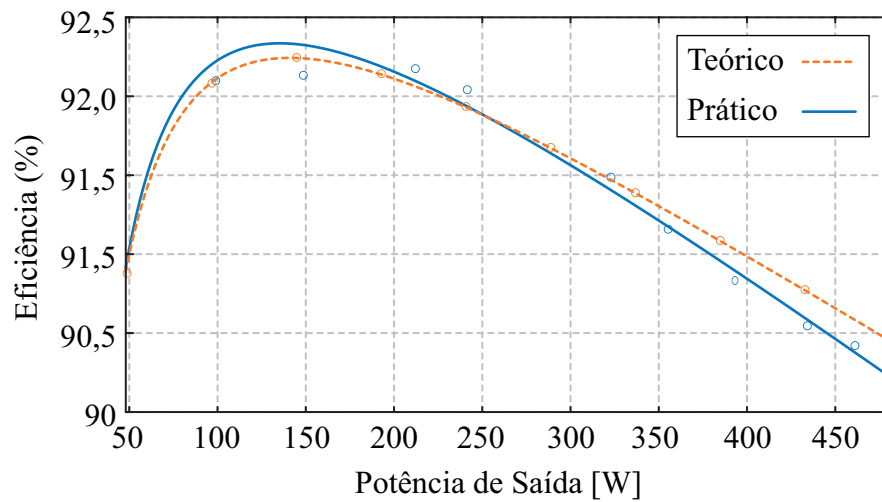


Fonte: Autor.

13.2.2 Eficiência do conversor

A curva experimental de eficiência do protótipo foi desenvolvida por meio dos resultados experimentais obtidos com o analisador de potência Tektronix (PA3000), que possibilitou a aquisição dos valores de potência de entrada e saída do conversor. Posteriormente, uma curva de tendência foi obtida interpolando os valores de rendimento, como mostrado na Figura 13.12.

Figura 13.12 – Curva de eficiência do conversor obtida experimentalmente.



Fonte: Autor.

Analisando a Figura 13.12, nota-se que o conversor atinge máxima eficiência de 92,34% ao operar com 30% da potência nominal e sua eficiência média é de 90,57%.

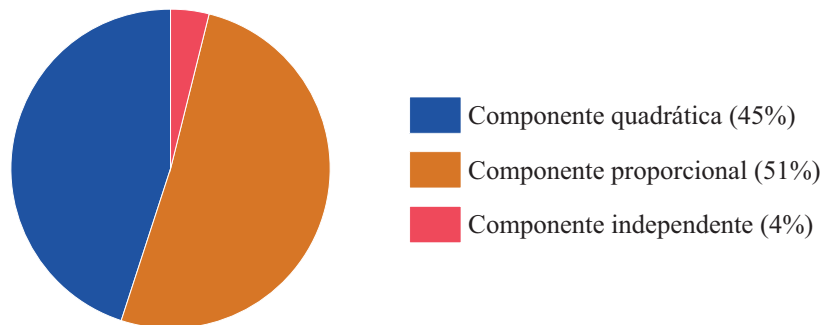
Com o intuito de validar os equacionamentos apresentados para as perdas no decorrer do projeto, desenvolve-se a curva teórica de rendimento, a qual é sobreposta a curva experimental na Figura 13.12. Observa-se que as duas curvas não são idênticas, no entanto, apresentam perfis bastante parecidos. Analisando a curva de eficiência, verifica-se que as perdas de condução predominam a partir de 200 W. Essas perdas ocorrem nos diodos, nos interruptores e nos elementos magnéticos. Em baixa potência as perdas que independem da corrente de saída são predominantes, tais como as referentes aos núcleos dos elementos magnéticos e a comutação dos semicondutores.

A distribuição experimental das perdas é apresentada na Figura 13.13, para o conversor operando na potência nominal. Na Figura 13.13, as perdas são divididas em três tipos: 1- Perdas constantes e independentes da potência, que nessa medição são iguais a 13,99% das perdas totais. 2- Perdas proporcionais à potência, que correspondem a 20,55% do total de perdas. 3- Perdas quadráticas de condução, iguais a 65,46% das perdas totais.

Pela análise da curva de eficiência e da Figura 13.3, observa-se que uma parcela significativa das perdas ocorre nos diodos retificadores, as quais podem ser reduzidas mediante a substituição da ponte retificadora por um retificador de ponto médio, otimizando

os dispositivos magnéticos e empregando semicondutores de potência com menor resistência equivalente. Com o intuito de melhorar o perfil da curva de rendimento, a ponte retificadora é substituída por um retificador de ponto médio, os resultados experimentais para essa condição são apresentados na próxima subseção.

Figura 13.13 – Distribuição de perdas no estágio de potência do conversor.

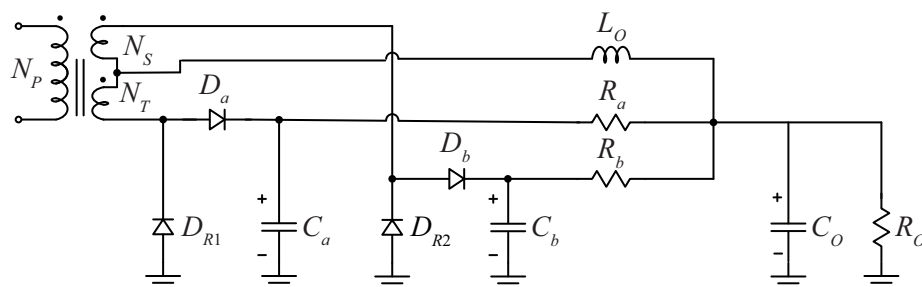


Fonte: Autor.

13.2.3 Resultados experimentais com retificador de ponto médio

Com o intuito de melhorar o perfil da curva de rendimento, a ponte de diodos é substituída por um retificador de ponto médio. O circuito elétrico do estágio de saída é apresentado na Figura 13.14, na qual se observa a presença de dois grampeadores de tensão, formados pelos diodos D_a e D_b , pelos resistores R_a e R_b , e pelos capacitores C_a e C_b . Para a implementação dos grampeadores de tensão, foram aproveitados os diodos utilizados anteriormente para ponte retificadora, agora sobressalente, já os capacitores e resistores foram fixados na placa de circuito impresso juntos a outros componentes. A especificações de tensão e potência de saída também foram modificadas para 48 V e 960 W, respectivamente.

Figura 13.14 – Circuito elétrico do estágio de saída.



Fonte: Autor.

Para atender as novas especificações do conversor, um transformador com ponto médio foi projetado e montado. As especificações do transformador são apresentadas na Tabela 13.7.

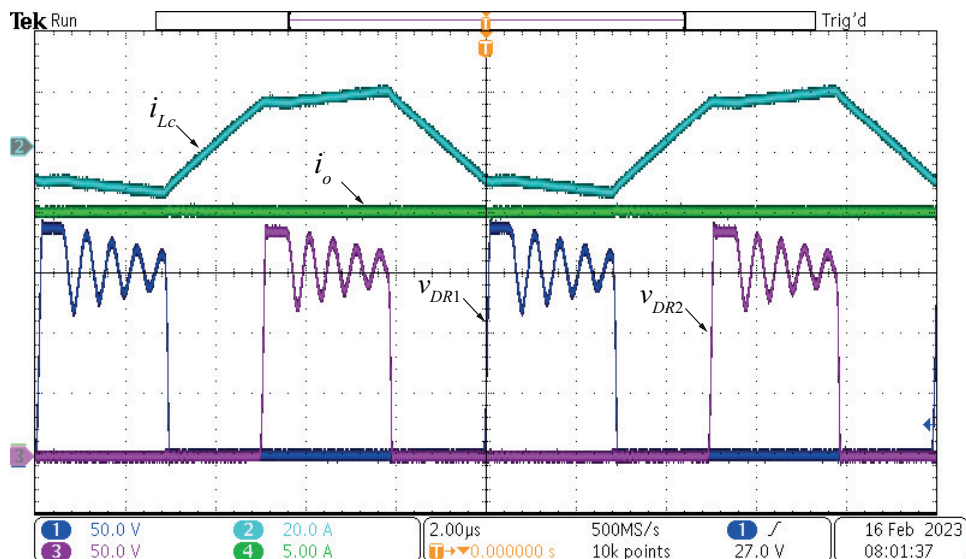
Devido ao aumento da tensão de saída do conversor, a relação de transformação do transformador diminuiu, resultando em um aumento na razão entre a corrente na

Tabela 13.7 – Parâmetros do núcleo E 70/33/32.

Parâmetro	Valor
Núcleo utilizado	65/33/26
Relação de transformação	1,571
Número de espiras no primário	11
Número de espiras no secundário	7
Número de espiras no terciário	7
Fio utilizado para o primário	Litz 2x150 AWG38
Fio utilizado para o secundário	Litz 2x150 AWG38
Fio utilizado para o terciário	Litz 2x150 AWG38
Indutância magnetizante	178,23 μH
Indutância de dispersão	7,87 μH

indutância de comutação e a corrente de saída. Ao comparar os valores apresentados para a corrente na indutância de comutação na Figura 13.8 e na Figura 13.15, confirma-se que esse aumento é proporcional à redução da relação de transformação do transformador. Observando as formas de onda das tensões sobre os diodos retificadores, nota-se que o efeito da perda de razão cíclica causada pela indutância de comutação é potencializado pelo aumento da corrente na mesma indutância.

Figura 13.15 – Formas de onda obtidas experimentalmente para a tensão sobre os diodos retificadores (v_{D1} e v_{D2}), para a corrente na indutância de comutação (i_{Lc}) e para a corrente de saída (i_o).



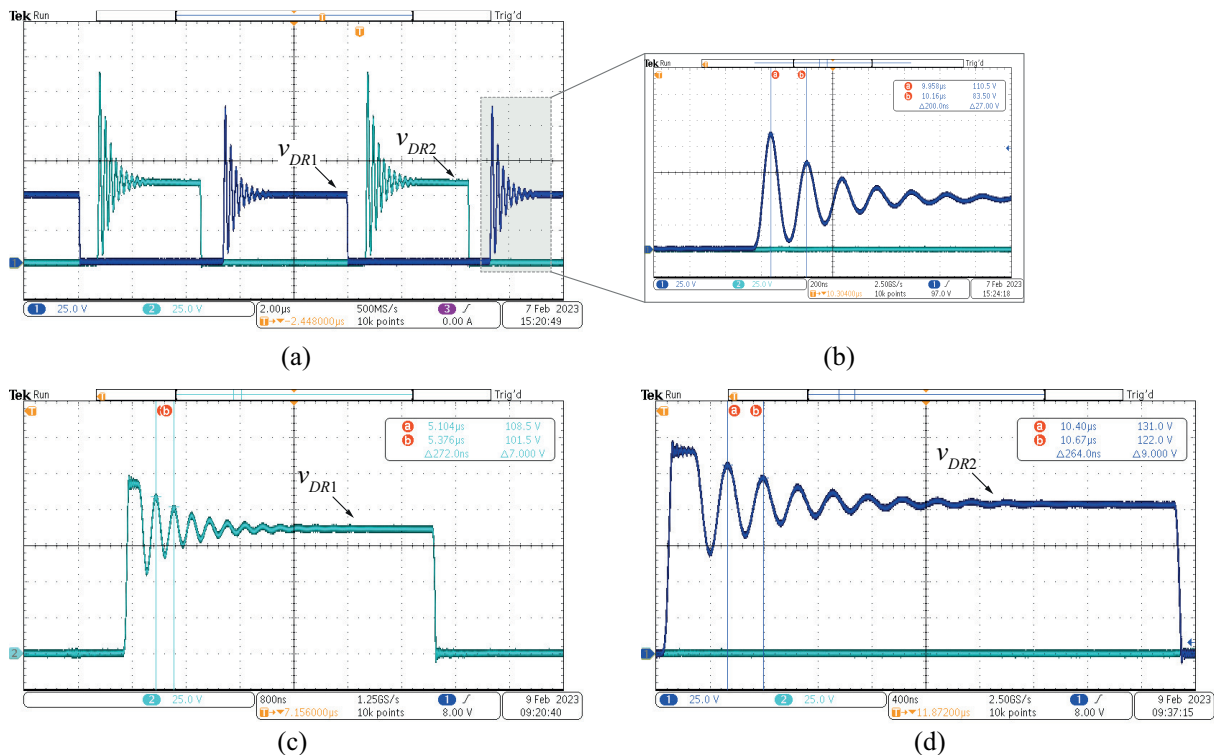
Fonte: Autor.

Ao substituir a topologia do retificador e do transformador, os esforços de tensão sobre os diodos retificadores também foram alterados, e são dados por:

$$v_{D1} = v_{D2} = 2v_{Lm}, \quad (13.41)$$

Dessa forma, nota-se que os esforços de tensão sobre os diodos aumentaram em comparação aos apresentados sobre os diodos referentes à ponte retificadora. Além disso, a tensão de saída especificada é duas vezes maior do que a do protótipo anterior. Portanto, se houver valores de sobretensão com amplitude de até duas vezes e meia o valor de patamar da tensão sobre o diodo, como apresentado na Figura 12.4, para o conversor operando com a ponte retificadora, esses serão danificados. As formas de onda para a tensão sobre os diodos D_1 e D_2 , para o conversor operando sem grampeamento de tensão e com tensão de entrada igual a 200 V e com metade da potência nominal, são apresentadas na Figura 13.16.

Figura 13.16 – Tensão sobre os diodos retificadores (D_{R1} e D_{R2}). (a) Operando sem grampeador. (b) Detalhe a forma de onda de tensão sobre D_{R1} . (c) Tensão sobre D_{R1} com inserção do grampeador de tensão. (d) Tensão sobre D_{R2} com inserção do grampeador de tensão.



Fonte: Autor.

Analisando a Figura 13.16(a) e a Figura 13.16(b), nota-se que, com o conversor operando com metade da potência nominal, a tensão sobre o diodo D_{R1} possui picos de 110,5 V, representando 2,21 vezes o valor de patamar da tensão sobre o diodo D_{R1} . Esse valor tende a crescer com o aumento da corrente, atingindo níveis prejudiciais aos diodos. Com o intuito de preservar os diodos retificadores, são adicionados grampeadores de tensão à estrutura.

A estrutura de cada um dos grampeadores utilizados é formada por um diodo (D_a e D_b), um resistor (R_a e R_b) e um capacitor (C_a e C_b), conforme apresentado na Figura 13.14. Os diodos dos grampeadores entram em condução somente quando a tensão sobre o

diodo retificador, ao qual o circuito está conectado, excede a tensão nos capacitores. De acordo com o equacionamento apresentado por (PRADO, 1994):

$$R_a = R_b = \frac{V_R^2}{P_g}, \quad (13.42)$$

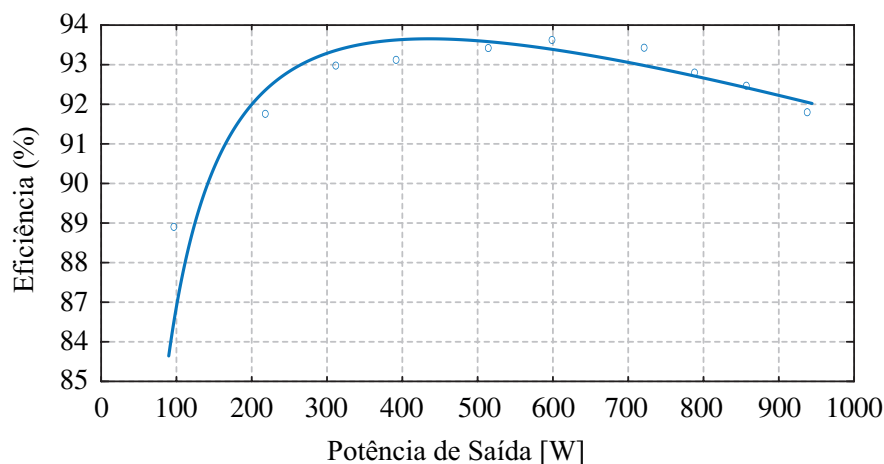
Em que, P_g é a potência máxima que se deseja dissipar na resistência do grampeador e V_g é a tensão sobre o resistor. Sendo $V_g = 140$ V e $P_g = 1.5$ W, define-se $R_a = R_b = 13,066$ k Ω . A capacitância do grampeador deve garantir baixa ondulação de tensão, assim é sugerido que $R_a \cdot C_a = 400T_s$, logo

$$C_a = C_b = \frac{400}{R_a \cdot f_s} = 306,122 \text{ nF}. \quad (13.43)$$

Portanto, foram inseridas capacitâncias de 330 nF e resistências de $R_a = R_b = 15$ k Ω no protótipo. Na Figura 13.16(a) e na Figura 13.16(b), nota-se que a tensão sobre D_{R1} é grampeada em aproximadamente 120 V e a tensão sobre D_{R2} em aproximadamente 140 V.

Após verificado o funcionamento do protótipo, desenvolve-se a o ensaio de rendimento do protótipo utilizando o analisador de potência Tektronix (PA3000). Os resultados adquiridos e uma curva de tendências, obtida interpolando os valores de rendimento, são apresentados na Figura 13.17.

Figura 13.17 – Curva de eficiência do conversor com retificador de ponto médio obtida experimentalmente.



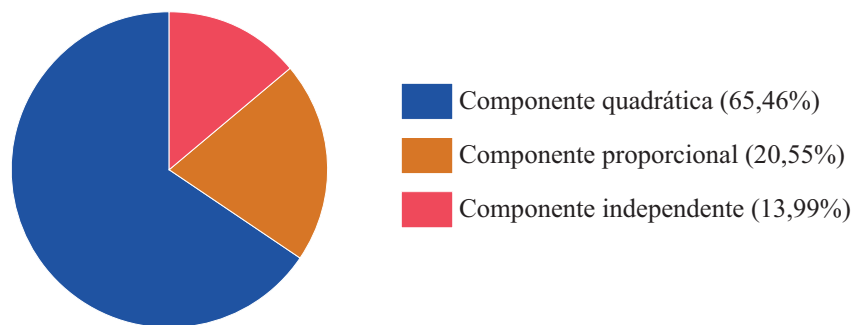
Fonte: Autor.

Analisando a Figura 13.17, nota-se que o conversor atinge máxima eficiência de 93,65% ao operar com cerca de 50% da potência nominal e 92% em plena carga. Em comparação a curva de eficiência obtida para o conversor utilizando o retificador em ponte completa, apresentada na Figura 13.12, a estrutura atual apresenta ganho de 1,75 pontos percentuais no rendimento do conversor na potência nominal, além de apresentar

uma melhor distribuição entre as perdas independentes, de condução e as proporcionais à corrente de saída.

Na Figura 13.18, é apresentada a distribuição das perdas, as quais são separadas em três tipos: Independentes, proporcionais e quadrática. Nota-se que a componente quadrática da potência, referente às perdas de condução nos diodos, interruptores e magnéticos, é a maior (55,61%), diferente do conversor operando com o retificador ponte completa, no qual a maior parcela de perdas era a proporcional. Portanto, as perdas nos diodos reduziram, uma vez que a parcela proporcional de perdas diminuiu. No entanto, ao analisar a curva de eficiência, conclui-se que as perdas quadráticas aumentaram.

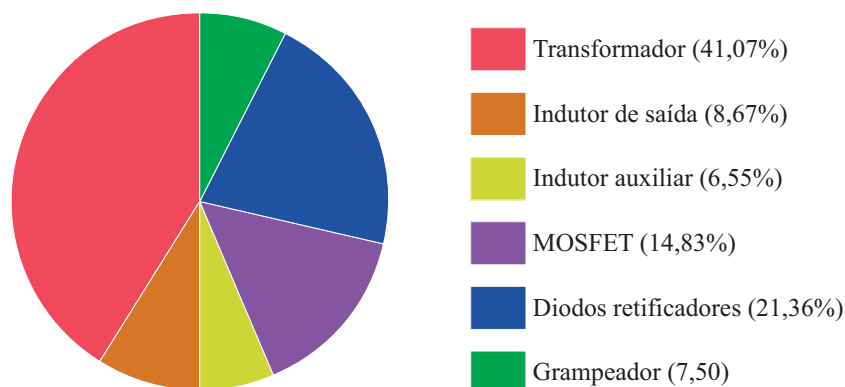
Figura 13.18 – Distribuição de perdas no estágio de potência do conversor.



Fonte: Autor.

Para verificar a distribuição das perdas sobre os componentes, desenvolveu-se o gráfico apresentado na Figura 13.19 por meio da análise teórica. Pode-se notar que as perdas no transformador e no indutor auxiliar aumentaram em relação à topologia com retificador em ponte completa. Esse aumento ocorre devido à redução da relação de transformação do transformador, o que eleva o valor da corrente no lado primário do transformador e, conseqüentemente, aumenta as perdas de condução nos MOSFETs, na indutância auxiliar e nos enrolamentos do transformador.

Figura 13.19 – Distribuição de perdas sobre os componentes do estágio de potência do conversor.



Fonte: Autor.

Por meio dos testes práticos realizados no conversor, foram validados os equacionamentos e a análise teórica desenvolvida. O conversor apresentou uma melhor eficiência ao

operar com o retificador de ponto médio, uma vez que a parcela proporcional das perdas foi reduzida. No entanto, a parcela quadrática das perdas aumentou devido à redução da relação de transformação do transformador, comprometendo a eficiência. Para verificar com melhor precisão a influência da ponte retificadora nas perdas em testes práticos, o ideal seria substituí-la pelo retificador de ponto médio sem alterar as especificações do conversor.

14 CONCLUSÃO

O presente trabalho propôs e validou experimentalmente um novo princípio de conversão estática, baseado na variação rápida de capacitância.

Inicialmente, realizou-se, no Capítulo 1, uma breve contextualização a respeito dos conversores estáticos de energia e da utilização de capacitores variáveis em conversores. No Capítulo 2, o estado da arte dos capacitores variáveis é apresentado e técnicas de otimização de conversores a capacitor chaveado, que podem ser utilizadas na célula em estudo, e de comutação suave são discutidas.

O Capítulo 3 apresenta o conversor tipo *Buck* a capacitor variável. As características desejadas para o capacitor são definidas, e sugestões de circuitos para emular o capacitor, considerando a conservação da carga e da energia, são apresentadas. Esses circuitos são implementados no simulador, e os resultados obtidos são comparados com os resultados calculados, mostrando que o equacionamento é válido e que a energia pode ser processada utilizando um capacitor com capacitância variável. O conversor tipo *Buck* a capacitor variável devolve energia para a fonte durante a segunda etapa de operação; portanto, formas de reaproveitar essa energia devem ser estudadas para otimizar a topologia do ponto de vista do rendimento. Quando se trata de taxa de transformação, o conversor tipo *Buck* a capacitância variável apresenta ganho duas vezes menor que a topologia *Buck* clássica.

O Capítulo 4 apresenta a operação e o equacionamento da resistência equivalente da célula a capacitor variável, o que permite concluir que as perdas são dependentes da constante $f_s\tau$, assim como ocorre nos conversores a capacitor chaveado. A análise estática do conversor tipo *Buck* integrado à célula de comutação a capacitor variável é apresentada no Capítulo 5. Essa análise nos permite concluir que a célula de comutação representa adequadamente um capacitor com variação rápida da capacitância, visto que os valores de tensão e corrente em C_V são iguais aos valores encontrados para um capacitor variável $K_c = 0,25$; o mesmo se aplica ao ganho.

A metodologia de projeto e os resultados experimentais para o conversor *Buck* são apresentados no Capítulo 6. A partir dos resultados obtidos, pode-se concluir que essa topologia pode operar com comutação suave pela ação das indutâncias parasitas de trilha. Essas indutâncias costumam apresentar baixo valor e não influenciar tão significativamente no conversor. No entanto, devido à existência de uma trilha excessivamente longa entre os capacitores C_x , C_y e o diodo, há a presença de uma indutância parasita com amplitude de dezenas de nanofarads. Essa indutância possibilitou ao conversor operar com comutação suave, mas implicou em altos valores de sobretensão sobre o diodo. Ainda, a partir dos resultados experimentais, concluiu-se que a célula de comutação pode ser vista pelo conversor como um capacitor variável.

Os conversores tipo *Boost* e *Buck-Boost* a capacitor variável são apresentados, respectivamente, nos Capítulos 7 e 9. Por meio dessa análise, é reforçada a afirmação de que um capacitor com variação rápida da capacitância pode ser utilizado para processar energia, substituindo os interruptores controlados. Além disso, pode-se concluir que a relação entre os valores máximos e mínimos da tensão sobre o capacitor depende apenas de k_c e que, se considerarmos a carga constante, o valor eficaz da corrente no capacitor variável independe de k_c .

Nos Capítulos 8 e 10, são apresentadas a análise orientada ao projeto dos conversores *Boost* e *Buck-Boost* integrados à célula de comutação. Por meio dessa análise, é possível concluir que os valores das correntes nos capacitores e interruptores, pertencentes à célula de comutação, são influenciados pela constante $f_s\tau$. Dessa forma, deve-se trabalhar com valores de $f_s\tau$ maiores que 0,2 para mitigar as perdas de condução nos interruptores. Quando se trata de taxa de transformação, a topologia *Boost* clássica é mais vantajosa que a versão a capacitor variável, e a topologia derivada do conversor *Buck-Boost* opera apenas na região abaixadora de tensão. No entanto, os esforços de tensão sobre os interruptores nos conversores em estudo são menores do que os apresentados pelas topologias originais.

No Capítulo 11, analisou-se o conversor tipo *Buck* a capacitor variável isolado, o qual mantém as principais características da célula a capacitor variável e não apresenta sobretensão nos interruptores, desde que o projeto da placa de circuito impresso seja realizado com cuidado e os capacitores fiquem próximos aos interruptores. A versão isolada do conversor tipo *Buck* devolve energia para a fonte durante a segunda etapa de operação, da mesma forma que ocorre com sua versão não isolada. O ganho máximo dessa topologia é de 0,343, para relação de transformação do transformador unitária, e ocorre para a razão cíclica de 0,586. Ao inserir a indutância de comutação na análise, nota-se que essa causa uma redução no ganho estático do conversor proporcional à corrente de saída.

A análise da comutação dos interruptores pertencentes à célula proposta é realizada no Capítulo 12. A comutação dos interruptores ocorre em duas etapas: intervalo de tempo linear e intervalo de tempo ressonante. Durante a primeira etapa, a corrente total disponível para ocorrer comutação do tipo *ZVS* depende da carga conectada na saída do conversor, e no intervalo de tempo ressonante, a corrente disponível para que a comutação *ZVS* ocorra depende apenas da energia armazenada na indutância de comutação. A corrente na indutância de comutação é definida pela soma da corrente de saída e da corrente na indutância magnetizante; portanto, quanto menor for o valor da indutância magnetizante do transformador, maior será a corrente disponível para a comutação de bloqueio dos interruptores S_1 e S_3 . A comutação de bloqueio de S_2 é mais crítica; portanto, o projeto das variáveis que influenciam na comutação (valor da indutância e das capacitâncias de comutação e do tempo morto) deve ser desenvolvido para garantir comutação suave no bloqueio do interruptor S_2 , e conseqüentemente os interruptores S_1 e S_3 também

apresentarão comutação suave.

O projeto do protótipo para o conversor tipo *Buck* isolado a capacitor variável e os resultados experimentais obtidos são apresentados no Capítulo 13. Inicialmente, foram realizados os ensaios para o conversor operando com um retificador de ponte completa, os quais permitiram concluir que a análise teórica desenvolvida é válida. Picos de sobretensão foram notados sobre os terminais da ponte retificadora; no entanto, como o diodo suportava esses valores de sobretensão, não foram utilizados grampeadores de tensão. Por meio da curva de eficiência, definiu-se o percentual de cada componente de perda, e concluiu-se que a maioria é referente às perdas nas resistências equivalentes dos componentes. No entanto, as perdas proporcionais também são elevadas e podem ser mitigadas substituindo o retificador de ponte completa por um retificador com ponto médio. A eficiência máxima medida para o conversor com o retificador de ponto médio, operando com potência de 960 W, tensão de entrada de 400 V e tensão de saída de 48 V, é de 93,21%, um ponto percentual maior do que o apresentado para o conversor com retificador de ponte completa. A distribuição das perdas sobre os componentes também foi alterada, sendo agora o transformador o componente em que ocorrem a maioria das perdas. O trabalho experimental realizado originou um artigo, o qual é apresentado no Apêndice D.2.

De modo geral, as principais vantagens dos conversores apresentados são:

- Equilíbrio natural das tensões entre os capacitores e interruptores;
- Redução dos esforços de tensão nos interruptores referentes à célula de comutação;
- Ausência de sobretensão nos interruptores referentes à célula de comutação;
- Opera com modulação por largura de pulso, com frequência constante;
- Características de saída e curva de ganho semelhante a de conversores consolidados, como os conversores *Buck*, *Boost* e Meia ponte;
- Comutação suave do tipo ZVS em todos os MOSFETs, na versão isolada.

Do ponto de vista prático, o conversor tipo *Buck* a capacitor apresenta alguns requisitos para a operação:

- Uso de circuito grampeador de tensão nos diodos da ponte retificadora;
- Valor médio de corrente não nulo nos enrolamentos do transformador;
- Necessidade de valores de capacitâncias elevadas, aumentando o tamanho do protótipo.

Ao refletir sobre os objetivos inicialmente estabelecidos para este trabalho de tese, é possível concluir que todos foram alcançados. Inicialmente, realizamos uma revisão bibliográfica abrangente sobre as principais técnicas empregadas na obtenção de capacitâncias variáveis, bem como sobre estratégias para otimização da eficiência em conversores a capacitor chaveado e o fenômeno da comutação com tensão nula.

Em seguida, aplicamos os conceitos assimilados na prática, integrando os conversores *Buck*, *Boost* e *Buck-Boost* com um capacitor variável de rápida variação de capacitância. Esta integração foi emulada por uma célula de comutação, posteriormente, desenvolveu-se a versão isolada do conversor *Buck* a capacitor variável. Esses conversores foram então testados em laboratório, permitindo a validação dos resultados teóricos.

Apesar do sucesso em alcançar os objetivos principais, é importante reconhecer que algumas análises relevantes ficaram fora do escopo deste projeto. Dentre elas, destacam-se:

- Definição dos modelos dinâmicos para as topologias estudadas;
- Projeto de estratégias de controle específicas para cada topologia;
- Exploração de outras técnicas disponíveis para obtenção de variação rápida da capacitância;
- Análise do comportamento dos conversores ao empregar outras técnicas de variação rápida da capacitância.

Embora essas análises não tenham sido abordadas neste trabalho, representam áreas de potencial investigação futura que poderiam complementar e aprimorar os resultados obtidos.

REFERÊNCIAS

- ABBASIAN, S. et al. Single-switch resonant soft-switching ultra-high gain dc-dc converter with continuous input current. *IEEE Access*, v. 10, p. 33482–33491, 2022. Citado na página 64.
- ABDELGHANY, M. et al. Suspended graphene variable capacitor. *2D Materials*, IOP Publishing, v. 3, n. 4, p. 041005, oct 2016. Disponível em: <<https://dx.doi.org/10.1088/2053-1583/3/4/041005>>. Citado na página 32.
- ADLER, M. et al. The evolution of power device technology. *IEEE Transactions on Electron Devices*, v. 31, n. 11, p. 1570–1591, 1984. Citado na página 30.
- AGÊNCIA NACIONAL DE ENERGIA ELÉTRICA. *Sistema de Informação de Geração da ANEEL (SIGA)*. [S.l.], 2023. Citado na página 30.
- ALONSO, J. M. et al. Variable inductor modeling revisited: The analytical approach. In: *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2017. p. 895–902. Citado na página 32.
- ALVES, A.; BARBI, I. Full-bridge zvs-pwm hybrid switched-capacitor isolated dc-dc converter. *REVISTA ELETRÔNICA DE POTÊNCIA*, v. 1, 2022. Citado 2 vezes nas páginas 51 e 66.
- AXELROD, B.; BERKOVICH, Y.; IOINOVICI, A. Switched-capacitor/switched-inductor structures for getting transformerless hybrid dc-dc pwm converters. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 55, n. 2, p. 687–696, 2008. Citado 3 vezes nas páginas 10, 48 e 50.
- BARBI, I. *Projeto de Fontes Chaveadas*. 3ª edição. ed. Florianópolis: Edição do Autor, 2014. Citado 3 vezes nas páginas 205, 206 e 244.
- BARBI, I. *Conversores a capacitor chaveado*. do autor. Florianópolis: [s.n.], 2019. Citado 5 vezes nas páginas 10, 57, 58, 61 e 62.
- BARBI, I.; PÖTTKER, F. *Soft commutation isolated DC-DC converters*. [S.l.]: Springer, 2019. v. 1. Citado 3 vezes nas páginas 31, 66 e 68.
- BELLAR, M. et al. A review of soft-switched dc-ac converters. *IEEE Transactions on Industry Applications*, v. 34, n. 4, p. 847–860, 1998. Citado na página 31.
- BEN-YAAKOV, S. Behavioral average modeling and equivalent circuit simulation of switched capacitors converters. *IEEE Transactions on Power Electronics*, v. 27, n. 2, p. 632–636, 2012. Citado na página 62.

- BLAABJERG, F. et al. Power electronics in renewable energy systems. In: *2006 12th International Power Electronics and Motion Control Conference*. [S.l.: s.n.], 2006. p. 1–17. Citado na página 31.
- BOSE, B. K. Global energy scenario and impact of power electronics in 21st century. *IEEE Transactions on Industrial Electronics*, v. 60, n. 7, p. 2638–2651, 2013. Citado na página 31.
- CAÚS, A. P.; BARBI, I. Asymmetrical zvs-pwm half-bridge-type switched-capacitor dc-dc converter isolated with peak voltage equal to $v_{in}/2$ switch. *REVISTA ELETRÔNICA DE POTÊNCIA*, 2022. Citado na página 51.
- CAÚS, A. P.; BARBI, I. Asymmetrical zvs-pwm half-bridge-type switched-capacitor dc-dc converter isolated with peak voltage equal to $v_{in}/2$ switch. 2022. Citado na página 66.
- CHEN, J. et al. A double input-parallel-output-series hybrid switched-capacitor boost converter. *Chinese Journal of Electrical Engineering*, v. 6, n. 4, p. 15–27, 2020. Citado 3 vezes nas páginas 10, 50 e 51.
- CHENG, X.-F. et al. State-of-the-art review on soft-switching technologies for non-isolated dc-dc converters. *IEEE Access*, v. 9, p. 119235–119249, 2021. Citado na página 64.
- CHEUNG, C.-K. et al. On energy efficiency of switched-capacitor converters. *IEEE Transactions on Power Electronics*, v. 28, n. 2, p. 862–876, 2013. Citado 2 vezes nas páginas 54 e 55.
- CHOI, S. et al. Voltage-controlled variable inductor for fixed-frequency critical conduction mode operation. *IEEE Transactions on Industrial Electronics*, v. 70, n. 6, p. 5707–5716, 2023. Citado na página 32.
- CHUA, L. O.; DESOER, C. A.; KUH, E. S. *Linear and nonlinear circuits*. [S.l.]: McGraw-Hill College, 1987. Citado na página 59.
- COONLEY, K. D.; SEQUEIRA, D.; MANN, B. P. Patterned rotary parallel-plate capacitor for frequency up-conversion and rc circuit waveform conditioning. *Engineering Research Express*, IOP Publishing, v. 2, n. 2, p. 025039, jun 2020. Disponível em: <<https://dx.doi.org/10.1088/2631-8695/ab9928>>. Citado na página 39.
- DANESHVAR, S. H. et al. A charge-depletion study of an electrostatic generator with adjustable output voltage. *IEEE Sensors Journal*, v. 19, n. 3, p. 1028–1039, 2019. Citado na página 32.
- DENG, J. et al. A zvs-pwm scheme for three-phase active-clamping t-type inverters. *IEEE Transactions on Power Electronics*, v. 38, n. 3, p. 3951–3964, 2023. Citado na página 64.

ELLIS, N. M.; AMIRTHARAJAH, R. Large signal analysis on variations of the hybridized dickson switched-capacitor converter. *IEEE Transactions on Power Electronics*, v. 37, n. 12, p. 15005–15019, 2022. Citado 2 vezes nas páginas 10 e 50.

FANG, J. et al. A review of multilevel converters with parallel connectivity. *IEEE Transactions on Power Electronics*, v. 36, n. 11, p. 12468–12489, 2021. Citado na página 31.

FARIDPAK, B. et al. Improved hybrid switched inductor/switched capacitor dc–dc converters. *IEEE Transactions on Power Electronics*, v. 36, n. 3, p. 3053–3062, 2021. Citado na página 51.

GUO, B.; DWARI, S.; PRIYA, S. Voltage-controlled tunable capacitor based resonant power converter. In: *2019 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2019. p. 2164–2169. Citado na página 44.

HAAS, C. H.; KRAFT, M. Modelling and analysis of a mems approach to dc voltage step-up conversion. *Journal of Micromechanics and Microengineering*, v. 14, n. 9, p. S114, aug 2004. Disponível em: <<https://dx.doi.org/10.1088/0960-1317/14/9/020>>. Citado 3 vezes nas páginas 33, 41 e 42.

HALLIDAY, D.; RESNICK, R.; WALKER, J. *Fundamentals of physics*. 10th edition. ed. [S.l.]: John Wiley & Sons, 2013. Citado 4 vezes nas páginas 37, 38, 39 e 40.

HARADA, K.; GU, W. J.; MURATA, K. Controlled resonant converters with switching frequency fixed. In: *1987 IEEE Power Electronics Specialists Conference*. [S.l.: s.n.], 1987. p. 431–438. Citado 4 vezes nas páginas 9, 32, 44 e 45.

HARADA, K. et al. Resonant converter controlled by variable capacitance devices. *IEEE Transactions on Power Electronics*, v. 8, n. 4, p. 404–410, 1993. Citado 2 vezes nas páginas 9 e 42.

HU, Y.; AMARA, A.; IOINOVICI, A. Llc resonant converter operated at constant switching frequency and controlled by means of a switched-capacitor circuit. In: *2013 1st International Future Energy Electronics Conference (IFEEEC)*. [S.l.: s.n.], 2013. p. 691–696. Citado 4 vezes nas páginas 9, 32, 45 e 46.

HUA, G.; LEE, F. Soft-switching techniques in pwm converters. *IEEE Transactions on Industrial Electronics*, v. 42, n. 6, p. 595–603, 1995. Citado 2 vezes nas páginas 64 e 66.

JANG, Y.; JOVANOVIC, M.; CHANG, Y.-M. A new zvs-pwm full-bridge converter. *IEEE Transactions on Power Electronics*, v. 18, n. 5, p. 1122–1129, 2003. Citado na página 64.

JR., W. H. H.; BUCK, J. A. *Enginneering Eletromagnetics*. 8th edition. ed. New York, NY, USA: The McGraw-Hill Companies, 2013. Citado 2 vezes nas páginas 37 e 38.

JUNIOR, D. G. B. et al. *Conversores CC-CC isolados tipo T com comutação suave para altas tensões*. Tese (Doutorado) — Universidade Federal de Santa Catarina, Centro Tecnológico, Curso de Pós-Graduação em Engenharia Elétrica, Porto Alegre, 2018. Citado na página 66.

Júnior, R. L. da S. *Fonte Auxiliar Alimentada em Média Tensão Baseada na Integração do Conversor Forward com Células de Capacitor Chaveado*. Dissertação (Dissertação de Mestrado) — Universidade Federal de Santa Catarina, 2019. Citado na página 58.

KANG, M.; ENJETI, P.; PITEL, I. Analysis and design of electronic transformers for electric power distribution system. *IEEE Transactions on Power Electronics*, v. 14, n. 6, p. 1133–1141, 1999. Citado na página 30.

KATSUKI, A.; ARAI, T.; MATSUSHIMA, M. Power-factor-corrected distortion-free constant-voltage constant-current ac power supply using variable capacitance devices. In: *Proceedings of the Power Conversion Conference-Osaka 2002 (Cat. No.02TH8579)*. [S.l.: s.n.], 2002. v. 3, p. 933–940 vol.3. Citado na página 43.

KATSUKI, A.; IWATA, H.; MATSUI, T. Distortion-free regulated ac power supply using variable capacitance device. In: *Proceedings of Power Conversion Conference - PCC '97*. [S.l.: s.n.], 1997. v. 1, p. 347–354 vol.1. Citado 3 vezes nas páginas 33, 43 e 44.

KATSUKI, A. et al. Improved variable capacitance device and its applications to resonant converters. In: *Proceedings of Intelec 93: 15th International Telecommunications Energy Conference*. [S.l.: s.n.], 1993. v. 2, p. 242–246 vol.2. Citado na página 43.

KHAN, F.; YOUNIS, M. I. Rf mems electrostatically actuated tunable capacitors and their applications: a review. *Journal of Micromechanics and Microengineering*, IOP Publishing, v. 32, n. 1, p. 013002, dec 2021. Disponível em: <<https://dx.doi.org/10.1088/1361-6439/ac3cd5>>. Citado na página 41.

LEANDRO, G. M. *Conversores cc-cc LLC híbrido a capacitor chaveado ZVS-FM*. Dissertação (Dissertação de Mestrado) — Universidade Federal de Santa Catarina, 2019. Citado 4 vezes nas páginas 10, 50, 51 e 58.

LEE, F. C.; LI, Q.; NABIH, A. High frequency resonant converters: An overview on the magnetic design and control methods. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 9, n. 1, p. 11–23, 2021. Citado na página 31.

LEE, S.-S.; MOON, G.-W. Full zvs-range transient current buildup half-bridge converter with different zvs operations to load variation. *IEEE Transactions on Industrial Electronics*, v. 55, n. 6, p. 2557–2559, 2008. Citado na página 66.

- LI, L. et al. Research on the dynamics and bistable state of a mems variable capacitor. In: *2006 1st IEEE International Conference on Nano/Micro Engineered and Molecular Systems*. [S.l.: s.n.], 2006. p. 528–532. Citado na página 41.
- LI, S. et al. A family of hybrid step-up dc-dc converters based on switched-capacitor converters. In: *2020 IEEE 9th International Power Electronics and Motion Control Conference (IPEMC2020-ECCE Asia)*. [S.l.: s.n.], 2020. p. 497–502. Citado na página 47.
- LOJEK, B. History of semiconductors diffusion engineering. In: *10th IEEE International Conference of Advanced Thermal Processing of Semiconductors*. [S.l.: s.n.], 2002. p. 209–241. Citado na página 30.
- MAKOWSKI, M.; MAKSIMOVIC, D. Performance limits of switched-capacitor dc-dc converters. In: *Proceedings of PESC '95 - Power Electronics Specialist Conference*. [S.l.: s.n.], 1995. v. 2, p. 1215–1221 vol.2. Citado na página 46.
- MARTINS, G. B.; BARBI, I. *Estudo de conversores a capacitores chaveados*. Tese (Doutorado) — Universidade Federal de Santa Catarina, Centro Tecnológico, Curso de Pós-Graduação em Engenharia Elétrica, Porto Alegre, 2013. Citado na página 31.
- MARTINS, J. F. et al. Transactive energy: Power electronics challenges. *IEEE Power Electronics Magazine*, v. 9, n. 1, p. 20–32, 2022. Citado na página 31.
- MIN, J.; SUH, Y. Auto-bias electrical variable capacitor of reduced active component count and voltage stress for 13.56 mhz rf plasma process. *IEEE Transactions on Industry Applications*, v. 58, n. 4, p. 4994–5004, 2022. Citado na página 32.
- MOHAMMED, S. A. Q.; JUNG, J.-W. A state-of-the-art review on soft-switching techniques for dc–dc, dc–ac, ac–dc, and ac–ac power converters. *IEEE Transactions on Industrial Informatics*, v. 17, n. 10, p. 6569–6582, 2021. Citado na página 64.
- MOUSAVI, A.; DAS, P.; MOSCHOPOULOS, G. A comparative study of a new zcs dc–dc full-bridge boost converter with a zvs active-clamp converter. *IEEE Transactions on Power Electronics*, v. 27, n. 3, p. 1347–1358, 2012. Citado na página 64.
- NAKAMURA, K. et al. Development of a novel three-phase laminated-core variable inductor for var compensation. *IEEE Transactions on Magnetics*, v. 44, n. 11, p. 4107–4110, 2008. Citado na página 32.
- NGUYEN, M.-K.; DUONG, T.-D.; LIM, Y.-C. Switched-capacitor-based dual-switch high-boost dc–dc converter. *IEEE Transactions on Power Electronics*, v. 33, n. 5, p. 4181–4189, 2018. Citado na página 51.
- OWEN, E. History [origin of the inverter]. *IEEE Industry Applications Magazine*, v. 2, n. 1, p. 64–66, 1996. Citado na página 30.

- PENG, F. et al. A new zvs bidirectional dc-dc converter for fuel cell and battery application. *IEEE Transactions on Power Electronics*, v. 19, n. 1, p. 54–65, 2004. Citado na página 66.
- PETER, P. K.; AGARWAL, V. Analysis and design of a ground isolated switched capacitor dc-dc converter. In: IEEE. *2010 IEEE International Symposium on Industrial Electronics*. [S.l.], 2010. p. 632–637. Citado na página 31.
- PETERSEN, L. L. A history of silicon carbide (sic) wide bandgap (wbg) advancement through power electronic building blocks (pebb) and implications for the future. In: *2023 IEEE Electric Ship Technologies Symposium (ESTS)*. [S.l.: s.n.], 2023. p. 362–368. Citado na página 30.
- PRADO, R. do. Effects of the saturable resonant inductor on the rectifying diode reverse recovery of zvs converters. In: *3rd International Power Electronic Congress. Technical Proceedings. CIEP '94*. [S.l.: s.n.], 1994. p. 108–113. Citado na página 224.
- QUEIROZ, A. C. M. de; MENEZES, N. A. T. de. Energy harvesting with pairs of variable capacitors without control circuits. *Analog Integrated Circuits and Signal Processing*, v. 97, n. 3, p. 533–544, 2018. Citado na página 32.
- RAFIN, S. M. S. H.; ISLAM, R.; MOHAMMED, O. A. Overview of power electronic converters in electric vehicle applications. In: *2023 Fourth International Symposium on 3D Power Electronics Integration and Manufacturing (3D-PEIM)*. [S.l.: s.n.], 2023. p. 1–7. Citado na página 31.
- SAADAOU, A.; OUASSAID, M.; MAAROUFI, M. Overview of integration of power electronic topologies and advanced control techniques of ultra-fast ev charging stations in standalone microgrids. *Energies*, v. 16, n. 3, 2023. ISSN 1996-1073. Disponível em: <<https://www.mdpi.com/1996-1073/16/3/1031>>. Citado na página 31.
- SABATE, J. et al. Design considerations for high-voltage high-power full-bridge zero-voltage-switched pwm converter. In: *Fifth Annual Proceedings on Applied Power Electronics Conference and Exposition*. [S.l.: s.n.], 1990. p. 275–284. Citado na página 64.
- SABERHOSSEINI, S. S. et al. Design and simulation of a variable mems capacitor for tunable hmsiw resonator. *IET Circuits, Devices & Systems*, v. 14, n. 5, p. 707–712, 2020. Disponível em: <<https://ietresearch.onlinelibrary.wiley.com/doi/abs/10.1049/iet-cds.2019.0511>>. Citado na página 32.
- SALVADOR, M. A.; LAZZARIN, T. B.; COELHO, R. F. High step-up dc-dc converter with active switched-inductor and passive switched-capacitor networks. *IEEE Transactions on Industrial Electronics*, v. 65, n. 7, p. 5644–5654, 2018. Citado na página 51.

- SAMAALI, H.; OUNI, B.; NAJAR, F. Design and modelling of mems dc–dc converter. *Electronics Letters*, v. 51, n. 11, p. 860–861, 2015. Disponível em: <<https://ietresearch.onlinelibrary.wiley.com/doi/abs/10.1049/el.2014.4378>>. Citado 2 vezes nas páginas 41 e 42.
- SANTOS, A. C. S. dos. *Física Eletricidade e Magnetismo I*. Fortaleza, CE, BR: Editora da Universidade Estadual do Ceará – EdUECE, 2015. Citado na página 37.
- SEEMAN, M. D. *A design methodology for switched-capacitor DC-DC converters*. [S.l.]: University of California, Berkeley, 2009. Citado na página 61.
- SEEMAN, M. D.; SANDERS, S. R. Analysis and optimization of switched-capacitor dc–dc converters. *IEEE Transactions on Power Electronics*, v. 23, n. 2, p. 841–851, 2008. Citado 4 vezes nas páginas 10, 59, 61 e 62.
- SOUZA, A. F. de; TOFOLI, F. L.; RIBEIRO, E. R. Switched capacitor dc-dc converters: A survey on the main topologies, design characteristics, and applications. *Energies*, MDPI, v. 14, n. 8, p. 2231, 2021. Citado na página 31.
- SUN, R. Y. et al. Optimization and design of a 48-to-12 v, 35 a split-phase dickson switched-capacitor converter. In: *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*. [S.l.: s.n.], 2021. p. 1900–1907. Citado na página 51.
- SURYADEVARA, R.; PARSA, L. Fb-zcs dc–dc converter with dual-capacitor resonant circuit for renewable energy integration with mvdc grids. *IEEE Transactions on Industry Applications*, v. 56, n. 6, p. 6792–6802, 2020. Citado na página 64.
- TABISZ, W.; LEE, F. Zero-voltage-switching multi-resonant technique—a novel approach to improve performance of high frequency quasi-resonant converters. In: *PESC '88 Record., 19th Annual IEEE Power Electronics Specialists Conference*. [S.l.: s.n.], 1988. p. 9–17 vol.1. Citado na página 64.
- TANZAWA, T. Innovation of switched-capacitor voltage multiplier: Part 1: A brief history. *IEEE Solid-State Circuits Magazine*, v. 8, n. 1, p. 51–59, 2016. Citado na página 47.
- TIKU, D. dc power transmission: Mercury-arc to thyristor hvdc valves [history]. *IEEE Power and Energy Magazine*, v. 12, n. 2, p. 76–96, 2014. Citado na página 30.
- UMANSI, S. D. *Fitzgerald and Kingsley's Electric Machinery*. 7th edition. ed. New York ,NY, USA: [s.n.], 2014. Citado na página 30.
- VALLEM, V. et al. A soft variable-area electrical-double-layer energy harvester. *Advanced Materials*, v. 33, n. 43, 2021. Citado na página 39.
- WEI, Y. et al. A magnetically controlled single-stage ac–dc converter. *IEEE Transactions on Power Electronics*, v. 35, n. 9, p. 8872–8877, 2020. Citado na página 32.

- WEI, Y.; WOLDEGIORGIS, D.; MANTOOTH, A. Variable resonant and magnetizing inductor control for llc resonant converter. In: *2020 IEEE 11th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*. [S.l.: s.n.], 2020. p. 149–153. Citado na página 32.
- WEN, D. et al. Transient analysis of zcs pwm converter based on equivalent small parameter method. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 9, n. 4, p. 4188–4199, 2021. Citado na página 64.
- XIE, W.; SMEDLEY, K. Step-up ladder resonant switched-capacitor converter with full-range regulation. In: *2020 IEEE PES/IAS PowerAfrica*. [S.l.: s.n.], 2020. p. 1–4. Citado na página 51.
- XIONG, Y. et al. New physical insights on power mosfet switching losses. *IEEE Transactions on Power Electronics*, v. 24, n. 2, p. 525–531, 2009. Citado na página 63.
- ZHANG, F. et al. A new design method for high-power high-efficiency switched-capacitor dc–dc converters. *IEEE Transactions on Power Electronics*, v. 23, n. 2, p. 832–840, 2008. Citado 3 vezes nas páginas 50, 52 e 53.
- ZHANG, F.; PENG, F.; QIAN, Z. Study of the multilevel converters in dc-dc applications. In: *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*. [S.l.: s.n.], 2004. v. 2, p. 1702–1706 Vol.2. Citado na página 31.
- ZHANG, L.; HURLEY, W. G.; WöLFLE, W. A new approach to achieve maximum power point tracking for pv system with a variable inductor. In: *The 2nd International Symposium on Power Electronics for Distributed Generation Systems*. [S.l.: s.n.], 2010. p. 948–952. Citado na página 32.
- ZHANG, L.; NGO, K. A voltage-controlled capacitor with wide capacitance range. In: *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2018. p. 7050–7054. Citado 2 vezes nas páginas 43 e 44.
- ZHANG, L. et al. Voltage-controlled capacitor—feasibility demonstration in dc–dc converters. *IEEE Transactions on Power Electronics*, v. 32, n. 8, p. 5889–5892, 2017. Citado 4 vezes nas páginas 9, 32, 42 e 43.
- ZHENG, D. et al. Medium frequency output impedance limits of switched-capacitor circuits. *IEEE Transactions on Power Electronics*, v. 38, n. 2, p. 2156–2168, 2023. Citado na página 59.
- ZHENG, X.; LUO, P. A fully integrated switched capacitor power converter with minimum driving loss point tracking technique. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 69, n. 12, p. 4959–4963, 2022. Citado na página 59.

ZHU, G.; IOINOVICI, A. Steady-state characteristics of switched-capacitor electronic converters. *Journal of Circuits, Systems, and Computers*, World Scientific, v. 7, n. 02, p. 69–91, 1997. Citado na página 54.

ZHU, Y.; YE, Z.; PILAWA-PODGURSKI, R. C. N. Modeling and analysis of switched-capacitor converters with finite terminal capacitances. In: *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*. [S.l.: s.n.], 2021. p. 178–185. Citado na página 54.

Apêndices

APÊNDICE A – VARIAÇÃO DO VALOR DA CAPACITÂNCIA EM FUNÇÃO DA RAZÃO CÍCLICA

A variação da capacitância entre os terminais a e b em função da razão cíclica é percebida pelo conversor somente se a frequência de comutação dos interruptores pertencentes à célula de capacitor variável for muito maior (pelo menos dez vezes) que a frequência de comutação dos interruptores principais do conversor.

O equacionamento da capacitância é realizado por meio da análise dos estados topológicos apresentados na Figura 4.1. Observando a Figura 4.1(c), define-se a corrente na capacitância equivalente como

$$i_{C_{eq}} = 2C \frac{\Delta V_C}{\Delta t}. \quad (\text{A.1})$$

Durante a segunda etapa de operação (Figura 4.1(d)), a corrente que flui através da capacitância equivalente é

$$i_{C_{eq}} = \frac{C}{2} \frac{\Delta V_C}{\Delta t}. \quad (\text{A.2})$$

Multiplicando (A.1) por DT_s e (A.2) por $(1-D)T_s$, é definida a equação (A.3), da qual pode ser extraído o valor da capacitância vista pelos terminais ab durante um intervalo de comutação.

$$\frac{\Delta V_C}{\Delta t} = i_{C_{eq}} \frac{D + 4(1-D)}{2C} T_s. \quad (\text{A.3})$$

Sendo $\Delta V_C / \Delta t = C_{eq}$, obtém-se

$$\frac{1}{C_{eq}} = \frac{D + 4(1-D)}{2C}. \quad (\text{A.4})$$

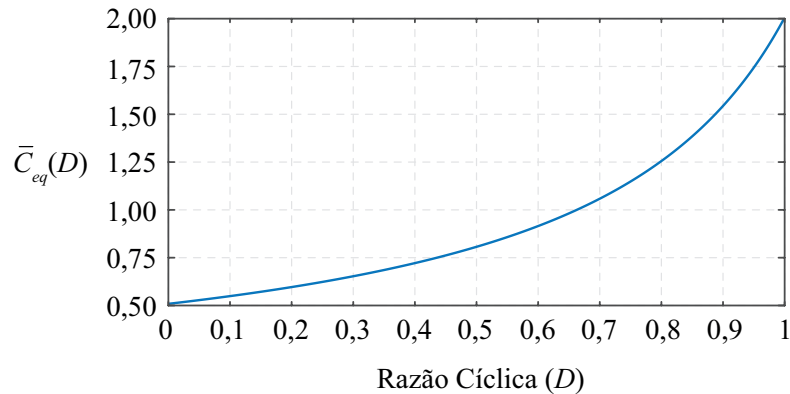
Manipulando (A.4), define-se que

$$C_{eq} = \frac{2C}{4(1-D) + D}. \quad (\text{A.5})$$

A equação (A.5) confirma que o valor da capacitância equivalente pode ser controlado por meio da razão cíclica. C_{eq} apresenta valor máximo de $2C$ para o conversor operando com $D = 1$ e valor mínimo de $C/2$ para $D = 0$. A equação (A.5) é parametrizada em relação a C e representada graficamente na Figura A.1.

A Figura A.1 mostra que o valor da capacitância equivalente vista entre os pontos ab é incrementado com o aumento da razão cíclica e, conforme definido, $C/2 < C_{eq} < 2C$.

Figura A.1 – Variação da capacitância vista entre os terminais ab da célula de comutação variável em relação a razão cíclica.



Fonte: Autor.

Por apresentar variação da capacitância entre seus terminais dependente da razão cíclica, a célula apresentada pode ser empregada para substituir capacitores variáveis em conversores ou ainda viabilizar que algumas topologias de conversores ressonantes sejam controladas por meio da variação da razão cíclica. A frequência de ressonância dos conversores passa a ser alterada por meio da variação da capacitância equivalente. Para possibilitar que o conversor perceba uma mudança gradual da capacitância vista entre os terminais ab , é necessário que os interruptores da célula proposta comutem ao menos dez vezes mais rápido que os interruptores principais.

A.1 VALIDAÇÃO EXPERIMENTAL DA VARIAÇÃO DA CAPACITÂNCIA EM RELAÇÃO A RAZÃO CÍCLICA

O experimento de validação da variação da capacitância, vista nos terminais da célula de comutação, é realizado de forma indireta. Primeiramente, mede-se o tempo necessário para que a tensão sobre os capacitores atinja 63,21% do valor nominal de patamar quando o conversor é energizado.

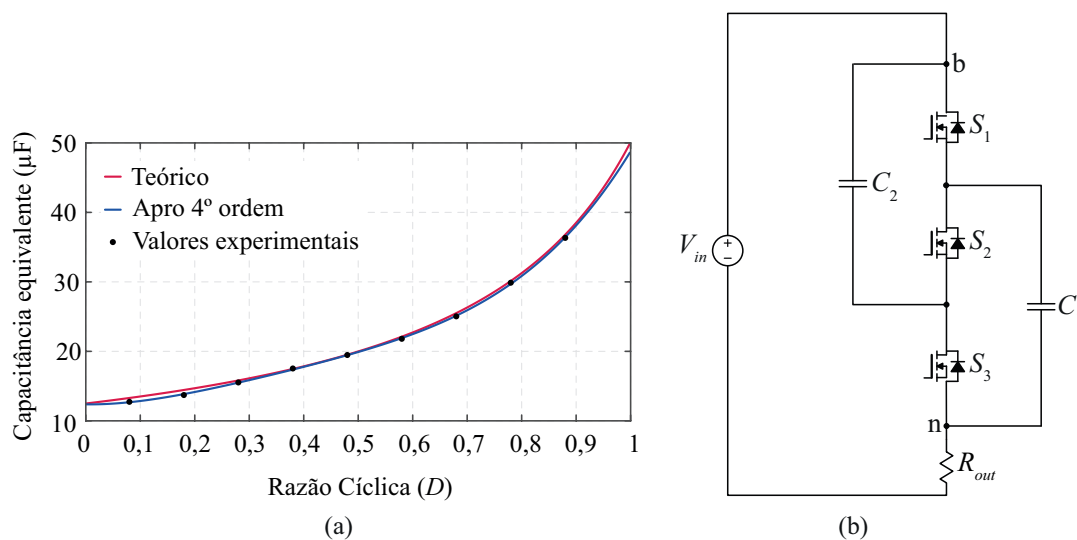
Para realizar esse ensaio, o transformador foi desconectado do sistema e uma resistência com valor medido de 557Ω é inserida para elevar o tempo de carga da capacitância, como mostrado na Figura A.2(b). Dessa forma, as resistências equivalentes de condução dos MOSFETs podem ser desconsideradas, logo $\tau = C \cdot R_{out}$. Portanto, os valores da capacitância equivalente para cada situação são definidos substituindo os valores obtidos experimentalmente na equação a seguir.

$$C = \tau \cdot 557. \quad (\text{A.6})$$

A partir dos valores encontrados em (A.6), define-se o gráfico apresentado na Figura A.2(a), onde os pontos obtidos experimentalmente são interpolados polinomialmente por uma função de quarta ordem, e a curva obtida é comparada com a curva teórica. Analisando

os resultados obtidos, nota-se a semelhança entre a curva experimental e a teórica, validando assim o equacionamento desenvolvido no Capítulo 4.1.

Figura A.2 – Validação experimental da variação da capacitância vista nos terminais da célula de comutação. (a) Curva de capacitância vista dos terminais da célula de comutação em função da razão cíclica obtida experimentalmente. (b) Circuito utilizado no experimento.



Fonte: Autor.

APÊNDICE B – PROJETO DO INDUTOR AUXILIAR DE COMUTAÇÃO

O projeto do indutor auxiliar é realizado de acordo com (BARBI, 2014). A indutância auxiliar necessária para que ocorra ZVS é de $7,5 \mu\text{H}$, o máximo fluxo magnético definido para o projeto é $B_{max} = 0,3 \text{ T}$ e o fator de ocupação da janela $K_w = 0,6$, o produto mínimo entre as áreas da janela e da seção transversal do núcleo é definido em (B.1).

$$AeAwL_c = \frac{L_C \cdot \left(\frac{I_{o,nom}}{n}\right)^2}{K_w \cdot J_{max} \cdot B_{max}} = 0.157 \text{ textcm}^4 \quad (\text{B.1})$$

Verificando os núcleos disponíveis o que melhor atende as especificações do projeto é o modelo NEE-42/21/20 fabricado pela THORNTON com material N87. As especificações do núcleo são apresentadas na Tabela B.1.

Tabela B.1 – Parâmetros do núcleo NEE-42/21/20.

Parâmetro	Valor
Área da seção transversal do núcleo (Ae)	240 mm^2
Área da janela (Aw)	157 mm^2
Produto das áreas ($AeAw$)	18840 mm^4
Caminho magnético médio ($l_{núcleo}$)	97 mm
Volume do núcleo ($V_{núcleo}$)	23300 mm^3
Comprimento médio de uma espira (l_{espira})	105 mm
Permeabilidade magnética no vácuo (μ_o)	$4\pi \cdot 10^{-7} \text{ H/m}$
Permeabilidade relativa do núcleo ($\mu_{núcleo}$)	1 H/m
Constante de perdas por histerese (K_h)	$4 \cdot 10^{-5}$
Contante de perdas por correntes parasitas (K_f)	$4 \cdot 10^{-10}$

O número de espiras é definido em (B.2).

$$N = \frac{L_C \left(\frac{I_{o,nom}}{n}\right)}{A_e B_{max}} = 2,72 \quad (\text{B.2})$$

O número de enrolamentos definido no cálculo é pequeno. Dessa forma, podem ser utilizados mais enrolamentos, desde que, o entreferro necessário para atingir a indutância desejada seja devidamente calculado. Considerando que o indutor seja construído com 8 espiras, o entreferro é dado por:

$$l_g = \frac{N^2 \cdot \mu_o \cdot Ae}{L_C} = 1,2 \text{ mm.} \quad (\text{B.3})$$

A seção transversal mínima necessária para os condutores é definida em (B.4).

$$S_{fio,L_c} = \frac{I_{o,nom}}{n \cdot J_{max}} = 0,029 \text{cm}^2 \quad (\text{B.4})$$

Devido ao efeito pelicular, optou-se por utilizar fio AWG38. Sua especificações são apresentadas na Tabela 13.3.

A seção transversal calculada para os condutores é superior a apresentada pelo fio AWG38. Portanto, é necessário associar condutores em paralelo a fim de que a corrente seja conduzida sem sobreaquecer os fios. Assim, é definido em (B.5), o número necessário de condutores em paralelo.

$$N_{paralelo,L_c} = \frac{S_{fio,L_o}}{S_{AWG38,cu}} = 361,11 \quad (\text{B.5})$$

Para a exceção do projeto optou-se pelo uso de fio Litz. Portanto, utilizou-se 1x400 fios em paralelo.

As perdas no indutor L_C , são definidas pelo somatório das perdas no enrolamento, definida em (B.6), com as perdas no núcleo, apresentadas em (B.8).

$$P_{cobre,L_c} = R_{cobre,L_c} \left(\frac{I_{o,nom}}{n} \right)^2 = 9,55 \times 2 \text{ mW} \quad (\text{B.6})$$

Onde:

$$R_{cobre,L_c} = \frac{l_{espira} N \rho_{AWG38}}{N_{paralelo,L_c}} = 6,746 \text{ m}\Omega \quad (\text{B.7})$$

$$P_{núcleo,L_c} = \Delta B^{2,4} (K_h \cdot f_s + K_f \cdot f_s^2) = 1,9 \text{ W} \quad (\text{B.8})$$

Onde, a variação de fluxo magnético, $\Delta B = 0,2 \text{ T}$.

Somando (B.6) e (B.8), a potência total dissipada pelo transformador é definida como

$$P_{total,L_o} = P_{cobre,L_c} + P_{núcleo,L_c} = 1,909 \text{ W}. \quad (\text{B.9})$$

A elevação da temperatura no indutor L_c é definida em (B.10).

$$\Delta T = P_{total,L_c} R_{t,núcleo} = 34,735 \text{ K} \quad (\text{B.10})$$

Considerando a temperatura ambiente $40 \text{ }^\circ\text{C}$, a temperatura máxima que o transformador pode atingir é $74,735 \text{ }^\circ\text{C}$.

APÊNDICE C – PROJETO DO INDUTOR DO FILTRO DE SAÍDA

O valor definido para a indutância de saída é 26,571 μH , o material dos núcleos disponíveis possui $B_{max} = 0,3 \text{ T}$. E o fator de ocupação da janela desejado é $K_u = 0,6$. Assim, obtém-se

$$A_e A_w L_o = \frac{L_o \cdot I_o^2}{K_u \cdot J_{max} \cdot B_{max}} = 11815,606; \text{mm}^4. \quad (\text{C.1})$$

Dos núcleos disponíveis o que melhor atende as especificações do projeto é o NEE-55/28/21 fabricado pela THORNTON com material N87. As especificações do núcleo são apresentadas na Tabela C.1.

Tabela C.1 – Parâmetros do núcleo NEE-55/28/21.

Parâmetro	Valor
Área da seção transversal do núcleo (A_e)	354 mm^2
Área da janela (A_w)	250 mm^2
Produto das áreas ($A_e A_w$)	88500 mm^4
Caminho magnético médio ($l_{núcleo}$)	120 mm
Volume do núcleo ($V_{núcleo}$)	42500 mm^3
Comprimento médio de uma espira (l_{espira})	116 mm
Permeabilidade magnética no vácuo (μ_o)	$4\pi \cdot 10^{-7} \text{ H/m}$
Permeabilidade relativa do núcleo ($\mu_{núcleo}$)	1 H/m
Constante de perdas por histerese (K_h)	$4 \cdot 10^{-5}$
Contante de perdas por correntes parasitas (K_f)	$4 \cdot 10^{-10}$

O número de espiras é definido por

$$N = \frac{L_o \cdot I_o}{A_e B_{max}} = 5,25. \quad (\text{C.2})$$

Dessa forma, são usados 6 enrolamentos, Para garantir que o indutor atinja o valor de indutância desejado é definido o tamanho do entreferro, dado por

$$l_g = \frac{N^2 \cdot \mu_o \cdot A_e}{L_o} = 1,02 \text{ mm}. \quad (\text{C.3})$$

A seção transversal mínima necessária para os condutores é definida em (C.4).

$$S_{fio, L_c} = \frac{I_{o, nom}}{n \cdot J_{max}} = 0,044 \text{ cm}^2 \quad (\text{C.4})$$

A seção transversal calculada para os condutores é superior a apresentada pelo fio disponível para uso (AWG38), assim é necessário associar condutores em paralelo.

Determina-se número necessário de condutores em paralelo como

$$N_{paralelo,L_c} = \frac{S_{fio,L_o}}{S_{AWG38,cu}} = 555,56. \quad (C.5)$$

Para a exceção do projeto optou-se pelo uso de fio Litz. Portanto, utilizou-se 1x400. As perdas no enrolamento e núcleo do indutor são definidas respectivamente em (C.6) e (C.8).

$$P_{cobre,L_o} = R_{cobre,L_o} \left(\frac{I_{o,nom}}{n} \right)^2 = 4,176 \text{mW} \quad (C.6)$$

Onde:

$$R_{cobre,L_o} = \frac{l_{espira} N \rho_{AWG38}}{N_{paralelo,L_c}} = 0,01 \Omega \quad (C.7)$$

$$P_{núcleo,L_o} = \Delta B^{2,4} (K_h \cdot f_s + K_f \cdot f_s^2) = 1,9 \text{ W} \quad (C.8)$$

A variação de fluxo magnético, (ΔB) é igual a 0,2 T.

Somando (B.6) e (C.8), a potência total dissipada pelo transformador é apresentada em (C.9).

$$P_{total,L_o} = P_{cobre,L_o} + P_{núcleo,L_o} = 6,0755 \text{ W} \quad (C.9)$$

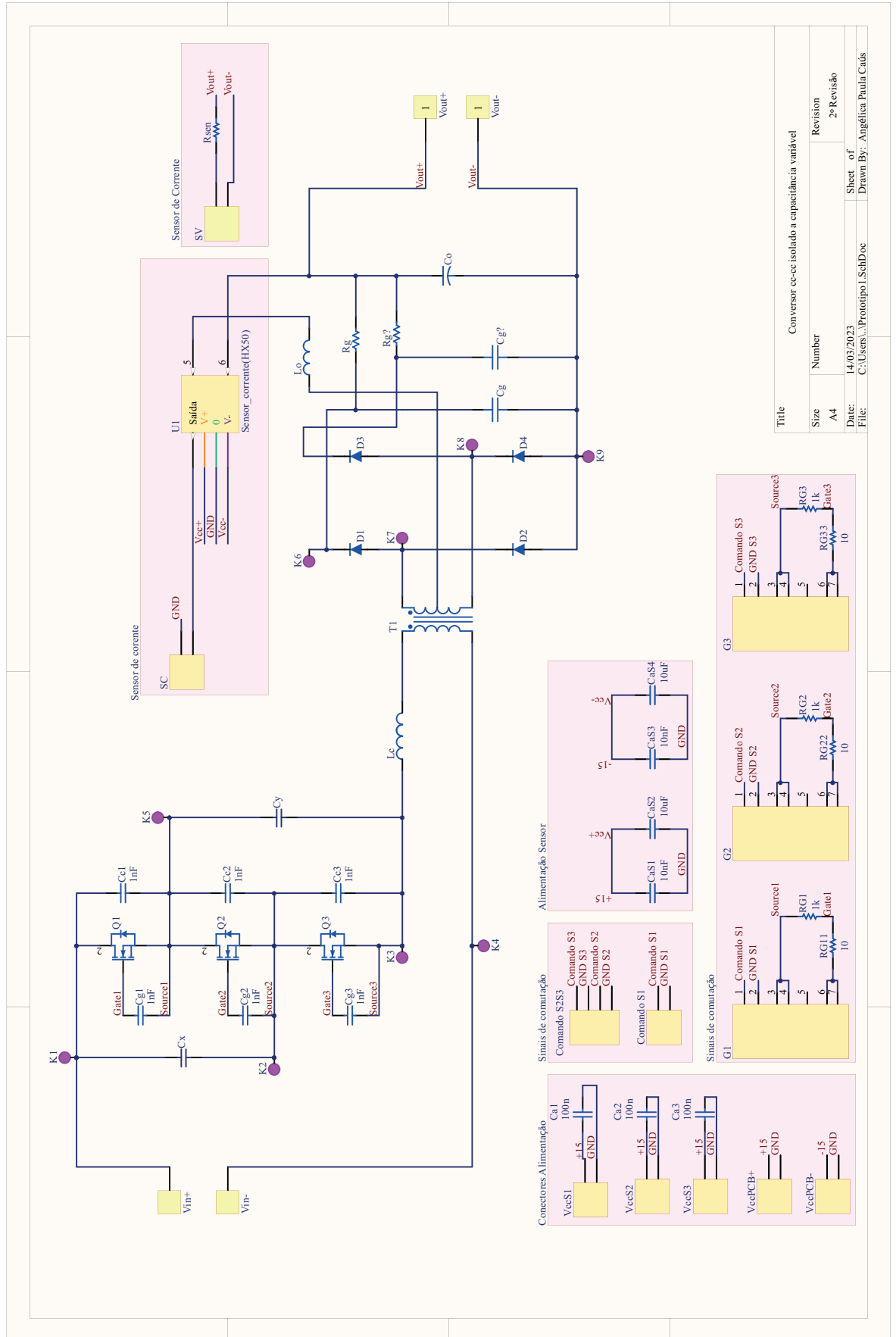
A elevação da temperatura no indutor L_o é definida em (C.10).

$$\Delta T = P_{total,L_o} R t_{núcleo} = 62,365 \text{ }^\circ\text{C} \quad (C.10)$$

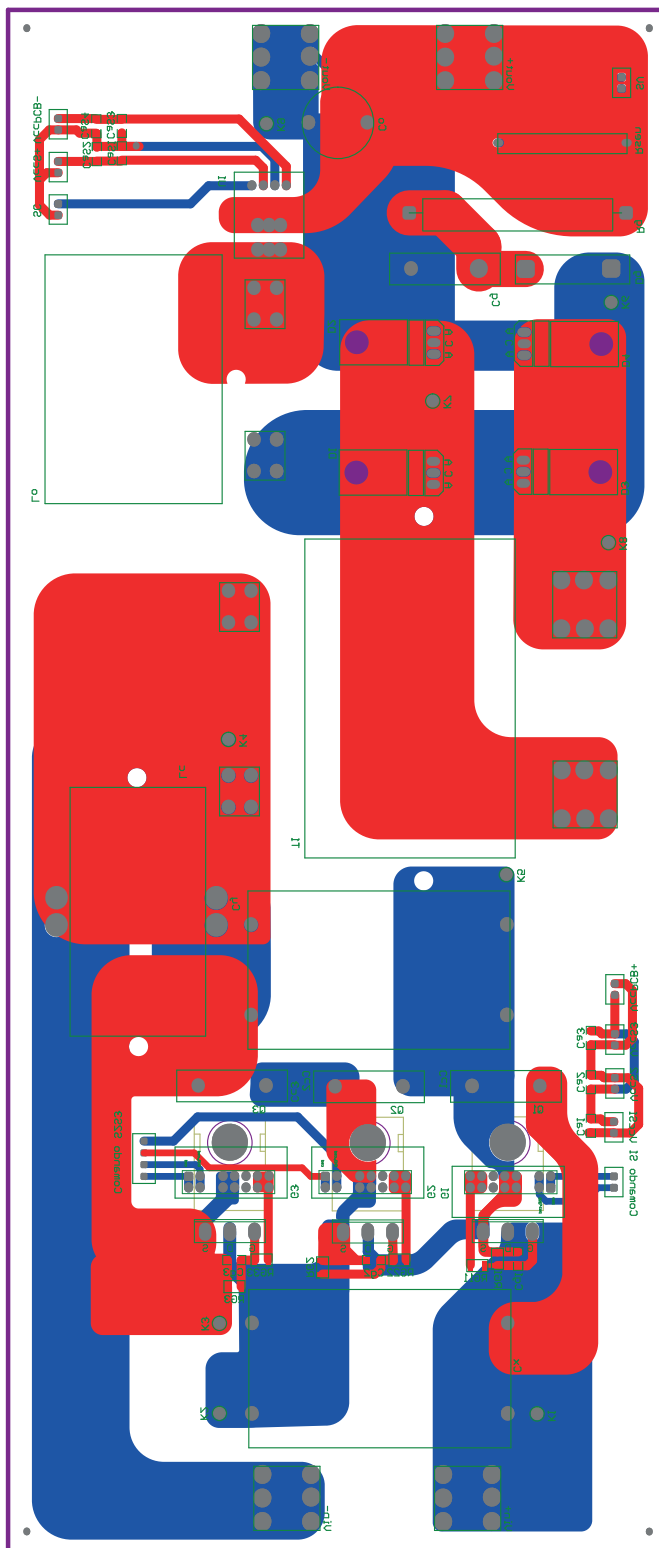
Considerando a temperatura ambiente 40 °C, a temperatura máxima que o transformador pode atingir é 102,365 °C.

APÊNDICE D – PROJETO DA PLACA NO ALTIUM

D.1 ESQUEMA ELÉTRICO DA PLACA DE CIRCUÍTO IMPRESSO



D.2 DESENHO DA PLACA DE CIRCUITO IMPRESSO



APÊNDICE E – ARTIGO PUBLICADO NA REVISTA SOBRAEP

ISOLATED ZVS-PWM DC-DC CONVERTER BASED ON THE VARIABLE CAPACITOR TECHNIQUE

Angélica P. Caús, Ivo Barbi

Federal University of Santa Catarina, Florianópolis-SC, Brazil

e-mail: caus.angelica@gmail.com; ivobarbi@gmail.com

Abstract – This paper introduces a new static power conversion principle, based on the variable capacitance of a capacitor arrangement. As an example of the proposed technique, an isolated ZVS-PWM dc-dc converter topology is proposed. Circuit operation and theoretical analysis, with emphasis on the soft-commutation process, are included in the paper. To validate the theoretical analysis and verify the operation of the converter, a proof-of-concept experimental prototype with 960 W power rating, 400 V input voltage, 48 V output voltage and 100 kHz switching frequency was designed, constructed and tested in a laboratory. An additional attribute of the proposed technique is the reduction of the voltage across the power semiconductors to two-thirds of the dc bus voltage, when the duty cycle is equal to 0.5. The proposed technique can be extended and used to generate several other topologies of isolated and non-isolated dc-dc converters.

Keywords – DC-DC Converter, Isolated, Soft Commutation, Variable Capacitance.

I. INTRODUCTION

Static converters are made up of active and passive components. Modern active components are power semiconductors operating as switches. Ideally, they can be considered as resistors with variable resistance, being null in the conduction state and infinite in the blocked state.

Passive elements are capacitors, inductors and coupled inductors or transformers. Usually, the parameters of these components are constant and independent of the currents, voltages or operating frequencies.

The passive components are used to perform filtering, energy accumulation and insulation, playing no role in controlling the power flow between the input source and the load of a converter.

The active components or switches, by varying the operating frequency or the relative times between the ON or the OFF states, allow the control of the power flow between the external sources, and consequently the internal voltages and currents at their terminals.

The use of variable capacitors has been presented in the literature as a possible technique for the control of resonant converters operating at a constant frequency, since the control variable of these converters is the ratio of the switching frequency to the resonance frequency. The obtaining of a variable capacitor using fixed capacitances,

inductances, and power semiconductors, to change the resonance frequency of the series resonant converter was originally introduced in [1].

The use of ceramic capacitors with voltage-dependent capacitance was introduced in [2] to control the resonant frequency of the resonant series converter and in [3] to control the resonant frequency of the LLC resonant converter.

In the solutions presented, although the variable capacitor is used to control the processed power, it remains a passive component of the converter since its variation occurs slowly and not in the frequency of the active elements that operate in the switching frequency, which are the power semiconductors.

A different method presented in [4-6] employs the interdependence between capacitance voltage in variable capacitors, obtained using micro-electro-mechanical techniques (MEMS). The capacitance variation is obtained through the variation of the parallel plate gap. The capacitor is charged with a fixed charge. The increase in the parallel plate gap of the capacitor resulted in the capacitance decreases and increases in the voltage across the capacitor. Conversely, if the distance between the parallel plates of the capacitor decreases, the capacitance will increase, resulting in a decrease in the voltage across the capacitor.

The capacitor operating principle is better understood with the aid of the circuit shown in Figure 1, in which $C(x)$ represents a variable capacitance capacitor.

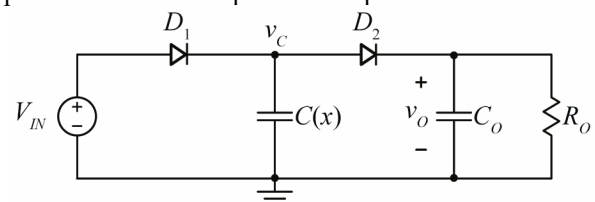


Fig. 1. Step-up dc-dc converter with variable capacitor.

The capacitance of capacitor $C(x)$ varies periodically. In the time interval. Where the capacitance $C(x)$ reach its minimum value $C(x) = C_{min}$, the voltage across $C(x)$ becomes greater than the supply voltage V_{IN} and diode D_1 is blocked. Diode D_2 conducts and part of the energy stored in $C(x)$ is transferred to the output stage formed by C_O and R_O . In this way, the output voltage v_O is greater than the input voltage V_{IN} and the circuit is a voltage step-up. From the instant when the capacitance $C(x)$ reach its maximum, $C(x) = C_{max}$, diode D_2 blocks while the diode D_1

Manuscript received 05/09/2023; first revision 06/16/2023 and accepted for publication 08/28/2023, by recommendation of Editor Telles Brunelli Lazzarin. <http://dx.doi.org/10.18618/REP.2023.3.0012>

conducts, connecting the capacitor $C(x)$ in parallel with the voltage source V_{IN} . In this time interval, energy is transferred from the source V_{IN} to the capacitor $C(x)$.

The capacitances obtained using the method proposed in [4-6] are in the order of some picofarads, allowing only the processing of very low power.

In the technique proposed in this paper, the variable capacitor can be interpreted as an active element of the circuit, replacing the power semiconductors. Therefore, the frequency of change of capacitance is equal to the switching frequency of the converter differently from the solutions proposed in [1-3].

Currently, there are no capacitors capable of varying their capacitance quickly. To emulate this particular is used the commutation cell is presented in Figure 2.

II. PROPOSED CONVERTER

The power stage of the proposed converter is shown in Figure 2.a. It consists of the semiconductors S_{1a} , S_{1b} , and S_2 , two switched capacitors C_X and C_Y , the high frequency isolating transformer T , the magnetizing inductance L_M and the commutation inductance L_C which includes the transformer leakage inductance.

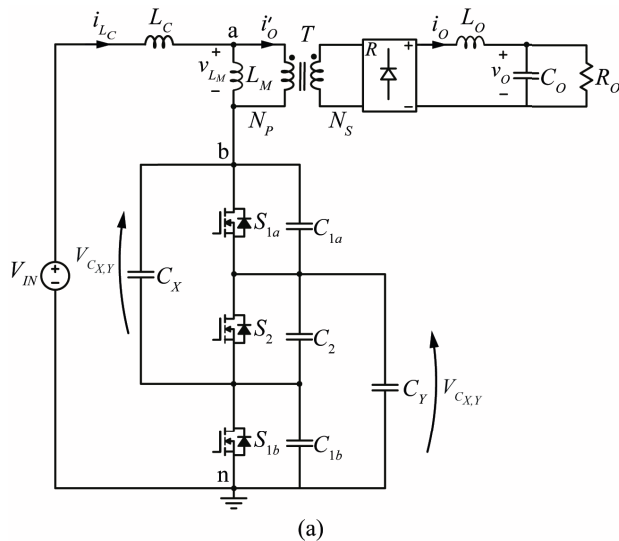


Fig. 2. Proposed isolated dc-dc converter. (a) Power stage. (b) Gate signals.

The output stage consists of the diode rectifier R and the filtering stage L_O and C_O . The input voltage source is denoted by V_{IN} and the load by the resistor R_O .

The capacitors C_{1a} , C_{1b} , and C_2 are auxiliary commutation capacitors.

The gate signals of the power semiconductors ($G_{1a,b}$ e G_2) are shown in Figure 2.b. Switches S_{1a} , and S_{1b} are driven by the same signal. The control of the converter is carried out by PWM modulation, with a constant frequency and variable duty cycle D .

III. OPERATING PRINCIPLE OF THE PROPOSED CONVERTER

The arrangement formed by switches S_{1a} , S_{1b} , and S_2 , with capacitors C_X and C_Y , and ideal components, is shown in Figure 3.a, and its two topological states are shown in Figures 3.b and 3.c, for the time intervals $(0 - DT_S)$ and $(DT_S - T_S)$, respectively.

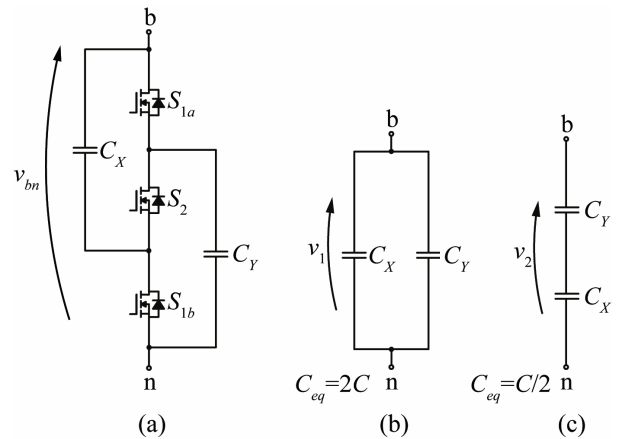


Fig. 3. (a) Arrangement for obtaining variable capacitance. (b) Equivalent circuit for the time interval $(0 - DT_S)$. (c) Equivalent circuit for the time interval $(T_S - DT_S)$.

In the time interval $(0 - DT_S)$, semiconductors S_{1a} and S_{1b} are closed while S_2 is open. Thus, the two C_X and C_Y , are associated in parallel. Since $C_X = C_Y = C$, the equivalent capacitance is $C_{eq} = 2C$.

In the time interval $(T_S - DT_S)$, semiconductors S_{1a} and S_{1b} are open and S_2 is closed. Hence, capacitors C_X and C_Y are associated in series and the equivalent capacitance is $C_{eq} = C/2$. Therefore, the described arrangement functions as a variable capacitor.

Since the average values of the voltages across the inductors L_M and L_C in steady state are equal to zero, it can be concluded that the average value of the voltage across the terminals bn , $\overline{V_{bn}}$ is equal to V_{IN} . Thus,

$$\overline{V_{bn}} = V_{IN}. \quad (1)$$

The change in the capacitance across the terminals bn causes an alternating component of voltage to appear superimposed on its average value. The corresponding waveforms are shown in Figure 4.

During the time interval $(0 - DT_S)$, shown in Figure 3.b, the equivalent capacitance is equal to $2C$ and the total charge is given by

$$Q_{Total} = Q_{C_x} + Q_{C_y} = 2Q. \quad (2)$$

The charge of each of the capacitors over the time interval $(0 - DT_S)$ is given by

$$Q = C \cdot v_1. \quad (3)$$

From (3) it is defined that $v_1 = Q/C$.

In the time interval $(T_S - DT_S)$, shown in Figure 3.c, the capacitors are connected in series. So, the equivalent capacitance is $C/2$. The charge corresponding to the equivalent capacitance is Q . The voltage between the terminals bn during the time interval $(T_S - DT_S)$, denote by v_2 , is defined as

$$v_2 = \frac{2Q}{C}. \quad (4)$$

Rearranging (4) we obtain $Q/C = v_2/2$. From (3) it is defined that $Q/C = v_1$. It can be concluded that

$$v_2 = 2 \cdot v_1. \quad (5)$$

In the steady state, the average value of the alternating component of the voltage across the terminals ab is zero. Therefore,

$$(V_{IN} - v_1) \cdot D = (v_2 - V_{IN}) \cdot (1 - D). \quad (6)$$

Substitution of (5) in (6) yields

$$(V_{IN} - v_1) \cdot D = (2 \cdot v_1 - V_{IN}) \cdot (1 - D). \quad (7)$$

Thus, the voltages v_1 and v_2 are given by (8) and (9), respectively.

$$v_1 = \frac{V_{IN}}{2 - D}. \quad (8)$$

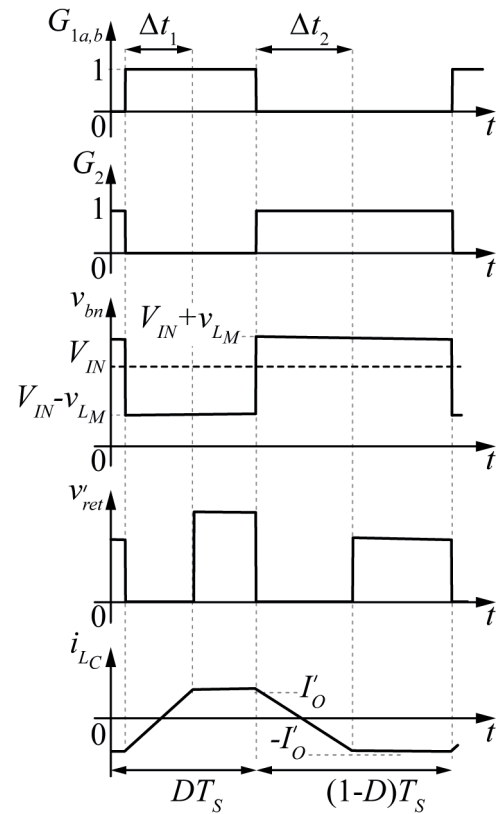


Fig. 4. Typical waveforms of the proposed converter.

$$v_2 = \frac{2 \cdot V_{IN}}{2 - D}. \quad (9)$$

Equations (8) and (9) show that the alternating component of voltage v_{bn} depends only on the input voltage V_{IN} and the duty cycle D .

V. ANALYSIS OF THE IDEAL CONVERTER WITH $L_C \neq 0$

Figure 5 shows the equivalent circuit of the converter. To simplify the analysis, we assume that L_C is located after the magnetizing inductance L_M and before the rectifier stage, and that all components were referred to primary side of the transformer.

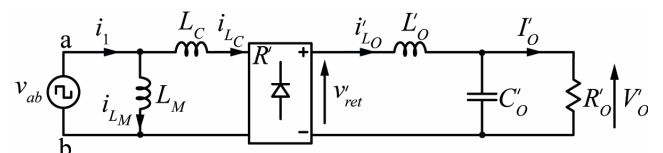


Fig. 5. The equivalent circuit of the proposed ideal converter with the inclusion of the inductance L_C , and all parameters referred to the primary side of the transformer.

The typical and relevant waveforms for describing the operation of the converter with ideal components and $L_C \neq 0$ are shown in Figure 4.

During the time intervals Δt_1 and Δt_2 in which $|i_{L_C}| < I'_O$, all diodes of the rectifier stage are in conduction, the voltage at its output be zero, causing a reduction in the effective duty cycle and consequently in the average value of the load voltage.

A. Duty Cycle Loss

The voltage across the inductor L_C is equal to $V_{IN} - v_1$ during the time interval Δt_1 and equal to $2 \cdot v_1 - V_{IN}$ during the time interval Δt_2 . The current excursion Δt_2 in L_C is equal to $2 \cdot I'_O$ in both stages of operation. Therefore, the voltage across L_C is given by

$$v_{L_C} = L_C \frac{\Delta I}{\Delta t}. \quad (10)$$

Thus, the duration of time intervals Δt_1 and Δt_2 are defined in (11) and (12), respectively.

$$\Delta t_1 = \frac{2L_C \cdot I'_O}{V_{IN}} \cdot \left(\frac{2-D}{1-D} \right) \quad (11)$$

$$\Delta t_2 = \frac{2L_C \cdot I'_O}{V_{IN}} \cdot \left(\frac{2-D}{D} \right). \quad (12)$$

The reduction of the duty cycle is given by

$$\Delta D = \frac{\Delta t}{T_S}. \quad (13)$$

Substituting (11) and (12) in (13) we find

$$\Delta D_1 = \frac{2 \cdot f_S \cdot L_C \cdot I'_O}{V_{IN}} \cdot \left(\frac{2-D}{1-D} \right) \quad (14)$$

$$\Delta D_2 = \frac{2 \cdot f_S \cdot L_C \cdot I'_O}{V_{IN}} \cdot \left(\frac{2-D}{D} \right). \quad (15)$$

B. Static Gain and Output Characteristics

From the waveforms shown in Figure 4, we obtain the average rectified voltage, given by

$$V'_O = V_{IN} \frac{(1-D)}{(2-D)} (D - \Delta D_1) + V_{IN} \frac{D}{(2-D)} (1-D - \Delta D_2). \quad (16)$$

Hence, substitution of (14) and (15) in (16) and proper rearrangement yields is define the static voltage gain G of the converter, given by

$$G = \frac{V'_O}{V_{IN}} = \frac{2D \cdot (1-D)}{(2-D)} - \frac{4f_S \cdot L_C \cdot I'_O}{V_{IN}}. \quad (17)$$

Let us define the normalized load current referred to the transformer primary side by

$$\bar{I}'_O = \frac{4f_S \cdot L_C \cdot I'_O}{V_{IN}}. \quad (18)$$

Substitution of (18) in (17) gives

$$G = \frac{2D(1-D)}{2-D} - \bar{I}'_O. \quad (19)$$

Note that the equivalent capacitance does not appear explicitly in the static gain expression. This is because the energy transferred from the voltage source V_{IN} to the load does not depend on the average capacitance value of the equivalent capacitor, but rather on the instantaneous values that are equal to $2 \cdot C$ and $C/2$ during the time intervals $(0 - DT_S)$ and $(T_S - DT_S)$, respectively.

Equation (19) is plotted in Figure 6, for various values of \bar{I}'_O , as a function of the duty cycle D . The maximum voltage gain value occurs when $D = 0.586$. As usual, the static gain decreases with increasing \bar{I}'_O , due to the reduction of the effective duty cycle.

The load characteristic of the ideal converter, with all quantities referred to the transformer primary side, defined by equation (19), which is represented graphically in Figure 7.

The voltage drops across the commutation inductor L_C reduces the value of the load voltage with increasing current, which is a common property of all isolated ZVS-PWM DC-DC with output LC filter.

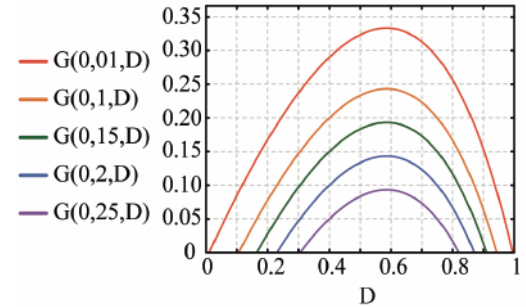


Fig. 6. Voltage static gain depending on D for different values of \bar{I}'_O .

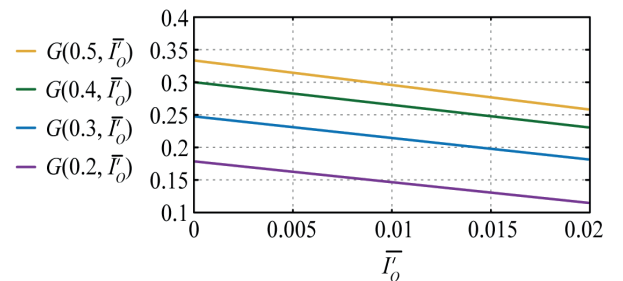


Fig. 7. Load characteristic of the proposed converter for several values of the duty cycle D .

C. Semiconductors Voltage Stress

The voltage across the switches is given by

$$v_S = \frac{V_{IN}}{2-D} \quad (20)$$

with values within the range $\frac{V_{IN}}{2} \leq v_S \leq V_{IN}$ for duty cycles within the range $0 \leq D \leq 1$. Therefore, the voltage across the power semiconductors is two-thirds of V_{IN} when $D = 0.5$.

The voltage across the secondary windings of the transformer is equal to $2 \cdot v_{L_M} / n$. During the second time interval ($T_S - DT_S$) the diode D_{R1} is blocked and the voltage across it is defined by:

$$v_{D_{R1}} = 2 \left(\frac{V_{IN} - v_1}{n} \right) = \frac{2 \cdot V_{IN}}{n} \left(\frac{1-D}{2-D} \right). \quad (21)$$

In the first-time interval (DT_S) the diode D_{R2} current flow is blocked. The voltage across D_{R2} is defined by

$$v_{D_{R2}} = 2 \left(\frac{V_{IN} - v_2}{n} \right) = \frac{2 \cdot V_{IN}}{n} \left(\frac{D}{2-D} \right). \quad (22)$$

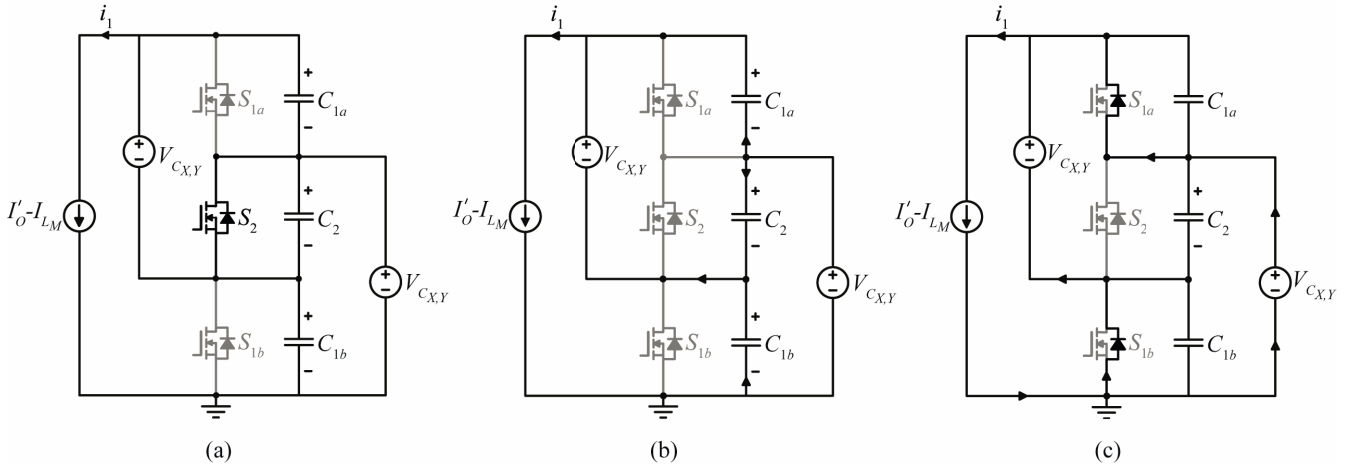


Fig. 8. Topological states for commutation analysis when S_2 is gated OFF. (a) Before S_2 turns OFF. (b) Charge of capacitor C_2 and discharge of capacitors C_{1a} and C_{1b} . (c) Just before S_{1a} and S_{1b} are gated ON.

The switching of S_{1a} , S_2 , and S_{1b} occurs similarly. However, the turn-off commutation of S_2 is more critical, since the energy available in the commutation inductor L_C to charge and discharge the commutation capacitors at turn OFF of S_2 is less than that available for the commutation of S_{1a} and S_{1b} . Therefore, only the turn OFF analysis of the power semiconductor S_2 is presented. Identical approach can be used to find the equations for the turn off analysis of S_{1a} and S_{1b} .

At the instant before the switch S_2 is turned OFF, the current is given by

$$i_1 = I'_O - I_{L_M}. \quad (23)$$

Before the instant $t = t_0$ the power semiconductor S_2 conducts the current i_{L_C} while S_{1a} and S_{1b} continue open. This topological state is represented in Figure 8.a, in which

From (21) and (22), it can be noticed that the voltage across D_{R1} decreases and the voltage across D_{R2} increases with the increases in the value of the duty cycle D . The voltage across these diodes become equal when the duty cycle is $D = 0.5$.

VI. COMMUTATION ANALYSIS

To analyze the commutation, the equivalent circuit of the converter shown in Figure 2 is used. The commutation capacitors C_{1a} , C_{1b} and C_2 , which are the same, are included and connected in parallel with the power semiconductors. An appropriate dead time is introduced between the gate signals of the switches.

To simplify the analysis, the alternating component of the magnetizing current was ignored. Thus, $i_{L_M} = I_{L_M}$, where I_{L_M} denotes the average value of the magnetizing current.

$$v_{C_{1a}} = v_{C_{1b}} = V_{C_{X,Y}}, \quad v_{C_2} = 0 \quad \text{and} \quad v_{C_X} = v_{C_Y} = V_{C_{X,Y}}.$$

At the instant $t = t_0$ the switch S_2 is turned OFF and the commutation begins. The corresponding topological state is shown in Figure 8.b. The capacitor C_2 charges linearly with a constant current, while C_{1a} and C_{1b} , discharge linearly, also with a constant current. The turn OFF of S_2 is theoretically lossless with ZVS.

At the $t = t_2$, $v_{C_2} = V_{C_{X,Y}}$ and $v_{C_{1a}} = v_{C_{1b}} = 0$. The diodes in antiparallel with the switches S_{1a} and S_{1b} start to conduct the current i_1 . Semiconductors S_{1a} and S_{1b} must be gated ON while the respective diodes are conducting, so that they start to conduct at zero voltage without switching losses.

The current in capacitor C_2 during the time interval ($t_0 - t_{C2}$) is given by

$$i_{C_2} = \frac{i_1}{3}. \quad (24)$$

VII. DESIGN METHODOLOGY

Substituting (23) in (24) we find

$$i_{C_2} = \frac{I_{L_M} - I'_O}{3}. \quad (25)$$

The commutation time t_{C2} is determined by

$$t_{C2} = \frac{C_2 \cdot V_{C_{X,Y}}}{i_{C_2}}. \quad (26)$$

Substitution of (25) in (26) gives

$$t_{C2} = \frac{3 \cdot C_2 \cdot V_{IN}}{(2-D) \cdot (I'_O - I_{L_M})}. \quad (27)$$

The converter parameters must be chosen properly so that the dead-time t_d is greater than the time t_{C2} .

The typical and relevant waveforms for this commutation are shown in Figure 9.

According to (27), t_{C2} depend on V_{IN} , I'_O and D . For a constant output voltage V_O , regulated by the voltage controller of the converter, the duty cycle D decreases with an increase in the input voltage V_{IN} , increasing the switching time t_{C2} , as follows from (27). Similarly, there is an increase in t_{C2} when the processed power decreases, with a consequent decrease in I'_O .

Therefore, the commutation parameters must be adjusted to the maximum value of the input voltage and the chosen the maximum value of the input voltage and the chosen minimum value for the processed power, usually close to the nominal power value.

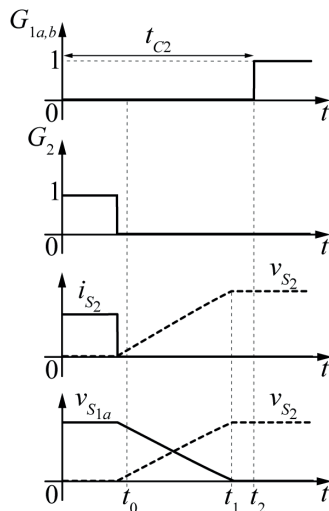


Fig. 9. Typical waveforms for the commutation initiated when S_2 is gated OFF. (a) Gate signals. (b) Voltage and current in S_2 . (c) Voltage S_{1a} and S_2 .

In order to validate the theoretical analysis of the proposed topology, a proof-of-concept prototype was designed based on the specifications presented in Table I.

TABLE I
Converter Specification

Symbol	Quantity	Value
P_O	Rated power	900 W
V_{IN}	Input Voltage	400 V
V_O	Output voltage	48 V
f_S	Switching frequency	100 kHz

Initially, the specification and construction of the transformer were carried out, since the values of the magnetization and the leakage inductance influences the static voltage gain and the commutation of the converter. The transformer turns ratio as well as the leakage and magnetization inductance values are shown in Table II. The currents in the secondary and tertiary windings are equal to half of the output current. Therefore, 300 AWG 38 wires were needed in parallel for each of the windings. So, it was decided to use Litz wires. For the primary winding of the transformer, two Litz 150X38 wires were used.

The value of the commutation inductance is defined respecting two conditions: a) it does not result in a loss of cyclic ratio greater than that specified; b) be large enough to store the energy necessary for the complete discharge of the commutation capacitors [7]. The values obtained for the commutation capacitances and the commutation inductance are shown in Table II.

The voltage stresses across switches S_{1a} , S_{1b} and S_2 are defined by (20). For the values specified in Table II, the voltage across S_{1a} , S_{1b} and S_2 is approximately 258 V.

The effective value of the current through S_{1a} and S_{1b} is approximately 2.12 A and the current through S_2 is 2.74 A. As the purpose of the prototype is only to validate the theoretical analysis results, we chose to use components available in the laboratory. The available switch that best meets design requirements was the SiC MOSFET model SCT3120AL, with rated voltage and current equal to 650 V and 21 A, respectively, and ON resistance equal to 0.12 Ω .

The value of the capacitances C_X and C_Y , must ensure that the converter operate in partial charge mode ($f_S \tau > 0,2$), in order to avoid excessive losses in the switches, and that the capacitors voltage ripple be maintained within the limits specified for the converter [7]

The transformer and output power stage are shown in Figure 10, where the transformer secondary voltage is rectified by the half-bridge Schottky diodes D_{R1} and D_{R2} . It is important to prevent overvoltage across the diodes, caused by the interaction between the transformer leakage inductance and the capacitors of the diodes D_{R1} and D_{R2} . Two voltage clamps are therefore needed across the diodes,

which are represented by D_a , and R_a for D_{R1} , and D_b , C_b and R_b for D_{R2} . The resistors R_a and R_b serve to transfer part of the clamp charge to the output capacitor C_O [8].

TABLE II
Components Specifications

Symbol	Parameters	Value
C_1, C_2	Switched capacitances	25 μF
C_O	Output filter capacitance	1000 μF
L_O	Output filter inductance	27.78 μH
n	Transformer turns-ratation	1.57
L_M	Magnetizing inductance	184.6 μH
-	Transformer leakage inductance	3.4 μH
-	Auxiliar commutation inductance	6.39 μH
L_C	Total commutation inductance	11.19 μH
D_{R1}, D_{R2}	Output rectifier diodes	MBR40250TG
S_{1a}, S_2, S_{1b}	Power semiconductors	SCT3120AL /650-V
t_d	Dead-time	200 ns
D_a, D_b	Clamping diodes	MBR40250TG
R_a, R_b	Clamping resistors	7.5 k Ω
C_a, C_b	Clamping capacitors	330 nF

The threshold voltage across the diode D_{R1} , given by (21), is approximately 175 V and the threshold voltage across the diode D_{R2} , given (22), is approximately 140 V. The current through the diodes is equal to the output current, 18.75 A. Thus, 40 A and 250 V Shottky diodes were selected.

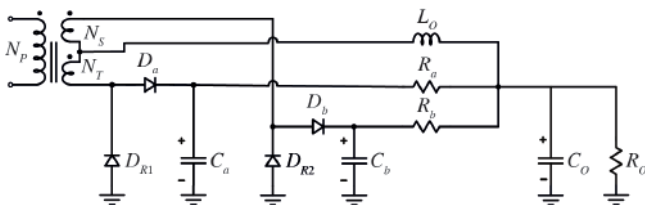


Fig.10. Transformer and output stage of the proof-of-concept experimental prototype of the proposed DC-DC converter.

The equations for the output inductance and capacitance (C_O and L_O) determination are identical to those employed in the half-bridge converter [9].

VIII. EXPERIMENTAL RESULTS

The proof-of-concept prototype designed and built with the specifications given in Table I. is shown in Figure 11.

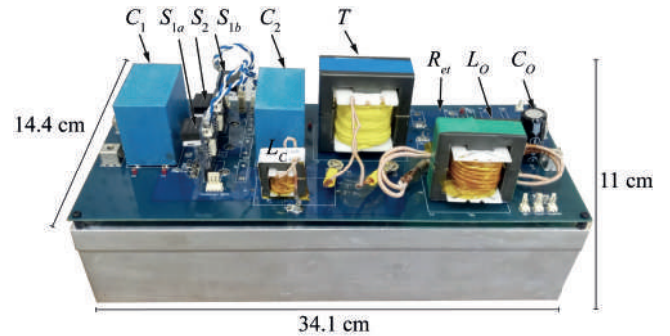


Fig. 11. Proof-of-concept experimental prototype of the proposed DC-DC.

MOSFETS S_{1a} , S_2 and S_{1b} are gated using the PWM signals shown in Figure 12 which are generated by a F28069M DSP controller. An appropriate dead-time between the gate signals is included to prevent both switches from conducting simultaneously, causing a short circuit. The dead time is also necessary for the realization of commutation with ZVS. The specification of the dead time and the components used in the prototype are presented in Table II.

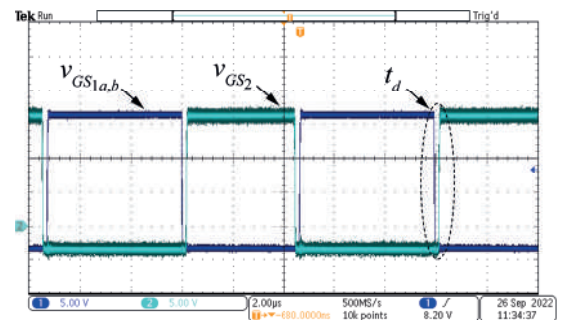


Fig. 12. Gate signals with duty cycle equal to 0.55 and dead time equal to 200 ns. Where $V_{GS1a,b}$ and V_{GS2} represented the command signals on S_{1a} , S_{1b} and S_2 respectively. t_d represented the dead time. Voltage scale: 5 V/Div. Time scale: 2 μ s/Div.

The selected dead-time combined with the other parameters that take part in the commutation allows the converter to operate with ZVS when operated from 30% to 100% of the rated power load [10]. Figure 13 shows the waveforms during the time interval in which the MOSFET S_{1a} is turned ON and the MOSFET S_2 is turned OFF with ZVS, when the converter operates at 50% the rated power.

Figure 13 shows that the voltage across the switch S_{1a} reaches zero before S_{1a} and S_{1b} are gated ON. Therefore, S_{1a} and S_{1b} turn OFF with ZVS. The value of v_{DS2} remains null until the switch S_2 is gated OFF. Therefore, S_2 turns OFF with ZVS.

The turn OFF of S_2 is the critical commutation, since the current available to perform this commutation is smaller than that available at the instant the MOSFETS S_{1a} and S_{1b} are turned OFF. Thus, if the circuit parameters allow S_2 to

commutate with ZVS, switches S_{1a} and S_{1b} also commutate with ZVS.

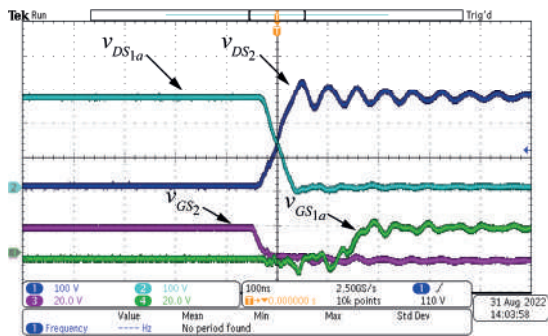


Fig. 13. Gate signals and voltage stress of power semiconductors S_{1a} and S_2 when S_2 is turned OFF and S_{1a} ON. Where $v_{DS_{1a}}$ represented the voltage across S_{1a} and v_{DS_2} represented the voltage across S_2 . Voltage scale: a) $v_{DS_{1a}}$ e v_{DS_2} : 100 V/Div.; b) $v_{GS_{1a}}$ e v_{GS_2} : 20 V/Div.. Time scale: 100ns s/Div.

Figure 14 shows the relevant switching waveforms in which S_{1a} and S_{1b} are turned OFF. The voltage v_{DS_2} reaches zero before S_2 is gated ON and is equal to zero at the instant S_{1a} is turned OFF. Therefore, S_{1a} and S_{1b} turn OFF and S_2 turns ON with ZVS.

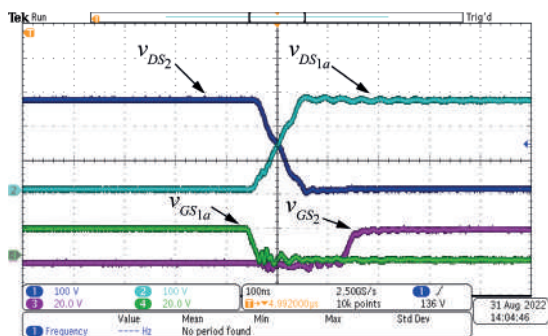


Fig. 14. Gate signals and voltage stress of power semiconductors S_{1a} and S_2 when S_{1a} and S_{1b} are turned OFF and S_2 is turned ON. Voltage scale: a) $v_{DS_{1a}}$ e v_{DS_2} : 100 V/Div.; b) $v_{GS_{1a}}$ e v_{GS_2} : 20 V/Div.. Time scale: 100ns s/Div.

Figure 15 shows the waveforms of the currents through the output filter inductor and the commutation inductor L_C . It can be noted that the instantaneous value of i_{L_C} is greater at the instant S_{1a} and S_{1b} are turned OFF than that which occurs at the instant S_2 is turned OFF.

Figure 16 shows the voltage waveforms across the MOSFETS S_{1a} and S_2 , that values are close to two-thirds of the input DC voltage for the converter operating with $D = 0.55$, which is in agreement with the results obtained by the theoretical analysis. The voltages across S_{1a} and S_2

are equal to the value of the voltage v_1 across the capacitors C_X and C_Y , which are defined by (20)

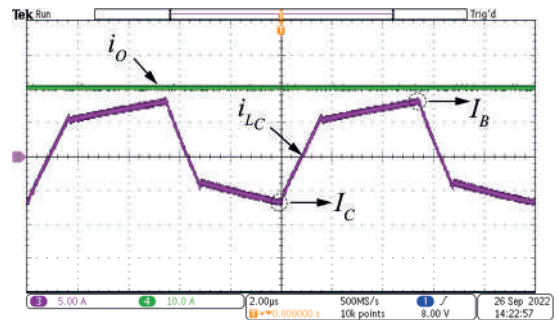


Fig. 15. Currents i_O in the output filter inductor and i_{L_C} in the inductor L_C . I_B is value of the current L_C at the instant S_{1a} and S_{1b} are gated OFF and I_C at the instant S_2 turns OFF. Current scale: a) i_O : 10 A/Div.; b) i_{L_C} : 5 A/Div.; Time scale: 2 μ s/Div.

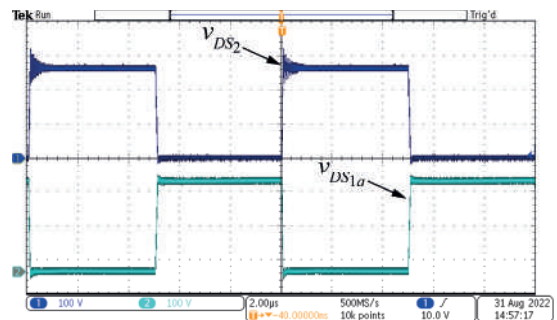
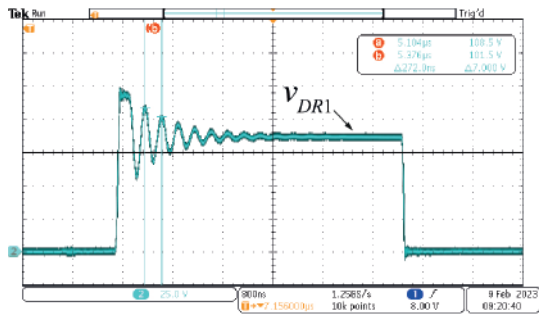


Fig. 16. Voltages v_{DS_2} and $v_{DS_{1a}}$ across the power semiconductors S_2 and S_{1a} , respectively. Voltage scale: 100 V/Div.. Time scale: 2 μ s/Div.

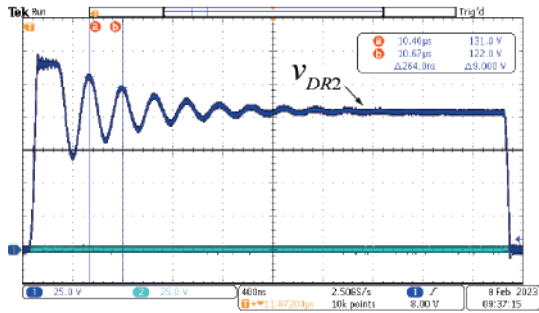
Figure 17 shows the voltage waveform across the diodes D_{R1} and D_{R2} of the output diode rectifier. It can be noticed the existence of overvoltage across the diodes due to the interaction between their capacitances and the leakage inductance of the transformer added to the other parasitic inductances. The peak value of these voltages are limited by the clamping circuit shown in Figure 10. These oscillations also occur in other dc-dc converters with output LC filter.

The experimental output characteristics of the converter for different duty cycle values are shown in Figure 18. The trend lines are linear and are in agreement with the results obtained by the theoretical analysis presented in Figure 7. These output characteristics are similar to those of the FB-ZVS-PWM and the HB-ZVS-PWM converters.

The efficiency curve of the proof-of-concept experimental prototype was measured with a Tektronix power analyzer (PA3000). The experimental curve is shown in Figure 19 in which a maximum efficiency of 93.62% occurs at 62% of the rated power. At rated power, the measured efficiency is 91.80%. The experimental distribution of losses is shown in Figure 20, for the converter operating at rated power.



(a)



(b)

Fig. 17. Voltages across the diodes D_{R1} , $v_{D_{R1}}$ and voltage across D_{R2} , $v_{D_{R2}}$. Voltage scale: 25 V/Div.. Time scale: 400 ns/Div.

The experimental output characteristics of the converter for different duty cycle values are shown in Figure 18. The trend lines are linear and are in agreement with the results obtained by the theoretical analysis presented in Figure 7. These output characteristics are similar to which of the FB-ZVS-PWM and the HB-ZVS-PWM converters.

The efficiency curve of the proof-of-concept experimental prototype was measured with a Tektronix power analyzer (PA3000). The experimental curve is shown in Figure 19 in which a maximum efficiency of 93.62% occurs at 62% of the rated power. At rated power, the measured efficiency is 91.80%. The experimental distribution of losses is shown in Figure 20, for the converter operating at rated power.

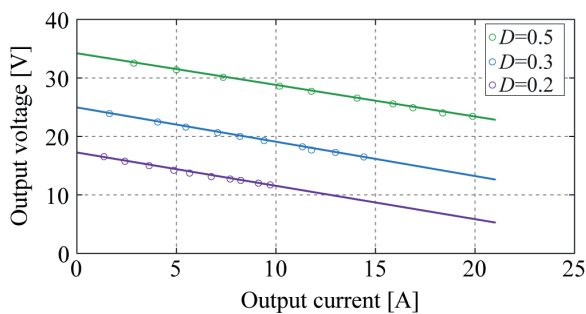


Fig. 18. Experimental output characteristics of the proposed converter.

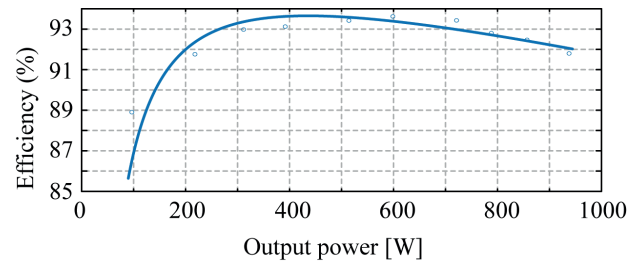


Fig. 19. Experimental efficiency curve of the proof-of-concept laboratory prototype of the proposed converter.

Three types of losses basically occur in the converter. The first type is the constant and independent losses of the power delivered to the load, which in this measurement is equal to 13.99% of the total losses. The second type is the losses proportional to the power, formed basically by the power dissipated by the average value of the current in the diodes, which correspond to 20.55% of the total losses. The third type of losses are the conduction losses of the equivalent semiconductor resistances, capacitors and magnetic devices. The experimental measured value of these losses corresponds to 65.46% of the total losses. These losses can be substantially reduced when synchronous rectifiers, optimized magnetic devices, and power semiconductors with lower equivalent resistance are used.

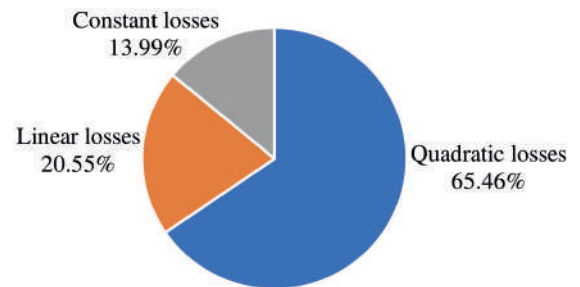


Fig. 20. Measured distribution of losses in the converter power stage.

According to the theoretical determination of the losses in the different components of the power stage, 41.07% occur in the transformer, 21.36% in the rectifier diodes, 14.83% in the MOSFETs, 8.67% in the output inductor, 7.5% in the voltage clamping circuit of the diodes, and 6.55% in the auxiliary commutation inductor.

V. COMPARISON WITH THE ASYMMETRIC HB-ZVS-PWM CONVERTER

This section compares the proposed converter and the asymmetric HB-ZVS-PWM converter [11], whose power stage diagram is shown in Figure 21.

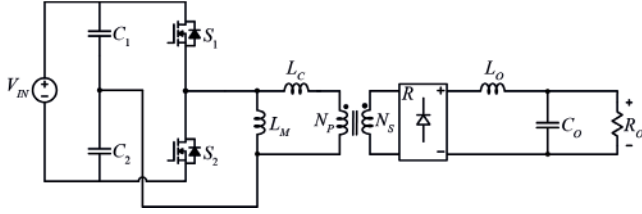


Fig. 21. Power stage diagram of the asymmetric HB-ZVS-PWM Converter [11].

In this analysis, we assume that the two converters operate with identical input voltage, output voltage, power delivered to the load and switching frequency. We will also consider zero switching losses and ideal all components except active semiconductors. We will then compare the conduction losses in the transistors of the two converters. Let us consider the power MOSFET ON-resistance proportional to 2.5 power of its break-down voltage [12], given by

$$R_{ON} = \beta V^{2.5}. \quad (28)$$

A. Asymmetric HB-ZVS-PWM Converter Conduction Losses

The rms values of currents in switches S_1 and S_2 of the converter shown in Figure 28 are given by (29) and (30) respectively [10].

$$I_{S_1,rms} = 2(1-D_1)\sqrt{D_1} \cdot I_O \frac{N_S}{N_P} \quad (29)$$

$$I_{S_2,rms} = 2D_1\sqrt{1-D_1} \cdot I_O \frac{N_S}{N_P}. \quad (30)$$

D_1 is the duty cycle in Asymmetric HB-ZVS-PWM Converter.

The transistors S_1 and S_2 conduction losses are defined by (31) and (32), respectively.

$$P_{S_1} = R_{ON} \cdot I_{S_1,rms}^2 \quad (31)$$

$$P_{S_2} = R_{ON} \cdot I_{S_2,rms}^2 \quad (32)$$

Substitution of (29) and (30) in (31) and (32) yields, respectively

$$P_{S_1} = R_{ON} \cdot D_1(1-D_1)^2 \cdot I_O^2 \left(\frac{N_S}{N_P}\right)^2 \quad (33)$$

$$P_{S_2} = R_{ON} (1-D_1)D_1^2 \cdot I_O^2 \left(\frac{N_S}{N_P}\right)^2. \quad (34)$$

The total power lost by conduction is the sum of P_{S_1} and P_{S_2} . Therefore:

$$P_1 = 2R_{ON} \cdot I_O^2 \left(\frac{N_S}{N_P}\right)^2 \left[\sqrt{D_1}(1-D_1) + D_1\sqrt{1-D_1} \right]. \quad (35)$$

Substituting (28) into (35) we find

$$P_1 = 2\beta \cdot V_{IN}^{2.5} \cdot I_O^2 \left(\frac{N_S}{N_P}\right)^2 \left[\sqrt{D_1}(1-D_1) + D_1\sqrt{1-D_1} \right]. \quad (36)$$

B. Proposed Converter Transistor Conduction Losses

It can be demonstrated that the rms value of the current in the switches S_{1a} and S_{1b} the converter shown in Figure 2 is given by

$$I_{S_{1ab},rms} = 2\sqrt{D_2} \cdot I_O \frac{N_{S1}}{N_{P1}} \left(\frac{1-D_2}{2-D_2} \right) \quad (37)$$

and that the rms current in switch S_2 is

$$I_{S_2,rms} = 2\sqrt{1-D_2} \cdot I_O \frac{N_{S1}}{N_{P1}} \left(\frac{D_2}{2-D_2} \right). \quad (38)$$

The total conduction losses P_2 in these semiconductors is given by

$$P_2 = R_{ON} \left(2I_{S_{1ab},rms}^2 + I_{S_2,rms}^2 \right). \quad (39)$$

Substitution of (28), (29) and (30) into (39) yields

$$P_2 = 4\beta \left(\frac{V_{IN}}{2-D_2} \right)^{2.5} \cdot I_O^2 \left(\frac{N_{S1}}{N_{P1}} \right)^2 \left[\frac{D_2(1-D_2)}{2-D_2} \right]. \quad (40)$$

C. Relationship Between Transistor Conduction Losses

The transformer ratio of turns of the asymmetric HB-ZVS-PWM converter is given by

$$\frac{N_S}{N_P} = \frac{V_{O1}}{2D_1(1-D_1)V_{IN}} \quad (41)$$

while the transformer ratio of turns of the proposed converter is

$$\frac{N_{S1}}{N_{P1}} = \frac{V_{O2}}{2D_2(1-D_2)V_{IN}}. \quad (42)$$

The relationship between the transistor conduction losses of the two converters is

$$\frac{P_2}{P_1} = \frac{4\beta \left(\frac{V_{IN}}{2-D_2} \right)^{2.5} \cdot I_O^2 \left(\frac{N_{S1}}{N_{P1}} \right)^2 \left[\frac{D_2(1-D_2)}{2-D_2} \right]}{2\beta \cdot V_{IN}^{2.5} \cdot I_O^2 \left(\frac{N_S}{N_P} \right)^2 \left[\sqrt{D_1}(1-D_1) + D_1\sqrt{1-D_1} \right]}. \quad (43)$$

Substituting (41) and (42) into (43) and making $D = D_1 = D_2$ and $V_O = V_{O1} = V_{O2}$ we find

$$\frac{P_2}{P_1} = \frac{4D(1-D)(2-D)}{(2-D)^{2.5}}. \quad (44)$$

Figure 22 shows the relationship between the conduction losses of the transistors of the two converters as a function of the duty cycle, for $D \leq 0.5$. According to this result, in the worst case, which occurs when $D = 0.5$, the conduction losses in the active semiconductors are approximately equal to half of the similar losses that occur in the asymmetric HB-ZVS-PWM converter. Although the proposed converter uses three transistors, their conduction losses are lower because they are subjected to lower voltages, and consequently have lower conduction resistances. Therefore, with the use of appropriate power semiconductors, the efficiency of the proposed converter is higher than its asymmetric HB-ZVS-PWM counterpart.

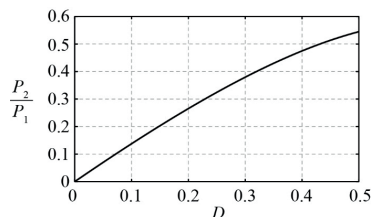


Fig.22. Relationship between the transistor conduction losses.

VI. CONCLUSIONS

A new topology of isolated ZVS-PWM DC-DC converter, with an LC filter in the output stage, which operation is based on the concept of a variable capacitor, was proposed. The variable capacitance is obtained with the use of two capacitors and three MOSFETS. The static gain as a function of the duty cycle and the external characteristics are similar to those of the asymmetric HB-ZVS-PWM converter [11], however with lower voltage stress on the power semiconductors.

The measured performance of an example 960 W dc-dc converter, with an input voltage of 400 V and output voltage of 48 V agreed well with theoretical predictions. The converter being studied is one more option available for design engineers of isolated DC-DC converters, with high power density and high efficiency.

REFERENCES

- [1] K. Harada, W. J. Gu, and K. Murata, "Controlled resonant converter with switched frequency fixed", in *IEEE PESC'87 Record*, pp. 431-438, June 1987.
- [2] K. Harada, A. Katsuki, M. Fujiwara, H. Nakajima, and H. Matsuchita, "Resonant converter controlled by variable capacitance devices", in *IEEE PESC'90 Record*, pp. 273-280, June 1990.
- [3] L. Zhang, A. Ritler, C. Nies, S. Dwari, B. G. Shashanka Priya, R. Burgos, and K. Ngo, "Voltage-Controlled Capacitor—Feasibility Demonstration in DC-DC Converters", *IEEE Transactions on Power Electronics*, vol. 32, no. 8, pp.5889-5892, August 2017.
- [4] C. H. Haas, and M. Kraft, "Modelling and analysis of a MEMS approach to dc voltage step-up conversion", *Journal of Micromechanics and Microengineering*, vol.14, no.9, pp. S114-S122, Aug. 2004.
- [5] M. Hill, C.O. Mahong, "Modelling and performance evaluation of a MEMS dc/dc converter", *Journal of*

Micromechanics and Microengineering, vol. 16, no.6 pp. S149-S155, May 2006.

- [6] H. Samaali, B. Oni, and F. Najjar, "Design and modelling of MEMS dc-dc converter", *Electronics Letters*, Vol. 51, No. 11, pp. 860-861, May 2015.
- [7] A.P. Caús and I. Barbi, "ZVS-PWM Half-Bridge-Type Switched-Capacitor DC-DC Converter Isolated with peak voltage equal to $V_{in}/2$ switch", *Eletrônica de Potência*, vol. 27, no. 1, pp. 47-56, Jan-Mar 2022, doi: 10.18618/PEP2022.1.10031.
- [8] R. N. do Prado, "Effects of the saturable resonant inductor on the rectifying diode reverse recovery of ZVS converters", in *3rd International Power Electronic Congress. Technical Proceedings*. CIEP '94, Puebla, Mexico, pp. 108-113, 1994. doi: 10.1109/CIEP.1994.494408
- [9] I. Barbi. Projeto de Fontes Chaveadas. 2ª edição. Florianópolis. Edição do Autor, 2007.
- [10] I. Barbi and F. Pötker, *Soft Commutation Isolated DC-DC Converters*. Gewerbestrasse, Switzerland: Springer, pp. 271–295, 2019.
- [11] P. Imbertson and N. Mohan, "Asymmetrical duty cycle permits zero switching loss in PWM circuits with no conduction loss penalty," *IEEE Transactions on Industry Applications*, vol. 29, no. 1, pp. 121-125, Jan.-Feb. 1993, doi: 10.1109/28.195897.
- [12] R. P. Zingg, "On the specific on-resistance of high-voltage and power devices", *IEEE Transactions on Electron Devices*, vol. 51, no. 3, pp. 492-499, March 2004, doi: 10.1109/TED.2003.822948.

BIOGRAPHIES

Angélica Paula Caús was born in Rondinha, Brazil, She received the B.S. degree in electrical engineering from the University of Passo Fundo (UPF), Passo Fundo, Brazil, in 2018, and the M.S. degree in electrical engineering from the Federal University of Santa Catarina (UFSC), Florianópolis, Brazil, in 2020. She is currently a PhD student in Electrical engineering at UFSC, in the Power Electronics and Electrical Drives area.

Ivo Barbi (Life Fellow, IEEE) was born in Gaspar, Brazil. He received the B.S. and M.S. degrees in electrical engineering from the Federal University of Santa Catarina (UFSC), Florianópolis, Brazil, in 1973 and 1976, respectively, and the Dr.Ing. degree in electrical engineering from the Institut National Polytechnique de Toulouse (INPT), Toulouse, France, in 1979. He founded the Brazilian Power Electronics Society (SOBRAEP), the Brazilian Power Electronics Conference (COBEP), in 1990, and the Brazilian Power Electronics and Renewable Energy Institute (IBEPE), in 2016. He is currently a Researcher with the Solar Energy Research Center and a Professor Emeritus in electrical engineering with UFSC. Prof. Barbi received the 2020 IEEE William E. Newell Power Electronics Award. He serves as an Associate Editor for the IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS and the IEEE TRANSACTIONS ON POWER ELECTRONICS for several years.