



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO TECNOLÓGICO
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E ELETRÔNICA
CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Hermano Lazzarin Campos

**PROJETO, DIMENSIONAMENTO, EXECUÇÃO E VALIDAÇÃO DE UM
INVERSOR DIFERENCIAL BUCK-BOOST COM LINEARIZAÇÃO
ESTÁTICA PARA REDUÇÃO DE THD DE TENSÃO DE SAÍDA.**

Florianópolis

2023

Hermano Lazzarin Campos

**PROJETO, DIMENSIONAMENTO, EXECUÇÃO E VALIDAÇÃO DE UM
INVERSOR DIFERENCIAL BUCK-BOOST COM LINEARIZAÇÃO
ESTÁTICA PARA REDUÇÃO DE THD DE TENSÃO DE SAÍDA.**

Trabalho de Conclusão de Curso submetido ao Curso de Graduação Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do título de bacharel.

Orientador: Prof. Ion Leandro dos Santos, Me.

Coorientador: Prof. Telles Brunelli Lazzarin, Dr.

Florianópolis

2023

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Campos, Hermano Lazzarin

PROJETO, DIMENSIONAMENTO, EXECUÇÃO E VALIDAÇÃO DE UM
INVERSOR DIFERENCIAL BUCK-BOOST COM LINEARIZAÇÃO ESTÁTICA
PARA REDUÇÃO DE THD DE TENSÃO DE SAÍDA. / Hermano Lazzarin

Campos ; orientador, Ion Leandro dos Santos,
coorientador, Telles Brunelli Lazzarin, 2024.

97 p.

Trabalho de Conclusão de Curso (graduação) -
Universidade Federal de Santa Catarina, Centro Tecnológico,
Graduação em Engenharia Elétrica, Florianópolis, 2024.

Inclui referências.

1. Engenharia Elétrica. 2. Eletrônica de Potência . 3.
Inversor buck-boost diferencial. 4. Anti-distorção. 5.
Modulação PWM. I. dos Santos, Ion Leandro . II. Lazzarin,
Telles Brunelli. III. Universidade Federal de Santa
Catarina. Graduação em Engenharia Elétrica. IV. Título.

Hermano Lazzarin Campos

**PROJETO, DIMENSIONAMENTO, EXECUÇÃO E VALIDAÇÃO DE UM
INVERSOR DIFERENCIAL BUCK-BOOST COM LINEARIZAÇÃO
ESTÁTICA PARA REDUÇÃO DE THD DE TENSÃO DE SAÍDA.**

Este Trabalho de Conclusão de Curso foi julgado adequado para obtenção do Título de “Bacharel em Engenharia Elétrica” e aceito, em sua forma final, pelo Curso de Graduação Engenharia Elétrica.

12 de dezembro de 2023

Prof. Miguel Moreto
Coordenador do curso de graduação, Dr.

Banca Examinadora:

Ion Leandro dos Santos, Me.
Orientador
Universidade Federal de Santa Catarina

Prof. Telles Brunelli Lazzarin, Dr.
Co-orientador
Universidade Federal de Santa Catarina

Profa. Jéssika Melo de Andrade, Dra.
Universidade Federal de Santa Catarina

Prof. Lenon Schmitz, Dr.
Universidade Federal de Santa Catarina

Dedico este trabalho à minha família e amigos.

AGRADECIMENTOS

Agradeço primeiramente aos meus familiares, que sempre me apoiaram nos meus estudos. Aos meus amigos que me auxiliaram, principalmente ao Vitor Curtarelli e ao Afrânio Antônio, pelo grande suporte nos códigos e no *layout* e na confecção da placa de circuito impresso. Também dedico aos meus colegas da MVP pelo conhecimento transmitido, suporte e compreensão durante o andamento do trabalho. Finalmente, agradeço ao Ion e ao professor Telles pelo suporte e auxílio durante esse ano.

”If that’s what you have in mind
If that’s what you’re all about
Good luck movin’ up
‘Cause I’m moving out”
Billy Joel (1949 -)

RESUMO

Este trabalho tem como objetivo validar, na prática, a técnica de anti-distorção da modulante da razão cíclica proposta por Santos (2021). Essa técnica busca compensar a distorção de ganho estático inerente do Inversor Diferencial *Buck-Boost* (DBBI) por meio da modificação da modulante. Para alcançar esse objetivo, foi projetado, dimensionado e construído um protótipo do DBBI com potência de 250 W, frequência de comutação de 50 kHz, 100 V de tensão de entrada e 110 V de tensão eficaz de saída, utilizando *MOS-FET's* com tecnologia SiC (carbeto de silício). Adicionalmente, os componentes passivos foram dimensionados, os indutores toroidais foram projetados e construídos, foi realizado um estudo térmico e dimensionados os dissipadores. As modulações foram programadas utilizando um DSP (*digital signal processor*). O protótipo foi testado, comparando a modulação tradicional com a anti-distorção, e foram validadas a redução de distorção harmônica pela modulação proposta de 3,36% para 1,27% em potência nominal. Isso ocorreu ao custo de uma diminuição do rendimento de 93,3% para 90% com a técnica proposta.

Palavras-chave: Inversor *buck-boost* diferencial. Anti-distorção. Razão cíclica. Modulação PWM.

ABSTRACT

This work aims to validate, in practice, the anti-distortion technique of the modulating signal proposed by Santos (2021). This technique seeks to compensate for the inherent static gain distortion of the Differential Buck-Boost Inverter (DBBI) by modifying the modulation. To achieve this goal, a prototype of the DBBI was designed, sized, and constructed with a power of 250 W, a switching frequency of 50 kHz, 100 V input voltage, and 110 V effective output voltage, using MOSFETs with SiC (silicon carbide) technology. Additionally, passive components were sized, toroidal inductors were designed and constructed, a thermal study was performed, and heat sinks were dimensioned. Modulations were programmed using a Digital Signal Processor (DSP). The prototype was tested by comparing traditional modulation with anti-distortion, validating a reduction in harmonic distortion from 3.36% to 1.27% at rated power. This came at the cost of an efficiency decrease from 93.3% to 90% with the proposed technique.

Keywords: Buck-boost differential inverter. Anti-distortion. Duty-cycle. PWM modulation.

LISTA DE FIGURAS

Figura 1.1 – Diagrama topológico do inversor <i>Buck</i>	25
Figura 1.2 – Diagrama topológico do inversor <i>Buck</i> com estágio <i>Boost</i> CC-CC na entrada.	26
Figura 1.3 – Diagrama topológico do DBBI.	26
Figura 2.1 – Estado topológico 1.	30
Figura 2.2 – Estado topológico 2.	30
Figura 2.3 – Estado topológico 3.	31
Figura 2.4 – Estado topológico 4.	31
Figura 3.1 – Modulante senoidal original e modulante anti-distorcida.	36
Figura 3.2 – Circuito simulado no PSIM.	37
Figura 3.3 – Código da função anti-distorção.	38
Figura 3.4 – Comparação entre a tensão de saída com cada modulação.	38
Figura 3.5 – Tensão no capacitor durante o pico do valor de média periódica calculada na frequência de comutação.	39
Figura 3.6 – Corrente no indutor durante o pico do valor de média periódica calculada na frequência de comutação.	40
Figura 3.7 – <i>MOSFET</i> C2M0080120D da CREE®.	42
Figura 3.8 – Tempo de chaveamento pelo resistor de gate.	43
Figura 3.9 – Diagrama das perdas de comutação em um interruptor.	44
Figura 3.10 – Diagrama da montagem do dissipador no <i>MOSFET</i>	46
Figura 3.11 – Circuito térmico entre o <i>MOSFET</i> e o ambiente.	47
Figura 3.12 – Modelo térmico do dissipador na temperatura ambiente no PSIM.	49
Figura 3.13 – Configurações do modelo térmico de <i>MOSFET</i> no PSIM.	49
Figura 3.14 – Gráfico do calor dissipado pela diferença de temperatura entre o dissipador e o ambiente.	50
Figura 3.15 – Gráfico da resistência térmica do dissipador de acordo com a velocidade do ar.	51
Figura 3.16 – Dimensões do núcleo toroidal APH46P60 da AMOGREENTECH®.	52
Figura 3.17 – Capacitor B32674D4475 da TDK®.	56
Figura 3.18 – Gráfico das perdas percentuais nos componentes utilizando a modulação com anti-distorção.	58
Figura 3.19 – Gráfico das perdas percentuais nos componentes utilizando a modulação tradicional.	59
Figura 4.1 – Diagrama estrutural do módulo ePWM.	61
Figura 4.2 – Quantização das triangulares do PWM	63
Figura 4.3 – <i>Time-base</i> no SysConfig.	63
Figura 4.4 – <i>Action Qualifier</i> no SysConfig.	64
Figura 4.5 – <i>Dead-band</i> no SysConfig.	65
Figura 4.6 – Interrupção no SysConfig.	66
Figura 4.7 – Fluxograma do código de modulação.	67

Figura 4.8 – Modulantes tradicional e com anti-distorção no CCS	68
Figura 4.9 – Diagrama de blocos do circuito de sinal	68
Figura 4.10 – Esquemático do Gate Driver	68
Figura 4.11 – Esquemático	69
Figura 4.12 – Layout da PCB	70
Figura 4.13 – Visão 3D da PCB	71
Figura 4.14 – Protótipo do DBBI montado	72
Figura 5.1 – Bancada de testes	73
Figura 5.2 – Modulante anti-distorcida.	74
Figura 5.3 – Tensão <i>drain-source</i> nos interruptores em plena carga.	75
Figura 5.4 – Tensão <i>drain-source</i> nos interruptores em plena carga.	75
Figura 5.5 – <i>MOSFET</i> entrando em condução em plena carga.	76
Figura 5.6 – <i>MOSFET</i> entrando em bloqueio em plena carga.	76
Figura 5.7 – Tensão nos capacitores em plena carga.	77
Figura 5.8 – Ripple de tensão nos capacitores em plena carga.	77
Figura 5.9 – Corrente nos indutores em plena carga.	78
Figura 5.10 – Ripple de corrente nos indutores em plena carga.	78
Figura 5.11 – Tensão de entrada, corrente no indutor, tensão e corrente de saída do DBBI com modulação com anti-distorção.	79
Figura 5.12 – Curva de rendimento e THD do DBBI	80
Figura C.1 – Modulantes com anti-distorção	88
Figura C.2 – Tensão <i>drain-source</i> nos interruptores em plena carga.	89
Figura C.3 – Tensão <i>drain-source</i> nos interruptores em plena carga.	89
Figura C.4 – <i>MOSFET</i> entrando em condução em plena carga.	90
Figura C.5 – <i>MOSFET</i> entrando em bloqueio em plena carga.	90
Figura C.6 – Tensão nos capacitores em plena carga.	91
Figura C.7 – Ripple de tensão nos capacitores em plena carga.	91
Figura C.8 – Corrente nos indutores em plena carga.	92
Figura C.9 – <i>Ripple</i> de corrente no indutor 1 em plena carga.	92
Figura C.10 – <i>Ripple</i> de corrente no indutor 2 em plena carga.	93
Figura C.11 – Tensão de entrada, corrente no indutor, tensão e corrente de saída do DBBI.	93

LISTA DE TABELAS

1	Resumo dos estados topológicos.	32
2	Parâmetros do conversor utilizado nos testes.	35
3	Esforços do capacitor do inversor.	40
4	Esforços do indutor do inversor.	40
5	Esforços do interruptor 1 do inversor.	41
6	Esforços do interruptor 2 do inversor.	41
7	Parâmetros dos interruptores para cálculo de perdas.	43
8	Grandezas utilizadas no circuito térmico.	46
9	Parâmetros do isolador de mica cerâmica.	48
10	Resultado da simulação térmica no PSIM [®]	50
11	Comparação entre os métodos de estimativa de temperatura de junção nos interruptores.	51
12	Parâmetros do núcleo toroidal APH46P60 da AMOGREENTECH [®]	52
13	Parâmetros do cabo litz.	53
14	Resultados das medições dos indutores usando um analisador de impedân- cia de precisão.	56
15	Parâmetros do capacitor B32674D4475 da TDK.	56
16	Resultados das medições dos capacitores usando um analisador de impedância de precisão.	57
17	Action Qualifier na igualdade do <i>counter-compare</i> com o contador.	64
18	Comparação entre os valores de rendimento e THD simulados e interpolados.	80

LISTA DE ABREVIATURAS E SIGLAS

INEP	Instituto de Eletrônica de Potência
CC	Corrente contínua
CA	Corrente alternada
DBBI	Inversor <i>buck-boost</i> diferencial
THD	Distorção Harmônica Total
<i>MOSFET</i>	Transistor de efeito de campo metal-óxido-semicondutor
PWM	Modulação por largura de pulso
PCB	Placa de circuito impresso
UV	Ultra-violeta

LISTA DE SÍMBOLOS

C	Capacitor
L	Indutor
S_{ij}	<i>MOSFET</i> ‘ i ’ do sub-conversor ‘ j ’
D_{ij}	Diodo ‘ i ’ do sub-conversor ‘ j ’
V_s	Tensão na fonte/entrada
I_s	Corrente na fonte/entrada
C_j	Capacitor do sub-conversor ‘ j ’
L_j	Indutor do sub-conversor ‘ j ’
V_o	Tensão de saída do DBBI
I_o	Corrente de saída eficaz do DBBI
V_{oj}	Tensão de saída do sub-conversor ‘ j ’
R_o	Carga resistiva de saída
P_o	Potência de saída
d	Razão cíclica
D_{cc}	Componente DC da razão cíclica
δ	Componente AC da razão cíclica
d_{FAD}	Razão cíclica da função de anti-distorção
f_s	Frequência de comutação
f_r	Frequência fundamental de saída
f_c	Frequência de corte
ω	Frequência angular
t	Tempo
$d_{FAD,max}$	Valor máximo da razão cíclica da função de anti-distorção
$\Delta V_{C\%}$	<i>Ripple</i> percentual de tensão no capacitor
$V_{C:pico,max}$	Valor máximo de ondulação de tensão no capacitor no pico da frequência de saída
$V_{C:pico,min}$	Valor mínimo de ondulação de tensão no capacitor no pico da frequência de saída
$V_{C:pico,avgx}$	Valor da média no período de comutação do pico da tensão no capacitor na frequência de saída
$\Delta I_L\%$	<i>Ripple</i> percentual de corrente no indutor
$V_{L:pico,max}$	Valor máximo de ondulação de corrente no indutor no pico da frequência de saída
$V_{L:pico,min}$	Valor mínimo de ondulação de corrente no indutor no pico da frequência de saída
$V_{L:pico,avgx}$	Valor da média no período de comutação do pico da corrente no indutor na frequência de saída
$I_{L,max}$	Valor máximo de corrente no indutor
$I_{Li,max}$	Valor máximo de corrente no indutor do sub-conversor ‘ i ’

$I_{Li}(\omega t)$	Corrente no indutor do sub-conversor 'i' no tempo
t_r	Tempo de subida
t_f	Tempo de descida
R_G	Resistor de <i>gate</i>
C_{iss}	Capacitância de entrada do <i>MOSFET</i>
$R_{DS,on}$	Resistência entre <i>Drain</i> e <i>Source</i> com o <i>MOSFET</i> na região de triodo
$\alpha_{R_{DS},100^\circ\text{C}}$	Fator de aumento de $R_{DS,on}$ em 100°C
V_{SD}	Tensão entre anodo e catodo do diodo ativo
Q_{rr}	Carga de recuperação reversa do diodo
$P_{Mi,cond}$	Perda por condução do <i>MOSFET</i> 'i'
$I_{Mi,rms}$	Valor eficaz da corrente do <i>MOSFET</i> 'i'
$P_{Di,cond}$	Perda por condução do diodo 'i'
$I_{Di,avg}$	Valor médio da corrente no diodo 'i'
$P_{Mi,sw}$	Perdas por comutação no <i>MOSFET</i> 'i'
$I_{Mi,max}$	Valor de corrente máximo no <i>MOSFET</i> 'i'
$V_{Mi,max}$	Valor de tensão máximo no <i>MOSFET</i> 'i'
$P_{Mi,tot}$	Perdas totais no <i>MOSFET</i> 'i'
$P_{Di,rr}$	Perdas no diodo 'i' por recuperação reversa
$V_{Di,r}$	Valor de tensão em bloqueio no diodo 'i'
$V_{Di,max}$	Valor de tensão máximo em bloqueio no diodo 'i'
$P_{Di,tot}$	Perdas totais no diodo 'i'
$P_{Encaps,i}$	Perdas totais no encapsulamento 'i'
T_j	Temperatura na junção
T_a	Temperatura no ambiente
$R_{Tj,c}$	Resistência térmica entre a junção e o encapsulamento
R_{Ttp_i}	Resistência térmica da camada 'i' de pasta térmica
R_{Tmica}	Resistência térmica do isolador de mica
R_{Thsi}	Resistência térmica do dissipador 'i'
P_d	Potência dissipada
$R_{Tj,hs}$	Resistência térmica entre a junção e o dissipador
Δx_{tp}	Espessura da camada de pasta térmica
A_{tp}	Área de pasta térmica em contato com o encapsulamento
k_{tp}	Constante térmica da pasta térmica
A_L	Auto-indutância gerada em unidades do enrolamento de uma bobina de determinada forma e dimensões enrolada em um núcleo magnético
μ_r	Permeabilidade magnética relativa
A	Área da seção transversal
l	Caminho magnético médio
W_a	Área interna
V	Volume
B_s	Densidade de fluxo de saturação

N	Número de espiras
J_{max}	Densidade máxima de corrente
S_{min}	Seção mínima onde se passa corrente
Δ	Profundidade de penetração da corrente
$N_{AWG38,par}$	Número de condutores AWG38 em paralelo no cabo <i>litz</i>
S_{AWG38}	Área do condutor AWG38 desconsiderando o isolamento
$S_{AWG38,iso}$	Área do condutor AWG38 considerando o isolamento
ρ_{AWG38}	Resistividade do condutor AWG38 a 100°C
$S_{litz,iso}$	Área total do cabo <i>litz</i> considerando o isolamento
S_{litz}	Área total do cabo <i>litz</i> desconsiderando o isolamento
ρ_{litz}	Resistividade do cabo <i>litz</i>
S_{ocup}	Área ocupada do núcleo magnético
E	Fator de ocupação do núcleo
L_{cond}	Comprimento total de cabo <i>litz</i>
R_{cond}	Resistência total de cabo <i>litz</i>
P_{cobre}	Perdas totais nos condutores
H_{max}	Módulo do campo magnético máximo no núcleo magnético
$I_{L,rms}$	Valor eficaz de corrente no indutor
B_{max}	Módulo da densidade de fluxo magnético máximo no núcleo magnético
μ_0	Permeabilidade magnética do vácuo
P_{vol}	Perda volumétrica de potência no núcleo
P_{nuc}	Perda de potência no núcleo
P_{ind}	Perdas totais no indutor
η	Rendimento

SUMÁRIO

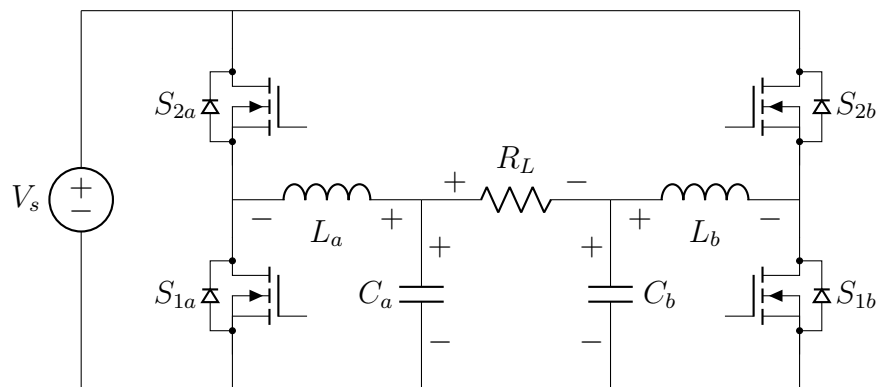
1	INTRODUÇÃO	25
1.1	OBJETIVOS	27
2	ANÁLISE DA TOPOLOGIA E REVISÃO DA LITERATURA	29
2.1	ANÁLISE DOS ESTADOS TOPOLÓGICOS DO INVERSOR	29
2.2	APLICAÇÃO DA FUNÇÃO ANTI-DISTORÇÃO NA PORTADORA DO PWM	32
3	PROJETO	35
3.1	Obtenção dos valores numéricos das modulantes	35
3.2	DIMENSIONAMENTO DOS COMPONENTES PASSIVOS DO CONVERSOR	35
3.2.1	Dimensionamento do indutor	36
3.2.2	Dimensionamento do capacitor	36
3.3	IMPLEMENTAÇÃO DA SIMULAÇÃO DO DBBI NO PSIM	37
3.4	VALIDAÇÃO DA ONDULAÇÃO DA TENSÃO E DA CORRENTE	38
3.4.1	Validação da ondulação da tensão	38
3.4.2	Validação da ondulação da corrente	39
3.5	OBTENÇÃO DOS ESFORÇOS	39
3.6	SELEÇÃO DOS INTERRUPTORES	41
3.6.1	Dimensionamento do resistor de gate	42
3.6.2	Estimativa das perdas nos interruptores	43
3.7	DIMENSIONAMENTO DOS DISSIPADORES	45
3.7.1	Método 1: Cálculo da resistência térmica equivalente	45
3.7.2	Método 2: Simulação térmica no PSIM®	48
3.7.3	Método 3: Análise da curva de potência dissipada por diferença de temperatura	50
3.7.4	Comparação entre os métodos	51
3.8	PROJETO DOS INDUTORES	51
3.8.1	Seleção dos núcleos toroidais	51
3.8.2	Determinação do número de espiras	52
3.8.3	Seleção do tipo e da quantidade de condutores	53
3.8.4	Estimativa de perdas nos indutores	54
3.8.5	Medição das propriedades dos indutores	55
3.9	ESCOLHA DOS CAPACITORES	56
3.9.1	Capacitores da topologia	56
3.9.2	Medição das propriedades dos capacitores	57
3.10	SIMULAÇÃO DE PERDAS NOS COMPONENTES E THD NO DBBI	57
3.10.1	Modulação com anti-distorção	57
3.10.2	Modulação tradicional	58

4	CONSTRUÇÃO DO PROTÓTIPO	61
4.1	IMPLEMENTAÇÃO DA MODULAÇÃO NO LAUNCHXL-F28379D . . .	61
4.1.1	Configuração do ePWM	61
4.1.2	Sincronização de PWM's	62
4.2	DESIGN E MONTAGEM DA PLACA DE CIRCUITO IMPRESSO . . .	66
4.2.1	Esquemático	66
4.2.2	<i>Layout</i>	69
4.2.3	Confecção, soldagem e montagem da PCB	70
5	MÉTODOS E TESTES	73
5.1	MONTAGEM DA BANCADA	73
5.2	TESTES DE AVALIAÇÃO	73
5.2.1	Aquisição de curvas nos componentes	74
5.2.2	Elevação da potência	78
6	CONCLUSÕES E TRABALHOS FUTUROS	81
	Referências	83
	Apêndices	85
A	Desenvolvimento de equações	85
A.1	Obtenção do valor máximo da modulante com anti-distorção	85
A.2	Obtenção do valor máximo de corrente no indutor	85
B	Código da modulação no CCS	86
C	Aquisições do osciloscópio	88

1 INTRODUÇÃO

Conversores estáticos, segundo Cruz Martins e Barbi (2006), possuem ampla aplicação na engenharia elétrica, visto que permitem conversão de energia CC-CC, CC-CA¹, CA-CC e CA-CA com grande eficiência e baixo custo. A topologia mais comum para conversores CC-CA, segundo Ramón Cáceres e Barbi (1995), é o inversor *Buck*, mostrada na Fig. 1.1.

Figura 1.1: Diagrama topológico do inversor *Buck*.



Fonte: autoria própria.

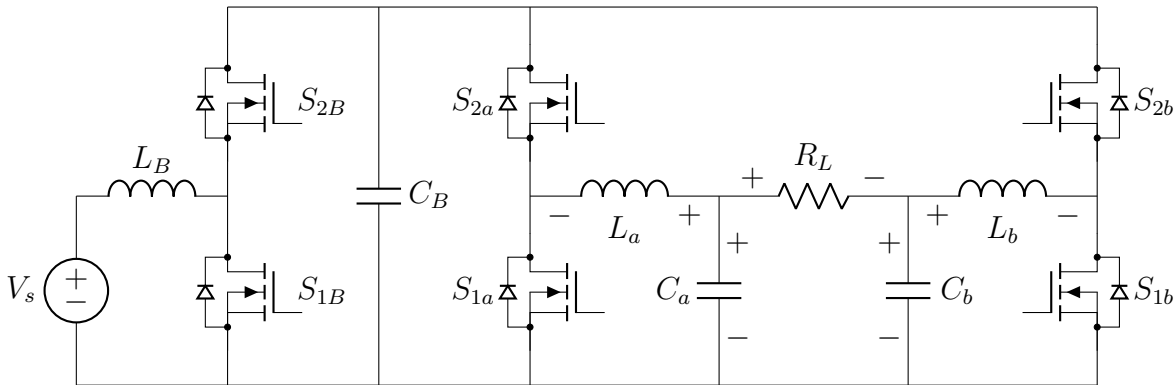
Segundo Vazquez et al. (1999), O inversor *Buck* consiste da associação diferencial de dois sub-inversores *Buck*, sendo que a carga é conectada diferencialmente entre as saídas deles. Dessa forma, a tensão na carga é dada pela diferença das tensões de saída dos sub-inversores. Devido à característica de ganho estático do conversor *Buck*, a tensão de saída média instantânea sempre será inferior à tensão CC de entrada, como mostrado por Ramón Cáceres e Barbi (1995). Assim, para que se obtenha uma tensão de saída superior à da fonte utilizando o inversor *Buck*, faz-se necessária a adição de um conversor CC-CC *Boost* entre o inversor e a fonte, como mostrado na Fig. 1.2. Essa solução, apesar de funcional, implica a adição de dois interruptores, um capacitor e um indutor, acarretando em maior custo de projeto.

A fim de solucionar essa questão e mantendo o uso das topologias convencionais, Ramón Cáceres e Barbi (1995) propuseram a associação diferencial de sub-conversores *Boost* e, posteriormente, *Buck-Boost* (1998), essa última mostrada na Fig. 1.3. Assim como os conversores CC-CC com essas topologias, seus inversores diferenciais também permitem a elevação do nível de tensão de saída.

A modulação tradicional tanto dos inversores *Buck* quanto dos *Boost* e *Buck-Boost* é semelhante. A modulante consiste de uma componente CC somada a uma componente CA. Dessa forma, a tensão de saída de cada inversor também possuirá tais características. Assim, invertendo a fase da componente CA da razão cíclica de um dos sub-conversores, implicará que a componente CA da tensão de saída desse também será defasada em 180°. Como resultado da associação diferencial, as componentes CC da tensão serão anuladas

¹CC - Corrente contínua; CA - Corrente alternada.

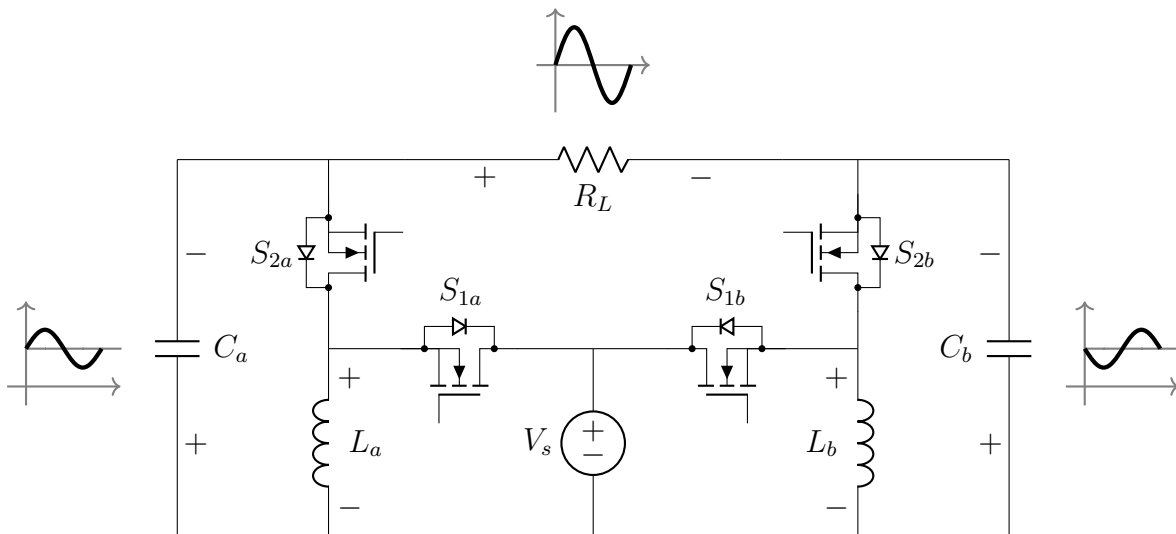
Figura 1.2: Diagrama topológico do inversor *Buck* com estágio *Boost* CC-CC na entrada.



Fonte: autoria própria.

e as componentes CA serão somadas, visto que uma delas é defasada em 180° da outra. Assim, como mostrado na Fig. 1.3, a tensão entregue à carga possuirá forma de onda senoidal com o dobro na componente senoidal da tensão entregue por um sub-conversor da conexão.

Figura 1.3: Diagrama topológico do DBBI².



Fonte: Santos (2021), modificado pelo autor.

Como mostrado por Cruz Martins e Barbi (2006), os conversores *Boost* e *Buck-Boost* possuem ganho estático não linear em relação à razão cíclica, característica não presente no conversor *Buck*. Visto que a modulação tradicional proposta por R.O. Cáceres, Garcia e Camacho (1998) é realizada com o excursionamento senoidal da razão cíclica em torno de um *offset* contínuo, a utilização dessa topologia em inversores implica que a componente CA de tensão de saída do inversor apresentará distorção inerente ao valor de razão cíclica instantâneo. Dado que o semiciclo acima do valor CC possui composição

²DBBI - Inversor *Buck-Boost* diferencial.

harmônica diferente do semicíclo abaixo, ao realizar a conexão diferencial de dois sub-conversores *Buck-Boost* para formar um DBBI não haverá cancelamento das harmônicas das tensões na saída, resultando em uma tensão de saída distorcida.

A fim de resolver essa problemática, Santos (2021) propôs a aplicação de uma técnica de anti-distorção estática da razão cíclica para o DBBI. Essa estratégia de modulação pretende compensar na modulante a distorção inerente da topologia, de forma que ao realizar a conexão diferencial dos sub-conversores, as harmônicas são canceladas, resultando na diminuição da THD³ de saída.

Esse trabalho visa validar experimentalmente os resultados teóricos e de simulação alcançados por Santos (2021) através do projeto e construção de um protótipo de DBBI no qual são comparadas as duas modulações: com anti-distorção, proposta por Santos (2021); e a tradicional.

1.1 OBJETIVOS

Tem-se que o objetivo final do trabalho é a validação do funcionamento do inversor diferencial *Buck-Boost* com técnica de anti-distorção de tensão de saída.

Objetivos Específicos:

- Projeto e confecção de indutores toroidais dimensionados para o conversor;
- Dimensionamento dos dissipadores para os interruptores;
- Projeto de placa de circuito impresso adequada para a aplicação do conversor;
- Validação experimental da análise teórica e de simulação do inversor.

³THD - Distorção harmônica total.

2 ANÁLISE DA TOPOLOGIA E REVISÃO DA LITERATURA

Nessa etapa, é realizada a análise do DBBI para ambos os tipos de modulação (tradicional e com anti-distorção), a fim de garantir a compreensão e validar os conhecimentos contidos na literatura.

2.1 ANÁLISE DOS ESTADOS TOPOLÓGICOS DO INVERSOR

De modo a compreender o funcionamento da topologia e posteriormente realizar o cálculo de perdas do circuito, é necessário que se conheça a tensão e a corrente nos interruptores durante cada estágio topológico do inversor para carga nominal. Além disso, quando se considera uma carga resistiva, as oscilações de corrente na carga são análogas ao comportamento da tensão de saída do inversor. Assim, para efeito de análise, a carga será substituída por uma fonte de corrente, cujo sentido respeita a dinâmica da tensão de saída.

Com base nas simulações, percebe-se que há quatro estados topológicos nesse inversor, sendo que cada um deles será analisado separadamente. Como há simetria para cada sub-conversor, será feita a análise somente para um deles. Além disso, como os níveis lógicos impostos para os interruptores 1 e 2 de cada braço são complementares (desconsiderando o tempo morto), os nomes dos estados topológicos serão referenciados ao interruptor 1. As polaridades dos elementos armazenadores de energia durante os estados topológicos respeitam a convenção utilizada na Fig. 1.3.

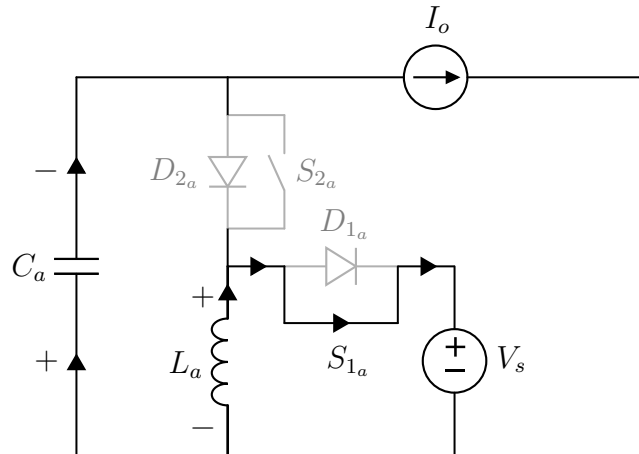
Como a tensão nos capacitores da topologia é sempre positiva, será analisada a carga e descarga desses componentes. Já para os indutores, será analisada a variação de energia durante o tempo, visto que a corrente nesses pode ser tanto sentido positivo quanto negativo.

Nas análises, quando o interruptor recebe pulso de comando para entrada em condução mas a corrente é reversa, será considerado que toda essa corrente flui pelo *MOSFET*. Por outro lado, será considerado que somente pode haver condução pelos diodos intrínsecos dos *MOSFET*'s quando o interruptor não recebe pulso de comando para entrada em condução. Essa questão é discutida com mais detalhes na Subseção 4.2.

- **Estado topológico 1: Tensão positiva na carga com tensão *gate-source* positiva**

Nesse estado mostrado na Fig. 2.1, o *MOSFET* S_{1a} recebe pulso de comando para entrada em condução e conduz no sentido reverso. Tanto os diodos intrínsecos quanto o *MOSFET* S_{2a} , o qual não recebe pulso de comando para entrada em condução, não conduzem. Durante esse período, o módulo da tensão de saída do sub-conversor aumenta, ou seja ocorre o carregamento de C_a e, por consequência, a sua corrente é positiva. Já a corrente no indutor é negativa, mas seu módulo diminui, logo a tensão em L_a é positiva enquanto esse é desenergizado.

Figura 2.1: Estado topológico 1.

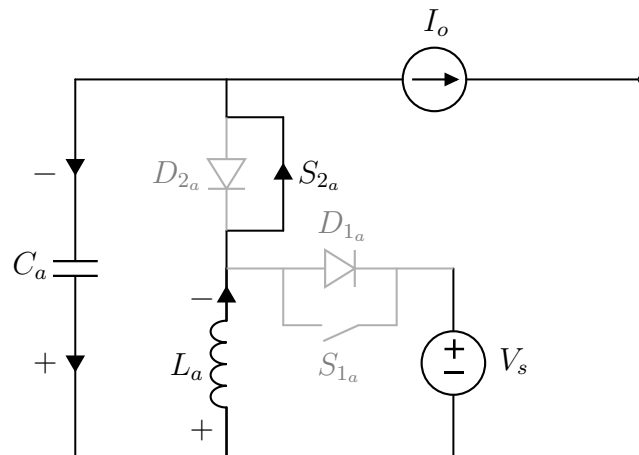


Fonte: autoria própria.

- **Estado topológico 2: Tensão positiva na carga com tensão *gate-source* negativa**

Como mostrado na Fig. 2.2, agora é imposta tensão *gate-source* positiva no *MOSFET* S_{2a} e esse conduz. Ambos os diodos intrínsecos e o *MOSFET* S_{1a} não conduzem. Como ocorre a diminuição do módulo da tensão em C_a , a corrente nesse tem sentido negativo e sua energia diminui. Já o indutor tem corrente negativa cujo módulo aumenta no tempo. Assim, a tensão nesse é negativa e sua energia aumenta com o tempo.

Figura 2.2: Estado topológico 2.

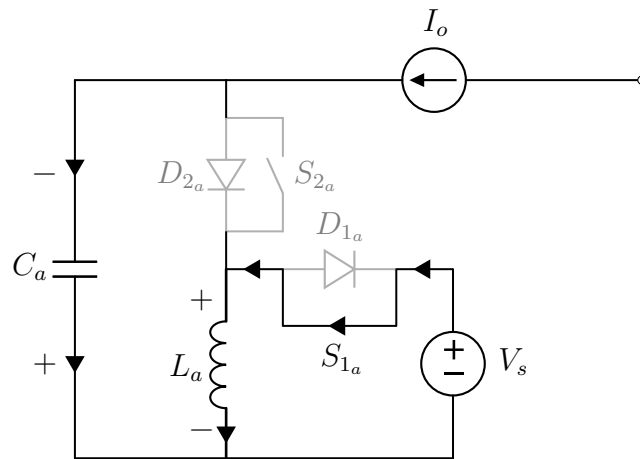


Fonte: autoria própria.

- **Estado topológico 3: Tensão negativa na carga com tensão *gate-source* positivo**

No estado da Fig. 2.3, o *MOSFET* S_{1a} recebe tensão positiva entre *gate* e *source* e conduz. Tanto os diodos quanto o *MOSFET* S_{2a} não conduzem. O módulo da tensão no capacitor diminui o que faz sua corrente ser negativa e sua energia diminuir com o tempo. Já a corrente no indutor é positiva e seu módulo aumenta com o tempo, o que faz sua energia aumentar e a tensão ser positiva.

Figura 2.3: Estado topológico 3.

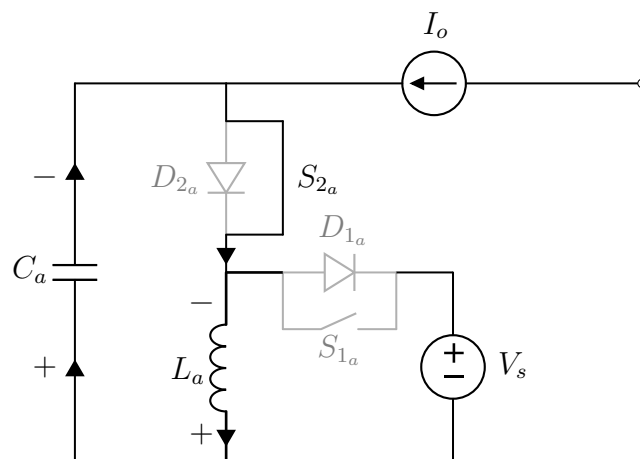


Fonte: autoria própria.

- **Estado topológico 4: Tensão negativa na carga com tensão *gate-source* negativo**

Nessa situação, o *MOSFET* S_{2a} recebe pulso de comando para entrada em condução e conduz no sentido reverso. Tanto os diodos intrínsecos quanto o *MOSFET* S_{1a} não conduzem. A tensão no capacitor aumenta, assim como sua energia, o que implica o sentido positivo da corrente. Já o indutor tem a sua corrente positiva, mas com módulo decrescente, o que implica a polaridade negativa da tensão nele.

Figura 2.4: Estado topológico 4.



Fonte: autoria própria.

O resumo das características de cada estágio topológico pode ser visto na Tabela 1.

Tabela 1: Resumo dos estados topológicos.

	Estado 1	Estado 2	Estado 3	Estado 4
V_o	+	+	-	-
S_{1a}	conduz	não conduz	conduz	não conduz
D_{1a}	não conduz	não conduz	não conduz	não conduz
S_{2a}	não conduz	conduz	não conduz	conduz
D_{2a}	não conduz	não conduz	não conduz	não conduz
V_{C_a}	+	+	+	+
I_{C_a}	+	-	-	+
E_{C_a}	↑	↓	↓	↑
V_{L_a}	+	-	+	-
I_{L_a}	-	-	+	+
E_{L_a}	↓	↑	↑	↓

Fonte: autoria própria.

2.2 APLICAÇÃO DA FUNÇÃO ANTI-DISTORÇÃO NA PORTADORA DO PWM

Um dos enfoques em Santos, 2021 é a comparação entre a modulação tradicional e a com anti-distorção para o DBBI. Conforme mostrado por R.O. Cáceres, Garcia e Camacho (1998), a tensão de saída e o respectivo ganho de dois conversores CC-CC *Buck-Boost* associados de forma diferencial e com razões cíclicas complementares, são dados pela equação (2.1).

$$V_o = V_{o_a} - V_{o_b} = \frac{V_s \cdot d}{1-d} - \frac{V_s(1-d)}{d} \Rightarrow \frac{V_o}{V_s} = \frac{2d-1}{d(1-d)} \quad (2.1)$$

A modulação proposta por R.O. Cáceres, Garcia e Camacho, 1998 consiste de uma componente contínua somada a uma parcela senoidal, conforme a equação (2.2).

$$d_{trad} = D_{cc} + \delta \sin(\omega t) \quad (2.2)$$

Além disso, R.O. Cáceres, Garcia e Camacho (1998) mostram que quando a razão cíclica do DBBI é diferente 0,5, a função de transferência obtida através da modelagem para pequenos sinais do DBBI passa a ser de fase não-mínima e, segundo Ogata (2009), esse tipo de sistema se mostra lento devido ao seu comportamento anômalo no início da resposta, o que acaba por dificultar o seu controle. A fim de resolver esse problema, foram propostas por R.O. Cáceres, Garcia e Camacho (1998) implementações com *feedforward* e controles por modos deslizantes (*sliding-mode*). Já Santos (2021) propôs a adição de um ramo RC de amortecimento em paralelo à carga juntamente com a implementação de um controlador proporcional ressonante.

Em ambos os trabalhos, a componente CC da modulante foi definida em 0,5. Dessa

forma, a modulação tradicional utilizada será dada pela equação (2.3).

$$d_{trad} = 0,5 + \delta \sin(\omega t) \quad (2.3)$$

Assim, para que se obtenha o valor da componente senoidal da razão cíclica, basta utilizar a equação (2.1) no pico da tensão de saída, o qual corresponde a amplitude da componente senoidal, como mostrado na equação (2.4).

$$\frac{V_{o,pico}}{V_s} = \frac{2d_{trad,max} - 1}{d_{trad,max}(1 - d_{trad,max})}, \quad d_{trad,max} = 0,5 + \delta \Rightarrow \delta = \frac{\sqrt{2V_s^2 + V_o^2} - \sqrt{2}V_s}{2V_o} \quad (2.4)$$

O uso dessa modulação, como mostrado por Santos (2021), acaba por expor a não linearidade do *Buck-Boost*, resultando na distorção da tensão de saída, devido às componentes harmônica sobrepostas à fundamental. Também, Santos (2021) discute e desenvolve uma modulação alternativa, a qual almeja compensar essa não-linearidade do DBBI com a modulação tradicional. Essa é chamada de modulação com anti-distorção, cuja expressão de razão cíclica, considerando a componente contínua sendo igual a 0,5, é:

$$d_{FAD} = \frac{0,5 + \delta \sin(\omega t)}{1 + \delta[\sin(\omega t) - 1]}, \quad \delta = \frac{1}{2} \left(\frac{V_o}{V_s\sqrt{2} + V_o} \right) \quad (2.5)$$

3 PROJETO

Nesse capítulo são dimensionados e selecionados os componentes passivos do conversor e são projetados os indutores. Além disso, são selecionados os interruptores e dissipadores e é realizada a estimativa das perdas nos interruptores. O dimensionamento e os testes serão feitos em um DBBI cujas especificações foram obtidas por Santos (2021), e podem ser vistas na Tabela 2.

Tabela 2: Parâmetros do conversor utilizado nos testes.

Potência nominal	250 W
Tensão de entrada	100 V
Tensão de saída (eficaz)	110 V
Frequência da tensão de saída	60 Hz
Ondulação máxima de corrente nos indutores	40%
Ondulação máxima de corrente nos capacitores	5%
Frequência de comutação	50 kHz
Carga nominal	48,4 Ω

Fonte: Santos (2021).

3.1 OBTENÇÃO DOS VALORES NUMÉRICOS DAS MODULANTES

Utilizando as especificações da Tabela 2 na equação (2.4), tem-se que a modulante tradicional será

$$\delta = \frac{\sqrt{2(100 \text{ V})^2 + (110 \text{ V})^2} - \sqrt{2} \cdot 100 \text{ V}}{2 \cdot 110 \text{ V}} \approx 0,17156 \Rightarrow d_{trad} = 0,5 + 0,17156 \sin(120\pi t) \quad (3.1)$$

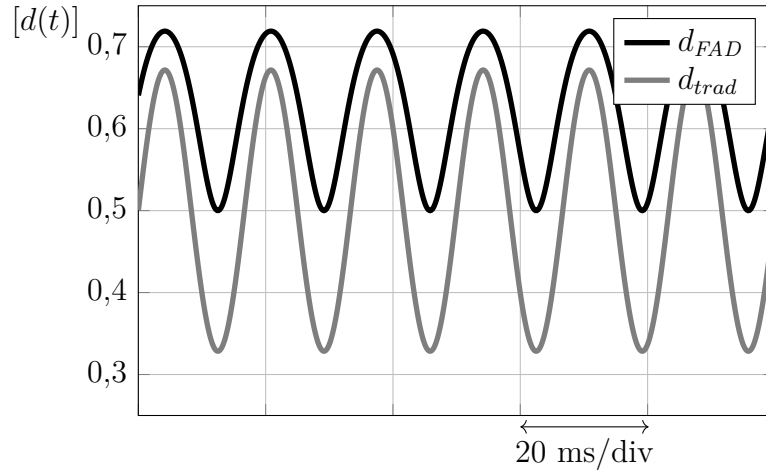
Já para a modulante com anti-distorção, substituindo as especificações da Tabela 2 na equação (2.5), tem-se

$$\delta = \frac{1}{2} \left(\frac{110 \text{ V}}{100 \text{ V} \cdot \sqrt{2} + 110 \text{ V}} \right) \approx 0,21876 \Rightarrow d_{FAD} = \frac{0,5 + 0,21876 \sin(120\pi t)}{1 + 0,21876[\sin(120\pi t) - 1]} \quad (3.2)$$

A comparação gráfica entre a modulante com anti-distorção e a tradicional pode ser vista na Fig. 3.1.

3.2 DIMENSIONAMENTO DOS COMPONENTES PASSIVOS DO CONVERSOR

Nessa etapa, são utilizadas as formulações obtidas por Santos (2021) através do critério de máxima ondulação para dimensionar os componentes passivos do conversor. Na Subseção 3.4 será realizada a verificação dos valores obtidos através de simulações.

Figura 3.1: Modulante senoidal original e modulante anti-distorcida.

Fonte: autoria própria.

3.2.1 Dimensionamento do indutor

No apêndice A.1 foi obtido o valor máximo de razão-cíclica da função de anti-distorção para as especificações do projeto. Substituindo esse valor na expressão para a indutância necessária para atingir o *ripple* especificado, obtida por Santos (2021), tem-se:

$$L = \frac{V_s \cdot d_{FAD,max}}{\Delta I_{L\%} \cdot i_{L,max} \cdot f_s} \Rightarrow L = \frac{V_s(D_{cc} + \delta)}{\Delta I_{L\%} \cdot i_{L,max} \cdot f_s} \quad (3.3)$$

Já no apêndice A.2 foi obtido o valor de corrente máxima no indutor. Esse, juntamente com os valores da Tabela 2 e com a equação (A.6) na equação (3.3), obtém-se o valor de indutância:

$$L = \frac{100 \text{ V}(0,5 + 0,2188)}{0,4 \cdot 11,43 \text{ A} \cdot 50 \text{ kHz}} \approx 314,46 \mu\text{H} \quad (3.4)$$

3.2.2 Dimensionamento do capacitor

Substituindo os valores da especificação técnica de projeto, Tabela 2, na expressão para o valor de capacitância obtida por Santos (2021), tem-se:

$$C = \frac{8\delta \cdot P_o}{\Delta V_{C\%} \cdot f_s \cdot V_o^2} \Rightarrow C = \frac{8 \cdot 0,2188 \cdot 250 \text{ W}}{0,05 \cdot 50 \text{ kHz} \cdot (110\sqrt{2} \text{ V})^2} \Rightarrow C \approx 7,2316 \mu\text{F} \quad (3.5)$$

Essa equação é válida somente para um sub-conversor, ou seja, somente um dos inversores da associação diferencial. Como mostrado por Santos (2021), quando os dois sub-conversores estão associados de forma diferencial, além do cancelamento da componente contínua, ocorre a soma da componente alternada, incluindo os harmônicos. Devido à diferença de 180° na fase das componentes senoidais da tensão dos sub-conversores, as harmônicas ímpares sofrem inversão de fase, se cancelando. Assim, o valor de capacitância

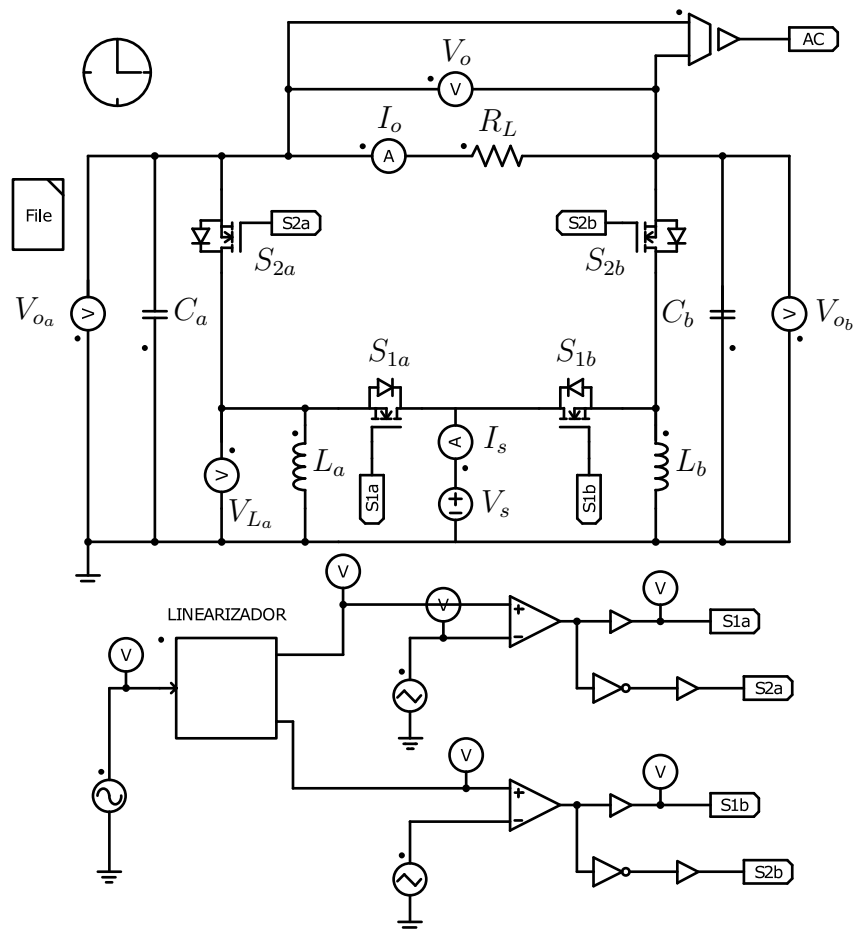
pode ser reduzido pela metade, implicando a equação (3.6).

$$C = \frac{1}{2} \cdot 7,2316 \mu\text{F} = 3,62 \mu\text{F} \quad (3.6)$$

3.3 IMPLEMENTAÇÃO DA SIMULAÇÃO DO DBBI NO PSIM

A implementação no PSIM® da função anti-distorção foi feita em um bloco C simplificado, dada a sua simplicidade matemática. Assim, não se fez necessário o uso do bloco C completo, o qual oferece mais possibilidades, como declaração e uso de funções, inclusão de bibliotecas, etc. O esquemático da simulação pode ser visto na Fig. 3.2 e o código da modulação com anti-distorção, na Fig. 3.3.

Figura 3.2: Circuito simulado no PSIM.



Fonte: autoria própria.

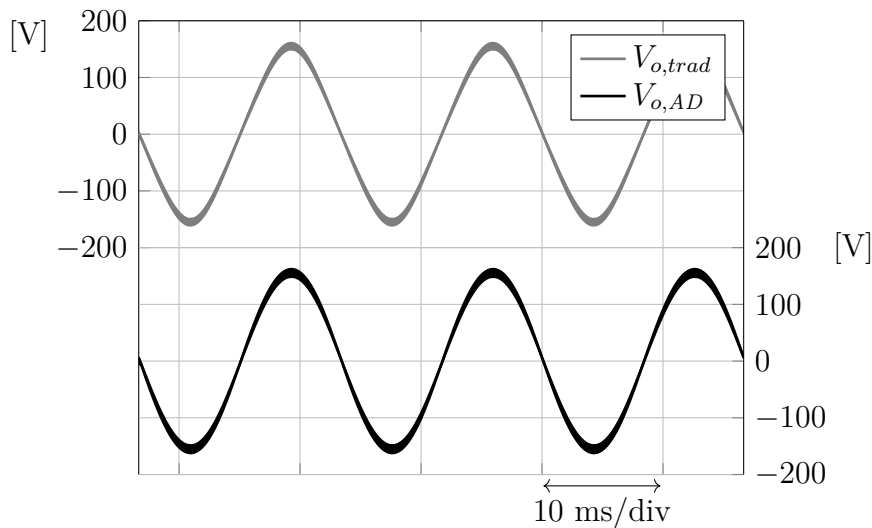
Figura 3.3: Código da função anti-distorção.

```
float Dcc=0.5; float delta=0.219; float da=0;
float dfad_a=0; float db=0; float dfad_b=0;

da=Dcc+delta*x1;
dfad_a=da/(1-Dcc-delta+da);
y1=dfad_a;
db=Dcc-delta*x1;
dfad_b=db/(1-Dcc-delta+db);
y2=dfad_b;
```

Fonte: autoria própria.

Nessa simulação, foram comparadas graficamente as tensões de saída com modulação tradicional e com anti-distorção. Essa é mostrada na Fig. 3.4, em que pode-se perceber a diminuição da distorção na tensão de saída senoidal com o uso da modulação com anti-distorção.

Figura 3.4: Comparação entre a tensão de saída com cada modulação.

Fonte: autoria própria.

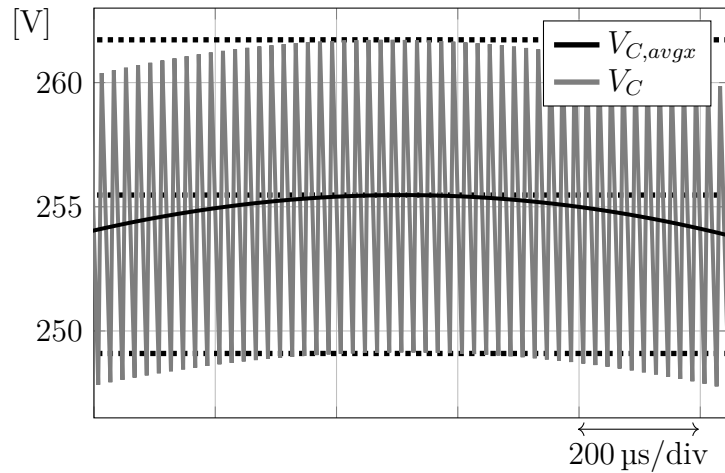
3.4 VALIDAÇÃO DA ONDULAÇÃO DA TENSÃO E CORRENTE

3.4.1 Validação da ondulação da tensão

Para verificar se o valor calculado de capacitância na equação (3.6) está corretamente dimensionado para o conversor, deve-se verificar se a ondulação de tensão sobre ele está na faixa de valores esperados em regime permanente. Como feito nas Figs. 3.12- 3.15 por Santos (2021), o procedimento para tal consiste em dividir a variação da tensão no pico da frequência de saída (60 Hz) pelo pico da média periódica calculada na frequência de comutação (50 kHz). O resultado da metodologia pode ser visto na Fig. 3.5. Em linha pontilhada estão evidenciados os três valores de interesse. Nesse caso o ponto de máxima

ondulação ocorre no pico da média periódica da tensão. Próximo a esse ponto, são medidos os pontos máximo e mínimo e então é calculado o *ripple* conforme a equação (3.7).

Figura 3.5: Tensão no capacitor durante o pico do valor de média periódica calculada na frequência de comutação.



Fonte: autoria própria.

$$\Delta V_{C\%} = \frac{V_{C:pico,max} - V_{C:pico,min}}{V_{C:avgx,max}} = \frac{262,11 \text{ V} - 249,58 \text{ V}}{255,88 \text{ V}} \approx 4,90\% \quad (3.7)$$

Como o valor obtido é menor do que o especificado (5%), o valor de capacitância está adequado para a aplicação.

3.4.2 Validação da ondulação da corrente

Para validação do valor de indutância, a mesma metodologia do caso anterior foi utilizada e o ripple da corrente no indutor pode ser visto na equação (3.8). O gráfico da corrente no indutor no pico e sua média periódica pode ser visto na Fig. 3.6. Esse valor é muito próximo do esperado (40%). Em linha pontilhada estão evidenciados os três valores de interesse.

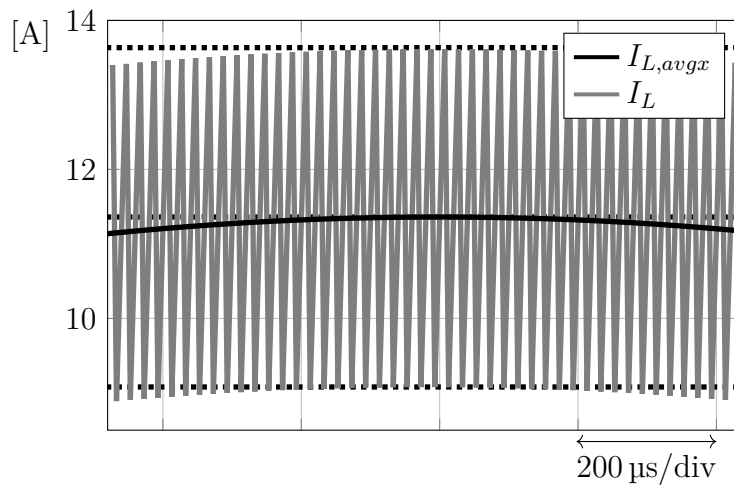
$$\Delta I_{L\%} = \frac{I_{L:pico,max} - I_{L:pico,min}}{I_{L:avgx,max}} = \frac{13,63 \text{ A} - 9,07 \text{ A}}{11,36 \text{ A}} \approx 40,09\% \quad (3.8)$$

3.5 OBTENÇÃO DOS ESFORÇOS

Durante o funcionamento de um conversor, ocorre a excursão de tensões e correntes nos seus componentes. O conhecimento dos valores máximos, mínimos, médios e eficazes dessas grandezas, chamados de esforços, é necessário para a correta seleção e dimensionamento de elementos passivos e ativos do conversor.

Esses esforços também são utilizados para se estimar as perdas nos componentes.

Figura 3.6: Corrente no indutor durante o pico do valor de média periódica calculada na frequência de comutação.



Fonte: autoria própria.

Esses grandezas, mostradas nas tabelas 3 a 6, foram obtidas por meio de simulação do DBBI em carga plena no PSIM®.

Tabela 3: Esforços do capacitor do inversor.

Capacitor			
$I_{C,max}$	$I_{C,min}$	$I_{C,avg}$	$I_{C,rms}$
11,16 A	-4,25 A	4,24 mA	2,95 A
$V_{C,max}$	$V_{C,min}$	$V_{C,avg}$	$V_{C,rms}$
261,77 V	95,75 V	177,52 V	185,79 V

Fonte: autoria própria.

Tabela 4: Esforços do indutor do inversor.

Indutor			
$I_{L,max}$	$I_{L,min}$	$I_{L,avg}$	$I_{L,rms}$
13,61 A	-7,92 A	1,24 A	6,53 A
$V_{L,max}$	$V_{L,min}$	$V_{L,avg}$	$V_{L,rms}$
101,06 V	-261,77 V	-49,75 mV	133,50 V

Fonte: autoria própria.

Tabela 5: Esforços do interruptor 1 do inversor.

Interruptor 1			
MOSFET			
$I_{M1,max}$	$I_{M1,min}$	$I_{M1,avg}$	$I_{M1,rms}$
13,59 A	-28,42 nA	2,43 A	4,67 A
$V_{M1,max}$	$V_{M1,min}$	$V_{M1,avg}$	$V_{M1,rms}$
362,11 V	-42,63 fV	100,05 V	166,80 V
Diodo			
$I_{D1,max}$	$I_{D1,min}$	$I_{D1,avg}$	$I_{D1,rms}$
7,92 A	-36,21 μ A	1,19 A	2,51 A
$V_{D1,max}$	$V_{D1,min}$	$V_{D1,avg}$	$V_{D1,rms}$
362,11 V	-87,07 μ V	100,05 V	166,80 V

Fonte: autoria própria.

Tabela 6: Esforços do interruptor 2 do inversor.

Interruptor 2			
MOSFET			
$I_{M2,max}$	$I_{M2,min}$	$I_{M2,avg}$	$I_{M2,rms}$
7,92 A	-5,77 μ A	1,02 A	2,36 A
$V_{M2,max}$	$V_{M2,min}$	$V_{M2,avg}$	$V_{M2,rms}$
362,03 V	-7,07 pV	177,47 V	228,48 V
Diodo			
$I_{D2,max}$	$I_{D2,min}$	$I_{D2,avg}$	$I_{D2,rms}$
13,61 A	-36,20 μ A	1,02 A	3,00 A
$V_{D2,max}$	$V_{D2,min}$	$V_{D2,avg}$	$V_{D2,rms}$
362,03 V	-57,09 V	177,47 V	228,48 V

Fonte: autoria própria.

3.6 SELEÇÃO DOS INTERRUPTORES

Na seleção dos interruptores para o inversor, levou-se em conta a tensão e a corrente máximas nos dispositivos (vistas nas tabelas 5 e 6), as tecnologias envolvidas e a disponibilidade do componente no laboratório.

Dessa forma, optou-se pelo *MOSFET* C2M0080120D da CREE[®]. Esse componente, que pode ser visto na Fig. 3.7, possui tecnologia SiC⁴ (CREE, 2019), tendo sido escolhido por apresentar perdas de comutação inferiores aos de silício de mesmas tensão de bloqueio

⁴SiC - Carbetto de silício

e corrente de condução.

Esse componente suporta tensão máxima de 1200 V entre *drain* e *source*. Apesar da resistência entre *drain* e *source* tender a aumentar conforme a tensão máxima suportada aumenta, gerando maiores perdas, imprecisões no *layout* de placa podem ocasionar sobretensões nos interruptores, os quais podem ser danificados caso não suportem esses picos de tensão. Assim, essa característica se mostra interessante para um protótipo.

Figura 3.7: *MOSFET* C2M0080120D da CREE®.



Fonte: Amazon, 2023, modificado pelo autor.

3.6.1 Dimensionamento do resistor de gate

O acionamento e o desligamento de um *MOSFET*, como apresentado por Cruz Martins (2018), não ocorrem instantaneamente. Esses tempos devem ser conhecidos para evitar um curto de braço (em que ambos os *MOSFET*'s estão ativos ao mesmo tempo), formando um caminho direto entre a carga e a fonte, no caso do DBBI. Essas informações de tempo de subida e de descida são fornecidas por CREE, 2019 e são necessárias para o cálculo do resistor de *gate*. De acordo com Cruz Martins (2018), os tempos de subida e de descida podem ser aproximados por:

$$t_r = t_f = 2,2 \cdot R_G \cdot C_{iss}, \quad R_G = R_{G,int} + R_{G,ext} \quad (3.9)$$

De CREE, 2019, tem-se que o tempo de subida, o de descida a capacitância de entrada e o valor de resistência interna de *gate* são dados por:

$$t_r = 22 \text{ ns} \quad ; \quad t_f = 14 \text{ ns} \quad ; \quad C_{iss} = 1130 \text{ pF} \quad ; \quad R_{G,int} = 3,9 \Omega \quad (3.10)$$

Substituindo esses valores na equação (3.9), tem-se

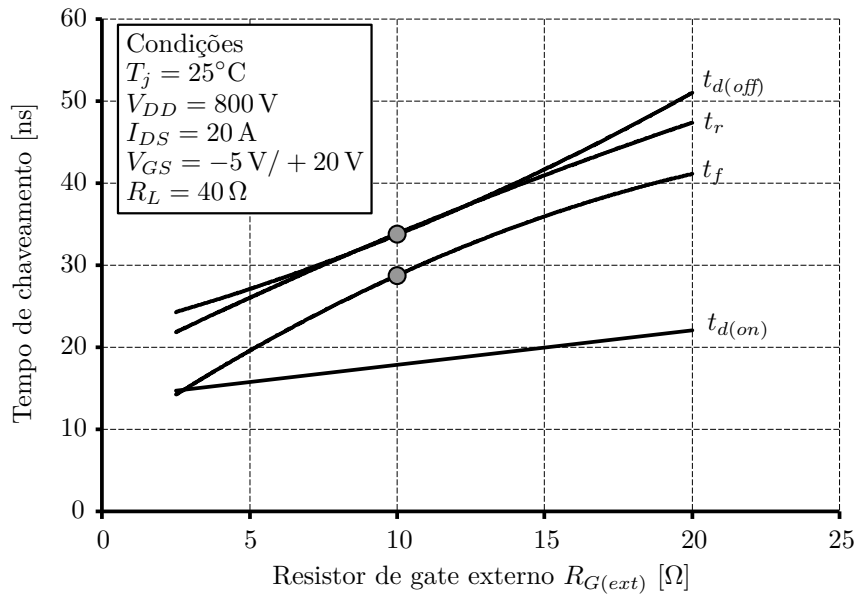
$$R_{G,ext} = \frac{t_r}{2,2 \cdot C_{iss}} - R_{G,int} = \frac{22 \text{ ns}}{2,2 \cdot 1130 \text{ pF}} - 3,9 \Omega \approx 4,95 \Omega \quad (3.11)$$

O resistor escolhido deve ter resistência igual ou superior ao calculado. O valor comercial disponível escolhido foi 10 Ω . Substituindo na equação (3.9), tem-se:

$$t_r = t_f = 2,2 \cdot R_G \cdot C_{iss} = 2,2 \cdot (10 \Omega + 3,9 \Omega) \cdot 1130 \text{ pF} \approx 34,56 \text{ ns} \quad (3.12)$$

No entanto, como pode ser visto na Fig. 3.8 de CREE, 2019, percebe-se que nas condições apresentadas para $R_G = 10\ \Omega$ tem-se que $t_r \approx 33,8\ \text{ns}$ e $t_f \approx 28,7\ \text{ns}$. Apesar desses valores serem inferiores aos calculados na equação (3.12), esses serão considerados no projeto, visto que são obtidos através de ensaios dos componentes em específico, tendo a garantia de exatidão pelo fabricante.

Figura 3.8: Tempo de chaveamento pelo resistor de gate.



Fonte: CREE, 2019, modificado pelo autor.

3.6.2 Estimativa das perdas nos interruptores

As especificações providas por CREE, 2019 que serão utilizadas nos dimensionamentos posteriores podem ser vistas na Tabela 7.

Tabela 7: Parâmetros dos interruptores para cálculo de perdas.

MOSFET			
Resist. Drain-Source ($R_{DS,on}$)	Fator aumento resist. 100°C. ($\alpha_{R_{DS},100^\circ\text{C}}$)	Tempo subida (t_r)	Tempo descida (t_f)
80 mΩ	1,3	33,8 ns	28,7 ns

Fonte: CREE, 2019, modificado pelo autor.

Os parâmetros da Tabela 7 foram obtidos, quando informados, para temperatura de 100°C, a qual será a temperatura de junção alvo de operação.

3.6.2.1 Perdas de condução

De acordo com Erickson e Maksimović, 2020, as perdas em condução de um MOS-

FET são dadas por:

$$P_{Mi,cond} = I_{Mi,rms}^2 \cdot R_{DS,on} \quad (3.13)$$

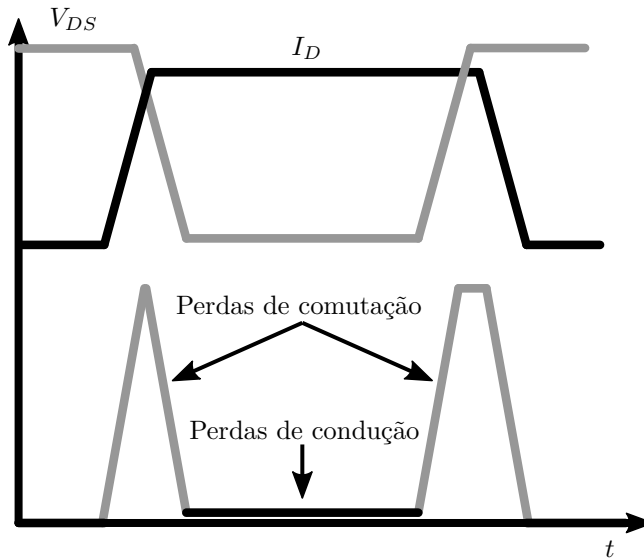
Substituindo os valores das tabelas 5 e 6, tem-se

$$\begin{aligned} P_{M1,cond} &= (4,67 \text{ A})^2 \cdot 1,3 \cdot 80 \text{ m}\Omega \approx 2,268 \text{ W} \\ P_{M2,cond} &= (2,36 \text{ A})^2 \cdot 1,3 \cdot 80 \text{ m}\Omega \approx 579,24 \text{ mW} \end{aligned} \quad (3.14)$$

3.6.2.2 Perdas de comutação

Segundo Cruz Martins, 2018, dado que a comutação do *MOSFET* não é instantânea, ocorrem perdas nesse processo por causa do “cruzamento” entre as ondas de tensão e de corrente, como ilustrado na Fig. 3.9. Assim, durante esse período, potência é dissipada no interruptor, sendo essa transformada em calor.

Figura 3.9: Diagrama das perdas de comutação em um interruptor.



Fonte: Haque et al., 2018, modificado pelo autor.

Para calcular a perda de comutação total, partir-se-á da equação de perdas de comutação em um *MOSFET* de Cruz Martins (2018). Essa leva em consideração as perdas de comutação de um *MOSFET* operando em frequência de comutação f_s e considera que o dispositivo está operando durante todo o período de análise. Como visto nas Figs. 2.1 a 2.4, a operação de cada um dos interruptores dos sub-conversores individuais ocorre somente durante aproximadamente 1/2 do período da frequência de saída. Dessa forma, será adicionado um fator 1/2 na equação de perdas de comutação em um *MOSFET* vista em Cruz Martins (2018), resultando na equação (3.15).

$$P_{Mi,sw} = \frac{t_r + t_f}{6} \cdot f_s \cdot I_{Mi,max} \cdot V_{Mi,max} \cdot \frac{1}{2} \quad (3.15)$$

Por fim, calcula-se a tensão e corrente em cada instante de comutação. Como uma forma de sobre-estimar essas perdas, serão utilizados os valores máximos de tensão e de

corrente nos semicondutores, obtidos nas tabelas 5 e 6, resultando em uma estimativa sobre-estimada das perdas de comutação, a qual pode ser vista na equação (3.16).

$$P_{M1,sw} = \frac{33,8 \text{ ns} + 28,7 \text{ ns}}{6} \cdot 50 \text{ kHz} \cdot 13,59 \text{ A} \cdot 362,11 \text{ V} \cdot \frac{1}{2} \approx 1,282 \text{ W}$$

$$P_{M2,sw} = \frac{33,8 \text{ ns} + 28,7 \text{ ns}}{6} \cdot 50 \text{ kHz} \cdot 7,92 \text{ A} \cdot 362,03 \text{ V} \cdot \frac{1}{2} \approx 746,687 \text{ mW}$$
(3.16)

Finalmente, tem-se que as perdas totais nos *MOSFET*'s, resultado da soma das perdas em condução e em comutação (equação (3.14) e equação (3.16)) são:

$$P_{Mi,tot} = P_{Mi,cond} + P_{Mi,sw}$$

$$P_{M1,tot} = P_{M1,cond} + P_{M1,sw} = 2,268 \text{ W} + 1,282 \text{ W} \approx 3,55 \text{ W}$$
(3.17)

$$P_{M2,tot} = P_{M2,cond} + P_{M2,sw} = 579,24 \text{ mW} + 746,687 \text{ mW} \approx 1,326 \text{ W}$$

Como nessa análise não há perdas nos diodos intrínsecos dos *MOSFET*'s, as perdas totais por encapsulamento são iguais às perdas nos *MOSFET*'s. Assim, tem-se

$$P_{Encaps,i} = P_{Mi,tot}$$

$$P_{Encaps,1} = P_{M1,tot} = 3,55 \text{ W}$$
(3.18)

$$P_{Encaps,2} = P_{M2,tot} = 1,326 \text{ W}$$

3.7 DIMENSIONAMENTO DOS DISSIPADORES

O dimensionamento adequado dos dissipadores é essencial para garantir que os funcionamentos dos *MOSFET*'s ocorram em uma determinada faixa de temperatura segura, visto que além da possibilidade de dano ao dispositivo, há a dependência térmica da resistência série, o que pode resultar em um aumento no valor das perdas de condução. Por outro lado, um superdimensionamento dos dissipadores resulta em maior custo e volume do conversor. Portanto, a escolha adequada desse componente é fundamental para o projeto de um conversor.

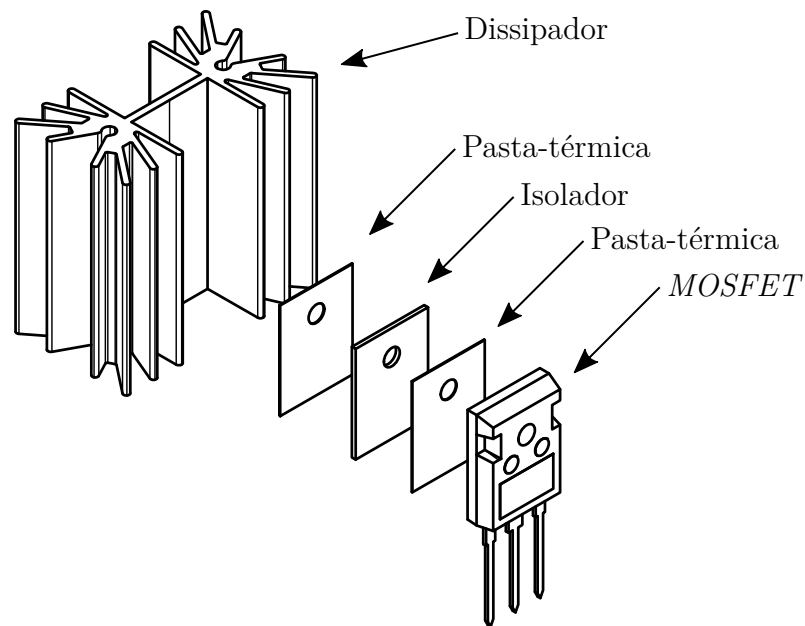
Para isso, serão feitas três análises com o propósito de dimensionar os dissipadores. Na primeira, será calculada a resistência térmica equivalente e com essa, em conjunto com as perdas calculadas, será obtida a temperatura de funcionamento para cada *MOSFET*. Na segunda análise, o valor de resistência térmica equivalente será utilizado para alimentar o modelo térmico do PSIM[®]. Já a terceira, mais simples, utilizará a curva de potência dissipada por diferença entre a temperatura de junção e a ambiente, fornecida pelo fabricante do dissipador, para estimar a temperatura de operação dos interruptores.

3.7.1 Método 1: Cálculo da resistência térmica equivalente

O dimensionamento dos dissipadores foi realizado com base em Barbi (2012), em que é feita a analogia de um circuito térmico com um circuito elétrico cuja unidade da

resistência térmica é K/W. A montagem com a qual foram feitos os cálculos pode ser vista na Fig. 3.10. Nela, o *MOSFET* é isolado eletricamente do dissipador de alumínio utilizando um isolador de mica. Foi aplicada pasta térmica tanto na interface do isolador com o semicondutor quanto na com o dissipador, a fim de melhorar o contato térmico entre as superfícies. O circuito elétrico equivalente análogo ao mecânico pode ser visto na Fig. 3.11 e as grandezas utilizadas nesse, na Tabela 8.

Figura 3.10: Diagrama da montagem do dissipador no *MOSFET*.

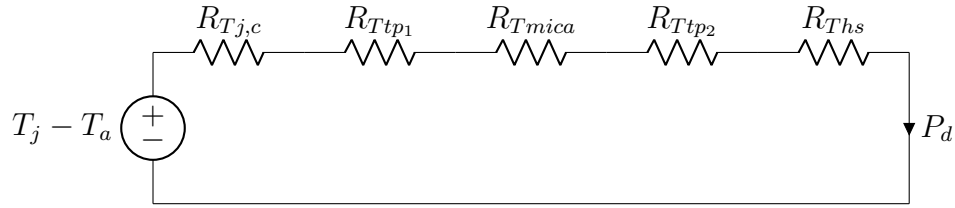


Fonte: autoria própria.

Tabela 8: Grandezas utilizadas no circuito térmico.

T_j	Temperatura de junção
T_a	Temperatura ambiente
$R_{Tj,c}$	R_T entre junção e encapsulamento
R_{Ttp_1}	R_T da camada de pasta térmica entre o encapsulamento e o isolador
R_{Tmica}	R_T do isolador de mica
R_{Ttp_2}	R_T da camada de pasta térmica entre o isolador e o dissipador
R_{Ths}	R_T do dissipador
P_d	Potência dissipada pelo interruptor

Fonte: autoria própria.

Figura 3.11: Circuito térmico entre o *MOSFET* e o ambiente.

Fonte: autoria própria.

Desse circuito, pode-se inferir a resistência térmica necessária para o dissipador.

$$\frac{T_j - T_a}{P_d} = R_{T_{j,c}} + R_{T_{tp1}} + R_{T_{mica}} + R_{T_{tp2}} + R_{T_{hs}} \quad (3.19)$$

$$R_{T_{hs}} = \frac{T_j - T_a}{P_d} - R_{T_{j,c}} - R_{T_{tp1}} - R_{T_{mica}} - R_{T_{tp2}}$$

Agrupando as resistências térmicas entre a junção e a camada de pasta térmica entre o isolador e o dissipador, tem-se a equação (3.20).

$$R_{T_{hs}} = \frac{T_j - T_a}{P_d} - R_{T_{j,hs}} \quad (3.20)$$

A temperatura alvo nas junções dos interruptores será de 100°C e a ambiente de 30°C. A escolha dessa temperatura de junção foi feita para se ter uma grande margem para a temperatura máxima de operação do componente, que segundo CREE, 2019, é de 150°C. Essa decisão se mostra válida, visto que o objetivo é a construção de um protótipo e não de um produto comercial, onde seria interessante maior otimização do arrefecimento dos componentes.

Segundo CREE (2019), a resistência térmica entre a junção e o encapsulamento é de $0,6 \frac{\text{K}}{\text{W}}$. A pasta utilizada é da Implastec® e possui condutividade de $k = 0,4 \frac{\text{W}}{\text{m} \cdot \text{K}}$, segundo o fabricante.

Como mostrado em Infineon (2017), o valor ótimo para a espessura da camada de pasta térmica aplicada a um interruptor com características próximas ao do projeto é entre 20 μm e 50 μm após fixado no dissipador. Assim, considerando que a espessura de filme de pasta térmica após a fixação dos dissipadores é de 100 μm (estimado de modo a aumentar a resistência térmica da camada de pasta térmica, como forma de segurança), e as dimensões do encapsulamento em contato com a pasta, segundo CREE, 2019, são de 21 mm × 16 mm, tem-se que a resistência térmica gerada pela pasta será conforme a equação (3.21).

$$R_{T_{tp1}} = R_{T_{tp2}} = \frac{\Delta x_{tp}}{A_{tp} \cdot k_{tp}} = \frac{100 \mu\text{m}}{21 \text{ mm} \cdot 16 \text{ mm} \cdot 0,4 \frac{\text{W}}{\text{m} \cdot \text{K}}} \approx 0,744 \frac{\text{K}}{\text{W}} \quad (3.21)$$

As especificações do isolador de mica de cerâmica, fornecidas por Aavid, 2017, podem

ser vistas na Tabela 9.

Tabela 9: Parâmetros do isolador de mica cerâmica.

Condutividade térmica (k_{mica})	$79,56 \frac{W}{m \cdot K}$
Comprimento	23,24 mm
Largura	18,8 mm
Espessura (Δx_{mica})	2,03 mm

Fonte: autoria própria.

Utilizando os valores da Tabela 9, tem-se que a resistência térmica do isolador é dada pela equação (3.22).

$$R_{mica} = \frac{\Delta x_{mica}}{A_{mica} \cdot k_{mica}} = \frac{2,03 \text{ mm}}{23,24 \text{ mm} \cdot 18,8 \text{ mm} \cdot 79,56 \frac{W}{m \cdot K}} \approx 0,058 \frac{K}{W} \quad (3.22)$$

Com os valores das resistências térmicas individuais, tem-se que o valor numérico da resistência térmica entre a junção e o dissipador é dado pela equação (3.23).

$$R_{Tj,hs} = R_{Tj,c} + R_{Ttp1} + R_{Tmica} + R_{Ttp2} = 0,6 \frac{K}{W} + 0,744 \frac{K}{W} + 0,058 \frac{K}{W} + 0,744 \frac{K}{W} \approx 2,146 \frac{K}{W} \quad (3.23)$$

Finalmente, substituindo os valores numéricos na equação (3.20), tem-se que as resistências térmicas máximas para os encapsulamentos são dadas pelas equações (3.24) e (3.25).

$$R_{Ths1} = \frac{T_j - T_a}{P_{Encaps1}} - R_{Tj,hs} = \frac{100^\circ\text{C} - 30^\circ\text{C}}{3,55 \text{ W}} - 2,146 \frac{K}{W} \approx 17,574 \frac{K}{W} \quad (3.24)$$

$$R_{Ths2} = \frac{T_j - T_a}{P_{Encaps2}} - R_{Tj,hs} = \frac{100^\circ\text{C} - 30^\circ\text{C}}{1,326 \text{ W}} - 2,146 \frac{K}{W} \approx 50,647 \frac{K}{W} \quad (3.25)$$

3.7.2 Método 2: Simulação térmica no PSIM[®]

Nesse método é analisada a possibilidade de utilização de um determinado modelo de dissipador, e portanto é necessário conhecer a resistência térmica dele previamente à simulação. O modelo escolhido foi o HS4225 da HS Dissipadores[®], visto que esse é disponível em grande quantidade no INEP.

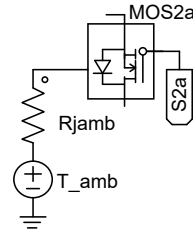
Segundo HS (2023), esse dissipador possui resistência térmica de $R_{Ths} = 6,964 \frac{K}{W}$, visto que esses possuem 40 mm de comprimento.

Assim, a resistência térmica entre a junção e o ambiente, mostrada na equação (3.26), será dada pela soma das equação (3.23) com a resistência térmica do dissipador.

$$R_{Tj,a} = R_{Tj,hs} + R_{Ths} = 2,146 \frac{K}{W} + 6,964 \frac{K}{W} = 9,111 \frac{K}{W} \quad (3.26)$$

Essa resistência térmica e a temperatura ambiente são alimentadas no modelo térmico do PSIM[®], como pode ser visto na Fig. 3.12.

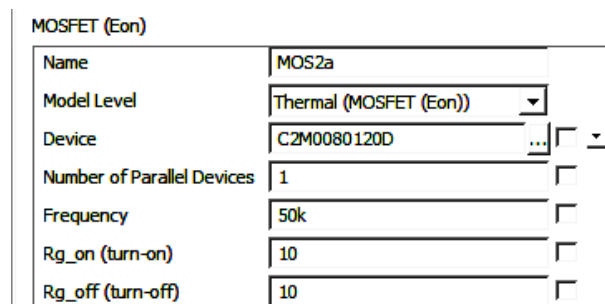
Figura 3.12: Modelo térmico do dissipador na temperatura ambiente no PSIM.



Fonte: autoria própria.

Nas configurações do modelo térmico foram selecionados o código do *MOSFET*, a frequência de comutação e os valores dos resistores de gate de ativação e desligamento conforme a Fig. 3.13. Além disso, foi adicionada uma temperatura inicial próxima ao regime permanente, a fim de diminuir o tempo de simulação.

Figura 3.13: Configurações do modelo térmico de *MOSFET* no PSIM.



Fonte: autoria própria.

Os resultados da simulação encontram-se na Tabela 10, de onde obtém-se que as perdas totais para os *MOSFET*'s 1 e 2 são de, respectivamente, 4,02 W e 1,41 W e as temperaturas de junção em regime permanente são de 68°C e 44°C.

Tabela 10: Resultado da simulação térmica no PSIM®.

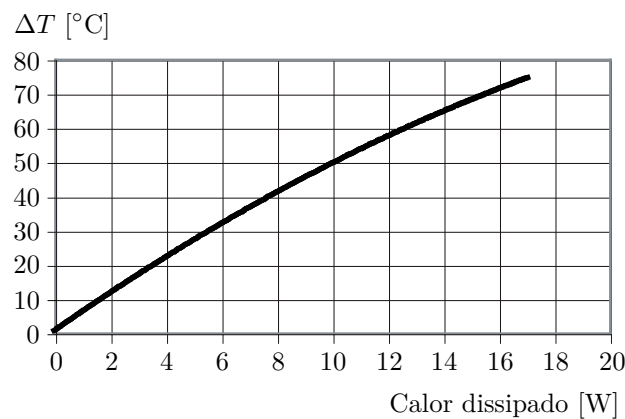
$P_{D1,cond}$	$P_{D1,sw}$	$T_{j,D1}$	$P_{M1,cond}$	$P_{M1,sw}$	$T_{j,M1}$	$P_{Encaps1}$
32,53 mW	0 W	65,88°C	2,55 W	1,86 W	67,97°C	4,44 W
$P_{D2,cond}$	$P_{D2,sw}$	$T_{j,D2}$	$P_{M2,cond}$	$P_{M2,sw}$	$T_{j,M2}$	$P_{Encaps2}$
53,24 mW	0 W	42,98°C	1,12 W	1,03 W	43,96°C	2,21 W

Fonte: autoria própria.

3.7.3 Método 3: Análise da curva de potência dissipada por diferença de temperatura

Na Fig. 3.14 consta o gráfico fornecido pelo fabricante do dissipador HS (2023) que relaciona a diferença de temperatura que é gerada para uma dada potência dissipada. Da equação (3.18) tem-se que as potências dissipadas nos encapsulamentos 1 e 2 são, respectivamente, 3,55 W e 1,326 W. Cruzando esses dados com o gráfico, tem-se que a diferença de temperatura para esses casos é, aproximadamente, 20°C para o primeiro e 8°C para o segundo. Considerando a temperatura ambiente de 30°C, tem-se que as temperaturas dos encapsulamentos, em regime permanente, são de 50°C e 38°C.

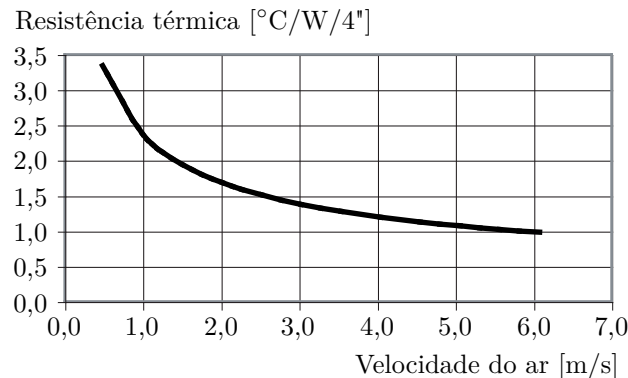
Figura 3.14: Gráfico do calor dissipado pela diferença de temperatura entre o dissipador e o ambiente.



Fonte: HS, 2023, modificado pelo autor.

É importante destacar que o fabricante também fornece um gráfico que relaciona a resistência térmica do dissipador com a velocidade do ar que passa por esse, evidenciando a importância da ventilação forçada no arrefecimento de um interruptor. Esse gráfico pode ser visto na Fig. 3.15. Na etapa de testes, será feita a comparação térmica com e sem ventilação forçada.

Figura 3.15: Gráfico da resistência térmica do dissipador de acordo com a velocidade do ar.



Fonte: HS, 2023, modificado pelo autor.

3.7.4 Comparação entre os métodos

Para uma devida comparação, o valor de resistência térmica do dissipador HS4225, fornecido por HS (2023), é substituído na equação (3.19) e é calculada a temperatura em regime permanente pelo método 1, que é de 62,34°C e 42,08°C para os encapsulamentos 1 e 2.

Assim, como pode ser visto na Tabela 11, conclui-se que os três métodos tiveram resultados próximos, o que é um forte indicativo que as temperaturas no protótipo estarão dentro do esperado. Outro ponto interessante, é que o método 2 mostrou que não há perdas por comutação nos diodos intrínsecos e há poucas perdas por condução nesses, o que é um indica que a análise dos estados topológicos da Subseção 2.1 e cálculos de perdas do método 1 são válidos.

Tabela 11: Comparação entre os métodos de estimativa de temperatura de junção nos interruptores.

	Método 1	Método 2	Método 3	Média
T_{S_1}	62,34°C	68°C	50°C	60,11°C
T_{S_2}	42,08°C	44°C	38°C	41,36°C

Fonte: autoria própria.

3.8 PROJETO DOS INDUTORES

3.8.1 Seleção dos núcleos toroidais

A primeira etapa no projeto de um indutor toroidal é a escolha do núcleo, sendo que essa afeta diretamente tanto a performance do indutor, quanto a viabilidade e facilidade no processo de bobinagem desse. Por isso, é interessante que além de boa permeabilidade relativa, o indutor tenha volume e áreas úteis suficientes para comportar as bobinas. Para uma análise inicial, o fator que pode ser considerado é o coeficiente de indutância A_L que,

segundo TDK, s.d., fornece a auto-indutância que é gerada em unidades do enrolamento de uma bobina de determinada forma e dimensões enrolada em um núcleo magnético. Essa é dada pela equação (3.27).

$$A_L = \frac{L}{N^2} \text{ [nH]} \quad (3.27)$$

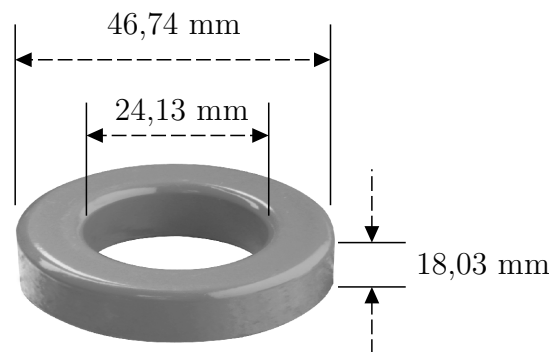
Dentre os diversos núcleos toroidais que fazem parte do acervo do INEP para projetos de alunos, foi selecionado o APH46P60 da fabricante AMOGREENTECH[®], cujas especificações podem ser vistas na Tabela 12 e na Fig. 3.16, tendo essas sido obtidas de AMOGREENTECH (s.d.).

Tabela 12: Parâmetros do núcleo toroidal APH46P60 da AMOGREENTECH[®]

Coeficiente de Indutância (A_L)	Permeabilidade magnética relativa (μ_r)	Área da seção transversal (A)	Caminho magnético médio (l)
135 nH/ N^2	60	1,990 cm ²	10,74 cm
Área interna (W_a)	Volume (V)	Densidade de Fluxo de saturação (B_s)	
4,27 cm ²	21,373 cm ³	1,5 T	

Fonte: AMOGREENTECH (s.d.).

Figura 3.16: Dimensões do núcleo toroidal APH46P60 da AMOGREENTECH[®].



Fonte: AMOGREENTECH (s.d.), modificado pelo autor.

3.8.2 Determinação do número de espiras

Da definição do parâmetro A_L e da indutância desejada (equações (3.4) e (3.27) respectivamente), obtém-se uma estimativa do número de espiras necessárias para obter a indutância desejada.

$$A_L = \frac{L}{N^2} \Rightarrow N = \sqrt{\frac{L}{A_L}} \Rightarrow N = \left[\frac{314,46 \mu\text{H}}{135 \text{ nH}/N^2} \right] = 49 \quad (3.28)$$

No entanto, esse parâmetro não contempla o preenchimento que as espiras causarão no núcleo, espessura dos condutores e perdas no indutor.

3.8.3 Seleção do tipo e da quantidade de condutores

A escolha da espessura dos condutores depende da frequência de comutação e da densidade máxima de corrente imposta sobre ele, a qual implica diretamente as perdas Joule nas bobinas. O valor escolhido pode ser visto na equação (3.29).

$$J_{max} = 600 \frac{A}{cm^2} \quad (3.29)$$

Com a densidade máxima de corrente e a corrente máxima no indutor (equação (3.29) e Tabela 4), obtém-se a seção mínima efetiva pela qual se passa corrente, dada na equação (3.30).

$$S_{min} = \frac{I_{L,max}}{J_{max}} = \frac{13,61 A}{600 A/cm^2} \approx 1,088 \text{ mm}^2 \quad (3.30)$$

No entanto, como dito por Barbi (2014), a profundidade de penetração da corrente em um condutor diminui com o aumento da sua frequência, fenômeno chamado de efeito pelicular. A aplicação da definição desse pode ser vista na equação (3.31).

$$\Delta[cm] = \frac{7,5}{\sqrt{f_s}} = \frac{7,5}{\sqrt{50 \text{ kHz}}} \approx 0,034 \text{ cm} \quad \Rightarrow \quad 2\Delta \approx 0,067 \text{ cm} \quad (3.31)$$

Tendo a profundidade de penetração de corrente, obtém-se que a maior bitola de condutor pela qual efetivamente pode passar corrente é AWG22 (0,064cm).

Tendo conhecimento dessa limitação, optou-se pela utilização de cabos Litz para confeccionar as bobinas. Segundo Elecify (2023), esses consistem de 150 fios de cobre AWG38 isolados em paralelo e esse conjunto é envolto em uma malha feita de nylon. Dessa forma, a resistência série é reduzida. Das informações fornecidas, somadas à tabela de fios esmaltados (Barbi, 2014), obtém-se a Tabela 13.

Tabela 13: Parâmetros do cabo litz.

Número de cond em paral. ($N_{AWG38,par}$)	Área AWG38 (S_{AWG38})	Área AWG38 com isola. ($S_{AWG38,iso}$)	Resist. a 100°C (ρ_{AWG38})
150	0,000080 cm ²	0,000130 cm ²	0,028917 Ω/cm

Fonte: Elecify (2023) e Barbi (2014).

Da Tabela 13 pode-se extrair a área total de condutores no cabo com isolamento (equação (3.32)) e sem isolamento (equação (3.33)) e a resistividade do cabo Litz (equação (3.34)).

$$S_{litz,iso} = N_{AWG38,par} \cdot S_{AWG38,iso} = 150 \cdot 0,000130 \text{ cm}^2 = 1,95 \text{ mm}^2 \quad (3.32)$$

$$S_{litz} = N_{AWG38,par} \cdot S_{AWG38} = 150 \cdot 0,000080 \text{ cm}^2 = 1,2 \text{ mm}^2 \quad (3.33)$$

$$\rho_{litz} = \frac{\rho_{AWG38}}{N_{AWG38,par}} = \frac{0,028917 \Omega/\text{cm}}{150} = 19,278 \cdot 10^{-3} \frac{\Omega}{\text{cm}} \quad (3.34)$$

Das equações (3.30) e (3.33), conclui-se que como a área do cabo Litz é suficiente para realização do indutor, não é necessário colocar condutores em paralelo. Do número de condutores em paralelo (Tabela 13) e da equação (3.32), tem-se a área ocupada do núcleo, mostrada na equação (3.35).

$$S_{ocup} = N_{AWG38,par} \cdot S_{litz,iso} = 150 \cdot 1,95 \text{ mm}^2 = 0,955 \text{ cm}^2 \quad (3.35)$$

Esse fator, quando comparado à área interna do núcleo (Tabela 12), fornece um fator de ocupação (equação (3.36)). A partir desse, pode-se concluir que é viável a execução do indutor.

$$E = \frac{S_{ocup}}{W_a} = \frac{0,955 \text{ cm}^2}{4,27 \text{ cm}^2} = 0,224 \quad (3.36)$$

Aproximando o perímetro da seção lateral do núcleo como retangular, tem-se que a sua dimensão será de 5,867 cm. Adicionando um fator de segurança de 1,8, para compensar a aproximação de perímetro e a sobreposição de enrolamentos, juntamente com o número de espiras da equação (3.28), obtém-se uma estimativa do comprimento total de cabo Litz que será utilizado na construção do indutor. O valor calculado está na equação (3.37).

$$L_{cond} = 1,8 \cdot 5,867 \text{ cm} \cdot 10,74 \text{ cm} \cdot 49 = 5,175 \text{ m} \quad (3.37)$$

3.8.4 Estimativa de perdas nos indutores

Com esse comprimento total (equação (3.37)), a resistividade do cabo Litz (equação (3.34)) e o número de condutores em paralelo (Tabela 13), obtém-se a resistência total dos condutores de um dos indutores (equação (3.38)).

$$R_{cond} = \frac{\rho_{litz} \cdot L_{cond}}{N_{AWG38,par}} = \frac{19,278 \text{ m}\Omega/\text{cm} \cdot 150}{5,175 \text{ m}} = 99,758 \text{ m}\Omega \quad (3.38)$$

Finalmente, com esse valor de resistência dos condutores (equação (3.38)) e o valor eficaz de corrente que passa pelo indutor (Tabela 4), obtém-se uma estimativa para as perdas nos condutores do indutor (equação (3.39)).

$$P_{cobre} = R_{cond} \cdot I_{L,rms}^2 = 99,758 \text{ m}\Omega \cdot (6,53 \text{ A})^2 = 4,254 \text{ W} \quad (3.39)$$

A documentação dos núcleos (AMOGREENTECH, s.d.) fornece uma formulação para o campo magnético que circula pelo núcleo, obtida pela da Lei de Ampère. Através dessa, chega-se ao valor máximo de campo magnético no núcleo (equação (3.40)).

$$H_{max} = \frac{0,4 \cdot \pi \cdot N \cdot I_{L,max}}{l} = \frac{0,4 \cdot \pi \cdot 49 \cdot 13,61 \text{ A}}{10,74 \text{ cm}} = 7,803 \frac{\text{kA}}{\text{m}} \quad (3.40)$$

Conhecendo o campo magnético máximo e a permeabilidade magnética do núcleo, obtém-se assim a máxima densidade de fluxo magnético no núcleo (equação (3.41)).

$$B_{max} = \mu_r \cdot \mu_0 \cdot H_{max} = 60 \cdot 4\pi \cdot 10^{-7} \frac{\text{H}}{\text{m}} \cdot 7,803 \frac{\text{kA}}{\text{m}} = 0,588 \text{ T} \quad (3.41)$$

Como cálculos de perdas no núcleo tendem a depender de valores experimentais, a fabricante (AMOGREENTECH, s.d.) forneceu uma equação empírica para esse fim (equação (3.42)), que estima a perda por unidade de volume. Substituindo os valores de máxima densidade de fluxo magnético no núcleo (equação (3.41)) e frequência de comutação (Tabela 2), chega-se à equação (3.42).

$$\begin{aligned} P_{vol} &= 3,89 \cdot (0,1 \cdot B_{max})^{2,57} \cdot \left(\frac{f_s}{1000} \right)^{1,11} \cdot 10^{-3} \left[\frac{\text{mW}}{\text{cm}^3} \right] \\ &= 3,89 \cdot (0,1 \cdot 0,588 \text{ T})^{2,57} \cdot \left(\frac{50000}{1000} \right)^{1,11} \cdot 10^{-3} = 0,206 \frac{\text{mW}}{\text{cm}^3} \end{aligned} \quad (3.42)$$

Substituindo o volume do núcleo (Tabela 12) obtém-se as perdas no núcleo do indutor (equação (3.43)).

$$P_{nuc} = P_{vol} \cdot V = 0,206 \frac{\text{mW}}{\text{cm}^3} \cdot 21,373 \text{ cm}^3 = 4,395 \text{ mW} \quad (3.43)$$

Somando as perdas nos condutores (equação (3.39)) e as perdas no núcleo (equação (3.43)), tem-se uma estimativa para as perdas totais no indutor (equação (3.44)):

$$P_{ind} = P_{cobre} + P_{nuc} = 4,254 \text{ W} + 4,395 \text{ mW} = 4,258 \text{ W} \quad (3.44)$$

3.8.5 Medição das propriedades dos indutores

Após confeccionados os indutores, esses tiveram suas propriedades elétricas aferidas utilizando um analisador de impedância de precisão modelo 4294A da fabricante Agilent®/Keysight®. Com esse equipamento, foi realizada a medição Ls-Rs, ou seja, do equivalente formado por um indutor em série com um resistor. Essa foi feita na frequência de chaveamento (50 kHz). Os resultados das medições podem ser vistos na Tabela 14. É perceptível que as indutâncias medidas são muito próximas, porém levemente superiores à calculada. Isso pode ter sido resultado de uma adição imprevista de uma espira excedente durante o processo manual de bobinagem do componente. Já para a medição de resistência, notou-se uma grande flutuação entre as diferentes aferições para um mesmo indutor. Dessa forma, não foi possível concluir se os componentes possuem resistências série em conformidade com o projeto.

Tabela 14: Resultados das medições dos indutores usando um analisador de impedância de precisão.

	Indutância série	Resistência série
Esperado	314,46 μH	99,758 $\text{m}\Omega$
L_a	341,406 μH	327,802 $\text{m}\Omega$
L_b	344,643 μH	231,765 $\text{m}\Omega$

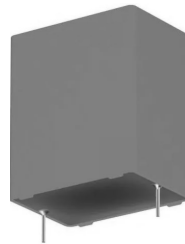
Fonte: autoria própria.

3.9 ESCOLHA DOS CAPACITORES

3.9.1 Capacitores da topologia

Diversos fatores podem ser levados em conta na escolha de um capacitor para um conversor, dentre eles: capacitância, capacidade de corrente, tamanho, resistência série equivalente, tecnologias empregadas, durabilidade, preço, entre outros. Do acervo do laboratório, foi escolhido o modelo B32674D4475 da fabricante TDK[®], devido a suas características elétricas mostradas na Tabela 15. Esse pode ser visto na Fig. 3.17.

Figura 3.17: Capacitor B32674D4475 da TDK[®].



Fonte: Mouser (2023).

Esse é construído com filme de polipropileno metalizado. Segundo BM-CAP (2022), essa escolha se faz necessária quando comparado aos modelos eletrolíticos de capacitância similar pois, apesar desses últimos terem uma maior densidade de capacitância, resultando em componentes menores, pela tecnologia envolvida, esses acabam tendo maior ESR⁵, menor tolerância a altas frequências e altas temperaturas.

Tabela 15: Parâmetros do capacitor B32674D4475 da TDK.

C	$I_{RMS,max,70^\circ\text{C},50\text{kHz}}$	$ESR_{typ,70^\circ\text{C},50\text{kHz}}$	ESL_{typ}	$\tan(\delta)_{1\text{kHz}}$	$\tan(\delta)_{10\text{kHz}}$
4,7 μF	$\approx 11\text{ A}$	0,2 Ω	24 nH	$0,3 \cdot 10^{-3}$	$3,5 \cdot 10^{-3}$

Fonte: TDK (2023).

Pelo fato da capacitância do componente ser maior do que a calculada na equação (3.5), o valor de *ripple* de tensão será reduzido. Além disso, como o valor de corrente

⁵ESR - Resistência equivalente em série

eficaz máximo permitido pelo componente é mais de 3,5 vezes o obtido em Tabela 3, a operação desse será segura.

3.9.2 Medição das propriedades dos capacitores

Assim, como para os indutores, foi utilizado o analisador de impedância de precisão para mensurar as propriedades dos capacitores. Novamente foi notada instabilidade nas leituras de resistência série, assim, não foi possível validar a conformidade desse parâmetro com os dados fornecidos pelo fabricante. Os resultados das medições podem ser vistos na Tabela 16.

Tabela 16: Resultados das medições dos capacitores usando um analisador de impedância de precisão.

	Capacitância série	Resistência série
Esperado	4,7 μF	200 $\text{m}\Omega$
C_a	4,89181 μF	20,8784 $\text{m}\Omega$
C_b	4,92895 μF	18,7639 $\text{m}\Omega$

Fonte: autoria própria.

3.10 SIMULAÇÃO DE PERDAS NOS COMPONENTES E THD NO DBBI

Foram adicionados à simulação do PSIM[®] as resistências série dos indutores e capacitores a fim de estimar com maior precisão as perdas totais no DBBI para ambas as modulações. Foram considerados a quantidade dos componentes e para o caso dos indutores, foi adicionado o cálculo das perdas nos núcleos (equação (3.43)).

3.10.1 Modulação com anti-distorção

Para a modulação com anti-distorção, a análise das perdas nos componentes, perdas totais e rendimento pode ser vista na equação (3.45) e os valores percentuais das perdas nos componentes constam na Fig. 3.18.

$$P_{S_1} = 5,97 \text{ W}$$

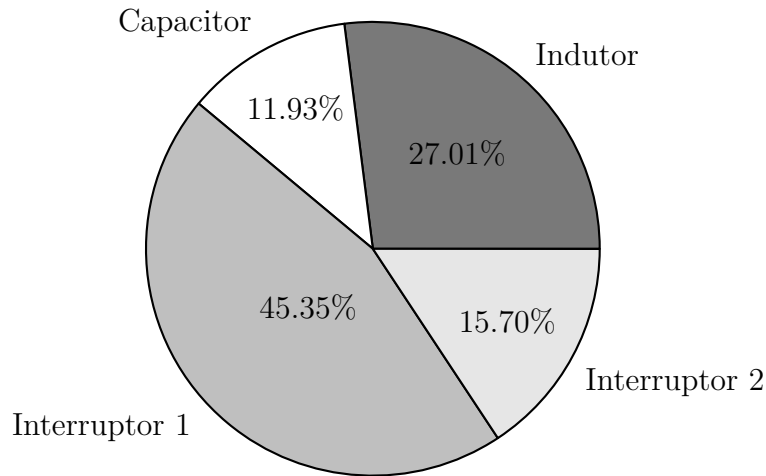
$$P_{S_2} = 2,07 \text{ W}$$

$$P_{ind} = R_L \cdot i_{L,rms}^2 + P_{nuc} = 99,758 \text{ m}\Omega \cdot (5,97 \text{ A})^2 + 4,395 \text{ mW} = 3,556 \text{ W}$$

$$P_{cap} = R_C \cdot i_{C,rms}^2 = 0,2 \Omega \cdot (2,80 \text{ A})^2 = 1,57 \text{ W}$$

$$P_{tot} = 2 \cdot (P_{ind} + P_{cap} + P_{S_1} + P_{S_2}) = 26,338 \text{ W} \quad \Rightarrow \quad \eta_{est} = 1 - \left(\frac{P_{tot}}{250 \text{ W}} \right) = 89.46\% \quad (3.45)$$

Figura 3.18: Gráfico das perdas percentuais nos componentes utilizando a modulação com anti-distorção.



Fonte: autoria própria.

Foi obtida uma THD de 3,24% para o DBBI simulado operando com modulação com anti-distorção.

3.10.2 Modulação tradicional

Já para a modulação tradicional, a análise das perdas nos componentes, perdas totais e rendimento pode ser vista na equação (3.46) e os valores percentuais das perdas nos componentes constam na Fig. 3.19.

$$P_{S_1} = 2,61 \text{ W}$$

$$P_{S_2} = 1,45 \text{ W}$$

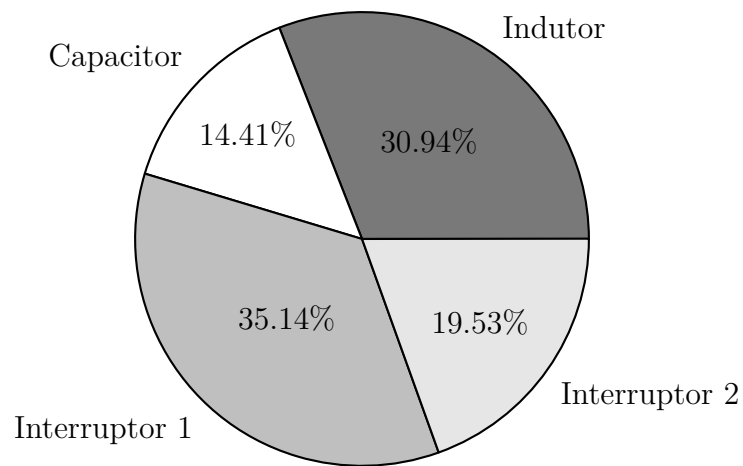
$$P_{ind} = R_L \cdot i_{L,rms}^2 + P_{nuc} = 99,758 \text{ m}\Omega \cdot (4,80 \text{ A})^2 + 4,395 \text{ mW} = 2,30 \text{ W}$$

$$P_{cap} = R_C \cdot i_{C,rms}^2 = 0,2 \Omega \cdot (2,31 \text{ A})^2 = 1,07 \text{ W}$$

$$P_{tot} = 2 \cdot (P_{ind} + P_{cap} + P_{S_1} + P_{S_2}) = 14,874 \text{ W} \quad \Rightarrow \quad \eta_{est} = 1 - \left(\frac{P_{tot}}{250 \text{ W}} \right) = 94,05\% \quad (3.46)$$

Assim, pode-se observar que há um aumento de 11,46W utilizando a modulação com anti-distorção. Esse comportamento pode ser explicado pelo fato do DBBI operar com razões cíclicas mais altas quando é utilizada a modulação com anti-distorção, como mostrado na Fig. 3.1. Dessa forma, há aumento das perdas em todos os componentes, devido às correntes de módulos superiores. Para a simulação com modulação tradicional foi obtida uma THD de 4,07%.

Figura 3.19: Gráfico das perdas percentuais nos componentes utilizando a modulação tradicional.



Fonte: autoria própria.

4 CONSTRUÇÃO DO PROTÓTIPO

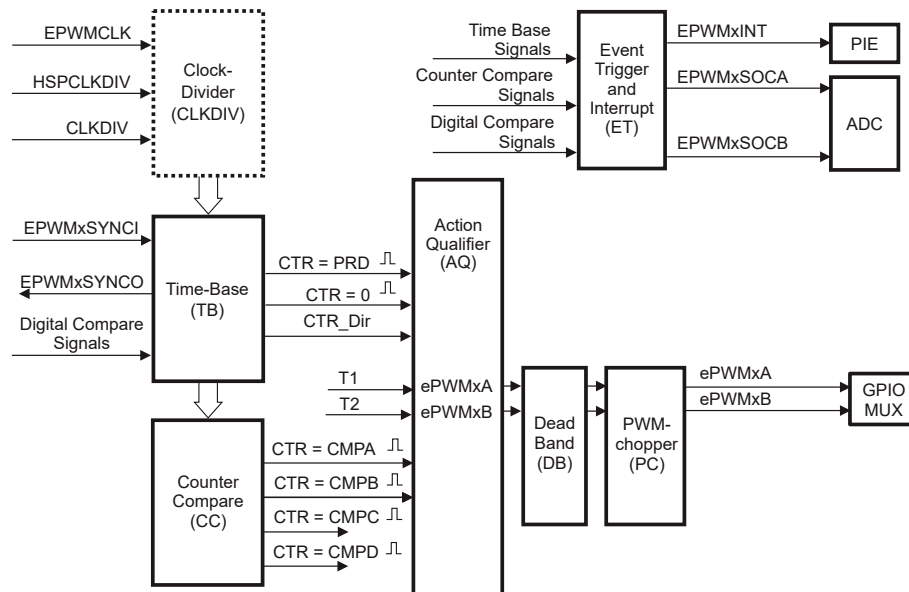
4.1 IMPLEMENTAÇÃO DA MODULAÇÃO NO LAUNCHXL-F28379D

O LAUNCHXL-F28379D é uma placa de desenvolvimento baseada na variante TMS320 F2837xD do microcontrolador C2000 da Texas Instruments® (TI). Dentre as diversas funções dessa placa de desenvolvimento, na implementação da modulação do inversor serão usados dois módulos ePWM, nome dado pela TI para o PWM proprietário dessa empresa. A configuração desses módulos será feita utilizando a ferramenta SysConfig. Esse software tem tanto o objetivo de auxiliar na configuração das ferramentas do C2000 quanto o de facilitar a troca entre as diversas variantes do microcontrolador. Como o escopo desse trabalho é a validação da modulação do inversor em malha aberta, essa será executada no próprio núcleo do C2000, não sendo utilizado o módulo *Control Law Accelerator* (CLA).

4.1.1 Configuração do ePWM

O objetivo dessa etapa é realizar a modulação com anti-distorção mostrada na Fig. 3.3. A configuração dos módulos ePWM no SysConfig foi realizada com base em uma *application note* da Texas Instruments (Rosales e Eskandari, 2023). Para isso, é necessário que o projetista conheça parte do funcionamento do módulo ePWM, visto na Fig. 4.1.

Figura 4.1: Diagrama estrutural do módulo ePWM.



Fonte: Rosales e Eskandari, 2023, modificado pelo autor.

4.1.1.1 Escolha do *time-base-period*

No funcionamento do módulo ePWM, as portadoras triangulares consistem de contadores que são incrementados até um certo valor, chamado *time-base-period* (TBPRD), e então são decrementados até zero. Esse valor é armazenado em um registrador de 16 bits, por isso tem valor máximo $2^{16} - 1 = 65535$. A contagem é feita com base no clock do ePWM de 100 MHz, que é o mesmo do C2000. Essa passa por dois divisores de clock, *High-speed clock-divider* (HSPCLKDIV) e *clock-divider* (CLKDIV), formando o ‘time-base-clock’ (TBCLK). Esse processo é necessário para se atingir frequências de PWM baixas. Considerando o valor escolhido para esses divisores, calcula-se o valor do registrador compatível com a frequência de comutação desejada.

Operacionalizando o que foi exposto, e escolhendo $HSPCLKDIV = CLKDIV = 1$, tem-se que $CLKDIV$ e seu período T_{TBCLK} são:

$$TBCLK = \frac{EPWMCLK}{HSPCLKDIV \cdot CLKDIV} = \frac{100 \text{ MHz}}{1 \cdot 1} = 100 \text{ MHz} \quad (4.1)$$

$$T_{TBCLK} = \frac{1}{TBCLK} = 10 \text{ ns}$$

Agora, considerando a frequência do PWM desejada de 50 kHz e T_{TBCLK} , tem-se que o TBPRD deve ser:

$$F_{PWM} = 50 \text{ kHz} \quad \Rightarrow \quad T_{PWM} = \frac{1}{F_{PWM}} = \frac{1}{50 \text{ kHz}} = 20 \mu\text{s} \quad (4.2)$$

$$TBPRD = \frac{T_{PWM}}{2 \cdot T_{TBCLK}} = \frac{T_{PWM}}{2 \cdot T_{TBCLK}} = \frac{20 \mu\text{s}}{2 \cdot 10 \text{ ns}} = 1000 \quad (4.3)$$

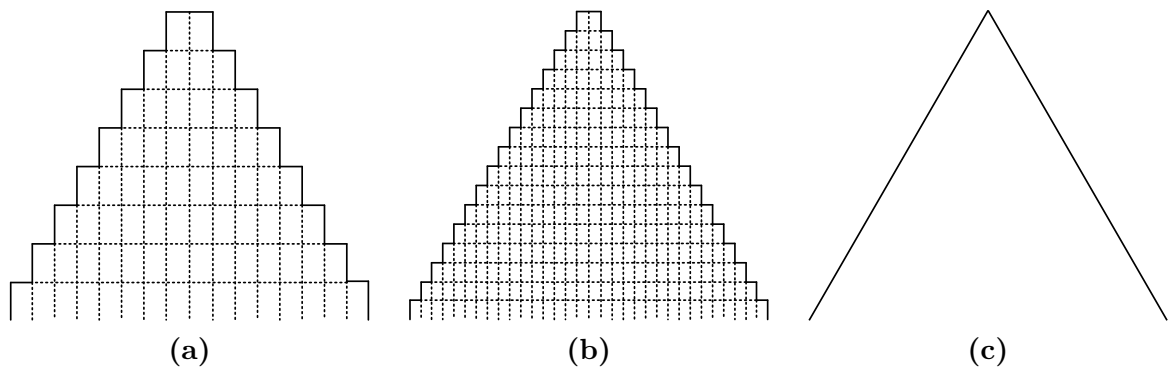
É interessante que o valor do registrador $TBPRD$ seja o maior possível, para assim diminuir os efeitos de quantização das portadoras. Para exemplificar esse conceito, na Fig. 4.2 há 3 triangulares: a Fig. 4.2c, analógica de amplitude unitária, e as Figs. 4.2a e 4.2b, quantizadas com amplitudes divididas pelos respectivos $TBPRD$'s, resultando também em amplitude unitária. Assim, percebe-se a importância da utilização do maior valor de $TBPRD$ possível.

4.1.2 Sincronização de PWM's

Na modulação desejada, os dois PWM's devem ser sincronizados. Isso é obtido enviando um pulso de sincronia do ePWM1 e recebendo esse pulso no EPWM2. As configurações de *time-base* podem ser vistas na Fig. 4.3.

4.1.2.1 Configuração do *Action Qualifier*

Essa etapa define as ações que implicam mudanças no estado do PWM. Seguindo o diagrama da Fig. 3.2, a dinâmica do PWM pode ser vista na Tabela 17. Para o PWMA, quando o valor do *counter-compare* é igual ao do contador enquanto esse está sendo in-

Figura 4.2: Quantização das triangulares do PWM

Fonte: autoria própria.

Figura 4.3: *Time-base* no SysConfig.

EPWM Time Base	
Emulation Mode	Stop after next Time Base counter increment or decrement
Time Base Clock Divider	Divide clock by 1 <small>For perfectly synchronized TBCLKs across multiple EPWM modules, the prescaler bits in the TBCTL register of each EPWM module must be set identically</small>
High Speed Clock Divider	Divide clock by 1
Time Base Period Load Mode	PWM Period register access is through shadow register
Time Base Period Load Event	Shadow to active load occurs when time base counter reaches 0
Time Base Period	1000
Time Base Period Link	Disable Linking
Enable Time Base Period Global Load	<input type="checkbox"/>
Initial Counter Value	0
Counter Mode	Up - down - count mode
Counter Mode After Sync	Count down after sync event
Enable Phase Shift Load	<input type="checkbox"/>
Force a Sync Pulse	<input type="checkbox"/>
Sync Out Pulse	Sync pulse is generated by software
EPWMxSYNCPER Source Select	Counter equals Period

Fonte: autoria própria.

crementado, a saída é alta. Nas mesmas condições, para o PWMB, a saída é baixa. Na contagem decremental, o comportamento oposto ocorre com os PWM's. Tal configuração ocorre em ambos os módulos ePWM, mas como as moduladoras são diferentes, as transições no ePWM1 serão atribuídas ao *counter-compare* A e as do ePWM2 ao *counter-compare* B.

A configuração resumida do *Action Qualifier* pode ser vista na Fig. 4.4.

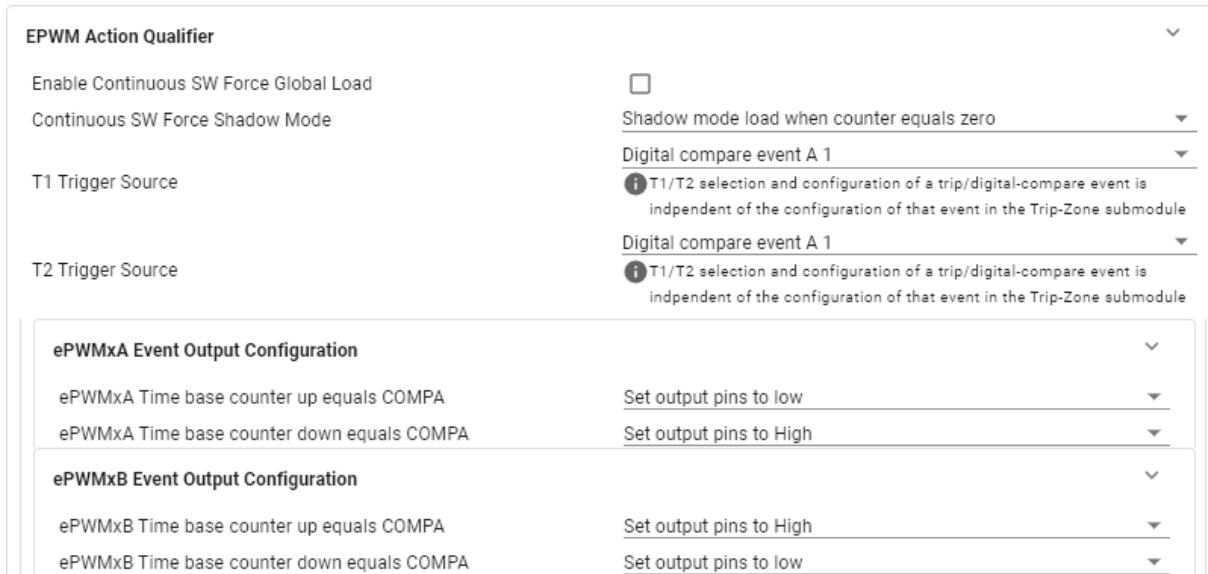
4.1.2.2 Escolha do *dead time*

Nesse bloco, dois registradores são setados para configurar o *dead time*: *Dead-Band rising edge delay* (DBRED) e *Dead-Band falling edge delay* (DBFED). O valor de *dead-time* deve ser um múltiplo do T_{TBCLK} e deve ser maior ou igual ao respectivo tempo de

Tabela 17: Action Qualifier na igualdade do *counter-compare* com o contador.

	PWMA	PWMB
Contagem ↑	0	1
Contagem ↓	1	0

Fonte: autoria própria.

Figura 4.4: *Action Qualifier* no SysConfig.

Fonte: autoria própria.

subida ou de descida do MOSFET.

De acordo com a Subseção 3.6.1 os tempos de subida e de descida são respectivamente 33,8 ns e 28,7 ns. Assim, tem-se:

$$DBRED = \left\lceil \frac{RED}{T_{TBCLK}} \right\rceil = \left\lceil \frac{33,8 \text{ ns}}{10 \text{ ns}} \right\rceil = 4 \quad ; \quad DBFED = \left\lceil \frac{FED}{T_{TBCLK}} \right\rceil = \left\lceil \frac{28,7 \text{ ns}}{10 \text{ ns}} \right\rceil = 3 \quad (4.4)$$

A configuração escolhida de modo de dead time foi a *Active High Complementary*. Assim, a polaridade do tempo morto é invertida somente para o tempo de descida. A configuração no SysConfig pode ser vista na Fig. 4.5.

4.1.2.3 Configuração das interrupções

A fim de executar os cálculos da modulante e as ações de PWM, é importante que essas sejam temporizadas. O C2000 permite que sejam configuradas interrupções e rotinas de serviço dessas respectivas interrupções, assim sendo possível que um respectivo código somente seja executado quando a interrupção for chamada. A configuração de

Figura 4.5: *Dead-band* no SysConfig.

Common Dead-Band Modes		Mode for the Dead-Band Submodule
Rising Edge Delay Input		Input signal is ePWMA
Falling Edge Delay Input		Input signal is ePWMA
Rising Edge Delay Polarity		DB polarity is not inverted
Falling Edge Delay Polarity		DB polarity is inverted
Enable Rising Edge Delay	<input checked="" type="checkbox"/>	
RED Shadow Load Event		Load when counter equals zero
Rising Edge Delay Value		3
Enable Falling Edge Delay	<input checked="" type="checkbox"/>	
FED Shadow Load Event		Load when counter equals zero
Falling Edge Delay Value		2
Swap Output for EPWMxA	<input type="checkbox"/>	
Swap Output for EPWMxB	<input type="checkbox"/>	
Enable Deadband Control Global Load	<input type="checkbox"/>	
Deadband Control Shadow Load Event		Load when counter equals zero
Enable Deadband Control Shadow Mode	<input type="checkbox"/>	
Enable RED Global Load	<input type="checkbox"/>	
Enable RED Shadow Mode	<input type="checkbox"/>	
Enable FED Global Load	<input type="checkbox"/>	
Enable FED Shadow Mode	<input type="checkbox"/>	
Dead Band Counter Clock Rate		Dead band counter runs at TBCLK rate

Fonte: autoria própria.

interrupção no SysConfig pode ser vista na Fig. 4.6.

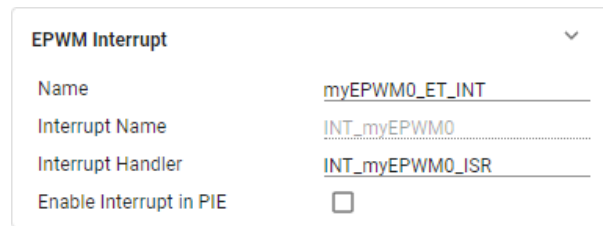
4.1.2.4 Código da modulação no CCS

O código em C da modulação do inversor pode ser visto no Apêndice B.

Inicialmente são incluídas as bibliotecas necessárias para funcionamento do código. Essas são:

- `device.h`: configura o dispositivo, dá nome a algumas portas relativas a dispositivos presentes no launchpad, define atraso, entre outros;
- `board.h`: gerada pelo SysConfig e contém todas as funções necessárias para inicialização dos periféricos conforme as configurações escolhidas no SysConfig;
- `math.h`: contém as operações matemáticas necessárias para a implementação e define constantes importantes.

Então são definidos alguns valores que serão utilizados frequentemente. Esse procedimento é importante, pois suprime operações desnecessárias que acabariam por consumir

Figura 4.6: Interrupção no SysConfig.

Fonte: autoria própria.

tempo de processamento. Além disso são inicializadas as variáveis que serão utilizadas na modulação. A função delas está no comentário do código.

No arquivo *main* do projeto, são feitas somente inicializações padrão, definidas as interrupções e configurados os blocos. A modulação é feita na rotina de serviço de interrupção do ADC. Essa tem como gatilho a interrupção do ePWM. Assim, o código contido na ISR é executado na frequência de comutação. O diagrama de blocos dessa pode ser visto na Fig. 4.7. Foi utilizada a função *sinf* do *math.h* da TI a qual é executada em menos ciclos quando comparada a função *sin*. Além disso, foram habilitadas as otimizações de código no compilador, também reduzindo o tempo de execução.

O Code Composer Studio possui uma ferramenta de plot gráfico para visualização de variáveis internas do chip. No entanto, a aquisição é feita de forma lenta, impossibilitando a visualização das modulantes na frequência de operação, sendo necessário diminuí-la para tanto. Esse procedimento foi realizado e as modulantes tradicional e a anti-distorcida podem ser vistas na Fig. 4.8.

4.2 DESIGN E MONTAGEM DA PLACA DE CIRCUITO IMPRESSO

Nessa etapa, será desenvolvida a placa de circuito impresso do conversor utilizando o software Altium®.

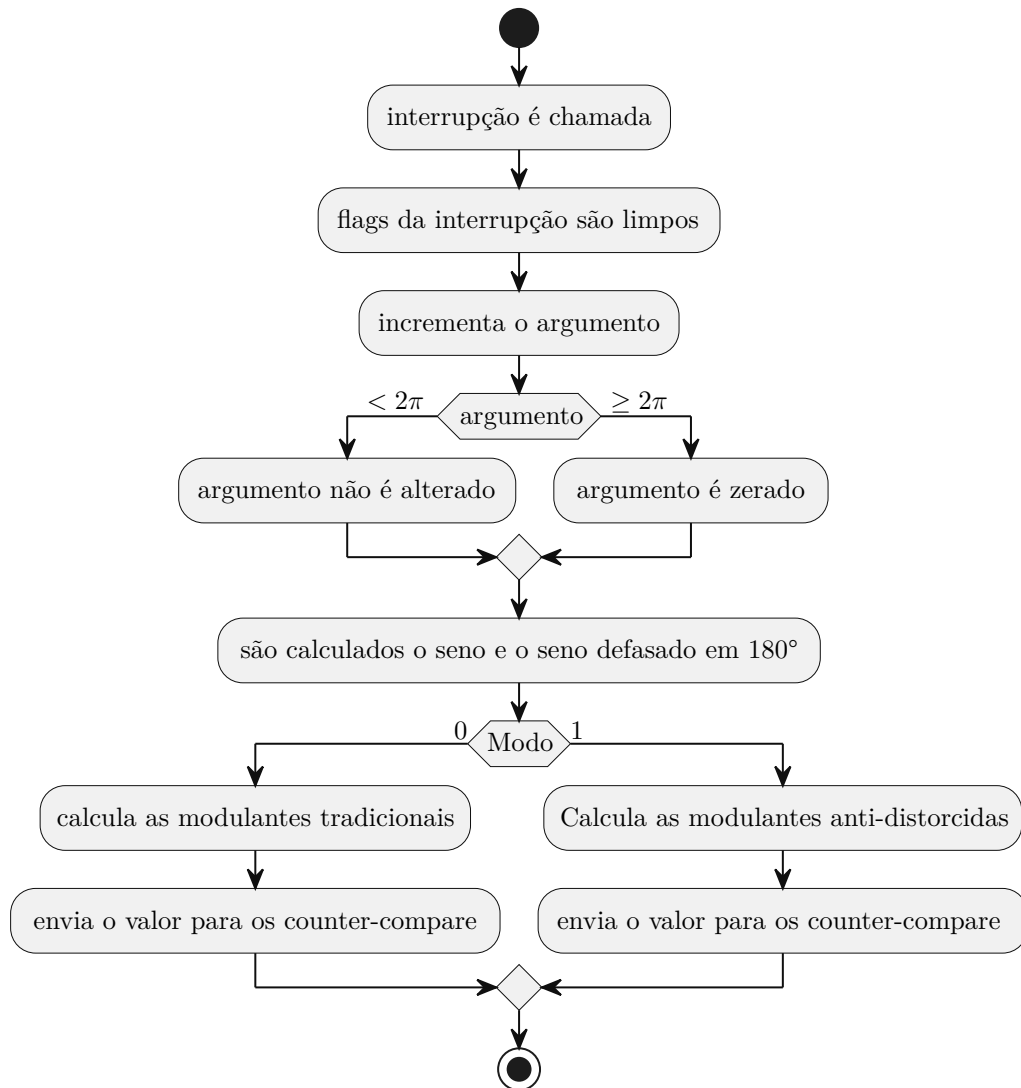
4.2.1 Esquemático

Como mostrado na Subseção 4.1, a modulação do inversor é realizada no LAUNCHXL-F28379D. Para não demandar potência excessiva dos módulos ePWM, faz-se necessário a adição de um *buffer* entre a saída dos módulos e os *gate driver's*. O diagrama de blocos simplificado dos circuitos de sinais pode ser visto na Fig. 4.9.

O Circuito integrado de *buffer* escolhido foi o SN7407 da Texas Instruments. Segundo TI (2016), ele possui alimentação de +5 V/0 V e saída de +15 V/0 V e atraso de propagação médio de 14 ns. Além disso, possui seis canais de *buffer*, sendo quatro necessários para o projeto.

O Esquemático do *gate driver* utilizado pode ser visto na Fig. 4.10. Analisando os componentes principais, percebe-se a presença do MGJ2D122005SC da Murata Power

Figura 4.7: Fluxograma do código de modulação.

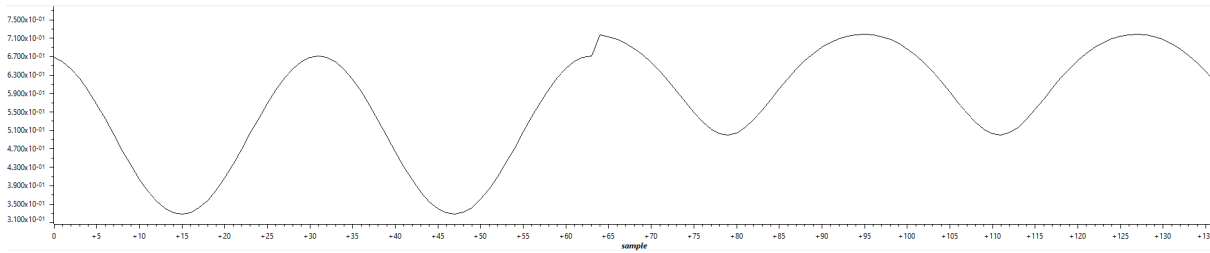


Fonte: autoria própria.

Solutions[®], um conversor CC-CC isolado, alimentado com +12 V/0 V e com saídas +20 V/−5 V. Também está presente o FOD3184 da Fairchild[®], um *gate driver* acoplado opticamente. Dessa forma, a saída do *gate driver* é totalmente isolada da entrada. Essa característica é importante, pois, segundo Sapre, 2023, como no circuito Q_{2a} e Q_{2b} não são referenciados ao terra, a tensão *gate-source* fornecida pelo *gate driver* precisaria ser superior a tensão de saída do sub-conversor, necessitando referenciar esses *gate driver's* ao *source* desses interruptores. Como o *gate driver* é isolado, esse procedimento não é necessário.

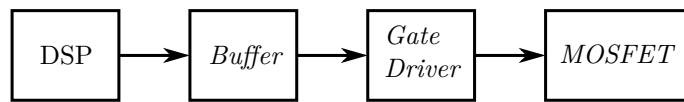
Outras características interessantes desse *gate driver* são a presença de um resistor R303 referenciando o gate ao *source* e do diodo D301, que permite que o resistor de *gate* seja diferente no acionamento e no desligamento do *MOSFET*. Finalmente, a tensão de saída de −5 V para nível lógico baixo permite ao *MOSFET* que tenha entrada em bloqueio mais rapidamente. Além disso, em CREE (2019), através de gráficos, é mostrado que so-

Figura 4.8: Modulantes tradicional e com anti-distorção no CCS



Fonte: autoria própria.

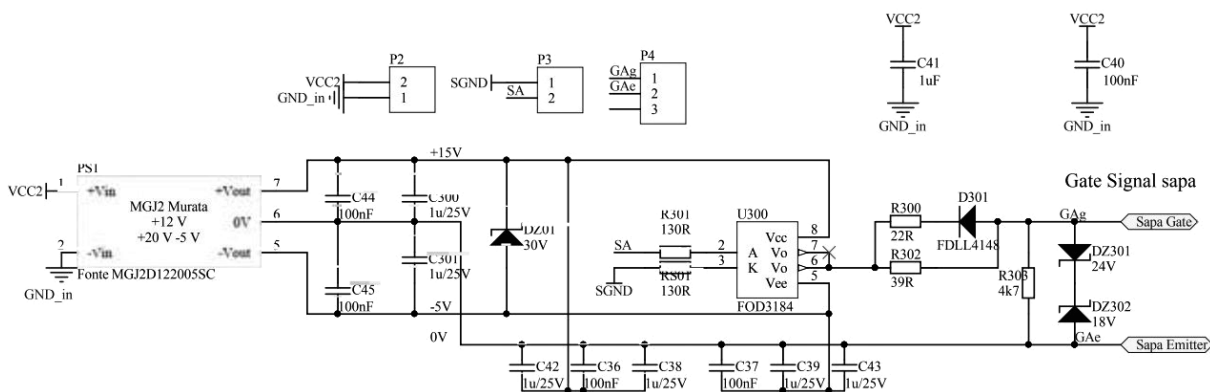
Figura 4.9: Diagrama de blocos do circuito de sinal



Fonte: autoria própria.

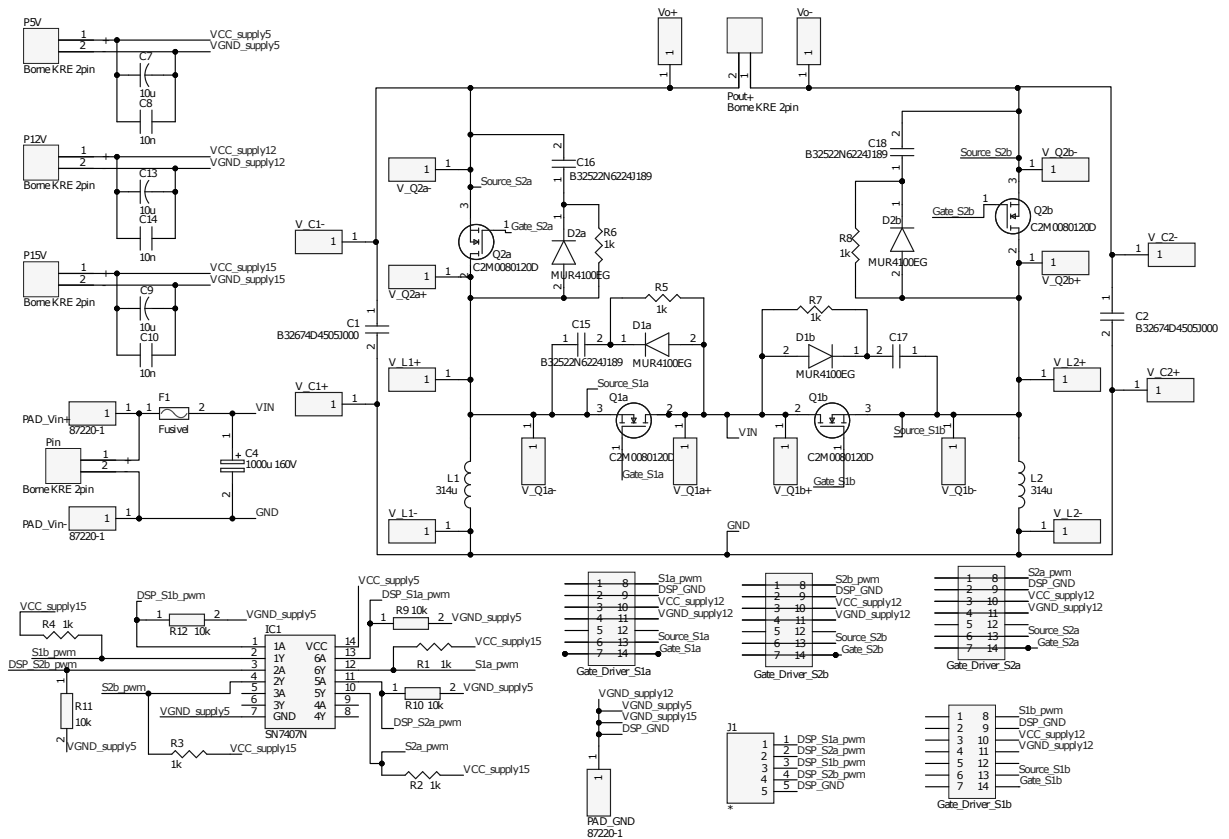
mente há condução simultânea do *MOSFET* e de seu diodo intrínseco quando a tensão entre *gate* e *source* é próxima a 0 V. Como o FOD3184, segundo Fairchild (2011), possui tempos de subida e de descida de 38 ns e 24 ns, respectivamente, o *MOSFET* permanece na região de condução mútua por curtos períodos. Por esse motivo, essas condições não foram consideradas na análise dos estágios topológicos. No entanto, essas não são desprezíveis para o estudo de perdas, por isso foram consideradas. O esquemático completo pode ser visto na Fig. 4.11.

Figura 4.10: Esquemático do Gate Driver



Fonte: INEP.

Figura 4.11: Esquemático



Fonte: autoria própria.

4.2.2 Layout

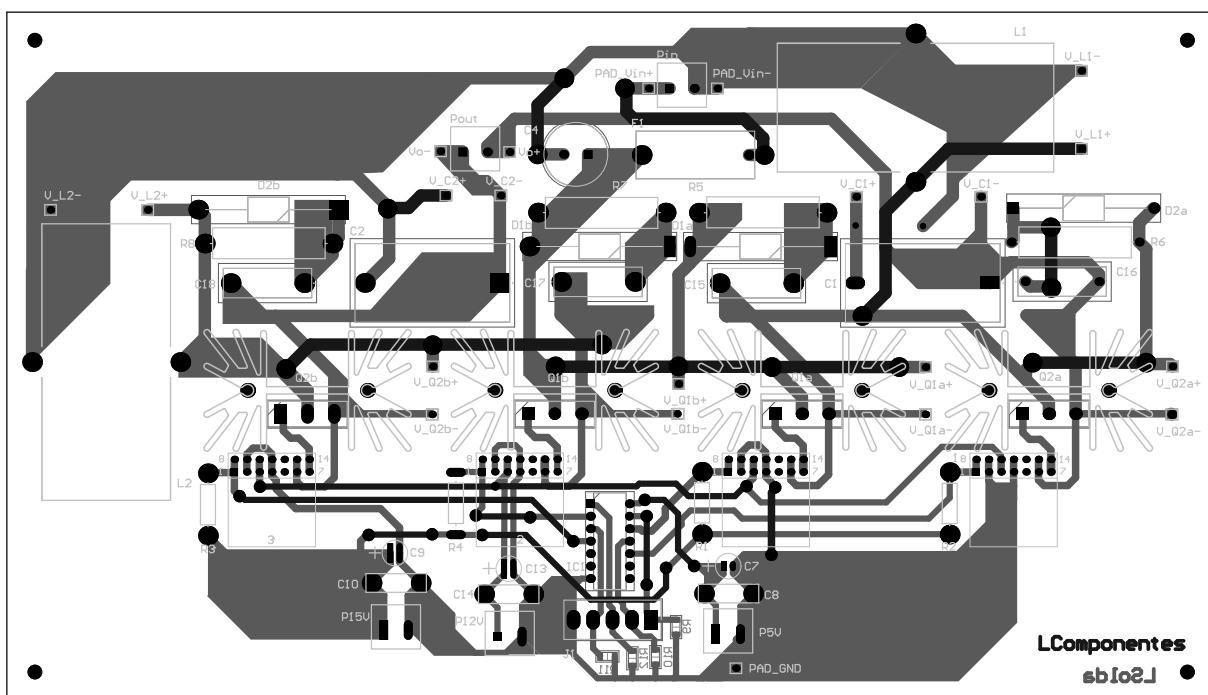
O projeto de um *layout* de placa de circuito impresso é um processo que leva em consideração não somente a tecnicidade, mas também o estilo do projetista. Da parte técnica, da qual parte pode ser vista em (Johnson e Gioia, 2003) e a outra parte da experiência de projetos passados, se destacam:

- Redução das trilhas entre os elementos de uma célula de comutação: importante para redução das indutâncias parasitas, que prejudicam o desempenho do conversor;
- Separação espacial dos caminhos dos sinais de comando dos de potência: almeja redução da interferência dos comandos pelos sinais de alta potência, o que poderia gerar perdas de pulso ou pulsos indesejados;
- *Peer-checking*: a conferência do *layout* por colegas é essencial para que problemas devido a vícios visuais sejam evitados;
- Separação e disposição ortogonal dos indutores: necessário para que não haja acoplamento magnético entre eles;

- Colocação de pontos de teste: esses são essenciais para as aquisições de tensão e de corrente nos componentes;
- Espessura das trilhas: trilhas largas possuem menor indutância, diminuindo distorções;
- Reservar espaço para circuitos *snubber*: é interessante fazer um pré-projeto de um *snubber* e deixar espaço para adicioná-lo ao inversor, caso se mostre necessário.

O *layout* pode ser visto na Fig. 4.12, e uma visão em 3D com os componentes pode ser vista na Fig. 4.13.

Figura 4.12: Layout da PCB



Fonte: autoria própria.

4.2.3 Confecção, soldagem e montagem da PCB

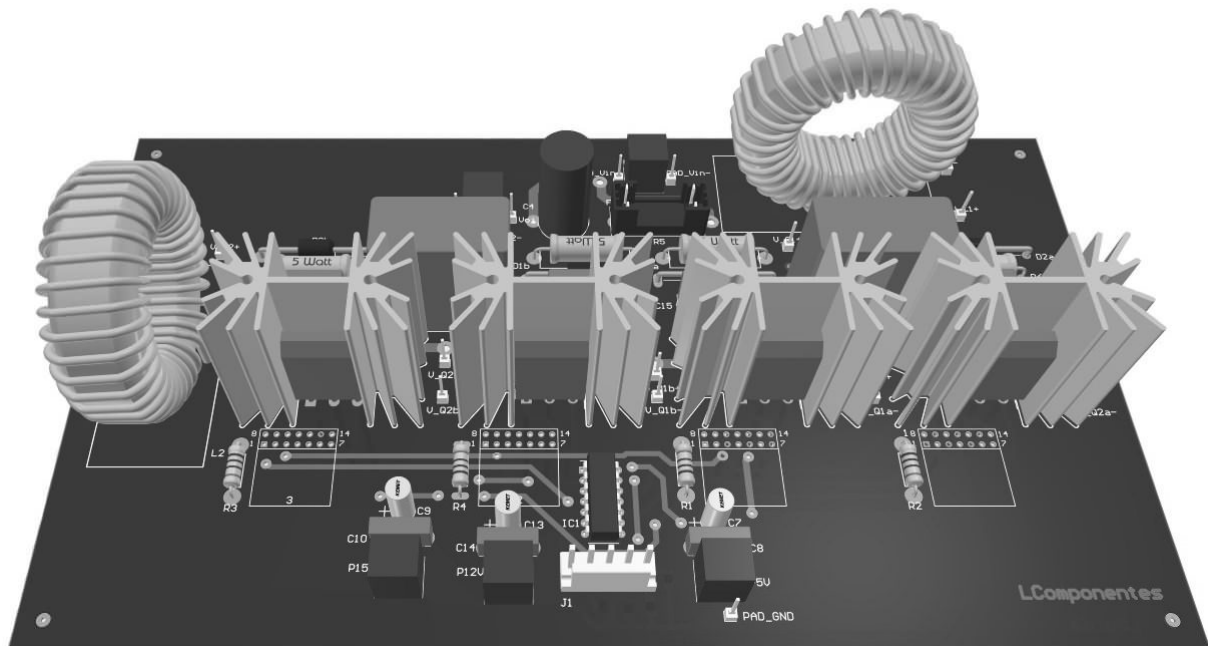
A confecção da PCB⁶ foi realizada em uma placa de fibra de vidro cobreada de dupla-face. Essa se mostra superior às placas de fenolite, pois além de maior dureza e resistência mecânica, possui maior aderência do cobre, dificultando que trilhas descolem com o aquecimento do processo de soldagem.

O método utilizado para transferência do *layout* para a placa foi com tinta UV⁷. Nesse, os inversos das camadas do *layout* são impressas em uma folha plástica transparente. As faces cobreadas são pintadas com uma tinta especial sensível a luz

⁶PCB: Placa de circuito impresso

⁷UV: Ultra-violeta

Figura 4.13: Visão 3D da PCB



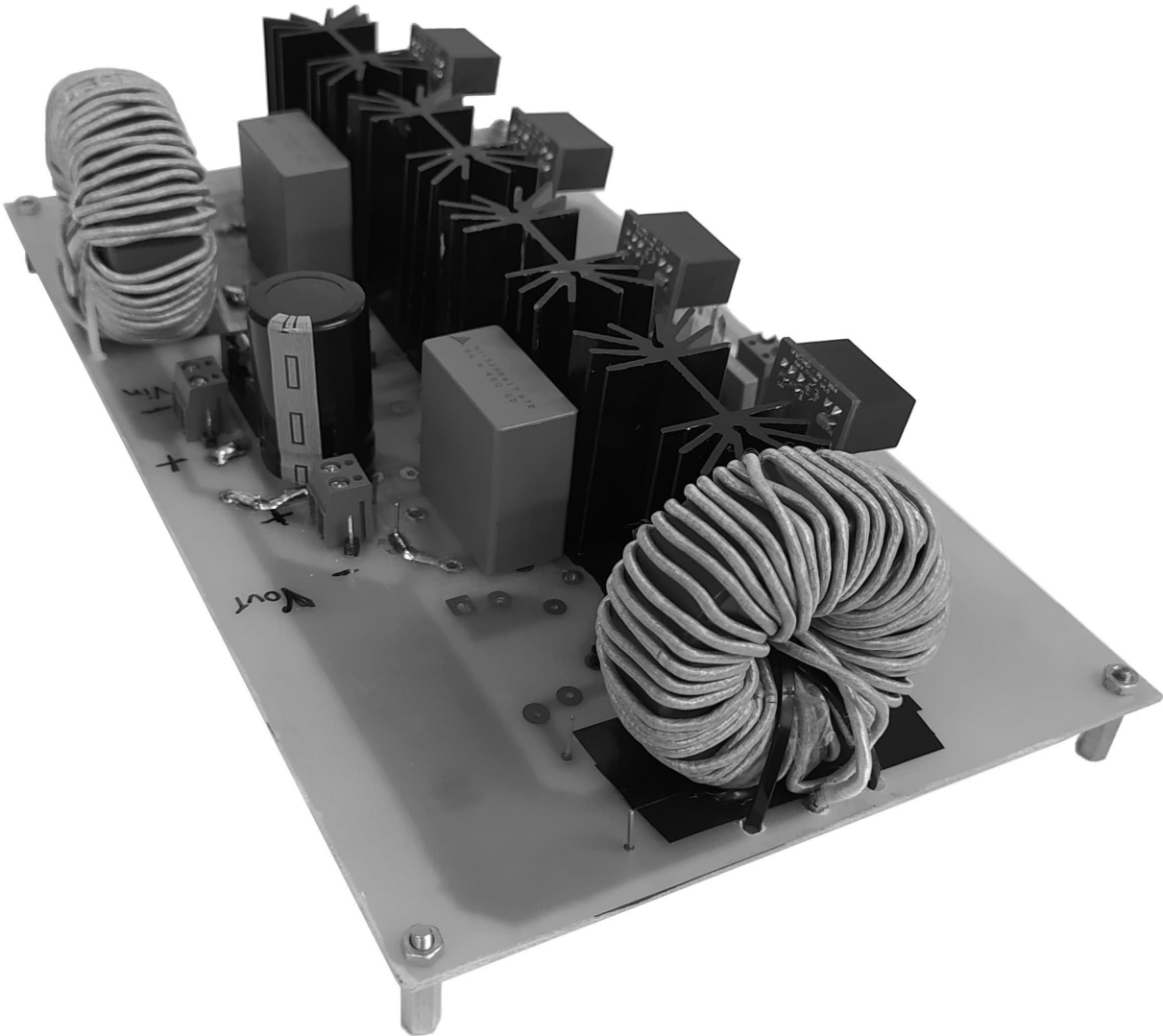
Fonte: autoria própria.

ultravioleta. Após posicionadas as transferências sobre as faces, é aplicada a luz UV. Ocorre um processo químico onde as partes expostas a luz UV da tinta endurecem. Após essa etapa, a placa é lavada, removendo a tinta que permaneceu líquida, e então é colocada em um recipiente com solução de perclorato de ferro, agente químico que corrói o cobre exposto, mas mantém as trilhas protegidas pela tinta que reagiu a luz ultravioleta.

Feita a transferência do *layout*, é feito o teste elétrico da placa, a fim de evitar que imperfeições no processo anterior possam ocasionar curto-circuitos indesejados. Então, é feita a furação dos *pad's* e vias para acomodação dos componentes.

Finalmente foram soldados os componentes e a montagem da placa de potência foi completada. O resultado pode ser visto na Fig. 4.14.

Figura 4.14: Protótipo do DBBI montado



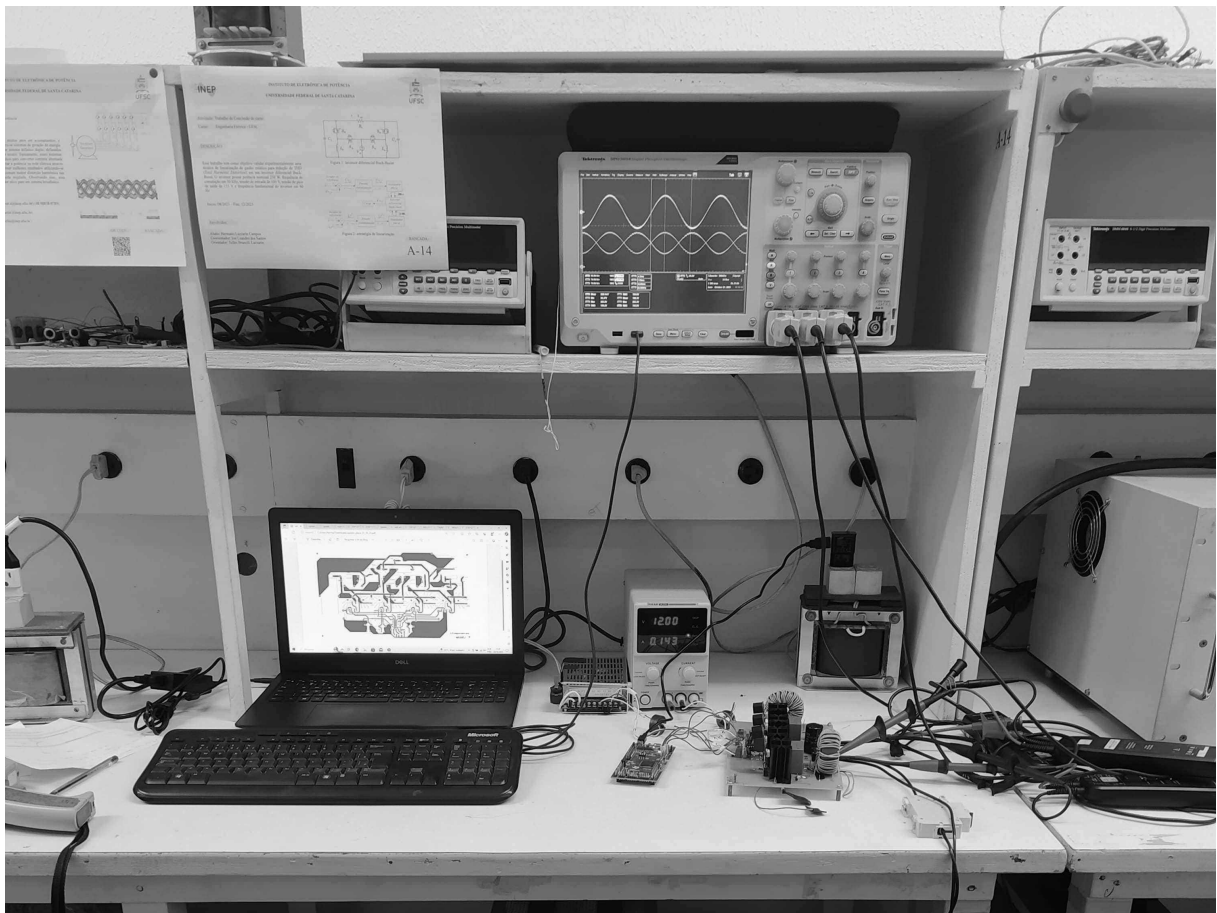
Fonte: autoria própria.

5 MÉTODOS E TESTES

5.1 MONTAGEM DA BANCADA

Nessa etapa é preparado o ambiente de testes e para tal é feita a separação das fontes, conexão do osciloscópio, seleção e teste das ponteiras, escolha das fontes, confecção de cabos para conexão das fontes e do LaunchPad, entre outros procedimentos. A bancada pode ser vista na Fig. 5.1.

Figura 5.1: Bancada de testes



Fonte: autoria própria.

5.2 TESTES DE AVALIAÇÃO

Inicialmente, somente o circuito de sinais foi testado. Esse procedimento é importante para que sejam encontrados defeitos de fabricação sem que estes possam ocasionar danos muito graves ao projeto. Após garantido o funcionamento das fontes e gate-drivers, ligou-se o conversor com tensão e carga reduzidas e foi-se progressivamente aumentado esses parâmetros sempre verificando as temperaturas dos componentes. Para auxiliar no processo de calibração das ponteiras, medição das tensões e correntes, e aferição da resis-

tência do arranjo de resistores de carga, foi utilizado um multímetro modelo TY720 da marca Yokogawa[®].

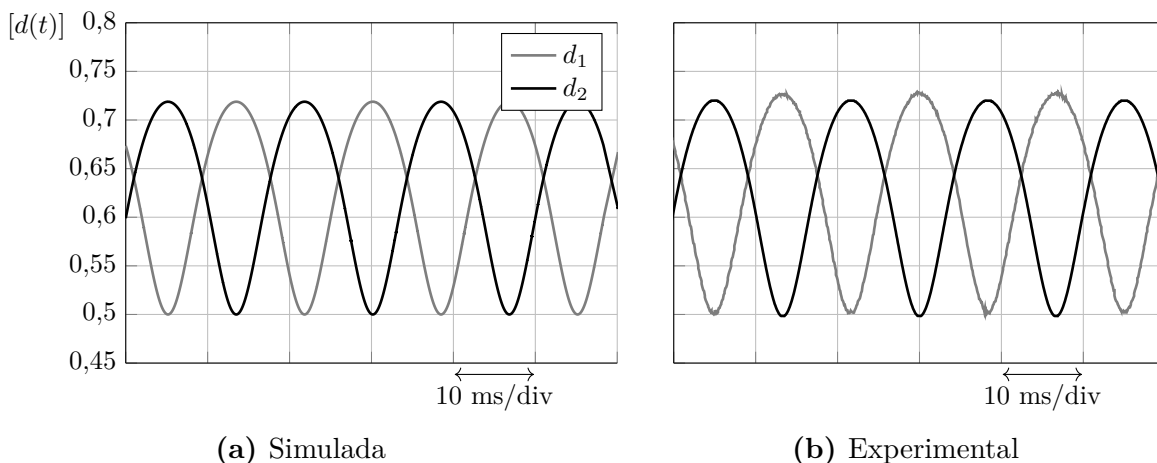
5.2.1 Aquisição de curvas nos componentes

Nessa etapa são apresentadas as aquisições realizadas no osciloscópio em comparação com as simulações correspondentes. Para isso, foram salvos os pontos de aquisição como arquivo .csv, para plotagem no formato utilizado durante o trabalho. As figuras originais das aquisições sem tratamento podem ser vistas na Subseção C.

5.2.1.1 Modulantes

Antes de efetuar a ligação do DBBI com carga foi realizada a conferência das modulantes a fim de garantir que os *MOSFET*'s estivessem sendo comandados corretamente. Para isso, foi realizada a aquisição da tensão nos pinos do *launchpad*. Além disso, foi diminuída a taxa de amostragem, a fim de realizar uma filtragem digital e evidenciar somente a modulante. O resultado pode ser visto na Fig. 5.2.

Figura 5.2: Modulante anti-distorcida.

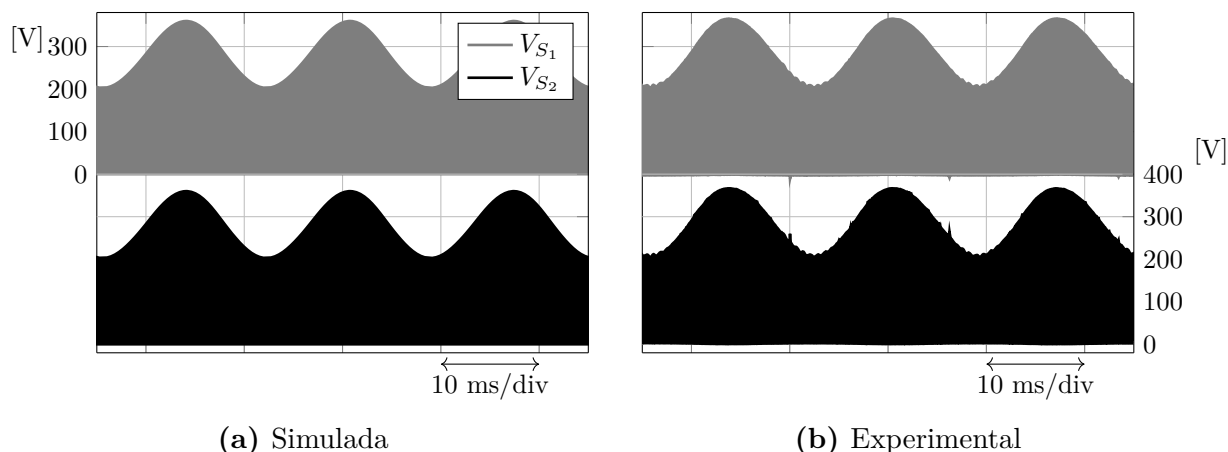


Fonte: autoria própria.

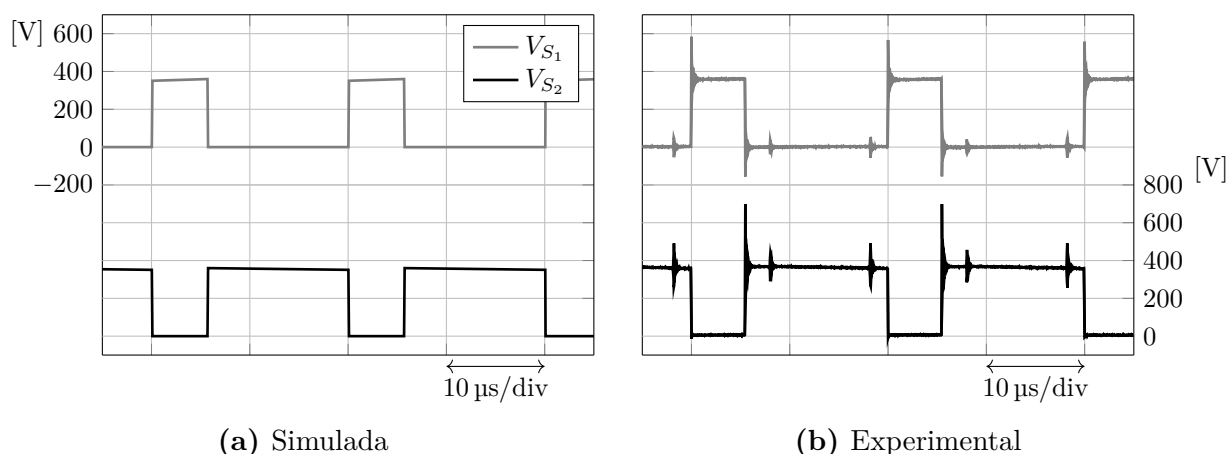
5.2.1.2 Interruptores

Na Fig. 5.3 pode-se observar a tensão entre *drain* e *source* dos *MOSFET*'s no tempo. Já na Fig. 5.4, devido ao menor período e maior taxa de aquisição, observa-se que o valor de pico de tensão é de aproximadamente 580 V e 690 V para os interruptores 1 e 2. Assim, se comprovou a não necessidade da adição de circuitos *snubber*, pois essas tensões estão longe da tensão limite do interruptor.

Como mencionado na Subseção 4.2.2, na disposição da célula de comutação, caso não seja dada a atenção às indutâncias parasitas, podem ocorrer transientes de tensão nas

Figura 5.3: Tensão *drain-source* nos interruptores em plena carga.

Fonte: autoria própria.

Figura 5.4: Tensão *drain-source* nos interruptores em plena carga.

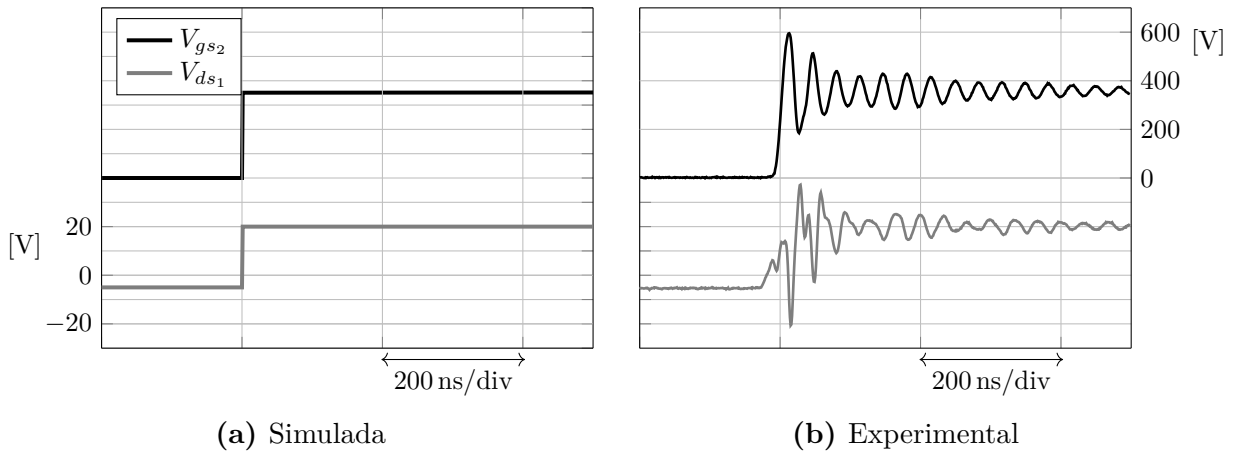
Fonte: autoria própria.

comutações que excedem a o limite do componente. Como pode ser visto na Fig. 5.5, o transiente que ocorre durante a comutação chega a 600 V. Tensão que, apesar de elevada, permanece com uma boa margem de segurança, considerando que a tensão máxima entre *drain* e *source* para o dispositivo é de 1200 V. Dessa forma, não se fez necessária a adição do circuito de *snubber*, que, se utilizado, elevaria as perdas, diminuindo o rendimento do protótipo.

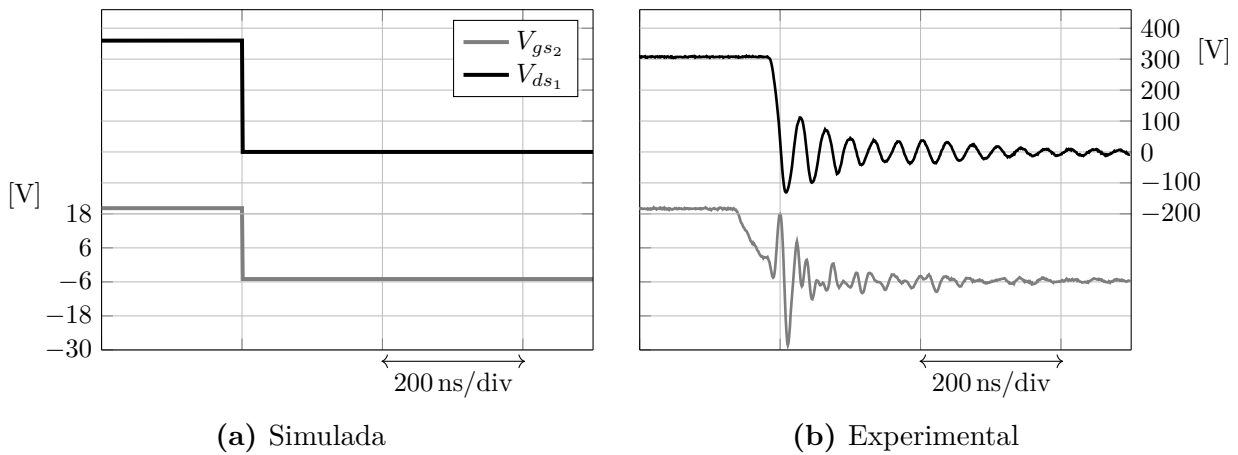
Já na Fig. 5.6, é mostrada a entrada do *MOSFET* em bloqueio. Novamente, as indutâncias parasitas acabam por gerar oscilações durante essa etapa.

5.2.1.3 Capacitores

Na Fig. 5.7 podem ser vistas as medições de tensão nos capacitores do DBBI, assim

Figura 5.5: *MOSFET* entrando em condução em plena carga.

Fonte: autoria própria.

Figura 5.6: *MOSFET* entrando em bloqueio em plena carga.

Fonte: autoria própria.

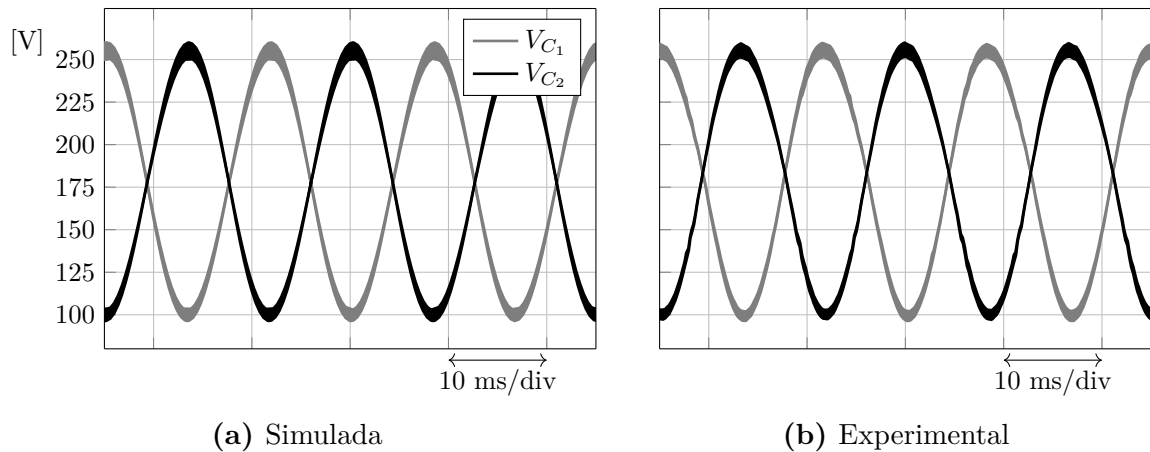
como o *ripple* de tensão nos capacitores, que pode ser visto na Fig. 5.8. O *ripple* de tensão aproximado foi calculado na equação (5.1).

$$\Delta V_{C_1} = \frac{V_{C_1:pico,max} - V_{C_1:pico,min}}{V_{C_1:avgx,max}} = \frac{246 \text{ V} - 239,5 \text{ V}}{255,88 \text{ V}} \approx 5,43\% \quad (5.1)$$

$$\Delta V_{C_2} = \frac{V_{C_2:pico,max} - V_{C_2:pico,min}}{V_{C_2:avgx,max}} = \frac{242 \text{ V} - 231 \text{ V}}{236,5 \text{ V}} \approx 4,651\%$$

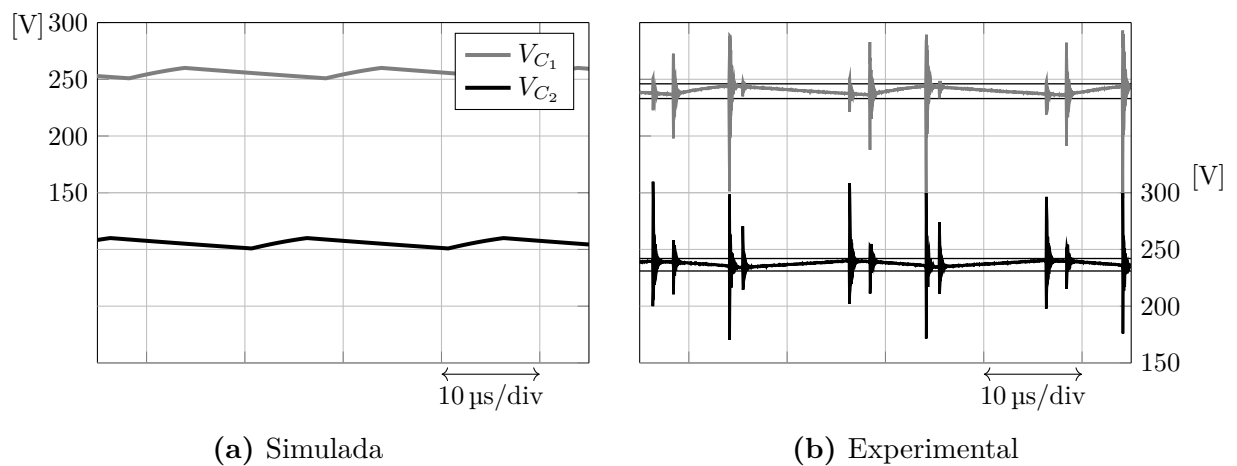
Percebe-se que o valor de *ripple* ficou dentro do estipulado principalmente pelo fato da capacitância do componente, mostrado na Tabela 15, ser superior ao calculado na equação (3.6).

Figura 5.7: Tensão nos capacitores em plena carga.



Fonte: autoria própria.

Figura 5.8: Ripple de tensão nos capacitores em plena carga.



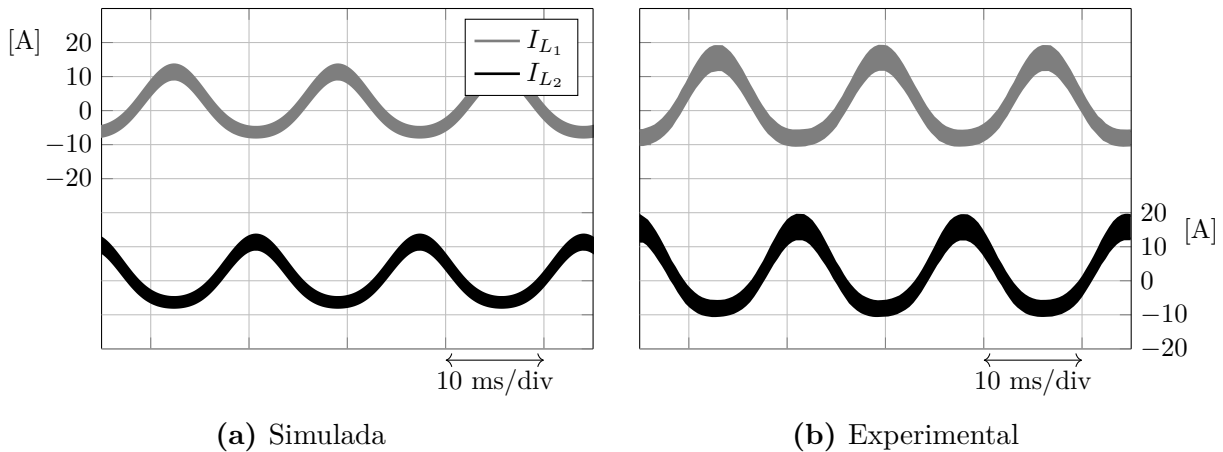
Fonte: autoria própria.

5.2.1.4 Indutores

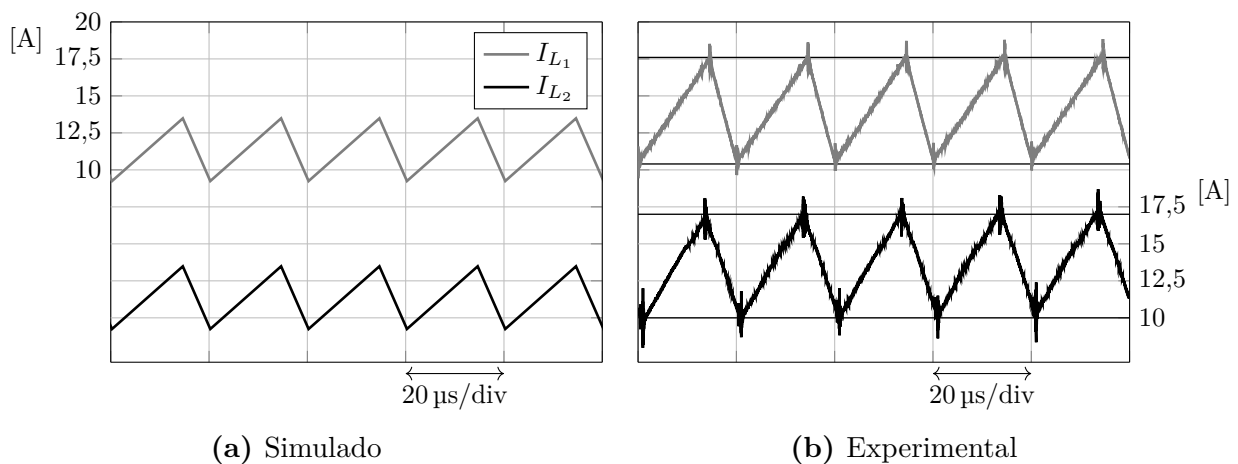
Na Fig. 5.9 estão as medições de corrente nos indutores do DBBI, assim como o *ripple* de corrente nos indutores, que pode ser visto na Fig. 5.10. O *ripple* de corrente aproximado foi calculado na equação (5.2).

$$\begin{aligned} \Delta_{I_{L_1}} &= \frac{I_{L_1:pico,max} - I_{L_1:pico,min}}{I_{L_1:avgx,max}} = \frac{17,6 \text{ A} - 10,4 \text{ A}}{14 \text{ A}} \approx 51,43\% \\ \Delta_{I_{L_2}} &= \frac{I_{L_2:pico,max} - I_{L_2:pico,min}}{I_{L_2:avgx,max}} = \frac{17 \text{ A} - 10 \text{ A}}{13,5 \text{ A}} \approx 51,85\% \end{aligned} \quad (5.2)$$

Nota-se que o *ripple* de corrente nos indutores se mostrou consideravelmente superior ao calculado. Novamente, tal comportamento pode ser atribuído a imperfeições no *layout*, as quais acabaram por gerar componentes parasitas no sistema.

Figura 5.9: Corrente nos indutores em plena carga.

Fonte: autoria própria.

Figura 5.10: Ripple de corrente nos indutores em plena carga.

Fonte: autoria própria.

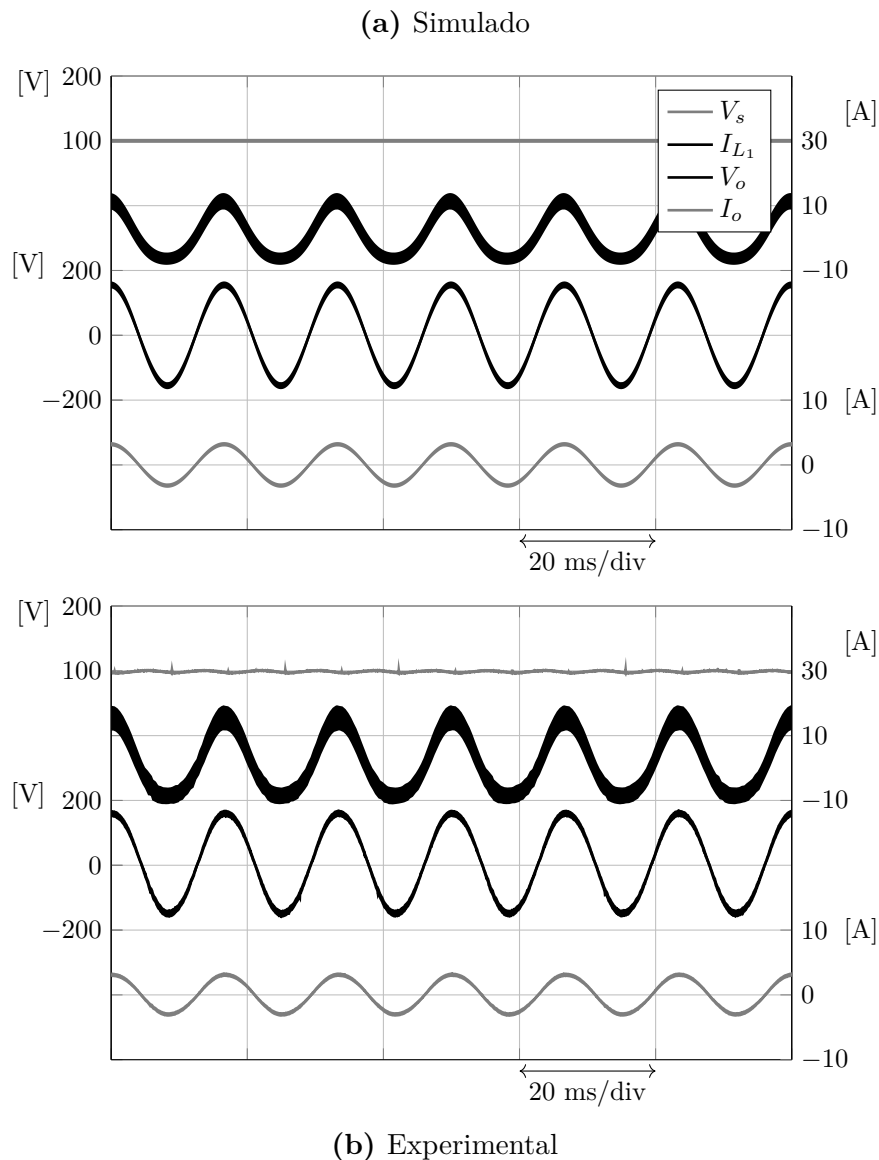
5.2.1.5 Tensão de entrada, corrente no indutor, tensão e corrente de saída

Na Fig. 5.11 está uma visão geral do funcionamento do DBBI, onde é mostrado toda a operação do inversor, partindo da tensão na fonte, a corrente no indutor e finalmente a tensão e corrente na carga. Esse resultado mostra que apesar das distorções causadas pelas capacitâncias e indutâncias parasitas, o DBBI operou como foi projetado.

5.2.2 Elevação da potência

Após atingido o ponto nominal de operação do DBBI e garantido o seu funcionamento, foram extraídas as curvas de rendimento (Fig. 5.12a) e THD (Fig. 5.12b) para os dois tipos de modulação.

Figura 5.11: Tensão de entrada, corrente no indutor, tensão e corrente de saída do DBBI com modulação com anti-distorção.



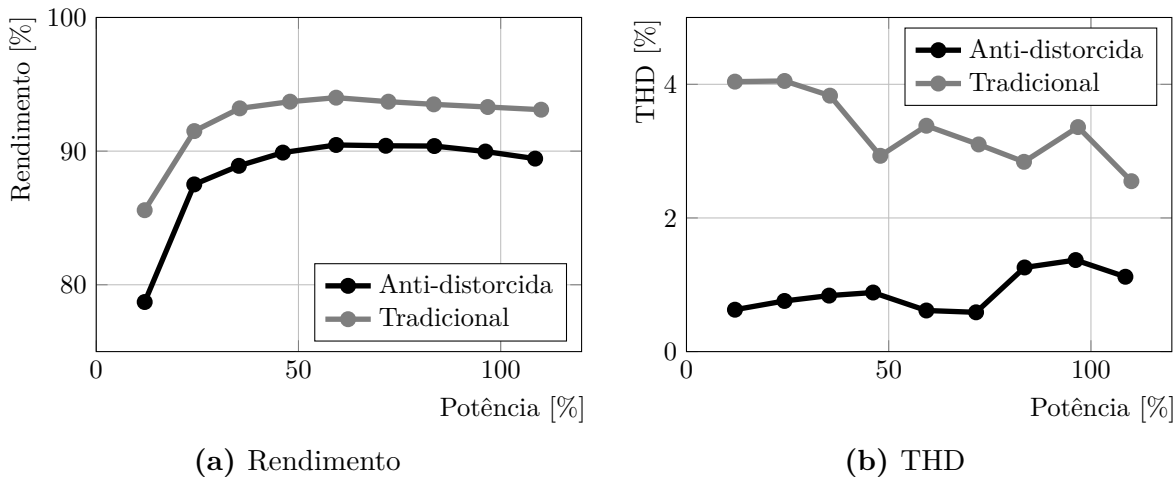
Fonte: autoria própria.

Para a obtenção do rendimento para diferentes cargas, foi utilizado um analisador de potência modelo WT500 da Yokogawa[®]. Já para aquisição da THD foi utilizado o próprio osciloscópio DPO 5054 da Tektronix[®], que foi empregue na obtenção das diversas curvas dos componentes. É perceptível através das Figs. 5.12a e 5.12b a diminuição da THD, a qual vem ao custo de uma diminuição do rendimento do conversor. Esse resultado é interessante, visto que a aplicação da modulação com anti-distorção não implica em um aumento no custo de fabricação do DBBI, no entanto, apresenta resultado semelhante a aumentar os valores de indutores e capacitores, medida que resultaria em aumento volumétrico e maior custo de fabricação.

A fim de comparar os resultados das simulações de rendimento e THD da Subse-

ção 3.10, foi utilizada interpolação polinomial nos pontos das Figs. 5.12a e 5.12b para se conseguir o rendimento e THD para exatos 100% de potência. O resultado pode ser visto na Tabela 18.

Figura 5.12: Curva de rendimento e THD do DBBI



Fonte: autoria própria.

Tabela 18: Comparação entre os valores de rendimento e THD simulados e interpolados.

	η simulado	η interpolado	THD simulado	THD interpolado
Anti-distorção	89,46%	89,67%	3,24%	1,36%
Tradicional	94,05%	93,31%	4,07%	3,11%

Fonte: autoria própria.

Termicamente, em plena carga notou-se que a temperatura externa máxima atingida pelos interruptores ficou em torno de 65°C e com ventilação forçada, a temperatura permaneceu menor que 30°C. Assim, se sobressaíram os métodos 1 e 2 da Subseção 3.7. Assim, mostrou-se interessante o uso da simulação para estimativa de perdas no DBBI, visto que esse método não necessita do conhecimento dos estados topológicos, mas somente das resistências térmicas. Além disso, apesar das tabelas e constantes térmicas utilizadas no cálculo do PSIM[®] não serem divulgadas ao usuário, essas muito provavelmente são mais completas quando comparadas às fornecidas no *datasheet*, resultando em um cálculo de perdas mais preciso.

6 CONCLUSÕES E TRABALHOS FUTUROS

O projeto alcançou sucesso em todos os objetivos estabelecidos, com dimensionamento adequado dos componentes e um resultado positivo no desenvolvimento dos indutores. Termicamente, observou-se que a simulação de perdas em *software*, o qual interpola dados mais precisos fornecidos pelo fabricante, forneceu uma estimativa de temperatura em regime permanente mais precisa. O processo que envolveu o *layout* da PCB, a fabricação da placa e a montagem do protótipo transcorreu de forma adequada, culminando na comprovação experimental da redução da Distorção Harmônica Total (THD) na tensão de saída, graças à implementação do método de anti-distorção das modulantes.

Foi observado que as interferências decorrentes das indutâncias e capacitâncias parasitas causaram um leve impacto no desempenho do protótipo, principalmente quando se observam as curvas de tensão ou de corrente em componentes feitas com maior taxa de aquisição. Além disso, não foi possível atender à especificação de *ripple* de corrente no indutor. Como após os testes no protótipo concluiu-se que não havia a necessidade da adição de um circuito *snubber*, esse poderia ser suprimido do *layout*. Tal medida resultaria na diminuição da distância entre componentes e redução das capacitâncias e indutâncias parasitas, o que resultaria na melhora do desempenho do circuito e consequente diminuição de *ripple* nos componentes. Além disso, seria benéfico modificar a disposição dos pontos de teste, organizando-os de modo a facilitar a conexão das ponteiras para aquisição de sinais, diminuindo o tempo de testes total.

A evolução natural deste trabalho consiste na validação em malha fechada do DBBI com aplicação da técnica de anti-distorção. Dessa forma, alterações na tensão de saída ou mudanças de carga seriam compensadas pelo sistema. Para tanto, devem ser adicionados sensores de tensão e de corrente, para que essas grandezas sejam utilizadas no controle. A abordagem de controle seria a feita por Santos (2021), a qual consiste na adição de um ramo de amortecimento RC em paralelo com a carga e na utilização de um controlador proporcional ressonante.

REFERÊNCIAS

- Aavid (2017). «Aluminum Oxide Ceramic for use with a TO-218, TO-247 and TO-3P device». Em: URL: <https://4donline.ihs.com/images/VipMasterIC/IC/AAVT/AAVT-S-A0002936906/AAVT-S-A0002936906-1.pdf?hkey=CECEF36DEECD6468708AAF2E19C0C6>.
- Amazon (2023). «AmazonUK». Em: URL: <https://www.amazon.co.uk/C2M0080120-C2M0080120D-MOSFET-1200V-31-6A/dp/B09Y4J4K4R>.
- AMOGREENTECH (s.d.). «Advanced Powder Core for High Current PFC/Out Put Choke Application». Em: ().
- Barbi, Ivo (2012). *Eletrônica de Potência*. Florianópolis: Edição do Autor, p. 509.
- (2014). *Projeto de Fontes Chaveadas*. Florianópolis: Edição do Autor, p. 286.
- Cáceres, R.O., W.M. Garcia e O.E. Camacho (1998). «A buck-boost DC-AC converter: operation, analysis, and control». Em: *6th IEEE Power Electronics Congress. Technical Proceedings. CIEP 98 (Cat. No.98TH8375)*. IEEE. DOI: 10.1109/ciep.1998.750672. URL: <https://doi.org/10.1109/ciep.1998.750672>.
- Cáceres, Ramón e Ivo Barbi (1995). «A boost DC-AC converter: operation, analysis, control and experimentation». Em: *Proceedings of IECON '95 - 21st Annual Conference on IEEE Industrial Electronics*. IECON-95. IEEE. DOI: 10.1109/iecon.1995.483467. URL: <http://dx.doi.org/10.1109/IECON.1995.483467>.
- BM-CAP (set. de 2022). *Capacitor*. URL: <https://www.bm-cap.com/index.php/2022/09/13/aluminum-electrolytic-capacitor-vs-film-capacitor/#:~:text=Let%20%80%99s%20come%20to%20conclusion%2C%20that, and%20high%20voltage%20application%20conditions..>
- CREE (2019). «C2M0080120D Datasheet». Em: URL: <https://assets.wolfspeed.com/uploads/2020/12/C2M0080120D.pdf>.
- Cruz Martins, Denizar (2018). *Transistores de Potência*. Florianópolis: Edição do Autor.
- Cruz Martins, Denizar e Ivo Barbi (2006). *Conversores CC-CC Básicos Não Isolados*. Florianópolis: Edição do Autor, p. 377.
- Elecify (2023). *Elecify*. URL: <https://www.elecify.com/products/litz-wire-150-38-0-1mm-x-150-strands-crystal-radio-coil-loop-antenna>.
- Erickson, Robert W. e Dragan Maksimović (2020). *Fundamentals of Power Electronics*. Springer.
- Fairchild (2011). «FOD3184: 3A output current, high speed MOSFET/IGBT gate driver optocoupler». Em: p. 23. URL: <https://www.farnell.com/datasheets/1817594.pdf>.
- Haque, Moinul Shahidul et al. (out. de 2018). «Comparison of 22 kHz and 85 kHz 50 kW Wireless Charging System Using Si and SiC Switches for Electric Vehicle». Em: *2018 IEEE 6th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*. IEEE. DOI: 10.1109/wipda.2018.8569097. URL: <https://doi.org/10.1109/wipda.2018.8569097>.

- HS (2023). «Catalogo HS Dissipadores 2023». Em: p. 146. URL: <https://www.hsdissipadores.com.br/catalogo.pdf>.
- Infineon (2017). *TO-247PLUS: Description of the packages and assembly guidelines*. URL: https://www.infineon.com/dgdl/Infineon-Discrete_IGBT_in_TO-247PLUS-AN-v02_00-EN.pdf?fileId=5546d46249cd10140149e0c7fe9d56c7.
- Johnson, Howard W e Louis Gioia (fev. de 2003). *High-speed Signal Propagation: Advanced Black Magic*. en. Prentice Hall modern semiconductor design series. Philadelphia, PA: Prentice Hall.
- Mouser (2023). «Mouser». Em: URL: <https://www.mouser.com/ProductDetail/EPCOS-TDK/B32674D4475K?qs=IQR8xM2KsGiF15Kw8coLKw%3D%3D>.
- Ogata, Katsuhiko (ago. de 2009). *Modern Control Engineering*. 5^a ed. Upper Saddle River, NJ: Pearson.
- Rosales, Marlyn e Nima Eskandari (2023). «C2000 ePWM Developer's Guide - Application Note». Em.
- Santos, Ion Leandro dos (2021). *Inversor Diferencial Buck-Boost com Técnica de Linearização de Ganho Estático para Redução de Distorção Harmônica de Tensão*.
- Sapre, Sanket (ago. de 2023). *Isolated Gate drivers-what, why, and how?* URL: <https://www.analog.com/en/analog-dialogue/articles/isolated-gate-drivers-what-why-and-how.html>.
- TDK (2023). *Film capacitors: Metallized polypropylene film capacitors (MKP)*. URL: https://www.tdk-electronics.tdk.com/inf/20/20/db/fc_2009/MKP_B32674_678.pdf.
- (s.d.). *What is inductance coefficient al?: FAQ: TDK Product Center*. URL: [https://product.tdk.com/en/contact/faq/ferrite-0030.html#:~:text=What%20is%20inductance%20coefficient%20AL%3F&text=A.,%E2%80%93939H%20\(nH\)..](https://product.tdk.com/en/contact/faq/ferrite-0030.html#:~:text=What%20is%20inductance%20coefficient%20AL%3F&text=A.,%E2%80%93939H%20(nH)..)
- TI (2016). URL: <https://www.ti.com/lit/ds/symlink/sn7407.pdf>.
- Vazquez, N. et al. (1999). «Analysis and experimental study of the buck, boost and buck-boost inverters». Em: *30th Annual IEEE Power Electronics Specialists Conference. Record. (Cat. No.99CH36321)*. PESC-99. IEEE. DOI: 10.1109/pesc.1999.785602. URL: <http://dx.doi.org/10.1109/PESC.1999.785602>.

APÊNDICES

APÊNDICE A DESENVOLVIMENTO DE EQUAÇÕES

A.1 OBTENÇÃO DO VALOR MÁXIMO DA MODULANTE COM ANTI-DISTORÇÃO

No cálculo do dimensionamento do indutor [equação (3.3)] é necessário conhecer o valor máximo da razão cíclica com anti-distorção. Os valores máximos e mínimos de d_{FAD} são obtidos quando a derivada temporal dessa é igual a zero. Assim, partindo da equação (2.5):

$$\frac{d(d_{FAD})}{dt} = \frac{d}{dt} \left[\frac{0,5 + \delta \sin(\omega t)}{1 - \delta + \delta \sin(\omega t)} \right] = 0 \quad (\text{A.1})$$

Aplicando-se a regra da derivada do quociente, tem-se:

$$\begin{aligned} \frac{d}{dt} \left[\frac{f(t)}{g(t)} \right] &= \frac{g(t)f'(t) - f(t)g'(t)}{[g(t)]^2} \quad ; \quad f'(t) = \omega\delta \cos(\omega t) \quad ; \quad g'(t) = \omega\delta \cos(\omega t) \\ \frac{d(d_{FAD})}{dt} &= \frac{[1 - \delta + \delta \sin(\omega t)] [\omega\delta \cos(\omega t)] - [0,5 + \delta \sin(\omega t)] [\omega\delta \cos(\omega t)]}{[1 - \delta + \delta \sin(\omega t)]^2} \\ \frac{d(d_{FAD})}{dt} &= \frac{[1 - \delta + \delta \sin(\omega t) - 0,5 - \delta \sin(\omega t)] [\omega\delta \cos(\omega t)]}{[1 - \delta + \delta \sin(\omega t)]^2} \\ \frac{d(d_{FAD})}{dt} &= \frac{[1 - \delta - 0,5] [\omega\delta \cos(\omega t)]}{[1 - \delta + \delta \sin(\omega t)]^2} \end{aligned} \quad (\text{A.2})$$

Para se encontrar o valor de máximo (ou mínimo), aplica-se a derivada e iguala-se a expressão a zero. A equação (A.2) é igual a zero em $\cos(\omega t) = 0 \Rightarrow \omega t = \pi/2$.

Assim, substituindo $\omega t = \pi/2$ na equação (2.5), tem-se:

$$d_{FAD,max} = \frac{0,5 + \delta \sin(\pi/2)}{1 - \delta + \delta \sin(\pi/2)} \Rightarrow d_{FAD,max} = \frac{0,5 + \delta}{1 - \delta + \delta} \Rightarrow d_{FAD,max} = 0,5 + \delta \quad (\text{A.3})$$

A.2 OBTENÇÃO DO VALOR MÁXIMO DE CORRENTE NO INDUTOR

Partindo da expressão para a corrente no indutor no tempo, obtida por Santos (2021), tem-se:

$$I_{La}(\omega t) = \frac{-2V_s \cdot \delta}{R_o(1 - 0,5 - \delta)} \frac{\sin(\omega t)}{1 - d_{a,FAD}} - \frac{2\pi \cdot f_r \cdot C_a \cdot V_s \cdot \delta}{1 - 0,5 - \delta} \cos(\omega t) \quad (\text{A.4})$$

Obtém-se o seu valor máximo que, como mencionado por Santos (2021), ocorre em $\omega t = \pi/2$. Além disso, nesse mesmo instante, como mostrado na equação (A.3), a razão

cíclica do sub-conversor é $d_{FAD,max} = 0,5 + \delta$. Assim, tem-se:

$$I_{La,max} = \frac{-2V_s \cdot \delta}{R_o(1 - 0,5 - \delta)} \frac{\sin(\pi/2)^1}{1 - (0,5 + \delta)} - \frac{2\pi \cdot f_r \cdot C_a \cdot V_s \cdot \delta}{1 - 0,5 - \delta} \frac{\cos(\pi/2)^0}{1 - 0,5 - \delta} \quad (A.5)$$

$$I_{La,max} = \frac{-2V_s \delta}{R_o(0,5 - \delta)} \frac{1}{0,5 - \delta} \Rightarrow I_{La,max} = \frac{-2V_s \cdot \delta}{R_o(0,5 - \delta)^2}$$

Como o valor negativo implica somente o sentido obtido para a corrente, substituindo os valores de especificação de projeto da Tabela 2 na equação (A.5), tem-se o módulo da corrente máxima no indutor:

$$|I_{La,max}| = \frac{2 \cdot 100 \text{ V} \cdot 0,2188}{48,4 \Omega (0,5 - 0,2188)^2} \approx 11,43 \text{ A} \quad (A.6)$$

APÊNDICE B CÓDIGO DA MODULAÇÃO NO CCS

```
//
// Included Files
//
#include "device."h
#include "board."h
#include <math.h>

#define tbprd 1000;
#define pi_50kHz (0.0024*M_PI) // (120 * pi / 50000)
#define PI_times2 (2*M_PI)

float argument = 0.0; // sine argument value over time
uint16_t count_comp_a; // value to be sent to counter-compare A
uint16_t count_comp_b; // value to be sent to counter-compare B
uint16_t mode = 0; // Modulation type (0 = traditional; 1 = anti-distorted)

float sine_a; // sine value over time
float sine_b; // 180° phase shifted sine value over time
float Dcc = 0.5; // anti-distorted continuous modulant component
float delta0 = 0.171561; // traditional sinusoidal modulant component
float delta1 = 0.2188; // anti-distorted sinusoidal modulant component
float da; // complete traditional modulant or partial anti-distorted modulant
float db; // 180° phase shifted complete traditional modulant or 180° phase
        shifted partial anti-distorted modulant
float dfad_a; // complete anti-distorted modulant
float dfad_b; // 180° phase shifted complete anti-distorted modulant
float plot_of_the_crowd;

__interrupt void adcA1ISR(void)
{
    GPIO_togglePin(myGPIO0);
    // Clear interrupt flags.
    Interrupt_clearACKGroup(INT_myADCO_1_INTERRUPT_ACK_GROUP);
    ADC_clearInterruptStatus(myADCO_BASE, ADC_INT_NUMBER1);
    argument = argument + pi_50kHz; // 2 * pi * 60Hz * 20ns * time_counter
    if (argument > PI_times2)
    {
        argument = 0;
    }
    sine_a = sinf(argument);
    sine_b = sinf(argument + M_PI);
}
```

```

    if(mode == 0)
    {
        da = Dcc + delta0 * sine_a;
        db = Dcc + delta0 * sine_b;
        count_comp_a = da * tbprd;
        count_comp_b = db * tbprd;
        // plot_of_the_crowd = da;
        // GPIO_togglePin(myGPIO0);
    }
    else
    {
        da = Dcc + delta1 * sine_a;
        dfad_a = da/(1-Dcc-delta1+da);
        db = Dcc - delta1 * sine_a;
        dfad_b = db/(1-Dcc-delta1+db);
        count_comp_a = dfad_a * tbprd;
        count_comp_b = dfad_b * tbprd;
        // plot_of_the_crowd = dfad_a;
        // GPIO_togglePin(myGPIO0);
    }

    EALLOW; // Allows register value modification
    EPWM_setCounterCompareValue(myEPWM0_BASE, EPWM_COUNTER_COMPARE_A,
        count_comp_a); // Updates Counter Compare A of EPWM0
    EPWM_setCounterCompareValue(myEPWM0_BASE, EPWM_COUNTER_COMPARE_B,
        count_comp_a); // Updates Counter Compare B of EPWM0
    EPWM_setCounterCompareValue(myEPWM2_BASE, EPWM_COUNTER_COMPARE_A,
        count_comp_b); // Updates Counter Compare A of EPWM2
    EPWM_setCounterCompareValue(myEPWM2_BASE, EPWM_COUNTER_COMPARE_B,
        count_comp_b); // Updates Counter Compare B of EPWM2
    EDIS; // Prevents register value modification

}

// defining the steps executed when the myEPWM0 interruption service routine is
// called
__interrupt void INT_myEPWM0_ISR(void){
    EPWM_clearEventTriggerInterruptFlag(myEPWM0_BASE); // Clear INT flag for
        this timer
    Interrupt_clearACKGroup(INTERRUPT_ACK_GROUP3); // Acknowledge interrupt
        group
}

// defining the steps executed when the myEPWM2 interruption service routine is
// called
__interrupt void INT_myEPWM2_ISR(void){
    EPWM_clearEventTriggerInterruptFlag(myEPWM2_BASE); // Clear INT flag for
        this timer
    Interrupt_clearACKGroup(INT_myEPWM2_INTERRUPT_ACK_GROUP); // Acknowledge
        interrupt group
}

//
// Main
//
void main(void)
{
    Device_init();
    Interrupt_initModule();
    Interrupt_initVectorTable();
}

```

```

Board_init();

EINT;
ERTM;

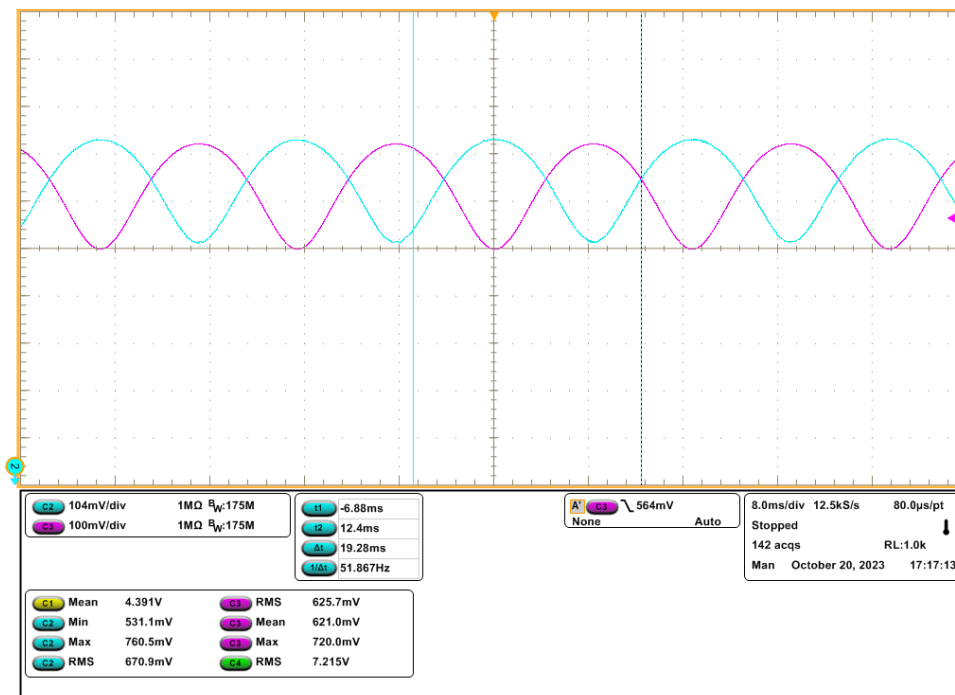
for (;;) {
    NOP;
}

//
// End of File
//

```

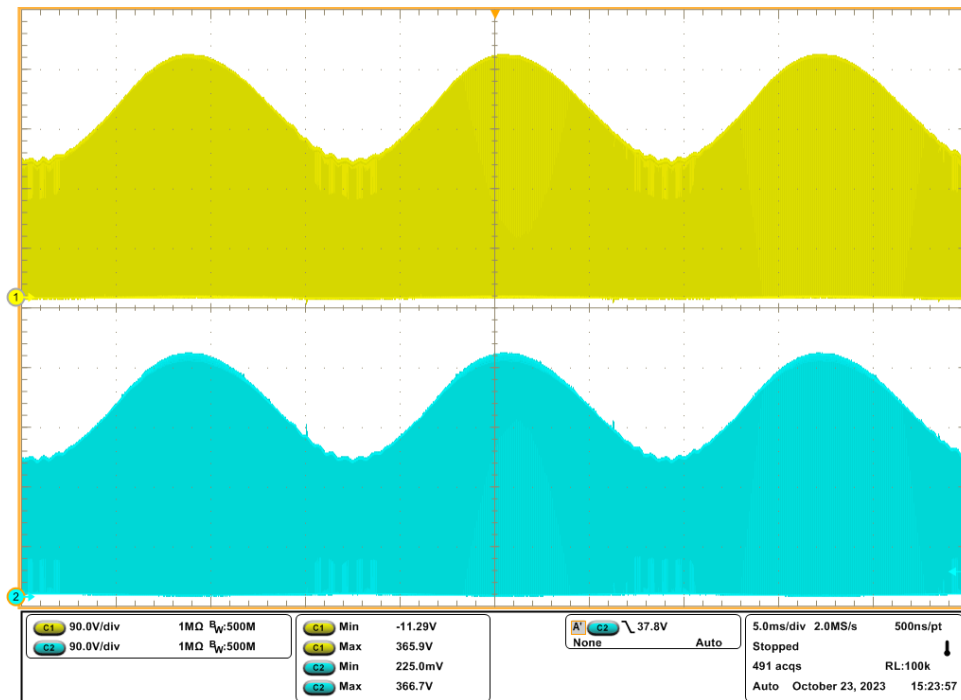
APÊNDICE C AQUISIÇÕES DO OSCILOSCÓPIO

Figura C.1: Modulantes com anti-distorção



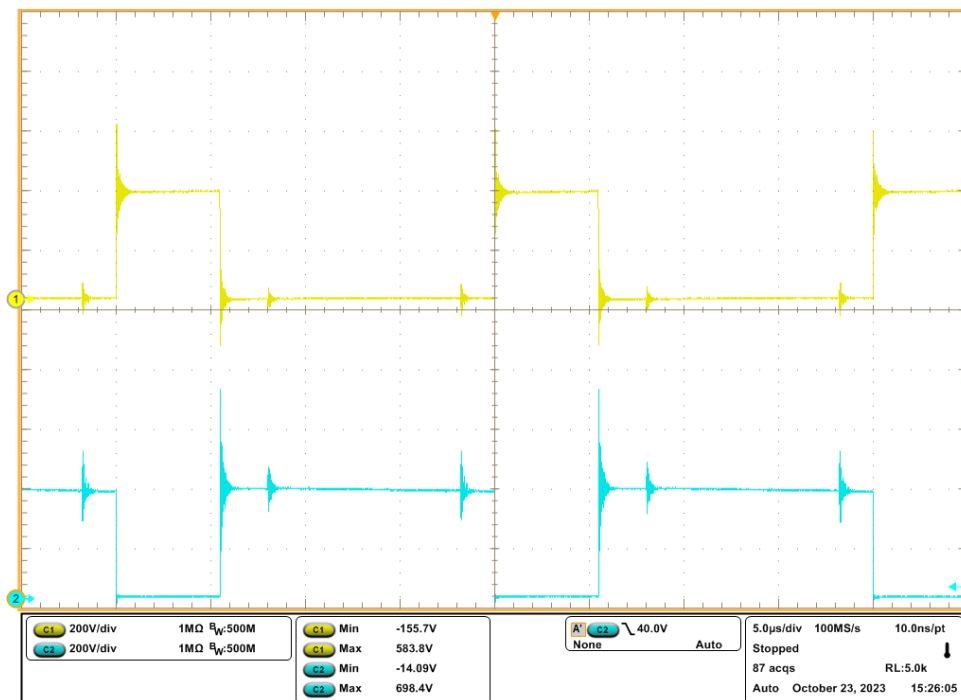
Fonte: autoria própria.

Figura C.2: Tensão *drain-source* nos interruptores em plena carga.



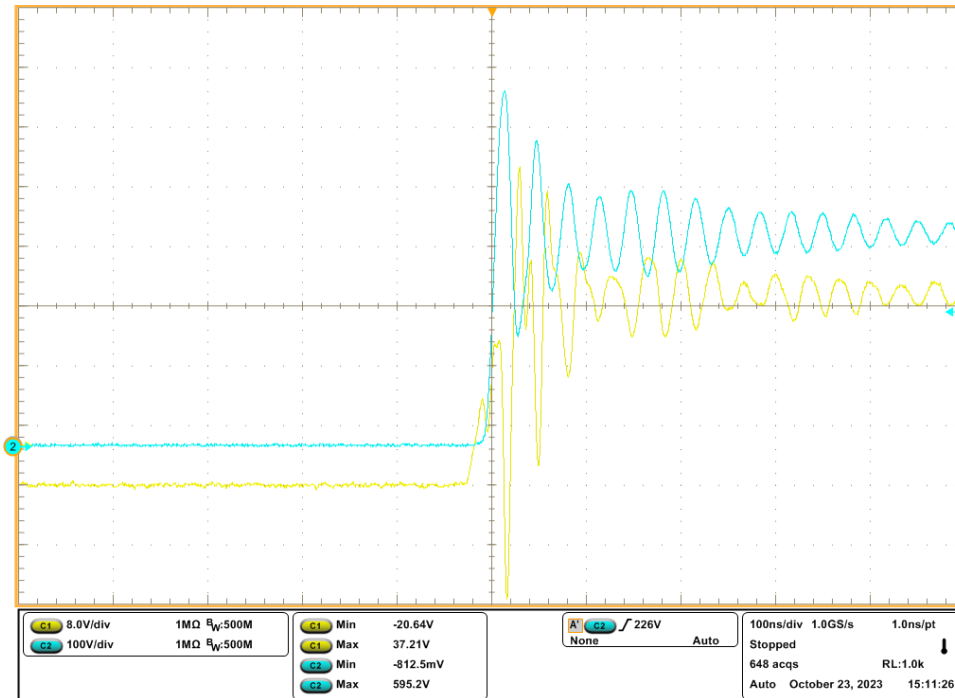
Fonte: autoria própria.

Figura C.3: Tensão *drain-source* nos interruptores em plena carga.



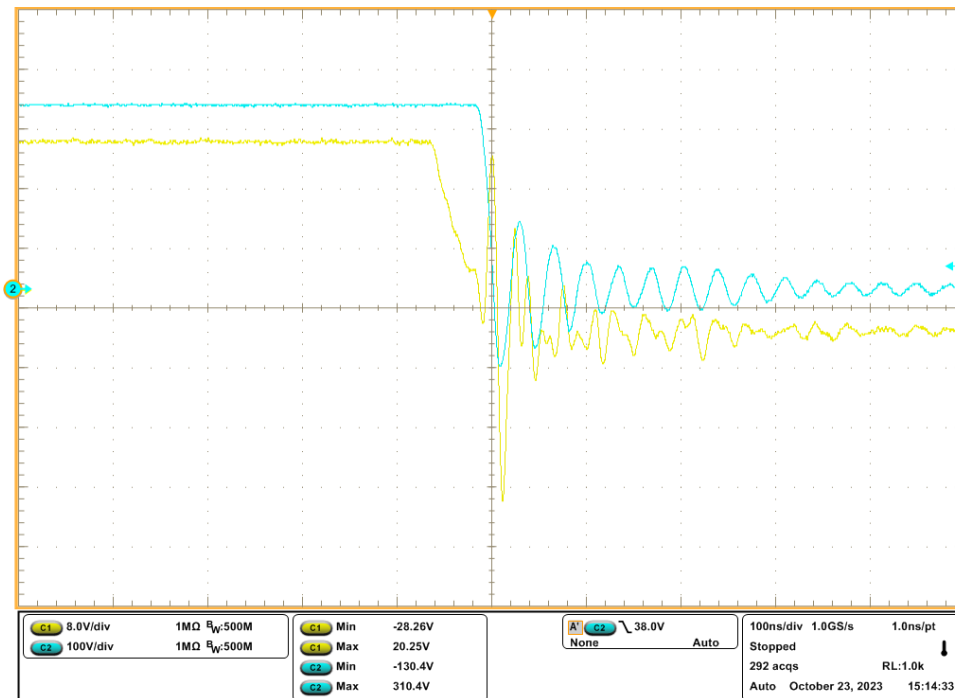
Fonte: autoria própria.

Figura C.4: MOSFET entrando em condução em plena carga.



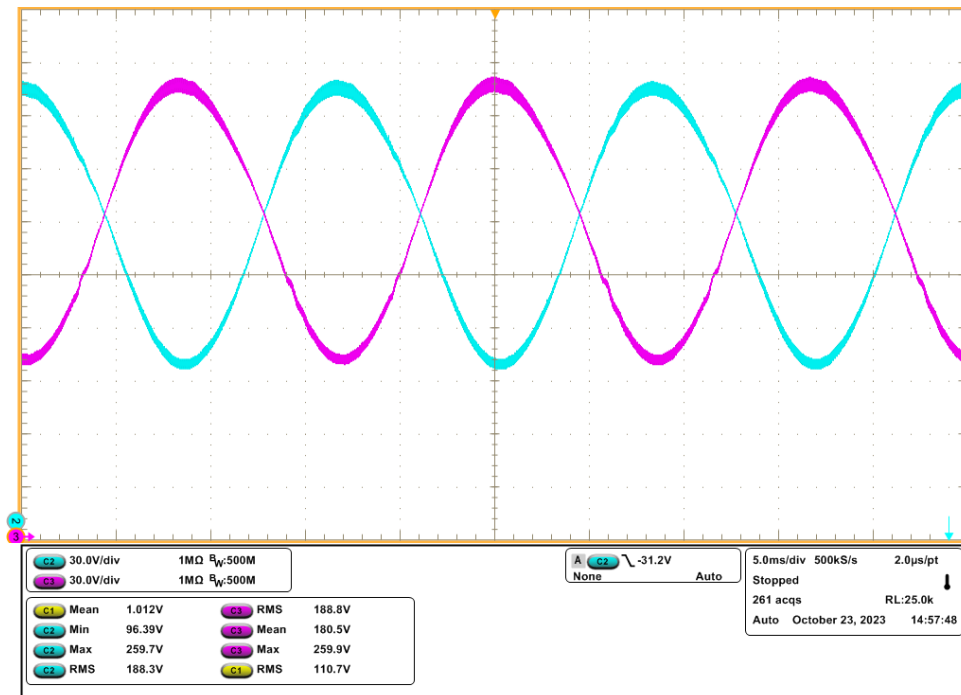
Fonte: autoria própria.

Figura C.5: MOSFET entrando em bloqueio em plena carga.



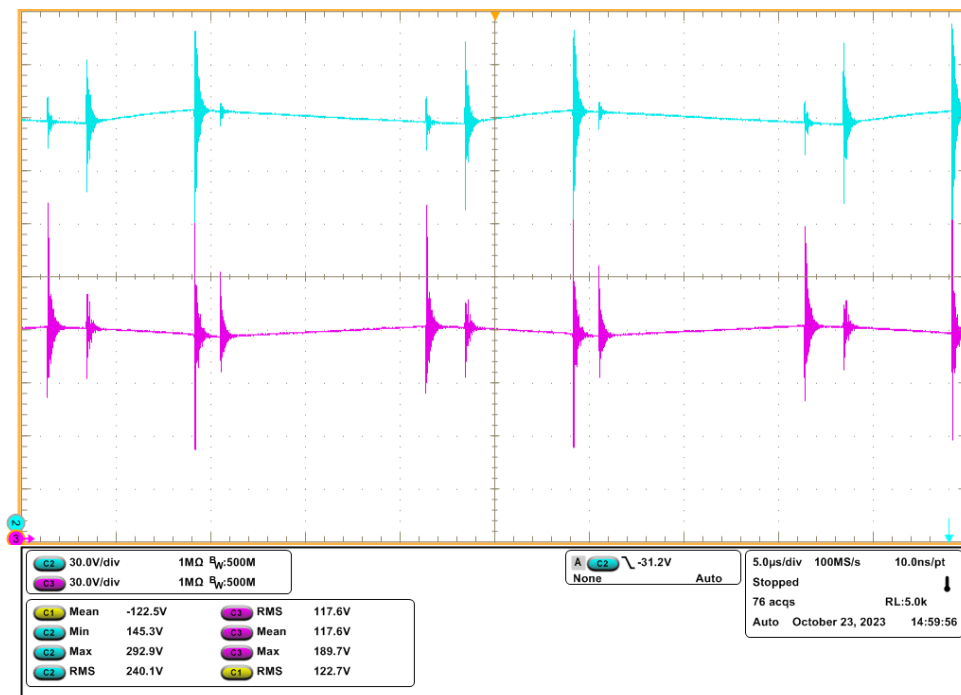
Fonte: autoria própria.

Figura C.6: Tensão nos capacitores em plena carga.



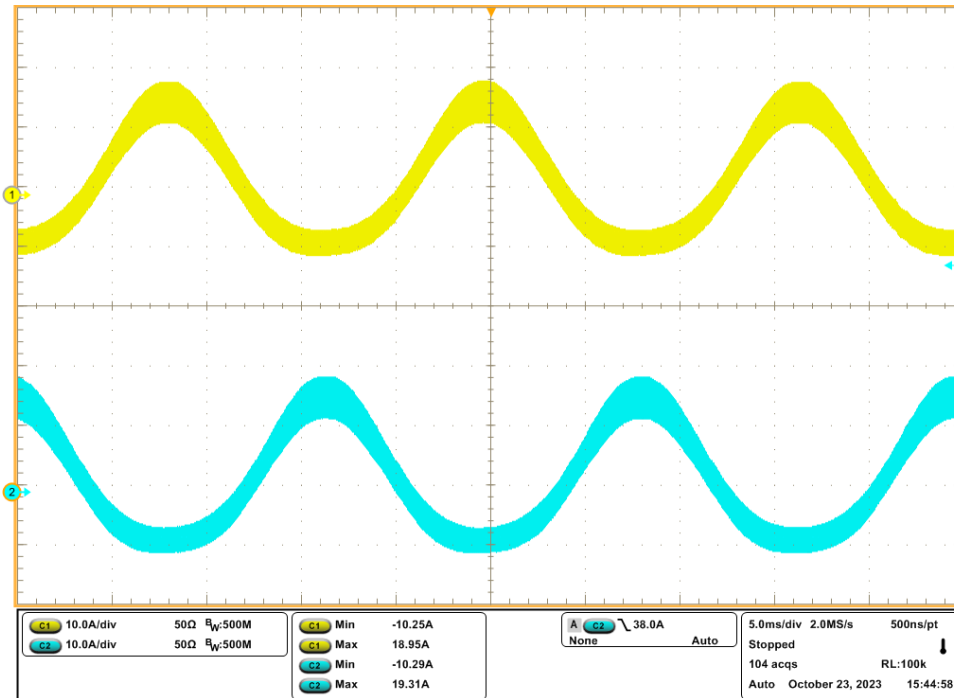
Fonte: autoria própria.

Figura C.7: Ripple de tensão nos capacitores em plena carga.



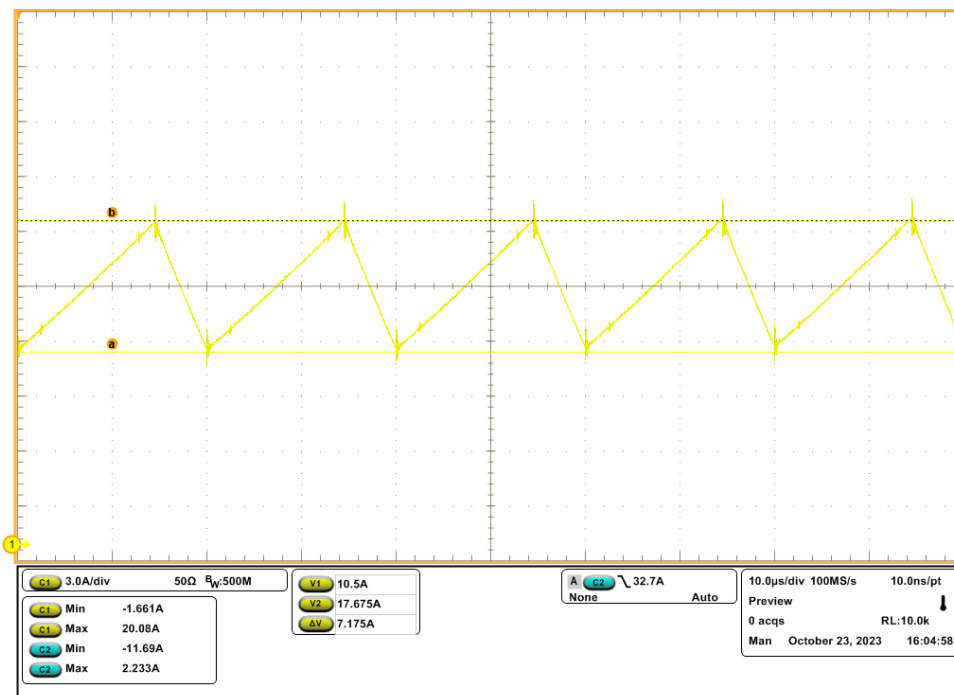
Fonte: autoria própria.

Figura C.8: Corrente nos indutores em plena carga.



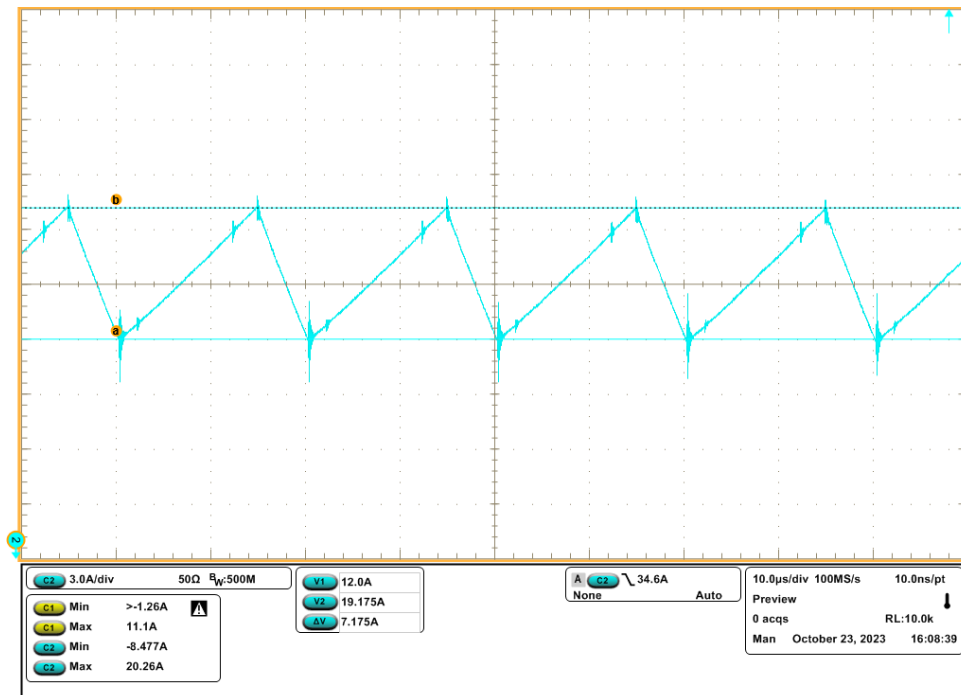
Fonte: autoria própria.

Figura C.9: Ripple de corrente no indutor 1 em plena carga.



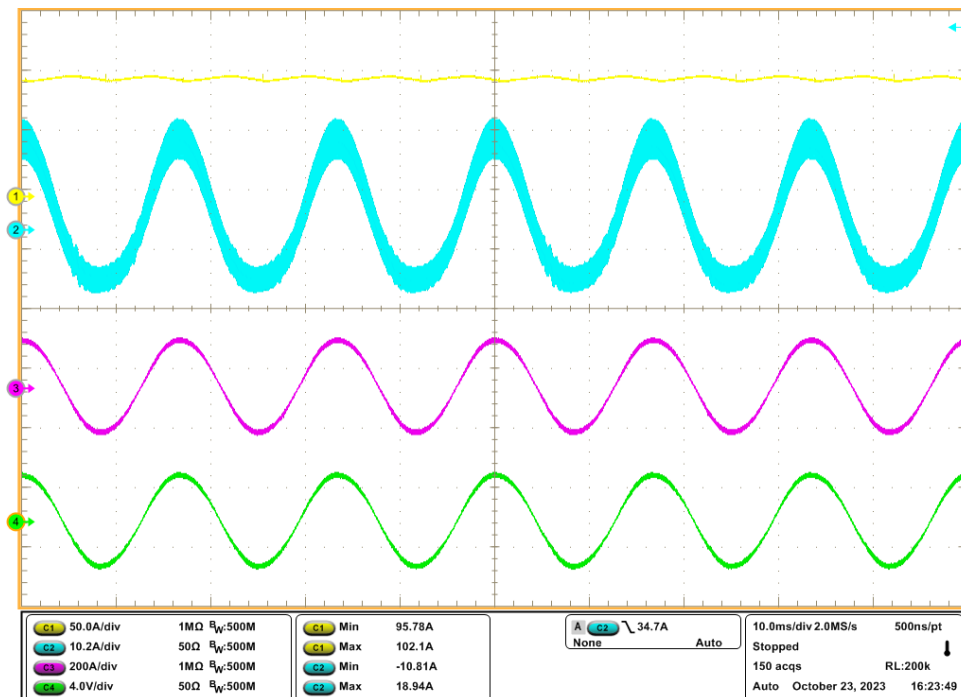
Fonte: autoria própria.

Figura C.10: *Ripple* de corrente no indutor 2 em plena carga.



Fonte: autoria própria.

Figura C.11: Tensão de entrada, corrente no indutor, tensão e corrente de saída do DBBI.



Fonte: autoria própria.