



UNIVERSIDADE FEDERAL DE SANTA CATARINA  
CENTRO TECNOLÓGICO  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Evandro Bolzan

**Análise e projeto de fontes de corrente autopolarizadas em tecnologia CMOS**

Florianópolis  
2022

Evandro Bolzan

**Análise e projeto de fontes de corrente autopolarizadas em tecnologia CMOS**

Tese submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do título de doutor em Engenharia Elétrica.

Orientador: Prof. Carlos Galup-Montoro, Dr.

Florianópolis

2022

Ficha de identificação da obra elaborada pelo autor,  
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Bolzan, Evandro

Análise e projeto de fontes de corrente autopolarizadas em tecnologia CMOS / Evandro Bolzan ; orientador, Carlos Galup-Montoro, 2022.

145 p.

Tese (doutorado) - Universidade Federal de Santa Catarina, Centro Tecnológico, Programa de Pós-Graduação em Engenharia Elétrica, Florianópolis, 2022.

Inclui referências.

1. Engenharia Elétrica. 2. Fonte de corrente autopolarizada. 3. MOSFET auto cascodado. 4. Nível de inversão. I. Galup-Montoro, Carlos. II. Universidade Federal de Santa Catarina. Programa de Pós-Graduação em Engenharia Elétrica. III. Título.

Evandro Bolzan

**Análise e projeto de fontes de corrente autopolarizadas em tecnologia CMOS**

O presente trabalho em nível de doutorado foi avaliado e aprovado por banca examinadora composta pelos seguintes membros:

Prof. Oscar da Costa Gouveia Filho, Dr.  
Universidade Federal do Paraná

Prof. Cesar Ramos Rodrigues, Dr.  
Universidade Federal de Santa Catarina

Prof. Sergio Bampi, Dr.  
Universidade Federal do Rio Grande do Sul

Certificamos que esta é a **versão original e final** do trabalho de conclusão que foi julgado adequado para obtenção do título de doutor em Engenharia Elétrica.

---

Prof. Telles Brunelli Lazzarin, Dr.  
Coordenação do Programa de  
Pós-Graduação

---

Prof. Carlos Galup-Montoro, Dr.  
Orientador

Florianópolis, 2022.

Dedico este trabalho a Deus, à minha querida família e  
aos meus amigos.

## **AGRADECIMENTOS**

Agradeço à Deus por tudo, por ter me concedido saúde, sabedoria e força para superar as adversidades e para alcançar a vitória tão desejada.

Meu agradecimento especial ao meu orientador Prof. Dr. Carlos Galup-Montoro, pela sua orientação, amizade, paciência, dedicação e principalmente por compartilhar o seu vasto conhecimento. Sem a sua valiosa contribuição não teria conseguido atingir estes resultados inéditos e avançar significativamente nesta área do conhecimento.

Ao Prof. Dr. Márcio Schneider, que se dispôs gentilmente a compartilhar o seu conhecimento que contribuiu para a avaliação, correção, organização e apresentação desta tese. E agradeço-o também pela oportunidade que me foi dada de participar na publicação do artigo sobre pseudo-resistor.

Aos meus amados pais, Carlos e Isabel, que sempre estiveram ao meu lado me apoiando e incentivando durante toda a minha vida. Sem o amor e apoio deles eu não teria conseguido realizar esse sonho.

Aos familiares, meu muito obrigado.

Aos amigos, que sempre estiveram presentes, pela amizade incondicional e pelo apoio demonstrado ao longo de todo o período de tempo em que me dediquei a este trabalho.

Gostaria também de agradecer aos membros da banca examinadora, pela participação e por dedicarem o seu tempo para avaliar e contribuir para esta tese.

Ao CNPq (Conselho Nacional de Desenvolvimento Científico e Tecnológico), pela bolsa de estudos e auxílio financeiro que possibilitaram a dedicação integral para a realização desta pesquisa.

Por último, quero agradecer também a todos os docentes e servidores da Universidade Federal de Santa Catarina que de alguma forma contribuíram para a realização deste trabalho.

## RESUMO

O circuito de fonte de corrente é um bloco essencial na polarização, operação e no desempenho geral dos circuitos que compõem um sistema analógico/misto/digital. Devido à redução de escala dos processos CMOS e à redução da tensão de alimentação, tem se tornado cada vez mais desafiador para o projetista conseguir satisfazer as especificações de projeto. Nesse contexto, esta tese propõe uma metodologia baseada no projeto completo no regime de inversão moderada e no dimensionamento dos transistores através da associação série paralelo de transistores unitários. Através da exploração do espaço de projeto procura-se obter os valores mais adequados das razões de aspecto e área dos transistores que constituem a fonte. Os resultados teóricos e de simulações dos erros sistemáticos e aleatórios dos projetos de diferentes topologias de circuitos de fonte de corrente são apresentados. Através das modificações de algumas estruturas foram otimizados a área ocupada na pastilha de silício e o consumo de potência. Os resultados teórico, de simulação e de medições experimentais de 33 amostras de um circuito fabricado em tecnologia CMOS 180 nm validaram a metodologia de projeto proposta. A simulação apresentou valores médio ( $\mu = 9,60 \text{ nA}$ ) e de desvio padrão ( $\sigma = 4,66 \text{ nA}$ ) da referência de corrente próximos aos valores experimentais ( $\mu = 10,1 \text{ nA}$  e  $\sigma = 2,46 \text{ nA}$ ), para um pequeno número de amostras disponíveis.

**Palavras-chave:** Fonte de corrente autopolarizada. MOSFET auto cascodado. Nível de inversão.

## ABSTRACT

The current source circuit is an essential building block in the bias, operation, and overall performance of analog/mixed/digital systems. Due to the scaling down of CMOS processes and the reduction of the supply voltage it has become increasingly challenging for the integrated circuit designer to achieve the design specifications. In this context, this thesis proposes a methodology based on moderate inversion design and sizing through the series-parallel association of unit transistors. Through the exploration of the design space, it is sought to obtain the most adequate values of the aspect ratios and area of the transistors of the current source. Theoretical and simulation results of systematic and random errors of the designs of different current source circuit topologies are presented. Through the modifications of some structures, the area occupied on the silicon wafer and the power consumption have been optimized. Theoretical, simulation and experimental measurements of 33 samples of a circuit fabricated in a 180 nm CMOS technology validated the proposed design methodology. The simulation presented mean ( $\mu = 9,60$  nA) and standard deviation ( $\sigma = 4,66$  nA) values of the current reference close to the experimental values ( $\mu = 10,1$  nA and  $\sigma = 2,46$  nA), for the small number of available samples.

**Keywords:** Self-biased current source. Self-cascode MOSFET. Inversion level.



## LISTA DE FIGURAS

Figura 1 – Características $I$ - $V$ ideais de referências de corrente e tensão. . . . .	22
Figura 2 – O princípio da fonte de corrente autopolarizada. . . . .	24
Figura 3 – Exemplos de circuitos de fonte de corrente do tipo (a) $\Delta V_{BE}$ e (b) baseado no multiplicador de beta. . . . .	25
Figura 4 – Exemplos de circuitos de fonte de corrente baseados (a) em polarização inteligente e (b) em divisão. . . . .	26
Figura 5 – Símbolos de quatro terminais dos dispositivos (a) NMOS e (b) PMOS e as definições das tensões. . . . .	30
Figura 6 – Símbolos simplificados de três terminais dos transistores (a) NMOS e (b) PMOS quando o terminal de corpo é conectado à tensão apropriada. . . . .	30
Figura 7 – Configuração fonte comum para extração dos parâmetros pelo método $g_m/I_D$ . . . . .	32
Figura 8 – Curvas da corrente de dreno e da transcondutância de <i>gate</i> por corrente de dreno em função da tensão de <i>gate</i> @ $V_{DS} = \phi_t/2 = 13$ mV. . . . .	33
Figura 9 – Configuração <i>gate</i> comum para extração dos parâmetros pelo método $g_{ms}/I_D$ . . . . .	34
Figura 10 – Curvas da corrente de dreno e da transcondutância de fonte por corrente de dreno em função da tensão de fonte @ $V_D = V_G = 0,3$ V. . . . .	34
Figura 11 – Extração da corrente específica de folha de $M_1$ . . . . .	35
Figura 12 – Tensão de <i>pinch-off</i> e fator de inclinação de $M_1$ em função da tensão de <i>gate</i> , extraídos pelo método $g_{ms}/I_D$ . . . . .	35
Figura 13 – Polarização do transistor com corrente constante para extração dos parâmetros pelo método $3I_S$ . . . . .	36
Figura 14 – Tensão de <i>pinch-off</i> e fator de inclinação de $M_1$ em função da tensão de <i>gate</i> , extraídos pelo método $3I_S$ @ $I_S = 112$ nA (extraído pelo método $g_m/I_D$ ). . . . .	36
Figura 15 – Resultados dos modelos ACM ( $n, I_{SH}$ @ $V_G = V_{T0} = 296$ mV) e BSIM4.5 de $M_1$ @ $V_D = V_G, V_S = V_B = 0$ . . . . .	38
Figura 16 – Resultados dos modelos ACM e BSIM4.5 de $M_1$ @ $V_D = V_G, V_S = V_B = 0$ . . . . .	39
Figura 17 – Resultados dos modelos ACM ( $V_P, I_{SH}$ @ $V_G = 0,1$ V) e BSIM4.5 de $M_1$ @ $V_D = V_G = 0,1$ V, $V_B = 0$ . . . . .	40
Figura 18 – Resultados dos modelos ACM ( $V_P, I_{SH}$ @ $V_G = 0,3$ V) e BSIM4.5 de $M_1$ @ $V_D = V_G = 0,3$ V, $V_B = 0$ . . . . .	40
Figura 19 – Resultados dos modelos ACM ( $V_P, I_{SH}$ @ $V_G = 1,0$ V) e BSIM4.5 de $M_1$ @ $V_D = V_G = 1,0$ V, $V_B = 0$ . . . . .	41

Figura 20 – MOSFET auto cascodado (SCM). . . . .	43
Figura 21 – Dois exemplos de SCMs que ilustram a linearidade do nível de inversão direto $i_{f2}$ ao longo do comprimento do canal do SCM @ $S_u = 1$ (razão de aspecto do transistor unitário). . . . .	43
Figura 22 – Esquemático do circuito de fonte de corrente (topologia de Hurtado) com Amp Op e espelho de corrente (sem o circuito de <i>start-up</i> ). . . . .	45
Figura 23 – Curvas características $V-I$ de dois SCMs. . . . .	46
Figura 24 – Tensão de <i>overdrive</i> em função do nível de inversão direto @ $n=1,32$ . . . . .	47
Figura 25 – Comparação das curvas das tensões internas do SCM obtidas através dos modelos BSIM e ACM em função do nível de inversão direto @ $p_{mos2v}$ , $\alpha_1 = 18,0$ , $S_{e1} = 2,02$ e $I_{SH} = 38,5$ nA. . . . .	49
Figura 26 – Espaço de projeto dos SCMs @ $I_{OUT} = I_{SH}$ . . . . .	50
Figura 27 – Espaço de projeto dos SCMs @ $I_{OUT} = I_{SH}$ , $V_{REF} = 3\phi_t$ . . . . .	51
Figura 28 – Associação série paralelo de transistores unitários para a implementação da razão de aspecto $S$ do transistor composto. . . . .	52
Figura 29 – Área normalizada em função de $\alpha_1$ e $\alpha_3$ @ $V_{REF} = 2\phi_t$ , $I_{OUT} = I_{SH}$ , $S_u = 1$ e $A_u = W_u^2 = L_u^2$ . . . . .	53
Figura 30 – Área normalizada em função de $\alpha_1$ e $\alpha_3$ @ $V_{REF} = 3\phi_t$ , $I_{OUT} = I_{SH}$ , $S_u = 1$ e $A_u = W_u^2 = L_u^2$ . . . . .	53
Figura 31 – Área normalizada em função de $\alpha_1$ e $\alpha_3$ @ $V_{REF} = 3\phi_t$ , $I_{OUT} = I_{SH}$ , $S_u = 1$ , $A_u = W_u^2 = L_u^2$ . . . . .	54
Figura 32 – Erro em $V_X$ normalizado pelo erro causado pelo espelho de corrente $\Delta I_D / I_D$ em função de $\alpha_1$ e $i_{f1}$ . . . . .	55
Figura 33 – Erro na corrente de referência normalizado pela variação da tensão de <i>offset</i> em função de $\alpha_3$ @ $V_{REF} = 3\phi_t$ , $\alpha_1 = 20,1$ . . . . .	56
Figura 34 – Espaço de projeto normalizado do SCM 3-4 @ $V_{REF} = 2\phi_t$ e $I_{OUT} = I_{SH}$ . . . . .	57
Figura 35 – Espaço de projeto normalizado do SCM 3-4 @ $V_{REF} = 3\phi_t$ e $I_{OUT} = I_{SH}$ . . . . .	57
Figura 36 – Erro na corrente de referência para diferentes valores de $V_{REF}$ . . . . .	57
Figura 37 – Resultados do cálculo de (71) em função de $\alpha_1$ e $\alpha_3$ @ $V_{REF} = 3\phi_t$ , $I_{OUT} = I_{SH}$ , $S_u = 1 \mu\text{m}/1 \mu\text{m}$ , $A_u = 1 \mu\text{m}^2$ . . . . .	60
Figura 38 – Resultado do cálculo da área do transistor, dado por (72), em função de $\alpha_1$ e $\alpha_3$ @ $V_{REF} = 3\phi_t$ , $I_{OUT} = I_{SH}$ , $\sigma(I_{OUT})/I_{OUT} = 1,00\%$ , $A_{VT} = 4,50$ mV $\mu\text{m}$ , $n = 1,32$ . . . . .	60
Figura 39 – Esquemáticos de simulação do circuito de fonte de corrente com Amp Op ideal (célula <i>vcvs</i> ). . . . .	62
Figura 40 – Adição dos transistores $M_{5,6}$ (SCM 5-6) para extração da tensão de limiar. . . . .	71
Figura 41 – Circuito de fonte de corrente (topologia de Heim) com o ramo intermediário ( $M_5$ , $M_6$ e $M_8$ ) e dois SCMs. . . . .	73

Figura 42 – Resultado do cálculo da área do transistor, dado por (80), em função de $\alpha_1$ e $\alpha_3$ @ $V_{REF} = 3\phi_t$ , $I_{OUT} = I_{SH}$ , $\Delta I_{OUT}/I_{OUT} = 5,00\%$ , $A_{VT} = 4,50 \text{ mV } \mu\text{m}$ , $n = 1,32$ . . . . .	75
Figura 43 – Esquemático do circuito de Heim com a adição de $M_{7-8}$ e espelho de corrente ideal com ganho unitário. . . . .	77
Figura 44 – Esquemático completo da fonte de corrente, com o circuito de <i>start-up</i> ( $M_{9-11}$ ) e espelho de corrente cascode ( $M_{12-21}$ ). . . . .	80
Figura 45 – Leiaute completo da fonte de corrente do projeto # 4, com o circuito de <i>start-up</i> ( $M_{9-11}$ ) e o espelho de corrente cascode ( $M_{12-21}$ ). . . . .	80
Figura 46 – Microfotografia do <i>die</i> com os 4 circuitos de fontes de corrente fabricados em tecnologia CMOS 180 nm. . . . .	81
Figura 47 – Resultados das simulações DC pós-leiaute do circuito completo (Figura 44). . . . .	82
Figura 48 – Corrente de referência e tensão de alimentação em função do tempo. Resultados das simulações transiente pós-leiaute do circuito da Figura 44. . . . .	83
Figura 49 – Resultados das simulações de estabilidade do circuito da Figura 44 e projeto # 4. . . . .	83
Figura 50 – Referência de tensão PTAT com 4 SCMs empilhados. . . . .	96
Figura 51 – Esquemático para a análise do efeito do descasamento entre as tensões de limiar de $M_1$ e $M_2$ . . . . .	97
Figura 52 – Esquemático para a análise do efeito do descasamento entre as tensões de limiar de $M_2$ e $M_6$ . . . . .	99
Figura 53 – Esquemático para a análise do efeito do descasamento entre as tensões de limiar de $M_3$ e $M_5$ . . . . .	100
Figura 54 – Configurações do <i>Virtuoso</i> ADE para extração dos parâmetros pelo método $g_m/I_D$ . . . . .	103
Figura 55 – Curvas da corrente de dreno e da transcondutância de <i>gate</i> por corrente de dreno em função da tensão de <i>gate</i> no <i>Virtuoso Visualization &amp; Analysis XL</i> @ $V_{DS} = \phi_t/2 = 13 \text{ mV}$ . . . . .	103
Figura 56 – Configurações do <i>Virtuoso</i> ADE para extração dos parâmetros pelo método $g_{ms}/I_D$ . . . . .	104
Figura 57 – Diferentes curvas no <i>Virtuoso Visualization &amp; Analysis XL</i> (em ADE <i>XL PlotOutputs</i> → <i>Expressions</i> ), $V_S = -0,2 \text{ V}$ a $1,5 \text{ V}$ @ $V_G = 0,1; 0,2; 0,3; 0,4; 0,5 \text{ V}$ . . . . .	105
Figura 58 – Configurações do <i>Virtuoso</i> ADE para extração dos parâmetros pelo método $3I_S$ . . . . .	106
Figura 59 – Curvas da tensão de <i>pinch-off</i> e fator de inclinação de em função da tensão de <i>gate</i> no <i>Virtuoso Visualization &amp; Analysis XL</i> . . . . .	107

Figura 60 – Configurações do <i>Virtuoso</i> ADE para extração de $A_{VT}$ e $A_{\beta}$ . . . . .	108
Figura 61 – Coeficientes de (des)casamento da tensão de limiar $A_{VT}$ e do parâmetro de transcondutância $A_{\beta}$ @ $p_{mos2v}$ , $W=1\ \mu\text{m}$ , $L=1; 5; 10; 15; 20\ \mu\text{m}$ . . . . .	109
Figura 62 – Esquemático da fonte de corrente com uma fonte de erro em tensão $V_{off}$ conectada a entrada inversora do Amp Op. . . . .	112
Figura 63 – Esquemáticos dos transistores no <i>Virtuoso Schematic</i> . . . . .	121
Figura 64 – Adição do transistor $M_5$ para extração da tensão de limiar. . . . .	122
Figura 65 – Ponto de operação da referência de corrente projetada. . . . .	125
Figura 66 – Tensões internas dos SCMs versus $V_{DD}$ . . . . .	126
Figura 67 – Resposta transiente ao aplicar uma onda quadrada em $V_{DD}$ @ $V_{D_{M10}} = 0,5\text{V}$ . . . . .	126
Figura 68 – Resposta transiente ao aplicar uma onda quadrada em $V_{DD}$ @ $V_{D_{M10}} = 0,5\text{V}$ . . . . .	126
Figura 69 – Corrente de saída de referência versus $V_{DD}$ . . . . .	127
Figura 70 – Corrente de saída de referência @ $V_{DD}=1\text{V}$ , $V_{D_{S_{M10}}}=0,5\text{V}$ . . . . .	127
Figura 71 – Circuito de fonte de corrente clássico, com resistor. . . . .	128
Figura 72 – Circuito de fonte de corrente (topologia de Oguey) sem resistor. . . . .	129
Figura 73 – Esquemático de simulação do circuito da topologia de Oguey com espelho de corrente ideal. . . . .	130
Figura 74 – Referência de corrente com a estrutura VFCM e dois SCMs. . . . .	134
Figura 75 – Estruturas autopolarizadas utilizadas no circuito da Figura 74. . . . .	135
Figura 76 – Circuito de fonte de corrente (topologia de Guigues) com as tensões internas dos dois SCMs em curto-circuito. . . . .	138
Figura 77 – Esquemático utilizado para obter as equações de projeto. . . . .	138
Figura 78 – Resultados das simulações DC do circuito da topologia de Guigues (Figura 76). . . . .	140
Figura 79 – Substituição do SCM 3-4 do circuito da Figura 22 por um único transistor $M_5$ conectado como diodo. . . . .	142
Figura 80 – Curvas características $V-I$ , razões de aspecto e níveis de inversão do SCM 1-2 e de $M_5$ @ $n=1,32$ , $V_{T0}=0,426\text{V}$ e $V_{D5}=V_{G5}$ . . . . .	143
Figura 81 – Modificação do circuito da Figura 41, com $M_5$ conectado como diodo. . . . .	144

## LISTA DE TABELAS

Tabela 1 – Resumo dos valores dos parâmetros de $M_1$ extraídos na região linear ( $g_m/I_D$ ) e de saturação ( $g_{ms}/I_D$ ). . . . .	37
Tabela 2 – Erro RMS das curvas $I_D \times V_G @ V_D = V_G$ do modelo ACM com os valores constantes e variáveis dos parâmetros extraídos na região de saturação. . . . .	37
Tabela 3 – Erro RMS das curvas $I_D \times V_G @ V_D = V_G$ do modelo ACM com os parâmetros extraídos na região linear, de saturação e otimizados. . . . .	38
Tabela 4 – Valores de $i_{f_{min}}$ para transistores com diferente $V_T$ . Parâmetros extraídos pelo método $g_m/I_D @ V_{DS}=13$ mV (região linear), $W_U=L_U=1$ $\mu$ m, $n(V_{T0})$ . . . . .	48
Tabela 5 – Variação dos parâmetros do transistor unitário $W_U=L_U=1$ $\mu$ m, extraídos na região linear ( $g_m/I_D$ ) e saturação ( $g_{ms}/I_D$ ), $n(V_{T0})$ . . . . .	61
Tabela 6 – Variação dos parâmetros da associação série de dez transistores unitários, $W=1$ $\mu$ m e $L=10 \times 1$ $\mu$ m, extraídos na região linear ( $g_m/I_D$ ) e saturação ( $g_{ms}/I_D$ ), $n(V_{T0})$ . . . . .	61
Tabela 7 – Especificações de cada projeto de fonte de corrente @ $I_{OUT}=I_{SH}$ . . . . .	63
Tabela 8 – Valores iniciais dos parâmetros $\alpha_{1(3)}$ e $i_{f1(3)}$ de cada projeto. . . . .	64
Tabela 9 – Erros normalizados dos projetos de fonte de corrente. . . . .	64
Tabela 10 – Valores iniciais da área de cada transistor e da tensão de <i>pinch-off</i> de $M_3$ de cada projeto @ $A_{VT}=4,50$ mV $\mu$ m, $n=1,32$ . . . . .	65
Tabela 11 – Valores mínimos das dimensões dos transistores unitários. . . . .	65
Tabela 12 – Resumo dos parâmetros dos SCMs e da associação série-paralela dos transistores projetados. . . . .	67
Tabela 13 – Caracterização dos transistores unitários @ <i>pmos2v</i> , $g_m/I_D$ , $V_{DS}=13$ mV, $n(V_{T0})$ . . . . .	68
Tabela 14 – Resumo dos resultados teóricos, de simulações DC do esquemático da Figura 39(a) e os erros sistemáticos. Os valores teóricos de $V_{REF}$ e $I_{OUT}$ são dados por (36) e (40) @ valores da Tabela 12. . . . .	68
Tabela 15 – Resumo dos níveis de inversão e área dos transistores. Resultados teóricos @ $A_{VT}=4,50$ mV $\mu$ m e de simulações do desvio padrão da tensão de limiar entre os transistores. As simulações Monte Carlo foram realizadas considerando somente o efeito de <i>mismatch</i> e 2000 amostras. . . . .	69

Tabela 16 – Resumo dos resultados teóricos, de simulações e os erros relativos dos resultados teóricos do valor da dispersão de $I_{OUT}$ . As simulações Monte Carlo de <i>mismatch</i> e/ou processo do esquemático da Figura 39(a) foram realizadas com 2000 amostras @ $V_{DD}=1,20\text{ V}$ , $V_{OUT}=0,60\text{ V}$ . Os valores teóricos de $\sigma(V_{REF})$ e $\sigma(I_{OUT})/I_{OUT}$ são dados por (75) e (76) @ $\sigma(\Delta I_D)/I_D=0$ (espelho de corrente ideal) e valores das Tabelas 12 e 15. . . . .	70
Tabela 17 – Resultados das simulações Monte Carlo de <i>mismatch</i> e/ou processo com 2000 amostras do espelho de corrente @ $I_{IN}=37,1\text{ nA}$ , $V_{OUT}=0,60\text{ V}$ . . . . .	70
Tabela 18 – Resumo dos resultados teóricos, de simulações e os erros relativos dos resultados teóricos do valor da dispersão de $I_{OUT}$ . As simulações Monte Carlo de <i>mismatch</i> e/ou processo do esquemático da Figura 39(b) foram realizadas com 2000 amostras @ $V_{DD}=1,20\text{ V}$ , $V_{OUT}=0,60\text{ V}$ . Os valores teóricos de $\sigma(V_{REF})$ e $\sigma(I_{OUT})/I_{OUT}$ são dados por (75) e (76) @ $\sigma(\Delta I_D)/I_D=0,917\%$ ( <i>mismatch</i> do espelho de corrente) e valores das Tabelas 12 e 15. . . . .	71
Tabela 19 – Especificações de cada projeto de fonte de corrente @ $I_{OUT}=I_{SH}=38\text{ nA}$ . . . . .	74
Tabela 20 – Valores iniciais dos parâmetros $\alpha_{1(3)}$ e $i_{F1(3)}$ de cada projeto. . . . .	74
Tabela 21 – Valores iniciais da área de cada transistor e da tensão de <i>pinch-off</i> de $M_3$ de cada projeto @ $A_{VT}=4,50\text{ mV } \mu\text{m}$ , $n=1,32$ . . . . .	75
Tabela 22 – Valores mínimos das dimensões dos transistores unitários. . . . .	76
Tabela 23 – Resumo dos parâmetros dos SCMs e da associação série-paralela dos transistores projetados. . . . .	76
Tabela 24 – Caracterização dos transistores unitários @ $p_{mos2v}$ , $g_m/I_D$ , $V_{DS}=13\text{ mV}$ , $n(V_{T0})$ . . . . .	77
Tabela 25 – Resumo dos resultados teóricos, de simulações DC do esquemático da Figura 43 e erros sistemáticos. Os valores teóricos de $V_{REF}$ e $I_{OUT}$ são dados por (36) e (40) @ valores da Tabela 23. . . . .	78
Tabela 26 – Resumo dos níveis de inversão e área dos transistores. Resultados teóricos @ $A_{VT}=4,50\text{ mV } \mu\text{m}$ e de simulações do desvio padrão da tensão de limiar entre os transistores. As simulações Monte Carlo foram realizadas considerando somente o efeito de <i>mismatch</i> e 2000 amostras. . . . .	78

Tabela 27 – Resumo dos resultados teóricos, de simulações e os erros relativos dos resultados teóricos do valor da dispersão de $I_{OUT}$ . As simulações Monte Carlo de <i>mismatch</i> e/ou processo do esquemático da Figura 43 foram realizadas com 2000 amostras e considerando somente o efeito da variação dos parâmetros em $M_{1-6}$ @ $V_{DD}=1,50$ V, $V_{OUT}=1,00$ V. Os valores teóricos de $\sigma(V_{REF})$ e $\sigma(I_{OUT})/I_{OUT}$ são dados por (79) e (76) @ $\sigma(\Delta I_D)/I_D=0$ (espelho de corrente ideal) e valores das Tabelas 23 e 26. . . . .	79
Tabela 28 – Resultados das simulações Monte Carlo de <i>mismatch</i> e/ou processo com 2000 amostras do espelho de corrente cascode @ $I_{IN}=31,3$ nA, $V_{OUT}=1,00$ V. . . . .	79
Tabela 29 – Resumo dos resultados de simulações. As simulações Monte Carlo de <i>mismatch</i> e/ou processo do esquemático da Figura 44 foram realizadas com 2000 amostras @ $V_{DD}=1,50$ V, $V_{OUT}=1,00$ V. . . . .	81
Tabela 30 – Ganho das malhas $V_X$ e $V_Y$ de cada projeto @ $V_{DD}=1,50$ V, $f=0$ . . . . .	83
Tabela 31 – Nomes das variáveis de saída e expressões no <i>Analog Design Environment</i> (ADE) L para extração dos parâmetros pelo método $g_m/I_D$ . . . . .	102
Tabela 32 – Nomes das variáveis de saída e expressões no ADE XL <i>Test Editor</i> para extração dos parâmetros pelo método $g_m/I_D$ . . . . .	105
Tabela 33 – Nomes das variáveis de saída e expressões no <i>Virtuoso Visualization &amp; Analysis XL calculator</i> . A cada nova simulação os números em <i>sevSession196</i> e <i>sevSession16</i> nas expressões devem ser atualizados manualmente. . . . .	105
Tabela 34 – Nomes das variáveis de saída e expressões no ADE L para extração dos parâmetros pelo método $3/I_S$ . . . . .	106
Tabela 35 – Nomes das variáveis de saída e expressões no ADE XL <i>Test Editor</i> para extração dos parâmetros $A_{VT}$ e $A_\beta$ . . . . .	109
Tabela 36 – Valores dos parâmetros definidos em <i>Edit Object Properties</i> de cada célula em função da polarização do circuito. . . . .	120
Tabela 37 – Parâmetros da referência de corrente projetada @ $A_{VT}=3,0$ mV $\mu$ m, $\sigma(\Delta V_{T0})=1$ mV, $\zeta=4$ . . . . .	124
Tabela 38 – Parâmetros dos projetos e transistores apresentados em [31] (projetos # 1, 2 e 3) e [22] (projeto # 4). . . . .	131
Tabela 39 – Parâmetros de projeto convertidos da Tabela 38 para a topologia de Hurtado. . . . .	132
Tabela 40 – Caracterização dos transistores unitários @ $g_m/I_D$ , $V_{DS}=13$ mV, $n(V_{T0})$ . . . . .	132

Tabela 41 – Resumo dos resultados teóricos, de simulações DC (Figura 73) e erros sistemáticos @ $V_{DD} = 1,2\text{V}$ . Os valores teóricos de $V_{REF}$ e $I_{OUT}$ são dados por (153) e (157) @ valores da Tabela 38. . . . .	133
Tabela 42 – Resumo dos resultados teóricos, de simulações DC (Figura 39) e os erros sistemáticos @ $I_{SH} = 38,0\text{ nA}$ . Os valores teóricos de $V_{REF}$ e $I_{OUT}$ são dados por (36) e (40) @ valores da Tabela 39. . . . .	133
Tabela 43 – Resumo dos resultados teóricos, de simulações (Figura 39(a)) e os erros relativos dos resultados teóricos do valor da dispersão de $I_{OUT}$ . As simulações Monte Carlo foram realizadas com 2000 amostras e considerando somente o efeito de <i>mismatch</i> . Os valores teóricos de $\sigma(\Delta V_{T0})$ , $\sigma(V_{REF})$ e $\sigma(I_{OUT})/I_{OUT}$ são dados por (69), (75) e (76) @ $A_{VT} = 3,80\text{ mV } \mu\text{m}$ , $\sigma(\Delta I_D)/I_D = 0$ (espelho de corrente ideal) e valores da Tabela 39. . . . .	134
Tabela 44 – Parâmetros do projeto e transistores apresentados em [23]. . . . .	137
Tabela 45 – Caracterização dos transistores unitários @ <i>pmos2v</i> , $g_m/I_D$ , $V_{DS} = 13\text{ mV}$ , $n(V_{T0})$ . . . . .	137
Tabela 46 – Resumo dos resultados teóricos, de simulações DC e os erros sistemáticos @ $V_{DD} = 1,20\text{ V}$ , $I_{SH} = 37,8\text{ nA}$ , espelho de corrente ideal e ganho unitário. Os valores teóricos de $V_{REF}$ e $I_{OUT}$ são dados por (162) e (158) @ $N = 1$ e valores da Tabela 44. . . . .	137
Tabela 47 – Resumo dos resultados teóricos, de simulações e os erros relativos dos resultados teóricos do valor da dispersão de $I_{OUT}$ . As simulações Monte Carlo foram realizadas com 2000 amostras e considerando somente o efeito de <i>mismatch</i> @ $A_{VT} = 4,50\text{ mV } \mu\text{m}$ , $V_{DD} = 1,20\text{ V}$ , espelho de corrente ideal e ganho unitário. . . . .	137
Tabela 48 – Resumo da associação série-paralela dos transistores projetados @ $\alpha_1 = 50,3$ , $V_{REF} = 4\phi_t$ , $I_{OUT} = 1,00 \times 10^{-3} I_{SH} = 37,3\text{ pA}$ , $n = 1,32$ e $V_{T0} = 0,426\text{ V}$ . . . . .	145
Tabela 49 – Resumo dos resultados de simulações Monte Carlo de <i>mismatch</i> e/ou processo realizadas com 2000 amostras e espelho de corrente ideal @ $V_{DD} = 0,5\text{ V}$ . . . . .	145



## LISTA DE CÓDIGOS

Código 1 – Código em MATLAB para otimização dos parâmetros do transistor através do algoritmo genético. Arquivo <code>otimizacao.m</code> . . . . .	110
Código 2 – Código em MATLAB do cálculo da corrente de dreno do ACM e do erro RMS. Arquivo <code>otimizada.m</code> . . . . .	111
Código 3 – Código em MATLAB para projetar a topologia de fonte de corrente do Hurtado. . . . .	115
Código 4 – Código em MATLAB para determinar o ponto de interseção de duas curvas. Arquivo <code>InterX.m</code> . . . . .	118

## LISTA DE ABREVIATURAS E SIGLAS

ACM	<i>Advanced Compact MOSFET</i>
ADE	<i>Analog Design Environment</i>
Amp Op	<i>Amplificador Operacional</i>
BSIM	<i>Berkeley Short-channel IGFET Model</i>
CI	<i>Circuito Integrado</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
CTAT	<i>Complementary to Absolute Temperature</i>
DFII	<i>DESIGN FRAMEWORK II</i>
IDAC	<i>Current Digital-to-Analog Converter</i>
IoT	<i>Internet of Things</i>
MI	<i>Moderate Inversion</i>
MOS	<i>Metal-Oxide-Semiconductor</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
NMOS	<i>N-Channel MOSFET</i>
PMOS	<i>P-Channel MOSFET</i>
PSRR	<i>Power Supply Rejection Ratio</i>
PTAT	<i>Proportional to Absolute Temperature</i>
PVT	<i>Process, Voltage and Temperature</i>
RMS	<i>Root Mean Square</i>
SCM	<i>Self-Cascode MOSFET</i>
SI	<i>Strong Inversion</i>
VFCM	<i>Voltage-Following Current Mirror</i>
WI	<i>Weak Inversion</i>
ZTC	<i>Zero Temperature Coefficient</i>

## LISTA DE SÍMBOLOS

$A_{VT}$	Coeficiente de (des)casamento da tensão de limiar
$A_{\beta}$	Coeficiente de (des)casamento do parâmetro de transcondutância
$I_S$	Corrente específica ( <i>specific current</i> )
$W$	Largura do canal do transistor
$L$	Comprimento do canal do transistor
$\mu_n$	Mobilidade dos elétrons
$C'_{ox}$	Capacitância de óxido por unidade de área
$n$	Fator de inclinação (rampa)
$\mu_{TC}$	Coeficiente de temperatura de mobilidade
$I_D$	Corrente de dreno
$I_F$	Componente direta da corrente de dreno
$I_R$	Componente reversa da corrente de dreno
$S = W/L$	Razão de aspecto do transistor
$i_f$	Nível de inversão direto
$i_r$	Nível de inversão reverso
$I_{SH}$	Corrente específica de folha ( <i>sheet specific current</i> ); $I_S$ para $W=L$
$\mu$	Mobilidade dos portadores
$\phi_t$	Tensão térmica
$V_S$	Tensão no terminal de fonte ( <i>source</i> )
$V_D$	Tensão no terminal de dreno ( <i>drain</i> )
$V_B$	Tensão no terminal de corpo ( <i>bulk</i> )
$V_P$	Tensão de <i>pinch-off</i>
$V_G$	Tensão no terminal da porta ( <i>gate</i> )
$V_{T0}$	Tensão de limiar para $V_{SB}=0$
$g_m$	Transcondutância de <i>gate</i>
$g_{ms}$	Transcondutância de fonte
$\alpha$	Relação entre as razões de aspecto dos transistores dos SCMs
$V_{DS}$	Tensão entre os terminais de dreno e fonte
$V_{REF}$	Tensão de referência
$I_{OUT}$	Corrente de saída de referência
$A$	Área do canal do transistor
$M$	Quantidade de transistores unitários em paralelo
$N$	Quantidade de transistores unitários em série
$V_{off}$	Tensão de desvio ( <i>offset</i> )
$\beta$	Parâmetro de transcondutância

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b>	<b>22</b>
1.1	REVISÃO BIBLIOGRÁFICA	23
1.2	OBJETIVOS	27
1.3	MATERIAIS E MÉTODOS	27
1.4	ORGANIZAÇÃO DA TESE	28
<b>2</b>	<b>O MODELO ACM E AS CARACTERÍSTICAS TENSÃO-CORRENTE DO MOSFET AUTO CASCODADO</b>	<b>29</b>
2.1	O MODELO ACM	29
2.2	EXTRAÇÃO DE PARÂMETROS DO TRANSISTOR	31
<b>2.2.1</b>	<b>Método <math>g_m/I_D</math></b>	<b>32</b>
<b>2.2.2</b>	<b>Método <math>g_{ms}/I_D</math></b>	<b>33</b>
<b>2.2.3</b>	<b>Método <math>3I_S</math></b>	<b>35</b>
<b>2.2.4</b>	<b>Comparação das características <math>I_D \times V_G</math> e <math>I_D \times V_S</math> dos modelos ACM e BSIM</b>	<b>36</b>
2.3	MOSFET AUTO CASCODADO	41
<b>3</b>	<b>ANÁLISE E ESPAÇO DE PROJETO NORMALIZADO DE UMA FONTE DE CORRENTE COM AMP OP</b>	<b>44</b>
3.1	ANÁLISE DO CIRCUITO	44
3.2	ESPAÇO DE PROJETO NORMALIZADO	47
<b>3.2.1</b>	<b>Nível de inversão máximo</b>	<b>47</b>
<b>3.2.2</b>	<b>Nível de inversão mínimo</b>	<b>48</b>
<b>3.2.3</b>	<b>Razão de aspecto dos transistores e a área total normalizada da fonte de corrente</b>	<b>49</b>
<b>3.2.4</b>	<b>Efeitos dos erros internos na tensão e corrente de referências</b>	<b>54</b>
<b>3.2.5</b>	<b>Análise dos principais erros aleatórios</b>	<b>58</b>
<b>3.2.6</b>	<b>Erros sistemáticos da tensão e corrente de referências</b>	<b>60</b>
3.3	PROJETOS, RESULTADOS TEÓRICOS E DE SIMULAÇÕES DA FONTE DE CORRENTE	61
3.4	CONCLUSÃO	72
<b>4</b>	<b>ANÁLISE E PROJETO DA FONTE DE CORRENTE DE HEIM, SCHULTZ E JABRI</b>	<b>73</b>
4.1	ANÁLISE DOS ERROS ALEATÓRIOS DA TENSÃO DE REFERÊNCIA	73
4.2	PROJETOS, RESULTADOS TEÓRICOS E DE SIMULAÇÕES DA FONTE DE CORRENTE	74
<b>5</b>	<b>CONCLUSÃO</b>	<b>84</b>
5.1	TRABALHOS FUTUROS	84
	<b>REFERÊNCIAS</b>	<b>86</b>

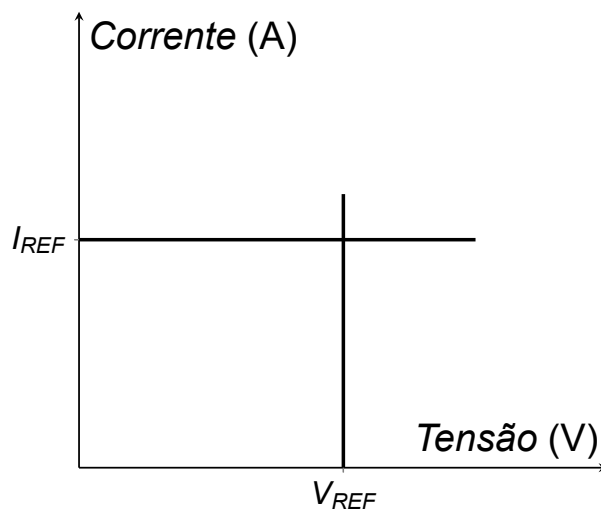
	<b>APÊNDICE A – REFERÊNCIA DE TENSÃO PTAT COM SCMS EMPILHADOS EM WI . . . . .</b>	<b>95</b>
	<b>APÊNDICE B – CÁLCULOS DO EFEITO DO DESCASAMENTO ENTRE AS TENSÕES DE LIMIAR DOS TRANSISTORES . . . . .</b>	<b>97</b>
B.1	EFEITO DO DESCASAMENTO ENTRE AS TENSÕES DE LIMIAR DOS TRANSISTORES NA TENSÃO INTERNA DO SCM . . . . .	97
B.2	EFEITO DO DESCASAMENTO DA TENSÃO DE LIMIAR ENTRE OS TRANSISTORES DO CIRCUITO DA FONTE DE CORRENTE DE HEIM, SCHULTZ E JABRI . . . . .	99
	<b>APÊNDICE C – EXTRAÇÃO AUTOMATIZADA DOS PARÂMETROS DO TRANSISTOR NAS FERRAMENTAS DA CADENCE E OTIMIZAÇÃO . . . . .</b>	<b>102</b>
C.1	CONFIGURAÇÕES DO SIMULADOR <i>SPECTRE</i> . . . . .	102
C.2	CONFIGURAÇÕES PARA EXTRAÇÃO AUTOMATIZADA DOS PARÂMETROS PELO MÉTODO $g_m/I_D$ . . . . .	102
C.3	CONFIGURAÇÕES PARA EXTRAÇÃO AUTOMATIZADA DOS PARÂMETROS PELO MÉTODO $g_{ms}/I_D$ . . . . .	103
C.4	CONFIGURAÇÕES PARA EXTRAÇÃO AUTOMATIZADA DOS PARÂMETROS PELO MÉTODO $3I_S$ . . . . .	106
C.5	EXTRAÇÃO DOS COEFICIENTES DE (DES)CASAMENTO DA TENSÃO DE LIMIAR $A_{VT}$ E DO PARÂMETRO DE TRANSCONDUTÂNCIA $A_\beta$ . . . . .	107
C.6	CÓDIGO EM MATLAB PARA OTIMIZAÇÃO DOS PARÂMETROS DO TRANSISTOR . . . . .	109
	<b>APÊNDICE D – CÁLCULO DO ERRO ALEATÓRIO DA CORRENTE DE REFERÊNCIA . . . . .</b>	<b>112</b>
D.1	APROXIMAÇÕES DE $\frac{\Delta I_{OUT}/I_{OUT}}{V_{off}/\phi_t}$ . . . . .	113
	<b>APÊNDICE E – PROJETO E CONFIGURAÇÕES DAS CÉLULAS DA FONTE DE CORRENTE . . . . .</b>	<b>115</b>
E.1	CÓDIGO EM MATLAB PARA PROJETAR O CIRCUITO DA FONTE DE CORRENTE . . . . .	115
E.2	CONFIGURAÇÕES DAS CÉLULAS UTILIZADAS NAS SIMULAÇÕES DAS FONTES DE CORRENTE . . . . .	120
E.3	IMPLEMENTAÇÃO DOS TRANSISTORES NO <i>VIRTUOSO SCHEMATIC</i> . . . . .	121
E.4	CÁLCULO DA ÁREA DE $M_5$ EM FUNÇÃO DE $\sigma(V_{G5})$ E DE OUTROS PARÂMETROS . . . . .	121

	<b>APÊNDICE F – PRIMEIRO PROJETO DE UMA FONTE DE CORRENTE . . . . .</b>	<b>124</b>
F.1	RESULTADOS EXPERIMENTAIS E DE SIMULAÇÃO . . . . .	125
	<b>APÊNDICE G – OUTRAS TOPOLOGIAS DE FONTES DE CORRENTE AUTOPOLARIZADAS . . . . .</b>	<b>128</b>
G.1	VITTOZ E FELLRATH . . . . .	128
G.2	OGUEY E AEBISCHER . . . . .	128
<b>G.2.1</b>	<b>Resultados teóricos e de simulações dos projetos de fonte de corrente de Oguey . . . . .</b>	<b>129</b>
G.3	CAMACHO-GALEANO, GALUP-MONTORO E SCHNEIDER . . . . .	134
<b>G.3.1</b>	<b>Análise dos erros aleatórios da tensão de referência . . . . .</b>	<b>136</b>
<b>G.3.2</b>	<b>Resultados teóricos e de simulações do projeto de fonte de corrente de Galeano . . . . .</b>	<b>136</b>
G.4	GUIGUES <i>ET AL.</i> . . . . .	138
<b>G.4.1</b>	<b>Projeto, resultados teóricos e de simulações da fonte de corrente de Guigues . . . . .</b>	<b>140</b>
	<b>APÊNDICE H – TOPOLOGIAS MODIFICADAS E PROJETO DE FONTE DE CORRENTE . . . . .</b>	<b>141</b>
H.1	PROJETO, RESULTADOS TEÓRICOS E DE SIMULAÇÕES DA FONTE DE CORRENTE . . . . .	145

## 1 INTRODUÇÃO

O circuito de fonte de corrente é um bloco essencial na polarização, operação e no desempenho geral dos circuitos que compõem um sistema analógico/misto/digital. Este circuito geralmente gera uma corrente de referência a partir de uma tensão de referência bem definida e um dispositivo conversor de tensão em corrente. Uma referência ideal de corrente ou tensão é independente da fonte de alimentação e da temperatura [1]. As características ideais das fontes de corrente e tensão são mostradas na Figura 1. Uma corrente de referência gerada por uma fonte de corrente pode ser espelhada e escalada para polarizar os diferentes subcircuitos de um circuito integrado.

Figura 1 – Características  $I$ - $V$  ideais de referências de corrente e tensão.



Fonte: Elaborada pelo autor.

Para atender à crescente demanda de dispositivos para aplicações em Internet das Coisas (*Internet of Things* - IoT) vários projetos de fontes de corrente têm sido reportados [2–4]. Os dispositivos IoT exigem circuitos de baixo consumo de potência [5], baixa tensão de alimentação e devem funcionar numa ampla faixa de temperatura [6] e de tensões de alimentação [7].

Um exemplo recente de fonte de corrente de muito baixo valor é apresentado em [8] onde se desenvolve o projeto de uma fonte de corrente PTAT (*Proportional to Absolute Temperature*) de 20 pA que polariza um pseudo-resistor. Para garantir um melhor casamento dos parâmetros elétricos dos transistores, o circuito da fonte de corrente e o pseudo-resistor foram implementados através da associação série-paralela do mesmo transistor unitário.

Alguns circuitos se beneficiam de fontes de corrente que mantem a sua operação em um nível de inversão constante, conforme demonstrado em várias publicações recentes [9–14]. As fontes de corrente operando em nível de inversão constante per-

mitem também a extração direta da tensão de limiar de um transistor [15, 16].

O projeto e a implementação do circuito de fonte de corrente têm se tornado cada vez mais desafiador para o projetista de circuito integrados. Com efeito, as especificações de projeto são diversas: consumo de potência, precisão, área ocupada na pastilha de silício, estabilidade da corrente, etc. Ainda o compromisso entre estas especificações, geralmente conflitantes, deve ser mantido apesar das variações no processo de fabricação, tensão de alimentação e temperatura (*Process, Voltage and Temperature* - PVT). Esta tarefa tornou-se mais difícil em tecnologias CMOS (*Complementary Metal-Oxide-Semiconductor*) avançadas devido à redução das dimensões dos dispositivos CMOS e da redução da tensão de alimentação, que progressivamente empurrou o ponto de operação do transistor da região de inversão forte tradicional para o de inversão moderada, onde o modelo quadrático não é mais válido [17]. Isto levou a um interesse crescente no uso do conceito de nível de inversão para a análise, projeto e implementação de circuitos integrados em tecnologias avançadas [18].

Nesse contexto, uma importante tarefa do projetista de CI é encontrar o melhor compromisso entre os parâmetros de projeto para alcançar as especificações desejadas de acordo com a aplicação. Para este propósito, na fase inicial do projeto do circuito utiliza-se um modelo de transistor simples para explorar o espaço de projeto com a finalidade de identificar nele a região que oferece o melhor desempenho. Posteriormente, um ajuste fino do circuito é realizado executando simulações mais precisas utilizando o modelo do transistor completo disponível no *design kit* da tecnologia com o auxílio de uma ferramenta de desenvolvimento de CIs.

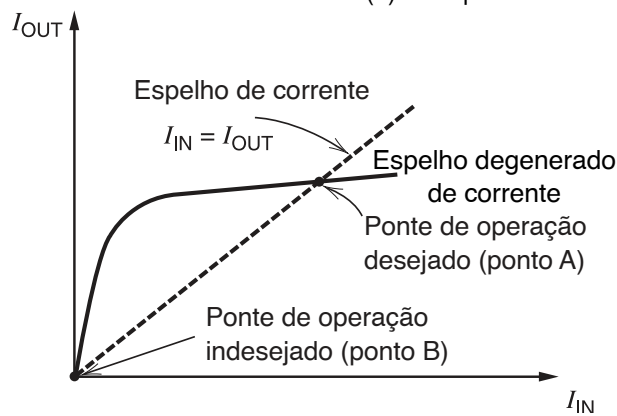
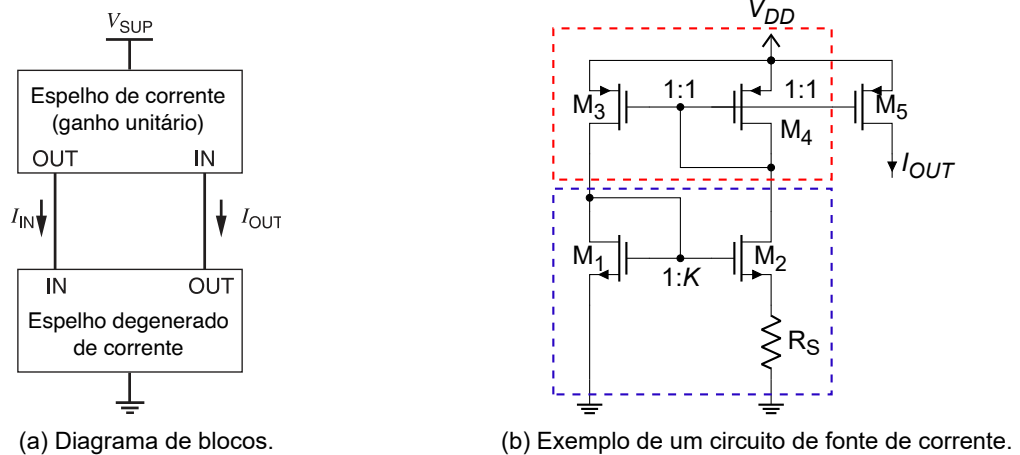
## 1.1 REVISÃO BIBLIOGRÁFICA

Quando o circuito de fonte de corrente opera a partir de uma corrente derivada de um resistor conectado a uma fonte de alimentação, a corrente obtida muda junto com a variação da tensão de alimentação. A sensibilidade da corrente às variações da tensão de alimentação pode ser reduzida através do uso de um circuito autopolarizado. O circuito autopolarizado é capaz de estabelecer todas as tensões/correntes de operação dos dispositivos a partir de uma única fonte de alimentação.

O conceito de autopolarização é ilustrado na forma de diagrama de blocos na Figura 2(a) [19]. Um exemplo de circuito de fonte de corrente autopolarizado é mostrado na Figura 2(b). O ponto de operação do circuito está na interseção da curva  $I(V)$  da fonte de corrente com a característica do espelho de corrente. No gráfico da Figura 2(c), duas interseções ou pontos de operação são mostrados. O ponto A é o ponto de operação desejado e o ponto B é um ponto de operação indesejado porque  $I_{OUT} = I_{IN} = 0$ . Para evitar que o circuito opere no ponto de corrente nula e acelerar a convergência para o ponto de operação desejado, circuitos de partida (*start-up*) são usualmente adicionados [1].



Figura 2 – O princípio da fonte de corrente autopolarizada.



Fonte: Adaptada de [19].

Em tecnologia CMOS há diferentes estratégias para a implementação do circuito de fonte de corrente. De acordo com [20] os circuitos podem ser classificados em cinco categorias, que são:

- do tipo  $\Delta V_{BE}$ ;
- baseados no multiplicador de beta;
- baseados em polarização inteligente;
- baseados em divisão;
- baseados em calibração.

O primeiro tipo de circuito de referência de corrente utiliza dois transistores bipolares de junção com áreas de emissor diferentes. A Figura 3(a) mostra um exemplo desse tipo [21]. Uma vez que a área do emissor de  $B_2$  é  $N$  vezes maior do que a de  $B_1$ , os valores de  $V_{BE1}$  e  $V_{BE2}$  são calculados como  $\phi_t \ln(I_{E1}/I_S)$  e  $\phi_t \ln(I_{E2}/NI_S)$ , respectivamente, quando as correntes de base de  $B_1$  e  $B_2$  são desprezadas. Se não houver descasamento entre  $M_1$  e  $M_2$ ;  $I_{E1} = I_{E2} = I$  graças ao espelho de corrente. Consequen-

temente,  $I$  pode ser expressa como

$$I = \frac{\Delta V_{BE}}{R_1} = \frac{\phi_t}{R_1} \ln(N) \quad (1)$$

As referências de corrente do tipo  $\Delta V_{BE}$  não são a melhor opção para gerar uma corrente menor que  $1 \mu\text{A}$ , pois é necessário um valor de resistência muito grande, ocupando uma área de silício considerável.

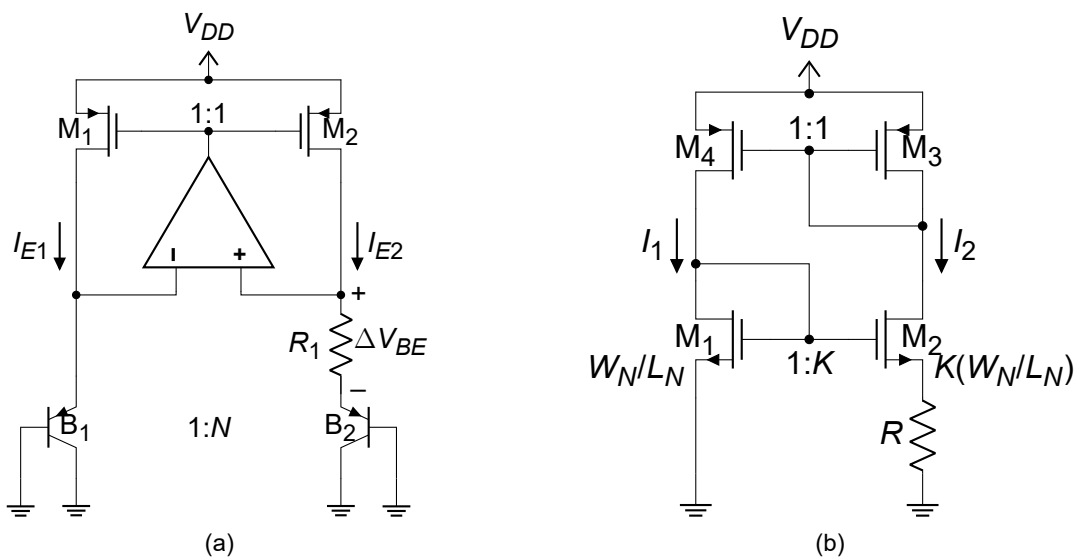
O segundo tipo de circuito de referência de corrente utiliza um multiplicador de beta (parâmetro de transcondutância) como mostra a Figura 3(b) [19]. Depois que o circuito da Figura 3(b) é ligado,  $I_1$  e  $I_2$  aumentam e convergem para um ponto operacional onde  $I_1$  é igual a  $I_2$ . Para  $K > 1$  a diferença  $V_{GS1} - V_{GS2} > 0$  é aplicada ao resistor  $R$ . No ponto de operação, ignorando a modulação do comprimento do canal e o efeito do corpo de cada MOSFET (*Metal-Oxide-Semiconductor Field-Effect Transistor*) e assumindo que  $M_1$  e  $M_2$  estão na região de saturação,  $I_1$  e  $I_2$  são calculados como

$$I = I_1 = I_2 = \frac{2}{\mu_n C'_{ox} n (W_N/L_N)} \frac{1}{R^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (2)$$

onde  $\mu_n$  é a mobilidade dos elétrons,  $C'_{ox}$  é a capacitância do óxido por unidade de área e  $n$  é o fator de inclinação (rampa).

Os autores em [22–32] substituem  $R$  por um MOSFET operando na região triodo.

Figura 3 – Exemplos de circuitos de fonte de corrente do tipo (a)  $\Delta V_{BE}$  e (b) baseado no multiplicador de beta.



Fonte: Elaborada pelo autor.

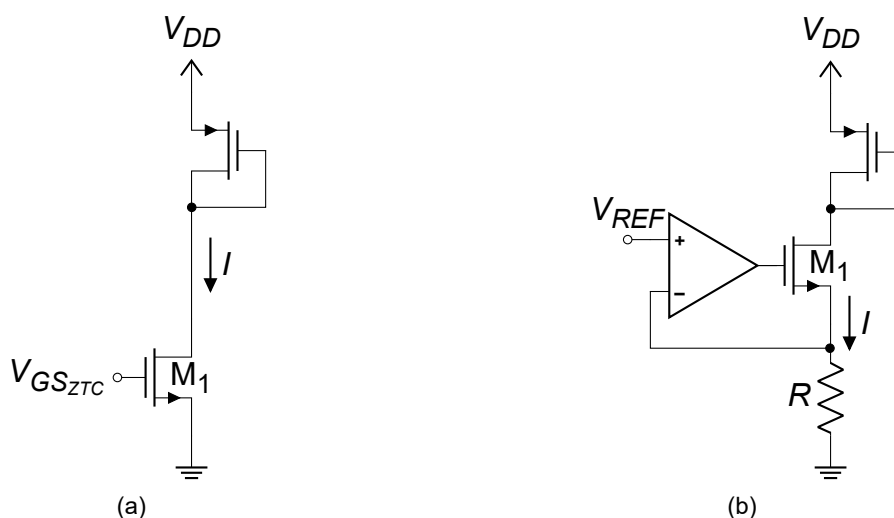
Como mostra a Figura 4(a), o terceiro tipo de circuito de referência de corrente produz uma tensão de polarização de *gate* para um MOSFET fonte comum que mi-

minimiza a variação da corrente de dreno com a temperatura [33]. Quando  $M_1$  na Figura 4(a) está na região de saturação, o coeficiente de temperatura  $I_{TC}$  pode ser expresso como  $\mu_{TC} - (2V_{TH}/(V_{GS} - V_{TH}))V_{TH,TC}$ , onde  $V_{GS}$  é a tensão entre os terminais de *gate* e fonte de  $M_1$ ,  $V_{TH}$  é a tensão de limiar do transistor,  $\mu_{TC}$  é o coeficiente de temperatura de mobilidade e  $V_{TH,TC}$  é o coeficiente de temperatura de  $V_{TH}$ . Para conseguir um valor de  $I_{TC}$  igual a 0,  $V_{GS}$  deve ser  $(2V_{TH,TC}/\mu_{TC} + 1)V_{TH}$ , que é chamada de tensão de polarização do coeficiente de temperatura nulo (*Zero Temperature Coefficient* - ZTC). Quando  $V_{TH}$  é dado como  $V_{TH0} - \gamma T$ , onde  $V_{TH0}$  é a tensão de limiar na temperatura zero e  $\gamma$  é uma constante positiva,  $V_{TH,TC} = -\gamma/V_{TH}$ . Uma vez que  $\mu_{TC} = -1.5/T$ , a tensão de polarização ZTC pode ser escrita como  $V_{TH0} + \gamma T/3$ , resultando em uma tensão PTAT.

Esse tipo de circuito apresenta dois problemas. Primeiro, se a tensão de polarização de *gate* não seguir a variação do processo de  $V_{TH0}$ ,  $I$  e  $I_{TC}$  podem apresentar desvios significativos de seus valores desejados. O segundo problema é que  $M_1$  na Figura 4(a) deve ter um comprimento de canal excessivamente longo para produzir uma corrente menor que 1 nA.

O quarto tipo de circuito de referência de corrente produz uma tensão PTAT (ou *Complementary to Absolute Temperature* - CTAT) que é transferida a um resistor PTAT (ou CTAT) ou um MOSFET que emula um resistor [5]. A Figura 4(b) mostra um exemplo desse tipo [34]. As tensões das duas entradas do amplificador operacional (Amp Op) na Figura 4(b) são aproximadamente iguais devido ao seu alto ganho de malha aberta, assim  $I = V_{REF}/R$ . Conseqüentemente, o coeficiente de temperatura da corrente  $I_{TC} = V_{REF,TC} - R_{TC}$ . Projetando  $V_{REF,TC}$  e  $R_{TC}$  o mais próximos possível o coeficiente de temperatura da corrente é minimizado.

Figura 4 – Exemplos de circuitos de fonte de corrente baseados (a) em polarização inteligente e (b) em divisão.



Fonte: Elaborada pelo autor.

Finalmente o quinto tipo de fonte de corrente é o que utiliza calibração. Em [35] é proposto um circuito de fonte de corrente que possui três modos de operação: modo de calibração, modo normal e modo de hibernação. No modo de calibração, o circuito calibra uma pequena e imprecisa corrente ( $I_{REF2}$ ) usando uma corrente maior e precisa ( $I_{REF1}$ ). Um conversor digital-analógico de corrente IDAC (*Current Digital-to-Analog Converter*) de ultra baixa potência gera  $I_{REF2}$ , enquanto uma referência de corrente de baixo coeficiente de temperatura e de alta potência fornece  $I_{REF1}$ .

A fonte de corrente baseada em calibração possui dois problemas. Primeiro, ela ocupa uma grande área devido à complexidade do circuito de calibração e ao IDAC de alta resolução necessário para um valor de  $I_{TC}$  baixo. Em segundo lugar, a corrente gerada pelo IDAC é vulnerável à variação de temperatura.

## 1.2 OBJETIVOS

Nesta tese estudamos várias topologias de fontes de corrente autopolarizadas com a estrutura de multiplicador de beta, já que são as mais apropriadas para funcionar com muito baixos níveis de corrente e ainda como podem ser implementadas utilizando unicamente transistores MOS (*Metal-Oxide-Semiconductor*), são adequadas para qualquer tecnologia CMOS. Apresentamos a análise do circuito utilizando os níveis de inversão como variáveis chaves. Exploramos o espaço de projeto do circuito da fonte de corrente com o objetivo de encontrar para um dado valor e dispersão da corrente, qual o melhor compromisso entre os parâmetros do circuito, tais como: tensão de alimentação, consumo de potência, área ocupada na pastilha de silício e o impacto da variabilidade (descasamento) no desempenho do circuito. Assim, a ideia é propor uma metodologia de projeto que auxilie no projeto do circuito a fim de minimizar o erro sistemático da referência de corrente e manter o erro aleatório de acordo com as especificações do projeto.

## 1.3 MATERIAIS E MÉTODOS

Para a modelagem e a análise das equações de projeto do circuito da fonte de corrente foi utilizado o software MATLAB<sup>®</sup> versão 9.4 (R2018a) e *Optimization Toolbox* versão 8.1. Os projetos, simulações e os leiautes dos circuitos integrados foram realizados nas ferramentas da Cadence<sup>®</sup>, *DESIGN FRAMEWORK II* (DFII) versão IC6.1.7-64b.500.14 e *Spectre*<sup>®</sup> versão 15.1.0.803.isr18, que integra uma variedade de ferramentas de desenvolvimento de CIs. As medições elétricas dos protótipos foram realizadas com o analisador de parâmetros Agilent<sup>®</sup> 4156C do Laboratório de Circuitos Integrados (LCI-UFSC).

## 1.4 ORGANIZAÇÃO DA TESE

Esta tese foi dividida em cinco capítulos. O Capítulo 2 apresenta um modelo preciso para o transistor MOS, que é baseado no conceito de nível de inversão e essencial para a análise e projeto de circuitos integrados. As expressões da corrente e das tensões dos terminais do transistor em termos dos níveis de inversão são fornecidas. Este capítulo também descreve alguns procedimentos utilizados para extrair os parâmetros fundamentais de projeto associados ao modelo MOSFET usado nesta tese. As características tensão-corrente  $V-I$  do MOSFET auto cascodado (*Self-Cascode* MOSFET - SCM) são apresentadas. Esta estrutura é utilizada na maioria das topologias de circuito de fonte de corrente analisadas nesta tese.

A operação, análise, a metodologia e a exploração do espaço de projeto normalizado de uma topologia de fonte de corrente idealizada são apresentadas no Capítulo 3. Os resultados teóricos, de simulações e os erros sistemáticos e aleatórios dos projetos de duas diferentes topologias de circuitos de fonte de corrente são apresentados nos Capítulos 3 e 4.

Finalmente, no Capítulo 5, as conclusões e sugestões para trabalhos futuros serão apresentadas.

## 2 O MODELO ACM E AS CARACTERÍSTICAS TENSÃO-CORRENTE DO MOSFET AUTO CASCODADO

Nas próximas seções o modelo ACM (*Advanced Compact MOSFET*) será brevemente descrito. Em seguida serão apresentadas as características tensão-corrente do MOSFET auto cascodado (SCM).

### 2.1 O MODELO ACM

Um modelo que descreve corretamente o comportamento elétrico do transistor MOS, que relacione suas propriedades físicas e elétricas com expressões únicas, simples, contínuas e válidas em todas as regiões de operação é essencial para a análise e projeto de circuitos integrados. Um modelo que possui estas características e que preserva as propriedades fundamentais, tais como simetria entre dreno e fonte e a conservação da carga é o modelo ACM. Neste modelo, a corrente de dreno  $I_D$  é expressa em termos das componentes direta  $I_F$  e reversa  $I_R$

$$I_D = I_F - I_R = I_S(i_f - i_r) \quad (3)$$

$$i_{f(r)} = \frac{I_{F(R)}}{I_S} = \frac{I(V_G, V_{S(D)})}{I_S} \quad (4)$$

onde  $I_S = S I_{SH}$  é a corrente específica,  $S = W/L$  é a razão de aspecto do transistor,  $W$  é a largura do canal,  $L$  é comprimento do canal,  $i_f$  e  $i_r$  são os níveis de inversão direto e reverso, respectivamente [36, 37]. O fator  $I_{SH}$  é denominado corrente específica de folha e contém a informação de alguns parâmetros da tecnologia e é dado por

$$I_{SH} = \frac{1}{2} \mu C'_{ox} n \phi_t^2 \quad (5)$$

onde  $\mu$  é a mobilidade dos portadores,  $C'_{ox}$  é a capacitância do óxido por unidade de área,  $n$  é o fator de inclinação (rampa) e  $\phi_t$  a tensão térmica, que é aproximadamente 25,9 mV @  $T=300$  K. Como regra geral, a região de operação do transistor é definida de acordo com os seguintes valores de  $i_f$ :  $i_f > 100$  caracteriza inversão forte (*Strong Inversion - SI*),  $1 \leq i_f \leq 100$  caracteriza inversão moderada (*Moderate Inversion - MI*) e  $i_f < 1$  caracteriza inversão fraca (*Weak Inversion - WI*).

Para preservar a simetria do dispositivo, as tensões dos terminais do transistor são referidas ao substrato (corpo), conforme ilustrado na Figura 5. Os potenciais dos terminais do transistor e os níveis de inversão estão relacionados de acordo com a expressão dada por

$$\pm \frac{V_P - V_{S(D)}}{\phi_t} = F(i_{f(r)}) = \sqrt{1 + i_{f(r)}} - 2 + \ln \left( \sqrt{1 + i_{f(r)}} - 1 \right) \quad (6)$$

onde  $V_S$ ,  $V_D$  são respectivamente a tensão na fonte (*source*) e dreno (*drain*) em relação a tensão no corpo (*bulk*)  $V_B$ . Os sinais + e - em (6) aplicam-se aos transistores NMOS

(N-channel MOSFET) e PMOS (P-channel MOSFET), respectivamente. A tensão de pinch-off  $V_P$  é determinada aproximadamente por

$$V_P \cong \frac{V_G - V_{T0}}{n} \quad (7)$$

$V_G$  é a tensão entre porta (*gate*) e corpo,  $V_{T0}$  é a tensão de limiar para  $V_{SB}=0$ .

Figura 5 – Símbolos de quatro terminais dos dispositivos (a) NMOS e (b) PMOS e as definições das tensões.



Fonte: Elaborada pelo autor.

A Figura 6 mostra os símbolos simplificados dos transistores frequentemente usados em esquemáticos de circuitos. O terminal de corpo não mostrado é conectado ao menor potencial (geralmente o terra do circuito) no caso do transistor NMOS e ao maior potencial (geralmente a tensão de alimentação  $V_{DD}$ ) no caso do transistor PMOS.

Figura 6 – Símbolos simplificados de três terminais dos transistores (a) NMOS e (b) PMOS quando o terminal de corpo é conectado à tensão apropriada.



Fonte: Elaborada pelo autor.

O modelo assintótico de WI, para  $i_f \ll 1$  obtém-se simplificando (6)

$$\pm \frac{V_P - V_{S(D)}}{\phi_t} \approx -1 + \ln \left( \frac{i_f(r)}{2} \right) \quad (8)$$

Combinando (3) e (8) a expressão da corrente de dreno  $I_D$  em WI e triodo é dada por

$$I_D = I_0 e^{\pm(V_P - V_S)/\phi_t} \left( 1 - e^{\mp V_{DS}/\phi_t} \right) \quad (9)$$

onde

$$I_0 = \mu_n \frac{W}{L} n C_{ox} \phi_t^2 e^1 = 2 I_S e^1 \quad (10)$$

Em WI, a corrente de dreno satura para  $V_{DS} > 4\phi_t$  em um valor igual a

$$I_D = I_0 e^{\pm(V_P - V_S)/\phi_t} \cong I_0 e^{\pm(V_G - V_T)/\phi_t} e^{\mp V_S/\phi_t} \quad (11)$$

O modelo assintótico de SI, para  $i_f \gg 1$  obtém-se desprezando o termo logarítmico em (6)

$$\pm \frac{V_P - V_{S(D)}}{\phi_t} \approx \sqrt{i_{f(r)}} \quad (12)$$

Combinando (3) e (12) a expressão da corrente de dreno  $I_D$  em SI e triodo é dada por

$$I_D = \mu_n C'_{ox} n \frac{W}{2L} \left[ (V_P - V_S)^2 - (V_P - V_D)^2 \right] \quad (13)$$

Em SI, o valor da corrente de dreno satura quando  $V_D = V_P$ . Neste caso, a corrente de dreno torna-se

$$I_D \cong \mu_n C'_{ox} n \frac{W}{2L} (V_P - V_S)^2 \cong \mu_n C'_{ox} \frac{W}{2nL} (V_G - V_{T0} - nV_S)^2 \quad (14)$$

A característica de saída do MOSFET é dada pela relação universal

$$\pm \frac{V_{DS}}{\phi_t} = \sqrt{1 + i_f} - \sqrt{1 + i_r} + \ln \left( \frac{\sqrt{1 + i_f} - 1}{\sqrt{1 + i_r} - 1} \right) = F(i_f) - F(i_r) \quad (15)$$

$$F(i) = \sqrt{1 + i} - 2 + \ln(\sqrt{1 + i} - 1)$$

O limite entre as regiões triodo e saturação em termos do nível de inversão é definida pelas aproximações

$$\pm V_{DS_{sat}} \cong \phi_t (3 + \sqrt{1 + i_f}) \quad (16)$$

$$\pm V_{DS_{sat}} \cong 4\phi_t \quad @ \text{ WI} \quad (17)$$

$$\pm V_{DS_{sat}} \cong \phi_t \sqrt{i_f} \quad @ \text{ SI} \quad (18)$$

O MOSFET na região triodo/linear/ôhmica atua como um resistor controlado por tensão, ou seja, a resistência (não linear) entre a fonte e o dreno é controlada pela tensão de *gate*. Em uma aproximação de primeira ordem, assume-se que o transistor saturado opera como uma fonte de corrente ideal.

## 2.2 EXTRAÇÃO DE PARÂMETROS DO TRANSISTOR

O processo de determinação dos valores dos parâmetros de um modelo é denominado extração de parâmetros ou caracterização. A determinação correta dos parâmetros do MOSFET é fundamental para o cálculo inicial do projeto de circuitos MOS.

Esta seção descreve brevemente alguns procedimentos baseados no modelo ACM que podem ser usados para extrair os principais parâmetros DC dos MOSFETs. O transistor  $M_1$  caracterizado é o 1,8V NMOS médio  $V_T$  da tecnologia CMOS 180 nm com as dimensões  $W=L=1 \mu\text{m}$ . As configurações para a extração automatizada dos parâmetros do transistor nas ferramentas da *Cadence* são detalhadas no Apêndice C.

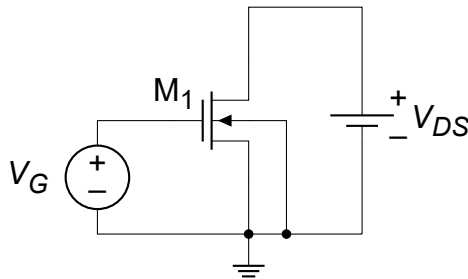


### 2.2.1 Método $g_m/I_D$

Neste método a extração dos parâmetros é realizada com o transistor polarizado na região linear ( $V_{DS} = \phi_t/2 = 13 \text{ mV}$ ) e inversão moderada ( $i_f = 3$  e  $i_r = 2,12$ ) [38, 39]. Nesta região de operação os possíveis efeitos de canal curto são evitados. A Figura 7 mostra a configuração fonte comum para medir a corrente de dreno em função da tensão de *gate* e a característica  $g_m/I_D$  dada por

$$\frac{g_m}{I_D} = \frac{\partial \ln I_D}{\partial V_G} = \frac{2}{n\phi_t(\sqrt{1+i_f} + \sqrt{1+i_r})} \quad (19)$$

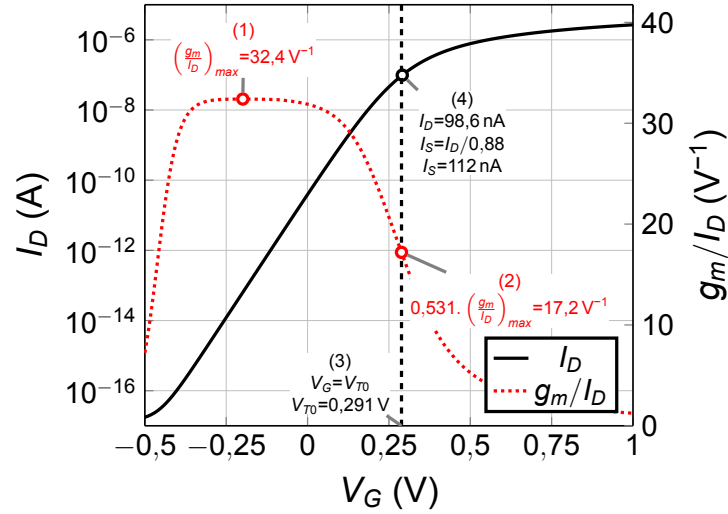
Figura 7 – Configuração fonte comum para extração dos parâmetros pelo método  $g_m/I_D$ .



Fonte: Elaborada pelo autor.

A Figura 8 mostra as curvas da corrente de dreno e da sua derivada logarítmica em relação a tensão de *gate* ( $g_m/I_D = \partial \ln I_D / \partial V_G$ ) do transistor M<sub>1</sub>. Os pontos numerados da Figura 8 mostram a sequência para extração dos parâmetros seguindo os procedimentos e definições do método. Assim, temos que:

1. Ponto correspondente ao valor máximo de  $g_m/I_D$ . De acordo com a expressão (19) em inversão fraca profunda ( $i_{f(r)} \rightarrow 0$ ) temos que  $(g_m/I_D)_{max} = 1/n\phi_t$ ;
2. Ponto correspondente a  $g_m/I_D(i_f=3; i_r=2,12) = 0,531 (g_m/I_D)_{max}$ . É a partir deste ponto que são determinados os valores de  $V_{T0}$  e  $I_S$ ;
3. Ponto em que  $V_G = V_{T0}$ . Essa condição de igualdade pode ser verificada através das expressões (6) e (7) @  $i_f=3$  e  $V_S=0$ , que resulta em  $V_P = V_S = 0$  e conseqüentemente  $V_G = V_{T0}$ .
4. Ponto em que  $I_S = I_D/0,88$ ; conforme expressão (3) @  $i_f=3, i_r=2,12$ .

Figura 8 – Curvas da corrente de dreno e da transcondutância de *gate* por corrente de dreno em função da tensão de *gate* @  $V_{DS} = \phi_t/2 = 13$  mV.


Fonte: Elaborada pelo autor.

### 2.2.2 Método $g_{ms}/I_D$

O procedimento de extração dos parâmetros pelo método  $g_{ms}/I_D$  é realizado com o transistor polarizado na região de saturação ( $V_D = V_G$ ) e inversão moderada ( $i_f = 3$  e  $i_r = 0$ ) [40]. A Figura 9 mostra a configuração *gate* comum para medir a corrente de dreno em função da tensão de fonte e a característica  $g_{ms}/I_D$  na região de saturação ( $I_D \approx I_F$ ) dada por

$$\frac{g_{ms}}{I_D} = -\frac{\partial \ln I_F}{\partial V_S} = \frac{2}{\phi_t(1 + \sqrt{1 + i_f})} \quad (20)$$

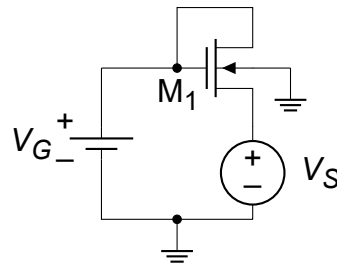
A Figura 10 mostra as curvas da corrente de dreno e da sua derivada logarítmica em relação a tensão de fonte ( $g_{ms}/I_D = -\partial \ln I_F / \partial V_S$ ) do transistor  $M_1$ . Os parâmetros são extraídos conforme a sequência da numeração dos pontos da Figura 10, seguindo os procedimentos e definições do método. Assim, temos que:

1. Ponto correspondente a  $g_{ms}/I_D(i_f = 3) = 2/3\phi_t = 25,6$   $V^{-1}$ . É a partir deste ponto que são determinados os valores de  $I_S$  e  $V_P$ ;
2. Ponto em que  $I_S = I_D/3$ ; conforme expressão (3) @  $i_f = 3$ ,  $i_r = 0$ .
3. Ponto em que  $V_S = V_P$ . Essa condição de igualdade pode ser verificada através da expressão (6) @  $i_f = 3$ , que resulta em  $V_S = V_P$ .

A Figura 11(a) mostra as curvas características da configuração *gate* comum (Figura 9) para diferentes valores da tensão de *gate*. Através dos pontos das curvas (marcados com círculos, @  $i_f = 3$ ,  $i_r = 0$ ) obtêm-se os valores da corrente específica e da tensão de *pinch-off* em função da tensão de *gate*.

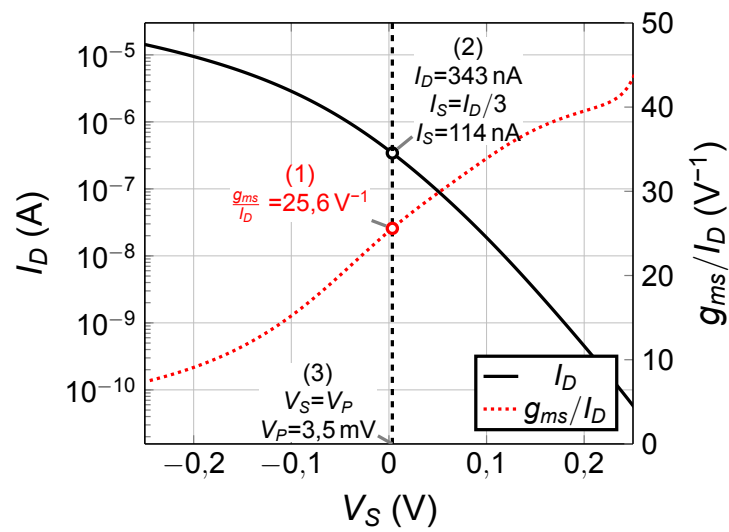
A dependência da corrente específica de folha ( $I_{SH} = I_S/S$ ) com a tensão de *gate* é mostrada na Figura 11(b). A Figura 12 mostra a dependência da tensão de *pinch-off*

Figura 9 – Configuração *gate* comum para extração dos parâmetros pelo método  $g_{ms}/I_D$ .



Fonte: Elaborada pelo autor.

Figura 10 – Curvas da corrente de dreno e da transcondutância de fonte por corrente de dreno em função da tensão de fonte @  $V_D = V_G = 0,3 \text{ V}$ .

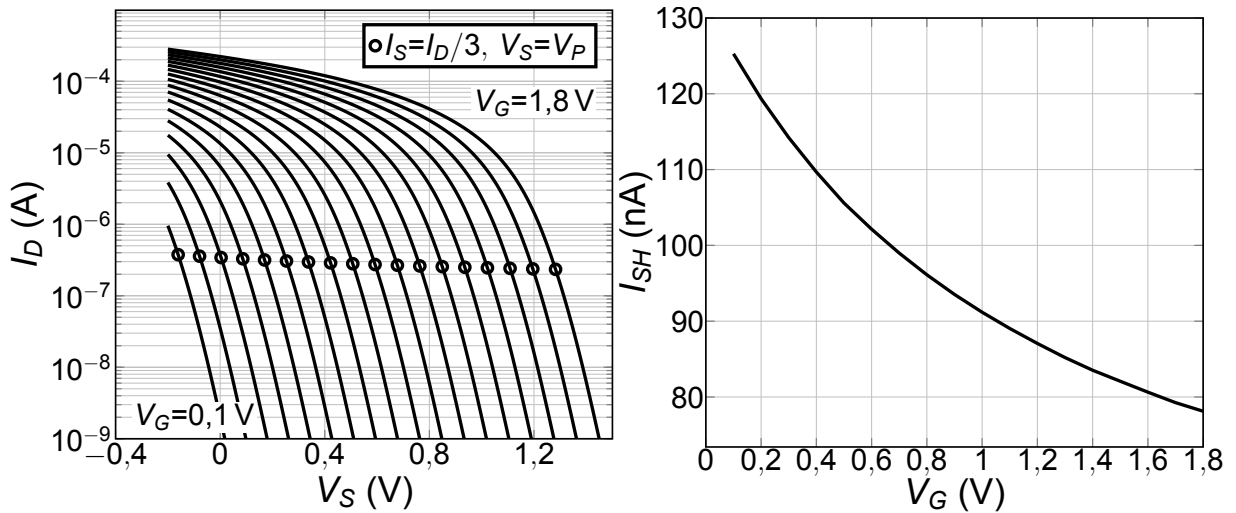


Fonte: Elaborada pelo autor.

com a tensão de *gate*, obtido através dos pontos das curvas da Figura 11(a), onde  $V_S = V_P$ . A tensão de limiar é extraída em  $V_P = 0$  ( $V_G = V_{T0}$ ). O fator de inclinação, da Figura 12, é obtido através de

$$n = \left[ \frac{\partial V_P}{\partial V_G} \right]^{-1} \quad (21)$$

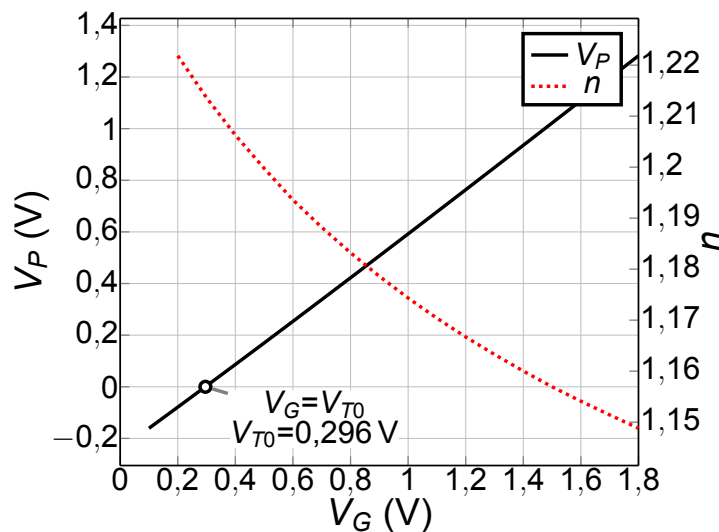
Figura 11 – Extração da corrente específica de folha de  $M_1$ .



(a) Curvas características da configuração *gate* comum @  $V_D = V_G$ . (b) Corrente específica de folha em função da tensão de *gate* @  $S=1, i_f=3$ .

Fonte: Elaborada pelo autor.

Figura 12 – Tensão de *pinch-off* e fator de inclinação de  $M_1$  em função da tensão de *gate*, extraídos pelo método  $g_{ms}/I_D$ .



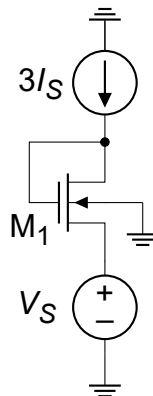
Fonte: Elaborada pelo autor.

### 2.2.3 Método $3I_S$

No método  $3I_S$  o transistor é conectado como diodo ( $V_D = V_G$ ) e polarizado com uma corrente constante igual a  $3I_S$  [38], conforme mostra a Figura 13. Assim, o transistor é polarizado na região de saturação e inversão moderada ( $i_f=3$  e  $i_r=0$ ).

Para a realização da extração dos parâmetros é necessário primeiramente estimar o valor de  $I_S$  a partir de (5) e da geometria do transistor ou extraí-lo através dos métodos  $g_m/I_D$  ou  $g_{ms}/I_D$ .

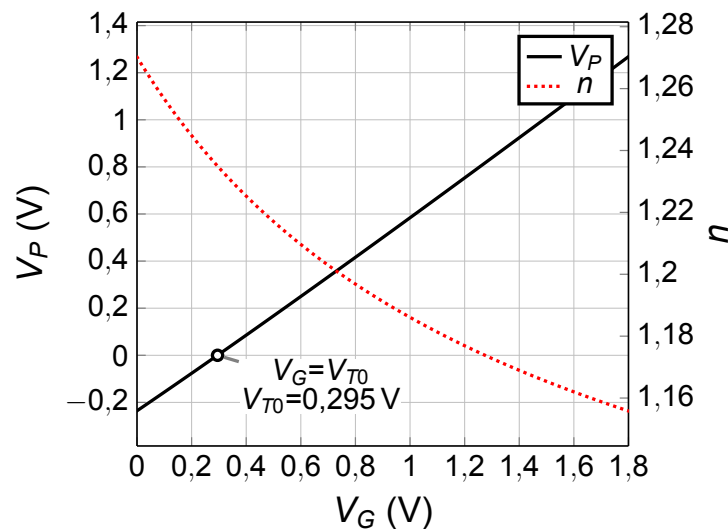
Figura 13 – Polarização do transistor com corrente constante para extração dos parâmetros pelo método  $3I_S$ .



Fonte: Elaborada pelo autor.

A polarização do transistor da Figura 13 em um nível de inversão  $i_f = I_D/I_S = 3$  estabelece que  $V_S = V_P$ . Assim, a dependência da tensão de *pinch-off* com a tensão de *gate* é obtida variando a tensão de fonte e medindo a tensão de *gate*, conforme mostra a Figura 14. A tensão de limiar é extraída em  $V_P = 0$  ( $V_G = V_{T0}$ ). O fator de inclinação também é apresentado na Figura 14.

Figura 14 – Tensão de *pinch-off* e fator de inclinação de  $M_1$  em função da tensão de *gate*, extraídos pelo método  $3I_S$  @  $I_S = 112$  nA (extraído pelo método  $g_m/I_D$ ).



Fonte: Elaborada pelo autor.

### 2.2.4 Comparação das características $I_D \times V_G$ e $I_D \times V_S$ dos modelos ACM e BSIM

Após a extração dos parâmetros do transistor, uma outra etapa importante foi a investigação do efeito dos diferentes valores dos parâmetros na corrente de dreno

do modelo teórico (ACM) e a comparação com o modelo de simulação (neste caso o BSIM4.5 - *Berkeley Short-channel IGFET Model*).

A Tabela 1 resume os valores dos parâmetros de  $M_1$  extraídos na região linear ( $g_m/I_D$ ) e de saturação ( $g_{ms}/I_D$ ). Com o uso das equações (6) e (3), respectivamente, e os valores constantes e variáveis dos parâmetros extraídos na região de saturação, foi realizado a comparação das características  $I_D \times V_G @ V_D = V_G$  (região de saturação) dos modelos ACM e BSIM; os resultados são apresentados na Figura 15. Os parâmetros em função da tensão de *gate*  $I_{SH}(V_G)$  e  $V_P(V_G)$  são mostrados nas Figuras 11(b) e 12, respectivamente.

Tabela 1 – Resumo dos valores dos parâmetros de  $M_1$  extraídos na região linear ( $g_m/I_D$ ) e de saturação ( $g_{ms}/I_D$ ).

$n @ V_G = V_{T0}$		$V_{T0}$ (mV)		$I_{SH}$ (nA) @ $V_G = V_{T0}$	
@ lin.	@ sat.	@ lin.	@ sat.	@ lin.	@ sat.
1,23	1,21	291	296	112	114

Fonte: Elaborada pelo autor.

A diferença entre as curvas de  $I_D \times V_G$  da Figura 15 dos modelos ACM e BSIM é quantificada através do cálculo do erro RMS (*Root Mean Square*) dado por (22) e apresentado na Tabela 2.

$$\text{Erro RMS} = \sqrt{\frac{1}{n} \sum_{i=1}^n \left( \frac{I_{D_{ACM}} - I_{D_{BSIM}}}{I_{D_{BSIM}}} \times 100\% \right)^2} \quad (22)$$

Tabela 2 – Erro RMS das curvas  $I_D \times V_G @ V_D = V_G$  do modelo ACM com os valores constantes e variáveis dos parâmetros extraídos na região de saturação.

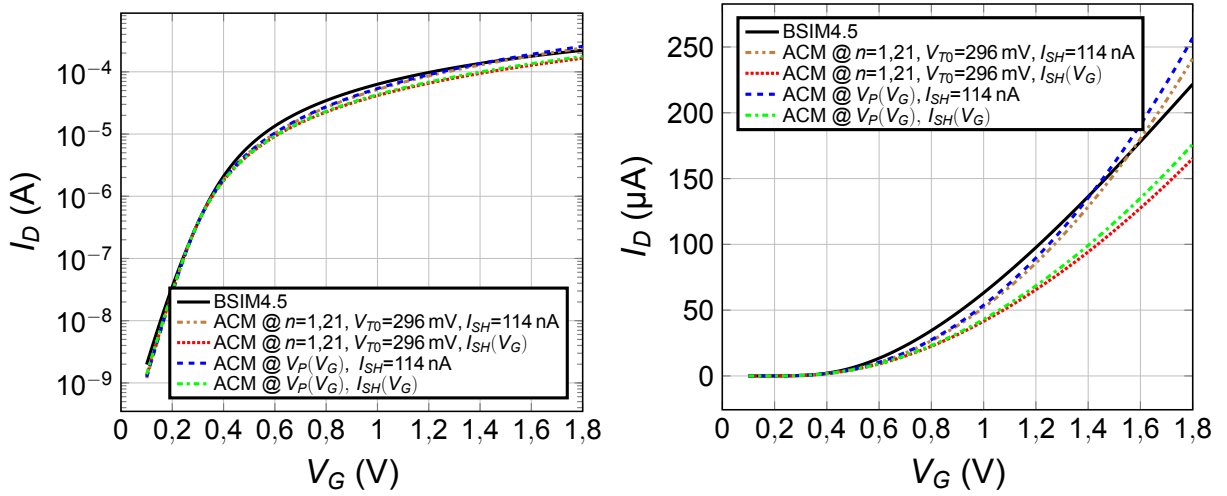
Erro RMS (%)			
ACM @ $V_{T0} = 296$ mV $n = 1,21, I_{SH} = 114$ nA 16,7	ACM @ $V_{T0} = 296$ mV $n = 1,21, I_{SH}(V_G)$ 29,2	ACM @ $V_P(V_G)$ $I_{SH} = 114$ nA 15,5	ACM @ $V_P(V_G)$ $I_{SH}(V_G)$ 26,7

Fonte: Elaborada pelo autor.

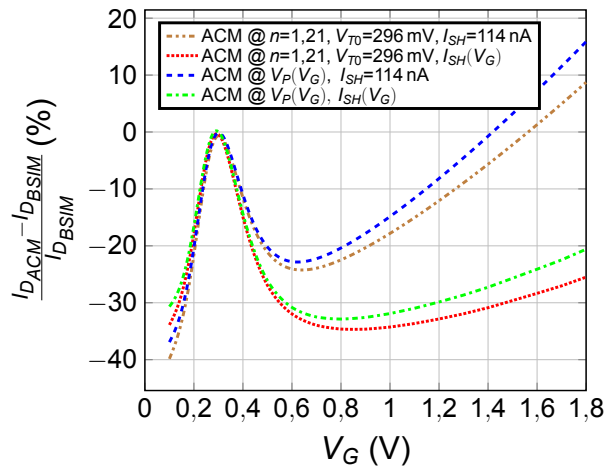
Para minimizar o erro da corrente de dreno entre os modelos ACM e BSIM, os valores dos parâmetros de  $M_1$  foram otimizados através do uso do algoritmo genético (disponível no Apêndice C.6) implementado no MATLAB (*Optimization Toolbox*), para os seguintes intervalos dos parâmetros:  $1,20 \leq n \leq 1,25$ ;  $290 \text{ mV} \leq V_{T0} \leq 300 \text{ mV}$  e  $110 \text{ nA} \leq I_{SH} \leq 120 \text{ nA}$ . Os valores otimizados obtidos foram:  $n = 1,23$ ,  $V_{T0} = 290 \text{ mV}$  e  $I_{SH} = 120 \text{ nA}$ .

A comparação das curvas  $I_D \times V_G$  dos modelos BSIM e ACM com os parâmetros constantes e extraídos na região linear, de saturação e otimizados são apresentados na Figura 16. A Tabela 3 resume o erro RMS de cada curva.

Figura 15 – Resultados dos modelos ACM ( $n, I_{SH}$  @  $V_G = V_{T0} = 296$  mV) e BSIM4.5 de  $M_1$  @  $V_D = V_G$ ,  $V_S = V_B = 0$ .



(a) Curvas da corrente de dreno em função da tensão de gate em escala logarítmica. (b) Curvas da corrente de dreno em função da tensão de gate.



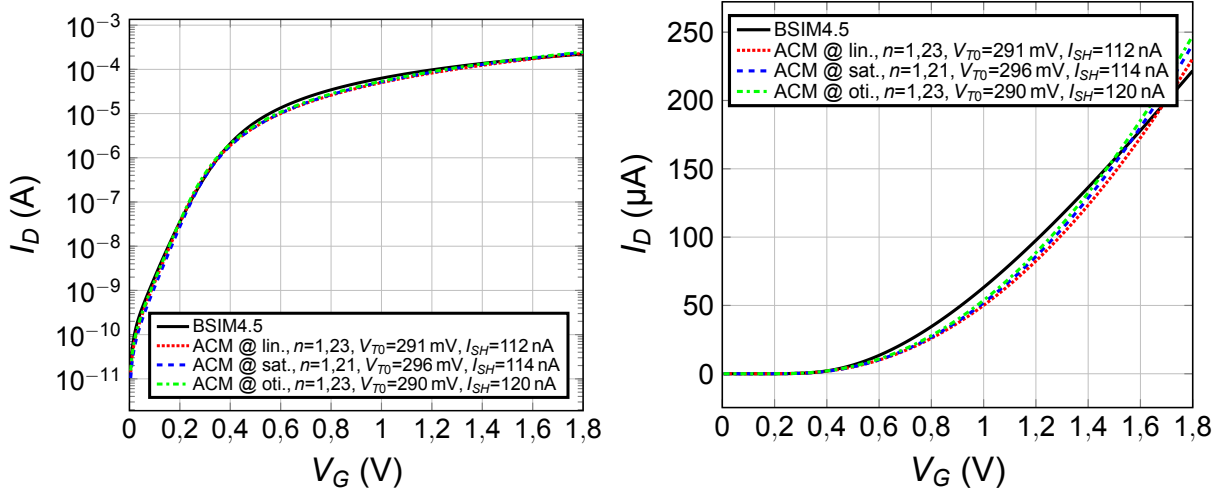
(c) Erro relativo da corrente de dreno em função da tensão de gate. Fonte: Elaborada pelo autor.

Tabela 3 – Erro RMS das curvas  $I_D \times V_G$  @  $V_D = V_G$  do modelo ACM com os parâmetros extraídos na região linear, de saturação e otimizados.

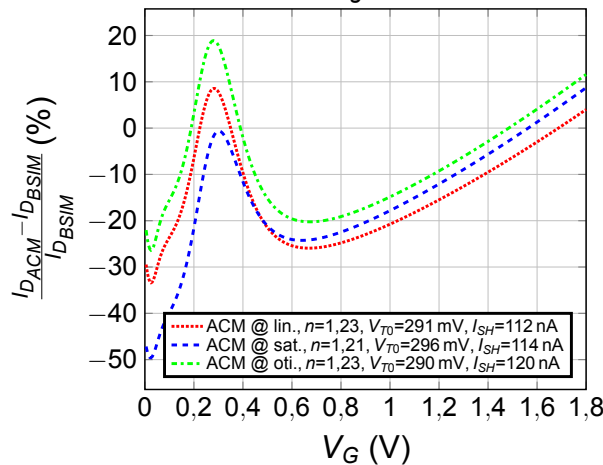
Erro RMS (%)		
ACM @ lin.	ACM @ sat.	ACM @ oti.
17,5	19,4	13,4

Fonte: Elaborada pelo autor.

Figura 16 – Resultados dos modelos ACM e BSIM4.5 de  $M_1$  @  $V_D = V_G$ ,  $V_S = V_B = 0$ .



(a) Curvas da corrente de dreno em função da tensão de *gate* em escala logarítmica. (b) Curvas da corrente de dreno em função da tensão de *gate*.



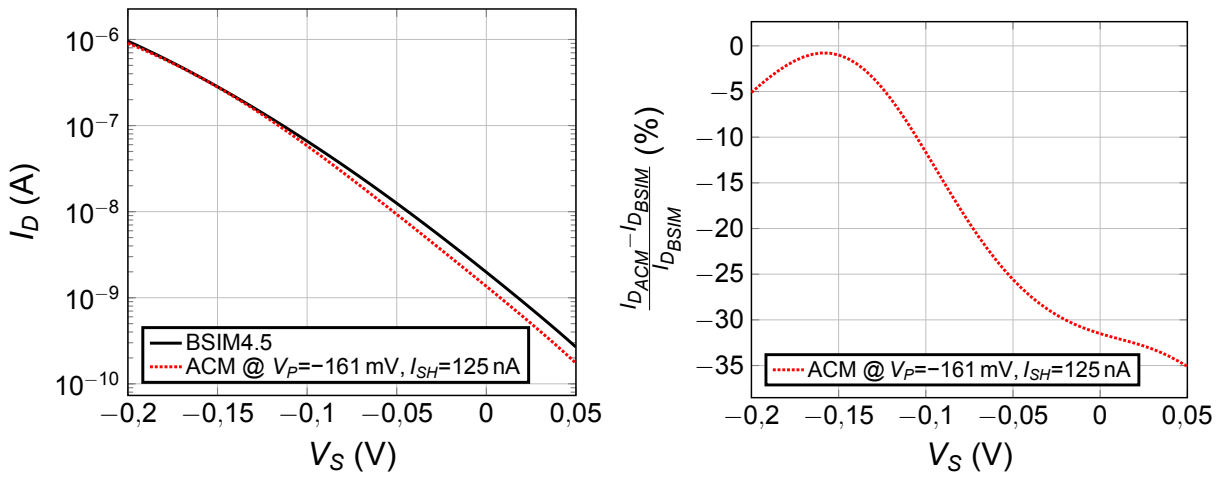
(c) Erro relativo da corrente de dreno em função da tensão de *gate*.  
Fonte: Elaborada pelo autor.

As Figuras 17, 18 e 19 mostram a comparação das características  $I_D \times V_S$  @  $V_D = V_G$  (região de saturação) dos modelos ACM e BSIM. Os valores dos parâmetros  $I_{SH}$  e  $V_P$  @  $V_G$  foram obtidos através das curvas das Figuras 11(b) e 12, respectivamente.

Através das comparações das características  $I_D \times V_G$  e  $I_D \times V_S$  dos modelos ACM e BSIM é possível obter os valores dos parâmetros do transistor que minimizam o erro relativo na região de operação de interesse do transistor, garantindo assim que os resultados obtidos em ambos os modelos sejam próximos.



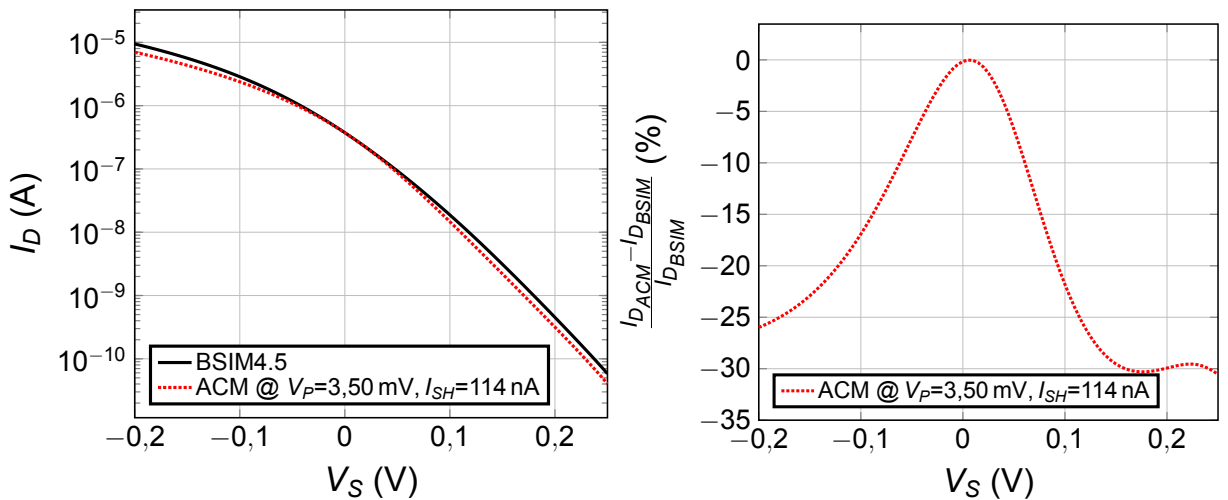
Figura 17 – Resultados dos modelos ACM ( $V_P, I_{SH}$  @  $V_G=0,1\text{V}$ ) e BSIM4.5 de  $M_1$  @  $V_D = V_G=0,1\text{V}$ ,  $V_B=0$ .



(a) Curvas da corrente de dreno em função da tensão de fonte. (b) Erro relativo da corrente de dreno em função da tensão de fonte.

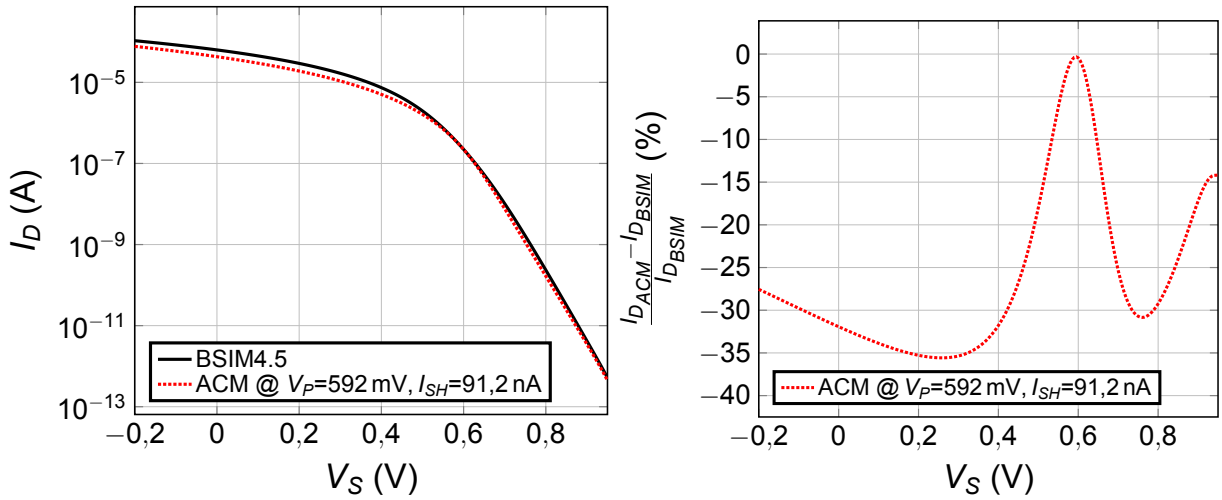
Fonte: Elaborada pelo autor.

Figura 18 – Resultados dos modelos ACM ( $V_P, I_{SH}$  @  $V_G=0,3\text{V}$ ) e BSIM4.5 de  $M_1$  @  $V_D = V_G=0,3\text{V}$ ,  $V_B=0$ .



(a) Curvas da corrente de dreno em função da tensão de fonte. (b) Erro relativo da corrente de dreno em função da tensão de fonte.

Fonte: Elaborada pelo autor.

Figura 19 – Resultados dos modelos ACM ( $V_P, I_{SH}$  @  $V_G = 1,0V$ ) e BSIM4.5 de  $M_1$  @  $V_D = V_G = 1,0V$ ,  $V_B = 0$ .


(a) Curvas da corrente de dreno em função da tensão de fonte. (b) Erro relativo da corrente de dreno em função da tensão de fonte.

Fonte: Elaborada pelo autor.

### 2.3 MOSFET AUTO CASCODADO

O MOSFET auto cascodado utiliza dois transistores conectados em série com seus terminais de *gate* em curto-circuito e seus terminais de corpo aterrados, como mostrado na Figura 20(a). Esta associação de transistores pode ser analisada como um único transistor composto [41], com uma razão de aspecto equivalente  $S_e$  dada por

$$\frac{1}{S_e} = \frac{1}{S_1} + \frac{1}{S_2} \quad (23)$$

As equações de projeto (24)-(35) descrevem a característica tensão-corrente  $V$ - $I$  do SCM da Figura 20(a) [42]. As correntes de dreno de  $M_1$  e  $M_2$  podem ser expressas em função dos níveis de inversão direto e reverso. Assume-se que  $M_1$  e  $M_2$  estão operando na região de triodo e de saturação, respectivamente. Como  $M_2$  e o transistor composto estão em saturação ( $i_{r2} \gg i_{r2}$  e  $i_{f1} \gg i_{r2}$ ), temos que

$$I_{D2} \cong I_{F2} = S_2 I_{SH} i_{r2} = I_D \quad (24)$$

$$I_{De} \cong I_{Fe} = S_e I_{SH} i_{f1} = I_D \quad (25)$$

Para  $M_1$  temos que

$$I_{D1} = S_1 I_{SH} (i_{f1} - i_{r1}) = I_D \quad (26)$$

Como  $V_{P1} = V_{P2} = V_P$  e  $V_{D1} = V_{S2}$ , temos que  $i_{r1} = i_{r2}$ . Assim, a partir das expressões (24) e (26) encontra-se a relação entre  $i_{f1}$  e  $i_{r2}$  dada por

$$i_{f1} = \left(1 + \frac{S_2}{S_1}\right) i_{r2} = \alpha i_{r2} \quad (27)$$

onde  $\alpha = 1 + S_2/S_1$ .

As relações entre  $S_1$ ,  $S_2$  e  $S_e$  são dadas por

$$S_1 = \frac{\alpha}{\alpha - 1} S_e = \frac{\alpha}{\alpha - 1} \frac{I_D}{I_{SH} i_{f1}} \quad (28)$$

$$S_2 = (\alpha - 1) S_1 = \alpha S_e = \frac{I_D}{I_{SH} i_{f2}} \quad (29)$$

Aplicando (6) em  $M_1$  e  $M_2$ , resulta nas seguintes expressões

$$\frac{V_P}{\phi_t} = F(i_{f1}) = \sqrt{1 + i_{f1}} - 2 + \ln(\sqrt{1 + i_{f1}} - 1) \quad (30)$$

$$\frac{V_P - V_{DS1}}{\phi_t} = F(i_{f2}) = \sqrt{1 + i_{f2}} - 2 + \ln(\sqrt{1 + i_{f2}} - 1) \quad (31)$$

Subtraindo (31) de (30) e substituindo  $i_{f2} = i_{f1}/\alpha$  resulta na seguinte expressão da tensão  $V_{DS1}$  normalizada

$$\frac{V_{DS1}}{\phi_t} = \sqrt{1 + i_{f1}} - \sqrt{1 + i_{f1}/\alpha} + \ln\left(\frac{\sqrt{1 + i_{f1}} - 1}{\sqrt{1 + i_{f1}/\alpha} - 1}\right) = F(i_{f1}) - F(i_{f1}/\alpha) \quad (32)$$

Na SI,  $i_{f1} \gg 1$ , temos que (32) pode ser aproximada por

$$\frac{V_{DS1}}{\phi_t} \approx \sqrt{i_{f1}} - \sqrt{i_{f1}/\alpha} \quad (33)$$

em MI,  $i_{f1} \approx 1$ , a expressão (32) pode ser aproximada por [43]

$$\frac{V_{DS1}}{\phi_t} \approx \ln \alpha + \frac{\alpha - 1}{4\alpha} i_{f1} \quad (34)$$

Finalmente, em WI,  $i_{f1} \ll 1$ , e

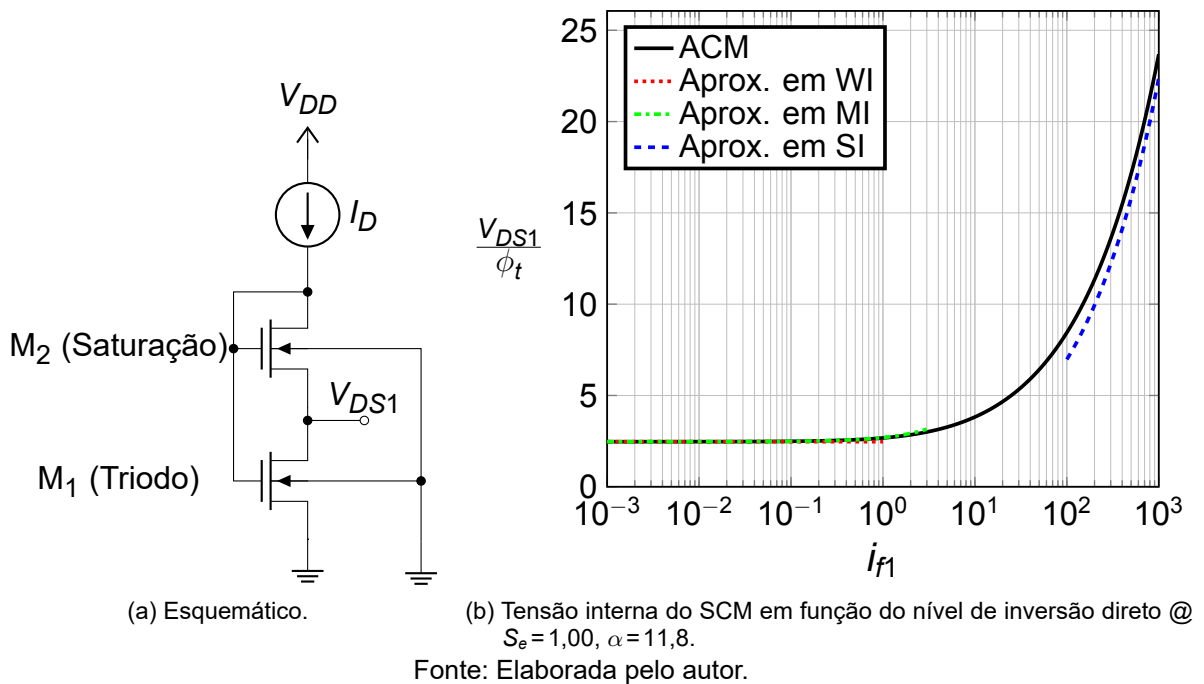
$$\frac{V_{DS1}}{\phi_t} = \ln \alpha \quad (35)$$

De acordo com a expressão (35), o SCM em WI pode operar como uma referência PTAT de muita baixa tensão, independente do nível de inversão, imune às variações da fonte de alimentação e dos parâmetros tecnológicos. A característica  $V$ - $I$  do SCM é bastante apropriada para implementar circuitos analógicos de baixa tensão e de baixo consumo de potência [44]. As curvas das expressões (32)-(35) em função do nível de inversão  $i_{f1}$  dado por (25) são mostradas na Figura 20(b).

A topologia da Figura 20(a) é útil apenas para a realização de tensões PTAT igual ou menores que  $4\phi_t$ , devido à dependência logarítmica de  $V_{DS1}$  com  $\alpha$  e limitação das razões de aspecto [45–47]. Tensões maiores que  $4\phi_t$  podem ser alcançadas empilhando o mesmo esquema de dois transistores operando em WI, conforme mostrado no Apêndice A.

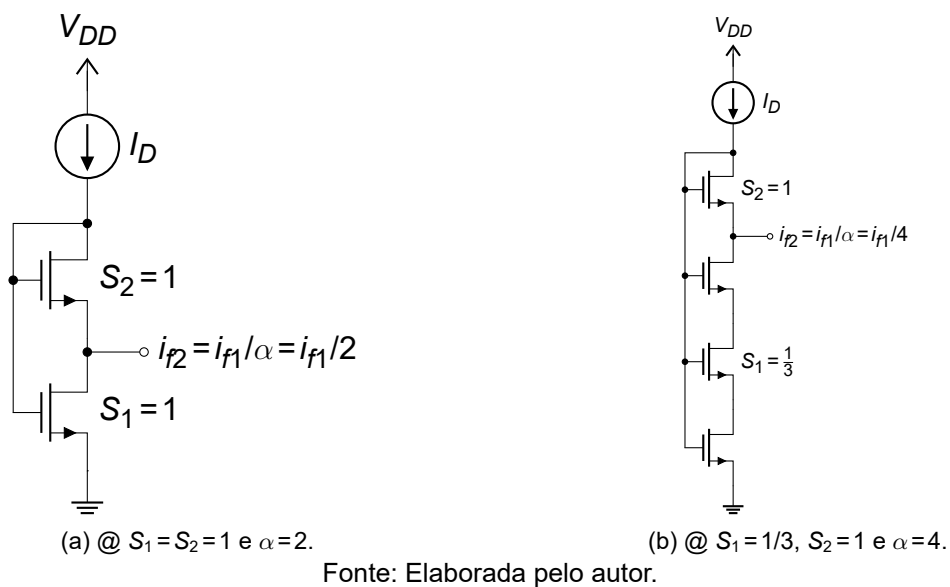
A Figura 21 ilustra uma importante característica do SCM, que é a linearidade do nível de inversão direto  $i_{f2}$  ao longo do comprimento do canal do SCM. Na Figura 21(b),

Figura 20 – MOSFET auto cascodado (SCM).



saindo do terminal de dreno de  $M_2$  e indo em direção ao terminal de fonte de  $M_1$ , o nível de inversão  $i_{f2}$  aumenta linearmente ao longo do comprimento do canal. Essa propriedade é muito importante para os projetos de fonte de corrente, uma vez que os níveis de inversão são parâmetros chaves de projeto. O caso em que  $\alpha = 2$  ( $S_1 = S_2$ ) foi utilizado em alguns projetos de fontes de corrente.

Figura 21 – Dois exemplos de SCMs que ilustram a linearidade do nível de inversão direto  $i_{f2}$  ao longo do comprimento do canal do SCM @  $S_u = 1$  (razão de aspecto do transistor unitário).



### 3 ANÁLISE E ESPAÇO DE PROJETO NORMALIZADO DE UMA FONTE DE CORRENTE COM AMP OP

Neste capítulo é apresentado a análise e a exploração do espaço de projeto normalizado de uma topologia de fonte de corrente idealizada. As principais topologias práticas de fonte de corrente autopolarizadas são analisadas no Capítulo 4 e nos Apêndices G e H.

A metodologia é sustentada por um conjunto de equações de projeto implementadas em um software de cálculo numérico (MATLAB), que possibilitem uma varredura nos graus de liberdade dos parâmetros de projeto.

#### 3.1 ANÁLISE DO CIRCUITO

A Figura 22 apresenta o esquemático da fonte de corrente proposta em [46, 47] e também apresentada em [42]. Esta topologia consiste em dois SCMs polarizados por um espelho de corrente PMOS e um Amp Op. Claramente temos cinco graus de liberdade para o projeto da fonte: as quatro razões de aspecto  $S_1, S_2, S_3, S_4$ , e um parâmetro tecnológico, a corrente específica de folha  $I_{SH}$ .

Um dos critérios de projeto da fonte de corrente é que o SCM 1-2 da Figura 22 deve operar em inversão fraca para estabelecer uma tensão de referência  $V_{REF}$  independente de  $V_{DD}$  e, portanto,  $i_{f_{min}} < i_{f1} < 1$ . Outro critério de projeto é que o SCM 3-4 deve operar em inversão moderada para estabelecer o ponto de operação da fonte de corrente e, portanto,  $i_{f1} < 1 < i_{f3} < i_{f_{max}}$ .

Para uma análise de primeira ordem do circuito da Figura 22, vamos supor que o Amp Op e o espelho de corrente sejam ideais e as correntes que fluem através dos dispositivos canal  $n$  sejam iguais (espelho de corrente com ganho unitário). A conexão do Amp Op em malha fechada (Figura 22) força a fonte de corrente operar em  $V_X = V_{REF} = V_Y$ .

O ponto de operação (interseção das curvas  $V_X$  e  $V_Y$ ) da fonte de corrente é estabelecido através das curvas características  $V-I$  dos SCMs, conforme demonstrado na Figura 23, e são calculadas através de

$$V_{REF} = V_{X(Y)} = \phi_t \left[ F(i_{f1(3)}) - F(i_{f1(3)}/\alpha_1(3)) \right] \quad (36)$$

$$F(i) = \sqrt{1+i} - 2 + \ln(\sqrt{1+i} - 1) \quad (37)$$

$$i_{f2} = i_{f1}/\alpha_1 \quad (38)$$

$$i_{f4} = i_{f3}/\alpha_3 \quad (39)$$

onde  $\alpha_1 = 1 + S_2/S_1$  e  $\alpha_3 = 1 + S_4/S_3$ .

A corrente de saída de referência  $I_{OUT}$  é dada por

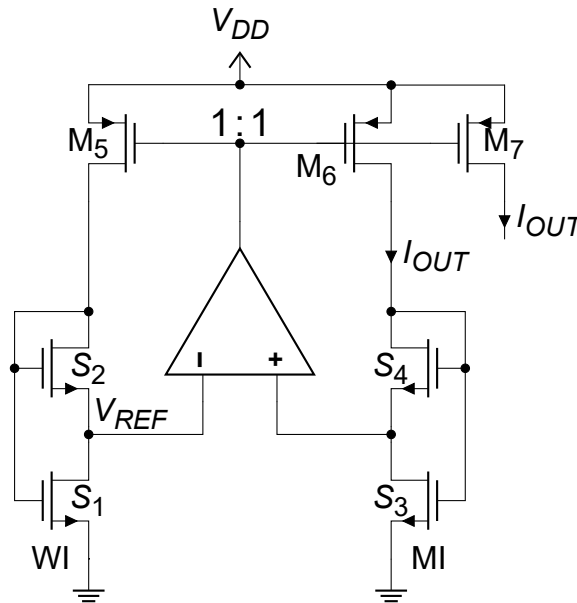
$$I_{OUT} = I_{SH} S_{e1} i_{f1} = I_{SH} S_{e3} i_{f3} = B I_{SH} \quad (40)$$

onde  $B=I_{OUT}/I_{SH}$  é um fator de projeto que multiplica  $I_{SH}$ ;  $S_{e1}$  e  $S_{e3}$  são as razões de aspecto dos transistores equivalentes do SCM 1-2 e SCM 3-4 dadas por

$$S_{e1} = \frac{S_1 S_2}{S_1 + S_2} = \frac{B}{i_{f1}} \quad (41)$$

$$S_{e3} = \frac{S_3 S_4}{S_3 + S_4} = \frac{B}{i_{f3}} \quad (42)$$

Figura 22 – Esquemático do circuito de fonte de corrente (topologia de Hurtado) com Amp Op e espelho de corrente (sem o circuito de start-up).



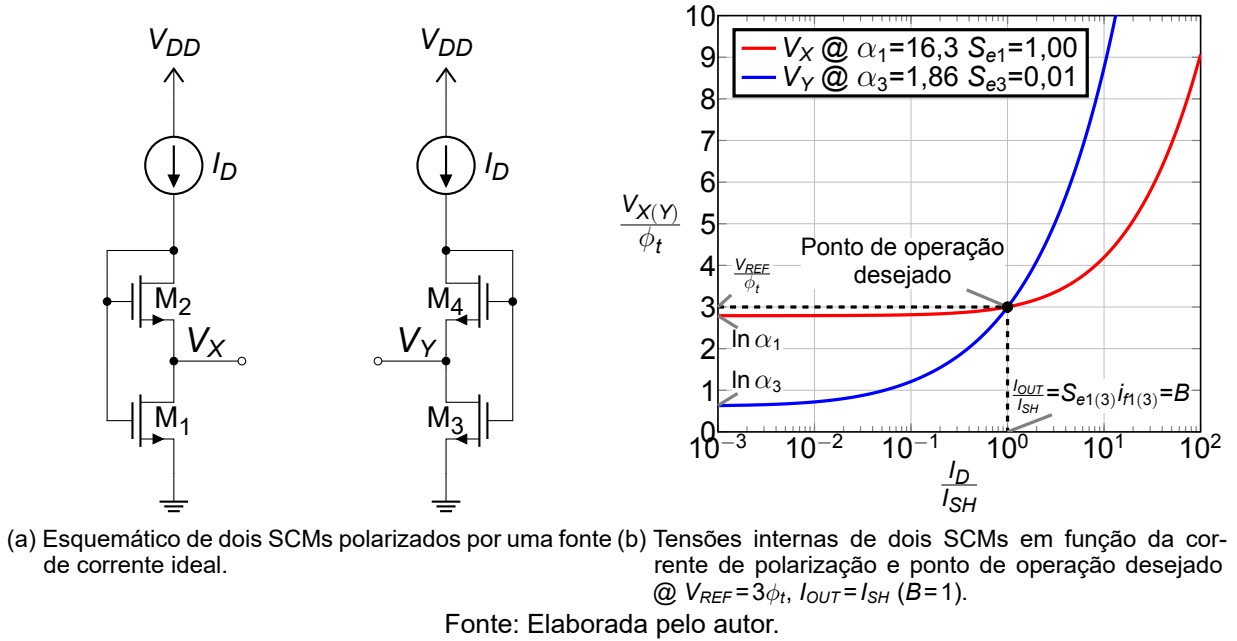
Fonte: Elaborada pelo autor.

A propriedade essencial da fonte de corrente da Figura 22 é deduzida diretamente das equações (36)-(42). Os níveis de inversão dos transistores  $i_{f1}$ ,  $i_{f2}$ ,  $i_{f3}$ ,  $i_{f4}$  que resultam do sistema de equações (36)-(42) são independentes dos parâmetros tecnológicos e da temperatura, dependendo unicamente dos fatores geométricos  $\alpha_1$ ,  $\alpha_3$ ,  $S_{e1}$  e  $S_{e3}$ .

Em (36) e conforme mostra a Figura 23(b), uma vez que  $i_{f1} < i_{f3}$  a condição  $1 < \alpha_3 < \alpha_1$  deve ser satisfeita. O limite superior do valor de  $\alpha_1$  é definido por  $V_{REF}$  e assim temos que  $\alpha_1 < e^{\frac{V_{REF}}{\phi_t}}$ .

A corrente de saída é proporcional à corrente específica  $I_S$  dos transistores canal  $n$ . Deste modo, o circuito é útil para polarizar transistores em níveis de inversão constantes, independentemente da temperatura e da tecnologia. Se  $B=1$  ( $I_{OUT}=I_{SH}$ ) o circuito da Figura 22 opera como um extrator da corrente específica de folha. Se  $i_{f3}=3$ , a tensão de *gate* de  $M_3$  é igual a  $V_{T0}$ ; assim, o circuito opera como um extrator de tensão de limiar. Este circuito com esta função foi implementado no sensor MOS de radiação ionizante apresentado em [16].

Figura 23 – Curvas características V-I de dois SCMs.



Finalmente, as razões de aspecto dos transistores  $M_{1-4}$  em função das variáveis auxiliares são dadas pelas relações

$$S_1 = \frac{\alpha_1}{\alpha_1 - 1} S_{e1} = \frac{\alpha_1}{\alpha_1 - 1} \frac{B}{i_{f1}} \quad (43)$$

$$S_2 = \alpha_1 S_{e1} = \alpha_1 \frac{B}{i_{f1}} = \frac{B}{i_{f2}} \quad (44)$$

$$S_3 = \frac{\alpha_3}{\alpha_3 - 1} S_{e3} = \frac{\alpha_3}{\alpha_3 - 1} \frac{B}{i_{f3}} \quad (45)$$

$$S_4 = \alpha_3 S_{e3} = \alpha_3 \frac{B}{i_{f3}} = \frac{B}{i_{f4}} \quad (46)$$

Vamos utilizar as seguintes variáveis para representar os cinco graus de liberdade de projeto, que são:

- $V_{REF}$ : o valor de  $V_{REF}$  é limitado a uma faixa de valores menores ou igual a  $4\phi_t$ , devido a dependência logarítmica de  $V_X$  com  $\alpha_1$  (em WI) e a limitação das razões de aspecto. Valores maiores que  $4\phi_t$  para  $V_X$  podem ser obtidos empilhando vários SCMs operando em WI (ver Apêndice A);
- $I_{OUT}$ : o valor de  $I_{OUT}$  desejado é um valor múltiplo de  $I_{SH}$  ( $I_{OUT} = B I_{SH}$ ). Um projeto com um valor de  $I_{OUT}$  com ordem de grandeza diferente de  $I_{SH}$  apresentará uma maior dificuldade para a implementação das razões de aspecto. Para o caso em  $I_{OUT} \ll I_{SH}$  as razões de aspecto  $S_{1-4}$  serão muito menores que 1. Para o caso em  $I_{OUT} \gg I_{SH}$  as razões de aspecto  $S_{1-4}$  serão muito maiores que 1. Necessitando assim uma associação série ou paralela, respectivamente, com grande quantidade de transistores unitários;

- $I_{SH}$ : o valor de  $I_{SH}$  depende dos parâmetros tecnológicos. O transistor PMOS apresenta um valor de  $I_{SH}$  entre duas a três vezes menor que o do transistor NMOS devido a diferença da mobilidade entre lacunas e elétrons. Os transistores com  $V_T$  nominal apresentam valores de  $I_{SH}$  menores que os transistores de médio/baixo  $V_T$  e nativo. A escolha de  $I_{SH}$  é bastante limitada, pois depende da tecnologia e dos modelos de transistores disponíveis;
- $\alpha_1$  e  $\alpha_3$ : os valores de  $\alpha_1$  e  $\alpha_3$  estão limitados pela faixa de valores dada por  $1 < \alpha_3 < \alpha_1 < e^{\frac{V_{REF}}{\phi_t}}$ , conforme mostra a Figura 23(b).

## 3.2 ESPAÇO DE PROJETO NORMALIZADO

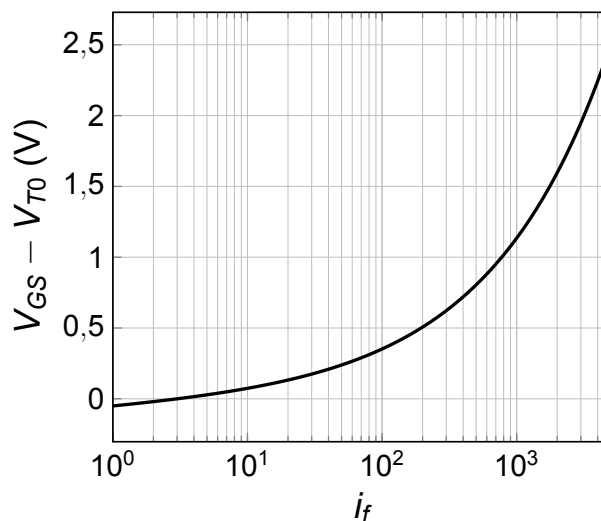
### 3.2.1 Nível de inversão máximo

A tensão de alimentação mínima é determinada pelas restrições impostas pelo ramo mais à direita na Figura 22 operando em inversão moderada, e pode ser escrita como

$$V_{DD} \geq |V_{DSsat,P}| + V_{GS3} \quad (47)$$

De acordo com (47) a tensão de alimentação máxima permitida em uma tecnologia CMOS de baixa tensão é um fator limitante da tensão de *overdrive*  $V_{OV}$  e do nível de inversão direto  $i_f$  de  $M_3$ . A Figura 24 mostra a tensão de *overdrive* em função do nível de inversão direto. Para o caso em que  $V_{DD} = 1,8 \text{ V}$ ,  $|V_{DSsat,P}| = 0,100 \text{ V}$ ,  $V_{T0} = 0,444 \text{ V}$ ,  $n = 1,32$ , temos que  $V_{OV_{max}} = 1,256 \text{ V}$  e  $i_{f_{max}} = 1230$ .

Figura 24 – Tensão de *overdrive* em função do nível de inversão direto @  $n = 1,32$ .



Fonte: Elaborada pelo autor.



### 3.2.2 Nível de inversão mínimo

Os transistores  $M_{1,3}$  sempre estarão operando na região triodo. No entanto, para garantir que  $M_{2,4}$  e a associação série de transistores (SCMs) operem na região de saturação é necessário polarizar  $M_{1,3}$  com um valor de nível de inversão maior que um valor mínimo.

A corrente de dreno  $I_D$  em WI e na região de saturação é dada por

$$I_D = 2I_S e^{(V_G - V_{T0} - nV_S + n\phi_t)/n\phi_t} \quad (48)$$

Para o transistor conectado como diodo ( $V_G = V_D$ ) a corrente de dreno satura para  $V_G = V_D > 4\phi_t$  em WI. Assim, o nível de inversão mínimo necessário para mantê-lo polarizado na região de saturação, com  $V_S = V_B = 0$ , deve satisfazer a condição

$$i_{f_{min}} = \frac{I_D}{I_S} > 2e^{((4+n)\phi_t - V_{T0})/n\phi_t} \quad (49)$$

A Tabela 4 mostra os valores de  $i_{f_{min}}$  para transistores com diferente  $V_T$ . No projeto da fonte de corrente é importante garantir  $i_{f1} > i_{f_{min}}$ .

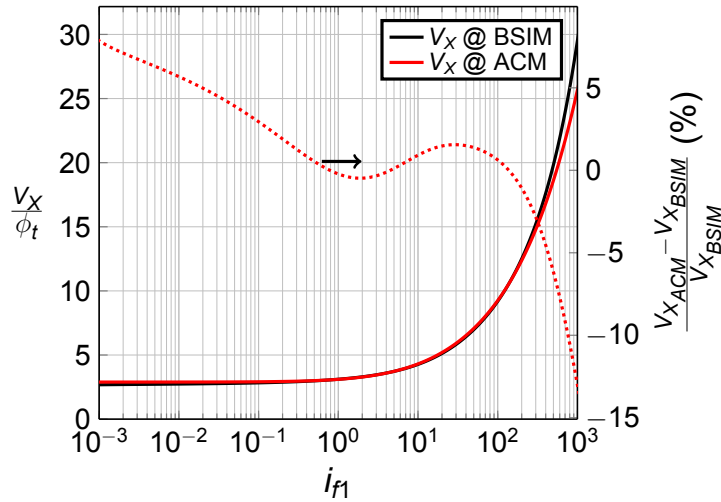
Tabela 4 – Valores de  $i_{f_{min}}$  para transistores com diferente  $V_T$ . Parâmetros extraídos pelo método  $g_m/I_D$  @  $V_{DS}=13\text{ mV}$  (região linear),  $W_u=L_u=1\ \mu\text{m}$ ,  $n(V_{T0})$ .

Modelo do transistor	Descrição	$n$	$ V_{T0} $ (V)	$i_{f_{min}}$
<i>pmos2v</i>	PMOS $V_T$ nominal	1,32	0,444	$2,71 \times 10^{-4}$
<i>pmosmvt2v</i>	PMOS $V_T$ médio	1,16	0,213	$1,46 \times 10^{-1}$
<i>nmos2v</i>	NMOS $V_T$ nominal	1,27	0,458	$1,20 \times 10^{-4}$
<i>nmos2vdnw</i>	nmos2v em DNW	1,27	0,458	$1,20 \times 10^{-4}$
<i>nmosmvt2v</i>	NMOS $V_T$ médio	1,24	0,291	$1,65 \times 10^{-2}$
<i>nmosnvt2v</i>	NMOS $V_T$ nativo	1,01	0,156	$7,50 \times 10^{-1}$

Fonte: Elaborada pelo autor.

A Figura 25 compara as curvas da tensão interna  $V_X$  do SCM com transistores *pmos2v* obtidas através dos modelos BSIM e ACM. Verifica-se que quando  $i_{f1}$  tende para o valor de  $i_{f_{min}} = 2,71 \times 10^{-4}$  as curvas no gráfico começam a divergir, aumentando assim o erro relativo do modelo ACM.

Figura 25 – Comparação das curvas das tensões internas do SCM obtidas através dos modelos BSIM e ACM em função do nível de inversão direto @  $p_{mos2v}$ ,  $\alpha_1 = 18,0$ ,  $S_{e1} = 2,02$  e  $I_{SH} = 38,5$  nA.



Fonte: Elaborada pelo autor.

### 3.2.3 Razão de aspecto dos transistores e a área total normalizada da fonte de corrente

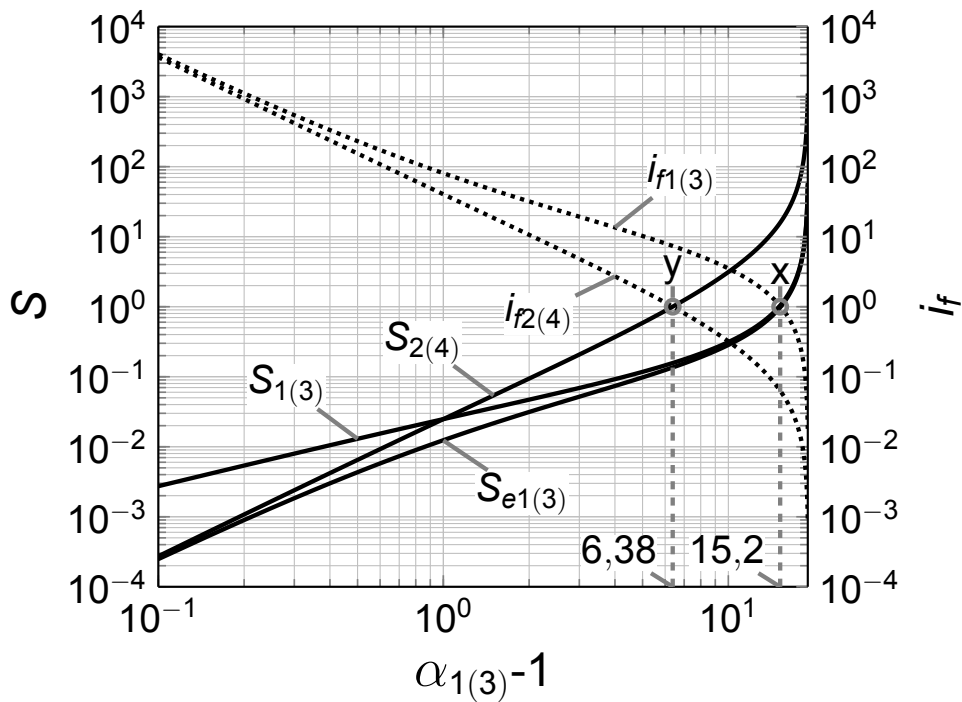
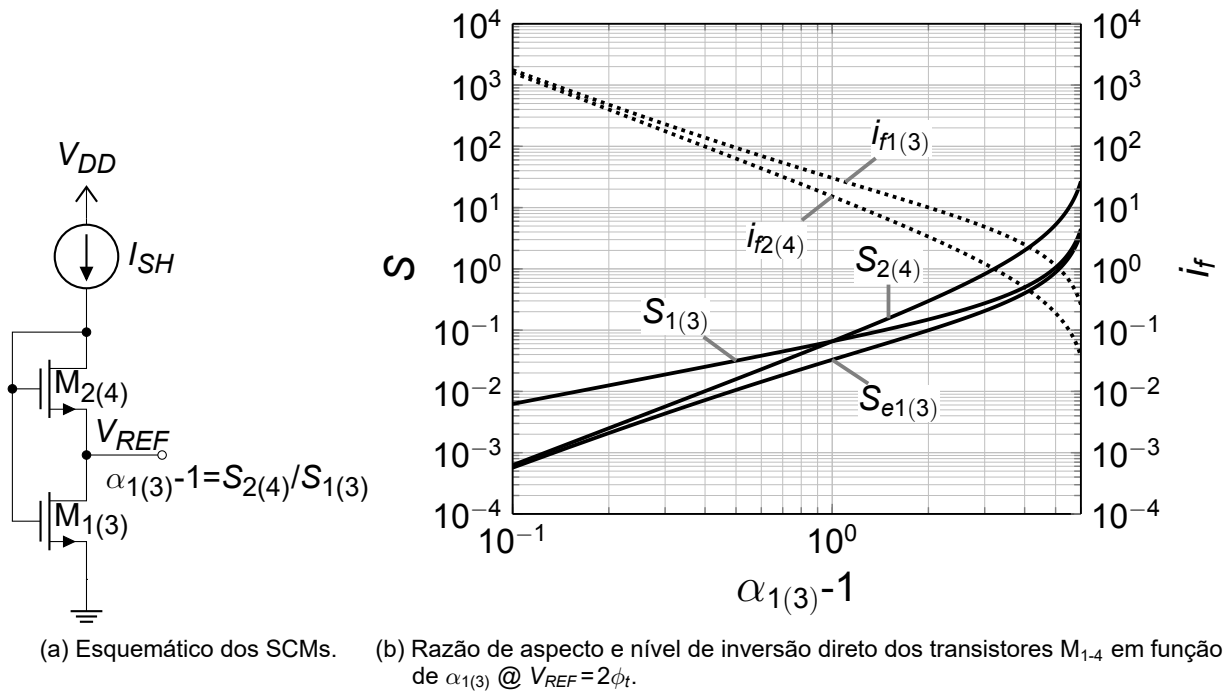
Como explicado no final da Seção 3.1, fixados  $I_{OUT}$ ,  $V_{REF}$  e  $I_{SH}$  (tecnologia), temos ainda dois graus de liberdade de projeto:  $\alpha_1$  e  $\alpha_3$ . Por esse motivo, nesta seção é explorado a faixa de valores possíveis para os níveis de inversão, razões de aspecto dos transistores, e a correspondente área normalizada em função de  $\alpha_1$  e  $\alpha_3$ . Os valores de  $i_{f1(3)}$  foram obtidos resolvendo numericamente (36) para a faixa de valores  $1 < \alpha_1(3) < e^{\frac{V_{REF}}{\phi_t}}$  @  $V_{REF}$ . Os valores de  $i_{f2(4)}$  foram obtidos através das equações (38) e (39). Com os valores de  $\alpha_1(3)$ ,  $i_{f1(3)}$ , e  $B = 1$  calculou-se as razões de aspecto através das relações (41)-(46). A Figura 26 mostra a razão de aspecto e o nível de inversão dos transistores  $M_{1-4}$  em função de  $\alpha_1(3)$ . Verifica-se nas Figuras 26(b) e 26(c) que as curvas de  $i_{f1(3)}$  e  $S_{e1(3)}$ ,  $i_{f2(4)}$  e  $S_{2(4)}$  são simétricas em relação ao eixo horizontal @  $i_f = S = 1$ , pois  $i_{f1(3)} = 1/S_{e1(3)}$  e  $i_{f2(4)} = 1/S_{2(4)}$ . Na Figura 26(c) os pontos x e y são as interseções das curvas  $i_{f1(3)} = S_{e1(3)} = 1$ ;  $i_{f2(4)} = S_{2(4)} = 1$ , respectivamente.

Para que o SCM 1-2 opere em WI o intervalo correspondente dos valores de  $\alpha_1$  é  $16,2 < \alpha_1 < e^{\frac{3\phi_t}{\phi_t}}$  @  $V_{REF} = 3\phi_t$ , conforme mostra a Figura 27(a); quando o valor de  $\alpha_1$  se aproxima de  $e^{\frac{3\phi_t}{\phi_t}} \cong 20,1$  o valor de  $i_{f1}$  se aproxima de 0.

O SCM 3-4 opera em MI para o intervalo correspondente dos valores de  $\alpha_3$  igual a  $1 < \alpha_3 < 16,2$  @  $V_{REF} = 3\phi_t$ , conforme mostra a Figura 27(b); quando o valor de  $\alpha_3$  se aproxima de 1, o valor de  $i_{f3}$  tende para o infinito.

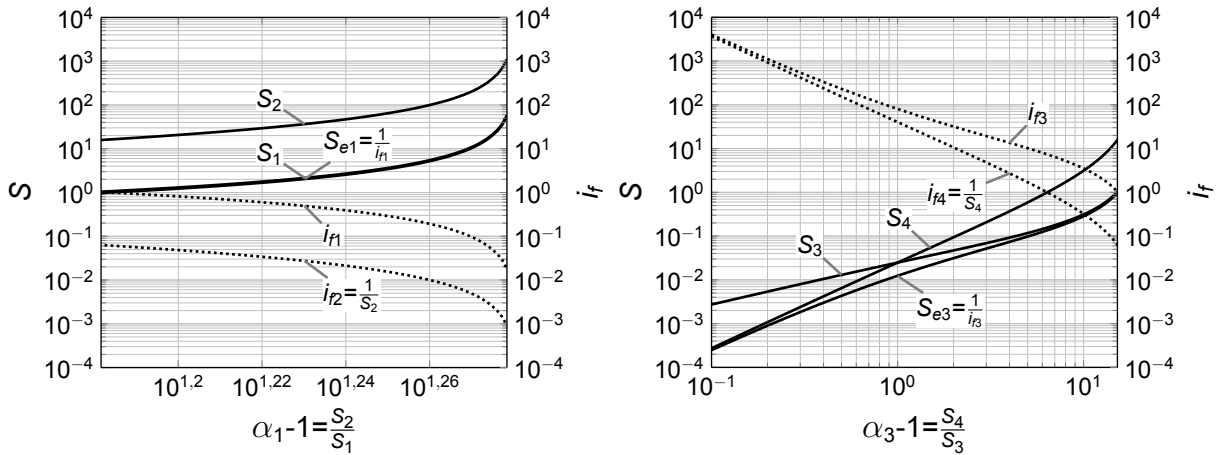
Para outros valores de  $V_{REF}$  o intervalo dos valores de  $\alpha_1(3)$  são:  $1 < \alpha_3 < 6,04 < \alpha_1 < e^{\frac{2\phi_t}{\phi_t}} \cong 7,40$  @  $V_{REF} = 2\phi_t$  e  $1 < \alpha_3 < 43,7 < \alpha_1 < e^{\frac{4\phi_t}{\phi_t}} \cong 54,6$  @  $V_{REF} = 4\phi_t$ .

Figura 26 – Espaço de projeto dos SCMs @  $I_{OUT} = I_{SH}$ .



Fonte: Elaborada pelo autor.

Nesta altura do projeto necessitamos definir a estratégia de leiaute a ser utilizada no desenho dos transistores  $M_1$ - $M_4$ . Para minimizar os erros sistemáticos utilizaremos a associação série paralelo de transistores unitários, como adotado em [23, 41, 48] e mostrado na Figura 28. As razões de aspecto  $S$  dos transistores  $M_1$ - $M_4$  e a área

Figura 27 – Espaço de projeto dos SCMs @  $I_{OUT}=I_{SH}$ ,  $V_{REF}=3\phi_t$ .


(a) Razão de aspecto e nível de inversão direto dos transistores  $M_{1,2}$  (SCM 1-2) em função de  $\alpha_1$ .  
 (b) Razão de aspecto e nível de inversão direto dos transistores  $M_{3,4}$  (SCM 3-4) em função de  $\alpha_3$ .

Fonte: Elaborada pelo autor.

A em função do transistor unitário são dadas por

$$S = \frac{MW_u}{NL_u} = \frac{M}{N} S_u \quad (50)$$

$$A = MNW_uL_u = MNA_u \quad (51)$$

onde  $M$  e  $N$  são a quantidade de transistores unitários em paralelo e série, respectivamente. Uma maneira de implementar os valores de  $S$  é fazendo  $M=1$  (associação série de transistores unitários) para  $S/S_u < 1$  e  $N=1$  (associação paralela de transistores unitários) para  $S/S_u \geq 1$ , e assim temos

$$M = 1, \quad N = \frac{S_u}{S}, \quad @ S/S_u < 1 \quad (52)$$

$$M = \frac{S}{S_u}, \quad N = 1, \quad @ S/S_u \geq 1 \quad (53)$$

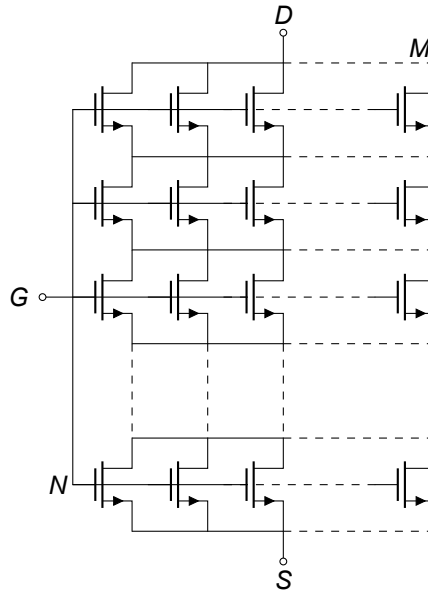
Os valores obtidos em (52) e (53) têm que ser arredondados para o número inteiro mais próximo. O valor de  $S$  obtido em (50) com os valores de  $M$  e  $N$  arredondados deve ser comparado com o valor inicial de  $S$ . O erro em  $S$  causa um erro em  $\alpha$  e  $i_f$ , e conseqüentemente em  $V_{REF}$  e  $I_{OUT}$ . Para minimizar o erro em  $S$  é necessário fazer um ajuste no valor de  $M$  e/ou  $N$ .

Isolando  $S_u$  de (50) temos que

$$S_u = \frac{N}{M} S \quad (54)$$

O uso de (54) é útil para determinar o valor  $S_u$  necessário para uma quantidade de transistores em paralelo e/ou série desejada. O canal do transistor unitário não deve ser nem muito curto, nem muito estreito. Através de uma escolha apropriada do valor de  $S_u$  é possível minimizar a quantidade de transistores unitários necessários em

Figura 28 – Associação série paralelo de transistores unitários para a implementação da razão de aspecto  $S$  do transistor composto.



Fonte: Elaborada pelo autor.

uma associação série-paralela. Outra estratégia é a escolha apropriada da corrente de dreno através do ganho do espelho de corrente conforme foi feito para implementar os transistores  $P_{5,6}$  em [8].

Em [8] a associação série-paralela dos transistores dos SCMs ( $P_{5-8}$ ) foram realizadas com apenas um tipo de transistor unitário ( $S_u = 0,5 \mu\text{m}/14 \mu\text{m}$ ). A razão de aspecto dos transistores  $P_{5,6}$  ( $S_{5,6} = 1/2740$ ), foi implementada através da associação série de 98 transistores unitários, conforme a expressão (52).

Já em [23] foram utilizados dois transistores unitários com razões de aspecto diferentes. Os transistores  $M_{1,2}$  e  $M_{3,4}$  foram implementados com os transistores unitários com razão de aspecto iguais a  $10 \mu\text{m}/10 \mu\text{m}$  e  $4 \mu\text{m}/60 \mu\text{m}$ , respectivamente.

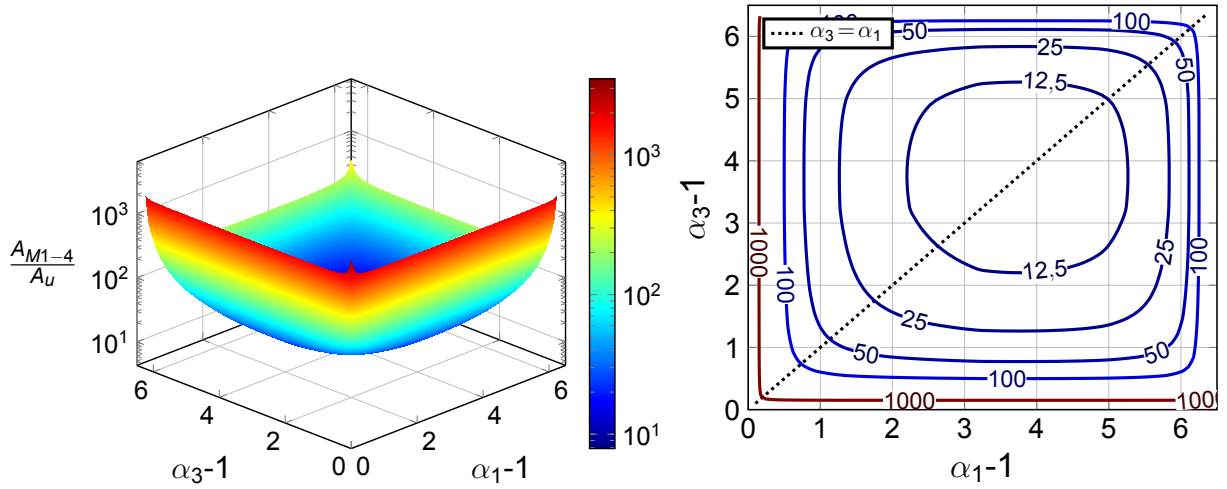
A área total para implementar os transistores  $M_{1-4}$  normalizada pela área do transistor unitário (quantidade total de transistores unitários) é dada por

$$\frac{A_{M_{1-4}}}{A_u} = M_1 N_1 + M_2 N_2 + M_3 N_3 + M_4 N_4 \quad (55)$$

As Figuras 29 e 30 mostram os gráficos em 3 e 2 dimensões da área normalizada pelo transistor unitário que possui  $S_u=1$  ( $W_u=L_u$ ) e  $A_u=W_u^2=L_u^2$ . Para facilitar o cálculo dado por (55) e relacioná-lo corretamente com os respectivos valores de  $\alpha_{1(3)}$ , os valores de  $M$  e  $N$  são contínuos. Isso, evita a necessidade de ajustes nos valores de  $M$  e  $N$  para minimizar o erro em  $S_{1-4}$  e conseqüentemente em  $\alpha_{1(3)}$  devido ao arredondamento dos valores de  $M$  e  $N$ . Para uma análise mais geral da área normalizada é considerado o intervalo de valores  $1 < \alpha_{1(3)} < e^{\frac{V_{REF}}{\phi_t}}$ .

Para minimizar os erros de *mismatch* adotamos a estratégia de [48] utilizando

Figura 29 – Área normalizada em função de  $\alpha_1$  e  $\alpha_3$  @  $V_{REF}=2\phi_t$ ,  $I_{OUT}=I_{SH}$ ,  $S_u=1$  e  $A_u=W_u^2=L_u^2$ .

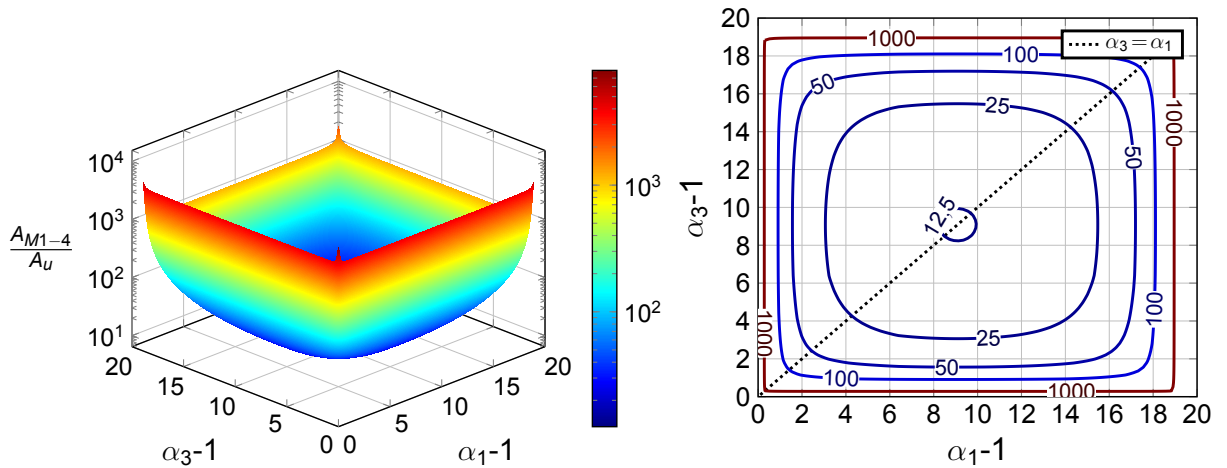


(a) Gráfico em três dimensões.

(b) Curvas de nível da Figura 29(a) para diferentes valores de área normalizada.

Fonte: Elaborada pelo autor.

Figura 30 – Área normalizada em função de  $\alpha_1$  e  $\alpha_3$  @  $V_{REF}=3\phi_t$ ,  $I_{OUT}=I_{SH}$ ,  $S_u=1$  e  $A_u=W_u^2=L_u^2$ .



(a) Gráfico em três dimensões.

(b) Curvas de nível da Figura 30(a) para diferentes valores de área normalizada.

Fonte: Elaborada pelo autor.

a mesma área  $A$  para os transistores compostos  $M_1$ - $M_4$ . A quantidade de transistores unitários em paralelo  $M$  e série  $N$  em função da área  $A$  é dada por

$$M = \frac{W}{W_u} = \frac{\sqrt{AS}}{W_u} \tag{56}$$

$$N = \frac{L}{L_u} = \frac{1}{L_u} \sqrt{\frac{A}{S}} \tag{57}$$

Isolando  $W_u$  e  $L_u$  em (56) e (57), respectivamente, e substituindo  $M=N=1$ ,

temos que as dimensões mínimas do transistor unitário são dadas por

$$W_{U_{min}} = \sqrt{A \cdot \min\{S_{1-4}\}} \quad (58)$$

$$L_{U_{min}} = \sqrt{\frac{A}{\max\{S_{1-4}\}}} \quad (59)$$

Para que o valor de  $M$  e  $N$  em (56) e (57), respectivamente, seja maior ou igual a 1, o valor de  $A$  deve ser maior ou igual a um valor de área mínimo, dado por

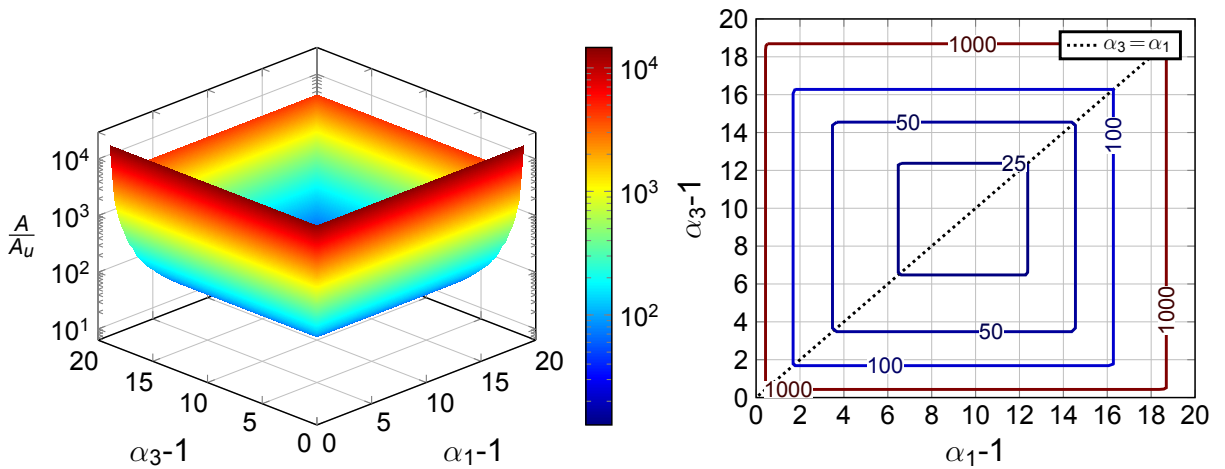
$$A_{min} = \max \left\{ \frac{W_u^2}{S_{1-4}}, L_u^2 S_{1-4} \right\} \quad (60)$$

Normalizando a expressão (60) pela área do transistor unitário ( $A_u = W_u L_u$ ), temos que a área para implementar os transistores  $M_1$ - $M_4$  normalizada é igual a

$$\frac{A}{A_u} = 4 \cdot \max \left\{ \frac{S_u}{S_{1-4}}, \frac{S_{1-4}}{S_u} \right\} \quad (61)$$

O cálculo de (61) é apresentado na Figura 31.

Figura 31 – Área normalizada em função de  $\alpha_1$  e  $\alpha_3$  @  $V_{REF} = 3\phi_t$ ,  $I_{OUT} = I_{SH}$ ,  $S_u = 1$ ,  $A_u = W_u^2 = L_u^2$ .



(a) Gráfico em três dimensões.

(b) Curvas de nível da Figura 31(a) para diferentes valores de área normalizada.

Fonte: Elaborada pelo autor.

### 3.2.4 Efeitos dos erros internos na tensão e corrente de referências

Uma análise dos erros que o circuito da fonte de corrente está sujeito é essencial para garantir uma boa precisão da tensão e corrente de referências. Assim, busca-se nesta seção apresentar os diferentes tipos de erros normalizados em função de  $i_{f1(3)}$  e/ou  $\alpha_{1(3)}$ . Para uma análise mais geral dos erros será considerado o intervalo de valores  $1 < \alpha_{1(3)} < e^{\frac{V_{REF}}{\phi_t}}$ .

Para analisar o erro na tensão de referência fornecida pelo SCM 1-2 operando em WI, assumimos que (40) é válida, assim, o erro relativo na corrente de saída é o

mesmo que os erros relativos nos níveis de inversão  $i_{f1}$  e  $i_{f3}$ , e de (62), equivalente a (34), obtemos o erro em  $V_X$  como uma função do nível de inversão  $i_{f1}$  e do erro causado pelo espelho de corrente  $\Delta I_D/I_D$ .

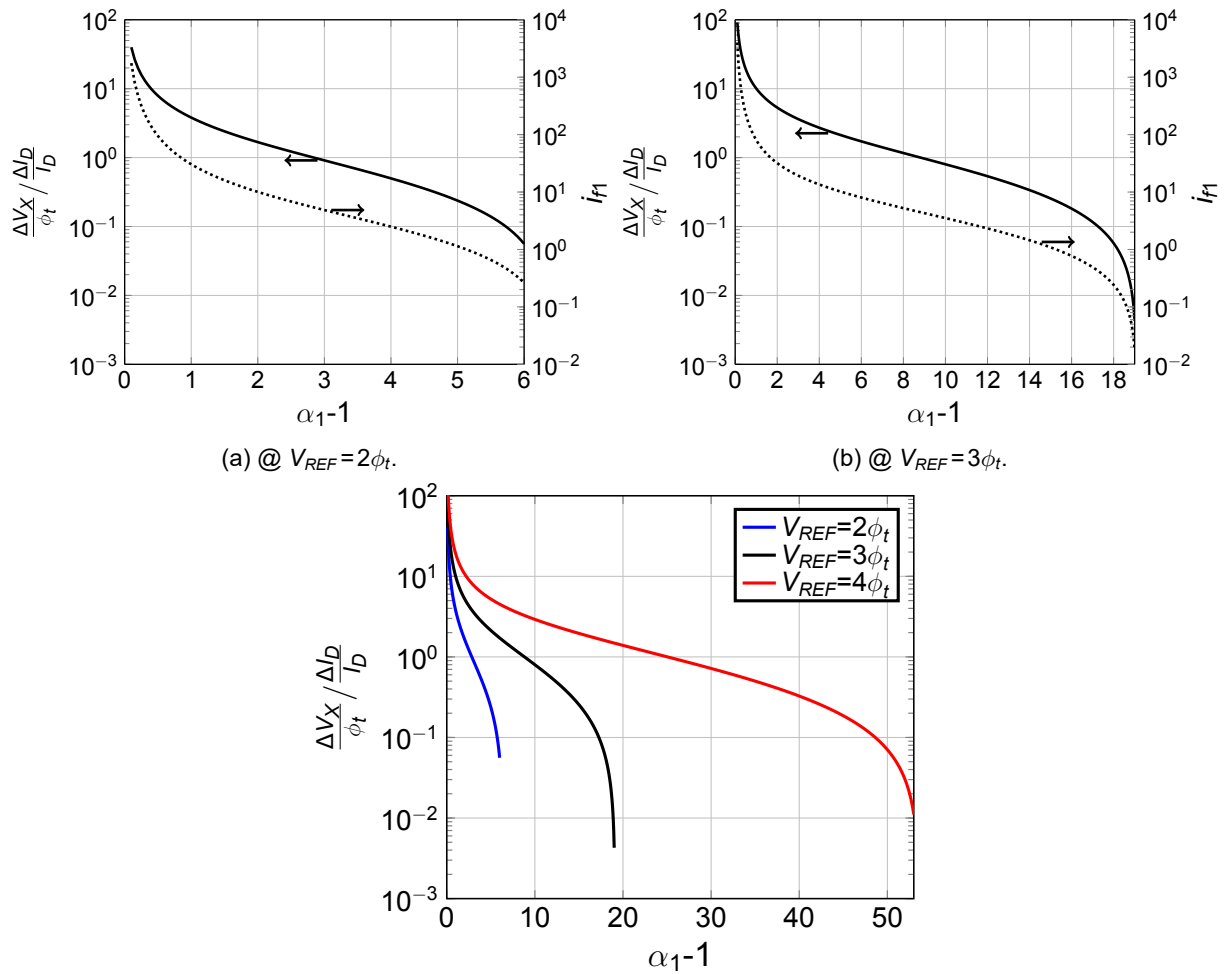
$$\frac{V_X}{\phi_t} \approx \ln \alpha_1 + \frac{\alpha_1 - 1}{4\alpha_1} i_{f1}, \quad @ \text{ WI ou MI} \quad (62)$$

$$\frac{\Delta V_X}{\phi_t} = \frac{\alpha_1 - 1}{4\alpha_1} \Delta i_{f1} = \frac{\alpha_1 - 1}{4\alpha_1} \frac{\Delta I_D}{I_D} i_{f1} \quad (63)$$

$$\frac{\Delta V_X / \phi_t}{\Delta I_D / I_D} = \frac{\alpha_1 - 1}{4\alpha_1} i_{f1} \quad (64)$$

De (64) e conforme demonstrado na Figura 32 conclui-se que, para a operação em inversão fraca profunda, esse erro é desprezível. A Figura 32(c) mostra o erro em  $V_X$  normalizado para diferentes valores de  $V_{REF}$ .

Figura 32 – Erro em  $V_X$  normalizado pelo erro causado pelo espelho de corrente  $\Delta I_D/I_D$  em função de  $\alpha_1$  e  $i_{f1}$ .



Fonte: Elaborada pelo autor.

A corrente de referência  $I_{OUT}$  é susceptível a variações devido ao erro no nível de inversão de  $M_3$  causado pela tensão de *offset* do Amp Op e parâmetros do ponto



de operação, dado pela aproximação linear de (36), assim temos

$$\frac{\Delta I_{OUT}/I_{OUT}}{V_{off}/\phi_t} = \frac{2}{\sqrt{1+i_{f3}} - \sqrt{1+i_{f3}/\alpha_3}} \quad (65)$$

como calculado no Apêndice D.

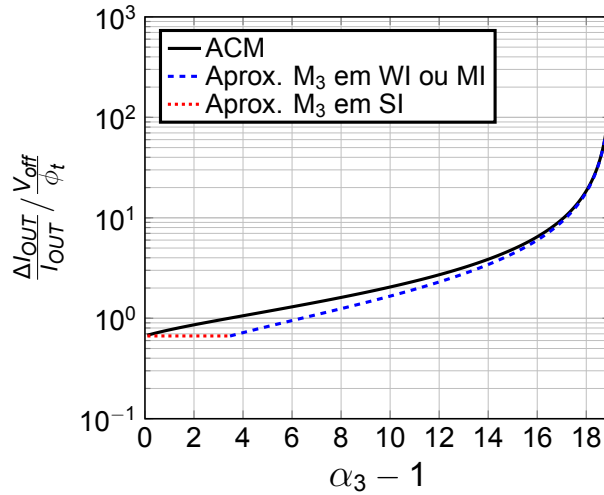
Assumindo o transistor  $M_1$  em WI a expressão (65) pode ser aproximada por

$$\frac{\Delta I_{OUT}/I_{OUT}}{V_{off}/\phi_t} = \frac{1}{\ln \alpha_1 - \ln \alpha_3} \quad @ \sqrt{\alpha_1} < \alpha_3 < \alpha_1, M_3 \text{ em WI ou MI} \quad (66)$$

$$\frac{\Delta I_{OUT}/I_{OUT}}{V_{off}/\phi_t} = \frac{2}{\ln \alpha_1} \quad @ 1 < \alpha_3 \leq \sqrt{\alpha_1}, M_3 \text{ em SI} \quad (67)$$

As aproximações (66) e (67) são detalhadas no Apêndice D.1 e suas curvas são mostradas na Figura 33 com o cálculo dado por (65). Em (65) há uma relação entre  $i_{f3}$  e  $\alpha_3$  que não é fácil de ser interpretada sozinha. E para isso há as aproximações (66) e (67), que são expressões mais simples. A expressão (67) mostra que o erro satura em um valor mínimo e que não compensa utilizar um valor de  $i_{f3}$  muito alto (inversão forte), uma vez que esse erro não será cancelado.

Figura 33 – Erro na corrente de referência normalizado pela variação da tensão de *offset* em função de  $\alpha_3$  @  $V_{REF}=3\phi_t, \alpha_1=20,1$ .

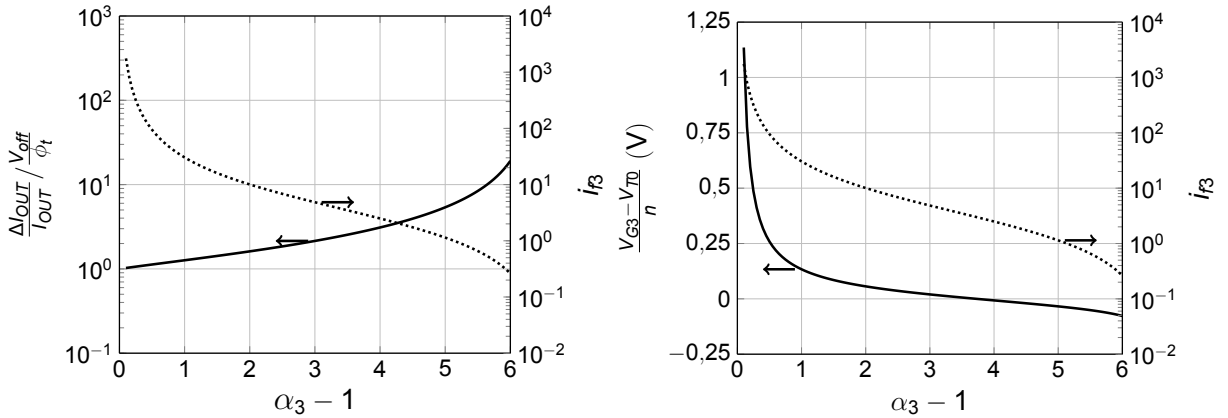


Fonte: Elaborada pelo autor.

As Figuras 34 e 35 mostram o erro normalizado da corrente de referência e a tensão de *pinch-off* de  $M_3$  em função de  $\alpha_3$ . Verifica-se na Figura 35(a) que quando o valor de  $\alpha_3$  se aproxima de 1 o erro na corrente de referência diminui, no entanto, a tensão de *pinch-off* aumenta consideravelmente conforme mostra a Figura 35(b). O valor de  $V_{REF}$  afeta indiretamente o erro na corrente de saída de referência conforme mostra a Figura 36.

Relacionando a área normalizada e os erros em função de  $\alpha_1$  e  $\alpha_3$ , verifica-se que na Figura 30(b) a área mínima normalizada ocorre para o caso em que os valores

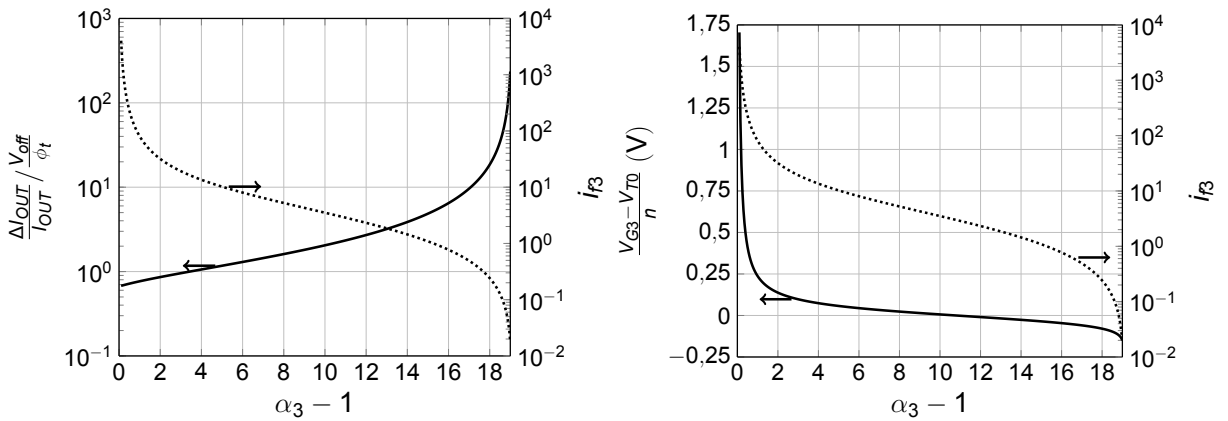
Figura 34 – Espaço de projeto normalizado do SCM 3-4 @  $V_{REF}=2\phi_t$  e  $I_{OUT}=I_{SH}$ .



- (a) Erro na corrente de referência normalizado pela variação da tensão de *offset* em função de  $\alpha_3$  e  $i_{B3}$ . (b) Tensão de *pinch-off* de  $M_3$  em função de  $\alpha_3$  e  $i_{B3}$ .

Fonte: Elaborada pelo autor.

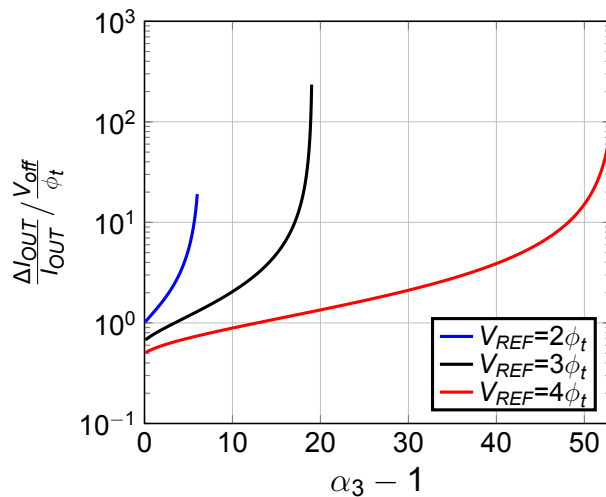
Figura 35 – Espaço de projeto normalizado do SCM 3-4 @  $V_{REF}=3\phi_t$  e  $I_{OUT}=I_{SH}$ .



- (a) Erro na corrente de referência normalizado pela variação da tensão de *offset* em função de  $\alpha_3$  e  $i_{B3}$ . (b) Tensão de *pinch-off* de  $M_3$  em função de  $\alpha_3$  e  $i_{B3}$ .

Fonte: Elaborada pelo autor.

Figura 36 – Erro na corrente de referência para diferentes valores de  $V_{REF}$ .



Fonte: Elaborada pelo autor.

de  $\alpha_1$  e  $\alpha_3$  estão próximos de 10. No entanto, os erros na tensão de referência e no nível de inversão de  $M_3$  são relativamente altos, conforme mostram as Figuras 32(b) e 35(a).

Analisando o outro extremo, verifica-se que na Figura 30(b) a área máxima normalizada ocorre para o caso em que os valores de  $\alpha_1$  e  $\alpha_3$  tendem aos valores 20 e 1, respectivamente. Neste caso, os erros na tensão de referência e no nível de inversão de  $M_3$  tendem aos valores mínimos, conforme mostram as Figuras 32(b) e 35(a).

### 3.2.5 Análise dos principais erros aleatórios

O desempenho da fonte de corrente é afetado por dois tipos de erros: os aleatórios e os sistemáticos. Os erros aleatórios causam imprecisão nos valores da tensão e da corrente de referências devido ao descasamento dos parâmetros ( $V_{T0}$ ,  $n$ ,  $I_{SH}$  e  $S$ ) entre os transistores. Embora seja impossível eliminá-los, seus efeitos podem ser minimizados através da escolha adequada da área, polarização e com o uso de técnicas de leiaute dos transistores. Estes erros são determinados a partir de simulações Monte Carlo considerando o efeito de descasamento (*mismatch*).

A variância da tensão de referência  $V_{off}$  devido ao descasamento entre as tensões de limiar dos transistores da fonte de corrente é dado por

$$\sigma^2(V_{off}) = \frac{\sigma^2(\Delta V_{T1,2})}{n^2} \left( \frac{g_{md1}}{g_{ms1}} - 1 \right)^2 + \frac{\sigma^2(\Delta V_{T3,4})}{n^2} \left( \frac{g_{md3}}{g_{ms3}} - 1 \right)^2 \quad (68)$$

$$\frac{g_{md1(3)}}{g_{ms1(3)}} = \frac{\sqrt{1 + i_{f1(3)} / \alpha_{1(3)}} - 1}{\sqrt{1 + i_{f1(3)}} - 1} \begin{cases} \frac{1}{\alpha_{1(3)}} & @ \text{ WI} \\ \frac{1}{\sqrt{\alpha_{1(3)}}} & @ \text{ SI} \end{cases}$$

onde  $\Delta V_{T1,2} = V_{T1} - V_{T2}$  e  $\Delta V_{T3,4} = V_{T3} - V_{T4}$ .

O cálculo do efeito do descasamento entre as tensões de limiar dos transistores da fonte de corrente em (68) é detalhado no Apêndice B.1.

Os efeitos dos descasamentos  $\sigma^2(\Delta V_{T1,2})$  e  $\sigma^2(\Delta V_{T3,4})$  em (68) são sempre atenuados, pois  $\left\{ \left( \frac{1-\alpha_1}{\alpha_1} \right)^2, \left( \frac{1-\sqrt{\alpha_3}}{\sqrt{\alpha_3}} \right)^2 \right\} < 1 @ 1 < \alpha_3 < \alpha_1$ .

A equação (68) mostra que a dispersão do valor de  $V_{off}$  é provocada pelo descasamento da tensão de limiar entre os pares de transistores. A variância da diferença entre as tensões de limiar de dois transistores com diferentes áreas de acordo com o modelo de Pelgrom [49] é dada por

$$\sigma^2(\Delta V_{T1,2}) = \frac{A_{VT}^2}{2} \left( \frac{1}{A_1} + \frac{1}{A_2} \right) \quad (69)$$

onde  $A_{VT}$  é o coeficiente de (des)casamento da tensão de limiar. O valor de  $A_{VT}$  é fornecido na documentação da tecnologia ou pode ser extraído como é demonstrado no Apêndice C.5.

Um único transistor com uma área  $A$  grande pode ser decomposto em uma combinação de associações série-paralela de pequenos transistores unitários com dimensões  $W_u$  e  $L_u$ , cada um exibindo um valor de  $(\mu C_{ox})_j$  e  $V_{Tj}$ . À medida que o número de transistores unitários aumenta, os valores médios de  $\mu C_{ox}$  e  $V_T$  se aproximam de um valor bem definido, levando a um menor descasamento em relação ao descasamento entre dois transistores com áreas grandes [50].

Igualando a área de todos os transistores, ou seja,  $A = A_{M_1} = A_{M_2} = A_{M_3} = A_{M_4}$  temos que a dispersão da tensão de limiar dos pares de transistores é dada por

$$\sigma^2(\Delta V_{T1,2}) = \sigma^2(\Delta V_{T3,4}) = \frac{A^2 V_T^2}{A} \quad (70)$$

Substituindo (70) em (68), e (68) na expressão (65) elevada ao quadrado, normalizando a área, obtemos

$$\frac{\sigma^2(I_{OUT})/I_{OUT}^2}{A^2 V_T^2 / A_u n^2 \phi_t^2} = \frac{4}{A/A_u} \frac{\left(\frac{g_{md1}}{g_{ms1}} - 1\right)^2 + \left(\frac{g_{md3}}{g_{ms3}} - 1\right)^2}{\left(\sqrt{1 + i_{\beta 3}} - \sqrt{1 + i_{\beta 3}/\alpha_3}\right)^2} \quad (71)$$

$$\frac{1}{A/A_u} = \frac{1}{\max\left\{\frac{S_u}{S_{1-4}}, \frac{S_{1-4}}{S_u}\right\}}$$

Isolando  $A$  de (71) e considerando  $M_1$  em WI temos

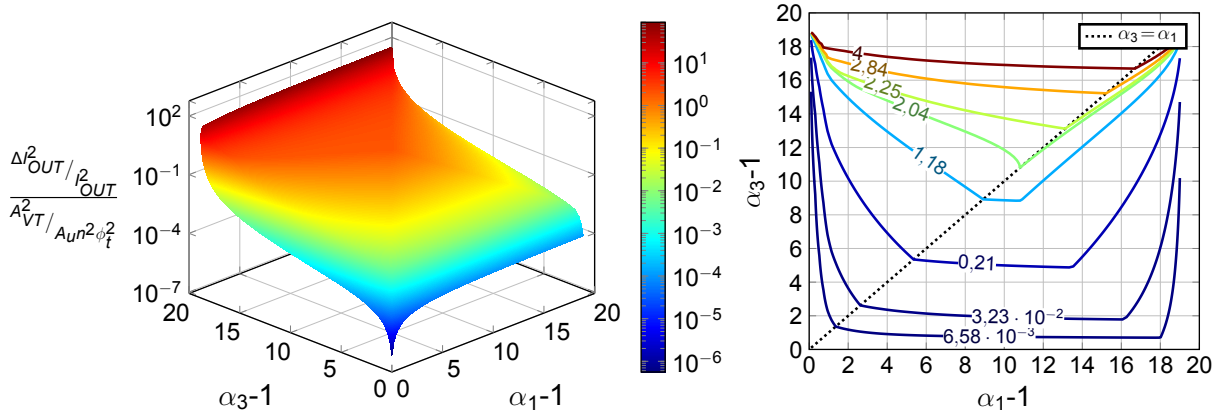
$$A = \frac{4A^2 V_T^2 \left(\frac{(1-\alpha_1)^2}{\alpha_1^2} + \left(\frac{g_{md3}}{g_{ms3}} - 1\right)^2\right)}{\frac{\sigma^2(I_{OUT})}{I_{OUT}^2} n^2 \phi_t^2 \left(\sqrt{1 + i_{\beta 3}} - \sqrt{1 + i_{\beta 3}/\alpha_3}\right)^2}, \quad M_1 @ WI \quad (72)$$

Os resultados de (71) e (72) são mostrados nas Figuras 37 e 38, respectivamente.

Na Figura 37 os valores mínimo e máximo ocorrem quando  $\alpha_{1(3)}$  se aproximam de 1 (SCMs 1-2 e 3-4 @ SI) e 20 (SCMs 1-2 e 3-4 @ WI), respectivamente. No entanto, é importante considerar também os efeitos dos erros internos na tensão (Figura 32(b)) e corrente (Figura 33) de referências. Estes erros de acordo com as Figuras 32(b) e 33 tendem aos valores mínimos quando  $\alpha_1$  e  $\alpha_3$  se aproximam de 20 (SCM 1-2 @ WI) e 1 (SCM 3-4 @ SI), respectivamente.

A Figura 38 mostra o resultado da área do transistor, dado por (72), em função de  $\alpha_1$  e  $\alpha_3$  necessária para uma dispersão do valor da corrente de referência igual a 1%. O valor mínimo ( $69,8 \mu\text{m}^2$ ) ocorre em  $\alpha_1 = 16,4$  e  $\alpha_3 = 1,10$ . O valor máximo ( $8002 \mu\text{m}^2$ ) ocorre em  $\alpha_1 = 20,0$  e  $\alpha_3 = 16,2$ .

Figura 37 – Resultados do cálculo de (71) em função de  $\alpha_1$  e  $\alpha_3$  @  $V_{REF} = 3\phi_t$ ,  $I_{OUT} = I_{SH}$ ,  $S_u = 1 \mu\text{m}/1 \mu\text{m}$ ,  $A_u = 1 \mu\text{m}^2$ .

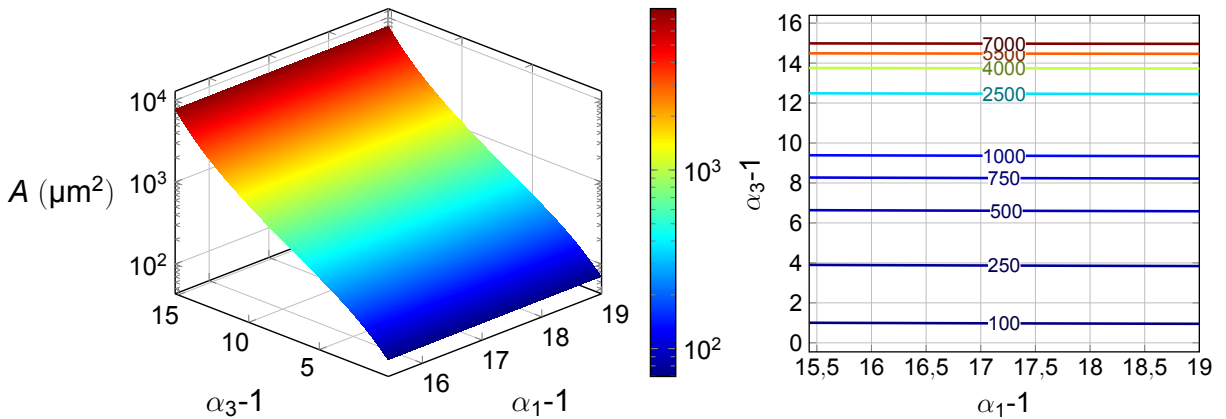


(a) Gráfico em três dimensões.

(b) Curvas de nível da Figura 37(a).

Fonte: Elaborada pelo autor.

Figura 38 – Resultado do cálculo da área do transistor, dado por (72), em função de  $\alpha_1$  e  $\alpha_3$  @  $V_{REF} = 3\phi_t$ ,  $I_{OUT} = I_{SH}$ ,  $\sigma(I_{OUT})/I_{OUT} = 1,00\%$ ,  $A_{VT} = 4,50 \text{ mV } \mu\text{m}$ ,  $n = 1,32$ .



(a) Gráfico em três dimensões.

(b) Curvas de nível da Figura 38(a).

Fonte: Elaborada pelo autor.

### 3.2.6 Erros sistemáticos da tensão e corrente de referências

Os erros sistemáticos resultam em desvios dos valores da tensão e da corrente de referências entre os resultados esperados (teóricos) e os observados (simulações). Conforme o modelo teórico adotado, as fórmulas podem não ser suficientemente exatas devido às aproximações, simplificações e/ou suposições. Os resultados obtidos por meio destas fórmulas terão erro que é sistemático, em geral.

Embora não seja possível prever os erros sistemáticos, estes erros podem ser causados:

- pela diferença entre os modelos teórico (ACM) e de simulação (BSIM) do transistor;
- pela variação dos parâmetros dos transistores.

Uma das suposições da modelagem da expressão de  $V_{X(Y)}$  é que os transistores possuem parâmetros ( $n$ ,  $V_{T0}$  e  $I_{SH}$ ) iguais e constantes. No entanto, na prática os parâmetros dos transistores variam com a sua polarização e com o comprimento do canal.

No circuito da fonte de corrente há transistores operando tanto na região triodo quanto na saturação, e com comprimentos de canais diferentes. Isso faz com que os parâmetros dos transistores variem e causem um erro sistemático em  $V_{REF}$  e  $I_{OUT}$ . Uma das maneiras de minimizar esse erro é através da escolha do transistor que possui uma menor variação dos seus parâmetros.

As Tabelas 5 e 6 mostram um resumo da variação dos parâmetros do transistor unitário e da associação série de dez transistores unitários, respectivamente. Analisando as duas tabelas verifica-se que o modelo do transistor *pmos2v* possui uma menor variação dos parâmetros e, portanto, o erro sistemático da fonte de corrente será menor comparado com os outros transistores.

Tabela 5 – Variação dos parâmetros do transistor unitário  $W_U = L_U = 1 \mu\text{m}$ , extraídos na região linear ( $g_m/I_D$ ) e saturação ( $g_{ms}/I_D$ ),  $n(V_{T0})$ .

Modelo do transistor	Descrição	$n$			$V_{T0}$ (V)		$ \Delta V_{T0} $ (mV)	$I_{SH}$ (nA)		$ \Delta I_{SH} $ (nA)
		@ lin.	@ sat.	$ \Delta n $	@ lin.	@ sat.		@ lin.	@ sat.	
<i>pmos2v</i>	PMOS $V_T$ nominal	1,32	1,29	0,0300	-0,444	-0,448	4,00	38,5	37,1	1,40
<i>pmosmvt2v</i>	PMOS $V_T$ médio	1,16	1,15	0,0100	-0,213	-0,208	5,00	41,0	43,3	2,30
<i>nmos2v</i>	NMOS $V_T$ nominal	1,27	1,25	0,0200	0,458	0,430	28,0	123	109	14,0
<i>nmos2vdnw</i>	nmos2v em DNW	1,27	1,25	0,0200	0,458	0,430	28,0	123	109	14,0
<i>nmosmvt2v</i>	NMOS $V_T$ médio	1,24	1,21	0,0300	0,291	0,296	5,00	112	114	2,00
<i>nmosnvt2v</i>	NMOS $V_T$ nativo	1,01	1,04	0,0300	0,156	0,106	50,0	246	125	121

Fonte: Elaborada pelo autor.

Tabela 6 – Variação dos parâmetros da associação série de dez transistores unitários,  $W = 1 \mu\text{m}$  e  $L = 10 \times 1 \mu\text{m}$ , extraídos na região linear ( $g_m/I_D$ ) e saturação ( $g_{ms}/I_D$ ),  $n(V_{T0})$ .

Modelo do transistor	Descrição	$n$			$V_{T0}$ (V)		$ \Delta V_{T0} $ (mV)	$I_{SH}$ (nA)		$ \Delta I_{SH} $ (nA)
		@ lin.	@ sat.	$ \Delta n $	@ lin.	@ sat.		@ lin.	@ sat.	
<i>pmos2v</i>	PMOS $V_T$ nominal	1,33	1,30	0,0300	-0,445	-0,441	4,00	38,9	35,9	3,00
<i>pmosmvt2v</i>	PMOS $V_T$ médio	1,16	1,16	0	-0,214	-0,200	14,0	41,2	31,7	9,50
<i>nmos2v</i>	NMOS $V_T$ nominal	1,28	1,27	0,0100	0,459	0,418	41,0	123	63,0	60,0
<i>nmos2vdnw</i>	nmos2v em DNW	1,28	1,27	0,0100	0,459	0,418	41,0	123	63,0	60,0
<i>nmosmvt2v</i>	NMOS $V_T$ médio	1,24	1,23	0,0100	0,291	0,281	10,0	111	91,9	19,1
<i>nmosnvt2v</i>	NMOS $V_T$ nativo	1,01	1,02	0,0100	0,156	0,0963	59,7	242	80,6	161

Fonte: Elaborada pelo autor.

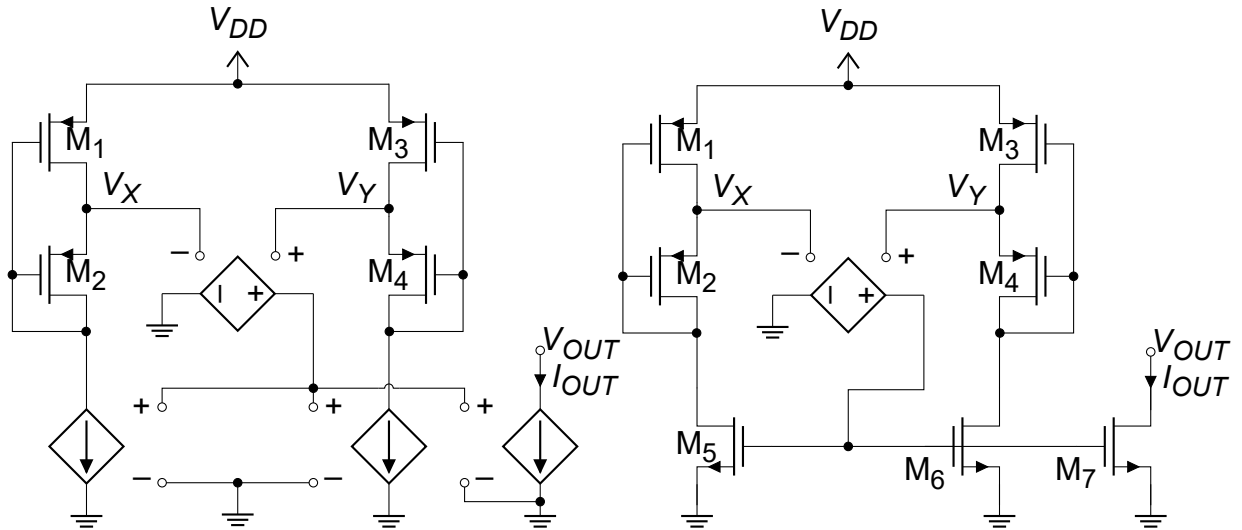
### 3.3 PROJETOS, RESULTADOS TEÓRICOS E DE SIMULAÇÕES DA FONTE DE CORRENTE

Simulações DC e de Monte Carlo de 8 projetos de fontes de corrente foram realizadas para explorar o espaço de projeto com a finalidade de identificar os parâmetros de projeto que causam um menor erro sistemático da corrente de referência e

que satisfaçam as especificações desejadas de projeto. No Apêndice E.1 é mostrado o código em MATLAB utilizado para projetar os circuitos das fontes de corrente.

Nas simulações utilizam-se os esquemáticos da Figura 39 e o transistor *pmos2v* da tecnologia CMOS 180 nm para implementar os transistores dos SCMs. Primeiramente foram realizadas as simulações com o espelho de corrente ideal (Figura 39(a)). Em seguida, para verificar o efeito do espelho de corrente na tensão referência e na corrente de referência que sai do espelho de corrente utilizou-se o esquemático da Figura 39(b), com transistores *M<sub>5-7</sub> nmos2v*. No Apêndice C.1 é detalhado as configurações do simulador *Spectre* utilizadas nas simulações e no Apêndice E.2 as configurações das células *vcvs* e *vccs*.

Figura 39 – Esquemáticos de simulação do circuito de fonte de corrente com Amp Op ideal (célula *vcvs*).



(a) Espelho de corrente com transistores ideais (célula *vcvs*).  
(b) Espelho de corrente com transistores *M<sub>5-7</sub> nmos2v*.

Fonte: Elaborada pelo autor.

A variância da corrente de dreno normalizada do espelho de corrente simples da Figura 39(b) [18] é

$$\frac{\sigma^2(\Delta I_D)}{I_D^2} = \frac{\sigma^2(\Delta\beta)}{\beta^2} + \left(\frac{g_m}{I_D}\right)^2 \sigma^2(\Delta V_{T0}) = \frac{A_\beta^2}{A_{M_{5-7}}^2} + \left(\frac{g_m}{I_D}\right)^2 \frac{A_{VT}^2}{A_{M_{5-7}}^2} \quad (73)$$

Isolando a área de *M<sub>5-7</sub>* em (73), resulta em

$$A_{M_{5-7}} = \frac{A_\beta^2 + A_{VT}^2 \left(\frac{g_m}{I_D}\right)^2}{\frac{\sigma^2(\Delta I_D)}{I_D^2}}, \quad \left(\frac{g_m}{I_D}\right)^2 = \left(\frac{1}{n\phi_t} \frac{2}{\sqrt{1+i_f+1}}\right)^2 \quad (74)$$

Adicionando em (68) o efeito da variância da corrente de dreno do espelho de

corrente, dado por (63), resulta em

$$\begin{aligned} \sigma^2(V_{off}) = & \frac{\sigma^2(\Delta V_{T1,2})}{n^2} \left( \frac{g_{md1}}{g_{ms1}} - 1 \right)^2 + \frac{\sigma^2(\Delta V_{T3,4})}{n^2} \left( \frac{g_{md3}}{g_{ms3}} - 1 \right)^2 \\ & + \phi_t^2 \frac{\sigma^2(\Delta I_D)}{I_D^2} \frac{(\alpha_1 - 1)^2}{16\alpha_1^2} i_{f1}^2 \end{aligned} \quad (75)$$

Incluindo o efeito do espelho de corrente na corrente de referência, em (65), resulta em

$$\frac{\sigma^2(I_{OUT})}{I_{OUT}^2} = \frac{4\sigma^2(V_{off})}{\phi_t^2 (\sqrt{1+i_{f3}} - \sqrt{1+i_{f3}/\alpha_3})^2} + \frac{\sigma^2(\Delta I_D)}{I_D^2} \quad (76)$$

Os projetos de todas as fontes de corrente são para uma corrente de referência  $I_{OUT}$  igual a  $I_{SH}$  ( $B=1$ ). Para explorar os espaços de projetos foram adotados diferentes valores da tensão de referência  $V_{REF}$ , permitindo assim uma maior variedade de combinações de valores de  $\alpha_{1(3)}$  e  $f_{1(3)}$ . Para alguns projetos foram especificados uma dispersão do valor de  $I_{OUT}$  ( $\sigma(I_{OUT})/I_{OUT}$ ) igual a 1% e para outros 5%. Desse modo é possível avaliar e verificar se o cálculo dado por (76) está de acordo com os resultados obtidos via simulação para diferentes valores de  $\sigma(I_{OUT})/I_{OUT}$ . A Tabela 7 resume as especificações de cada projeto.

Tabela 7 – Especificações de cada projeto de fonte de corrente @  $I_{OUT}=I_{SH}$ .

#	$V_{REF}$ (mV)	$\frac{\sigma(I_{OUT})}{I_{OUT}}$ (%)
1	$2\phi_t=52$	5
2	$2\phi_t=52$	5
3	$3\phi_t=78$	5
4	$3\phi_t=78$	5
5	$3\phi_t=78$	1
6	$4\phi_t=104$	1
7	$4\phi_t=104$	1
8	$4\phi_t=104$	1

Fonte: Elaborada pelo autor.

A Tabela 8 mostra os diferentes valores de  $\alpha_{1(3)}$  e  $i_{f1(3)}$  escolhidos para cada projeto. Para cada valor de  $V_{REF}$  escolheu-se um valor  $\alpha_1$  que garantisse a operação do SCM 1-2 em WI, ou seja, um nível de inversão de  $i_{f1}$  dentro do intervalo de valores  $i_{f_{min}} < i_{f1} < 1$ . Para os projetos # 1, 3 e 6 foi escolhido um valor de  $i_{f3}$  igual a 3 e calculou-se o respectivo valor de  $\alpha_3$  @  $V_{REF}$ . Os circuitos destes projetos extraem a tensão de limiar e podem operar com um valor menor de tensão de alimentação  $V_{DD}$  (em



relação aos outros projetos). Os projetos # 2, 5 e 8 possuem um valor de  $\alpha_3 = 2,00$  ( $M_3=M_4$ ), polarizando o SCM 3-4 em uma região de inversão moderada. A escolha de um valor de  $\alpha_3$  maior que 1 e menor que 2 não é recomendada, pois há um aumento considerável no valor de  $i_{F3}$  e conseqüentemente da tensão de *overdrive*, conforme mostram as Figuras 34(b) e 35(b). Já os projetos # 4 e 7 possuem valores de  $\alpha_3$  que estão localizados na metade entre os valores de  $\alpha_3$  dos projetos # 3 e 5, # 6 e 8, respectivamente.

Tabela 8 – Valores iniciais dos parâmetros  $\alpha_{1(3)}$  e  $i_{F1(3)}$  de cada projeto.

#	$\alpha_1$	$\alpha_3$	$i_{F1}$	$i_{F3}$
1	7,00	4,73	0,261	3,00
2	7,00	2,00	0,261	30,5
3	18,0	11,8	0,493	3,00
4	18,0	6,90	0,493	8,21
5	18,0	2,00	0,493	80,7
6	50,0	30,9	0,375	3,00
7	50,0	16,5	0,375	8,04
8	50,0	2,00	0,375	154

Fonte: Elaborada pelo autor.

A Tabela 9 mostra os erros normalizados de cada projeto.

Tabela 9 – Erros normalizados dos projetos de fonte de corrente.

#	$\frac{\Delta V_X / \phi_t}{\Delta I_D / I_D}$ Eq. (64)	$\frac{\Delta I_{OUT} / I_{OUT}}{V_{off} / \phi_t}$ Eq. (76)
1	0,0560	2,77
2	0,0560	1,27
3	0,116	2,28
4	0,116	1,29
5	0,116	0,767
6	0,0920	2,01
7	0,0920	1,12
8	0,0920	0,553

Fonte: Elaborada pelo autor.

A Tabela 10 mostra os valores iniciais da área de cada transistor e da tensão de *pinch-off* de  $M_3$  de cada projeto. Comparando os projetos # 6, 7 e 8, que possuem

os mesmos valores de  $V_{REF}$ ,  $\alpha_1$ ,  $i_{F1}$ , e diferentes valores de  $\alpha_3$ ,  $i_{F3}$ , verifica-se que há um compromisso entre a área de cada transistor e a tensão de *pinch-off* de  $M_3$  para satisfazer a dispersão do valor da corrente de referência igual a 1 %.

Tabela 10 – Valores iniciais da área de cada transistor e da tensão de *pinch-off* de  $M_3$  de cada projeto @  $A_{VT}=4,50 \text{ mV } \mu\text{m}$ ,  $n=1,32$ .

#	$A (\mu\text{m}^2)$ Eq. (72)	$\frac{V_{G3}-V_{T0}}{n}$ (V) Eq. (6)
1	66,4	0
2	9,39	0,134
3	59,4	0
4	16,8	0,0342
5	101	0,237
6	1421	0
7	377	0,0443
8	55,6	0,335

Fonte: Elaborada pelo autor.

As escolhas das dimensões dos transistores unitários foram próximas dos valores mínimos mostrados na Tabela 11.

Tabela 11 – Valores mínimos das dimensões dos transistores unitários.

#	$A (\mu\text{m}^2)$ Eq. (72)	$S_{min}$	$S_{max}$	$W_{U_{min}}$ ( $\mu\text{m}$ ) Eq. (58)	$L_{U_{min}}$ ( $\mu\text{m}$ ) Eq. (59)
1	66,4	0,423	26,8	5,30	1,57
2	9,39	0,0657	26,8	0,785	0,591
3	59,4	0,365	36,6	4,66	1,27
4	16,8	0,142	36,6	1,54	0,678
5	101	0,0248	36,6	1,58	1,66
6	1421	0,345	133	22,1	3,27
7	377	0,132	133	7,05	1,68
8	55,6	0,0130	133	0,850	0,647

Fonte: Elaborada pelo autor.

A área de cada transistor do projeto # 5 é igual a  $104 \mu\text{m}^2$ , uma possível solução das dimensões dos transistores unitários é  $W_U=L_U=1 \mu\text{m}$ , uma vez que esta condição satisfaz  $A=104 \mu\text{m}^2 > A_{min}=40,3 \mu\text{m}^2$ , equação (60) @  $W_U=1 \mu\text{m}$  e  $S_{3(4)}=0,0248$ .

A associação série-paralela dos transistores foi realizada com o auxílio das equações (56) e (57). A Tabela 12 mostra o resumo dos parâmetros dos SCMs e da associação série-paralela dos transistores projetados. A implementação dos transistores no *Virtuoso Schematic* é mostrada no Apêndice E.3.

A Tabela 13 mostra o resumo dos valores dos parâmetros ( $n$ ,  $V_{T0}$  e  $I_{SH}$ ) dos transistores unitários obtidos de forma automatizada através da implementação dos cálculos do método de extração  $g_m/I_D @ V_{DS} = 13$  mV (região linear) nas ferramentas da *Cadence*. A extração foi realizada na região linear uma vez que a maioria dos transistores unitários operam nessa região.

O ponto de operação teórico de cada projeto foi calculado novamente com o auxílio das equações (36) e (40) para os valores de  $\alpha_{1(3)}$  e  $S_{e1(3)}$  da Tabela 12. Já os valores de simulação de  $V_{REF}$  e  $I_{OUT}$  foram obtidos através de simulações DC do esquemático da Figura 39(a). A Tabela 14 apresenta o resumo dos resultados teóricos, de simulações DC e os erros sistemáticos dos projetos.

Os projetos # 2, 5 e 8 apresentaram erros sistemáticos menores que 10 %. Já os projetos # 1, 3 e 6 apresentaram os maiores valores de erros sistemáticos. Ao analisar os projetos que possuem um mesmo valor de  $\alpha_1$  (Tabela 8) e os erros sistemáticos da Tabela 14, verifica-se que os projetos que possuem uma maior diferença entre os valores de  $\alpha_1$  e  $\alpha_3$ ,  $I_{F1}$  e  $I_{F3}$ , são os que possuem os menores erros sistemáticos, enquanto os que possuem uma menor diferença são os que possuem os maiores erros sistemáticos.

Uma comparação dos resultados teóricos e de simulações do desvio padrão da diferença de  $V_T$  entre dois transistores compostos ( $M_{1(3)}$  e  $M_{2(4)}$ ) são apresentados na Tabela 15. As diferenças entre os valores das áreas dos transistores da Tabela 15 e os apresentados na Tabela 10 são devido aos ajustes de  $M$  e  $N$  necessários para minimizar os erros dos valores desejados das razões de aspecto  $S$  e de  $\alpha_{1(3)}$ .

O resultado de simulação de  $\sigma(\Delta V_T)$  foi obtido através da extração automatizada de  $V_T$  pelo método  $g_m/I_D$  em uma simulação Monte Carlo que fornece o valor do desvio padrão da diferença de  $V_T$  entre dois transistores compostos. Desse modo, a área total do transistor composto irá afetar o valor de  $\sigma(\Delta V_T)$ . No caso em que o valor de  $V_T$  é obtido através do modelo BSIM (transistor unitário) apenas a área do transistor unitário irá afetar o valor de  $\sigma(\Delta V_T)$ .

Para analisar e prever a dispersão dos valores de  $V_{REF}$  e  $I_{OUT}$  devido as variações aleatórias entre os parâmetros dos transistores, simulações Monte Carlo do esquemático da Figura 39(a) (espelho de corrente ideal) foram realizadas. Os resultados obtidos via simulações são comparados com os resultados teóricos, dados pelas equações (75) e (76). A Tabela 16 mostra o resumo dos resultados teóricos, de simulações e os erros relativos dos resultados teóricos do valor da dispersão de  $I_{OUT}$ .

Verifica-se na Tabela 16 que os menores valores dos erros relativos dos resulta-

Tabela 12 – Resumo dos parâmetros dos SCMs e da associação série-paralela dos transistores projetados.

#	Transistor	$\alpha$	S	$S_e$	$W (\mu\text{m})$ $M \times W_u$	$L (\mu\text{m})$ $N \times L_u$
1	M <sub>u1</sub>	NA	1,00	NA	1,50	1,50
	M <sub>1</sub>	7,23	4,33	3,73	13×1,50	3×1,50
	M <sub>2</sub>		27,0		27×1,50	1×1,50
	M <sub>3</sub>	4,94	0,444	0,354	4×1,50	9×1,50
	M <sub>4</sub>		1,75		7×1,50	4×1,50
2	M <sub>u2</sub>	NA	1,00	NA	0,850	0,850
	M <sub>1</sub>	7,23	4,33	3,73	13×0,850	3×0,850
	M <sub>2</sub>		27,0		27×0,850	1×0,850
	M <sub>3</sub>	2,00	0,0667	0,0333	1×0,850	15×0,850
	M <sub>4</sub>		0,0667		1×0,850	15×0,850
3	M <sub>u3</sub>	NA	1,00	NA	1,20	1,20
	M <sub>1</sub>	17,8	2,20	2,08	11×1,20	5×1,20
	M <sub>2</sub>		37,0		37×1,20	1×1,20
	M <sub>3</sub>	12,0	0,364	0,333	4×1,20	11×1,20
	M <sub>4</sub>		4,00		12×1,20	3×1,20
4	M <sub>u4</sub>	NA	1,00	NA	0,650	0,650
	M <sub>1</sub>	17,8	2,20	2,08	11×0,650	5×0,650
	M <sub>2</sub>		37,0		37×0,650	1×0,650
	M <sub>3</sub>	7,00	0,143	0,122	3×0,650	21×0,650
	M <sub>4</sub>		0,857		6×0,650	7×0,650
5	M <sub>u5</sub>	NA	1,00	NA	1,00	1,00
	M <sub>1</sub>	18,0	2,14	2,02	15×1,00	7×1,00
	M <sub>2</sub>		36,5		73×1,00	2×1,00
	M <sub>3</sub>	2,00	0,0250	0,0125	2×1,00	80×1,00
	M <sub>4</sub>		0,0250		2×1,00	80×1,00
6	M <sub>u6</sub>	NA	1,00	NA	3,00	3,00
	M <sub>1</sub>	50,0	2,71	2,66	19×3,00	7×3,00
	M <sub>2</sub>		133		133×3,00	1×3,00
	M <sub>3</sub>	30,5	0,350	0,339	7×3,00	20×3,00
	M <sub>4</sub>		10,3		31×3,00	3×3,00
7	M <sub>u7</sub>	NA	1,00	NA	1,65	1,65
	M <sub>1</sub>	50,0	2,71	2,66	19×1,65	7×1,65
	M <sub>2</sub>		133		133×1,65	1×1,65
	M <sub>3</sub>	16,0	0,133	0,125	4×1,65	30×1,65
	M <sub>4</sub>		2,00		16×1,65	8×1,65
8	M <sub>u8</sub>	NA	1,00	NA	0,850	0,850
	M <sub>1</sub>	50,0	2,71	2,66	19×0,850	7×0,850
	M <sub>2</sub>		133		133×0,850	1×0,850
	M <sub>3</sub>	2,00	0,013	0,00649	1×0,850	77×0,850
	M <sub>4</sub>		0,013		1×0,850	77×0,850

Fonte: Elaborada pelo autor.

Tabela 13 – Caracterização dos transistores unitários @  $p_{mos2v}$ ,  $g_m/I_D$ ,  $V_{DS}=13\text{ mV}$ ,  $n(V_{T0})$ .

#	Transistor	$n$	$V_{T0}$ (V)	$I_{SH}$ (nA)
1	M <sub>u1</sub>	1,32	-0,444	38,6
2	M <sub>u2</sub>	1,32	-0,446	39,1
3	M <sub>u3</sub>	1,32	-0,442	38,1
4	M <sub>u4</sub>	1,32	-0,451	40,8
5	M <sub>u5</sub>	1,32	-0,444	38,5
6	M <sub>u6</sub>	1,32	-0,440	38,7
7	M <sub>u7</sub>	1,32	-0,444	38,8
8	M <sub>u8</sub>	1,32	-0,446	39,1

Fonte: Elaborada pelo autor.

Tabela 14 – Resumo dos resultados teóricos, de simulações DC do esquemático da Figura 39(a) e os erros sistemáticos. Os valores teóricos de  $V_{REF}$  e  $I_{OUT}$  são dados por (36) e (40) @ valores da Tabela 12.

#	$V_{REF}$ (mV)		$I_{OUT}$ (nA)		Erro Relativo (%)
	Teó.	Sim.	Teó.	Sim.	
1	2,04 $\phi_t=52,9$	49,1	1,02 $I_{SH_{Mu1}}=39,5$	21,4	84,5
2	2,04 $\phi_t=53,0$	50,4	1,06 $I_{SH_{Mu2}}=41,6$	38,4	8,32
3	2,99 $\phi_t=77,4$	72,9	0,910 $I_{SH_{Mu3}}=34,7$	19,2	80,5
4	2,98 $\phi_t=77,6$	76,5	0,962 $I_{SH_{Mu4}}=39,3$	34,5	13,8
5	3,00 $\phi_t=78,1$	77,7	1,01 $I_{SH_{Mu5}}=38,9$	39,7	-1,97
6	4,00 $\phi_t=104$	100	1,05 $I_{SH_{Mu6}}=40,6$	22,5	80,4
7	4,00 $\phi_t=104$	101	1,05 $I_{SH_{Mu7}}=40,7$	33,3	22,2
8	4,00 $\phi_t=104$	102	1,00 $I_{SH_{Mu8}}=39,1$	37,1	5,53

Fonte: Elaborada pelo autor.

Tabela 15 – Resumo dos níveis de inversão e área dos transistores. Resultados teóricos @  $A_{VT} = 4,50 \text{ mV } \mu\text{m}$  e de simulações do desvio padrão da tensão de limiar entre os transistores. As simulações Monte Carlo foram realizadas considerando somente o efeito de *mismatch* e 2000 amostras.

#	Transistor	$i_f @ I_{OUT_{Sim}}$	A ( $\mu\text{m}^2$ ) Eq. (51)	$\sigma(\Delta V_T)$ ( $\mu\text{V}$ )	
				Teó. <i>mis.</i> Eq. (69)	MC <i>mis.</i>
1	M <sub>1</sub>	0,149	87,8	531	522
	M <sub>2</sub>	0,0205	60,8		
	M <sub>3</sub>	1,56	81,0		
	M <sub>4</sub>	0,317	63,0		
2	M <sub>1</sub>	0,263	28,2	937	942
	M <sub>2</sub>	0,0364	19,5		
	M <sub>3</sub>	29,5	10,8		
	M <sub>4</sub>	14,7	10,8		
3	M <sub>1</sub>	0,243	79,2	564	561
	M <sub>2</sub>	0,0136	53,3		
	M <sub>3</sub>	1,51	63,4		
	M <sub>4</sub>	0,126	51,8		
4	M <sub>1</sub>	0,407	23,2	1041	1048
	M <sub>2</sub>	0,0229	15,6		
	M <sub>3</sub>	6,91	26,6		
	M <sub>4</sub>	0,987	17,7		
5	M <sub>1</sub>	0,509	105	407	400
	M <sub>2</sub>	0,0283	146		
	M <sub>3</sub>	82,5	160		
	M <sub>4</sub>	41,2	160		
6	M <sub>1</sub>	0,219	1197	130	129
	M <sub>2</sub>	0,00437	1197		
	M <sub>3</sub>	1,72	1260		
	M <sub>4</sub>	0,0563	837		
7	M <sub>1</sub>	0,323	362	236	235
	M <sub>2</sub>	0,00645	362		
	M <sub>3</sub>	6,87	327		
	M <sub>4</sub>	0,429	348		
8	M <sub>1</sub>	0,357	96,1	459	461
	M <sub>2</sub>	0,00713	96,1		
	M <sub>3</sub>	146	55,6		
	M <sub>4</sub>	73,1	55,6		

Fonte: Elaborada pelo autor.

dos teóricos do valor da dispersão de  $I_{OUT}$  são os projetos que possuem os menores erros sistemáticos (projetos # 2, 5, 8) e vice-versa.

Tabela 16 – Resumo dos resultados teóricos, de simulações e os erros relativos dos resultados teóricos do valor da dispersão de  $I_{OUT}$ . As simulações Monte Carlo de *mismatch* e/ou processo do esquemático da Figura 39(a) foram realizadas com 2000 amostras @  $V_{DD} = 1,20\text{ V}$ ,  $V_{OUT} = 0,60\text{ V}$ . Os valores teóricos de  $\sigma(V_{REF})$  e  $\sigma(I_{OUT})/I_{OUT}$  são dados por (75) e (76) @  $\sigma(\Delta I_D)/I_D = 0$  (espelho de corrente ideal) e valores das Tabelas 12 e 15.

#	$\sigma(V_{REF})$ ( $\mu\text{V}$ )				$\frac{\sigma(I_{OUT})}{I_{OUT}}$ (%)				Erro Relativo mis. (%)
	Teó. mis. Eq. (75)	MC mis.	MC pro.	MC mis. e pro.	Teó. mis. Eq. (76)	MC mis.	MC pro.	MC mis. e pro.	
1	461	493	591	790	7,70	11,4 (2,43 nA/21,4 nA)	6,12 (1,31 nA/21,4 nA)	12,8 (2,74 nA/21,4 nA)	-32,5
2	703	688	59,1	696	3,48	4,10 (1,58 nA/38,5 nA)	2,86 (1,10 nA/38,4 nA)	5,04 (1,94 nA/38,5 nA)	-15,2
3	570	702	1022	1468	8,31	13,4 (2,56 nA/19,1 nA)	7,96 (1,52 nA/19,1 nA)	16,6 (3,15 nA/19,0 nA)	-38,0
4	936	965	160	988	5,12	7,24 (2,49 nA/34,4 nA)	4,14 (1,43 nA/34,5 nA)	8,23 (2,84 nA/34,5 nA)	-29,3
5	302	334	84,9	342	0,882	0,995 (0,395 nA/39,7 nA)	2,19 (0,870 nA/39,7 nA)	2,39 (0,950 nA/39,7 nA)	-11,3
6	141	152	147	211	1,74	2,50 (0,563 nA/22,5 nA)	2,40 (0,541 nA/22,5 nA)	3,48 (0,782 nA/22,5 nA)	-30,3
7	241	224	143	264	1,15	1,52 (0,506 nA/33,2 nA)	2,75 (0,915 nA/33,3 nA)	3,15 (1,05 nA/33,3 nA)	-24,4
8	370	384	131	406	0,807	0,863 (0,321 nA/37,2 nA)	2,21 (0,820 nA/37,1 nA)	2,36 (0,878 nA/37,2 nA)	-6,50

Fonte: Elaborada pelo autor.

Um espelho de corrente simples foi projetado para analisar o seu efeito nos valores de  $\sigma(V_{REF})$  e  $\sigma(I_{OUT})/I_{OUT}$ . A área de  $M_{5-7}$  calculada através de (74) foi de  $96,3\ \mu\text{m}^2$  @  $\sigma(\Delta I_D)/I_D = 1\%$ ,  $A_{VT} = 3,90\text{ mV}\ \mu\text{m}$ ,  $A_\beta = 0,752\ \%\ \mu\text{m}$ ,  $i_f = 1$  e  $n = 1,27$ . Para diminuir a condutância de saída, os transistores  $M_{5-7}$  foram implementados através da associação série de 16 transistores unitários com as dimensões  $W_U = 5,60\ \mu\text{m}$  e  $L_U = 1,075\ \mu\text{m}$  [39, 41], e parâmetros  $n = 1,28$ ,  $V_{T0} = 0,451\text{ V}$  e  $I_{SH} = 114\text{ nA}$ . Os resultados da simulação Monte Carlo do espelho de corrente são apresentados na Tabela 17.

Tabela 17 – Resultados das simulações Monte Carlo de *mismatch* e/ou processo com 2000 amostras do espelho de corrente @  $I_{IN} = 37,1\text{ nA}$ ,  $V_{OUT} = 0,60\text{ V}$ .

$\frac{\sigma(\Delta I_D)}{I_D}$ (%)		
MC mis.	MC pro.	MC mis. e pro.
0,917	0,0126	0,903

Fonte: Elaborada pelo autor.

Simulações Monte Carlo do esquemático da Figura 39(b) (espelho de corrente com  $M_{5-7}$ ) considerando a contribuição da variação dos parâmetros de todos os transistores do circuito foram realizadas. Os resultados são apresentados na Tabela 18. Comparando as Tabelas 16 e 18 verifica-se que o impacto do espelho de corrente em  $V_{REF}$  e  $I_{OUT}$  não foi muito significativo uma vez que o mesmo foi projetado para  $\sigma(\Delta I_D)/I_D = 1\%$ .

Os projetos dos circuitos que realizam a extração da tensão de limiar (# 1, 3 e 6) apresentaram os maiores erros sistemáticos (conforme mostra a Tabela 14) e os erros relativos dos resultados teóricos do valor da dispersão de  $I_{OUT}$  (conforme mostra a Tabela 16). Para evitar estes erros, o projeto da fonte de corrente e a extração da tensão de limiar podem ser realizados de forma independente, através da adição de

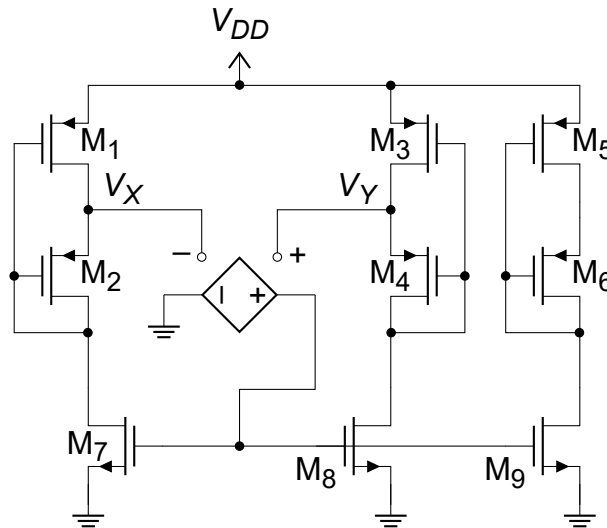
Tabela 18 – Resumo dos resultados teóricos, de simulações e os erros relativos dos resultados teóricos do valor da dispersão de  $I_{OUT}$ . As simulações Monte Carlo de *mismatch* e/ou processo do esquemático da Figura 39(b) foram realizadas com 2000 amostras @  $V_{DD} = 1,20\text{ V}$ ,  $V_{OUT} = 0,60\text{ V}$ . Os valores teóricos de  $\sigma(V_{REF})$  e  $\sigma(I_{OUT})/I_{OUT}$  são dados por (75) e (76) @  $\sigma(\Delta I_D)/I_D = 0,917\%$  (*mismatch* do espelho de corrente) e valores das Tabelas 12 e 15.

#	$\sigma(V_{REF})$ ( $\mu\text{V}$ )				$\sigma(I_{OUT})/I_{OUT}$ (%)				Erro Relativo <i>mis.</i> (%)
	Teó. <i>mis.</i> Eq. (75)	MC <i>mis.</i>	MC pro.	MC <i>mis.</i> e pro.	Teó. <i>mis.</i> Eq. (76)	MC <i>mis.</i>	MC pro.	MC <i>mis.</i> e pro.	
1	461	494	61,4	488	7,76	11,4 (2,44 nA/21,4 nA)	2,78 (0,595 nA/21,4 nA)	11,4 (2,44 nA/21,4 nA)	-31,9
2	703	689	59,1	692	3,48	4,23 (1,63 nA/38,5 nA)	2,63 (1,01 nA/38,4 nA)	5,09 (1,96 nA/38,5 nA)	-17,8
3	570	704	85,9	714	8,37	13,5 (2,58 nA/19,1 nA)	3,00 (0,573 nA/19,1 nA)	13,9 (2,65 nA/19,1 nA)	-38,0
4	936	982	160	991	5,20	7,27 (2,50 nA/34,4 nA)	4,14 (1,43 nA/34,5 nA)	8,37 (2,88 nA/34,4 nA)	-28,5
5	304	334	84,8	345	1,28	1,38 (0,551 nA/39,8 nA)	2,18 (0,865 nA/39,7 nA)	2,61 (1,04 nA/39,8 nA)	-7,61
6	142	156	147	214	1,99	2,80 (0,628 nA/22,4 nA)	2,41 (0,539 nA/22,4 nA)	3,69 (0,826 nA/22,4 nA)	-29,0
7	242	223	143	263	1,47	1,80 (0,598 nA/33,2 nA)	2,74 (0,911 nA/33,3 nA)	3,31 (1,10 nA/33,2 nA)	-18,1
8	370	385	131	408	1,22	1,27 (0,473 nA/37,3 nA)	2,19 (0,815 nA/37,2 nA)	2,53 (0,942 nA/37,3 nA)	-3,75

Fonte: Elaborada pelo autor.

um ramo, conforme mostra a Figura 40, e assim polarizar o transistor  $M_5$  em  $i_{f5} = 3$  ( $V_{G5} = V_T$ ) e não necessitando  $i_{f3} = 3$ .

Figura 40 – Adição dos transistores  $M_{5,6}$  (SCM 5-6) para extração da tensão de limiar.



Fonte: Elaborada pelo autor.

O SCM 5-6 da Figura 40, de razão de aspecto equivalente  $S_{e5}$ , pode operar em um nível de inversão  $i_{f5}$  através de um espelhamento ponderado da corrente  $I_{D4}$ . O peso pode ser ajustado pela relação entre as razões de aspecto dos transistores  $M_9$  e  $M_8$  de acordo com

$$i_{f5} = \frac{S_9 S_{e3} i_{f3}}{S_8 S_{e5}} \quad (77)$$

Fazendo o SCM 5-6 igual a uma associação paralela de  $M$  SCM 3-4 ( $S_{e5} = M S_{e3}$ ), temos que  $M$  é dado por

$$M = \frac{S_9 i_{f3}}{S_8 i_{f5}} \quad (78)$$



A extração da tensão de limiar ( $i_{F5} = 3$ ) pode ser realizada através dos SCMs dos projetos # 2 e 8 (Tabela 12). Para um espelho de corrente de ganho unitário ( $S_9 = S_8$ ) os SCMs 5-6 são implementados através das associações paralelas de 10 e 49 SCMs 3-4, respectivamente. A dispersão do valor de  $V_{G5}$  em função da área do SCM 5-6 é desprezível, pois a sua área é relativamente grande. O cálculo da área de  $M_5$  em função de  $\sigma(V_{G5})$  e de outros parâmetros é demonstrado no Apêndice E.4.

### 3.4 CONCLUSÃO

Uma metodologia de projeto do circuito de fonte de corrente que tem como finalidade garantir o valor e a dispersão da referência de corrente desejados foi apresentada. Esta metodologia elimina a necessidade de um ajuste (*trimming*) ou calibração no circuito após a fabricação para obter os valores desejados da corrente de referência. As expressões analíticas do valor e da dispersão de  $I_{OUT}$  foram validadas através dos resultados obtidos via simulações DC e de Monte Carlo.

Para satisfazer a dispersão do valor da corrente de referência igual a 1% para valores iguais de  $V_{REF}$ ,  $\alpha_1$ ,  $i_{F1}$ , há diferentes combinações de valores de  $\alpha_3$ ,  $i_{F3}$ , e área, como mostra a Tabela 10 (projetos # 6, 7 e 8). Assim, verifica-se que há um compromisso entre a área de cada transistor e a tensão de *pinch-off* de  $M_3$ .

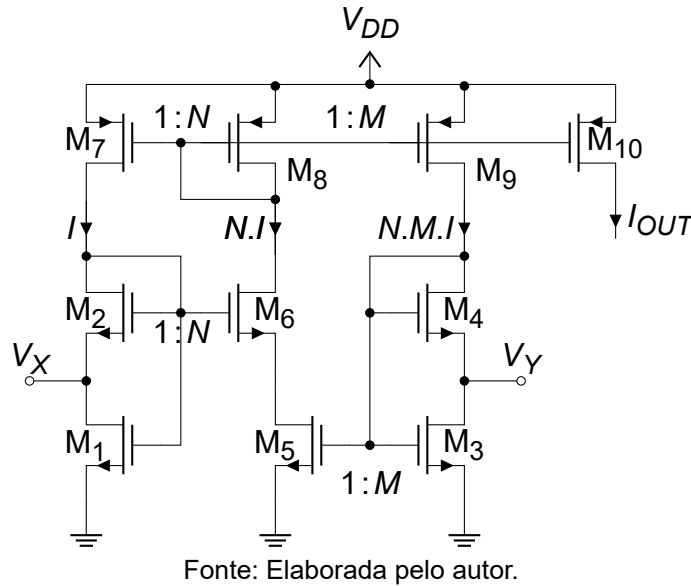
O circuito da Figura 40, extrator da tensão de limiar, foi proposto para minimizar os erros sistemáticos e aleatórios de  $I_{OUT}$  e de  $V_{G5} = V_T$ .

A varredura nos graus de liberdade dos parâmetros de projeto da fonte de corrente e a comparação dos resultados teóricos e de simulações permitiram uma melhor compreensão dos erros sistemáticos e prever os erros aleatórios da tensão e corrente de referências em função dos parâmetros de projeto do circuito. Desse modo, foi possível explorar parte do espaço de projeto para chegar aos valores mais adequados das razões de aspecto e área dos transistores, tensões e correntes de polarização do circuito para satisfazer as especificações iniciais de projeto. Um bom projeto de espelho de corrente é essencial para minimizar o seu impacto em  $I_{OUT}$ .

#### 4 ANÁLISE E PROJETO DA FONTE DE CORRENTE DE HEIM, SCHULTZ E JABRI

O circuito da Figura 41 foi proposto em [51] e também apresentado em [52, 53]. No circuito da Figura 41 o ramo intermediário formado por  $M_5$ ,  $M_6$  e  $M_8$  realiza a mesma função do Amp Op da Figura 22 e impõe a igualdade dos potenciais  $V_X$  e  $V_Y$ .

Figura 41 – Circuito de fonte de corrente (topologia de Heim) com o ramo intermediário ( $M_5$ ,  $M_6$  e  $M_8$ ) e dois SCMs.



De fato, se  $M_6$  é igual a  $M_2$  e  $N=M=1$ , a tensão de fonte  $V_{S6}$  é igual a  $V_X$ . Por outro lado, se  $M_5$  é igual a  $M_3$ , sua tensão de dreno  $V_{D5}$  é igual a  $V_Y$ . Assim, a conexão em série de  $M_5$ ,  $M_6$  e  $M_8$  força  $V_X = V_{REF} = V_Y$ . Desse modo, o circuito da Figura 41 pode ser projetado da mesma maneira que o circuito de Hurtado (Figura 22).

##### 4.1 ANÁLISE DOS ERROS ALEATÓRIOS DA TENSÃO DE REFERÊNCIA

A variância da tensão de referência do circuito da Figura 41 devido ao descasamento da tensão de limiar entre os transistores dos SCMs e do ramo intermediário ( $M_5$  e  $M_6$ ), resulta em

$$\begin{aligned} \sigma^2(V_{off}) = & \frac{\sigma^2(\Delta V_{T1,2})}{n^2} \left( \frac{1-\alpha_1}{\alpha_1} \right)^2 + \frac{\sigma^2(\Delta V_{T6,2})}{n^2} + \frac{\sigma^2(\Delta V_{T5,3})}{n^2} \left( \frac{g_{ms3}}{g_{md3}} - 1 \right)^2 \\ & + \frac{\sigma^2(\Delta V_{T3,4})}{n^2} \left( \frac{g_{md3}}{g_{ms3}} - 1 \right)^2, \quad M_1 @ WI \\ \frac{g_{ms3}}{g_{md3}} = & \begin{cases} \frac{\sqrt{1+i_3}-1}{\sqrt{1+i_3/\alpha_3}-1}, & M_3 @ MI \text{ ou } SI \\ \sqrt{\alpha_3}, & M_3 @ SI \end{cases} \end{aligned} \quad (79)$$

como calculado no Apêndice B, onde  $\Delta V_{T1,2} = V_{T1} - V_{T2}$ ,  $\Delta V_{T6,2} = V_{T6} - V_{T2}$ ,  $\Delta V_{T5,3} = V_{T5} - V_{T3}$ ,  $\Delta V_{T3,4} = V_{T3} - V_{T4}$ ,  $\alpha_1 = 1 + S_2/S_1$  e  $\alpha_3 = 1 + S_4/S_3$ .

De modo semelhante ao cálculo apresentado na Seção 3.2.5, a área do transistor em função da dispersão da corrente de referência  $I_{OUT}$  e de outros parâmetros é dado por

$$A = \frac{4A_{VT}^2 \left( \frac{(1-\alpha_1)^2}{\alpha_1^2} + 1 + \left( \frac{g_{ms3}}{g_{md3}} - 1 \right)^2 + \left( \frac{g_{md3}}{g_{ms3}} - 1 \right)^2 \right)}{\frac{\sigma^2(I_{OUT})}{I_{OUT}^2} n^2 \phi_t^2 (\sqrt{1+i_{f3}} - \sqrt{1+i_{f3}/\alpha_3})^2} \quad (80)$$

## 4.2 PROJETOS, RESULTADOS TEÓRICOS E DE SIMULAÇÕES DA FONTE DE CORRENTE

Um primeiro projeto do circuito da Figura 41, realizado antes da conclusão da metodologia de projeto apresentada no Capítulo 3, é apresentado no Apêndice F e foi publicado em [43]. Durante o desenvolvimento da metodologia de projeto, 4 fontes de correntes foram projetadas, simuladas e fabricadas em tecnologia CMOS 180 nm para fornecer uma corrente de referência de saída  $I_{OUT} = I_{SH} = 38$  nA. A Tabela 19 resume as especificações de cada projeto.

Tabela 19 – Especificações de cada projeto de fonte de corrente @  $I_{OUT} = I_{SH} = 38$  nA.

#	$V_{REF}$ (mV)	$\frac{\sigma(I_{OUT})}{I_{OUT}}$ (%)
1	$2\phi_t=52$	5
2	$2\phi_t=52$	1
3	$3\phi_t=78$	5
4	$3\phi_t=78$	5

Fonte: Elaborada pelo autor.

A Tabela 20 mostra os diferentes valores de  $\alpha_{1(3)}$  e  $i_{f1(3)}$  escolhidos para cada projeto. A maioria das especificações e dos valores de  $\alpha_{1(3)}$  e  $i_{f1(3)}$  escolhidos dos projetos # 1, 2, 3 e 4 (Tabelas 19 e 20) são semelhantes aos projetos # 1, 2, 3 e 5 (Tabelas 7 e 8), respectivamente.

Tabela 20 – Valores iniciais dos parâmetros  $\alpha_{1(3)}$  e  $i_{f1(3)}$  de cada projeto.

#	$\alpha_1$	$\alpha_3$	$i_{f1}$	$i_{f3}$
1	6,70	4,75	0,490	3,00
2	6,70	2,00	0,490	30,5
3	18,0	11,8	0,493	3,00
4	18,0	2,00	0,493	80,7

Fonte: Elaborada pelo autor.

Os valores iniciais da área de cada transistor e da tensão de *pinch-off* de  $M_3$  de cada projeto são mostrados na Tabela 21.

Tabela 21 – Valores iniciais da área de cada transistor e da tensão de *pinch-off* de  $M_3$  de cada projeto @  $A_{VT}=4,50 \text{ mV } \mu\text{m}$ ,  $n=1,32$ .

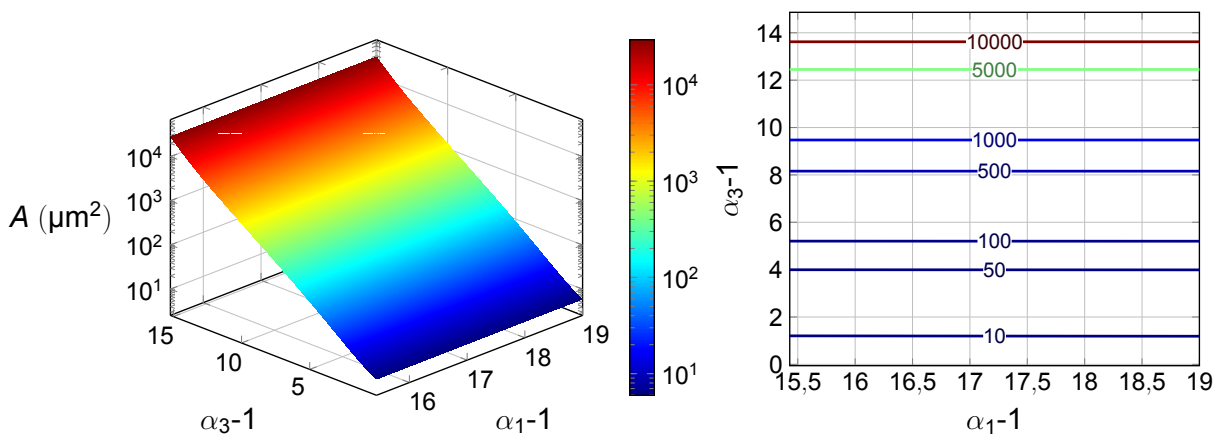
#	$A \text{ (}\mu\text{m}^2\text{)}$ Eq. (80)	$\frac{V_{G3}-V_{T0}}{n}$ (V) Eq. (6)
1	488	0
2	582	0,134
3	2015	0
4	9,01	0,237

Fonte: Elaborada pelo autor.

A Figura 42 mostra o resultado da área do transistor, dado por (80), em função de  $\alpha_1$  e  $\alpha_3$  necessária para uma dispersão do valor da corrente de referência igual a 5%. A área de cada transistor do projeto # 3 é igual a  $2015 \mu\text{m}^2$  @  $\alpha_1 = 18,0$  e  $\alpha_3 = 11,8$ , uma possível solução das dimensões dos transistores unitários é  $W_U=L_U=7 \mu\text{m}$ , conforme mostra a Tabela 22. Uma vez que esta condição satisfaz  $A = 2015 \mu\text{m}^2 > A_{min} = 1793 \mu\text{m}^2$ , equação (60) @  $L_U=7 \mu\text{m}$  e  $S_{2,6}=36,6$ .

Para evitar os efeitos de canal curto e estreito as dimensões dos transistores unitários do projeto # 4 escolhidas foram  $W_U=L_U=1 \mu\text{m}$ . Desse modo a área de cada transistor ficou maior que a área necessária de  $9,01 \mu\text{m}^2$  uma vez que  $A_{min} = 40,3 \mu\text{m}^2$ , equação (60) @  $W_U=1 \mu\text{m}$  e  $S_{3-5}=0,0248$ .

Figura 42 – Resultado do cálculo da área do transistor, dado por (80), em função de  $\alpha_1$  e  $\alpha_3$  @  $V_{REF}=3\phi_t$ ,  $I_{OUT}=I_{SH}$ ,  $\Delta I_{OUT}/I_{OUT}=5,00\%$ ,  $A_{VT}=4,50 \text{ mV } \mu\text{m}$ ,  $n=1,32$ .



(a) Gráfico em três dimensões.

(b) Curvas de nível da Figura 42(a).

Fonte: Elaborada pelo autor.

A Tabela 23 mostra o resumo dos parâmetros dos SCMs e da associação série-paralela dos transistores projetados. Os valores dos parâmetros dos transistores unitários são apresentados na Tabela 24.

Tabela 22 – Valores mínimos das dimensões dos transistores unitários.

#	$A$ ( $\mu\text{m}^2$ ) Eq. (80)	$S_{min}$	$S_{max}$	$W_{U_{min}}$ ( $\mu\text{m}$ ) Eq. (58)	$L_{U_{min}}$ ( $\mu\text{m}$ ) Eq. (59)
1	488	0,428	13,7	14,5	5,97
2	582	0,0657	13,7	6,18	6,52
3	2015	0,365	36,6	27,1	7,42
4	9,01	0,0248	36,6	0,473	0,496

Fonte: Elaborada pelo autor.

Tabela 23 – Resumo dos parâmetros dos SCMs e da associação série-paralela dos transistores projetados.

#	Transistor	$\alpha$	$S$	$S_e$	$W$ ( $\mu\text{m}$ ) $M \times W_u$	$L$ ( $\mu\text{m}$ ) $N \times L_u$
1	$M_{U1}$	NA	1,00	NA	5,00	5,00
	$M_1$	7,00	2,33	2,00	$7 \times 5,00$	$3 \times 5,00$
	$M_{2,6}$		14,0		$14 \times 5,00$	$1 \times 5,00$
	$M_{3,5}$	4,89	0,429	0,341	$3 \times 5,00$	$7 \times 5,00$
	$M_4$		1,67		$5 \times 5,00$	$3 \times 5,00$
2	$M_{U2}$	NA	1,00	NA	5,00	5,00
	$M_1$	7,00	2,33	2,00	$7 \times 5,00$	$3 \times 5,00$
	$M_{2,6}$		14,0		$14 \times 5,00$	$1 \times 5,00$
	$M_{3,5}$	2,00	0,0667	0,0333	$1 \times 5,00$	$15 \times 5,00$
	$M_4$		0,0667		$1 \times 5,00$	$15 \times 5,00$
3	$M_{U3}$	NA	1,00	NA	7,00	7,00
	$M_1$	19,5	2,00	1,90	$10 \times 7,00$	$5 \times 7,00$
	$M_{2,6}$		37,0		$37 \times 7,00$	$1 \times 7,00$
	$M_{3,5}$	12,0	0,364	0,333	$4 \times 7,00$	$11 \times 7,00$
	$M_4$		4,00		$12 \times 7,00$	$3 \times 7,00$
4	$M_{U4}$	NA	1,00	NA	1,00	1,00
	$M_1$	19,5	2,00	1,90	$10 \times 1,00$	$5 \times 1,00$
	$M_{2,6}$		37,0		$37 \times 1,00$	$1 \times 1,00$
	$M_{3,5}$	2,00	0,0250	0,0125	$1 \times 1,00$	$40 \times 1,00$
	$M_4$		0,0250		$1 \times 1,00$	$40 \times 1,00$

Fonte: Elaborada pelo autor.



Tabela 25 – Resumo dos resultados teóricos, de simulações DC do esquemático da Figura 43 e erros sistemáticos. Os valores teóricos de  $V_{REF}$  e  $I_{OUT}$  são dados por (36) e (40) @ valores da Tabela 23.

#	$V_{REF}$ (mV)		$I_{OUT}$ (nA)		
	Teó.	Sim.	Teó.	Sim.	Erro Relativo (%)
1	$2,05\phi_t=53,4$	48,6	$1,06I_{SH_{Mu1}}=40,8$	22,1	84,6
2	$2,05\phi_t=53,4$	49,8	$1,09I_{SH_{Mu2}}=41,7$	35,1	18,8
3	$3,11\phi_t=80,9$	76,0	$1,22I_{SH_{Mu3}}=46,4$	29,1	59,5
4	$3,10\phi_t=80,5$	77,4	$1,08I_{SH_{Mu4}}=41,8$	39,4	6,09

Fonte: Elaborada pelo autor.

Tabela 26 – Resumo dos níveis de inversão e área dos transistores. Resultados teóricos @  $A_{VT} = 4,50 \text{ mV}\mu\text{m}$  e de simulações do desvio padrão da tensão de limiar entre os transistores. As simulações Monte Carlo foram realizadas considerando somente o efeito de *mismatch* e 2000 amostras.

#	Transistor	$i_f @ I_{OUT_{Sim}}$	A ( $\mu\text{m}^2$ ) Eq. (51)	$\sigma(\Delta V_T)$ ( $\mu\text{V}$ )			
				Teó.	mis. Eq. (69)	MC mis.	
1	M <sub>1</sub>	0,288	525	N.A.	220	N.A.	218
	M <sub>2,6</sub>	0,0411	350	241		242	
	M <sub>3,5</sub>	1,69	525	196	215	193	215
	M <sub>4</sub>	0,345	375	N.A.		N.A.	
2	M <sub>1</sub>	0,457	525	N.A.	220	N.A.	218
	M <sub>2,6</sub>	0,0653	350	241		242	
	M <sub>3,5</sub>	27,4	375	232	232	232	232
	M <sub>4</sub>	13,7	375	N.A.		N.A.	
3	M <sub>1</sub>	0,403	2450	N.A.	98,6	N.A.	98,9
	M <sub>2,6</sub>	0,0206	1813	106		104	
	M <sub>3,5</sub>	2,29	2156	96,9	102	96,8	101
	M <sub>4</sub>	0,191	1764	N.A.		N.A.	
4	M <sub>1</sub>	0,539	50	N.A.	690	N.A.	699
	M <sub>2,6</sub>	0,0277	37	740		737	
	M <sub>3,5</sub>	81,9	40	712	712	718	718
	M <sub>4</sub>	40,9	40	N.A.		N.A.	

Fonte: Elaborada pelo autor.

considerando somente o efeito da variação dos parâmetros em  $M_{1-6}$ . Os resultados das dispersões dos valores de  $V_{REF}$  e  $I_{OUT}$  obtidos via simulações são comparados com os resultados teóricos, dados pelas equações (79) e (76). A Tabela 27 mostra o resumo dos resultados teóricos, de simulações e os erros relativos dos resultados teóricos do valor da dispersão de  $I_{OUT}$ .

Tabela 27 – Resumo dos resultados teóricos, de simulações e os erros relativos dos resultados teóricos do valor da dispersão de  $I_{OUT}$ . As simulações Monte Carlo de *mismatch* e/ou processo do esquemático da Figura 43 foram realizadas com 2000 amostras e considerando somente o efeito da variação dos parâmetros em  $M_{1-6}$  @  $V_{DD} = 1,50\text{ V}$ ,  $V_{OUT} = 1,00\text{ V}$ . Os valores teóricos de  $\sigma(V_{REF})$  e  $\sigma(I_{OUT})/I_{OUT}$  são dados por (79) e (76) @  $\sigma(\Delta I_D)/I_D = 0$  (espelho de corrente ideal) e valores das Tabelas 23 e 26.

#	$\sigma(V_{REF})$ ( $\mu\text{V}$ )				$\frac{\sigma(I_{OUT})}{I_{OUT}}$ (%)					
	Teó. mis. Eq. (79)	MC mis.	MC pro.	MC mis. e pro.	Teó. mis. Eq. (76)	MC mis.	MC pro.	MC mis. e pro.	Erro Relativo mis. (%)	
1	517	342	92,1	356	7,62	11,3 (2,50 nA/22,1 nA)	2,62 (0,578 nA/22,1 nA)	11,6 (2,57 nA/22,1 nA)	-32,6	
2	255	184	75,4	199	1,31	1,05 (0,370 nA/35,1 nA)	1,72 (0,604 nA/35,1 nA)	2,01 (0,706 nA/35,1 nA)	24,7	
3	595	321	144	351	5,74	8,76 (2,68 nA/30,6 nA)	2,53 (0,735 nA/29,1 nA)	9,12 (2,79 nA/30,6 nA)	-34,5	
4	809	600	104	607	2,37	1,93 (0,762 nA/39,4 nA)	2,34 (0,922 nA/39,4 nA)	3,07 (1,21 nA/39,4 nA)	22,6	

Fonte: Elaborada pelo autor.

Os circuitos de fonte de corrente autopolarizados, e de um modo geral, todos os circuitos com dois pontos de operação CC possíveis precisam de um circuito de *start-up*. O circuito de *start-up* (transistores  $M_{9-10}$  e o capacitor MOS  $M_{11}$ ) da Figura 44, ao injetar corrente em um nó adequado, força o circuito a sair do estado de corrente nula e o leva ao ponto de operação desejado.

Os transistores  $M_{12-21}$  do espelho de corrente cascode da Figura 44 foram implementados através da associação série de 4 transistores unitários *nmos2v* com as dimensões  $W_U = 3,00\ \mu\text{m}$  e  $L_U = 7,50\ \mu\text{m}$ , e parâmetros  $n = 1,28$ ,  $V_{T0} = 0,433\text{ V}$  e  $I_{SH} = 147\text{ nA}$ . Os resultados das simulações Monte Carlo são apresentados na Tabela 28.

Tabela 28 – Resultados das simulações Monte Carlo de *mismatch* e/ou processo com 2000 amostras do espelho de corrente cascode @  $I_{IN} = 31,3\text{ nA}$ ,  $V_{OUT} = 1,00\text{ V}$ .

$\frac{\sigma(\Delta I_D)}{I_D}$ (%)		
MC mis.	MC pro.	MC mis. e pro.
0,793	$1,72 \times 10^{-3}$	0,795

Fonte: Elaborada pelo autor.

O leiaute completo do projeto # 4 é apresentado na Figura 45.

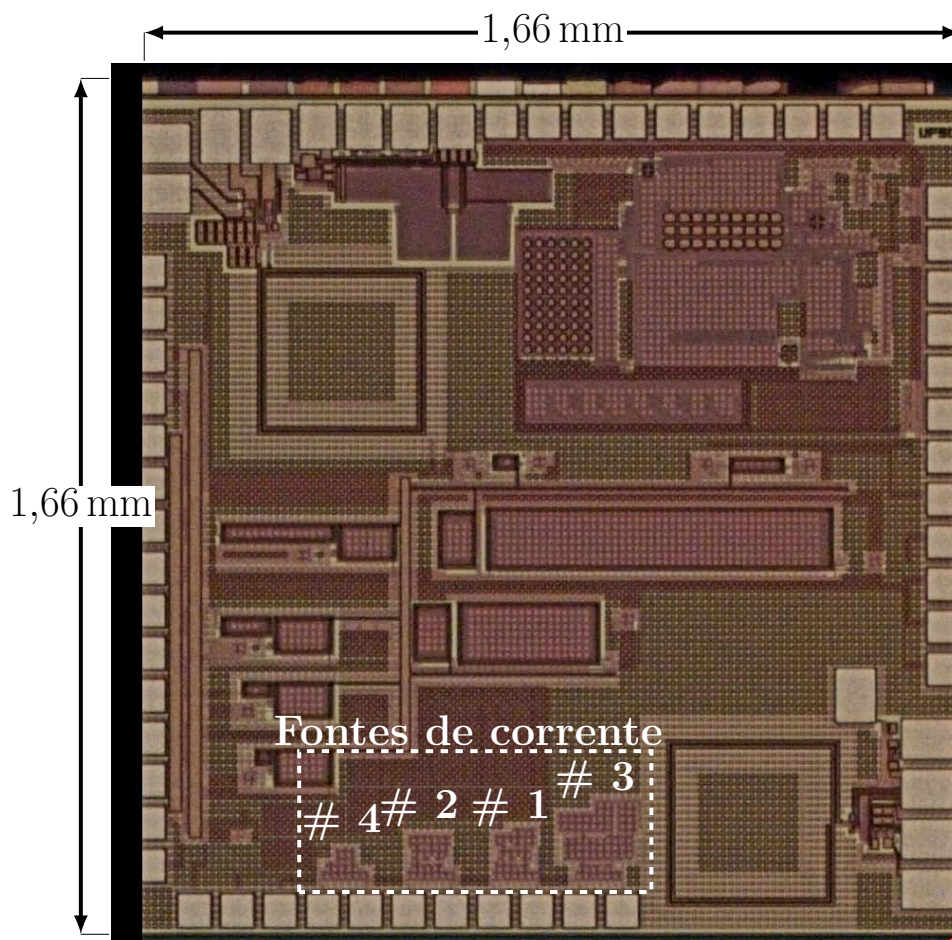
A microfotografia do *die* com os 4 circuitos de fontes de corrente é apresentada na Figura 46.

Simulações Monte Carlo do esquemático da Figura 44 considerando a contribuição da variação dos parâmetros de todos os transistores do circuito foram realizadas. Os resultados são apresentados na Tabela 29.





Figura 46 – Microfotografia do *die* com os 4 circuitos de fontes de corrente fabricados em tecnologia CMOS 180 nm.



Fonte: Elaborada pelo autor.

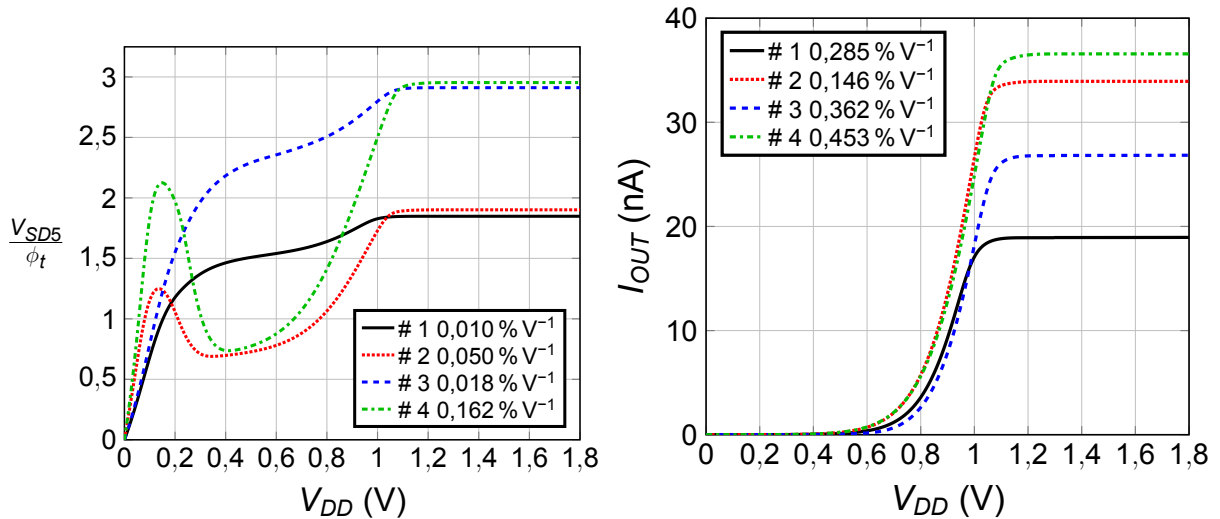
Tabela 29 – Resumo dos resultados de simulações. As simulações Monte Carlo de *mismatch* e/ou processo do esquemático da Figura 44 foram realizadas com 2000 amostras @  $V_{DD} = 1,50\text{ V}$ ,  $V_{OUT} = 1,00\text{ V}$ .

#	$\sigma(V_{REF})$ ( $\mu\text{V}$ )			$\frac{\sigma(I_{OUT})}{I_{OUT}}$ (%)		
	MC <i>mis.</i>	MC pro.	MC <i>mis.</i> e pro.	MC <i>mis.</i>	MC pro.	MC <i>mis.</i> e pro.
1	905	93,0	898	29,5 (6,53 nA/22,1 nA)	2,65 (0,586 nA/22,1 nA)	29,1 (6,44 nA/22,1 nA)
2	365	72,8	358	3,62 (1,27 nA/35,1 nA)	1,70 (0,598 nA/35,1 nA)	3,87 (1,36 nA/35,1 nA)
3	1998	139	2195	39,1 (11,8 nA/30,2 nA)	2,48 (0,722 nA/29,1 nA)	40,4 (12,2 nA/30,2 nA)
4	678	97,7	684	3,17 (1,25 nA/39,4 nA)	2,31 (0,910 nA/39,4 nA)	3,95 (1,56 nA/39,5 nA)

Fonte: Elaborada pelo autor.

As Figuras 47(a) e 47(b) mostram os resultados das simulações DC das curvas da tensão e corrente de referências em função da tensão de alimentação de cada projeto, respectivamente. Nas legendas há os valores da regulação da tensão e corrente de referências em relação à tensão de alimentação.

Figura 47 – Resultados das simulações DC pós-leiaute do circuito completo (Figura 44).



(a) Tensão de referência normalizada em função da tensão de alimentação. (b) Corrente de referência em função da tensão de alimentação.

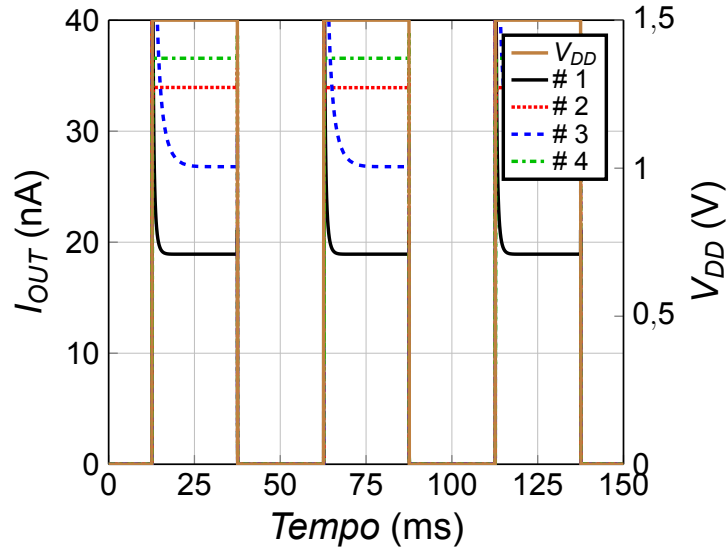
Fonte: Elaborada pelo autor.

Para verificar as características de partida da fonte de corrente, aplicou-se um sinal de onda quadrada em  $V_{DD}$  de 0 a 1,5V com um período de 50 ms (20 Hz). Os resultados das simulações transiente são apresentados na Figura 48.

Para analisar a estabilidade do circuito foram realizadas simulações de estabilidade (*Stability Analysis*) para obter o ganho e fase das duas malhas  $V_X$  e  $V_Y$  da Figura 44, conforme mostra a Figura 49. Dois amperímetros foram adicionados no esquemático da Figura 44 para identificar as interrupções das duas malhas  $V_X$  (um amperímetro entre  $V_{G2}$  e  $V_{G6}$ ) e  $V_Y$  (outro amperímetro entre  $V_{G3}$  e  $V_{G5}$ ), e assim o sinal circular através de cada malha. O amperímetro não altera as condições de polarização e características do circuito. O ganho de malha para este circuito é importante porque as duas malhas realizam realimentação positiva.

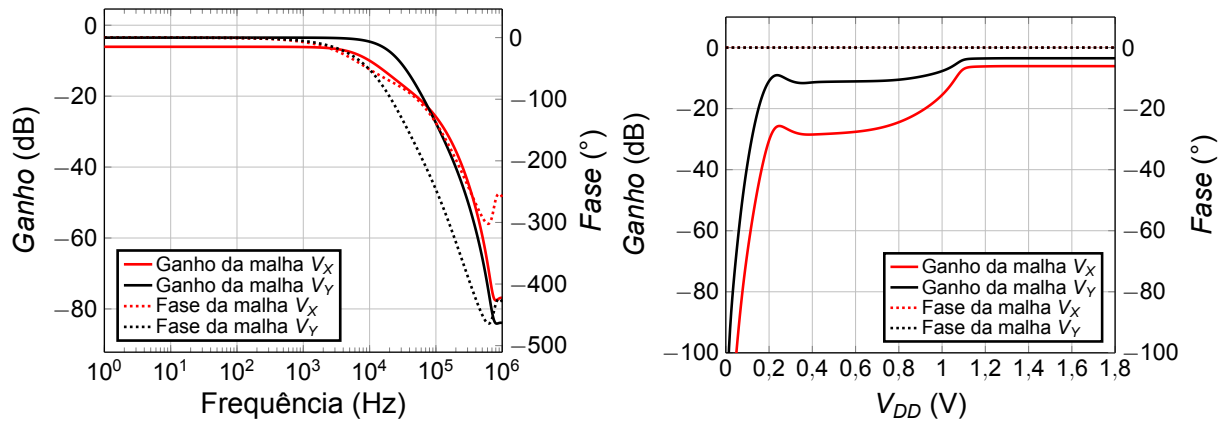
Os circuitos de todos os projetos são estáveis uma vez que os ganhos de malhas são menores que 0 dB (1 V/V), conforme mostra a Tabela 30, e fase igual a 0°.

Figura 48 – Corrente de referência e tensão de alimentação em função do tempo. Resultados das simulações transiente pós-leiaute do circuito da Figura 44.



Fonte: Elaborada pelo autor.

Figura 49 – Resultados das simulações de estabilidade do circuito da Figura 44 e projeto # 4.



(a) Ganho e fase das malhas  $V_{X(Y)}$  em função da frequência @  $V_{DD}=1,50$  V. (b) Ganho e fase das malhas  $V_{X(Y)}$  em função da tensão de alimentação @  $f=0$ .

Fonte: Elaborada pelo autor.

Tabela 30 – Ganho das malhas  $V_X$  e  $V_Y$  de cada projeto @  $V_{DD}=1,50$  V,  $f=0$ .

#	Ganho de malha (dB)	
	$V_X$	$V_Y$
1	-1,05	-0,319
2	-3,94	-2,93
3	-1,51	-0,172
4	-6,08	-3,50

Fonte: Elaborada pelo autor.

## 5 CONCLUSÃO

As topologias de circuitos de fontes de corrente autopolarizadas apresentadas são aptas para operarem com uma tensão de alimentação e correntes muito baixas, reduzindo assim o consumo de potência. A redução da tensão de alimentação é possível uma vez que o ponto de operação do circuito permite a polarização dos transistores em um nível de inversão fraca e moderada. Assim, evita-se o uso do transistor operando em inversão forte e de uma maior tensão de alimentação mínima. A redução da corrente em cada ramo do circuito é limitada devido a razão de aspecto do transistor necessária para uma corrente de dreno muito baixa.

A maioria das topologias de fontes de corrente autopolarizadas estudadas nesta tese utilizam a característica  $V-I$  do SCM para determinar o ponto de operação e gerar a tensão e a corrente de referências desejadas. O ponto de operação ( $V_{REF} = V_X = V_Y$ ) de cada topologia é estabelecido através de diferentes estratégias: no circuito de Hurtado (Figura 22) é utilizado o Amp Op, no circuito de Heim (Figura 41) é utilizado o ramo com os transistores  $M_5$  e  $M_6$ , no circuito de Camacho (Figura 74) é utilizado a estrutura VFCM e no circuito de Guigues (Figura 76) é utilizado um curto-circuito físico.

Para minimizar os erros sistemáticos e aleatórios de  $V_{REF}$  e  $I_{OUT}$  foram utilizadas duas estratégias de leiaute para implementar os transistores compostos. A primeira estratégia foi utilizar a associação série-paralela de transistores unitários. A segunda estratégia foi escolher a área mais adequada, obtida através do cálculo do modelo de *mismatch*, e utilizar a mesma área para todos os transistores.

Através da análise, da metodologia e da exploração do espaço de projeto do circuito de fonte de corrente apresentadas no Capítulo 3 foi possível analisar e projetar outras topologias, como demonstrado no Capítulo 4, Apêndices G e H. Uma análise do impacto do espelho de corrente em  $V_{REF}$  e  $I_{OUT}$  também foi realizada no Capítulo 3.

No Capítulo 2 alguns procedimentos para extrair os principais parâmetros DC dos MOSFETs baseados no modelo ACM, com o transistor polarizado na região triodo (método  $g_m/I_D$ ) ou de saturação (métodos  $g_{ms}/I_D$  e  $3I_S$ ) foram demonstrados. Através do algoritmo genético foi possível otimizar os valores dos parâmetros constantes extraídos na região de saturação para minimizar o erro RMS da curva  $I_D \times V_G @ V_D = V_G$  do modelo ACM. A precisão das características do modelo de transistor utilizado no projeto de circuitos MOS depende não apenas de um bom modelo de dispositivo, mas também dos valores dos seus parâmetros. A correta caracterização do transistor é essencial para minimizar o erro sistemático do projeto de circuitos MOS.

### 5.1 TRABALHOS FUTUROS

Para trabalhos futuros as sugestões são as seguintes:

- Projetar os circuitos de fontes de corrente para aplicações específicas, tais

---

como: muito baixa tensão, muito baixo consumo, resistente à radiação, de alta precisão para *lab-on-chip* [54] e de muito baixa dependência com a temperatura, combinando uma corrente de referência PTAT e outra CTAT [55].

## REFERÊNCIAS

- 1 ALLEN, Phillip E.; HOLBERG, Douglas R. **CMOS analog circuit design**. 3rd ed. [S.l.]: Oxford University Press, USA, 2011. ISBN 0199765073; 9780199765072. Disponível em: <https://global.oup.com/ushe/product/cmos-analog-circuit-design-9780199765072?cc=br&lang=en&>.
- 2 JANG, Taekwang *et al.* Circuit and System Designs of Ultra-Low Power Sensor Nodes With Illustration in a Miniaturized GNSS Logger for Position Tracking: Part I—Analog Circuit Techniques. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 64, n. 9, p. 2237–2249, 2017. DOI: 10.1109/TCSI.2017.2730600.
- 3 HU, Jinlong; LU, Chao; XU, Huachao; WANG, Jin; LIANG, Ke; LI, Guofeng. A novel precision CMOS current reference for IoT systems. **AEU - International Journal of Electronics and Communications**, v. 130, p. 153577, 2021. ISSN 1434-8411. DOI: 10.1016/j.aeue.2020.153577.
- 4 WANG, Lidan; ZHAN, Chenchang. A 0.7-V 28-nW CMOS Subthreshold Voltage and Current Reference in One Simple Circuit. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 66, n. 9, p. 3457–3466, 2019. DOI: 10.1109/TCSI.2019.2927240.
- 5 WANG, Hui; MERCIER, Patrick P. A 3.4-pW 0.4-V 469.3 ppm/°C Five-Transistor Current Reference Generator. **IEEE Solid-State Circuits Letters**, v. 1, n. 5, p. 122–125, 2018. DOI: 10.1109/LSSC.2018.2875825.
- 6 CHOUHAN, Shailesh Singh; HALONEN, Kari. A 352 nW, 30 ppm/°C all MOS nano ampere current reference circuit. **Microelectronics Journal**, v. 69, p. 45–52, 2017. ISSN 0026-2692. DOI: 10.1016/j.mejo.2017.09.006.
- 7 FASSIO, Luigi; LIN, Longyang; DE ROSE, Raffaele; LANUZZA, Marco; CRUPI, Felice; ALIOTO, Massimo. A 0.6-to-1.8V CMOS Current Reference With Near-100% Power Utilization. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 68, n. 9, p. 3038–3042, 2021. DOI: 10.1109/TCSII.2021.3085607.
- 8 RUEDA-DÍAZ, Jeffer Mauricio; BOLZAN, Evandro; FERNANDES, Thiago Darós; SCHNEIDER, Márcio Cherem. Tunable CMOS Pseudo-Resistors for Resistances

- of Hundreds of GΩ. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 69, n. 2, p. 657–667, 2022. DOI: 10.1109/TCSI.2021.3121214.
- 9 MATTIA, Oscar E.; KLIMACH, Hamilton; BAMPI, Sergio. 2.3 ppm/°C 40 nW MOSFET-only voltage reference. *In*: 2014 IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED). [S.l.: s.n.], 2014. P. 215–220. DOI: 10.1145/2627369.2627621.
  - 10 ZOMAGBOGUELOU, Agossou Wilfried; MONTORO, Carlos Galup; SCHNEIDER, Marcio Cherem. A 150nW 32 kHz mobility-compensated relaxation oscillator with +/-30ppm/°C temperature stability. *In*: 2016 IEEE 7th Latin American Symposium on Circuits Systems (LASCAS). [S.l.: s.n.], 2016. P. 387–390. DOI: 10.1109/LASCAS.2016.7451091.
  - 11 ROSSI-AICARDI, Conrado; OREGGIONI, Julián; SILVEIRA, Fernando; DUALIBE, Carlos. A MOSFET-only voltage source with arbitrary sign adjustable temperature coefficient. *In*: 2011 IEEE 9th International New Circuits and systems conference. [S.l.: s.n.], 2011. P. 366–369. DOI: 10.1109/NEWCAS.2011.5981246.
  - 12 MATTIA, Oscar E.; KLIMACH, Hamilton; BAMPI, Sergio; SCHNEIDER, Marcio. 0.7 V supply self-biased nanoWatt MOS-only threshold voltage monitor. *In*: 2015 IEEE International Symposium on Circuits and Systems (ISCAS). [S.l.: s.n.], 2015. P. 497–500. DOI: 10.1109/ISCAS.2015.7168679.
  - 13 GOMEZ, C. Jhon A.; KLIMACH, Hamilton; FABRIS, Eric; BAMPI, Sergio. 1.5 ppm/°C nano-Watt resistorless MOS-only voltage reference. *In*: 2016 IEEE 7th Latin American Symposium on Circuits Systems (LASCAS). [S.l.: s.n.], 2016. P. 99–102. DOI: 10.1109/LASCAS.2016.7451019.
  - 14 LUONG, Peter; CHRISTOFFERSEN, Carlos; ROSSI-AICARDI, Conrado; DUALIBE, Carlos. Nanopower, Sub-1 V, CMOS Voltage References With Digitally-Trimable Temperature Coefficients. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 64, n. 4, p. 787–798, 2017. DOI: 10.1109/TCSI.2016.2632072.
  - 15 SIEBEL, O. F.; SCHNEIDER, M. C.; GALUP-MONTORO, C. Low power and low voltage VT extractor circuit and MOSFET radiation dosimeter. *In*: 10TH IEEE International NEWCAS Conference. [S.l.: s.n.], 2012. P. 301–304. DOI: 10.1109/NEWCAS.2012.6329016.



- 16 RIBEIRO, Jefferson Cardoso. **SENSOR DE RADIAÇÃO INTEGRADO EM TECNOLOGIA CMOS DE ALTA TENSÃO**. 2017. F. 88. Diss. (Mestrado) – Universidade Federal de Santa Catarina. Disponível em:  
[https://lci.ufsc.br/pdf/Dissertacao-Jefferson\\_Cardoso\\_Ribeiro.pdf](https://lci.ufsc.br/pdf/Dissertacao-Jefferson_Cardoso_Ribeiro.pdf).
- 17 GALUP-MONTORO, C.; SCHNEIDER, M. C.; COITINHO, R. M. Resizing rules for MOS analog-design reuse. **IEEE Design Test of Computers**, v. 19, n. 2, p. 50–58, mar. 2002. ISSN 0740-7475. DOI: 10.1109/54.990442.
- 18 SCHNEIDER, Márcio Cherem; GALUP-MONTORO, Carlos. **CMOS Analog Design Using All-Region MOSFET Modeling**. 1st. New York, NY, USA: Cambridge University Press, 2010. ISBN 052111036X, 9780521110365. DOI: 10.1017/CB09780511803840.
- 19 GRAY, P.R.; HURST, P.J.; LEWIS, S.H.; MEYER, R.G. **Analysis and Design of Analog Integrated Circuits**. [S.l.]: Wiley, 2009. ISBN 9780470245996. Disponível em: <https://www.wiley.com/en-us/Analysis+and+Design+of+Analog+Integrated+Circuits%2C+5th+Edition-p-9780470245996>.
- 20 LEE, Sanghoon; SÁNCHEZ-SINENCIO, Edgar. Current Reference Circuits: A Tutorial. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 68, n. 3, p. 830–836, 2021. DOI: 10.1109/TCSII.2021.3049518.
- 21 BADILLO, Dean A. 1.5V CMOS current reference with extended temperature operating range. *In*: 2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353). [S.l.: s.n.], 2002. v. 3, p. iii–iii. DOI: 10.1109/ISCAS.2002.1010194.
- 22 OGUEY, H. J.; AEBISCHER, D. CMOS current reference without resistance. **IEEE Journal of Solid-State Circuits**, v. 32, n. 7, p. 1132–1135, jul. 1997. ISSN 0018-9200. DOI: 10.1109/4.597305.
- 23 CAMACHO-GALEANO, E. M.; GALUP-MONTORO, C.; SCHNEIDER, M. C. A 2-nW 1.1-V self-biased current reference in CMOS technology. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 52, n. 2, p. 61–65, fev. 2005. ISSN 1549-7747. DOI: 10.1109/TCSII.2004.842059.

- 24 DE VITA, Giuseppe; IANNACCONE, Giuseppe. A 109 nW, 44 ppm/°C CMOS Current Reference with Low Sensitivity to Process Variations. *In: 2007 IEEE International Symposium on Circuits and Systems*. [S.l.: s.n.], 2007. P. 3804–3807. DOI: 10.1109/ISCAS.2007.378790.
- 25 HIROSE, Tetsuya; OSAKI, Yuji; KUROKI, Nobutaka; NUMA, Masahiro. A nano-ampere current reference circuit and its temperature dependence control by using temperature characteristics of carrier mobilities. *In: 2010 Proceedings of ESSCIRC*. [S.l.: s.n.], 2010. P. 114–117. DOI: 10.1109/ESSCIRC.2010.5619819.
- 26 HUANG, Zhangcai; LUO, Qin; INOUE, Yasuaki. A CMOS Sub-I-V nanopower current and voltage reference with leakage compensation. *In: PROCEEDINGS of 2010 IEEE International Symposium on Circuits and Systems*. [S.l.: s.n.], 2010. P. 4069–4072. DOI: 10.1109/ISCAS.2010.5537636.
- 27 CHOUHAN, Shailesh Singh; HALONEN, Kari. A 0.67-  $\mu$ W 177-ppm/°C All-MOS Current Reference Circuit in a 0.18-  $\mu$ m CMOS Technology. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 63, n. 8, p. 723–727, 2016. DOI: 10.1109/TCSII.2016.2531158.
- 28 UENO, Ken; HIROSE, Tetsuya; ASAI, Tetsuya; AMEMIYA, Yoshihito. A 1- $\mu$ W 600- ppm/°C Current Reference Circuit Consisting of Subthreshold CMOS Circuits. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 57, n. 9, p. 681–685, 2010. DOI: 10.1109/TCSII.2010.2056051.
- 29 OSAKI, Yuji; HIROSE, Tetsuya; KUROKI, Nobutaka; NUMA, Masahiro. Nano-ampere CMOS current reference with little temperature dependence using small offset voltage. *In: 2010 53rd IEEE International Midwest Symposium on Circuits and Systems*. [S.l.: s.n.], 2010. P. 668–671. DOI: 10.1109/MWSCAS.2010.5548916.
- 30 MOHAMED, Ahmed Reda; CHEN, Mingyi; WANG, Guoxing. Untrimmed CMOS Nano-Ampere Current Reference with Curvature-Compensation Scheme. *In: 2019 IEEE International Symposium on Circuits and Systems (ISCAS)*. [S.l.: s.n.], 2019. P. 1–4. DOI: 10.1109/ISCAS.2019.8702293.
- 31 ANTÚNEZ-CALISTRO, G.; SINISCALCHI, M.; SILVEIRA, F.; ROSSI-AICARDI, C. Variability-Aware Design Method for a Constant Inversion Level Bias Current Generator. **IEEE Transactions on Circuits and Systems I: Regular Papers**,

- v. 66, n. 6, p. 2027–2036, jun. 2019. ISSN 1549-8328. DOI: 10.1109/TCSI.2019.2897090.
- 32 ALI, Ashfakh; PULLELA, Abhishek; JAIN, Arpan; ABBAS, Zia. A Sub-nW, 8T Current Reference Consuming Constant Power w.r.t Process & Temperature. *In: 2020 IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS)*. [S.l.: s.n.], 2020. P. 730–733. DOI: 10.1109/MWSCAS48704.2020.9184679.
- 33 FILANOVSKY, I.M.; ALLAM, A. Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits. **IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications**, v. 48, n. 7, p. 876–884, 2001. DOI: 10.1109/81.933328.
- 34 LEE, Junghyup; CHO, SeongHwan. A 1.4- $\mu$ W 24.9-ppm/ $^{\circ}$ C Current Reference With Process-Insensitive Temperature Compensation in 0.18- $\mu$ m CMOS. **IEEE Journal of Solid-State Circuits**, v. 47, n. 10, p. 2527–2533, 2012. DOI: 10.1109/JSSC.2012.2204475.
- 35 LEE, Sanghoon; HEINRICH-BARNA, Stephen; NOH, Kyoohyun; KUNZ, Keith; SÁNCHEZ-SINENCIO, Edgar. A 1-nA 4.5-nW 289-ppm/ $^{\circ}$ C Current Reference Using Automatic Calibration. **IEEE Journal of Solid-State Circuits**, v. 55, n. 9, p. 2498–2512, 2020. DOI: 10.1109/JSSC.2020.2995038.
- 36 GALUP-MONTORO CARLOS; SCHNEIDER, Márcio Cherem. **Mosfet Modeling For Circuit Analysis And Design**. [S.l.]: World Scientific, 2007. ISBN 9812568107. DOI: 10.1142/6111.
- 37 CUNHA, Ana Isabela Araújo; SCHNEIDER, Márcio Cherem; GALUP-MONTORO, Carlos. An MOS transistor model for analog circuit design. **IEEE Journal of Solid-State Circuits**, v. 33, n. 10, p. 1510–1519, 1998. DOI: 10.1109/4.720397.
- 38 SIEBEL, Osmar Franca; SCHNEIDER, Marcio Cherem; GALUP-MONTORO, Carlos. MOSFET threshold voltage: Definition, extraction, and some applications. **Microelectronics Journal**, v. 43, n. 5, p. 329–336, 2012. Special Section NANOTECH 2011. ISSN 0026-2692. DOI: 10.1016/j.mejo.2012.01.004.

- 39 SILVA, R. S.; LUIZ, L. P.; SCHNEIDER, M. C.; GALUP-MONTORO, C. A Test Chip for Characterization of the Series Association of MOSFETs. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, p. 1–5, abr. 2019. ISSN 1063-8210. DOI: 10.1109/TVLSI.2019.2908338.
- 40 CUNHA, Ana Isabela Araújo; SCHNEIDER, Márcio Cherem; GALUP-MONTORO, Carlos. Derivation of the unified charge control model and parameter extraction procedure. **Solid-State Electronics**, v. 43, n. 3, p. 481–485, 1999. ISSN 0038-1101. DOI: 10.1016/S0038-1101(98)00285-8.
- 41 GALUP-MONTORO, Carlos; SCHNEIDER, Márcio Cherem; LOSS, Itamar J. B. Series-parallel association of FET's for high gain and high frequency applications. **IEEE Journal of Solid-State Circuits**, v. 29, n. 9, p. 1094–1101, set. 1994. ISSN 0018-9200. DOI: 10.1109/4.309905.
- 42 GALUP, Carlos; SCHNEIDER, Marcio. The compact all-region MOSFET model: theory and applications. *In*: 2018 16th IEEE International New Circuits and Systems Conference (NEWCAS). [S.l.: s.n.], 2018. P. 166–169. DOI: 10.1109/NEWCAS.2018.8585657.
- 43 BOLZAN, Evandro; STORCK, Elias Bühler; SCHNEIDER, Márcio C.; GALUP-MONTORO, Carlos. Design and testing of a CMOS Self-Biased Current Source. *In*: 2019 26th IEEE International Conference on Electronics, Circuits and Systems (ICECS). [S.l.: s.n.], 2019. P. 382–385. DOI: 10.1109/ICECS46596.2019.8965003.
- 44 DE OLIVEIRA, A. C.; CORDOVA, D.; KLIMACH, H.; BAMPI, S. Picowatt, 0.45-0.6 V Self-Biased Subthreshold CMOS Voltage Reference. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 64, n. 12, p. 3036–3046, dez. 2017. ISSN 1549-8328. DOI: 10.1109/TCSI.2017.2754644.
- 45 VITTOZ, E.; FELLRATH, J. CMOS analog integrated circuits based on weak inversion operations. **IEEE Journal of Solid-State Circuits**, v. 12, n. 3, p. 224–231, jun. 1977. ISSN 0018-9200. DOI: 10.1109/JSSC.1977.1050882.
- 46 ZAMARRENO-RAMOS, Carlos; SERRANO-GOTARREDONA, Teresa; LINARES-BARRANCO, Bernabe. OTA-C oscillator with low frequency variations for on-chip clock generation in serial LVDS-AER links. *In*: 2009 IEEE

- International Symposium on Circuits and Systems. [S.l.: s.n.], mai. 2009. P. 2657–2660. DOI: 10.1109/ISCAS.2009.5118348.
- 47 HURTADO, Andrés Fernando Ordóñez. **DESIGN METHODOLOGY OF A MODULAR CMOS ULTRA-LOW POWER SELF-BIASED CURRENT SOURCE**. 2017. F. 91. Diss. (Mestrado) – Universidade Federal de Santa Catarina. Disponível em: <https://lci.ufsc.br/pdf/Dissertacao%20-%20Andres%20Fernando%20ordonez%20Hurtado.pdf>.
- 48 ARNAUD, A.; FIORELLI, R.; GALUP-MONTORO, C. Nanowatt, Sub-nS OTAs, With Sub-10-mV Input Offset, Using Series-Parallel Current Mirrors. **IEEE Journal of Solid-State Circuits**, v. 41, n. 9, p. 2009–2018, set. 2006. ISSN 0018-9200. DOI: 10.1109/JSSC.2006.880606.
- 49 PELGROM, M. J. M.; DUINMAIJER, A. C. J.; WELBERS, A. P. G. Matching properties of MOS transistors. **IEEE Journal of Solid-State Circuits**, v. 24, n. 5, p. 1433–1439. ISSN 0018-9200. DOI: 10.1109/JSSC.1989.572629.
- 50 RAZAVI, Behzad. **Design of Analog CMOS Integrated Circuits**. 2. ed. [S.l.]: McGraw-Hill Education, 2016. ISBN 0072524936; 9780072524932. Disponível em: <https://www.mheducation.com/highered/product/design-analog-cmos-integrated-circuits-razavi/M9780072524932.html>.
- 51 HEIM, Pascal; SCHULTZ, Simon; JABRI, Marwan A. Technology-Independent Biasing Technique for CMOS Analog Micropower Implementation of Neural Networks. *In*: PROCEEDINGS of the 4th IEEE International Workshop on Cellular Neural Networks and their Applications,(CNNA-95). [S.l.: s.n.], 1995. P. 9–12.
- 52 ENZ, Christian C.; VITTOZ, Eric A. CMOS low-power analog circuit design. *In*: EMERGING Technologies: Designing Low Power Digital Systems. [S.l.: s.n.], mai. 1996. P. 79–133. DOI: 10.1109/ETLPDS.1996.508872.
- 53 LINARES-BARRANCO, B.; SERRANO-GOTARREDONA, T. On the design and characterization of femtoampere current-mode circuits. **IEEE Journal of Solid-State Circuits**, v. 38, n. 8, p. 1353–1363, 2003. DOI: 10.1109/JSSC.2003.814415.
- 54 WREGGE, Rodrigo; PETER, Celso; WESLING, Bruno N.; RAMBO, Carlos R.; SCHNEIDER, Márcio Cherem; GALUP-MONTORO, Carlos. A CMOS Test Chip

- With Simple Post-Processing Steps for Dry Characterization of ISFET Arrays. **IEEE Sensors Journal**, v. 21, n. 4, p. 4755–4763, 2021. DOI: 10.1109/JSEN.2020.3035627.
- 55 OLMOS, A.; BOAS, A. V.; SOLDERA, J. A Sub-1V Low Power Temperature Compensated Current Reference. *In: 2007 IEEE International Symposium on Circuits and Systems*. [S.l.: s.n.], mai. 2007. P. 2164–2167. DOI: 10.1109/ISCAS.2007.378602.
- 56 GALEANO, E. M. C.; OLMOS, A.; BOAS, A. L. V. A very low power area efficient CMOS only bandgap reference. *In: 2012 25th Symposium on Integrated Circuits and Systems Design (SBCCI)*. [S.l.: s.n.], ago. 2012. P. 1–6. DOI: 10.1109/SBCCI.2012.6344437.
- 57 KUNDERT, Kenneth S. **The Designer's Guide to Spice and Spectre**. USA: Kluwer Academic Publishers, 1995. ISBN 978-1-4757-7011-7, 978-0-306-48200-7, 978-0-7923-9571-3. DOI: 10.1007/b101824.
- 58 NS. **Curve intersections**. [S.l.: s.n.], 2022. MATLAB Central File Exchange. Disponível em: <https://www.mathworks.com/matlabcentral/fileexchange/22441-curve-intersections>. Acesso em: 14 fev. 2022.
- 59 BAKER, R. Jacob. **CMOS: Circuit Design, Layout, and Simulation**. 4. ed. [S.l.]: Wiley-IEEE Press, 2019. (IEEE Press Series on Microelectronic Systems). ISBN 978-1-119-48139-3; 978-1-119-48151-5. Disponível em: [https://www.wiley.com/en-us/CMOS : +Circuit+Design,+Layout,+and+Simulation,+4th+Edition-p-9781119481515](https://www.wiley.com/en-us/CMOS:+Circuit+Design,+Layout,+and+Simulation,+4th+Edition-p-9781119481515).
- 60 LIU, Song; BAKER, R. Jacob. Process and temperature performance of a CMOS beta-multiplier voltage reference. *In: 1998 Midwest Symposium on Circuits and Systems (Cat. No. 98CB36268)*. [S.l.: s.n.], 1998. P. 33–36. DOI: 10.1109/MWSCAS.1998.759429.
- 61 FIORI, F.; CROVETTI, P.S. A new compact temperature-compensated CMOS current reference. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 52, n. 11, p. 724–728, 2005. DOI: 10.1109/TCSII.2005.852529.

- 
- 62 GUIGUES, Fabrice; KUSSENER, Edith; DUVAL, Benjamin; BARTHELEMY, Hervé. Moderate Inversion: Highlights for Low Voltage Design. *In*: AZÉMARD, Nadine; SVENSSON, Lars (Ed.). **Integrated Circuit and System Design. Power and Timing Modeling, Optimization and Simulation**. Berlin, Heidelberg: Springer Berlin Heidelberg, 2007. P. 413–422. DOI: 10.1007/978-3-540-74442-9\_40.
- 63 PRODANOV, V. I.; GREEN, M. M. CMOS current mirrors with reduced input and output voltage requirements. English. **Electronics Letters**, Institution of Engineering e Technology, v. 32, 104–105(1), 2 jan. 1996. ISSN 0013-5194. DOI: 10.1049/e1 : 19960076.

## APÊNDICE A – REFERÊNCIA DE TENSÃO PTAT COM SCMS EMPILHADOS EM WI

Tensões maiores que  $4\phi_t$  podem ser alcançadas empilhando o mesmo esquema de dois transistores operando em WI, como mostra a Figura 50(a) [56]. As correntes de dreno de  $M_2$  e  $M_1$  e a relação entre  $i_{f1}$  e  $i_{f2}$  do  $SCM_1$  são dadas por

$$I_{D2} = AI_{REF} = S_2 I_{SH} i_{f2} \quad (81)$$

$$I_{D1} = (A + B + C + D + E)I_{REF} = S_1 I_{SH} (i_{f1} - i_{f2}) \quad (82)$$

$$\frac{i_{f1}}{i_{f2}} = 1 + \frac{S_2}{S_1} \left( 1 + \frac{B + C + D + E}{A} \right) = \alpha_1 \quad (83)$$

onde os fatores  $A$ ,  $B$ ,  $C$ ,  $D$  e  $E$  são definidos pelo valor do ganho do espelho de corrente PMOS, não mostrado na Figura 50(a).

As tensões intermediária  $V_{Xi}$  do  $SCM_i$  e no nó  $V_Y$ , como mostra a Figura 50(a), são dadas por

$$V_{Xi} = \phi_t \left( \sqrt{1 + \alpha_i i_{f2}} - \sqrt{1 + i_{f2}} + \ln \left( \frac{\sqrt{1 + \alpha_i i_{f2}} - 1}{\sqrt{1 + i_{f2}} - 1} \right) \right) \quad (84)$$

$$V_{Xi} = \phi_t \ln(\alpha_i) \quad @ \text{ WI} \quad (85)$$

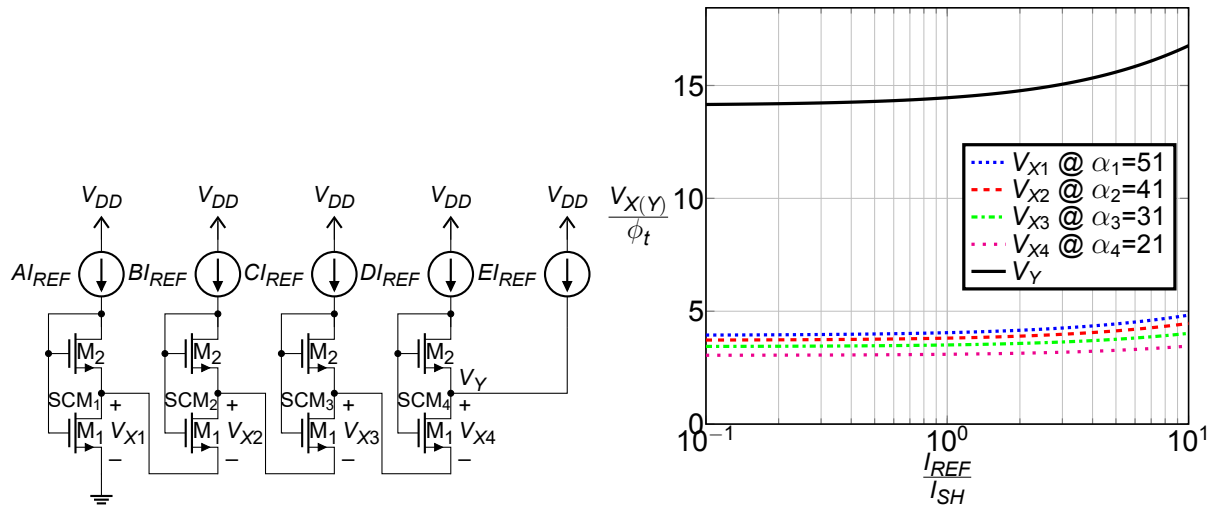
$$V_Y = \sum_{i=1}^4 V_{Xi}(\alpha_i, i_{f2}) \quad (86)$$

onde  $\alpha_i$  em (84)-(86) é dado por  $\alpha_1 = 1 + S_2/S_1(1 + (B + C + D + E)/A)$ ,  $\alpha_2 = 1 + S_2/S_1(1 + (C + D + E)/A)$ ,  $\alpha_3 = 1 + S_2/S_1(1 + (D + E)/A)$  e  $\alpha_4 = 1 + S_2/S_1(1 + E/A)$ .

A Figura 50(b) ilustra as curvas de uma referência de tensão PTAT com 4 SCMs empilhados @  $S_1 = 10$ ,  $S_2 = 100$  e  $A = B = C = D = E = 1$ ; em WI temos que  $V_{X1} = 3,93\phi_t = 102 \text{ mV}$ ,  $V_{X2} = 3,71\phi_t = 96,6 \text{ mV}$ ,  $V_{X3} = 3,43\phi_t = 89,3 \text{ mV}$ ,  $V_{X4} = 3,04\phi_t = 79,2 \text{ mV}$  e  $V_Y = 14,1\phi_t = 367 \text{ mV}$ .



Figura 50 – Referência de tensão PTAT com 4 SCMs empilhados.



(a) Esquemático.

(b) Curvas das tensões intermediárias e no nó  $V_Y$  versus  $I_{REF}/I_{SH}$  @  $S_1=10$ ,  $S_2=100$  e  $A=B=C=D=E=1$ .

Fonte: Elaborada pelo autor.

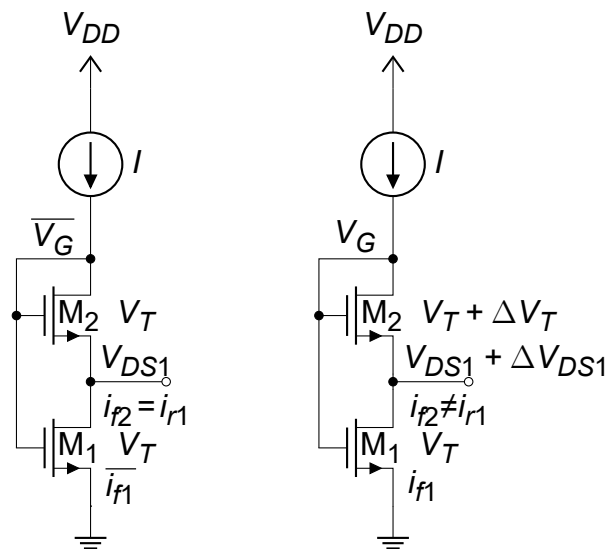
## APÊNDICE B – CÁLCULOS DO EFEITO DO DESCASAMENTO ENTRE AS TENSÕES DE LIMAR DOS TRANSISTORES

Neste apêndice, deduz-se as variações das tensões de polarização do SCM e do circuito da Figura 41 devido ao efeito do descasamento entre as tensões de limiar dos transistores. Nesta análise, assume-se que (i) o efeito do descasamento das correntes específicas dos transistores é desprezível; (ii) os erros introduzidos pelos espelhos de corrente são desprezíveis.

### B.1 EFEITO DO DESCASAMENTO ENTRE AS TENSÕES DE LIMAR DOS TRANSISTORES NA TENSÃO INTERNA DO SCM

A análise do efeito do descasamento entre as tensões de limiar dos transistores do SCM na tensão de dreno de  $M_1$  é realizada com o auxílio da Figura 51.

Figura 51 – Esquemático para a análise do efeito do descasamento entre as tensões de limiar de  $M_1$  e  $M_2$ .



Fonte: Elaborada pelo autor.

As relações entre as correntes de dreno de  $M_1$  e os níveis de inversão dos dois SCMs da Figura 51 são dados por

$$I = S_1 I_{SH} (\bar{i}_{f1} - i_{f2}) = S_1 I_{SH} (i_{f1} - i_{r1}) \quad (87)$$

$$\bar{i}_{f1} - i_{f1} = i_{f2} - i_{r1} \quad (88)$$

Aplicando (6) em  $M_1$  e  $M_2$  nos dois SCMs, temos que

$$\frac{\overline{V_G} - V_T - nV_{DS1}}{n\phi_t} = F(i_{r2}) \quad (89)$$

$$\frac{\overline{V_G} - V_T}{n\phi_t} = F(\overline{i_{r1}}) \quad (90)$$

$$\frac{V_G - V_T - \Delta V_T - n(V_{DS1} + \Delta V_{DS1})}{n\phi_t} = F(i_{r2}) \quad (91)$$

$$\frac{V_G - V_T - n(V_{DS1} + \Delta V_{DS1})}{n\phi_t} = F(i_{r1}) \quad (92)$$

$$\frac{V_G - V_T}{n\phi_t} = F(i_{r1}) \quad (93)$$

Subtraindo (89) de (90), resulta em

$$\frac{V_{DS1}}{\phi_t} = F(\overline{i_{r1}}) - F(i_{r2}) \quad (94)$$

Subtraindo (91) de (93), temos que

$$\frac{V_{DS1} + \Delta V_{DS1}}{\phi_t} + \frac{\Delta V_T}{n\phi_t} = F(i_{r1}) - F(i_{r2}) \quad (95)$$

Substituindo  $V_{DS1}$  de (94) em (95), resulta em

$$F(\overline{i_{r1}}) - F(i_{r1}) = F'(\overline{i_{r1}})(\overline{i_{r1}} - i_{r1}) = -\frac{\Delta V_{DS1}}{\phi_t} - \frac{\Delta V_T}{n\phi_t} \quad (96)$$

Agora, subtraindo (92) de (91) e utilizando a relação dada por (88), temos que

$$-\frac{\Delta V_T}{n\phi_t} = F(i_{r2}) - F(i_{r1}) = F'(i_{r2})(i_{r2} - i_{r1}) = F'(i_{r2})(\overline{i_{r1}} - i_{r1}) \quad (97)$$

Finalmente combinando (96) e (97)

$$\frac{\Delta V_T}{n\phi_t} \left( \frac{F'(\overline{i_{r1}})}{F'(i_{r2})} - 1 \right) = \frac{\Delta V_{DS1}}{\phi_t} \quad (98)$$

Uma vez que

$$F'(i) = \frac{1}{2(\sqrt{1+i}-1)} \quad (99)$$

Substituindo (99) em (98) e uma vez que  $i_{r2} = i_{r1}$ , resulta em

$$\Delta V_{DS1} = \frac{\Delta V_T}{n} \left( \frac{\sqrt{1+i_{r1}}-1}{\sqrt{1+\overline{i_{r1}}}-1} - 1 \right) = \frac{\Delta V_T}{n} \left( \frac{g_{md1}}{g_{ms1}} - 1 \right) \quad (100)$$

Uma vez que

$$\frac{g_{md1}}{g_{ms1}} = \frac{\sqrt{1+i_{r1}}-1}{\sqrt{1+\overline{i_{r1}}}-1} \quad (101)$$

Fazendo as aproximações de (101) para os níveis de inversão fraca ( $\bar{i}_{f1}, i_{r1} \ll 1$ ) e forte ( $\bar{i}_{f1}, i_{r1} \gg 1$ ), substituindo  $i_{r1} = i_{r2} = \bar{i}_{f1}/\alpha$ , temos respectivamente

$$\frac{g_{md1}}{g_{ms1}} = \frac{i_{r1}}{\bar{i}_{f1}} = \frac{1}{\alpha} \quad @ \text{ WI} \quad (102)$$

$$\frac{g_{md1}}{g_{ms1}} = \sqrt{\frac{i_{r1}}{\bar{i}_{f1}}} = \frac{1}{\sqrt{\alpha}} \quad @ \text{ SI} \quad (103)$$

Substituindo (102) e (103) em (100), temos respectivamente

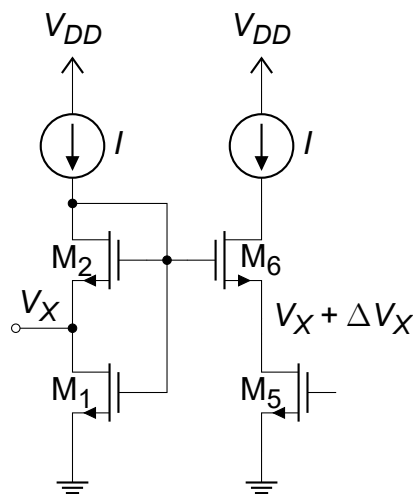
$$\Delta V_{DS1} = \frac{\Delta V_T}{n} \left( \frac{1}{\alpha} - 1 \right) = \frac{\Delta V_T}{n} \frac{1 - \alpha}{\alpha} \quad @ \text{ WI} \quad (104)$$

$$\Delta V_{DS1} = \frac{\Delta V_T}{n} \left( \frac{1}{\sqrt{\alpha}} - 1 \right) = \frac{\Delta V_T}{n} \frac{1 - \sqrt{\alpha}}{\sqrt{\alpha}} \quad @ \text{ SI} \quad (105)$$

## B.2 EFEITO DO DESCASAMENTO DA TENSÃO DE LIMINAR ENTRE OS TRANSISTORES DO CIRCUITO DA FONTE DE CORRENTE DE HEIM, SCHULTZ E JABRI

A análise do efeito do descasamento entre as tensões de limiar dos transistores  $M_2$  e  $M_6$  na variação da tensão de fonte de  $M_6$  é realizada com o auxílio da Figura 52 (que corresponde à uma parte do circuito da Figura 41).

Figura 52 – Esquemático para a análise do efeito do descasamento entre as tensões de limiar de  $M_2$  e  $M_6$ .



Fonte: Elaborada pelo autor.

Aplicando (6) em  $M_2$  e  $M_6$  temos respectivamente

$$\frac{V_{G2} - V_{T2} - nV_X}{n\phi_t} = F(i_{f2}) \quad (106)$$

$$\frac{V_{G6} - V_{T6} - n(V_X + \Delta V_X)}{n\phi_t} = F(i_{f6}) \quad (107)$$

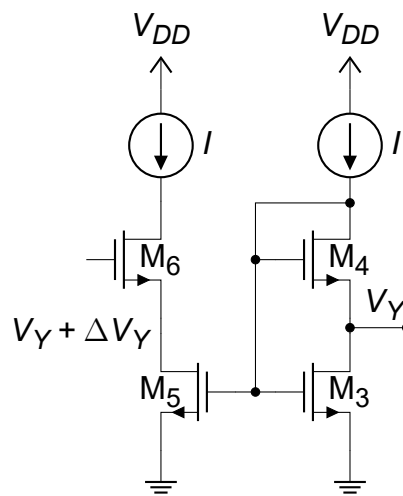
Uma vez que  $V_{G2} = V_{G6}$ ,  $S_2 = S_6$ ,  $i_{r2} = i_{r6}$ ,  $i_{r2,6} \gg i_{r2,6}$ , igualando (106) e (107) temos

$$\Delta V_X = -\frac{\Delta V_{T6,2}}{n} \quad (108)$$

onde  $\Delta V_{T6,2} = V_{T6} - V_{T2}$ .

A análise do efeito do descasamento entre as tensões de limiar dos transistores  $M_3$  e  $M_5$  na variação da tensão de dreno de  $M_5$  é realizada com o auxílio da Figura 53 (que corresponde à uma parte do circuito da Figura 41).

Figura 53 – Esquemático para a análise do efeito do descasamento entre as tensões de limiar de  $M_3$  e  $M_5$ .



Fonte: Elaborada pelo autor.

Uma vez que  $S_3 = S_5$ ,  $V_{G3} = V_{G5}$ , as correntes de dreno e os níveis de inversão de  $M_3$  e  $M_5$  possuem a seguinte relação

$$I_{SH} S_3 (i_{r3} - i_{r3}) = I_{SH} S_5 (i_{r5} - i_{r5}) \quad (109)$$

$$i_{r5} - i_{r3} = i_{r5} - i_{r3} \quad (110)$$

$$\Delta i_{r5,3} = \Delta i_{r5,3} \quad (111)$$

Aplicando (6) em  $M_3$  e  $M_5$  temos respectivamente

$$\frac{V_{G3} - V_{T3}}{n\phi_t} = F(i_{r3}) \quad (112)$$

$$\frac{V_{G5} - V_{T5}}{n\phi_t} = F(i_{r5}) \quad (113)$$

$$\frac{V_{G3} - V_{T3} - nV_Y}{n\phi_t} = F(i_{r3}) \quad (114)$$

$$\frac{V_{G5} - V_{T5} - n(V_Y + \Delta V_Y)}{n\phi_t} = F(i_{r5}) \quad (115)$$

Subtraindo (113) de (112) e uma vez que  $i_{r5} = i_{r3} + \Delta i_{r5,3}$ , temos

$$F(i_{r3}) - F(i_{r3} + \Delta i_{r5,3}) = F(i_{r3}) - [F(i_{r3}) + F'(i_{r3})\Delta i_{r5,3}] = \frac{\Delta V_{T5,3}}{n\phi_t} \quad (116)$$

Isolando  $\Delta i_{r5,3}$  de (116) resulta em

$$\Delta i_{r5,3} = \Delta i_{r5,3} = -\frac{\Delta V_{T5,3}}{F'(i_{r3})n\phi_t} \quad (117)$$

Subtraindo (115) de (114) e uma vez que  $i_{r5} = i_{r3} + \Delta i_{r5,3}$ , temos

$$F(i_{r3}) - F(i_{r3} + \Delta i_{r5,3}) = F(i_{r3}) - [F(i_{r3}) + F'(i_{r3})\Delta i_{r5,3}] = \frac{\Delta V_{T5,3} + n\Delta V_Y}{n\phi_t} \quad (118)$$

Substituindo (117) em (118) e isolando  $\Delta V_Y$ , resulta em

$$\Delta V_Y = \frac{\Delta V_{T5,3}}{n} \left( \frac{F'(i_{r3})}{F'(i_{r3})} - 1 \right) \quad (119)$$

Substituindo (99) em (119), resulta em

$$\Delta V_Y = \frac{\Delta V_{T5,3}}{n} \left( \frac{\sqrt{1+i_{r3}} - 1}{\sqrt{1+i_{r3}} - 1} - 1 \right) \quad (120)$$

Fazendo a aproximação de (120) para os níveis de inversão fraca ( $i_{r3(r3)} \ll 1$ ) e forte ( $i_{r3(r3)} \gg 1$ ), temos respectivamente

$$\Delta V_Y = \frac{\Delta V_{T5,3}}{n} (\alpha_3 - 1) \quad @ \text{ WI} \quad (121)$$

$$\Delta V_Y = \frac{\Delta V_{T5,3}}{n} (\sqrt{\alpha_3} - 1) \quad @ \text{ SI} \quad (122)$$

onde  $\Delta V_{T5,3} = V_{T5} - V_{T3}$  e  $\alpha_3 = i_{r3}/i_{r3}$ .

## APÊNDICE C – EXTRAÇÃO AUTOMATIZADA DOS PARÂMETROS DO TRANSISTOR NAS FERRAMENTAS DA CADENCE E OTIMIZAÇÃO

### C.1 CONFIGURAÇÕES DO SIMULADOR *SPECTRE*

Em todas as simulações considerou-se a temperatura de 27 °C (300 K) e na maioria das simulações a condutância mínima  $g_{min} = 0$  (o valor de  $g_{min}$  é definido no *Virtuoso*® *Schematic* em *Launch* → *ADE L* → *Simulation* → *Options* → *Algorithm* →  $g_{min}$ ). Em algumas poucas simulações foi necessário redefinir o valor de  $g_{min}$  devido a não convergência da solução.

Na simulação com o *Spectre* uma condutância ( $g_{min}$ ) muito pequena é adicionada em dispositivos não lineares para evitar que os nós flutuem se um dispositivo estiver completamente desligado, por padrão  $g_{min} = 1 \times 10^{-12}$  S [57]. O valor de  $g_{min}$  afeta a precisão e a convergência da solução porque ele altera o circuito que está sendo resolvido pelo simulador. O *Spectre* avisa se a corrente através dos condutores com  $g_{min}$  está afetando negativamente a precisão da solução e permite que o seu valor seja definido igual a zero. No entanto, definir  $g_{min} = 0$  pode resultar na falha da simulação devido a um Jacobiano singular. Caso esta falha ocorra seu valor deve ser redefinido entre o intervalo  $0 < g_{min} \leq 1 \times 10^{-12}$  S.

### C.2 CONFIGURAÇÕES PARA EXTRAÇÃO AUTOMATIZADA DOS PARÂMETROS PELO MÉTODO $g_m/I_D$

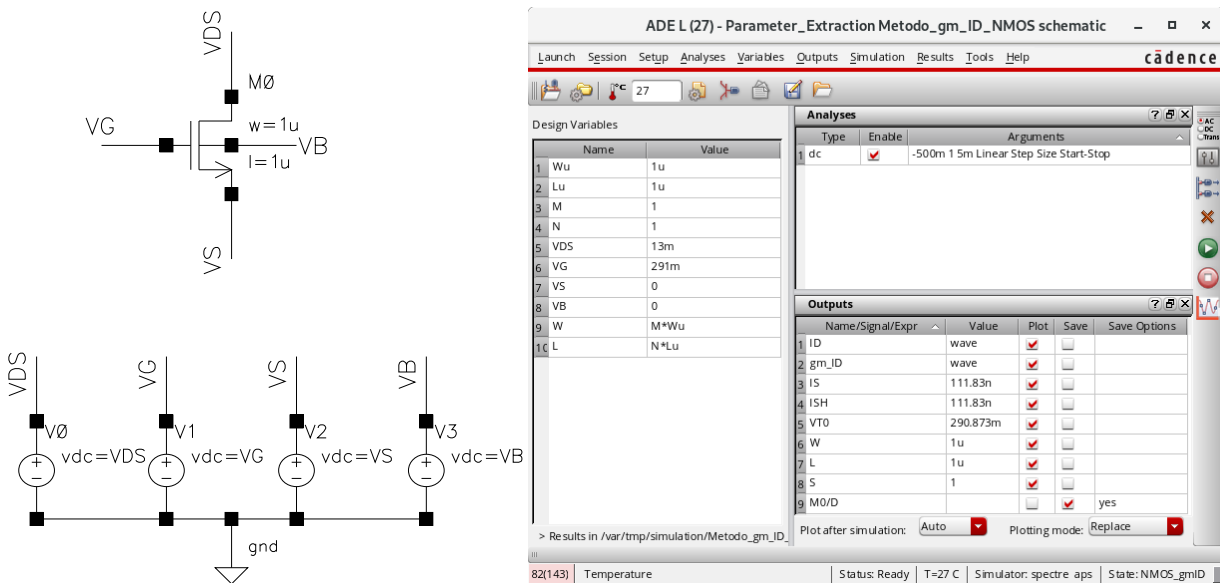
A extração automatizada dos parâmetros pelo método  $g_m/I_D$  é realizada através das configurações mostradas na Figura 54 e Tabela 31. Os resultados são apresentados nas Figuras 54(b) e 55.

Tabela 31 – Nomes das variáveis de saída e expressões no *Analog Design Environment (ADE) L* para extração dos parâmetros pelo método  $g_m/I_D$ .

<i>Name</i>	<i>Expression</i>
ID	IS("/M0/D")
gm_ID	deriv(ln(ID))
IS	(value(ID VT0) / 0.88)
ISH	(IS / S)
VT0	cross(gm_ID (ymax(gm_ID) * 0.531) 1 "falling" nil nil nil)
W	VAR("W")
L	VAR("L")
S	(W / L)

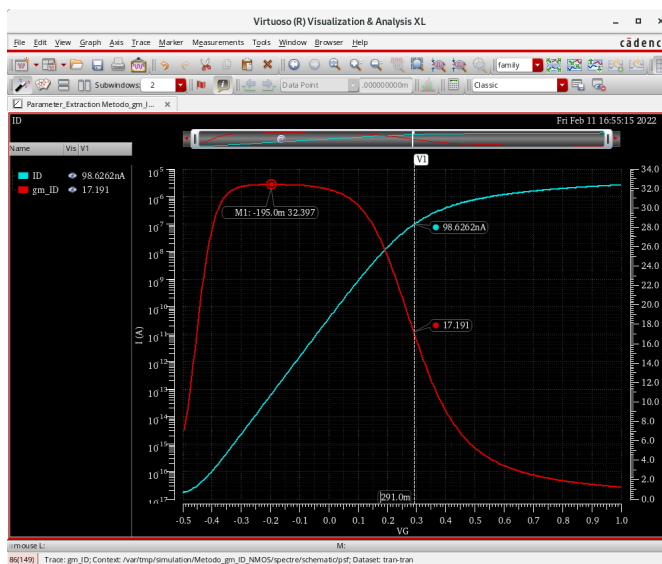
Fonte: Elaborada pelo autor.

Figura 54 – Configurações do Virtuoso ADE para extração dos parâmetros pelo método  $g_m/I_D$ .



Fonte: Elaborada pelo autor.

Figura 55 – Curvas da corrente de dreno e da transcondutância de  $gate$  por corrente de dreno em função da tensão de  $gate$  no Virtuoso Visualization & Analysis XL @  $V_{DS} = \phi_t/2 = 13$  mV.



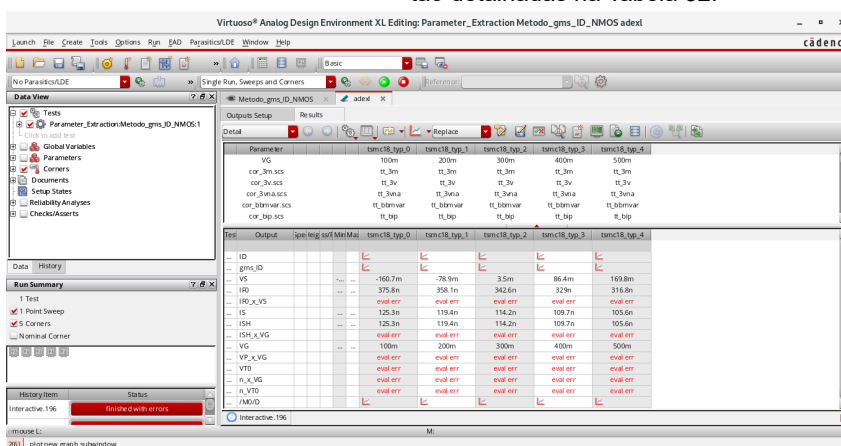
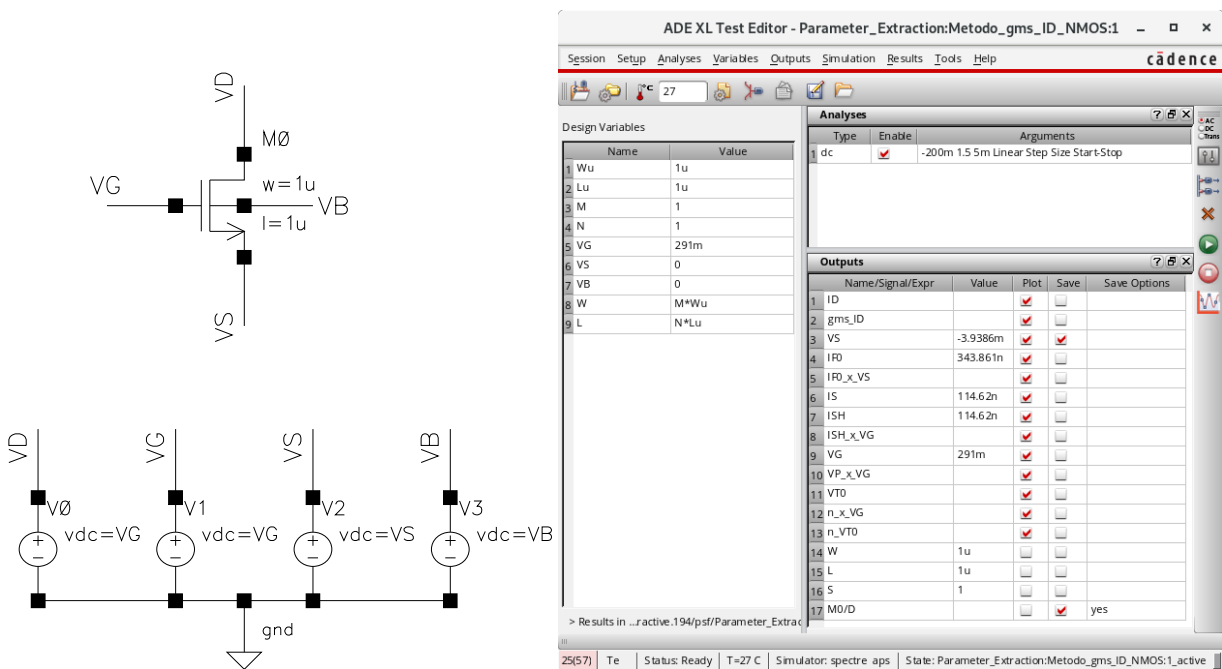
Fonte: Elaborada pelo autor.

### C.3 CONFIGURAÇÕES PARA EXTRAÇÃO AUTOMATIZADA DOS PARÂMETROS PELO MÉTODO $g_{ms}/I_D$

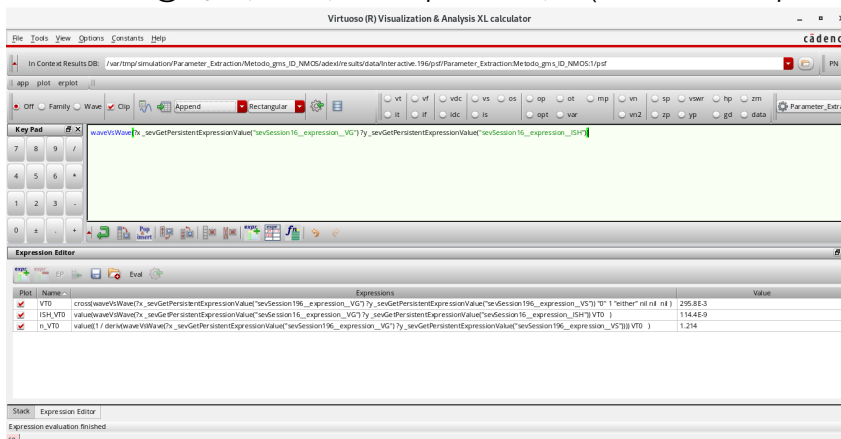
A extração automatizada dos parâmetros pelo método  $g_{ms}/I_D$  é realizada através das configurações mostradas na Figura 56 e Tabelas 32 e 33. Os resultados são apresentados nas Figuras 56(d) e 57.



Figura 56 – Configurações do Virtuoso ADE para extração dos parâmetros pelo método  $g_{ms}/I_D$ .



(c) Configurações do ADE XL @  $V_G = 0,1V$  a  $0,5V$  com passo de  $0,1V$  (em *Corners Setup* → *Design Variables*).



(d) Configurações das expressões no Virtuoso Visualization & Analysis XL calculator e valores dos parâmetros do transistor. A cada nova simulação os números em *sevSession196* e *sevSession16* nas expressões devem ser atualizados manualmente, e em seguida clicar em *Eval*. As variáveis de saída e expressões estão detalhadas na Tabela 33.

Fonte: Elaborada pelo autor.

Tabela 32 – Nomes das variáveis de saída e expressões no ADE XL Test Editor para extração dos parâmetros pelo método  $g_{ms}/I_D$

Name	Expression
ID	IS("/M0/D")
gms_ID	(- deriv(ln(ID)))
VS	cross(gms_ID 25.6 1 "either"nil nil nil)
IFO	value(ID VS)
IFO_x_VS	waveVsWave(?x VS ?y IFO)
IS	(IFO / 3)
ISH	(IS / S)
ISH_x_VG	waveVsWave(?x VG ?y ISH)
VG	value(VS("/VG") 1)
VP_x_VG	waveVsWave(?x VG ?y VS)
VTO	cross(waveVsWave(?x VG ?y VS) "0"1 "rising"nil nil nil)
n_x_VG	(1 / deriv(waveVsWave(?x VG ?y VS)))
n_VTO	value((1 / deriv(waveVsWave(?x VG ?y VS))) VTO)
W	VAR("W")
L	VAR("L")
S	(W / L)

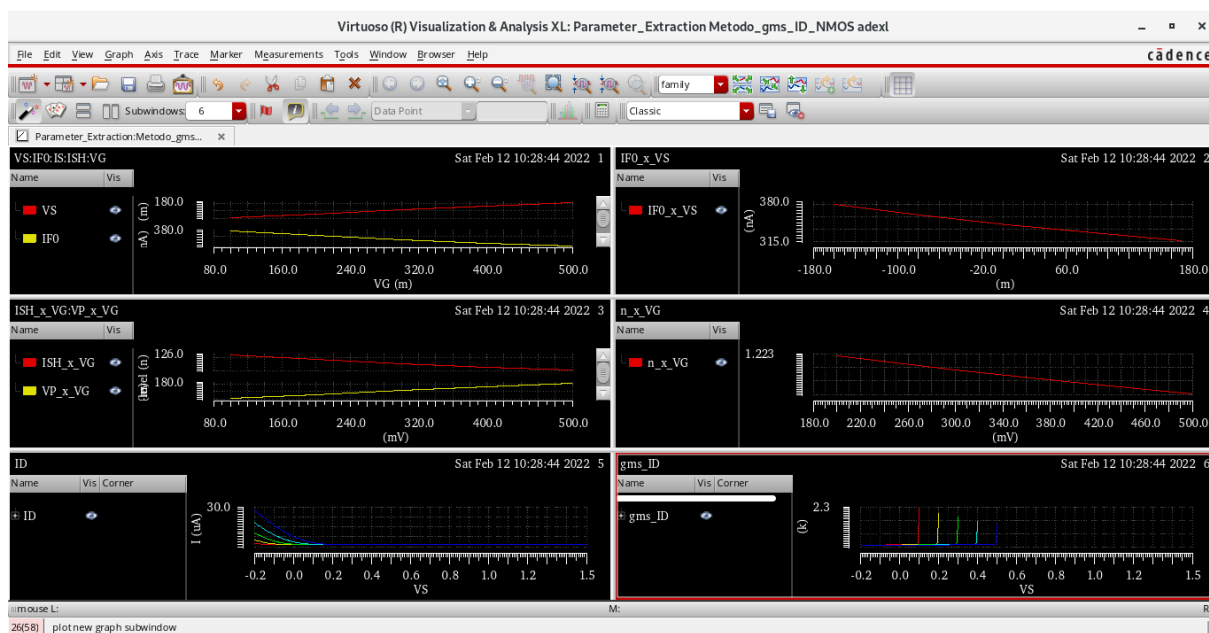
Fonte: Elaborada pelo autor.

Tabela 33 – Nomes das variáveis de saída e expressões no Virtuoso Visualization & Analysis XL calculator. A cada nova simulação os números em sevSession196 e sevSession16 nas expressões devem ser atualizados manualmente.

Name	Expression
VTO	cross(waveVsWave(?x _sevGetPersistentExpressionValue("sevSession196_expression_VG") ?y _sevGetPersistentExpressionValue("sevSession196_expression_VS")) "0"1 "either"nil nil nil )
ISH_VTO	value(waveVsWave(?x _sevGetPersistentExpressionValue("sevSession16_expression_VG") ?y _sevGetPersistentExpressionValue("sevSession16_expression_ISH")) VTO )
n_VTO	value((1 / deriv(waveVsWave(?x _sevGetPersistentExpressionValue("sevSession196_expression_VG") ?y _sevGetPersistentExpressionValue("sevSession196_expression_VS")))) VTO )

Fonte: Elaborada pelo autor.

Figura 57 – Diferentes curvas no Virtuoso Visualization & Analysis XL (em ADE XL PlotOutputs → Expressions),  $V_S = -0,2V$  a  $1,5V @ V_G = 0,1; 0,2; 0,3; 0,4; 0,5V$ .

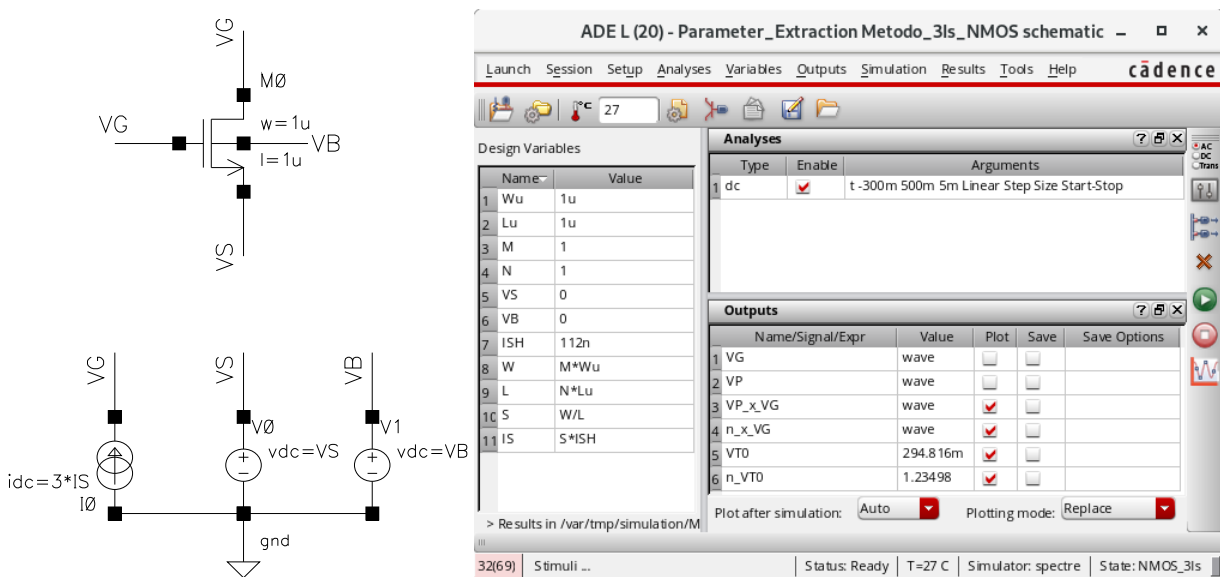


Fonte: Elaborada pelo autor.

### C.4 CONFIGURAÇÕES PARA EXTRAÇÃO AUTOMATIZADA DOS PARÂMETROS PELO MÉTODO $3I_S$

A extração automatizada dos parâmetros pelo método  $3I_S$  é realizada através das configurações mostradas na Figura 58 e Tabela 34. Os resultados são apresentados nas Figuras 58(b) e 59.

Figura 58 – Configurações do *Virtuoso ADE* para extração dos parâmetros pelo método  $3I_S$ .



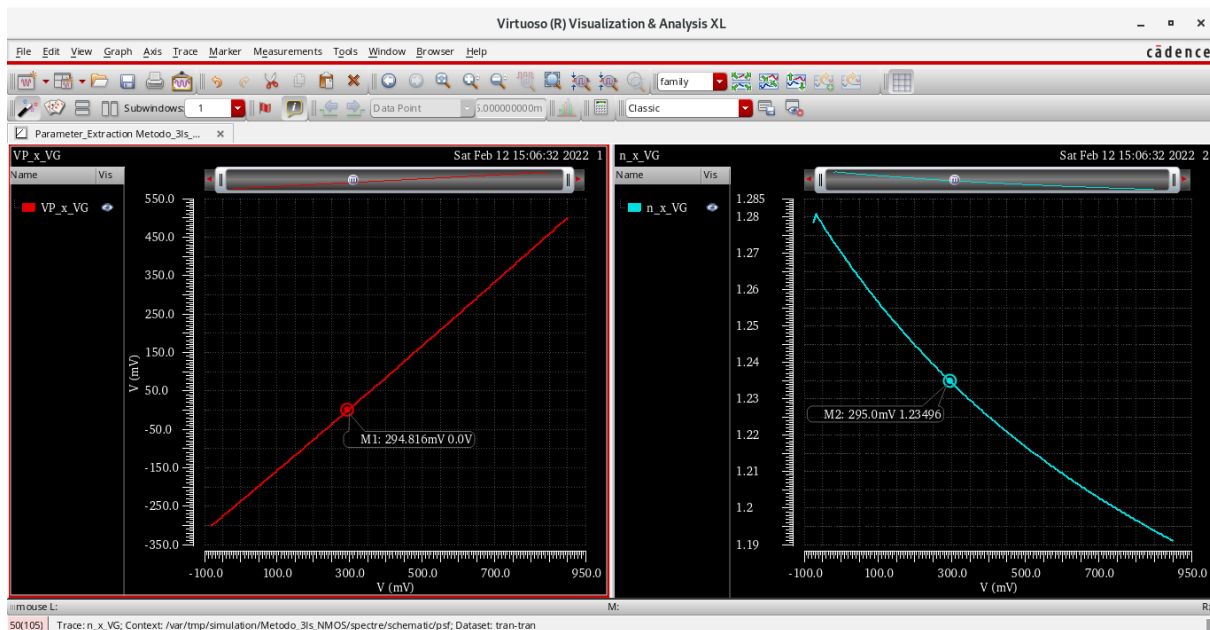
Fonte: Elaborada pelo autor.

Tabela 34 – Nomes das variáveis de saída e expressões no ADE L para extração dos parâmetros pelo método  $3I_S$ .

Name	Expression
VG	VS("/VG")
VP	VS("/VS")
VP_x_VG	waveVsWave(?x VG ?y VP)
n_x_VG	(1 / deriv(waveVsWave(?x VG ?y VP)))
VT0	cross(waveVsWave(?x VG ?y VP) "0"1 "rising"nil nil nil)
n_VT0	value(n_x_VG VT0)

Fonte: Elaborada pelo autor.

Figura 59 – Curvas da tensão de *pinch-off* e fator de inclinação de em função da tensão de *gate* no *Virtuoso Visualization & Analysis XL*.

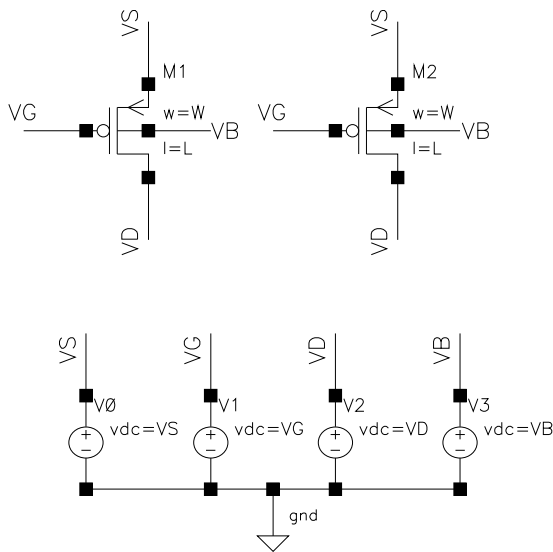


Fonte: Elaborada pelo autor.

## C.5 EXTRAÇÃO DOS COEFICIENTES DE (DES)CASAMENTO DA TENSÃO DE LIMIAR $A_{VT}$ E DO PARÂMETRO DE TRANSCONDUTÂNCIA $A_{\beta}$

A extração dos parâmetros  $A_{VT}$  e  $A_{\beta}$  através da simulação Monte Carlo de des-casamento e da variação da área de *gate* é realizada através das configurações mostradas na Figura 60 e Tabela 35. Os resultados são apresentados nas Figuras 60(c) e 61.

Figura 60 – Configurações do *Virtuoso ADE* para extração de  $A_{VT}$  e  $A_{\beta}$ .



Name	Value
1 VB	0
2 VS	0
3 VD	-13m
4 VG	-444m
5 W	1u
6 L	1u

Name/Signal/Expr	Value	Plot	Save	Save Options
1 VT1	-485.063m	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
2 VT2	-485.063m	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
3 Delta_VT	0	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
4 Beta1	94.4798u	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
5 Beta2	94.4798u	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
6 Delta_Beta_Beta	0	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

(a) Esquemático do *Virtuoso Schematic*.

(b) Configurações do *ADE XL Test Editor*. As variáveis de saída e expressões estão detalhadas na Tabela 35.

Name	Yield	Min	Target	Max	Mean	Std Dev
Parameter Extraction:AVT_ABeta_PMOS_Mismatch:1						
Beta1(summary)	100	4.085u		96.24u	25.86u	50.18n
Beta2(summary)	100	4.086u		96.15u	25.86u	499.6n
Delta_Beta_Beta(summary)	100	-23.21m		27.43m	11.53u	7.519m
Delta_Beta_Beta_MC_0	100	-23.21m	info	27.43m	36.03u	7.519m
Delta_Beta_Beta_MC_1	100	-10.41m	info	12.53m	9.234u	3.412m
Delta_Beta_Beta_MC_2	100	-7.362m	info	8.863m	5.324u	2.415m
Delta_Beta_Beta_MC_3	100	-6.01m	info	7.225m	3.906u	1.97m
Delta_Beta_Beta_MC_4	100	-5.205m	info	6.252m	3.157u	1.706m
Delta_VT(summary)	100	-15.74m		12.98m	1.536u	4.493m
Delta_VT_MC_0	100	-15.74m	info	12.98m	3.421u	4.493m
Delta_VT_MC_1	100	-7.003m	info	5.762m	1.529u	1.996m
Delta_VT_MC_2	100	-4.949m	info	4.069m	1.083u	1.41m
Delta_VT_MC_3	100	-4.04m	info	3.321m	883.7n	1.151m
Delta_VT_MC_4	100	-3.499m	info	2.876m	765.4n	996.6u
VT1(summary)	100	-496.2m		-456.9m	-465.4m	3.177m
VT2(summary)	100	-495.8m		-456.5m	-465.4m	3.199m

(c) Configurações do *ADE XL* e valores dos resultados @  $L = 1; 5; 10; 15; 20 \mu\text{m}$  (em *Corners Setup* → *Design Variables*). As simulações Monte Carlo foram realizadas com 2000 amostras e considerando somente o efeito de descasamento.

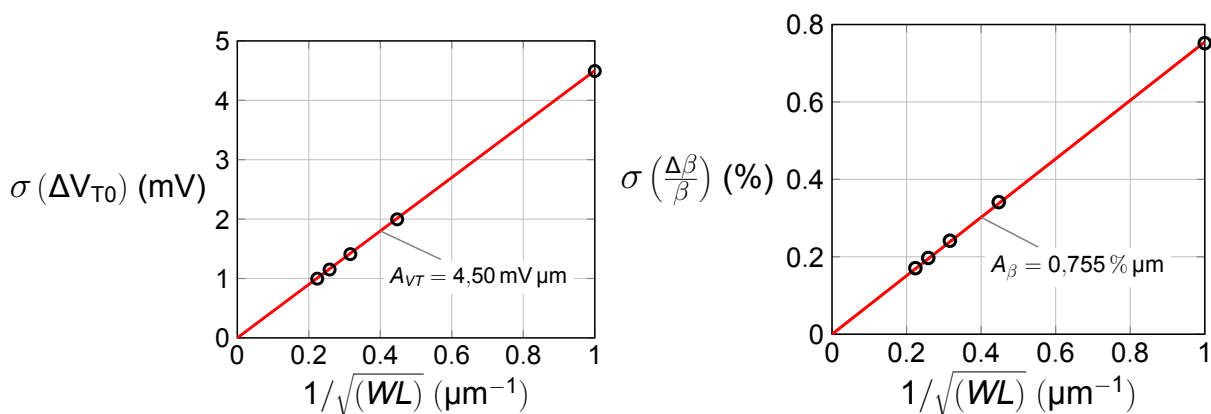
Fonte: Elaborada pelo autor.

Tabela 35 – Nomes das variáveis de saída e expressões no ADE XL Test Editor para extração dos parâmetros  $A_{VT}$  e  $A_{\beta}$ .

Name	Expression
VT1	OP("/M1" "vth")
VT2	OP("/M2" "vth")
Delta_VT	(VT2 - VT1)
Beta1	OP("/M1" "betaeff")
Beta2	OP("/M2" "betaeff")
Delta_Beta_Beta	((OP("/M2" "betaeff") - OP("/M1" "betaeff")) / OP("/M1" "betaeff"))

Fonte: Elaborada pelo autor.

Figura 61 – Coeficientes de (des)casamento da tensão de limiar  $A_{VT}$  e do parâmetro de transcondutância  $A_{\beta}$  @  $pmos2v$ ,  $W=1 \mu m$ ,  $L=1; 5; 10; 15; 20 \mu m$ .



(a) Desvio padrão da tensão de limiar em função da raiz quadrada inversa da área de *gate*. (b) Desvio padrão do parâmetro de transcondutância normalizado em função da raiz quadrada inversa da área de *gate*.

Fonte: Elaborada pelo autor.

## C.6 CÓDIGO EM MATLAB PARA OTIMIZAÇÃO DOS PARÂMETROS DO TRANSISTOR

A otimização dos parâmetros do transistor foi realizada através dos Códigos 1 e 2 em MATLAB (*Optimization Toolbox*).

Código 1 – Código em MATLAB para otimização dos parâmetros do transistor através do algoritmo genético. Arquivo otimizacao.m.

```

1 clear all
2 close all
3 clc
4 tic;
5 format longEng
6
7 %% Definição do intervalo dos parâmetros
8 n = [1.20    1.25];
9 VT0 = [290e-3    300e-3];
10 ISH = [110e-9    120e-9];
11
12 LB = [n(1),VT0(1),ISH(1)]; % Limites inferiores
13 UB = [n(2),VT0(2),ISH(2)]; % Limites superiores
14
15 %% Configurações do algoritmo genético
16 numberOfVariables = size(LB,2);
17 generations_number = 150;
18 population_size = 100;
19 EliteCount_Data = round(0.05*population_size);
20
21 options = gaoptimset('UseParallel',true);
22 options = gaoptimset(options,'PopulationSize',population_size);
23 options = gaoptimset(options,'PopInitRange',[LB;UB]);
24 options = gaoptimset(options,'Generations',generations_number);
25 options = gaoptimset(options,'PopulationType','doubleVector');
26 options = gaoptimset(options,'EliteCount',EliteCount_Data);
27 options = gaoptimset(options,'StallGenLimit',10);
28 options = gaoptimset(options,'Display','iter');
29
30 rng default
31 FitnessFunction = @(v)otimizada(v);
32 %% Algoritmo genético
33 [x,fval] = ga(FitnessFunction,numberOfVariables,[],[],[],[],LB,UB,[],[],options);
34 toc;
35 x
36 fval

```

Fonte: Elaborado pelo autor.

Código 2 – Código em MATLAB do cálculo da corrente de dreno do ACM e do erro RMS. Arquivo otimizada.m.

```

1 function Erro_RMS = otimizada(x)
2 n = x(1);
3 VT0 = x(2);
4 ISH = x(3);
5
6 import_file = 'ID_x_VG_Sat_BSIM.csv'; % ID x VG @ VD=VG BSIM
7
8 BSIM_Array = importdata(import_file, ',', 1);
9 VG_BSIM = BSIM_Array.data(:, 1)';
10 ID_BSIM = BSIM_Array.data(:, 2)';
11
12 VS = 0;
13 step = 0;
14
15 for VG = 0.005:0.005:1.8
16 step = step+1;
17
18 UICM_VS_if = @(if0, VS, VG, VT0, n) -(VG-VT0) ./ n + VS ...
19 + 0.026 .* (sqrt(1+if0) - 2 + log(sqrt(1+if0) - 1));
20 fun1 = @(x) UICM_VS_if(x, VS, VG, VT0, n);
21 if0 = fzero(fun1, [1e-15 1e15]);
22 v_if(step) = if0(1);
23 v_VG(step) = VG(1);
24
25 UICM_VD_ir = @(ir0, VD, VG, VT0, n) -(VG-VT0) ./ n + VD ...
26 + 0.026 .* (sqrt(1+ir0) - 2 + log(sqrt(1+ir0) - 1));
27 fun2 = @(x) UICM_VD_ir(x, VG, VG, VT0, n); % VD=VG
28 ir0 = fzero(fun2, [1e-15 1e15]);
29 v_ir(step) = ir0(1);
30
31 end
32
33 S = 1e-6/1e-6;
34 ID_ACM = S.*ISH.*(v_if-v_ir);
35
36 Erro_RMS = sqrt(mean((((ID_ACM-ID_BSIM) ./ ID_BSIM).^2));

```

Fonte: Elaborado pelo autor.



## APÊNDICE D – CÁLCULO DO ERRO ALEATÓRIO DA CORRENTE DE REFERÊNCIA

Nesta seção deduz-se o cálculo do erro aleatório da corrente de referência, que foi primeiramente apresentado em [47, p. 79-80].

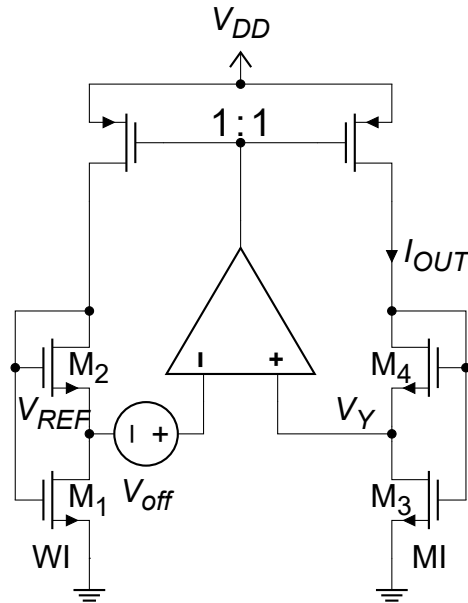
O *offset* em tensão do Amp Op, assim como o descasamento entre as tensões de limiar dos transistores dos SCMs, introduzem erros na fonte de corrente. Na Figura 62,  $V_{off}$  representa o *offset* de tensão na entrada do Amp Op, assim como o descasamento entre as tensões de limiar dos SCMs.

Idealmente, o nível de inversão  $i_{f3}$  é dado pela expressão

$$\frac{V_{REF}}{\phi_t} = F(i_{f3}) - F(i_{f3}/\alpha_3) \quad (123)$$

$$F(i) = \sqrt{1+i} - 2 + \ln(\sqrt{1+i} - 1)$$

Figura 62 – Esquemático da fonte de corrente com uma fonte de erro em tensão  $V_{off}$  conectada a entrada inversora do Amp Op.



Fonte: Elaborada pelo autor.

Conseqüentemente, um erro em tensão  $V_{off}$  produz um erro no nível de inversão  $\Delta i_{f3}$  de acordo com

$$\frac{V_{REF} + V_{off}}{\phi_t} = F(i_{f3} + \Delta i_{f3}) - F\left(\frac{i_{f3} + \Delta i_{f3}}{\alpha_3}\right) \quad (124)$$

Conseqüentemente, subtraindo (124) de (123), temos

$$\frac{V_{off}}{\phi_t} = F(i_{f3} + \Delta i_{f3}) - F(i_{f3}) + F\left(\frac{i_{f3}}{\alpha_3}\right) - F\left(\frac{i_{f3} + \Delta i_{f3}}{\alpha_3}\right) \quad (125)$$

Aproximando linearmente (125)

$$\begin{aligned} \frac{V_{off}}{\phi_t} &= F'(i_{\beta 3})\Delta i_{\beta 3} - F'\left(\frac{i_{\beta 3}}{\alpha_3}\right)\frac{\Delta i_{\beta 3}}{\alpha_3} \\ &= \frac{\Delta i_{\beta 3}}{2(\sqrt{1+i_{\beta 3}}-1)} - \frac{\Delta i_{\beta 3}}{2\alpha_3(\sqrt{1+i_{\beta 3}/\alpha_3}-1)} \end{aligned} \quad (126)$$

Já que  $F'(i) = \frac{1}{2(\sqrt{1+i}-1)}$ .

Multiplicando em (126) os numeradores e denominadores pelos conjugados algébricos dos denominadores, temos

$$\frac{V_{off}}{\phi_t} = \frac{\Delta i_{\beta 3}(\sqrt{1+i_{\beta 3}}+1)}{2i_{\beta 3}} - \frac{\Delta i_{\beta 3}(\sqrt{1+i_{\beta 3}/\alpha_3}+1)}{2i_{\beta 3}} \quad (127)$$

Finalmente de (127) obtemos uma expressão compacta para o erro normalizado

$\frac{\Delta i_{\beta 3}}{i_{\beta 3}}$

$$\frac{\Delta i_{\beta 3}}{i_{\beta 3}} = \frac{2V_{off}}{\phi_t} \frac{1}{\sqrt{1+i_{\beta 3}} - \sqrt{1+i_{\beta 3}/\alpha_3}} \quad (128)$$

#### D.1 APROXIMAÇÕES DE $\frac{\Delta I_{OUT}/I_{OUT}}{V_{off}/\phi_t}$

Substituindo  $\Delta i_{\beta 3}/i_{\beta 3} = \Delta I_{OUT}/I_{OUT}$  em (128), resulta em

$$\frac{\Delta I_{OUT}/I_{OUT}}{V_{off}/\phi_t} = \frac{2}{\sqrt{1+i_{\beta 3}} - \sqrt{1+i_{\beta 3}/\alpha_3}} \quad (129)$$

Assumindo o transistor  $M_3$  em MI ou WI a função  $\sqrt{1+x}$  em (129) é aproximada por  $1 + x/2$  @  $x \ll 1$  e assim temos que

$$\frac{\Delta I_{OUT}/I_{OUT}}{V_{off}/\phi_t} = \frac{4\alpha_3}{(\alpha_3 - 1)i_{\beta 3}} \quad (130)$$

Para o transistor  $M_1$  em WI e igualando as tensões internas dos dois SCMs dadas por (35) e (32), temos

$$\frac{V_X}{\phi_t} = \ln \alpha_1 = \sqrt{1+i_{\beta 3}} - \sqrt{1+i_{\beta 3}/\alpha_3} + \ln \left( \frac{\sqrt{1+i_{\beta 3}}-1}{\sqrt{1+i_{\beta 3}/\alpha_3}-1} \right) = \frac{V_Y}{\phi_t} \quad (131)$$

A tensão interna  $V_Y$  do SCM 3-4 em (131) em MI ou WI pode ser aproximada por (34), desse modo (131) fica

$$\frac{V_X}{\phi_t} = \ln \alpha_1 = \ln \alpha_3 + \frac{\alpha_3 - 1}{4\alpha_3} i_{\beta 3} = \frac{V_Y}{\phi_t} \quad (132)$$

De (132), temos que

$$\frac{4\alpha_3}{(\alpha_3 - 1)i_{\beta 3}} = \frac{1}{\ln \alpha_1 - \ln \alpha_3} \quad (133)$$

Substituindo (133) em (130), resulta em

$$\frac{\Delta I_{OUT}/I_{OUT}}{V_{off}/\phi_t} = \frac{1}{\ln \alpha_1 - \ln \alpha_3} \quad @ \sqrt{\alpha_1} < \alpha_3 < \alpha_1, M_3 \text{ em WI ou MI} \quad (134)$$

Em SI a tensão interna  $V_Y$  em (131) pode ser aproximada por (33), e assim

$$\frac{V_X}{\phi_t} = \ln \alpha_1 = \sqrt{1 + i_{\beta 3}} - \sqrt{1 + i_{\beta 3}/\alpha_3} = \frac{V_Y}{\phi_t} \quad (135)$$

Substituindo (135) em (129), resulta em

$$\frac{\Delta I_{OUT}/I_{OUT}}{V_{off}/\phi_t} = \frac{2}{\ln \alpha_1} \quad @ 1 < \alpha_3 \leq \sqrt{\alpha_1}, M_3 \text{ em SI} \quad (136)$$

## APÊNDICE E – PROJETO E CONFIGURAÇÕES DAS CÉLULAS DA FONTE DE CORRENTE

### E.1 CÓDIGO EM MATLAB PARA PROJETAR O CIRCUITO DA FONTE DE CORRENTE

Os projetos das fontes de corrente da Seção 3.3 foram realizados através do Código 3 e da função `InterX`, que determina o ponto de interseção de duas curvas, mostrado no Código 4.

Código 3 – Código em MATLAB para projetar a topologia de fonte de corrente do Hurtado.

```

1 %% Código para projetar a topologia de fonte de corrente do Hurtado
2 %% Projeto # 8
3 clc ; close all ; clear all ;
4 phit = 26e-3; % (V)
5 ISH = 39.1e-9; % (A)
6 %% Especificações do projeto
7 VREF_inicial = 4*phit; % (V) tensão de referência
8 VREF_phit_inicial = VREF_inicial/phit;
9 IOUT_inicial = 1*ISH; % (A) corrente de referência
10 B_inicial = IOUT_inicial/ISH;
11 Delta_IOUT_IOUT_inicial = 0.01; % desvio padrão da corrente de referência
12 Delta_ID_ID = 0; % desvio padrão da corrente de saída do espelho de corrente
13 %% Escolhas de alpha1 e alpha3
14 alpha1_inicial = 50.0;
15 alpha3_inicial = 2.0;
16
17 VXY_phit_fun = @(alpha0, if0) sqrt(1+if0)-sqrt(1+if0./alpha0) ...
18 +log((sqrt(1+if0)-1)/(sqrt(1+if0./alpha0)-1))-VREF_phit_inicial;
19
20 fun_if1 = @(x) VXY_phit_fun(alpha1_inicial, x);
21 if1_inicial = fzero(fun_if1, [1e-6 1e1]);
22
23 fun_if3 = @(x) VXY_phit_fun(alpha3_inicial, x);
24 if3_inicial = fzero(fun_if3, [1e-1 1e6]);
25
26 if24_0 = @(alpha13_0, if13_0) if13_0./alpha13_0;
27
28 if2_inicial = if24_0(alpha1_inicial, if1_inicial);
29 if4_inicial = if24_0(alpha3_inicial, if3_inicial);
30
31 Se13_0 = @(B0, if13_0) B0./if13_0;
32 S13_0 = @(B0, alpha13_0, if13_0) (alpha13_0.*B0)/(if13_0.*(alpha13_0-1));
33 S24_0 = @(B0, if24_0) B0./if24_0;
34 %% SCM 1-2
35 Se1_inicial = Se13_0(B_inicial, if1_inicial);
36 S1_inicial = S13_0(B_inicial, alpha1_inicial, if1_inicial);
37 S2_inicial = S24_0(B_inicial, if2_inicial);
38 %% SCM 3-4
39 Se3_inicial = Se13_0(B_inicial, if3_inicial);
40 S3_inicial = S13_0(B_inicial, alpha3_inicial, if3_inicial);
41 S4_inicial = S24_0(B_inicial, if4_inicial);
42 S14_inicial = [S1_inicial S2_inicial S3_inicial S4_inicial]';
43 %% Dimensões do transistor unitário

```

```

44 Wu = 0.850; % (um)
45 Lu = 0.850; % (um)
46
47 A_min = max([Wu^2./S14_inicial Lu^2.*S14_inicial]);
48
49 n = 1.32;
50 A_VT = 4.50*1e-3; % (V.um)
51
52 gmd_gms_0 = @(alpha_0, if_0) (sqrt(1+if_0 ./alpha_0)-1)./(sqrt(1+if_0)-1);
53 gmd1_gms1_inicial = gmd_gms_0(alpha1_inicial, if1_inicial);
54 gmd3_gms3_inicial = gmd_gms_0(alpha3_inicial, if3_inicial);
55
56 A = (4*A_VT^2*((1-alpha1_inicial)^2/alpha1_inicial^2 ...
57 +(gmd3_gms3_inicial-1)^2))/ ...
58 (Delta_IOUT_IOUT_inicial^2*n^2*phit^2*(sqrt(1+if3_inicial) ...
59 -sqrt(1+if3_inicial/alpha3_inicial))^2);
60 %% Cálculo da associação paralela M
61 M = @(S0,Wu,A0) round((sqrt(S0.*A0)./Wu),0);
62 %% Cálculo da associação série N
63 N = @(S0,Lu,A0) round(sqrt(A0)./(Lu.*sqrt(S0)),0);
64 %% Cálculos das associações série-paralela
65 M1_ajuste = 5;
66 M1 = M(S1_inicial,Wu,A)+M1_ajuste;
67 N1_ajuste = 2;
68 N1 = N(S1_inicial,Lu,A)+N1_ajuste;
69
70 M2_ajuste = 32;
71 M2 = M(S2_inicial,Wu,A)+M2_ajuste;
72 N2_ajuste = 0;
73 N2 = N(S2_inicial,Lu,A)+N2_ajuste;
74
75 M3_ajuste = 0;
76 M3 = M(S3_inicial,Wu,A)+M3_ajuste;
77 N3_ajuste = 0;
78 N3 = N(S3_inicial,Lu,A)+N3_ajuste;
79
80 M4_ajuste = 0;
81 M4 = M(S4_inicial,Wu,A)+M4_ajuste;
82 N4_ajuste = 0;
83 N4 = N(S4_inicial,Lu,A)+N4_ajuste;
84
85 M14 = [M1 M2 M3 M4]';
86 N14 = [N1 N2 N3 N4]';
87 MN14 = [M14 N14];
88 %% Razões de aspecto finais
89 S_final = @(M,N,Wu,Lu) (M*Wu)/(N*Lu);
90 S1_final = S_final(M1,N1,Wu,Lu);
91 S2_final = S_final(M2,N2,Wu,Lu);
92 Se1_final = (S1_final^(-1)+S2_final^(-1))^(-1);
93 S3_final = S_final(M3,N3,Wu,Lu);
94 S4_final = S_final(M4,N4,Wu,Lu);
95 Se3_final = (S3_final^(-1)+S4_final^(-1))^(-1);
96 S14_final = [S1_final S2_final S3_final S4_final]';
97 %% Áreas finais
98 A14_final = [M14.*N14.*Wu.*Lu]; % (um^2)
99 %% Alpha13 final
100 alpha1_final = 1+S2_final/S1_final;

```

```

101 alpha3_final = 1+S4_final/S3_final;
102 %% Cálculo do desvio padrão da tensão de referência Voff
103 sigma_VT01 = @(A0,A1,A_VT) sqrt((A_VT.^(2)./2).* (1./A0+1./A1));
104 sigma_VT12 = sigma_VT01(A14_final(1),A14_final(2),A_VT);
105 sigma_VT34 = sigma_VT01(A14_final(3),A14_final(4),A_VT);
106
107 Voff = @(if1_0, alpha1_0, alpha3_0, gmd1_gms1_0, gmd3_gms3_0) sqrt(((sigma_VT12*(
    gmd1_gms1_0-1))/n)^2 ...
108 +((sigma_VT34*(gmd3_gms3_0-1))/n)^2 + ((phit*Delta_ID_ID*(alpha1_0-1)*if1_0)/(4*
    alpha1_0))^2); % (V)
109 Voff_inicial = Voff(if1_inicial, alpha1_final, alpha3_final, gmd1_gms1_inicial,
    gmd3_gms3_inicial); % (V)
110 %% Definição do ponto de operação final
111 ID_ISH = logspace(floor(log10(B_inicial))-2, floor(log10(B_inicial))+2,8e2);
112 if13_0 = @(ID_ISH,S0) ID_ISH./S0;
113 if1 = if13_0(ID_ISH, Se1_final);
114 if3 = if13_0(ID_ISH, Se3_final);
115
116 VXY_phit_final = @(alpha0, if0) sqrt(1+if0)-sqrt(1+if0./alpha0) ...
117 +log((sqrt(1+if0)-1)/(sqrt(1+if0./alpha0)-1));
118
119 VX_phit_final = VXY_phit_final(alpha1_final, if1);
120 VY_phit_final = VXY_phit_final(alpha3_final, if3);
121
122 P = InterX([ID_ISH; VX_phit_final],[ID_ISH; VY_phit_final,]);
123 semilogx(ID_ISH, VX_phit_final, 'red', ID_ISH, VY_phit_final, 'black', P(1,:), P(2,:), 'bo')
124 title('Curvas das tensões internas dos SCMs normalizadas', 'FontSize', 12)
125 xlabel('$\frac{I_D}{I_{SH}}$', 'Interpreter', 'latex', 'FontSize', 20);
126 ylabel('$\frac{V_{X(Y)}}{\phi_t}$', 'Interpreter', 'latex', 'FontSize', 20);
127 h = legend('V_{X}', 'V_{Y}', 'Ponto de operação', 'Location', 'northwest')
128 set(h, 'FontSize', 15);
129
130 B_final = P(1,:);
131 IOOUT_final = B_final*ISH;
132 VREF_phit_final= P(2,:);
133 VREF_final= P(2,:)*phit;
134
135 if1_final = if13_0(IOOUT_final/ISH, Se1_final);
136 if2_final = if24_0(alpha1_final, if1_final);
137 if3_final = if13_0(IOOUT_final/ISH, Se3_final);
138 if4_final = if24_0(alpha3_final, if3_final);
139
140 gmd1_gms1_final = gmd_gms_0(alpha1_final, if1_final);
141 gmd3_gms3_final = gmd_gms_0(alpha3_final, if3_final);
142 Voff_final = Voff(if1_final, alpha1_final, alpha3_final, gmd1_gms1_final,
    gmd3_gms3_final); % (V)
143 %% Cálculo do desvio padrão da corrente de referência
144 Delta_IOOUT_IOOUT = @(Voff_0, alpha3_0, if3_0, Delta_ID_ID_0) sqrt((4*Voff_0^2)/ ...
145 (phit^2*(sqrt(1+if3_0)-sqrt(1+if3_0/alpha3_0))^2)+Delta_ID_ID_0^2);
146 Delta_IOOUT_IOOUT_final = Delta_IOOUT_IOOUT(Voff_final, alpha3_final, if3_final,
    Delta_ID_ID);
147 %% Resultados @ IOOUT Simulação
148 IOOUT_sim = 37.1e-9; % (A)
149 if1_sim = if13_0(IOOUT_sim/ISH, Se1_final);
150 if2_sim = if24_0(alpha1_final, if1_sim);
151 if3_sim = if13_0(IOOUT_sim/ISH, Se3_final);
152 if4_sim = if24_0(alpha3_final, if3_sim);

```

```

153
154 gmd1_gms1_sim = gmd_gms_0(alpha1_final , if1_sim );
155 gmd3_gms3_sim = gmd_gms_0(alpha3_final , if3_sim );
156 Voff_sim = Voff(if1_sim , alpha1_final , alpha3_final , gmd1_gms1_sim , gmd3_gms3_sim );% (V)
157 Delta_IOUT_IOUT_sim = Delta_IOUT_IOUT(Voff_final , alpha3_final , if3_sim , Delta_ID_ID );
158 %% Tabela com o resumo dos parâmetros dos transistores e SCMs
159 Transistor = ["M1";"M2";"M3";"M4"];
160 alpha_final = [alpha1_final alpha1_final alpha3_final alpha3_final]';
161 S_final = S14_final;
162 a = num2str(M14);
163 v_x(1:4,1) = 'x';
164 v_Wu(1:4,1) = Wu(1);
165 b = num2str(v_Wu);
166 W = [a v_x b]; % (um)
167 b = num2str(N14);
168 v_Lu(1:4,1) = Lu(1);
169 c = num2str(v_Lu);
170 L = [b v_x c]; % (um)
171 A = A14_final; % (um²)
172 T = table(Transistor , alpha_final , S_final , W,L,A)

```

Fonte: Elaborado pelo autor.

Código 4 – Código em MATLAB para determinar o ponto de interseção de duas curvas. Arquivo InterX.m.

```

1 function P = InterX(L1,varargin)
2 %INTERX Intersection of curves
3 % P = INTERX(L1,L2) returns the intersection points of two curves L1
4 % and L2. The curves L1,L2 can be either closed or open and are described
5 % by two-row-matrices , where each row contains its x- and y- coordinates .
6 % The intersection of groups of curves (e.g. contour lines , multiply
7 % connected regions etc) can also be computed by separating them with a
8 % column of NaNs as for example
9 %
10 % L = [x11 x12 x13 ... NaN x21 x22 x23 ... ;
11 %      y11 y12 y13 ... NaN y21 y22 y23 ...]
12 %
13 % P has the same structure as L1 and L2, and its rows correspond to the
14 % x- and y- coordinates of the intersection points of L1 and L2. If no
15 % intersections are found , the returned P is empty.
16 %
17 % P = INTERX(L1) returns the self-intersection points of L1. To keep
18 % the code simple , the points at which the curve is tangent to itself are
19 % not included. P = INTERX(L1,L1) returns all the points of the curve
20 % together with any self-intersection points.
21 %
22 % Example:
23 % t = linspace(0,2*pi);
24 % r1 = sin(4*t)+2; x1 = r1.*cos(t); y1 = r1.*sin(t);
25 % r2 = sin(8*t)+2; x2 = r2.*cos(t); y2 = r2.*sin(t);
26 % P = InterX([x1;y1],[x2;y2]);
27 % plot(x1,y1,x2,y2,P(1,:),P(2,:), 'ro ')

```

```

28 % Author : NS
29 % Version: 3.0, 21 Sept. 2010
30 % Two words about the algorithm: Most of the code is self-explanatory.
31 % The only trick lies in the calculation of C1 and C2. To be brief, this
32 % is essentially the two-dimensional analog of the condition that needs
33 % to be satisfied by a function F(x) that has a zero in the interval
34 % [a,b], namely
35 %     F(a)*F(b) <= 0
36 % C1 and C2 exactly do this for each segment of curves 1 and 2
37 % respectively. If this condition is satisfied simultaneously for two
38 % segments then we know that they will cross at some point.
39 % Each factor of the 'C' arrays is essentially a matrix containing
40 % the numerators of the signed distances between points of one curve
41 % and line segments of the other.
42 %...Argument checks and assignment of L2
43 error(nargchk(1,2,nargin));
44 if nargin == 1,
45 L2 = L1;    hF = @lt;    %...Avoid the inclusion of common points
46 else
47 L2 = varargin{1}; hF = @e;
48 end
49
50 %...Preliminary stuff
51 x1 = L1(1,:)'; x2 = L2(1,:)';
52 y1 = L1(2,:)'; y2 = L2(2,:)';
53 dx1 = diff(x1); dy1 = diff(y1);
54 dx2 = diff(x2); dy2 = diff(y2);
55
56 %...Determine 'signed distances'
57 S1 = dx1.*y1(1:end-1) - dy1.*x1(1:end-1);
58 S2 = dx2.*y2(1:end-1) - dy2.*x2(1:end-1);
59
60 C1 = feval(hF,D(bsxfun(@times ,dx1 ,y2)-bsxfun(@times ,dy1 ,x2) ,S1) ,0);
61 C2 = feval(hF,D((bsxfun(@times ,y1 ,dx2)-bsxfun(@times ,x1 ,dy2))' ,S2') ,0)';
62 %...Obtain the segments where an intersection is expected
63 [i ,j] = find(C1 & C2);
64 if isempty(i) ,P = zeros(2,0);return; end;
65
66 %...Transpose and prepare for output
67 i=i'; dx2=dx2'; dy2=dy2'; S2 = S2';
68 L = dy2(j).*dx1(i) - dy1(i).*dx2(j);
69 i = i(L~=0); j=j(L~=0); L=L(L~=0);    %...Avoid divisions by 0
70
71 %...Solve system of eqs to get the common points
72 P = unique([dx2(j).*S1(i) - dx1(i).*S2(j), ...
73 dy2(j).*S1(i) - dy1(i).*S2(j)]./[L L] , 'rows' )';
74

```



```

75 function u = D(x,y)
76 u = bsxfun(@minus,x(:,1:end-1),y).*bsxfun(@minus,x(:,2:end),y);
77 end
78 end

```

Fonte: [58].

## E.2 CONFIGURAÇÕES DAS CÉLULAS UTILIZADAS NAS SIMULAÇÕES DAS FONTES DE CORRENTE

Para realizar as simulações de acordo com as suposições da modelagem utilizou-se algumas células ideais da biblioteca *analogLib*. Assim, assume-se nas simulações que o transistor saturado do espelho de corrente opera como uma fonte de corrente controlada por tensão (célula *vccs*) e que o Amp Op opera como uma fonte de tensão controlada por tensão (célula *vcvs*). Os valores dos parâmetros definidos em *Edit Object Properties* de cada célula são mostrados na Tabela 36. É importante garantir que estes valores sejam coerentes com a condição de polarização do circuito de acordo com o ponto de operação da fonte de corrente esperado (teórico), caso contrário o resultado da simulação não irá convergir para os valores esperados. Outro parâmetro importante do simulador é o valor da condutância mínima  $g_{min}$ , que é descrito no Apêndice C.1.

Tabela 36 – Valores dos parâmetros definidos em *Edit Object Properties* de cada célula em função da polarização do circuito.

<i>Cell Name</i>	<i>CDF Parameter</i>	<i>Value</i>
<i>vccs</i>	<i>Transconductance</i>	$10\text{ V}^{-1}$ vezes a corrente de referência
	<i>Maximum Output Current</i>	100 vezes a corrente de referência
	<i>Minimum Output Current</i>	0,01 vezes a corrente de referência
<i>vcvs</i>	<i>Voltage gain</i>	100 k
	<i>Maximum Output Voltage</i>	maior potencial
	<i>Minimum Output Voltage</i>	menor potencial

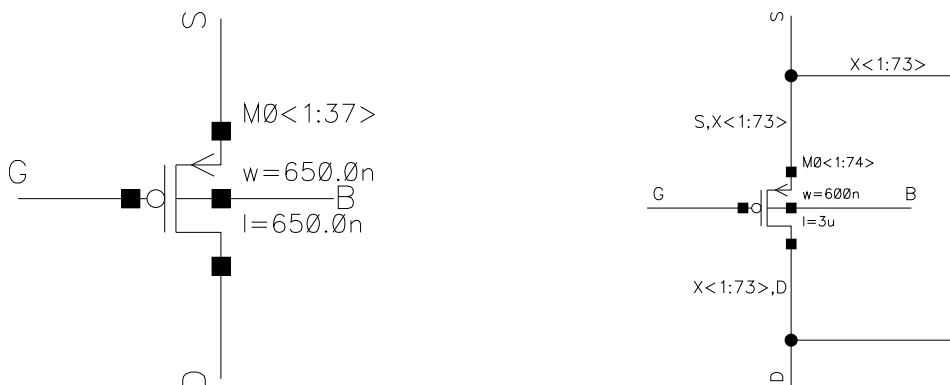
Fonte: Elaborada pelo autor.

Na simulação do esquemático da Figura 39(b) os valores de *Minimum Output Voltage* e *Maximum Output Voltage* da célula *vcvs* foram 0,30 V e 0,60 V, respectivamente. Desse modo o simulador convergiu para o ponto de operação para um valor de  $V_{DD}$  conforme o valor esperado teoricamente. Dependendo dos valores de *Minimum Output Voltage* e *Maximum Output Voltage* a convergência para o ponto de operação só ocorrerá para um valor de  $V_{DD}$  maior do que o valor teórico.

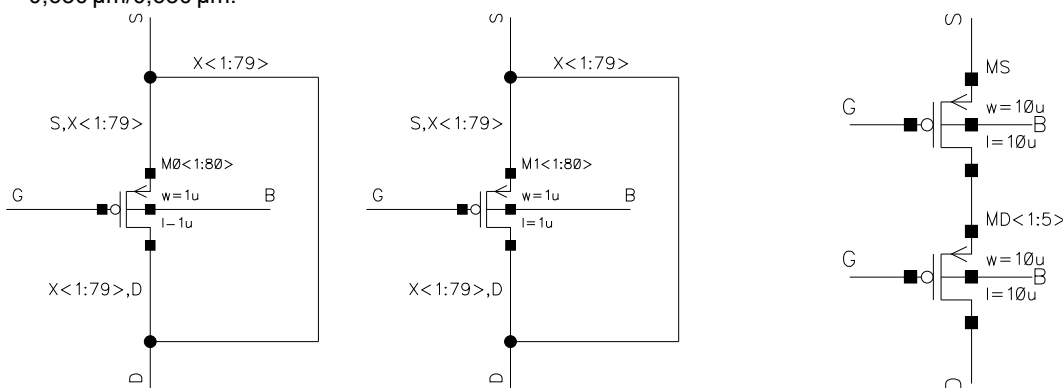
### E.3 IMPLEMENTAÇÃO DOS TRANSISTORES NO VIRTUOSO SCHEMATIC

As associações série-paralela dos transistores foram realizadas conforme mostra a Figura 63.

Figura 63 – Esquemáticos dos transistores no *Virtuoso Schematic*.



- (a) Associação paralela (implícita) de 37 transistores unitários com razão de aspecto iguais a 0,650  $\mu\text{m}/0,650 \mu\text{m}$ .
- (b) Associação série (implícita) de 74 transistores unitários com razão de aspecto iguais a 0,600  $\mu\text{m}/3,00 \mu\text{m}$ .



- (c) Associação série-paralela ( $M=2$  e  $N=80$ ) de transistores unitários com razão de aspecto iguais a 1,00  $\mu\text{m}/1,00 \mu\text{m}$ .
- (d) Transistor trapezoidal composto por transistores unitários com razão de aspecto iguais a 10,0  $\mu\text{m}/10,0 \mu\text{m}$ .

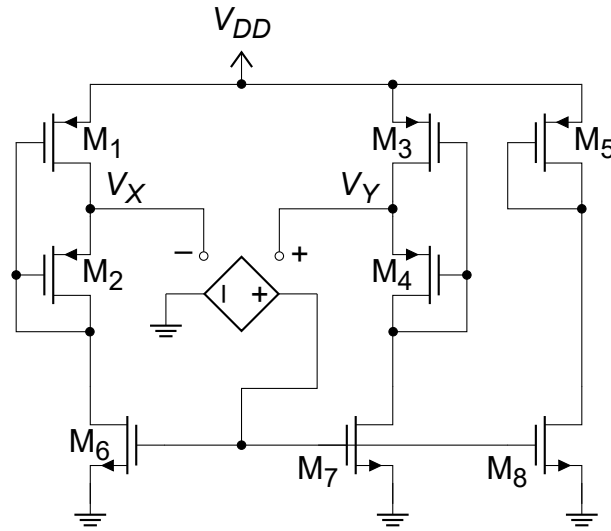
Fonte: Elaborada pelo autor.

### E.4 CÁLCULO DA ÁREA DE $M_5$ EM FUNÇÃO DE $\sigma(V_{G5})$ E DE OUTROS PARÂMETROS

O transistor  $M_5$  da Figura 64, de razão de aspecto  $S_5$ , pode operar em um nível de inversão  $i_{f5}$  através de um espelhamento ponderado da corrente  $I_{D4}$ . O peso pode ser ajustado pela relação entre as razões de aspecto dos transistores  $M_8$  e  $M_7$  de acordo com

$$i_{f5} = \frac{S_8 S_{e3} i_{f3}}{S_7 S_5} \tag{137}$$

A tensão de *gate* de  $M_5$  está sujeita a variações causadas pela variação da

Figura 64 – Adição do transistor  $M_5$  para extração da tensão de limiar.


Fonte: Elaborada pelo autor.

corrente de dreno, e assim temos que

$$\sigma^2(V_{G5}) = \left( \frac{I_{D5}}{g_m} \right)^2 \frac{\sigma^2(I_{D5})}{I_{D5}^2} \quad (138)$$

Em (138) e conforme mostra a Figura 64 a variância de  $I_{D5}$  normalizada é igual a variância da corrente de saída do espelho de corrente, dada por (76), assim temos que

$$\frac{\sigma^2(I_{D5})}{I_{D5}^2} = \frac{\sigma^2(I_{OUT})}{I_{OUT}^2} = \frac{4\sigma^2(V_{off})}{\phi_t^2 (\sqrt{1+i_{f3}} - \sqrt{1+i_{f3}/\alpha_3})^2} + \frac{\sigma^2(\Delta I_D)}{I_D^2} \quad (139)$$

A variação da tensão de *gate* de  $M_5$  devido a variação da tensão de limiar e do parâmetro de transcondutância ( $\beta = \mu C'_{ox} W/L$ ) [18] é

$$\sigma^2(V_{G5}) = \sigma^2(V_{T0}) + \left( \frac{I_{D5}}{g_m} \right)^2 \frac{\sigma^2(\beta)}{\beta^2} \quad (140)$$

Somando os termos das expressões (138) e (140) e substituindo  $\sigma^2(V_{T0}) = A_{VT}^2/2A_{M5}$  e  $\sigma^2(\beta)/\beta^2 = A_\beta^2/2A_{M5}$ , temos que

$$\sigma^2(V_{G5}) = \frac{A_{VT}^2}{2A_{M5}} + \left( \frac{I_{D5}}{g_m} \right)^2 \left( \frac{A_\beta^2}{2A_{M5}} + \frac{\sigma^2(I_{D5})}{I_{D5}^2} \right) \quad (141)$$

Isolando a área de  $M_5$  em (141), resulta em

$$A_{M5} = \frac{A_{VT}^2 + A_\beta^2 \left( \frac{I_{D5}}{g_m} \right)^2}{2 \left( \sigma^2(V_{G5}) - \frac{\sigma^2(I_{D5})}{I_{D5}^2} \left( \frac{I_{D5}}{g_m} \right)^2 \right)}, \quad \left( \frac{I_{D5}}{g_m} \right)^2 = \left( n\phi_t \frac{\sqrt{1+i_{f5}} + 1}{2} \right)^2 \quad (142)$$

A associação série-paralela do transistor  $M_5$  deve ser realizada com o mesmo transistor unitário utilizado na implementação dos transistores  $M_{1-4}$  da fonte de corrente.

Um circuito que realiza a extração da tensão de limiar de  $M_5$  (Figura 64) foi projetado através do uso dos SCMs do projeto # 8 (Tabela 12). A área de  $M_5$  calculada através de (142) foi de  $18,2 \mu\text{m}^2$  @  $\sigma(V_{G5}) = 1 \text{ mV}$ ,  $A_{VT} = 4,50 \text{ mV } \mu\text{m}$ ,  $A_\beta = 0,755 \% \mu\text{m}$ ,  $i_{F5} = 3$ ,  $n = 1,32$ ,  $\sigma(\Delta I_D)/I_D = 1 \%$  e  $\sigma(I_{D5})/I_{D5} = 1,29 \%$ . A associação série-paralela de transistores unitários de  $M_5$  é igual a  $W = 3 \times 0,850 \mu\text{m}$  e  $L = 9 \times 0,850 \mu\text{m}$ . As dimensões dos transistores do espelho de corrente  $M_{6-8}$  são iguais a  $W = 1 \times 5,60 \mu\text{m}$  e  $L = 16 \times 1,075 \mu\text{m}$ .

Os resultados obtidos via simulação Monte Carlo, considerando somente o efeito de *mismatch* e 2000 amostras, foram:  $\sigma(V_{BG5})/V_{BG5} = 976 \mu\text{V}/444 \text{ mV}$  (0,220 %),  $\sigma(I_{D5})/I_{D5} = 473 \text{ pA}/37,3 \text{ nA}$  (1,27 %) e  $\sigma(\Delta I_D)/I_D = 343 \text{ pA}/37,3 \text{ nA}$  (0,920 %).

## APÊNDICE F – PRIMEIRO PROJETO DE UMA FONTE DE CORRENTE

A fonte de corrente da Figura 41 foi projetada e fabricada em tecnologia CMOS 180 nm para fornecer uma corrente de referência de saída  $I_{OUT} = 10$  nA com  $\Delta I_{OUT}/I_{OUT} = 10\%$  e  $N = M = 1$ . Para os valores escolhidos de  $V_{REF} = V_X = 3\phi_t$  e  $\Delta V_{REF} = 0,5$  mV, calculou-se o valor de  $\alpha_1$  escrevendo  $i_{f1}$  em termos de  $\alpha_1$  com a ajuda de (64) e resolvendo  $F(i_{f1}) - F(i_{f1}/\alpha_1) = 3$ . Os valores obtidos foram  $\alpha_1 = 16,9$  e  $i_{f1} = 0,808$ . Uma vez que  $\alpha_1$  foi determinado, calculou-se o valor de  $\alpha_3$  de (66). Para uma tensão de *offset* de 1 mV temos  $\alpha_3 = 11,2$ . Finalmente a partir de (36) obtemos  $i_{f3} = 2,45$ .

Para o cálculo da razão de aspecto  $S$  de cada transistor, extraiu-se a corrente específica de folha  $I_{SH}$ . O valor obtido através do método  $g_m/I_D$ , via simulação, foi 175 nA [39]. A largura e o comprimento dos transistores foram determinados através do modelo de descasamento de Pelgrom [49]. Como o desvio padrão da tensão de limiar depende da área  $A$  do canal do transistor, como mostrado em (143), escolheu-se os mesmos critérios de projeto utilizados nos espelhos de corrente com grande ganho ou atenuação de corrente: manter a mesma área para os transistores com diferentes razões de aspectos [48].

A área dos transistores foi determinada usando (143) com os parâmetros mostrados na Tabela 37. Na Tabela 37, as razões de aspectos e os níveis de inversão dos transistores utilizados nos SCMs são resumidos. Os transistores foram implementados através de associações série-paralela de transistores unitários [48]. O consumo de potência para  $V_{DD} = 1$  V é de 30,24 nW.

$$\sigma(\Delta V_{T0}) = \frac{A_{VT}\zeta}{\sqrt{A}} \quad (143)$$

$$W = \sqrt{AS} \quad (144)$$

$$L = \sqrt{\frac{A}{S}} \quad (145)$$

onde  $A_{VT}$  é o coeficiente de (des)casamento da tensão de limiar e  $\zeta$  é o coeficiente de segurança da incerteza.

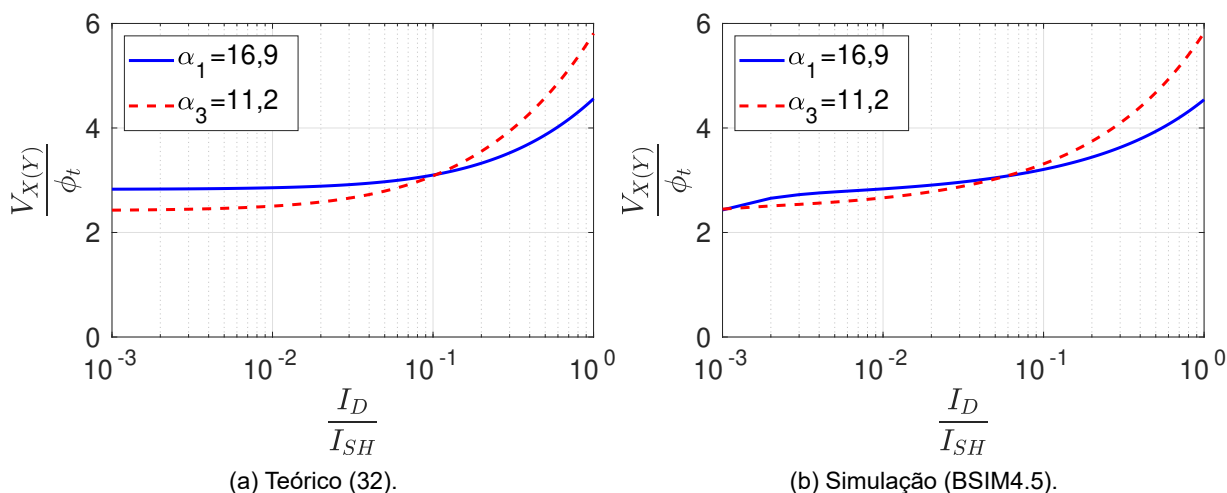
Tabela 37 – Parâmetros da referência de corrente projetada @  $A_{VT} = 3,0$  mV  $\mu\text{m}$ ,  $\sigma(\Delta V_{T0}) = 1$  mV,  $\zeta = 4$ .

Área ( $\mu\text{m}^2$ )	Transistor	S	$\alpha$	$i_f$	$i_r$	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	$I_{SH}$ (nA)
147,280	M <sub>1</sub>	0,0796	16,9	0,8079	0,04685	1×3,425 (3,425)	9×4,780 (43,02)	165
147,280	M <sub>2,6</sub>	1,263		0,04685	0	1×13,645 (13,645)	2×5,400 (10,80)	169
147,280	M <sub>3,5</sub>	0,02769	11,2	2,452	0,2088	1×2,020 (2,020)	2×9×4,050 (72,930)	161
168,726	M <sub>4</sub>	0,2834		0,2088	0	1×6,915 (6,915)	4×6,100 (24,4)	169

Fonte: Elaborada pelo autor.

As Figuras 65(a) e 65(b) mostram os resultados teórico e de simulação das curvas  $V_{X(Y)}/\phi_t \times I_D/I_{SH}$  dos SCMs da Tabela 37, respectivamente. As curvas foram obtidas através do esquemático da Figura 23(a).

Figura 65 – Ponto de operação da referência de corrente projetada.



Fonte: Elaborada pelo autor.

## F.1 RESULTADOS EXPERIMENTAIS E DE SIMULAÇÃO

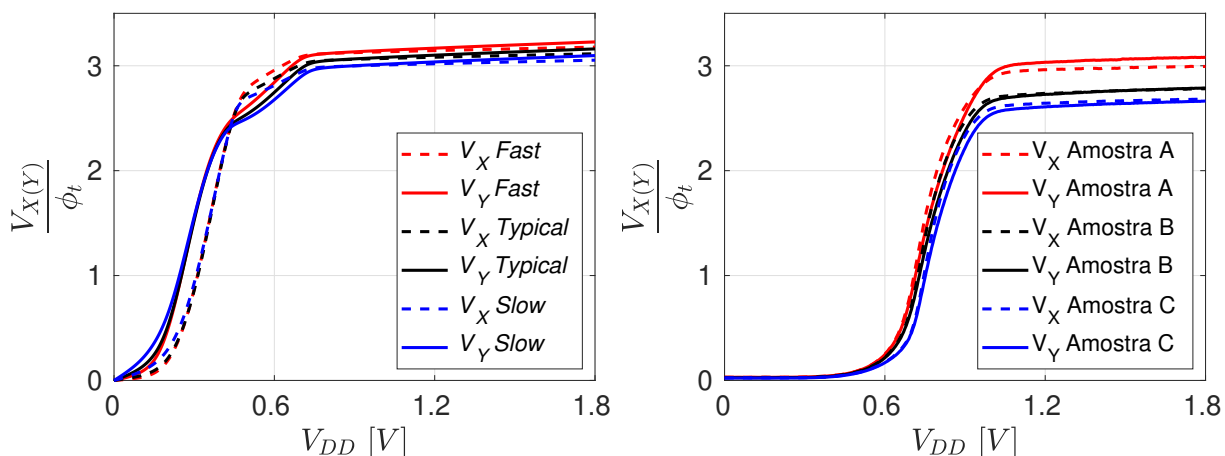
As tensões internas dos SCMs ( $V_X$  e  $V_Y$ ) e a sua dependência com a tensão de alimentação  $V_{DD}$  são parâmetros importantes para a garantia do correto funcionamento da fonte de corrente. As Figuras 66(a) e 66(b) mostram os resultados de simulação e experimentais das curvas  $V_{X(Y)}/\phi_t \times V_{DD}$ , respectivamente. Verifica-se que as curvas experimentais apresentaram um  $V_{DD}$  mínimo maior que o previsto via simulação para estabelecer a tensão de referência  $V_X$  próxima de  $3\phi_t$ . Isso deve ter ocorrido provavelmente devido às correntes de fuga da associação série dos transistores PMOS do espelho de corrente.

Para verificar as características de partida da fonte de corrente, aplicou-se um sinal de onda quadrada em  $V_{DD}$  de 0 a 1 V com um período de 200 ms (5 Hz). Os resultados da simulação transiente e experimentais são apresentados nas Figuras 67 e 68, respectivamente. Verifica-se um elevado tempo de estabilização uma vez que esta fonte de corrente não possui um circuito de *start-up*.

As Figuras 69(a) e 69(b) mostram os resultados de simulação e experimentais das curvas da corrente de referência em função de  $V_{DD}$ , respectivamente. Verifica-se que a corrente de referência possui uma certa dependência de  $V_{DD}$  devido à condutância de saída de  $M_6$ .

Uma análise foi feita dos impactos sobre a corrente de referência de saída  $I_{OUT}$  sob variações de processo e descasamento entre os transistores, via simulação Monte Carlo. Os resultados das 33 iterações e das medições de 33 amostras de chips são

Figura 66 – Tensões internas dos SCMs versus  $V_{DD}$ .

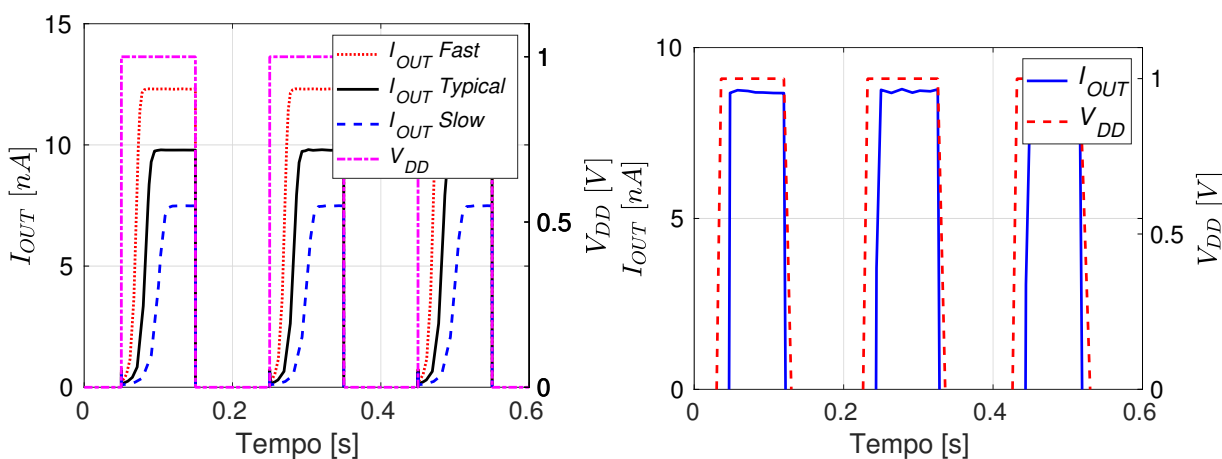


(a) Simulação de *corner* (análise DC).

(b) Medidas experimentais das amostras.

Fonte: Elaborada pelo autor.

Figura 67 – Resposta transiente ao aplicar uma onda quadrada em  $V_{DD}$  @  $V_{D_{M10}} = 0,5V$ .

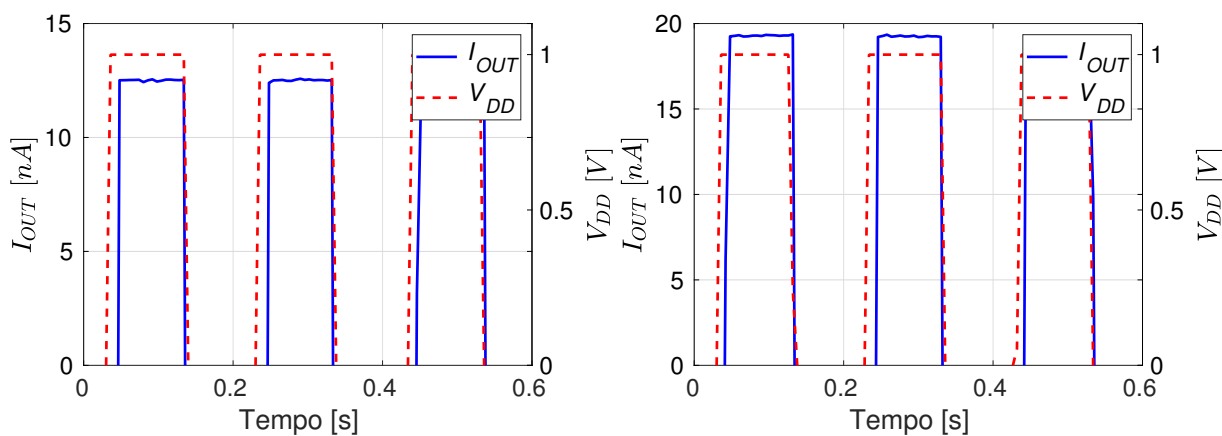


(a) Simulação de *corner* (análise DC).

(b) Medida experimental da amostra A.

Fonte: Elaborada pelo autor.

Figura 68 – Resposta transiente ao aplicar uma onda quadrada em  $V_{DD}$  @  $V_{D_{M10}} = 0,5V$ .

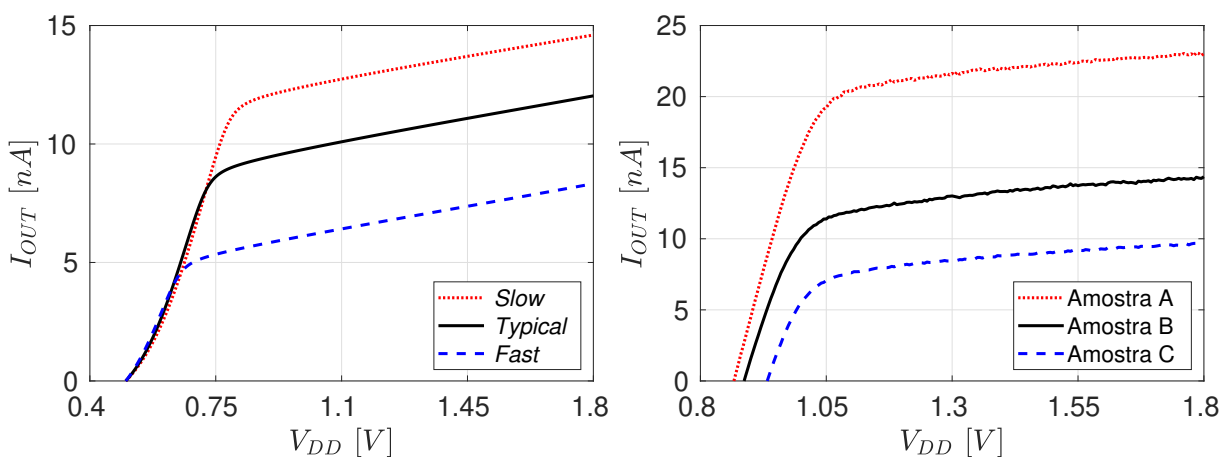


(a) Medida experimental da amostra B.

(b) Medida experimental da amostra C.

Fonte: Elaborada pelo autor.

Figura 69 – Corrente de saída de referência versus  $V_{DD}$ .



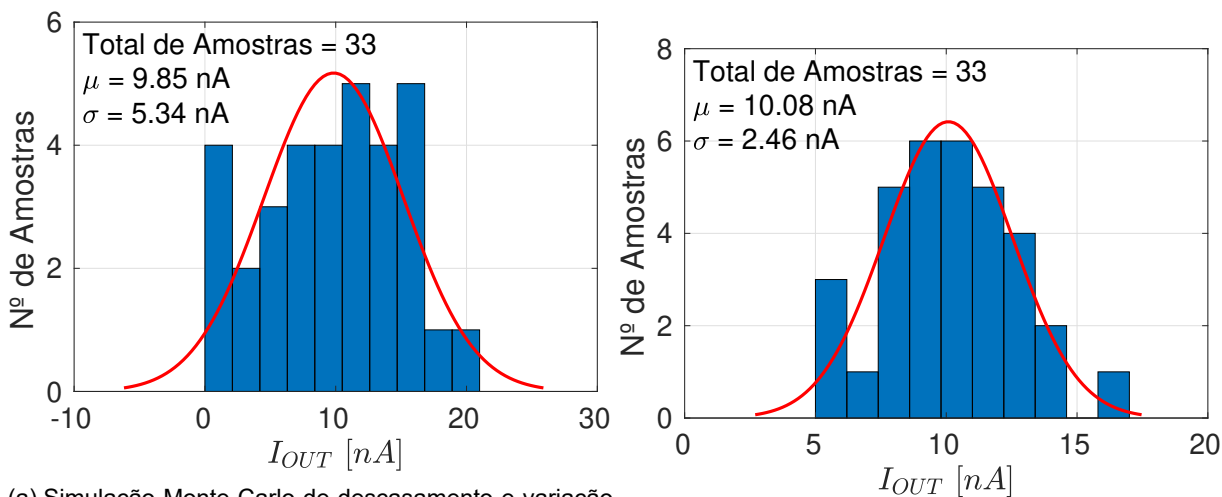
(a) Simulação de *corner* (análise DC).

(b) Medidas experimentais das amostras.

Fonte: Elaborada pelo autor.

apresentados nas Figuras 70(a) e 70(b), respectivamente. A simulação apresentou valores de desvio padrão e médio de  $I_{OUT}$  muito próximos dos valores experimentais, embora tenha sido analisado uma pequena quantidade de amostras. Das 40 amostras de chips recebidas 7 não funcionaram corretamente.

Figura 70 – Corrente de saída de referência @  $V_{DD}=1V$ ,  $V_{DS_{M10}}=0,5V$ .



(a) Simulação Monte Carlo de descasamento e variação de processo.

(b) Histograma das medidas experimentais.

Fonte: Elaborada pelo autor.



## APÊNDICE G – OUTRAS TOPOLOGIAS DE FONTES DE CORRENTE AUTOPOLARIZADAS

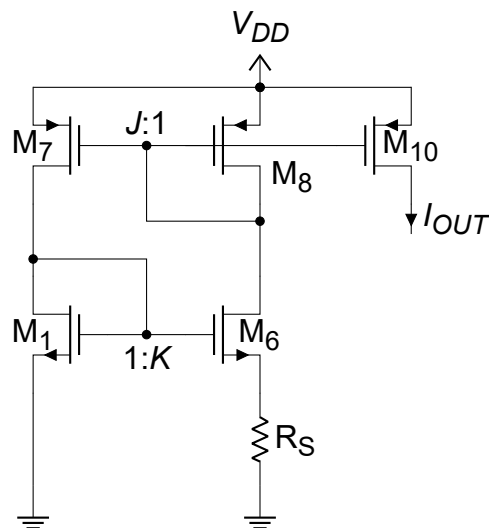
Nas próximas seções são analisadas outras topologias de circuitos de fonte de corrente e apresentados os resultados teóricos e de simulações dos projetos.

### G.1 VITTOZ E FELLRATH

Uma topologia de fonte de corrente MOS clássica é mostrada na Figura 71 [45]. Os dois transistores PMOS  $M_7$  e  $M_8$  formam um primeiro espelho de corrente de ganho  $J = S_7/S_8$ . Os dois transistores NMOS  $M_1$  e  $M_6$  formam um segundo espelho de corrente de ganho  $K = S_6/S_1$ . Este circuito também é chamado de multiplicador de beta [59]. O motivo é porque a razão de aspecto de  $M_6$  precisa ser  $K$  vezes maior que a de  $M_1$ , portanto, seu parâmetro de transcondutância  $\beta_6 = K\beta_1$ .

O multiplicador de beta possui realimentação positiva com um ganho igual a  $1/(2 - \sqrt{1/K})$ . Para a operação estável do circuito, o ganho de realimentação deve ser menor que 1, essa condição é satisfeita para  $K > 1$  [60]. Este circuito é inadequado para gerar correntes na ordem de nano amperes ou menores, pois é necessário valores de resistência muito grande, ocupando uma área de silício considerável. Uma topologia de circuito semelhante ao da Figura 71 com compensação de temperatura é apresentada em [61].

Figura 71 – Circuito de fonte de corrente clássico, com resistor.



Fonte: Elaborada pelo autor.

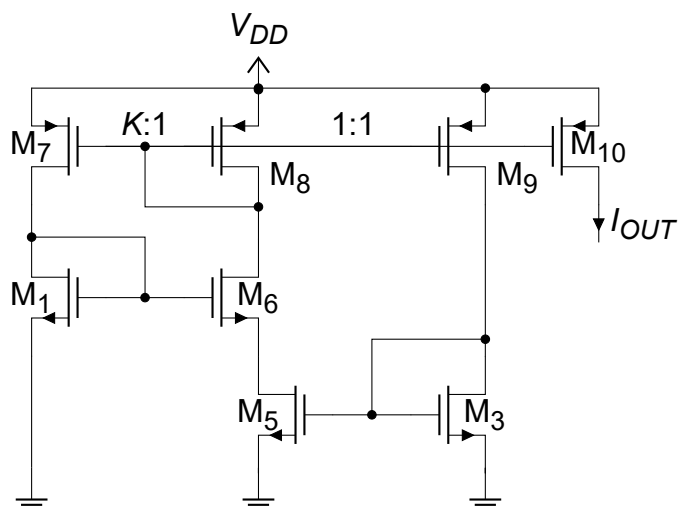
### G.2 OQUEY E AEBISCHER

No caso em que os potenciais nos nós intermediários  $V_X$  e  $V_Y$  dos SCMs da Figura 41 não são mais utilizados, os transistores  $M_1$  e  $M_2$  podem ser reduzidos em

um único transistor  $M_1$ , assim como  $M_3$  e  $M_4$  em  $M_3$ , obtendo assim o circuito da Figura 72, que foi proposto em [22].

Nesse circuito os transistores  $M_{1,6-8}$  são responsáveis por gerar uma tensão PTAT no dreno do transistor  $M_5$ , que opera na região linear (equivalente a um resistor) e estabelece a corrente de referência que é proporcional à corrente específica de folha do transistor.

Figura 72 – Circuito de fonte de corrente (topologia de Oguey) sem resistor.



Fonte: Elaborada pelo autor.

### G.2.1 Resultados teóricos e de simulações dos projetos de fonte de corrente de Oguey

Nesta seção são apresentados e analisados os resultados teóricos e de simulações dos projetos das fontes de corrente que utilizam a topologia de Oguey (Figura 73) apresentados em [22, 31].

As equivalências das razões de aspecto ( $S_O$ ) e parâmetros ( $B$  e  $D$ ) da topologia de Oguey (Figura 73) para as razões de aspecto ( $S_H$ ) e parâmetros ( $\alpha_1$  e  $\alpha_3$ ) da

topologia de Hurtado (Figura 39) são

$$S_{He1} = S_{O1} \quad (146)$$

$$S_{H1} = \frac{S_{O1} S_{O2}}{S_{O2} - S_{O1}} \quad (147)$$

$$S_{H2} = S_{O2} \quad (148)$$

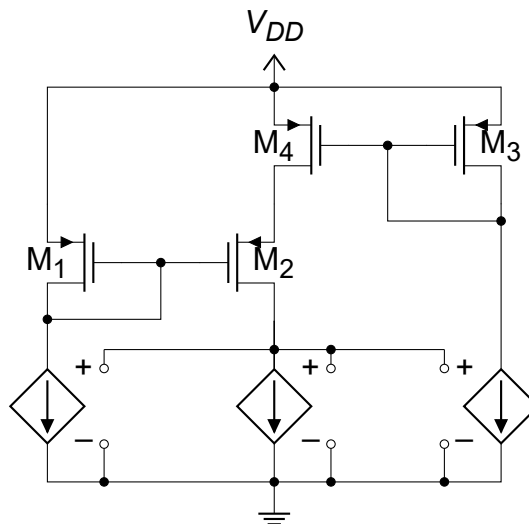
$$S_{H3} = S_{O4} \quad (149)$$

$$S_{H4} = \frac{S_{O3} S_{O4}}{S_{O4} - S_{O3}} \quad (150)$$

$$\alpha_1 = 1 + \frac{S_{H2}}{S_{H1}} = \frac{S_{O2}}{S_{O1}} = B \quad (151)$$

$$\alpha_3 = 1 + \frac{S_{H4}}{S_{H3}} = \frac{S_{O4}}{S_{O4} - S_{O3}} = D \quad (152)$$

Figura 73 – Esquemático de simulação do circuito da topologia de Oguey com espelho de corrente ideal.



Fonte: Elaborada pelo autor.

A Tabela 39 mostra os parâmetros da topologia de Hurtado que são equivalentes ao da topologia de Oguey (Tabela 38).

O ponto de operação do circuito da Figura 73 [31] é definido por

$$V_{BS2} = \phi_t [F(i_{f1}) - F(i_{f1}/B)] = \phi_t [F(i_{f4}) - F(i_{f4}/D)] = V_{BD4} \quad (153)$$

$$F(i) = \sqrt{1+i} - 2 + \ln(\sqrt{1+i} - 1) \quad (154)$$

$$i_{f2} = i_{f1}/B \quad (155)$$

$$i_{f4} = i_{f3}, \quad i_{r4} = i_{f4}/D \quad (156)$$

$$I_{OUT} = I_{SH} S_{1-3} i_{f1-3} = I_{SH} S_4 (i_{f4} - i_{r4}) = B I_{SH} \quad (157)$$

onde  $B = S_2/S_1$  e  $D = \frac{S_4}{S_4 - S_3}$ .

Os parâmetros dos projetos # 1, 2 e 3 e dos transistores da Tabela 38 correspondem aos projetos # 1, 2 e 3 apresentados em [31]. Em ambos os casos utilizou-se

a tecnologia CMOS 130 nm. O projeto # 4 corresponde ao projeto apresentado em [22]. Neste caso utilizou-se a tecnologia CMOS 180 nm devido a falta do *design kit* da tecnologia utilizada em [22]. No projeto # 4 o ganho do espelho de corrente do ramo de  $M_3$  é igual a 3 e assim  $I_{D3} = 3I_{OUT}$  e  $D = 3S_4 / (3S_4 - S_3)$ .

Tabela 38 – Parâmetros dos projetos e transistores apresentados em [31] (projetos # 1, 2 e 3) e [22] (projeto # 4).

#	Transistor	B e D	S	W (µm) M × W <sub>u</sub>	L (µm) N × L <sub>u</sub>	A (µm <sup>2</sup> ) Eq. (51)
NA	M <sub>u1-3</sub>	NA	0,02	1	50	50
1	M <sub>1</sub>	10,0	0,160	8×1	1×50	400
	M <sub>2</sub>		1,60	80×1	1×50	4000
	M <sub>3</sub>	1,50	$1,68 \times 10^{-3}$	1×1	12×50	600
	M <sub>4</sub>		$5,00 \times 10^{-3}$	1×1	4×50	100
2	M <sub>1</sub>	5,25	0,160	8×1	1×50	400
	M <sub>2</sub>		0,840	42×1	1×50	2100
	M <sub>3</sub>	1,50	$8,33 \times 10^{-4}$	1×1	24×50	1200
	M <sub>4</sub>		$2,50 \times 10^{-3}$	1×1	8×50	400
3	M <sub>1</sub>	4,80	0,200	10×1	1×50	500
	M <sub>2</sub>		0,960	48×1	1×50	2400
	M <sub>3</sub>	1,44	$7,69 \times 10^{-4}$	1×1	26×50	1300
	M <sub>4</sub>		$2,50 \times 10^{-3}$	1×1	8×50	400
4	M <sub>u12</sub>	NA	12,5	50	4	200
	M <sub>u34</sub>	NA	0,372	4	10,75	43
	M <sub>1</sub>	6,00	12,5	1×50	1×4	200
	M <sub>2</sub>		75,0	6×50	1×4	1200
	M <sub>3</sub>	2,00	$9,30 \times 10^{-3}$	1×4	40×10,75	1720
	M <sub>4</sub>		$6,20 \times 10^{-3}$	1×4	60×10,75	2580

Fonte: Elaborada pelo autor.

Os valores dos parâmetros dos transistores unitários são apresentados na Tabela 40. Os transistores unitários M<sub>u1-3</sub> e M<sub>u12(34)</sub> são os modelos *pfet* e *pmos2v* das tecnologias CMOS 130 nm e 180 nm, respectivamente.

O resumo dos resultados teóricos, de simulações DC e dos erros sistemáticos dos projetos são apresentados na Tabela 41.

O resumo dos resultados teóricos, de simulações DC e dos erros sistemáticos dos projetos são apresentados na Tabela 42.

A Tabela 43 apresenta os resultados teóricos, de simulações Monte Carlo e os erros relativos dos resultados teóricos do valor do desvio padrão de  $I_{OUT}$ .

A topologia de fonte de corrente de Oguey consiste em um circuito autopolarizado simples formado por apenas sete transistores mais um de saída. Este circuito pode ser utilizado em tecnologia CMOS padrão e é capaz de gerar uma corrente de

Tabela 39 – Parâmetros de projeto convertidos da Tabela 38 para a topologia de Hurtado.

#	Transistor	$\alpha$	S	$S_e$	$W (\mu\text{m})$ $M \times W_u$	$L (\mu\text{m})$ $N \times L_u$
NA	$M_{u1-3}$	NA	0,02	NA	1	50
1	$M_1$	9,89	0,180	0,162	$9 \times 1$	$1 \times 50$
	$M_2$		1,60		$80 \times 1$	$1 \times 50$
	$M_3$	1,50	$5,00 \times 10^{-3}$	$1,67 \times 10^{-3}$	$1 \times 1$	$4 \times 50$
	$M_4$		$2,50 \times 10^{-3}$		$1 \times 1$	$8 \times 50$
2	$M_1$	5,20	0,200	0,162	$10 \times 1$	$1 \times 50$
	$M_2$		0,840		$42 \times 1$	$1 \times 50$
	$M_3$	1,50	$2,50 \times 10^{-3}$	$8,33 \times 10^{-4}$	$1 \times 1$	$8 \times 50$
	$M_4$		$1,25 \times 10^{-3}$		$1 \times 1$	$16 \times 50$
3	$M_1$	4,69	0,260	0,205	$13 \times 1$	$1 \times 50$
	$M_2$		0,960		$48 \times 1$	$1 \times 50$
	$M_3$	1,44	$2,50 \times 10^{-3}$	$7,69 \times 10^{-4}$	$1 \times 1$	$8 \times 50$
	$M_4$		$1,11 \times 10^{-3}$		$1 \times 1$	$18 \times 50$

Fonte: Elaborada pelo autor.

Tabela 40 – Caracterização dos transistores unitários @  $g_m/I_D$ ,  $V_{DS}=13\text{ mV}$ ,  $n(V_{T0})$ .

#	Transistor	$n$	$V_{T0} (\text{V})$	$I_{SH} (\text{nA})$
1-3	$M_{u1-3}$	1,14	-0,241	38,0
4	$M_{u12}$	1,32	-0,440	38,4
	$M_{u34}$	1,32	-0,432	37,9

Fonte: Elaborada pelo autor.

referência na faixa de nanoampères sem a necessidade de resistências, ocupando assim uma pequena área de silício.

Tabela 41 – Resumo dos resultados teóricos, de simulações DC (Figura 73) e erros sistemáticos @  $V_{DD} = 1,2V$ . Os valores teóricos de  $V_{REF}$  e  $I_{OUT}$  são dados por (153) e (157) @ valores da Tabela 38.

#	Transistor	$i_f @ I_{OUT_{Sim}}$	$V_{REF}$ (mV)		$I_{OUT}$ (nA)		
			Teó.	Sim.	Teó.	Sim.	Erro Relativo (%)
1	M <sub>1</sub>	3,01	2,65 $\phi_t=68,8$	91,3	0,294 $I_{SH}=11,2$	18,3	-38,8
	M <sub>2</sub>	0,301					
	M <sub>3</sub>	289					
	M <sub>4</sub>	289					
2	M <sub>1</sub>	0,752	1,73 $\phi_t=44,9$	63,8	0,0564 $I_{SH}=2,14$	4,57	-53,1
	M <sub>2</sub>	0,143					
	M <sub>3</sub>	144					
	M <sub>4</sub>	144					
3	M <sub>1</sub>	0,589	1,62 $\phi_t=42,2$	60,2	0,0565 $I_{SH}=2,15$	4,48	-52,0
	M <sub>2</sub>	0,123					
	M <sub>3</sub>	153					
	M <sub>4</sub>	153					
4	M <sub>1</sub>	$5,93 \times 10^{-3}$	1,79 $\phi_t=46,6$	47,0	0,0712 $I_{SH}=2,72$	2,83	-3,88
	M <sub>2</sub>	$9,88 \times 10^{-4}$					
	M <sub>3</sub>	23,9					
	M <sub>4</sub>	23,9					

Fonte: Elaborada pelo autor.

Tabela 42 – Resumo dos resultados teóricos, de simulações DC (Figura 39) e os erros sistemáticos @  $I_{SH} = 38,0 nA$ . Os valores teóricos de  $V_{REF}$  e  $I_{OUT}$  são dados por (36) e (40) @ valores da Tabela 39.

#	$V_{REF}$ (mV)		$I_{OUT}$ (nA)		Erro Relativo (%)
	Teó.	Sim.	Teó.	Sim.	
1	2,63 $\phi_t=68,3$	79,1	0,290 $I_{SH}=11,0$	14,1	-22,0
2	1,71 $\phi_t=44,6$	50,1	0,0555 $I_{SH}=2,11$	2,85	-26,0
3	1,60 $\phi_t=41,5$	45,9	0,0544 $I_{SH}=2,07$	2,63	-21,3

Fonte: Elaborada pelo autor.

Tabela 43 – Resumo dos resultados teóricos, de simulações (Figura 39(a)) e os erros relativos dos resultados teóricos do valor da dispersão de  $I_{OUT}$ . As simulações Monte Carlo foram realizadas com 2000 amostras e considerando somente o efeito de *mismatch*. Os valores teóricos de  $\sigma(\Delta V_{T0})$ ,  $\sigma(V_{REF})$  e  $\sigma(I_{OUT})/I_{OUT}$  são dados por (69), (75) e (76) @  $A_{VT} = 3,80 \text{ mV } \mu\text{m}$ ,  $\sigma(\Delta I_D)/I_D = 0$  (espelho de corrente ideal) e valores da Tabela 39.

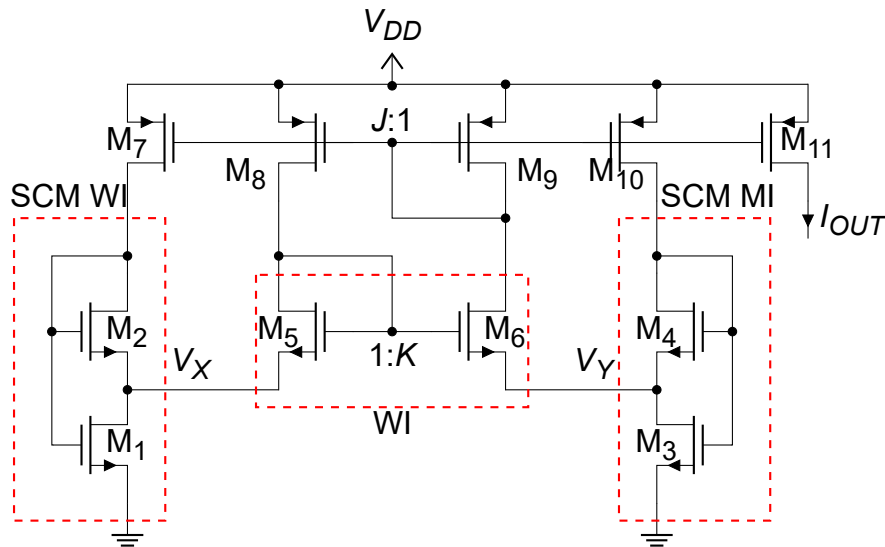
#	Transistor	$i_f @ I_{OUTsim}$	A ( $\mu\text{m}^2$ ) Eq. (51)	$\sigma(\Delta V_{T0})$ ( $\mu\text{V}$ )		$\sigma(V_{REF})$ ( $\mu\text{V}$ )		$\frac{\sigma(I_{OUT})}{I_{OUT}}$ (%)		Erro Relativo <i>mis.</i> (%)
				Teó. Eq. (69)	MC <i>mis.</i>	Teó. <i>mis.</i> Eq. (75)	MC <i>mis.</i>	Teó. <i>mis.</i> Eq. (76)	MC <i>mis.</i>	
1	M <sub>1</sub>	2,29	450	134	136	109	249	0,307	1,40 (198 pA/14,1 nA)	
	M <sub>2</sub>	0,232	4000							
	M <sub>3</sub>	223	200							
	M <sub>4</sub>	148	400							
2	M <sub>1</sub>	0,464	500	134	137	97,4	190	0,433	1,27 (36,2 pA/2,85 nA)	-65,9
	M <sub>2</sub>	0,0893	2100							
	M <sub>3</sub>	90,0	400							
	M <sub>4</sub>	60,0	800							
3	M <sub>1</sub>	0,338	650	119	122	84,8	159	0,412	1,22 (32,1 pA/2,63 nA)	-66,2
	M <sub>2</sub>	0,0721	2400							
	M <sub>3</sub>	90,0	400							
	M <sub>4</sub>	62,3	900							

Fonte: Elaborada pelo autor.

### G.3 CAMACHO-GALEANO, GALUP-MONTORO E SCHNEIDER

Como mostrado na Figura 74 o Amp Op da Figura 22 pode ser substituído pela estrutura autopolarizada VFCM (*Voltage-Following Current Mirror*), composta pelos transistores M<sub>5-6</sub> e M<sub>8-9</sub> [23]. Uma versão modificada deste circuito com compensação de temperatura é apresentada em [55].

Figura 74 – Referência de corrente com a estrutura VFCM e dois SCMs.



Fonte: Elaborada pelo autor.

Neste circuito, a corrente é injetada nos nós intermediários dos SCMs, como mostra a Figura 75(a). Assumindo M<sub>1(3)</sub> e M<sub>2(4)</sub> operando na região triodo e de saturação, respectivamente, temos as seguintes expressões para as correntes de dreno

$$I_{D2(4)} \cong I_{F2(4)} = S_{2(4)} I_{SH} i_{r2(4)} = N I_{REF} = N B I_{SH} \quad (158)$$

$$I_{D1(3)} = S_{1(3)} I_{SH} (i_{r1(3)} - i_{r1(3)}) = (N + 1) I_{REF} = (N + 1) B I_{SH} \quad (159)$$

Como  $V_{P1(3)} = V_{P2(4)} = V_P$  e  $V_{D1(3)} = V_{S2(4)}$ , temos que  $i_{r1(3)} = i_{r2(4)}$ . Assim, a partir das expressões (158) e (159) encontra-se as relações entre  $i_{r1(3)}$  e  $i_{r2(4)}$  dadas por

$$i_{r1(3)} = \left[ 1 + \frac{S_{2(4)}}{S_{1(3)}} \left( 1 + \frac{1}{N} \right) \right] i_{r2(4)} = \alpha_{1(3)} i_{r2(4)} \quad (160)$$

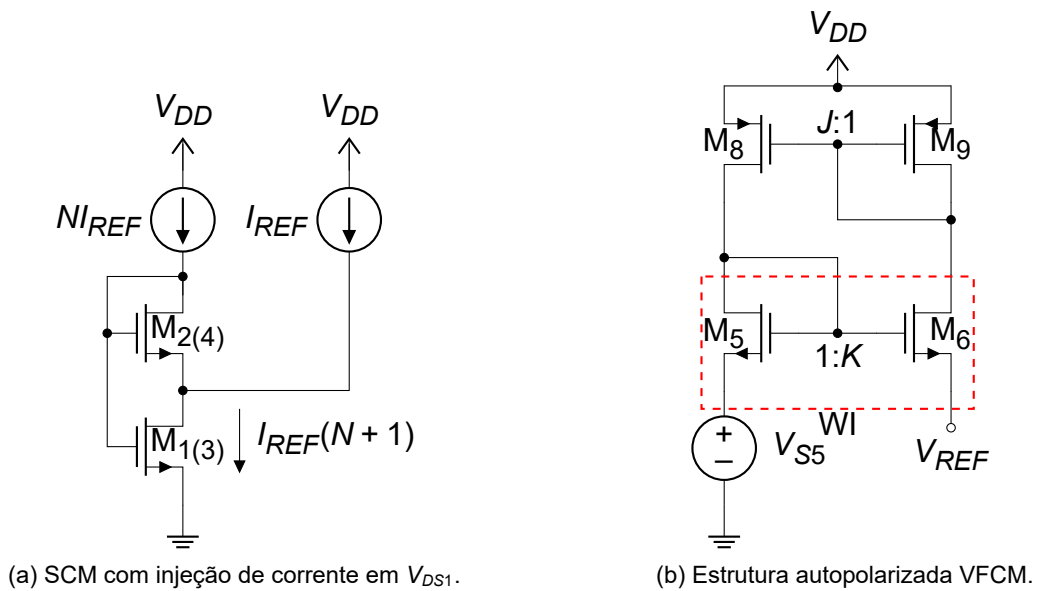
onde  $\alpha_{1(3)} = 1 + \frac{S_{2(4)}}{S_{1(3)}} \left( 1 + \frac{1}{N} \right)$ .

Assumindo  $M_5$  e  $M_6$  da Figura 75(b) em inversão fraca e saturados e como  $V_{P5} = V_{P6}$ ,  $i_{r5} = JKi_{r6}$ , então

$$V_{REF} = V_{S5} + \phi_t \ln(JK) \quad (161)$$

onde  $J = S_8/S_9$  e  $K = S_6/S_5$ .

Figura 75 – Estruturas autopolarizadas utilizadas no circuito da Figura 74.



(a) SCM com injeção de corrente em  $V_{DS1}$ .

(b) Estrutura autopolarizada VFCM.

Fonte: Elaborada pelo autor.

De forma semelhante ao Amp Op da Figura 22, a estrutura VFCM da Figura 74 estabelece a igualdade entre os potenciais dos nós intermediários dos SCMs para  $J=K=1$ . Assim, a tensão de referência estabelecida no nó intermediário  $V_X$  do SCM 1-2 é copiada para o nó intermediário  $V_Y$  do SCM 3-4 e é definida por

$$V_{REF} = V_{X(Y)} = \phi_t \left[ F(\alpha_{1(3)} i_{r2(4)}) - F(i_{r2(4)}) \right] \quad (162)$$

Há uma topologia mais simples do circuito da Figura 74, que é sem o ramo dos transistores  $M_{1-2}$  e  $M_7$ , e  $V_{S5}$  é conectado ao terra do circuito. Neste caso a tensão de referência é igual a

$$V_{REF} = V_{S6} = \phi_t \left[ F(JKi_{r6}) - F(i_{r6}) \right] = \phi_t \left[ F(\alpha_3 i_{r4}) - F(i_{r4}) \right] = V_Y \quad (163)$$



A tensão de alimentação mínima, é determinada pelas restrições impostas pelos dois ramos mais à direita na Figura 74, e pode ser escrita como

$$V_{DD} \geq \max\{|V_{DSsat,M_{10}}| + V_{GS,M_3}, |V_{GS,M_9}| + V_{DSsat,M_6} + V_Y\} \quad (164)$$

Este circuito é capaz de operar em baixas tensões e baixo consumo de potência; exibindo baixa sensibilidade à tensão de alimentação com a implementação dos transistores  $M_{5-6}$  e o espelho de corrente PMOS usando estruturas trapezoidais.

### G.3.1 Análise dos erros aleatórios da tensão de referência

O ponto de operação do circuito Figura 74 está sujeito a variações devido à tensão de *offset* causada pelo descasamento entre os transistores dos SCMs e da estrutura VFCM, dada por

$$\begin{aligned} \sigma^2(V_{off}) = & \frac{\sigma^2(\Delta V_{T1,2})}{n^2} \left( \frac{1-\alpha_1}{\alpha_1} \right)^2 + \frac{\sigma^2(\Delta V_{T6,5})}{n^2} \\ & + \frac{\sigma^2(\Delta V_{T3,4})}{n^2} \left( \frac{g_{md3}}{g_{ms3}} - 1 \right)^2, \quad M_1 @ WI \end{aligned} \quad (165)$$

$$\frac{g_{md3}}{g_{ms3}} = \begin{cases} \frac{\sqrt{1+i_{\beta 3}/\alpha_3}-1}{\sqrt{1+i_{\beta 3}}-1}, & M_3 @ MI \text{ ou } SI \\ \frac{1}{\sqrt{\alpha_3}}, & M_3 @ SI \end{cases}$$

como calculado no Apêndice B, onde  $\Delta V_{T1,2}=V_{T1}-V_{T2}$ ,  $\Delta V_{T3,4}=V_{T3}-V_{T4}$  e  $\Delta V_{T6,5}=V_{T6}-V_{T5}$ .

De modo semelhante ao cálculo apresentado na Seção 3.2.5, a área do transistor em função da dispersão da corrente de referência  $I_{OUT}$  e de outros parâmetros é dado por

$$A = \frac{4A_{VT}^2 \left( \frac{(1-\alpha_1)^2}{\alpha_1^2} + 1 + \left( \frac{g_{md3}}{g_{ms3}} - 1 \right)^2 \right)}{\frac{\Delta I_{OUT}^2}{I_{OUT}^2} n^2 \phi_t^2 (\sqrt{1+i_{\beta 3}} - \sqrt{1+i_{\beta 3}/\alpha_3})^2} \quad (166)$$

### G.3.2 Resultados teóricos e de simulações do projeto de fonte de corrente de Galeano

Os parâmetros do projeto e dos transistores da Tabela 44 correspondem ao projeto apresentado em [23]. Devido a falta do *design kit* da tecnologia utilizada em [23], utilizou-se a tecnologia CMOS 180 nm.

Os transistores  $M_{5-6}$  são trapezoidais, com as razões de aspecto iguais a  $mW_u/(m+1)L_u$ . Cada transistor trapezoidal é composto por dois transistores, um conectado ao terminal de fonte  $M_S$  e outro ao terminal de dreno  $M_D$  com as dimensões  $W_S/L_S = W_u/L_u$  e  $W_D/L_D = mW_u/L_u @ W_u = L_u = 10 \mu\text{m}$  e  $m=5$ . O esquemático deste transistor é mostrado na Figura 63(d).

Tabela 44 – Parâmetros do projeto e transistores apresentados em [23].

Transistor	$\alpha$	S	$W$ ( $\mu\text{m}$ )		$L$ ( $\mu\text{m}$ )	
			$M \times W_U$	$N \times L_U$	$M \times W_U$	$N \times L_U$
$M_{U12}$	NA	1,00	10	10	10	10
$M_{U34}$	NA	0,200	4	4	20	20
$M_1$	9,00	1,00	$1 \times 10$	$1 \times 10$	$1 \times 10$	$1 \times 10$
$M_2$		4,00	$4 \times 10$	$4 \times 10$	$1 \times 10$	$1 \times 10$
$M_3$	3,40	$3,70 \times 10^{-3}$	$1 \times 4$	$1 \times 4$	$54 \times 20$	$54 \times 20$
$M_4$		$4,44 \times 10^{-3}$	$1 \times 4$	$1 \times 4$	$45 \times 20$	$45 \times 20$
$M_{5-6}$	NA	0,833	$5 \times 10$	$5 \times 10$	$6 \times 10$	$6 \times 10$

Fonte: Elaborada pelo autor.

Tabela 45 – Caracterização dos transistores unitários @  $p_{mos}2v$ ,  $g_m/I_D$ ,  $V_{DS} = 13 \text{ mV}$ ,  $n(V_{T0})$ .

Transistor	$n$	$V_{T0}$ (V)	$I_{SH}$ (nA)
$M_{U12}$	1,32	-0,432	37,9
$M_{U34}$	1,32	-0,432	37,7

Fonte: Elaborada pelo autor.

A Tabela 45 apresenta os valores dos parâmetros dos transistores unitários.

O resumo dos resultados teóricos, de simulações DC e dos erros sistemáticos dos projetos são apresentados na Tabela 46.

Tabela 46 – Resumo dos resultados teóricos, de simulações DC e os erros sistemáticos @  $V_{DD} = 1,20 \text{ V}$ ,  $I_{SH} = 37,8 \text{ nA}$ , espelho de corrente ideal e ganho unitário. Os valores teóricos de  $V_{REF}$  e  $I_{OUT}$  são dados por (162) e (158) @  $N = 1$  e valores da Tabela 44.

$V_{REF}$ (mV)		$I_{OUT}$ (pA)		
Teó.	Sim.	Teó.	Sim.	Erro Relativo (%)
$2,20\phi_t = 57,3$	54,6	$0,0134I_{SH} = 507$	439	15,5

Fonte: Elaborada pelo autor.

A Tabela 47 apresenta os resultados teóricos, de simulações Monte Carlo e os erros relativos dos resultados teóricos do valor do desvio padrão de  $I_{OUT}$ .

Tabela 47 – Resumo dos resultados teóricos, de simulações e os erros relativos dos resultados teóricos do valor da dispersão de  $I_{OUT}$ . As simulações Monte Carlo foram realizadas com 2000 amostras e considerando somente o efeito de *mismatch* @  $A_{VT} = 4,50 \text{ mV } \mu\text{m}$ ,  $V_{DD} = 1,20 \text{ V}$ , espelho de corrente ideal e ganho unitário.

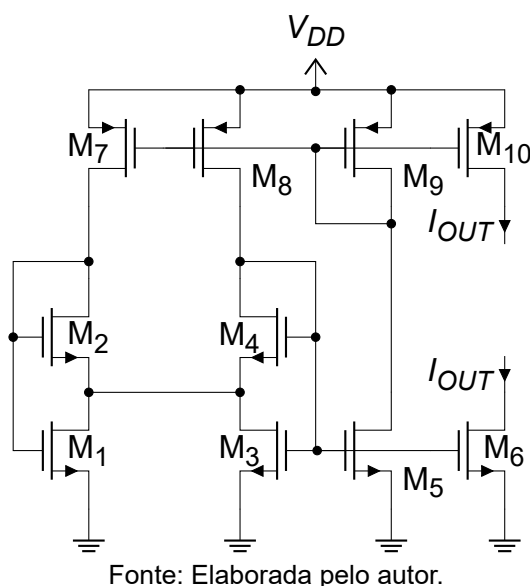
Transistor	$i_f @ I_{OUT_{sim}}$	$A$ ( $\mu\text{m}^2$ ) Eq. (51)	$\sigma(\Delta V_{T0})$ ( $\mu\text{V}$ )		$\sigma(V_{REF})$ ( $\mu\text{V}$ )		$\sigma(I_{OUT})$ (%)		Erro Relativo <i>mis.</i> (%)
			Teó. Eq. (69)	MC <i>mis.</i>	Teó. <i>mis.</i> Eq. (165)	MC <i>mis.</i>	Teó. <i>mis.</i> Eq. (76)	MC <i>mis.</i>	
$M_1$	0,0261	100							
$M_2$	0,00290	400	356	356					
$M_3$	8,88	4320	71,8	71,9	358	416	2,21	2,66 (11,7 pA/440 pA)	-16,9
$M_4$	2,61	3600							
$M_{5-6}$	0,0139	600	349	375					

Fonte: Elaborada pelo autor.

G.4 GUIGUES ET AL.

O circuito de fonte de corrente da Figura 76 proposto em [62], é baseado no mesmo conceito do circuito da Figura 72. O SCM  $M_1$ - $M_2$  fornece uma referência de tensão PTAT ao dreno de  $M_3$ , que opera na região de triodo e estabelece o valor da referência de corrente. Os transistores  $M_{3-5}$  formam um espelho de corrente proposto em [63].

Figura 76 – Circuito de fonte de corrente (topologia de Guigues) com as tensões internas dos dois SCMs em curto-circuito.

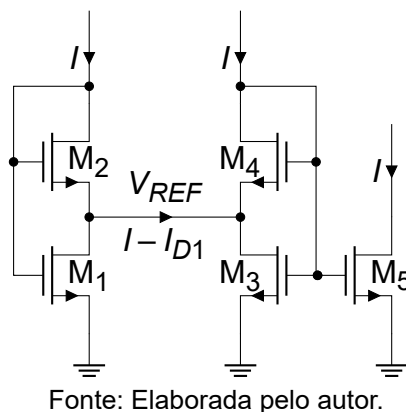


Fonte: Elaborada pelo autor.

Assumindo que  $M_{2,4,5}$  operam na região de saturação e de acordo com a Figura 77, temos que

$$I = I_{S2}i_{f2} = I_{S4}i_{f4} = I_{S5}i_{f5} = BI_{SH} \tag{167}$$

Figura 77 – Esquemático utilizado para obter as equações de projeto.



Fonte: Elaborada pelo autor.

Aplicando a lei de Kirchhoff das correntes no nó interno do SCM 3-4, resulta em

$$2I = I_{D1} + I_{D3} = I_{S1}(i_{f1} - i_{r1}) + I_{S3}(i_{f3} - i_{r3}) \tag{168}$$

Como  $V_{P1(3)} = V_{P2(4)}$  e  $V_{D1(3)} = V_{S2(4)}$ , temos que  $i_{r1(3)} = i_{r2(4)}$ . Outra relação é que  $i_{r3} = i_{r5}$  pois  $V_{P3} = V_{P5}$  e  $V_{S3} = V_{S5}$ . Fazendo as substituições em (168), obtêm-se

$$2I_{S5}i_{r3} = I_{S1}(i_{f1} - i_{r2}) + I_{S3}(i_{r3} - i_{f4}) \quad (169)$$

De (167) obtêm-se as razões dos níveis de inversão dadas por

$$\beta = \frac{i_{r2}}{i_{r3}} = \frac{S_5}{S_2} \quad (170)$$

$$\gamma = \frac{i_{f4}}{i_{r3}} = \frac{S_5}{S_4} \quad (171)$$

A relação entre os níveis de inversão  $i_{f1}$  e  $i_{r3}$  é obtida substituindo (170) e (171) em (168), assim temos que

$$\alpha = \frac{i_{f1}}{i_{r3}} = \frac{2S_5 + \beta S_1 + S_3(\gamma - 1)}{S_1} = 2\frac{S_5}{S_1} + \frac{S_5}{S_2} + \frac{S_3}{S_1} \left( \frac{S_5}{S_4} - 1 \right) \quad (172)$$

A razão entre  $i_{f1}$  e  $i_{r2}$  é obtida dividindo (172) por (170), que resulta em

$$\frac{\alpha}{\beta} = \frac{i_{f1}}{i_{r2}} = 1 + \frac{S_2}{S_1} \left( 2 + \frac{S_3}{S_4} - \frac{S_3}{S_5} \right) \quad (173)$$

A tensão de referência é dada por

$$V_{REF} = V_{DS1} = \phi_t [F(i_{f1}) - F((\beta/\alpha)i_{f1})] = V_{DS3} = \phi_t [F(i_{r3}) - F(\gamma i_{r3})] \quad (174)$$

O curto-circuito físico dificulta o projeto do circuito, embora seja possível realizá-lo. Este curto-circuito físico pode se aproximar de um curto virtual, ou seja,  $I - I_{D1} \cong 0$  e  $I_{D1(3)} \cong I_{D2(4)}$ . Para que isso ocorra é necessário que os argumentos da função  $F(i)$  em (174) sejam iguais aos argumentos em (36), e assim temos que

$$\frac{\alpha}{\beta} = \alpha_1 \quad (175)$$

$$1 + \frac{S_2}{S_1} \left( 2 + \frac{S_3}{S_4} - \frac{S_3}{S_5} \right) = 1 + \frac{S_2}{S_1} \quad (176)$$

E

$$\frac{1}{\gamma} = \alpha_3 \quad (177)$$

$$\frac{S_4}{S_5} = 1 + \frac{S_4}{S_3} \quad (178)$$

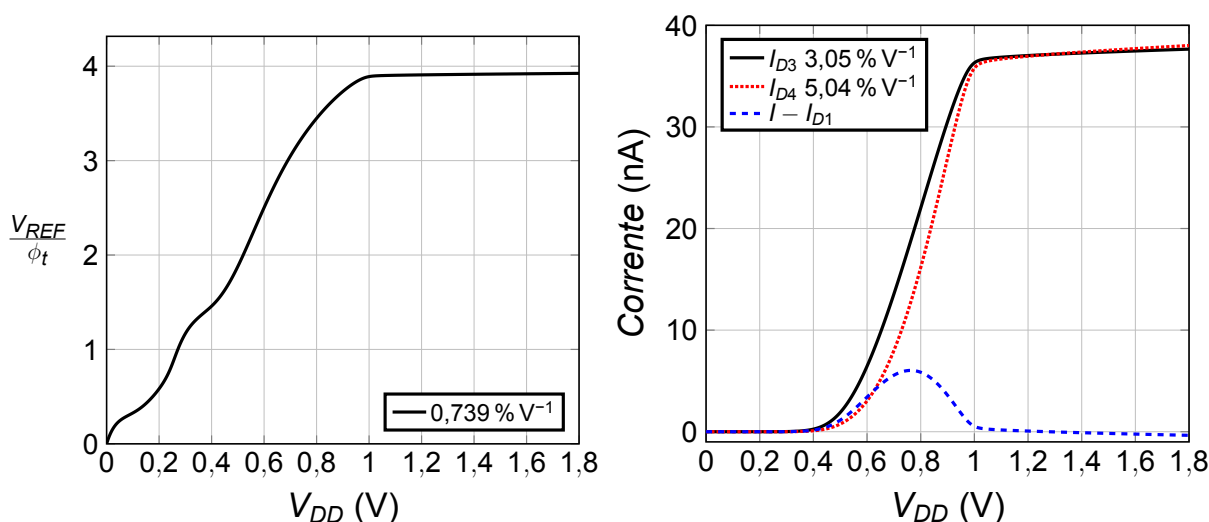
Para que as equações (176) e (178) sejam satisfeitas é necessário que  $1/S_5 = 1/S_3 + 1/S_4$ ; essa razão de aspecto é implementada fazendo  $M_5$  igual ao SCM 3-4. Desse modo, o circuito de Guigues (Figura 76) pode ser projetado da mesma maneira que o circuito de Hurtado (Figura 22).

### G.4.1 Projeto, resultados teóricos e de simulações da fonte de corrente de Guigues

Um circuito da topologia de Guigues (Figura 76) equivalente ao circuito de Hurtado foi projetado, através do uso dos SCMs (transistores PMOS) do projeto # 8 (Tabela 12) e  $M_5$  igual ao SCM 3-4. Os transistores NMOS do espelho de corrente simples foram implementados através da associação série de 16 transistores unitários com as dimensões  $W_U = 5,60 \mu\text{m}$  e  $L_U = 1,075 \mu\text{m}$ , e parâmetros  $n = 1,28$ ,  $V_{T0} = 0,451 \text{ V}$  e  $I_{SH} = 114 \text{ nA}$ .

A Figura 78 mostra os resultados das simulações DC da referência de tensão e das correntes do nó interno do SCM 3-4 da Figura 77 em função da tensão de alimentação. Na Figura 78(b) verifica-se que o curto-circuito físico se aproxima de um curto virtual, ou seja,  $I - I_{D1} \cong 0$  e  $I_{D3} \cong I_{D4}$ . No entanto, para garantir que o circuito funcione corretamente a conexão do curto-circuito físico não pode ser removida.

Figura 78 – Resultados das simulações DC do circuito da topologia de Guigues (Figura 76).



(a) Tensão de referência normalizada em função da tensão de alimentação. (b) Módulo das correntes do nó interno do SCM 3-4 da Figura 77 em função da tensão de alimentação.

Fonte: Elaborada pelo autor.

Os resultados obtidos via simulação Monte Carlo, considerando somente o efeito de *mismatch* e 2000 amostras, foram:  $\sigma(V_{REF})/V_{REF} = 751 \mu\text{V}/102 \text{ mV}$  (0,736 %),  $\sigma(I_{D2})/I_{D2} = 1,60 \text{ nA}/37,7 \text{ nA}$  (4,24 %) e  $\sigma(I_{D4})/I_{D4} = 1,72 \text{ nA}/37,6 \text{ nA}$  (4,57 %).

## APÊNDICE H – TOPOLOGIAS MODIFICADAS E PROJETO DE FONTE DE CORRENTE

Os transistores  $M_3$  e  $M_4$  do SCM 3-4 da Figura 22 podem ser substituídos por um único transistor  $M_5$  conectado como diodo ( $V_{D5} = V_{G5}$ ), operando em WI ( $V_{G5} < V_{T0}$  ou  $i_{F5} < 3$ ), como mostra a Figura 79. Esta modificação pode ser aplicada em outras topologias, como será demonstrado. O ponto de operação é estabelecido pelas expressões

$$V_{REF} = \phi_t [F(i_{f1}) - F(i_{f1}/\alpha_1)] = \phi_t [F(i_{f5}) - F(i_{f5})] = V_{DS5} \quad @ \quad V_{D5} = V_{G5} \quad (179)$$

$$I_{OUT} = I_{SH} S_{e1} i_{f1} = 2S_5 I_{SH} e^{1 e^{(V_{G5}-V_{T0})/n\phi_t}} (1 - e^{-V_{DS5}/\phi_t}) = B I_{SH} \quad (180)$$

onde  $\alpha_1 = 1 + S_2/S_1$

Uma vez que todos os transistores operam em WI as tensões  $V_{REF}$  e  $V_{DS5}$ , calculadas através de (179), em WI podem ser aproximadas por

$$V_{REF} = \phi_t \ln \alpha_1 \quad (181)$$

$$V_{DS5} = \phi_t \ln \left( \frac{i_{f5}}{i_{r5}} \right) \quad (182)$$

E os níveis de inversão  $i_{f5(r5)}$  aproximados por

$$i_{f5(r5)} = 2e^{((\phi_t - V_{S5(D5)})n + V_{G5} - V_{T0})/n\phi_t} \quad (183)$$

De (180) obtêm-se a razão de aspecto  $S_5$  dada pela relação

$$S_5 = \frac{B}{2e^{1 e^{(V_{G5}-V_{T0})/n\phi_t}} (1 - e^{-V_{DS5}/\phi_t})} \quad (184)$$

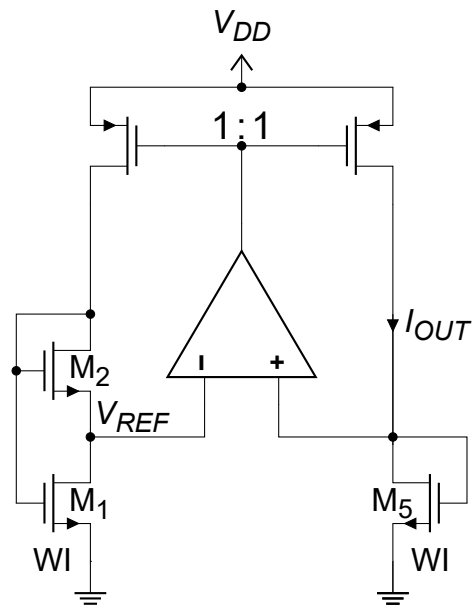
A corrente de referência, os níveis de inversão  $i_{f5(r5)}$  e  $S_5$  dependem dos parâmetros tecnológicos ( $n$  e  $V_{T0}$ ) de  $M_5$ .

Através do empilhamento de  $N$  transistores  $M_5 @ V_{D5} = V_{G5}$  e  $V_{SB5} = 0$  é possível gerar  $N$  potenciais múltiplos de  $V_{REF}$  e com baixa sensibilidade a  $V_{DD}$ . Para um valor desejado de  $V_{DS}$  diferente de  $V_{REF}$  deve-se utilizar um transistor com razão de aspecto dada por (184).

A Figura 80(b) ilustra o ponto de operação da fonte de corrente, estabelecido através da interseção das curvas  $V$ - $I$  do esquemático da Figura 80(a). A exploração de parte do espaço de projetos é demonstrada na Figura 80(c).

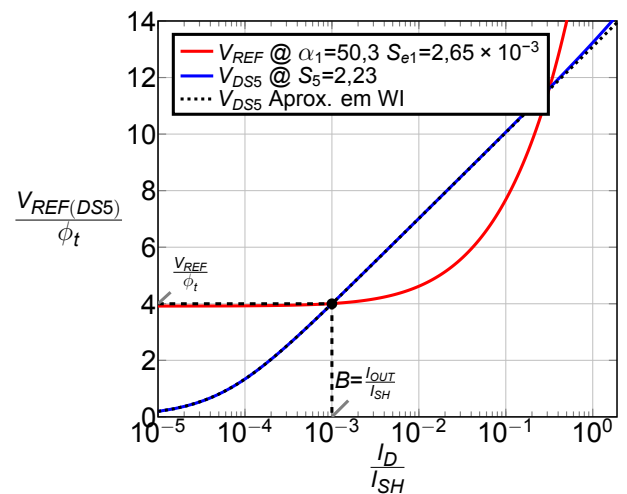
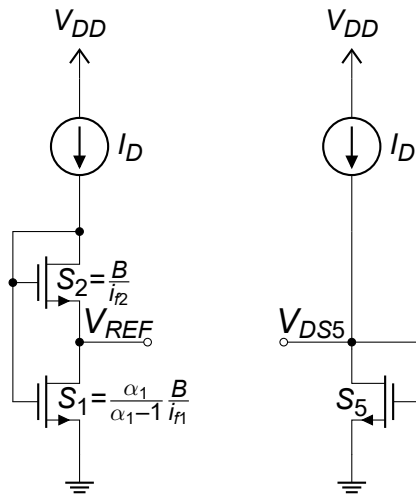
O circuito da Figura 41 pode ser modificado, através da remoção do ramo do SCM 3-4,  $M_6=M_2$  e  $M_5$  conectado como diodo com  $V_{S2} = V_{D5}$ , conforme mostra a Figura 81. O ponto de operação é estabelecido pelas expressões (179) e (180).

Figura 79 – Substituição do SCM 3-4 do circuito da Figura 22 por um único transistor  $M_5$  conectado como diodo.

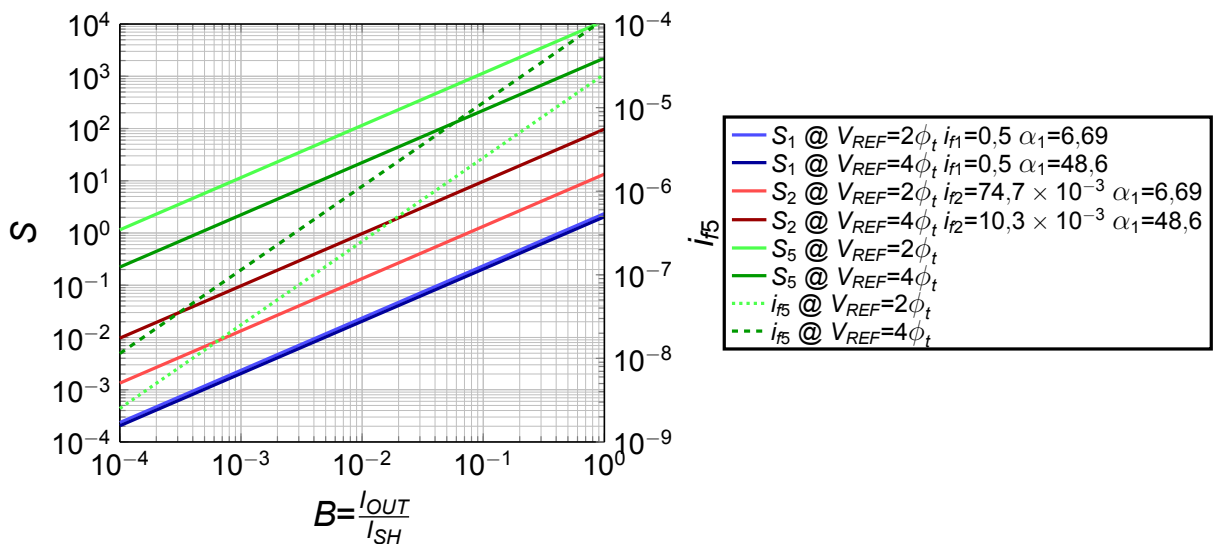


Fonte: Elaborada pelo autor.

Figura 80 – Curvas características V-I, razões de aspecto e níveis de inversão do SCM 1-2 e de M<sub>5</sub> @ n=1,32, V<sub>T0</sub>=0,426 V e V<sub>D5</sub>=V<sub>G5</sub>.



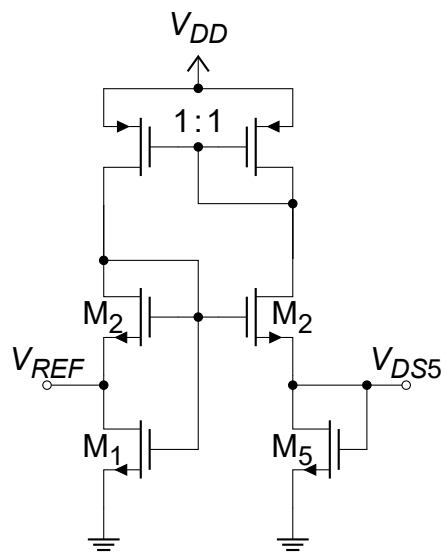
(a) Esquemático do SCM 1-2 e M<sub>5</sub> conectado como diodo polarizados por uma fonte de corrente ideal. (b) Tensões interna do SCM 1-2 e de dreno de M<sub>5</sub> em função da corrente de polarização e ponto de operação desejado @ V<sub>REF</sub>=4φ<sub>t</sub>, I<sub>OUT</sub>=1,00 × 10<sup>-3</sup>I<sub>SH</sub>.



(c) Razões de aspecto e níveis de inversão em função de B @ V<sub>REF</sub>.  
Fonte: Elaborada pelo autor.



Figura 81 – Modificação do circuito da Figura 41, com  $M_5$  conectado como diodo.



Fonte: Elaborada pelo autor.

### H.1 PROJETO, RESULTADOS TEÓRICOS E DE SIMULAÇÕES DA FONTE DE CORRENTE

Um circuito com a topologia da Figura 81 foi projetado para  $V_{REF}=4\phi_t$  e  $I_{OUT}=1,00 \times 10^{-3} I_{SH}=37,3 \text{ pA}$ , escolheu-se  $\alpha_1 = 50,3$ ,  $i_{f1} = 0,378$  e  $i_{f2} = 7,51 \times 10^{-3}$ . A Tabela 48 mostra o resumo dos parâmetros dos transistores projetados. Para facilitar a implementação da associação série da razão de aspecto  $S_1 = 1/370$  foi necessário o uso de (54), obtendo assim  $S_u = 0,200 @ S = 1/370$ ,  $M = 1$  e  $N = 74$ . Os valores dos parâmetros do transistor unitário *pmos2v* são:  $n = 1,32$ ,  $V_{T0} = -0,426 \text{ V}$  e  $I_{SH} = 37,3 \text{ nA}$ . A Tabela 49 apresenta os valores médio e do desvio padrão de  $V_{REF}$  e  $I_{OUT}$  de simulações Monte Carlo. Verifica-se que  $I_{OUT}$  possui uma alta sensibilidade à variação de processos. No entanto, a tensão de referência  $V_{REF}$  apresenta uma menor sensibilidade à variação de processos, em relação a  $I_{OUT}$ .

Tabela 48 – Resumo da associação série-paralela dos transistores projetados @  $\alpha_1 = 50,3$ ,  $V_{REF} = 4\phi_t$ ,  $I_{OUT} = 1,00 \times 10^{-3} I_{SH} = 37,3 \text{ pA}$ ,  $n = 1,32$  e  $V_{T0} = 0,426 \text{ V}$ .

Transistor	S	W (µm) M × W <sub>u</sub>	L (µm) N × L <sub>u</sub>	A (µm <sup>2</sup> ) Eq. (51)
M <sub>u</sub>	0,200	0,600	3,00	1,80
M <sub>1</sub>	$2,70 \times 10^{-3}$	1 × 0,600	74 × 3,00	133
M <sub>2</sub>	0,133	6 × 0,600	9 × 3,00	97,2
M <sub>5</sub>	2,20	22 × 0,600	2 × 3,00	79,2

Fonte: Elaborada pelo autor.

Tabela 49 – Resumo dos resultados de simulações Monte Carlo de *mismatch* e/ou processo realizadas com 2000 amostras e espelho de corrente ideal @  $V_{DD} = 0,5 \text{ V}$ .

$\frac{\sigma(V_{REF})}{V_{REF}}$ (%)			$\frac{\sigma(I_{OUT})}{I_{OUT}}$ (%)		
MC mis.	MC pro.	MC mis. e pro.	MC mis.	MC pro.	MC mis. e pro.
0,339 (0,359 mV/106 mV)	1,94 (2,06 mV/106 mV)	1,97 (2,09 mV/106 mV)	1,63 (0,642 pA/39,4 pA)	57,0 (26,0 pA/45,6 pA)	57,1 (26,2 pA/45,9 pA)

Fonte: Elaborada pelo autor.