

**UNIVERSIDADE FEDERAL DE SANTA CATARINA  
BIBLIOTECA UNIVERSITÁRIA**

Humberto de Souza Cardoso

**FAMÍLIA DE CONVERSORES CC-CC COM ALTA  
CAPACIDADE DE REDUÇÃO DE TENSÃO  
UTILIZANDO CÉLULA VALLEY-FILL**

Florianópolis

2022



**Humberto de Souza Cardoso**

**FAMÍLIA DE CONVERSORES CC-CC COM ALTA  
CAPACIDADE DE REDUÇÃO DE TENSÃO  
UTILIZANDO CÉLULA VALLEY-FILL**

Trabalho de Conclusão de Curso submetido ao Curso de Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do Grau de Engenheiro Eletricista.

**Orientador:** Telles Brunelli Lazzarin,  
Dr.

Florianópolis

2022

Catálogo na fonte pela Biblioteca Universitária da Universidade Federal de Santa Catarina.

Arquivo compilado às 22:25h do dia 2 de maio de 2022.

Humberto de Souza Cardoso

Família de conversores CC-CC com Alta Capacidade de Redução de Tensão Utilizando Célula Valley-Fill : / Humberto de Souza Cardoso; Orientador, Telles Brunelli Lazzarin, Dr.; Coorientador, - Florianópolis, 22:25, 18 de abril de 2022.

131 p.

Trabalho de Conclusão de Curso - Universidade Federal de Santa Catarina, Departamento de Engenharia Elétrica e Eletrônica, Centro Tecnológico, Curso de Graduação em Engenharia Elétrica.

Inclui referências

1. Abaixador de Tensão. 2. Valley-Fill. 3. Alta capacidade. 4. Eficiência 5. Não-isoladores. I. Telles Brunelli Lazzarin, Dr. II. III. Curso de Graduação em Engenharia Elétrica IV. Família de conversores CC-CC com Alta Capacidade de Redução de Tensão Utilizando Célula Valley-Fill

CDU 02:141:005.7



UNIVERSIDADE FEDERAL DE SANTA CATARINA

HUMBERTO DE SOUZA CARDOSO

Esta Monografia foi julgada adequada para a obtenção do título de Bacharel em Engenharia Elétrica, sendo aprovada em sua forma final pela banca examinadora:



Documento assinado digitalmente  
Telles Brunelli Lazzarin  
Data: 02/05/2022 14:47:28-0300  
CPF: 023.486.719-26  
Verifique as assinaturas em <https://v.ufsc.br>

---

**Orientador(a): Prof. Dr. Telles Brunelli Lazzarin**  
**Universidade Federal de Santa Catarina - UFSC**



Documento assinado digitalmente  
Neilor Colombo Dal Pont  
Data: 02/05/2022 14:51:48-0300  
CPF: 078.486.859-02  
Verifique as assinaturas em <https://v.ufsc.br>

---

**Prof. Dr. Neilor Colombo Dal Pont**  
**Universidade Federal de Santa Catarina - UFSC**



Documento assinado digitalmente  
Jéssika Melo de Andrade  
Data: 02/05/2022 14:54:04-0300  
CPF: 084.435.059-94  
Verifique as assinaturas em <https://v.ufsc.br>

---

**Dra. Jéssika Melo de Andrade**  
**Universidade Federal de Santa Catarina - UFSC**

Florianópolis, 19 de abril de 2022

*Este trabalho é dedicado a todos que contribuíram para minha  
formação pessoal e profissional.*



---

## AGRADECIMENTOS

---

A Deus, por me dar saúde e força para superar todas as dificuldades. Aos meus pais e familiares pelo apoio, carinho e por me permitir eu me dedicar integralmente aos estudos por todos esses anos. Aos meus amigos e colegas que me acompanharam durante todo o curso. Agradeço a todos os professores, especialmente ao professor Telles pela docência durante a graduação, estágio e trabalho de conclusão. Um agradecimento ao Doutor Maurício Dalla Vecchia, pelas orientações, encontros e profissionalismo durante meu estágio e trabalho conclusão. A esta universidade seu corpo docente, direção e administração. Ao INEP, por proporcionar um estágio de qualidade. Ao povo brasileiro, financiador dos meus estudos.



*"Para proceder com inteligência, a inteligência só não basta"*  
Fiódor Dostoiévski



---

## RESUMO

---

Este trabalho apresenta o estudo de uma família de conversores CC-CC abaixadores não-isolados com alta capacidade de redução de tensão. Neste trabalho aplica-se a injeção de células de *Valley-Fill* a fim de mitigar os efeitos e reduzir os problemas relacionados à baixa eficiência de conversores com alta queda de tensão de saída. Realiza-se uma revisão bibliográfica sobre conversores CC-CC não isoladores, as técnicas topológicas e desafios de cada uma delas. Faz-se uma revisão do conversor *Buck* clássico para entender os desafios de aplicar a mesma topologia nesta aplicação. Em seguida, é apresentado a família de conversores CC-CC não-isolados *Buck-Série Duplo* e se explora esta alternativa em um novo ponto de operação de relevante na alimentação de *datacenters*. São apresentados os resultados de simulação dada especificação de potência nominal de 100 W, tensão de entrada de 48 V, tensão eficaz de saída de 1 V e frequência de comutação de 100 kHz. Obtém-se resultados de simulação e qualidade da tensão de saída. E, como resultado final, provou-se a competitividade entre a família *Buck-Série Duplo* de conversores apresentada e o conversores do estado-da-arte de semelhante aplicação.

**Palavras-chaves:** Abaixador de Tensão. *Valley-Fill*. Alta capacidade. Eficiência Não-isoladores.



---

# ABSTRACT

---

This work presents the study of a family of non-insulated step-down DC-DC converters with high voltage reduction capability. In this work, the insertion of *Valley-Fill* cells is applied in order to mitigate the effects and reduce the related problems to the low efficiency of converters with high output voltage drop. A literature review is carried out on non-isolating DC-DC converters, the topological techniques and challenges of each one of them. The classic *Buck* converter is reviewed to understand the challenges of applying the same topology in this use and operation. Next, the family of non-isolated DC-DC converters *Buck-Double Series* is presented, in which the static analysis of its multiple phases is performed. The proportional integrator controller is designed for reference tracking and disturbance rejection. Simulation results are presented given a nominal power specification of 100 W, input voltage of 48 V, effective output voltage of 1 V and switching frequency of 100 kHz. Output voltage quality and simulation results are obtained. And, as a final result, the competition between the *Buck-Séria Duplo* family of converters presented and the state-of-the-art converters of a similar application was proved.

**Keywords:** Step-down. *Valley-Fill*. High capacity. Efficiency. Non-isolating.



---

## LISTA DE FIGURAS

---

Figura 1.1 – Conversor CC-CC <i>Buck</i> clássico . . . . .	32
Figura 1.2 – Sinal PWM e valor médio . . . . .	32
Figura 1.3 – Conversor <i>Buck</i> com interruptor em condução . .	33
Figura 1.4 – Conversor <i>Buck</i> com interruptor em bloqueio . .	34
Figura 1.5 – Conversor de capacitores chaveados. . . . .	40
Figura 1.6 – Primeira etapa do conversor de capacitores chave- ados. . . . .	41
Figura 1.7 – Segunda etapa do conversor de capacitores chave- ados. . . . .	42
Figura 1.8 – Conversor <i>Buck</i> Série Duplo (BSD-0). . . . .	43
Figura 1.9 – Primeiro estágio do Conversor <i>Buck</i> Série Duplo (BSD-0). . . . .	44
Figura 1.10 – Segundo e quarto estágio do Conversor <i>Buck</i> Série Duplo (BSD-0). . . . .	44
Figura 1.11 – Terceiro estágio do <b>Double-series Buck</b> . . . . .	45
Figura 1.12 – Célula <i>Valley-Fill</i> . . . . .	47
Figura 2.1 – Conversor <i>Buck</i> Série Duplo original (BSD-0). . .	52
Figura 2.2 – Conversor <i>Buck</i> Série Duplo com <i>Valley-Fill</i> supe- rior (BSD-1). . . . .	52
Figura 2.3 – Conversor <i>Buck</i> Duplo em Série com <i>Valley-Fill</i> inferior (BSD-2). . . . .	53
Figura 2.4 – Conversor <i>Buck</i> Série Duplo com dois <i>Valley-Fill</i> (BSD-2). . . . .	54
Figura 2.5 – Estágios do conversor BSD-0. . . . .	55
Figura 2.6 – Estágios do conversor BSD-1. . . . .	56
Figura 2.7 – Estágios do conversor BSD-2. . . . .	57
Figura 2.8 – Estágios do conversor BSD-3. . . . .	58

Figura 3.1 – Circuito equivalente para a análise de pequenos sinais: (a) circuito equivalente considerando a tensão nos indutores $L_1$ e $L_2$ e; (b) circuito equivalente do tensão de saída $V_{Co}$ . . . . .	74
Figura 3.2 – Validação do membro BSD-0 no tempo. . . . .	77
Figura 3.3 – Validação do membro BSD-0 na frequência. . . . .	78
Figura 3.4 – Validação do membro BSD-1 no tempo. . . . .	78
Figura 3.5 – Validação do membro BSD-1 na frequência. . . . .	79
Figura 3.6 – Validação do membro BSD-2 no tempo. . . . .	80
Figura 3.7 – Validação do membro BSD-2 na frequência. . . . .	80
Figura 3.8 – Validação do membro BSD-3 no tempo. . . . .	81
Figura 3.9 – Validação do membro BSD-3 na frequência. . . . .	81
Figura 4.1 – Simulação no PSIM. . . . .	90
Figura 4.2 – Simulação BSD-0 de tensão em malha aberta. . . . .	91
Figura 4.3 – Simulação BSD-0 de tensão em malha aberta. . . . .	92
Figura 4.4 – Simulação BSD-0 de tensão de saída em malha aberta. . . . .	92
Figura 4.5 – Simulação BSD-0 de corrente de saída em malha aberta. . . . .	93
Figura 4.6 – Simulação BSD-0 de tensão em malha fechada. . . . .	94
Figura 4.7 – Simulação BSD-0 de tensão em malha fechada em detalhe. . . . .	94
Figura 4.8 – Simulação BSD-0 da corrente em malha fechada. . . . .	95
Figura 4.9 – Simulação BSD-0 da corrente em malha fechada em detalhe. . . . .	95

---

## LISTA DE TABELAS

---

Tabela 2.1 – Tensões de pico no membro BSD-0. Fonte: (VEC-CHIA, 2020) e autor. . . . .	63
Tabela 2.2 – Tensões de pico no membro BSD-1. Fonte: (VEC-CHIA, 2020) e autor. . . . .	63
Tabela 2.3 – Tensões de pico no membro BSD-2. Fonte: (VEC-CHIA, 2020) e autor. . . . .	64
Tabela 2.4 – Tensões de pico no membro BSD-3. Fonte: (VEC-CHIA, 2020) e autor. . . . .	64
Tabela 2.5 – Correntes no membro BSD-0. . . . .	66
Tabela 2.6 – Correntes no membro BSD-1. . . . .	67
Tabela 2.7 – Correntes no membro BSD-2. . . . .	68
Tabela 2.8 – Correntes no membro BSD-3. . . . .	69
Tabela 4.1 – Tensões e corrente eficaz selecionadas para o guia de projeto. . . . .	86
Tabela 4.2 – Valores para o guia de projeto. . . . .	86
Tabela 4.3 – Ondulações segundo simulação. . . . .	97
Tabela 4.4 – Corrente eficaz nos interruptores. . . . .	98
Tabela 4.5 – Corrente máxima em módulo nos interruptores. . . . .	98
Tabela 4.6 – Tensão de bloqueio nos interruptores. . . . .	99
Tabela 4.7 – Corrente máxima em módulo nos interruptores. . . . .	99
Tabela 4.8 – Correntes nos diodos da topologia BSD-1. . . . .	99
Tabela 4.9 – Correntes nos diodos da topologia BSD-2. . . . .	99
Tabela 4.10 – Correntes nos diodos da topologia BSD-3. . . . .	99
Tabela 4.11 – Corrente eficaz nos indutores. . . . .	100
Tabela 4.12 – Eficiência. . . . .	101
Tabela 4.13 – Análise crítica de diversos conversores. . . . .	102
Tabela 4.14 – Referência dos conversores da análise crítica. . . . .	103
Tabela 4.15 – Exercício de comparação. . . . .	104



---

## LISTA DE ABREVIATURAS E SIGLAS

---

CC	Corrente contínua
CA	Corrente alternada
CC-CC	Corrente contínua para corrente contínua
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
BJT	<i>Bipolar Junction Transistor</i>
PWM	<i>Pulse Width Modulator</i>
BSD-0	<i>Buck-Série Duplo original</i>
BSD-1	<i>Buck-Série Duplo com célula Valley-Fill superior</i>
BSD-2	<i>Buck-Série Duplo com célula Valley-Fill inferior</i>
BSD-3	<i>Buck-Série Duplo com duas células Valley-Fill</i>
PI	Controlador Proporcional-Integrador
PSIM	<i>PSIM Software</i> , Software de simulação de componentes eletrônicos por <i>PowerSIM</i>



---

## LISTA DE SÍMBOLOS

---

$S$	Interruptor da topologia
$D$	Diodo da topologia
$L$	Indutor e indutância da topologia
$C$	Capacitor e capacitância da topologia
$V_{in}$	Tensão de entrada
$V_o$	Tensão de saída
$i_L$	Corrente sobre um indutor
$i_o$	Corrente de saída
$f_s$	Frequência de comutação
$V_{L_{on}}$	Tensão no indutor em seu estado de condução
$T_{on}$	Tempo do estado de condução
$V_{L_{off}}$	Tensão no indutor em seu estado de bloqueio
$T_{off}$	Tempo do estado de bloqueio
$V_S$	Tensão na chave S
$V_D$	Tensão no diodo D
$G$	Ganho da topologia
$V_L$	Tensão no indutor
$\Delta I$	Variação de corrente
$\Delta t$	Variação de tempo

$P_o$	Potência de saída
$Q_{RR}$	Taxa de recuperação reversa
$t_{RR}$	Tempo de recuperação reversa
$t_{RR}$	Corrente de recuperação reversa
$P_{BD}$	Perdas de bloqueio
$P_{cond}$	Perdas de condução
$RDS_{on}$	Resistor-série equivalente
$I_{eficaz}$	Corrente eficaz
$P_{com}$	Perdas de comutação
$t_{con}$	Tempo de comutação ativa
$t_{coff}$	Tempo de comutação desativa
$V_{Smáx}$	Tensão de chave máxima
$I_{Smáx}$	Corrente de chave máxima
$P_o$	Potência de Saída
$P_{in}$	Potência de Entrada
$P_{perdas}$	Potência de Perdas
$Q$	Chave, notação alternativa de S
$U$	Tensão, notação alternativa de V
$T_S$	Período de comutação
$P_D$	Perdas nos diodos
$v_t$	Tensão de queda no diodo
$r_d$	Resistividade direta no diodo
$P_L$	Perdas nos indutores
$P_L$	Resistividade nos indutores

$K_{cc}$	Ganho do controlador proporcional-integral
$T_{cc}$	Atraso do controlador proporcional-integral
$T_{amos}$	Período de amostrador do controlador digital



---

# SUMÁRIO

---

<b>1</b>	<b>INTRODUÇÃO . . . . .</b>	<b>29</b>
1.1	PANORAMA . . . . .	29
1.2	REVISÃO BIBLIOGRÁFICA . . . . .	31
<b>1.2.1</b>	<b>Abaixador Buck . . . . .</b>	<b>31</b>
1.2.1.1	Interruptor em condução . . . . .	33
1.2.1.2	interruptor em bloqueio . . . . .	33
1.2.1.3	Cálculo da razão cíclica e do ganho . . . . .	34
1.2.1.4	Cálculo dos elementos passivos . . . . .	36
1.2.1.5	Perdas . . . . .	37
1.2.1.6	Eficiência . . . . .	38
<b>1.2.2</b>	<b>Conversores abaixadores com células de capacitores chaveados . . . . .</b>	<b>39</b>
1.2.2.1	Primeiro estágio . . . . .	41
1.2.2.2	Segundo estágio . . . . .	41
1.2.2.3	Considerações de capacitores chaveados . . . . .	42
<b>1.2.3</b>	<b>Conversores intercalados . . . . .</b>	<b>42</b>
1.2.3.1	Primeiro estágio . . . . .	43
1.2.3.2	Segundo estágio . . . . .	44
1.2.3.3	Terceiro estágio . . . . .	45
1.2.3.4	Quarto estágio . . . . .	45
1.2.3.5	Considerações sobre o conversor <i>Buck</i> Série Duplo (BSD-0). . . . .	45
<b>1.2.4</b>	<b>Valley-Fill . . . . .</b>	<b>46</b>
1.3	OBJETIVOS GERAIS . . . . .	47
1.4	OBJETIVOS ESPECÍFICOS . . . . .	48
1.5	ESTRUTURA DO DOCUMENTO . . . . .	48
<b>2</b>	<b>PROPOSTA DE UMA FAMÍLIA DE CONVERSORES CC-CC ABAIXADORES . . . . .</b>	<b>51</b>
2.1	TOPOLOGIA . . . . .	51

2.1.1	Conversor Buck Série Duplo original (BSD-0). . .	51
2.1.2	Conversor Buck Série Duplo com Valley-Fill superior (BSD-1) . . . . .	52
2.1.3	Conversor Buck Duplo em Série com Valley-Fill inferior (BSD-2) . . . . .	53
2.1.4	Conversor Buck Série Duplo com duas células Valley-Fill (BSD-3). . . . .	53
2.2	ETAPAS DE OPERAÇÃO . . . . .	54
2.2.1	BSD-0 . . . . .	55
2.2.2	BSD-1 . . . . .	56
2.2.3	BSD-2 . . . . .	57
2.2.4	BSD-3 . . . . .	58
2.2.5	Primeiro Estágio . . . . .	59
2.2.6	Segundo Estágio . . . . .	59
2.2.7	Terceiro Estágio . . . . .	60
2.2.8	Quarto Estágio . . . . .	60
2.3	GANHO ESTÁTICO . . . . .	60
2.3.1	Relação entre razões cíclicas . . . . .	61
2.4	ESFORÇOS . . . . .	62
2.4.1	Tensão média nos capacitores . . . . .	62
2.4.2	Tensão nos componentes . . . . .	63
2.4.2.1	BSD-0 . . . . .	63
2.4.2.2	BSD-1 . . . . .	63
2.4.2.3	BSD-2 . . . . .	64
2.4.2.4	BSD-3 . . . . .	64
2.4.3	Correntes nos componentes . . . . .	64
2.4.4	Correntes médias e eficazes nos componentes . . .	65
2.4.4.1	BSD-0 . . . . .	66
2.4.4.2	BSD-1 . . . . .	67
2.4.4.3	BSD-2 . . . . .	68
2.4.4.4	BSD-3 . . . . .	69
2.5	CÁLCULO DE PERDAS . . . . .	70
2.6	CONCLUSÃO DO CAPÍTULO . . . . .	70
<b>3</b>	<b>MODELAGEM E CONTROLE . . . . .</b>	<b>73</b>
3.1	MODELAGEM . . . . .	73

3.2	VALIDAÇÃO DA FUNÇÃO DE TRANSFERÊNCIA . . . . .	76
<b>3.2.1</b>	<b>Validação no tempo e na frequência . . . . .</b>	<b>76</b>
3.2.1.1	BSD-0 . . . . .	77
3.2.1.2	BSD-1 . . . . .	78
3.2.1.3	BSD-2 . . . . .	80
3.2.1.4	BSD-3 . . . . .	81
3.3	CONTROLE NO DOMÍNIO CONTÍNUO . . . . .	82
3.4	CONTROLE NO DOMÍNIO DISCRETO . . . . .	82
3.5	CONCLUSÃO DE CONTROLE . . . . .	83
<b>4</b>	<b>PROJETO . . . . .</b>	<b>85</b>
4.1	ESPECIFICAÇÃO . . . . .	85
4.2	GUIA DE PROJETO . . . . .	85
<b>4.2.1</b>	<b>Valores de elementos passivos . . . . .</b>	<b>86</b>
4.3	SELEÇÃO DE COMPONENTES . . . . .	88
<b>4.3.1</b>	<b>Interruptores . . . . .</b>	<b>88</b>
<b>4.3.2</b>	<b>Capacitores . . . . .</b>	<b>88</b>
<b>4.3.3</b>	<b>Indutores . . . . .</b>	<b>89</b>
<b>4.3.4</b>	<b>Diodos . . . . .</b>	<b>89</b>
4.4	SIMULAÇÃO . . . . .	89
<b>4.4.1</b>	<b>Resultados de simulação em malha aberta . . . . .</b>	<b>91</b>
<b>4.4.2</b>	<b>Resultados de simulação em malha fechada . . . . .</b>	<b>93</b>
4.5	COMPARAÇÃO ENTRE TEÓRICO E SIMULADO . . . . .	96
4.6	EFICIÊNCIA . . . . .	98
<b>4.6.1</b>	<b>Interruptores . . . . .</b>	<b>98</b>
<b>4.6.2</b>	<b>Diodos . . . . .</b>	<b>99</b>
<b>4.6.3</b>	<b>Indutores . . . . .</b>	<b>100</b>
<b>4.6.4</b>	<b>Perdas totais e cálculo de eficiência . . . . .</b>	<b>100</b>
4.7	ANÁLISE CRÍTICA . . . . .	101
4.8	CONCLUSÃO DE PROJETO . . . . .	105
<b>5</b>	<b>CONCLUSÃO . . . . .</b>	<b>107</b>
	<b>Referências . . . . .</b>	<b>109</b>

---

ANEXO A	–	PÁGINAS RELEVANTES DA FICHA TÉCNICA PARA CHAVE FQH90N10V2 . . . . .	115
ANEXO B	–	PÁGINAS RELEVANTES DA FICHA TÉCNICA PARA CAPACITOR C3225X7R2A106K250AC .	119
ANEXO C	–	PÁGINAS RELEVANTES DA FICHA TÉCNICA PARA CAPACITOR UBY1E202MHL1TO . . . . .	121
ANEXO D	–	PÁGINAS RELEVANTES DA FICHA TÉCNICA PARA INDUTOR IHDM1107BBEV4R3M30 . . . . .	125
ANEXO E	–	PÁGINAS RELEVANTES DA FICHA TÉCNICA PARA DIODO 124NQ060-1 . . . . .	129

# CAPÍTULO 1

---

## INTRODUÇÃO

---

### 1.1 PANORAMA

A Eletrônica de Potência é a área do conhecimento responsável pelo processamento de energia elétrica por meio de dispositivos semicondutores (BARBI, 2017).

Um dos contextos relevantes ao estado da arte da Eletrônica de Potência é o desenvolvimento de microrredes em corrente contínua que tem sido fomentado por diversos fatores como a proliferação de fontes renováveis, veículos elétricos, sistemas de armazenamento de energia de baterias e centrais de processamento de dados (MAGDEFRAU et al., 2016).

A indústria e a pesquisa tem que reagir às novas demandas de mercado, impostas tanto pela área governamental quanto pelo interesse econômico (MACOLA, 2021). Por exemplo, a aviação elétrica, para a qual a Eletrônica de Potência irá se encarregar de prover soluções em processamento e armazenamento de energia, já é considerada por integrantes da área como o futuro das viagens aéreas de curta distância (REID, 2021).

Para este exemplo e demais aplicações, um modo de aumentar a eficiência energética é diminuir as etapas de processamento de energia, alimentando cargas diretamente de um barramento de rede CC e não mais da rede CA convencional. Para esta solução, é preciso adaptar os níveis de tensão CC do barramento para o uso em baixa tensão de componentes eletrônicos que utilizam transistores.

O maior interesse no processamento de uma grande quantidade de dados traz um desafio para a área de Eletrônica de Potência quanto a alimentação de um *data center* e demais infra-estruturas de telecomunicações, particularmente na arquitetura de fornecimento e distribuição de energia para esta enorme necessidade (DAS; LE, 2019). Entre os componentes mais desafiadores na alimentação de maiores potências de componentes eletrônicos são os conversores, usualmente conectados ao barramento CC intermediário de 48 V.

Primeiramente, não é interessante utilizar transformadores volumosos nesta aplicação de conversores que requerem alta densidade de potência e grandes taxas de conversão em aplicações onde o isolamento não é necessário. Por este motivo, considerando restrições rigorosas de espaço e carga, topologias CC-CC de conversores não-isoladores com baixo número de componentes são de extrema relevância para a aplicação em um *data center*. Especialmente, na faixa de grandeza explorada neste documento de 48 V do barramento CC intermediário para a baixa tensão de 1 V dos componentes eletrônicos.

O conversor abaixador *Buck* convencional é uma geralmente uma boa escolha para aplicações gerais devido ao seu baixo número de componentes e fácil controle. Porém, esse conversor não é adequado para aplicações de alta capacidade de redução de tensão devido à operação em uma razão cíclica muito baixa e maiores perdas nos semicondutores de chaveamento. Por este motivo, este documento avaliará uma família de conversores abaixadores com melhor desempenho para corresponder estes requisitos de tensão.

## 1.2 REVISÃO BIBLIOGRÁFICA

Os conversores CC-CC não-isolados de alta capacidade de redução de tensão da bibliografia tem como objetivo principal solucionar os problemas relacionados às perdas de chaveamento nos semicondutores da topologia.

Para isso, utiliza-se técnicas para incrementar a capacidade de redução de tensão como os capacitores chaveados (ZHANG; GAO et al., 2018a), conversores de múltiplas etapas intercalados (HWU; JIANG; WU, 2016a) e células *Valley-Fill* (VECCHIA; BROECK et al., 2021).

Este documento expandirá os estudos de topologias recentes com abaixamento de tensão muito alto e alta eficiência para baixa tensão e alta corrente desenvolvidos na bibliografia (KIRSHENBOIM; PERETZ, 2016). Especialmente na análise de minimização de perdas (VECCHIA; RAVYTS et al., 2019) de uma família de conversores baseadas no princípio *Valley-Fill* (VECCHIA; BROECK et al., 2021).

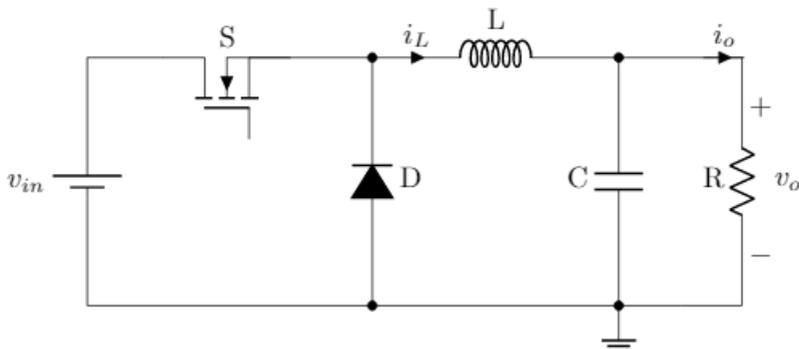
### 1.2.1 Abaixador Buck

O abaixador de tensão CC-CC não-isolador mais tradicional, devido ao baixo número de componentes e topologia simples, é o conversor abaixador *Buck*.

Um conversor *Buck* é composto por seu interruptor, diodo, indutor e filtro capacitor. A tensão de entrada  $V_{in}$  deve ser maior do que a tensão de saída  $V_o$  para se qualificar como um conversor abaixador.

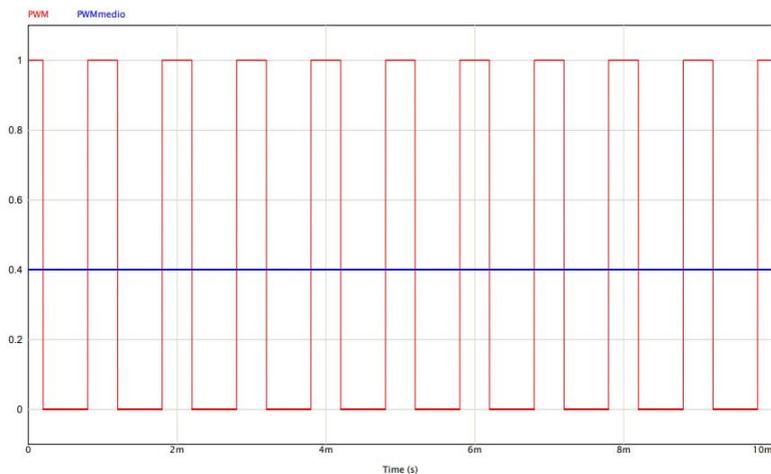
A interruptor mostrada no circuito acima normalmente será uma interruptor de eletrônica de potência como MOSFET, IGBT ou BJT. A interruptor será comutada (ligada e desligada repetidamente) usando um sinal PWM associada a uma frequência de comutação  $f_s$ .

Uma pequena relação entre o tempo em estado alto e o estado baixo (a razão cíclica) significa que a tensão média vista

Figura 1.1 – Conversor CC-CC *Buck* clássico

Fonte: Autor.

Figura 1.2 – Sinal PWM e valor médio



Fonte: Autor.

pela carga é pequena e quando o ciclo de trabalho é alto, a tensão média também é alta. Assim, a razão cíclica e tensão média estão diretamente relacionadas.

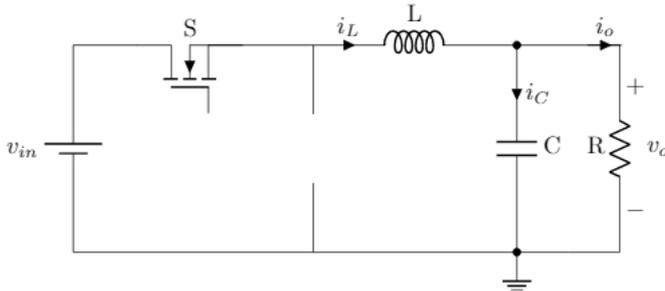
A ação de chaveamento acoplado ao armazenamento e dispersão de energia dos elementos passivos do circuito, o indutor e

capacitor, são a base da topologia.

### 1.2.1.1 Interruptor em condução

Um estado alto no PWM resultará em uma interruptor em condução. Este é o primeiro estágio da topologia.

Figura 1.3 – Conversor *Buck* com interruptor em condução



Fonte: Autor.

A condução do interruptor  $S$  implicará em uma queda de tensão baixa, assim o diodo  $D$  estará em bloqueio. A corrente fluirá da fonte, atravessando o interruptor  $S$  para então carregar o indutor  $L$  e carregará  $C$  com uma parcela da corrente. Finalmente o caminho da corrente principal irá para a carga de saída.

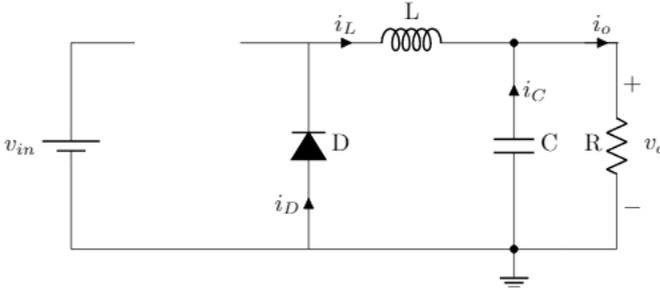
### 1.2.1.2 interruptor em bloqueio

Um estado baixo no PWM resultará em uma interruptor em bloqueio. Este é o segundo e último estágio da topologia.

Agora, o diodo entrará em condução. Neste segundo caso, o indutor terá sua diferença de potencial elétrico invertida, porém será mantida a mesma direção de corrente.

O caminho atual atravessa o diodo  $D$ , percorre o indutor  $L$  descarregando-o, para em seguida ir para a carga. Nesse momento também, a energia armazenada no capacitor  $C$  ajudará no suprimento da corrente de carga.

Para garantir as características de condução contínua da to-

Figura 1.4 – Conversor *Buck* com interruptor em bloqueio

Fonte: Autor.

pologia, como a inversão da tensão no indutor  $L$  sem sua inversão de corrente e o armazenamento estável de energia no capacitor  $C$ , é preciso dimensionar corretamente os elementos passivos do conversor.

### 1.2.1.3 Cálculo da razão cíclica e do ganho

Uma das formas de calcular a razão cíclica como relação entre tensões da topologia é através do princípio do equilíbrio volt-segundo. Esse princípio indica que ao fim de um ciclo de comutação, a variação de volt-segundo aplicado a um indutor em estado estacionário deve ser zero. Isso porque o fluxo em um indutor no início de um ciclo de chaveamento deve ser igual ao fluxo no final do ciclo (por definição de estado estacionário).

Portanto, seguem as seguintes equações.

$$V_{L_{on}} \cdot T_{on} = V_{L_{off}} \cdot T_{off} \quad (1.1)$$

Observando a Figura 1.3 e a Figura 1.4, as tensões são expostas como a seguir.

$$V_{L_{on}} = V_{in} - V_S - V_o \quad (1.2)$$

$$V_{L_{off}} = V_D + V_o \quad (1.3)$$

Aplicando as equações (1.2) e (1.3) na equação (1.1).

$$(V_{in} - V_S - V_o).T_{on} = (V_D + V_o).T_{off} \quad (1.4)$$

O tempo da interruptor ligada  $T_{on}$  e da interruptor desligada  $T_{off}$  podem ser substituídas através seguintes igualdades.

$$T_{on} = \frac{D}{f_s} \quad (1.5)$$

$$T_{off} = \frac{1 - D}{f_s} \quad (1.6)$$

Aplicando as equações (1.5) e (1.6) na equação (1.4).

$$(V_{in} - V_S - V_o). \frac{D}{f_s} = (V_D + V_o). \frac{(1 - D)}{f_s} \quad (1.7)$$

Finalmente, a equação da razão cíclica considerando a queda na interruptor é a seguinte.

$$D = \frac{V_o + V_D}{V_{in} - V_S + V_D} \quad (1.8)$$

Ou então, desconsiderando as não-idealidades da topologia.

$$D = \frac{V_o}{V_{in}} \quad (1.9)$$

O ganho do conversor é por definição a relação entre a tensão de saída e de entrada. No conversor *Buck* a tensão de saída é sempre inferior à tensão de entrada, por se tratar de um conversor abaixado. Além disso, é possível estabelecer uma relação entre o ganho  $G$  e a razão cíclica  $D$  através da relação da equação (1.9).

$$G = D = \frac{V_o}{V_{in}} \quad (1.10)$$

### 1.2.1.4 Cálculo dos elementos passivos

É de suma importância para o bom funcionamento do conversor *Buck* em modo de condução contínuo que a indutância seja calculada de forma correta. Para o cálculo da indutância, será atrelado o valor da ondulação de corrente (*ripple*) na saída. Observando o estágio de condução na Figura 1.3, deriva-se as seguintes equações.

$$V_L = L \frac{\Delta I}{\Delta t} \quad (1.11)$$

$$V_{in} - V_S - V_o = L \frac{\Delta I}{\frac{D}{f_s}} \quad (1.12)$$

$$L = \frac{(V_{in} - V_S - V_o) \cdot D}{L \cdot f_s \cdot \Delta I} \quad (1.13)$$

Após determinar o valor da indutância, é possível escolher um valor de capacitância na topologia que permita controlar a ondulação de tensão na saída do conversor. Para determinar o valor da capacitância, utilizamos a equação de corrente no capacitor.

$$i_C = C \cdot \frac{dV}{dt} \quad (1.14)$$

Inspecionando a Figura 1.4, vê-se que a tensão de saída do conversor é a mesma sobre o capacitor descarregando sobre a carga de saída. Portanto, a equação (1.14) é equivalente à equação .

$$V_o = \frac{I_o \cdot D}{f_s \cdot C} \quad (1.15)$$

Inserindo a equação (1.16) em (1.14) e resolvendo para a capacitância, temos o seguinte.

$$C = \frac{P_o \cdot D}{\Delta V_o \cdot f_s \cdot V_o} \quad (1.16)$$

Esta formulação considera uma resistência série equivalente muito baixa, pois esta resistência também contribui para a variação de tensão.

#### 1.2.1.5 Perdas

Por fim, o fator mais importante na escolha de uma topologia relativa à sua complexidade são as perdas. O conversor *Buck* tradicional apresenta perdas muito elevadas para razões cíclicas muito baixas, ou equivalentemente, com razões de tensão muito acentuadas.

As perdas de potência diodo estão relacionadas às suas características de seu funcionamento em bloqueio e condução.

Para as perdas em bloqueio, o diodo armazena carga em recuperação reversa durante um tempo até atingir sua corrente em recuperação reversa máxima. Assim, quando a ficha técnica não prover a carga de recuperação reversa, é possível a calcular através da equação a seguir.

$$Q_{RR} = \frac{t_{RR} \cdot I_{RR}}{2} \quad (1.17)$$

Utilizando a equação (1.17), ou o valor disponibilizado pela ficha técnica do componente, é possível calcular as perdas em bloqueio de um diodo.

$$P_{BD} = V_D \cdot Q_{RR} \cdot f_s \quad (1.18)$$

A interruptor MOSFET, nesse caso, possui dois tipos de perda. Há a perda de condução e comutação.

Para a condução, as perdas são simplesmente as perdas sobre o resistor-série equivalente  $RDS_{on}$  disponibilizado na ficha técnica do modelo.

$$P_{cond} = RDS_{on} \cdot I_{eficaz}^2 \quad (1.19)$$

Para a comutação, as perdas estão na equação (1.20). Elas dependem da tensão e corrente máxima multiplicada no tempo de comutação. Estes valores de tempo de comutação são também usualmente disponibilizadas na ficha técnica correspondente.

$$P_{com} = \frac{f_s}{2} \cdot (t_{con} + t_{off}) \cdot V_{Smáx} \cdot I_{Smáx} \quad (1.20)$$

### 1.2.1.6 Eficiência

A eficiência de um sistema, de modo geral é a potência de saída dividida pela potência de entrada. É usual representar a eficiência de um sistema em porcentagem.

$$Eficiência = \frac{P_o}{P_{in}} \cdot 100\% \quad (1.21)$$

Também é possível reescrever a equação (1.21) através das relações de potência de saída como a multiplicação da corrente e tensão de saída com as perdas totais.

$$P_o = V_o \cdot I_o \quad (1.22)$$

$$P_{in} = P_o + P_{perdas} \quad (1.23)$$

Aplicando as equações (1.22) e (1.23) em (1.21), chegamos na equação a seguir.

$$Eficiência = \frac{V_o \cdot I_o}{P_o + P_{perdas}} \cdot 100\% \quad (1.24)$$

Estas equações de perdas são genéricas para qualquer topologia, sendo assim de extrema importância para comparação entre configurações diferentes.

### 1.2.2 Conversores abaixadores com células de capacitores chaveados

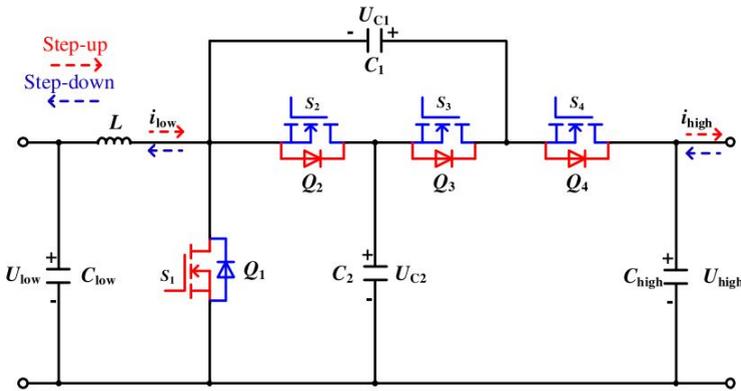
Conversores *Buck* tradicionais são excelentes candidatos para baixa tensão devido ao seu baixo custo e alta eficiência. Infelizmente, eles trazem desvantagens quanto a sua implementação em razões de tensão muito elevadas.

As principais desvantagens são a faixa estreita de conversão de tensão, o estresse de alta tensão e principalmente as perdas elevadas em comutação nos interruptores semicondutores. A fim de manter uma alta taxa de conversão de tensão, porém mantendo tensões mais baixas entre os semicondutores de potência é possível ser alcançada aumentando o número de componentes e a frequência de comutação. Porém, estas soluções de conversores multiníveis naturalmente acarretada em problemas associados de maiores perdas e maior custo.

Para atender aos requisitos do conversor bidirecional de alta capacidade, o *switched-capacitor BDC* é proposto como solução

(ZHANG; GAO et al., 2018a). A principal contribuição do conversor proposto está em a vantagem integrada de ter uma ampla faixa de ganho de tensão, no caso de exigir menos número de componentes com o estresse de tensão reduzido. A eficiência da conversão de energia, portanto, melhorou. Embora o conversor proposto tenha um ganho de alta tensão, ele é construído sem o acoplamento magnético, e pode simplificar o conversor design devido à eliminação da necessidade de indutores acoplados.

Figura 1.5 – Conversor de capacitores chaveados.



Fonte: (ZHANG; GAO et al., 2018a).

A Figura 1.5 mostra o conversor de capacitor chaveado proposto, que é composto por quatro semicondutores de potência,  $Q_1$  a  $Q_4$ , quatro capacitores e um indutor  $L$ . As energias armazenadas nos capacitores estão notadas por  $C_{low}$  e  $C_{high}$ .

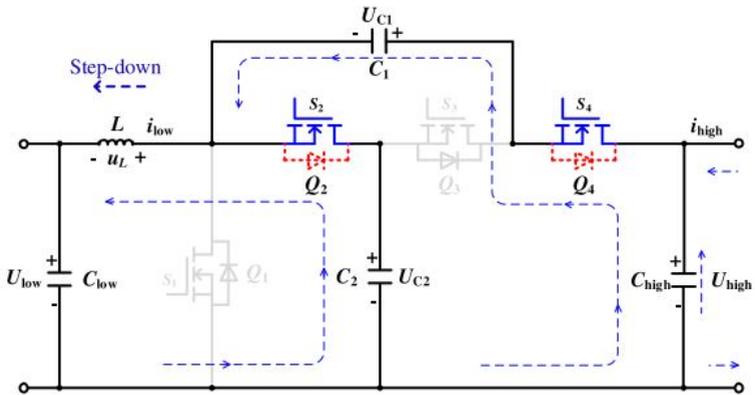
O conversor, como notado na Figura 1.5, possui um funcionamento em modo abaixador (*step-down*) e elevador de tensão (*step-up*). Nesta revisão bibliográfica será analisada exclusivamente em modo *step-down*.

O modo de *step-down* é caracterizado quando a energia flui do lado de alta tensão para o lado de baixa tensão. A tensão de saída é reduzida utilizando os semicondutores  $Q_2$ ,  $Q_3$  e  $Q_4$  e o diodo em antiparalelo de  $Q_1$ .

### 1.2.2.1 Primeiro estágio

Na primeira etapa do conversor de capacitor chaveado proposto, os interruptores  $Q_2$  e  $Q_4$  estão fechados. O semicondutor  $Q_3$  e o diodo antiparalelo sobre  $Q_1$  estão em bloqueio. O indutor  $L$  está carregando o capacitor  $C_2$  enquanto  $C_1$  está sendo carregado do capacitor  $C_{high}$  e da fonte  $U_{high}$ . Assim, a fonte CC  $U_{high}$ ,  $L$  e  $C_2$  fornecem energia para a carga.

Figura 1.6 – Primeira etapa do conversor de capacitores chaveados.



Fonte: (ZHANG; GAO et al., 2018a).

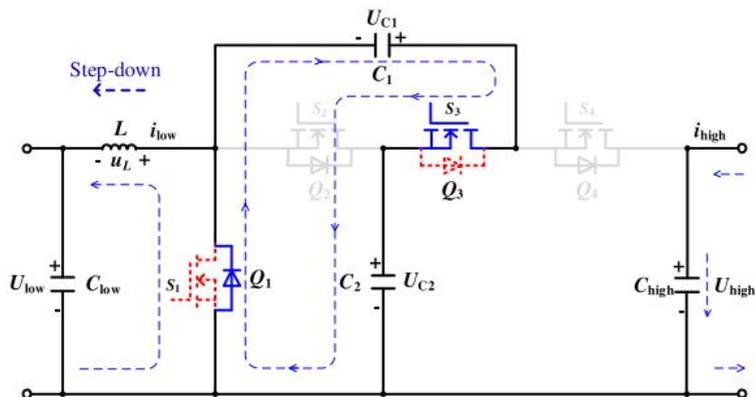
O caminho do fluxo de corrente estão indicados na Figura 1.6.

### 1.2.2.2 Segundo estágio

O outro estágio de operação do conversor é definido pelo semicondutor de potência  $Q_3$  e o diodo antiparalelo de  $Q_1$  em condução, enquanto os semicondutores de potência  $Q_2$  e  $Q_4$  estão em bloqueio.

Os caminhos do fluxo de corrente são mostrados na Figura 1.7.

Figura 1.7 – Segunda etapa do conversor de capacitores chaveados.



Fonte: (ZHANG; GAO et al., 2018a).

### 1.2.2.3 Considerações de capacitores chaveados

As topologias que integram capacitores chaveados podem melhor prover uma maior taxa de redução, ao exigir um número menor de componentes com estresse de tensão reduzido. Assim, este princípio pode ser aplicado em topologias distintas para solucionar os problemas clássicos de operação em uma banda larga de tensão.

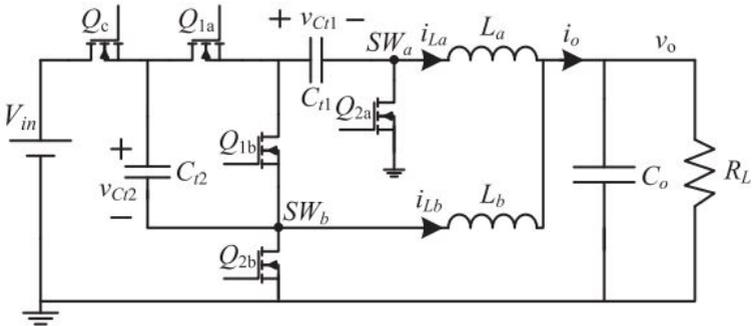
## 1.2.3 Conversores intercalados

Conversores abaixadores monofásicos funcionam bem para aplicações de conversor de baixa tensão com correntes de até um certo limite de viabilidade, mas a potência dissipação e eficiência começam a se tornar um problema em correntes mais altas. Uma abordagem adequada é usar um conversor multifásico.

O artigo do conversor textitDouble Series Buck, ou Buck Série Duplo, propõe uma nova topologia não-isoladora com alta taxa de conversão e com alta eficiência quando comparado com um conversor *Buck* de duas fases convencional. O novo modelo de conversor proposto triplica a razão cíclica efetiva e diminui o estresse de tensão dos transistores, reduzindo significativamente o volume geral do conversor, assim mantendo sua alta eficiência. O novo conversor

é visto na Figura 1.8 e é capaz de fornecer alta corrente para a saída por duas fases intercaladas e ainda apresenta um compartilhamento de corrente inerente aos conversores multifásicos para equilibrar a carga entre as fases. O uso de transistores de tensão de baixa tensão permite a operação em alta comutação de frequências que se traduz em resposta dinâmica rápida para perturbações de carga. O funcionamento da topologia é verificado em um 30 W, protótipo 48 V para 1 V, demonstrando eficiência de pico de 91,5% e acima de 88% para a maior parte da faixa de carga (KIRSHENBOIM; PERETZ, 2016).

Figura 1.8 – Conversor *Buck* Série Duplo (BSD-0).



Fonte: (KIRSHENBOIM; PERETZ, 2016).

O período de comutação é dividido em quatro estados, onde os estados dois e quatro são, na verdade, idênticos.

### 1.2.3.1 Primeiro estágio

Durante o primeiro estágio, os transistores  $Q_{1b}$ ,  $Q_{2a}$  e  $Q_c$  estão em condução. A tensão de entrada se conecta ao indutor  $L_b$  através do capacitor  $C_{t2}$  que reduz a tensão aplicada no indutor, e a corrente do indutor  $i_{Lb}$  aumenta enquanto carrega  $C_{t2}$ . Em paralelo, o capacitor  $C_{t1}$  também se conecta a  $L_b$  e descarrega. Quando neste estágio, o transistor  $Q_{2a}$  está em condução, o indutor  $L_a$  é conectado ao terra e o capacitor de saída  $C_o$  entrega sua energia armazenada à saída.



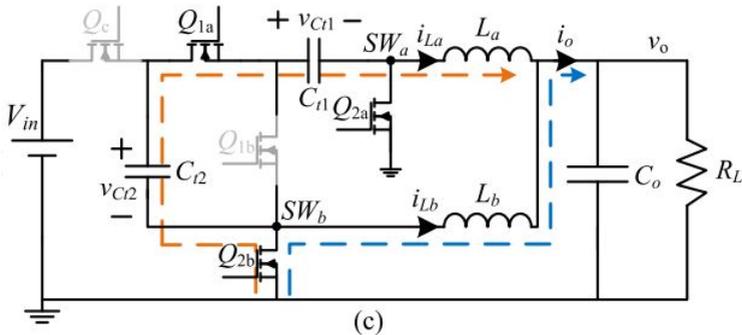
### 1.2.3.3 Terceiro estágio

O terceiro estágio a ser estudado acontece quando os transistores  $Q_{1a}$  e  $Q_{2b}$  estão em condução.

$L_a$  é alimentado por uma conexão em série dos capacitores  $C_{t1}$  e  $C_{t2}$ , em que  $C_{t2}$  descarrega enquanto o outro capacitor é carregado pela corrente sobre o indutor  $L_a$ . Já que  $Q_{2b}$  está conduzindo para o aterramento, a energia armazenada no indutor  $L_b$  é entregue à saída.

Ao conectar os dois capacitores em série com polaridades opostas, a tensão aplicada sobre o indutor  $L_a$  durante este estado é reduzida, resultando em uma ondulação de corrente mais baixa que, por sua vez, permite o melhor aproveitamento da razão cíclica.

Figura 1.11 – Terceiro estágio do **Double-series Buck**.



Fonte: (KIRSHENBOIM; PERETZ, 2016).

### 1.2.3.4 Quarto estágio

O quarto estágio da topologia é idêntico ao segundo. Os dois indutores estão entre o terra e a tensão sobre o capacitor  $C_o$ , fazendo que suas correntes diminuam.

### 1.2.3.5 Considerações sobre o conversor *Buck* Série Duplo (BSD-0).

A topologia do conversor *Buck* Série Duplo (BSD-0). é interessante por apresentar um compartilhamento natural de corrente

entre as fases do conversor. Essa característica se dá pelo equilíbrio de carga nos capacitores  $C_{t1}$  e  $C_{t2}$ , independentemente de seus valores de capacitância.

A característica de razões cíclicas dependentes permite controlar a distribuição de energia por fase e possibilita o projeto adequado de cada uma das fases. No entanto, desde o atual o compartilhamento é um recurso inerente e independente de parâmetros, as duas fases podem ser projetadas de acordo com corrente média da carga que está sendo processado por cada fase, ou seja, com diferentes transistores e indutores para cada fase, para otimizar o operação, eficiência e densidade de potência do conversor.

Além disso, para esse tipo de aplicações com curto período, a corrente eficaz baixa através os transistores  $Q_c$ ,  $Q_{1a}$  e  $Q_{1b}$  permitem considerar transistores com resistência entre dreno e fonte mais alta, mas com capacitâncias muito mais baixas, o que acelera as transições de comutação e reduz ambas as perdas em comutação.

#### 1.2.4 Valley-Fill

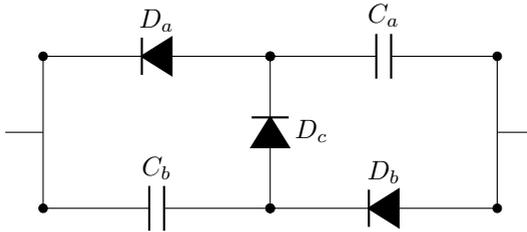
A célula *Valley-Fill* é utilizada em aplicações de controle de tensão tanto em corrente alternada quanto corrente contínua ([VECHIA; BROECK et al., 2021](#)).

A estrutura de uma célula *Valley-Fill*, é composta por três diodos e dois capacitores e, de interesse a este estudo, tem capacidade de melhorar a capacidade de redução ou elevação de tensão em uma topologia, dependendo de qual configuração é implementado.

Um modo de entender o funcionamento da célula é pensá-la como um mecanismo operacional semelhante à estrutura do capacitor chaveado. Ao carregar os terminais do capacitor, o diodo em série da estrutura fica em polarização direta, conectando os dois capacitores da estrutura em série. No descarregamento, os diodos em paralelo são polarizados diretamente, conectando ambos os capacitores em paralelo. Assim, a regulação de carga e descarga é automática, visto que se exclusivamente utiliza elementos passivos para a construção da célula *Valley-Fill*. Para uma configuração com capacitores

idênticos, sua tensão será equilibrada e igual.

Figura 1.12 – Célula *Valley-Fill*.



Fonte: Autor.

Este documento discorre sobre a integração da estrutura *Valley-Fill* no conversor *Buck Série Duplo* (BSD-0) e suas características que influenciam na sua capacidade de redução de tensão em componentes não-ideais.

### 1.3 OBJETIVOS GERAIS

Os objetivos gerais deste documento são a análise de uma família já disposta na literatura ([VECCHIA; BROECK et al., 2021](#)) de uma família de conversores CC-CC abaixadores, sua modelagem e controle de tensão de saída e o projeto e especificação de componentes para um novo ponto de operação de 48 V para 1 V a fim de determinar a sua viabilidade de aplicação.

Para esta proposta da família de conversores com *Valley-Fill*, Para esta proposta da família de conversores com *Valley-Fill* já disposta na literatura, os objetivos específicos são de analisar a topologia de cada integrante, suas etapas de operação, ganhos estáticos, esforços e cálculos de perdas para um novo ponto de operação de 48 V para 1 V. O projeto do conversor consta a modelagem de cada conversor e seu guia de projeto, a fim de dispor uma análise críticas

## 1.4 OBJETIVOS ESPECÍFICOS

- Analisar a topologia dos diversos membros da família de conversores em questão segundo etapas de operação, ganhos estáticos, esforços e cálculo de perdas.
- Montar guia de projeto.
- Modelar e estabelecer malha de controle.
- Desenvolver modelo no domínio contínuo de tempo.
- Desenvolver modelo no domínio discreto de tempo.
- Confirmar o comportamento dos conversores em malha aberta.
- Confirmar o comportamento dos conversores em malha fechada.
- Comparar erros entre valores teóricos e de simulação.
- Dispor análise crítica das topologias.

## 1.5 ESTRUTURA DO DOCUMENTO

O elemento textual está dividido em capítulos e subseções discursadas a seguir de forma consecutiva.

O primeiro capítulo dispõe sobre a relevância dos abaixadores de tensão de alta capacidade, uma revisão bibliográfica das soluções encontradas, os objetivos deste documento e sua estrutura.

Após, no segundo capítulo, a proposta será vista em sua topologia, etapas de operação, ganhos estáticos, esforços e cálculos de perdas.

O terceiro capítulo tratará da modelagem e controle da planta, primeiramente se analisará o modelo para seu controle no domínio contínuo e no domínio discreto.

Para o projeto, no quarto capítulo, uma especificação geral precederá um guia de projeto, seus resultados de simulação em malha aberta e fechada, uma comparação dos resultados teóricos

e simulados e finalizará com uma análise crítica que incluirá uma comparação com outras soluções da bibliografia.

Finalmente, o quinto e último capítulo conclui o documento e o reinsere na problemática inicial dos abaixadores de tensão.



# CAPÍTULO 2

---

## PROPOSTA DE UMA FAMÍLIA DE CONVERSORES CC-CC ABAIXADORES

---

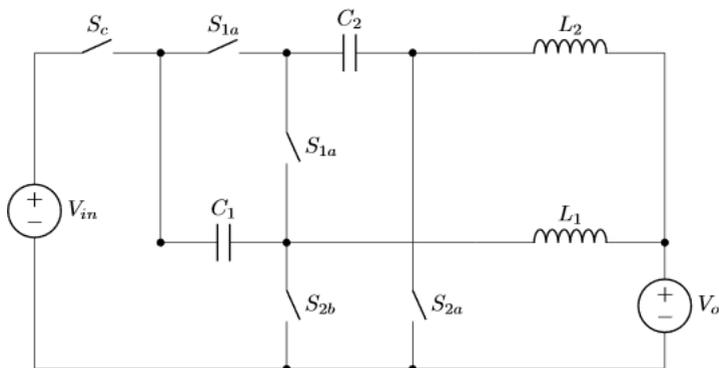
### 2.1 TOPOLOGIA

Este documento trata de uma família de conversores CC-CC abaixadores de alta capacidade.

A topologia básica é a do conversor *Buck* Série Duplo como apresentada pelo documento referenciado anteriormente na bibliografia (KIRSHENBOIM; PERETZ, 2016) e expandido para uma família de conversores (VECCHIA; BROECK et al., 2021).

#### 2.1.1 Conversor Buck Série Duplo original (BSD-0).

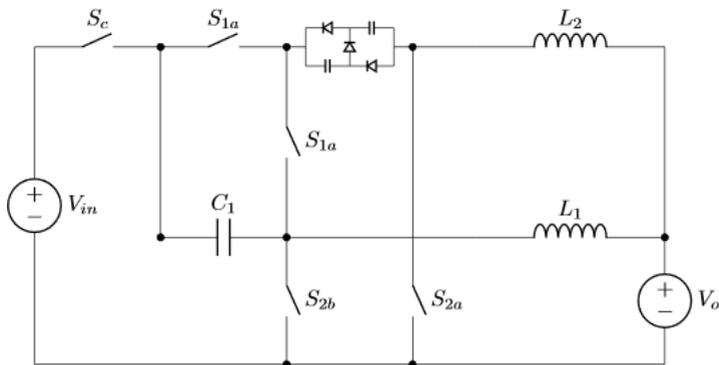
Este primeiro tipo desta família desenvolvido (KIRSHENBOIM; PERETZ, 2016) é a base dos modelos seguintes.

Figura 2.1 – Conversor *Buck* Série Duplo original (BSD-0).

Fonte: Autor.

### 2.1.2 Conversor Buck Série Duplo com Valley-Fill superior (BSD-1)

O segundo membro desta família é uma derivação do primeiro tipo ao substituir o capacitor  $C_2$  por uma célula *Valley-Fill*.

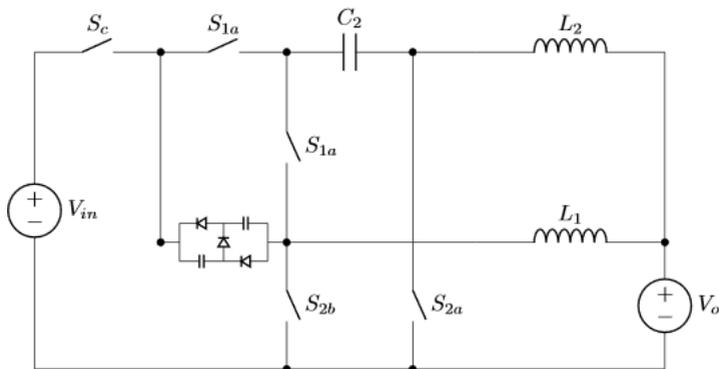
Figura 2.2 – Conversor *Buck* Série Duplo com *Valley-Fill* superior (BSD-1).

Fonte: Autor.

### 2.1.3 Conversor Buck Duplo em Série com Valley-Fill inferior (BSD-2)

Outra derivação desta família é uma derivação do primeiro tipo ao substituir o capacitor  $C_1$  por uma célula *Valley-Fill*.

Figura 2.3 – Conversor *Buck* Duplo em Série com *Valley-Fill* inferior (BSD-2).



Fonte: Autor.

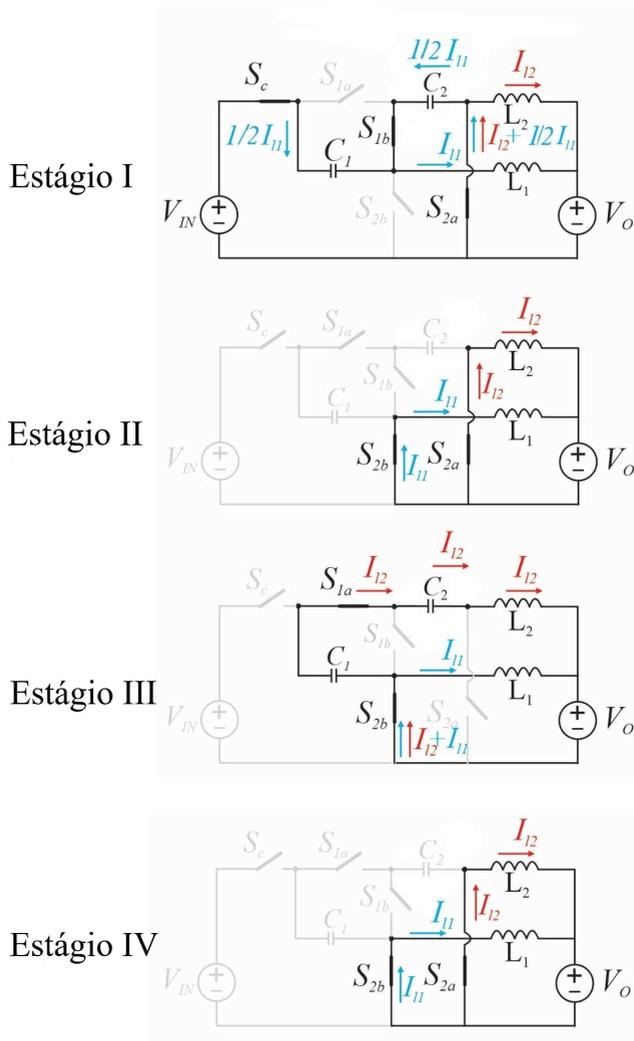
### 2.1.4 Conversor Buck Série Duplo com duas células Valley-Fill (BSD-3).

O último membro desta família é uma derivação do primeiro tipo ao substituir os capacitores  $C_1$  e  $C_2$  por células *Valley-Fill*.



## 2.2.1 BSD-0

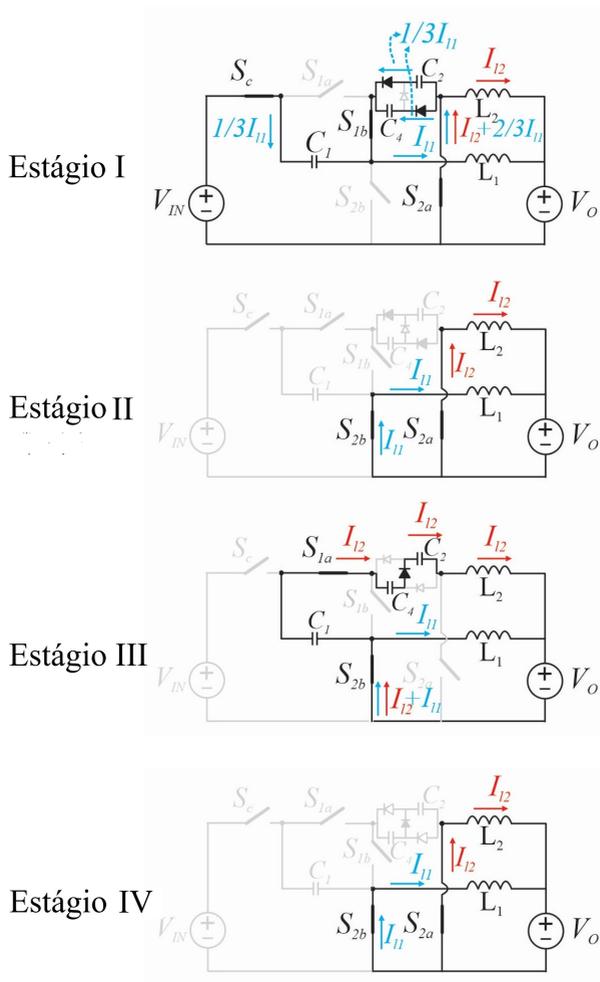
Figura 2.5 – Estágios do conversor BSD-0.



Fonte: (KIRSHENBOIM; PERETZ, 2016).

## 2.2.2 BSD-1

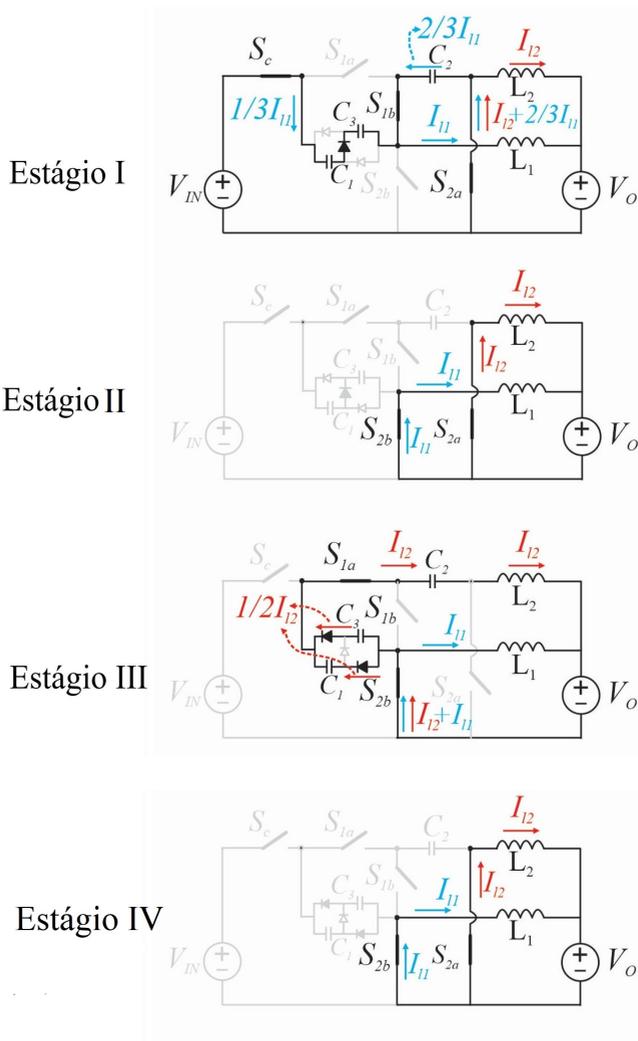
Figura 2.6 – Estágios do conversor BSD-1.



Fonte: (VECCHIA; BROECK et al., 2021).

## 2.2.3 BSD-2

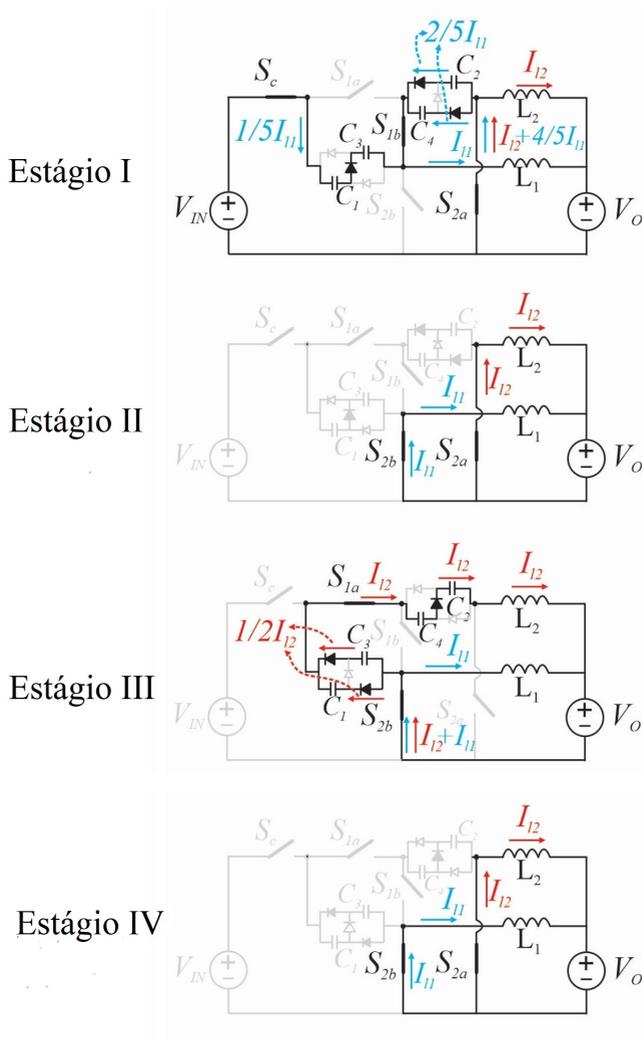
Figura 2.7 – Estágios do conversor BSD-2.



Fonte: (VECCHIA; BROECK et al., 2021).

## 2.2.4 BSD-3

Figura 2.8 – Estágios do conversor BSD-3.



Fonte: (VECCHIA; BROECK et al., 2021).

### 2.2.5 Primeiro Estágio

Para todas as topologias, o primeiro estágio está no período 0 a  $D_b.T_s$ . Durante este primeiro estágio, os interruptores  $S_c$ ,  $S_{1b}$  e  $S_{2a}$  estão fechados. Durante este estágio, os indutores  $L_1$  e  $L_2$  estão armazenando e liberando energia, respectivamente.

No caso de BSD-0, o capacitor  $C_1$  é carregado diretamente através da fonte de entrada e o capacitor oposto  $C_2$  está descarregando.

Para BSD-1, o capacitor  $C_1$  é carregado diretamente através da fonte de entrada e os capacitores do *Valley-Fill*  $C_2$  e  $C_4$  estão descarregando em paralelo.

Em BSD-2, o *Valley-Fill* é conectado na parte inferior da esquematização da topologia tal que capacitores  $C_1$  e  $C_3$  estão carregando neste estágio através da tensão de entrada, enquanto o capacitor  $C_2$  descarrega.

A topologia BSD-3 apresenta duas estruturas *Valley-Fill*, os capacitores  $C_1$  e  $C_3$  são conectados em série e carregam seus terminais via tensão de entrada, enquanto os capacitores  $C_2$  e  $C_4$  da segunda estrutura são conectadas em paralelo e descarregam seus terminais.

### 2.2.6 Segundo Estágio

Para o segundo estágio, no período entre  $D_b.T_s$  e  $\frac{T_s}{2}$ , começa quando os interruptores  $S_c$  e  $S_{1b}$  são comutados para o estado de bloqueio de corrente. Ao mesmo tempo, o interruptor  $S_{2b}$  começa a conduzir. O capacitor  $C_1$  também não está conectado durante esta fase, o que significa que a tensão em seus terminais permanece constante, semelhante ao capacitores oposto. As estruturas *Valley-Fill* permanecem em sua posição, embora os capacitores não troquem energia com o resto do circuito, o que caracteriza uma tensão constante em seus terminais. A posição da estrutura *Valley-Fill* nesta fase é importante para identificar as tensões de comutação dos semicondutores.

### 2.2.7 Terceiro Estágio

O terceiro estágio, no período  $\frac{T_s}{2}$  a  $\frac{T_s}{2} + D_a$ , começa quando o sinal PWM  $D_a$  para fechar o interruptor  $S_{1a}$  está ativo, o que leva a a abrir seu interruptor complementar  $S_{2a}$ . Os interruptores  $S_{1a}$  e  $S_{2b}$  comutam e estão agora conduzindo. Ao contrário do primeiro estágio, o indutor  $L_2$  agora armazena energia enquanto o indutor  $L_1$  libera energia para a carga. Nesta configuração, os capacitores que foram carregados durante a primeira fase estão agora descarregando e vice-versa.

Por exemplo, em BSD-0 o capacitor  $C_1$  descarrega e o capacitor oposto  $C_2$  está carregando.

Em BSD-1, enquanto o capacitor  $C_1$  descarrega, os capacitores  $C_2$  e  $C_4$  são conectados em série e carregam seus terminais.

Para BSD-2, os capacitores  $C_1$  e  $C_3$  descarregam seus terminais enquanto o capacitor  $C_2$  está carregando.

Finalmente, para BSD-3, os capacitores  $C_1$  e  $C_3$  descarregam enquanto os capacitores  $C_2$  e  $C_4$  estão carregando.

### 2.2.8 Quarto Estágio

O quarto e último estágio, do instante  $\frac{T_s}{2} + D_a$  até  $T_s$ , apresenta semelhanças com o segundo estágio, uma vez que os indutores  $L_1$  e  $L_2$  desmagnetizam e liberam energia para a carga. A principal diferença entre essas duas fases é a tensão nos semicondutores devido à posição da estrutura *Valley-Fill* no estágio anterior. Da mesma forma, o capacitores não trocam energia com o resto do circuito, o que caracteriza uma tensão considerada constante em seus terminais.

## 2.3 GANHO ESTÁTICO

O ganho de cada membro da família é específico. As equações 2.1 a 2.5 explicitam o ganho de cada topologia comparado a um conversor *Buck* tradicional. Estas equações são compatíveis com aquelas apresentadas em (VECCHIA, 2020).

$$G_{Buck} = D \quad (2.1)$$

$$G_{BSD-0} = \begin{cases} \frac{D_a \cdot D_b}{2D_a + D_b} & \text{caso } D_a \neq D_b \\ \frac{D}{3} & \text{caso } D_a = D_b \end{cases} \quad (2.2)$$

$$G_{BSD-1} = \begin{cases} \frac{D_a \cdot D_b}{3D_a + D_b} & \text{caso } D_a \neq D_b \\ \frac{D}{4} & \text{caso } D_a = D_b \end{cases} \quad (2.3)$$

$$G_{BSD-2} = \begin{cases} \frac{D_a \cdot D_b}{3D_a + 2D_b} & \text{caso } D_a \neq D_b \\ \frac{D}{5} & \text{caso } D_a = D_b \end{cases} \quad (2.4)$$

$$G_{BSD-3} = \begin{cases} \frac{D_a \cdot D_b}{5D_a + 2D_b} & \text{caso } D_a \neq D_b \\ \frac{D}{7} & \text{caso } D_a = D_b \end{cases} \quad (2.5)$$

### 2.3.1 Relação entre razões cíclicas

Reorganizando as equações de ganho para razões cíclicas distintas, cada topologia apresenta relações entre suas razões cíclicas como a nas equações 2.6 a 2.9.

$$G_{BSD-0} \rightarrow \begin{cases} D_a = \frac{G \cdot D_b}{D_b - 2G} \\ D_b = \frac{2G \cdot D_a}{D_a - G} \end{cases} \quad (2.6)$$

$$G_{BSD-1} \rightarrow \begin{cases} D_a = \frac{G \cdot D_b}{D_b - 3G} \\ D_b = \frac{3G \cdot D_a}{D_a - G} \end{cases} \quad (2.7)$$

$$G_{BSD-2} \rightarrow \begin{cases} D_a = \frac{2G \cdot D_b}{D_b - 3G} \\ D_b = \frac{3G \cdot D_a}{D_a - 2G} \end{cases} \quad (2.8)$$

$$G_{BSD-3} \rightarrow \begin{cases} D_a = \frac{2G \cdot D_b}{D_b - 5G} \\ D_b = \frac{5G \cdot D_a}{D_a - 2G} \end{cases} \quad (2.9)$$

## 2.4 ESFORÇOS

Para a análise dos esforços será tabelado o esforço de tensão e corrente para cada membro da família. A análise da tensão dos semicondutores de potência é importante para estimar a tensão de bloqueio de cada semicondutor para estimativa de perda teórica adicional e extrair a tensão máxima que cada semicondutor precisa bloquear durante um período de comutação. Para avaliar teoricamente as perdas dos semicondutores e perdas totais dos conversores as equações de corrente eficaz e média serão derivadas e mostradas em tabela para cada membro da família. Uma análise de minimização de perdas levará como base estas duas informações.

### 2.4.1 Tensão média nos capacitores

A tensão média nos capacitores deve ser utilizada para o cálculo da tensão de pico dos elementos da topologia em questão. A tensão média foi derivada pelo autor com o apoio da referência ([VECCHIA, 2020](#)).

$$BSD - 0 \rightarrow \begin{cases} V_{C_1} = \frac{D_a + D_b}{2D_a + D_b} \cdot V_{in} \\ V_{C_2} = \frac{D_a}{2D_a + D_b} \cdot V_{in} \end{cases} \quad (2.10)$$

$$BSD - 1 \rightarrow \begin{cases} V_{C_1} = \frac{2D_a + D_b}{3D_a + D_b} \cdot V_{in} \\ V_{C_2} = V_{C_4} = \frac{D_a}{3D_a + D_b} \cdot V_{in} \end{cases} \quad (2.11)$$

$$BSD - 2 \rightarrow \begin{cases} V_{C_1} = V_{C_3} = \frac{D_a + D_b}{3D_a + 2D_b} \cdot V_{in} \\ V_{C_2} = \frac{D_a}{3D_a + 2D_b} \cdot V_{in} \end{cases} \quad (2.12)$$

$$BSD - 3 \rightarrow \begin{cases} V_{C_1} = V_{C_3} = \frac{2D_a + D_b}{5D_a + 2D_b} \cdot V_{in} \\ V_{C_2} = V_{C_4} = \frac{D_a}{5D_a + 2D_b} \cdot V_{in} \end{cases} \quad (2.13)$$

### 2.4.2 Tensão nos componentes

As tensões sobre os componentes relevantes está descrito nas tabelas 2.1 a 2.4 segundo o apoio da referência ([VECCHIA, 2020](#)). Para o cálculo de tensão sobre os demais componentes, a topologia foi analisada pelo autor e escreveu-se as demais tensões como relações das capacitores expostas equações 2.10 a 2.13. A tensão de maior magnitude está sublinhada.

#### 2.4.2.1 BSD-0

Topologia	Componente	Estágio			
		1	2	3	4
BSD - 0	S <sub>c</sub>	-		<u><math>V_{in} - V_{C_1}</math></u>	
	S <sub>1a</sub>	<u><math>V_{C_1}</math></u>	$V_{C_1} - V_{C_2}$	-	$V_{C_1} - V_{C_2}$
	S <sub>1b</sub>	-	$V_{C_2}$	<u><math>V_{C_1}</math></u>	$V_{C_2}$
	S <sub>2a</sub>	-	-	<u><math>V_{C_2} - V_{C_1}</math></u>	-
	S <sub>2b</sub>	<u><math>V_{C_2}</math></u>	-	-	-

Tabela 2.1 – Tensões de pico no membro BSD-0. Fonte: ([VECCHIA, 2020](#)) e autor.

#### 2.4.2.2 BSD-1

Topologia	Componente	Estágio			
		1	2	3	4
BSD - 1	S <sub>c</sub>	-		<u><math>V_{in} - V_{C_1}</math></u>	
	S <sub>1a</sub>	<u><math>V_{C_1}</math></u>	$V_{C_1} - V_{C_2}$	-	$V_{C_1} - 2V_{C_2}$
	S <sub>1b</sub>	-	$V_{C_2}$	<u><math>V_{C_1}</math></u>	<u><math>2V_{C_2}</math></u>
	S <sub>2a</sub>	-	-	<u><math>V_{C_1} - 2V_{C_2}</math></u>	-
	S <sub>2b</sub>	<u><math>V_{C_2}</math></u>	-	-	-
	D <sub>paralelos</sub>		<u><math>V_{C_2}</math></u>	-	-
	D <sub>série</sub>	-	-		<u><math>V_{C_2}</math></u>

Tabela 2.2 – Tensões de pico no membro BSD-1. Fonte: ([VECCHIA, 2020](#)) e autor.

## 2.4.2.3 BSD-2

Topologia	Componente	Estágio			
		1	2	3	4
BSD - 2	$S_c$	-	$V_{in} - 2V_{C1}$	$V_{in} - V_{C1}$	
	$S_{1a}$	$2V_{C1}$	$2V_{C1} - V_{C2}$	-	$V_{C1} - V_{C2}$
	$S_{1b}$	-	$V_{C2}$	$V_{C1}$	$V_{C2}$
	$S_{2a}$	-	-	$V_{C1} - V_{C2}$	-
	$S_{2b}$	$V_{C2}$	-	-	-
	$D_{paralelos}$	-	-	$V_{C1}$	-
	$D_{série}$		$V_{C1}$	-	-

Tabela 2.3 – Tensões de pico no membro BSD-2. Fonte: (VECCHIA, 2020) e autor.

## 2.4.2.4 BSD-3

Topologia	Componente	Estágio			
		1	2	3	4
BSD - 3	$S_c$	-	$V_{in} - 2V_{C1}$	$V_{in} - V_{C1}$	
	$S_{1a}$	$2V_{C1}$	$2V_{C1} - V_{C2}$	-	$V_{C1} - V_{C2}$
	$S_{1b}$	-	$V_{C2}$	$V_{C1}$	$2V_{C2}$
	$S_{2a}$	-	-	$2V_{C1} - V_{C2}$	-
	$S_{2b}$	$V_{C2}$	-	-	-
	$D_{paralelos-1}$	-	-	$V_{C1}$	-
	$D_{série-1}$		$V_{C1}$	-	-
	$D_{paralelos-2}$		$V_{C2}$	-	-
	$D_{série-2}$	-	-	$V_{C2}$	-

Tabela 2.4 – Tensões de pico no membro BSD-3. Fonte: (VECCHIA, 2020) e autor.

## 2.4.3 Correntes nos componentes

Primeiramente, expõe-se a corrente sobre os indutores, com o apoio da referência (VECCHIA, 2020).

$$BSD - 0 \rightarrow \begin{cases} I_{L1} = \frac{2D_a}{2D_a + D_b} \cdot I_o \\ I_{L2} = \frac{D_b}{2D_a + D_b} \cdot I_o \end{cases} \quad (2.14)$$

$$BSD - 1 \rightarrow \begin{cases} I_{L1} = \frac{3D_a}{3D_a + D_b} \cdot I_o \\ I_{L2} = \frac{D_b}{3D_a + D_b} \cdot I_o \end{cases} \quad (2.15)$$

$$BSD - 2 \rightarrow \begin{cases} I_{L_1} = \frac{3D_a}{3D_a+2D_b} \cdot I_o \\ I_{L_2} = \frac{2D_b}{3D_a+2D_b} \cdot I_o \end{cases} \quad (2.16)$$

$$BSD - 3 \rightarrow \begin{cases} I_{L_1} = \frac{5D_a}{5D_a+2D_b} \cdot I_o \\ I_{L_2} = \frac{2D_b}{5D_a+2D_b} \cdot I_o \end{cases} \quad (2.17)$$

#### 2.4.4 Correntes médias e eficazes nos componentes

No cálculo das correntes médias, serão utilizados como apoio as figuras 2.5 a 2.8. Estas imagens nos indicam qual fração da corrente nos indutores percorrem cada elemento a cada fase. Portanto, o autor pode determinar a corrente média e eficaz de cada componente utilizando as equações 2.14 a 2.17 de corrente nos indutores em vista do tempo de funcionamento de cada estágio determinado pelas razões cíclicas  $D_a$  e  $D_b$ . As correntes sobre os componentes relevantes estão expostas nas tabelas 2.5 a 2.8.

## 2.4.4.1 BSD-0

Topologia	Componente	Grandeza	
		Média	Eficaz
BSD - 0	S <sub>c</sub>	$\frac{D_b}{2} \cdot I_{L1}$	$\frac{\sqrt{D_b}}{2} \cdot I_{L1}$
	S <sub>1a</sub>	$D_a \cdot I_{L2}$	$\sqrt{D_a} \cdot I_{L2}$
	S <sub>1b</sub>	$\frac{-D_b}{2} \cdot I_{L1}$	$\frac{\sqrt{D_b}}{2} \cdot I_{L1}$
	S <sub>2a</sub>	$\frac{-D_b}{2} \cdot I_{L1} + (D_a - 1) \cdot I_{L2}$	$\sqrt{\frac{D_a}{4} \cdot I_{L1}^2 + (1 - D_b) \cdot I_{L2}^2}$
	S <sub>2b</sub>	$(D_b - 1) \cdot I_{L1} - D_a \cdot I_{L2}$	$\sqrt{(1 - D_b) \cdot I_{L1}^2 + D_a \cdot I_{L2}^2 + 2 \cdot D_a \cdot I_{L1} \cdot I_{L2}}$
	C <sub>1</sub>	$\frac{D_b}{2} \cdot I_{L1} - D_a \cdot I_{L2}$	$\sqrt{\frac{D_b}{4} \cdot I_{L1}^2 + D_a \cdot I_{L2}^2}$
	C <sub>2</sub>	$-\frac{D_b}{2} \cdot I_{L1} + D_a \cdot I_{L2}$	$\sqrt{\frac{D_b}{4} \cdot I_{L1}^2 + D_a \cdot I_{L2}^2}$

Tabela 2.5 – Correntes no membro BSD-0.

## 2.4.4.2 BSD-1

Topologia	Componente	Grandeza	
		Média	Eficaz
BSD - 1	S <sub>c</sub>	$\frac{D_b}{3} \cdot I_{L1}$	$\frac{\sqrt{D_b}}{3} \cdot I_{L1}$
	S <sub>1a</sub>	$D_a \cdot I_{L2}$	$\sqrt{D_a} \cdot I_{L2}$
	S <sub>1b</sub>	$\frac{-2D_b}{3} \cdot I_{L1}$	$\frac{2\sqrt{D_b}}{3} \cdot I_{L1}$
	S <sub>2a</sub>	$\frac{-2D_b}{3} \cdot I_{L1} + (D_a - 1) \cdot I_{L2}$	$\sqrt{\frac{4D_a}{9} \cdot I_{L1}^2 + (1 - D_b) \cdot I_{L2}^2}$
	S <sub>2b</sub>	$(D_b - 1) \cdot I_{L1} - D_a \cdot I_{L2}$	$\sqrt{(1 - D_b) \cdot I_{L1}^2 + D_a \cdot I_{L2}^2 + 2 \cdot D_a \cdot I_{L1} \cdot I_{L2}}$
	C <sub>1</sub>	$\frac{D_b}{3} \cdot I_{L1} - D_a \cdot I_{L2}$	$\sqrt{\frac{D_b}{9} \cdot I_{L1}^2 + D_a \cdot I_{L2}^2}$
	C <sub>2, C<sub>4</sub></sub>	$-\frac{D_b}{3} \cdot I_{L1} + D_a \cdot I_{L2}$	$\sqrt{\frac{D_b}{9} \cdot I_{L1}^2 + D_a \cdot I_{L2}^2}$
	D <sub>série</sub>	$\frac{D_b}{3} \cdot I_{L1}$	$\frac{\sqrt{D_b}}{3} \cdot I_{L1}$
	D <sub>paralelo</sub>	$D_a \cdot I_{L2}$	$\sqrt{D_a} \cdot I_{L2}$

Tabela 2.6 – Correntes no membro BSD-1.

2.4.4.3 BSD-2

Topologia	Componente	Grandeza	
		Média	Eficaz
BSD - 2	S <sub>c</sub>	$\frac{D_b}{3} \cdot I_{L1}$	$\frac{\sqrt{D_b}}{3} \cdot I_{L1}$
	S <sub>1a</sub>	$D_a \cdot I_{L2}$	$\sqrt{D_a} \cdot I_{L2}$
	S <sub>1b</sub>	$\frac{-2D_b}{3} \cdot I_{L1}$	$\frac{2\sqrt{D_b}}{3} \cdot I_{L1}$
	S <sub>2a</sub>	$\frac{-2D_b}{3} \cdot I_{L1} + (D_a - 1) \cdot I_{L2}$	$\sqrt{\frac{4D_a}{9} \cdot I_{L1}^2 + (1 - D_b) \cdot I_{L2}^2} + \frac{4D_b}{3} \cdot I_{L1} \cdot I_{L2}$
	S <sub>2b</sub>	$(D_b - 1) \cdot I_{L1} + D_a \cdot I_{L2}$	$\sqrt{(1 - D_b) \cdot I_{L2}^2 + D_a \cdot I_{L2}^2} + 2 \cdot D_a \cdot I_{L1} \cdot I_{L2}$
	C <sub>1</sub> , C <sub>3</sub>	$\frac{D_b}{3} \cdot I_{L1} - \frac{D_a}{2} \cdot I_{L2}$	$\sqrt{\frac{D_b}{9} \cdot I_{L1}^2 + \frac{D_a}{4} \cdot I_{L2}^2}$
	C <sub>2</sub>	$\frac{-2D_b}{3} \cdot I_{L1} + D_a \cdot I_{L2}$	$\sqrt{\frac{4D_b}{9} \cdot I_{L1}^2 + D_a \cdot I_{L2}^2}$
	D <sub>série</sub>	$\frac{D_b}{2} \cdot I_{L1}$	$\frac{\sqrt{D_b}}{2} \cdot I_{L1}$
	D <sub>parelelo</sub>	$\frac{D_a}{3} \cdot I_{L2}$	$\frac{\sqrt{D_a}}{3} \cdot I_{L2}$

Tabela 2.7 – Correntes no membro BSD-2.

## 2.4.4.4 BSD-3

Topologia	Componente	Grandeza	
		Média	Eficaz
BSD - 3	S <sub>c</sub>	$\frac{D_b}{5} \cdot I_{L1}$	$\frac{\sqrt{D_b}}{5} \cdot I_{L1}$
	S <sub>1a</sub>	$D_a \cdot I_{L2}$	$\sqrt{D_a} \cdot I_{L2}$
	S <sub>1b</sub>	$\frac{-4D_b}{5} \cdot I_{L1}$	$\frac{2\sqrt{4D_b}}{5} \cdot I_{L1}$
	S <sub>2a</sub>	$\frac{-4D_b}{5} \cdot I_{L1} + (D_a - 1) \cdot I_{L2}$	$\sqrt{\frac{16D_a}{25} \cdot I_{L1}^2 + (1 - D_b) \cdot I_{L2}^2}$
	S <sub>2b</sub>	$(D_b - 1) \cdot I_{L1} + D_a \cdot I_{L2}$	$\sqrt{(1 - D_b) \cdot I_{L2}^2 + D_a \cdot I_{L2}^2 + 2 \cdot D_a \cdot I_{L1} \cdot I_{L2}}$
	C <sub>1</sub> , C <sub>3</sub>	$\frac{D_b}{5} \cdot I_{L1} - \frac{D_a}{2} \cdot I_{L2}$	$\sqrt{\frac{D_b}{25} \cdot I_{L1}^2 + \frac{D_a}{4} \cdot I_{L2}^2}$
	C <sub>2</sub> , C <sub>4</sub>	$\frac{-2D_b}{5} \cdot I_{L1} + D_a \cdot I_{L2}$	$\sqrt{\frac{4D_b}{25} \cdot I_{L1}^2 + D_a \cdot I_{L2}^2}$
	D <sub>série-1</sub>	$\frac{D_a}{2} \cdot I_{L1}$	$\frac{\sqrt{D_a}}{2} \cdot I_{L1}$
	D <sub>paralelo-1</sub>	$\frac{D_b}{5} \cdot I_{L2}$	$\frac{\sqrt{D_b}}{5} \cdot I_{L2}$
	D <sub>série-2</sub>	$\frac{2D_b}{5} \cdot I_{L1}$	$\frac{4\sqrt{D_a}}{5} \cdot I_{L1}$
D <sub>paralelo-2</sub>	$D_a \cdot I_{L2}$	$\sqrt{D_a} \cdot I_{L2}$	

Tabela 2.8 – Correntes no membro BSD-3.

## 2.5 CÁLCULO DE PERDAS

Para as perdas estimadas serão consideradas as perdas de condução e comutação nos interruptores semicondutores, as perdas de condução dos diodos de potência e as perdas ôhmicas dos indutores. Essas perdas são geradas, respectivamente, pela resistência em série do canal do semicondutor ao entrar em condução ( $P_{cond}$ ), a sobreposição entre tensão e corrente durante as transições de chaveamento destes mesmos semicondutores ( $P_{com}$ ), pelo circuito equivalente do diodo de condução ( $P_D$ ) e perdas ôhmicas do indutor ( $P_L$ ). Este conjunto de equações é apresentado nas equações 2.18 a 2.20.

$$\text{Semicondutores} \rightarrow \begin{cases} P_{cond} = r_{ON} \cdot I_{eficaz}^2 \\ P_{com} = \frac{1}{2} \cdot V_{block} \cdot I_{max} \cdot f_s \cdot (t_{ON} + t_{OFF}) \end{cases} \quad (2.18)$$

$$\text{Diodos} \rightarrow \left\{ P_D = v_t \cdot I_{médio} + r_d \cdot I_{eficaz}^2 \right. \quad (2.19)$$

$$\text{Indutores} \rightarrow \left\{ P_L = r_L \cdot I_{eficaz}^2 \right. \quad (2.20)$$

Essas perdas são calculadas usando as seguintes variáveis: resistência equivalente dreno-fonte dos semicondutores ativos ( $r_{ON}$ ), a tensão e a corrente de bloqueio dos semicondutores durante Transição ON/OFF ( $V_{block}$  e  $I_{max}$ ), a comutação operacional frequência ( $f_s$ ), o tempo de transição dos semicondutores para ligar e desligar ( $t_{ON}$  e  $t_{OFF}$ ), a tensão direta ( $v_t$ ) e equivalente resistência dos diodos ( $r_d$ ) e a série  $r_L$  equivalente resistência dos indutores.

## 2.6 CONCLUSÃO DO CAPÍTULO

Este capítulo expandiu a análise sobre conversor *Buck* Série Duplo original BSD-0 e os outros três integrantes da família de conversores.

Após apresentada as etapas de operação de cada elemento nas figuras 2.5 a 2.8, explicou-se de forma concisa e comparativa sobre o funcionamento destas operações. O mais relevante fator sobre a escolha é, sem dúvida, relação da razão cíclica com o ganho. Esta família de conversores aceita  $\frac{D}{3}$ ,  $\frac{D}{4}$ ,  $\frac{D}{5}$  e  $\frac{D}{7}$  quando comparado com o *Buck* tradicional para o caso das duas razões cíclicas operantes se igualarem. Caso se deseje operar em valores de razões cíclicas distintos, é possível calcular o valor de ganho da topologia segundo as equações 2.2 a 2.5.

Os esforços de tensão de cada topologia são observados utilizando as equações de tensão nos capacitores 2.10 a 2.10 nas tabelas 2.1 a 2.1 de tensão de pico sobre os componentes e, analogamente, as equações nos indutores 2.14 a 2.17 nas tabelas 2.5 a 2.8 correntes média e eficaz sobre cada elemento da topologia. Para, finalmente, calcular a eficiência de cada topologia em uma determinada configuração utilizando as equações 2.18 a 2.18.

Para o cálculo da eficiência, será utilizadas as perdas totais. Para isso, é necessário observar as tensões e correntes impostas sobre os elementos do conversor em questão e seu tempo de operação a cada estágio. As tensões dos diversos elementos de cada topologia a cada estágio de operação pode ser calculado a partir da tensão dos capacitores da mesma. As correntes, por sua vez, podem ser calculadas de forma semelhante, porém através da corrente sobre os indutores da topologia. Uma análise de perdas totais deverá observar as relações de  $D_a$  e  $D_b$ , pois as perdas dependem de correntes que, por sua vez, são consequência das razões cíclicas. Usando a relação entre os ciclos de trabalho apresentados, é possível determinar o ciclo de trabalho operacional ideal para diminuir as perdas do conversor.



# CAPÍTULO 3

---

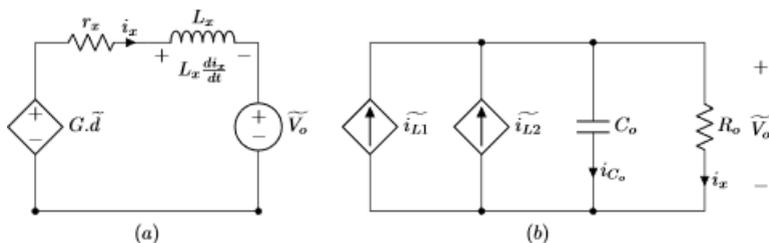
## MODELAGEM E CONTROLE

---

### 3.1 MODELAGEM

A avaliação da estabilidade do conversor e do projeto de controle da tensão de saída de acordo com as especificações do projeto é realizada através de uma análise de pequenos sinais deve ser feita. A análise a seguir é apresentada para um ganho genérico  $G$ , porém deve ser substituído por o valor da topologia a ser analisada mas pode ser estendido para as demais topologias que fazem parte da família proposta. A análise considera as perdas ôhmicas dos indutores como o principal fator de amortecimento.

Figura 3.1 – Circuito equivalente para a análise de pequenos sinais: (a) circuito equivalente considerando a tensão nos indutores  $L_1$  e  $L_2$ ; (b) circuito equivalente da tensão de saída  $V_{C_o}$ .



Fonte: Autor.

A Figura 3.1 é uma simplificação da análise de pequenos sinais das topologias BSD-0 a BSD-3 em estudo. Embora algumas topologias apresentem mais que dois elementos passivos no estágio de potência devido a presença dos capacitores ou células *Valley-Fill* intermediários, o circuito é sempre representado por uma equação de segunda ordem, pois estes capacitores introduzem pólos muito distantes do plano  $s$  - em outras palavras, os capacitores são considerados com tensão constante. Uma topologia se difere da outra pela variável  $G$  da Figura 3.1 (a), que deve ser substituída pela relação adequada de cada membro. No caso,  $\frac{V_{in}}{3}$ ,  $\frac{V_{in}}{4}$ ,  $\frac{V_{in}}{5}$  e  $\frac{V_{in}}{7}$  para BSD-0 a BSD-3, respectivamente. Dada estas substituições adequadas, utiliza-se a Figura 3.1 de circuito equivalente de pequenos sinais para a determinação das funções de transferência de cada membro da topologia na obtenção das equações 3.1 a 3.4.

$$BSD - 0 \rightarrow \frac{V_{C_o}}{d} = \frac{\frac{2}{3} \cdot V_{in}}{(C_o \cdot L) \cdot s^2 + (C_o \cdot r_L + \frac{L}{R_o}) \cdot s + (2 + \frac{r_L}{R_o})} \quad (3.1)$$

$$BSD - 1 \rightarrow \frac{V_{C_o}}{d} = \frac{\frac{1}{2} \cdot V_{in}}{(C_o \cdot L) \cdot s^2 + (C_o \cdot r_L + \frac{L}{R_o}) \cdot s + (2 + \frac{r_L}{R_o})} \quad (3.2)$$

$$BSD - 2 \rightarrow \frac{V_{C_o}}{d} = \frac{\frac{2}{5} \cdot V_{in}}{(C_o \cdot L) \cdot s^2 + (C_o \cdot r_L + \frac{L}{R_o}) \cdot s + (2 + \frac{r_L}{R_o})} \quad (3.3)$$

$$BSD - 3 \rightarrow \frac{V_{C_o}}{d} = \frac{\frac{2}{7} \cdot V_{in}}{(C_o \cdot L) \cdot s^2 + (C_o \cdot r_L + \frac{L}{R_o}) \cdot s + (2 + \frac{r_L}{R_o})} \quad (3.4)$$

## 3.2 VALIDAÇÃO DA FUNÇÃO DE TRANSFERÊNCIA

Para validar qualitativamente a função de transferência, foi comparada a resposta da topologia por meio de simulação com a resposta da função de transferência obtida. Para isso, será utilizada uma validação no tempo e outra em frequência de um degrau de razão cíclica.

A configuração de degrau de validação é segundo as equações de ganho 2.2 a 2.5 para cada elemento respectivo da família. Assim, as magnitudes dos degraus são segundo o ganho de cada topologia para razões cíclicas iguais de  $D_a$  e  $D_b$ , como nas equações 2.2 a 2.5, de 3 vezes o ganho  $\frac{V_o}{V_{in}}$  para BSD-0, 4 vezes para BSD-1, 5 para BSD-2 e 7 para BSD-3. Esta validação tem como objetivo avaliar o conversor BSD-0, porém uma análise semelhante pode ser expandida para cada um dos membros.

Na construção da função de transferência, uma consideração importante foi que os capacitores do sistema foram considerados como tensão constante a fim de diminuir o grau da função de transferência. Por este motivo, a primeira validação considerará as tensões dos capacitores constantes e a segunda considerará os capacitores com sua variação real de tensão.

Também foram desconsideradas as não-idealidades de impedância e queda de tensão nos diodos como visto na Figura 3.1. As resistências dos indutores são o principal fator de amortecimento da malha equivalente considerando a tensão nos indutores.

### 3.2.1 Validação no tempo e na frequência

A validação no tempo se dá por degraus na razão cíclica do sistema. Para a validação do sistema de pequeno sinais, utilizou-se uma variação de 1%.

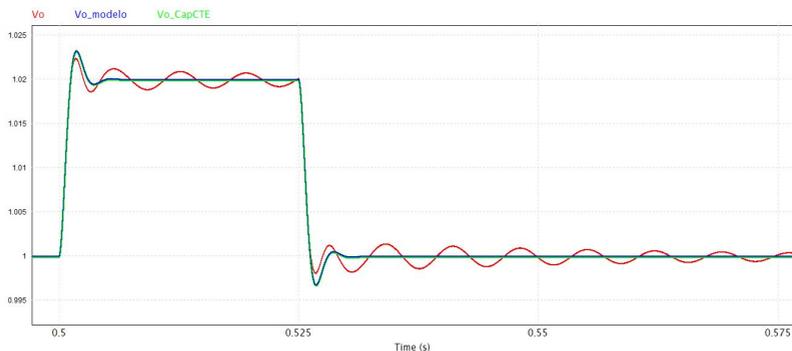
É possível nas figuras observar que o caso em que os capacitores são forçados a uma tensão constante corresponde perfeitamente a resposta do modelo, o sistema real com tensão variável nos capacitores apresenta uma ondulação esperada devido a flutuação do valor de tensão dos capacitores da topologia. Nas figuras no tempo,

também espera-se um pequeno desvio estático tanto antes quanto depois da perturbação, pois foram mantidas as não-idealidades de resistência nos indutores e interruptores e das quedas de tensão nos diodos para o conversor real a fim de avaliar qualitativamente as discrepâncias causadas pelas mesmas.

A validação em frequência deverá acusar duas considerações de controle: Primeiramente, quando a frequência analisada se aproximar da frequência de comutação do sistema - neste caso, 100 kHz - a resposta do modelo não deve corresponder mais ao sistema, pois a frequência injetada na razão cíclica se confundirá com a sua comutação. Além disso, espera-se que o sistema real acuse picos de frequência correspondentes à ondulação da resposta no tempo sujeita à ondulação de tensão nos capacitores.

### 3.2.1.1 BSD-0

Figura 3.2 – Validação do membro BSD-0 no tempo.

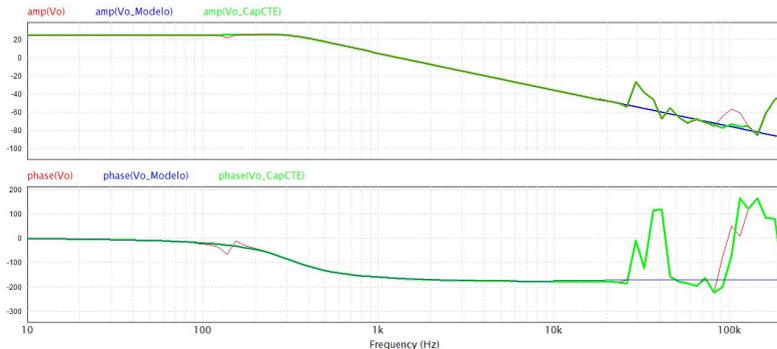


Fonte: Autor.

Nesta configuração da Figura 3.2, pode-se ver que o caso em que os capacitores são forçados a uma tensão constante (a linha em verde) segue perfeitamente o modelo. Como esperado, o sistema real (com o traçado em vermelho) possui a tensão variável nos capacitores observada pela ondulação devido a flutuação do valor de tensão dos capacitores da topologia. Como esta configuração não possui diodos,

o pequeno desvio estático devido às não-idealidades do sistema real é mínimo.

Figura 3.3 – Validação do membro BSD-0 na frequência.

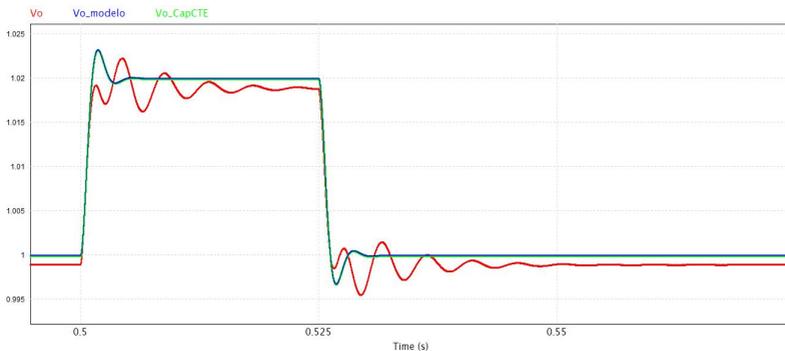


Fonte: Autor.

Na varredura de frequência da Figura 3.3, observa-se o comportamento desta ondulação se manifestando como um pico na frequência.

### 3.2.1.2 BSD-1

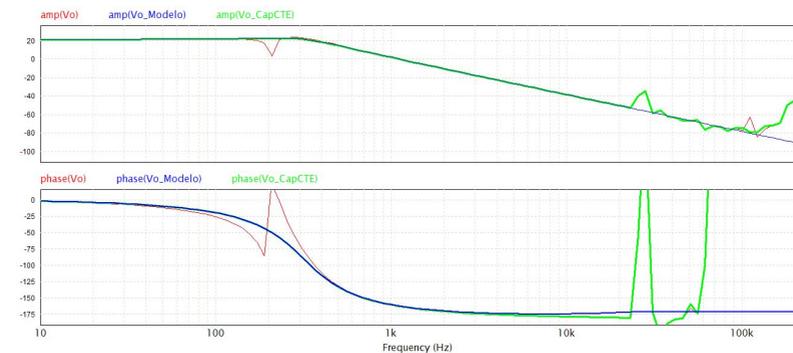
Figura 3.4 – Validação do membro BSD-1 no tempo.



Fonte: Autor.

Na Figura 3.4, observa-se a discrepância do caráter ondulatório da topologia real. Em regime, o pequeno desvio estático tanto antes quanto depois da perturbação é mais notório que no caso , ou seja, foi algo esperado devido às não-idealidades que foram mantidas para o conversor real a fim de analisar as discrepâncias das mesmas.

Figura 3.5 – Validação do membro BSD-1 na frequência.

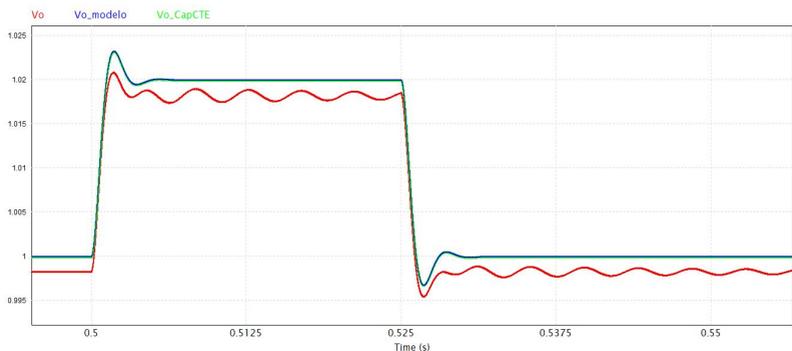


Fonte: Autor.

O pico na frequência observado na Figura 3.5 é mais pro-  
tuberante, porém o comportamento é semelhante entre os membros  
da família.

## 3.2.1.3 BSD-2

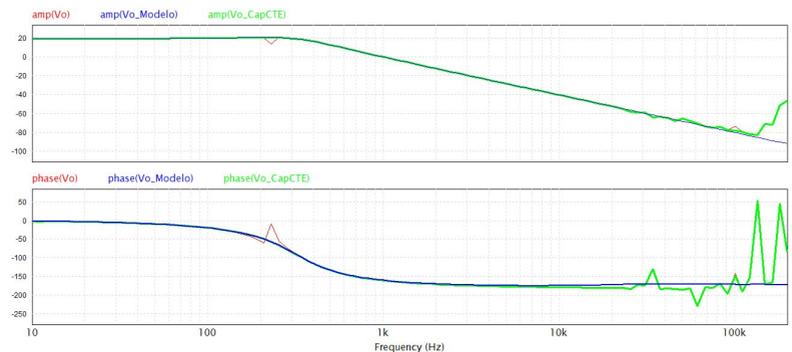
Figura 3.6 – Validação do membro BSD-2 no tempo.



Fonte: Autor.

Há mais uma vez na Figura ?? um pequeno erro estático tanto antes quanto depois da perturbação, ou seja, novamente esta configuração desvia, como esperado, do ponto.

Figura 3.7 – Validação do membro BSD-2 na frequência.



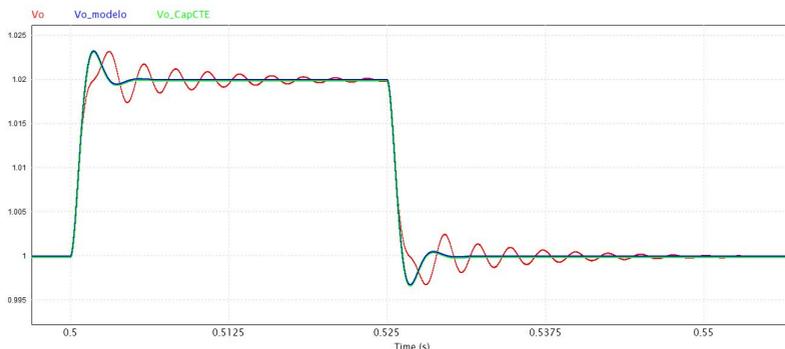
Fonte: Autor.

O pico de frequência na Figura ?? é diferente entre os outros membros da família, pois a inserção de uma célula *Valley-Fill* em locais diferentes da topologia base altera as especificidades da

ondulação.

### 3.2.1.4 BSD-3

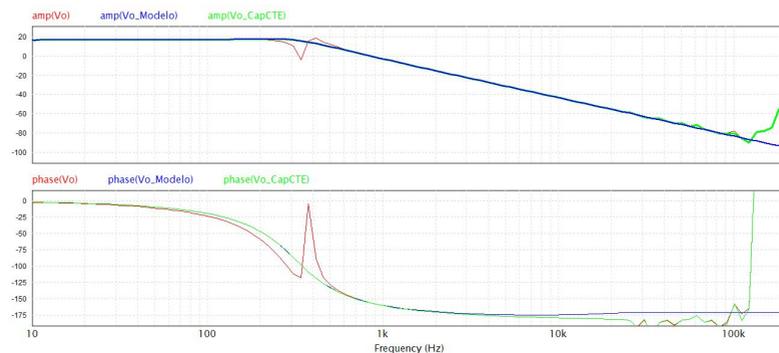
Figura 3.8 – Validação do membro BSD-3 no tempo.



Fonte: Autor.

Nesta configuração da Figura 3.8 em que os diodos estão nas duas linhas de corrente dos indutores, o desvio estático não se manifesta tão fortemente quanto nas figuras 3.4 e ???. Assim, o caráter ondulatorio devido à ondulação de tensão nos capacitores fica mais distorcido. Espera-se uma grande protuberância na tensão em frequência pelo desvio ondulatorio não-trivial.

Figura 3.9 – Validação do membro BSD-3 na frequência.



Fonte: Autor.

Na frequência vemos que a margem de fase está bastante protuberante, porém este não apresenta problema para o controle pois a frequência escolhida para o controle é muito baixa.

### 3.3 CONTROLE NO DOMÍNIO CONTÍNUO

A planta encontrada na seção anterior pode ser controlada com um controlador proporcional - integral (PI) para cada fase de razão cíclica. Neste caso, dois controladores, um para  $D_a$  e outro para  $D_b$ , com seus sinais PWM defasados de 180 graus, pois um será ativado durante o estado baixo do outro. A escolha feita para controlar a relação entre um e outro é adicionar uma margem de fase entre os dois controladores.

$$G_s = K_{cc} \cdot \frac{1 + s.T_{cc}}{s.T_{cc}} \quad (3.5)$$

### 3.4 CONTROLE NO DOMÍNIO DISCRETO

A modelagem do controle contínuo para o domínio discreto será realizada com auxílio da transformada bilinear de Tustin.

$$s = \frac{2}{T} \cdot \left( \frac{1 - Z^{-1}}{1 + Z^{-1}} \right) \quad (3.6)$$

Aplicando a equação (3.6) em (3.5), temos a seguinte fórmula para o integrador proporcional dependente do período de amostragem  $T_s$ .

$$G_Z = K_{cc} \cdot \frac{\left( \frac{T_{amos}}{2.T_{cc}} + 1 \right) \cdot Z + \left( \frac{T_{amos}}{2.T_{cc}} - 1 \right)}{Z - 1} \quad (3.7)$$

### 3.5 CONCLUSÃO DE CONTROLE

Este capítulo de controle do sistema incluiu a validação da função de transferência e seu controle nos domínios contínuo e discreto. É importante analisar a estratégia de controle a fim de avaliar a estabilidade do conversor, pois a tensão de saída deve estar de acordo com as especificações do projeto. A análise de pequenos sinais indica que apesar dos membros da família possuírem mais de dois elementos passivos, pois os dois indutores são acoplados com dois ou mais capacitores, o circuito é sempre representado por uma equação de segunda ordem, pois estes capacitores introduzem polos muito distantes do plano  $s$ . A função de transferência pôde ser validada segundo estas considerações, tanto no tempo quanto na análise de frequência, demonstrando a validade destas suposições para pequenos sinais e variações.

Assim, o controle por um controlador proporcional-integral no domínio contínuo e transformado para o domínio discreto através da transformada bilinear de Tustin. Os valores escolhidos pelo projetista para a frequência de corte do integrador de controle será de 10 *Hz*. Para a frequência de amostragem será de 5 vezes a frequência de comutação (neste caso, 500 *kHz*). A partir disto, será possível montar o guia de projeto e analisar a eficiência dos elementos da família com segurança de que o controle garante sua validade.



# CAPÍTULO 4

---

## PROJETO

---

### 4.1 ESPECIFICAÇÃO

A família de conversores será utilizada para para tensão de entrada  $V_{in}$  de 48 V CC e uma tensão de saída  $V_o$  de 1 V CC. A frequência de comutação será de 100 kHz. Para uma potência de 100 W, espera-se uma corrente de entrada de aproximadamente 2,083 A CC e uma corrente de saída de 100 A CC.

### 4.2 GUIA DE PROJETO

A fim de simplicidade de projeto, será utilizado um único modelo de interruptor MOSFET, capacitor, diodo e indutor para os quatro modelos, baseado no caso com maior demanda possível das tabelas de tensão 2.1 a 2.4 e de corrente 2.5 a 2.8. Para isso, os valores das razões cíclicas  $D_a$  e  $D_b$  são considerados iguais e com o valor segundo as equações 2.2 a 2.5 em um ganho de 48 V CC para 1 V CC.

Componente	Grandeza	
	Tensão de Bloqueio	Corrente Eficaz
Interruptores	$S_{1a} - Estágio1 [BSD - 3]$	$S_{2b} [BSD - 0]$
Capacitores	$V_{C_2} [BSD - 1]$	$I_{C_2} [BSD - 1]$
Indutores	-	$I_{L2} [BSD - 3]$
Diodos	$V_{D_{série-2}} [BSD - 3]$	$I_{D_{paralelos-1}} [BSD - 3]$

Tabela 4.1 – Tensões e corrente eficaz selecionadas para o guia de projeto.

A Tabela 4.1 mostra qual posição e em qual topologia cada tipo de componente possui maior estresse de tensão e de corrente. Por exemplo, para os interruptores, a tensão de bloqueio é máxima no interruptor  $S_{1a}$  durante o primeiro estágio da topologia BSD-3. Portanto, a fim de determinar um único modelo de interruptor para todas as topologias, será utilizado este valor de tensão para determinar a tensão de bloqueio necessária no modelo. Da mesma forma, a Tabela 4.1 determina os maiores valores de tensão de bloqueio e de corrente eficaz para cada todos os tipos de componente.

Calculando os valores de cada elemento da Tabela 4.1, configura-se a Tabela 4.2. A partir desta tabela a seguir, é possível determinar

Componente	Grandeza	
	Tensão de Bloqueio	Corrente Eficaz
Interruptores	41,60 V	70,10 A
Capacitores	38,04 V	37,96 A
Indutores	-	70,10 A
Diodos	30,72 V	31,12 A

Tabela 4.2 – Valores para o guia de projeto.

Estes valores da Tabela 4.2 será posteriormente utilizado para a seleção dos componentes.

#### 4.2.1 Valores de elementos passivos

Para fins experimentais, é realizada uma análise teórica para calcular os valores do indutor e do capacitor para cumprir as especificações de projeto. Indutores e capacitores foram selecionados com base em sua ondulação de corrente e tensão, respectivamente. A ondulação de corrente aceita para a especificação de projeto é definida a 20% da corrente nominal do indutor. O valor da indutância é calculado para a perna intercalada que processa a maior nível atual. A indutância utilizada para ambos os indutores da estrutura intercala-

da é calculada a partir da equação a seguir.

$$L = \frac{V_L \cdot D}{f_s \cdot \Delta I\% \cdot I_L} \quad (4.1)$$

Para garantir que os limites de variação de corrente sejam obedecidos independentemente do membro escolhido, será utilizado os valores relevantes segundo a Tabela 4.2.

$$L = \frac{33, 29.0, 14583}{100k \cdot \frac{20}{100} \cdot 70, 10} = 3, 46\mu H \quad (4.2)$$

Substituindo os valores de acordo, um valor de indutância de  $3,46\mu$  H é calculada. Um valor superior pode ser utilizado caso seja necessário.

Uma análise semelhante foi feita para o tensão de ondulação dos capacitores. A equação a seguir apresenta o cálculo mencionado de capacitores segundo uma variação de tensão de saída de 5%.

$$C = \frac{i_C \cdot D}{f_s \cdot \Delta V\% \cdot V_C} \quad (4.3)$$

A capacitância é utilizada para todos os capacitores,  $C_1$  a  $C_4$ , possível de cada topologia. Utilizando o cálculo no membro com maior relação  $\frac{i_C}{V_C}$ , descobrimos novamente seguindo a Tabela 4.2.

$$C = \frac{37, 96.0, 14583}{100k \cdot \frac{10}{100} \cdot 57, 1429} = 9, 69\mu F \approx 10\mu F \quad (4.4)$$

Substituindo os valores de acordo, um valor de capacitância de  $9,69\mu$  F é calculada. Novamente, substitui-se por um capacitor com maior capacitância, caso preciso.

Além destes elementos passivos da topologia, a carga também é modelada por um capacitor em paralelo com um resistor. O resistor pode ser calculado pela equação a seguir.

$$R_o = \frac{V^2}{P} = \frac{1^2}{100} = 10m\Omega \quad (4.5)$$

O capacitor em paralelo com o resistor de saída, é calculado a partir da equação de ondulação, a fim de respeitar os valores de projeto de 2%. Em seu cálculo, devemos utilizar a ondulação da corrente de saída, a soma da corrente dos indutores na saída. Um detalhe a se atentar é que a frequência efetiva da ondulação da corrente no capacitor é o dobro da frequência sobre os indutores, pois a ondulação de corrente sobre um indutor está defasada de 180 graus do outro.

$$C = \frac{\Delta i_{\%} \cdot i_o}{f_s \cdot \Delta V_{\%} \cdot V_C} = \frac{\frac{20}{100} \cdot 100}{200k \cdot \frac{5}{100} \cdot 1} = 2mF \quad (4.6)$$

### 4.3 SELEÇÃO DE COMPONENTES

Portanto, a partir da Tabela 4.2 e equações 4.2, 4.4 e 4.6, são selecionados os componentes comerciais.

#### 4.3.1 Interruptores

O interruptor MOSFET comercial FQH90N10V2 selecionado possui a tensão de bloqueio de 100 V e corrente contínua suportada de 105 A. Estes valores suportam qualquer posição em qualquer topologia da família. Para o cálculo de perdas e eficiência, serão relevantes os valores típicos de resistividade do transistor MOSFET durante o estado ligado,  $r_{ON}$  de 8,5 m e o tempo de transição de subida  $t_{ON}$  de 492 ns e de descida  $t_{OFF}$  de 355 ns.

#### 4.3.2 Capacitores

O capacitor comercial C3225X7R2A106K250AC selecionado possui 10  $\mu F$  de capacitância e tensão nominal de 100 V. Este valores suportam qualquer posição em qualquer topologia da família. O capacitor de saída utilizado será capacitor eletrolítico polarizado

UBY1E202MHL1TO possui 2 mF de capacitância e tensão nominal de 25 V. Este modelo foi escolhido considerando que não há inversão de tensão na saída, permitindo o uso de capacitores polarizados.

### 4.3.3 Indutores

O indutor comercial IHDM1107BBEV4R3M30 selecionado possui 4,3  $\mu\text{H}$  de indutância e corrente de saturação de 105 A. Este valores suportam qualquer posição em qualquer topologia da família. O resistor série equivalente do indutor utilizado para o cálculo de eficiência é o valor típico, segundo a ficha técnica, de 0,81 m $\Omega$ .

### 4.3.4 Diodos

O diodo Schottky comercial 124NQ060-1 selecionado possui a tensão de bloqueio de 60 V e corrente contínua suportada de 120 A. Este valores suportam qualquer posição em qualquer topologia da família. Para a tensão direta ( $v_t$ ), a ficha técnica dispõe de 0,30 V, segundo a curva característica de queda de tensão direta. A fim de determinar a resistência ( $r_d$ ) equivalente de um diodo, calcula-se através da relação entre a tensão térmica, dividida pela corrente que passa pelo diodo.

$$r_d = \frac{v_t}{I_d} = \frac{0,3}{30,72} = 9,765\text{m}\Omega \quad (4.7)$$

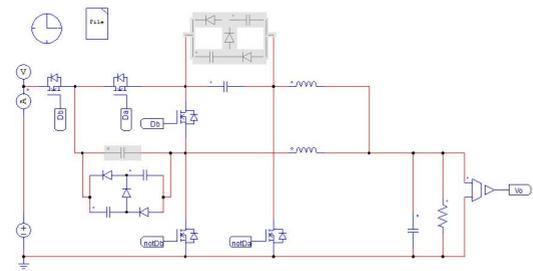
Estas informações são integradas à simulação das topologias.

## 4.4 SIMULAÇÃO

O circuito de simulação foi implementado no PSIM, um pacote de software de simulação de circuitos eletrônicos com licença estudantil disponibilizada pela Universidade Federal de Santa Catarina ao discente, com os valores de componentes da seção anterior, incluindo as resistividades nos interruptores e resistividade e queda de tensão nos diodos incluídas como especificações internas dos

componentes topológicos. As resistividades dos indutores tiveram que ser associadas em série ao indutor.

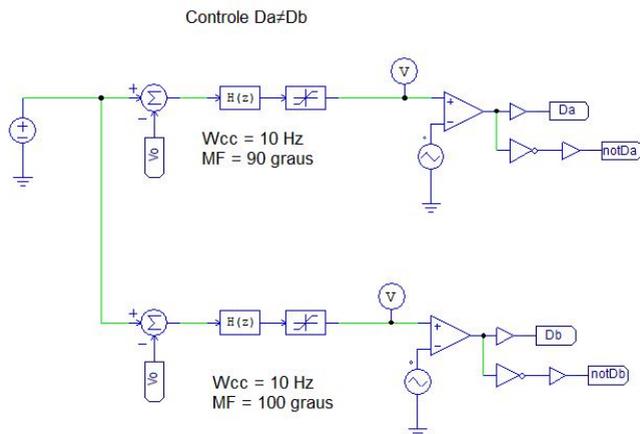
Figura 4.1 – Simulação no PSIM.



Fonte: Autor.

Na Figura 4.1, a simulação foi adaptada para mais facilmente alternar entre os membros da topologia. Na figura em questão, está selecionado o membro BSD-0. Para selecionar o BSD-3, por exemplo, basta desselecionar os capacitores e habilitar as células *Valley-Fill* desabilitadas em cinza.

Figura 4.2 – Simulação BSD-0 de tensão em malha aberta.



Fonte: Autor.

A Figura 4.2 é o circuito de geração da razão cíclica do sistema e seu controle de malha fechada e já com seu controle discretizado. Cada controle possui frequência de corte de 10 Hz e margem de fase de 90 e 100 graus respectivamente, esta diferença de margem de fase garante razões cíclicas distintas. Na geração do sinal de razão cíclica, há uma defasagem de 180 graus entre um sinal e outro.

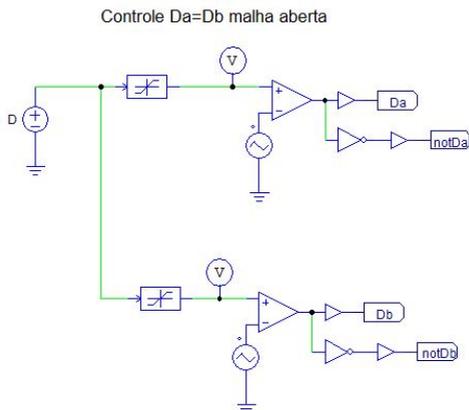
A análise da simulação nas seções posteriores será do membro BSD-0 da família, a fim de maior clareza no entendimento da topologia. Porém, a mesma análise pode ser feita para os outros membros.

#### 4.4.1 Resultados de simulação em malha aberta

A análise das tensões de malha aberta observa as tensões nos capacitores de cada topologia para uma tensão de entrada  $V_{in} = 48 \text{ V}$  e uma tensão de saída  $V_o = 1 \text{ V}$  alcançada nos terminais de saída, Neste caso, alcançando um abaixamento de proporção de 48:1. O diagrama do circuito de geração da razão cíclica da malha aberta da Figura 4.3 substitui aquele da Figura 4.2 para sua análise

de malha fechada.

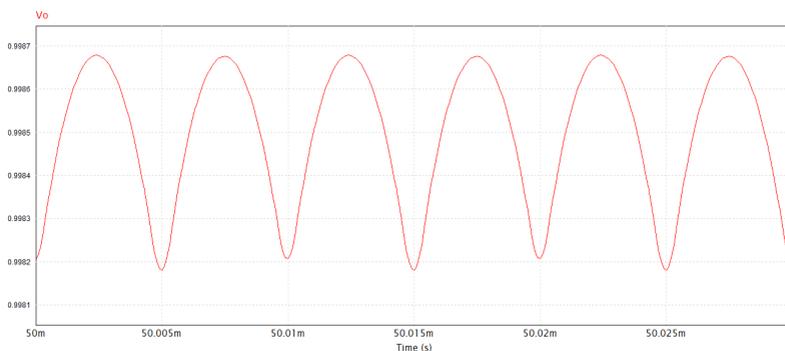
Figura 4.3 – Simulação BSD-0 de tensão em malha aberta.



Fonte: Autor.

A tensão do circuito pode ser visto na figura abaixo, a ondulação é muito baixa e a tensão está muito próxima do projeto de 1 V.

Figura 4.4 – Simulação BSD-0 de tensão de saída em malha aberta.

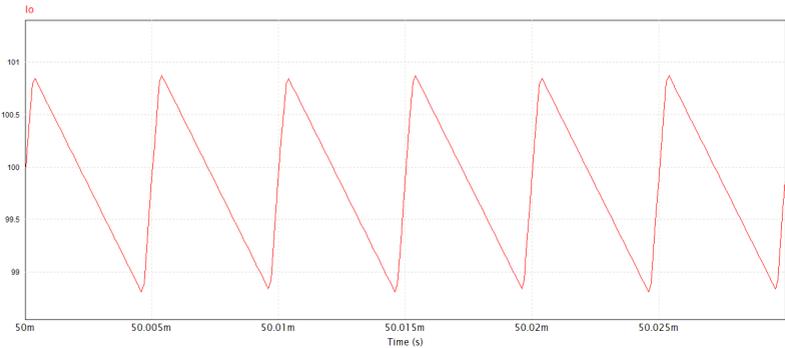


Fonte: Autor.

A corrente do circuito também segue as especificações de

projeto.

Figura 4.5 – Simulação BSD-0 de corrente de saída em malha aberta.

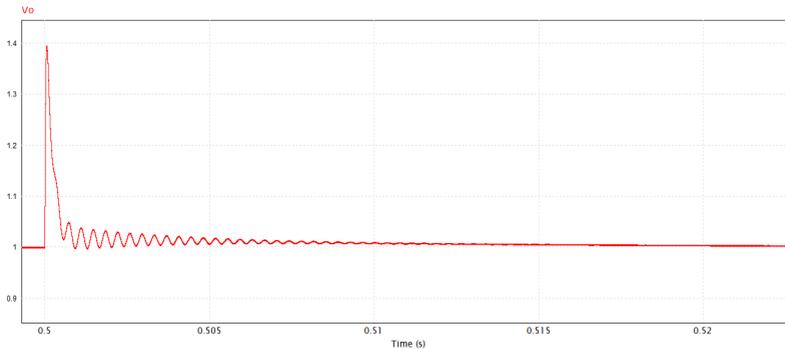


Fonte: Autor.

#### 4.4.2 Resultados de simulação em malha fechada

A simulação em malha fechada se difere pelo retorno do valor de saída controlado. Neste caso, já se demonstra o controle discretizado, através da transformada bilinear de Tustin em 3.7. Quando se compara os valores obtidos pela malha fechada através do integrador proporcional-integral discretizado, percebe-se que o controle é efetivo por também atingir o valor de tensão de saída desejada, por também respeitar os limites de variação impostos pelo projeto e manter a forma esperada da transição entre os estágios do conversor. Durante a análise do funcionamento do sistema em malha fechada, o diagrama do circuito de geração da razão cíclica da malha aberta da Figura 4.2 é mantido e, além disso, há um chaveamento da carga para mais 50% para observar o regime transitório.

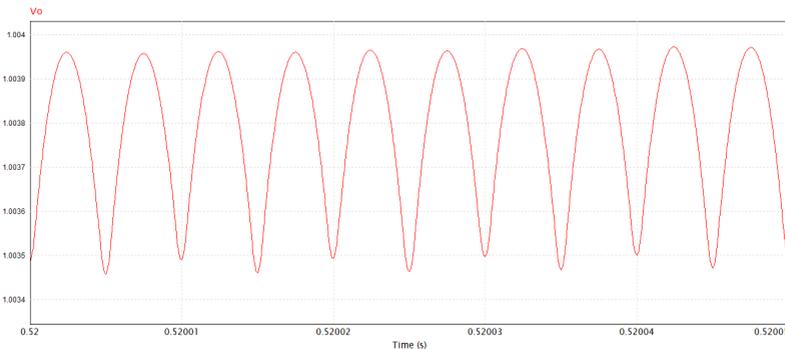
Figura 4.6 – Simulação BSD-0 de tensão em malha fechada.



Fonte: Autor.

A tensão de saída possui um pico de aproximadamente 40% quando a carga diminui de 150 W para o projeto de 100 W.

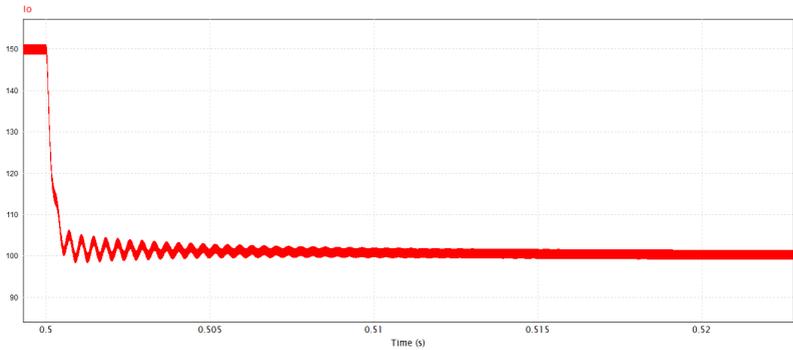
Figura 4.7 – Simulação BSD-0 de tensão em malha fechada em detalhe.



Fonte: Autor.

No detalhe em regime permanente, observa-se que a ondulação continua muito baixa. A corrente é observada com uma queda de 150A para 100A, pois o chaveamento de carga é de queda de potência.

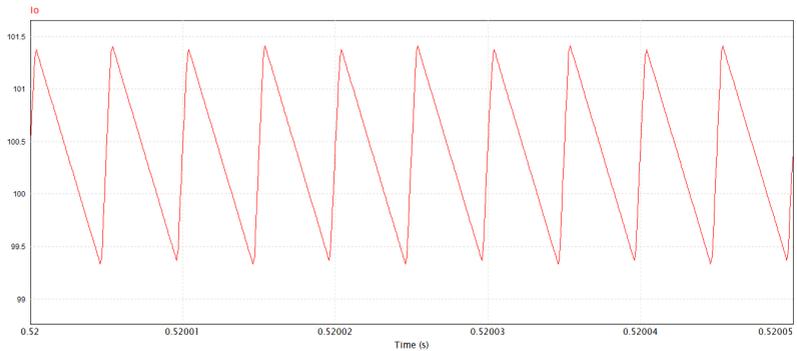
Figura 4.8 – Simulação BSD-0 da corrente em malha fechada.



Fonte: Autor.

A corrente de saída possui não possui quedas bruscas de corrente.

Figura 4.9 – Simulação BSD-0 da corrente em malha fechada em detalhe.



Fonte: Autor.

O detalhe da corrente em malha fechada possui o mesmo formato de malha aberta e semelhante ondulação.

## 4.5 COMPARAÇÃO ENTRE TEÓRICO E SIMULADO

Recapitulando os valores de projeto, temos 10% de variação de tensão sobre os capacitores, 20% de variação de corrente sobre os indutores e 5% de variação para a tensão e corrente de saída.

Essas simulações incluem as resistividades dos interruptores, indutores e outras não-idealidades anteriormente no documento e controle discreto. A simulação comparará estes valores para cada parâmetro de projeto.

Valor médio - Ondulação de BSD-0						
Grandeza	$V_{C1}$	$V_{C2}$	$I_{L1}$	$I_{L2}$	$V_o$	$I_o$
Projeto	15,80 V - 10%	31,60 V - 10%	32,10 A - 20%	67,90 A - 20%	1 V - 5%	100 A - 5%
Simulado	16,31 V - 9,73%	31,70 V - 4,86%	32,20 A - 0,27%	67,74 A - 0,13%	1,0038 V - 1,01%	100,38 A - 1,96%
Discrepância	0,51 V - 0,27%	0,10 V - 5,14%	0,10 A - 19,63%	0,16 A - 19,67%	0,0038 V - 3,99%	0,38 A - 3,04%
Valor médio - Ondulação de BSD-1						
Grandeza	$V_{C1}, V_{C3}$	$V_{C2}$	$I_{L1}$	$I_{L2}$	$V_o$	$I_o$
Projeto	12,44 V - 10%	35,40 V - 10%	23,90 A - 20%	76,03 A - 20%	1 V - 5%	100 A - 5%
Simulado	12,44 V - 9,41%	36,34 V - 6,44%	24,27 A - 8,57%	75,73 A - 2,92%	1 V - 0,01%	100,00 A - 1,98%
Discrepância	0 V - 0,27%	0,94 V - 3,56%	0,37 A - 11,43%	0,30 A - 17,08%	0 V - 4,99%	0 A - 3,02%
Valor médio - Ondulação de BSD-2						
Grandeza	$V_{C1}$	$V_{C2}, V_{C4}$	$I_{L1}$	$I_{L2}$	$V_o$	$I_o$
Projeto	9,62 V - 10%	19,20 V - 10%	38,99 A - 20%	60,93 A - 20%	1 V - 5%	100 A - 5%
Simulado	9,78 V - 9,31%	19,10 V - 5,99%	39,13 A - 5,34%	60,85 A - 3,50%	1 V - 0,01%	100,00 A - 1,82%
Discrepância	1,16 V - 0,69%	0,94 V - 4,01%	0,37 A - 14,66%	0,30 A - 16,50%	0 V - 4,99%	0 A - 3,18%
Valor médio - Ondulação de BSD-3						
Grandeza	$V_{C1}, V_{C3}$	$V_{C2}, V_{C4}$	$I_{L1}$	$I_{L2}$	$V_o$	$I_o$
Projeto	7,17 V - 10%	20,20 V - 10%	31,49 A - 20%	68,50 A - 20%	1 V - 5%	100 A - 5%
Simulado	7,26 V - 9,20%	20,79 V - 6,06%	31,50 A - 5,84%	68,50 A - 2,82%	0,99 V - 0,04%	99,88 A - 1,85%
Discrepância	0,09 V - 0,70%	0,49 V - 3,94%	0,01 A - 14,16%	0 A - 2,18%	0,01 V - 4,96%	0,12 A - 3,15%

Tabela 4.3 – Ondulações segundo simulação.

A Tabela 4.3 demonstra as ondulações segundo o projeto, simulação e sua discrepância. A discrepância demonstra tanto o erro de valor médio, quanto a distinção no comportamento de ondulação. A tabela indica que os capacitores intermediários são os mais próximos dos valores de projeto, enquanto o capacitor de saída possui a ondulação mais distante daquela projetada. Um dos motivos para entender esse comportamento é que no projeto do capacitor de saída segundo a Equação 4.6, se considera que a ondulação sobre o indutor é a máxima de projeto, de 20%, porém a ondulação dos indutores na tabela anterior é menor que o limite de projeto.

## 4.6 EFICIÊNCIA

Para o cálculo da eficiência, simulou-se os valores de tensão e corrente presentes nas equações 2.18 a 2.20.

### 4.6.1 Interruptores

Topologia	$I_{eficaz}$ simulado nos interruptores				
	$S_c$	$S_{1a}$	$S_{1b}$	$S_{2a}$	$S_{2b}$
BSD-0	10,73 A	10,25 A	10,73 A	35,57 A	68,36 A
BSD-1	8,02 A	7,66 A	16,06 A	31,83 A	75,02 A
BSD-2	6,45 A	12,45 A	12,90 A	43,01 A	63,04 A
BSD-3	5,04 A	14,17 A	20,17 A	40,57 A	71,86 A

Tabela 4.4 – Corrente eficaz nos interruptores.

Topologia	Elemento	$I_{eficaz}$ nos interruptores		
		Calculado	Simulado	Diferença
BSD-0	$S_c$	9,67 A	10,73 A	9, 88%
	$S_{1a}$	9,55 A	10,25 A	6, 28%
	$S_{1b}$	11,01 A	10,73 A	2, 54%
	$S_{2a}$	34,42 A	35,57 A	3, 23%
	$S_{2b}$	68,01 A	68,36 A	0, 51%
	BSD-1	$S_c$	7,57 A	8,02 A
$S_{1a}$		7,81 A	7,66 A	-1, 95%
$S_{1b}$		16,67 A	16,06 A	-0, 27%
$S_{2a}$		32,81 A	31,83 A	-3, 07%
$S_{2b}$		71,01 A	75,02 A	5, 34%
BSD-2		$S_c$	6,02 A	6,45 A
	$S_{1a}$	13,01 A	12,45 A	-5, 14%
	$S_{1b}$	12,58 A	12,90 A	6, 49%
	$S_{2a}$	42,11 A	43,01 A	2, 14%
	$S_{2b}$	64,05 A	63,04 A	-1, 60%
	BSD-3	$S_c$	5,01 A	5,04 A
$S_{1a}$		15,01 A	14,17 A	-5, 92%
$S_{1b}$		21,41 A	20,17 A	-6, 14%
$S_{2a}$		38,05 A	40,57 A	6, 21%
$S_{2b}$		71,01 A	71,86 A	1, 20%

Tabela 4.5 – Corrente máxima em módulo nos interruptores.

Topologia	$V_{block}$ nos interruptores				
	$S_c$	$S_{1a}$	$S_{1b}$	$S_{2a}$	$S_{2b}$
BSD-0	17,20 V	31,76 V	31,83 V	15,93 V	15,66 V
BSD-1	12,77 V	36,13 V	36,40 V	12,27 V	11,22 V
BSD-2	29,04 V	38,42 V	18,63 V	9,27 V	9,06 V
BSD-3	28,84 V	44,30 V	21,64 V	13,45 V	8,67 V

Tabela 4.6 – Tensão de bloqueio nos interruptores.

Topologia	$I_{ max}$ nos interruptores				
	$S_c$	$S_{1a}$	$S_{1b}$	$S_{2a}$	$S_{2b}$
BSD-0	33,92 A	32,41 A	33,92 A	66,10 A	100,00 A
BSD-1	25,35 A	24,22 A	50,78 A	74,65 A	100,02 A
BSD-2	20,38 A	39,36 A	40,79 A	79,74 A	100,00 A
BSD-3	14,03 A	32,48 A	56,07 A	87,08 A	100,00 A

Tabela 4.7 – Corrente máxima em módulo nos interruptores.

As tabelas 4.7, 4.6 e 4.7 explicitam os valores de simulação utilizados para calcular as perdas nos interruptores, tanto de comutação quanto condução.

#### 4.6.2 Diodos

Para os membros da família de conversores com diodos, suas tabelas auxiliares estão a seguir.

Topologia BSD-1	Corrente nos diodos	
	$D_{paralelos(2)}$	$D_{série}$
Corrente média	2,539 A	2,422 A
Corrente eficaz	8,029 A	7,660 A

Tabela 4.8 – Correntes nos diodos da topologia BSD-1.

Topologia BSD-2	Corrente nos diodos	
	$D_{paralelos(2)}$	$D_{série}$
Corrente média	1,968 A	2,038 A
Corrente eficaz	6,223 A	6,446 A

Tabela 4.9 – Correntes nos diodos da topologia BSD-2.

Topologia BSD-3	Corrente nos diodos			
	$D_{paralelos-1(2)}$	$D_{série-1}$	$D_{paralelos-2(2)}$	$D_{série-2}$
Corrente média	3,699 A	6,590 A	3,295 A	1,849 A
Corrente eficaz	10,085 A	14,17 A	7,085 A	5,043 A

Tabela 4.10 – Correntes nos diodos da topologia BSD-3.

As tabelas 4.8, 4.9 e 4.10 são relativas aos diodos das topologias dos membros da família de conversores. Não há uma tabela

para o membro BSD-0 porque não há diodos em sua composição. Este valores serão utilizados no cálculo de perdas associadas aos diodos.

### 4.6.3 Indutores

Os indutores possuem de perda relevante somente a resistência série equivalente.

Topologia	Corrente eficaz nos indutores	
	L <sub>1</sub>	L <sub>2</sub>
BSD-0	32,20 A	67,74 A
BSD-1	23,90 A	76,03 A
BSD-2	38,99 A	60,93 A
BSD-3	31,50 A	68,50 A

Tabela 4.11 – Corrente eficaz nos indutores.

As Tabela 4.11 é a corrente que atravessa os indutores dos membros da família. A perda do indutor, na seção a seguir, depende apenas da sua resistividade série equivalente.

A corrente nos indutores é um fator importante para o cálculo de perdas. Por exemplo, para a topologia BSD-2, a dissipação por condução é a maior parte das perdas totais.

$$P_{L_{condução}} = r_L \cdot (I_{L1}^2 + I_{L2}^2) = (0,81 \cdot 10^{-3}) \cdot (38,99^2 + 60,93^2) = 4,23W \quad (4.8)$$

Comparando este valor da Equação 4.8 com a Tabela 4.12 de eficiência, vemos que ele é a maioria da dissipação de potência.

### 4.6.4 Perdas totais e cálculo de eficiência

As perdas totais de cada membro da família pode ser calculado utilizando os valores das tabelas 4.4 a 4.11 nas equações 2.18 a 2.20. O resultado é obtido calculando por simulação a potência de entrada do conversor e sua eficiência é calculada em relação à potência de saída de 100 W.

Topologia	Potência de Entrada	Eficiência
BSD-0	111,13 W	89,98%
BSD-1	109,59 W	91,24%
BSD-2	106,92 W	93,53%
BSD-3	115,83 W	86,33%

Tabela 4.12 – Eficiência.

## 4.7 ANÁLISE CRÍTICA

Para validar as eficiências, é útil uma comparação com conversores CC-CC abaixadores não-isolados de última geração. Essa comparação leva em consideração os dados quantitativos e aspectos qualitativos, por exemplo, número de componentes de potência. Também são relevantes a frequência de comutação operacional, a relação de redução testada e eficiência da topologia.

Conversor	Ganho	Interruptores	Diodos	Capacitores	Indutores	Relação	$f_s$	Potência	Eficiência
I	$\frac{D^2}{1-D}$	1	3	2	3	5:1	30 kHz	150 W	$\approx 86\%$
II	$\frac{D}{D+3}$	5	-	2	2	8,33:1	100 kHz	60 W	$\approx 88,7\%$
III	$\frac{D}{2}$	4	-	2	1	3:1	20 kHz	300 W	$\approx 94,3\%$
IV	$\frac{D}{3}$	8	-	4	3	9,6:1	100 kHz	800 W	$\approx 93,8\%$
V	$\frac{D}{4}$	4	2	4	2	16:1	40 kHz	400 W	94,4%
VI	$\frac{D}{4}$	4	4	3	4	16,67:1	40 kHz	500 W	94,63%
VII	$\frac{D}{4}$	6	3	6	3	22,22:1	50 kHz	250 W	$\approx 93,8\%$
VIII	$\frac{D}{5}$	5	3	3	2	25:1	100 kHz	100 W	93,38%
BSD-0	$\frac{D}{3}$	5	0	2	2	48:1	100 kHz	100 W	89,98% (simulação)
BSD-1	$\frac{D}{4}$	5	3	3	2	48:1	100 kHz	100 W	91,24% (simulação)
BSD-2	$\frac{D}{5}$	5	3	3	2	48:1	100 kHz	100 W	93,53% (simulação)
BSD-3	$\frac{D}{7}$	5	6	4	2	48:1	100 kHz	100 W	86,33% (simulação)

Tabela 4.13 – Análise crítica de diversos conversores.

Conversor	Referência
I	(RODRIGUES DE OLIVEIRA; TOFOLI, 2019)
II	(YU et al., 2019)
III	(ZHANG; GAO et al., 2018b)
IV	(ZHANG; ZHANG et al., 2020)
V	(PAN; CHUANG; CHU, 2014)
VI	(HWU; JIANG; WU, 2016b)
VII	(SYRIGOS; TATAKIS, 2018)
VIII	(VECCHIA; BROECK et al., 2021)
BSD-0	Autor.
BSD-1	Autor.
BSD-2	Autor.
BSD-3	Autor.

Tabela 4.14 – Referência dos conversores da análise crítica.

A Tabela 4.13 compara estes elementos, porém uma ressalva importantíssima é que a eficiência da família BSD-0 a BSD-3 aqui testados não foi prototipado devido aos limites de segurança sanitária do tempo da documentação. Por este motivo, as eficiências são devido à simulação, não à prototipagem como em outros conversores. Espera-se que os conversores em análise possuam eficiência similar a aquele de (VECCHIA; BROECK et al., 2021), pois este é a mesma topologia do conversor BSD-2 (porém com especificações diferentes).

A família de conversores proposta é testada com a maior relação (48:1) entre as tensões de entrada e saída das topologias comparadas. Em relação ao operacional frequência de comutação, que está diretamente relacionada com as perdas, os conversores são testados entre 30 e 100  $kHz$  e os conversores desta família operam sob as mais altas valor da frequência de comutação, que afetam e aumentam as perdas dos semicondutores. Os níveis de potência usados para comparação propósitos são até 800 W de potência.

Uma comparação qualitativa a fim de ponderar a efetividade dos conversores propostos neste documento é que uma solução alternativa a conversores de alta capacidade é associar em série conversores com menor queda de tensão. Como exercício, poderia-se compara uma associação dos conversores III (ZHANG; GAO et al., 2018b) e V (PAN; CHUANG; CHU, 2014) com a configuração mais efetiva da família de BSD-2.

Conversor	Ganho	Interruptores	Diodos	Capacitores	Indutores	Relação	$f_s$	Potência	Eficiência
III+V	$\frac{D}{4}$ e $\frac{D}{4}$	8	2	6	3	48:1	20 kHz e 40 kHz	300 W e 400W	$\approx 89,01\%$
BSD-2	$\frac{D}{5}$	5	3	3	2	48:1	100 kHz	100 W	93,53% (simulação)

Tabela 4.15 – Exercício de comparação.

No caso da Tabela 4.15, os conversores da associação possuem potência de projeto distintos, portanto a comparação de eficiência não é direta e simples como a tabela pode insinuar, pois operar fora da potência de projeto implicava em menor eficiência.

Mesmo assim, esta comparação é interessante por demonstrar que as associações em série de conversores diminuem a eficiência do conjunto e se tornam menos eficiente que conversores de maior queda. Além da eficiência energética, outras desvantagens das associações é que o número de componentes é maior, há um efeito cascata quanto à ondulação de tensão de saída do primeiro conversor à tensão de entrada do conversor seguinte e se torna necessário mais de um sinal de frequência de comutação e estratégias de controle.

## 4.8 CONCLUSÃO DE PROJETO

Apesar da impossibilidade da prototipagem do conversor devido às restrições sanitárias impostas durante a elaboração deste documento, o projeto pode ser considerado um sucesso ao validar as expectativas de um conversor eficiente de alta capacidade de redução de tensão que opere em tensões de saída na grandeza de componentes eletrônicos de 1 V com potência de 100 W.

O guia de projeto desta seção conseguiu escolher componentes presentes no mercado através de uma simulação detalhada e minuciosa das topologias. Este guia permitiu calcular a eficiência simulada das topologias, circunavegando a problemática inicial que impediu um protótipo. A partir desta eficiência, se observou que a topologia é promissora e competitiva quando comparada a referências recentes do estado da arte de conversores CC-CC de potência.

A família de conversores neste ponto de operação possui a maior queda entre trabalhos semelhantes na bibliografia, trazendo uma boa alternativa à associação em série destes mesmos conversores e, ao mesmo tempo, alta confiabilidade na tensão e corrente de saída, contribuindo ainda mais para a atratividade do projeto.



# CAPÍTULO 5

## CONCLUSÃO

Este trabalho apresentou primeiramente o conversor *Buck* clássico, em seguida como integrar conversores intercalados e células *Valley-Fill* à topologia. Implementou-se esta técnica de inserir células *Valley-Fill* substituindo os capacitores, a fim de aumentar o ganho da topologia. A partir disto, se derivou uma família de quatro membros para a análise.

Com a análise das etapas de operação e ganho estático das topologias, foi possível observar os esforços sobre cada componente de uma determinada topologia. A análise considerou a normalização da tensão relativa à tensão dos capacitores. Isto é possível porque a tensão sobre os capacitores de uma certa topologia tem pouca variação. O mesmo foi feito com a análise de correntes dos sistemas, os elementos tiveram sua corrente analisadas como uma fração da corrente nos indutores.

A topologia utilizada com base no modelo Buck-Série Duplo (KIRSHENBOIM; PERETZ, 2016) com a integração das células *Valley-Fill* permite reduções largas de 48 V até 1 V CC com boa competitividade, segundo a análise crítica da seção anterior do do-

cumento.

No controle das topologias, tomou-se a decisão de considerar a tensão sobre os capacitores constantes para fins de análise de pequenos sinais, a fim de diminuir o grau polinomial da modelagem. Estas considerações diminuíram a complexidade e o grau da planta, contudo traz um grau de incerteza. Durante a validação da modelagem se observou no tempo e na frequência algumas discrepâncias, mas dentro de limites aceitáveis. Os modelos encontrados foram usados para fazer o controle da topologia e funcionou adequadamente. Os resultados foram satisfatórios pois o modelo encontrado representa bem o sistema em baixas frequências.

Por fim, foi possível projetar o conversor com grandezas comerciais para este ponto de operação e utilizando componentes disponíveis atualmente no mercado. Este passo é importante para determinar a eficiência da topologia em uma simulação e comparar com propostas semelhantes de conversores de alta conversão CC-CC do estado da arte em eletrônica de potência.

Para uma análise ainda mais fiel neste ponto de operação, torna-se necessário prototipar os conversores desta família documentada. Porém, espera-se bons resultados como analisados parcialmente em um trabalho anterior citado durante análise crítica (VECHIA; BROECK et al., 2021). Os valores simulados obtidos nesse trabalho, realizando o dimensionamento dos elementos do circuito para um projeto que reduza custos e aumente a densidade de potência processada, torna-o competitivo para aplicações em sistemas de processamento de energia CC-CC. Além disso, a validação da técnica de *Valley-Fill* a fim de aumentar o ganho mantendo a sua linearidade abre possibilidades para estudá-la em outras topologias, onde a não linearidade do ganho estático compromete determinada aplicação.

---

## REFERÊNCIAS

---

BARBI, I. **Eletrônica de Potência**. Florianópolis: 8ª Edição, 2017. Citado 1 vez na página 29.

DAS, Ratul; LE, Hanh-Phuc. A Regulated 48V-to-1V/100A 90.9 percent -Efficient Hybrid Converter for POL Applications in Data Centers and Telecommunication Systems. In: 2019 IEEE Applied Power Electronics Conference and Exposition (APEC). [S.l.: s.n.], 2019. P. 1997–2001. DOI: [10.1109/APEC.2019.8722246](https://doi.org/10.1109/APEC.2019.8722246). Citado 1 vez na página 30.

HWU, K. I.; JIANG, W. Z.; WU, P. Y. An Expandable Four-Phase Interleaved High Step-Down Converter With Low Switch Voltage Stress and Automatic Uniform Current Sharing. In: v. 63, p. 6064–6072. DOI: [10.1109/TIE.2016.2573749](https://doi.org/10.1109/TIE.2016.2573749). Citado 1 vez na página 31.

\_\_\_\_\_. An Expandable Four-Phase Interleaved High Step-Down Converter With Low Switch Voltage Stress and Automatic Uniform Current Sharing. **IEEE Transactions on Industrial Electronics**, v. 63, n. 10, p. 6064–6072, 2016. DOI: [10.1109/TIE.2016.2573749](https://doi.org/10.1109/TIE.2016.2573749). Citado 0 vez na página 103.

KIRSHENBOIM, Or; PERETZ, Mor Mordechai. A Loss Minimization Analysis in a New Interleaved DC-DC Buck Converter with Very High Step-Down Ratio. In: v. 32, p. 3683–3690. DOI: [10.1109/TPEL.2016.2589321](https://doi.org/10.1109/TPEL.2016.2589321). Citado 5 vezes nas páginas 31, 43–45, 51, 55, 107.

MACOLA, Ilaria Grasso. France bans short-haul flights: Industry reacts. **Airport Technology**, 14 abr. 2021. Disponível em: <https://www.airport-technology.com/features/france-bans-short-haul-flight-industry-reacts/>. Acesso em: 11 nov. 2021. Citado 1 vez na página 29.

- MAGDEFRAU, Derrick et al. Analysis and review of DC microgrid implementations. **International Seminar on Application for Technology of Information and Communication (ISEmantic)**, p. 241–246, 2016. DOI: [10.1109/ISEMANTIC.2016.7873845](https://doi.org/10.1109/ISEMANTIC.2016.7873845). Citado 1 vez na página 29.
- PAN, Ching-Tsai; CHUANG, Chen-Feng; CHU, Chia-Chi. A Novel Transformerless Interleaved High Step-Down Conversion Ratio DC–DC Converter With Low Switch Voltage Stress. **IEEE Transactions on Industrial Electronics**, v. 61, n. 10, p. 5290–5299, 2014. DOI: [10.1109/TIE.2014.2301774](https://doi.org/10.1109/TIE.2014.2301774). Citado 1 vez na página 103.
- REID, David. All-electric jet firm Eviation announces US regional airline as first customer, predicts delivery in 2022, 18 jun. 2021. Disponível em: <https://www.cnbc.com/2019/06/18/all-electric-jet-firm-eviation-announces-us-airline-as-first-customer.html>. Acesso em: 11 nov. 2021. Citado 1 vez na página 29.
- RODRIGUES DE OLIVEIRA, Silva de Moraes; TOFOLI, F. L. Single- switch, integrated dc–dc converter for high-voltage step-down applica- tions. In: 8. v. 12, p. 1880–1890. Citado 0 vez na página 103.
- SYRIGOS, Stylianos P.; TATAKIS, Emmanuel C. An Improved Switching Technique for a Non-Isolated High Step-Down Voltage Ratio DC-DC Converter. In: 2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe). [S.l.: s.n.], 2018. p.1–p.10. Citado 0 vez na página 103.
- VECCHIA, Mauricio Dalla. ARENBERG DOCTORAL SCHOOL Faculty of Engineering Science Non-Isolated High Step-Down DC-DC Converters for LVDC Application. In. Citado 4 vezes nas páginas 60, 62–64.
- VECCHIA, Mauricio Dalla; BROECK, Giel Van den et al. A Family of DC-DC Converters With High Step-Down Voltage Capability Based on the Valley-Fill Switched Capacitor Principle. In: v. 68, p. 5810–5820. DOI: [10.1109/TIE.2020.2998760](https://doi.org/10.1109/TIE.2020.2998760). Citado 7 vezes nas páginas 31, 46, 47, 51, 56–58, 103, 108.

- VECCHIA, Mauricio Dalla; RAVYTS, Simon et al. A Loss Minimization Analysis in a New Interleaved DC-DC Buck Converter with Very High Step-Down Ratio. In. DOI: [10.1109/COMPEL.2019.8769711](https://doi.org/10.1109/COMPEL.2019.8769711). Citado 1 vez na página 31.
- YU, Longyang et al. A High step-down DC-DC Converter. In: 2019 IEEE 10th International Symposium on Power Electronics for Distributed Generation Systems (PEDG). [S.l.: s.n.], 2019. P. 105–109. DOI: [10.1109/PEDG.2019.8807558](https://doi.org/10.1109/PEDG.2019.8807558). Citado 0 vez na página 103.
- ZHANG, Yun; GAO, Yongping et al. A Switched-Capacitor Bidirectional DC–DC Converter With Wide Voltage Gain Range for Electric Vehicles With Hybrid Energy Sources. In: v. 33, p. 9459–9469. DOI: [10.1109/TPEL.2017.2788436](https://doi.org/10.1109/TPEL.2017.2788436). Citado 2 vezes nas páginas 31, 40–42.
- \_\_\_\_\_. A Switched-Capacitor Bidirectional DC–DC Converter With Wide Voltage Gain Range for Electric Vehicles With Hybrid Energy Sources. **IEEE Transactions on Power Electronics**, v. 33, n. 11, p. 9459–9469, 2018. DOI: [10.1109/TPEL.2017.2788436](https://doi.org/10.1109/TPEL.2017.2788436). Citado 1 vez na página 103.
- ZHANG, Yun; ZHANG, Wei et al. A Switched-Capacitor Interleaved Bidirectional Converter With Wide Voltage-Gain Range for Super Capacitors in EVs. **IEEE Transactions on Power Electronics**, v. 35, n. 2, p. 1536–1547, 2020. DOI: [10.1109/TPEL.2019.2921585](https://doi.org/10.1109/TPEL.2019.2921585). Citado 0 vez na página 103.



## Anexos



**ANEXO A**

---

PÁGINAS RELEVANTES DA FICHA  
TÉCNICA PARA CHAVE FQH90N10V2

---



October 2005

QFET<sup>®</sup>

## FQH90N10V2 100V N-Channel MOSFET

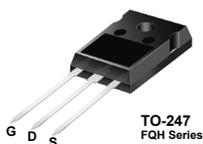
### Features

- 105A, 100V,  $R_{DS(on)} = 10m\Omega @ V_{GS} = 10V$
- Low gate charge ( typical 147 nC)
- Low  $C_{rss}$  ( typical 300 pF)
- Fast switching
- 100% avalanche tested
- Improved dv/dt capability
- 175°C maximum junction temperature rating

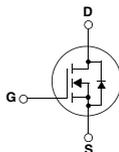
### Description

These N-Channel enhancement mode power field effect transistors are produced using Fairchild's proprietary, planar stripe, DMOS technology.

This advanced technology has been especially tailored to minimize on-state resistance, provide superior switching performance, and withstand high energy pulse in the avalanche and commutation mode. These devices are well suited for DC to DC converters, synchronous rectification, and other applications lowest  $R_{ds(on)}$  is required.



TO-247  
FQH Series



### Absolute Maximum Ratings

Symbol	Parameter	FQH90N10V2	Unit
$V_{DSS}$	Drain-Source Voltage	100	V
$I_D$	Drain Current	- Continuous ( $T_C = 25^\circ\text{C}$ )	105
		- Continuous ( $T_C = 100^\circ\text{C}$ )	78
$I_{DM}$	Drain Current - Pulsed (Note 1)	420	A
$V_{GSS}$	Gate-Source voltage	$\pm 30$	V
$E_{AS}$	Single Pulsed Avalanche Energy (Note 2)	2430	mJ
$I_{AR}$	Avalanche Current (Note 1)	105	A
$E_{AR}$	Repetitive Avalanche Energy (Note 1)	33	mJ
dv/dt	Peak Diode Recovery dv/dt (Note 3)	4.5	V/ns
$P_D$	Power Dissipation ( $T_C = 25^\circ\text{C}$ )	- Derate above $25^\circ\text{C}$	330
			2.2
$T_J, T_{STG}$	Operating and Storage Temperature Range	-55 to +175	$^\circ\text{C}$
$T_L$	Maximum Lead Temperature for Soldering Purpose, 1/8" from Case for 5 Seconds	300	$^\circ\text{C}$

### Thermal Characteristics

Symbol	Parameter	Min.	Max.	Unit
$R_{\theta JC}$	Thermal Resistance, Junction-to-Case	--	0.45	$^\circ\text{C/W}$
$R_{\theta CS}$	Thermal Resistance, Case-to-Sink	0.24	--	$^\circ\text{C/W}$
$R_{\theta JA}$	Thermal Resistance, Junction-to-Ambient	--	40	$^\circ\text{C/W}$

### Package Marking and Ordering Information

Device Marking	Device	Package	Reel Size	Tape Width	Quantity
HV290N10	FQH90N10V2	TO-247	-	-	30

### Electrical Characteristics $T_C = 25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Conditions	Min.	Typ.	Max	Units
<b>Off Characteristics</b>						
$BV_{DSS}$	Drain-Source Breakdown Voltage	$V_{GS} = 0V, I_D = 250\mu\text{A}$	100	--	--	V
$\Delta BV_{DSS} / \Delta T_J$	Breakdown Voltage Temperature Coefficient	$I_D = 250\mu\text{A}$ , Referenced to $25^\circ\text{C}$	--	0.1	--	$V/^\circ\text{C}$
$I_{DSS}$	Zero Gate Voltage Drain Current	$V_{DS} = 100V, V_{GS} = 0V$ $V_{DS} = 80V, T_C = 150^\circ\text{C}$	--	--	1 10	$\mu\text{A}$ $\mu\text{A}$
$I_{GSSF}$	Gate-Body Leakage Current, Forward	$V_{GS} = 30V, V_{DS} = 0V$	--	--	100	nA
$I_{GSSR}$	Gate-Body Leakage Current, Reverse	$V_{GS} = -30V, V_{DS} = 0V$	--	--	-100	nA
<b>On Characteristics</b>						
$V_{GS(th)}$	Gate Threshold Voltage	$V_{DS} = V_{GS}, I_D = 250\mu\text{A}$	2.0	--	4.0	V
$R_{DS(on)}$	Static Drain-Source On-Resistance	$V_{GS} = 10V, I_D = 52.5A$	--	8.5	10	m $\Omega$
$g_{FS}$	Forward Transconductance	$V_{DS} = 40V, I_D = 52.5A$ (Note 4)	--	72	--	S
<b>Dynamic Characteristics</b>						
$C_{iss}$	Input Capacitance	$V_{DS} = 25V, V_{GS} = 0V,$ $f = 1.0\text{MHz}$	--	4730	6150	pF
$C_{oss}$	Output Capacitance		--	1180	1530	pF
$C_{riss}$	Reverse Transfer Capacitance		--	300	390	pF
<b>Switching Characteristics</b>						
$t_{d(on)}$	Turn-On Delay Time	$V_{DD} = 100V, I_D = 90A$ $R_{\theta} = 25^\circ\text{C}$	--	52	114	ns
$t_r$	Turn-On Rise Time		--	492	994	ns
$t_{d(off)}$	Turn-Off Delay Time		--	304	618	ns
$t_f$	Turn-Off Fall Time		(Note 4, 5)	--	355	720
$Q_g$	Total Gate Charge	$V_{DS} = 80V, I_D = 90A$ $V_{GS} = 10V$	--	147	191	nC
$Q_{gs}$	Gate-Source Charge		--	28	--	nC
$Q_{gd}$	Gate-Drain Charge		(Note 4, 5)	--	60	--
<b>Drain-Source Diode Characteristics and Maximum Ratings</b>						
$I_S$	Maximum Continuous Drain-Source Diode Forward Current		--	--	105	A
$I_{SM}$	Maximum Pulsed Drain-Source Diode Forward Current		--	--	420	A
$V_{SD}$	Drain-Source Diode Forward Voltage	$V_{GS} = 0V, I_S = 105A$	--	--	1.4	V
$t_{rr}$	Reverse Recovery Time	$V_{GS} = 0V, I_S = 90A$	--	114	--	ns
$Q_{rr}$	Reverse Recovery Charge	$di_p/dt = 100A/\mu\text{s}$ (Note 4)	--	0.54	--	$\mu\text{C}$

#### NOTES:

1. Repetitive Rating: Pulse width limited by maximum junction temperature
2.  $L = 0.22\text{mH}, I_{AS} = 105A, V_{DD} = 50V, R_{\theta} = 25^\circ\text{C}$ , Starting  $T_J = 25^\circ\text{C}$
3.  $I_{SD} \leq 105A, di/dt \leq 200A/\mu\text{s}, V_{DD} \leq BV_{DSS}$ , Starting  $T_J = 25^\circ\text{C}$
4. Pulse Test: Pulse width  $\leq 300\mu\text{s}$ , Duty Cycle  $\leq 2\%$
5. Essentially Independent of Operating Temperature Typical Characteristics



## ANEXO B

---

PÁGINAS RELEVANTES DA FICHA  
TÉCNICA PARA CAPACITOR  
C3225X7R2A106K250AC

---

**MULTILAYER CERAMIC CHIP CAPACITORS** 

**Capacitance range table      Temperature characteristic: X7R (-55 to +125°C, ±15%)**

Capacitance	Dimensions	Thickness (mm)	Capacitance tolerance	Catalog number				
				Rated voltage Edc: 50V	Rated voltage Edc: 75V	Rated voltage Edc: 35V	Rated voltage Edc: 25V	
3.3 µF	2012	1.25±0.20	±10%		C2012X7R1V335K125AC	C2012X7R1E335K125AB	C2012X7R1C335M125AB	
			±20%		C2012X7R1V335M125AC	C2012X7R1E335M125AB	C2012X7R1C335M125AB	
	3216	1.60±0.20	±10%	C3216X7R1H335K160AC	C3216X7R1V335K160AB	C3216X7R1E335K160AC		
			±20%	C3216X7R1H335M160AC	C3216X7R1V335M160AB	C3216X7R1E335M160AC		
	3225	1.60±0.20	±10%			C3225X7R1E335K160AA		
			±20%			C3225X7R1E335M160AA		
	4532	2.00±0.20	±10%	C3225X7R1H335K250AB				
			±20%	C3225X7R1H335M250AB				
	4.7 µF	2012	1.25±0.20	±10%	C2012X7R1H475K125AC	C2012X7R1V475K125AC	C2012X7R1E475K125AB	C2012X7R1C475M125AB
				±20%				
3216		0.85±0.15	±10%		C3216X7R1V475K085AC	C3216X7R1E475K085AB	C3216X7R1C475M085AB	
			±20%		C3216X7R1V475M085AC	C3216X7R1E475M085AB	C3216X7R1C475M085AB	
3216		1.60±0.20	±10%	C3216X7R1H475K160AC	C3216X7R1V475K160AB	C3216X7R1E475K160AC	C3216X7R1C475M160AB	
			±20%	C3216X7R1H475M160AC	C3216X7R1V475M160AB	C3216X7R1E475M160AC	C3216X7R1C475M160AB	
3225		2.00±0.20	±10%			C3225X7R1E475K200AA		
			±20%			C3225X7R1E475M200AA		
4532		2.00±0.20	±10%	C4532X7R1H475K200KB				
			±20%	C4532X7R1H475M200KB		C4532X7R1E475M200KA		
5750	2.00±0.20	±10%	C5750X7R1H475K200KA					
		±20%	C5750X7R1H475M200KA					
6.8 µF	3216	1.60±0.20	±10%		C3216X7R1V685K160AC	C3216X7R1E685K160AB	C3216X7R1C685M160AC	
			±20%		C3216X7R1V685M160AC	C3216X7R1E685M160AB	C3216X7R1C685M160AC	
	3225	2.50±0.30	±10%			C3225X7R1E685K250AB		
			±20%			C3225X7R1E685M250AB		
	4532	2.50±0.30	±10%	C4532X7R1H685K250KB				
			±20%	C4532X7R1H685M250KB				
	5750	2.50±0.30	±10%	C5750X7R1H685K250KA				
			±20%	C5750X7R1H685M250KA				
	3216	1.60±0.20	±10%	C3216X7R1H106K160AC	C3216X7R1V106K160AC	C3216X7R1E106K160AB	C3216X7R1C106M160AC	
			±20%		C3216X7R1V106M160AB	C3216X7R1E106M160AB	C3216X7R1C106M160AC	
3225	2.00±0.20	±10%				C3225X7R1C106M200AB		
		±20%				C3225X7R1C106M200AB		
3225	2.50±0.30	±10%	C3225X7R1N106K250AC	C3225X7R1H106K250AC		C3225X7R1E106K250AC		
		±20%	C3225X7R1N106M250AC	C3225X7R1H106M250AC		C3225X7R1E106M250AC		
4532	2.30±0.20	±10%				C4532X7R1C106K230KA		
		±20%				C4532X7R1C106M230KA		
5750	2.30±0.20	±10%				C5750X7R1E106M200KA		
		±20%						
10 µF	3225	2.50±0.30	±10%				C3225X7R1C156M250AB	
			±20%					
	4532	2.30±0.20	±10%				C4532X7R1E106K250KA	
			±20%				C4532X7R1E106M250KA	
	5750	2.30±0.20	±10%		C5750X7R1H106K230KB			
			±20%		C5750X7R1H106M230KB			
	3225	2.50±0.30	±10%					
			±20%					
	4532	2.50±0.30	±10%			C4532X7R1E156M250KC		
			±20%			C4532X7R1E156M280KB		
5750	2.30±0.20	±10%				C5750X7R1E156M230KA		
		±20%						
3225	2.50±0.30	±10%				C3225X7R1C228K250AC		
		±20%				C3225X7R1E228M250AB		
4532	2.00±0.20	±10%				C4532X7R1C228M200KC		
		±20%				C4532X7R1C228M200KB		
5750	2.50±0.30	±10%						
		±20%	C5750X7R1H228M250KB		C4532X7R1E228M250KC	C5750X7R1E228M250KA		
33 µF	4532	2.50±0.30	±10%				C5750X7R1C228M200KA	
			±20%				C4532X7R1C336M250KC	
47 µF	5750	2.00±0.20	±10%				C5750X7R1C336M200KB	
			±20%		C5750X7R1V476M230KC	C5750X7R1E476M230KB	C5750X7R1C476M230KB	

■ Gray items: These products are not recommended for new designs.  
 Click the part numbers for details.

⚠ Please be sure to request delivery specifications that provide further details on the features and specifications of the products for proper and safe use.  
 Please note that the contents may change without any prior notice due to reasons such as upgrading.

## ANEXO C

---

PÁGINAS RELEVANTES DA FICHA  
TÉCNICA PARA CAPACITOR  
UBY1E202MHL1TO

---

**ALUMINUM ELECTROLYTIC CAPACITORS**

**UBY**

High Temperature Range,  
For +125°C or 135°C Use



**Expanded**

- Higher capacitance and higher ripple current than UBT and UBW.
- Ideal for automobile control circuits such as electric power steering and direct injection engine drive.
- Compliant to the RoHS directive(2011/65/EU).



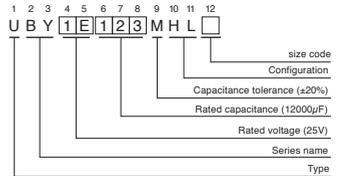
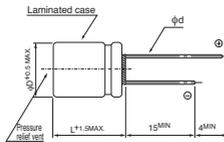
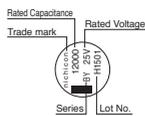
■ Specifications

Item	Performance Characteristics																					
Category Temperature Range	-40 to +135°C																					
Rated Voltage Range	25 to 100V																					
Rated Capacitance Range	160 to 12000μF																					
Capacitance Tolerance	±20% at 120Hz, 20°C																					
Leakage Current	After 1 minute's application of rated voltage at 20°C, leakage current is not more than 0.03CV (μA)																					
Tangent of loss angle (tan δ)	<table border="1"> <tr> <td>Rated voltage (V)</td> <td>25</td> <td>35</td> <td>50</td> <td>63</td> <td>80</td> <td>100</td> </tr> <tr> <td>tan δ (MAX.)</td> <td>0.14</td> <td>0.12</td> <td>0.10</td> <td>0.10</td> <td>0.08</td> <td>0.08</td> </tr> </table> <p>120Hz, 20°C For capacitance of more than 1000μF, add 0.02 for every increase of 1000μF.</p>	Rated voltage (V)	25	35	50	63	80	100	tan δ (MAX.)	0.14	0.12	0.10	0.10	0.08	0.08							
Rated voltage (V)	25	35	50	63	80	100																
tan δ (MAX.)	0.14	0.12	0.10	0.10	0.08	0.08																
Stability at Low Temperature	<table border="1"> <tr> <td>Rated voltage (V)</td> <td>25</td> <td>35</td> <td>50</td> <td>63</td> <td>80</td> <td>100</td> </tr> <tr> <td>Impedance ratio ZT / Z20 (MAX.)</td> <td>Z-25°C / Z+20°C</td> <td>2</td> <td>2</td> <td>2</td> <td>2</td> <td>2</td> </tr> <tr> <td></td> <td>Z-40°C / Z+20°C</td> <td>4</td> <td>4</td> <td>4</td> <td>4</td> <td>4</td> </tr> </table> <p>120Hz</p>	Rated voltage (V)	25	35	50	63	80	100	Impedance ratio ZT / Z20 (MAX.)	Z-25°C / Z+20°C	2	2	2	2	2		Z-40°C / Z+20°C	4	4	4	4	4
Rated voltage (V)	25	35	50	63	80	100																
Impedance ratio ZT / Z20 (MAX.)	Z-25°C / Z+20°C	2	2	2	2	2																
	Z-40°C / Z+20°C	4	4	4	4	4																
Endurance	<table border="1"> <tr> <td>Rated voltage (V)</td> <td>25 to 50V</td> <td>63 to 100V</td> </tr> <tr> <td>—</td> <td>The specifications listed below shall be met when the capacitors are restored to 20°C after D.C. bias plus rated ripple current is applied for 3000 hours at 125°C or 135°C, the peak voltage shall not exceed the rated voltage.</td> <td>The specifications listed below shall be met when the capacitors are restored to 20°C after D.C. bias plus rated ripple current is applied for 3000 hours at 125°C or 2000 hours at 135°C, the peak voltage shall not exceed the rated voltage.</td> </tr> </table>	Rated voltage (V)	25 to 50V	63 to 100V	—	The specifications listed below shall be met when the capacitors are restored to 20°C after D.C. bias plus rated ripple current is applied for 3000 hours at 125°C or 135°C, the peak voltage shall not exceed the rated voltage.	The specifications listed below shall be met when the capacitors are restored to 20°C after D.C. bias plus rated ripple current is applied for 3000 hours at 125°C or 2000 hours at 135°C, the peak voltage shall not exceed the rated voltage.															
	Rated voltage (V)	25 to 50V	63 to 100V																			
	—	The specifications listed below shall be met when the capacitors are restored to 20°C after D.C. bias plus rated ripple current is applied for 3000 hours at 125°C or 135°C, the peak voltage shall not exceed the rated voltage.	The specifications listed below shall be met when the capacitors are restored to 20°C after D.C. bias plus rated ripple current is applied for 3000 hours at 125°C or 2000 hours at 135°C, the peak voltage shall not exceed the rated voltage.																			
<table border="1"> <tr> <td>Capacitance change</td> <td>Within ±30% of the initial capacitance value</td> </tr> <tr> <td>tan δ</td> <td>300% or less than the initial specified value</td> </tr> <tr> <td>Leakage current</td> <td>Less than or equal to the initial specified value</td> </tr> </table>	Capacitance change	Within ±30% of the initial capacitance value	tan δ	300% or less than the initial specified value	Leakage current	Less than or equal to the initial specified value																
Capacitance change	Within ±30% of the initial capacitance value																					
tan δ	300% or less than the initial specified value																					
Leakage current	Less than or equal to the initial specified value																					
Shelf Life	After storing the capacitors under no load at 125°C for 1000 hours and then performing voltage treatment based on JIS C 5101-4 clause 4.1 at 20°C, they shall meet the specified values for the endurance characteristics listed above.																					
Marking	Black print on the case top.																					

The UBY series places emphasis on high ripple current, as a result the lifetime calculation is different than other series. Please contact Nichicon for details.

■ Radial Lead Type

Type numbering system (Example : 25V 12000μF)



	(mm)		
φD	12.5	16	18
P	5.0	7.5	7.5
φd	0.6	0.8	0.8

※ In case L > 25 for the φ12.5 dia. unit, lead dia, φ d = 0.8mm.

● Dimension table in next page.

**Design, Specifications are subject to change without notice.**

## ALUMINUM ELECTROLYTIC CAPACITORS

UBY

## ■ Dimensions

V (Code)		25(1E)						35(1V)					
Cap. (μF)	Code	Item	Case size φD × L (mm)	ESR (Ω) MAX.		Rated ripple (mA rms)		Case size φD × L (mm)	ESR (Ω) MAX.		Rated ripple (mA rms)		
				20°C /100kHz	-40°C /100kHz	125°C /100kHz	135°C /100kHz		20°C /100kHz	-40°C /100kHz	125°C /100kHz	135°C /100kHz	
1300	132							12.5 × 20	0.042	0.48	2760	1690	
1800	182							12.5 × 25	0.033	0.30	3480	2010	
2000	202		12.5 × 20	0.042	0.48	2760	1690						
2200	222							12.5 × 31.5	0.028	0.24	4490	2900	
								▲16 × 20	0.031	0.27	3040	1860	
2700	272							12.5 × 35.5	0.025	0.21	5140	3190	
								▲18 × 20	0.030	0.22	3250	1870	
3000	302		12.5 × 25	0.033	0.30	3480	2010	16 × 25	0.026	0.22	4260	2870	
3300	332		16 × 20	0.031	0.27	3040	1860	12.5 × 40	0.024	0.19	5810	3470	
3600	362		12.5 × 31.5	0.028	0.24	4490	2900						
3900	392							16 × 31.5	0.023	0.18	5480	3400	
								▲18 × 25	0.025	0.19	4500	2900	
4300	432		18 × 20	0.030	0.22	3250	1870						
4700	472		16 × 25	0.026	0.22	4260	2870	16 × 35.5	0.020	0.14	6070	3630	
5100	512		12.5 × 40	0.024	0.19	5810	3470	18 × 31.5	0.022	0.16	5600	3470	
5600	562							16 × 40	0.019	0.12	6810	3930	
6200	622		16 × 31.5	0.023	0.18	5480	3400	18 × 35.5	0.019	0.12	6280	3750	
			▲18 × 25	0.025	0.19	4500	2900						
7500	752		16 × 35.5	0.020	0.14	6070	3630	18 × 40	0.018	0.10	7070	4080	
8200	822		18 × 31.5	0.022	0.16	5600	3470						
9100	912		16 × 40	0.019	0.12	6810	3930						
10000	103		18 × 35.5	0.019	0.12	6280	3750						
12000	123		18 × 40	0.018	0.10	7070	4080						

V (Code)		50 (1H)						63 (1J)					
Cap. (μF)	Code	Item	Case size φD × L (mm)	ESR (Ω) MAX.		Rated ripple (mA rms)		Case size φD × L (mm)	ESR (Ω) MAX.		Rated ripple (mA rms)		
				20°C /100kHz	-40°C /100kHz	125°C /100kHz	135°C /100kHz		20°C /100kHz	-40°C /100kHz	125°C /100kHz	135°C /100kHz	
390	391							12.5 × 20	0.074	0.56	1640	1420	
560	561							12.5 × 25	0.054	0.39	2520	2050	
620	621		12.5 × 20	0.056	0.88	2400	1470						
750	751							12.5 × 31.5	0.042	0.30	3110	2630	
								▲16 × 20	0.053	0.34	2140	1910	
820	821		12.5 × 25	0.044	0.67	3350	2260						
950	951							12.5 × 35.5	0.038	0.25	3760	2970	
								▲18 × 20	0.048	0.26	2350	2100	
1000	102		16 × 20	0.039	0.55	2960	1870	16 × 25	0.038	0.23	2940	2680	
1100	112		12.5 × 31.5	0.037	0.52	4220	2520	12.5 × 40	0.031	0.22	4610	3260	
			12.5 × 35.5	0.033	0.44	4810	2780	16 × 31.5	0.034	0.20	3860	3050	
1300	132		▲16 × 25	0.033	0.44	4040	2500	▲18 × 25	0.035	0.19	3080	2810	
			※18 × 20	0.038	0.44	3130	2110						
1600	162		12.5 × 40	0.032	0.36	5240	3020						
1700	172							16 × 35.5	0.027	0.15	4590	3420	
1800	182		16 × 31.5	0.029	0.36	5130	2960	18 × 31.5	0.028	0.15	4080	3220	
			▲18 × 25	0.032	0.32	4230	2530						
2000	202							16 × 40	0.025	0.14	5190	3670	
2200	222		16 × 35.5	0.025	0.27	5480	3160	18 × 35.5	0.023	0.12	5220	3690	
2400	242		18 × 31.5	0.028	0.25	5240	3020						
2500	252							18 × 40	0.021	0.11	5660	3820	
2700	272		16 × 40	0.024	0.22	5930	3420						
3000	302		18 × 35.5	0.024	0.20	5870	3390						
3600	362		18 × 40	0.023	0.16	6420	3700						

▲: In this case, 6 will be put at 12th digit of type numbering system.

※: In this case, 3 will be put at 12th digit of type numbering system.

Design, Specifications are subject to change without notice.

NICHICON CORPORATION

**ALUMINUM ELECTROLYTIC CAPACITORS**

**UBY**

■ Dimensions

Cap. (µF)		V (Code)	Item	80 (1K)				100 (2A)					
				Case size φD × L (mm)	ESR (Ω) MAX.		Rated ripple (mArms)		Case size φD × L (mm)	ESR (Ω) MAX.		Rated ripple (mArms)	
					20°C/100kHz	-40°C/100kHz	125°C/100kHz	135°C/100kHz		20°C/100kHz	-40°C/100kHz	125°C/100kHz	135°C/100kHz
Code	Code												
160	161							12.5 × 20	0.074	0.56	1640	1420	
220	221							12.5 × 25	0.054	0.39	2520	2050	
270	271		12.5 × 20	0.074	0.56	1640	1420	16 × 20	0.053	0.34	2140	1910	
300	301							12.5 × 31.5	0.042	0.30	3110	2630	
360	361							12.5 × 35.5	0.038	0.25	3760	2970	
390	391		12.5 × 25	0.054	0.39	2520	2050	▲18 × 20	0.048	0.26	2350	2100	
430	431							16 × 25	0.038	0.23	2940	2680	
470	471		16 × 20	0.053	0.34	2140	1910	12.5 × 40	0.031	0.22	4610	3260	
510	511		12.5 × 31.5	0.042	0.30	3110	2630	16 × 31.5	0.034	0.20	3860	3050	
560	561							18 × 25	0.035	0.19	3080	2810	
620	621		12.5 × 35.5	0.038	0.25	3760	2970	18 × 35.5	0.027	0.15	4590	3420	
680	681		▲18 × 20	0.048	0.26	2350	2100						
750	751		16 × 25	0.038	0.23	2940	2680	18 × 31.5	0.028	0.15	4080	3220	
820	821		12.5 × 40	0.031	0.22	4610	3260	16 × 40	0.025	0.14	5190	3670	
950	951		16 × 31.5	0.034	0.20	3860	3050	18 × 35.5	0.023	0.12	5220	3690	
1000	102		▲18 × 25	0.035	0.19	3080	2810						
1100	112		18 × 40	0.021	0.11	5660	3820	18 × 40	0.021	0.11	5660	3820	
1300	132		16 × 35.5	0.027	0.15	4590	3420						
1600	162		18 × 31.5	0.028	0.15	4080	3220						
			16 × 40	0.025	0.14	5190	3670						
			▲18 × 35.5	0.023	0.12	5220	3690						
			18 × 40	0.021	0.11	5660	3820						

▲: In this case, [6] will be put at 12th digit of type numbering system.

● Frequency coefficient of rated ripple current

Cap. (µF)	Frequency	120Hz	1kHz	10kHz	100kHz or more
160		0.40	0.75	0.90	1.00
220 to 620		0.50	0.85	0.94	1.00
680 to 2000		0.60	0.87	0.95	1.00
2200 to 4300		0.75	0.90	0.95	1.00
4700 to 12000		0.85	0.95	0.98	1.00

Design, Specifications are subject to change without notice.

# ANEXO D

---

PÁGINAS RELEVANTES DA FICHA  
TÉCNICA PARA INDUTOR  
IHDM1107BBEV4R3M30

---


[www.vishay.com](http://www.vishay.com)

IHDM-1107BB-x0

Vishay Custom Magnetics

## High Current, Through-Hole Inductor, Edge-Wound Series



### APPLICATIONS

- High current and high temperature applications
- DC/DC converters
- High current differential mode chokes
- Inverters

### FEATURES

- High temperature operation, up to 180 °C continuous with no aging
- Low DCR to minimize losses and reduce temperature rise
- Powdered iron alloy core technology provides stable inductance and saturation over operating temperature with satisfactory core losses
- Soft saturation gives predictable inductance decrease with increasing DC current independent of temperature
- Series includes multiple powdered iron core materials for optimized performance in circuit application
- Standard terminal is stripped and tinned for through-hole mounting but other terminal configurations such as bare copper, SMD, and press fit pin are available upon request
- Hot dipped Sn plating provides low risk of whisker growth
- Custom options for inductance, current rating, DCR, mounting style and voltage rating are available
- Material categorization: for definitions of compliance please see [www.vishay.com/doc?99912](http://www.vishay.com/doc?99912)



**RoHS**  
COMPLIANT  
HALOGEN  
**FREE**  
**GREEN**  
(5-2008)

### STANDARD ELECTRICAL SPECIFICATIONS

PART NUMBER	L <sub>0</sub> INDUCTANCE ± 20 % AT 100 kHz, 0.25 V, 0 A (µH)	DCR AT 25 °C TYP. (mΩ)	DCR AT 25 °C MAX. (mΩ)	HEAT RATING CURRENT DC TYP. <sup>(1)</sup> (A)	SATURATION CURRENT DC		SRF TYP. (MHZ)	DIMENSION	
					TYP. <sup>(2)</sup> (A)	TYP. <sup>(3)</sup> (A)		A ± 0.8 [mm]	B ± 0.3 [mm]
<b>BEST BALANCE OF CORE LOSS AND SATURATION</b>									
IHDM1107BBEVR47M20	0.47	0.25	0.30	128	343	422	217	11.50	2.60
IHDM1107BBEV1R1M20	1.1	0.34	0.41	93	245	301	100	11.50	2.60
IHDM1107BBEV2R0M20	2.0	0.54	0.65	75	191	234	82	12.10	2.00
IHDM1107BBEV3R0M20	3.0	0.81	0.97	50	156	192	53	12.50	1.60
IHDM1107BBEV4R3M20	4.3	1.08	1.30	48	133	164	33	13.00	1.50
IHDM1107BBEV5R6M20	5.6	1.44	1.73	37	115	142	30	12.90	1.20
IHDM1107BBEV7R5M20	7.5	2.17	2.60	31	96	118	29	13.20	0.90
<b>LOWEST CORE LOSS</b>									
IHDM1107BBEVR68M30	0.68	0.25	0.30	125	202	248	181	11.50	2.60
IHDM1107BBEV1R5M30	1.5	0.34	0.41	91	134	165	80	11.50	2.60
IHDM1107BBEV2R7M30	2.7	0.54	0.65	72	103	127	62	12.10	2.00
IHDM1107BBEV4R3M30	4.3	0.81	0.97	64	85	105	44	12.50	1.60
IHDM1107BBEV6R2M30	6.2	1.08	1.30	56	74	91	25	13.00	1.50
IHDM1107BBEV8R2M30	8.2	1.44	1.73	39	59	73	22	12.90	1.20
IHDM1107BBEV120M30	12.0	2.17	2.60	35	49	61	21	13.20	0.90

### Notes

- The -20 series provides a good balance between core losses, saturation current, and high frequency stability up to 800 kHz
- The -30 series provides lower core losses with slightly lower saturation current
- All test data is referenced to 25 °C ambient
- Operating temperature range -55 °C to +180 °C
- The part temperature (ambient + temp. rise) should not exceed 180 °C under worst case operating conditions. Circuit design, component placement, PWB trace size and thickness, airflow and other cooling provisions all affect the part temperature. Part temperature should be verified in the end application

- (1) Isolation voltage, coil to core: 350 V<sub>DC</sub>, 60 s, 5 mA max.
- (2) DC current (A) that will cause an approximate ΔT of 40 °C
- (3) DC current (A) that will cause L<sub>0</sub> to drop approximately 20 %
- (3) DC current (A) that will cause L<sub>0</sub> to drop approximately 30 %

Revision: 14-Sep-2021

1

Document Number: 34574

For technical questions, contact: [magnetics@vishay.com](mailto:magnetics@vishay.com)

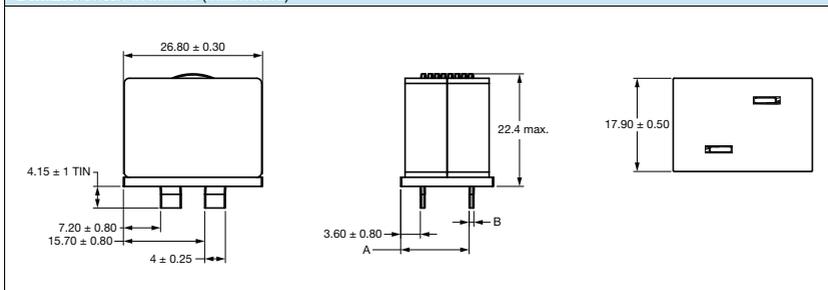
THIS DOCUMENT IS SUBJECT TO CHANGE WITHOUT NOTICE. THE PRODUCTS DESCRIBED HEREIN AND THIS DOCUMENT  
ARE SUBJECT TO SPECIFIC DISCLAIMERS, SET FORTH AT [www.vishay.com/doc?91000](http://www.vishay.com/doc?91000)


[www.vishay.com](http://www.vishay.com)

## IHDM-1107BB-x0

Vishay Custom Magnetics

### DIMENSIONS in inches (millimeters)



### DESCRIPTION

<b>IHDM-1107BB-30</b>	<b>1.2 <math>\mu</math>H</b>	<b><math>\pm 20</math> %</b>	<b>EV</b>	<b>e3</b>
MODEL	INDUCTANCE	INDUCTANCE TOLERANCE	PACKAGE	JEDEC® LEAD (Pb)-FREE STANDARD

### GLOBAL PART NUMBER

I	H	D	M	1	1	0	7	B	B	E	V	1	R	2	M	3	0
MODEL				SIZE					LEAD (Pb)-FREE	STYLE V: vertical	INDUCTANCE VALUE			TOL.	SERIES		



## ANEXO E

---

PÁGINAS RELEVANTES DA FICHA  
TÉCNICA PARA DIODO 124NQ060-1

---



124NQ.../R-1

Technical Data  
Data Sheet N1163, Rev. A



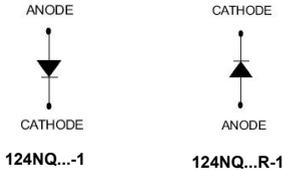
## 124NQ035/R-1 124NQ040/R-1 124NQ045/R-1 SCHOTTKY RECTIFIER



### Features

- 125°C T<sub>J</sub> operation
- Unique high power, Half-Pak module
- High purity, high temperature epoxy encapsulation for enhanced
- mechanical strength and moisture resistance
- Low forward voltage drop
- High frequency operation
- Guard ring for enhanced ruggedness and long term reliability
- Baseplate: Nickel plated; Terminals: Nickel plated
- This is a Pb – Free Device
- All SMC parts are traceable to the wafer lot
- Additional testing can be offered upon request

### Circuit Diagram



### Applications

- Switching power supply
- Converters
- Free-Wheeling diodes
- Reverse battery protection

### Maximum Ratings:

Characteristics	Symbol	Condition	Max.	Units	
Peak Repetitive Reverse Voltage	V <sub>RRM</sub>	-	35	124NQ035(R)-1	V
Working Peak Reverse Voltage	V <sub>RWM</sub>		40	124NQ040(R)-1	
DC Blocking Voltage	V <sub>R</sub>		45	124NQ045(R)-1	
Average Forward Current	I <sub>F(AV)</sub>	50% duty cycle @T <sub>c</sub> =76°C, rectangular wave form	120		A
Peak One Cycle Non-Repetitive Surge Current	I <sub>FSM</sub>	8.3 ms, half Sine pulse	2880		A
Non-Repetitive Avalanche Energy	E <sub>AS</sub>	T <sub>J</sub> =25°C, I <sub>AS</sub> =20A, L=0.67mH	135		mJ
Repetitive Avalanche Current	I <sub>AR</sub>	Current decaying linearly to zero in 1 µsec Frequency limited by T <sub>J</sub> max. V <sub>A</sub> =1.5×V <sub>R</sub> typical	20		A

- China - Germany - Korea - Singapore - United States •
- <http://www.smc-diodes.com> - [sales@smc-diodes.com](mailto:sales@smc-diodes.com) •



124NQ.../R-1

Technical Data  
Data Sheet N1163, Rev. A



### Electrical Characteristics:

Characteristics	Symbol	Condition	Typ.	Max.	Units
Forward Voltage Drop*	V <sub>F1</sub>	@ 120A, Pulse, T <sub>J</sub> = 25 °C @ 240A, Pulse, T <sub>J</sub> = 25 °C	0.49 -	0.54 0.71	V
	V <sub>F2</sub>	@ 120A, Pulse, T <sub>J</sub> = 125 °C @ 240A, Pulse, T <sub>J</sub> = 125 °C	0.43 -	0.52 0.71	V
Reverse Current*	I <sub>R1</sub>	@V <sub>R</sub> = rated V <sub>R</sub> , T <sub>J</sub> = 25 °C	4	10	mA
	I <sub>R2</sub>	@V <sub>R</sub> = rated V <sub>R</sub> , T <sub>J</sub> = 125 °C	1000	1200	mA
Junction Capacitance	C <sub>T</sub>	@V <sub>R</sub> = 5V, T <sub>C</sub> = 25 °C f <sub>sig</sub> = 1MHz	4300	5200	pF
Voltage Rate of Change	dv/dt	-	-	10,000	V/μs

\* Pulse width < 300 μs, duty cycle < 2%

### Thermal-Mechanical Specifications:

Characteristics	Symbol	Condition	Specification		Units
Junction Temperature	T <sub>J</sub>	-	-55 to +125		°C
Storage Temperature	T <sub>stg</sub>	-	-55 to +125		°C
Typical Thermal Resistance Junction to Case	R <sub>JUC</sub>	DC operation	0.40		°C/W
Typical Thermal Resistance, case to Heat Sink	R <sub>JCS</sub>	Mounting surface, smooth and greased	0.15		°C/W
Mounting Torque	T <sub>M</sub>	Non-lubricated threads	Mounting Torque	23(min) 29(max)	Kg-cm
			Terminal Torque	35(min) 46(max)	
Approximate Weight	wt	-	25.6		g
Case Style	PRM1-1				

- China - Germany - Korea - Singapore - United States •
- <http://www.smc-diodes.com> - [sales@smc-diodes.com](mailto:sales@smc-diodes.com) •