



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CAMPUS FLORIANÓPOLIS
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Maria Helena Belusso

**DESENVOLVIMENTO DE INVERSOR PARA O ACIONAMENTO DE
MOTORES DE INDUÇÃO TRIFÁSICOS APLICADOS EM VEÍCULOS
ELÉTRICOS COMPACTOS**

Florianópolis - SC
2021

Maria Helena Belusso

**DESENVOLVIMENTO DE INVERSOR PARA O ACIONAMENTO DE
MOTORES DE INDUÇÃO TRIFÁSICOS APLICADOS EM VEÍCULOS
ELÉTRICOS COMPACTOS**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do título de Mestre em Engenharia Elétrica.
Orientador: Prof. Ivo Barbi, Dr.

Florianópolis - SC

2021

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Belusso, Maria Helena

Desenvolvimento de Inversor para o Acionamento de Motores de Indução Trifásicos Aplicados em Veículos Elétricos Compactos / Maria Helena Belusso ; orientador, Ivo Barbi, 2021.

198 p.

Dissertação (mestrado) - Universidade Federal de Santa Catarina, Centro Tecnológico, Programa de Pós-Graduação em Engenharia Elétrica, Florianópolis, 2021.

Inclui referências.

1. Engenharia Elétrica. 2. Veículos elétricos compactos. 3. Aplicação de baixa tensão e corrente elevada. 4. Inversor fonte de tensão. 5. Motores de indução trifásicos. I. Barbi, Ivo. II. Universidade Federal de Santa Catarina. Programa de Pós-Graduação em Engenharia Elétrica. III. Título.

Maria Helena Belusso

**DESENVOLVIMENTO DE INVERSOR PARA O ACIONAMENTO DE
MOTORES DE INDUÇÃO TRIFÁSICOS APLICADOS EM VEÍCULOS
ELÉTRICOS COMPACTOS**

O presente trabalho em nível de mestrado foi avaliado e aprovado por banca
examinadora composta pelos seguintes membros:

Prof. Carlos Henrique Illa Font, Dr.
Universidade Tecnológica Federal do Paraná

Prof. Rodrigo Gaiba de Oliveira, Dr.
Centro Federal de Educação Tecnológica de Minas Gerais

Prof. César Rafael Claire Torrico, Dr.
Universidade Tecnológica Federal do Paraná

Certificamos que esta é a **versão original e final** do trabalho de conclusão que foi
julgado adequado para obtenção do título de Mestre em Engenharia Elétrica.

Prof. Telles Brunelli Lazzarin, Dr.
Coordenador do Programa

Prof. Ivo Barbi, Dr.
Orientador

Florianópolis - SC, 26 de julho de 2021.

Este trabalho é dedicado aos meus pais Ilizeu e Marlene,
aos meus irmãos e a Marcos Pohl.

AGRADECIMENTOS

Agradeço aos meus pais, pelo apoio incondicional e pela dedicação em garantir a mim e aos meus irmãos uma formação com base na educação e no trabalho. Sendo exemplos de determinação, honestidade e coragem.

Agradeço ao meu companheiro Marcos Pohl pela compreensão, pela força compartilhada ao longo desses anos, por todo o amor e carinho. Pela leitura do trabalho e por todas as palavras de incentivo.

Um profundo agradecimento ao professor Ivo Barbi, pela orientação em nível de excelência, por toda a dedicação e comprometimento. Agradeço por todas as reuniões, conversas e todo o conhecimento compartilhado, que vai além do conhecimento técnico, sendo uma inspiração com sua sabedoria e cordialidade. Foi um privilégio poder construir esse trabalho sob sua orientação.

Agradeço à toda a equipe do IBEPE, Patrícia Schmitt Souza, Rogério da Silva Júnior, Victor Borges e Carlos Possamai, que contribuíram de forma direta ou indiretamente com esse trabalho, um agradecimento especial a Patrícia por toda dedicação, pelo auxílio nas questões administrativas e por sempre estar disposta a ajudar.

Aos amigos Angélica Paula Caús, Filipe Tavares Carneiro, Tallys Lins Almeida Barbosa, Alexsandra Rospirski, Évelyn Sagiorato e Jade Melo pelos momentos de descontração, pelo apoio e troca de conhecimento. Em especial à Angélica por todo o suporte e auxílio na montagem das cargas, sobretudo pela amizade.

Aos professores André Kirsten, Arnaldo Perin, Denizar Martins, Gierr Waltrich, Marcelo Lobo Heldwein, Roberto Coelho, Samir Ahmad Mussa e Telles Lazzarin, do INEP e ao Nelson Sadowski do GRUCAD, pelos ensinamentos durante as disciplinas do mestrado.

Agradeço aos professores da banca, Carlos Henrique Illa Font, Rodrigo Gaiba de Oliveira e César Rafael Claire Torrico, pela disponibilidade em aceitar o convite de contribuir com seus conhecimentos e experiências no presente trabalho.

Agradeço à Hercules Motores pela contribuição neste trabalho, por disponibilizar um banco de baterias e pela doação de um motor de indução à UFSC. Um agradece-

mento especial ao Jonas Klug, Marcos Roberto Reinert e Leandro Bertolino pela troca de conhecimento e receptividade na Hercules Motores durante visita técnica.

Agradeço à WEG Drives & Controls por disponibilizar a estrutura de laboratório para realização dos ensaios experimentais deste trabalho. Em especial ao Kleber Chan Bekoski por todo suporte e acompanhamento durante a realização dos testes experimentais, ao Adriano da Silva Dias por todo o conhecimento compartilhado, ao Gleisson Jardim Franca pela contribuição nos testes experimentais, ao Glauco Pires Siqueira pela ajuda na montagem do setup de testes, ao Sandro Alex Wuerges, ao Leonardo Tameirão Ferreira e aos demais membros da equipe que contribuíram direta ou indiretamente.

À Universidade Federal de Santa Catarina e ao Programa de Pós-Graduação em Engenharia Elétrica, pela oportunidade de realizar o mestrado em uma universidade pública e com ensino em nível de excelência.

Ao CNPq, pela bolsa de mestrado que me foi concedida.

Ao povo brasileiro, pelo financiamento desta formação e de muitas outras.

*“Talvez não tenha conseguido fazer o melhor,
mas lutei para que o melhor fosse feito.
Não sou o que deveria ser,
mas Graças a Deus, não sou o que era antes.”*
Marthin Luther King

RESUMO

As aplicações em mobilidade elétrica estão em constante crescimento e evolução, tendo em vista as mudanças no cenário social, econômico, ambiental e tecnológico. Nesse contexto, este trabalho apresenta o desenvolvimento de um inversor trifásico de 48V para sistemas de tração elétrica de veículos compactos. Contemplando os principais requisitos para o projeto do estágio de potência, atribuído no acionamento de motores de indução trifásicos para aplicações de baixa tensão e elevada corrente. A topologia utilizada consiste em um inversor fonte de tensão, o qual foi dimensionado para uma potência de 5kW, com a tensão nominal de alimentação de 48V CC e a corrente de saída de 122Arms. Para atender as especificações foram utilizados MOSFETs discretos associados em paralelo, sendo realizada uma análise sobre o paralelismo com o intuito de avaliar os impactos nas perdas dos semicondutores e os requisitos necessários para permitir essa configuração. A metodologia de projeto consiste na análise do estado da arte da aplicação, avaliação de tecnologias, estudo da fundamentação teórica acerca do acionamento de motores de indução, realização de simulações numéricas, estruturação do projeto, seleção dos componentes, desenvolvimento e construção do protótipo para validação experimental. Os ensaios experimentais foram realizados em etapas, inicialmente com testes funcionais, em seguida com carga RL e corrente reduzida, testes para avaliar a performance de comutação dos semicondutores e por fim testes com dinamômetro para validação do protótipo operando com potência nominal. A partir dos resultados foi possível validar a metodologia de projeto, observar pontos determinantes da aplicação de baixa tensão e correntes elevadas, tais como os efeitos de indutâncias parasitas e as estratégias para mitigá-los.

Palavras-chave: Baixa tensão, Corrente elevada, Inversor fonte de tensão. Motor de indução. Tração elétrica.

ABSTRACT

Electric mobility applications are constant growing and evolving, in view of the changes in the social, economic, environmental and technological scenario. In this context, this work presents the development of a 48V three-phase inverter for electric traction systems of compact vehicles. Contemplating the main requirements for the design of the power stage, assigned to drive three-phase induction motors for low voltage and high current applications. The topology used consists of a voltage source inverter, which was dimensioned for a power of 5kW, with a nominal supply voltage of 48V DC and output current of 122Arms. To comply with the specifications, discrete MOSFETs associated in parallel were used, and an analysis of the parallelism was performed in order to evaluate the impacts on semiconductor losses and the necessary requirements to allow this configuration. The project methodology consists of analyzing the application state of the art, evaluating technologies, studying the theoretical background about the driving of induction motors, carrying out numerical simulations, structuring the project, selecting components, developing the prototype for experimental validation. Experimental tests were implemented in stages, initially with functional tests, then with RL load and reduced current, tests to evaluate the switching performance of semiconductors and finally tests with a dynamometer to validate the prototype operating at rated power. Based on the results, it was possible to validate the design methodology, observe determining points in the application of low voltage and high currents, such as the effects of stray inductances and the strategies to mitigate them.

Keywords: Low voltage. High current. Voltage source inverter. Induction motor. Electric traction.

LISTA DE FIGURAS

Figura 1 – Impacto das políticas globais em 2050.	23
Figura 2 – Diagrama funcional do inversor trifásico.	27
Figura 3 – Representação do motor de indução trifásico de dois polos.	28
Figura 4 – Circuito elétrico do motor de indução trifásico conectado em Y.	28
Figura 5 – Diagrama fasorial com a relação entre o sistema em coordenadas abc e em coordenadas $qd0$	32
Figura 6 – Circuito equivalente do motor de indução trifásico equilibrado em um referencial arbitrário.	33
Figura 7 – Representação do modelo mecânico do motor de indução.	35
Figura 8 – Estados topológicos do VSI com a modulação <i>Space Vector</i>	36
Figura 9 – Vetores das tensões de saída no sistema de coordenadas $\beta\alpha$ para um inversor trifásico a três fios.	36
Figura 10 – Planos de separação.	38
Figura 11 – Vetor de comando no setor 1.	39
Figura 12 – Formas de onda da corrente, velocidade e torque eletromagnético do motor de indução.	42
Figura 13 – Diagrama de operação em malha aberta.	43
Figura 14 – Tensão senoidal trifásica de referência em coordenadas abc e em coordenadas $\alpha\beta$	44
Figura 15 – Tempo de aplicação dos vetores e setores.	45
Figura 16 – Sinais PWM provenientes da técnica <i>Space Vector Modulation</i>	46
Figura 17 – Sinais PWM filtrados das fases A, B e C, provenientes da técnica <i>Space Vector Modulation</i>	47
Figura 18 – Tensão senoidal trifásica sintetizada.	47
Figura 19 – Corrente trifásica na carga.	48
Figura 20 – Representação de uma fase do inversor.	50
Figura 21 – Corrente nos MOSFETs.	51

Figura 22 – Circuito equivalente para análise da corrente nos capacitores do barramento CC.	52
Figura 23 – Corrente normalizada no capacitor de barramento com relação a corrente de saída do inversor.	53
Figura 24 – Corrente no capacitor do barramento CC.	54
Figura 25 – Efeito das indutâncias parasitas na sobretensão dos semicondutores. . .	55
Figura 26 – Perdas de condução normalizadas em função do número de MOSFETs em paralelo.	58
Figura 27 – Perdas de condução no diodo normalizadas em função do número de MOSFETs em paralelo.	60
Figura 28 – Comutação de um MOSFET com carga indutiva.	61
Figura 29 – Transitórios da comutação do MOSFET.	62
Figura 30 – Perdas de comutação no MOSFET normalizadas em função do número de MOSFETs em paralelo.	65
Figura 31 – Perdas de comutação no diodo normalizadas em função do número de MOSFETs em paralelo.	66
Figura 32 – Perdas pela energia armazenada na capacitância de saída em função do número de MOSFETs em paralelo e da tensão V_{CC}	67
Figura 33 – Proporção de cada parcela de perdas no valor total de perdas do inversor. . .	68
Figura 34 – Temperatura de junção normalizada em função do número de MOSFETs em paralelo.	69
Figura 35 – Rendimento do inversor em função do número de MOSFETs em paralelo. . .	69
Figura 36 – Gate driver.	72
Figura 37 – Característica da carga da porta do MOSFET.	73
Figura 38 – Tecnologias de semicondutores em função da potência e frequência de operação.	78
Figura 39 – FOM - <i>Figure of Merit</i> para avaliar a performance do MOSFET.	79
Figura 40 – MOSFETs de baixa tensão por aplicação.	80
Figura 41 – Modelo térmico.	81
Figura 42 – Pico de corrente de porta em função do número de MOSFETs em paralelo. . .	87
Figura 43 – Diagrama da aplicação do gate driver em uma fase do inversor.	88
Figura 44 – Protótipo de inversor de 48V para acionamento de motor de indução para tração elétrica.	90
Figura 45 – Sinais de comando.	93
Figura 46 – Tensão entre porta e fonte do MOSFET S_4 (Canal 1), do MOSFET S_5 (Canal 2) do MOSFET S_6 (Canal 3).	94
Figura 47 – Tensão entre dreno e fonte do MOSFET S_4 (Canal 1), do MOSFET S_5 (Canal 2) do MOSFET S_6 (Canal 3).	95
Figura 48 – Banco de resistores.	96

Figura 49 – Correntes trifásicas de saída do inversor.	96
Figura 50 – Tensão entre dreno e fonte medida no MOSFET S_6	97
Figura 51 – Teste de Double Pulse na fase A	98
Figura 52 – Ilustração do loop de comutação de uma fase do inverter.	99
Figura 53 – Teste de <i>double pulse</i> para o loop de comutação entre a fase A e B. . .	100
Figura 54 – Teste de <i>double pulse</i> para o loop de comutação entre a fase A e B $S_1 - S_5$, com pulsos aplicados em S_1	102
Figura 55 – Loop de comutação $S_2 - S_4$, com pulsos aplicados em S_4	104
Figura 56 – Teste de <i>double pulse</i> com loop de comutação $S_1 - S_5$, para valores diferentes de capacitância inserida para auxiliar na performance de comutação.	105
Figura 57 – Bancada de teste com motor de indução	106
Figura 58 – Posição dos termopares.	107
Figura 59 – Temperatura no encapsulamento dos MOSFETs resultante do ensaio com o inversor posicionado sobre a bancada.	109
Figura 60 – Temperatura nos Capacitores resultante do ensaio com o inversor posi- cionado sobre a bancada.	110
Figura 61 – Temperatura no encapsulamento dos MOSFETs resultante do ensaio com o inversor elevado da bancada.	111
Figura 62 – Temperatura nos Capacitores resultante do ensaio com o inversor ele- vado da bancada.	112
Figura 63 – Circuito térmico e transitório térmico.	112
Figura 64 – Corrente na fase A (Canal 1), Corrente na fase B (Canal 2), Corrente na fase C (Canal 3) e Tensão entre dreno e fonte (Canal 4). Escala de tempo de $10\mu s$	115
Figura 65 – Corrente na fase A (Canal 1), Corrente na fase B (Canal 2), Corrente na fase C (Canal 3) e Tensão entre dreno e fonte (Canal 4). Escala de tempo de $200ns$	115
Figura 66 – Corrente na fase A (Canal 1), Corrente na fase B (Canal 2), Corrente na fase C (Canal 3) e Tensão entre porta e fonte (Canal 4). Escala de tempo de $20\mu s$	116
Figura 67 – Corrente na fase A (Canal 1), Corrente na fase B (Canal 2), Corrente na fase C (Canal 3) e Tensão entre porta e fonte (Canal 4). Escala de tempo de $500ns$	116
Figura 68 – Corrente na fase A (Canal 1), Corrente na fase B (Canal 2), Corrente na fase C (Canal 3) e Tensão entre as fases A e B (Canal 4).	117
Figura 69 – Rendimento em função da potência de saída.	118
Figura 70 – Sinais PWM para cada setor: (a) Setor 1; (b) Setor 2; (c) Setor 3; (d) Setor 4; (e) Setor 5; (f) Setor 6.	129

Figura 71 – $R_{DS(on)}$ em função da temperatura de junção.	132
Figura 72 – C_{rss} em função da tensão V_{DS}	133

LISTA DE TABELAS

Tabela 1 – Estados de comutação e sinais de saída u_β e u_α	38
Tabela 2 – Sequência de comutação.	40
Tabela 3 – Parâmetros do motor de indução trifásico.	41
Tabela 4 – Perdas de condução no MOSFET.	57
Tabela 5 – Perdas de condução no diodo.	59
Tabela 6 – Perdas de comutação no MOSFET.	64
Tabela 7 – Perdas de comutação no diodo.	65
Tabela 8 – Parâmetros de projeto do inversor trifásico para tração elétrica.	76
Tabela 9 – Principais parâmetros dos MOSFETs.	80
Tabela 10 – Parâmetros para cálculo de resistência térmica.	82
Tabela 11 – Resultados do cálculo de perdas.	82
Tabela 12 – Balanço do cálculo de perdas.	83
Tabela 13 – Resultados do cálculo térmico.	83
Tabela 14 – Principais parâmetros de projeto do Inversor.	86
Tabela 15 – Pico de corrente de porta.	87
Tabela 16 – Principais componentes utilizados no projeto.	89
Tabela 17 – Temperaturas máximas registradas em cada ponto de medição.	110
Tabela 18 – Impedância térmica do sistema referente à elevação da temperatura.	113
Tabela 19 – Impedância térmica do sistema referente ao decaimento da temperatura.	114
Tabela 20 – Matrizes de decomposição.	126
Tabela 21 – Intervalos de tempo para cada setor.	127
Tabela 22 – Intervalos de tempo da aplicação dos vetores de acordo com a sequência de comutação.	128

LISTA DE ABREVIATURAS E SIGLAS

EPE	(Empresa de Pesquisa Energética)
GaN	<i>Gallium Nitride Transistor</i> (Transistor de Nitreto de Gálio)
IGBT	<i>Insulated Porta Bipolar Transistor</i> (Transistor Bipolar de Porta Isolada)
MIT	(<i>Massachusetts Institute of Technology</i>)
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> (Transistor de Efeito de Campo Metal - Óxido - Semicondutor)
SiC	<i>Silicon Carbide</i> (Carbeto de Silício)
VSI	<i>Voltage fonte Inverter</i> (Inversor Fonte de Tensão)

LISTA DE SÍMBOLOS

\mathbf{v}_{abc}	Tensões trifásicas do estator
\mathbf{v}_{abcr}	Tensões trifásicas do rotor
abc	Variáveis referentes as fases "a", "b" e "c"
\mathbf{r}_s	Resistência do estator
\mathbf{r}_r	Resistência do rotor
\mathbf{i}_{abc}	Vetor das correntes trifásicas do estator
\mathbf{i}_{abcr}	Vetor das correntes trifásicas do rotor
(\cdot)	Derivada em relação ao tempo
λ_{abc}	Fluxo concatenado do estator
λ_{abcr}	Fluxo concatenado do rotor
L_{ls}	Indutância de dispersão dos enrolamentos do estator
L_{ms}	Indutância de magnetização dos enrolamentos do estator
L_{lr}	Indutância de dispersão dos enrolamentos do rotor
L_{mr}	Indutância de magnetização dos enrolamentos do rotor
L_{sr}	Indutância mútua entre os enrolamentos do estator e rotor
θ_r	Posição entre enrolamentos do estator e rotor em termos elétricos
P	Número de polos
θ_{mec}	Posição angular mecânica do motor
\mathbf{L}'_r	Matriz de indutância dos enrolamentos do rotor referida ao estator
\mathbf{f}_{qd0}	Vetores no sistema $qd0$
\mathbf{f}_{abc}	Vetores no sistema abc
\mathbf{K}	Matriz de transformação de Park
ω_r	Velocidade rotórica em termos elétricos
ω	Velocidade do sistema de referência arbitrário
i_{qs}	Corrente de eixo em quadratura do estator
i_{ds}	Corrente de eixo direto do estator
i_{qr}	Corrente de eixo em quadratura do rotor
i_{dr}	Corrente de eixo direto do rotor

V_{qs}	Tensão de eixo em quadratura do estator
V_{ds}	Tensão de eixo direto do estator
V_{qr}	Tensão de eixo em quadratura do rotor
V_{dr}	Tensão de eixo direto do rotor
λ_{qs}	Fluxo magnético no eixo em quadratura do estator
λ_{ds}	Fluxo magnético no eixo direto do estator
λ_{qr}	Fluxo magnético no eixo em quadratura do rotor
λ_{dr}	Fluxo magnético no eixo direto do rotor
L_M	Indutância mútua entre os enrolamentos do estator e do rotor
T_e	Torque eletromagnético
D	Coefficiente de atrito viscoso
J	Momento de inércia
T_L	Torque da carga
ω_{r_mec}	Velocidade mecânica do rotor
M	Matriz de decomposição
T_j	Temperatura de junção
V_{TO}	Força-eletromotriz do diodo
r_T	Resistência do diodo
I_{Dmed}	Valor médio da corrente do diodo
I_{Def}	Valor eficaz da corrente no diodo
V_{Dr}	Tensão do gate driver
v_{GS}	Tensão entre porta e fonte
R_G	Resistência de porta
C_{iss}	Capacitância de entrada do MOSFET
C_{GD}	Capacitância entre porta e dreno
C_{GS}	Capacitância entre porta e fonte
$V_{GS(th)}$	Tensão de <i>threshold</i>
tri	Tempo do subida da corrente no semiconductor
V_{CC}	Tensão do barramento CC
R_{DSon}	Resistência de condução do MOSFET
t_{fu}	Tempo de decaimento da tensão no semiconductor
$V_{(plateau)}$	Tensão do platô de Miller
v_{DS}	Tensão entre dreno e fonte
C_{rss}	Capacitância de transferência reversa - <i>Reverse transfer capacitance</i>
t_{fi}	Tempo do decaimento da corrente no semiconductor
tru	Tempo do subida da tensão no semiconductor
E_{onM}	Energia dissipada durante a entrada da condução do MOSFET
E_{offM}	Energia dissipada durante o bloqueio do MOSFET
Q_{rr}	Carga de recuperação reversa do diodo

I_{Don}	Corrente de dreno durante a entrada em condução
I_{Doff}	Corrente de dreno durante o início do bloqueio
I_{Srms}	Corrente RMS no semiconductor
P_{swD}	Perdas de comutação no MOSFET
Q_{rss}	Carga da recuperação reversa do diodo
Q_G	Carga da porta
Q_{gs}	Carga de porta-fonte
Q_{gd}	Carga de porta-dreno
$R_{th,jc}$	Resistência térmica entre junção e o encapsulamento
$R_{th,iso}$	Resistência térmica do material isolante
$R_{th,pasta}$	Resistência térmica da pasta térmica
$R_{th,diss}$	Resistência térmica do isolador
T_a	Temperatura ambiente

SUMÁRIO

CAPÍTULO 1	21	
1	INTRODUÇÃO	21
1.1	CONTEXTUALIZAÇÃO E MOTIVAÇÃO	21
1.2	OBJETIVOS	24
1.2.1	Objetivos Gerais	24
1.2.2	Objetivos Específicos	24
1.3	ESTRUTURA DO DOCUMENTO	24
CAPÍTULO 2	26	
2	FUNDAMENTOS E PROCEDIMENTOS PARA A IMPLEMENTAÇÃO	26
2.1	MODELAGEM DE MOTORES DE INDUÇÃO TRIFÁSICOS	27
2.1.1	Modelo Elétrico do Motor de Indução Trifásico em Coordenadas abc	27
2.1.2	Transformação do Modelo em Coordenadas abc para Coordenadas qd0	31
2.1.3	Modelo Mecânico do Motor de Indução Trifásico	34
2.2	MODULAÇÃO VETORIAL	35
2.3	SIMULAÇÃO NUMÉRICA DO SISTEMA EM MALHA ABERTA	41
2.4	CONCLUSÕES DO CAPÍTULO	48
CAPÍTULO 3	49	
3	INVERSORES APLICADOS NO ACIONAMENTO DE MOTORES DE BAIXA TENSÃO E ALTA CORRENTE	49
3.1	ESFORÇOS DE CORRENTE E TENSÃO NOS COMPONENTES DE POTÊNCIA	49
3.1.1	Esforço de Corrente nos Semicondutores	49
3.1.2	Esforço de Corrente no Capacitor do Barramento CC	51
3.1.3	Esforço de Tensão e Análise do Efeito de Indutâncias Parasitas	54
3.2	PERDAS NOS SEMICONDUCTORES	55
3.2.1	Perdas de Condução	56
3.2.2	Perdas de Comutação	60
3.2.3	Perdas pela Energia Armazenada na Capacitância de Saída	66
3.2.4	Balço de Perdas	67
3.3	CRITÉRIOS FUNDAMENTAIS PARA O DIMENSIONAMENTO DO BARRAMENTO CC	70

3.4	CRITÉRIOS FUNDAMENTAIS PARA OS CIRCUITOS DE COMANDO	72
3.5	CONCLUSÕES DO CAPÍTULO	74
	CAPÍTULO 4	76
4	ESPECIFICAÇÃO DO INVERSOR TRIFÁSICO DE 48V PARA TRACÇÃO ELÉTRICA	76
4.1	SEMICONDUTOR DE POTÊNCIA	77
4.2	PROJETO TÉRMICO	81
4.3	CAPACITORES DO BARRAMENTO	85
4.4	GATE DRIVER	87
4.5	PROTÓTIPO	89
4.6	CONCLUSÕES DO CAPÍTULO	90
	CAPÍTULO 5	92
5	RESULTADOS EXPERIMENTAIS	92
5.1	TESTES FUNCIONAIS	92
5.2	TESTE COM CARGA RL	95
5.3	TESTE DE DOUBLE PULSE	97
5.4	TESTE TÉRMICO	105
5.5	CONCLUSÕES DO CAPÍTULO	118
	CONCLUSÕES GERAIS	120
	REFERÊNCIAS	122
	APÊNDICE A MODULAÇÃO <i>SPACE VECTOR</i>	125
A.1	MATRIZES DE DECOMPOSIÇÃO	125
A.2	INTERVALOS DE TEMPO DA APLICAÇÃO DOS VETORES DE COMUTAÇÃO	126
A.3	IMPLEMENTAÇÃO DA MODULAÇÃO <i>SPACE VECTOR</i>	127
	APÊNDICE B CÁLCULO DE PERDAS NOS MOSFETS . . .	131
B.1	IMPACTO DA TEMPERATURA NAS PERDAS DE CONDUÇÃO .	131
B.2	PERDAS DE COMUTAÇÃO	132
	APÊNDICE C PLANILHAS DE CÁLCULOS	135
	APÊNDICE D ESQUEMÁTICOS E LAYOUTS	150
	ANEXO A FOLHAS DE DADOS	161

CAPÍTULO 1

INTRODUÇÃO

1.1 CONTEXTUALIZAÇÃO E MOTIVAÇÃO

O veículo elétrico representa uma alternativa sustentável na conjuntura socioambiental para promover a redução de efeitos nocivos ao meio ambiente, correlacionados principalmente com a emissão de dióxido de carbono e a exploração excessiva de combustíveis fósseis.

O aumento da frota de veículos elétricos tem grande impacto positivo, porém essa ascensão está atrelada a diversos fatores políticos e econômicos. A estrutura atual do mercado de veículos em geral, consolidada há longo tempo, dificulta a viabilização da inserção de veículos elétricos, tendo em vista que todo o processo econômico é voltado para veículos a combustão. Grandes indústrias montadoras com estoques volumosos destinados a mecânica de veículos a combustão, a área comercial de autopeças, a indústria de petróleo e demais partes afetadas com o aumento de veículos elétricos no mercado, demandam da necessidade de adequação para esse novo cenário.

De fato, esses fatores representam um empasse para a ascensão dos veículos elétricos no país, contudo com o fortalecimento de políticas públicas que vêm acontecendo em diversos outros países, como a China e vários países da Europa, a tendência é que o Brasil venha a aderir essa mudança de forma gradativa.

Segundo a Empresa de Pesquisa Energética (EPE), o setor de transporte terá modificações contundentes no futuro, devido ao contexto de mudanças climáticas e de políticas ambientais, à instabilidade do preço do petróleo, o surgimento de novas fontes de energia em potencial, os riscos geopolíticos, às inovações tecnológicas de grande impacto e às mudanças de hábitos da sociedade (EPE, 2018).

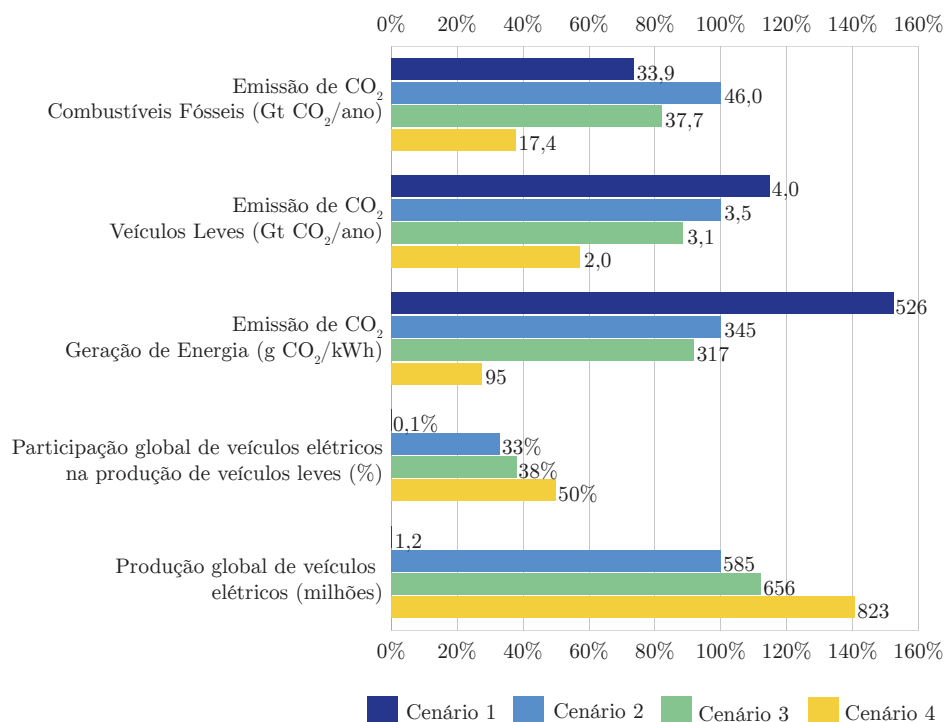
No âmbito mundial, há o Acordo de Paris que entrou em vigor em 4 de novembro de 2016, o qual inclui um plano de ação para limitar o aquecimento global, sendo ratificado

por 55 países, que representam pelo menos 55% das emissões de gases para o efeito estufa. As diretrizes do plano estão voltadas para um objetivo a longo prazo, que consiste em manter o aumento da temperatura média mundial abaixo dos 2°C em relação aos níveis pré-industriais (CONSELHO EUROPEU, 2019).

De acordo com as métricas estabelecidas no Acordo de Paris, um estudo realizado por *Massachusetts Institute of Technology* (MIT) traz a análise dos pontos de interesse para o futuro da mobilidade, a Figura 1 relaciona a estimativa de emissão de dióxido de carbono e da evolução da frota de veículos elétricos para diferentes cenários:

- Cenário 1 - 2015, ano base do acordo de Paris.
- Cenário 2 - Estimativa para 2050 considerando que nenhuma política adicional é aplicada para mitigar as emissões de gases de efeito estufa e exclui os compromissos associados ao Acordo de Paris.
- Cenário 3 - Estimativa para 2050 considerando que os compromissos firmados no Acordo de Paris serão totalmente implementados até o ano de 2030 e mantidos depois disso sem nenhuma ação política adicional.
- Cenário 4 - Estimativa para 2050 considerando que todos os países cumpram com os compromissos firmados no acordo de Paris até o ano de 2030 e com a implementação de políticas adicionais nos anos subsequentes, visando diminuir as emissões de gases de efeito em nível necessário para limitar o aquecimento médio a 2°C.

Figura 1 – Impacto das políticas globais em 2050.



Fonte – Adaptado de (MIT, 2019)

A ausência de ações políticas tratadas no acordo de Paris implica em um aumento superior a 35% na emissão de dióxido de carbono em 2050 com relação a 2015, pertinente a emissão oriunda de combustíveis fósseis. A implementação das diretrizes do acordo de Paris até o ano de 2030 impacta em um aumento de 11% referente a 2015. Considerando a meta de limitar o aquecimento global em 2°C, sendo implementadas ações políticas contundentes até o ano de 2030 e continuamente nos anos seguintes, isso impactaria em uma redução superior a 60% na emissão de CO₂ em 2050 com relação a 2015.

A proporção de veículos elétricos na frota de veículos leves cresce substancialmente até 2050 em todos os cenários, porém é significativamente superior para o Cenário 4, nesse caso 50% da frota mundial de veículos é composta por veículos elétricos, frente a 33% para o Cenário 2 e a 38% para o cenário de Cenário 3.

A emissão global de dióxido de carbono proveniente de veículos leves tem uma redução significativa no Cenário 4, comparado com 2015 há a redução de 50% e mais de 40% comparado com ano de 2050 referente ao Cenário 2. Observa-se que há uma menor emissão em 2050 comparado com 2015, mesmo sem nenhuma ação política adicional, isso se deve a economia de combustível e uma crescente participação de veículos elétricos no mercado.

Referente a intensidade global da emissão de CO₂ na geração de energia, projeta-se uma redução expressiva de mais de 80% no Cenário 4, essa redução é reflexo da contribuição

de fontes de energia renováveis, opções mais abundantes e de menor custo no setor de energia. Em geral, a perspectiva é que com a redução da emissão de CO_2 na geração de energia e com o aumento da frota de veículos elétricos leves haverá uma contribuição efetiva para a mitigação das mudanças climáticas.

Diante do contexto apresentado e os diversos fatores associados, torna-se fundamental a pesquisa para o desenvolvimento de tecnologia nacional, que favoreça o mercado de veículos elétricos no Brasil, de modo a garantir o compromisso com as questões socioambientais e visando a participação e contribuição econômica do país em âmbito nacional e internacional nessa área que representa uma disrupção tecnológica.

1.2 OBJETIVOS

1.2.1 Objetivos Gerais

O propósito deste trabalho de dissertação consiste no desenvolvimento e implementação de um inversor de baixa tensão, para o acionamento de motores de indução trifásicos empregados na tração elétrica de veículos compactos. Abordando os principais fundamentos e desafios inerentes ao projeto, tais como a mitigação dos efeitos de indutâncias parasitas, o paralelismo de MOSFETs e demais critérios para a especificação apropriada dos componentes de um inversor de baixa tensão e elevada corrente.

1.2.2 Objetivos Específicos

- Estudo e análise do inversor trifásico tipo fonte de tensão;
- Estudo do modelo matemático de motores de indução trifásicos;
- Estudo e implementação da técnica de modulação vetorial;
- Análise dos critérios para a associação de MOSFETs em paralelo;
- Estudo e busca de soluções para mitigação dos efeitos de indutâncias parasitas na aplicação.
- Projeto, simulação e validação experimental do inversor proposto.

1.3 ESTRUTURA DO DOCUMENTO

No Capítulo 2 são abordados os principais fundamentos para o acionamento e controle de motores de indução trifásicos. O conteúdo apresenta o modelo dinâmico do motor, o qual representa a relação entre as grandezas elétricas, magnéticas e mecânicas; a teoria sobre a transformação de coordenadas; a topologia do conversor; a técnica de modulação vetorial que será empregada e os resultados de simulações numéricas do sistema em malha aberta para validação do modelo do motor e do inversor.

No Capítulo 3 serão abordados os principais desafios da implementação do inversor de frequência em aplicações de baixa tensão e alta corrente em um aspecto geral, é realizada uma análise sobre a associação de MOSFETs em paralelo, são determinados os esforços de corrente e de tensão sobre os componentes e são apresentadas as diretrizes para o dimensionamento e seleção dos componentes.

No Capítulo 4 é realizada a especificação do inversor de frequência fonte de tensão. A partir das considerações realizadas no Capítulo 3, são apresentados os componentes selecionados, em seguida é realizada a análise térmica do conversor, um dos principais critérios para o dimensionamento de conversores para aplicações com alta corrente.

Por fim, no Capítulo 5 são descritos os ensaios experimentais e apresentados os resultados.

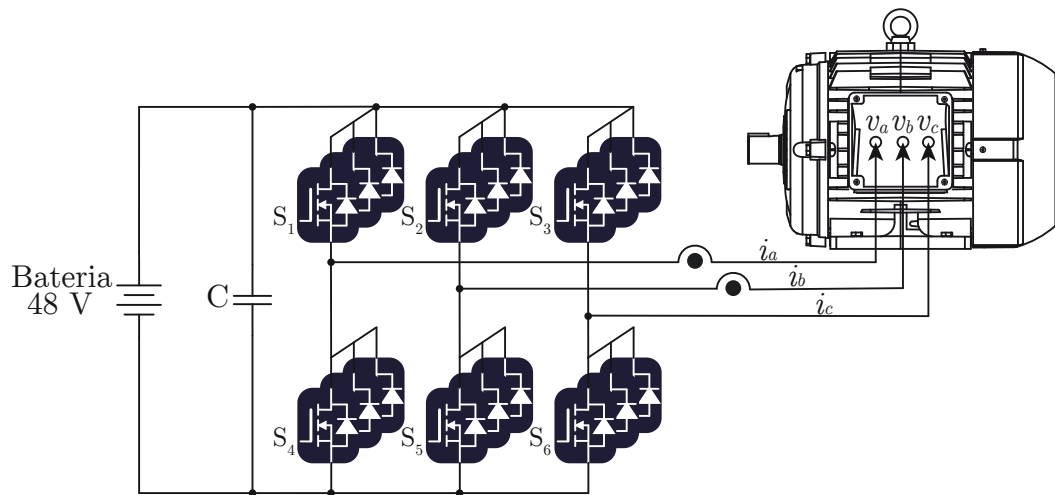
CAPÍTULO 2

FUNDAMENTOS E PROCEDIMENTOS PARA A IMPLEMENTAÇÃO

Neste capítulo serão apresentados os principais fundamentos e procedimentos para a implementação do inversor, tais como a modelagem de motores de indução trifásicos, a técnica de modulação empregada e simulações numéricas do sistema em malha aberta.

O acionamento de motores aplicados em veículos elétricos é realizado por um Inversor Fonte de Tensão - *Voltage fonte Inverter* (VSI). O VSI é composto por seis interruptores, onde cada par constitui um braço da saída trifásica, a Figura 2 apresenta o diagrama geral da aplicação, nesta estrutura a tensão CC fornecida pela bateria é convertida em tensões trifásicas CA, mediante a aplicação de técnicas de modulação e a comutação em alta frequência de semicondutores.

Figura 2 – Diagrama funcional do inversor trifásico.



Fonte – Autoria própria.

2.1 MODELAGEM DE MOTORES DE INDUÇÃO TRIFÁSICOS

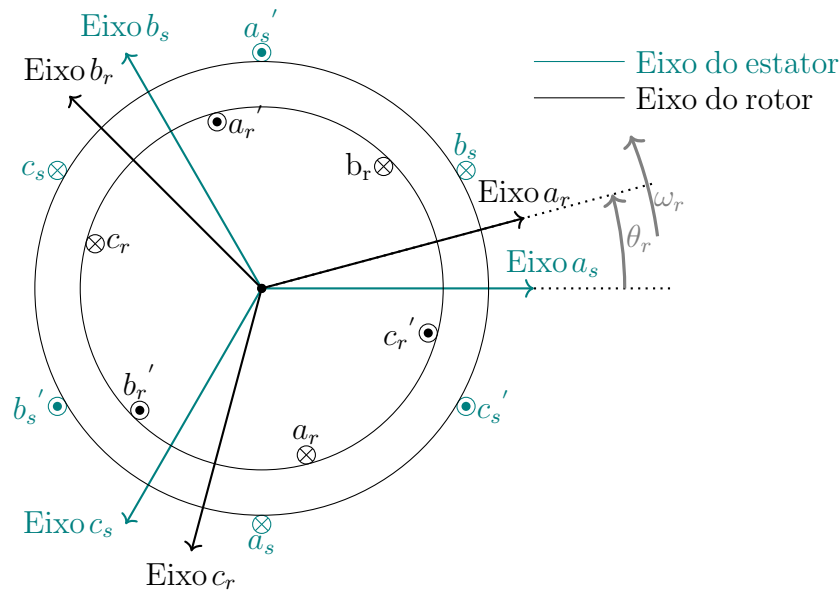
A máquina de indução é utilizada em diversas aplicações que envolvem a conversão eletromecânica de energia. Devido às vantagens como robustez e baixo custo representa uma excelente solução para as mais diversas áreas, inclusive para a mobilidade elétrica. Neste capítulo, são abordadas técnicas clássicas para a obtenção das equações de tensão, fluxo e torque de uma máquina de indução, expressas em termos de variáveis da máquina. A partir desta análise é possível representar as relações existentes entre as grandezas elétricas, magnéticas e mecânicas do motor de indução.

2.1.1 Modelo Elétrico do Motor de Indução Trifásico em Coordenadas abc

O modelo elétrico do motor de indução trifásico é obtido a partir da análise de uma máquina de indução trifásica simétrica de dois polos, apresentada nas Figuras 3 e 4, nesta análise o fluxo no entreferro é considerado constante e a saturação do núcleo e a resistência que representa as perdas magnéticas são desconsideradas, essa modelagem é apresentada de acordo com a literatura (KRAUSE *et al.*, 2013).

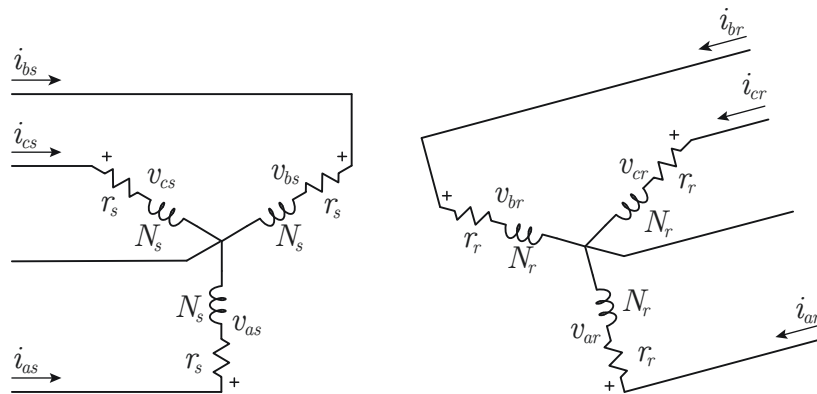
A Figura 3 representa a forma como os enrolamentos são distribuídos no aspecto construtivo da máquina e a Figura 4 apresenta o circuito elétrico. Os enrolamentos do estator são idênticos, distribuídos senoidalmente e defasados em 120° , cada enrolamento possuem N_s número de espiras e resistência r_s . Analogamente, os enrolamentos do rotor são compostos por três enrolamentos idênticos, distribuídos senoidalmente e defasados em 120° , com N_r espiras e resistência r_r .

Figura 3 – Representação do motor de indução trifásico de dois polos.



Fonte – Adaptado de (KRAUSE *et al.*, 2013).

Figura 4 – Circuito elétrico do motor de indução trifásico conectado em Y.



Fonte – Adaptado de (KRAUSE *et al.*, 2013).

Nas equações apresentadas a seguir, o subscrito s representa as variáveis e parâmetros associados ao circuito do estator e o subscrito r representa as variáveis e parâmetros associados ao circuito do rotor.

As Equações 1 e 2 apresentam as tensões trifásicas do estator \mathbf{v}_{abc_s} e as tensões trifásicas do rotor \mathbf{v}_{abc_r} expressas em função de variáveis e parâmetros da máquina em coordenadas abc ,

$$\mathbf{v}_{abc_s} = \mathbf{r}_s \mathbf{i}_{abc_s} + \dot{\lambda}_{abc_s} \quad (1)$$

$$\mathbf{v}_{abcr} = \mathbf{r}_s \mathbf{i}_{abcr} + \dot{\lambda}_{abcr} \quad (2)$$

onde \mathbf{r}_s e \mathbf{r}_r são matrizes diagonais de termos não nulos e iguais, que representam a resistência do estator e a resistência do rotor respectivamente, \mathbf{i}_{abcs} e \mathbf{i}_{abcr} são os vetores das correntes trifásicas do estator e rotor respectivamente, (\cdot) representa a derivada em relação ao tempo, λ_{abcs} e λ_{abcr} são os vetores dos fluxos concatenados do estator e rotor da máquina, respectivamente.

Para um sistema magnético linear, os fluxos concatenados λ_{abcs} e λ_{abcr} podem ser expressos pelas Equações 3 e 4,

$$\lambda_{abcs} = \mathbf{L}_s \mathbf{i}_{abcs} + \mathbf{L}_{sr} \mathbf{i}_{abcr} \quad (3)$$

$$\lambda_{abcr} = \mathbf{L}_{sr}^T \mathbf{i}_{abcs} + \mathbf{L}_r \mathbf{i}_{abcr} \quad (4)$$

onde \mathbf{L}_s e \mathbf{L}_r relacionam, respectivamente, a matriz de indutâncias do estator e rotor e \mathbf{L}_{sr} relaciona a matriz de indutâncias mútuas entre o estator e o rotor. Essas matrizes são apresentadas a seguir:

$$\mathbf{L}_s = \begin{bmatrix} L_{ls} + L_{ms} & -\frac{1}{2}L_{ms} & -\frac{1}{2}L_{ms} \\ -\frac{1}{2}L_{ms} & L_{ls} + L_{ms} & -\frac{1}{2}L_{ms} \\ -\frac{1}{2}L_{ms} & -\frac{1}{2}L_{ms} & L_{ls} + L_{ms} \end{bmatrix} \quad (5)$$

$$\mathbf{L}_r = \begin{bmatrix} L_{lr} + L_{mr} & -\frac{1}{2}L_{mr} & -\frac{1}{2}L_{mr} \\ -\frac{1}{2}L_{mr} & L_{lr} + L_{mr} & -\frac{1}{2}L_{mr} \\ -\frac{1}{2}L_{mr} & -\frac{1}{2}L_{mr} & L_{lr} + L_{mr} \end{bmatrix} \quad (6)$$

$$\mathbf{L}_{sr} = L_{sr} \begin{bmatrix} \cos \theta_r & \cos \left(\theta_r + \frac{2\pi}{3} \right) & \cos \left(\theta_r - \frac{2\pi}{3} \right) \\ \cos \left(\theta_r - \frac{2\pi}{3} \right) & \cos \theta_r & \cos \left(\theta_r + \frac{2\pi}{3} \right) \\ \cos \left(\theta_r + \frac{2\pi}{3} \right) & \cos \left(\theta_r - \frac{2\pi}{3} \right) & \cos \theta_r \end{bmatrix} \quad (7)$$

onde L_{ls} é a indutância de dispersão dos enrolamentos do estator, L_{ms} é a de magnetização dos enrolamentos do estator, L_{lr} é a indutância de dispersão dos enrolamentos do rotor, L_{mr} é a indutância de magnetização dos enrolamentos do estator, L_{sr} é a indutância mútua entre os enrolamentos do estator e rotor, θ_r representa a posição relativa entre os enrolamentos do estator e rotor em termos elétricos e é denotado pela Equação 8,

$$\theta_r = \frac{P}{2} \theta_{rmec} \quad (8)$$

onde P é o número de polos e θ_{rmec} é a posição angular mecânica do motor.

É conveniente referir todas as variáveis do rotor para os enrolamentos do estator por meio de relações de espiras:

$$\mathbf{i}'_{abcr} = \frac{N_r}{N_s} \mathbf{i}_{abcr} \quad (9)$$

$$\mathbf{v}'_{abcr} = \frac{N_s}{N_r} \mathbf{v}_{abcr} \quad (10)$$

$$\lambda'_{abcr} = \frac{N_s}{N_r} \lambda_{abcr} \quad (11)$$

De acordo com as definições das indutâncias L_{ms} e L_{sr} , tem-se

$$L_{ms} = \frac{N_s}{N_r} L_{sr} \quad (12)$$

Definindo

$$\mathbf{L}'_{sr} \triangleq \frac{N_s}{N_r} \mathbf{L}_{sr} \quad (13)$$

Aplicando a Equação 7 em 13, tem-se:

$$\mathbf{L}'_{sr} = L_{ms} \begin{bmatrix} \cos \theta_r & \cos \left(\theta_r + \frac{2\pi}{3} \right) & \cos \left(\theta_r - \frac{2\pi}{3} \right) \\ \cos \left(\theta_r - \frac{2\pi}{3} \right) & \cos \theta_r & \cos \left(\theta_r + \frac{2\pi}{3} \right) \\ \cos \left(\theta_r + \frac{2\pi}{3} \right) & \cos \left(\theta_r - \frac{2\pi}{3} \right) & \cos \theta_r \end{bmatrix} \quad (14)$$

Analogamente, a partir das definições de L_{mr} e L_{ms}

$$L_{mr} = \left(\frac{N_s}{N_r} \right)^2 L_{ms} \quad (15)$$

e definindo \mathbf{L}'_r , a matriz de indutância dos enrolamentos do rotor referida ao estator, como

$$\mathbf{L}'_r \triangleq \left(\frac{N_s}{N_r} \right)^2 \mathbf{L}_r \quad (16)$$

a partir disso, empregando as Equações 15 e 6 na Equação 16 obtém-se

$$\mathbf{L}'_r = \begin{bmatrix} L'_{lr} + L_{ms} & -\frac{1}{2}L_{ms} & -\frac{1}{2}L_{ms} \\ -\frac{1}{2}L_{ms} & L'_{lr} + L_{ms} & -\frac{1}{2}L_{ms} \\ -\frac{1}{2}L_{ms} & -\frac{1}{2}L_{ms} & L'_{lr} + L_{ms} \end{bmatrix} \quad (17)$$

onde

$$L'_{lr} = \left(\frac{N_s}{N_r} \right)^2 L_{lr} \quad (18)$$

As equações de tensão em termos dos parâmetros e variáveis da máquina, referidas aos enrolamentos do estator, podem ser expressas como

$$\mathbf{v}_{abcs} = r_s \mathbf{i}_{abcs} + \dot{\lambda}_{abcs} \quad (19)$$

$$\mathbf{v}'_{abcr} = r'_r \mathbf{i}'_{abcr} + \dot{\lambda}'_{abcr} \quad (20)$$

e as equações de fluxo concatenado referidas ao estator correspondem a

$$\lambda_{abcs} = \mathbf{L}_s \mathbf{i}_{abcs} + \mathbf{L}'_{sr} \mathbf{i}'_{abcr} \quad (21)$$

$$\lambda'_{abcr} = (\mathbf{L}'_{sr})^T \mathbf{i}_{abcs} + \mathbf{L}'_r \mathbf{i}'_{abcr} \quad (22)$$

onde

$$r_r' = \left(\frac{N_s}{N_r} \right)^2 r_r \quad (23)$$

A modelagem para as três fases do motor de indução através das equações no sistema abc é complexa, tendo em vista que as equações apresentadas representam apenas uma fase e os parâmetros dependem da posição do vetor fluxo do entreferro. A estratégia convencional para simplificar a modelagem consiste em utilizar a transformação de coordenadas de abc para $qd0$, denominada Transformada de Park que será abordada na seção seguinte.

2.1.2 Transformação do Modelo em Coordenadas abc para Coordenadas $qd0$

A transformação do modelo em coordenadas abc para coordenadas $qd0$ é realizado a partir da transformada de Park, a qual tem grande importância para o estudo de máquinas elétricas e também para a implementação de técnicas de acionamento com alto desempenho, consiste em uma transformação linear que simplifica as equações das máquinas e introduz um conjunto de variáveis hipotéticas. Essa mudança permite que as variáveis girantes no tempo sejam vistas como variáveis pseudo-estacionárias, de acordo com (BARBI, 1986) e (KRAUSE *et al.*, 2013).

O sistema trifásico em abc passa a ser representado por um sistema equivalente $qd0$, os quais são denominados de eixo direto, eixo em quadratura e eixo zero. Analisando fisicamente, o sistema trifásico é transformado em um sistema bifásico, com os enrolamentos do estator fixos e os enrolamentos do rotor pseudo-estacionários, semelhante a um servomotor de corrente contínua (KRAUSE *et al.*, 2013).

Na aplicação de técnicas de controle mais elaboradas, a Transformada de Park permite o desacoplamento das grandezas de torque e fluxo da máquina, desse modo além da simplificação do modelo matemático se tem a vantagem de implementar controladores clássicos como o PI, facilitando o projeto dos controladores.

Para realizar a Transformada de Park, são feitas as seguintes considerações:

- Os três enrolamentos do estator são iguais;
- Os três enrolamentos do rotor são iguais;
- Os ângulos entre os enrolamentos das fases são iguais;
- O entreferro é constante;
- As perdas magnéticas são desprezadas e o circuito magnético é ideal, ou seja, sem perdas.

A transformação do sistema trifásico em abc para $qd0$ é dada a seguir:

$$\mathbf{f}_{qd0} = \mathbf{K}\mathbf{f}_{abc} \quad (24)$$

onde \mathbf{f}_{qd0} e \mathbf{f}_{abc} são vetores no sistema $qd0$ e abc respectivamente,

$$\mathbf{f}_{qd0}^T = \begin{bmatrix} f_q & f_d & f_0 \end{bmatrix} \quad (25)$$

$$\mathbf{f}_{abc}^T = \begin{bmatrix} f_a & f_b & f_c \end{bmatrix} \quad (26)$$

e \mathbf{K} é a matriz de transformação de Park definida por:

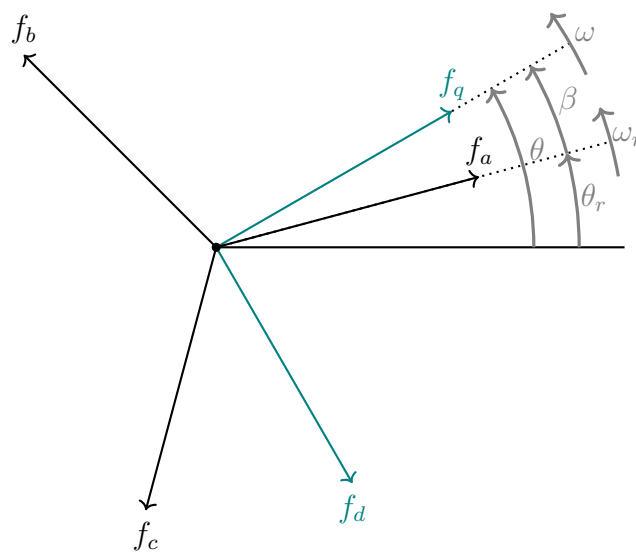
$$\mathbf{K} = \frac{2}{3} \begin{bmatrix} \cos(\beta) & \cos(\beta - \frac{2\pi}{3}) & \cos(\beta + \frac{2\pi}{3}) \\ \sin(\beta) & \sin(\beta - \frac{2\pi}{3}) & \sin(\beta + \frac{2\pi}{3}) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \quad (27)$$

onde β equivale à diferença angular entre o referencial $qd0$ e a posição do rotor relativa ao estator.

$$\beta = \theta - \theta_r \quad (28)$$

A Figura 5 apresenta a relação trigonométrica entre os vetores, a qual permite uma interpretação física da transformação de coordenadas (KRAUSE *et al.*, 2013).

Figura 5 – Diagrama fasorial com a relação entre o sistema em coordenadas abc e em coordenadas $qd0$.



Fonte – Adaptado de (KRAUSE *et al.*, 2013).

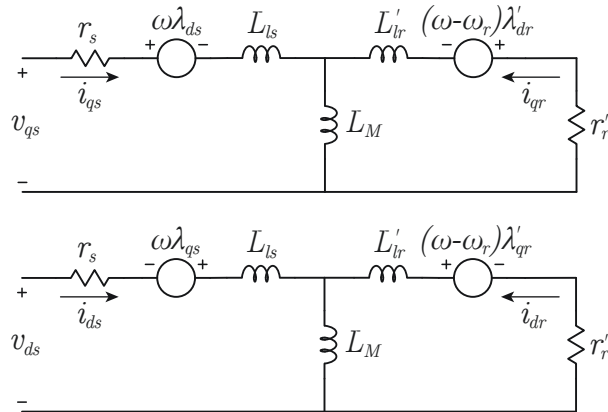
Após realizar a transformação das equações de tensão e fluxo do sistema trifásico abc para $qd0$ e considerando um sistema equilibrado, obtêm-se as seguintes equações:

$$\begin{aligned}
 V_{qs} &= r_s i_{qs} + \omega \lambda_{ds} + \dot{\lambda}_{qs} \\
 V_{ds} &= r_s i_{ds} - \omega \lambda_{qs} + \dot{\lambda}_{ds} \\
 V'_{qr} &= r'_r i'_{qr} + (\omega - \omega_r) \lambda'_{dr} + \dot{\lambda}'_{qr} \\
 V'_{dr} &= r'_r i'_{dr} - (\omega - \omega_r) \lambda'_{qr} + \dot{\lambda}'_{dr}
 \end{aligned} \tag{29}$$

$$\begin{aligned}
 \lambda_{qs} &= (L_{ls} + L_M) i_{qs} + L_M i'_{qr} \\
 \lambda_{ds} &= (L_{ls} + L_M) i_{ds} + L_M i'_{dr} \\
 \lambda'_{qr} &= L_M i_{qs} + (L'_{lr} + L_M) i'_{qr} \\
 \lambda'_{dr} &= L_M i_{ds} + (L'_{lr} + L_M) i'_{dr}
 \end{aligned} \tag{30}$$

onde ω_r é a velocidade do rotor em termos elétricos, ω é a velocidade do sistema de referência arbitrário, i_{qs} e i_{ds} são as correntes no eixo qd do estator, i'_{qr} e i'_{dr} são as correntes no eixo qd do rotor referidas ao estator, V_{qs} e V_{ds} são as tensões no eixo qd do estator, V'_{qr} e V'_{dr} são as tensões no eixo qd do rotor referidas ao estator, λ_{qs} e λ_{ds} são os fluxos magnéticos no eixo qd do estator, λ'_{qr} e λ'_{dr} são os fluxos magnéticos no eixo qd do rotor referidos ao estator e L_M é a indutância mútua entre os enrolamentos do estator e do rotor. A partir das Equações 29 e 30 tem-se o circuito equivalente do motor de indução, conforme a Figura 6, com o modelo no eixo em quadratura e eixo direto qd .

Figura 6 – Circuito equivalente do motor de indução trifásico equilibrado em um referencial arbitrário.



Fonte – Adaptado de (KRAUSE *et al.*, 2013).

O modelo em espaço de estados é definido como,

$$\dot{\mathbf{i}} = \mathbf{A} \mathbf{i} + \mathbf{B} \mathbf{u} \tag{31}$$

para um sistema equilibrado e considerando o modelo para um motor de indução com rotor de gaiola de esquilo, o vetor de estado \mathbf{i} e o vetor de entrada \mathbf{u} equivalem a:

$$\mathbf{i} = \begin{bmatrix} i_{qs} & i_{ds} & i_{qr} & i_{dr} \end{bmatrix}^T \quad (32)$$

$$\mathbf{u} = \begin{bmatrix} V_{qs} & V_{ds} \end{bmatrix}^T \quad (33)$$

e as matrizes \mathbf{A} e \mathbf{B} são apresentadas a seguir:

$$\mathbf{A} = \frac{1}{a_0} \begin{bmatrix} -r_s(L_{lr} + L_M) & -\omega a_1 + a_6 L_M^2 & r_r L_M & -\omega a_5 + a_3 \\ \omega a_1 - a_6 L_M^2 & -r_s(L_{lr} + L_M) & \omega a_5 - a_3 & L_M r_r \\ r_s L_M & \omega a_4 - a_2 & -r_r(L_{lr} + L_M) & -\omega L_M^2 - a_6 a_1 \\ -\omega a_4 - a_2 & r_s L_M & -\omega L_M^2 + a_6 a_1 & -r_r(L_{lr} + L_M) \end{bmatrix} \quad (34)$$

$$\mathbf{B} = \frac{1}{a_0} \begin{bmatrix} (L_{lr} + L_M) & 0 \\ 0 & (L_{lr} + L_M) \\ -L_M & 0 \\ 0 & -L_M \end{bmatrix} \quad (35)$$

onde as variáveis são definidas a partir dos parâmetros do motor de indução:

$$\begin{aligned} a_0 &= L_{ls}L_{lr} + L_{ls}L_M + L_M L_{lr} \\ a_1 &= (L_{lr} + L_M)(L_{ls} + L_M) \\ a_2 &= (\omega - \omega_r)L_M(L_{ls} + L_M) \\ a_3 &= (\omega - \omega_r)L_M(L_{lr} + L_M) \\ a_4 &= L_M(L_{ls} + L_M) \\ a_5 &= L_M(L_{lr} + L_M) \\ a_6 &= (\omega - \omega_r) \end{aligned} \quad (36)$$

O novo conjunto de equações é invariante no tempo, ou seja, as indutâncias do motor se mantêm constantes, eliminando a complexidade do modelo e facilitando a implementação do controle.

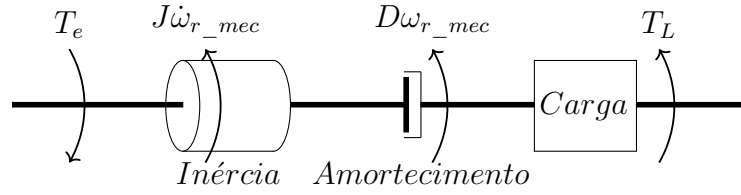
O torque eletromagnético T_e em função dos fluxos do estator pode ser obtido pela Equação 37, conforme (KRAUSE *et al.*, 2013),

$$T_e = \frac{3P}{4} (\lambda_{ds}i_{qs} - \lambda_{qs}i_{ds}) \quad (37)$$

2.1.3 Modelo Mecânico do Motor de Indução Trifásico

O modelo mecânico do motor considera os parâmetros mecânicos obtidos a partir do rotor, tais como o coeficiente de atrito viscoso D e o momento de inércia J , apresentados na Figura 7.

Figura 7 – Representação do modelo mecânico do motor de indução.



Fonte – Autoria própria.

Utilizando a segunda lei de Newton tem-se,

$$T_e = J\dot{\omega}_{r_mec} + D\omega_{r_mec} + T_L \quad (38)$$

onde T_L representa o torque da carga e ω_{r_mec} a velocidade mecânica do rotor, sendo $\omega_{r_mec} = 2\omega_r/p$. Considerando que a variação da posição do rotor $\dot{\theta}_r$ equivale a velocidade rotórica ω_r , a representação do modelo mecânico em espaço de estados

$$\dot{\mathbf{x}}_m = \mathbf{A}_m \mathbf{x}_m + \mathbf{B}_m \mathbf{u}_m \quad (39)$$

equivale, na forma matricial,

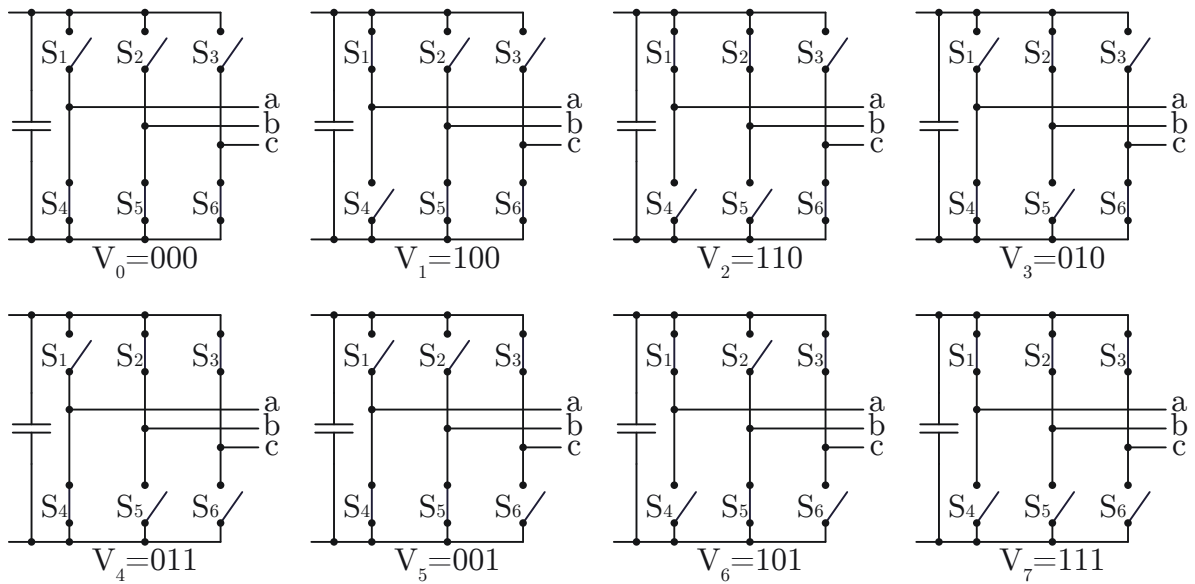
$$\begin{bmatrix} \dot{\omega}_r \\ \dot{\theta}_r \end{bmatrix} = \begin{bmatrix} -D/J & 0 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} \omega_r \\ \theta_r \end{bmatrix} + \begin{bmatrix} P/2J & -P/2J \\ 0 & 0 \end{bmatrix} \begin{bmatrix} T_e \\ T_L \end{bmatrix} \quad (40)$$

2.2 MODULAÇÃO VETORIAL

A modulação vetorial foi proposta em meados da década de 1980, consiste em um método alternativo às técnicas de modulação convencionais para a determinação da largura de pulso. A técnica *Space Vector Modulation* (SVM) é muito utilizada para modulação em tempo real e para controle digital de inversores fonte de tensão (WU, 2006). Apresenta algumas vantagens, destacando-se por ser de fácil implementação, permitir a redução do número de comutações nos interruptores e aumentar o índice de modulação de amplitude do inversor (VAN DER BROECK; SKUDELNY; STANKE, 1988; HOLMES; LIPO, 2003).

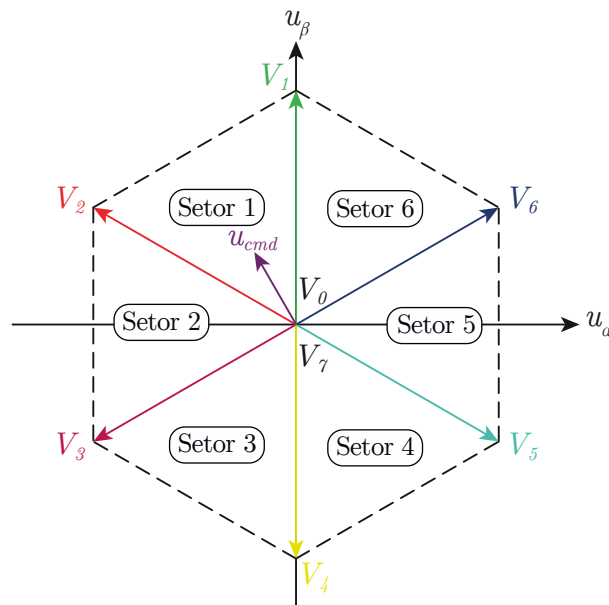
O inversor possui oito possíveis combinações de comutação, conforme apresenta a Figura 8, os estados V_0 e V_7 correspondem a um curto circuito na carga, enquanto os outros seis estados são usados para formar vetores no plano $\beta\alpha$, de acordo com a Figura 9. Os estados V_0 e V_7 são nulos, e os estados adicionais têm módulo igual a $2/3$ e um ângulo de 60° entre si.

Figura 8 – Estados topológicos do VSI com a modulação *Space Vector*.



Fonte – Adaptado de (HOLMES; LIPO, 2003)

Figura 9 – Vetores das tensões de saída no sistema de coordenadas $\beta\alpha$ para um inversor trifásico a três fios.



Fonte – Adaptado de (HOLMES; LIPO, 2003)

O hexágono é formado mediante a aplicação da transformada de Clarke em cada vetor de comutação. Realizando a análise da topologia do VSI e assumindo que opera de

forma balanceada,

$$v_a + v_b + v_c = 0 \quad (41)$$

onde v_a , v_b e v_c são as tensões de fase instantâneas na carga e são linearmente dependentes, ou seja, uma das tensões de fase pode ser facilmente calculada desde que se conheça as outras duas tensões de fase. Portanto, as variáveis trifásicas podem ser expressas por variáveis bifásicas equivalentes, denominada transformada de Clarke (WU, 2006):

$$\begin{bmatrix} v_\beta \\ v_\alpha \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & -\frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (42)$$

O coeficiente $2/3$ pode ser escolhido arbitrariamente, normalmente é usado o valor de $2/3$ ou $\sqrt{2/3}$, os quais estão relacionados com a transformação de coordenadas, o primeiro coeficiente mantém a tensão constante, enquanto o segundo mantém a potência constante após realizar a transformação de variáveis, nesse caso é mais vantajoso manter a tensão constante.

A partir da transformada de Clarke são obtidas as variáveis v_β e v_α para cada estado de comutação, as quais são normalizadas mediante a Equação 43, tendo em vista que as tensões v_a , v_b e v_c podem assumir o valor de 0 ou V_{cc} , os vetores normalizados são definidos como u_β e u_α .

$$\begin{bmatrix} u_\beta \\ u_\alpha \end{bmatrix} = \frac{1}{V_{cc}} \begin{bmatrix} v_\beta \\ v_\alpha \end{bmatrix} \quad (43)$$

A Tabela 1 apresenta os oito possíveis estados de comutação dos interruptores associados aos seus respectivos valores de u_β e u_α . O estado de comutação relacionado ao vetor V_1 , por exemplo, corresponde a condução dos interruptores S_1 , S_5 e S_6 associados aos braços das fases a, b e c do VSI, respectivamente.

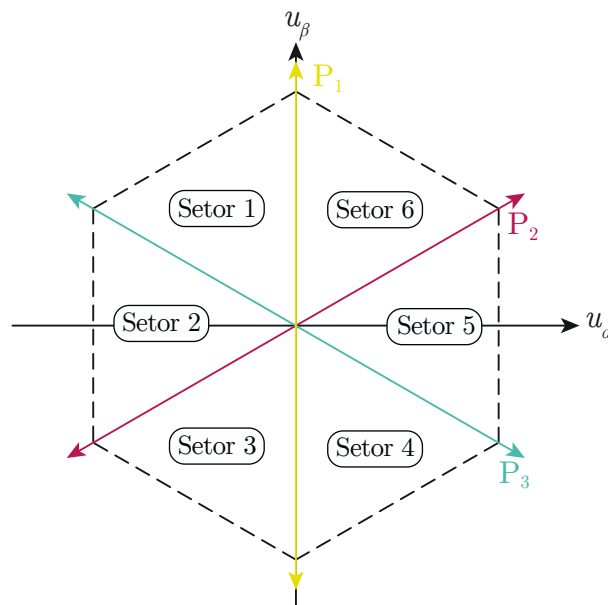
Tabela 1 – Estados de comutação e sinais de saída u_β e u_α .

Vetor	Fase a	Fase b	Fase c	u_β	u_α
V_0	0	0	0	0	0
V_1	1	0	0	$2/3$	0
V_2	1	1	0	$1/3$	$-\sqrt{3}/3$
V_3	0	1	0	$-1/3$	$-\sqrt{3}/3$
V_4	0	1	1	$-2/3$	0
V_5	0	0	1	$-1/3$	$\sqrt{3}/3$
V_6	1	0	1	$1/3$	$\sqrt{3}/3$
V_7	1	1	1	0	0

Fonte – Autoria própria.

As tensões trifásicas são moduladas a partir de um vetor de tensão de referência normalizado, denominado como tensão de comando u_{cmd} . Tendo em vista que é um vetor girante no plano $\beta\alpha$, torna-se necessário identificar a qual setor pertence, para isso são definidos três planos de separação designados como P_1 , P_2 e P_3 , como apresenta a Figura 10.

Figura 10 – Planos de separação.



Definidos os planos de separação, determinam-se as equações da reta para os respectivos planos, de acordo com as Equações 44, 45 e 46. A identificação dos setores consiste em verificar se a equação de cada plano é positiva ou negativa com relação ao

vetor u_{cmd} , para o setor 1 por exemplo, a equação do plano P_1 será negativa, enquanto as equações dos planos P_2 e P_3 são positivas.

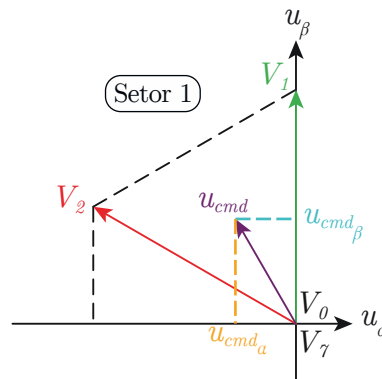
$$P_1 : u_\alpha = 0 \quad (44)$$

$$P_2 : 3u_\beta - \sqrt{3}u_\alpha = 0 \quad (45)$$

$$P_3 : 3u_\beta + \sqrt{3}u_\alpha = 0 \quad (46)$$

Após identificar o setor em que se encontra o vetor de comando u_{cmd} , determina-se a sequência de comutação e o intervalo de tempo que cada estado de comutação será aplicado no inversor. Em cada setor existem dois vetores de comutação não nulos adjacentes a u_{cmd} e dois vetores nulos, realizando a análise para o vetor de comando presente no setor 1 de acordo com a Figura 11, a sequência de comutação neste caso é V_0 - V_1 - V_2 - V_7 - V_2 - V_1 - V_0 , chamada de sequência simétrica devida à simetria presente no PWM, ao adotar essa sequência de comutação se tem uma baixa THD nas tensões de saída do inversor e o número de comutações é minimizado (PINHEIRO *et al.*, 2005).

Figura 11 – Vetor de comando no setor 1.



Fonte – Adaptado de (HOLMES; LIPO, 2003)

Os intervalos de tempo para cada vetor de comutação são denominados como Δt_1 , Δt_2 e Δt_0 , para que a tensão média sintetizada pelo inversor seja u_{cmd} dentro de um período de comutação T_s , o produto de u_{cmd} e T_s deve ser igual a soma dos vetores de comutação multiplicados pelo intervalo de tempo. Mantendo a análise para o setor 1, a qual se aplica para os demais setores, tem-se

$$u_{cmd}T_s = V_1\Delta t_1 + V_2\Delta t_2 + (V_0 \text{ ou } V_7)\Delta t_0 \quad (47)$$

Tendo em vista que os vetores V_0 e V_7 são nulos e que

$$\Delta t_1 + \Delta t_2 + \Delta t_0 = T_s \quad (48)$$

a Equação 47 pode ser reescrita na forma matricial como:

$$u_{cmd}T_s = \begin{bmatrix} V_1 & V_2 \end{bmatrix} \begin{bmatrix} \Delta t_1 \\ \Delta t_2 \end{bmatrix} \quad (49)$$

Desse modo, como os vetores de comutação são linearmente independentes, os intervalos Δt_1 e Δt_2 são determinados por

$$\begin{bmatrix} \Delta t_1 \\ \Delta t_2 \end{bmatrix} = M_1 \begin{bmatrix} u_{cmd\beta} \\ u_{cmd\alpha} \end{bmatrix} T_s \quad \therefore M_1 = \begin{bmatrix} V_1 & V_2 \end{bmatrix}^{-1} \quad (50)$$

onde M_1 representa a matriz de decomposição e o subscrito 1 significa que a matriz está associada ao setor 1.

Determinados os intervalos de tempo para os vetores não nulos é possível obter os intervalos para os vetores nulos por meio da Equação 51.

$$\Delta t_0 = T_s - \Delta t_1 - \Delta t_2 \quad (51)$$

Com os intervalos de tempo de comutação de cada vetor estabelecidos, são definidas as sequências de comutação para os setores, as quais são atualizadas a cada T_s . A Tabela 2 apresenta a sequência de comutação simétrica para seu respectivo setor.

Tabela 2 – Sequência de comutação.

Setor	Sequência simétrica de comutação
1	$V_0 - V_1 - V_2 - V_7 - V_2 - V_1 - V_0$
2	$V_0 - V_3 - V_2 - V_7 - V_2 - V_3 - V_0$
3	$V_0 - V_3 - V_4 - V_7 - V_4 - V_3 - V_0$
4	$V_0 - V_5 - V_4 - V_7 - V_4 - V_5 - V_0$
5	$V_0 - V_5 - V_6 - V_7 - V_6 - V_5 - V_0$
6	$V_0 - V_1 - V_6 - V_7 - V_6 - V_1 - V_0$

O procedimento para identificação do setor, determinação da matriz de decomposição e cálculo dos intervalos de tempo é análogo para cada setor. Dessa forma, mediante ao vetor de comando u_{cmd} , são moduladas as tensões trifásicas no inversor. A análise completa e detalhes da implementação são apresentados no Apêndice A.

2.3 SIMULAÇÃO NUMÉRICA DO SISTEMA EM MALHA ABERTA

Nesta seção são apresentadas as simulações numéricas do sistema realizadas nos *softwares* Matlab e PSIM, a partir dos modelos elétrico e mecânico do motor apresentados nas subseções 2.1.1 e 2.1.3, foram realizadas simulações considerando os parâmetros do motor de indução apresentados na Tabela 3.

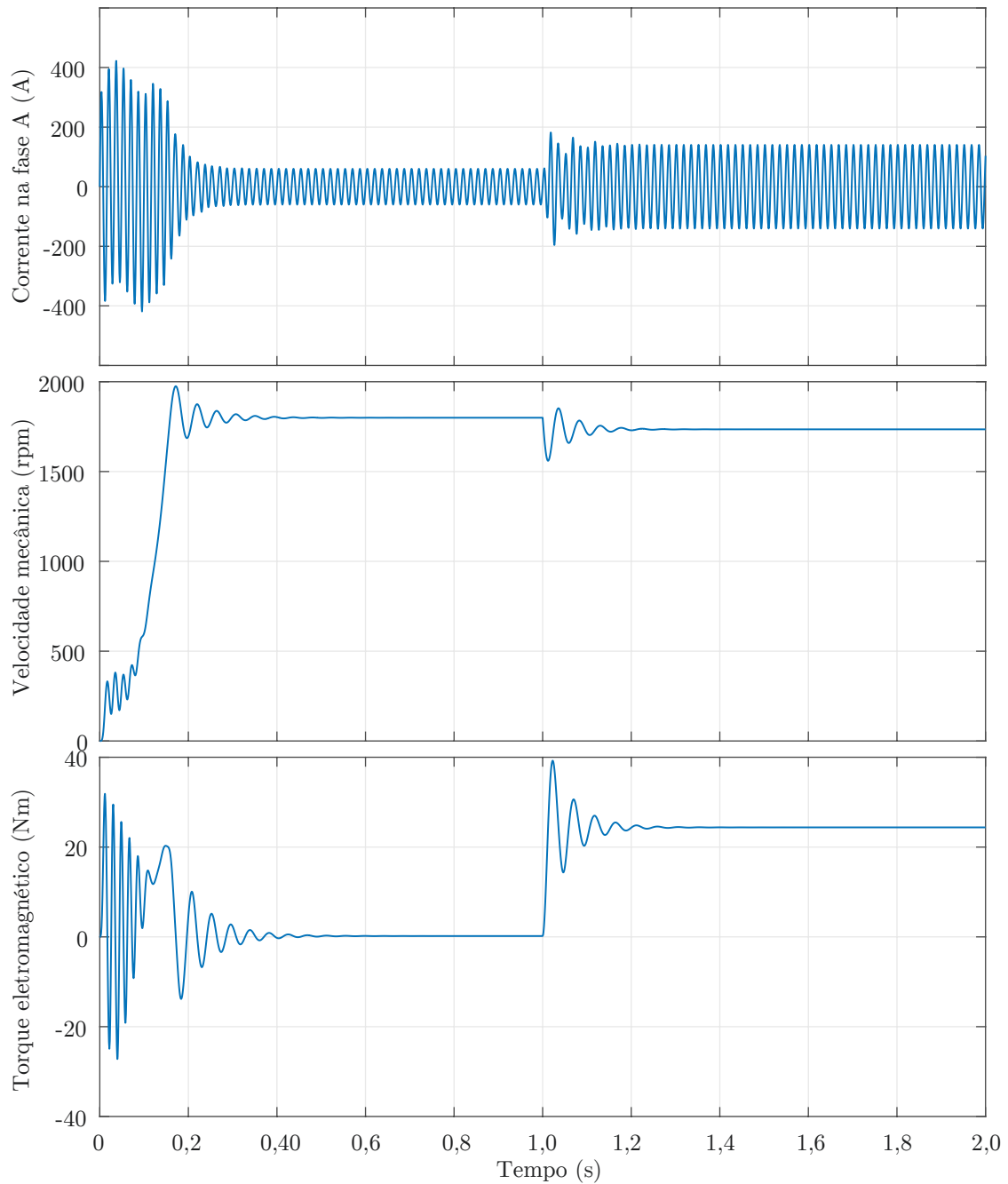
Tabela 3 – Parâmetros do motor de indução trifásico.

Parâmetro	Valor
Tensão de linha	38 V
Resistência do rotor r_r	0,0075 Ω
Resistência do estator r_s	0,0077 Ω
Indutância de dispersão do rotor L_{lr}	79,577 μH
Indutância de dispersão do estator L_{ls}	146,423 μH
Indutância de Magnetização L_M	1,221 mH
Momento de inércia J	0,0072 kgm^2
Coefficiente de atrito viscoso D	0,0005 Nms

Fonte – Autoria própria.

A Figura 12 apresenta os resultados de simulações numéricas realizadas no Matlab, onde foram empregadas as equações do modelo dinâmico em um referencial arbitrário.

Figura 12 – Formas de onda da corrente, velocidade e torque eletromagnético do motor de indução.



Fonte – Autoria própria.

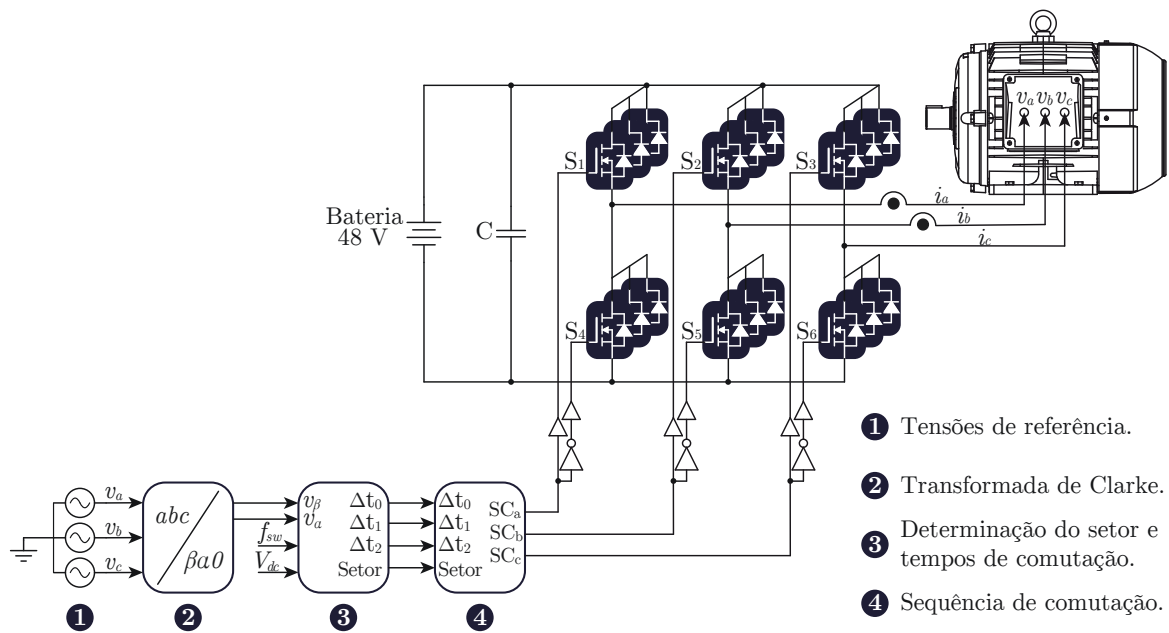
Nessa simulação o acionamento do motor é realizado de forma direta, inicialmente o motor está sem carga e após 1s é aplicada a carga nominal de 24,2Nm, o comportamento da corrente é típico de um motor de indução, durante a partida a corrente é elevada e após o transitório estabiliza em um valor próximo a corrente a vazio do motor, com a aplicação

da carga a corrente se eleva e estabiliza em um valor próximo da corrente nominal. Após a partida a velocidade começa a subir e estabiliza em aproximadamente 0,35s, atingindo o valor próximo da velocidade síncrona do motor equivalente a 1800rpm, após a aplicação da carga a velocidade oscila e estabiliza em um valor próximo da velocidade nominal de 1740rpm. O torque eletromagnético apresenta bastante oscilações, inicialmente estabiliza em um valor praticamente nulo e após a aplicação da carga atinge o valor nominal.

A partir da simulação apresentada foi possível validar o modelo com os parâmetros do motor, a partir desses fundamentos podem ser aplicadas técnicas de controle mais elaboradas.

A seguir são apresentados as simulações numéricas realizadas no PSIM, o diagrama mostrado na Figura 13 foi implementado para validar a técnica de modulação SVM e o emprego do inversor no acionamento do motor de indução especificado, foram realizadas simulações em malha aberta e com o motor em condições nominais de operação.

Figura 13 – Diagrama de operação em malha aberta.



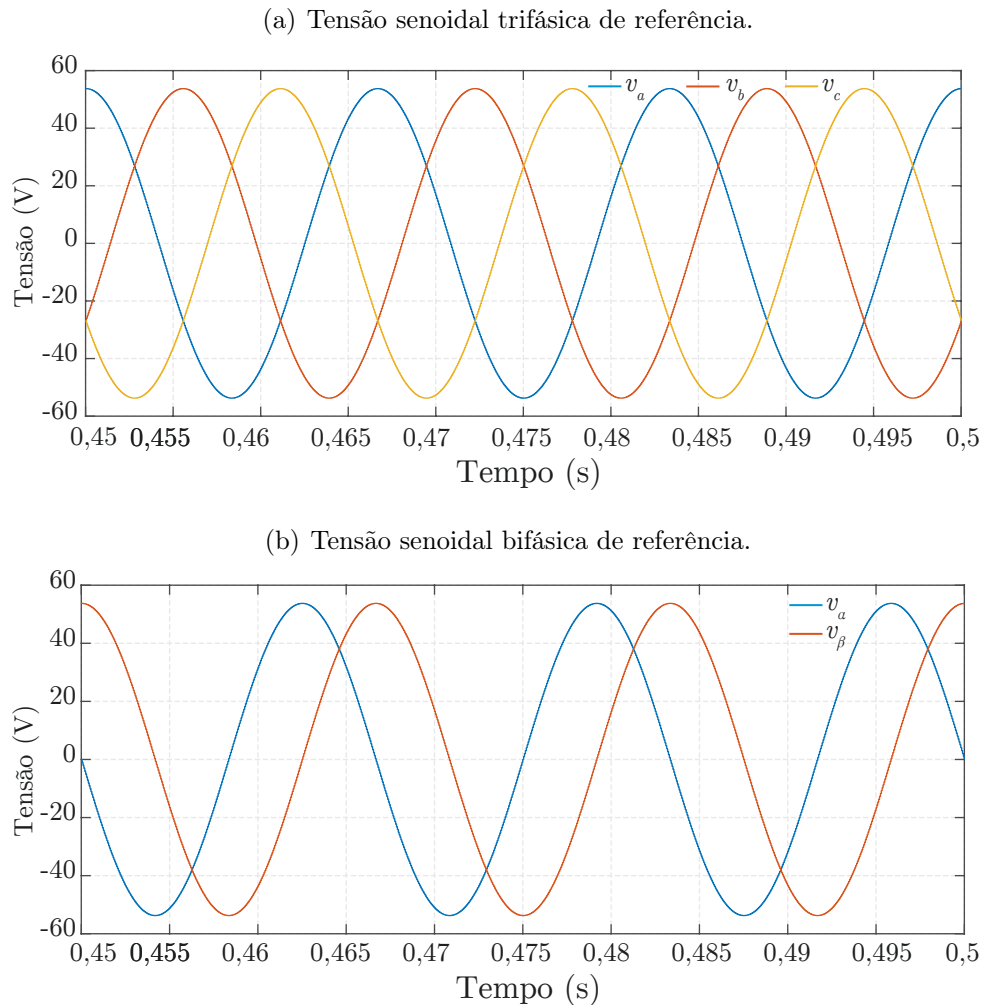
Fonte – Autoria própria.

Para isso, foi aplicada uma tensão senoidal trifásica como referência, representada por v_a , v_b e v_c , o valor RMS corresponde a 38V, com frequência de 60Hz e defasagem de 120° entre os sinais, posteriormente foi realizada a transformação de coordenadas de abc para $\beta\alpha 0$, através da transformada de Clarke conforme Equação 42.

A Figura 14(a) apresenta os sinais de referência nas coordenadas abc e a Figura 14(b) os sinais de referência nas coordenadas $\beta\alpha$, verifica-se que com a transformada de Clarke se obtém um sinal bifásico de mesma amplitude e frequência que o sinal trifásico.

Além disso, observa-se que o sinal de tensão v_β está em fase com v_a e o sinal v_α é defasado em 90° de v_β .

Figura 14 – Tensão senoidal trifásica de referência em coordenadas abc e em coordenadas $\alpha\beta$.

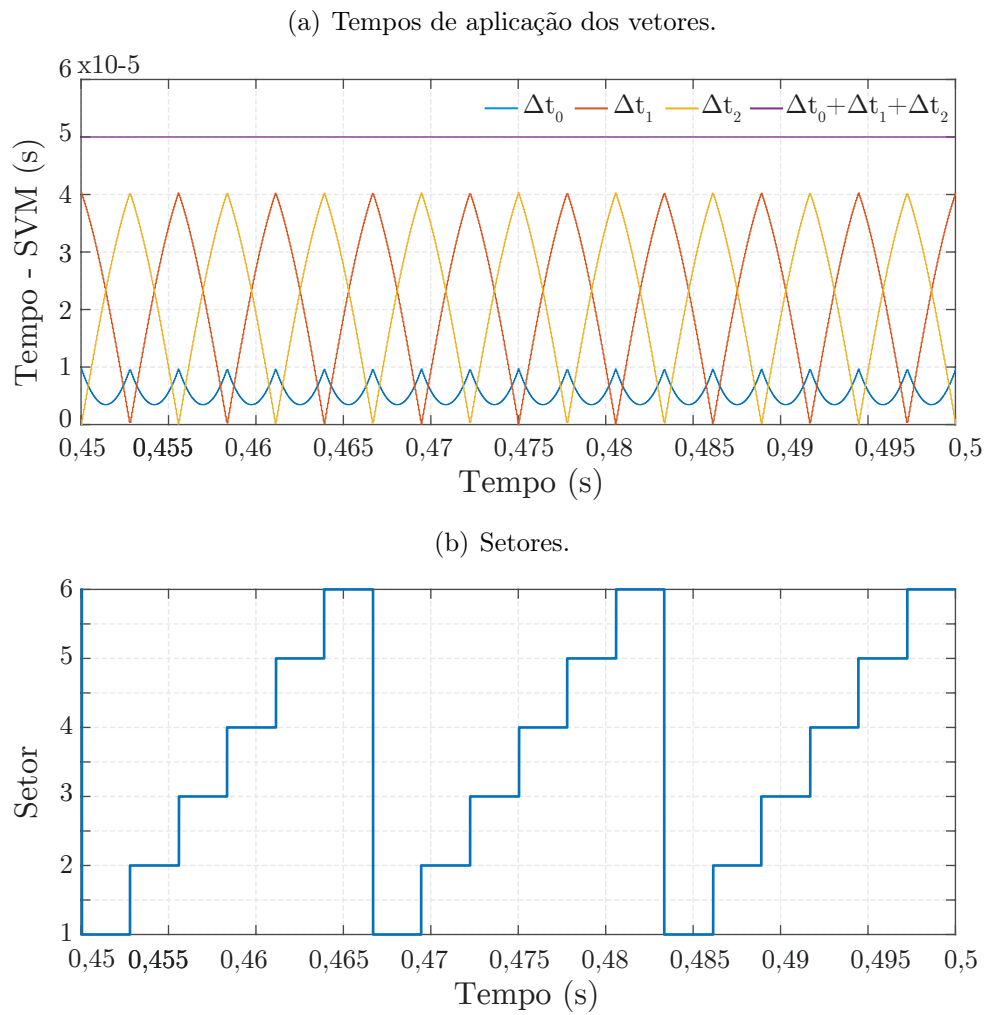


Fonte – Autoria própria.

Em cada instante de tempo a tensão abc esta associada a uma componente $\alpha\beta$, que pode ser representada por um vetor de tensão girando em sentido anti-horário e de mesma amplitude do sinal de referência. Realizando uma normalização do sinal bifásico em função de V_{CC} se obtém o vetor de comando u_{cmd} .

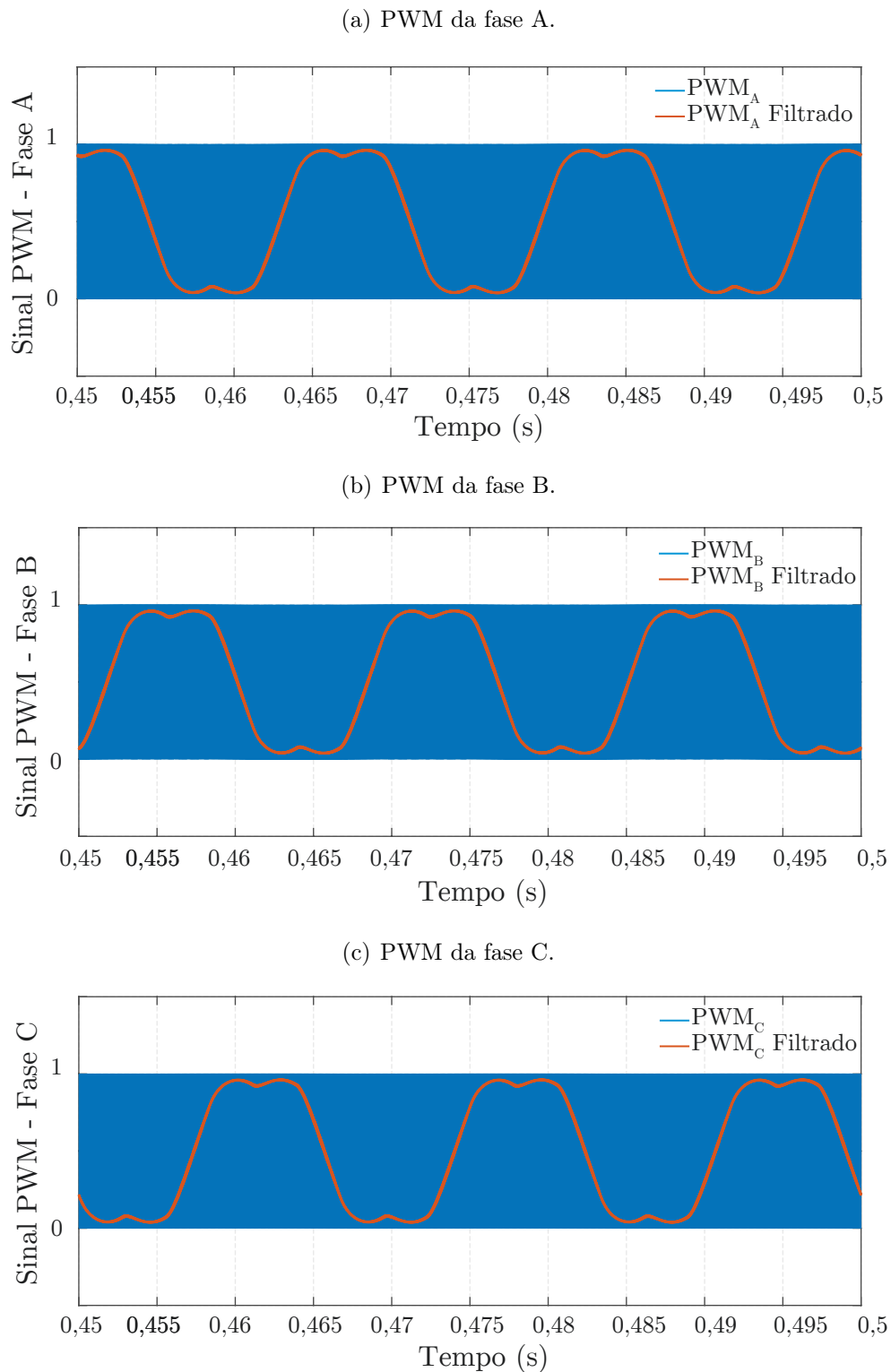
A partir das componentes u_{cmd_β} e u_{cmd_α} é determinado o setor por meio das Equações 44, 45 e 46 que delimitam os planos de separação. Cada setor está associado a diferentes tempos para aplicação dos vetores definidos, no decorrer de cada ciclo, o vetor u_{cmd} percorre os seis setores e os tempos variam, mantendo a soma igual ao período definido pela frequência de comutação, a Figura 15 apresenta essa condição.

Figura 15 – Tempo de aplicação dos vetores e setores.



Fonte – Autoria própria.

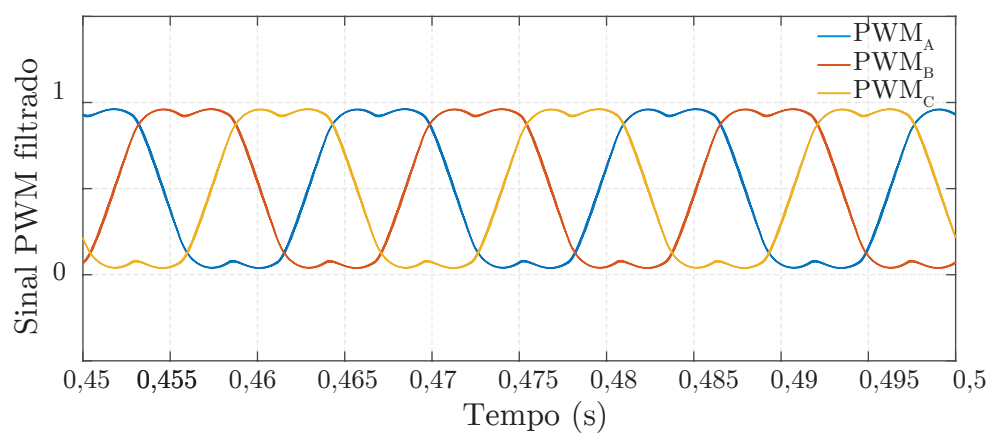
Definidos os tempos da aplicação de cada vetor e determinada a sequência de comutação conforme a Tabela 22 se obtêm os sinais de PWM que são apresentados na Figura 16.

Figura 16 – Sinais PWM provenientes da técnica *Space Vector Modulation*.

Fonte – Autoria própria.

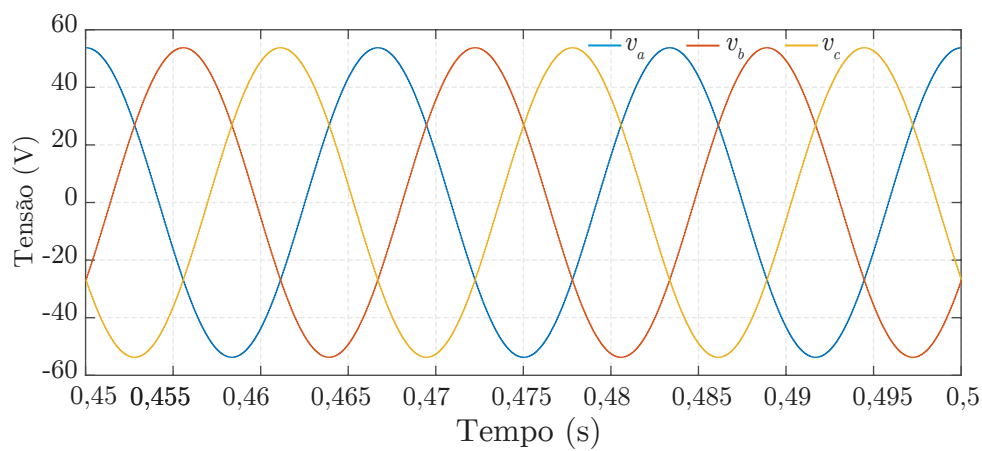
A seguir a Figura 17 apresenta os três sinais PWM filtrados.

Por fim, são apresentadas as formas de onda de tensão aplicada nos terminais do motor e as correntes, conforme Figuras 18 e 19.

Figura 17 – Sinais PWM filtrados das fases A, B e C, provenientes da técnica *Space Vector Modulation*.

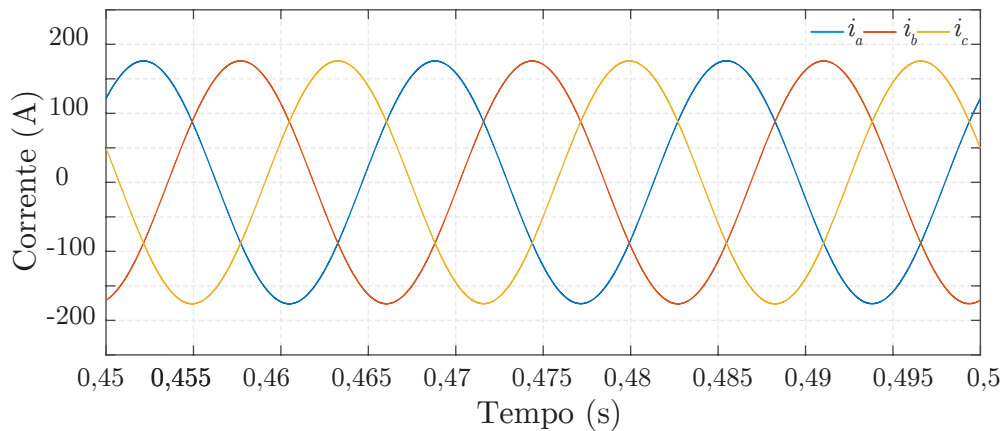
Fonte – Autoria própria.

Figura 18 – Tensão senoidal trifásica sintetizada.



Fonte – Autoria própria.

Figura 19 – Corrente trifásica na carga.



Fonte – Autoria própria.

2.4 CONCLUSÕES DO CAPÍTULO

Esse capítulo apresentou os principais fundamentos e procedimentos para a implementação do inversor. Inicialmente foi abordada a modelagem de motores de indução trifásicos, a teoria acerca da transformação de coordenadas abc para coordenadas $qd\theta$ com o intuito de simplificar o modelo, também foi apresentado o modelo mecânico do motor. Posteriormente é apresentada a técnica de modulação vetorial, empregada para sintetizar as formas de onda das tensões trifásicas que acionam o motor do veículo, uma técnica de modulação amplamente utilizada que resulta em benefícios como uma baixa THD e redução do número de comutações dos semicondutores por meio de uma sequência de comutação apropriada.

A partir dos conteúdos explanados nas seções 2.1 e 2.2, foram realizadas simulações numéricas para validação do sistema, as equações do modelo elétrico e mecânico foram implementadas no Matlab, os resultados obtidos validam o modelo e permitem verificar a dinâmica do motor de indução. Além disso, foram realizadas simulações numéricas no PSIM, do sistema completo em malha aberta, de modo a validar a técnica de modulação SVM e o emprego do inversor no acionamento do motor de indução.

CAPÍTULO 3

INVERSORES APLICADOS NO ACIONAMENTO DE MOTORES DE BAIXA TENSÃO E ALTA CORRENTE

Neste capítulo, são abordados os principais desafios da implementação do inversor de frequência em aplicações de baixa tensão e alta corrente em um aspecto geral, é realizada uma análise detalhada sobre a associação de MOSFETs em paralelo, são apresentados os cálculos de esforços de tensão e corrente nos componentes, o levantamento de perdas nos semicondutores, mitigação do efeito de indutâncias parasitas e os critérios para a escolha apropriada dos capacitores do barramento CC e concepção dos circuitos de comando.

3.1 ESFORÇOS DE CORRENTE E TENSÃO NOS COMPONENTES DE POTÊNCIA

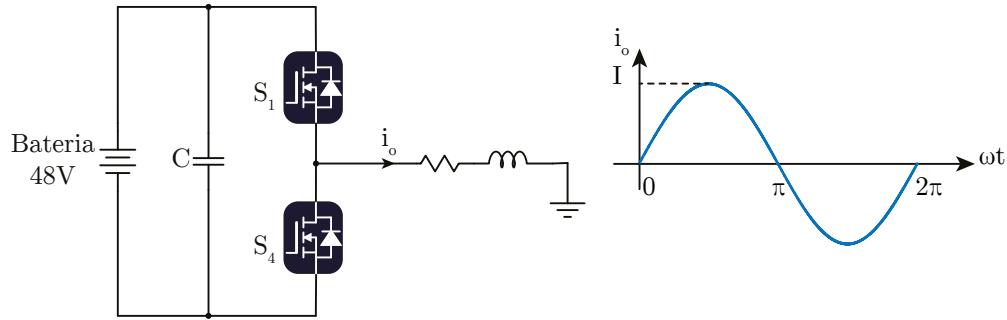
Uma das principais diretrizes para o dimensionamento de um inversor consiste na obtenção dos esforços de corrente e tensão que os componentes estarão submetidos, nesta subseção são apresentados os esforços e considerações para cada componente.

3.1.1 Esforço de Corrente nos Semicondutores

Em inversores utilizados para o acionamento de motores, a corrente de fase é conduzida de forma complementar entre os MOSFETs de cada braço, durante o semiciclo positivo a corrente de fase do motor é conduzida pelo MOSFET superior e o inferior funciona como roda livre, enquanto que no semiciclo negativo ocorre o contrário. Assumindo a simetria da operação do PWM em ambos os semiciclos da corrente de fase do motor, a corrente conduzida por cada MOSFET pode ser determinada como o valor eficaz da forma de onda da corrente de fase do motor durante um semiciclo.

A Figura 20 representa uma das fases do inversor e a forma de onda da corrente de saída, a corrente possui forma de onda senoidal em função de ωt com amplitude I , conforme expressa a Equação 52.

Figura 20 – Representação de uma fase do inversor.



Fonte – Autoria própria.

$$i_o = I \sin(\omega t) \quad (52)$$

A partir do cálculo da corrente eficaz no intervalo de 0 a π se obtém o esforço de corrente de cada MOSFET, conforme a Equação 53.

$$I_{Srms} = \sqrt{\frac{1}{2\pi} \int_0^\pi I^2 \sin^2(\omega t) d\omega t} \quad (53)$$

Resolvendo a Equação 53,

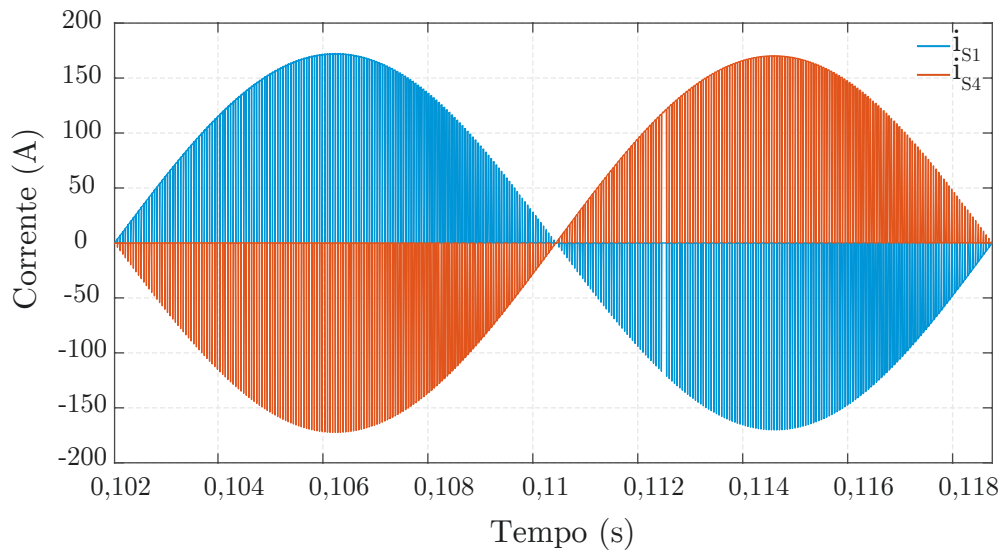
$$I_{Srms} = \frac{I}{2} \quad (54)$$

em termos da corrente eficaz de saída I_o considerando a forma de onda senoidal,

$$I_{Srms} = \frac{I_o}{\sqrt{2}}. \quad (55)$$

A Figura 21 representa as formas de onda da corrente em cada MOSFET, as quais são resultantes de simulações realizadas no PSIM, de um inversor trifásico acionando o motor de indução em condições nominais, considerando as especificações definidas para este projeto. Analisando a Figura 21, observa-se a componente em alta frequência da corrente e a complementariedade da condução dos MOSFETs, a envoltória das formas de onda corresponde a corrente de saída do inversor. O valor eficaz da corrente em cada semicondutor equivale a 86,26A, convergente com a análise teórica. Ressalta-se que o esforço de corrente determinado é pertinente à um interruptor equivalente, ou seja, representa a corrente total na associação de elementos em paralelo.

Figura 21 – Corrente nos MOSFETs.

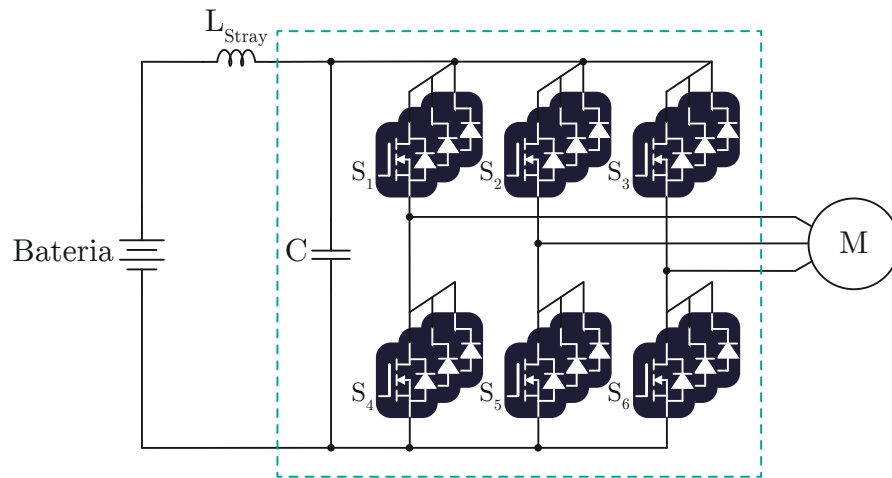


Fonte – Autoria própria.

3.1.2 Esforço de Corrente no Capacitor do Barramento CC

O esforço de corrente nos capacitores do barramento é o principal requisito e mais complexo de ser atendido no dimensionamento do link CC, tendo em vista que envolve questões atreladas com a compactação do protótipo e a degradação da vida útil dos capacitores. Geralmente o inversor está distante da fonte de alimentação, o que introduz um valor considerável de indutância parasita, denominada L_{Stray} , conforme a Figura 22. Devido à indutância parasita entre a fonte de alimentação e o inversor, a corrente em alta frequência é conduzida pelo banco de capacitores, além disso a própria impedância da bateria contribui para que a corrente em alta frequência não circule pela bateria.

Figura 22 – Circuito equivalente para análise da corrente nos capacitores do barramento CC.



Fonte – Autoria própria.

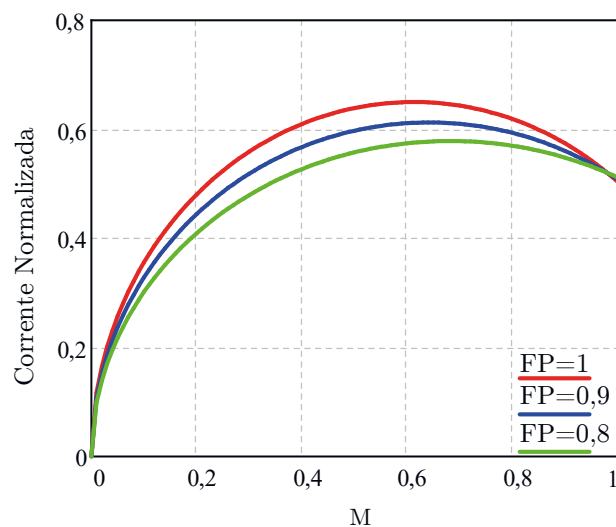
O valor eficaz da corrente nos capacitores do barramento CC pode ser determinado de acordo com a Equação 56, obtida considerando o emprego da técnica de modulação SVM (WEN *et al.*, 2012) (KOLAR; ROUND, 2006).

$$I_{cap} = \sqrt{2}I_o \sqrt{\frac{M}{32\pi} [4\sqrt{3}(4\cos 2\phi + 6) - 9\pi M(\cos 2\phi + 1)]} \quad (56)$$

onde M é o índice de modulação, I_o é a corrente de saída do inversor e ϕ é o ângulo de defasagem entre a corrente e a tensão fundamental de saída do inversor.

Avaliando a corrente no capacitor como sendo proporcional a corrente de saída do inversor, as variáveis determinantes são o índice de modulação e o ângulo ϕ , a Figura 23 representa a corrente no capacitor normalizada para ponderar a relação mais adequada a ser utilizada no dimensionamento. Nesse caso, o índice de modulação varia de 0 a 1 e o ângulo ϕ está atribuído a valores de fator de potência convencionais referentes à carga.

Figura 23 – Corrente normalizada no capacitor de barramento com relação a corrente de saída do inversor.

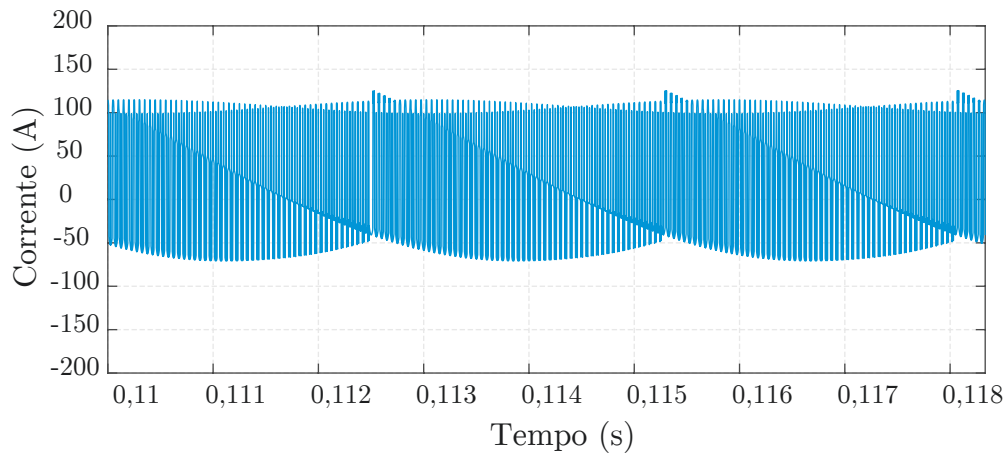


Fonte – Autoria própria.

A partir da análise do gráfico, verifica-se que o pior caso ocorre para o índice de modulação de 0,6 e fator de potência unitário. Considerando que a carga é um motor de indução, o fator de potência tipicamente pode variar de 0,85 a 0,90 (UMANS, 2014), a corrente eficaz pode ser determinada a partir dessa faixa para os casos em que esse parâmetro não tenha sido especificado.

A Figura 24 apresenta a forma de onda da corrente no capacitor, obtida através de simulações realizadas no PSIM, do inversor em malha aberta acionando um motor de indução em condições nominais de acordo com as especificações definidas para este projeto, além disso foi utilizada uma indutância L_{Stray} de $2\mu\text{H}$ para representar a indutância dos cabos de conexão entre o inversor e a bateria.

Figura 24 – Corrente no capacitor do barramento CC.



Fonte – Autoria própria.

O valor eficaz da corrente obtido por simulação corresponde a 65,74A, convergente com a análise teórica em que se obteve o valor de 65,69A por meio da Equação 56. A partir do esforço de corrente determinado são avaliadas as tecnologias de capacitores e define-se o número de capacitores em paralelo para comportar a magnitude da corrente e garantir uma expectativa de vida útil adequada para o inversor.

3.1.3 Esforço de Tensão e Análise do Efeito de Indutâncias Parasitas

Em aplicações com comutação forçada em alta frequência, o efeito das indutâncias parasitas, inerentes do circuito e componentes nele utilizados, pode ser significativamente intensificado, resultando em sobretensão, oscilações e aumento das perdas de comutação dos semicondutores.

Devido ao fato de que a corrente é abruptamente interrompida no desligamento do semicondutor, a indutância parasita dos elementos do circuito como capacitor, semicondutor, trilhas e conexões, induz uma força eletromagnética opondo-se à mudança do sentido da corrente.

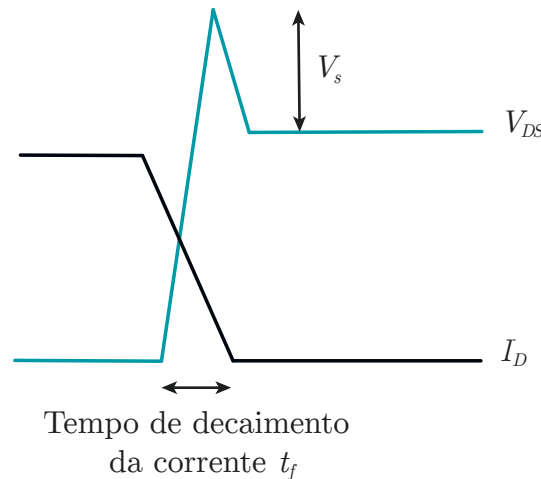
Um dos efeitos das indutâncias parasitas é a sobretensão no bloqueio dos semicondutores, a qual é determinada pela indutância parasita do sistema e a taxa de variação da corrente no tempo, conforme a Equação 57.

$$V_s = L_s \frac{di}{dt} \quad (57)$$

onde L_s indica o somatório das indutâncias parasitas dos elementos que formam o sistema e di/dt indica a taxa de variação da corrente no tempo. A Figura 25 ilustra de forma simplificada o efeito da sobretensão, quando uma alta taxa de variação da corrente no

tempo ocorre no circuito de potência, elevadas sobretensões podem ser geradas (LIU *et al.*, 2020).

Figura 25 – Efeito das indutâncias parasitas na sobretensão dos semicondutores.



Fonte – Autoria própria.

Um método apropriado para minimizar o efeito das indutâncias parasitas consiste no planejamento de um layout otimizado visando o cancelamento do campo magnético induzido na interrupção da corrente, isso pode ser realizado através do arranjo dos condutores que conectam o barramento CC aos semicondutores e capacitores (ZARE; LEDWICH, 2002). Outra alternativa para reduzir a sobretensão gerada na comutação é o controle de di/dt através do aumento da resistência de porta do circuito de comando, de modo a diminuir a taxa de variação para reduzir a sobretensão, contudo essa estratégia aumenta as perdas de comutação.

Tendo em vista as considerações apresentadas, recomenda-se a seleção de semicondutores com capacidade elevada de tensão de ruptura, embora a tensão de alimentação seja baixa, a corrente alta acaba influenciando significativamente na sobretensão devido ao di/dt . Outro fator importante relacionado com a tensão de ruptura do MOSFET é a resistência R_{DSon} , inerente à tecnologia, para semicondutores com maior capacidade de tensão, a resistência R_{DSon} aumenta, dependendo da magnitude isso pode representar um grande desafio para o projeto térmico, demandando a associação de diversos semicondutores em paralelo ou a necessidade de circuitos de *snubber* para situações em que o número de dispositivos em paralelo se torne inviável.

3.2 PERDAS NOS SEMICONDUTORES

Nesta seção serão analisadas as perdas nos semicondutores e o efeito da associação de MOSFETs em paralelo, o total de perdas de um inversor consiste nas perdas de condução, perdas de comutação, perdas durante o tempo morto devido à condução do

diodo interno do MOSFET, perdas devido o carga e descarga da capacitância de saída e perdas provenientes da recuperação reversa do diodo interno do MOSFET. A metodologia utilizada nesse trabalho considera algumas referências para o levantamento de perdas tais como (CASANELLAS, 1994), (GRAOVAC; PÜRSCHHEL, 2006) e (TEXAS INSTRUMENTS INCORPORATED, 2016).

3.2.1 Perdas de Condução

Os principais problemas em aplicações de baixa tensão e alta corrente consistem nas elevadas perdas de condução nos semicondutores e no efeito térmico nocivo em decorrência da alta corrente. Uma solução apropriada para a concepção de um projeto otimizado é a associação de MOSFETs em paralelo, de modo a reduzir as perdas e elevar a capacidade de condução de corrente do conversor.

As perdas por condução ocorrem após o transitório da comutação e durante a condução do MOSFET, a magnitude de perdas está associada a corrente I_{Srms} e a resistência R_{DSon} . A corrente conduzida através do MOSFET I_{Srms} foi determinada em 3.1.1 e R_{DSon} corresponde a resistência entre dreno e fonte durante a condução.

O valor instantâneo das perdas por condução equivale a

$$p_{CM} = v_{DS}i_S \quad (58)$$

em que v_{DS} é a tensão entre os terminais de dreno e fonte, e i_S é a corrente que circula no semicondutor.

Seguindo a lei de Ohm, a tensão entre dreno e fonte pode ser expressa em função de R_{DSon} ,

$$p_{CM} = R_{DSon}i_S^2 \quad (59)$$

Realizando a integração do valor instantâneo das perdas dentro de um ciclo de comutação tem-se o valor médio de perdas por condução, resultando na Equação 61,

$$P_{CM} = \frac{1}{T_s} \int_0^{T_s} R_{DSon}i_S^2 dt \quad (60)$$

$$P_{CM} = R_{DSon}I_{Srms}^2 \quad (61)$$

A resistência R_{DSon} varia com a mudança na temperatura de junção T_j , sendo assim esse parâmetro deve ser ajustado de acordo com a temperatura de junção prevista para a aplicação, o Apêndice B aborda sobre como considerar a variação da temperatura nesse parâmetro.

Para calcular as perdas quando são associados MOSFETs em paralelo, a corrente que circula nos semicondutores é dividida pelo número de elementos associados, desse

modo, as perdas de condução de cada MOSFET podem ser estimadas a partir da Equação 62.

$$P_{CM} = \frac{R_{DSon} I_{Srms}^2}{n^2} \tag{62}$$

onde n é o número de MOSFETs em paralelo.

As perdas por condução no inversor trifásico são obtidas através da Equação 63.

$$P_{CVSI} = \frac{6R_{DSon} I_{Srms}^2}{n} \tag{63}$$

A Tabela 4 apresenta as perdas de condução por MOSFET e as perdas de condução do inversor de acordo com o número de semicondutores associados em paralelo. Para o cálculo foram utilizadas as Equações 62 e 63, considerando a corrente no semiconductor equivalente a 86,27A, determinada em 3.1.1 e a resistência de condução de 4,34mΩ considerando a temperatura de junção de 120°C, parâmetro obtido no *datasheet* do MOSFET selecionado apresentado na 4.1 e conforme as diretrizes do Apêndice B.

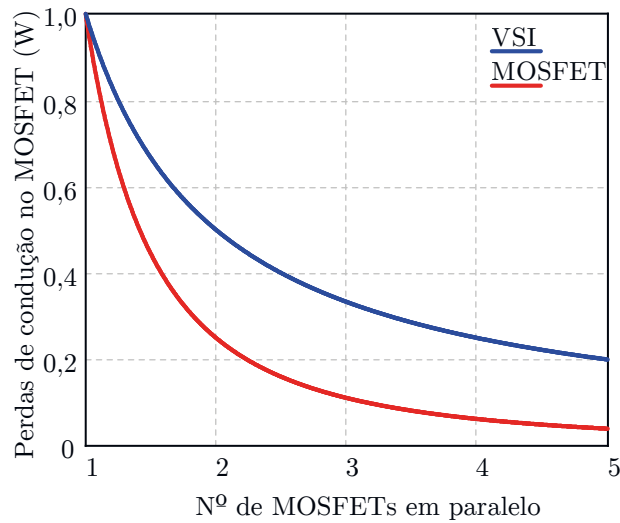
Tabela 4 – Perdas de condução no MOSFET.

n	Perda de condução no MOSFET (W)	Perda de condução no VSI (W)
1	32,272	193,634
2	8,068	96,817
3	3,586	64,545
4	2,017	48,408
5	1,291	38,727

Fonte – Autoria própria.

Verifica-se que há a redução das perdas de condução por MOSFET, proporcional ao quadrado do número de elementos associados em paralelo e há a redução das perdas de condução do inversor, proporcional ao número de elementos associados em paralelo. A Figura 26 mostra graficamente as perdas normalizadas em função do número de elementos, em que é possível visualizar graficamente a redução significativa das perdas por condução com o aumento do número de semicondutores associados em paralelo.

Figura 26 – Perdas de condução normalizadas em função do número de MOSFETs em paralelo.



Fonte – Autoria própria.

As perdas de condução no diodo anti-paralelo podem ser estimadas considerando que o diodo em condução é representado por uma força-eletromotriz V_{TO} em série com uma resistência r_T , esses parâmetros são obtidos no *datasheet* do MOSFET, no Apêndice B há mais detalhes sobre esses parâmetros. A partir dessas considerações as perdas de condução no diodo podem ser determinadas conforme a Equação 64:

$$P_{CD} = V_{TO} I_{Dmed} + r_T I_{Def}^2 \quad (64)$$

onde I_{Dmed} corresponde ao valor médio da corrente que circula no diodo e I_{Def} corresponde ao valor eficaz da corrente.

Para a aplicação de um inversor trifásico essa equação pode ser reescrita conforme a seguir, considerando os valores de corrente da aplicação:

$$P_{CD} = V_{TO} \sqrt{2} \frac{I_o}{n} \left(\frac{1}{2\pi} - \frac{M \cos \phi}{8} \right) + r_T \left(\frac{I_o}{n} \right)^2 \left(\frac{1}{4} - \frac{2M \cos \phi}{3\pi} \right) \quad (65)$$

A Tabela 5 apresenta os valores de perdas de condução no diodo de acordo com a Equação 65, para diferentes quantidades de MOSFET em paralelo, fator de potência de 0,85 e índice de modulação unitário. Ressalta-se que as primeiras colunas se referem à parcela de perdas associada à corrente média e as colunas subsequentes se referem à parcela de perdas associada à corrente eficaz, com o intuito de analisar o efeito da associação de MOSFETs em paralelo nas perdas de condução no diodo.

Tabela 5 – Perdas de condução no diodo.

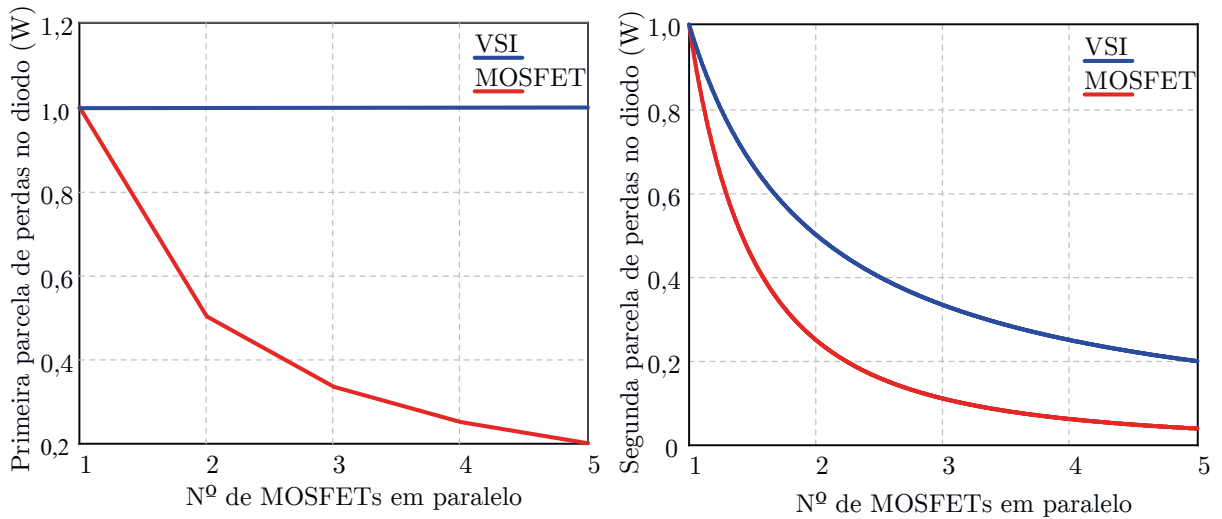
n	Perda no Diodo (W)	Perda no VSI (W)	Perda no Diodo (W)	Perda no VSI (W)
1	4,564	27,384	1,036	6,218
2	2,282	27,384	0,259	3,109
3	1,521	27,384	0,115	2,073
4	1,141	27,384	0,065	1,554
5	0,913	27,384	0,041	1,244

Fonte – Autoria própria.

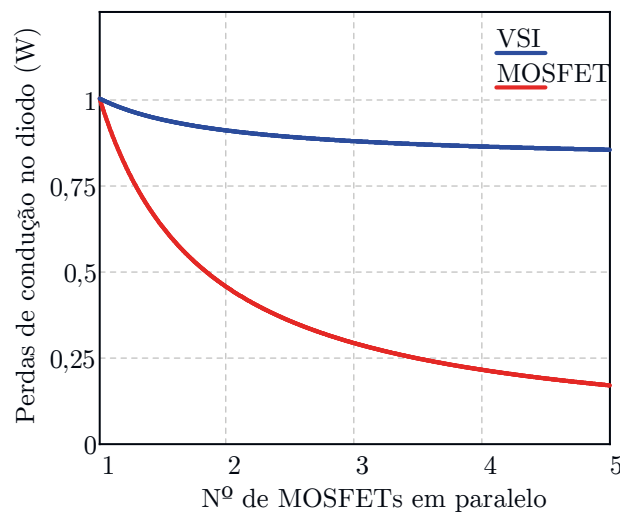
Referente a primeira parcela de perdas do diodo, com a associação de MOSFETs em paralelo há a redução das perdas por MOSFET proporcional ao número de elementos associados e não há impacto nas perdas totais do inversor. Quanto a segunda parcela de perdas, há a redução das perdas por MOSFET proporcional ao quadrado do número de MOSFETs associados em paralelo e nas perdas totais do inversor há o impacto de uma redução proporcional ao número de elementos. Isso pode ser melhor visualizado na Figura 27(a), que representa cada parcela de perda de condução no diodo por MOSFET e o que representariam nas perdas totais do inversor, normalizadas pelo número de elementos em paralelo. As perdas totais são representadas na Figura 27(b).

Figura 27 – Perdas de condução no diodo normalizadas em função do número de MOSFETs em paralelo.

(a) Parcelas de perdas de condução no diodo normalizadas em função do número de MOSFETs em paralelo.



(b) Total de perdas de condução no diodo normalizadas em função do número de MOSFETs em paralelo.



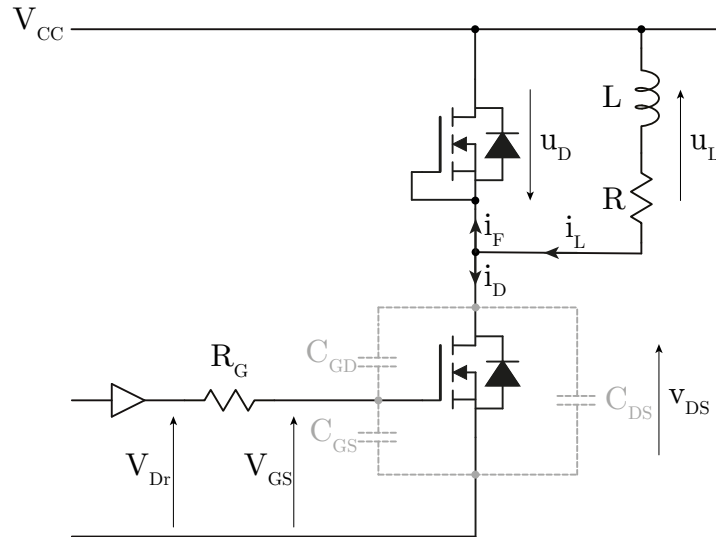
Fonte – Autoria própria.

3.2.2 Perdas de Comutação

As perdas de comutação ocorrem na transição de estado do MOSFET, a análise é realizada através do circuito apresentado na Figura 28, um braço do inversor alimenta uma carga indutiva e um circuito de gate driver fornece a tensão V_{Dr} para a comutação do MOSFET. O diodo interno é utilizado como roda livre, na maioria das aplicações, como no acionamento de motores de indução trifásicos, acionamento de motores de corrente

contínua e conversores CC/CC síncronos.

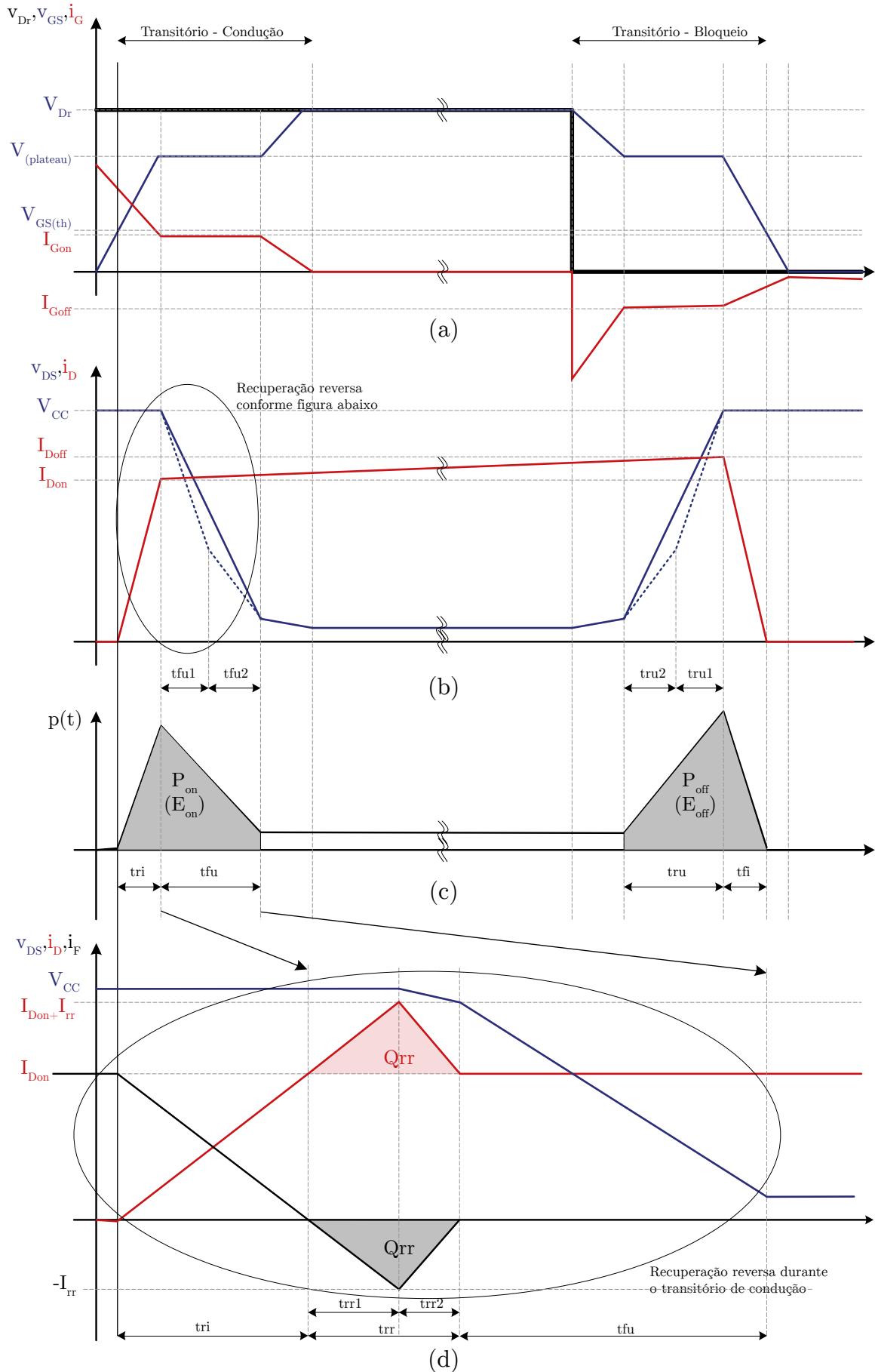
Figura 28 – Comutação de um MOSFET com carga indutiva.



Fonte – Adaptado de (INFINEON, 2018)

O processo de comutação do MOSFET é apresentado na Figura 29, a parte (a) apresenta as formas de onda da tensão de saída do gate driver V_{Dr} , tensão de porta V_{GS} e a corrente de porta i_G ; em (b) são apresentadas a tensão entre dreno e fonte v_{DS} e a corrente de dreno i_D sem levar em consideração a recuperação reversa do diodo de roda livre; e em (c) a potência e a energia de perdas.

Figura 29 – Transitórios da comutação do MOSFET.



Fonte – Adaptado de (INFINEON, 2018)

A condução do MOSFET ocorre a partir da aplicação de tensão entre os terminais de porta e fonte, através do circuito de gate driver que fornece a tensão V_{Dr} . A tensão v_{GS} aumenta até o valor de *threshold* $V_{GS(th)}$ com uma constante de tempo definida pelo resistor de porta R_G e a capacitância de entrada do MOSFET C_{iss} . A capacitância de entrada equivale à soma das capacitâncias C_{GD} e C_{GS} , que correspondem a capacitância entre os terminais de porta e dreno e a capacitância entre os terminais de dreno e fonte, respectivamente. Antes da tensão de porta atingir o valor de $V_{GS(th)}$ a saída não se altera, após atingir $V_{GS(th)}$ a corrente de dreno sobe e assume a corrente da carga, o intervalo de tempo para a corrente atingir o valor da corrente de carga é denominado por *tri*.

Analisando a Figura 29(b) verifica-se que a tensão entre os terminais de dreno e fonte decresce de V_{CC} até o valor de $R_{DSon} \cdot I_{Don}$, durante o intervalo de tempo t_{fu} , denominado tempo de decaimento da tensão v_{DS} . Nesse intervalo, ocorre o efeito Miller e a tensão entre porta e fonte permanece no valor da tensão de platô $V_{(plateau)}$. A inclinação de v_{DS} é imposta pela corrente da porta que circula através da capacitância C_{GD} informada em *datasheet* como *reverse transfer capacitance* - C_{rss} .

O bloqueio do MOSFET ocorre quando o circuito de gate driver está com o valor de saída v_{Dr} igual a zero, a tensão entre os terminais de porta e fonte v_{GS} começa a decrescer com uma constante de tempo definida pelo resistor de porta R_G e a capacitância de entrada do MOSFET C_{iss} . Quando a tensão entre porta e fonte for menor que o valor de $V_{GS(th)}$ a corrente de dreno passa a ser nula, o intervalo de tempo de decrescimento da corrente é denominado por *t_{fi}*.

A tensão entre dreno e fonte começa a aumentar de $R_{DSon} \cdot I_{Don}$ até assumir o valor de V_{CC} , analogamente à entrada de condução a inclinação de v_{DS} é imposta pela corrente da porta que circula através da capacitância C_{GD} . O intervalo de crescimento da tensão é denotado como *tru*.

As perdas de comutação são obtidas a partir da energia dissipada na entrada em condução e no bloqueio do MOSFET, a qual é ilustrada pela área sombreada na Figura 29(c). Para calcular a energia é realizada a integração da potência instantânea, considerando os intervalos *tri* e *t_{fu}* para a entrada em condução e os intervalos *t_{fi}* e *tru* para o bloqueio do MOSFET. O Apêndice B apresenta o procedimento para obtenção dos intervalos de tempo de decaimento e subida da tensão, enquanto os intervalos de decaimento e subida da corrente são obtidos através do *datasheet* do MOSFET.

A energia dissipada durante a entrada da condução E_{onM} e a energia dissipada no bloqueio do MOSFET E_{offM} podem ser calculadas, respectivamente, conforme as Equações 66 e 67.

$$E_{onM} = \int_0^{tri+tfu} v_{DS} i_D dt \quad (66)$$

$$E_{onM} = \frac{1}{2} V_{CC} I_{Don} (tri + tfu) + Q_{rr} V_{CC}$$

$$E_{offM} = \int_0^{tru+tfi} v_{DS} i_D dt \quad (67)$$

$$E_{offM} = \frac{1}{2} V_{CC} I_{Doff} (tru + tfi)$$

onde Q_{rr} é a carga da recuperação reversa do diodo de roda livre, as correntes de dreno I_{Don} e I_{Doff} por aproximação podem ser consideradas iguais e equivalem a I_{Srms} determinada em 3.1.1, tendo em vista que a corrente varia entre o valor de pico e zero considerar a metade do valor de pico é uma boa aproximação para o cálculo de perdas.

A energia total dissipada no diodo durante a comutação, geralmente é determinada considerando apenas a entrada em condução do MOSFET, tendo em vista que as perdas durante o bloqueio são desprezíveis perante a energia durante entrada em condução, desse modo a Equação 68 determina a energia dissipada no diodo.

$$E_{onD} = \int_0^{tri+tfu} v_{DS} i_F dt \quad (68)$$

$$E_{onD} = \frac{1}{4} Q_{rr} V_{CC}$$

Após calcular a energia dissipada no MOSFET e no diodo, as perdas de comutação no MOSFET P_{swD} e no diodo podem ser obtidas a partir da Equação 69 e 70, respectivamente.

$$P_{swM} = (E_{onM} + E_{offM}) f_{sw} \quad (69)$$

$$P_{swD} = E_{onD} f_{sw} \quad (70)$$

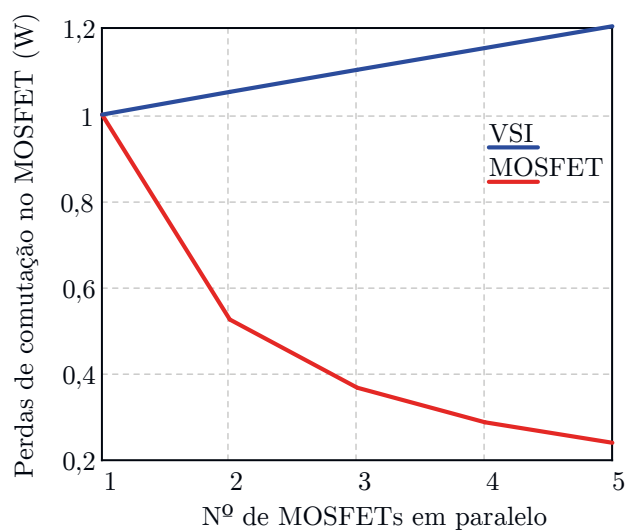
Para a associação de MOSFETs em paralelo, a corrente I_{Srms} é dividida pelo número de semicondutores associados, desse modo as perdas de comutação foram calculadas e são apresentadas na Tabela 6, considerando a frequência de comutação definida na especificação do projeto.

Tabela 6 – Perdas de comutação no MOSFET.

n	Perda de Comutação por MOSFET (W)	Perda de Comutação Total no VSI (W)
1	3,584	21,507
2	1,886	22,636
3	1,318	23,73
4	1,034	24,816
5	0,863	25,898

A Figura 30 mostra graficamente as perdas de comutação normalizadas em função do número de elementos associados em paralelo, verifica-se que há a redução das perdas de comutação por MOSFET aproximadamente proporcional ao número de MOSFETs associados, enquanto as perdas totais do inversor podem ser elevadas devido à carga da recuperação reversa do diodo Q_{rSS} .

Figura 30 – Perdas de comutação no MOSFET normalizadas em função do número de MOSFETs em paralelo.



Fonte – Autoria própria.

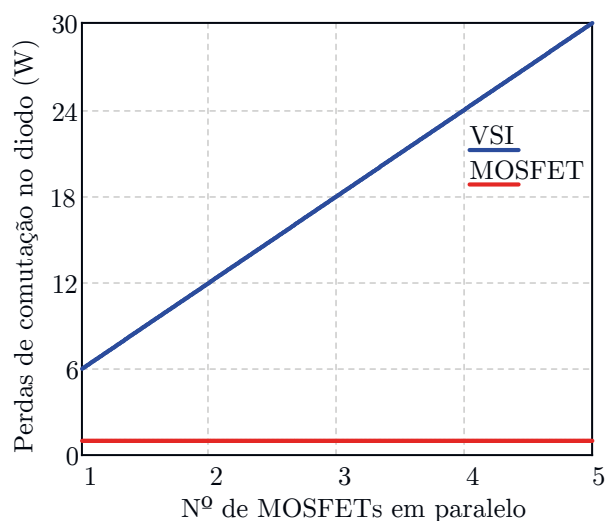
Com relação as perdas de comutação do MOSFET, tendo em vista que foi considerada a carga para recuperação reversa no cálculo de energia e se refere a um único MOSFET, verifica-se que para as perdas por MOSFET não há uma redução com o paralelismo e nas perdas totais do inversor as perdas aumentam com o número de elementos associados, contudo isso não representa um ponto crítico tendo em vista que as perdas no diodo representam um valor ínfimo perante as perdas no MOSFET. A Tabela 7 apresenta os valores de perdas e a Figura 31 mostra graficamente as perdas de comutação no diodo normalizadas em função do número de elementos associados em paralelo.

Tabela 7 – Perdas de comutação no diodo.

n	Perda de Comutação no Diodo (W)	Perda de Comutação Total no VSI (W)
1	0,045	0,269
2	0,045	0,539
3	0,045	0,808
4	0,045	1,077
5	0,045	1,346

Fonte – Autoria própria.

Figura 31 – Perdas de comutação no diodo normalizadas em função do número de MOSFETs em paralelo.



Fonte – Autoria própria.

3.2.3 Perdas pela Energia Armazenada na Capacitância de Saída

A energia armazenada na capacitância entre dreno e fonte C_{DS} resulta em perdas a partir da dissipação na resistência R_{DSon} do MOSFET, o que ocorre a cada comutação, a capacitância pode ser obtida no *datasheet* através do valor de C_{oss} , a qual equivale a soma da capacitância C_{GD} e C_{DS} . O valor de C_{GD} equivale ao C_{rss} , nesse caso o valor é muito menor quando comparado com C_{oss} , desse modo para o cálculo das perdas pode-se considerar o valor total de C_{oss} .

A perda corresponde à energia armazenada em C_{oss} vezes a frequência de comutação, as Equações 71 e 72 representam a energia dissipada e a perda resultante, respectivamente.

$$E_{Coss} = \frac{1}{2} C_{oss} V_{CC}^2 \quad (71)$$

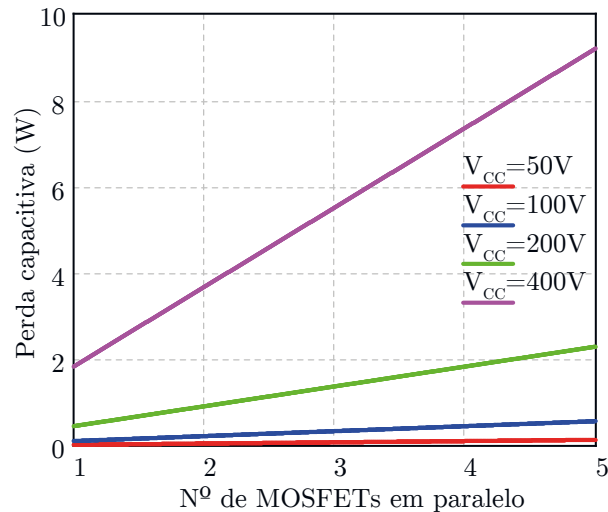
$$P_{Coss} = E_{Coss} f_{sw} \quad (72)$$

Com o paralelismo de MOSFETs, essa perda representa o valor de perda de um único MOSFET e não depende do número de elementos associados, já para o caso do inversor as perdas sobem proporcionalmente ao número de MOSFETs. Esse comportamento é análogo ao mostrado da Figura 31.

Para aplicações com tensão da bateria mais elevada, essa perda pode assumir valores consideráveis devido à associação de elementos semicondutores em paralelo, o que resulta no aumento da capacitância entre dreno e fonte provocando o aumento de perdas de acordo com número de elementos associados. A Figura 32 apresenta em valor absoluto

as perdas decorrente da energia armazenada na capacitância de saída do MOSFET para diferentes níveis de tensão do barramento CC, verifica-se a elevação das perdas com o aumento do número de MOSFETs associados em paralelo, contudo para baixa tensão de alimentação a magnitude dessa parcela de perdas é muito baixa.

Figura 32 – Perdas pela energia armazenada na capacitância de saída em função do número de MOSFETs em paralelo e da tensão V_{CC} .



Fonte – Autoria própria.

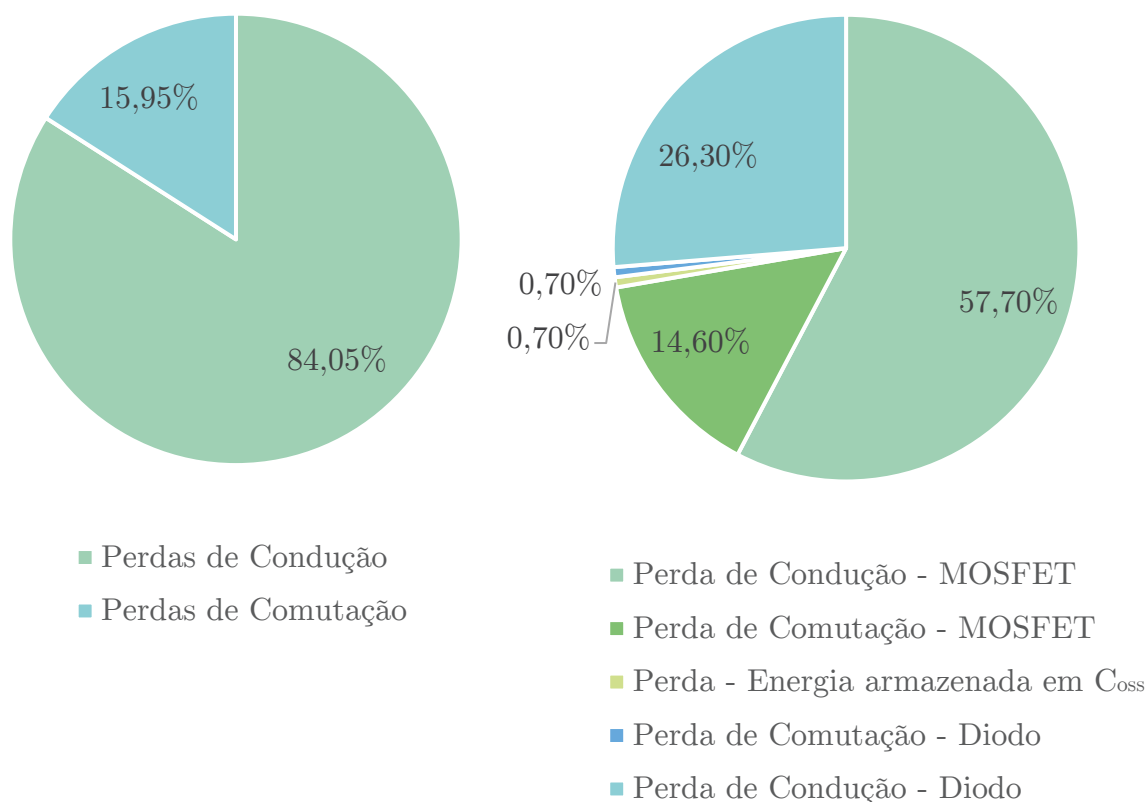
3.2.4 Balanço de Perdas

O total de perdas no inversor é obtido através da Equação 73:

$$P_{VSI_{Total}} = 6n (P_{CM} + P_{CD} + P_{swM} + P_{swD} + P_{C_{oss}}) \quad (73)$$

Para os parâmetros do MOSFET selecionado e especificações do projeto foi realizada a distribuição de perdas, conforme apresenta a Figura 33, nota-se que as perdas de condução representam a maior parcela de perdas e corresponde a 84,05%, enquanto as perdas de comutação representam 15,95%. Ao comparar as perdas no MOSFET com as perdas no diodo interno, verifica-se que a maior parte das perdas está no MOSFET e corresponde a 73%, enquanto as perdas no diodo representam 27% do total de perdas.

Figura 33 – Proporção de cada parcela de perdas no valor total de perdas do inversor.

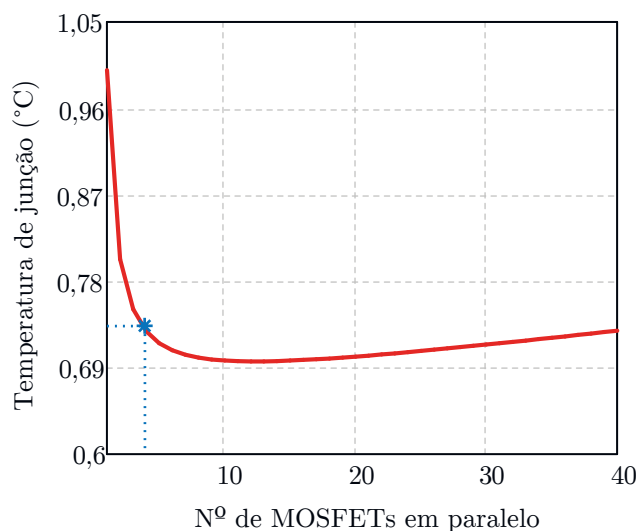


Fonte – Autoria própria.

A partir do levantamento das perdas do semicondutor é realizado o projeto térmico, com o intuito de garantir condições seguras de operação para as especificações de projeto, essa etapa é apresentada na seção 4.2. O principal requisito para determinar o número de MOSFETs associados em paralelo consiste na temperatura de junção obtida no projeto térmico, a qual deve estar de acordo com os limites seguros de operação para determinada potência dissipada. Desse modo, pode-se afirmar que a magnitude das perdas de condução são determinantes na escolha do número de elementos a serem associados em paralelo, visto que representam a maior parte das perdas.

A Figura 34 apresenta o impacto do paralelismo na temperatura de junção, o gráfico relaciona a temperatura normalizada pelo número de MOSFETs associados em paralelo. Considerando as especificações do projeto e o levantamento de perdas, verifica-se que é possível reduzir a temperatura em até aproximadamente 70%, a partir de dez semicondutores não há mais redução da temperatura, devido ao aumento das perdas para quantidades maiores de semicondutores. O ponto demarcado corresponde a quantidade de MOSFETs selecionada no projeto, a qual foi definida para um ponto de operação seguro, tendo um compromisso com baixo custo e volume.

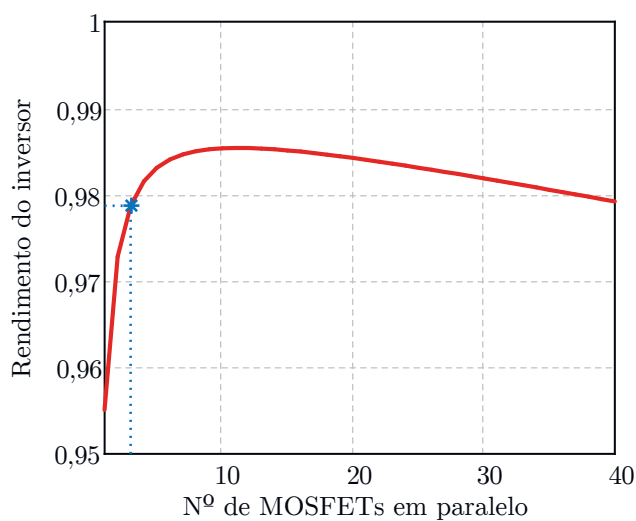
Figura 34 – Temperatura de junção normalizada em função do número de MOSFETs em paralelo.



Fonte – Autoria própria.

A seguir é apresentado o rendimento percentual do inversor em função do número de MOSFETs associados em paralelo. Conforme a temperatura de junção, o rendimento máximo ocorre para 10 elementos em paralelo e passa a decair para quantidades maiores de semicondutores. Para a quantidade selecionada no projeto o rendimento é de aproximadamente 98%.

Figura 35 – Rendimento do inversor em função do número de MOSFETs em paralelo.



Fonte – Autoria própria.

3.3 CRITÉRIOS FUNDAMENTAIS PARA O DIMENSIONAMENTO DO BARRAMENTO CC

Em inversores para aplicações automotivas, o barramento CC ou também conhecido como Link CC é utilizado para estabilizar a tensão do barramento, localizado entre a fonte de alimentação CC e o conjunto de semicondutores do inversor. Há três principais tecnologias comuns de capacitores para compor o barramento CC, os capacitores cerâmicos, os capacitores de filme e os capacitores eletrolíticos, a são avaliadas as principais características de cada tecnologia com o intuito de determinar a mais apropriada de acordo com a aplicação.

Os capacitores cerâmicos possuem constante dielétrica alta, permitindo valores relativamente altos em pequenos volumes, em contrapartida há grande variação da capacitância com relação a tensão aplicada. Os capacitores de filme possuem alta capacidade de condução de corrente, porém comparados às outras tecnologias possuem maior custo por capacitância e representam uma solução mais volumosa devida à baixa constante dielétrica, geralmente são mais apropriados para aplicações com tensão mais elevada. Os capacitores eletrolíticos oferecem alto valor de capacitância em pequenos tamanhos e representam o melhor custo benefício com relação a esse fator, como desvantagem a vida útil é altamente comprometida ao exceder determinada faixa de temperatura de operação.

Em síntese, para aplicações automotivas de baixa tensão, os capacitores eletrolíticos representam uma escolha mais adequada, considerando aspectos como custo, compactação do inversor e a diversidade de modelos oferecidas por fabricantes com ênfase em aplicações automotivas, tendo em vista quesitos como certificação e testes de vibração.

O dimensionamento dos capacitores do barramento CC, para aplicações de baixa tensão e alta corrente, está atrelado principalmente à capacidade de condução de corrente do capacitor. Diante disso, para comportar níveis elevados de corrente há a necessidade de associar capacitores em paralelo, visando suprir *ripple* de corrente necessário para a aplicação sem uma elevação excessiva da temperatura.

Por consequência, em muitos casos há a necessidade da associação de vários capacitores em paralelo, dessa forma a capacitância equivalente do barramento tende a ser alta, resultando em um baixo *ripple* de tensão, geralmente mais baixo do que valores requisitados em aplicações convencionais, o que representa um benefício para o controle de torque devida à alta estabilidade da tensão do barramento. Contudo, a capacitância mínima pode ser verificada por meio da Equação 74 (CHEN; LI; FAHIMI, 2018).

$$C_{min} = \frac{I_o}{4 \Delta V_{cc} f_{sw}} \quad (74)$$

onde I_o é valor eficaz da corrente de saída do inversor, ΔV_{cc} é o *ripple* de tensão requisitado e f_{sw} é a frequência de comutação.

Nesse caso, a corrente eficaz no capacitor do barramento é considerada o critério

determinante, a seção 3.1.2 apresenta a metodologia para o cálculo da corrente eficaz e a validação por simulação numérica. O número de capacitores que devem ser associados em paralelo de modo a preservar a vida útil do capacitor, tendo em vista que uma corrente expressiva associada com a elevação da temperatura podem degradá-la significativamente. Há diversas maneiras de estimar a vida útil de capacitores eletrolíticos, uma forma muito conhecida é a Lei de Arrhenius, apresentada na Equação 75,

$$L_{cap} = L_o 2^{\frac{T_o - T_a}{10}} \quad (75)$$

onde L_{cap} é a vida útil estimada, L_o é a vida útil nominal correspondente a temperatura nominal T_o e T_a é a temperatura ambiente. Nesse caso, a vida útil do capacitor dobra a cada 10°C abaixo da temperatura nominal do capacitor, tendo como referência a vida útil nominal. No entanto, nessa equação apenas é considerado o efeito da temperatura ambiente, o que representa adequadamente a vida útil nas aplicações em que o *ripple* de corrente da aplicação é menor ou equivalente ao *ripple* de corrente nominal do capacitor.

Há abordagens que consideram outros fatores que afetam a vida útil de capacitores eletrolíticos, além da temperatura ambiente são considerados o *ripple* de corrente e a tensão aplicada. A partir dessas considerações a vida útil é calculada de acordo com a Equação 76 (CHEN; CHEN, 2019) (ALBERTSEN, 2018),

$$L_{cap} = L_o K_t K_v K_r \quad (76)$$

onde K_t é o coeficiente de temperatura, K_v é o coeficiente de tensão e K_r é o coeficiente de *ripple* de corrente.

O coeficiente de temperatura preserva a Lei de Arrhenius e é dado por:

$$K_t = 2^{\frac{T_o - T_a}{10}} \quad (77)$$

Para aplicações em que o capacitor eletrolítico é submetido à uma tensão menor do que a tensão nominal, a tensão tem uma pequena influência comparada com a temperatura e o *ripple* de corrente, sendo expressa por:

$$K_v = \left(\frac{V_r}{V_a} \right)^{2,5} \quad (78)$$

onde V_r é a tensão nominal e V_a é a tensão da aplicação.

O coeficiente de *ripple* de corrente é calculado de acordo com a equação a seguir,

$$K_i = 2 \left[1 - \left(\frac{I_a}{I_r} \right)^2 \right]^{\frac{\Delta T_o}{10}} \quad (79)$$

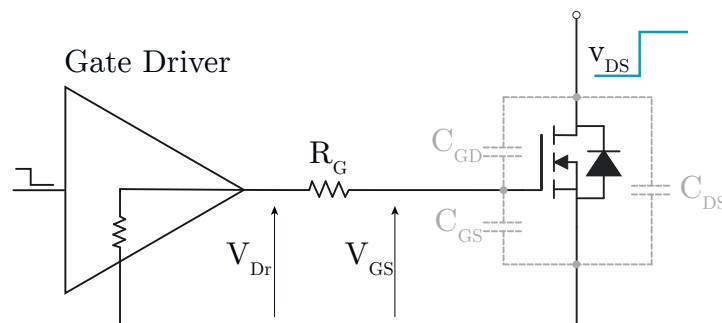
onde I_a é o *ripple* de corrente da aplicação, I_r é o *ripple* de corrente nominal e ΔT_o é o aumento de temperatura tolerado para o capacitor além da temperatura nominal, podendo variar de 3°C a 5°C para capacitores com temperatura máxima de 105°C e 125°C de acordo com recomendações de fabricantes.

Em resumo, os principais critérios a serem avaliados no dimensionamento correspondem ao custo benefício, o volume, o *ripple* de corrente e a vida útil dos capacitores. Esses fatores devem ser coerentes com os requisitos de cada aplicação.

3.4 CRITÉRIOS FUNDAMENTAIS PARA OS CIRCUITOS DE COMANDO

A comutação de um MOSFET requer determinada carga ou corrente durante um período de tempo, com o intuito de carregar e descarregar a capacitância de entrada C_{iss} , composta pela soma das capacitâncias C_{GD} e C_{GS} conforme a Figura 36.

Figura 36 – Gate driver.



Fonte – Autoria própria.

Os circuitos de comando de porta dos MOSFETs devem ter a capacidade de corrente para suprir o transitório durante a carga dos capacitores de entrada do semicondutor, a qual está correlacionada ao número de elementos associados em paralelo. Portanto, o pico de corrente de porta é o primeiro parâmetro a ser determinado, para isso deve-se levar em consideração o menor valor de resistência de porta e o valor de tensão selecionado para o gate driver. Esses parâmetros também influenciam nas perdas de comutação, na sobretensão nos semicondutores e na taxa de variação da tensão pelo tempo nos terminais do motor, pois impactam no tempo da comutação e o equilíbrio entre esses fatores representa um desafio para a escolha da solução mais apropriada para o projeto.

Recomenda-se considerar no cálculo da corrente de pico, além da resistência externa da porta, a resistência interna de porta do MOSFET e a resistência interna da gate driver, quando disponíveis nas folhas de dados, pois esses parâmetros atenuam o pico da corrente e resultam em um valor mais próximo da realidade, de acordo com a Equação 80.

$$I_G = n \frac{V_{Dr}}{R_{Dr} + R_G + R_{G_{int}}} \quad (80)$$

onde n é o número de semicondutores em paralelo, V_{Dr} é a tensão de saída do gate driver, R_{Dr} é a resistência interna do gate driver, R_G é a resistência externa de porta e $R_{G_{int}}$ é a resistência de porta interna do MOSFET.

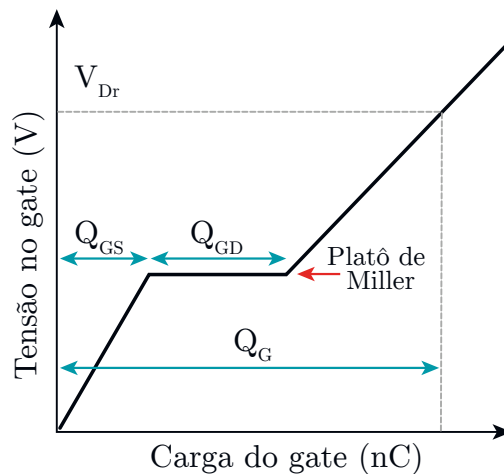
O circuito de comando deve estar apto para suportar o pico da corrente de porta, considerando as soluções comerciais, há duas diretrizes para a seleção, optar por um gate driver com capacidade suficiente para fornecer a corrente de pico ou optar por um gate driver de menor capacidade de corrente e agregar circuitos auxiliares amplificadores, como por exemplo o Totem-Pole.

Em determinadas aplicações, com elevado número de elementos em paralelo, muitas vezes é necessário utilizar circuitos auxiliares para suprir a corrente de pico, por ser onerosa a opção de um gate driver comercial com alta capacidade de corrente ou simplesmente não há opção que atenda esse requisito.

A Figura 37 apresenta a carga de porta Q_G que corresponde à carga entre porta-fonte Q_{gs} , à carga entre porta-dreno Q_{gd} e à carga requerida para elevar a tensão do nível de platô até o nível desejado.

A carga Q_{gs} é requerida para carregar a capacitância de porta-fonte C_{GS} até o nível da tensão de platô. Durante esse período, a corrente de dreno aumenta até o valor da carga após a tensão de porta alcançar o nível da tensão de *threshold* $V_{gs(th)}$. A tensão entre dreno e fonte v_{DS} tem comportamento diferente de acordo com o tipo de carga, para carga resistiva a tensão decai simultaneamente com a elevação da corrente de dreno, enquanto para carga indutiva a tensão começa a cair após a corrente de dreno alcançar o nível da carga. Antes da tensão v_{DS} decair para o valor de $R_{DSon}I_D$, a capacitância de Miller C_{GD} tem que estar descarregada, essa etapa determina a carga de porta-dreno Q_{gd} (INFINEON, 2012).

Figura 37 – Característica da carga da porta do MOSFET.



Fonte – Autoria própria.

O gate driver deve ter a capacidade de prover a energia necessária de acordo com o nível da carga Q_g do semiconductor, sendo assim é realizado o cálculo da potência requerida

de acordo com a Equação 81.

$$P_{Dr} = nV_{Dr}Q_Gf_{sw} \quad (81)$$

Com relação ao paralelismo de MOSFETs, verifica-se que há o impacto no aumento do pico da corrente de porta, assim como na potência do gate driver, que é proporcional ao número de semicondutores associados em paralelo.

3.5 CONCLUSÕES DO CAPÍTULO

Neste capítulo foram abordados os principais desafios da implementação do inversor de frequência em aplicações de baixa tensão e alta corrente em um aspecto geral. Primeiramente, foram apresentados os esforços de corrente e tensão nos componentes de potência. Em seguida, foi apresentado o levantamento de perdas nos semicondutores, os critérios para a escolha dos capacitores do barramento CC e concepção dos circuitos de comando.

A partir dos esforços é possível realizar a especificação apropriada dos componentes que serão utilizados no projeto. Para o emprego de inversores em aplicações de baixa tensão e elevada corrente, são utilizados MOSFETs associados em paralelo e no barramento CC verificou-se que a corrente é a principal diretriz para a seleção dos capacitores, onde também se faz associação em paralelo. No dimensionamento do barramento CC para essa aplicação, a ondulação de tensão geralmente não é determinante, tendo em vista que são associados diversos capacitores em paralelo para suprir toda a corrente, o que consequentemente resulta em uma baixa ondulação na tensão do barramento. Na subseção que trata dos esforços de tensão, destaca-se um dos principais desafios da aplicação, o efeito de indutâncias parasitas que resulta em sobretensão, oscilações e aumento das perdas de comutação dos semicondutores, ainda nessa subseção foram apresentadas estratégias para mitigação desses efeitos.

Em seguida, na seção que apresenta o levantamento de perdas nos semicondutores, foi realizada a análise do impacto da associação de MOSFETs em paralelo, que contribui principalmente com a redução das perdas de condução, que nesse caso representam a parcela mais significativa nas perdas totais do inversor. A partir do levantamento de perdas é possível realizar o projeto térmico, além disso permite a seleção apropriada da quantidade de semicondutores associados em paralelo, visando garantir condições seguras de operação e maximizar o rendimento do inversor.

Posteriormente, foram apresentados os principais critérios para a seleção dos capacitores do barramento CC, onde foram brevemente discutidas algumas características de três principais tecnologias, sendo selecionados para a aplicação, os capacitores eletrolíticos, devido ao baixo custo, compactação do inversor e a diversidade de modelos comerciais para aplicações automotivas. Além disso, foi apresentada a análise da vida útil dos capacitores,

que implica diretamente na vida útil do inversor.

Por fim, foram apresentados os principais critérios para a concepção dos circuitos de comando, levando em consideração as características de comutação e o paralelismo de MOSFETs. Sendo destacado que os circuitos de comando da porta dos MOSFETs devem ter a capacidade de corrente para suprir o transitório durante a carga dos capacitores de entrada do semicondutor, o que está correlacionada ao número de elementos associados em paralelo.

CAPÍTULO 4

ESPECIFICAÇÃO DO INVERSOR TRIFÁSICO DE 48V PARA TRAÇÃO ELÉTRICA

Com o intuito de validar a análise teórica, foi dimensionado e construído um protótipo de inversor que atenda as especificações apresentadas na Tabela 8. Neste capítulo é apresentada a metodologia de projeto considerando os critérios abordados no Capítulo 3.

Tabela 8 – Parâmetros de projeto do inversor trifásico para tração elétrica.

Parâmetro	Valor
Potência máxima de saída	5 kW
Tensão nominal do barramento CC	48 V
Tensão máxima do barramento CC	57,9 V
Corrente eficaz de saída	122 A
Corrente de pico de saída	172,53 A
Frequência de comutação	20 kHz

Fonte – Autoria própria.

A potência de saída do inversor foi determinada para o acionamento do motor de indução considerado nas simulações numéricas apresentadas na seção 2.3, esse motor é um modelo especial destinado a tração elétrica, o qual pode ser empregado em veículos compactos, empilhadeiras, carros de golfe, carros de vizinhança, entre outras aplicações com alimentação a bateria de 48V e potência de até 5kW. A tensão nominal da bateria é de 48V e tensão máxima de 57,9V. Os níveis de corrente de operação também estão correlacionados à corrente nominal do motor da aplicação.

Com relação à frequência de comutação, devida à evolução dos semicondutores de potência se torna possível o uso de frequências mais elevadas. Contudo há alguns efeitos indesejáveis, tais como o aumento de emissão eletromagnética e a incidência de picos de tensão, assim como elevados valores de dV/dt nos terminais dos motores.

Dependendo das características de controle do acionamento, para aplicações com motor de indução com rotor de gaiola de esquilos, a combinação da impedância do cabo e impedância do motor com a tensão pulsada aplicada pode gerar sobretensões recorrentes nos terminais do motor, a qual pode levar à uma degradação da vida útil do motor devido aos impactos no isolamento.

Por outro lado, o aumento da frequência de comutação contribui para a redução do conteúdo harmônico injetado no motor, de modo a melhorar o seu desempenho com relação à temperatura e a ruído. Nesse contexto, optou-se pela frequência de 20 kHz com o intuito de favorecer a filtragem de harmônicos e também considerando a frequência audível para o ouvido humano.

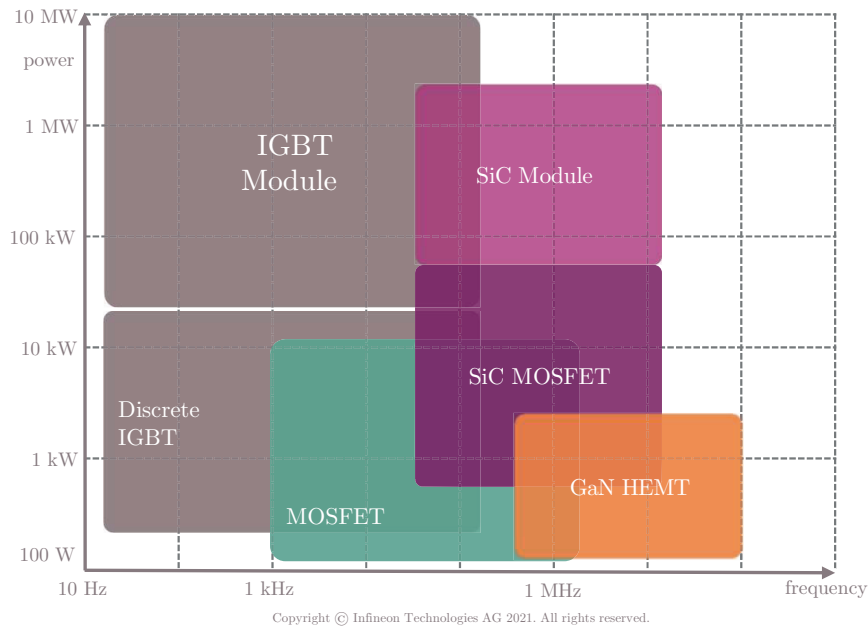
A seguir é apresentada a especificação dos componentes de potência e os principais circuitos auxiliares.

4.1 SEMICONDUTOR DE POTÊNCIA

A seleção do semicondutor de potência deve levar em consideração as tecnologias disponíveis comercialmente e qual é a mais aderente à aplicação. Há diversos fatores que devem ser considerados, como parâmetros diretamente relacionados com as perdas no semicondutor, a tensão de ruptura, a corrente de operação, frequência de comutação, a faixa de temperatura, a compactação do dispositivo, o custo e a disponibilidade da tecnologia no mercado.

A Figura 38 apresenta algumas tecnologias em função da potência e frequência de comutação. As tecnologias de semicondutores GaN e SiC são mais recentes, possuem performance de comutação rápida que permite operações com elevadas frequências de comutação, portanto quando se trata desse requisito GaN e SiC são tecnologias que devem ser consideradas. Há aplicações em que é possível a utilização de diferentes tecnologias, esse caso requer uma análise mais aprofundada e uma avaliação dos fatores citados anteriormente.

Figura 38 – Tecnologias de semicondutores em função da potência e frequência de operação.



Fonte – Infineon Technologies AG 2021.

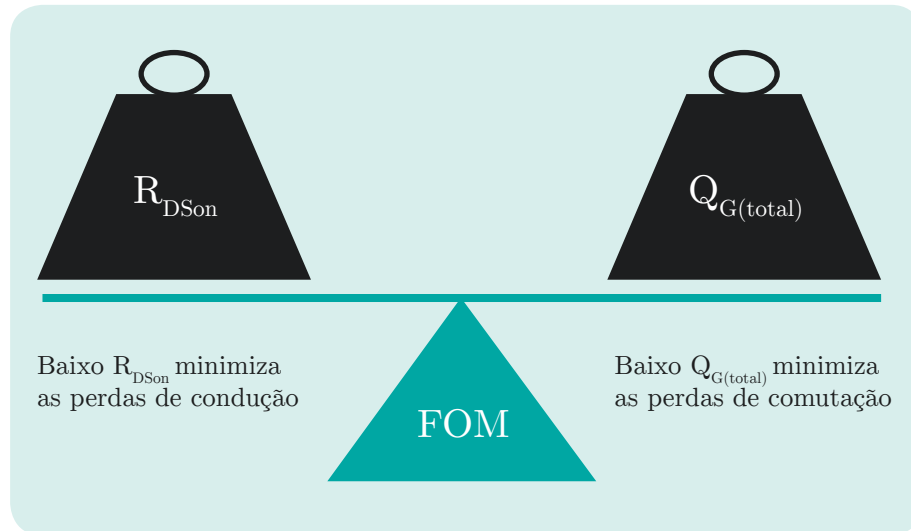
Nesse contexto, avaliando as necessidades do projeto verificou-se que o MOSFET é a tecnologia mais compatível, tendo em vista a faixa de tensão de operação. Em geral os dispositivos IGBT, SiC e GaN estão disponíveis comercialmente para níveis de tensão de ruptura muito superiores ao nível de tensão especificado ($\geq 600V$). Os parâmetros de semicondutores para alta tensão não permitem uma boa densidade de potência para atender a corrente nominal especificada, além de resultar em maior custo, ainda para o caso do SiC e GaN, há a incidência de maiores perdas de condução devido a valores mais altos de R_{DSon} , quesito crítico para aplicações de baixa tensão e corrente elevada.

Com relação aos parâmetros é comum utilizar uma figura de mérito para avaliar a performance do MOSFET, apresentada na Figura 39, a qual consiste em ponderar o valor de dois principais parâmetros, a resistência R_{DSon} e a carga $Q_{G(total)}$, buscando um equilíbrio entre as perdas de condução e comutação. No aspecto construtivo do MOSFET, um valor baixo para R_{DSon} requer um *bare die* maior, enquanto um valor baixo de $Q_{G(total)}$ requer um *bare die* menor, sendo um desafio para os fabricantes a criação de MOSFETs de potência otimizados, com baixo R_{DSon} e $Q_{G(total)}$. Desse modo, como figura de mérito, o produto de R_{DSon} e $Q_{G(total)}$ que resultar em um menor valor, indica que o MOSFET possui boa performance (NXP SEMICONDUCTORS N.V., s.d.).

Isso explica os valores mais altos de R_{DSon} para semicondutores de tensão mais elevada, pois nesse caso as perdas de comutação são relevantes e é necessário ter um equilíbrio entre esses parâmetros. Contudo, para essa aplicação as perdas de comutação

representam uma parcela muito baixa do total de perdas, enquanto as perdas de condução são mais significativas, sendo assim para essa aplicação o mais importante é o menor valor de R_{DSon} .

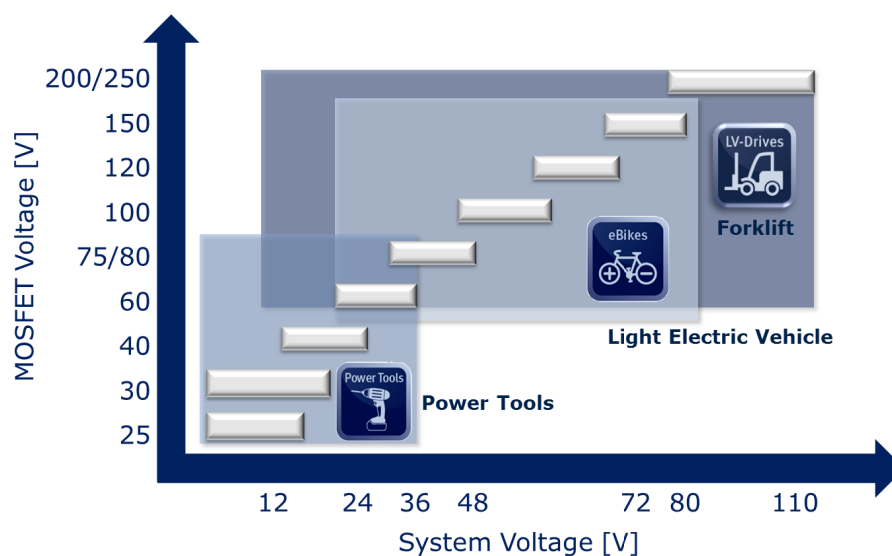
Figura 39 – FOM - *Figure of Merit* para avaliar a performance do MOSFET.



Fonte – Adaptado de (NXP SEMICONDUCTORS N.V., s.d.)

A seguir, a Figura 40 apresenta uma classificação de MOSFETs de baixa tensão de acordo com o nível de tensão do sistema os quais se aplicam, essa é uma classificação do fabricante Infineon de acordo com os modelos de MOSFETs que disponibilizam comercialmente para essas aplicações.

Figura 40 – MOSFETs de baixa tensão por aplicação.



Fonte – Infineon Technologies AG 2014.

Para aplicações em veículos elétricos leves com alimentação do sistema de 48V o fabricante indica MOSFETs de 75V/80V a 100V, dispositivos nessa faixa de tensão e corrente elevada apresentam baixos valores de R_{DSon} , o que contribui para a redução das perdas de condução.

O MOSFET selecionado para o projeto foi o IPP027N08N5, com tensão de ruptura de 80V e $R_{DSonmax}$ de 2,7m Ω , apesar de apresentar bons resultados no projeto térmico, abordado na seção seguinte, devido aos efeitos de indutâncias parasitas inerentes ao layout, não foi possível prosseguir com os testes experimentais utilizando esse modelo, em virtude de elevada sobretensão no semiconductor, o que será tratado na seção 5.3. Desse modo, foi selecionado um modelo de 150V, o IPP051N15N5 com $R_{DSonmax}$ de 5,1m Ω , que embora impacte em maiores perdas, permitiu a continuidade dos ensaios.

A Tabela 9, apresenta alguns parâmetros desses dispositivos. A seguir é apresentada a metodologia do projeto térmico considerando esses dois modelos.

Tabela 9 – Principais parâmetros dos MOSFETs.

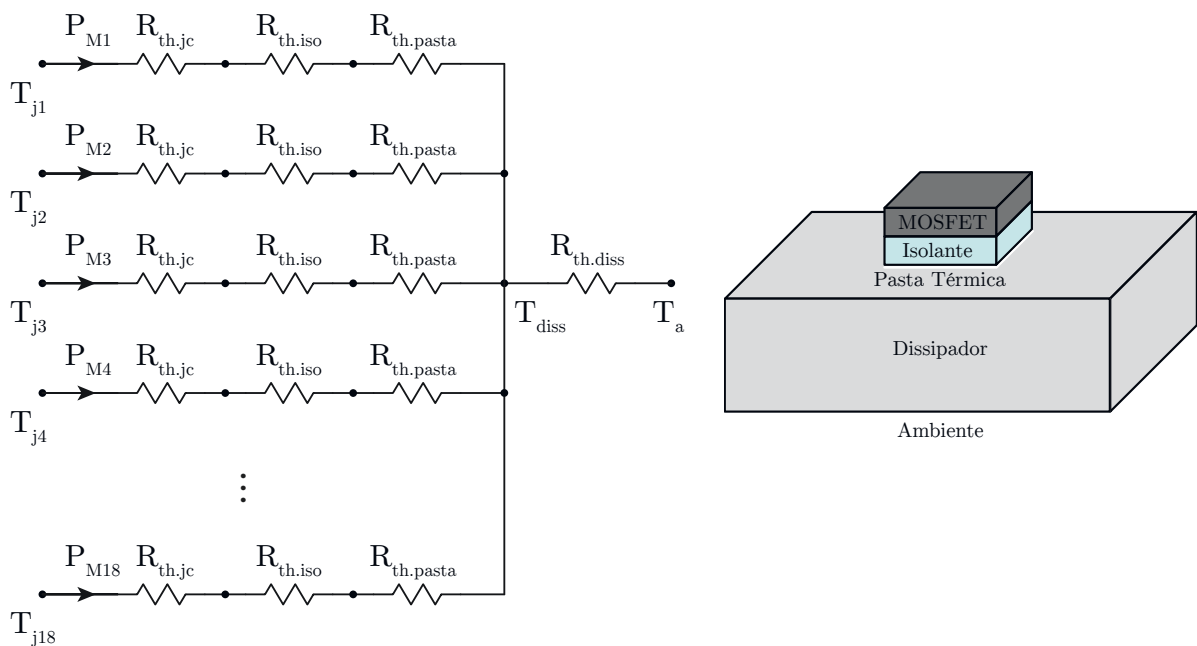
Part Number	V_{DS}	$R_{DSonmax}$	I_{Dnom}	Temperatura
IPP027N08N5	80V	2,7m Ω	120A	-55 a 175°C
IPP051N15N5	150V	5,1m Ω	120A	-55 a 175°C

Fonte – Autoria própria.

4.2 PROJETO TÉRMICO

O modelo térmico representado a partir de um circuito elétrico equivalente é mostrado na Figura 41, os parâmetros correspondem à resistência térmica entre junção e o case do MOSFET $R_{th,jc}$, à resistência térmica do material isolante $R_{th,iso}$, à resistência térmica da pasta térmica $R_{th,pasta}$ e à resistência térmica do dissipador $R_{th,diss}$. No modelo estão sendo representados 18 ramos que se referem à cada MOSFET utilizado no inversor, para esse projeto estão sendo utilizados 3 semicondutores associados em paralelo.

Figura 41 – Modelo térmico.



Fonte – Autoria própria.

O valor de $R_{th,jc}$ pode ser obtido através do *datasheet* do MOSFET, os demais valores de resistência térmica são obtidos através da Equação 82.

$$R_{th} = \frac{t}{A K} \quad (82)$$

onde t é espessura do material, A é a área de contato e K é a condutividade térmica do material.

Para compor a isolamento entre o MOSFET e o dissipador é necessário utilizar materiais que não comprometam a dissipação térmica, para esse projeto está sendo utilizado um material cerâmico de óxido de alumínio que possui boa condutividade térmica. Entre o material isolante e o dissipador é aplicada uma camada fina de pasta térmica, a qual tem a finalidade de melhorar a dissipação de calor, pois preenche os espaços de ar que são

inerentes à rugosidade das superfícies com material de boa condutividade térmica. A Tabela 10 apresenta a espessura, a condutividade térmica e área de contato para determinar a resistência térmica de cada material.

Tabela 10 – Parâmetros para cálculo de resistência térmica.

	Espessura	Condutividade Térmica	Área de contato
Pasta Térmica	50 μ m	1W/mK	143,66mm ²
Material Isolante	1,78 μ m	14,24W/mK	143,66mm ²

Fonte – Autoria própria.

Empregando os parâmetros na Equação 82 são obtidos os valores de resistência térmica:

$$R_{th.pasta} = 0,348 \frac{^{\circ}C}{W}$$

$$R_{th.iso} = 0,87 \frac{^{\circ}C}{W} \quad (83)$$

A partir do cálculo de perdas realizado na seção 3.2 e dos valores de resistência térmica calculados é possível determinar a variação de temperatura em cada interface:

$$\Delta T_{jc} = P_{M_{Total}} R_{th.jc} \quad (84)$$

$$\Delta T_{pasta} = P_{M_{Total}} R_{th.pasta} \quad (85)$$

$$\Delta T_{iso} = P_{M_{Total}} R_{th.iso} \quad (86)$$

As Tabelas 11 e 12 relacionam os resultado do cálculo das perdas para os dois modelos de MOSFETs.

Tabela 11 – Resultados do cálculo de perdas.

	IPP027N08N5	IPP051N15N5
P _{CM}	3,59W	6,77W
P _{CD}	1,33W	1,64W
P _{swM}	0,9W	0,33W
P _{swD}	0,04W	0,01W
P _{Coss}	0,041W	0,017W
P _{VSI_{Total}}	106,37W	157,8W

Fonte – Autoria própria.

Tabela 12 – Balanço do cálculo de perdas.

	IPP027N08N5	IPP051N15N5
$P_{M_{TOTAL}}$	5,91W	8,77W
$P_{VSI_{Total}}$	106,37W	157,8W

Fonte – Autoria própria.

Aplicando os resultados obtidos no cálculo das perdas nas Equações 84, 85 e 86 obtêm-se as variações de temperatura em cada interface apresentadas na Tabela 13.

Tabela 13 – Resultados do cálculo térmico.

	IPP027N08N5	IPP051N15N5
$R_{th,jc}$	0,5 °C/W	0,3 °C/W
$R_{th,iso}$	0,87 °C/W	0,87 °C/W
$R_{th,pasta}$	0,35 °C/W	0,35 °C/W
ΔT_{iso}	5,14 °C	7,63 °C
ΔT_{pasta}	2,06 °C	3,05 °C
ΔT_{jc}	2,96 °C	2,63 °C

Fonte – Autoria própria.

A seleção do dissipador foi realizada para que a temperatura de junção dos MOSFETs esteja dentro do limite seguro para determinada potência dissipada, nesse projeto foi definida a temperatura de junção de 120°C e temperatura ambiente T_a equivalente a 40°C. O projeto do dissipador foi realizado considerando o MOSFET IPP027N08N5, de acordo com o modelo térmico apresentado na Figura 41 e os resultados da Tabela 13.

Inicialmente é calculada a temperatura do dissipador T_{diss} considerando a temperatura ambiente especificada, de acordo com a Equação 87:

$$T_{diss} = T_j - (\Delta T_{iso} + \Delta T_{pasta} + \Delta T_{jc}) \quad (87)$$

Substituindo os valores da tabela 13,

$$T_{diss} = 120^\circ C - (5,14^\circ C + 2,06^\circ C + 2,96^\circ C)$$

$$T_{diss} = 109,85^\circ C$$

A partir da temperatura do dissipador é possível determinar sua resistência térmica, conforme a Equação 88 apresentada a seguir:

$$R_{th.diss} = \frac{T_{diss} - T_a}{P_{VSI_{Total}}} \quad (88)$$

$$R_{th.diss} = \frac{109,85^{\circ}C - 40^{\circ}C}{103,37W}$$

$$R_{th.diss} = 0,675 \frac{^{\circ}C}{W}$$

A partir do valor de resistência térmica é realizada a seleção do dissipador, o qual deve possuir resistência térmica igual ou inferior à calculada. O dissipador selecionado possui resistência térmica de $0,526^{\circ}C/W$. Para esse dissipador, é possível obter a variação de temperatura entre dissipador e o ambiente:

$$\Delta_{da} = P_{VSI_{Total}} R_{th.diss} \quad (89)$$

$$\Delta_{da} = 103,37W \cdot 0,526 \frac{^{\circ}C}{W}$$

$$\Delta_{da} = 95,96^{\circ}C$$

Dessa forma é calculada a temperatura de junção considerando a resistência térmica do dissipador selecionado.

$$T_j = \Delta T_{iso} + \Delta T_{pasta} + \Delta T_{jc} + \Delta T_{da} \quad (90)$$

$$T_j = 5,14^{\circ}C + 2,06^{\circ}C + 2,96^{\circ}C + 95,96^{\circ}C$$

$$T_j = 106,12^{\circ}C$$

A aplicação do dissipador selecionado resulta em uma temperatura de junção de $106,21^{\circ}C$ para o MOSFET IPP027N08N5. Tendo em vista que nos ensaios experimentais foi necessária a alteração do MOSFET selecionado inicialmente para o IPP051N15N5, o cálculo térmico também foi realizado considerando os parâmetros desse semiconductor, com o intuito de verificar se o conjunto atende e permite a operação dentro do limite seguro do IPP051N15N5.

Inicialmente é calculada a variação de temperatura entre o dissipador e o ambiente, considerando o total de perdas do inversor com o uso do MOSFET IPP051N15N5,

$$\Delta_{da} = 157,8W \cdot 0,526 \frac{^{\circ}C}{W}$$

$$\Delta_{da} = 123,02^{\circ}C$$

a partir de Δ_{da} e os demais parâmetros já calculados e apresentados na Tabela 13, obtém-se a temperatura de junção para o MOSFET IPP051N15N5.

$$T_j = 7,63^\circ C + 3,05^\circ C + 2,63^\circ C + 123,02^\circ C$$

$$T_j = 136,33^\circ C$$

Verifica-se que o impacto da alteração do semicondutor corresponde à uma elevação da temperatura de junção de $30,2^\circ C$, contudo ainda está dentro da temperatura de operação do MOSFET, tendo em vista que a temperatura máxima de junção é $175^\circ C$, sendo assim apenas haverá impacto no rendimento devido às perdas mais elevadas.

Para o cálculo do rendimento foram considerados os dados do motor de indução, tais como a potência no eixo de $4,42kW$ e o rendimento de $85,79\%$, sendo assim a potência necessária para alimentar o motor e garantir a potência total na aplicação é de $5,15kW$. Desse modo, o rendimento é obtido a partir da Equação 91,

$$\eta_{VSI} = \frac{P_{motor}}{P_{motor} + P_{VSI_{Total}}} \quad (91)$$

Para o MOSFET IPP027N08N5:

$$\eta_{VSI(IPP027N08N5)} = \frac{5,15kW}{5,15kW + 106,37W}$$

$$\eta_{VSI(IPP027N08N5)} = 97,975\%$$

Para o MOSFET IPP051N15N5:

$$\eta_{VSI(IPP051N15N5)} = \frac{5,15kW}{5,15kW + 157,8W}$$

$$\eta_{VSI(IPP051N15N5)} = 97,026\%$$

A partir do cálculo do rendimento para os dois modelos de MOSFET, verifica-se que há a redução de $0,95\%$ no rendimento com a alteração do semicondutor.

Por fim, a partir da metodologia apresentada para o cálculo térmico foi possível determinar a resistência térmica do dissipador para atingir a temperatura de junção escolhida no projeto, além disso foram analisados dois modelos de semicondutores e avaliados os impactos da alteração do IPP027N08N5 para o IPP051N15N5.

4.3 CAPACITORES DO BARRAMENTO

A seleção do capacitor eletrolítico para compor o barramento CC foi realizada considerando os critérios apresentados na seção 3.3 e o esforço de corrente determinado na subseção 3.1.2. O capacitor eletrolítico selecionado foi o EGPD800ELL751MK40H, do fabricante Nippon Chemi-Com, pertencente à uma série indicada para aplicações

automotivas suscetíveis à alta temperatura, as características do capacitor são apresentadas na Tabela 14.

Tabela 14 – Principais parâmetros de projeto do Inversor.

Parâmetro	Valor
Temperatura	-40 a 135°C
Capacitância	750μF
Tolerância	±20%
Tensão nominal	80V
ESR @10kHz	0,031Ω
Ripple de corrente @10kHz	4,38A
Vida útil @125°C	3.000 horas

Fonte – Autoria própria.

O *ripple* de corrente calculado na subseção 3.1.2 corresponde a 65,69A, nesse projeto estão sendo associados 18 capacitores em paralelo, desse modo a corrente que circula por cada capacitor corresponde a 3,65A. A capacitância equivalente do barramento é de 13,5mF, aplicando a equação 74 verifica-se que o *ripple* de tensão é de 0,235%.

O número de capacitores foi determinado para que a corrente em cada capacitor não ultrapassasse a corrente nominal do componente, com o intuito de evitar a elevação da temperatura, reduzir as perdas nos capacitores e preservar a vida útil. Para esse número de capacitores em paralelo, a vida útil foi calculada de acordo com a Equação 76:

$$L_{cap} = 3.000hr \cdot 2^{\frac{125^{\circ}C - 70^{\circ}C}{10}} \cdot 2^{1 - \left(\frac{3,44A}{4,38A}\right)^2} \cdot \frac{5}{10}$$

Resultando em uma vida útil de aproximadamente:

$$L_{cap} = 17 \text{ anos}$$

O total de perdas no banco de capacitores pode ser calculado conforme a Equação 92:

$$P_{BCap} = \frac{I_{cap}^2}{n} ESR \quad (92)$$

$$P_{BCap} = \frac{65,69A^2}{18} 0,031\Omega$$

$$P_{BCap} = 7,43W$$

Verifica-se que as perdas são reduzidas proporcionalmente ao número de capacitores associados em paralelo e o total de perdas calculado representa 0,14% da potência total requerida para o acionamento do motor especificado no projeto.

4.4 GATE DRIVER

A seleção do gate driver foi realizada de acordo com as considerações apresentadas na seção 3.4. A partir dos parâmetros dos MOSFETs selecionados foi determinado o pico da corrente de porta, considerando a tensão de porta 0 a 15V, a associação de três MOSFETs em paralelo e valores diferentes de resistência de porta, sendo recomendado pelo fabricante o valor de $1,6\Omega$, contudo esse parâmetro é ajustado experimentalmente de acordo com a performance de comutação apropriada, os resultados foram obtidos empregando a Equação 80 e são apresentados na Tabela 15.

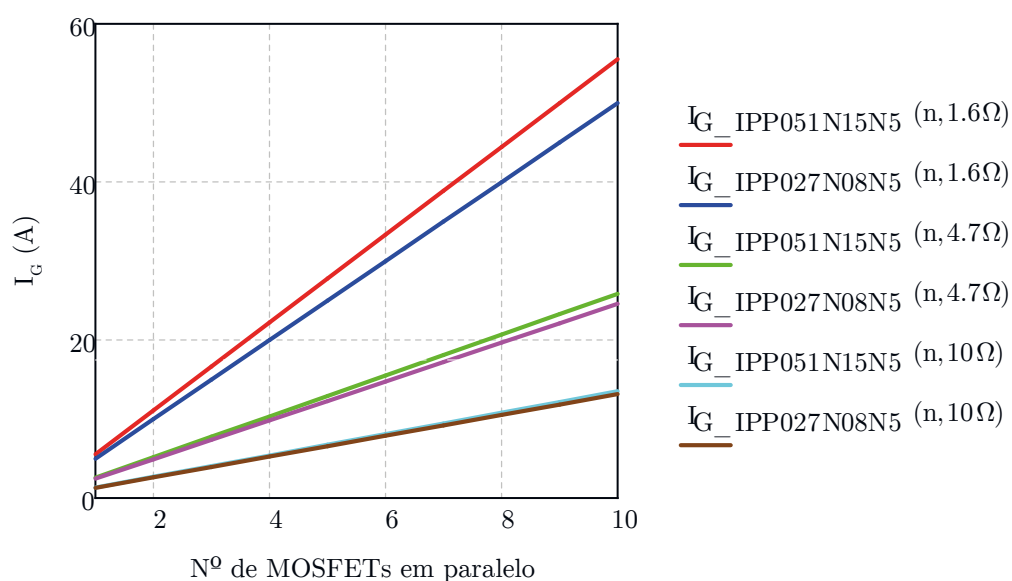
Tabela 15 – Pico de corrente de porta.

MOSFET	I_G ($R_G = 1,6\Omega$)	I_G ($R_G = 4,7\Omega$)	I_G ($R_G = 10\Omega$)
IPP051N15N5	16,67A	7,76A	4,05A
IPP027N08N5	15A	7,38A	3,95A

Fonte – Autoria própria.

O efeito do paralelismo de MOSFETs pode ser visualizado na Figura 42, onde relaciona a corrente de porta para as condições acima em função do número de MOSFETs em paralelo, verifica-se que para determinadas situações, com valores baixos de resistência a corrente pode atingir valores significativos, devendo dessa forma ser ponderada a performance de comutação e o nível do pico da corrente de porta requerido.

Figura 42 – Pico de corrente de porta em função do número de MOSFETs em paralelo.

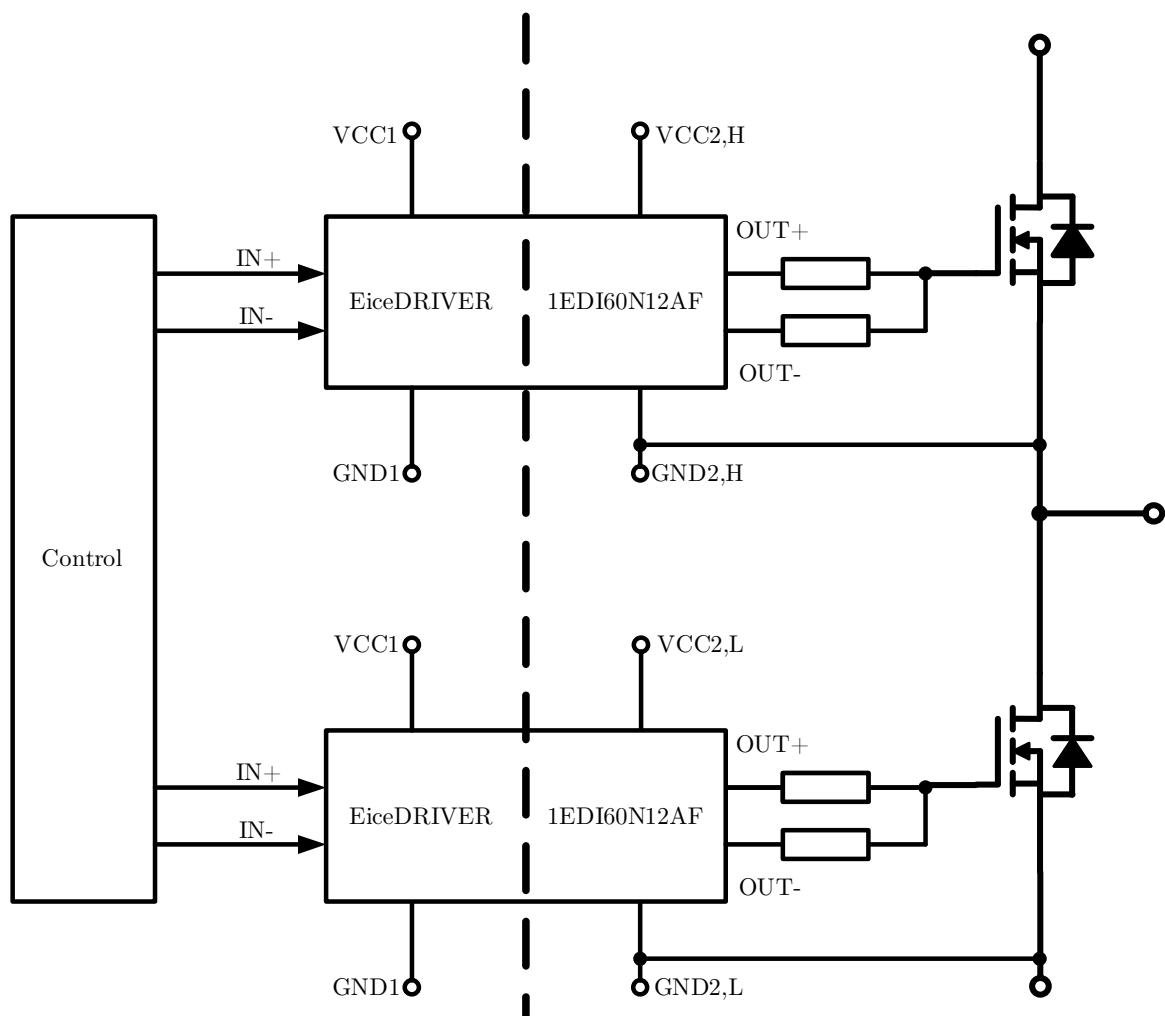


Fonte – Autoria própria.

O gate driver selecionado foi circuito integrado 1ED160N12AF, do fabricante Infineon, esse componente permite uma corrente de pico típica de 10A para o nível alto e 9,4A para o nível baixo, possibilitando a utilização de uma ampla faixa de valores de resistência de porta sem a necessidade de utilização de circuito auxiliar para amplificar a corrente. Esse gate driver é de um canal com isolamento galvânica, desse modo são utilizados seis CIs no inversor.

Os sinais PWM são gerados pelo microprocessador, os quais podem ter nível de 3,3V ou 5V, são aplicados na entrada do gate driver que transfere o sinal para os terminais de porta e fonte do MOSFET em nível de tensão apropriado para a comutação do semicondutor. A Figura 43 apresenta um diagrama que ilustra a utilização do gate driver em uma das fases do inversor.

Figura 43 – Diagrama da aplicação do gate driver em uma fase do inversor.



Fonte – Adaptado de (INFINEON, 2012)

O CI selecionado permite a funcionalidade de dois modos de operação com a utilização das entradas não inversora e inversora. No modo não inversor, IN+ controla a saída do driver enquanto IN- está definido como baixo. No modo de inversão, IN- controla a saída do driver enquanto IN+ está definido como alto.

Além disso, há a possibilidade da utilização de duas saídas independentes, de modo a obter dinâmicas diferentes na comutação do MOSFET com a conexão de valores distintos de resistência de porta conectado na entrada em condução e na entrada do bloqueio.

O gate driver também fornece algumas funções de proteção, tais como UVLO - *Undervoltage Lockout*, *active shut-down* e *short circuit clamping*.

A função do UVLO consiste em garantir que os sinais de comando sejam aplicados no MOSFET apenas quando os níveis de tensão de alimentação do CI alcançarem determinado nível mínimo. Para situações em que a tensão de alimentação está abaixo dos valores mínimos, o sinal de entrada é desconsiderado e a saída do gate driver permanece em nível lógico baixo.

A função do *active shut-down* garante que o MOSFET seja desligado de forma segura se a saída do chip não estiver conectada na fonte de alimentação, nesse caso o terminal de porta é grampeado para o GND2.

Durante a ocorrência de curto-circuito no MOSFET, a tensão de porta tende a se elevar devido ao retorno via capacitância de Miller, uma proteção adicional conhecida como *short circuit clamping* faz com que a tensão terminal de saída seja limitada para um valor um pouco maior que a tensão de alimentação.

4.5 PROTÓTIPO

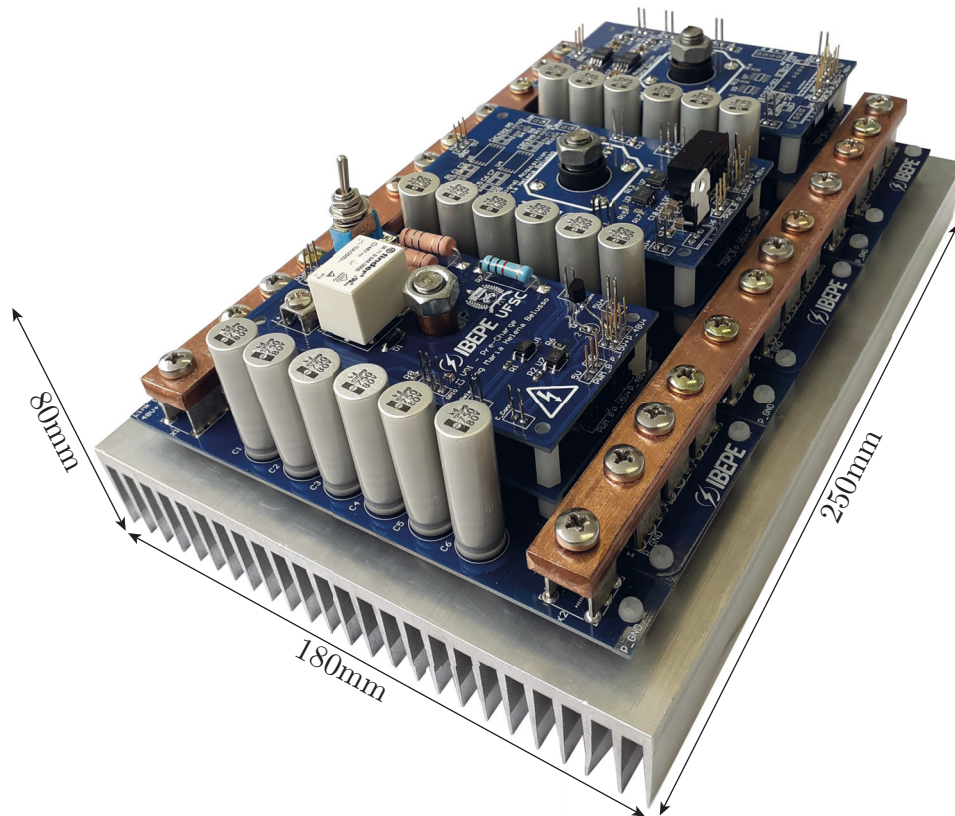
Com o intuito de validar os conceitos teóricos e o projeto de um inversor para aplicações com baixa tensão e alta corrente, realizou-se a construção de um protótipo. A implementação foi realizada em conformidade com as especificações apresentadas na Tabela 8 e a relação dos principais componentes empregados no protótipo é apresentada na Tabela 16.

Tabela 16 – Principais componentes utilizados no projeto.

Parâmetro	Valor
MOSFET	IPP051N15N5
Gate Driver	1EDI60N12AF
Capacitor Eletrolítico	EGPD800ELL751MK40H
Fonte Isolada 5V 6W	SPBW06G-05
Fonte Isolada 15V 3W	SPB03G-15
Fonte Isolada 15V 9W	SPB09C-15

Fonte – Autoria própria.

Figura 44 – Protótipo de inversor de 48V para acionamento de motor de indução para tração elétrica.



Fonte – Autoria própria.

4.6 CONCLUSÕES DO CAPÍTULO

Nesse capítulo, foi apresentada a especificação do inversor, inicialmente determinou-se os parâmetros do projeto, visando atender a aplicação de tração elétrica de sistemas alimentados por baterias, com tensão nominal de 48V e potência do inversor de 5kW. A partir dos parâmetros do projeto e os critérios abordados no Capítulo 3, foram selecionados os componentes comerciais.

Primeiramente, foram discutidas algumas tecnologias de semicondutores, sendo mais apropriado para a aplicação o uso de MOSFETs, acerca dessa tecnologia foram tratadas algumas características construtivas que impactam nas perdas do semicondutor, ressaltou-se que para aplicações de baixa tensão e corrente elevada, MOSFETs com baixo valor de R_{DSon} são mais indicados para minimizar as perdas de condução. Foram selecionados dois modelos de MOSFETs, com tensão de ruptura de 80V e 150V, sendo o modelo

de menor tensão mais apropriado para minimização de perdas. Contudo, a determinação do modelo a ser utilizado ocorre com a validação experimental, devido a sobretensão proveniente das indutâncias parasitas. A partir dos modelos selecionados, realizou-se o projeto térmico para seleção do dissipador.

Em seguida, foi apresentado o capacitor eletrolítico selecionado, o cálculo de vida útil e das perdas do banco de capacitores. Por fim, foi apresentado o gate driver selecionado e suas principais características.

CAPÍTULO 5

RESULTADOS EXPERIMENTAIS

Neste capítulo são apresentados os resultados experimentais obtidos a partir da realização de testes de validação no protótipo construído, com o objetivo de validar os fundamentos teóricos e a metodologia de projeto utilizados nesse trabalho.

Os ensaios foram realizados em etapas, inicialmente foram validados os circuitos de comando, em seguida testes com o inversor a vazio, com carga resistiva e indutiva, testes para avaliar a performance de comutação e por fim testes de carga para validação térmica.

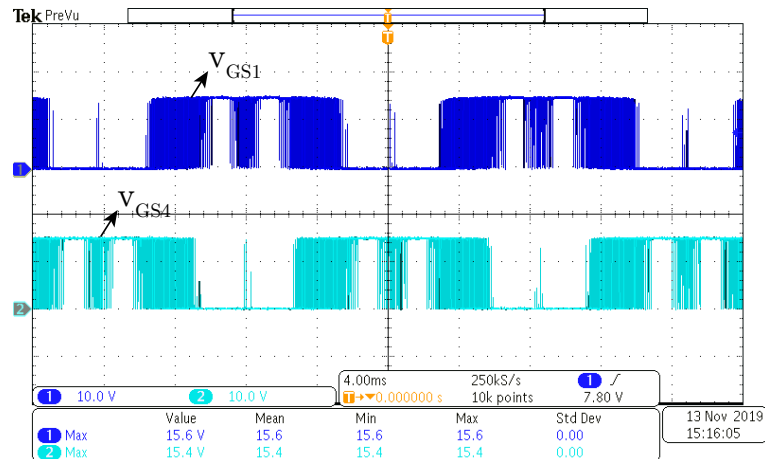
5.1 TESTES FUNCIONAIS

Os testes funcionais consistem na validação das funcionalidades básicas do inversor, para isso foram realizados testes sem o emprego de carga na saída, nessa etapa foram avaliados os sinais de comando provenientes do microprocessador, a tensão de saída do gate driver, a técnica de modulação e a comutação dos semicondutores. Inicialmente foram alimentados apenas os circuitos de comando e habilitados os sinais PWM, após constatar que todos os semicondutores estão recebendo os sinais de comando adequadamente, que os sinais de comando dos MOSFETs de um mesmo braço do inversor são complementares e que o tempo morto permite a comutação segura, o inversor foi alimentado com tensão nominal.

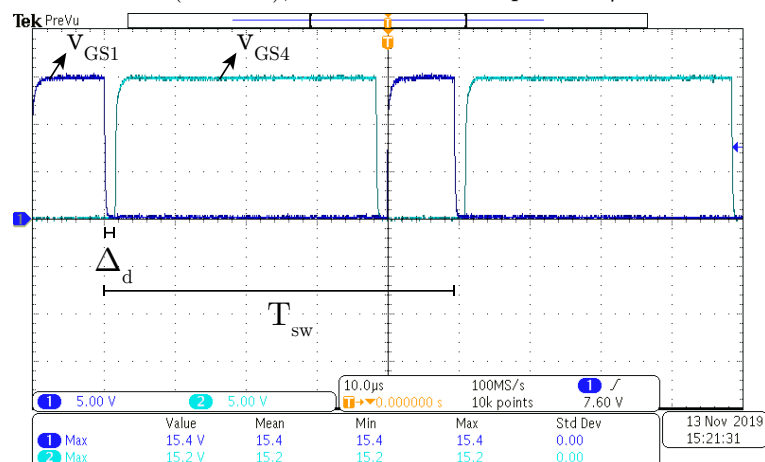
A Figura 45 apresenta as formas de onda da tensão de porta dos MOSFETs S_1 e S_4 , que compõem a fase A do inversor, a Figura 45(a) mostra a tensão de porta em uma escala de tempo maior para visualizar o comportamento típico da modulação vetorial em baixa frequência e a Figura 45(b) permite visualizar a forma de onda no período de comutação, em que é possível verificar os sinais complementares e o tempo morto aplicado. As formas de onda para as demais fases foram observadas durante o teste e são análogas aos resultados correspondentes a fase A. O valor de resistência de porta de cada MOSFET corresponde a 10Ω e o tempo morto foi configurado em $1,5\mu s$.

Figura 45 – Sinais de comando.

(a) Tensão entre porta e fonte do MOSFET S_1 (Canal 1) e do MOSFET S_4 (Canal 2), com escala de tempo de 4ms.



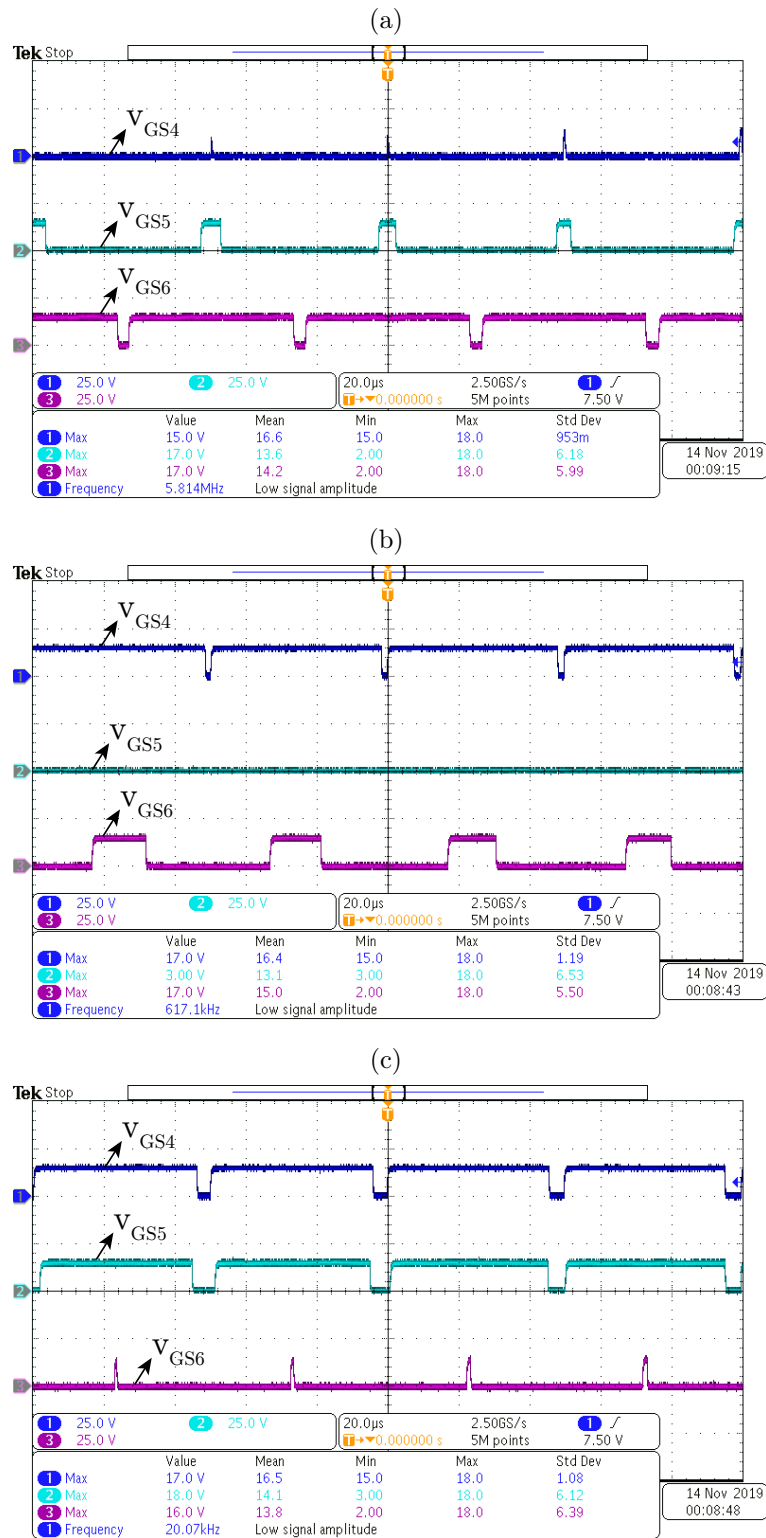
(b) Tensão entre porta e fonte do MOSFET S_1 (Canal 1) e do MOSFET S_4 (Canal 2), com escala de tempo de $10\mu s$.



Fonte – Autoria própria.

A seguir na Figura 46 são apresentadas as formas de onda de tensão entre porta e fonte dos MOSFETs S_4 , S_5 e S_6 em três instantes diferentes, desse modo é possível visualizar a transição de setores a partir da variação da razão cíclica, que ocorre na técnica de modulação SVM conforme apresentado na seção 2.2 e no apêndice A, a partir da Figura 70 é possível comparar as formas de onda e observar a similaridade da razão cíclica de acordo com determinados setores.

Figura 46 – Tensão entre porta e fonte do MOSFET S_4 (Canal 1), do MOSFET S_5 (Canal 2) do MOSFET S_6 (Canal 3).

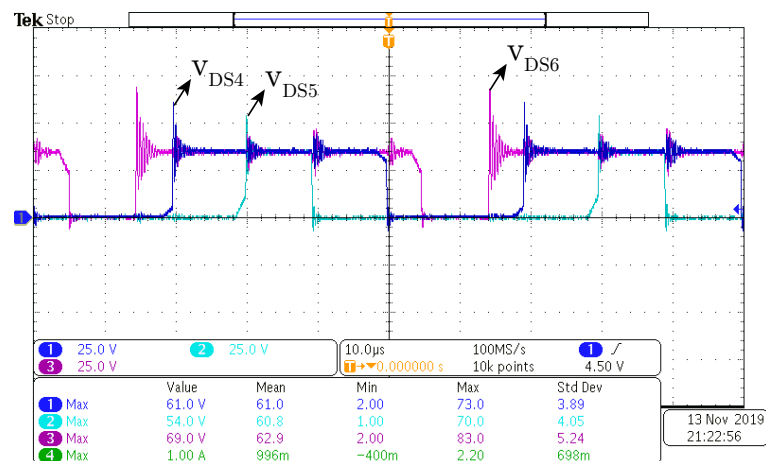


Fonte – Autoria própria.

A Figura 47 apresenta as formas de onda de tensão entre dreno e fonte dos MOSFETs S_4 , S_5 e S_6 , para o inversor sem carga a tensão máxima chega a 69V que corresponde

a 43,75% de sobretensão para a tensão do barramento CC equivalente a 48V, a partir das formas de onda verifica-se que há a comutação dos semicondutores e a sobretensão está dentro dos limites seguros de operação do MOSFET, contudo o nível de sobretensão e a performance de comutação serão avaliadas novamente para condições de teste com os níveis de tensão e corrente máxima especificados, essa análise é abordada na seção 5.3.

Figura 47 – Tensão entre dreno e fonte do MOSFET S_4 (Canal 1), do MOSFET S_5 (Canal 2) do MOSFET S_6 (Canal 3).



Fonte – Autoria própria.

A partir dos testes funcionais foi possível realizar uma validação inicial, que permitiu constatar que não há falhas nas funcionalidades básicas do inversor, no que diz respeito aos sinais de comando, circuito de gate driver e comutação dos semicondutores. Diante disso, foi possível prosseguir para testes no inversor com carga, o que será apresentado na próxima seção.

5.2 TESTE COM CARGA RL

Os primeiros ensaios com carga foram realizados utilizando uma carga RL, o inversor foi alimentado com uma fonte CC ajustável com tensão regulada em 48V e foram realizados testes com o aumento gradual da carga. A Figura 48 mostra o banco de resistores utilizado nos testes, em série com a resistência de cada fase foi conectado um indutor de $23\mu\text{H}$, nessa etapa os testes foram realizados com tensão nominal e corrente reduzida, para fins de validação da comutação dos semicondutores em regime contínuo, visando detectar possíveis falhas e garantir o fornecimento das tensões trifásicas na saída.

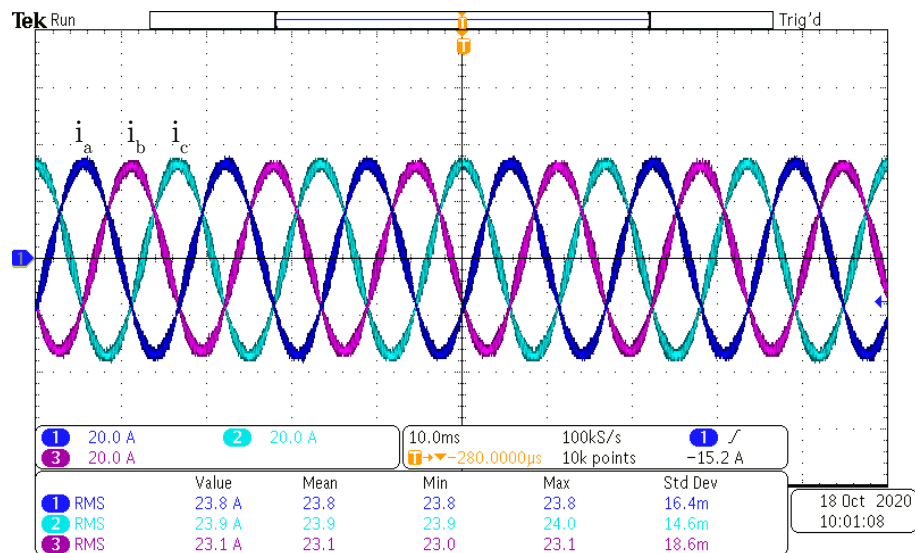
Figura 48 – Banco de resistores.



Fonte – Autoria própria.

A Figura 49 apresenta as formas de onda das correntes trifásicas de saída do inversor, nessa condição a resistência da carga foi ajustada para $0,78\Omega$, a corrente eficaz medida foi de 23A com frequência fundamental de 60Hz, a potência total processada pelo inversor foi 1.243W, aproximadamente 25% da carga potência nominal.

Figura 49 – Correntes trifásicas de saída do inversor.

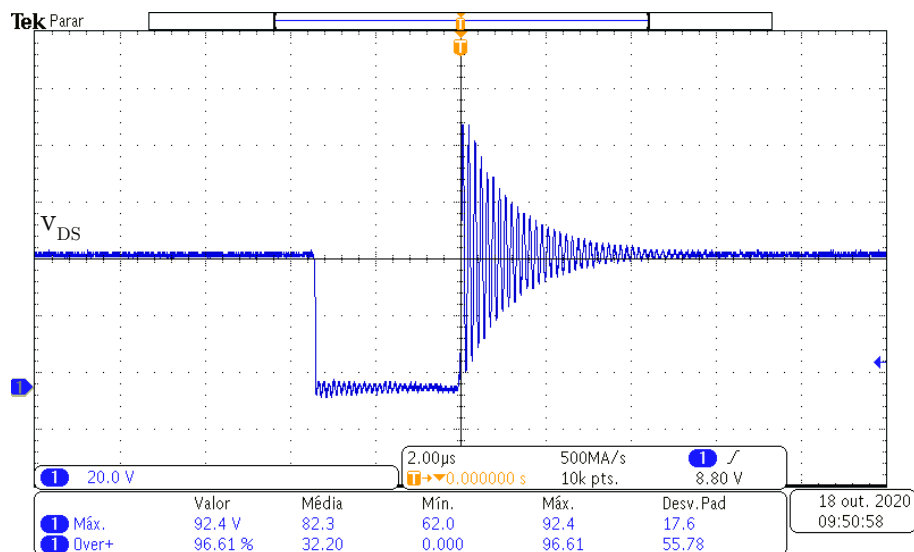


Fonte – Autoria própria.

Foi realizada a medição da tensão v_{DS} nos MOSFETs e está sendo apresentada na Figura 50 a forma de onda da tensão v_{DS} com maior amplitude. Para a corrente de 23A RMS na carga, a tensão v_{DS} atinge a amplitude de 92,4V, que corresponde à sobretensão de 96,61%. Nesse caso, verifica-se o aumento significativo da sobretensão ao comparar

com os resultados apresentados na seção anterior na Figura 47, na qual o inversor estava operando sem carga, o aumento da sobretensão se deve ao efeito da taxa de variação da corrente pelo tempo, de acordo com a Equação 57 e a Figura 25 abordados na subseção 3.1.3. Portanto, observa-se experimentalmente que com o aumento da corrente para o mesmo tempo de comutação, ocorre o aumento da sobretensão nos semicondutores.

Figura 50 – Tensão entre dreno e fonte medida no MOSFET S_6 .



Fonte – Autoria própria.

Os ensaios com tensão nominal e corrente reduzida permitiram verificar o funcionamento do inversor em regime contínuo e com carga, nos quais foi possível avaliar as grandezas de tensão e corrente para a operação do inversor com aproximadamente 25% da carga nominal, a partir dos resultados verificou-se que não há falhas e as tensões trifásicas de saída foram moduladas adequadamente.

Contudo, a tensão sobre os semicondutores apresenta oscilação, a qual se deve às indutâncias e capacitâncias parasitas, que são intrínsecas aos componentes eletrônicos e às conexões dos circuitos. Além disso, o nível de sobretensão é elevado para um baixo valor de corrente na saída, nesse sentido com o objetivo de garantir a operação segura dos MOSFETs com o aumento de carga, foram realizados testes de *double pulse* para avaliar a sobretensão nos MOSFETs e a performance de comutação com o aumento gradual de carga até os valores máximos especificados, a seção a seguir irá descrever os procedimentos do teste e os resultados obtidos.

5.3 TESTE DE DOUBLE PULSE

O teste de *double pulse* permite avaliar a performance da comutação de semicondutores de potência, sendo uma ferramenta essencial que viabiliza um meio seguro e

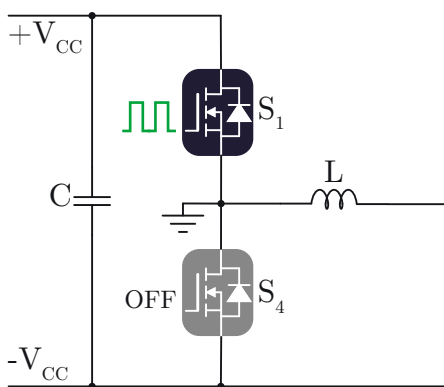
controlado de validação, a partir do teste de *double pulse* é possível conhecer o impacto de elementos parasitas associados a conexão dos componentes eletrônicos no circuito, possibilitando verificar a sobretensão no semicondutor, o comportamento da tensão de acionamento, a recuperação reversa do diodo e o tempo efetivo da comutação do semicondutor para validação da análise teórica das perdas de comutação (LEVETT; ZHENG; FRANK, 2020) (SCHWEICKHARDT; HERMANN; HERDIN, 2021).

Nesse projeto o objetivo principal consiste na avaliação da sobretensão no semicondutor e validação do cálculo de perdas de comutação, a performance da condução de corrente nos semicondutores não foi avaliada tendo em vista que não foi prevista uma forma de mensurar a corrente dos MOSFETs, devido a possíveis alterações prejudiciais no layout, sendo assim apenas foi realizada a medição da corrente na saída.

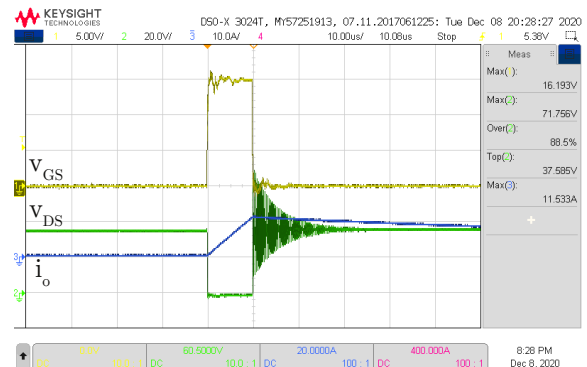
Inicialmente foi realizado o teste para avaliar a comutação em apenas uma fase, com tensão reduzida e aumento gradual da corrente. A Figura 51 apresenta o circuito e os resultados obtidos, a carga foi conectada entre o terminal de fase e o terminal de $-V_{CC}$, o aterramento foi conectado no terminal de fase e as medições de tensão v_{DS} e v_{GS} correspondem ao semicondutor S_1 com o ponto de referência conectado ao aterramento, a corrente i_o equivale a corrente na carga. Nessa condição de teste o circuito foi alimentado com uma tensão CC de 36V, o interruptor S_1 é acionado e permanece conduzindo durante $10\mu s$ e o interruptor S_4 permanece desligado.

Figura 51 – Teste de Double Pulse na fase A

(a) Loop de um braço do inversor com pulso aplicado em S_1



(b) Tensão entre porta e fonte (Canal 1), Tensão entre dreno e fonte (Canal 2) e Corrente de saída (Canal 3)



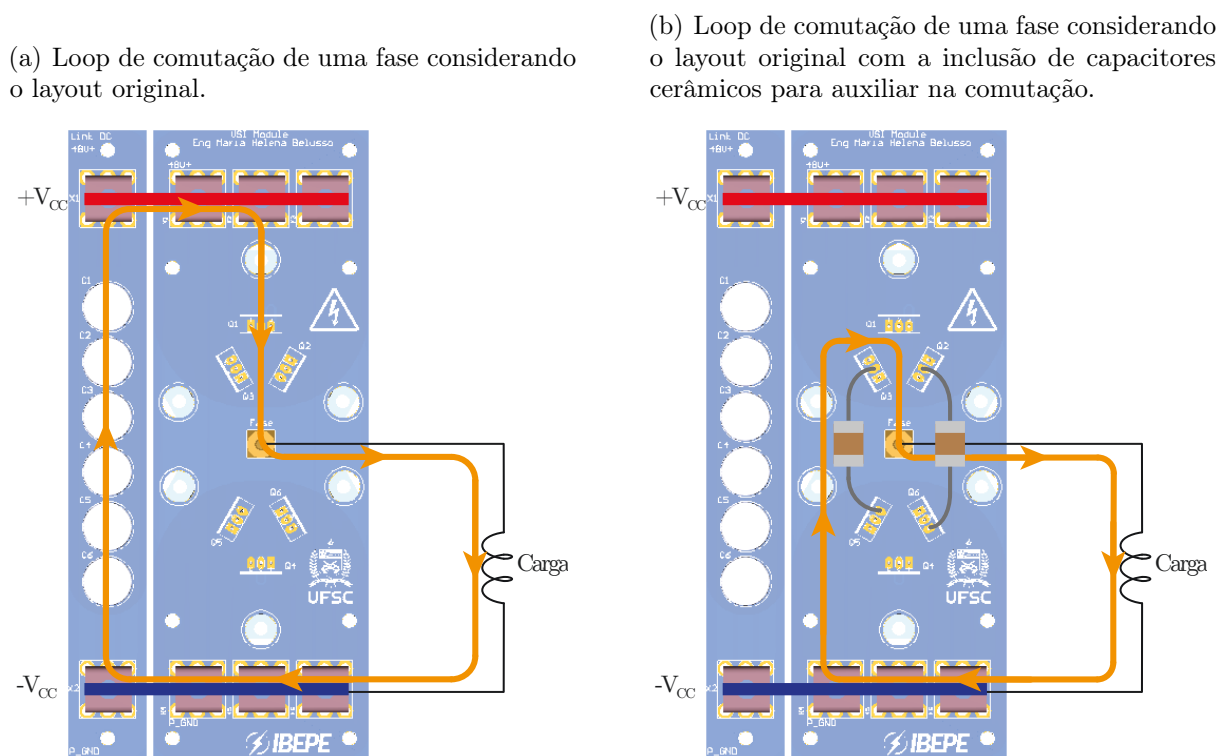
Fonte – Autoria própria.

A partir dos resultados é possível observar que a sobretensão é muito elevada, para a corrente na carga de 11,53A de pico a tensão sobre S_1 atinge um valor de 71,76V, que corresponde a 90,91% de sobretensão. Desse modo, para preservar as condições seguras de operação do MOSFET, não foi possível dar continuidade nos testes com os valores especificados de tensão de alimentação e corrente na carga.

A principal causa para esse resultado consiste na disposição do layout, o qual possui um loop de comutação muito extenso, principalmente devido à conexão do barramento CC, a Figura 52(a) representa de forma ilustrativa o caminho da corrente considerando apenas uma fase e para a etapa de comutação que possui maior extensão, sendo assim com indutâncias parasitas mais elevadas.

Como uma solução técnica visando contornar o efeito das indutâncias parasitas, realizou-se a inclusão de capacitores cerâmicos conectados ao barramento CC através dos terminais dos MOSFETs, sendo conectados ao $-V_{CC}$ pelo terminal de fonte dos MOSFETs inferiores e ao $+V_{CC}$ pelo terminal de dreno dos MOSFETs superiores. A Figura 52(b) ilustra o caminho da corrente para a mesma etapa de comutação considerando a nova configuração, verifica-se que há uma redução significativa no loop de comutação e a partir dessa alteração foi possível dar continuidade nos testes de acordo com as especificações.

Figura 52 – Ilustração do loop de comutação de uma fase do inverter.



Fonte – Autoria própria.

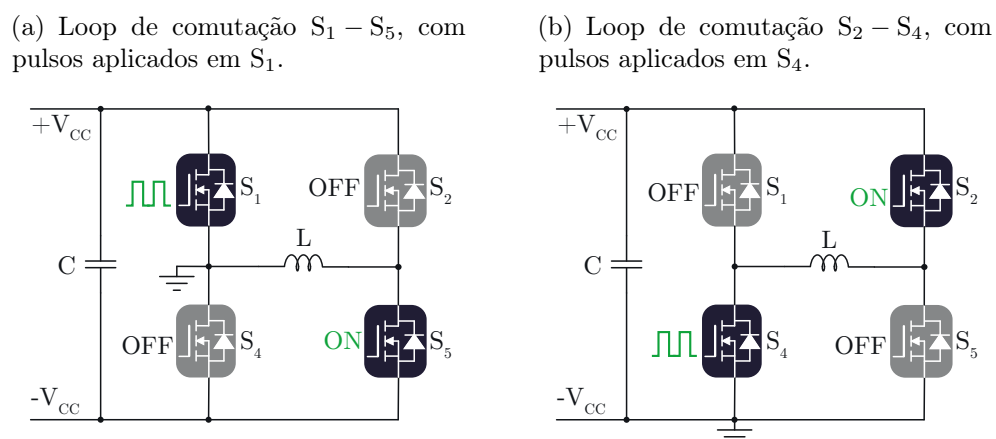
Um ponto importante a se destacar é que essa ilustração representa o processo de comutação, o qual ocorre em um intervalo de tempo na ordem de nano segundos, durante a condução efetiva da corrente através dos semicondutores a corrente é drenada por meio do barramento de cobre e também haverá circulação do *ripple* de corrente através dos capacitores eletrolíticos, os capacitores cerâmicos não assumem efetivamente a corrente da carga.

Nesse caso, os capacitores cerâmicos são responsáveis por amenizar o efeito da indutância parasita por meio da redução do loop de comutação e ainda devida à compensação de energia atrelada ao valor de indutância parasita e capacitância adicionada no circuito. Além disso, ressalta-se que o local para conexão dos capacitores cerâmicos deve ser o mais próximo possível dos terminais dos semicondutores, visando evitar a adição de indutâncias parasitas no circuito através de uma conexão longa, experimentalmente verificou-se que não há impacto para amenizar a sobretensão com a inclusão desses elementos em locais distantes dos terminais dos semicondutores.

Diante dos resultados iniciais, podem ser levantadas algumas melhorias com relação ao layout, o barramento CC poderia ser incluído na placa dos MOSFETs, a estrutura modular embora tenha vantagens na manutenção do inversor poderia ser substituída por uma versão trifásica de modo a permitir uma interconexão do barramento entre as fases, utilizar barramento paralelo ao invés de perpendicular irá contribuir para o cancelamento do campo eletromagnético entre os planos de $+V_{CC}$ e $-V_{CC}$, por fim o uso de capacitores cerâmicos conectados ao barramento e posicionados próximos aos semicondutores irá amenizar o efeito das indutâncias parasitas.

A seguir são apresentados os resultados do teste de double pulse com a inclusão de capacitores cerâmicos, conforme a Figura 52(b), a capacitância equivalente inserida corresponde a $18\mu\text{F}$. A Figura 53 apresenta os circuitos testados para avaliar o loop de comutação entre fases, de modo a verificar também o efeito das indutâncias parasitas proveniente da conexão dos módulos.

Figura 53 – Teste de *double pulse* para o loop de comutação entre a fase A e B.



Fonte – Autoria própria.

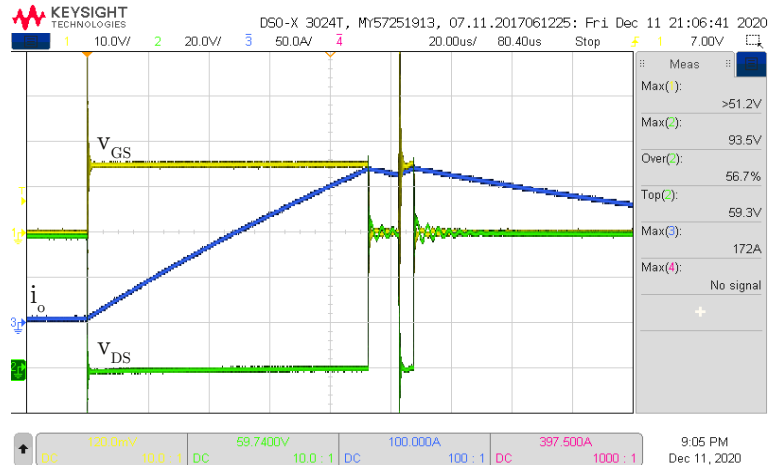
Através do circuito apresentado na Figura 53(a) será avaliada a comutação de S_1 que é acionado de acordo com aplicação dos pulsos, S_5 permanece ligado, S_2 e S_4 permanecem desligados e a corrente flui pela carga L conectada entre as fases A e B.

Da mesma forma, o circuito apresentado na Figura 53(b) permite avaliar a comutação de S_4 que é acionado de acordo com aplicação dos pulsos, S_2 permanece ligado, S_1 e S_5 permanecem desligados e a corrente flui pela carga L .

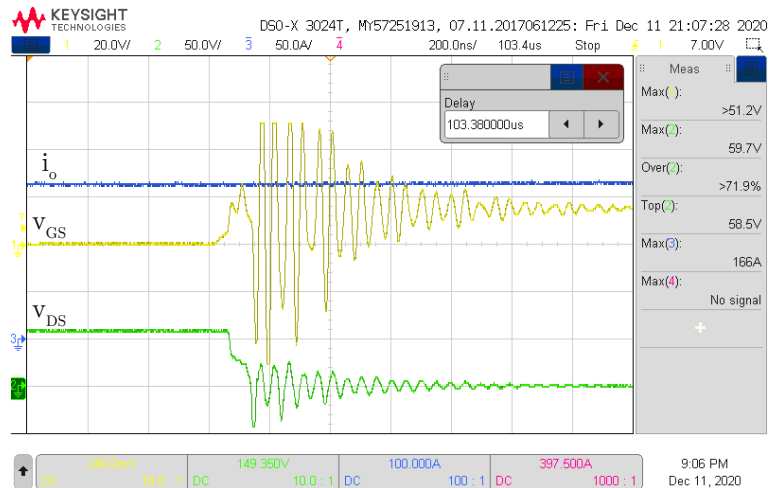
A seguir são apresentados os resultados obtidos do teste de *double pulse* realizado no circuito da Figura 53(a).

Figura 54 – Teste de *double pulse* para o loop de comutação entre a fase A e B $S_1 - S_5$, com pulsos aplicados em S_1 .

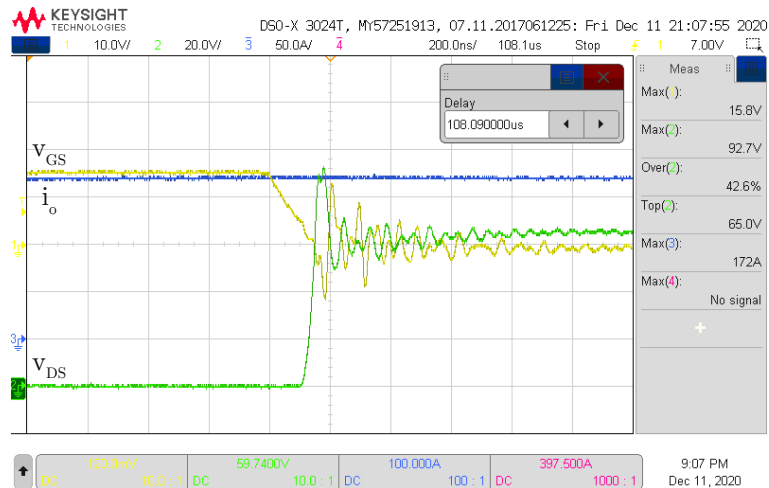
(a) Tensão entre porta-fonte (Canal 1), Tensão entre dreno-fonte (Canal 2) e Corrente de saída (Canal 3).



(b) Zoom no segundo *turn-on*.



(c) Zoom no segundo *turn-off*.



Fonte – Autoria própria.

A Figura 54(a) apresenta as formas de onda de tensão entre porta-fonte e tensão entre dreno-fonte do MOSFET S_1 e a forma de onda da corrente de saída. Foi aplicado o primeiro pulso com duração de $92\mu\text{s}$ resultando em uma corrente de 172A de pico na saída, em seguida o MOSFET S_1 permanece desligado por $10\mu\text{s}$ e é aplicado o segundo pulso com duração de $5\mu\text{s}$.

A Figura 54(b) mostra um zoom do segundo *turn-on* para avaliar o comportamento das tensões v_{DS} e v_{GS} no acionamento do MOSFET com a corrente máxima estabelecida na carga, verifica-se que há muita oscilação na forma de onda da tensão v_{GS} , no intervalo que ocorre o platô de Miller, durante a comutação é natural ter a presença de oscilações devido ao efeito das indutâncias parasitas na porta, porém nesse caso há uma intensificação proveniente da medição, que também afeta o sinal da tensão v_{DS} , o qual apresenta oscilações quando chega a zero, ainda observando a tensão v_{DS} é possível verificar que o decaimento não ocorre de forma linear, esse efeito pode estar associado à variação das capacitâncias intrínsecas do MOSFET que é mais acentuada para tensões mais baixas como é o caso dessa aplicação. O dv/dt medido no *turn-on* corresponde a $1,66\text{kV}/\mu\text{s}$ e no *turn-off* corresponde a $1,28\text{kV}/\mu\text{s}$.

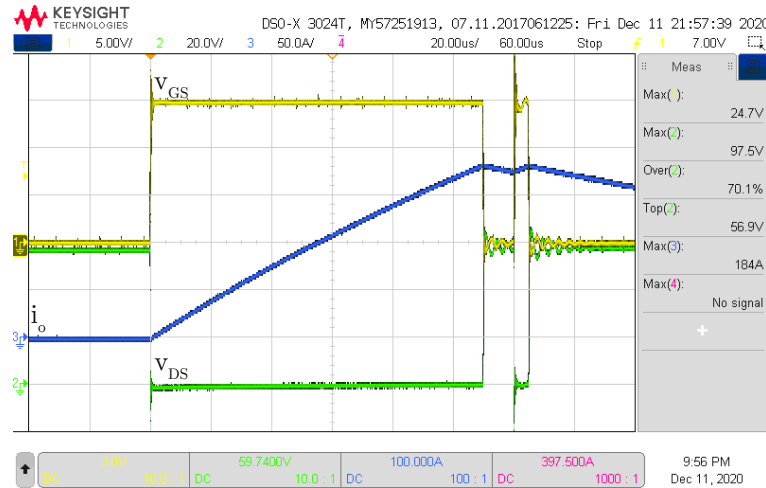
A Figura 54(c) mostra um zoom do segundo *turn-off* para avaliar o comportamento das tensões v_{DS} e v_{GS} no desligamento do MOSFET com a corrente máxima estabelecida na carga, também há a presença de oscilações na forma de onda da tensão v_{GS} , com relação a tensão v_{DS} verifica-se uma redução expressiva da oscilação e do nível de sobretensão, nesse teste a tensão de alimentação aplicada foi $59,3\text{V}$ e corrente na carga atinge o valor de 173A de pico, para essa condição a sobretensão é de $56,3\%$, a tensão v_{DS} atinge o valor máximo de $92,7\text{V}$, o que representa um resultado muito satisfatório comparado com a situação inicial mostrada na Figura 51, em que não foram utilizados capacitores cerâmicos para reduzir o loop de comutação.

A seguir, na Figura 55 são apresentados os resultados obtidos no teste de *double pulse* realizado no circuito da Figura 53(b). Foi aplicado o primeiro pulso de $110\mu\text{s}$, o que resultou em uma corrente de 180A de pico na saída, em seguida S_4 permanece desligado por $10\mu\text{s}$ e é aplicado o segundo pulso com duração de $5\mu\text{s}$.

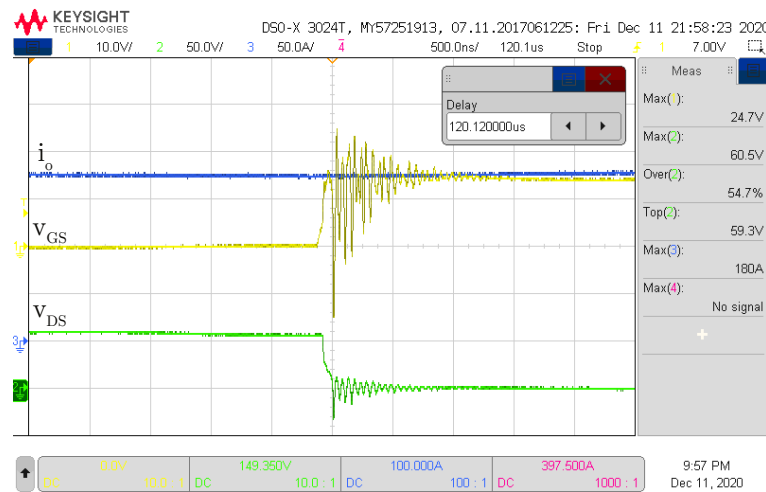
A Figura 55(b) mostra um zoom do segundo *turn-on* e a Figura 55(c) mostra um zoom no segundo *turn-off*, a sobretensão equivale a $68,5\%$ para alimentação do barramento em $56,9\text{V}$, v_{DS} atinge o valor máximo de $95,9\text{V}$.

Figura 55 – Loop de comutação $S_2 - S_4$, com pulsos aplicados em S_4 .

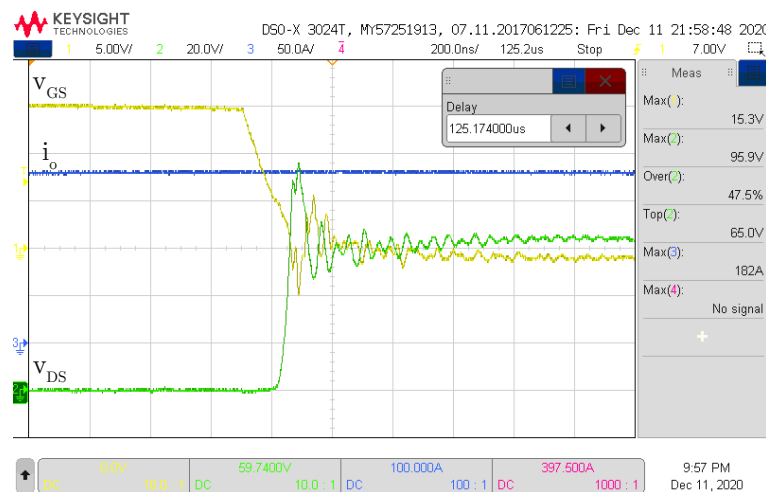
(a) Tensão entre porta-fonte (Canal 1), Tensão entre dreno-fonte (Canal 2) e Corrente de saída (Canal 3).



(b) Zoom no segundo *turn-on*.



(c) Zoom no segundo *turn-off*.



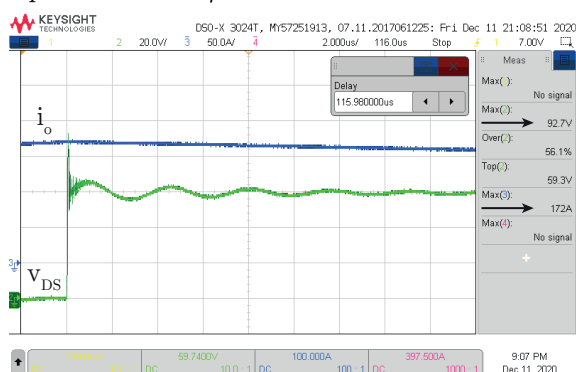
Fonte – Autoria própria.

A partir dos resultados apresentados é possível constatar que o MOSFET selecionado é apropriado para os níveis de corrente e tensão máximos especificados para a aplicação, no que diz respeito à performance de comutação.

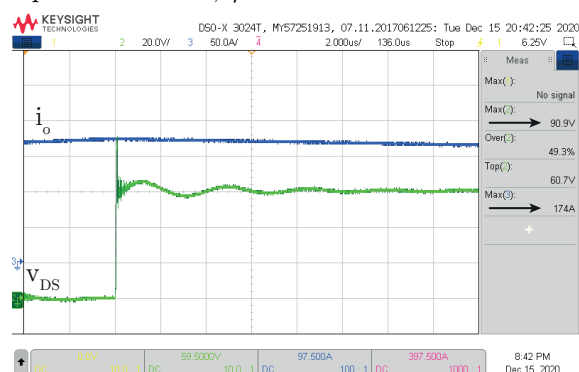
Outro ponto avaliado experimentalmente após a inclusão de capacitores cerâmicos para melhorar a performance de comutação, foi o efeito do aumento do valor de capacitância, para verificar se há redução na sobretensão, para isso foram inseridos mais capacitores em paralelo obtendo uma capacitância equivalente de $27,6\mu\text{F}$, aproximadamente 50% superior à capacitância inserida inicialmente. O teste de *double pulse* foi realizado com o mesmo loop de comutação e condições de operação, a Figura 56(a) apresenta a performance com $18\mu\text{F}$ e a Figura 56(b) com $27,6\mu\text{F}$.

Figura 56 – Teste de *double pulse* com loop de comutação $S_1 - S_5$, para valores diferentes de capacitância inserida para auxiliar na performance de comutação.

(a) Zoom no segundo *turn-off* com capacitância equivalente de $18\mu\text{F}$.



(b) Zoom no segundo *turn-off* com capacitância equivalente de $27,6\mu\text{F}$.



Fonte – Autoria Própria

Analisando os dois resultados verifica-se que não há impacto significativo para redução da sobretensão com o aumento do valor de capacitância, contudo destaca-se a importância da associação em paralelo com o intuito de diminuir o valor de ESL, ESR e o *ripple* de corrente que circula por cada capacitor.

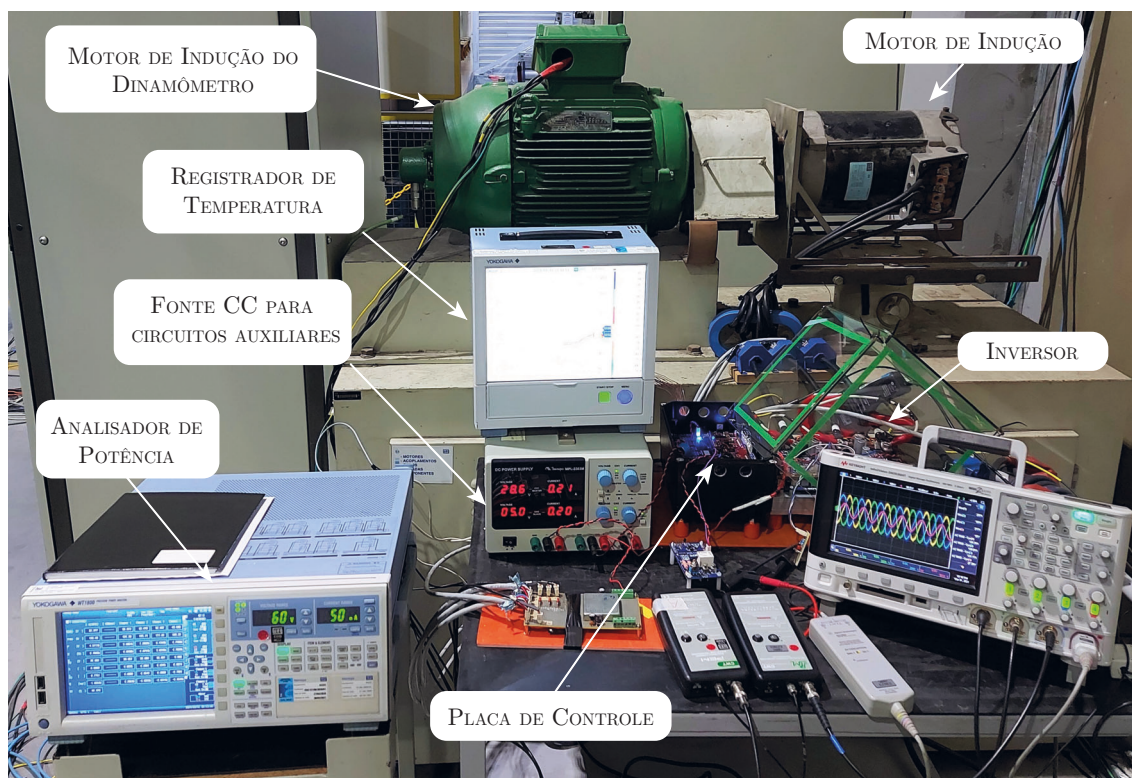
5.4 TESTE TÉRMICO

O teste térmico consiste na validação do inversor em operação com carga nominal e na avaliação da performance térmica do conjunto, a fim de verificar se os MOSFETs e demais componentes estão dentro dos limites seguros de operação e se a análise teórica converge com os resultados experimentais.

Esse ensaio foi realizado no laboratório de potência da WEG Drives & Control, onde foi utilizada uma bancada de teste composta por um dinamômetro, o qual permite o controle de velocidade e torque de um motor de indução trifásico, que foi utilizado

como carga para o motor acionado pelo inversor projetado. A fonte de alimentação CC é composta por um transformador e um retificador para obter o nível de tensão de 48V. A Figura 57 apresenta a bancada de teste.

Figura 57 – Bancada de teste com motor de indução



Fonte – Autoria própria.

Nesse ensaio foram utilizados equipamentos para monitoramento da temperatura e análise de potência, sendo utilizado um registrador de temperatura da Yokogawa modelo GX20 e um analisador de potência da Yokogawa modelo WT1800.

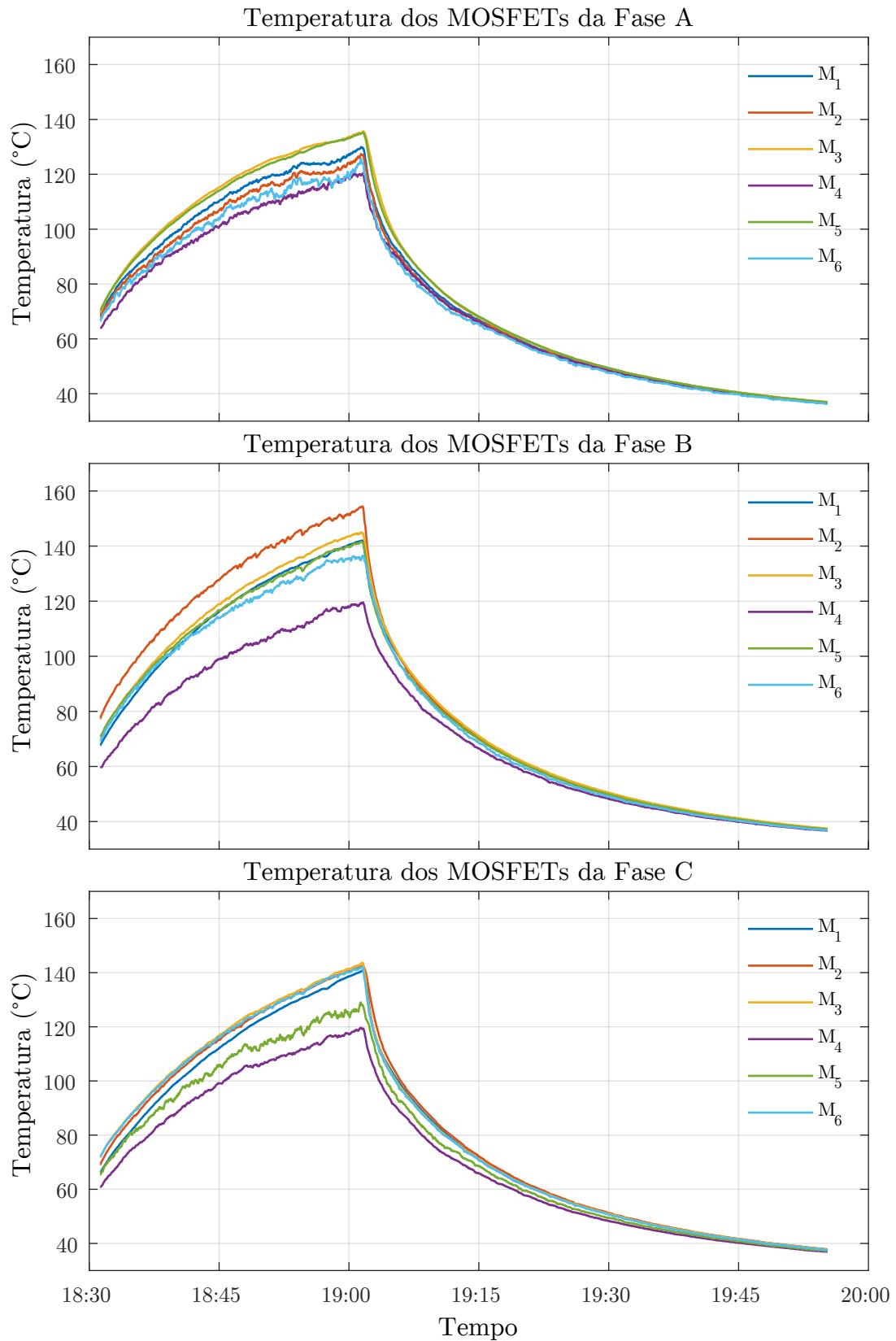
Para a realização dos ensaios os dois motores estavam com a sequência de fases compatível para que ambos operassem com o mesmo sentido de giro, o motor de carga foi programado para operar com a velocidade próxima da velocidade síncrona do motor acionado pelo inversor projetado e em seguida foi iniciada a operação do inversor, desse modo a corrente no momento do início da operação é próxima da corrente a vazio do motor acionado, em seguida foi elevado gradualmente o torque do motor de carga até que a corrente de saída do inversor atingisse o valor nominal.

A temperatura foi monitorada através de termopares instalados diretamente sobre o encapsulamento dos MOSFETs e no capacitor central de cada placa do barramento, conforme posições indicadas na Figura 58. Foram realizados testes com o inversor posicionado diretamente sobre a bancada e com o inversor elevado em alguns centímetros da bancada, sem o uso de ventilação forçada e com temperatura ambiente de 25°C.

contudo os testes foram interrompidos para manter a integridade dos MOSFETs garantindo a operação dentro dos limites seguros.

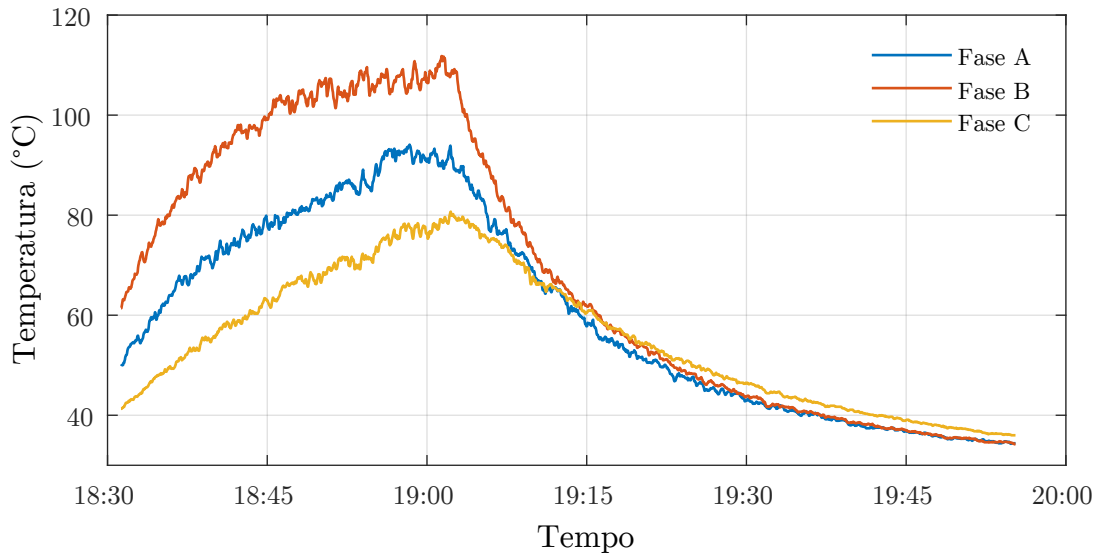
Diante dos resultados do primeiro ensaio foi realizada uma comparação com a análise teórica, observou-se que a resistência térmica do dissipador utilizada na análise leva em consideração o posicionamento vertical do dissipador, para que ocorra a circulação de ar natural entre as aletas, nesse sentido os ensaios foram repetidos com o inversor elevado em alguns centímetros da bancada para que haja uma circulação mínima de ar e a resistência térmica do dissipador esteja mais próxima da considerada no projeto, com o intuito de validar a metodologia de cálculo térmico.

Figura 59 – Temperatura no encapsulamento dos MOSFETs resultante do ensaio com o inversor posicionado sobre a bancada.



Fonte – Autoria própria.

Figura 60 – Temperatura nos Capacitores resultante do ensaio com o inversor posicionado sobre a bancada.



Fonte – Autoria própria.

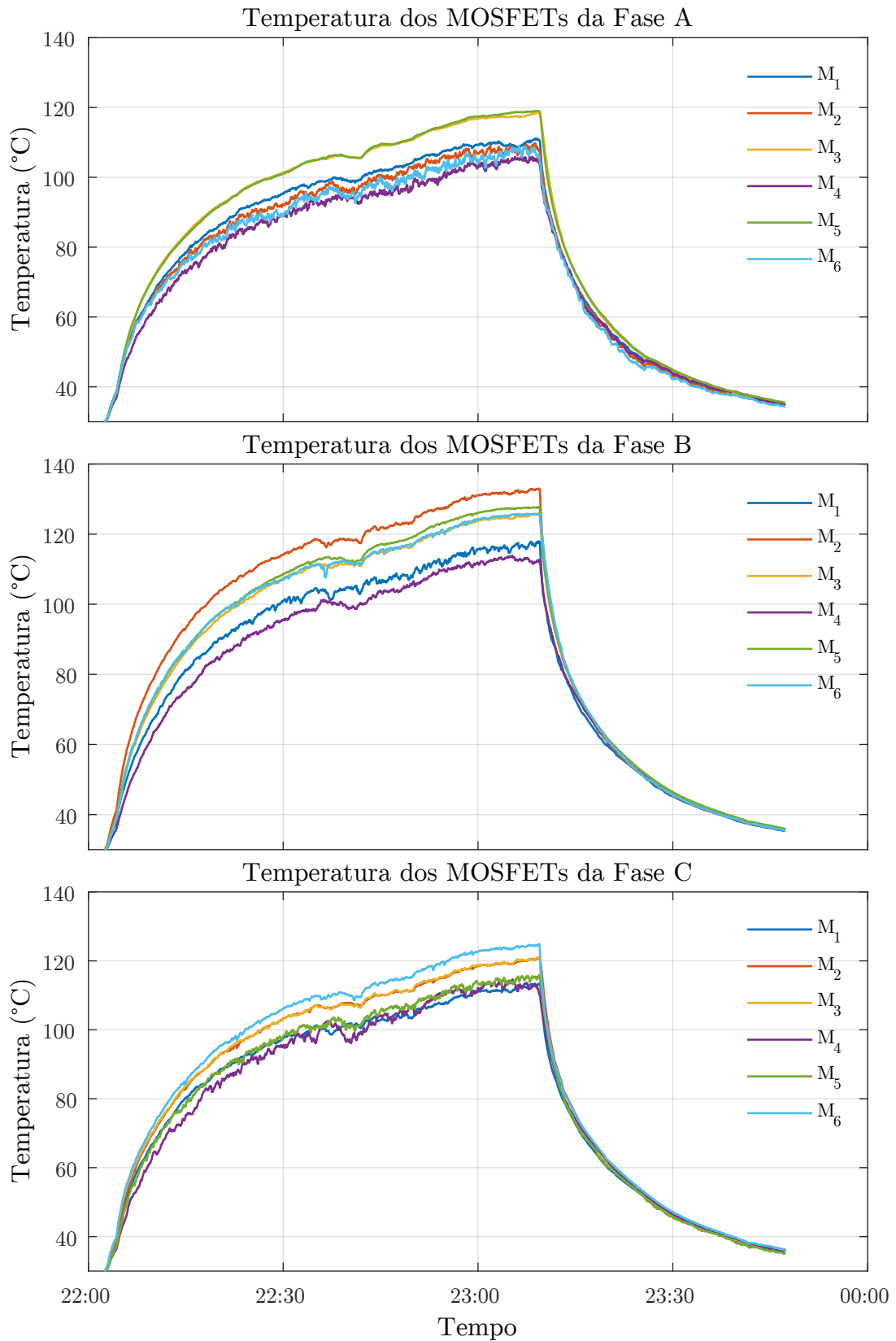
Os resultados do segundo ensaio térmico são apresentados nas Figuras 61 e 62. Analogamente ao primeiro ensaio, observa-se que a fase B apresenta maior elevação de temperatura, assim como há diferença na temperatura entre os MOSFETs e entre os capacitores. A temperatura máxima registrada em cada ponto é apresentada na Tabela 17, o MOSFET M_2 da fase B alcança a temperatura mais alta de 133°C , assim como o capacitor da fase B que alcança a temperatura de 102°C .

Tabela 17 – Temperaturas máximas registradas em cada ponto de medição.

	Fase A	Fase B	Fase C
M_1	111°C	$117,8^{\circ}\text{C}$	113°C
M_2	$109,6^{\circ}\text{C}$	133°C	$120,8^{\circ}\text{C}$
M_3	$118,5^{\circ}\text{C}$	126°C	$121,1^{\circ}\text{C}$
M_4	105°C	$112,5^{\circ}\text{C}$	$113,4^{\circ}\text{C}$
M_5	119°C	$127,7^{\circ}\text{C}$	$115,4^{\circ}\text{C}$
M_6	$108,1^{\circ}\text{C}$	$125,7^{\circ}\text{C}$	$124,5^{\circ}\text{C}$
C_{LINK}	$92,2^{\circ}\text{C}$	102°C	$78,1^{\circ}\text{C}$

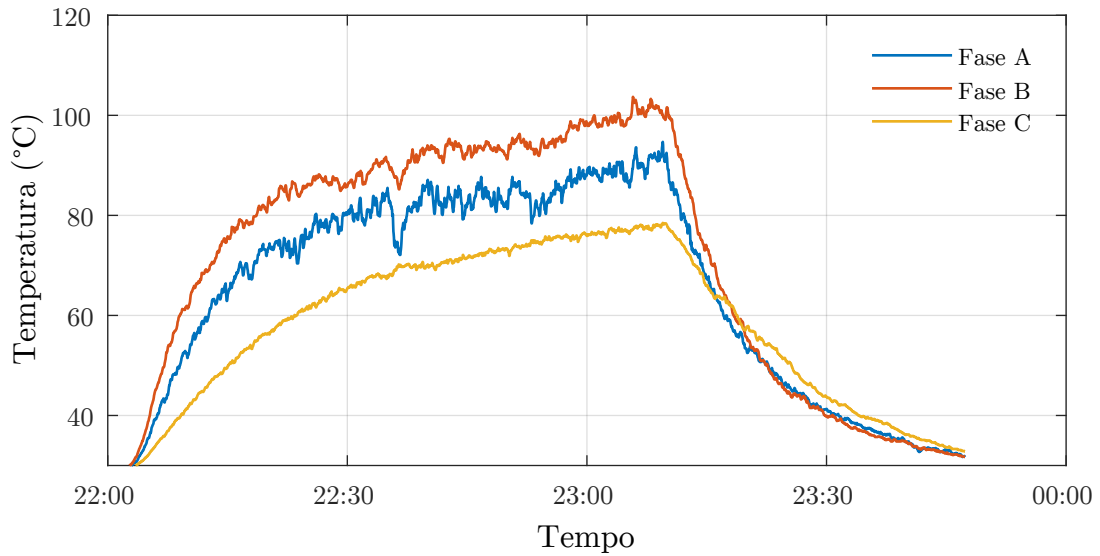
Fonte – Autoria própria.

Figura 61 – Temperatura no encapsulamento dos MOSFETs resultante do ensaio com o inversor elevado da bancada.



Fonte – Autoria própria.

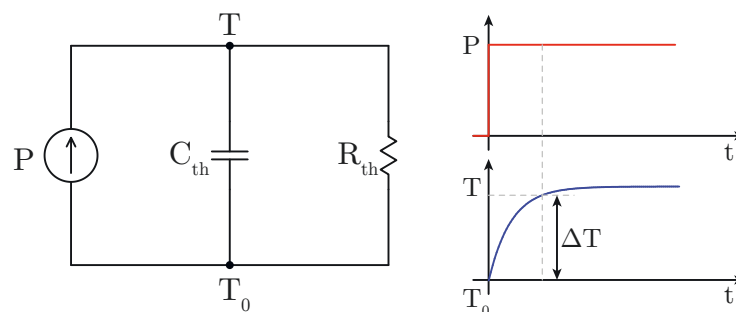
Figura 62 – Temperatura nos Capacitores resultante do ensaio com o inversor elevado da bancada.



Fonte – Autoria própria.

O transitório presente nas curvas de temperatura mostra que a partir do instante em que se inicia a operação e começa a ocorrer a dissipação de potência, a temperatura sobe exponencialmente até alcançar a estabilidade, esse efeito corresponde ao conceito de impedância térmica ilustrado na Figura 63.

Figura 63 – Circuito térmico e transitório térmico.



Fonte – Autoria própria.

A variação de temperatura é dada pela Equação 93,

$$\Delta T = Z_{th} P \tag{93}$$

onde Z_{th} representa a impedância térmica e P é potência dissipada no sistema.

A impedância térmica varia com o tempo e pode ser representada pela função exponencial expressa na Equação 94,

$$Z_{th} = R_{th} \left(1 - e^{-\frac{t}{R_{th}C_{th}}} \right) \quad (94)$$

A resistência térmica R_{th} determina o valor máximo de temperatura e a capacitância térmica C_{th} está atrelada ao tempo em que a temperatura atinge o valor máximo. Analogamente a um circuito RC, esses parâmetros compõem a constante de tempo térmica:

$$\tau_{th} = R_{th}C_{th} \quad (95)$$

A constante de tempo térmica medida experimentalmente através das curvas apresentadas na Figura 61 e 62 é de aproximadamente 11 minutos, instante de tempo em que a temperatura atinge 63% do valor máximo. A resistência térmica pode ser obtida pelo

$$R_{th} = \frac{(T_{max} - T_0)}{P_{MTOTAL}} \quad (96)$$

A temperatura máxima T_{max} e a temperatura inicial T_0 são valores conhecidos por meio do ensaio experimental e a potência total do MOSFET P_{MTOTAL} foi calculada nas seções anteriores. Desse modo é possível determinar a resistência térmica e a partir do resultado obtém-se também a capacitância térmica:

$$C_{th} = \frac{\tau_{th}}{R_{th}} \quad (97)$$

Considerando a temperatura máxima registrada em cada fase, levando em conta o MOSFET que teve maior elevação de temperatura, foi possível determinar a impedância térmica do sistema e o resultado é apresentado na Tabela 18.

Tabela 18 – Impedância térmica do sistema referente à elevação da temperatura.

	Fase A	Fase B	Fase C
R_{th}	10,091°C/W	11,973°C/W	10,821°C/W
C_{th}	65,403sW/°C	55,123sW/°C	61sW/°C

Fonte – Autoria própria.

Analogamente a análise realizada para a elevação de temperatura, foi obtida a constante de tempo do decaimento da temperatura, nesse caso a constante corresponde ao intervalo de tempo em que a temperatura atinge 37% da temperatura máxima, sendo assim a partir das curvas experimentais a constante de tempo para o decaimento da temperatura é de 21 minutos. Tendo em vista que a resistência térmica não se altera, a capacitância térmica é calculada novamente para essa constante de tempo.

Tabela 19 – Impedância térmica do sistema referente ao decaimento da temperatura.

	Fase A	Fase B	Fase C
R_{th}	10,091°C/W	11,973°C/W	10,821°C/W
C_{th}	124,861sW/°C	105,24sW/°C	116,44sW/°C

Fonte – Autoria própria.

A função que expressa o decaimento da temperatura corresponde à Equação 98:

$$T = T_{max} e^{-\frac{t}{R_{th}C_{th}}} \quad (98)$$

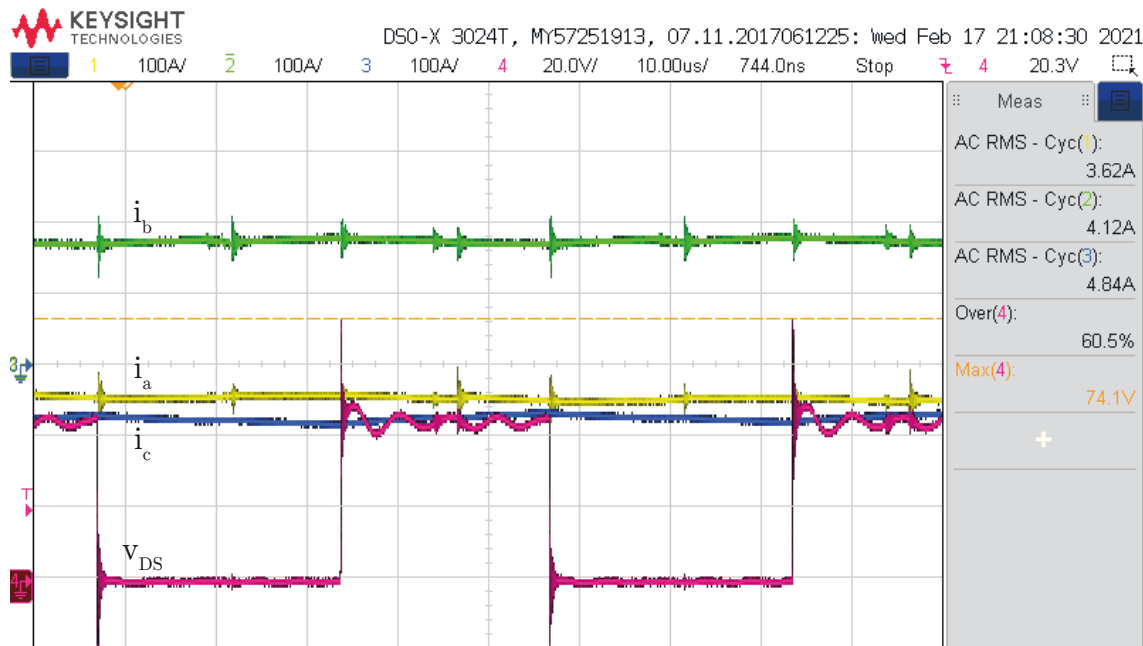
Para a elevação da temperatura com base na Equação 94,

$$T = T_0 + R_{th}P_{M_{TOTAL}} \left(1 + e^{-\frac{t}{R_{th}C_{th}}} \right) \quad (99)$$

A partir das Equações 98 e 99, em conjunto com os valores de R_{th} e C_{th} que foram determinados, é possível realizar análises para diferentes valores de potência dissipada, o que permite avaliar a operação do inversor em regimes de trabalho distintos e extrair o máximo de potência garantindo o limite seguro de operação.

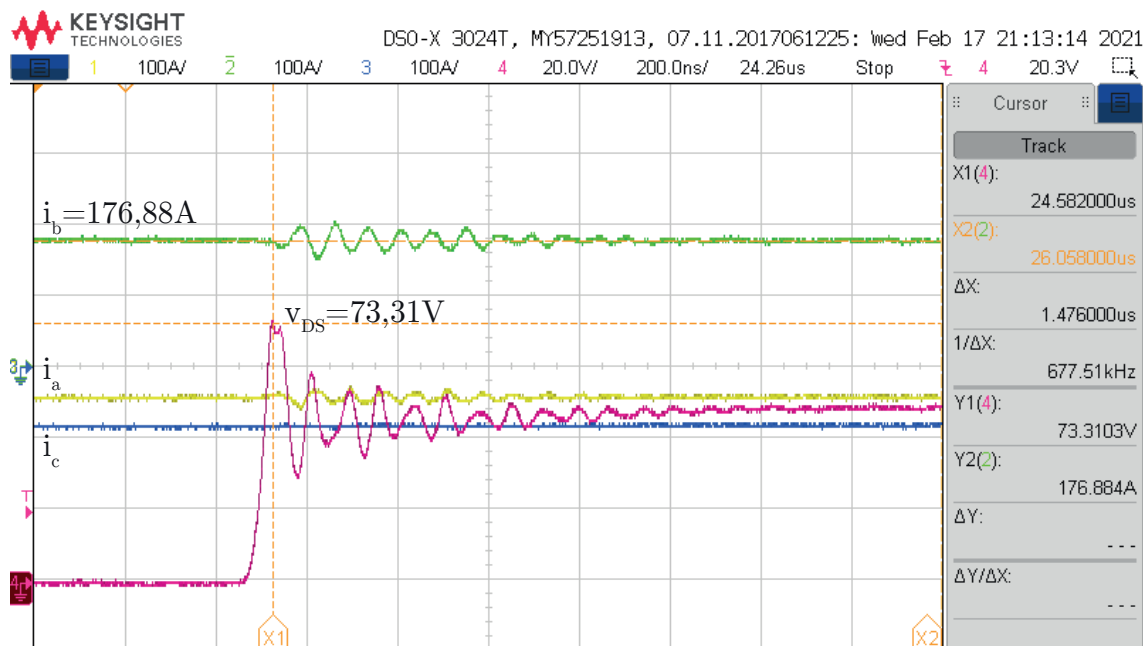
As Figuras 64 e 65 apresentam as formas de onda das correntes trifásicas e da tensão entre dreno e fonte medida na fase B, com a escala de tempo ajustada para visualizar o período de comutação e a operação em condições nominais do inversor. A tensão v_{DS} atinge o valor de 73,31V que corresponde a 60,5% para uma corrente na fase B equivalente a 176,88A. As Figuras 67 e 66 apresentam as formas de onda das correntes trifásicas e da tensão entre porta e fonte medida na fase B.

Figura 64 – Corrente na fase A (Canal 1), Corrente na fase B (Canal 2), Corrente na fase C (Canal 3) e Tensão entre dreno e fonte (Canal 4). Escala de tempo de $10\mu\text{s}$.



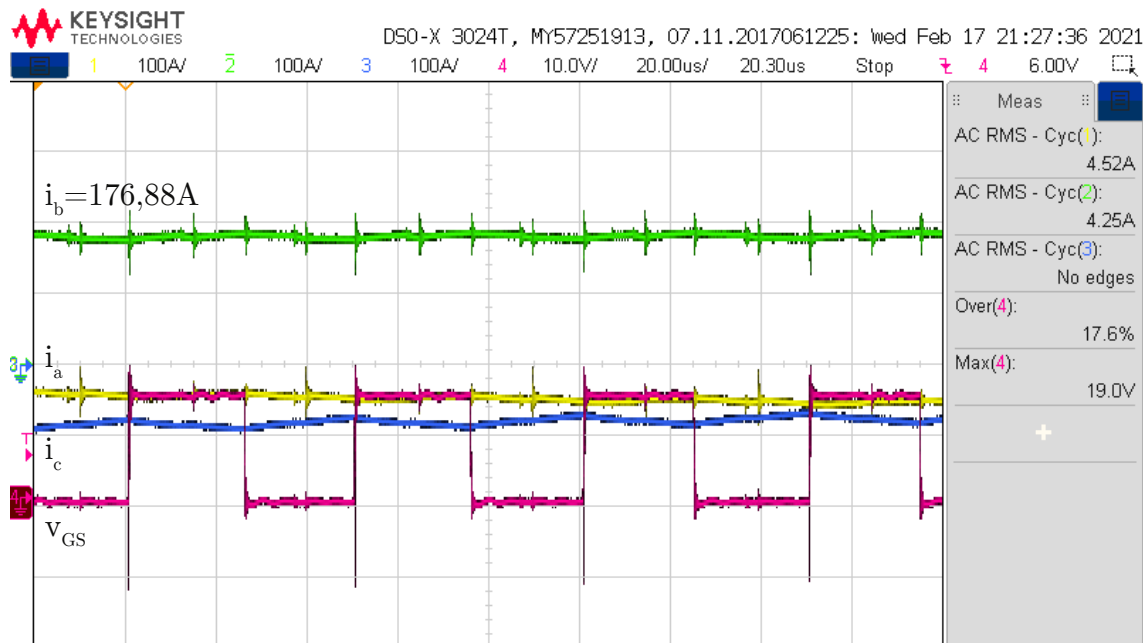
Fonte – Autoria própria.

Figura 65 – Corrente na fase A (Canal 1), Corrente na fase B (Canal 2), Corrente na fase C (Canal 3) e Tensão entre dreno e fonte (Canal 4). Escala de tempo de 200ns .



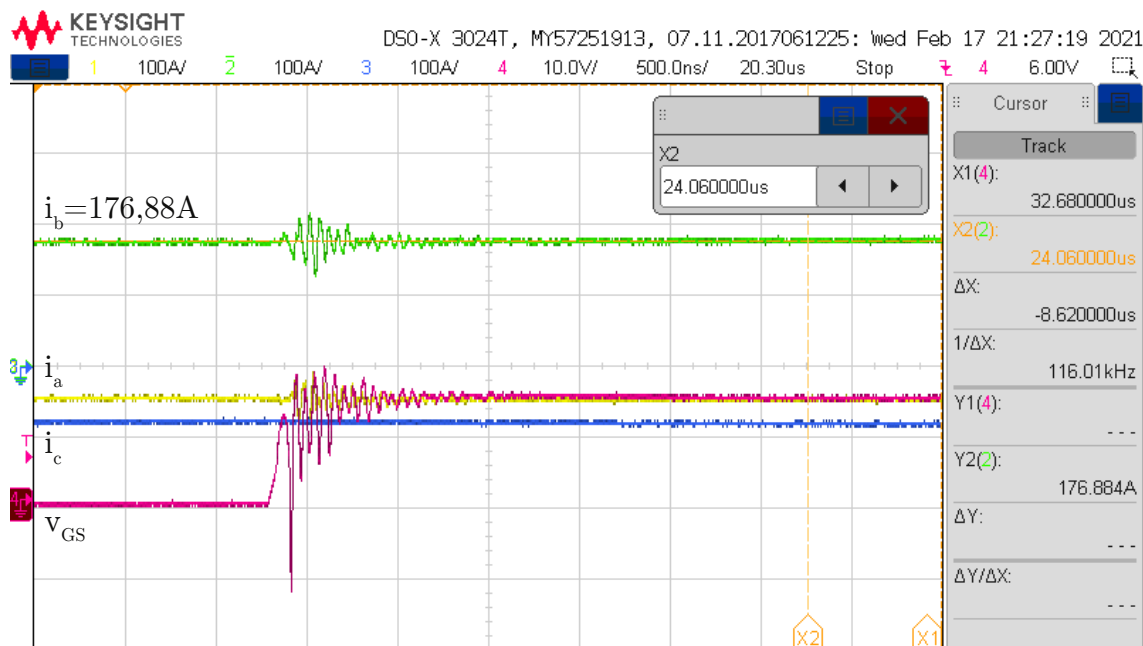
Fonte – Autoria própria.

Figura 66 – Corrente na fase A (Canal 1), Corrente na fase B (Canal 2), Corrente na fase C (Canal 3) e Tensão entre porta e fonte (Canal 4). Escala de tempo de $20\mu\text{s}$.



Fonte – Autoria própria.

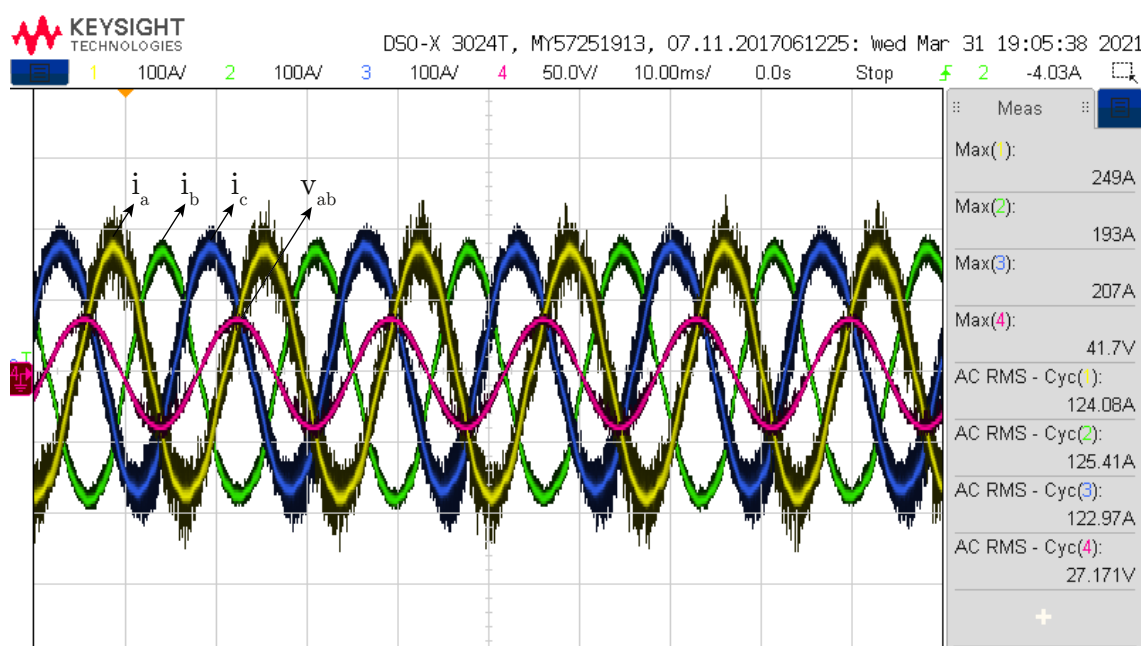
Figura 67 – Corrente na fase A (Canal 1), Corrente na fase B (Canal 2), Corrente na fase C (Canal 3) e Tensão entre porta e fonte (Canal 4). Escala de tempo de 500ns .



Fonte – Autoria própria.

A Figura 68 apresenta as formas de onda das correntes trifásicas e da tensão medida entre as fases A e B, na escala de tempo de 10ms. A forma de onda da tensão está sendo filtrada com um filtro com frequência de corte de aproximadamente 1,5kHz. O valor RMS das correntes na fase A, B e C correspondem a 124,08A, 125,41A e 122,97A, respectivamente. A tensão de linha possui valor RMS de 27,17V, deve-se destacar que o nível de tensão está com uma queda de tensão de 6,83V devido as conexões e a queda de tensão no transformador.

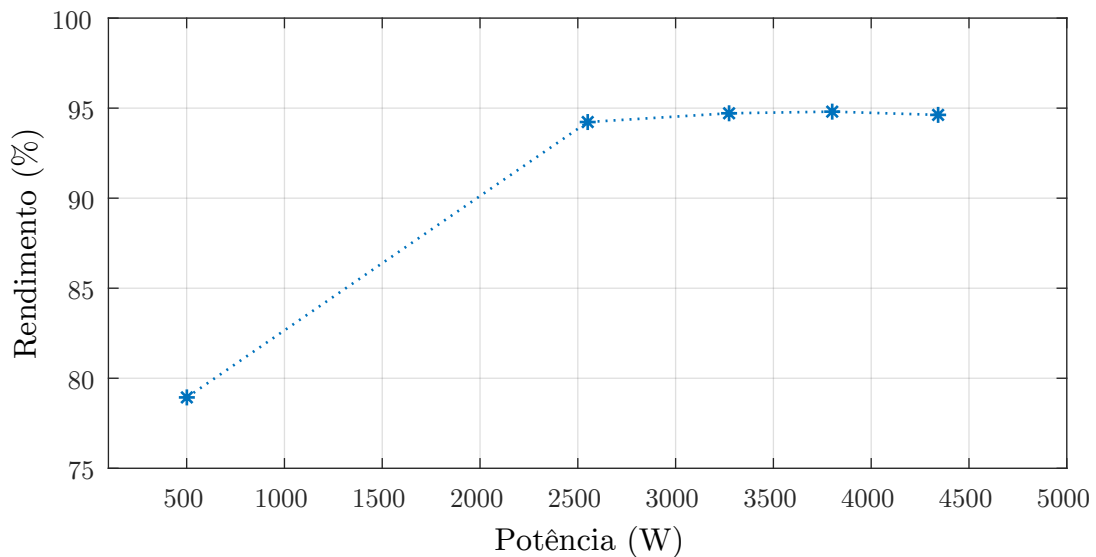
Figura 68 – Corrente na fase A (Canal 1), Corrente na fase B (Canal 2), Corrente na fase C (Canal 3) e Tensão entre as fases A e B (Canal 4).



Fonte – Autoria própria.

Foi obtida a curva de rendimento do inversor em função da potência de saída, através do ajuste de torque no motor de carga de modo que a corrente de saída do inversor excursionasse entre a corrente do motor a vazio até a corrente nominal especificada, sendo medidos 5 pontos com a temperatura estabilizada em cada ponto. A Figura 69 apresenta a curva extraída, com rendimento máximo de 94,81% na potência de 3,8kW e 94,63% para potência nominal.

Figura 69 – Rendimento em função da potência de saída.



Fonte – Autoria própria.

O rendimento calculado considerando a utilização do MOSFET de 150V corresponde a 97,026%, verifica-se que há uma diferença de 2,43%, a qual pode-se atribuir uma pequena parcela às perdas no banco de capacitores, nos barramentos e trilhas, além disso verificou-se experimentalmente que a temperatura aferida em determinados MOSFETs excede à temperatura estimada no cálculo térmico, o que implica na incidência de maiores perdas. Para a associação de MOSFETs em paralelo, a distribuição de corrente em regime permanente é naturalmente equilibrada devido ao coeficiente de temperatura positivo de R_{DSon} , contudo durante o transitório das comutações pode ocorrer um desequilíbrio de corrente devido à variação paramétrica, layout e coeficiente de temperatura negativo da tensão V_{th} , desse modo alguns MOSFETs podem ter maiores perdas do que outros, sendo o desequilíbrio de corrente um dos principais desafios da associação de MOSFETs em paralelo.

5.5 CONCLUSÕES DO CAPÍTULO

Esse capítulo apresentou os resultados experimentais, obtidos a partir da realização de testes de validação no protótipo construído, de suma importância para validar os fundamentos teóricos e a metodologia de projeto utilizados nesse trabalho. Os ensaios foram realizados em etapas, inicialmente foram validados os circuitos de comando, em seguida testes com o inversor a vazio, com carga resistiva e indutiva, testes para avaliar a performance de comutação e por fim testes de carga para validação térmica.

A partir dos testes funcionais, foi possível validar as funcionalidades básicas do inversor. Os ensaios foram realizados sem o emprego de carga, com o intuito de avaliar os sinais de comando provenientes do microprocessador, a tensão de saída do gate driver, a técnica de modulação e a comutação dos semicondutores.

Após constatar que não há falhas nas funcionalidades básicas do inversor, foi possível prosseguir para testes com carga, inicialmente utilizando carga RL, para isso o inversor foi alimentado com tensão nominal e a carga foi elevada gradualmente. Nessa etapa, observou-se experimentalmente que com o aumento da corrente para o mesmo tempo de comutação, ocorre o aumento da sobretensão nos semicondutores, diante dos níveis alcançados foi necessária a utilização do MOSFET de 150V e os ensaios foram realizados com corrente reduzida. A partir dos resultados verificou-se que as tensões trifásicas de saída foram moduladas adequadamente e não houve a ocorrência de falhas com o inversor operando em regime contínuo com aproximadamente 25% da carga nominal.

Em seguida, foram realizados ensaios de *double pulse* com o objetivo de avaliar a performance de comutação e a sobretensão nos interruptores. Diante dos primeiros resultados obtidos, verificou-se a presença de muita oscilação e elevada sobretensão nos interruptores, resultantes de indutâncias parasitas inerentes a disposição do layout, o qual possui um loop de comutação muito extenso, principalmente devido à conexão do barramento CC. A partir disso, utilizou-se capacitores cerâmicos conectados ao barramento CC através dos terminais dos MOSFETs, para mitigar os efeitos das indutâncias parasitas, essa solução técnica contribui significativamente para redução da sobretensão. Desse modo, foi possível empregar o MOSFET selecionado para os níveis de corrente e tensão máximos especificados para a aplicação.

Por fim, foi realizado o teste térmico que permitiu a validação do inversor em operação com carga nominal e a avaliação da performance térmica do conjunto, os resultados obtidos convergem com a análise teórica e o sistema opera dentro dos limites seguros.

CONCLUSÕES GERAIS

As aplicações de tração elétrica vem tendo um crescimento eminente e representativo, devido a avanços tecnológicos, mudanças sociais, econômicas e ambientais. Sobretudo por questões ambientais, que vem levando diversos países a firmarem compromissos contundentes para a redução da emissão de gás carbônico e controle do aumento da temperatura global. Atualmente é possível visualizar um cenário de disrupção tecnológica, onde veículos elétricos começam a ser mais difundidos e dentro do mercado industrial há muitos fabricantes com prazos determinados para o encerramento da fabricação de veículos a combustão.

De fato, esse cenário ainda conta com grandes desafios e representa uma evolução gradual, contudo sua concretização vem sendo cada vez mais evidenciada. Nesse contexto, essa pesquisa foi desenvolvida para o estudo e implementação de um estágio de potência para aplicações de tração elétrica de baixa tensão e corrente elevada.

Para o desenvolvimento do inversor foi realizado um estudo dos fundamentos para o acionamento de motores de indução trifásicos, abordando o modelo dinâmico do motor, transformação de coordenadas, estados topológicos do inversor e a técnica de modulação *Space Vector Modulation*. Os conceitos foram validados através de simulações numéricas do sistema em malha aberta considerando os parâmetros do motor especificado.

Além disso, para a concepção do estágio de potência foram levantados os esforços de tensão e corrente dos componentes, sendo evidenciados os efeitos indesejáveis das indutâncias parasitas inerentes aos componentes e conexões elétricas, os quais podem representar grandes desafios para a implementação devida à sobretensão nos semicondutores, com isso foram apresentadas algumas estratégias para mitigação dos efeitos, tais como ajuste na resistência de porta e layout otimizado.

Após a obtenção dos esforços foi apresentada uma metodologia para o levantamento das perdas nos semicondutores, foi realizada uma análise sobre paralelismo de MOSFETs e foram apresentados os critérios fundamentais para a especificação dos componentes e circuitos de comando.

A partir dos fundamentos abordados e as análises realizadas no trabalho, foi reali-

zada a especificação do inversor para atender a aplicação e foi construído um protótipo para validação experimental da metodologia de projeto. Foram realizados ensaios funcionais, testes com carga RL, testes de *double pulse* e teste térmico realizado em bancada com dinamômetro. A partir dos resultados, foi possível sintetizar os sinais de tensão trifásica para o acionamento do motor, tendo o comportamento esperado e de acordo com a técnica de modulação implementada. Com a realização do teste de *double pulse* foi possível visualizar os efeitos das indutâncias parasitas e validar uma estratégia para mitigá-los. Por fim o ensaio térmico permitiu validar o projeto desenvolvido para as condições de temperatura, tendo resultado satisfatório e operação do sistema dentro dos limites seguros.

De forma geral, os resultados obtidos validam as análises e a metodologia de projeto, tendo em vista que o inversor desenvolvido atende as especificações e os resultados experimentais foram satisfatórios, considera-se que os objetivos propostos para este trabalho tenham sido alcançados, e espera-se que este documento possa contribuir com futuros trabalhos sobre o desenvolvimento de inversores de baixa tensão e corrente elevada para aplicações em veículos elétricos compactos.

TRABALHO FUTUROS

Esse trabalho contribui para o desenvolvimento de inversores de baixa tensão e corrente elevada, sendo possível aplicar a metodologia para atender diferentes especificações de modo a contemplar várias aplicações de mobilidade elétrica. Ressalta-se que os objetivos determinados para esse trabalho foram alcançados, acerca do desenvolvimento do estágio de potência. A seguir são apresentadas algumas propostas para trabalhos futuros.

- Pesquisar estratégias de controle para o acionamento de motores, a fim de realizar o controle de velocidade e torque.
- Avaliar diferentes motores e realizar o estudo do modelo e estratégias de controle voltados para aplicações em mobilidade elétrica.
- Desenvolver interfaces que permitam a utilização do inversor em aplicações.

REFERÊNCIAS

ALBERTSEN, Arne. **Electrolytic Capacitor Lifetime Estimation**. [S.l.: s.n.], 2018. P. 1–13. Disponível em: <<https://jianghai-europe.com/wp-content/uploads/Jianghai-Europe-E-Cap-Lifetime-Estimation-long-AAL-2018-09-18.pdf>>. Acesso em:

BARBI, Ivo. **Teoria fundamental do motor de indução**. [S.l.]: Editora da UFSC Florianópolis, 1986.

CASANELLAS, Francesc. Losses in PWM inverters using IGBTs. **IEE Proc.-Electri. Power**, Barcelona, v. 141, n. 5, 1994.

CHEN, Tianyu; LI, Sen; FAHIMI, Babak. Analysis of DC-Link Voltage Ripple in Voltage Source Inverters without Electrolytic Capacitor. **IECON 2018 - 44th Annual Conference of the IEEE Industrial Electronics Society**, IEEE, v. 1, p. 1041–1048, 2018.

CHEN, Yan-ru; CHEN, Jiann-fuh. Life Prediction of Aluminum Electrolytic Capacitors under Normal Operation. **2019 IEEE 4th International Future Energy Electronics Conference (IFEEEC)**, IEEE, p. 1–8, 2019.

CONSELHO EUROPEU. **Acordo de Paris sobre as Alterações Climáticas**. 2019. Disponível em: <<https://www.consilium.europa.eu/pt/policies/climate-change/paris-agreement/>>.

EPE. **Eletromobilidade e Biocombustíveis: Documento de Apoio ao PNE 2050**. Rio de Janeiro, 2018. Disponível em: <<https://www.epe.gov.br/sites-pt/publicacoes-dados-abertos/publicacoes/PublicacoesArquivos/publicacao-227/topico-457/Eletromobilidade%20e%20Biocombustiveis.pdf>>.

GRAOVAC, Dušan; PÜRSCHEL, Marco. MOSFET Power Losses Calculation Using the Data-Sheet Parameters. Neubiberg, July, p. 1–23, 2006. Disponível em: <<https://application-notes.digchip.com/070/70-41484.pdf>>.

HOLMES, D Grahame; LIPO, Thomas A. **Pulse width modulation for power converters: principles and practice**. [S.l.]: John Wiley & Sons, 2003. v. 18.

INFINEON. **Application Note: Infineon OptiMOS-TM Power MOSFET Datasheet Explanation**. Villach, 2012. P. 1–30. Disponível em: <https://www.infineon.com/dgdl/Infineon-MOSFET_OptiMOS_datasheet_explanation-AN-v01_00-EN.pdf?fileId=db3a30433b47825b013b6b8c6a3424c4>.

INFINEON. **Datasheet: MOSFET IPP051N15N5**. München, 2018. P. 1–11. Disponível em: <https://www.infineon.com/dgdl/Infineon-IPP051N15N5-DS-v02_01-EN.pdf?fileId=5546d46253f650570154a0437e3754cb>.

KOLAR, J W; ROUND, S D. Analytical calculation of the RMS current stress on the DC-link capacitor of voltage-PWM converter systems, p. 535–543, 2006. DOI: <10.1049/ip-epa>.

KRAUSE, P. *et al.* **Analysis of electric machinery and drive system**. 3. ed. New Jersey: Wiley-IEEE Press, 2013. P. 608. ISBN 978-1-118-02429-4.

LEVETT, David; ZHENG, Ziqing; FRANK, Tim. Double Pulse Testing: The How, What and Why. **Bodo's Power Systems**, p. 30–35, 2020. Disponível em: <www.bodospower.com>.

LIU, Bo *et al.* Low-Stray Inductance Optimized Design for Power Circuit of SiC-MOSFET-Based Inverter. **IEEE Access**, v. 8, p. 20749–20758, 2020. DOI: <10.1109/ACCESS.2020.2964687>.

MIT. **Insights into Future Mobility**. Cambridge, 2019. Disponível em: <<https://energy.mit.edu/research/mobilityofthefuture/>>.

NXP SEMICONDUCTORS N.V. **Power MOSFET Selection Guide**. [S.l.: s.n.]. Disponível em: <<https://www.nxp.com/docs/en/product-selector-guide/75017590.pdf>>. Acesso em:

PINHEIRO, Humberto *et al.* Modulação Space Vector para Inversores Alimenados em Tensão: Uma Abordagem Unificada. v. 16, n. 1, p. 13–24, 2005.

SCHWEICKHARDT, Jens; HERMANNNS, Kevin; HERDIN, Markus. **Application Note: Tips Tricks on Double Pulse testing**. Munich, 2021. P. 1–38. Disponível em: <https://scdn.rohde-schwarz.com/ur/pws/dl_downloads/dl_application/application_notes/gfm347/GFM347_1e_Double_Pulse_Testing.pdf>.

TEXAS INSTRUMENTS INCORPORATED. **48-V DC Battery Powered Inverter Power Stage Reference Design for 5-kW Forklift AC Traction Motor**. [S.l.], 2016. P. 1–35. Disponível em: <<https://www.ti.com/lit/pdf/tiducb6>>.

UMANS, Stephen D. **Máquinas elétricas de Fitzgerald e Kingsley**. 7. ed. Porto Alegre: AMGH Editora LTDA, 2014. ISBN 9788580553741.

VAN DER BROECK, H. W.; SKUDELNY, H. -.; STANKE, G. V. Analysis and realization of a pulsewidth modulator based on voltage space vectors. **IEEE Transactions on Industry Applications**, v. 24, n. 1, p. 142–150, jan. 1988. ISSN 1939-9367. DOI: <10.1109/28.87265>.

WEN, Huiqing *et al.* Analysis and Evaluation of DC-Link Capacitors for High-Power-Density Electric Vehicle Drive Systems. **IEEE Transactions on Vehicular Technology**, IEEE, v. 61, n. 7, p. 2950–2964, 2012. DOI: <10.1109/TVT.2012.2206082>.

WU, Bin. **High-Power Converters and AC Drives**. Hoboken, New Jersey: John Wiley & Sons, Inc., 2006. ISBN 9780471731719.

ZARE, F.; LEDWICH, G.F. Reduced layer planar busbar for voltage source inverters. **IEEE Transactions on Power Electronics**, v. 17, n. 4, p. 508–516, 2002. DOI: <10.1109/TPEL.2002.800990>.

APÊNDICE A

MODULAÇÃO *Space Vector*

A.1 MATRIZES DE DECOMPOSIÇÃO

As matrizes de decomposição de cada setor são obtidas de acordo com os respectivos vetores de comutação associados. Para o setor 1, por exemplo, os vetores associados a esse setor são V_1 e V_2 , além dos vetores nulos V_0 e V_7 . Sendo M_1 ,

$$M_1 = \begin{bmatrix} V_1 & V_2 \end{bmatrix}^{-1} \quad (100)$$

onde os vetores V_1 e V_2 são compostos pelas componentes $\beta\alpha$:

$$M_1 = \begin{bmatrix} V_{1\beta} & V_{2\beta} \\ V_{1\alpha} & V_{2\alpha} \end{bmatrix}^{-1} \quad (101)$$

Fazendo a substituição das componentes $\beta\alpha$ de acordo Tabela 1, M_1 é dada por

$$M_1 = \begin{bmatrix} \frac{2}{3} & \frac{1}{3} \\ 0 & -\frac{\sqrt{3}}{3} \end{bmatrix}^{-1}$$

Realizando a inversa da matriz,

$$M_1 = \begin{bmatrix} \frac{3}{2} & \frac{\sqrt{3}}{2} \\ 0 & -\sqrt{3} \end{bmatrix} \quad (102)$$

Analogamente a análise apresentada é feita para cada um dos setores e as matrizes de decomposição resultantes são apresentadas na Tabela 20.

Tabela 20 – Matrizes de decomposição.

Setor 1	Setor 2	Setor 3
$M_1 = \begin{bmatrix} \frac{3}{2} & \frac{\sqrt{3}}{2} \\ 0 & -\sqrt{3} \end{bmatrix}$	$M_2 = \begin{bmatrix} -\frac{3}{2} & -\frac{\sqrt{3}}{2} \\ \frac{3}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}$	$M_3 = \begin{bmatrix} 0 & -\sqrt{3} \\ -\frac{3}{2} & \frac{\sqrt{3}}{2} \end{bmatrix}$
Setor 4	Setor 5	Setor 6
$M_4 = \begin{bmatrix} 0 & \sqrt{3} \\ -\frac{3}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}$	$M_5 = \begin{bmatrix} -\frac{3}{2} & \frac{\sqrt{3}}{2} \\ \frac{3}{2} & \frac{\sqrt{3}}{2} \end{bmatrix}$	$M_6 = \begin{bmatrix} \frac{3}{2} & -\frac{\sqrt{3}}{2} \\ 0 & \sqrt{3} \end{bmatrix}$

Fonte – Autoria própria.

A.2 INTERVALOS DE TEMPO DA APLICAÇÃO DOS VETORES DE COMUTAÇÃO

As matrizes de decomposição e a Equação 50 permitem estabelecer os intervalos de tempo de comutação Δt_1 e Δt_2 para cada setor. Determinando para o vetor u_{cmd} no setor 1, tem-se

$$\begin{bmatrix} \Delta t_1 \\ \Delta t_2 \end{bmatrix} = M_1 \begin{bmatrix} u_{cmd_\beta} \\ u_{cmd_\alpha} \end{bmatrix} T_s$$

Substituindo M_1 :

$$\begin{bmatrix} \Delta t_1 \\ \Delta t_2 \end{bmatrix} = \begin{bmatrix} \frac{3}{2} & \frac{\sqrt{3}}{2} \\ 0 & -\sqrt{3} \end{bmatrix} \begin{bmatrix} u_{cmd_\beta} \\ u_{cmd_\alpha} \end{bmatrix} T_s$$

Dessa forma, Δt_1 e Δt_2 equivalem a

$$\begin{aligned} \Delta t_1 &= T_s \left[\frac{3}{2} u_{cmd_\beta} + \frac{\sqrt{3}}{2} u_{cmd_\alpha} \right] \\ \Delta t_2 &= T_s \left[-\sqrt{3} u_{cmd_\alpha} \right] \end{aligned}$$

Realizando esse procedimento para os outros setores, são estabelecidos os tempos de comutação descritos na Tabela 21.

Tabela 21 – Intervalos de tempo para cada setor.

Setor 1	Setor 2
$\Delta t_1 = T_s \left[\frac{3}{2}u_{cmd_\beta} + \frac{\sqrt{3}}{2}u_{cmd_\alpha} \right]$	$\Delta t_1 = T_s \left[-\frac{3}{2}u_{cmd_\beta} - \frac{\sqrt{3}}{2}u_{cmd_\alpha} \right]$
$\Delta t_2 = T_s \left[-\sqrt{3}u_{cmd_\alpha} \right]$	$\Delta t_2 = T_s \left[\frac{3}{2}u_{cmd_\beta} - \frac{\sqrt{3}}{2}u_{cmd_\alpha} \right]$
Setor 3	Setor 4
$\Delta t_1 = T_s \left[-\sqrt{3}u_{cmd_\alpha} \right]$	$\Delta t_1 = T_s \left[\sqrt{3}u_{cmd_\alpha} \right]$
$\Delta t_2 = T_s \left[-\frac{3}{2}u_{cmd_\beta} + \frac{\sqrt{3}}{2}u_{cmd_\alpha} \right]$	$\Delta t_2 = T_s \left[-\frac{3}{2}u_{cmd_\beta} - \frac{\sqrt{3}}{2}u_{cmd_\alpha} \right]$
Setor 5	Setor 6
$\Delta t_1 = T_s \left[-\frac{3}{2}u_{cmd_\beta} + \frac{\sqrt{3}}{2}u_{cmd_\alpha} \right]$	$\Delta t_1 = T_s \left[\frac{3}{2}u_{cmd_\beta} - \frac{\sqrt{3}}{2}u_{cmd_\alpha} \right]$
$\Delta t_2 = T_s \left[\frac{3}{2}u_{cmd_\beta} + \frac{\sqrt{3}}{2}u_{cmd_\alpha} \right]$	$\Delta t_2 = T_s \left[\sqrt{3}u_{cmd_\alpha} \right]$

Fonte – Autoria própria.

A.3 IMPLEMENTAÇÃO DA MODULAÇÃO *SPACE VECTOR*

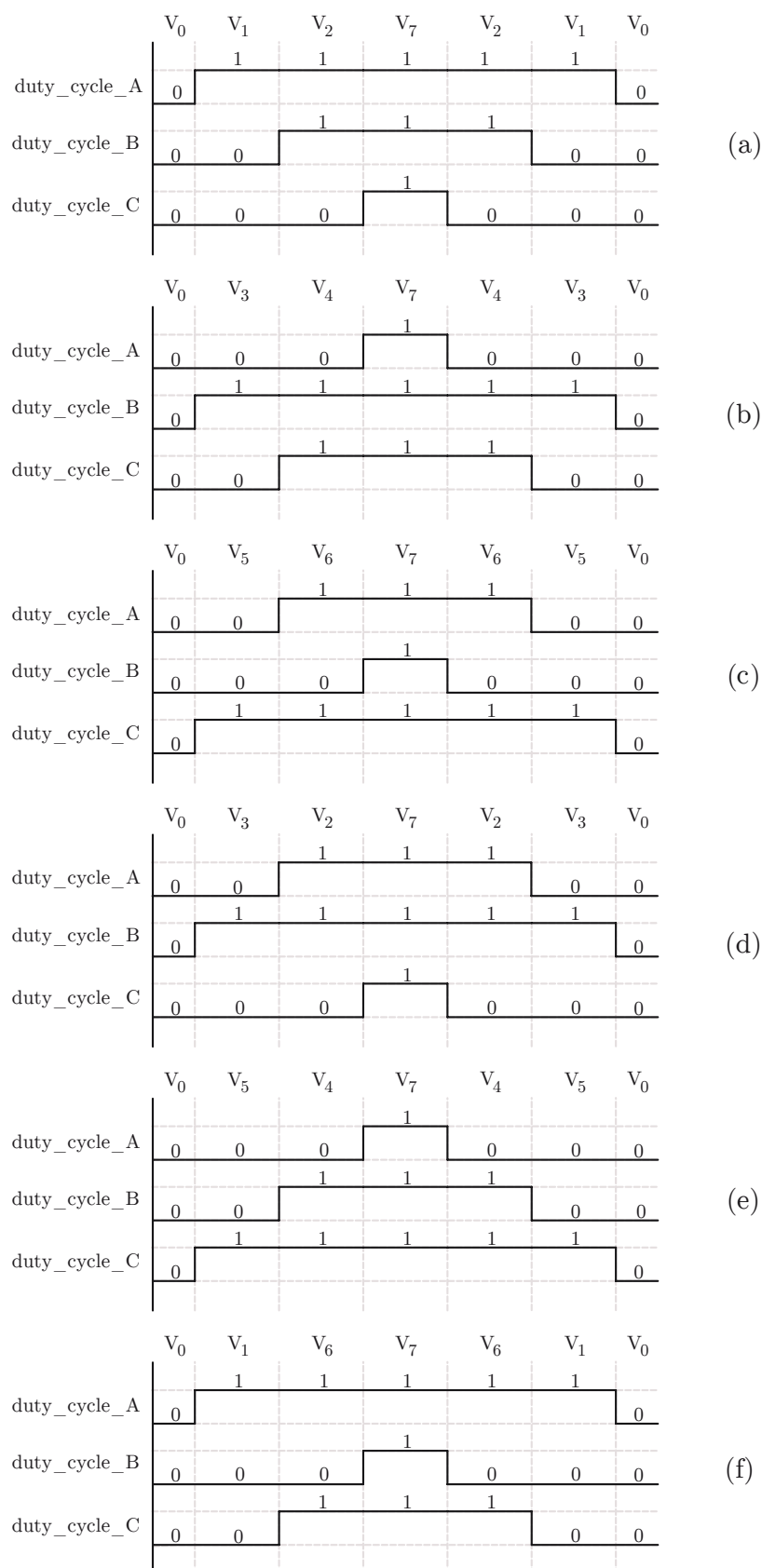
Os sinais PWM para cada uma das fases do inversor são apresentadas nesta seção. Definida a sequência de comutação na Tabela 2, os vetores de comutação podem ser representados através do seu código binário e os intervalos de tempo de comutação são distribuídos de forma adequada conforme a Tabela 22.

Tabela 22 – Intervalos de tempo da aplicação dos vetores de acordo com a sequência de comutação.

	$\Delta t_{0/4}$	$\Delta t_{1/2}$	$\Delta t_{2/2}$	$\Delta t_{0/2}$	$\Delta t_{2/2}$	$\Delta t_{1/2}$	$\Delta t_{0/4}$
1	000	100	110	111	110	100	000
2	000	010	110	111	110	010	000
3	000	010	011	111	011	010	000
4	000	001	011	111	011	001	000
5	000	001	101	111	101	001	000
6	000	100	101	111	101	100	000

O código binário apresentado na Tabela 22 pode ser expresso como PWM, sendo que cada componente do código binário corresponde a uma das fases do sistema.

Figura 70 – Sinais PWM para cada setor: (a) Setor 1; (b) Setor 2; (c) Setor 3; (d) Setor 4; (e) Setor 5; (f) Setor 6.



Com relação ao setor 1, como mostra a Figura 70, o tempo de aplicação do vetor V_0 consiste em $1/2$ do tempo de comutação Δt_0 , os sinais de PWM permanecem em nível lógico baixo para todas as fases.

Posteriormente, a sequência de comutação passa para o vetor V_1 , o sinal de PWM referente a fase a vai para nível lógico alto e as demais fases permanecem em nível lógico baixo. A seguir, tem-se o vetor V_2 , os sinais de PWM das fases a e b estão em nível lógico alto e a fase c se mantém em nível lógico baixo, em seguida tem-se o vetor V_7 , em que os sinais de PWM para todas as fases está em nível alto. Têm-se novamente os vetores V_2 , V_1 e V_0 .

De acordo com a Figura 70, são estabelecidos os *duty cycles* para as três fases do sistema.

$$\text{Setor 1 : } \begin{cases} \text{duty_cycle_A} = t_1 + t_2 + \frac{t_0}{2} \\ \text{duty_cycle_B} = t_2 + \frac{t_0}{2} \\ \text{duty_cycle_C} = \frac{t_0}{2} \end{cases} \quad (103)$$

Analogamente, são obtidos os *duty cycles* para cada um dos setores do sistema.

$$\text{Setor 2 : } \begin{cases} \text{duty_cycle_A} = t_2 + \frac{t_0}{2} \\ \text{duty_cycle_B} = t_1 + t_2 + \frac{t_0}{2} \\ \text{duty_cycle_C} = \frac{t_0}{2} \end{cases} \quad (104)$$

$$\text{Setor 3 : } \begin{cases} \text{duty_cycle_A} = \frac{t_0}{2} \\ \text{duty_cycle_B} = t_1 + t_2 + \frac{t_0}{2} \\ \text{duty_cycle_C} = t_2 + \frac{t_0}{2} \end{cases} \quad (105)$$

$$\text{Setor 4 : } \begin{cases} \text{duty_cycle_A} = \frac{t_0}{2} \\ \text{duty_cycle_B} = t_2 + \frac{t_0}{2} \\ \text{duty_cycle_C} = t_1 + t_2 + \frac{t_0}{2} \end{cases} \quad (106)$$

$$\text{Setor 5 : } \begin{cases} \text{duty_cycle_A} = t_2 + \frac{t_0}{2} \\ \text{duty_cycle_B} = \frac{t_0}{2} \\ \text{duty_cycle_C} = t_1 + t_2 + \frac{t_0}{2} \end{cases} \quad (107)$$

$$\text{Setor 6 : } \begin{cases} \text{duty_cycle_A} = t_1 + t_2 + \frac{t_0}{2} \\ \text{duty_cycle_B} = \frac{t_0}{2} \\ \text{duty_cycle_C} = t_2 + \frac{t_0}{2} \end{cases} \quad (108)$$

APÊNDICE B

CÁLCULO DE PERDAS NOS MOSFETS

B.1 IMPACTO DA TEMPERATURA NAS PERDAS DE CONDUÇÃO

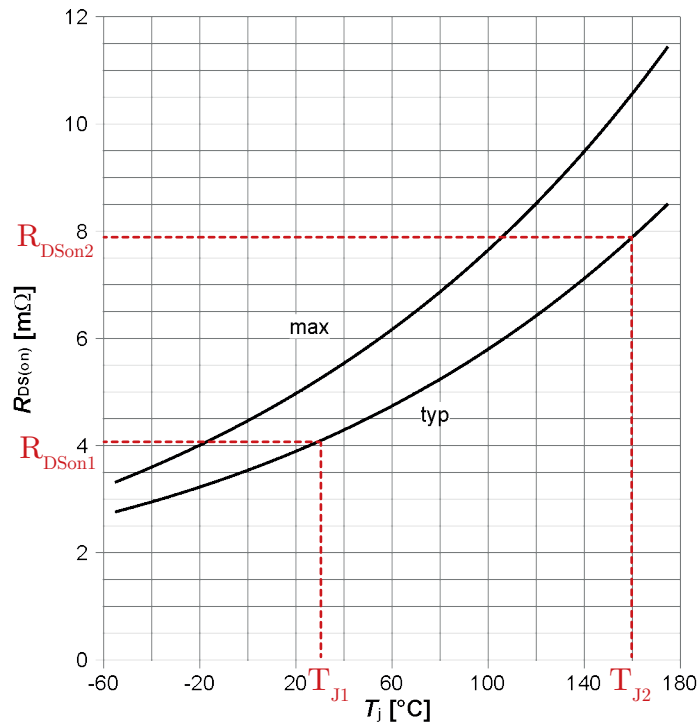
A resistência R_{DSon} varia com a temperatura de junção T_j , o parâmetro informado em *data-sheet* geralmente refere-se ao valor típico para uma temperatura de junção de 25°C, a Equação 109 permite obter o valor de resistência levando em conta o efeito da temperatura

$$R_{DSon}(T_j) = R_{DSonMAX}(25^\circ C) \left(1 + \frac{\alpha}{100}\right)^{T_j - 25^\circ C} \quad (109)$$

onde $R_{DSMAX}(25^\circ C)$ é o valor máximo da resistência de condução para 25°C e α é o coeficiente de temperatura.

O coeficiente α pode ser determinado a partir do gráfico que relaciona R_{DSon} e T_j disponível em *data-sheet*, são escolhidos dois pontos da curva (T_{J1}, R_{DSon1}) e (T_{J2}, R_{DSon2}) conforme a Figura (71), esses pontos são atribuídos na Equação (109) para determinar α , desse modo se obtém o valor de resistência para qualquer temperatura de junção.

Figura 71 – R_{DSon} em função da temperatura de junção.



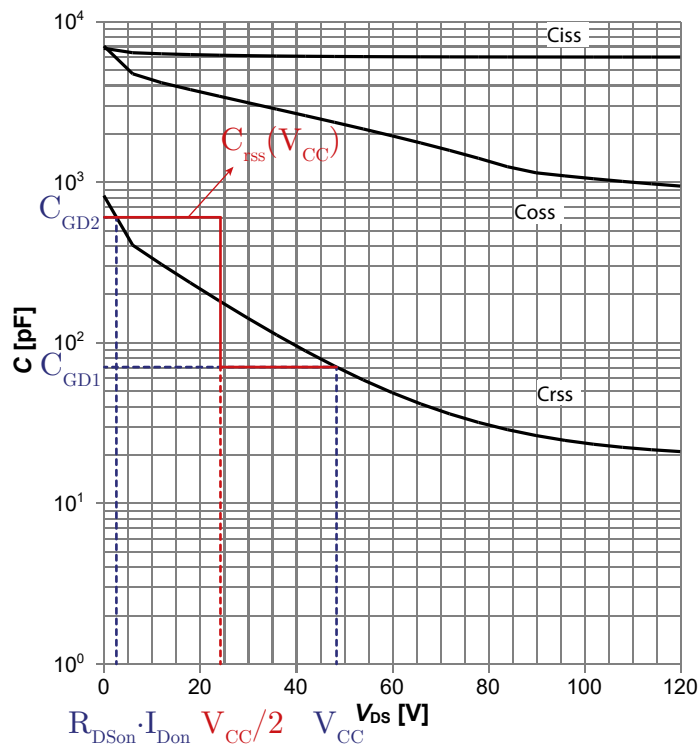
Fonte – Adaptado de (INFINEON, 2018)

Ao realizar o projeto térmico se estabelece a temperatura de junção desejada e a temperatura ambiente de acordo com a aplicação. Neste caso, a temperatura de junção adotada foi de 130°C e a temperatura ambiente de 45°C .

B.2 PERDAS DE COMUTAÇÃO

Para calcular o tempo de decaimento da tensão (tfu) com maior precisão, as não linearidades da capacitância entre porta e dreno devem ser levadas em consideração, e isso pode ser analisado na Figura 72, onde é representada a dependência típica da capacitância C_{rss} com relação a tensão V_{CC} . Contudo, as não linearidades não são facilmente incorporadas no cálculo, sendo assim são utilizados dois pontos para realizar uma aproximação adequada, considera-se que se a tensão v_{DS} estiver na faixa de $V_{CC}/2$ a V_{CC} a capacitância equivale a $C_{GD1} = C_{GD}(V_{CC})$, enquanto para a tensão v_{DS} no intervalo de 0 a $V_{CC}/2$ a capacitância é $C_{GD2} = C_{GD}(R_{DSon}I_{Don})$.

Figura 72 – C_{rss} em função da tensão V_{DS} .



Fonte – Adaptado de (INFINEON, 2018)

A duração do decaimento da tensão entre dreno e fonte, considerando dois pontos de aproximação conforme destacado na Figura 29(b), tendo em vista que essa aproximação é usada apenas para determinar o tempo da queda de tensão, assim como o tempo de subida durante o desligamento, a tensão u_{DS} assume a forma linear (linha sólida na figura), ressalta-se que essa análise leva em conta o pior caso para o cálculo das perdas de comutação.

A corrente de porta durante t_{fu} pode ser calculada de acordo com a Equação 110,

$$I_{Gon} = \frac{V_{Dr} - V_{(plateau)}}{R_G} \quad (110)$$

O tempo de decaimento da tensão pode ser calculado mediante os tempos de decaimento definidos através da corrente e das capacitâncias C_{GD1} e C_{GD2} ,

$$t_{fu} = \frac{t_{fu1} + t_{fu2}}{2} \quad (111)$$

onde,

$$t_{fu1} = (V_{CC} - R_{DSon} I_{Don}) \frac{C_{GD1}}{I_{Gon}} \quad (112)$$

$$t_{fu2} = (V_{CC} - R_{DSon} I_{Don}) \frac{C_{GD2}}{I_{Gon}} \quad (113)$$

O transitório de bloqueio do MOSFET corresponde ao de condução de forma inversa. Neste caso, a corrente de porta e o tempo de subida podem ser expressos por:

$$I_{Goff} = -\frac{V_{(plateau)}}{R_G} \quad (114)$$

$$tru = \frac{tru1 + tru2}{2} \quad (115)$$

$$tru1 = (V_{CC} - R_{DSon}I_{Don})\frac{C_{GD1}}{I_{Goff}} \quad (116)$$

$$tru2 = (V_{CC} - R_{DSon}I_{Don})\frac{C_{GD2}}{I_{Goff}} \quad (117)$$



APÊNDICE C



PLANILHAS DE CÁLCULOS



INSTITUTO BRASILEIRO DE ELETRÔNICA E POTÊNCIA E ENERGIAS RENOVÁVEIS

Programa de Pós-Graduação em Engenharia Elétrica

Universidade Federal de Santa Catarina

Mestranda: Maria Helena Belusso

Data: 05/02/2019

Motor de Indução

1) Dados de desempenho fornecidos pelo fabricante:

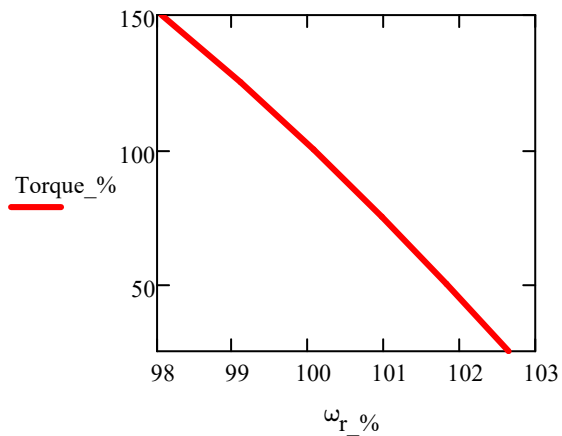
$$\omega_{r_nominal} := 1740 \text{rpm}$$

$$\text{Torque}_{\%} := \begin{pmatrix} 150 \\ 125 \\ 100 \\ 75 \\ 50 \\ 25 \end{pmatrix} \quad \omega_r := \begin{pmatrix} 1706.2 \\ 1724.4 \\ 1741.2 \\ 1756.9 \\ 1771.8 \\ 1786.1 \end{pmatrix} \text{rpm} \quad \omega_{r_ \%} := \omega_r \cdot \frac{100}{\omega_{r_nominal}} = \begin{pmatrix} 98.057 \\ 99.103 \\ 100.069 \\ 100.971 \\ 101.828 \\ 102.649 \end{pmatrix}$$

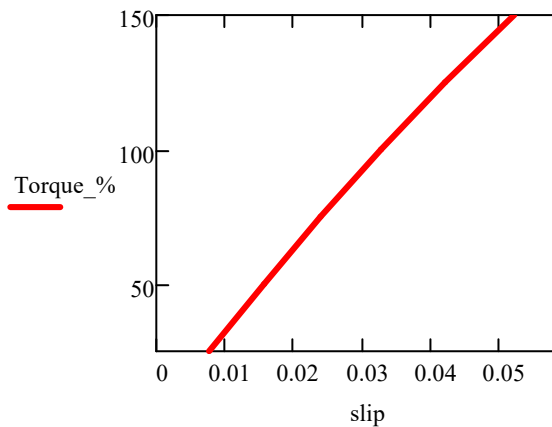
$$I_{L1} := \begin{pmatrix} 154.81 \\ 136.96 \\ 121.81 \\ 109.6 \\ 100.76 \\ 95.67 \end{pmatrix} \text{A} \quad P_{\text{Elétrica}} := \begin{pmatrix} 7789.5 \\ 6438.8 \\ 5147.4 \\ 3905.5 \\ 2707.3 \\ 1548.2 \end{pmatrix} \text{W} \quad P_{\text{Shaft}} := \begin{pmatrix} 6624 \\ 5519.47 \\ 4415.85 \\ 3311.96 \\ 2207.99 \\ 1104 \end{pmatrix} \text{W}$$

$$\text{slip} := \begin{pmatrix} 0.0521 \\ 0.042 \\ 0.0327 \\ 0.0239 \\ 0.0157 \\ 0.0077 \end{pmatrix} \quad \eta := \begin{pmatrix} 85.04 \\ 85.72 \\ 85.79 \\ 84.8 \\ 81.56 \\ 71.31 \end{pmatrix} \quad \text{FP} := \begin{pmatrix} 0.764 \\ 0.714 \\ 0.642 \\ 0.541 \\ 0.408 \\ 0.246 \end{pmatrix}$$

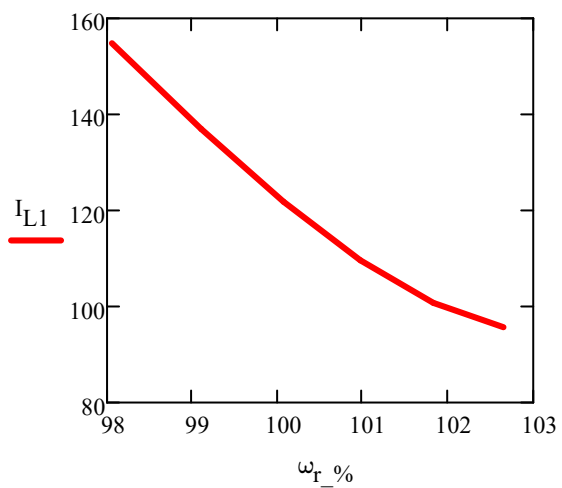
Torque x Velocidade



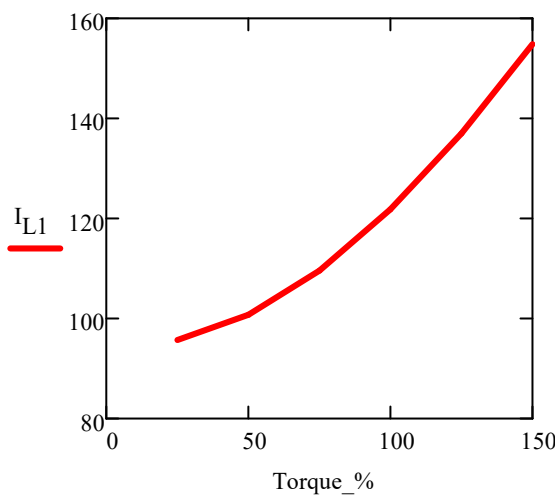
Torque x Escorregamento

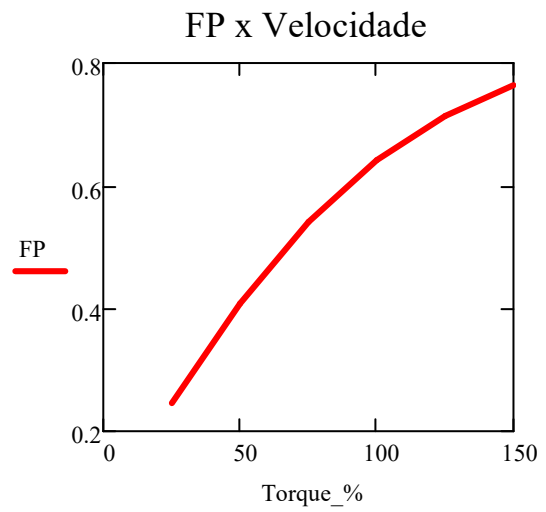
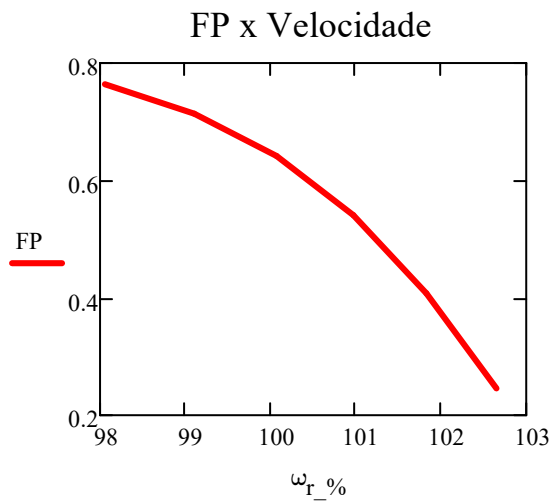


Corrente x Velocidade



Corrente x Torque





2) Determinação dos Parâmetros:

Frequência:

$$f := 60$$

Número de polos:

$$\text{polos} := 4$$

Velocidade síncrona em rpm:

$$n_s := \frac{120}{\text{polos}} \cdot f = 1.8 \times 10^3$$

Velocidade síncrona em rad/s:

$$\omega_s := \frac{n_s \cdot 2 \cdot \pi}{60} = 188.496$$

Tensão de linha rms:

$$V_L := 38$$

Tensão de fase:

$$V_\phi := \frac{V_L}{\sqrt{3}}$$

Resistência de fase do estator:

$$R_1 := 0.0135$$

Torque Máximo:

$$\tau_{\max} := 85$$

Torque de Partida:

Rotação com torque máximo:

$$n_{\tau_{\max}} := 1433$$

Escorregamento máximo:

$$s_{\max} := \frac{n_s - n_{\tau_{\max}}}{n_s} = 0.204$$

Corrente a vazio:

$$I_{1VZ} := 94$$

Análise do circuito equivalente de Thévenin do Motor de Indução:

Tensão de Thévenin:

$$V_{TH} = V_{\phi} \cdot \frac{X_m}{\sqrt{R_1^2 + (X_1 + X_m)^2}}$$

Tendo em vista que $X_m \gg X_1$ pode-se considerar que:

$$X_1 + X_m = X_m$$

Além disso, R_1 é um valor muito pequeno, o qual está sendo elevado ao quadrado, portanto pode ser desconsiderado. Desse modo,

$$V_{TH} := V_{\phi}$$

Resistência de Thévenin:

$$R_{TH} = R_1 \cdot \left(\frac{X_m}{X_1 + X_m} \right)^2$$

Conforme as aproximações realizadas, tem-se:

$$R_{TH} := R_1$$

$$X_{TH} = X_1$$

Equações do torque máxima e de partida:

Equação do torque máximo:

$$\tau_{\max} = \frac{3 \cdot V_{TH}^2}{2 \cdot \omega_s \cdot \left[R_{TH} + \sqrt{R_{TH}^2 + (X_{TH} + X_2)^2} \right]}$$

Equação do escorregamento máximo:

$$\tau_{partida} = \frac{3 \cdot V_{\phi}^2 R_2}{\omega_s \cdot \left[(R_1 + R_2)^2 + (X_1 + X_2)^2 \right]}$$

Realizando as aproximações descritas anteriormente:

$$\tau_{\max} = \frac{3 \cdot V_{\phi}^2}{2 \cdot \omega_s \cdot \left[R_1 + \sqrt{R_1^2 + (X_1 + X_2)^2} \right]}$$

$$\tau_{\text{partida}} = \frac{3 \cdot V_{\phi}^2 R_2}{\omega_s \cdot \left[(R_1 + R_2)^2 + (X_1 + X_2)^2 \right]}$$

Considerando que o motor de indução é da classe A, em que a corrente de partida e o torque de partida são normais, pode-se distribuir a reatância de dispersão do estator e rotor de maneira igualitária, sendo assim:

$$0.5X_1 = 0.5X_2$$

Resolvendo o sistema de equações:

Valores iniciais:

$$R_2 := 0.01 \quad X_1 := 0.01 \quad X_2 := 0.01$$

Given

$$\frac{3 \cdot V_{\phi}^2}{2 \cdot \omega_s \cdot \left[R_1 + \sqrt{R_1^2 + (X_1 + X_2)^2} \right]} = 85 \quad \text{Torque Máximo}$$

$$\frac{3 \cdot V_{\phi}^2 R_2}{\omega_s \cdot \left[(R_1 + R_2)^2 + (X_1 + X_2)^2 \right]} = 58 \quad \text{Torque de Partida}$$

$$0.5X_1 = 0.5X_2$$

$$\text{Resultado} := \text{Find}(R_2, X_1, X_2) = \begin{pmatrix} 0.011 \\ 0.014 \\ 0.014 \end{pmatrix}$$

$$R_2 := \text{Resultado}_0 = 0.0105$$

$$X_1 := \text{Resultado}_1 = 0.0143$$

$$X_2 := \text{Resultado}_2 = 0.0143$$

$$X_m := \frac{V_\phi}{I_1 VZ} - X_1 = 0.2191$$

Determinados os parâmetros do circuito equivalente, são obtidos os parâmetros elétricos do motor de indução:

Resistência do rotor referida ao estator: $R_2 = 0.011$

Resistência do estator: $R_1 = 0.0135$

Indutância de dispersão do rotor referida ao estator: $L_{lr} := \frac{X_2}{\omega_s} = 75.6778 \times 10^{-6}$

Indutância de dispersão do estator: $L_{ls} := \frac{X_1}{\omega_s} = 75.6778 \times 10^{-6}$

Indutância de Magnetização: $L_m := \frac{X_m}{\omega_s} = 1.163 \times 10^{-3}$

Mestranda: Maria Helena Belusso

ANÁLISE TÉRMICA DO SISTEMA

TESTE COM DISSIPADOR ELEVADO DA BANCADA

$$\begin{aligned}\Delta_{tr1} &:= 70\text{min} & \tau_{tr1} &:= 11\cdot\text{min} \\ T_o &:= 30\cdot\Delta^\circ\text{C} & T_{\max_A1} &:= 118.5\cdot\Delta^\circ\text{C} & T_{\max_A1}\cdot 63.2\% &= 74.892\cdot\Delta^\circ\text{C} \\ & & T_{\max_B1} &:= 135\cdot\Delta^\circ\text{C} & T_{\max_B1}\cdot 63.2\% &= 85.32\cdot\Delta^\circ\text{C} \\ & & T_{\max_C1} &:= 124.9\cdot\Delta^\circ\text{C} & T_{\max_C1}\cdot 63.2\% &= 78.937\cdot\Delta^\circ\text{C}\end{aligned}$$

$$\begin{aligned}\Delta_{tf1} &:= 40\text{min} & \tau_{tf1} &:= 21\text{min} \\ T_{f_A} &:= 35\cdot\Delta^\circ\text{C} & T_{\max_A1}\cdot 37\% &= 43.845\cdot\Delta^\circ\text{C}\end{aligned}$$

$$P_{\text{Total_Mosfet}} := 8.77\text{W}$$

$$P_{\text{Total_Inversor}} := 157.8\text{W}$$

Resistência Térmica

$$R_{\text{thr_A1}} := \frac{T_{\max_A1} - T_o}{P_{\text{Total_Mosfet}}} = 10.091 \cdot \frac{\text{K}}{\text{W}}$$

$$R_{\text{thr_B1}} := \frac{T_{\max_B1} - T_o}{P_{\text{Total_Mosfet}}} = 11.973 \cdot \frac{\text{K}}{\text{W}}$$

$$R_{\text{thr_C1}} := \frac{T_{\max_C1} - T_o}{P_{\text{Total_Mosfet}}} = 10.821 \cdot \frac{\text{K}}{\text{W}}$$

Capacitância Térmica

$$C_{\text{thr_A1}} := \frac{\tau_{tr1}}{R_{\text{thr_A1}}} = 65.403 \cdot \frac{\text{s}\cdot\text{W}}{\text{K}} \qquad C_{\text{thf_A1}} := \frac{\tau_{tf1}}{R_{\text{thr_A1}}} = 124.861 \cdot \frac{\text{s}\cdot\text{W}}{\text{K}}$$

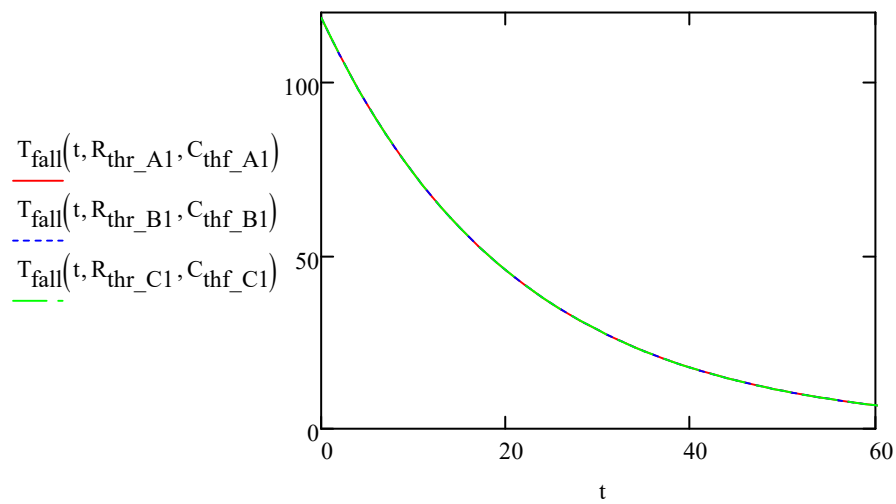
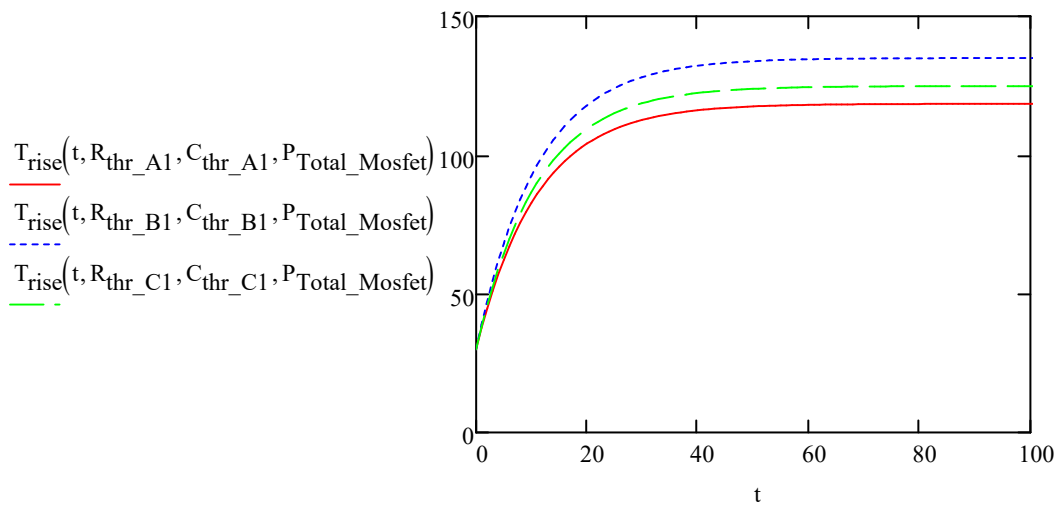
$$C_{\text{thr_B1}} := \frac{\tau_{tr1}}{R_{\text{thr_B1}}} = 55.126 \cdot \frac{\text{s}\cdot\text{W}}{\text{K}} \qquad C_{\text{thf_B1}} := \frac{\tau_{tf1}}{R_{\text{thr_B1}}} = 105.24 \cdot \frac{\text{s}\cdot\text{W}}{\text{K}}$$

$$C_{\text{thr_C1}} := \frac{\tau_{tr1}}{R_{\text{thr_C1}}} = 60.993 \cdot \frac{\text{s}\cdot\text{W}}{\text{K}} \qquad C_{\text{thf_C1}} := \frac{\tau_{tf1}}{R_{\text{thr_C1}}} = 116.44 \cdot \frac{\text{s}\cdot\text{W}}{\text{K}}$$

t := 0, 1..200

$$T_{\text{rise}}(t, R_{\text{thr}}, C_{\text{thr}}, P_{\text{Total_Mosfet}}) := T_o + R_{\text{thr}} \cdot P_{\text{Total_Mosfet}} \cdot \left(1 - e^{-\frac{t \cdot \min}{R_{\text{thr}} \cdot C_{\text{thr}}}} \right)$$

$$T_{\text{fall}}(t, R_{\text{thf}}, C_{\text{thf}}) := T_{\text{max_A1}} \cdot e^{-\frac{t \cdot \min}{R_{\text{thf}} \cdot C_{\text{thf}}}}$$





INSTITUTO BRASILEIRO DE ELETRÔNICA DE POTÊNCIA E ENERGIAS RENOVÁVEIS

Programa de Pós-Graduação em Engenharia Elétrica
Universidade Federal de Santa Catarina

Mestranda: Maria Helena Belusso

CAPACITORES DO LINK DC - 48 V

Constantes:

$mili := 10^{-3}$ Fator de escalonamento mili = *0.001

Dados de Entrada:

Frequência de chaveamento:

$$f_{sw} := 20kHz$$

Corrente eficaz do motor:

$$I_o := 122A$$

Tensão do barramento:

$$V_{cc} := 48V$$

Ripple de tensão:

$$V_{ripple} := 5\%$$

$$\Delta V_{cc} := V_{ripple} \cdot V_{cc} = 2.4V$$

Número de capacitores em paralelo:

$$n := 18$$

Capacitância:

$$Cap := 750\mu F$$

Resistência série e equivalente ($ESR_{10kHz, 20^\circ C}$):

$$ESR := 31 \cdot mili \cdot \Omega$$

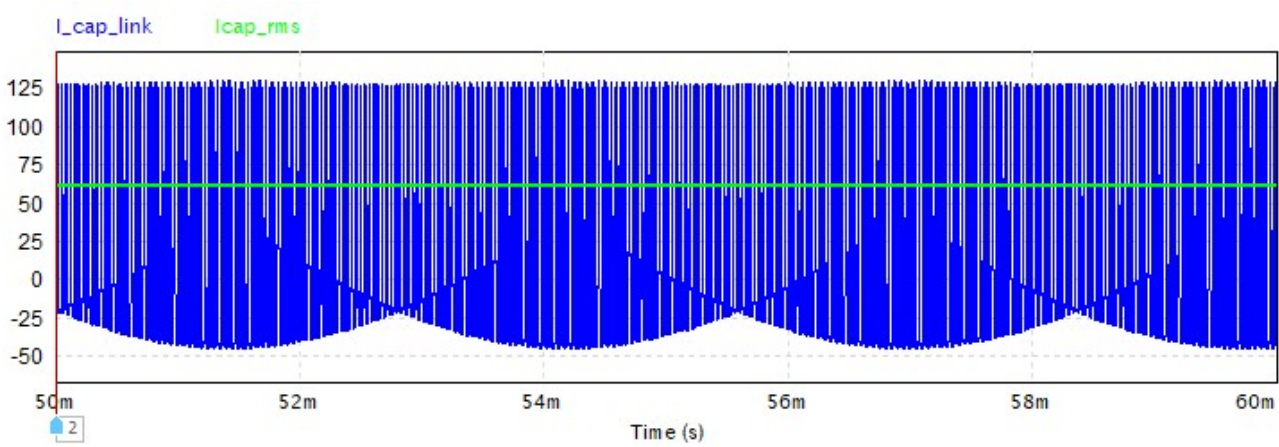
Ripple de corrente para 125°C e 10kHz:

$$I_r := 0.95 \cdot 4.61A = 4.38A$$

$$M := 0.6$$

$$\phi := 0.8$$

$$I_{caprms} := \sqrt{2} \cdot I_o \cdot \sqrt{\frac{M}{32 \cdot \pi} \cdot [4 \cdot \sqrt{3} \cdot (4 \cdot \cos(2\phi) + 6) - 9\pi \cdot M \cdot (\cos(2\phi) + 1)]} = 65.693A$$



Ripple de corrente da aplicação por capacitor:

$$I_a := \frac{I_{caprms}}{n} = 3.65A$$

Vida útil nominal:

$$L_o := 3000hr$$

Temperatura nominal:

$$T_o := 125$$

Temperatura ambiente:

$$T_a := 70$$

Tensão nominal do capacitor:

$$V_r := 48V$$

Tensão da aplicação:

$$V_a := V_{cc}$$

Parâmetro para análise do efeito da tensão sobre a vida útil:
0 para desconsiderar o efeito da tensão e 2.5 para considerá-lo.

$$k := 0$$

Aumento da temperatura devido ao ripple de corrente nominal:

$$\Delta t_o := 5$$

Coefficiente de temperatura:
Varia de 3 a 5 para capacitores de 105°C - 125°C
e 3 a 10 para capacitores de 85°C.

$$Y := 5$$

Aumento da temperatura devido ao ripple de corrente da aplicação:

$$\Delta t := Y \cdot \left(\frac{I_a}{I_r} \right)^2$$

Coefficiente de segurança empírico:
Recomenda-se: 2 Para $I_a < I_r$ ou igual e 4 para Para $I_a > I_r$

$$K_i := 2$$

Cálculos:

Capacitância do Barramento

A capacitância mínima foi obtida através do maior ripple de tensão utilizando a modulação space vector, como base foi utilizado o artigo: Analysis of DC-Link Voltage Ripple in VSI without Electrolytic Capacitor (2018)

Capacitância do barramento (SVPWM):

$$C_{bus}(I_o, \Delta V_{cc}) := \frac{I_o}{4 \cdot \Delta V_{cc} \cdot f_{sw}}$$

$$C_{banco} := n \cdot Cap = 13500 \cdot \mu F$$

$$ripple := \frac{I_o}{4 \cdot C_{banco} \cdot V_{cc} \cdot f_{sw}} = 0.235 \cdot \%$$

▲ Capacitância do Barramento

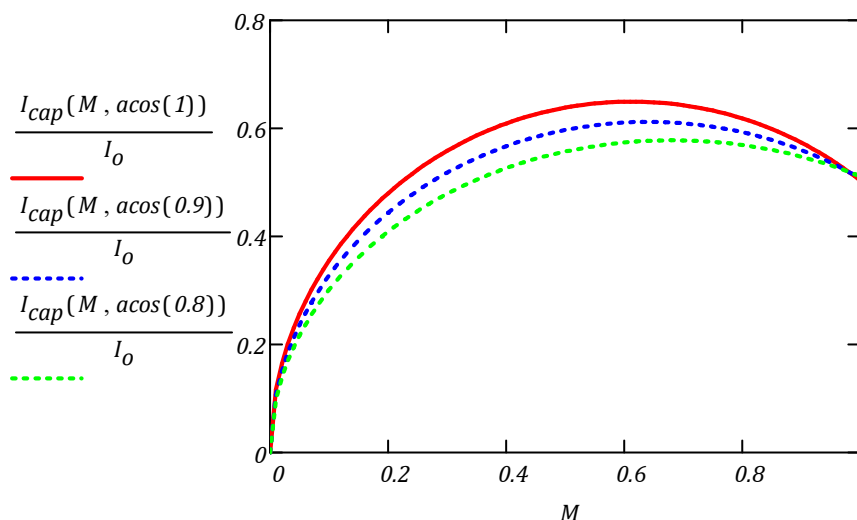
▼ Corrente Eficaz no Capacitor

A corrente eficaz do banco de capacitores varia em função da corrente de carga, do índice de modulação e do fator de potência. Para isso, são considerados o tipo de modulação empregada e as características da carga que será acionada. A equação para determinar a corrente eficaz foi extraída do artigo: Analysis and Evaluation of DC-Link Capacitors for High-Power-Density Electric Vehicle Drive Systems (2012)

$$I_{cap}(M, \phi) := \sqrt{2} \cdot I_o \cdot \sqrt{\frac{M}{32 \cdot \pi} \cdot [4 \cdot \sqrt{3} \cdot (4 \cdot \cos(2\phi) + 6) - 9\pi \cdot M \cdot (\cos(2\phi) + 1)]}$$

Análise da relação da corrente eficaz no capacitor com a corrente de carga de acordo com o índice de modulação e valores típicos de fator de potência:

$$M := 0, 0.01 \dots 1$$



Verifica-se que a relação entre a corrente de saída do inversor e a corrente rms no banco de capacitores para o ponto mais crítico equivale a:

$$\frac{I_{cap}(0.7, \cos(0.8))}{I_o} = 57.806 \cdot \%$$

Corrente eficaz em cada capacitor:

$$I_{rms_por_capacitor} := \frac{I_{caprms}}{n}$$

▲ Corrente Eficaz no Capacitor

▼ Perdas nos Capacitores

$$P_{cap} := I_{rms_por_capacitor}^2 \cdot ESR$$

$$P_{banco} := n \cdot P_{cap}$$

Potência nominal do motor:

$$P_{eixo} := 4415.85W \quad \eta_{motor} := 0.8579$$

$$P_{ele_motor} := \frac{P_{eixo}}{\eta_{motor}} = 5147.278 W$$

$$\eta := 1 - \frac{P_{ele_motor}}{P_{ele_motor} + P_{banco}} = 0.144 \cdot \%$$

▲ Perdas nos Capacitores

▼ Vida Útil

A vida útil de capacitores eletrolíticos pode ser obtida através da análise de gráficos presentes em datasheets ou então a partir de equações que relacionam a degradação da vida útil considerando fatores como a temperatura. Contudo, a estimativa da vida útil realizada por meio dessas equações requer uma análise das diferentes formas apresentadas por diversos fabricantes:

- **Lei de Arrhenius:**

$$L_1 := L_0 \cdot 2^{\frac{(T_0 - T_a)}{10}}$$

- **Cornell Dubilier Brand (Illinois Capacitor):**

$$L_2 := L_0 \cdot \left(\frac{V_r}{V_a}\right)^k \cdot 2^{\frac{T_0 - T_a}{10}} \cdot 2^{\frac{\Delta t_0 - \Delta t}{Y}}$$

- **Nippon Chemi-Con:**

$$L_3 := L_0 \cdot 2^{\frac{T_0 - T_a}{10}} \cdot 2^{\frac{\Delta t_0 - \Delta t}{5}}$$

- **Rubycon:**

$$L_4 := L_0 \cdot 2^{\frac{T_0 - T_a}{10}} \cdot 2^{\frac{\Delta t_0}{10 - 0.25 \cdot \Delta t_0}} \cdot 2^{\frac{\Delta t}{10 - 0.25 \cdot \Delta t}}$$

- **Jianghai:**

$$L_5 := L_0 \cdot 2^{\frac{T_0 - T_a}{10}} \cdot K_i \left[1 - \left(\frac{I_a}{I_r}\right)^2 \right]^{\frac{\Delta t_0}{10}} \left(\frac{V_a}{V_r}\right)^{-k}$$

Analisando as equações apresentadas, verifica-se que para a Lei de Arrhenius apenas é considerado o efeito da temperatura ambiente para determinar a vida útil do capacitor; essa equação representa adequadamente a vida útil quando o ripple de corrente da aplicação equivale ao ripple de corrente nominal do capacitor; em caso contrário recomenda-se utilizar as demais equações. Em geral, as equações são semelhantes e apresentam resultados próximos, considerando o efeito do ripple de corrente. Recomenda-se utilizar o fator da tensão sobre o capacitor para tensão acima de 100V.

A estimação da vida útil através de gráficos disponibilizados em datasheets de alguns fabricantes é uma forma rápida e prática para a escolha do capacitor adequado quando se tem essa informação disponível, neste caso a vida útil é determinada a partir da análise do gráfico que apresenta a relação entre a razão do ripple de corrente de operação com o ripple de corrente nominal do capacitor e a temperatura ambiente, neste caso assume-se que a tensão de operação equivale a tensão nominal do capacitor:

Em síntese, para esse projeto será considerada a equação do fabricante Jianghai, tendo em vista que contempla de forma completa os fatores que degradam a vida útil dos capacitores e apresenta resultados coerentes com resultados obtidos através da análise gráfica. Para mais detalhes recomenda-se a consulta dos artigos: Life Prediction of Aluminum Electrolytic Capacitors under Normal Operation (2019) e Electrolytic Capacitor Lifetime Estimation (2018) da Jianghai

$$L_{cap} := L_0 \cdot 2^{\frac{T_o - T_a}{10}} \cdot 2^{\left[1 - \left(\frac{I_a}{I_r}\right)^2\right] \frac{\Delta t_o}{10}} \left(\frac{V_a}{V_r}\right)^{-k}$$

Em anos com regime de trabalho de 8h por dia:

$$L_{cap_anos} := \frac{L_1}{8hr \cdot 365} \cdot yr$$

▲ Vida Útil

7. Resultados:

7.1 Capacitância mínima do barramento CC:

$$C_{bus}(I_o, \Delta V_{cc}) = 635.417 \cdot \mu F$$

$$C_{banco} = 13500 \cdot \mu F$$

$$ripple = 0.235 \cdot \%$$

7.2 Corrente eficaz em cada capacitor do barramento CC:

$$I_{rms_por_capacitor} = 3.65 A$$

7.3 Perdas nos capacitores do barramento CC:

$$P_{cap} = 0.413 W$$

$$P_{banco} = 7.432 W$$

7.4 Vida útil:

$$L_{cap} = 17 \cdot yr$$

$$L_{cap_anos} = 46 \cdot yr$$

Referências Bibliográficas

Analysis of DC-Link Voltage Ripple in VSI without Electrolytic Capacitor (2018)

Analysis and Evaluation of DC-Link Capacitors for High-Power-Density Electric Vehicle Drive Systems (2012)

Life Prediction of Aluminum Electrolytic Capacitors under Normal Operation (2019)

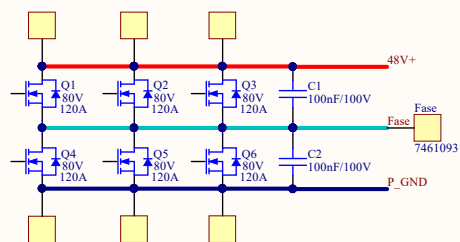
Electrolytic Capacitor Lifetime Estimation (2018) (Jianghai)



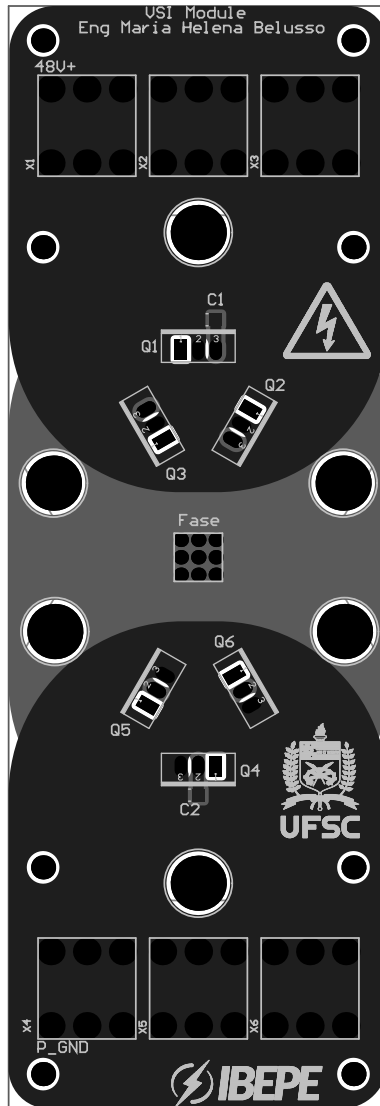
APÊNDICE D

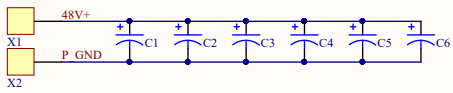


ESQUEMÁTICOS E LAYOUTS

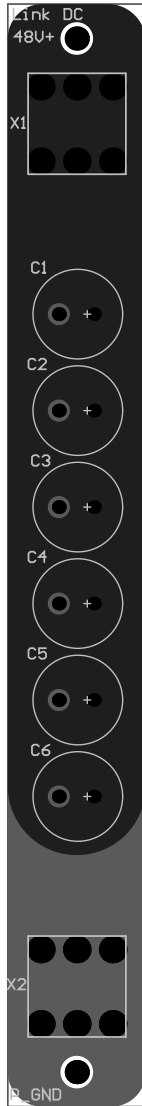


Title		
Size	Number	Revision
A4		
Date:	05/07/2021	Sheet of
File:	C:\Users\...Módulo VSI.SchDoc	Drawn By:

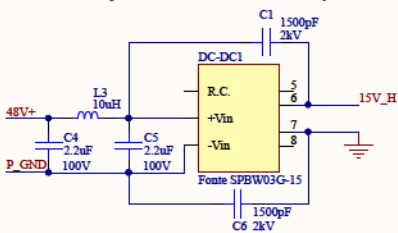




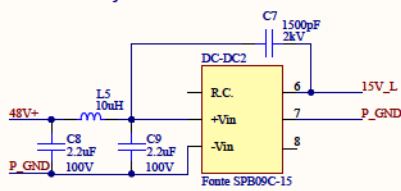
Title		
Size	Number	Revision
A4		
Date:	05/07/2021	Sheet of
File:	C:\Users\...Link_DC.SchDoc	Drawn By:



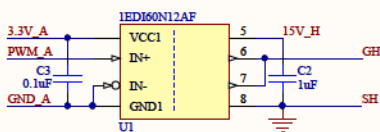
Alimentação - Gate Driver Superior



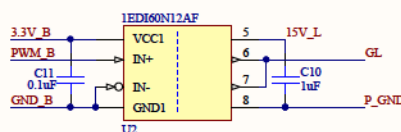
Alimentação - Gate Driver Inferior



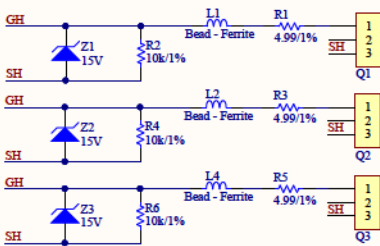
Gate Driver Superior



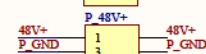
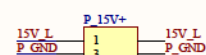
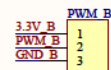
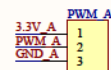
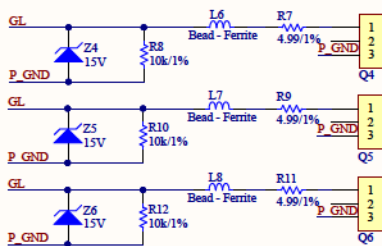
Gate Driver Inferior



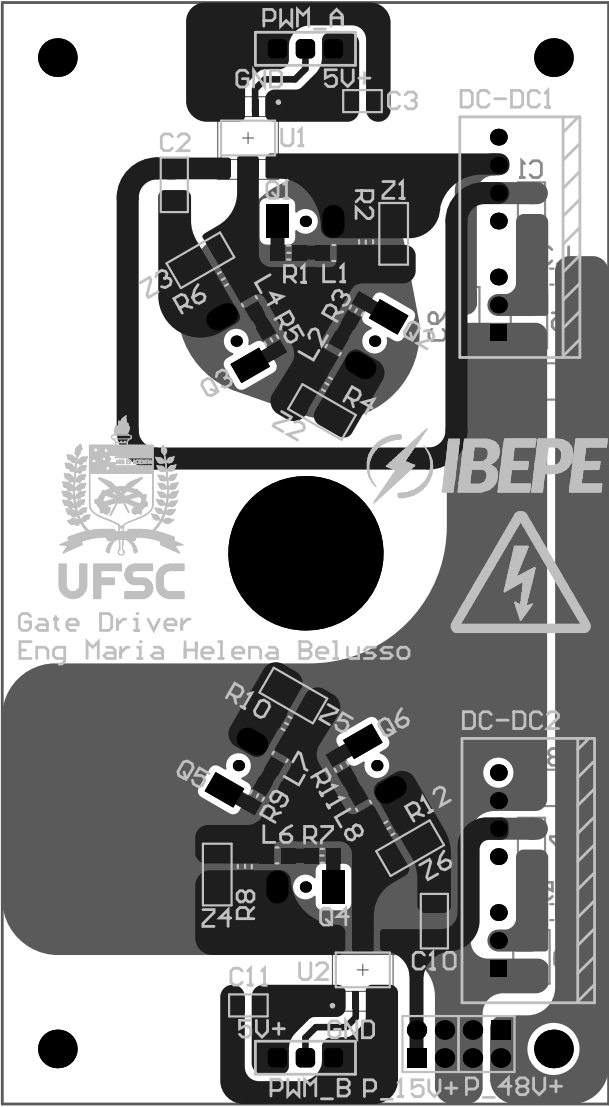
Mosfets Superiores



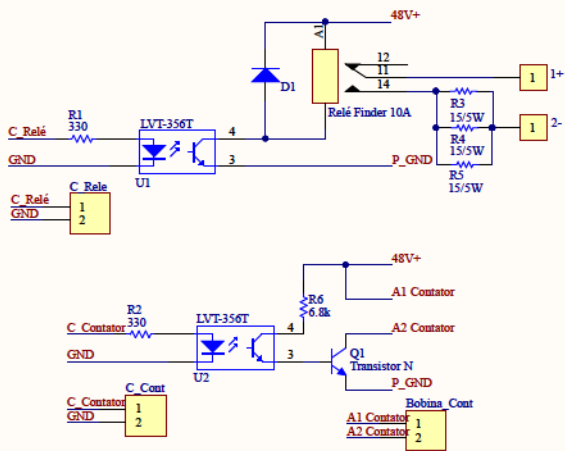
Mosfets Inferiores



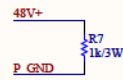
Title		
Size	Number	Revision
A4		
Date:	05/07/2021	Sheet of
File:	C:\Users\...Gate_Driver_SchDoc	Drawn By:



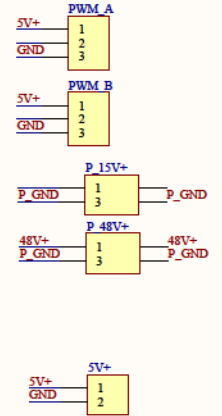
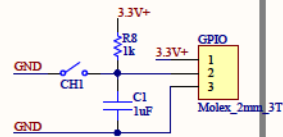
Pré-Carga do Barramento CC



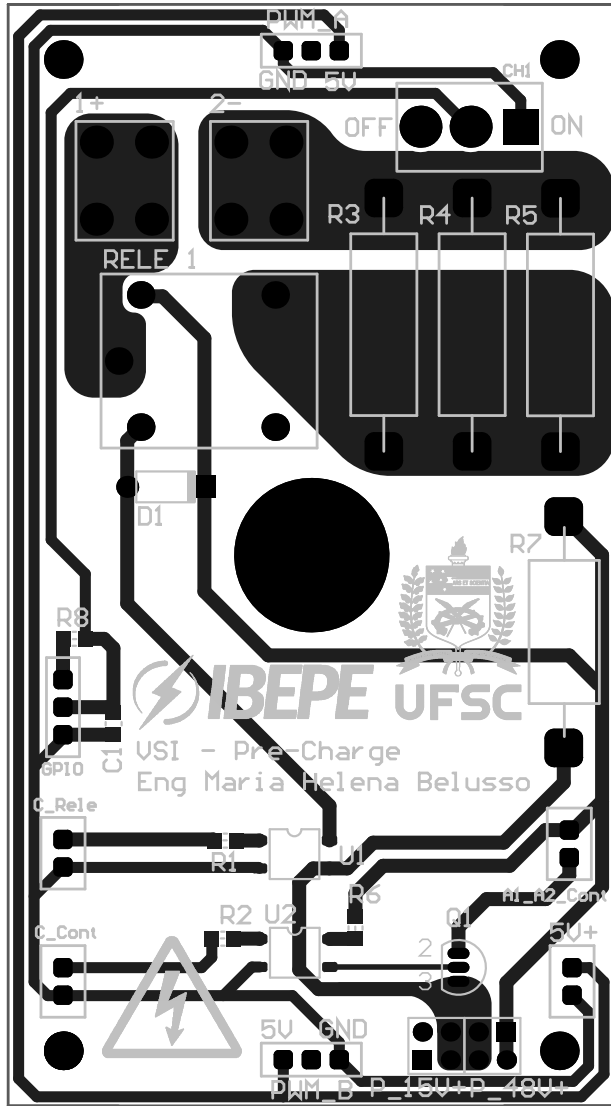
Resistor para Descarga do Barramento CC



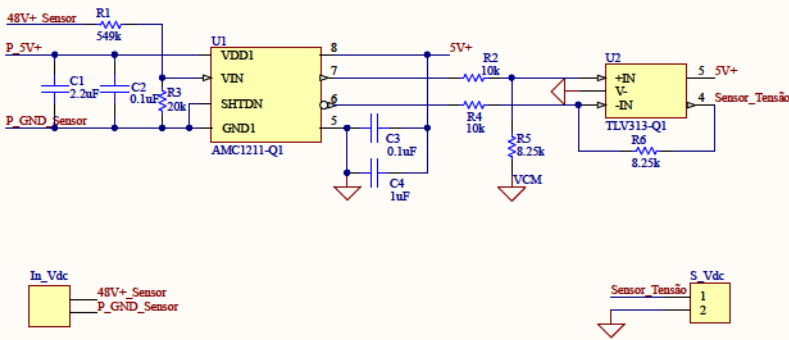
Chave de Inicialização



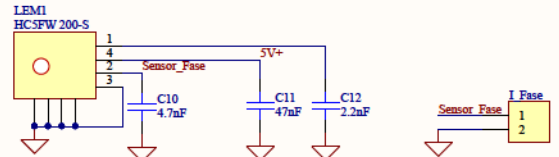
Title		
Size A4	Number	Revision
Date: 05/07/2021	Sheet of	Drawn By:
File: C:\Users\...Pré Carga.SchDoc		



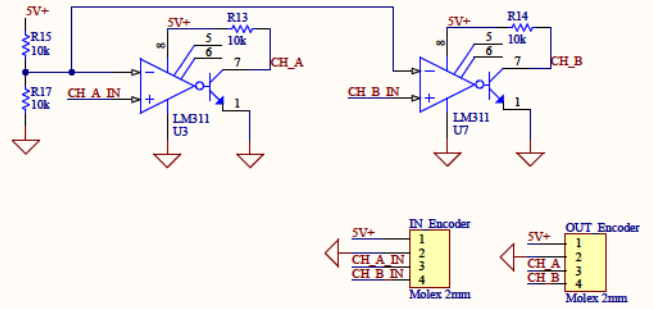
Medição e Condicionamento da Tensão do Barramento



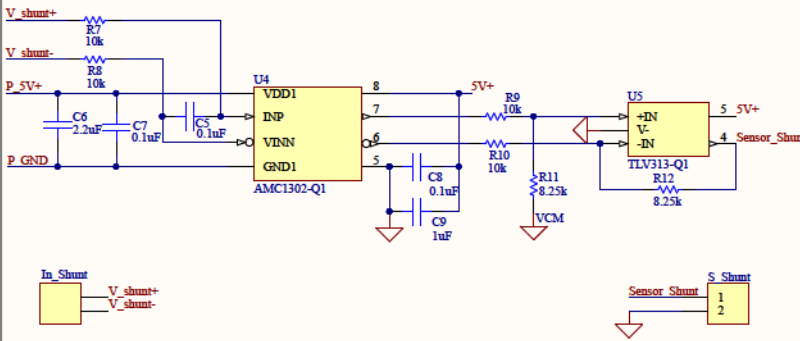
Medição das Correntes de Fase



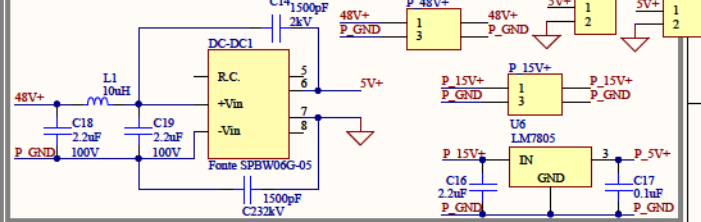
Alimentação e Condicionamento de Sinais do Encoder



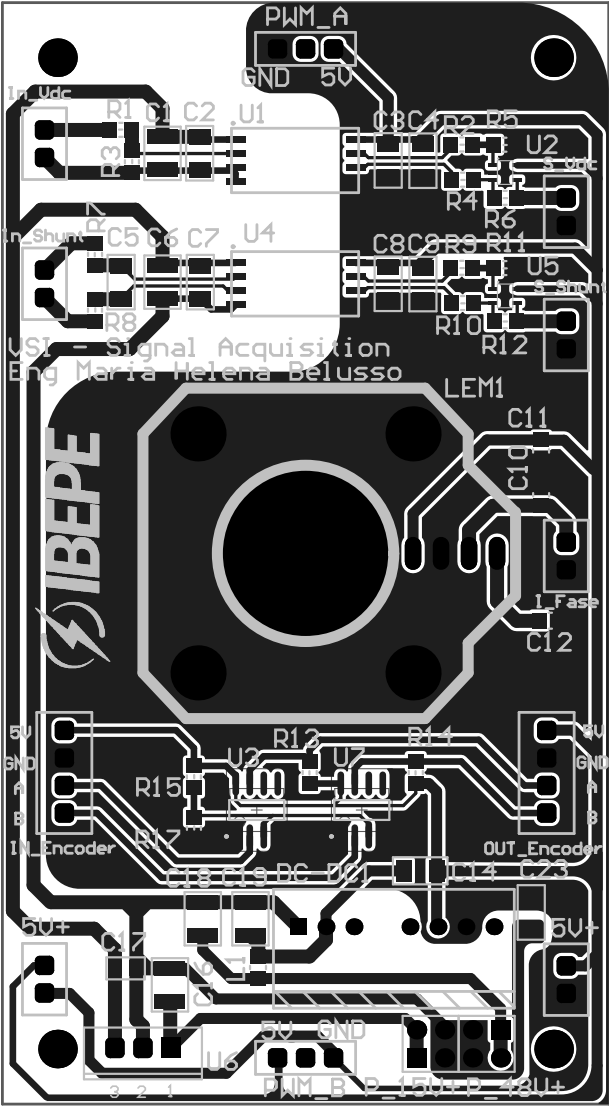
Medição e Condicionamento da Corrente do Barramento



Alimentação - Controle e Condicionamento de Sinais



Title		
Size	Number	Revision
A4		
Date:	05/07/2021	Sheet of
File:	C:\Users\Aquisição de Sinais SchDo	Drawn By:





ANEXO A



FOLHAS DE DADOS

1 Description

Features

- Ideal for high frequency switching and sync. rec.
- Excellent gate charge x $R_{DS(on)}$ product (FOM)
- Very low on-resistance $R_{DS(on)}$
- N-channel, normal level
- 100% avalanche tested
- Pb-free plating; RoHS compliant
- Qualified according to JEDEC¹⁾ for target applications
- Halogen-free according to IEC61249-2-21

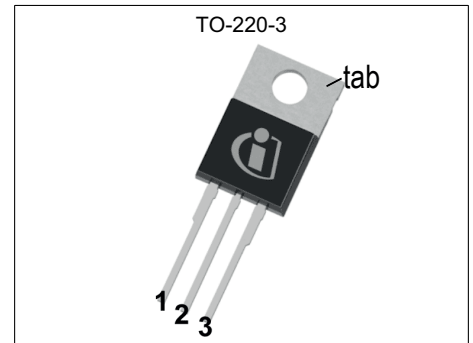
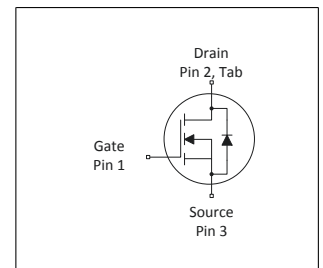


Table 1 Key Performance Parameters

Parameter	Value	Unit
V_{DS}	80	V
$R_{DS(on),max}$	2.7	mΩ
I_D	120	A
Q_{oss}	116	nC
$Q_G(0V..10V)$	99	nC



Type / Ordering Code	Package	Marking	Related Links
IPP027N08N5	PG-TO220-3	027N08N5	-

¹⁾ J-STD20 and JESD22

Table of Contents

Description	2
Maximum ratings	4
Thermal characteristics	4
Electrical characteristics	5
Electrical characteristics diagrams	7
Package Outlines	11
Revision History	12
Disclaimer	12

2 Maximum ratings

at $T_j = 25\text{ °C}$, unless otherwise specified

Table 2 Maximum ratings

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Continuous drain current	I_D	-	-	120	A	$T_C=25\text{ °C}$ $T_C=100\text{ °C}$
Pulsed drain current ¹⁾	$I_{D,pulse}$	-	-	480	A	$T_C=25\text{ °C}$
Avalanche energy, single pulse ²⁾	E_{AS}	-	-	374	mJ	$I_D=100\text{ A}$, $R_{GS}=25\text{ }\Omega$
Gate source voltage	V_{GS}	-20	-	20	V	-
Power dissipation	P_{tot}	-	-	214	W	$T_C=25\text{ °C}$
Operating and storage temperature	T_j, T_{stg}	-55	-	175	°C	IEC climatic category; DIN IEC 68-1: 55/175/56

3 Thermal characteristics

Table 3 Thermal characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Thermal resistance, junction - case	R_{thJC}	-	0.5	0.7	K/W	-
Thermal resistance, junction - ambient, minimal footprint	R_{thJA}	-	-	62	K/W	-
Thermal resistance, junction - ambient, 6 cm ² cooling area ³⁾	R_{thJA}	-	-	40	K/W	-
Soldering temperature, wave and reflow soldering are allowed	T_{sold}	-	-	260	°C	reflow MSL1

¹⁾ See figure 3 for more detailed information

²⁾ See figure 13 for more detailed information

³⁾ Device on 40 mm x 40 mm x 1.5 mm epoxy PCB FR4 with 6 cm² (one layer, 70 µm thick) copper area for drain connection. PCB is vertical in still air.

4 Electrical characteristics

Table 4 Static characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Drain-source breakdown voltage	$V_{(BR)DSS}$	80	-	-	V	$V_{GS}=0\text{ V}$, $I_D=1\text{ mA}$
Gate threshold voltage	$V_{GS(th)}$	2.2	3.0	3.8	V	$V_{DS}=V_{GS}$, $I_D=154\text{ }\mu\text{A}$
Zero gate voltage drain current	I_{DSS}	-	0.1 10	1 100	μA	$V_{DS}=80\text{ V}$, $V_{GS}=0\text{ V}$, $T_j=25\text{ }^\circ\text{C}$ $V_{DS}=80\text{ V}$, $V_{GS}=0\text{ V}$, $T_j=125\text{ }^\circ\text{C}$
Gate-source leakage current	I_{GSS}	-	1	100	nA	$V_{GS}=20\text{ V}$, $V_{DS}=0\text{ V}$
Drain-source on-state resistance	$R_{DS(on)}$	-	2.4 2.9	2.7 3.4	$\text{m}\Omega$	$V_{GS}=10\text{ V}$, $I_D=100\text{ A}$ $V_{GS}=6\text{ V}$, $I_D=50\text{ A}$
Gate resistance ¹⁾	R_G	-	1.4	2.1	Ω	-
Transconductance	g_{fs}	89	177	-	S	$ V_{DS} >2 I_D R_{DS(on)max}$, $I_D=100\text{ A}$

Table 5 Dynamic characteristics¹⁾

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Input capacitance	C_{iss}	-	6900	8970	pF	$V_{GS}=0\text{ V}$, $V_{DS}=40\text{ V}$, $f=1\text{ MHz}$
Output capacitance	C_{oss}	-	1100	1430	pF	$V_{GS}=0\text{ V}$, $V_{DS}=40\text{ V}$, $f=1\text{ MHz}$
Reverse transfer capacitance	C_{riss}	-	49	86	pF	$V_{GS}=0\text{ V}$, $V_{DS}=40\text{ V}$, $f=1\text{ MHz}$
Turn-on delay time	$t_{d(on)}$	-	22	-	ns	$V_{DD}=40\text{ V}$, $V_{GS}=10\text{ V}$, $I_D=100\text{ A}$, $R_{G,ext}=1.6\text{ }\Omega$
Rise time	t_r	-	14	-	ns	$V_{DD}=40\text{ V}$, $V_{GS}=10\text{ V}$, $I_D=100\text{ A}$, $R_{G,ext}=1.6\text{ }\Omega$
Turn-off delay time	$t_{d(off)}$	-	46	-	ns	$V_{DD}=40\text{ V}$, $V_{GS}=10\text{ V}$, $I_D=100\text{ A}$, $R_{G,ext}=1.6\text{ }\Omega$
Fall time	t_f	-	15	-	ns	$V_{DD}=40\text{ V}$, $V_{GS}=10\text{ V}$, $I_D=100\text{ A}$, $R_{G,ext}=1.6\text{ }\Omega$

Table 6 Gate charge characteristics²⁾

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Gate to source charge	Q_{gs}	-	33	-	nC	$V_{DD}=40\text{ V}$, $I_D=100\text{ A}$, $V_{GS}=0\text{ to }10\text{ V}$
Gate to drain charge ¹⁾	Q_{gd}	-	21	32	nC	$V_{DD}=40\text{ V}$, $I_D=100\text{ A}$, $V_{GS}=0\text{ to }10\text{ V}$
Switching charge	Q_{sw}	-	35	-	nC	$V_{DD}=40\text{ V}$, $I_D=100\text{ A}$, $V_{GS}=0\text{ to }10\text{ V}$
Gate charge total ¹⁾	Q_g	-	99	123	nC	$V_{DD}=40\text{ V}$, $I_D=100\text{ A}$, $V_{GS}=0\text{ to }10\text{ V}$
Gate plateau voltage	$V_{plateau}$	-	4.8	-	V	$V_{DD}=40\text{ V}$, $I_D=100\text{ A}$, $V_{GS}=0\text{ to }10\text{ V}$
Gate charge total, sync. FET	$Q_{g(sync)}$	-	85	-	nC	$V_{DS}=0.1\text{ V}$, $V_{GS}=0\text{ to }10\text{ V}$
Output charge ¹⁾	Q_{oss}	-	116	155	nC	$V_{DD}=40\text{ V}$, $V_{GS}=0\text{ V}$

¹⁾ Defined by design. Not subject to production test.

²⁾ See "Gate charge waveforms" for parameter definition

Table 7 Reverse diode

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Diode continuous forward current	I_S	-	-	120	A	$T_C=25\text{ °C}$
Diode pulse current	$I_{S,pulse}$	-	-	480	A	$T_C=25\text{ °C}$
Diode forward voltage	V_{SD}	-	0.95	1.2	V	$V_{GS}=0\text{ V}, I_F=100\text{ A}, T_J=25\text{ °C}$
Reverse recovery time ¹⁾	t_{rr}	-	84	168	ns	$V_R=40\text{ V}, I_F=100\text{ A}, di_F/dt=100\text{ A}/\mu\text{s}$
Reverse recovery charge ¹⁾	Q_{rr}	-	187	374	nC	$V_R=40\text{ V}, I_F=100\text{ A}, di_F/dt=100\text{ A}/\mu\text{s}$

¹⁾ Defined by design. Not subject to production test.

5 Electrical characteristics diagrams

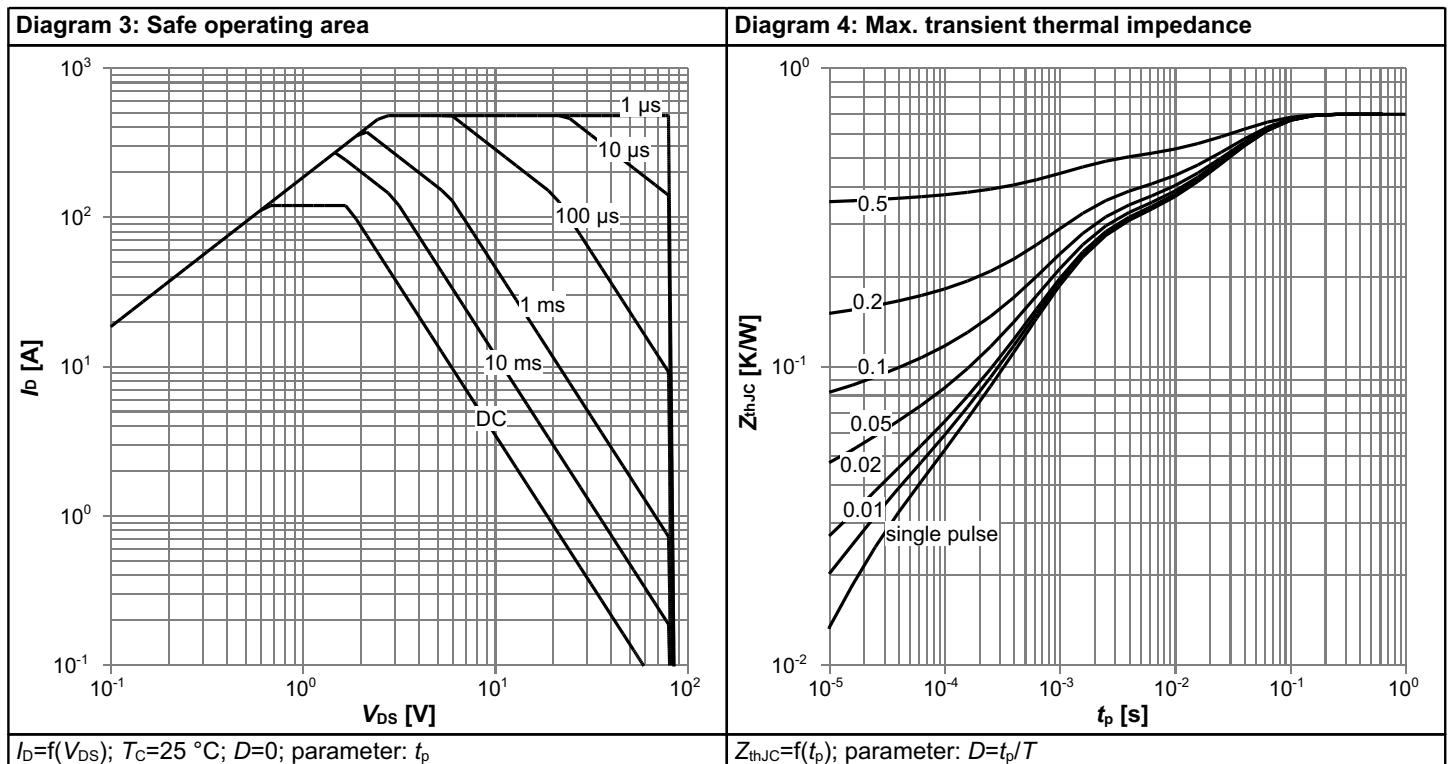
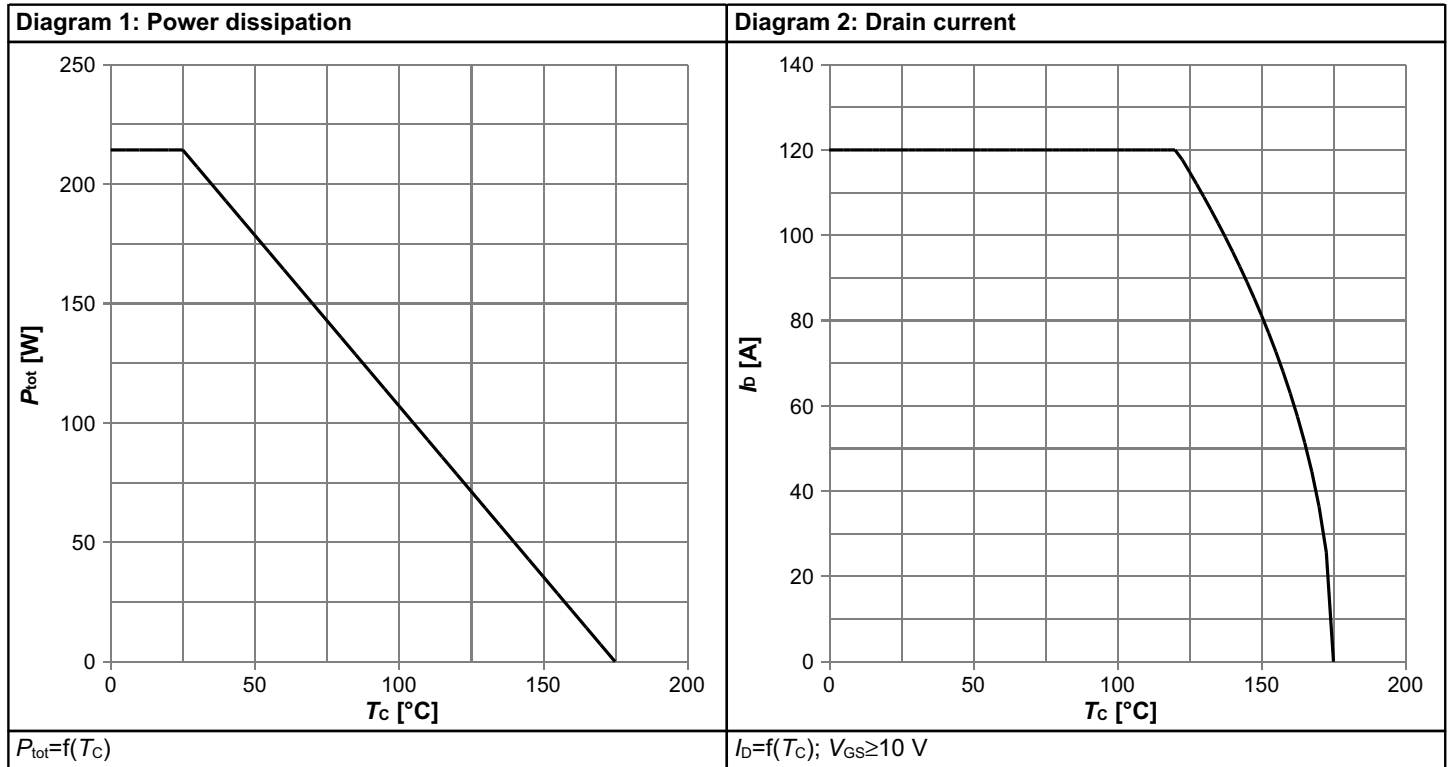
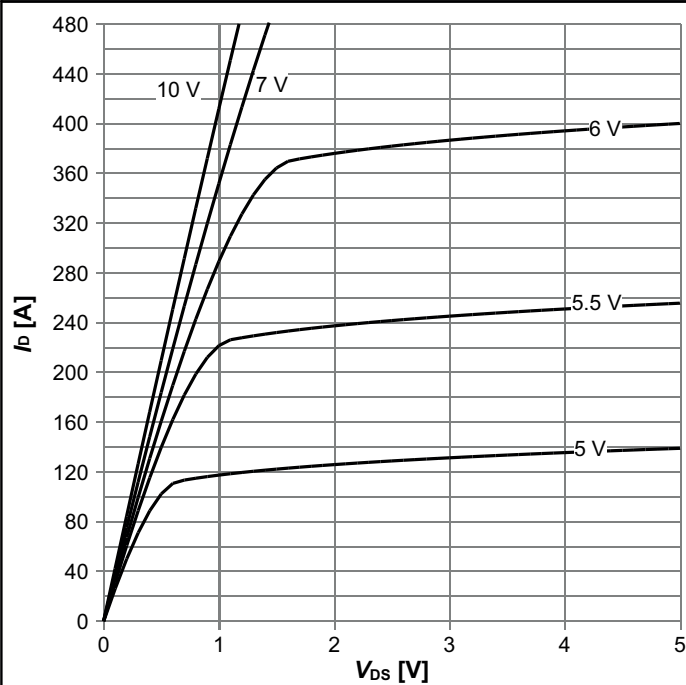
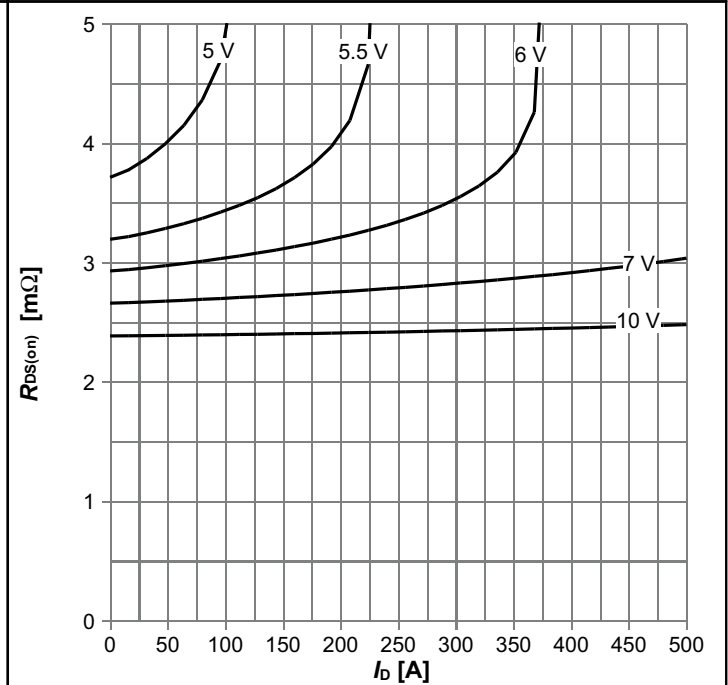


Diagram 5: Typ. output characteristics



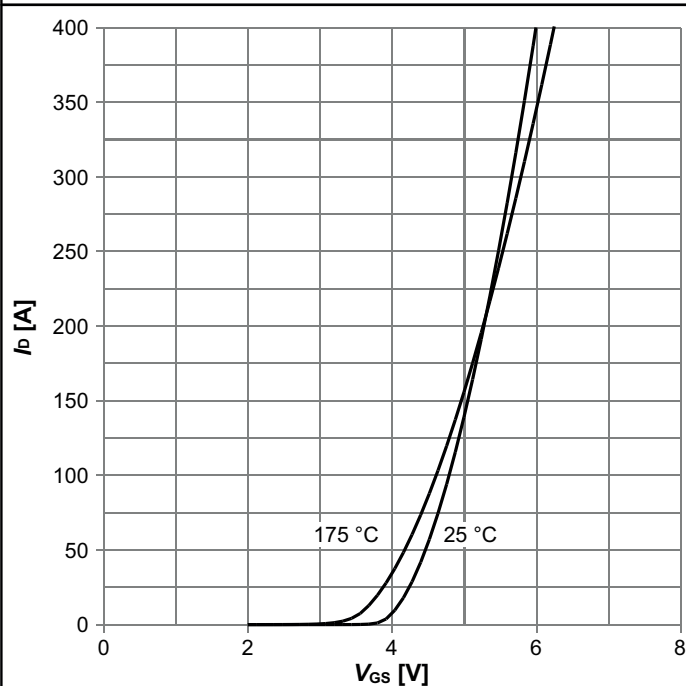
$I_D = f(V_{DS}); T_j = 25\text{ °C};$ parameter: V_{GS}

Diagram 6: Typ. drain-source on resistance



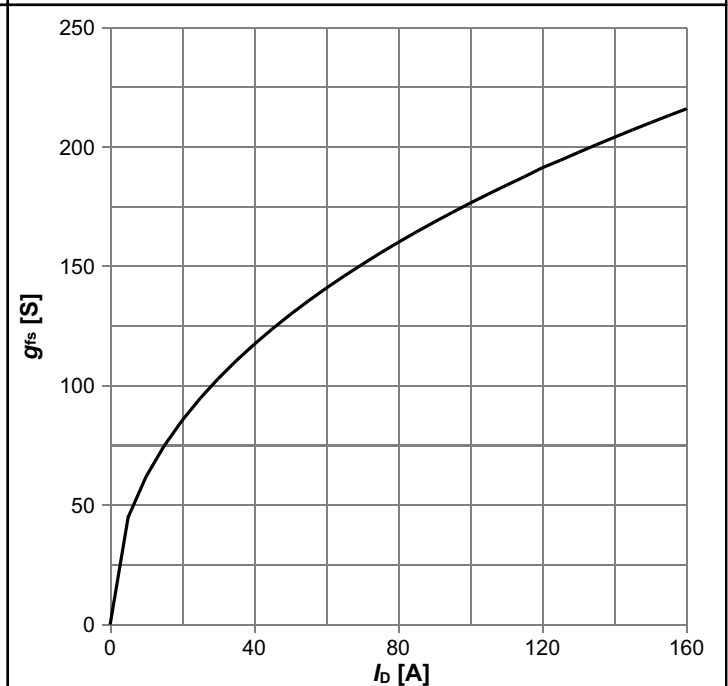
$R_{DS(on)} = f(I_D); T_j = 25\text{ °C};$ parameter: V_{GS}

Diagram 7: Typ. transfer characteristics



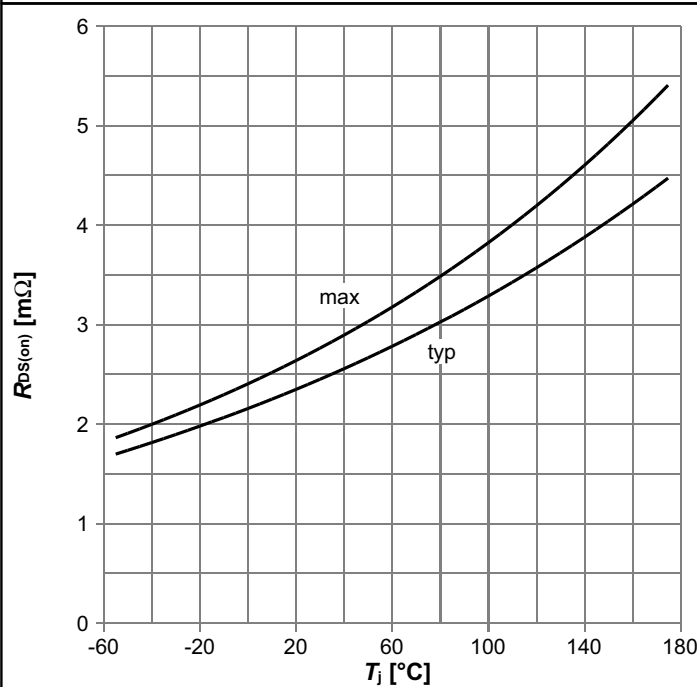
$I_D = f(V_{GS}); |V_{DS}| > 2|I_D|R_{DS(on)max};$ parameter: T_j

Diagram 8: Typ. forward transconductance



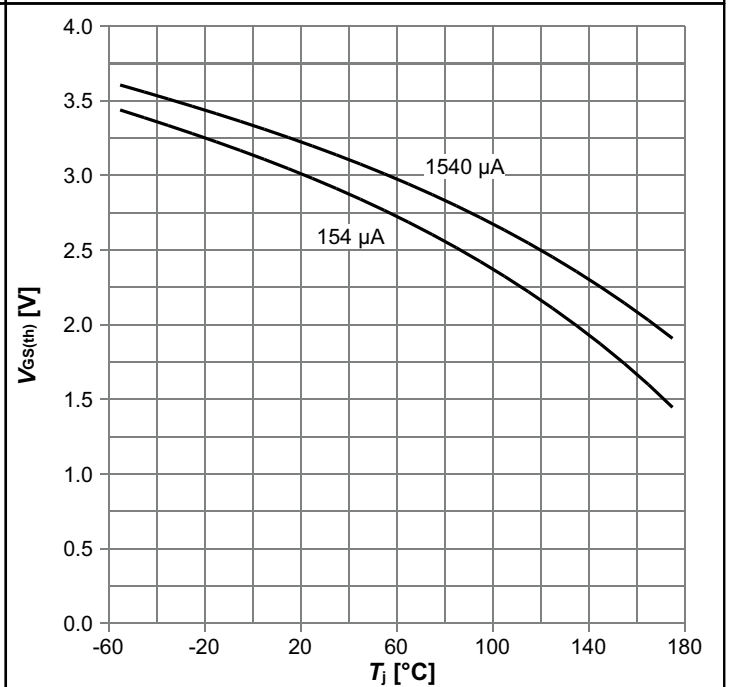
$g_{fs} = f(I_D); T_j = 25\text{ °C}$

Diagram 9: Drain-source on-state resistance



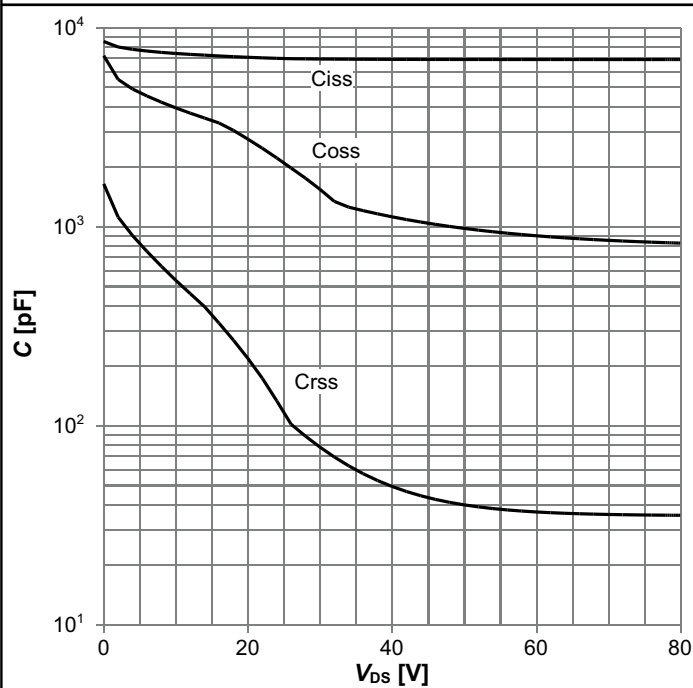
$R_{DS(on)}=f(T_j); I_D=100\text{ A}; V_{GS}=10\text{ V}$

Diagram 10: Typ. gate threshold voltage



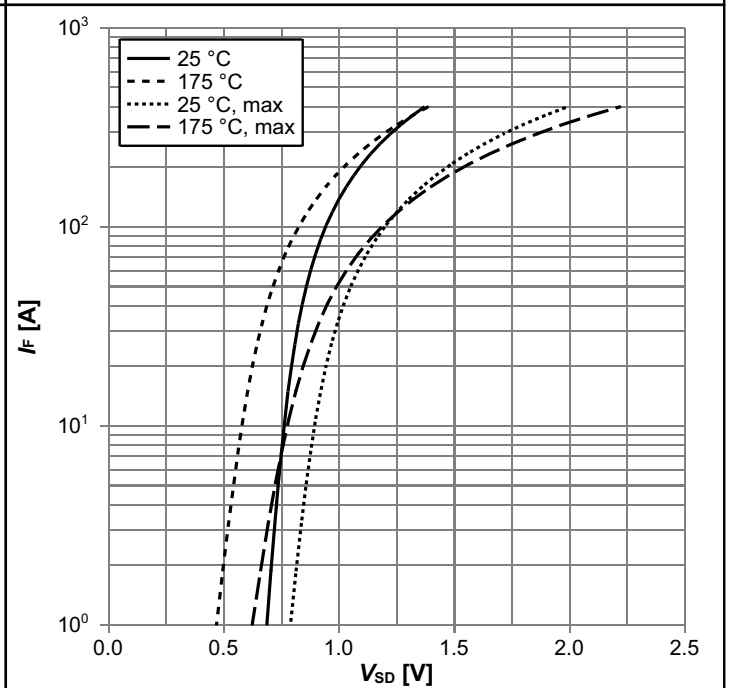
$V_{GS(th)}=f(T_j); V_{GS}=V_{DS}; \text{parameter: } I_D$

Diagram 11: Typ. capacitances



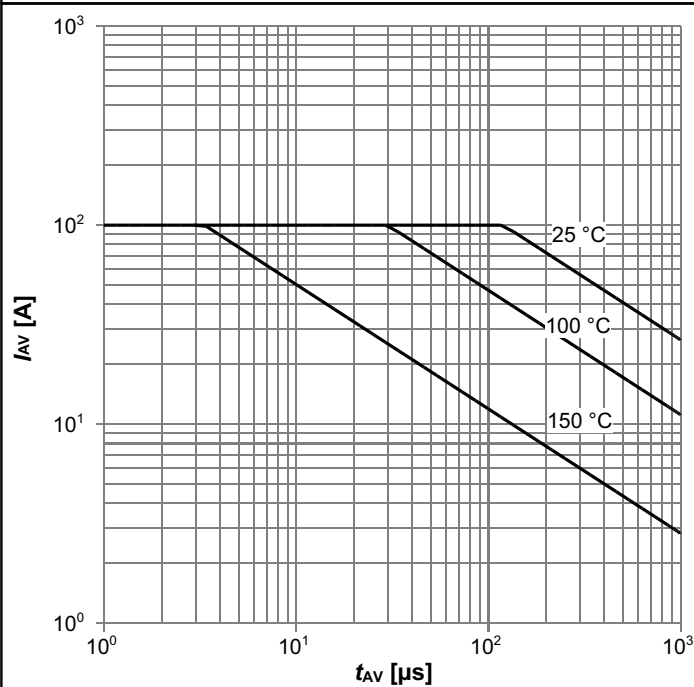
$C=f(V_{DS}); V_{GS}=0\text{ V}; f=1\text{ MHz}$

Diagram 12: Forward characteristics of reverse diode



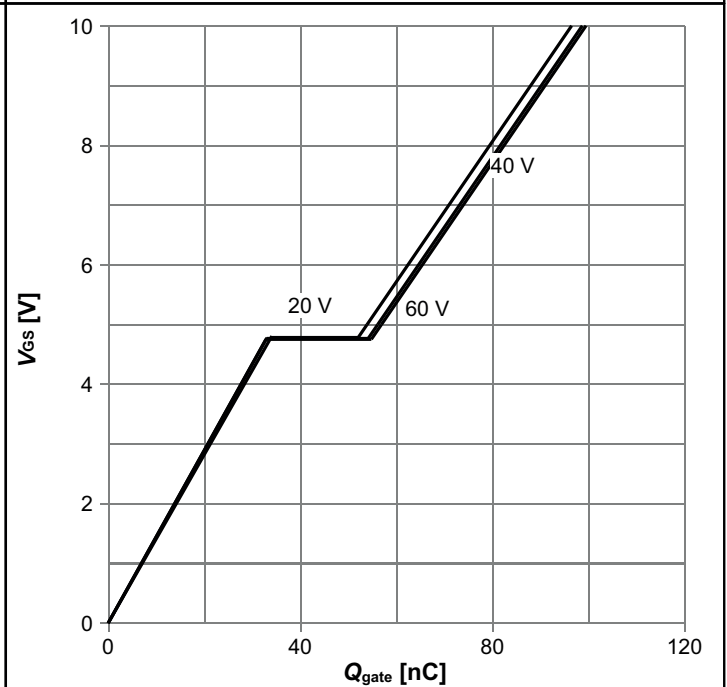
$I_F=f(V_{SD}); \text{parameter: } T_j$

Diagram 13: Avalanche characteristics



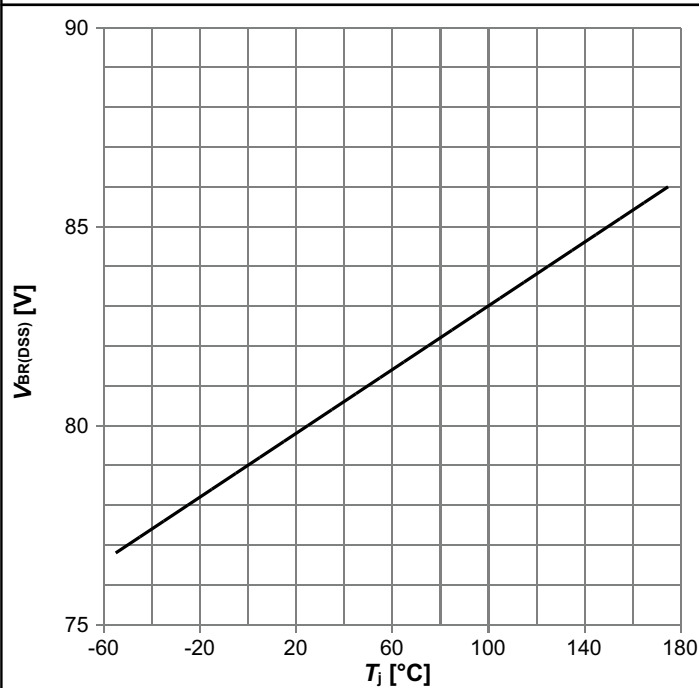
$I_{AS}=f(t_{AV}); R_{GS}=25 \Omega$; parameter: $T_{j(start)}$

Diagram 14: Typ. gate charge



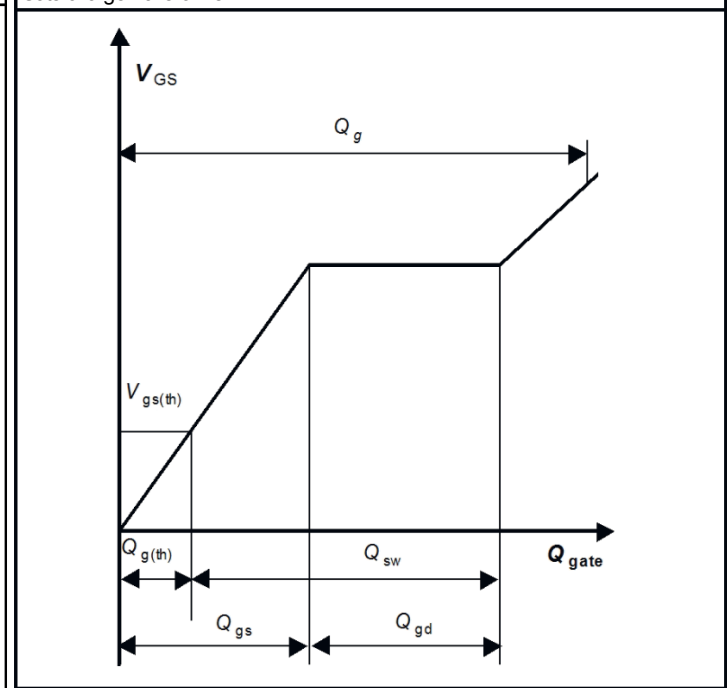
$V_{GS}=f(Q_{gate}); I_D=100$ A pulsed; parameter: V_{DD}

Diagram 15: Drain-source breakdown voltage

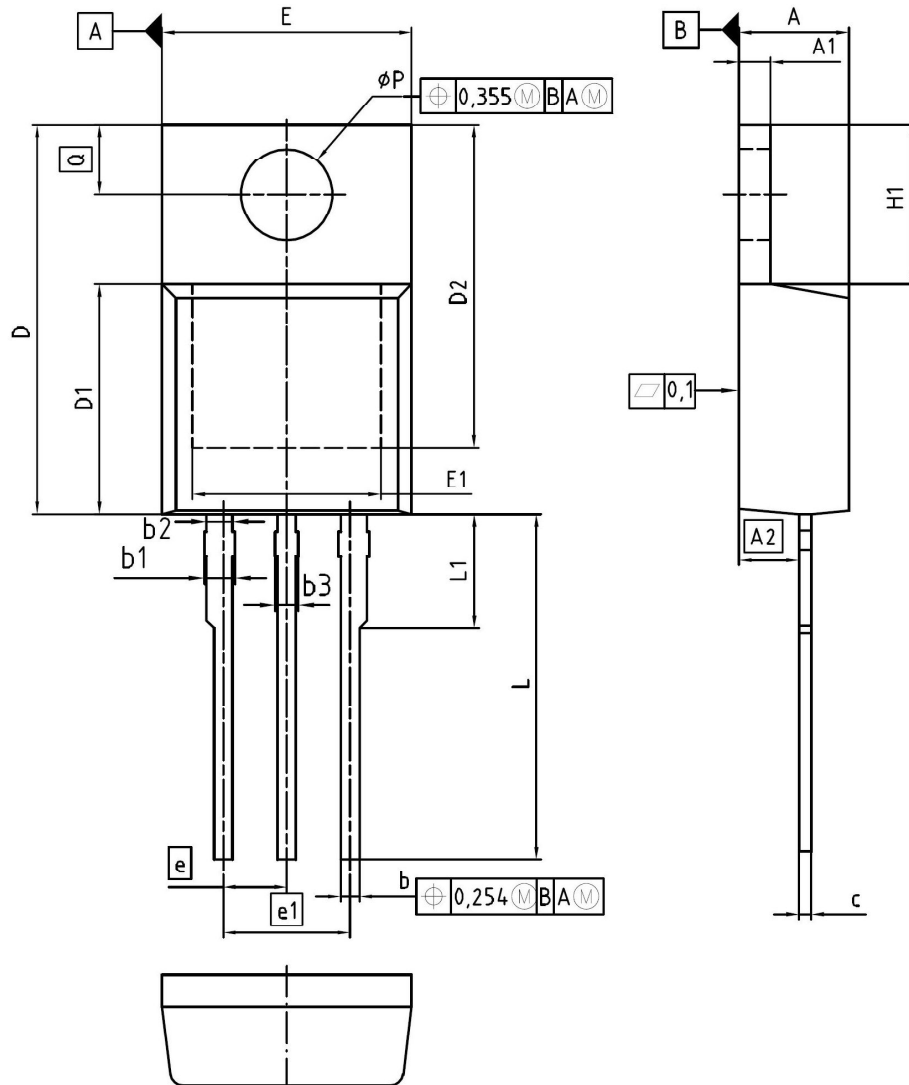


$V_{BR(DSS)}=f(T_j); I_D=1$ mA

Gate charge waveforms



6 Package Outlines



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.30	4.57	0.169	0.180
A1	1.17	1.40	0.046	0.055
A2	2.15	2.72	0.085	0.107
b	0.65	0.86	0.026	0.034
b1	0.95	1.40	0.037	0.055
b2	0.95	1.15	0.037	0.045
b3	0.65	1.15	0.026	0.045
c	0.33	0.60	0.013	0.024
D	14.81	15.95	0.583	0.628
D1	8.51	9.45	0.335	0.372
D2	12.19	13.10	0.480	0.516
E	9.70	10.36	0.382	0.408
E1	6.50	8.60	0.256	0.339
e	2.54		0.100	
e1	5.08		0.200	
N	3		3	
H1	5.90	6.90	0.232	0.272
L	13.00	14.00	0.512	0.551
L1	-	4.80	-	0.189
φP	3.60	3.89	0.142	0.153
Q	2.60	3.00	0.102	0.118

DOCUMENT NO.
Z8B00003318

SCALE

EUROPEAN PROJECTION

ISSUE DATE
30-07-2009

REVISION
06

Figure 1 Outline PG-TO220-3, dimensions in mm/inches

MOSFET

OptiMOS™ 5 Power-Transistor, 150 V

Features

- Excellent gate charge x $R_{DS(on)}$ product (FOM)
- Very low on-resistance $R_{DS(on)}$
- Very low reverse recovery charge (Qrr)
- 175 °C operating temperature
- Pb-free lead plating; RoHS compliant
- Qualified according to JEDEC¹⁾ for target application
- Ideal for high-frequency switching and synchronous rectification
- Halogen-free according to IEC61249-2-21

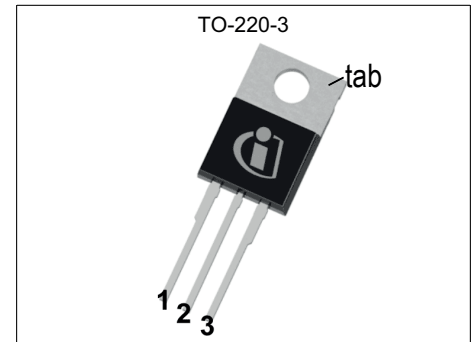
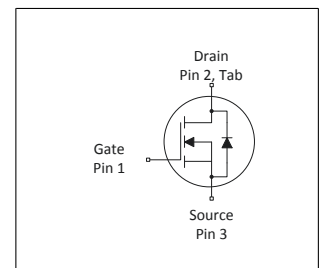


Table 1 Key Performance Parameters

Parameter	Value	Unit
V_{DS}	150	V
$R_{DS(on),max}$ (TO220)	5.1	m•
I_D	120	A
Q_{rr}	83	nC



Type / Ordering Code	Package	Marking	Related Links
IPP051N15N5	PG-TO 220-3	051N15N5	-

¹⁾ J-STD20 and JESD22

Table of Contents

Description	1
Maximum ratings	3
Thermal characteristics	3
Electrical characteristics	3
Electrical characteristics diagrams	5
Package Outlines	9
Revision History	10
Trademarks	10
Disclaimer	10

1 Maximum ratings

at $T_A=25\text{ °C}$, unless otherwise specified

Table 2 Maximum ratings

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Continuous drain current	I_D	-	-	120 115	A	$T_C=25\text{ °C}$ $T_C=100\text{ °C}$
Pulsed drain current ¹⁾	$I_{D,pulse}$	-	-	480	A	$T_C=25\text{ °C}$
Avalanche energy, single pulse ²⁾	E_{AS}	-	-	230	mJ	$I_D=100\text{ A}$, $R_{GS}=25\text{ }\bullet$
Gate source voltage	V_{GS}	-20	-	20	V	-
Power dissipation	P_{tot}	-	-	300	W	$T_C=25\text{ °C}$
Operating and storage temperature	T_j, T_{stg}	-55	-	175	°C	IEC climatic category; DIN IEC 68-1: 55/175/56

2 Thermal characteristics

Table 3 Thermal characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Thermal resistance, junction - case	R_{thJC}	-	0.3	0.5	K/W	-
Thermal resistance, junction - ambient, minimal footprint	R_{thJA}	-	-	62	K/W	-

3 Electrical characteristics

at $T_j=25\text{ °C}$, unless otherwise specified

Table 4 Static characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Drain-source breakdown voltage	$V_{(BR)DSS}$	150	-	-	V	$V_{GS}=0\text{ V}$, $I_D=1\text{ mA}$
Gate threshold voltage	$V_{GS(th)}$	3.0	3.8	4.6	V	$V_{DS}=V_{GS}$, $I_D=264\text{ }\mu\text{A}$
Zero gate voltage drain current	I_{DSS}	-	0.1 10	1 100	μA	$V_{DS}=120\text{ V}$, $V_{GS}=0\text{ V}$, $T_j=25\text{ °C}$ $V_{DS}=120\text{ V}$, $V_{GS}=0\text{ V}$, $T_j=125\text{ °C}$
Gate-source leakage current	I_{GSS}	-	1	100	nA	$V_{GS}=20\text{ V}$, $V_{DS}=0\text{ V}$
Drain-source on-state resistance	$R_{DS(on)}$	-	4.0 4.3	5.1 5.7	m \bullet	$V_{GS}=10\text{ V}$, $I_D=60\text{ A}$ $V_{GS}=8\text{ V}$, $I_D=30\text{ A}$
Gate resistance ³⁾	R_G	-	1.1	1.6	\bullet	-
Transconductance	g_{fs}	59	117	-	S	$ V_{DS} >2 I_D R_{DS(on)max}$, $I_D=60\text{ A}$

¹⁾ See Diagram 3

²⁾ See Diagram 13

³⁾ Defined by design. Not subject to production test

Table 5 Dynamic characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Input capacitance ¹⁾	C_{iss}	-	6000	7800	pF	$V_{GS}=0\text{ V}$, $V_{DS}=75\text{ V}$, $f=1\text{ MHz}$
Output capacitance ¹⁾	C_{oss}	-	1500	1950	pF	$V_{GS}=0\text{ V}$, $V_{DS}=75\text{ V}$, $f=1\text{ MHz}$
Reverse transfer capacitance ¹⁾	C_{rss}	-	34	60	pF	$V_{GS}=0\text{ V}$, $V_{DS}=75\text{ V}$, $f=1\text{ MHz}$
Turn-on delay time	$t_{d(on)}$	-	19.6	-	ns	$V_{DD}=75\text{ V}$, $V_{GS}=10\text{ V}$, $I_D=60\text{ A}$, $R_{G,ext}=1.6\ \bullet$
Rise time	t_r	-	5.3	-	ns	$V_{DD}=75\text{ V}$, $V_{GS}=10\text{ V}$, $I_D=60\text{ A}$, $R_{G,ext}=1.6\ \bullet$
Turn-off delay time	$t_{d(off)}$	-	25.5	-	ns	$V_{DD}=75\text{ V}$, $V_{GS}=10\text{ V}$, $I_D=60\text{ A}$, $R_{G,ext}=1.6\ \bullet$
Fall time	t_f	-	4.5	-	ns	$V_{DD}=75\text{ V}$, $V_{GS}=10\text{ V}$, $I_D=60\text{ A}$, $R_{G,ext}=1.6\ \bullet$

Table 6 Gate charge characteristics²⁾

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Gate to source charge	Q_{gs}	-	33	-	nC	$V_{DD}=75\text{ V}$, $I_D=60\text{ A}$, $V_{GS}=0\text{ to }10\text{ V}$
Gate to drain charge ¹⁾	Q_{gd}	-	16	24	nC	$V_{DD}=75\text{ V}$, $I_D=60\text{ A}$, $V_{GS}=0\text{ to }10\text{ V}$
Switching charge	Q_{sw}	-	26	-	nC	$V_{DD}=75\text{ V}$, $I_D=60\text{ A}$, $V_{GS}=0\text{ to }10\text{ V}$
Gate charge total ¹⁾	Q_g	-	80	100	nC	$V_{DD}=75\text{ V}$, $I_D=60\text{ A}$, $V_{GS}=0\text{ to }10\text{ V}$
Gate plateau voltage	$V_{plateau}$	-	5.4	-	V	$V_{DD}=75\text{ V}$, $I_D=60\text{ A}$, $V_{GS}=0\text{ to }10\text{ V}$
Output charge ¹⁾	Q_{oss}	-	225	299	nC	$V_{DD}=75\text{ V}$, $V_{GS}=0\text{ V}$

Table 7 Reverse diode

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Diode continuous forward current	I_S	-	-	120	A	$T_C=25\text{ °C}$
Diode pulse current	$I_{S,pulse}$	-	-	480	A	$T_C=25\text{ °C}$
Diode forward voltage	V_{SD}	-	0.87	1.1	V	$V_{GS}=0\text{ V}$, $I_F=60\text{ A}$, $T_j=25\text{ °C}$
Reverse recovery time ¹⁾	t_{rr}	-	60	120	ns	$V_R=75\text{ V}$, $I_F=60\text{ A}$, $di_F/dt=100\text{ A}/\mu\text{s}$
Reverse recovery charge ¹⁾	Q_{rr}	-	83	166	nC	$V_R=75\text{ V}$, $I_F=60\text{ A}$, $di_F/dt=100\text{ A}/\mu\text{s}$

¹⁾ Defined by design. Not subject to production test

²⁾ See •Gate charge waveforms• for parameter definition

4 Electrical characteristics diagrams

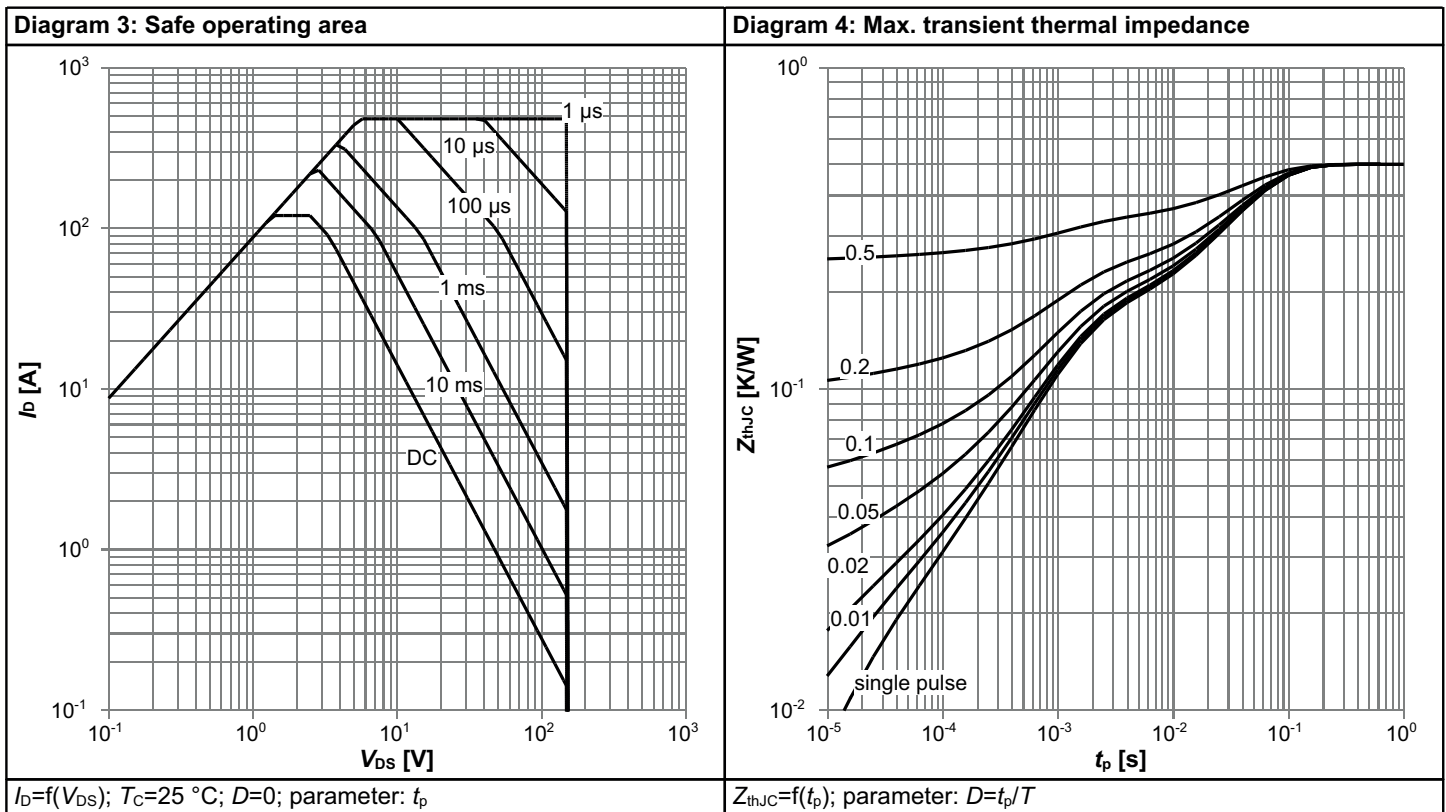
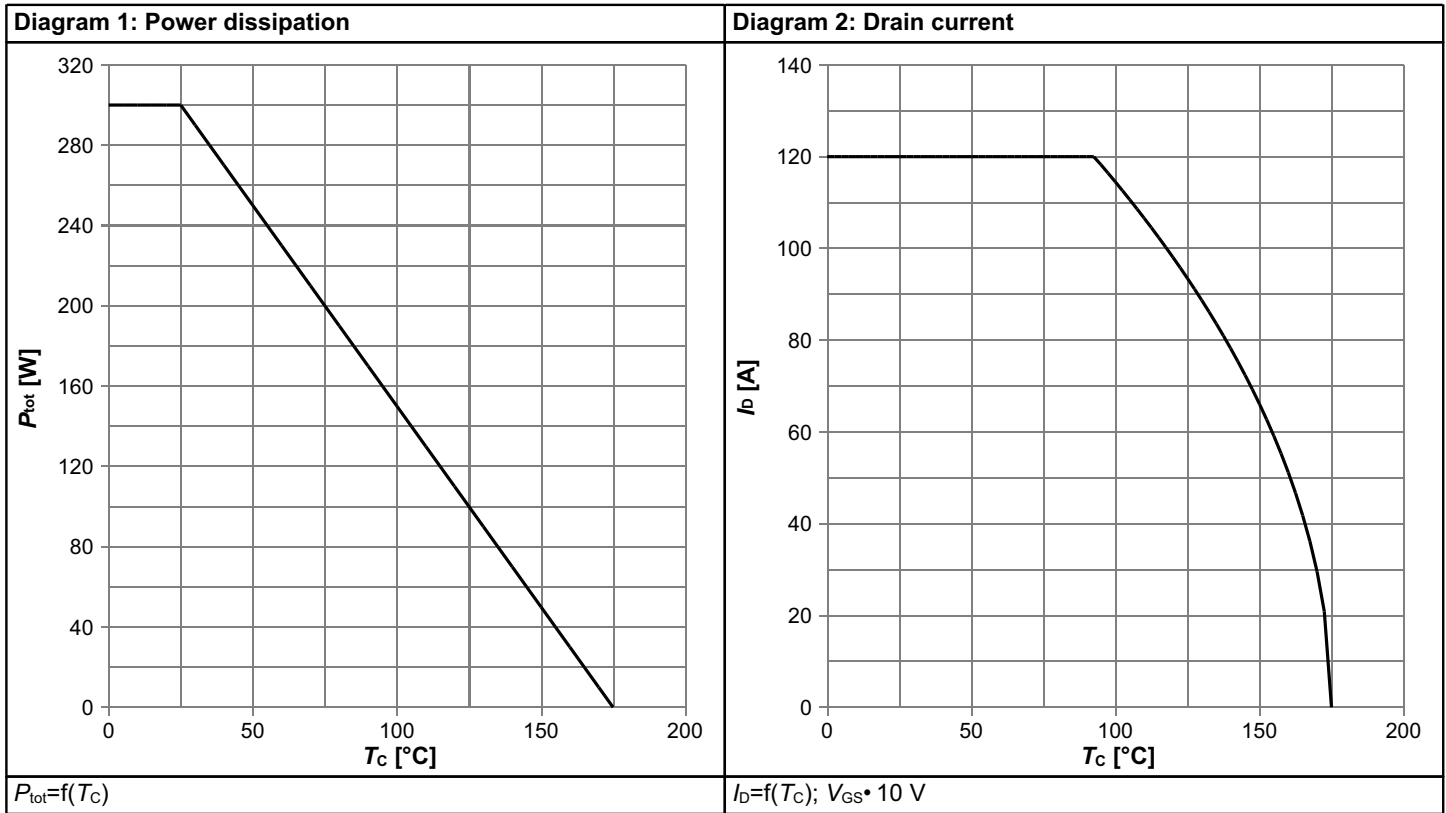
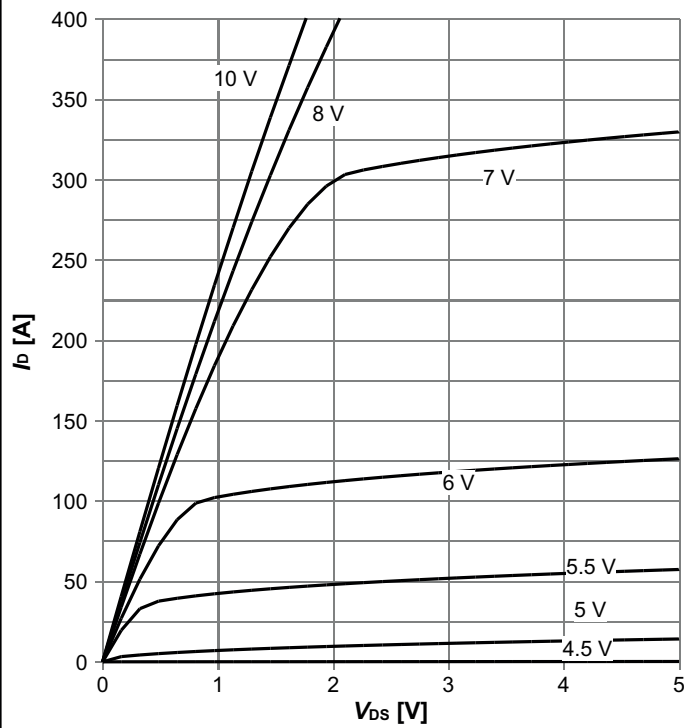
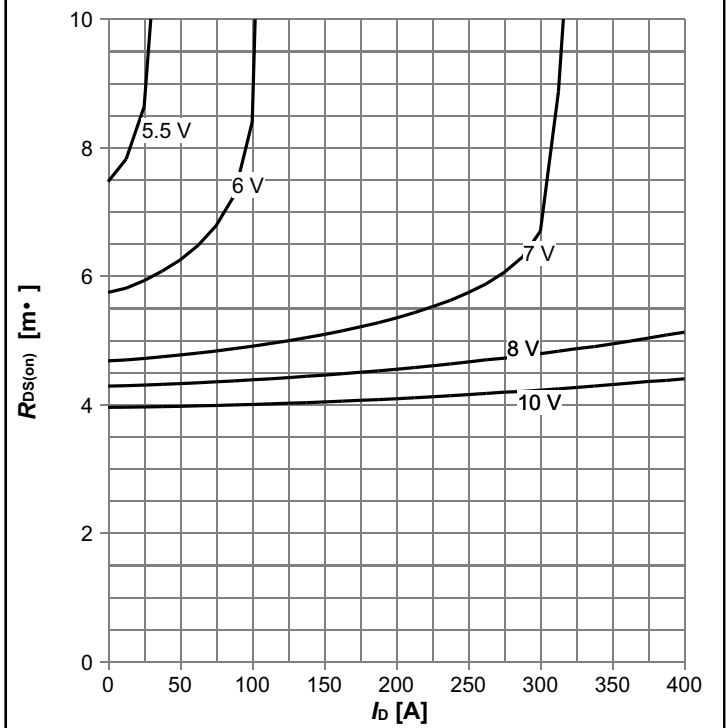


Diagram 5: Typ. output characteristics



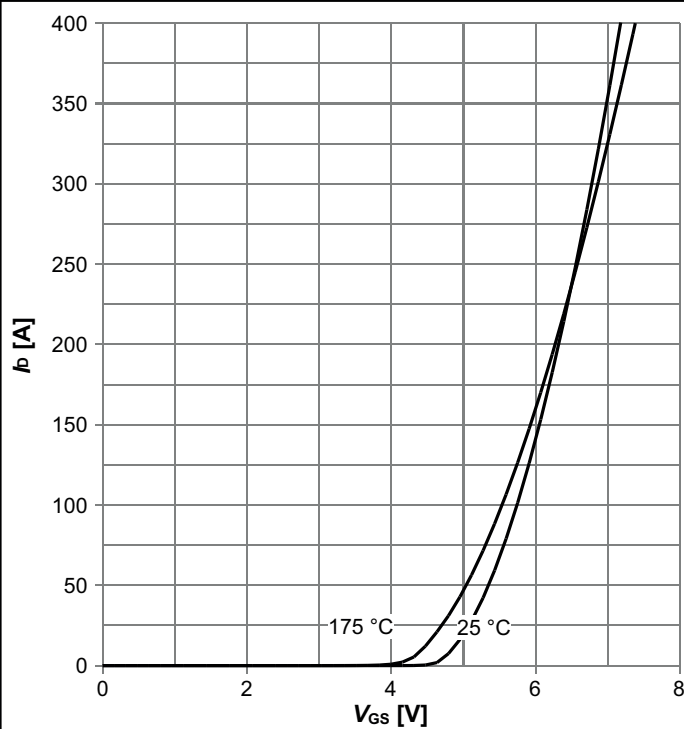
$I_D = f(V_{DS}); T_j = 25\text{ °C};$ parameter: V_{GS}

Diagram 6: Typ. drain-source on resistance



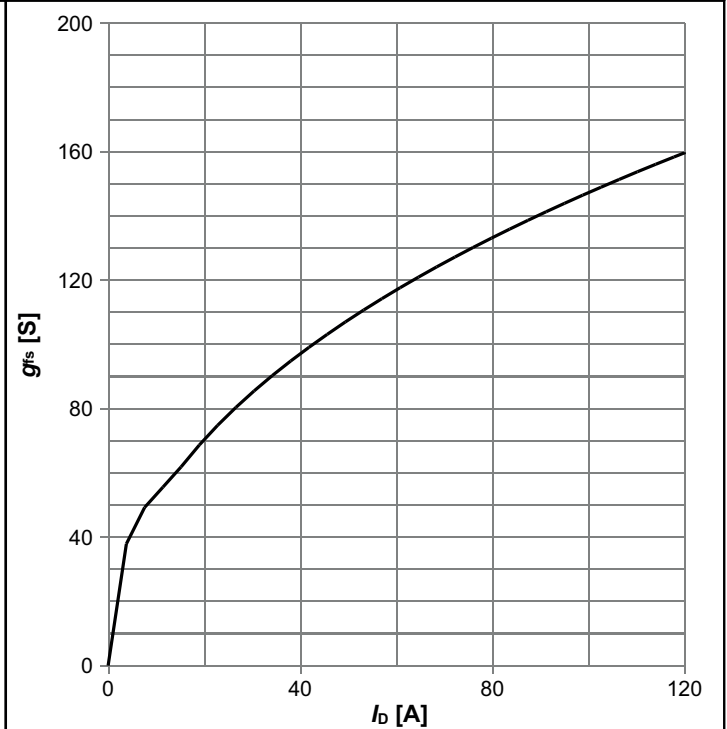
$R_{DS(on)} = f(I_D); T_j = 25\text{ °C};$ parameter: V_{GS}

Diagram 7: Typ. transfer characteristics



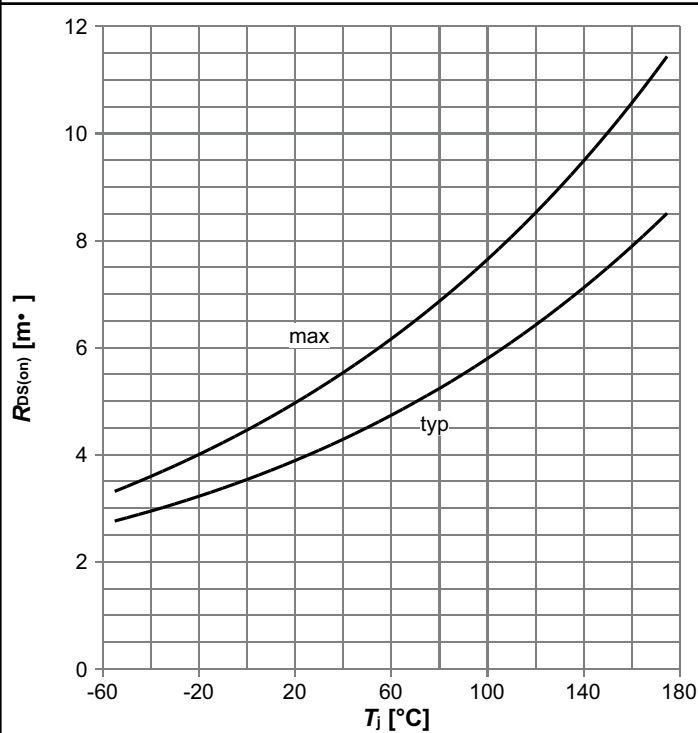
$I_D = f(V_{GS}); |V_{DS}| > 2 \cdot I_D \cdot R_{DS(on)max};$ parameter: T_j

Diagram 8: Typ. forward transconductance



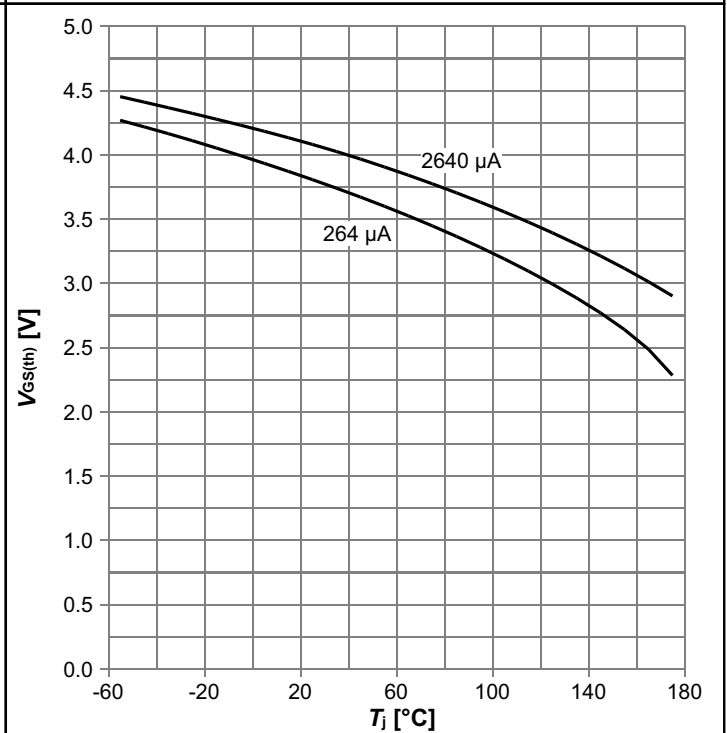
$g_{fs} = f(I_D); T_j = 25\text{ °C}$

Diagram 9: Drain-source on-state resistance



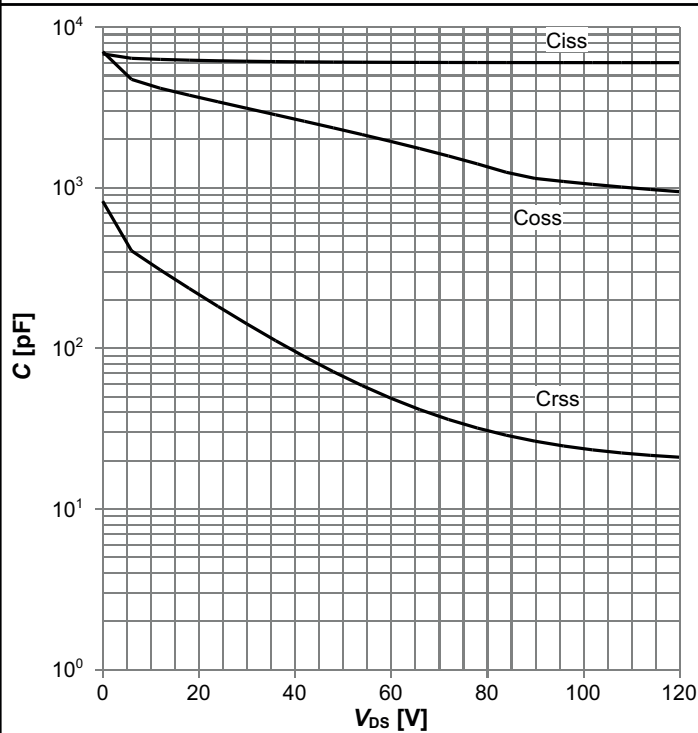
$R_{DS(on)}=f(T_j)$; $I_D=60\text{ A}$; $V_{GS}=10\text{ V}$

Diagram 10: Typ. gate threshold voltage



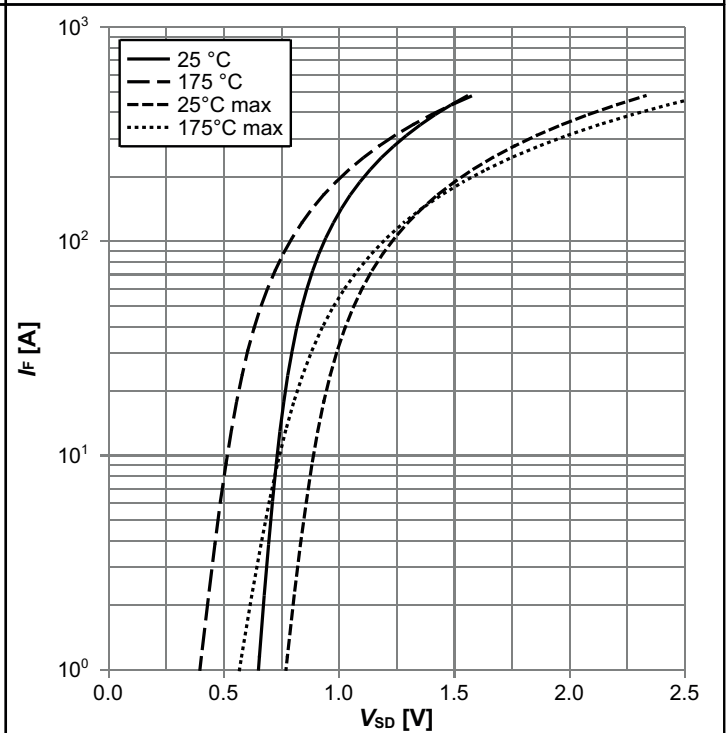
$V_{GS(th)}=f(T_j)$; $V_{GS}=V_{DS}$; parameter: I_D

Diagram 11: Typ. capacitances



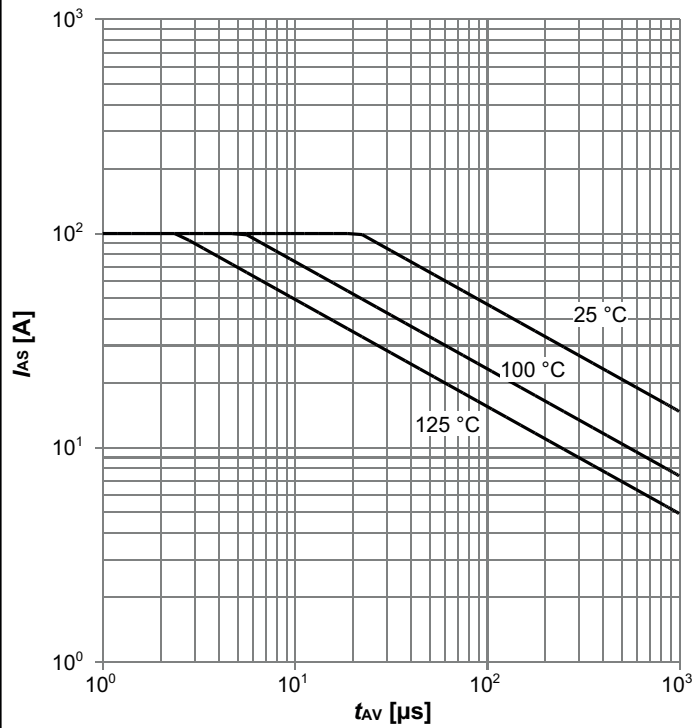
$C=f(V_{DS})$; $V_{GS}=0\text{ V}$; $f=1\text{ MHz}$

Diagram 12: Forward characteristics of reverse diode



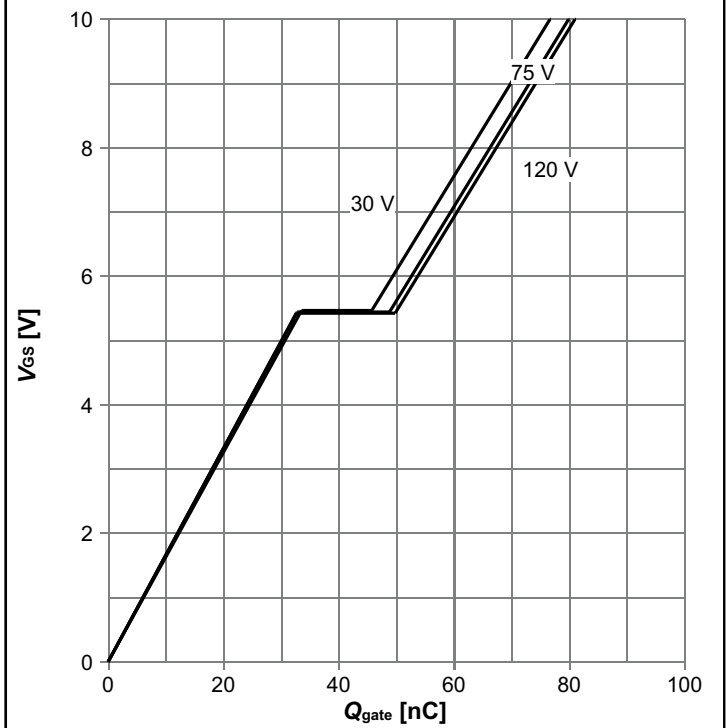
$I_F=f(V_{SD})$; parameter: T_j

Diagram 13: Avalanche characteristics



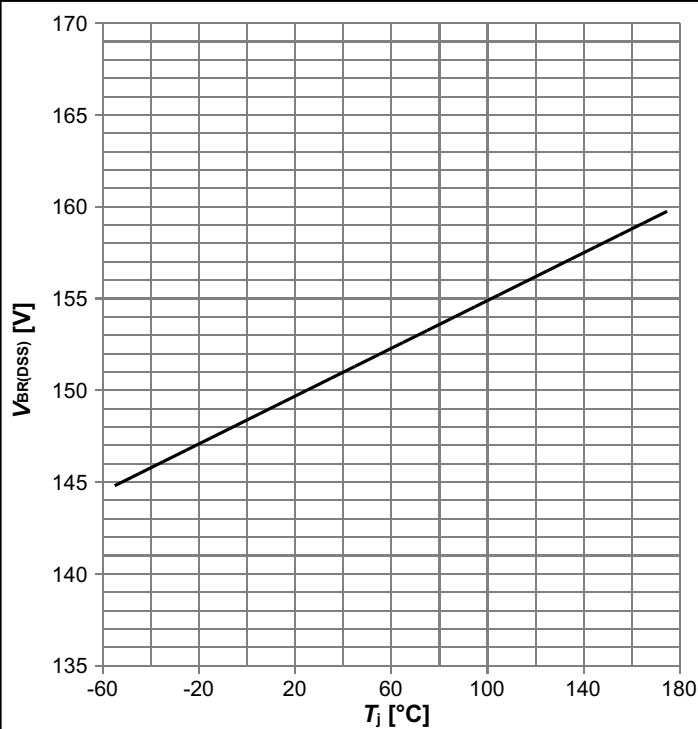
$I_{AS}=f(t_{AV}); R_{GS}=25 \cdot ;$ parameter: $T_{j(start)}$

Diagram 14: Typ. gate charge



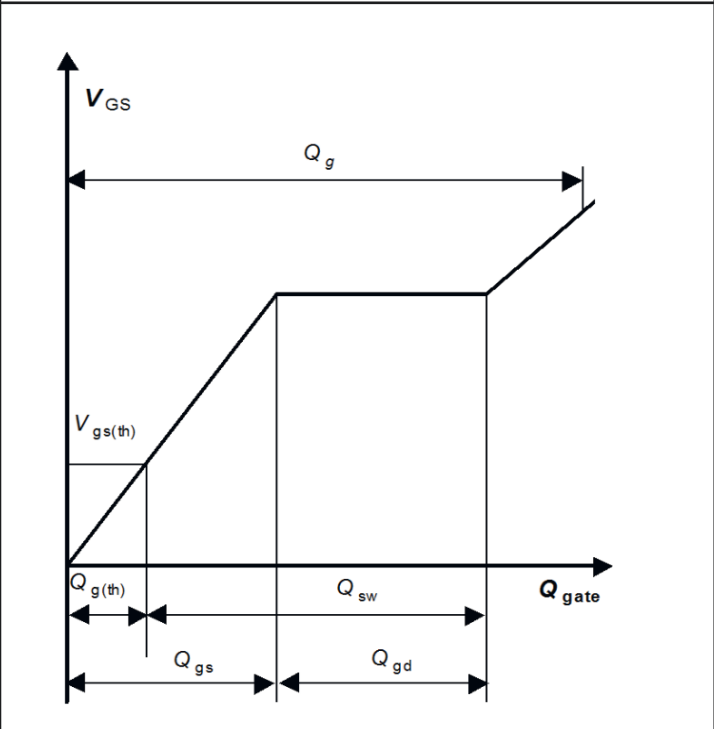
$V_{GS}=f(Q_{gate}); I_D=60$ A pulsed; parameter: V_{DD}

Diagram 15: Drain-source breakdown voltage

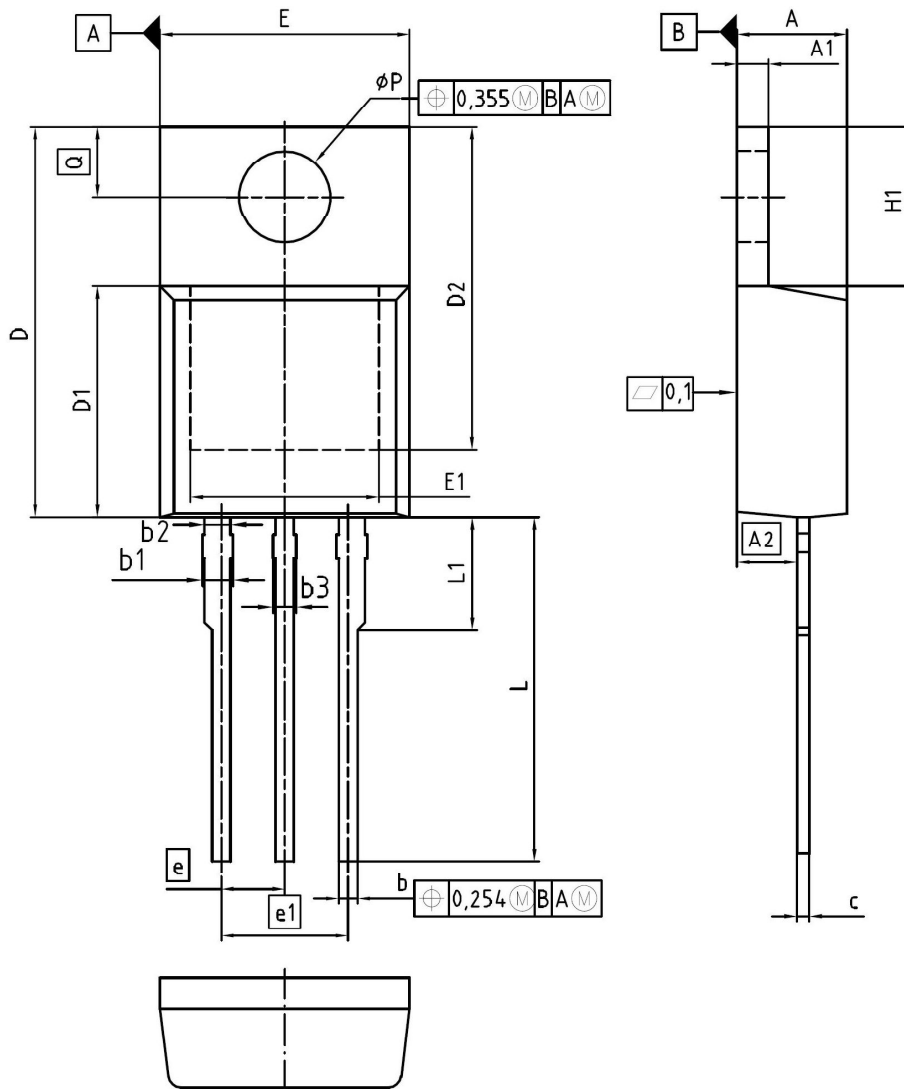


$V_{BR(DSS)}=f(T_j); I_D=1$ mA

Diagram Gate charge waveforms



5 Package Outlines



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.30	4.57	0.169	0.180
A1	1.17	1.40	0.046	0.055
A2	2.15	2.72	0.085	0.107
b	0.65	0.86	0.026	0.034
b1	0.95	1.40	0.037	0.055
b2	0.95	1.15	0.037	0.045
b3	0.65	1.15	0.026	0.045
c	0.33	0.60	0.013	0.024
D	14.81	15.95	0.583	0.628
D1	8.51	9.45	0.335	0.372
D2	12.19	13.10	0.480	0.516
E	9.70	10.36	0.382	0.408
E1	6.50	8.60	0.256	0.339
e	2.54		0.100	
e1	5.08		0.200	
N	3		3	
H1	5.90	6.90	0.232	0.272
L	13.00	14.00	0.512	0.551
L1	-	4.80	-	0.189
øP	3.60	3.89	0.142	0.153
Q	2.60	3.00	0.102	0.118

DOCUMENT NO.
Z8B00003318

SCALE

EUROPEAN PROJECTION

ISSUE DATE
30-07-2009

REVISION
06

Figure 1 Outline PG-TO 220-3, dimensions in mm/inches

Revision History

IPP051N15N5

Revision: 2018-04-20, Rev. 2.1

Previous Revision

Revision	Date	Subjects (major changes since last revision)
2.0	2016-02-01	Release of final version
2.1	2018-04-20	Update tf, td(off), trr and Qrr

Trademarks of Infineon Technologies AG

AURIX™, C166™, CanPAK™, CIPOS™, CoolGaN™, CoolMOS™, CoolSET™, CoolSiC™, CORECONTROL™, CROSSAVE™, DAVE™, DI-POL™, DrBlade™, EasyPIM™, EconoBRIDGE™, EconoDUAL™, EconoPACK™, EconoPIM™, EiceDRIVER™, eupec™, FCOS™, HITFET™, HybridPACK™, Infineon™, ISOFACE™, IsoPACK™, i-Wafer™, MIPAQ™, ModSTACK™, my-d™, NovalithIC™, OmniTune™, OPTIGA™, OptiMOS™, ORIGA™, POWERCODE™, PRIMARION™, PrimePACK™, PrimeSTACK™, PROFET™, PRO-SIL™, RASIC™, REAL3™, ReverSave™, SatRIC™, SIEGET™, SiPMOS™, SmartLEWIS™, SOLID FLASH™, SPOC™, TEMPFET™, thinQ!™, TRENCHSTOP™, TriCore™.

Trademarks updated August 2015

Other Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

We Listen to Your Comments

Any information within this document that you feel is wrong, unclear or missing at all? Your feedback will help us to continuously improve the quality of this document. Please send your proposal (including a reference to this document) to:

erratum@infineon.com

Published by
Infineon Technologies AG
81726 München, Germany
© 2018 Infineon Technologies AG
All Rights Reserved.

Legal Disclaimer

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics ("Beschaffenheitsgarantie").

With respect to any examples, hints or any typical values stated herein and/or any information regarding the application of the product, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation warranties of non-infringement of intellectual property rights of any third party.

In addition, any information given in this document is subject to customer's compliance with its obligations stated in this document and any applicable legal requirements, norms and standards concerning customer's products and any use of the product of Infineon Technologies in customer's applications.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

Information

For further information on technology, delivery terms and conditions and prices please contact your nearest Infineon Technologies Office (www.infineon.com).

Warnings

Due to technical requirements, components may contain dangerous substances. For information on the types in question, please contact the nearest Infineon Technologies Office.

The Infineon Technologies component described in this Data Sheet may be used in life-support devices or systems and/or automotive, aviation and aerospace applications or systems only with the express written approval of Infineon Technologies, if a failure of such components can reasonably be expected to cause the failure of that life-support, automotive, aviation and aerospace device or system or to affect the safety or effectiveness of that device or system. Life support devices or systems are intended to be implanted in the human body or to support and/or maintain and sustain and/or protect human life. If they fail, it is reasonable to assume that the health of the user or other persons may be endangered.

GPD New!
Series

- Guaranteed short time at 150°C
- Downsized and high-ripple current version of GPA series
- For automobile modules and other high temperature applications
- Endurance with ripple current : 2,000 to 3,000 hours at 125°C to 135°C
- Solvent resistant type (see PRECAUTIONS AND GUIDELINES)
- RoHS Compliant

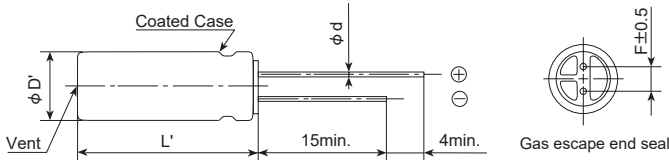


◆ SPECIFICATIONS

Items	Characteristics						
Category	-40 to +135°C						
Temperature Range	-40 to +135°C						
Rated Voltage Range	25 to 100V _{dc}						
Capacitance Tolerance	±20% (M) (at 20°C, 120Hz)						
Leakage Current	I=0.03CV or 4μA, whichever is greater. Where, I : Max. leakage current (μA), C : Nominal capacitance (μF), V : Rated voltage (V) (at 20°C, 1 minute)						
Dissipation Factor (tanδ)	Rated voltage (V _{dc})	25V	35V	50V	63V	80V	100V
	tanδ (Max.)	0.14	0.12	0.10	0.10	0.08	0.08
When nominal capacitance exceeds 1,000μF, add 0.02 to the value above for each 1,000μF increase. (at 20°C, 120Hz)							
Low Temperature Characteristics (Max. Impedance Ratio)	Rated voltage (V _{dc})	25V	35V	50V	63V	80V	100V
	Z(-25°C)/Z(+20°C)	2	2	2	2	2	2
	Z(-40°C)/Z(+20°C)	4	4	4	4	4	4
(at 120Hz)							
Endurance 1	The following specifications shall be satisfied when the capacitors are restored to 20°C after subjected to DC voltage with the rated ripple current is applied (the peak voltage shall not exceed the rated voltage) for the specified period of time at 125°C or 135°C.						
	Time	125°C 3,000hours 135°C 25 to 50V _{dc} : 3,000hours 63 to 100V _{dc} : 2,000hours					
	Capacitance change	≤ ±30% of the initial value					
	D.F. (tanδ)	≤300% of the initial specified value					
	Leakage current	≤The initial specified value					
Endurance 2	The following specifications shall be satisfied when the capacitors are restored to 20°C after the test condition that the rated voltage is applied for 100 hours at 150°C and DC voltage with the rated ripple current is applied (the peak voltage shall not exceed the rated voltage) for the specified period of time at 125°C or 135°C.						
	Time	125°C 2,500hours 135°C 25 to 50V _{dc} : 2,500hours 63 to 100V _{dc} : 1,500hours					
	Capacitance change	≤ ±30% of the initial value					
	D.F. (tanδ)	≤300% of the initial specified value					
	Leakage current	≤The initial specified value					
Shelf Life	The following specifications shall be satisfied when the capacitors are restored to 20°C after exposing them for 1,000 hours at 125°C without voltage applied. Before the measurement, the capacitor shall be preconditioned by applying voltage according to Item 4.1 of JIS C 5101-4.						
	Capacitance change	≤ ±30% of the initial value					
	D.F. (tanδ)	≤300% of the initial specified value					
	Leakage current	≤The initial specified value					

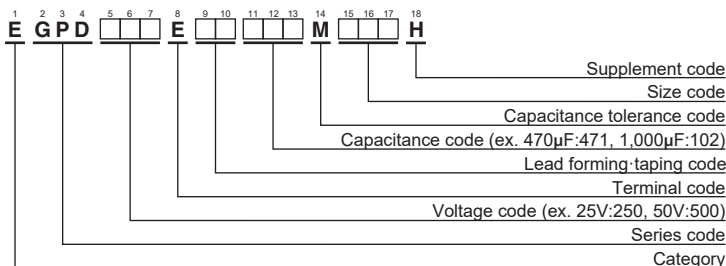
◆ DIMENSIONS [mm]

● Terminal Code : E



φD	12.5	14.5	16	18
φd	0.6	0.8	0.8	0.8
F	5.0	7.5	7.5	7.5
φD'	φD+0.5max.			
L'	L+1.5max.			

◆ PART NUMBERING SYSTEM



Please refer to "Product code guide (radial lead type)"

◆ STANDARD RATINGS

WV (Vdc)	Cap (μF)	Case size φ D×L(mm)	ESR (Ω max/100kHz)		Rated ripple current (mArms/100kHz)		Part No.
			20°C	-40°C	125°C	135°C	
25	2,000	12.5×20	0.042	0.48	2,760	1,690	EGPD250E □□ 202MK20H
	2,700	14.5×20	0.038	0.37	2,990	1,830	EGPD250E □□ 272MU20H
	3,000	12.5×25	0.033	0.30	3,480	2,010	EGPD250E □□ 302MK25H
	3,300	16×20	0.035	0.27	3,040	1,860	EGPD250E □□ 332ML20H
	3,600	12.5×30	0.028	0.24	4,490	2,900	EGPD250E □□ 362MK30H
	3,900	14.5×25	0.030	0.28	4,120	2,780	EGPD250E □□ 392MU25H
	4,300	18×20	0.034	0.22	3,250	1,870	EGPD250E □□ 432MM20H
	4,700	12.5×35	0.025	0.21	5,140	3,190	EGPD250E □□ 472MK35H
	4,700	16×25	0.028	0.22	4,260	2,870	EGPD250E □□ 472ML25H
	5,100	12.5×40	0.024	0.19	5,810	3,470	EGPD250E □□ 512MK40H
	5,100	14.5×30	0.025	0.24	4,880	3,150	EGPD250E □□ 512MU30H
	5,600	14.5×35	0.023	0.20	5,420	3,360	EGPD250E □□ 562MU35H
	5,600	16×30	0.023	0.18	5,480	3,400	EGPD250E □□ 562ML30H
	6,200	18×25	0.027	0.19	4,500	2,900	EGPD250E □□ 622MM25H
	6,800	14.5×40	0.022	0.16	6,240	3,730	EGPD250E □□ 682MU40H
	7,500	16×35	0.020	0.14	6,070	3,630	EGPD250E □□ 752ML35H
	7,500	18×30	0.022	0.16	5,600	3,470	EGPD250E □□ 752MM30H
	9,100	16×40	0.019	0.12	6,810	3,930	EGPD250E □□ 912ML40H
10,000	18×35	0.019	0.12	6,280	3,750	EGPD250E □□ 103MM35H	
12,000	18×40	0.018	0.10	7,070	4,080	EGPD250E □□ 123MM40H	
35	1,300	12.5×20	0.042	0.48	2,760	1,690	EGPD350E □□ 132MK20H
	1,600	14.5×20	0.038	0.37	2,990	1,830	EGPD350E □□ 162MU20H
	1,800	12.5×25	0.033	0.30	3,480	2,010	EGPD350E □□ 182MK25H
	2,000	16×20	0.035	0.27	3,040	1,860	EGPD350E □□ 202ML20H
	2,200	12.5×30	0.028	0.24	4,490	2,900	EGPD350E □□ 222MK30H
	2,400	14.5×25	0.030	0.28	4,120	2,780	EGPD350E □□ 242MU25H
	2,400	18×20	0.034	0.22	3,250	1,870	EGPD350E □□ 242MM20H
	2,700	12.5×35	0.025	0.21	5,140	3,190	EGPD350E □□ 272MK35H
	3,000	14.5×30	0.025	0.24	4,880	3,150	EGPD350E □□ 302MU30H
	3,000	16×25	0.028	0.22	4,260	2,870	EGPD350E □□ 302ML25H
	3,300	12.5×40	0.024	0.19	5,810	3,470	EGPD350E □□ 332MK40H
	3,300	14.5×35	0.023	0.20	5,420	3,360	EGPD350E □□ 332MU35H
	3,600	16×30	0.023	0.18	5,480	3,400	EGPD350E □□ 362ML30H
	3,900	18×25	0.027	0.19	4,500	2,900	EGPD350E □□ 392MM25H
	4,300	14.5×40	0.022	0.16	6,240	3,730	EGPD350E □□ 432MU40H
	4,300	16×35	0.020	0.14	6,070	3,630	EGPD350E □□ 432ML35H
	4,700	18×30	0.022	0.16	5,600	3,470	EGPD350E □□ 472MM30H
	5,600	16×40	0.019	0.12	6,810	3,930	EGPD350E □□ 562ML40H
6,200	18×35	0.019	0.12	6,280	3,750	EGPD350E □□ 622MM35H	
7,500	18×40	0.018	0.10	7,070	4,080	EGPD350E □□ 752MM40H	
50	620	12.5×20	0.073	0.88	2,400	1,470	EGPD500E □□ 621MK20H
	750	14.5×20	0.063	0.73	2,760	1,590	EGPD500E □□ 751MU20H
	820	12.5×25	0.058	0.67	3,350	2,260	EGPD500E □□ 821MK25H
	1,000	16×20	0.050	0.55	2,960	1,870	EGPD500E □□ 102ML20H
	1,100	12.5×30	0.048	0.52	4,220	2,520	EGPD500E □□ 112MK30H
	1,100	14.5×25	0.048	0.52	3,750	2,420	EGPD500E □□ 112MU25H
	1,300	12.5×35	0.042	0.44	4,810	2,780	EGPD500E □□ 132MK35H
	1,300	16×25	0.042	0.44	4,040	2,500	EGPD500E □□ 132ML25H
	1,300	18×20	0.042	0.44	3,130	2,110	EGPD500E □□ 132MM20H
	1,500	14.5×30	0.038	0.39	4,590	2,740	EGPD500E □□ 152MU30H
	1,600	12.5×40	0.037	0.36	5,240	3,020	EGPD500E □□ 162MK40H
	1,600	14.5×35	0.035	0.36	5,060	2,920	EGPD500E □□ 162MU35H
	1,600	16×30	0.035	0.36	5,130	2,960	EGPD500E □□ 162ML30H
	1,800	18×25	0.033	0.32	4,230	2,530	EGPD500E □□ 182MM25H
	2,200	14.5×40	0.029	0.27	5,630	3,250	EGPD500E □□ 222MU40H
	2,200	16×35	0.029	0.27	5,480	3,160	EGPD500E □□ 222ML35H
	2,400	18×30	0.028	0.25	5,240	3,020	EGPD500E □□ 242MM30H
	2,700	16×40	0.025	0.22	5,930	3,420	EGPD500E □□ 272ML40H
3,000	18×35	0.024	0.20	5,870	3,390	EGPD500E □□ 302MM35H	
3,600	18×40	0.023	0.16	6,420	3,700	EGPD500E □□ 362MM40H	
63	390	12.5×20	0.072	0.56	1,640	1,420	EGPD630E □□ 391MK20H
	560	12.5×25	0.052	0.39	2,520	2,050	EGPD630E □□ 561MK25H
	560	14.5×20	0.061	0.40	1,790	1,550	EGPD630E □□ 561MU20H
	680	16×20	0.053	0.34	2,140	1,910	EGPD630E □□ 681ML20H
	750	12.5×30	0.042	0.30	3,110	2,630	EGPD630E □□ 751MK30H
	750	14.5×25	0.047	0.30	2,650	2,160	EGPD630E □□ 751MU25H
	910	12.5×35	0.035	0.25	3,760	2,970	EGPD630E □□ 911MK35H
	910	18×20	0.044	0.26	2,350	2,100	EGPD630E □□ 911MM20H

□□ : Enter the appropriate lead forming or taping code.

◆STANDARD RATINGS

WV (Vdc)	Cap (μF)	Case size φ D×L(mm)	ESR (Ω max/100kHz)		Rated ripple current (mArms/100kHz)		Part No.
			20°C	-40°C	125°C	135°C	
63	1,000	14.5×30	0.037	0.23	3,360	2,840	EGPD630E □□ 102MU30H
	1,000	16×25	0.038	0.23	2,940	2,680	EGPD630E □□ 102ML25H
	1,100	12.5×40	0.031	0.22	4,610	3,260	EGPD630E □□ 112MK40H
	1,200	14.5×35	0.033	0.20	3,860	3,050	EGPD630E □□ 122MU35H
	1,200	16×30	0.034	0.20	3,860	3,050	EGPD630E □□ 122ML30H
	1,300	18×25	0.033	0.19	3,080	2,810	EGPD630E □□ 132MM25H
	1,500	14.5×40	0.028	0.16	4,930	3,490	EGPD630E □□ 152MU40H
	1,600	16×35	0.027	0.15	4,590	3,420	EGPD630E □□ 162ML35H
	1,600	18×30	0.028	0.15	4,080	3,220	EGPD630E □□ 162MM30H
	1,800	16×40	0.025	0.14	5,190	3,670	EGPD630E □□ 182ML40H
	2,200	18×35	0.022	0.12	5,220	3,690	EGPD630E □□ 222MM35H
2,400	18×40	0.021	0.11	5,660	3,820	EGPD630E □□ 242MM40H	
80	270	12.5×20	0.072	0.56	1,640	1,420	EGPD800E □□ 271MK20H
	360	14.5×20	0.061	0.40	1,790	1,550	EGPD800E □□ 361MU20H
	390	12.5×25	0.052	0.39	2,520	2,050	EGPD800E □□ 391MK25H
	470	16×20	0.053	0.34	2,140	1,910	EGPD800E □□ 471ML20H
	510	12.5×30	0.042	0.30	3,110	2,630	EGPD800E □□ 511MK30H
	510	14.5×25	0.047	0.30	2,650	2,160	EGPD800E □□ 511MU25H
	620	12.5×35	0.035	0.25	3,760	2,970	EGPD800E □□ 621MK35H
	620	18×20	0.044	0.26	2,350	2,100	EGPD800E □□ 621MM20H
	680	14.5×30	0.037	0.23	3,360	2,840	EGPD800E □□ 681MU30H
	680	16×25	0.038	0.23	2,940	2,680	EGPD800E □□ 681ML25H
	750	12.5×40	0.031	0.22	4,610	3,260	EGPD800E □□ 751MK40H
	750	14.5×35	0.033	0.20	3,860	3,050	EGPD800E □□ 751MU35H
	750	16×30	0.034	0.20	3,860	3,050	EGPD800E □□ 751ML30H
	820	18×25	0.033	0.19	3,080	2,810	EGPD800E □□ 821MM25H
	1,000	14.5×40	0.028	0.16	4,930	3,490	EGPD800E □□ 102MU40H
	1,000	16×35	0.027	0.15	4,590	3,420	EGPD800E □□ 102ML35H
	1,100	18×30	0.028	0.15	4,080	3,220	EGPD800E □□ 112MM30H
	1,300	16×40	0.025	0.14	5,190	3,670	EGPD800E □□ 132ML40H
1,300	18×35	0.022	0.12	5,220	3,690	EGPD800E □□ 132MM35H	
1,600	18×40	0.021	0.11	5,660	3,820	EGPD800E □□ 162MM40H	
100	160	12.5×20	0.090	0.75	1,580	1,410	EGPD101E □□ 161MK20H
	200	14.5×20	0.083	0.61	1,660	1,480	EGPD101E □□ 201MU20H
	220	12.5×25	0.068	0.55	2,140	1,960	EGPD101E □□ 221MK25H
	270	16×20	0.067	0.47	2,050	1,670	EGPD101E □□ 271ML20H
	300	12.5×30	0.052	0.41	2,950	2,330	EGPD101E □□ 301MK30H
	300	14.5×25	0.058	0.42	2,300	2,100	EGPD101E □□ 301MU25H
	360	12.5×35	0.045	0.35	3,530	2,630	EGPD101E □□ 361MK35H
	360	18×20	0.061	0.35	2,270	1,860	EGPD101E □□ 361MM20H
	390	14.5×30	0.047	0.33	3,120	2,460	EGPD101E □□ 391MU30H
	390	16×25	0.048	0.33	2,790	2,360	EGPD101E □□ 391ML25H
	430	12.5×40	0.038	0.29	4,140	2,920	EGPD101E □□ 431MK40H
	430	14.5×35	0.043	0.30	3,510	2,620	EGPD101E □□ 431MU35H
	470	16×30	0.041	0.27	3,440	2,720	EGPD101E □□ 471ML30H
	510	18×25	0.045	0.25	2,920	2,470	EGPD101E □□ 511MM25H
	560	14.5×40	0.034	0.23	4,330	3,060	EGPD101E □□ 561MU40H
	560	16×35	0.036	0.23	4,190	2,960	EGPD101E □□ 561ML35H
	620	18×30	0.037	0.20	3,920	2,920	EGPD101E □□ 621MM30H
	750	16×40	0.028	0.18	5,020	3,380	EGPD101E □□ 751ML40H
	820	18×35	0.030	0.16	4,710	3,330	EGPD101E □□ 821MM35H
	910	18×40	0.026	0.14	5,280	3,560	EGPD101E □□ 911MM40H

□□ : Enter the appropriate lead forming or taping code.

◆RATED RIPPLE CURRENT MULTIPLIERS

●Frequency Multipliers

Capacitance(μF)	Frequency(Hz)			
	120	1k	10k	100k
160 to 200	0.40	0.75	0.90	1.00
220 to 620	0.50	0.85	0.94	1.00
680 to 2,000	0.60	0.87	0.95	1.00
2,200 to 4,300	0.75	0.90	0.95	1.00
4,700 to 12,000	0.85	0.95	0.98	1.00

The endurance of capacitors is reduced with internal heating produced by ripple current at the rate of halving the lifetime with every 5°C rise. When long life performance is required in actual use, the rms ripple current has to be reduced.

Please contact us for lifetime estimation.

1EDI EiceDRIVER™ Compact Single Channel MOSFET Gate Driver IC

Separate output
variant for MOSFET

1 Overview

Main Features

- Single channel isolated MOSFET Driver
- Input to output isolation voltage up to 1200 V
- For high voltage power MOSFETs
- Up to 10 A typical peak current at rail-to-rail outputs
- Separate source and sink outputs

Product Highlights

- Galvanically isolated Coreless Transformer Driver
- Wide input voltage operating range
- Low input to output capacitive coupling
- Suitable for operation at high ambient temperature

Typical Application

- AC and Brushless DC Motor Drives
- High Voltage PFC, DC/DC-Converter and DC/AC-Inverter
- Induction Heating Resonant Application
- UPS-Systems
- Welding
- Solar MPPT boost converter

Description

The 1EDI60N12AF is a galvanically isolated single channel MOSFET driver in a PG-DSO-8-51 package that provides output currents of at least 6 A at separated output pins.

The input logic pins operate on a wide input voltage range from 3 V to 15 V using CMOS threshold levels to support even 3.3 V microcontroller.

Data transfer across the isolation barrier is realized by the Coreless Transformer Technology.

Every driver family member comes with logic input and driver output under voltage lockout (UVLO) and active shutdown.



Product Name	Gate Drive Current (min)	Package
1EDI60N12AF	±6.0 A MOSFET level optimized	PG-DSO-8-51

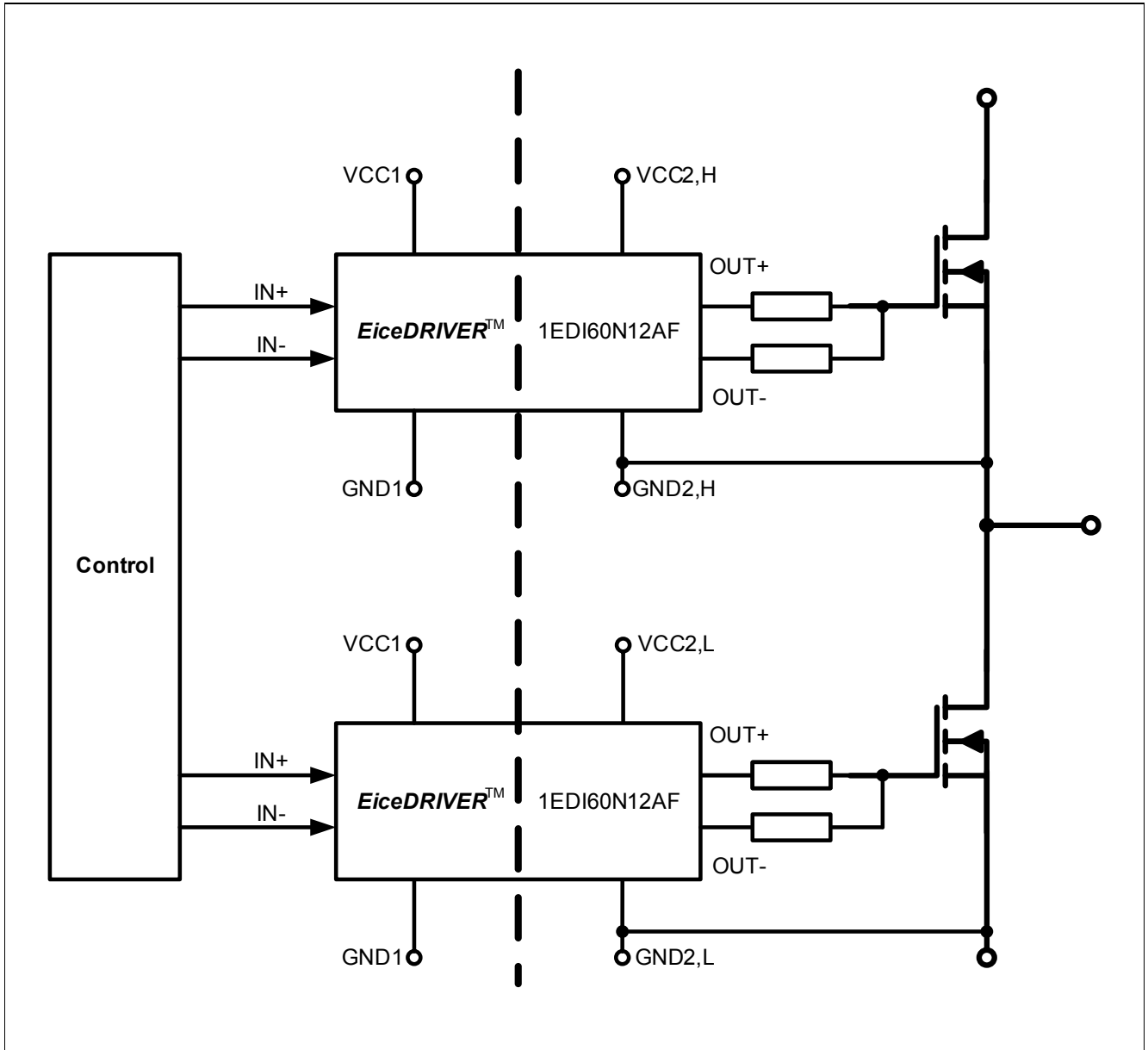


Figure 1 Typical Application

2 Block Diagram

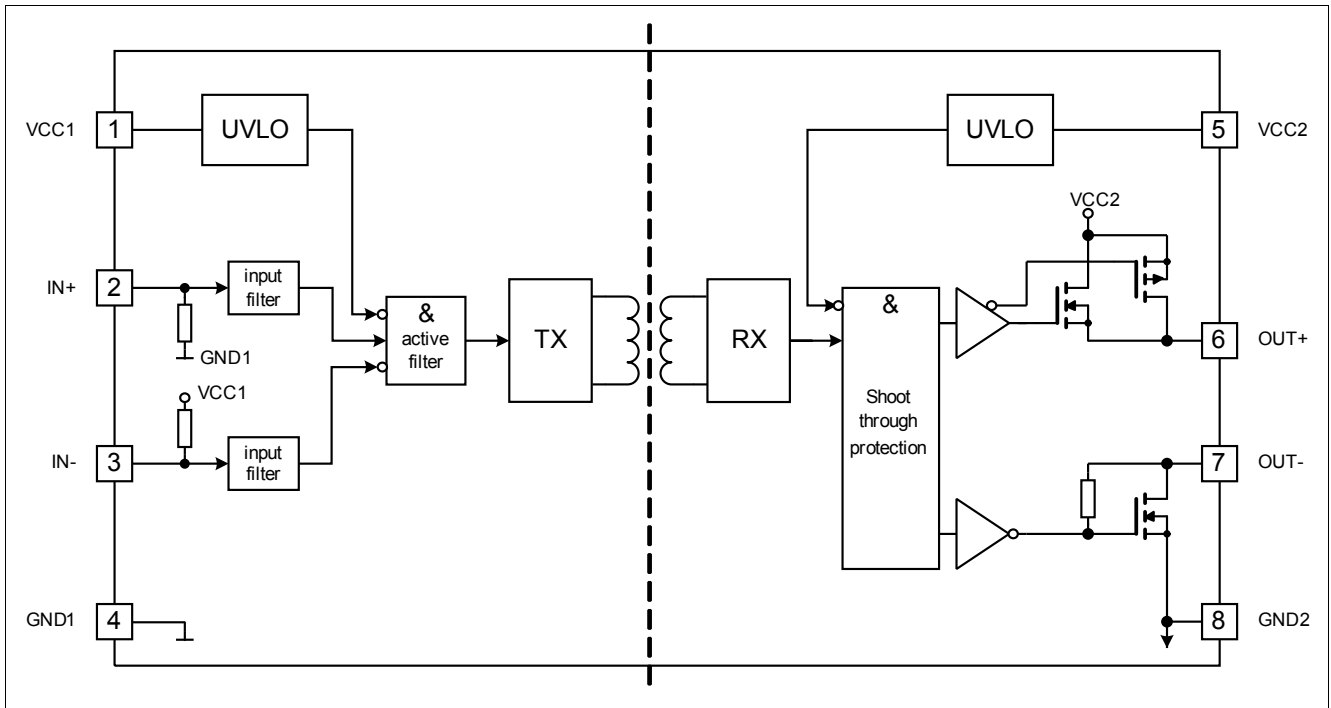


Figure 2 Block Diagram 1EDI60N12AF

3 Pin Configuration and Functionality

3.1 Pin Configuration

Table 1 Pin Configuration

Pin No.	Name	Function
1	VCC1	Positive Logic Supply
2	IN+	Non-Inverted Driver Input (active high)
3	IN-	Inverted Driver Input (active low)
4	GND1	Logic Ground
5	VCC2	Positive Power Supply Output Side
6	OUT+	Driver Source Output
7	OUT-	Driver Sink Output
8	GND2	Power Ground

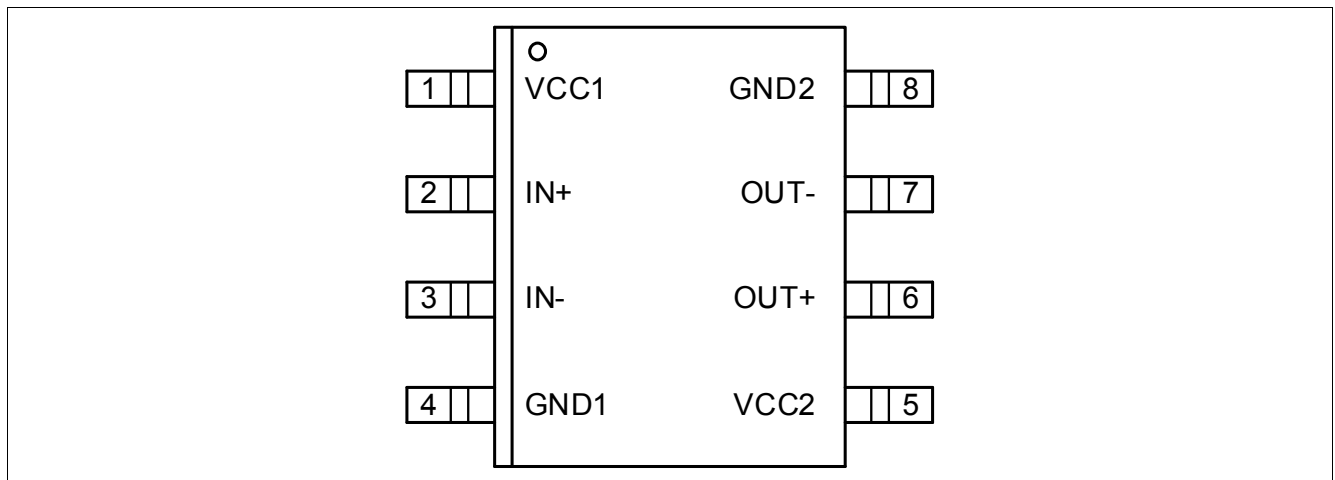


Figure 3 PG-DSO-8-51 (top view)

3.2 Pin Functionality

VCC1

Logic input supply voltage of 3.3 V up to 15 V wide operating range.

IN+ Non Inverting Driver Input

IN+ non-inverted control signal for driver output if IN- is set to low. (Output sourcing active at IN+ = high and IN- = low)

Due to internal filtering a minimum pulse width is defined to ensure robustness against noise at IN+. An internal weak pull-down-resistor favors off-state.

IN- Inverting Driver Input

IN- inverted control signal for driver output if IN+ is set to high. (Output sourcing active at IN- = low and IN+ = high)
Due to internal filtering a minimum pulse width is defined to ensure robustness against noise at IN-. An internal weak pull-up-resistor favors off-state.

GND1

Ground connection of input circuit.

VCC2

Positive power supply pin of output driving circuit. A proper blocking capacitor has to be placed close to this supply pin.

OUT+ Driver Source Output

Driver source output pin to turn on external MOSFET. During on-state the driving output is switched to VCC2. Switching of this output is controlled by IN+ and IN-. This output will also be turned off at an UVLO event.

During turn off the OUT+ terminal is able to sink approx. 100 mA.

OUT- Driver Sink Output)

Driver sink output pin to turn off external MOSFET. During off-state the driving output is switched to GND2. Switching of this output is controlled by IN+ and IN-. In case of UVLO an active shut down keeps the output voltage at a low level.

GND2 Reference Ground

Reference ground of the output driving circuit.

In case of a bipolar supply (positive and negative voltage in reference to the MOSFET source) this pin is connected to the negative supply voltage.

4 Functional Description

4.1 Introduction

The 1EDI EiceDRIVER™ Compact is a general purpose MOSFET gate driver. Basic control and protection features support fast and easy design of highly reliable systems.

The integrated galvanic isolation between control input logic and driving output stage grants additional safety. Its wide input voltage supply range support the direct connection of various signal sources like DSPs and microcontrollers.

The separated rail-to-rail driver outputs simplify gate resistor selection, save an external high current bypass diode and enhance dV/dt control.

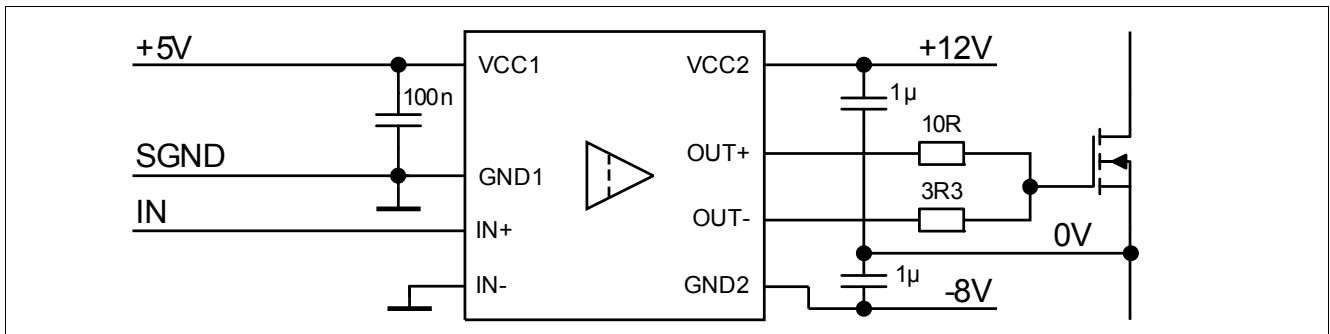


Figure 4 Application Example Bipolar Supply

4.2 Supply

The driver can operate over a wide supply voltage range, either unipolar or bipolar.

With bipolar supply the driver is typically operated with a positive voltage of 12 V at VCC2 and a negative voltage of -8 V at GND2 relative to the source of the MOSFET as seen in [Figure 4](#). Negative supply can help to prevent a dynamic turn on of the MOSFET.

For unipolar supply configuration the driver is typically supplied with a positive voltage of 12 V at VCC2. In this case, careful evaluation for turn off gate resistor selection is recommended to avoid dynamic turn on (see [Figure 5](#)).

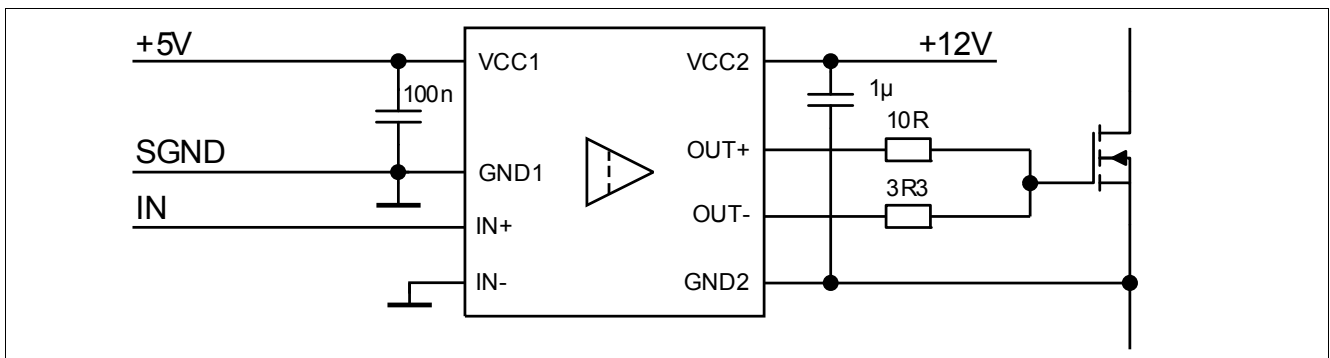


Figure 5 Application Example Unipolar Supply

4.3 Protection Features

4.3.1 Undervoltage Lockout (UVLO)

To ensure correct switching of MOSFETs the device is equipped with an undervoltage lockout for input and output independently. Operation starts only after both VCC levels have increased beyond the respective V_{UVLOH} levels (see also [Figure 8](#)).

If the power supply voltage V_{VCC1} of the input chip drops below V_{UVLOL1} a turn-off signal is sent to the output chip before power-down. The MOSFET is switched off and the signals at IN+ and IN- are ignored until V_{VCC1} reaches the power-up voltage V_{UVLOH1} again.

If the power supply voltage V_{VCC2} of the output chip goes down below V_{UVLOL2} the MOSFET is switched off and signals from the input chip are ignored until V_{VCC2} reaches the power-up voltage V_{UVLOH2} again.

Note: V_{VCC2} is always referred to GND2 and does not differentiate between unipolar or bipolar supply.

4.3.2 Active Shut-Down

The Active Shut-Down feature ensures a safe MOSFET off-state if the output chip is not connected to the power supply, MOSFET gate is clamped at OUT- to GND2.

4.3.3 Short Circuit Clamping

During short circuit the MOSFET's gate voltage tends to rise because of the feedback via the Miller capacitance. An additional protection circuit connected to OUT+ limits this voltage to a value slightly higher than the supply voltage. A maximum current of 500 mA may be fed back to the supply through this path for 10 μ s. If higher currents are expected or tighter clamping is desired external Schottky diodes may be added.

4.4 Non-Inverting and Inverting Inputs

There are two possible input modes to control the MOSFET. At non-inverting mode IN+ controls the driver output while IN- is set to low. At inverting mode IN- controls the driver output while IN+ is set to high, please see [Figure 7](#). A minimum input pulse width is defined to filter occasional glitches.

4.5 Driver Outputs

The output driver section uses MOSFETs to provide a rail-to-rail output. This feature permits that tight control of gate voltage during on-state and short circuit can be maintained as long as the driver's supply is stable. Due to the low internal voltage drop, switching behaviour of the MOSFET is predominantly governed by the gate resistor. Furthermore, it reduces the power to be dissipated by the driver.

5 Electrical Parameters

5.1 Absolute Maximum Ratings

Note: Absolute maximum ratings are defined as ratings, which when being exceeded may lead to destruction of the integrated circuit. Unless otherwise noted all parameters refer to GND1.

Table 2 Absolute Maximum Ratings

Parameter	Symbol	Values		Unit	Note / Test Condition
		Min.	Max.		
Power supply output side	V_{VCC2}	-0.3	40	V	1)
Gate driver output	V_{OUT}	$V_{GND2}-0.3$	$V_{VCC2}+0.3$	V	–
Positive power supply input side	V_{VCC1}	-0.3	18.0	V	–
Logic input voltages (IN+,IN-)	$V_{LogicIN}$	-0.3	18.0	V	–
Input to output isolation voltage (GND2)	V_{ISO}	-1200	1200	V	
Junction temperature	T_J	-40	150	°C	–
Storage temperature	T_S	-55	150	°C	–
Power dissipation (Input side)	$P_{D, IN}$	–	25	mW	2) @ $T_A = 25^\circ\text{C}$
Power dissipation (Output side)	$P_{D, OUT}$	–	400	mW	2) @ $T_A = 25^\circ\text{C}$
Thermal resistance (Input side)	$R_{THJA, IN}$	–	145	K/W	2) @ $T_A = 85^\circ\text{C}$
Thermal resistance (Output side)	$R_{THJA, OUT}$	–	165	K/W	2) @ $T_A = 85^\circ\text{C}$
ESD capability	$V_{ESD, HBM}$	–	2	kV	Human Body Model ³⁾

1) With respect to GND2.

2) See [Figure 10](#) for reference layouts for these thermal data. Thermal performance may change significantly with layout and heat dissipation of components in close proximity.

3) According to EIA/JESD22-A114-C (discharging a 100 pF capacitor through a 1.5 kΩ series resistor).

5.2 Operating Parameters

Note: Within the operating range the IC operates as described in the functional description. Unless otherwise noted all parameters refer to GND1.

Table 3 Operating Parameters

Parameter	Symbol	Values		Unit	Note / Test Condition
		Min.	Max.		
Power supply output side	V_{VCC2}	10	35	V	1)
Power supply input side	V_{VCC1}	3.1	17	V	–
Logic input voltages (IN+,IN-)	$V_{LogicIN}$	-0.3	17	V	–
Switching frequency	f_{sw}	–	4.0	MHz	2) 3)
Ambient temperature	T_A	-40	125	°C	–
Thermal coefficient, junction-top	$\Psi_{th,jt}$	–	4.8	K/W	3) @ $T_A = 85^\circ\text{C}$
Common mode transient immunity (CMTI)	$ dV_{ISO}/dt $	–	100	kV/ μs	3) @ 1000 V

1) With respect to GND2.

2) do not exceed max. power dissipation

3) Parameter is not subject to production test - verified by design/characterization

5.3 Electrical Characteristics

Note: The electrical characteristics include the spread of values in supply voltages, load and junction temperatures given below. Typical values represent the median values at $T_A = 25^\circ\text{C}$. Unless otherwise noted all voltages are given with respect to their respective GND (GND1 for pins 1 to 3, GND2 for pins 5 to 7).

5.3.1 Voltage Supply

Table 4 Voltage Supply

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
UVLO threshold input chip	V_{UVLOH1}	–	2.85	3.1	V	–
	V_{UVLOL1}	2.55	2.75	–	V	–
UVLO hysteresis input chip ($V_{UVLOH1} - V_{UVLOL1}$)	V_{HYS1}	90	100	–	mV	–
UVLO threshold output chip (MOSFET Supply)	V_{UVLOH2}	–	9.1	10.0	V	–
	V_{UVLOL2}	8.0	8.5	–	V	–
UVLO hysteresis output chip ($V_{UVLOH2} - V_{UVLOL2}$)	V_{HYS2}	550	600	–	mV	–

Table 4 Voltage Supply (cont'd)

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Quiescent current input chip	I_{Q1}	–	0.65	1.0	mA	$V_{VCC1} = 5\text{ V}$ IN+ = High, IN- = Low =>OUT = High
Quiescent current output chip	I_{Q2}	–	1.2	2.0	mA	$V_{VCC2} = 15\text{ V}$ IN+ = High, IN- = Low =>OUT = High

5.3.2 Logic Input

Note: Unless stated otherwise $V_{CC1} = 5.0\text{V}$

Table 5 Logic Input

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
IN+,IN- low input voltage	V_{IN+L}, V_{IN-L}	–	–	30	%	of VCC1
IN+,IN- high input voltage	V_{IN+H}, V_{IN-H}	70	–	–	%	of VCC1
IN+,IN- low input voltage	V_{IN+L}, V_{IN-L}	–	–	1.5	V	–
IN+,IN- high input voltage	V_{IN+H}, V_{IN-H}	3.5	–	–	V	–
IN- input current	I_{IN-}	–	70	200	μA	$V_{IN-} = \text{GND1}$
IN+ input current	I_{IN+}	–	70	200	μA	$V_{IN+} = V_{CC1}$

5.3.3 Gate Driver

Table 6 Gate Driver

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
High level output peak current 1EDI60N12AF	$I_{OUT+,PEAK}$	6.0	– 10.0	–	A	1) IN+ = High, IN- = Low, $V_{VCC2} = 15\text{ V}$
Low level output peak current 1EDI60N12AF	$I_{OUT-,PEAK}$	6.0	– 9.4	–	A	1) IN+ = Low, IN- = Low, $V_{VCC2} = 15\text{ V}$

1) voltage across the device $V_{(VCC2 - OUT+)}$ or $V_{(OUT- - GND2)} < V_{VCC2}$.

5.3.4 Short Circuit Clamping

Table 7 Short Circuit Clamping

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Clamping voltage (OUT+) ($V_{OUT} - V_{VCC2}$)	V_{CLPout}	–	0.9	1.3	V	IN+ = High, IN- = Low, OUT = High $I_{OUT} = 500$ mA pulse test, $t_{CLPmax} = 10$ μ s)

5.3.5 Dynamic Characteristics

Dynamic characteristics are measured with $V_{VCC1} = 5$ V and $V_{VCC2} = 15$ V.

Table 8 Dynamic Characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Input IN to output propagation delay ON	T_{PDON}	95	120	142	ns	$C_{LOAD} = 100$ pF $V_{IN+} = 50\%$, $V_{OUT} = 50\%$ @ 25°C
Input IN to output propagation delay OFF	T_{PDOFF}	105	125	150	ns	
Input IN to output propagation delay distortion ($T_{PDOFF} - T_{PDON}$)	T_{PDISTO}	-15	5	25	ns	
Input pulse suppression IN+, IN-	T_{MININ+} , T_{MININ-}	30	40	–	ns	–
IN input to output propagation delay ON variation due to temp	T_{PDONT}	–	–	10	ns	¹⁾ $C_{LOAD} = 100$ pF $V_{IN+} = 50\%$, $V_{OUT} = 50\%$
IN input to output propagation delay OFF variation due to temp	T_{PDOFFt}	–	–	10	ns	¹⁾ $C_{LOAD} = 100$ pF $V_{IN+} = 50\%$, $V_{OUT} = 50\%$
IN input to output propagation delay distortion variation due to temp ($T_{PDOFF} - T_{PDON}$)	$T_{PDISTOt}$	–	–	4	ns	¹⁾ $C_{LOAD} = 100$ pF $V_{IN+} = 50\%$, $V_{OUT} = 50\%$
Rise time	T_{RISE}	5	10	20	ns	$C_{LOAD} = 1$ nF $V_L 20\%$, $V_H 80\%$
Fall time	T_{FALL}	4	9	19	ns	$C_{LOAD} = 1$ nF $V_L 20\%$, $V_H 80\%$

1) The parameter is not subject to production test - verified by design/characterization

5.3.6 Active Shut Down

Table 9 Active Shut Down

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Active shut down voltage	$V_{ACTSD}^{1)}$	–	2.2	2.5	V	$I_{OUT}/I_{OUT,PEAK}=0.1$, V_{CC2} open

1) Referred to GND2

6 Timing Diagramms

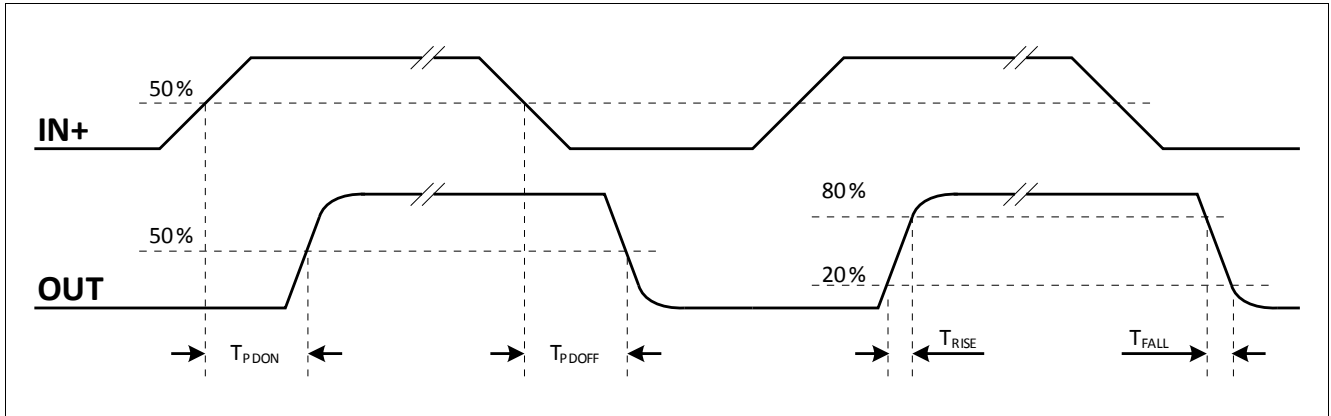


Figure 6 Propagation Delay, Rise and Fall Time

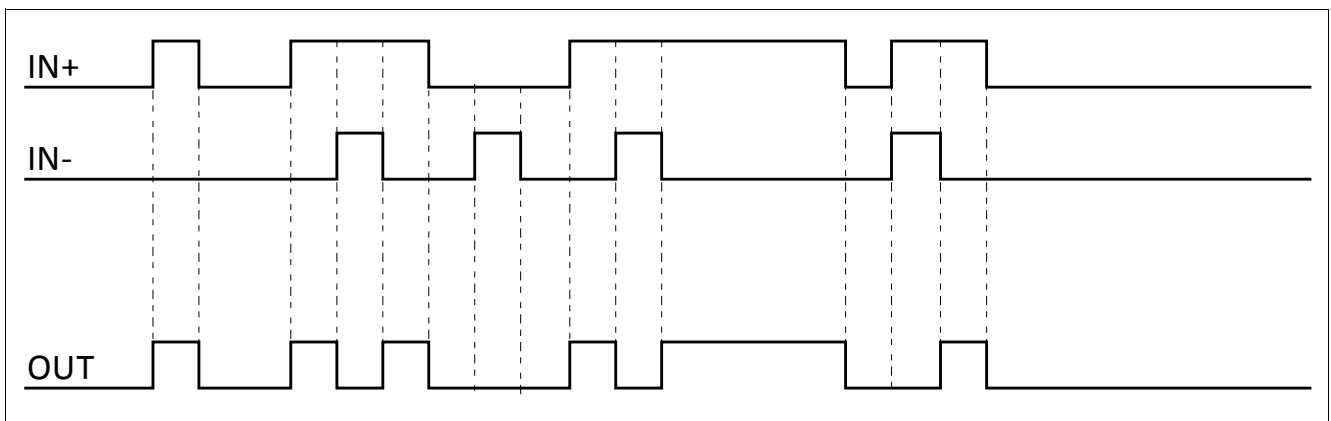


Figure 7 Typical Switching Behavior

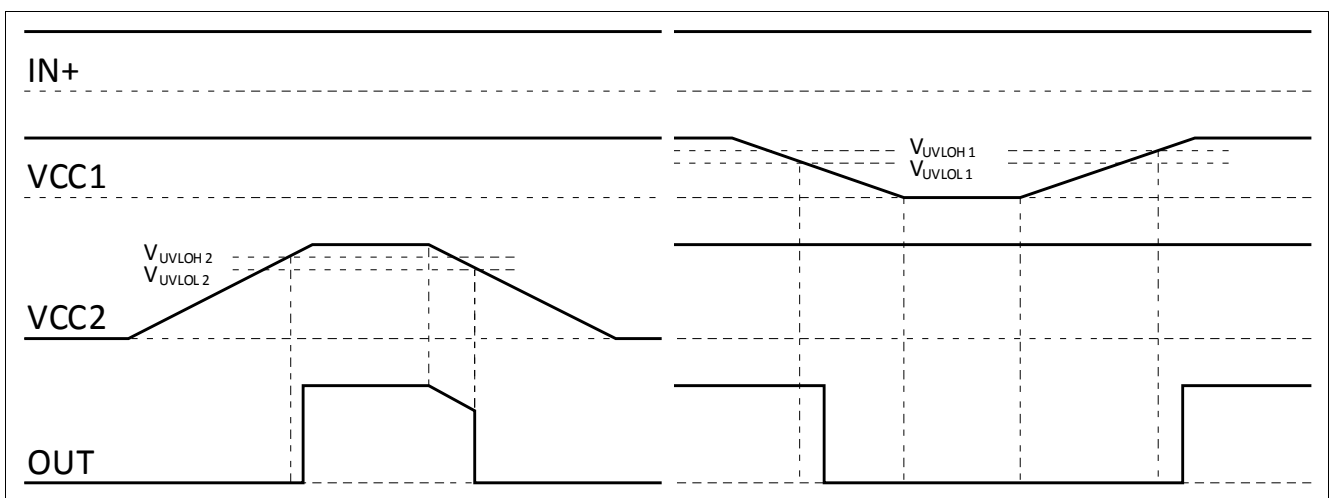


Figure 8 UVLO Behavior

7 Package Outlines

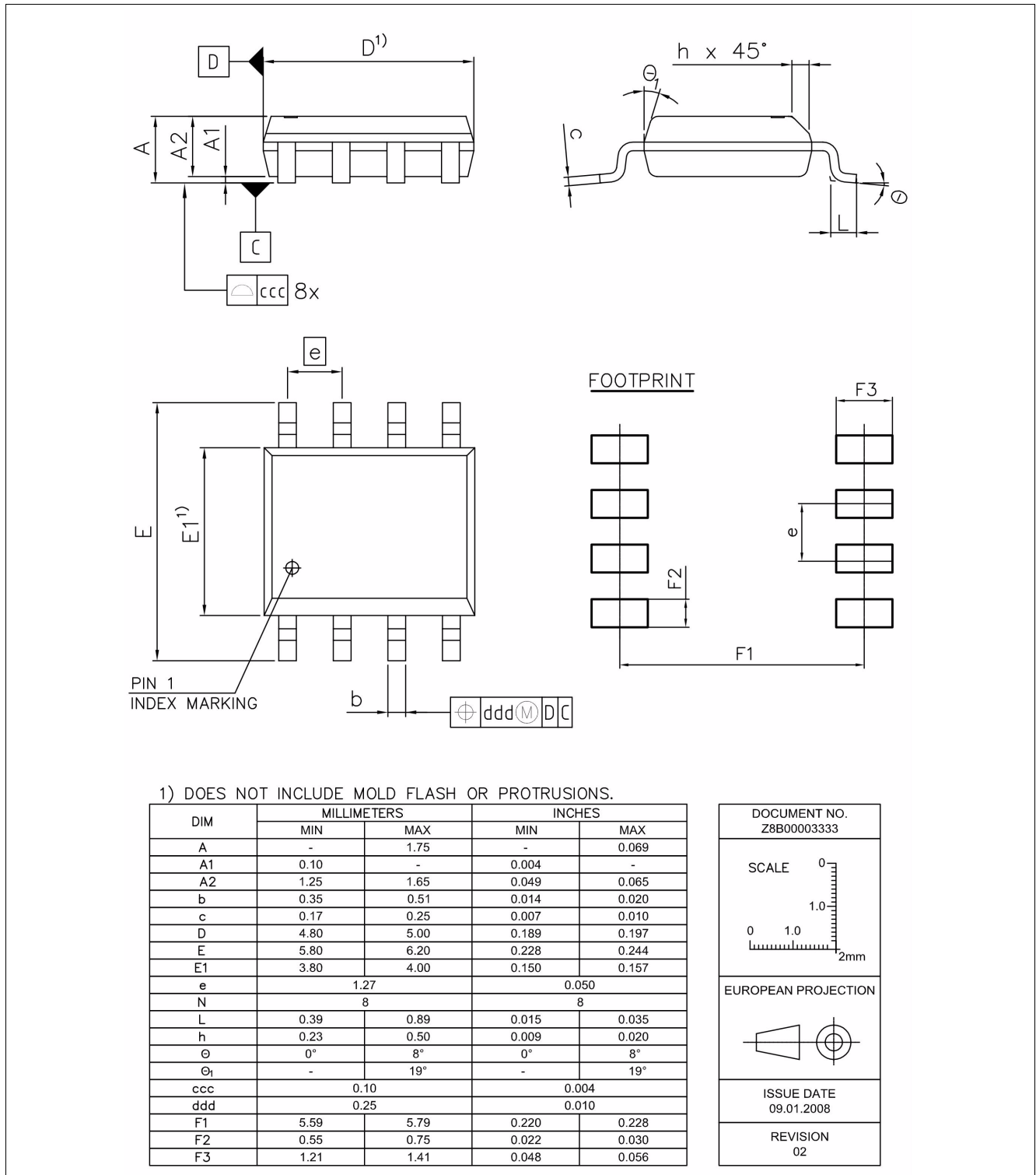


Figure 9 PG-DSO-8-51 (Plastic (Green) Dual Small Outline Package)