



UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA



INSTITUTO DE ELETRÔNICA DE POTÊNCIA

**INVERSOR MULTINÍVEL PARA PROCESSAMENTO DE
ENERGIA FOTOVOLTAICA**

DOUGLAS HAUPT

Florianópolis
2019

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Haupt, Douglas

Inversor Multinível para Processamento de Energia
Fotovoltaica / Douglas Haupt ; orientador, Roberto
Francisco Coelho, coorientador, Denizar Cruz
Martins, 2019.

149 p.

Dissertação (mestrado) - Universidade Federal de
Santa Catarina, Centro Tecnológico, Programa de Pós
Graduação em Engenharia Elétrica, Florianópolis, 2019.

Inclui referências.

1. Engenharia Elétrica. 2. Inversor Multiníveis.
3. Duplo Estágio. I. Coelho, Roberto Francisco. II.
Martins, Denizar Cruz. III. Universidade Federal de
Santa Catarina. Programa de Pós-Graduação em
Engenharia Elétrica. IV. Título.

Douglas Haupt

**INVERSOR MULTINÍVEL PARA PROCESSAMENTO DE
ENERGIA FOTOVOLTAICA**

Dissertação submetida ao Programa de Pós-Graduação
em Engenharia Elétrica da Universidade Federal de
Santa Catarina para obtenção do grau de mestre em
Engenharia Elétrica.

Orientador: Prof. Roberto Francisco Coelho, Dr.
Co-orientador: Prof. Denizar Cruz Martins, Dr.

Florianópolis
2019

Douglas Haupt

**INVERSOR MULTINÍVEL PARA PROCESSAMENTO DE
ENERGIA FOTOVOLTAICA**

‘Esta dissertação foi julgada adequada para obtenção do Título de Mestre, Área de Concentração em Eletrônica de Potência e Acionamento Elétrico, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica’.

Florianópolis, 28 de março de 2019.



Prof. Bartolomeu Ferreira Uchôa Filho

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica,
Universidade Federal de Santa Catarina



Prof. Roberto Francisco Coelho, Dr.

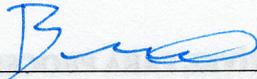
Orientador, Universidade Federal de Santa Catarina



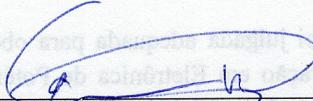
Prof. Denizar Cruz Martins, Dr.

Co-orientador, Universidade Federal de Santa Catarina

Banca Examinadora:



Prof. Bruno Scortegagna Dupzak, Dr.
Instituto Federal de Santa Catarina - IFSC



Prof. Gierri Waltrich, Dr.
Universidade Federal de Santa Catarina - UFSC



Prof. Bartolomeu Ferreira Uchôa Filho

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica,
Universidade Federal de Santa Catarina



Prof. Roberto Francisco Coelho, Dr.

Orientador, Universidade Federal de Santa Catarina



Prof. Denizar Cruz Martins, Dr.

Co-orientador, Universidade Federal de Santa Catarina

AGRADECIMENTOS

À minha família, em especial aos meus pais João Roberto Haupt e Claudete S. Variani Haupt e ao meu irmão William Haupt, que apesar da distância, sempre me incentivaram em todos os momentos desta trajetória.

Ao meu orientador Professor Roberto Francisco Coelho pela sua imensa capacidade em orientar e grande didática em seus ensinamentos. Sua metodologia de pesquisa foi fundamental para o desenvolvimento deste trabalho e para a minha formação.

Agradeço também ao meu coorientador Professor Denizar Cruz Martins pelo apoio durante o desenvolvimento deste trabalho.

Aos Professores Bruno Scortegagna Dupczak e Gierri Waltrich, por aceitarem o convite para participar da banca e pelas correções feitas no trabalho.

Agradeço aos professores do INEP, Arnaldo José Perin, Samir Ahmad Mussa, Marcelo Lobo Heldwein, Telles Brunelli Lazzarin e André Luís Kirsten pelos ensinamentos durante as disciplinas e exemplo de profissionalismo e competência em suas atividades.

Aos amigos e colegas da turma de mestrado e aos colegas do INEP pelo companheirismo, e por estarem sempre dispostos a ajudar.

Agradeço à equipe técnica do INEP Antônio Luiz S. Pacheco e Luiz Marcellus Coelho pela impecável qualidade em seus trabalhos. Aos demais funcionários do INEP, Diogo e Angelo.

Finalmente, à UFSC e a CAPES pela estrutura e apoio financeiro, aos quais permitiram a realização desta pesquisa.

Muito obrigado!

RESUMO

Esta dissertação apresenta o estudo, projeto e construção de um protótipo de microinversor fotovoltaico de duplo estágio, capaz de processar potência de até 250 W gerada a partir de um módulo fotovoltaico para posterior injeção na rede elétrica. O trabalho descreve uma revisão bibliográfica sobre as principais topologias de inversores multiníveis, os principais requisitos necessários para conexão com a rede elétrica, sincronismo e a influência das correntes de modo comum na operação do conjunto. O principal objetivo da dissertação está no segundo estágio do microinversor, sendo proposta uma topologia de conversor multinível com elevado rendimento e baseado no conversor em ponte completa em conjunto com células tipo T. Essa técnica permite que o sistema opere com cinco níveis de tensão na sua saída a partir da aplicação de modulação IPD. Além disso, a conexão de células do tipo T proporciona uma redução nos esforços da tensão dos interruptores auxiliando a estrutura a atingir um alto rendimento. A estratégia de controle é baseada em compensação da corrente injetada na rede elétrica, cuja referência imposta por um sistema de PLL. Para reduzir o conteúdo em alta frequência da corrente injetada na rede, foi projetado um filtro LCL passivamente amortecido. Além de resultados teóricos e de simulação, são apresentados os resultados experimentais como forma de validar o princípio de operação do conversor proposto.

Palavras-chave: Microinversor. Fotovoltaico. Multiníveis. Duplo Estágio.

ABSTRACT

This work presents the study and design of a double-stage photovoltaic microinverter able to process the power generated by a photovoltaic module up to 250 W for later grid injection. The work describes the literature review regarding the main topologies of multilevel inverters, the main compliances for grid-connection, synchronism and common mode currents influence on the system operation. The main aim of this work is the second stage of the microinverter, in which a new multilevel high efficiency topology, based on the full-bridge inverter with T-cells is proposed. This technique allows the system to operate with five voltage levels on its output from an IPD modulation. Furthermore, the connection of T-type cells provides a reduction of the voltage stress across the switches helping the structure to achieve high efficiency. The control strategy is based on grid current compensation, in which the reference is imposed by a PLL system. In order to reduce the high frequency content of the grid current, a passive damped LCL filter is designed. Besides the theoretical and simulation results, experimental results are also presented to validate the operating principle of the proposed converter.

Keywords: MicroInverter. Photovoltaics. Multilevel. Double Stage.

LISTA DE FIGURAS

Figura 1-1 – (a) Microinversor de estágio único; (b) Microinversor de estágio duplo.....	30
Figura 2-1 – Inversor monofásico básico sem isolamento galvânica.....	35
Figura 2-2 – Capacitâncias parasitas na montagem do módulo fotovoltaico [19].....	36
Figura 2-3 – Capacitâncias parasitas anexadas ao sistema fotovoltaico.....	37
Figura 2-4 – Circuito simplificado para análise das capacitâncias parasitas.....	38
Figura 2-5 – Topologia referente ao conversor tipo T três níveis (3 L-T).....	41
Figura 2-6 – Topologia referente ao conversor tipo T cinco níveis em cascata (5 L-TC).....	42
Figura 2-7 – Topologia referente ao conversor tipo T cinco níveis híbrido (5 L-TH).....	43
Figura 2-8 – Topologia referente ao conversor tipo T cinco níveis paralelo (5 L-TP).....	44
Figura 2-9 – Topologia cinco níveis proposta.....	46
Figura 3-1 – Inversor Proposto.....	48
Figura 3-2 – Primeira região de operação.	49
Figura 3-3 – Segunda região de operação.	49
Figura 3-4 – Quarta região de operação.	50
Figura 3-5 – Quinta região de operação.	50
Figura 3-6 – Formas de onda teórica.....	52
Figura 3-7 – Circuito equivalente para o cálculo da ondulação total do barramento.....	58
Figura 3-8 – Filtro LCL com amortecimento resistivo-capacitivo.	63
Figura 3-9 – Estratégia de Controle do Inversor Proposto.....	65
Figura 3-10 – Modelo para obter a função de transferência da corrente de saída.....	65
Figura 3-11 – Impedâncias Destacadas do Circuito.....	65

Figura 3-12 – Circuito Simplificado.....	66
Figura 3-13 – Diagrama de bode do filtro <i>LCL</i> amortecido considerando três valores de R_d	67
Figura 3-14 – Diagrama de blocos orientado ao controle.....	68
Figura 3-15 – Diagrama de blocos controle com <i>feedforward</i>	70
Figura 3-16 – Circuito PLL Monofásico Simplificado.....	71
Figura 4-1 – Diagrama de Blocos do Protótipo.....	74
Figura 4-2 – Esforços de corrente nos interruptores simulados	75
Figura 4-3 – Capacitância Equivalente do Componente	76
Figura 4-4 – Ondulação total no barramento	79
Figura 4-5 – Efeito Pelicular em um condutor	82
Figura 4-6 – Diagrama de bode da malha de controle da corrente compensada	83
Figura 4-7 – Sincronismo do sistema de PLL	84
Figura 4-8 – Condicionamento do sinal da Corrente.....	87
Figura 4-9 – Condicionamento do sinal da Tensão.	88
Figura 4-10 – Placa do circuito de <i>Gate Driver</i> [53].....	88
Figura 4-11 – Placa da fonte de alimentação.....	89
Figura 4-12 – Versão 3D do estágio CC-CA do Microinversor.	90
Figura 5-1 – <i>Layout</i> do sistema completo.....	91
Figura 5-2 – Simulação pulsos de comando: S_1 e S_{5a}	92
Figura 5-3 – Pulsos de comando gerados pelo <i>DSP</i> : S_1 e S_{5a}	92
Figura 5-4 – Simulação pulsos de comando: S_3 e S_{6a}	93
Figura 5-5 – Pulsos de comando gerados pelo <i>DSP</i> : S_3 e S_{6a}	93
Figura 5-6 – Simulação pulsos de comando: S_{6b} e S_4	93
Figura 5-7 – Pulsos de comando gerados pelo <i>DSP</i> : S_{6b} e S_4	94
Figura 5-8 – Simulação pulsos de comando: S_{5b} e S_2	94
Figura 5-9 – Pulsos de comando gerados pelo <i>DSP</i> : S_{5b} e S_2	94
Figura 5-10 – Simulação da tensão sobre os interruptores S_2 e S_1 comandados	95
Figura 5-11 – Tensão sobre os interruptores S_2 e S_1 comandados	95

Figura 5-12 – Simulação da tensão sobre os interruptores S_4 e S_3 comandados.....	95
Figura 5-13 – Tensão sobre os interruptores S_4 e S_3 comandados.....	96
Figura 5-14 – Simulação da tensão sobre os interruptores S_{5a} e S_{5b} comandados.....	96
Figura 5-15 – Tensão sobre os interruptores S_{5a} e S_{5b} comandados.....	96
Figura 5-16 – Simulação da tensão sobre os interruptores S_{6a} e S_{6b} comandados.....	97
Figura 5-17 – Tensão sobre os interruptores S_{6a} e S_{6b} comandados.....	97
Figura 5-18 – Simulação do conversor mostrando a tensão entre os terminais A e B	97
Figura 5-19 – Tensão entre os terminais A e B do conversor..	98
Figura 5-20 – Simulação mostrando a tensão na rede $V_{rede}(t)$ e a corrente entregue à rede elétrica com uma potência processada ($P_O = 250W$).....	98
Figura 5-21 – Tensão na rede V_{rede} e a corrente entregue à rede elétrica com uma potência processada ($P_O = 245,63W$).....	99
Figura 5-22 – Resultado do analisador de energia da <i>Yokogawa</i> , potência de entrada ($P_{in} = 252,21W$), potência de saída ($P_O = 245,63W$), rendimento ($\eta = 97,39\%$) e a taxa de distorção harmônica ($THD = 2,821\%$).	100
Figura 5-23 – Análise harmônica da corrente entregue à rede elétrica com carga nominal.	100
Figura 5-24 – Análise harmônica da corrente entregue à rede elétrica com 75% de carga.	101
Figura 5-25 – Análise harmônica da corrente entregue à rede elétrica com 50% de carga.	101
Figura 5-26 – Análise harmônica da corrente entregue à rede elétrica com 30% de carga.	102
Figura 5-27 – Análise harmônica da corrente entregue à rede elétrica com 20% de carga.	102

Figura 5-28 – Análise harmônica da corrente entregue à rede elétrica com 10% de carga.....	103
Figura 5-29 – Curva do rendimento em relação ao percentual de carga.....	104
Figura 5-30 – Taxa da distorção harmônica (THD) em relação à potência do microinversor.....	105
Figura 5-31 – Degrau de carga 100% - 50% e 50% - 100% (simulação).	106
Figura 5-32 – Degrau de carga 100% - 50% e 50% - 100% (experimental).....	106
Figura 5-33 – Zoom no instante do degrau de 100% - 50% (simulado).....	107
Figura 5-34 – Zoom no instante do degrau de 100% - 50% (experimental).....	107
Figura 5-35 – Zoom no instante do degrau de carga 50% - 100% (simulação).....	108
Figura 5-36 – Zoom no instante do degrau de carga 50% - 100% (experimental).....	108
Figura 5-37 – Tensão de modo comum simulada.....	109
Figura 5-38 – Tensão de modo comum experimental.	109
Figura 5-39 – Tensão de modo comum conversor 3 níveis...109	
Figura 5-40 – Circuito Equivalente para modo comum (a) Inversor Proposto (b) inversor três níveis.....	110
Figura 5-41 – Resultado de simulação tensão e corrente de modo comum.....	111

LISTA DE TABELAS

Tabela 1-1 – Limites de Distorção Harmônica	31
Tabela 2-1 – Estimação da Capacitância Parasita	37
Tabela 2-2 – Lógica de acionamento das topologias cinco níveis	45
Tabela 3-1 - Lógica de Acionamento dos Interruptores.....	48
Tabela 3-2 - Esforços de Tensão nos Interruptores.....	54
Tabela 4-1– Parâmetros do Projeto	73
Tabela 4-2 – Comparativo entre a corrente calculada e simulada	75
Tabela 4-3 – Dados do MOSFET escolhido	77
Tabela 4-4 – Capacitor Comercial Modelo B43504-S9227-M EPCOS	78
Tabela 4-5 – Dimensionamento dos componentes passivos. ..	80
Tabela 4-6 – Aspectos construtivos do indutor.....	82
Tabela 4-7 – Especificações elétricas do sensor <i>Hall</i> LTSR-6NP.....	85
Tabela 4-8– Especificações elétricas do sensor LV 25-P	87
Tabela 4-9 – Comparação numérica entre os inversores.....	111

LISTA DE ABREVIATURAS E SIGLAS

ANEEL	Agência Nacional de Energia
Elétrica	
APOD	Alternative Phase Opposition Disposition
AC	Corrente Alternada
CC	Corrente Contínua
CEC	California Energy Commission
CMC	Correntes de Modo Comum
DSP	Digital Signal Processor
EMI	Interferência Eletromagnética
HERIC	Highly Efficient and Reliable Inverter Concept
IEEE	Institute of Electrical and Electronics Engineers
INEP	Instituto de Eletrônica de Potência
INMETRO	Instituto Nacional de Metrologia, Qualidade e Tecnologia
IPD	In Phase Disposition
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
MPPT	Maximum Power Point Tracking
NBR	Denominação de norma ABNT
NPC	Neutral Point Clamped
PI	Controlador Proporcional + Integrador
PLL	Phase Locked Loop
PCB	Circuito Impresso
PRODIST	Procedimentos de Distribuição de energia Elétrica no Sistema Elétrico Nacional
POD	Phase Opposition Disposition
ROHM	Fabricante do Interruptor
SIC	Tecnologia Construtiva do Semicondutor
SIN	Sistema Interligado Nacional
THD	Distorção Harmônica Total
VDE	Normativa Alemã referente ao limite da corrente de modo comum
3L-T	Conversor Tipo T de 3 Níveis
5L-T	Conversor Tipo T de 5 Níveis em Cascata
5L-TH	Conversor Tipo T de 5 Níveis Híbrido
5L-TP	Conversor Tipo T de 5 Níveis paralelo

LISTA DE SÍMBOLOS

C_{p1}	Capacitância parasita entre o terminal positivo do módulo e terra
C_{p2}	Capacitância parasita entre o terminal negativo do módulo e terra
IMC	Corrente de modo comum
I_1	Corrente de entrada do filtro
I_2	Corrente de saída do filtro
C_{M1}	Capacitância entre o vidro e filme do módulo fotovoltaico
C_{CM}	Capacitância parasita total do módulo
C_{M3}	Capacitância entre a camada de silício e a base aterrada
C_{M2}	Capacitância entre filme e a base aterrada do módulo
P	Fase da rede elétrica
N	Neutro da rede elétrica
V_{PV}	Tensão gerada pelo módulo
V_{PO}	Tensão entre fase e negativo do módulo
V_{NO}	Tensão entre neutro e o negativo do módulo
V_g	Tensão da rede elétrica
V_{CM1}	Tensão sobre o capacitor parasita do módulo
V_{CM2}	Tensão sobre o capacitor parasita do módulo
V_{CM}	Tensão de modo comum
V_{dc}	Tensão do barramento
S_1	Interruptor 1 da ponte completa
S_2	Interruptor 2 da ponte completa
S_3	Interruptor 3 da ponte completa
S_4	Interruptor 4 da ponte completa
S_{5a}	Interruptor 5 complementar
S_{5b}	Interruptor 6 complementar
S_{6a}	Interruptor 7 complementar
S_{6b}	Interruptor 8 complementar
f_s	Frequência de comutação
f_r	Frequência da rede elétrica
C_1	Capacitor 1 do barramento
C_2	Capacitor 2 do barramento
V_{AB}	Tensão de saída do conversor
M	Índice de modulação
D	Modulador senoidal
V_P	Tensão de pico da rede
R_O	Resistência de saída do conversor
P_O	Potência de saída do conversor
T_S	Período de comutação
I_L	Corrente de saída do conversor
I_{Lavg}	Corrente média de saída do conversor

I_{Lrms}	Corrente eficaz de saída do conversor
I_s	Corrente no interruptor.
C_{eq}	Capacitor equivalente do barramento
I_{ef}	Corrente eficaz para o capacitor equivalente do barramento
P_{in}	Potência de entrada do conversor
R_{in}	Resistência de entrada do barramento
$\Delta_{Vin\%}$	Ondulação percentual da tensão de entrada
I_p	Corrente de pico do conversor
ω	Frequência angular
R_{SE}	Resistência interna do capacitor
I_{Cef}	Corrente eficaz no capacitor
S_T	Potência aparente
Pot_{Ceq}	Potência no capacitor equivalente
φ_{ST}	Ângulo para o fator de potência
L_1	Indutor 1 do filtro passa baixa de saída
L_2	Indutor 2 do filtro passa baixa de saída
C_f	Capacitor de ressonância
C_d	Capacitor do ramo de amortecimento do filtro
R_d	Resistor do ramo de amortecimento do filtro
Δ_{IL}	Ondulação da corrente de saída
f_o	Frequência de ressonância do filtro
Z_1	Impedância entre L_2 , C_d e R_d .
Z_3	Impedância do indutor L_1
$H(s)$	Função de transferência do filtro de saída
I_{ref}	Corrente lida da saída
C_i	Controlador de corrente
K_{PWM}	Ganho do modulador
K_i	Ganho do sensor de corrente
$FTLA$	Função de transferência de laço aberto
$FTLA_{nc}$	Função de transferência de laço aberto não compensado
$FTLA_C$	Função de transferência de laço aberto compensado
M_f	Margem de fase
f_c	Frequência de cruzamento
K_c	Ganho do controlador
ω_Z	Frequência angular do zero do compensador PI
V_{ref}	Tensão lida da rede
K_{ff}	Ganho da realimentação do feedforward
K_{PLL}	Ganho do PLL
V_{PLL}	Tensão de saída do PLL
$P_{3\phi}$	Potência trifásica do PLL
$I(s)$	Bloco integrador do PLL
C_{iss}	Capacitor de entrada entre dreno e gate

C_{rss}	Capacitor parasita entre gate e source
C_{oss}	Capacitor parasita de saída entre dreno e source
T_{rr}	Tempo de recuperação reversa
RDS_{ON}	Resistência típica do MOSFET
I_D	Corrente de dreno do MOSFET
V_{DSS}	Tensão de dreno e source do MOSFET
t_r	Tempo de subida
t_f	Tempo de descida
C_{PLL}	Controlador PLL
I_N	Corrente nominal do sensor de corrente
V_{offset}	Tensão de <i>offset</i> do sensor
V_{Hall}	Tensão de saída do sensor
f_{Sinal}	Largura de banda do sinal de entrada
f_{LSB}	Frequência do filtro antialiasing
f_{ca}	Frequência de canto
f_a	Frequência de amostragem
f_{GBW}	Frequência largura de banda do amplificador
η	Rendimento
U_{thd_2}	THD do conversor
η_{CEC}	Rendimento CEC

SUMÁRIO

1	Introdução Geral.....	27
1.1	Contextualização do Trabalho	27
1.2	Conceito da Microgeração	28
1.3	Normas, Regulamentos e Perspectivas.	31
1.4	Principais contribuições do Trabalho.....	32
1.5	Estrutura da Dissertação	32
2	Revisão Bibliográfica	34
2.1	Microinversor de Duplo Estágio	34
2.1.1	Influência das capacitâncias parasitas para o surgimento das correntes de modo comum	36
2.2	Corrente de fuga nos inversores baseados na topologia em ponte completa.....	39
2.3	Estudo das principais topologias de conversores multiníveis	40
2.3.1	Conversores <i>T-Type</i> (Tipo T).....	40
3	Estágio de Potência	47
3.1	Topologia Proposta.....	47
3.1.1	Regiões e Etapas de Operação	48
3.1.2	Modulação.....	50
3.1.3	Esforços nos Semicondutores.....	53
3.1.4	Capacitor do Barramento	58
3.1.5	Filtro Passa-Baixa de Saída.....	62
3.1.6	Estratégia de Controle.....	64
3.2	Conclusão	71
4	Projeto do Conversor.....	73
4.1	Esforços de Corrente nos Interruptores.....	74
4.2	Esforços de Tensão nos Interruptores	76
4.3	Capacitor do Barramento	78
4.4	Filtro de Saída.....	79
4.5	Definição dos parâmetros de controle.....	82

4.6 Sistema de sincronismo PLL.....	84
4.7 Condicionamento de Sinal	84
4.7.1 Leitura da Corrente de Saída	85
4.7.2 Leitura da Tensão da Rede	87
4.8 Placa de Circuito de Gate Driver	88
4.9 Placa para alimentar o condicionamento de sinais	89
4.10 Conclusão.....	89
5 Resultados	91
5.1 Formas de onda	92
5.1.1 Validação da Modulação	92
5.1.2 Tensão nos Interruptores	94
5.2 Distorção Harmônica de Corrente e Rendimento.....	99
5.3 Degrau de irradiância	105
5.4 Tensão de Modo Comum.....	108
6 Conclusão	113
6.1 Análise Geral da Dissertação	114
6.2 Trabalhos Futuros	115
Apêndice A.....	123
Apêndice B.....	127
Apêndice C.....	130
Apêndice D.....	135
Apêndice E.....	145

INTRODUÇÃO GERAL

1.1 Contextualização do Trabalho

Com a crescente demanda energética e o suposto declínio dos recursos energéticos oriundos de combustíveis fósseis, tem-se buscado outros meios de produzir energia, primando-se significativamente por recursos renováveis. Tais recursos incluem as energias fotovoltaica, geotérmica, eólica, biomassa, oceânica e hidroelétrica, porém as energias fotovoltaica e eólica são as que vêm ganhando maior destaque no cenário mundial [1].

A energia fotovoltaica tem crescido com uma taxa média anual de 60% nos últimos cinco anos, ultrapassando em um terço a capacidade instalada de energia eólica acumulada. Tal fato tem sido impulsionado, entre outros fatores, pela redução dos custos de fabricação dos módulos fotovoltaicos [2]-[3].

A tecnologia de módulos fotovoltaicos predominante no mercado atual é a de silício cristalino, que detém cerca de 90% das vendas. Cabe ressaltar que outra tecnologia que vem ganhando força no mercado é a de filmes finos, mostrando-se muito versátil em termos de conversão de energia e competitividade.

Espera-se que em longo prazo a tecnologia de filme fino ultrapasse as tecnologias cristalinas, pois detém baixo custo de fabricação e possibilita ser instalada em superfícies com curvatura de até 30 graus [4]. Essa angulação pode ser aproveitada para que o módulo permaneça exposto à radiação solar por maior intervalo de tempo em relação a um módulo área similar, mais de silício cristalino (rígido), o que se configura como uma vantagem.

Outrossim, a parte construtiva do módulo de filme fino apresenta menor agressão ao meio ambiente, pois sua construção necessita de uma menor quantidade de material em relação à tecnologia cristalina: por possuir energia de condução inferior à existente em módulos cristalinos, requer o uso de uma camada extremamente fina de material. Além disso, módulos de filme fino fornecem valores de tensão superiores aos gerados a partir de módulos cristalinos [4].

Apesar das características divergentes, ambos os tipos de módulo (cristalino e filme fino) ainda apresentam rendimentos para aplicações comerciais limitadas ao patamar de 20%. Esse fato vem estimulando diversos centros de pesquisa a aplicarem esforços no desenvolvimento de técnicas que permitam elevar o rendimento da fotoconversão. Paralelamente, buscam maximizar a eficiência dos conversores utilizados no processamento da energia fotogerada [4]. Esses estudos vêm sendo aplicados na busca de topologias que promovam aumento de rendimento, sem que haja deterioração de requisitos igualmente importantes, como baixo perfil, peso e custo.

Diante das características supracitadas, [5] concluiu que a topologia mais adequada para essa aplicação é baseada no uso de inversores em ponte completa, que permitem maiores valores de tensão de saída e rendimentos superiores, quando comparados a outras estruturas, por exemplo, em meia ponte. Contudo, sua problemática destaca-se no surgimento das correntes de modo comum, que circulam por capacitâncias parasitas oriundas do aterramento do módulo fotovoltaico [6]. Tal corrente surge devido à comutação dos interruptores atrelada a não isolamento galvânica entre a saída do conversor e o módulo fotovoltaico, proporcionando distorção da corrente injetada na rede, desarme desnecessário de dispositivos de proteção, interferências eletromagnéticas, entre outros problemas. Outro aspecto importante, principalmente para conversores conectados à rede elétrica e em acionamentos de máquinas, é a interferência eletromagnética (EMI) proveniente da comutação dos interruptores em alta frequência, resultando na emissão de ruído irradiado e conduzido para a rede ou equipamentos nas proximidades.

Para encontrar soluções mais adequadas para esse problema, pesquisadores vêm, ao longo de anos, buscando meios de melhorar o desempenho dos inversores, criando topologias a partir do conversor em ponte completa capazes de minimizar a circulação das correntes de modo comum. Contudo, restrições quanto à propriedade intelectual de certas técnicas dificultam seu emprego em aplicações comerciais, mas criam um nicho para novas pesquisas. Essa afirmação pode ser evidenciada na busca do termo *high efficiency converter*, na plataforma IEEE.

1.2 Conceito da Microgeração

Os módulos fotovoltaicos são fontes caracterizadas por gerarem corrente contínua; assim, para fornecer a energia por eles gerada à rede

pública, é necessário um circuito eletrônico de conversão.

Geralmente, devido à baixa tensão que disponibilizam, módulos fotovoltaicos são agrupados em série, dando origem a estruturas conhecidas como *strings* fotovoltaicas. Via de regra, *strings* são utilizadas para alimentar um inversor centralizado de alta potência, porém, devido à existência de um único barramento compartilhado por diversos módulos associados em série, efeitos de sombreamento parcial podem se tornar acentuados e, como consequência, alguns desses módulos acabam por operar fora do ponto de máxima potência (do Inglês *Maximum Power Point - MPP*). Nesse cenário, mesmo que encontrado um ponto de operação que maximize a geração global, não haverá garantia de que cada módulo esteja operando em seu ponto ótimo [7].

Uma maneira de melhorar a modularidade da configuração do sistema em aplicações residenciais é fazer com que cada módulo tenha seu próprio conversor, dimensionado de acordo com a potência máxima gerada pelo referido módulo. Inversores destinados a processar a energia de um único módulo são chamados de microinversores fotovoltaicos [8] e suas principais vantagens são: maior capacidade de geração, devido à mitigação de fenômenos associados a sombreamentos parciais, rastreamento individual do ponto de potência máxima e consequente aumento no rendimento do sistema, manutenção individual dos módulos, sem que haja necessidade de desconexão completa, custo de instalação inicial flexível, expansão facilitada, módulo a módulo, e uso de apenas uma rede AC no telhado.

Comumente, os microinversores consistem em conversores monofásicos que podem ser classificados como sendo de um ou de dois estágios. Para o microinversor de estágio único apresentado na Figura 1-1(a), é possível observar que a estrutura possui somente o inversor conectado diretamente ao módulo, sendo, por isso, necessário que o conversor garanta elevado ganho estático (entre 10 a 20 vezes) para poder adequar a tensão CC de entrada à tensão CA de saída. Outro fato está relacionado ao rastreamento do ponto de máxima potência (do Inglês *Maximum Power Point Tracking - MPPT*) e à potência fornecida à rede elétrica, que devem ser implementados em um único conversor, acarretando maior complexidade de modelagem e controle para satisfazer os critérios de qualidade de energia usualmente aplicados por norma. Vale destacar que a topologia mais recorrentemente empregada para essa aplicação é o inversor *flyback* de estágio único, apresentado em [9].

Em contrapartida, os microinversores de duplo estágio, como mostra

a Figura 1-1(b), fazem uso de um conversor CC-CC de alto ganho, que eleva a tensão do módulo, criando um barramento CC intermediário, cujo valor atinge patamares superiores ao valor de pico da tensão da rede elétrica. Normalmente, esse estágio intermediário de processamento de energia também é responsável por realizar o rastreamento do ponto de máxima potência do módulo fotovoltaico, enquanto o segundo estágio é responsável por realizar a interface com a rede elétrica, respeitando as exigências de qualidade de energia impostas pela concessionária.

Além dos microinversores possuírem estágio único ou duplo estágio, existem topologias que apresentam isolamento galvânica entre a rede elétrica e o módulo fotovoltaico. Essa isolamento evita a circulação de correntes de modo comum, oriundas da existência de tensões pulsadas em alta frequência entre os pontos de aterramento do módulo e da rede elétrica, conforme mencionado anteriormente. A circulação de correntes de modo comum pode ocasionar mau funcionamento do sistema ou atuação inesperada das proteções.

Logicamente, o uso de transformadores que promovam a isolamento galvânica (seja em baixa ou alta frequência) afeta diretamente o custo, o peso e o volume do protótipo, além de deteriorar o rendimento da estrutura. Por esse motivo, conversores não isolados, ou seja, que não empregam isolamento galvânica, têm se tornado mais atrativos, sendo esta a solução mais recorrentemente utilizada na indústria [9].

Vale destacar que, em alguns países, há exigências quanto à presença de isolamento galvânica em microinversores [8]. Entretanto, as normas nacionais, tomadas como base para elaboração deste trabalho, não destacam tal necessidade, possibilitando e justificando a utilização de um conversor de duplo estágio não isolado.

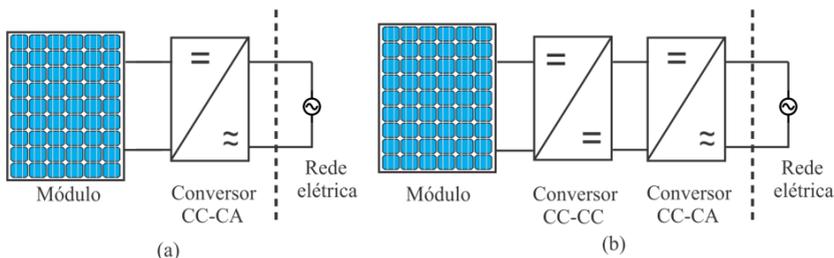


Figura 1-1 – (a) Microinversor de estágio único; (b) Microinversor de estágio duplo.

1.3 Normas, Regulamentos e Perspectivas

Para conciliar a geração distribuída com a matriz energética tradicional, por meio do sistema interligado nacional (SIN), compromissos entre qualidade e confiabilidade do sistema devem ser considerados. Para tanto, a legislação específica norteia a microgeração distribuída, mediante a aplicação de resoluções normativas que definem direitos e obrigações dos usuários, junto com o compromisso da compensação da energia gerada via créditos por parte das concessionárias.

As Resoluções Normativas ANEEL nº482 e nº 687 não só definem o compromisso da microgeração como complementam a parte técnica de qualidade de energia seguindo os procedimentos de distribuição (PRODIST) módulo 8. Esse procedimento apresenta todos os requisitos referentes à qualidade da energia imposta na rede elétrica e, em conjunto com a norma brasileira NBR 16149, fornece requisitos específicos quanto à conexão de sistemas fotovoltaicos à rede elétrica. Ainda, visando à proteção em momentos de manutenção da rede elétrica, existe a conformidade regida pela NBR 16150, que estabelece que, em caso de falta ou desligamento proposital da rede elétrica, automaticamente ocorra o desligamento do microinversor, evitando a operação de forma ilhada (anti-ilhamento), que poderia manter a rede elétrica energizada inadvertidamente.

O presente estudo elenca, como maior importância entre os requisitos de conexão, a qualidade da corrente injetada na rede elétrica. Para tanto, discute e valida os parâmetros relacionados à distorção harmônica de acordo com as normas vigentes, sobretudo, a NBR 16149, a qual define que os limites máximos da distorção harmônica total (THD) sejam de 5%, considerando que as componentes harmônicas até a quadragésima ordem não extrapolem os limites apresentados na Tabela 1-1.

Tabela 1-1 – Limites de Distorção Harmônica de Acordo com a NBR 16149.

Harmônicas Ímpares	Limite de Distorção
3° a 9°	< 4,0%
11° a 15°	< 2,0%
17° a 21°	< 1,5%
23° a 33°	< 0,6%
Harmônicas Pares	Limite de Distorção
2° a 8°	< 1,0%

10° a 32°

< 0,5%

1.4 Principais Contribuições do Trabalho

A principal contribuição da presente dissertação é a proposição de uma topologia de inversor multinível a ser utilizada como segundo estágio de um microinversor fotovoltaico. A modulação empregada considera portadoras em fase (do *Inglês In-phase Modulation – IPD*) e proporciona que o inversor forneça tensão de saída (antes da filtragem) com cinco níveis, caracterizando-o como uma estrutura multinível. Assim como todas as topologias multiníveis, o inversor proposto tem como vantagem a redução do volume total do filtro de saída e mitigação da circulação de correntes de modo comum, com consequências positivas ao rendimento da estrutura. Ainda, como contribuição, cita-se a construção de um protótipo de 250 W, com o intuito de validar as análises teóricas realizadas, no que diz respeito à conexão de sistemas fotovoltaicos conectados à rede.

1.5 Estrutura da Dissertação

Esta dissertação está dividida em seis capítulos destinados ao estudo de uma nova topologia de inversor de tensão monofásico de cinco níveis para processamento fotovoltaico. Neste primeiro capítulo, é realizada uma contextualização do trabalho e expostas suas contribuições.

No Capítulo 2, é feita uma revisão da bibliográfica sobre topologias de inversores utilizados na aplicação, de onde se deriva a topologia multinível proposta como tema de estudo.

A análise das etapas de operação do inversor, em conjunto com as equações, estratégia de modulação, esforços nos semicondutores e todo o projeto do filtro de saída e de controle são apresentados no Capítulo 3, de forma literal.

No Capítulo 4, é apresentado o projeto do conversor de forma detalhada, destacando-se o dimensionamento dos componentes que farão parte do conversor, desenvolvido a partir de especificações pré-definidas e das equações obtidas no capítulo anterior. Na sequência, é realizado o projeto físico dos indutores e definida a estratégia de controle a ser implementada.

No Capítulo 5, é apresentado o protótipo, bem como os resultados experimentalmente obtidos a partir da conexão do inversor à rede elétrica, possibilitando a completa validação dos prévios resultados teóricos e de simulação.

Por fim, no Capítulo 6, uma conclusão geral do trabalho é apresentada, assim como perspectivas para trabalhos futuros.

Adicionalmente, o Apêndice A apresenta a planilha para os cálculos dos esforços de corrente sobre os interruptores da estrutura. Os valores obtidos nessa planilha auxiliaram na escolha adequada dos interruptores. O Apêndice B, por sua vez, demonstra o projeto do filtro passa-baixa de saída e a estratégia orientada ao controle da corrente injetada na rede elétrica. Ainda, o projeto físico dos indutores é destacado no Apêndice C e resultados de simulação, no Apêndice D, enquanto o código fonte da modulação, controle e aquisição de sinais, em conjunto com os esquemáticos e *layouts* realizados pelo *Software Altium PCB Designer* para a montagem do conversor, são apresentados no Apêndice E.

REVISÃO BIBLIOGRÁFICA

Este capítulo constitui-se de uma revisão bibliográfica sobre as principais estruturas de inversores que podem ser utilizadas em microinversores de duplo estágio. Nele serão apresentadas algumas variações topológicas e suas principais características, restringindo-se às estruturas não isoladas. Serão avaliadas figuras de mérito como rendimento correntes de circulação, geradas entre a rede elétrica e o aterramento do módulo fotovoltaico.

2.1 Microinversor de Duplo Estágio

Várias são as topologias existentes na literatura para esta aplicação, sendo que as mais utilizadas derivam de inversores em ponte completa (*full bridge*). Esse tipo de conversor apresenta maior número de componentes, circuitos auxiliares e maior tensão comutada presente nos interruptores, o que acaba possibilitando um rendimento em torno de 90% [9]. Em [11] é apresentada uma vasta análise de topologias de microinversor de duplo estágio, onde se realizam conexões de conversores CC-CC de alto ganho em cascata com inversores não isolados em ponte completa. Neste mesmo trabalho é ressaltado o problema da corrente de circulação (corrente de modo comum) que se faz presente em conversores que não possuem isolamento galvânica.

As topologias de inversores monofásicos sem isolamento galvânica, ou seja, sem transformador (em alta ou em baixa frequência), apresentam uma conexão direta entre o conversor de energia e a rede elétrica, cujo terminal neutro é comumente aterrado. Além disso, por segurança, há recomendações para que os módulos fotovoltaicos também sejam aterrados. Nesse contexto, surge um caminho, via capacitâncias parasitas, para correntes de circulação, conforme é mostrado na Figura 2-1. De fato, a corrente de circulação corresponde à corrente de modo comum (CMC) e, portanto, ambos os nomes podem ser usados indistintamente.

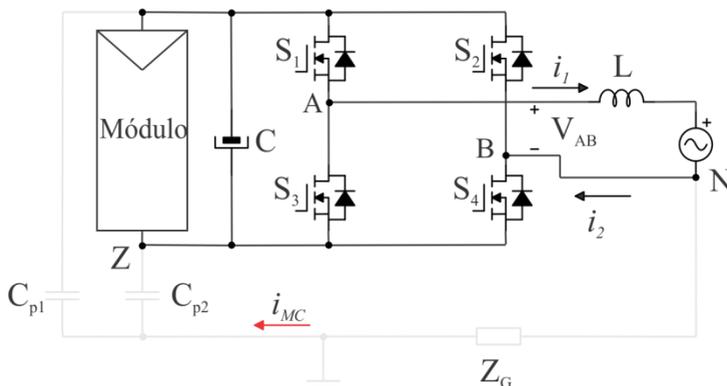


Figura 2-1 – Inversor monofásico básico sem isolamento galvânica.

Como ilustrado, a corrente de modo comum envolve as capacitâncias parasitas equivalentes C_{p1} e C_{p2} , que são formadas entre as células fotovoltaicas e a moldura aterrada do módulo [12], [13]. Os valores de C_{p1} e C_{p2} são compreendidos na ordem de nanofarad a microfarad e dependem das condições de operação como, por exemplo, umidade, poeira, tamanho do módulo, estrutura do quadro de fixação e aterramento. Conforme mencionado em [14], [15], a corrente de modo comum pode afetar o rendimento e a confiabilidade do sistema, podendo causar problemas de interferência eletromagnética (EMI), distorção da corrente injetada na rede, perdas adicionais ao sistema e desarme desnecessário de dispositivos de proteção diferencial residual. Além disso, representa um potencial risco elétrico aos seres humanos que eventualmente entram em contato com a matriz fotovoltaica. Assim, a falta de isolamento galvânica pode representar um enorme risco de segurança, caso a corrente de circulação não seja devidamente controlada.

Em conformidade com as normas, não há um acordo internacional em termos de limitações do fluxo dessa corrente, no entanto, seu monitoramento e sua proteção são necessários. Especificamente, o código alemão *VDE 0126-1-1* estabelece que o valor máximo da corrente de fuga não deva exceder o valor de 300 mA, caso contrário, o sistema fotovoltaico deve ser desconectado da rede elétrica dentro de 0,3 s, [16].

Normalmente, correntes de modo comum podem ser evitadas ou, pelo menos, limitadas por filtros passivos conectados ao conversor. No entanto, perdas adicionais aparecerão, diminuindo o rendimento do estágio de conversão e impactando no aumento do volume do sistema. Ademais, a proposta de sistema de conversão de energia com tensão de modo comum

constante (ou aproximadamente constante) vem se tornando uma solução recorrente, sendo que a topologia em ponte completa com modulação bipolar (2 níveis) atende a este requisito, bem como outras topologias, tais como: (*HERIC, H5 e H6* [17-18]).

2.1.1 Influência das capacitâncias parasitas para o surgimento das correntes de modo comum

A maneira como os módulos fotovoltaicos são projetados reflete-se diretamente na ordem de grandeza de suas capacitâncias parasitas em relação ao ambiente, como mostra a Figura 2-2.

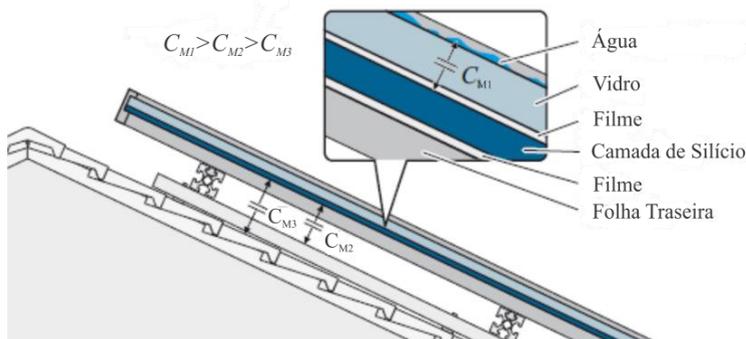


Figura 2-2 – Capacitâncias parasitas na montagem do módulo fotovoltaico [19]

Tais capacitâncias parasíticas estão essencialmente associadas à estrutura e à instalação mecânica, a partir das quais os materiais isolantes (vidro, filmes e folha traseira) que compõem o módulo formam um dielétrico entre os terminais da célula e a estrutura de metal do módulo. Em particular, quanto maior for a estrutura entre o módulo, elementos fixação e aterramento, maior serão as capacitâncias parasitas envolvidas no conjunto. Consequentemente, o valor dessa capacitância pode aumentar significativamente se as superfícies estiverem úmidas (por exemplo, em decorrência de chuva ou condensação).

Em geral, para condições em que existe uma pequena película de água sobre a superfície do módulo, a capacitância total do sistema (C_{CM}) assume o valor de C_{M1} , podendo ser desconsiderado o valor das capacitâncias C_{M2} e C_{M3} . Já em condições que o módulo encontra-se seco (sem a película de água), as capacitâncias parasitas C_{M2} e C_{M3} devem ser consideradas. A Tabela 2-1 mostra exemplos para estimar C_{CM} para

diferentes módulos fotovoltaicos, assumindo o pior caso, ou seja, um filme contínuo de água na superfície do vidro que resulta em valores de capacitância mais elevados [20].

Tabela 2-1 – Estimação da Capacitância Parasita

	CCM/m ²	CCM/KW
Silício Cristalino	12 a 17 nF	60 a 110 nF
Silício de Filme Fino	16 nF	100 a 160 nF

A Figura 2-2 pode ser representada como um circuito equivalente mostrado na Figura 2-3, onde o arranjo fotovoltaico fornece energia a um conversor CC-CA conectado à rede elétrica.

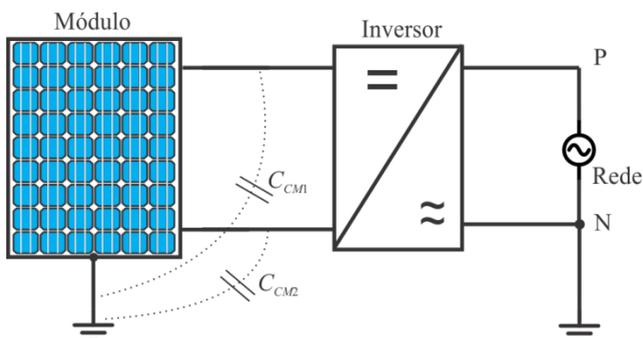


Figura 2-3 – Capacitâncias parasitas anexadas ao sistema fotovoltaico

Como a estrutura de fixação deve estar aterrada, um circuito de condução é formado, contendo as capacitâncias envolvidas na parte construtiva do módulo. Esse circuito pode ser simplificado para o esquema apresentado na Figura 2-4.

Se uma diferença de tensão for aplicada aos capacitores parasitas, haverá circulação de corrente através desses elementos, ocasionando a chamada corrente de modo comum. Como mencionado anteriormente, o surgimento dessa corrente pode interferir na operação do conversor, resultando em eventual falha do sistema. Como a capacitância parasita apresenta valores na ordem de nanofarads, a corrente de modo comum assume valores altos caso ocorram grandes variações da tensão de modo comum, tipicamente na frequência de comutação do inversor [19].

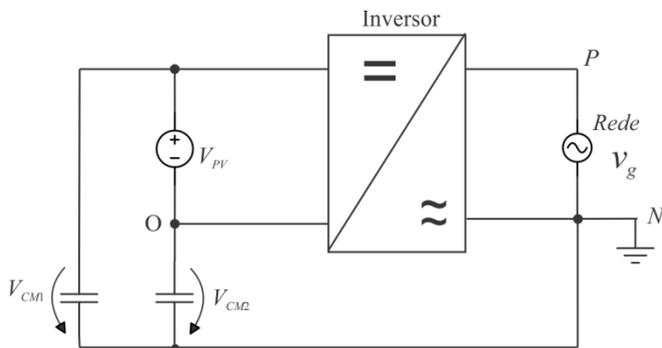


Figura 2-4 – Circuito simplificado para análise das capacitâncias parasitas

O circuito da Figura 2-4 pode ser analisado em termos de tensão, atentando-se ao fato de que a tensão da rede elétrica é considerada constante, pois o interesse está em avaliar os efeitos em alta frequência. Desse modo, pode-se equacionar o circuito, obtendo-se:

$$V_{PO} = V_{CM2} + V_g \quad (2.1)$$

$$V_{NO} = V_{CM2} \quad (2.2)$$

$$V_{CM2} = V_{PV} + V_{CM1} \quad (2.3)$$

Somando ambos os lados de (2.1) e (2.2), (2.4) é determinado. Assim, equacionando (2.3) e (2.4), é possível escrever (2.5).

$$V_{CM2} = \frac{V_{PO} + V_{NO} - V_g}{2} \quad (2.4)$$

$$V_{CM1} = \frac{V_{PO} + V_{NO} - V_g - 2V_{PV}}{2} \quad (2.5)$$

Como mencionado anteriormente, a análise é focada na influência das correntes de fuga em alta frequência. Considerando essa suposição, V_g e V_{PV} podem ser desconsiderados em (2.4) e (2.5), pois se mantêm constantes em um período de comutação. Assim, encontra-se:

$$V_{CM1} = V_{CM2} = V_{CM} = \frac{V_{PO} + V_{NO}}{2} \quad (2.6)$$

A partir de (2.6), é possível calcular a tensão de cada estágio de operação e determinar o comportamento da tensão de modo comum, que dará origem à corrente de modo comum.

2.2 Corrente de fuga nos inversores baseados na topologia em ponte completa

Um dos principais objetivos no projeto de conversores sem isolamento galvânica para processamento de energia fotovoltaica é a redução ou anulação da corrente de modo comum. Algumas soluções apresentam projetos de esquemas de modulação e controle [21], [22], [23], enquanto outras apresentam novas propostas de topologias de inversor sem transformador [14], [24], [25].

Para reduzir o valor dessa corrente, [26] apresenta diferentes modulações para um inversor *full bridge* e conclui que a melhor solução para esse problema é a utilização da modulação bipolar (dois níveis). Tal modulação possibilita que a tensão de saída do inversor não apresente nível zero e, conseqüentemente, não contenha uma etapa de roda livre no conversor, evitando o surgimento de correntes de modo comum. Porém, o maior problema do uso dessa modulação está atrelado ao volume total do filtro de saída e ao aumento do valor eficaz da corrente no capacitor do barramento de entrada, tornando o conversor volumoso e pesado.

Como apresentada na literatura, a modulação de inversores em ponte completa tem grande influência na operação, porém as soluções ainda acabam impactando no volume elevado do conversor. A fim de melhorar esse aspecto, foram analisadas e propostas novas topologias para minimizar as correntes de fuga [27] - [28], garantindo um menor volume do conversor. A partir desse estudo, foi possível dividir as topologias propostas em dois grupos principais: topologias que possuem interruptores de desacoplamento, a fim de evitar a conexão direta da rede elétrica ao módulo durante a operação de roda livre do conversor, e aquelas que dividem a tensão total do barramento com a utilização de dois capacitores, com o intuito de conectar o neutro ao ponto central dos capacitores de entrada. Essa técnica consegue reduzir as variações da tensão de modo comum, o que deve impactar diretamente na minimização da corrente de fuga, diminuir o volume total do filtro e aumentar o rendimento do conversor.

Essas topologias com acesso ao ponto central dos capacitores do barramento geralmente são utilizadas em conversores multiníveis para aplicação em processamento fotovoltaico. Tais conversores possuem maior número de interruptores, porém possibilitam um número maior de níveis na tensão de saída do inversor, o que permite reduzir o estresse de tensão nos semicondutores de potência e o tamanho total do filtro passivo de saída [29], representando uma redução no custo do sistema. Portanto, devido a

esses benefícios, a aplicação de topologias multiníveis em sistemas fotovoltaicos também tem sido objeto de interesse nos últimos anos [30], [31], [32], [33], tendo sido demonstradas certas vantagens também para injeção de energia na rede elétrica em relação a topologias mais simples, pois a tensão de saída CA é formada por múltiplos níveis de tensão, logo a distorção harmônica total (THD) é consideravelmente reduzida. A fim de confirmar tais vantagens, uma análise do inversor multinível tipo T (*T-type*) foi realizada em [34], em que aspectos como rendimento, confiabilidade, qualidade de energia e as perdas de energia e distribuição foram avaliados.

2.3 Estudo das principais topologias de conversores multiníveis

A busca por conversores de potência que forneçam uma corrente de modo comum reduzida, alto rendimento, alta qualidade da energia entregue à rede elétrica e alto desempenho, para o exigente mercado fotovoltaico, está em constante expansão. Em virtude disso, é possível encontrar várias topologias de inversores em aplicações experimentais, como é o caso das topologias H-5 *transformer-less*, H-6, HERIC, NPC monofásico, conversor tipo T, inversor em ponte H com modulação unipolar, H-NPC de cinco níveis e o inversor em cascata assimétrico [35] - [36]. Todas essas topologias são conversores multiníveis, pois geram mais de dois níveis de tensão na saída.

Visando o entendimento mais aprofundado sobre tais aplicações, são apresentadas algumas das principais topologias de conversores multiníveis que foram introduzidas recentemente na literatura [37], [38], [39], as quais são derivadas dos conversores em ponte H, conversor tipo T e NPC (*neutral point clamped*). Para tanto, os conversores descritos são: conversor tipo T de três níveis (3L-T) (introduzido por Conergy [40]), tipo T cinco níveis em cascata (5L-TC), conversor cinco níveis tipo T híbrido (5 L-TH) e, finalmente, o tipo T cinco níveis paralelo (5L-TP).

2.3.1 Conversores *T-Type* (Tipo T)

Os quatro conversores tipo T aqui considerados podem gerar três ou cinco níveis de tensão diferentes em sua saída, dependendo da topologia. Essas estruturas possibilitam que as tensões do capacitor no lado do barramento CC sejam projetadas para atingir um valor de V_{dc} ou $V_{dc}/2$, de acordo com a necessidade da topologia, do esquema de modulação e outras características específicas.

2.3.1.1 Conversor tipo T de três níveis (3L-T)

O conversor 3L-T é mostrado na Figura 2-5, nela é possível observar uma fonte conectada diretamente a dois capacitores, fazendo com que eles atuem como um filtro de desacoplamento entre o lado CC e a rede elétrica.

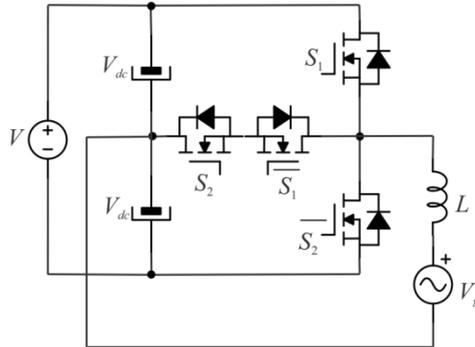


Figura 2-5 – Topologia referente ao conversor tipo T três níveis (3 L-T)

Esse conversor possui quatro interruptores, estando dois deles conectados como um interruptor bidirecional ao ponto central dos capacitores do barramento. Essa conexão é capaz de gerar três níveis de tensão de saída (V_{dc} , 0 e $-V_{dc}$).

É importante evitar o acionamento do interruptor bidirecional com o interruptor superior ou inferior ao mesmo tempo, pois isso pode gerar um curto circuito em um ou ambos os capacitores. A Tabela 2-2 mostra os estados de comutação que geram os três níveis de tensão.

Como a tensão de pico de saída do conversor é equivalente a V_{dc} , a tensão do barramento CC deve ser maior que o dobro do valor de pico da tensão da rede, para garantir o pleno controle do fluxo de energia a partir do gerador fotovoltaico. Em virtude destas características, essa estrutura não é muito atraente para a aplicação em microinversores.

2.3.1.2 Conversor tipo T cinco níveis em cascata (5 L-TC)

A topologia em cascata 5L-TC, introduzida em [39], é mostrada na Figura 2-6, de onde se pode observar que a estrutura consiste em células conversoras 3L-T. Cada célula pode ser conectada ao arranjo fotovoltaico, necessitando de duas fontes geradoras independentes, garantindo o alcance da potência máxima do sistema fotovoltaico. Como o 5L-TC é baseado em duas células conversoras 3L-T conectadas em série, é possível gerar diferentes níveis de tensão V_{dc} , $V_{dc} / 2$, 0, $-V_{dc} / 2$ e $-V_{dc}$. É válido notar que,

nesse caso, a amplitude da tensão total do conversor de saída é equivalente a $V_{dc1}/2 + V_{dc2}/2$. Isso significa que a tensão da metade da célula superior do barramento CC é adicionada à metade inferior da tensão.

A Tabela 2-2 dispõe nove combinações diferentes de estados de comutação para gerar os cinco níveis de tensão. As redundâncias apresentadas são utilizadas para controlar o equilíbrio das tensões sobre os capacitores do barramento. Como já mencionado, para o correto funcionamento do conversor, é necessária a conexão de duas fontes geradoras de energia, fazendo com que esse conversor demande dois algoritmos de rastreamento do ponto de máxima potência independentes, o que resulta no retorno de diferentes referências de tensão para cada célula (dependendo da irradiância solar e da temperatura). A partir dessas características, é possível concluir que essa topologia não atende à necessidade da proposta de um microinversor, tanto pelo imperativo da conexão em série de módulos como também pela complexidade da implementação dos algoritmos de MPPT.

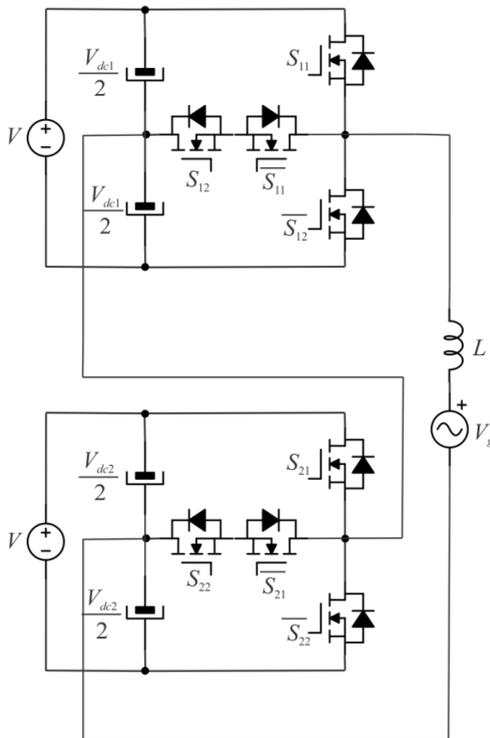


Figura 2-6 – Topologia referente ao conversor tipo T cinco níveis em cascata (5 L-TC)

2.3.1.3 Conversor Tipo T cinco níveis híbrido (5 L-TH)

Este conversor pode gerar cinco níveis na tensão de saída como apresenta o estudo em [38]. Tal configuração em ponte completa composta por um conversor tipo T conectado entre o ponto central do barramento, Figura 2-7, possibilita apenas uma unidade geradora de energia, portanto, necessita apenas de um sistema de MPPT. Na Tabela 2-2 é possível observar que existem apenas dois estados redundantes para gerar o nível de tensão zero. Esses estados redundantes são usados para garantir o balanço das tensões sobre os capacitores do barramento. A conexão em ponte dos dois conversores permite garantir o controle do fluxo de potência adequado em direção à rede elétrica, a partir de um único módulo fotovoltaico. Outra característica desse conversor é a diferença da frequência de comutação de cada braço do conversor, ou seja, a célula 3L-T comuta em alta frequência e a meia ponte comuta em uma frequência igual à componente fundamental da rede.

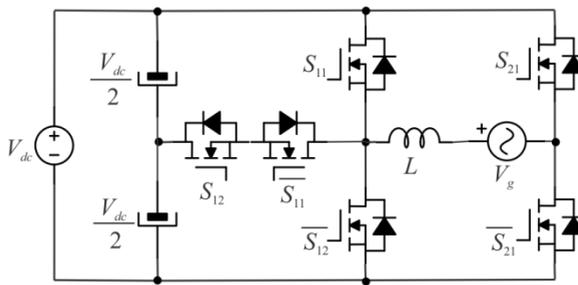


Figura 2-7 – Topologia referente ao conversor tipo T cinco níveis híbrido (5 L-TH)

2.3.1.4 Conversor tipo T cinco níveis paralelo (5L-TP)

A topologia deste conversor é ilustrada na Figura 2-8, a estrutura é baseada em duas células do conversor 3L-T conectadas ao ponto central do barramento CC. A Tabela 2-2 apresenta a lógica de acionamento dos interruptores e suas respectivas tensões de saída, portanto, V_{dc} , $V_{dc} / 2$, 0 , $-V_{dc} / 2$ e $-V_{dc}$ podem ser geradas. Existem nove estados possíveis de comutação com vários estados redundantes. Da mesma forma que nos conversores 5L-TC e 5L-TH, essa característica será utilizada para balancear a tensão sobre os capacitores do barramento. Como essa topologia tem o mesmo requisito que o 5L-TH, faz-se necessário um estágio responsável pelo aumento da tensão gerada pelo módulo fotovoltaico, a fim de garantir o nível de tensão adequado para conexão com a rede elétrica.

Essa estrutura é utilizada para a operação em sistemas fotovoltaicos, bem como a estrutura 5L-TH, porém, por questões de propriedade intelectual, o uso dessas topologias acaba se tornando impraticável para a proposta em estudo.

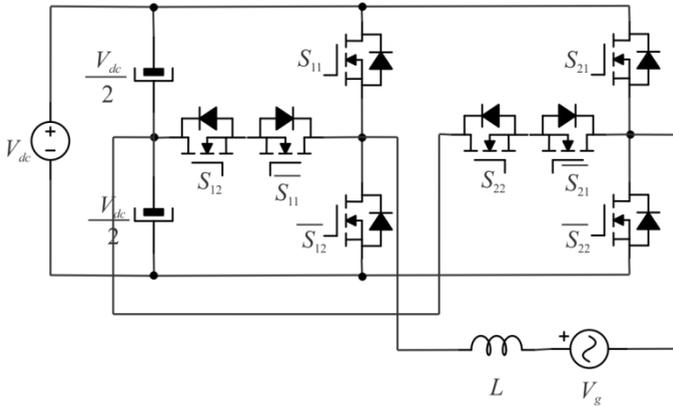


Figura 2-8 – Topologia referente ao conversor tipo T cinco níveis paralelo (5 L-TP)

Tabela 2-2 – Lógica de acionamento das topologias cinco níveis

V_c	Conversor 3L-T		5L-T Cascata				5L-T Híbrido			5L-T Paralelo			
	S_1	S_2	S_{11}	S_{12}	S_{21}	S_{22}	S_{11}	S_{12}	S_{21}	S_{11}	S_{12}	S_{21}	S_{22}
V_{dc}	1	1	1	1	1	1	1	1	0	1	1	0	0
$V_{dc}/2$	-	-	1 0	1 1	0 1	1 1	0	1	0	1 0	1 1	0 0	1 0
0	0	1	1	1	0	0	1	1	1	0	1	0	1
			0	0	1	1	0	0	0	0	0	0	0
$-V_{dc}/2$	-	-	0	0	0	1	0	1	1	0	1	1	1
			0	1	0	0	0	0	0	0	0	0	0
$-V_{dc}$	0	0	0	0	0	0	0	0	1	0	0	1	1

Visando contornar os problemas supracitados, este trabalho tem como objetivo propor uma nova estrutura de conversor, apresentado na Figura 2-9, capaz de conectar-se à rede elétrica de 220 V eficaz e 60 Hz, com potência nominal de 250 W. Esse circuito mescla o conceito do inversor *full bridge* tradicional, com o conceito das células do conversor 3L-T conectadas entre os braços principais do inversor. Dessa forma, busca-se garantir cinco níveis na tensão de saída do conversor, redução nos esforços de corrente e tensão sobre os interruptores, redução do filtro de saída e aumento no rendimento da estrutura.

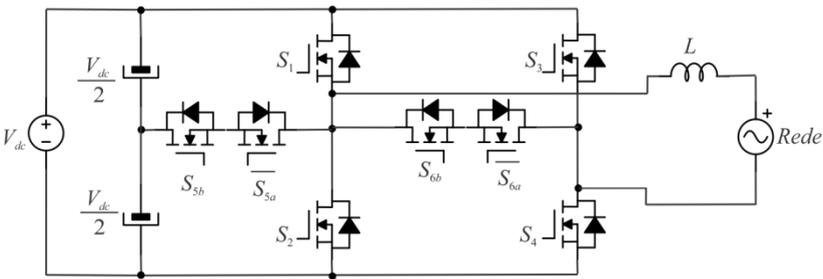


Figura 2-9 – Topologia cinco níveis proposta

Com a definição da topologia e o entendimento das suas características para a aplicação, é possível agora realizar o projeto do estágio de potência do inversor, podendo com ele compreender todas as etapas do projeto analisando todo desenvolvimento para o seu correto funcionamento.

ESTÁGIO DE POTÊNCIA DO INVERSOR PROPOSTO

Neste capítulo é apresentado o princípio de funcionamento e as principais equações do inversor proposto, ilustrado na Figura 3-1. Para este estudo, foram assumidas as seguintes condições: o inversor apresenta tensão de entrada contínua V_{dc} ; a corrente é puramente senoidal no lado CA; há inexistência de queda de tensão de baixa frequência nos indutores do filtro e a frequência de comutação f_s é, pelo menos, uma ordem de magnitude maior que a frequência da componente fundamental da tensão da rede elétrica f_r ($f_s \gg f_r$).

Uma vez consideradas essas condições, serão apresentadas as etapas de operação, a modulação aplicada ao conversor, as equações para determinar os esforços de corrente e de tensão nos interruptores e o cálculo dos capacitores do barramento. O capítulo ainda descreve o projeto do filtro passa-baixa de saída, a modelagem matemática e as estratégias de controle.

3.1 Topologia Proposta

Pode-se verificar na Figura 3-1 que esta topologia é composta por um inversor em ponte completa com quatro interruptores adicionais conectados entre o ponto médio dos braços principais e o ponto médio dos capacitores do barramento CC. Para facilitar o estudo do conversor, foi definido que os interruptores conectados em série aos terminais do barramento são os interruptores principais, e aqueles em antissérie conectados entre os pontos médios dos capacitores e dos braços principais são os interruptores complementares da estrutura.

O arranjo proposto caracteriza o inversor como uma estrutura multinível, possibilitando uma tensão de cinco níveis entre os terminais A e B do conversor.

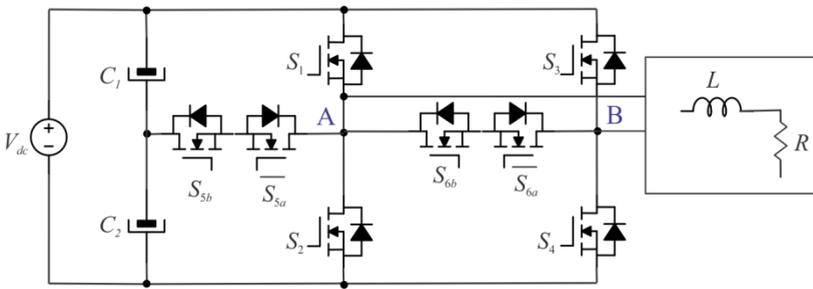


Figura 3-1 – Inversor Proposto.

3.1.1 Regiões e Etapas de Operação

Os interruptores da estrutura operam de maneira complementar, em que S_1 , S_2 , S_3 e S_4 são considerados os interruptores principais e S_{5a} , S_{5b} , S_{6a} e S_{6b} os complementares. Como consequência, o conversor apresenta oito possíveis etapas de operação que podem ser agrupadas em seis regiões operacionais. Cada região consiste em dois estágios de operação alternados, que impõem dois níveis de tensão ao filtro de saída, de acordo com a Tabela 3-1.

Tabela 3-1 - Lógica de Acionamento dos Interruptores

Tensão V_g	MOSFET				Níveis V_{AB}
	S_1	S_2	S_3	S_4	
$V_g > 0$	<i>off</i>	<i>off</i>	<i>off</i>	<i>off</i>	0
	<i>off</i>	<i>off</i>	<i>off</i>	<i>on</i>	$+V_{dc}/2$
	<i>off</i>	<i>off</i>	<i>off</i>	<i>on</i>	$+V_{dc}/2$
	<i>on</i>	<i>off</i>	<i>off</i>	<i>on</i>	$+V_{dc}$
$V_g < 0$	<i>off</i>	<i>off</i>	<i>off</i>	<i>off</i>	0
	<i>off</i>	<i>off</i>	<i>on</i>	<i>off</i>	$-V_{dc}/2$
	<i>off</i>	<i>off</i>	<i>on</i>	<i>off</i>	$-V_{dc}/2$
	<i>off</i>	<i>on</i>	<i>on</i>	<i>off</i>	$-V_{dc}$

Para facilitar o entendimento, é possível descrever cada região de operação com maiores detalhes. Assim, será possível identificar as etapas de operação e apresentar os estados lógicos dos interruptores, juntamente com o nível de tensão imposto nos terminais A e B do conversor.

3.1.1.1 Primeira região de operação

Esta região se inicia quando, na primeira etapa de operação, os interruptores principais S_1 , S_2 , S_3 e S_4 são comandados ao bloqueio, assim os

interruptores complementares S_{5a} , S_{5b} , S_{6a} e S_{6b} são comandados à condução, impondo nível zero em V_{AB} . Sequencialmente, S_4 é comandado a conduzir, quando instantaneamente o interruptor S_{6b} , que é seu complementar, é comandado ao bloqueio, de forma que V_{AB} seja configurado para $V_{dc}/2$. Esses dois estágios ocorrem de forma alternada durante o ciclo positivo da tensão da rede.

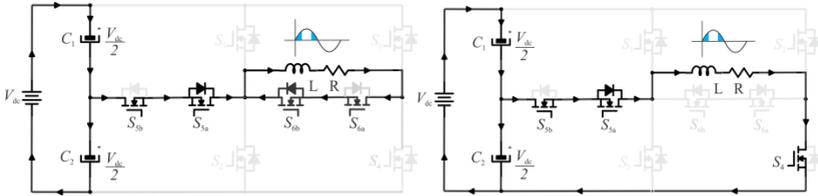


Figura 3-2 – Primeira região de operação.

3.1.1.2 Segunda região de operação

Nesta região de operação, quando S_4 e S_{5a} estão comandados a conduzir, V_{AB} é imposto como $V_{dc}/2$. Sequencialmente, S_1 é comandado à condução e S_{5a} ao bloqueio, levando V_{AB} para V_{dc} . Portanto, V_{AB} alterna entre $V_{dc}/2$ e V_{dc} .

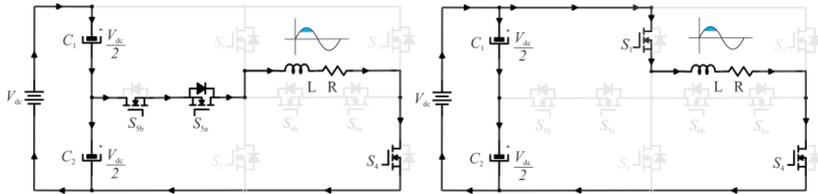


Figura 3-3 – Segunda região de operação.

3.1.1.3 Terceira região de operação

Esta região de operação é idêntica à primeira região operacional apresentada.

3.1.1.4 Quarta região de operação

Esta região ocorre durante o ciclo negativo da tensão da rede, quando S_1 e S_4 são comandados ao bloqueio e seus respectivos interruptores complementares são acionados, forçando V_{AB} a zero. Sequencialmente, S_3 é comandado à condução e S_{6a} , que é seu complementar, ao bloqueio, levando V_{AB} para $-V_{dc}/2$. Como consequência, V_{AB} alterna entre zero e $-V_{dc}/2$.

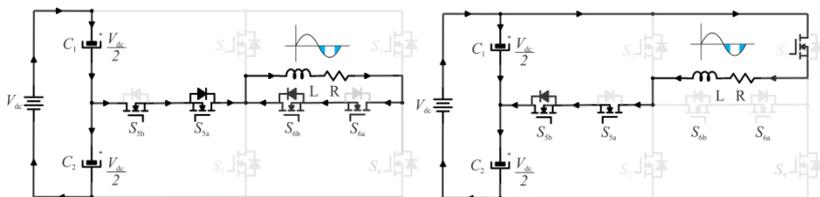


Figura 3-4 – Quarta região de operação.

3.1.1.5 Quinta região de operação

Nesta região de operação, quando S_3 e S_{5b} estão em condução, V_{AB} é imposto como $-V_{dc}/2$. Sequencialmente, quando S_2 entra em condução e S_{5b} , que é seu complementar, entra em bloqueio, V_{AB} torna-se $-V_{dc}$. Portanto, nessa região, V_{AB} alterna entre $-V_{dc}/2$ e $-V_{dc}$.

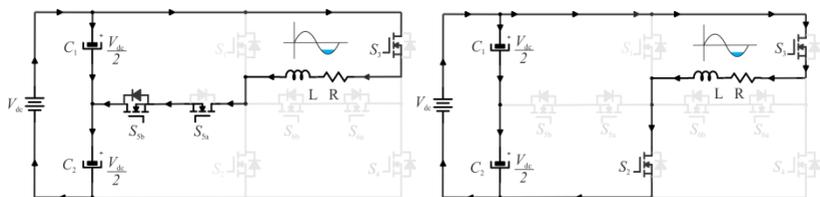


Figura 3-5 – Quinta região de operação.

3.1.1.6 Sexta região de operação

Esta região de operação é semelhante à quarta região anteriormente apresentada, porém é também a que finaliza um período da rede elétrica.

3.1.2 Modulação

A teoria de modulação para eletrônica de potência vem do conceito de telecomunicações. Esta consiste em transmitir a informação de um sinal de referência, traduzindo-o em um ou mais sinais booleanos, que serão utilizados no acionamento dos interruptores do conversor (condução ou bloqueio). Como resultado, a informação a ser transmitida representa a forma de onda desejada na saída do conversor, seja ele CC-CC ou CC-CA. Para compreender melhor essa aplicação, nesta seção serão tratados os aspectos referentes diretamente à técnica de modulação aplicável a conversores CC-CA, ou inversores de tensão.

A técnica de modulação mais conhecida e aplicada atualmente em inversores é a modulação *SPWM* (*Sinusoidal Pulse Width Modulation*) de múltiplas portadoras. Essa técnica consiste na comparação direta entre um

sinal modulante e uma portadora. Existem vários tipos de modulação *SPWM*, as mais comumente empregadas são: *In Phase Disposition (IPD)*, *Phase Opposition Disposition (POD)* e *Alternative Phase Opposition Disposition (APOD)*, quais são diferenciadas principalmente pela forma como as portadoras são dispostas.

Para o estudo, optou-se pela modulação *IPD*, Figura 3-6(a), na qual seu conceito de funcionamento consiste em gerar quatro portadoras triangulares dispostas verticalmente e em fase, sendo essas comparadas por um sinal modulador senoidal (M). Essas portadoras serão combinadas de modo que duas delas sejam usadas nos níveis positivos da senóide e outras duas usadas na parte negativa da onda, de modo a obter as mesmas características. Isso possibilita gerar uma onda senoidal com cinco níveis de tensão na saída do conversor.

Tal comparação é capaz de produzir o padrão de pulsos para a comutação dos MOSFETs ($S_1, S_2, S_3, S_4, S_{5a}, S_{5b}, S_{6a}, S_{6b}$), em que a passagem da moduladora em cada portadora também define cada região de operação anteriormente apresentada, delimitando o término de uma região e o início de outra, como exibido na Figura 3-6(b).

A partir dos níveis de tensão entre os terminais A e B (V_{AB}), Figura 3-6(c), é possível identificar os cinco níveis aplicados à entrada do filtro, resultando uma corrente de saída em fase com a tensão da rede elétrica e garantindo a conversão de energia com elevado fator de potência, em conformidade com a *Resolução Normativa ANEEL 482/12*.

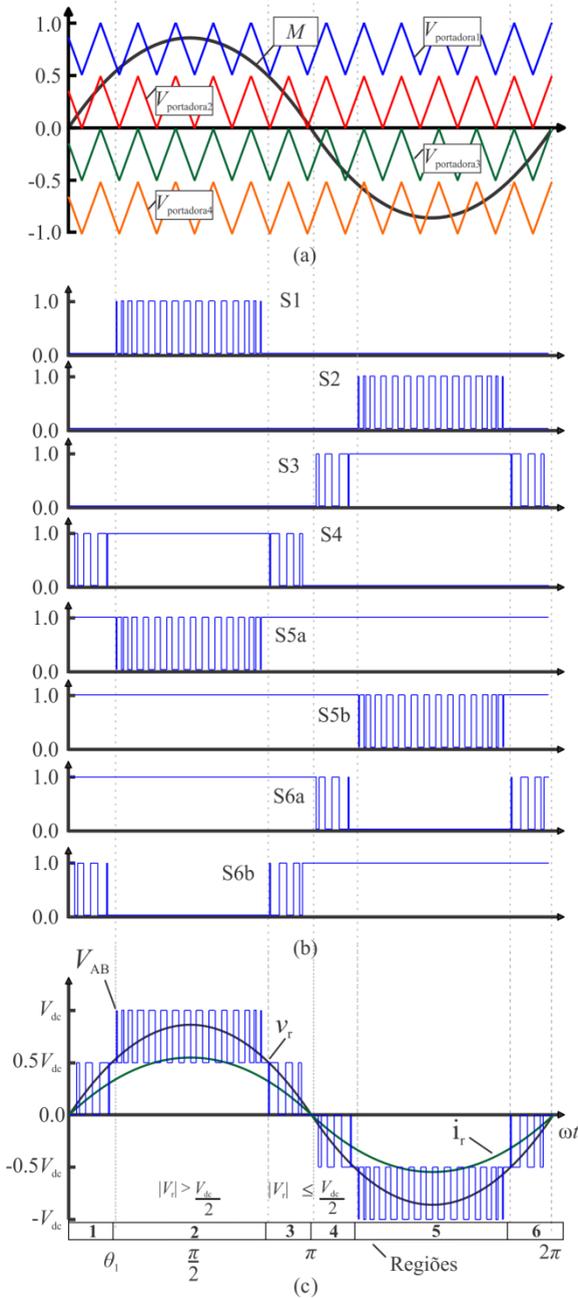


Figura 3-6 – Formas de onda teórica.

Vale ainda ressaltar que a escolha da técnica de modulação impacta diretamente em aspectos do comportamento do conversor, como: conteúdo harmônico, perdas de comutação, perdas de condução, tensões de modo comum e rendimento da estrutura.

3.1.3 Esforços nos Semicondutores

Este tópico apresenta as equações obtidas para o dimensionamento dos semicondutores que compõem o inversor cinco níveis proposto. Esses cálculos têm a finalidade de dar suporte à análise dos esforços de tensão e de corrente para cada interruptor.

3.1.3.1 Esforços de Tensão

O estudo dos esforços de tensão está relacionado com o valor máximo da tensão de bloqueio dos semicondutores. Dessa forma, utilizou-se a análise realizada na seção 3.1.1 para obter a tensão aplicada aos interruptores de cada uma das etapas de operação das seis regiões descritas. A Tabela 3-2 apresenta os esforços de tensão dos interruptores.

Tabela 3-2 - Esforços de Tensão nos Interruptores

Reg. Op.	1		2		3		4		5		6	
Etap. Op.	1	2	3	4	5	6	7	8	9	10	11	12
S_1	0	$V_{dc}/2$	$V_{dc}/2$	0	$V_{dc}/2$	0	0	$V_{dc}/2$	$V_{dc}/2$	V_{dc}	V_{dc}	$V_{dc}/2$
S_2	$V_{dc}/2$	$V_{dc}/2$	$V_{dc}/2$	V_{dc}	$V_{dc}/2$	$V_{dc}/2$	$V_{dc}/2$	$V_{dc}/2$	$V_{dc}/2$	0	0	$V_{dc}/2$
S_3	0	V_{dc}	V_{dc}	V_{dc}	V_{dc}	0	0	0	0	0	0	0
S_4	$V_{dc}/2$	0	0	0	0	$V_{dc}/2$	$V_{dc}/2$	V_{dc}	V_{dc}	V_{dc}	V_{dc}	V_{dc}
S_{5a}	0	0	0	$V_{dc}/2$	0	0	0	0	0	0	0	0
S_{5b}	0	0	0	0	0	0	0	0	0	$V_{dc}/2$	$V_{dc}/2$	0
S_{6a}	0	0	0	0	0	0	0	$V_{dc}/2$	$V_{dc}/2$	V_{dc}	V_{dc}	$V_{dc}/2$
S_{6b}	0	$V_{dc}/2$	V_{dc}	V_{dc}	$V_{dc}/2$	0	0	0	0	0	0	0

Observa-se, a partir dessa tabela, que o valor máximo de tensão aplicada aos interruptores principais é igual à tensão total do barramento, assim como no caso dos interruptores complementares S_{6a} e S_{6b} . Para os interruptores que compõem o braço do ponto médio, a máxima tensão aplicada vale a metade da tensão do barramento, permitindo que os semicondutores sejam submetidos a uma menor tensão de bloqueio. Essa prática reduz as perdas de condução dos interruptores.

3.1.3.2 *Esforços de Corrente nos Interruptores*

Na escolha dos componentes adequados para a aplicação do conversor, um parâmetro imprescindível a se analisar é a corrente de cada interruptor, tanto pelo seu valor máximo, quanto pelos valores médios e eficazes, os quais são utilizados para estimar perdas dos dispositivos. Para o estudo dos esforços de corrente nos interruptores do conversor, cinco níveis proposto, fica sendo necessário o entendimento do conceito de valor quase instantâneo, cuja abordagem será feita em duas etapas.

Partindo da característica de modulação dada por (3.1), que, para a amplitude do índice de modulação (M), deve ser considerada como (3.2), é possível, com esses valores, encontrar as grandezas da corrente de saída, apresentadas em (3.3), que serão substituídas nas expressões seguintes (3.5) e (3.6). Inicialmente, calcula-se o valor médio quase instantâneo da corrente em um semicondutor podendo ser obtido por meio do cálculo do valor médio em um período de comutação do conversor, como pode ser visto em (3.5). Posteriormente, de forma análoga, é calculado o valor da corrente eficaz quase instantânea conforme (3.6).

$$D = M \cdot \sin(\theta) \quad (3.1)$$

$$M = \frac{V_p}{V_{dc}} \quad (3.2)$$

$$I_L = \frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) d\theta \quad (3.3)$$

$$R_o = \frac{V_g^2}{P_o} \quad (3.4)$$

$$I_{Spc_avg} = \frac{1}{T_s} \int_0^{\frac{M \sin(\theta) - 0.5}{0.5} T_s} I_L \quad (3.5)$$

$$I_{Spc_rms} = \sqrt{\frac{1}{T_s} \int_0^{\frac{M \sin(\theta) - 0.5}{0.5} T_s} (I_L)^2 d\theta} \quad (3.6)$$

Uma vez encontrado o valor médio e eficaz quase instantâneo, também chamado de valor médio em um período de comutação T_s da corrente nos interruptores, utiliza-se deste para determinar o equacionamento do valor médio e eficaz dentro de um período completo da rede definidos por (3.7) e (3.8).

$$I_{s_{avg}} = \frac{1}{2\pi} \cdot \int_{\theta_i}^{\theta_f} I_{Spc_avg} dt \quad (3.7)$$

$$I_{s_{rms}} = \sqrt{\frac{1}{2\pi} \cdot \int_{\theta_i}^{\theta_f} I_{Spc_rms}^2 dt} \quad (3.8)$$

Observa-se, a partir desse cálculo, que o ângulo θ_1 , dado em (3.9), delimita as regiões operacionais, considerando que os limites de integração devem chegar até π . Após isso, a forma de onda tem o mesmo formato, portanto começa a se repetir.

$$\theta_1 = a \sin\left(\frac{0.5}{M}\right) \quad (3.9)$$

De posse dessas informações, é possível determinar os valores médios e eficazes das correntes que circulam pelos interruptores S_1 e S_2 apresentados em (3.10) e (3.11). No entanto, esses interruptores são comandados à condução somente nas regiões 2 e 5, respectivamente. Como a corrente de saída não possui valor médio, os esforços de corrente nesses interruptores são iguais, sendo possível analisar somente os esforços para apenas um dos interruptores que contemplam um semiciclo da rede.

$$I_{S_{1,2avg}} = \frac{1}{2\pi} \cdot \int_{\theta_1}^{\pi - \theta_1} I_{Spc_avg} dt \quad (3.10)$$

$$I_{S_{1,2rms}} = \sqrt{\frac{1}{2\pi} \cdot \int_{a \sin\left(\frac{0.5}{M}\right)}^{\pi - a \sin\left(\frac{0.5}{M}\right)} I_{Spc_rms}^2 dt} \quad (3.11)$$

Assim como nos interruptores S_1 e S_2 , os esforços de corrente que circulam pelos interruptores S_3 e S_4 são iguais, podendo ser calculados somente para um interruptor.

O cálculo dos esforços para esses dois componentes é fragmentado em várias funções de integração que são somadas. Cada função segue as etapas de operação 1, 3, 4 e 6, nas quais estes interruptores atuam. Como a

razão cíclica varia dentro de um ciclo da rede, foi necessário dividir o ciclo em 3 partes. A primeira parte corresponde ao intervalo de 0 a θ_1 , a segunda, de θ_1 a $(\pi - \theta_1)$ e a terceira de $(\pi - \theta_1)$ a π , finalizando, assim, o semiciclo positivo e resultando como visto em (3.12) e (3.13).

$$\begin{aligned}
 I_{S_{3,4avg}} &= \frac{1}{2\pi} \cdot \int_0^{a \sin\left(\frac{0.5}{M}\right)} \frac{1}{T_s} \cdot \int_0^{\frac{M \cdot \sin(\theta)}{0.5} \cdot T_s} \frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) dt \cdot d\theta + \dots \\
 &\dots + \frac{1}{2\pi} \cdot \int_{a \sin\left(\frac{0.5}{M}\right)}^{\pi - a \sin\left(\frac{0.5}{M}\right)} \frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) d\theta + \dots \\
 &\dots + \frac{1}{2\pi} \cdot \int_{\pi - a \sin\left(\frac{0.5}{M}\right)}^{\pi} \frac{1}{T_s} \cdot \int_0^{\frac{M \cdot \sin(\theta)}{0.5} \cdot T_s} \frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) dt \cdot d\theta
 \end{aligned} \tag{3.12}$$

$$\begin{aligned}
 I_{S_{3,4rms}} &= \sqrt{\frac{1}{2\pi} \cdot \int_0^{a \sin\left(\frac{0.5}{M}\right)} \frac{1}{T_s} \cdot \int_0^{\frac{M \cdot \sin(\theta)}{0.5} \cdot T_s} \left(\frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) \right)^2 dt \cdot d\theta + \dots} \\
 &\dots + \frac{1}{2\pi} \cdot \int_{a \sin\left(\frac{0.5}{M}\right)}^{\pi - a \sin\left(\frac{0.5}{M}\right)} \left(\frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) \right)^2 d\theta + \dots \\
 &\dots + \frac{1}{2\pi} \cdot \int_{\pi - a \sin\left(\frac{0.5}{M}\right)}^{\pi} \frac{1}{T_s} \cdot \int_0^{\frac{M \cdot \sin(\theta)}{0.5} \cdot T_s} \left(\frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) \right)^2 dt \cdot d\theta
 \end{aligned} \tag{3.13}$$

O cálculo dos interruptores conectados ao ponto médio dos capacitores segue a mesma análise dos esforços de corrente de S_3 e S_4 . Contudo, para determinar a corrente que circula pelos interruptores S_{5a} e S_{5b} , é necessária uma pequena alteração no cálculo, pois esses dois interruptores têm a característica de operar por todo o semiciclo da rede.

Assim, os limites de integração para a primeira parte integrada corresponde ao intervalo de 0 a θ_1 . A segunda parte corresponde aos limites de θ_1 a $\pi/2$, para este caso multiplica-se a expressão por um fator 2, pois a forma de onda acaba se repetindo pelo resto do semiciclo após esse intervalo.

Dessa forma, a corrente média nesses interruptores é zero, como apresentado por (3.14), devido ao fato de que essa corrente tem seu comportamento idêntico por todo semiciclo negativo. Logo, a corrente eficaz é representada por (3.15).

$$I_{S_{5a,b_avg}} = 0 \tag{3.14}$$

$$I_{S_{5a},brms} = \sqrt{\frac{2}{2\pi} \cdot \int_0^{a \sin\left(\frac{0.5}{M}\right)} I_{Spc_rms} dt + \frac{2}{2\pi} \cdot \int_{a \sin\left(\frac{0.5}{M}\right)}^{\pi} \frac{1}{T_s} \cdot \int_0^{\frac{M \cdot \sin(\theta)}{0.5} T_s} \left(\frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) \right)^2 dt \cdot d\theta} \quad (3.15)$$

O mesmo ocorre para os interruptores conectados entre o ponto médio dos braços principais. Assim, a corrente média e eficaz que circula pelos interruptores S_{6a} e S_{6b} apresentadas por (3.16) e (3.17).

$$I_{S_{6a,b_avg}} = 0 \quad (3.16)$$

$$I_{S_{6a,b_rms}} = \sqrt{2} \cdot \sqrt{\frac{2}{2\pi} \cdot \int_0^{a \sin\left(\frac{0.5}{M}\right)} \int_0^{1 - \frac{M \cdot \sin(\theta)}{0.5}} \left(\frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) \right)^2 dt \cdot d\theta} \quad (3.17)$$

3.1.4 Capacitor do Barramento

Nesta seção será apresentado o estudo e dimensionamento dos capacitores do barramento do inversor proposto, bem como o equacionamento dos esforços de corrente e a análise das perdas nestes capacitores, com base na ondulação máxima da tensão. Essa análise pode ser representada considerando uma capacitância equivalente entre os terminais do barramento como mostra a Figura 3-7.

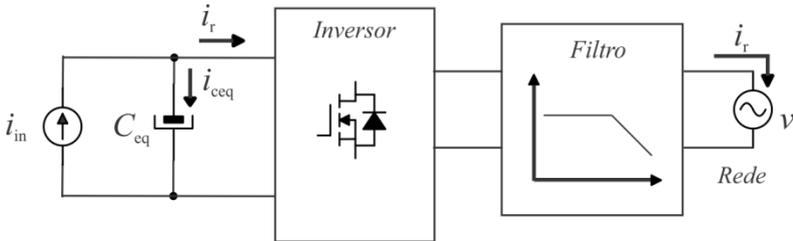


Figura 3-7 – Circuito equivalente para o cálculo da ondulação total do barramento.

Inicialmente, para a análise da ondulação de tensão do barramento, é considerado que o conversor esteja operando na sua forma ideal, ou seja, com rendimento correspondente a 100%. Com isso, a potência de entrada do conversor é idêntica à da saída. A partir dessa consideração é possível determinar (3.18).

$$P_{in} = v_p i_p \sin^2(\omega t) = v_p i_p \frac{1}{2} [1 - \cos(2\omega t)] \quad (3.18)$$

Usando uma identidade trigonométrica e agrupando os termos de (3.18) em duas partes, é possível encontrar a (3.19), cuja primeira parcela é contínua e a segunda é alternada.

$$P_{in} = \frac{v_P i_P}{2} - \underbrace{\frac{v_P i_P}{2}}_{P_{ca}} \cos(2\omega t) \quad (3.19)$$

Como destacado em (3.19), a fonte de corrente assume apenas a parcela constante da potência instantânea, já a parcela da potência alternada é absorvida pelo capacitor, que garante o balanço total de potência. Com isso, é possível descrever a potência de entrada em função das tensões e correntes envolvidas na Figura 3-7 e, assim, obter:

$$P_{in} = v_{in} i_{in} = v_{in} (i_{in} + i_{Ceq}) = v_{in} \left(\frac{v_{in}}{R_{in}} + C_{eq} \frac{\delta v_{in}}{\delta t} \right) \quad (3.20)$$

Linearizando a tensão de entrada em torno do ponto de operação de forma a aplicar uma perturbação na equação diferencial ordinária (3.20), e assim substituindo em (3.19), encontra-se a relação entre as potências de entrada e saída contendo termos de primeira ordem, referentes à ondulação da tensão no ponto de operação. Como apresentado por [41]-[42], se agrupados os termos de ordem zero e substituídos em (3.20), encontram-se os termos de primeira ordem envolvidos.

$$P_{in} = -\frac{v_P i_P}{2} \cos(2\omega t) = \frac{2v_{in} v_{in}}{R_{in}} + C_{eq} v_{in} \frac{\delta v_{in}}{\delta t} \quad (3.21)$$

Desse modo, fazendo a solução particular, é possível determinar a equação (3.22).

$$v_{in} = -\frac{V_{in} \sqrt{1 + (\omega C_{eq} R_{in})^2}}{2 \left[1 + (\omega C_{eq} R_{in})^2 \right]} \text{sen} \left[2 \left(\omega t + a \tan \left(\frac{1}{\omega C_{eq} R_{in}} \right) \right) \right] \quad (3.22)$$

Mediante ao exposto, a expressão para a tensão de entrada do conversor torna-se representada por:

$$v_{in} = V_{in,pico} \text{sen} \left[2 \left(\omega t + a \tan \left(\frac{1}{\omega C_{eq} R_{in}} \right) \right) \right] + V_{in} \quad (3.23)$$

Onde V_{in} representa o valor médio e $V_{in,pico}$ é o valor de pico para a ondulação da tensão do barramento:

$$V_{in,pico} = \frac{V_{in} \sqrt{1 + (\omega C_{eq} R_{in})^2}}{2 \left[1 + (\omega C_{eq} R_{in})^2 \right]} \quad (3.24)$$

Assumindo-se uma ondulação de tensão definida por:

$$\Delta V_{in\%} = \frac{V_{in,pico}}{V_{in}} \quad (3.25)$$

Substituindo-se o valor de pico na mencionada expressão tem-se como resultado:

$$\Delta V_{in\%} = \frac{\sqrt{1 + (\omega C_{eq} R_{in})^2}}{2 \left[1 + (\omega C_{eq} R_{in})^2 \right]} \quad (3.26)$$

Elevando-se ao quadrado ambos os termos da equação acima e, ainda após algumas manipulações matemáticas simples, chega-se a expressão para o valor do capacitor equivalente C_{eq} , conforme (3.27).

$$C_{eq} = \frac{\sqrt{1 - 4\Delta_{vin\%}}}{2\omega_{120} R_{in} \Delta_{vin\%}} \quad (3.27)$$

Essa abordagem tem como finalidade analisar a ondulação da tensão total da entrada do conversor, logo, a ondulação percentual $\Delta_{vin\%}$ é definida pela relação dos valores de pico da tensão de entrada e seu valor médio, a resistência de entrada R_{in} , por (3.28), sendo que ω_{120} se refere à ondulação do dobro da frequência da rede elétrica absorvida pelo capacitor.

$$R_{in} = \frac{V_{in}^2}{P_{in}} \quad (3.28)$$

3.1.4.1 Valor Eficaz da Corrente do capacitor de barramento

É interessante avaliar o valor eficaz da corrente e potência nos capacitores para o correto dimensionamento do componente, de modo que ele não venha a ser afetado e, conseqüentemente, tenha redução na sua vida útil. Com isso, a seguinte análise considera que o circuito se encontra operando em regime permanente e que não haja desequilíbrio de tensão entre os capacitores. Também é incluída, nessa análise, a presença da resistência série dos capacitores.

A tensão do barramento é definida por (3.29).

$$\langle v_{bar} \rangle = R_{SE} \cdot \langle i_{Cef} \rangle + \frac{1}{j\omega_{120} \cdot C_{eq}} \cdot \langle i_{Cef} \rangle \quad (3.29)$$

Partindo desse conceito, é possível encontrar a corrente eficaz (3.30) no capacitor de forma a isolar i_{Cef} em (3.29). Após isso, é considerado o valor absoluto calculado.

$$\langle i_{Cef} \rangle = \left| \frac{\langle v_{bar} \rangle \cdot j\omega_{120} \cdot C_{eq}}{j\omega_{120} \cdot R_{SE} \cdot C_{eq} + 1} \right| \quad (3.30)$$

Com o valor da corrente eficaz definida, é possível determinar a potência aparente no capacitor, conforme (3.31).

$$S_T = \frac{\langle v_{bar} \rangle \cdot i_{Ceq}}{2} \quad (3.31)$$

Realizando a substituição da corrente eficaz (3.30) na equação da potência aparente (3.31), tem-se (3.32).

$$S_T = \frac{1}{2} \cdot \frac{\langle v_{bar} \rangle^2 \cdot j\omega_{120} \cdot C_{eq}}{j\omega_{120} \cdot R_{SE} \cdot C_{eq} + 1} \quad (3.32)$$

Para determinar a potência total no capacitor, foi considerada a teoria do triângulo das potências, em que a potência total, ou também chamada potência ativa, é definida pela multiplicação entre o fator de potência e a potência aparente, segundo (3.33), assim, retirado o valor absoluto da potência aparente obtida em (3.32), resulta em (3.34).

$$P_{totCeq} = |S| \cdot \cos(\varphi) \quad (3.33)$$

$$|S_T| = \frac{\langle v_{bar} \rangle^2}{2} \cdot \frac{\omega_{120} \cdot C_{eq}}{\sqrt{\omega_{120}^2 \cdot C_{eq}^2 + 1}} \quad (3.34)$$

Onde,

$$\langle v_{bar} \rangle^2 = \frac{\Delta_V^2}{4} = \frac{\left(\frac{i_{in}}{2\omega_{120} \cdot C_{eq}} \right)^2}{4} = \frac{i_{in}^2}{16\omega_{120}^2 \cdot C_{eq}^2} \quad (3.35)$$

Substituindo (3.35) em (3.34), obtém-se (3.36).

$$|S_T| = \frac{i_{in}^2}{32 \cdot \omega_{120} \cdot C_{eq}} \cdot \frac{1}{\sqrt{\omega_{120}^2 \cdot C_{eq}^2 \cdot R_{SE}^2 + 1}} \quad (3.36)$$

Define-se, desse modo, o ângulo para o fator de potência, como

$$\varphi_{S_T} = 0 + \frac{\pi}{2} - a \tan \left(\frac{1}{\omega_{120} \cdot R_{SE} \cdot C_{eq}} \right) \quad (3.37)$$

Assim, substituindo (3.36) e (3.37) em (3.33), encontra-se a potência total do capacitor equivalente para a estrutura.

$$P_{totC_{eq}} = \frac{i_{in}^2}{32 \sqrt{\omega_{120}^4 \cdot C_{eq}^4 \cdot R_{SE}^2 + \omega_{120}^2 \cdot C_{eq}^2}} \cdot \cos \left(\frac{\pi}{2} - a \tan \left(\frac{1}{\omega_{120} \cdot R_{SE} \cdot C_{eq}} \right) \right) \quad (3.38)$$

3.1.5 Filtro Passa-Baixa de Saída

O filtro é um elemento indispensável para a aplicação de conversores à rede elétrica, pois é ele o responsável por fazer essa interface entre o conversor e a rede, por meio de uma característica predominantemente indutiva. Os conversores de potência utilizados para essa aplicação são responsáveis pela introdução de harmônicos de corrente em alta frequência na rede, tais quais podem ocasionar o surgimento de correntes que venham a interferir em outros equipamentos também conectados à rede. A forma mais empregada em conversores industriais consiste na utilização de um simples indutor conectado entre o conversor e a rede.

Essa aplicação se torna viável em situações que contemplem centenas de kW, pois para atenuar os harmônicos de corrente, de modo a atender as normas, seria necessário um valor de indutância elevado, o que aumenta o custo, o peso e o volume da estrutura, situação indesejada para conversores com baixas potências.

Uma possível solução para redução dessa indutância seria a utilização de um filtro *LC*, o qual apresenta maior atenuação em relação ao filtro *L*. Contudo, o capacitor torna-se um caminho de baixa impedância para as componentes harmônicas que circulam pela rede elétrica, causando influência na frequência de ressonância do filtro em relação à impedância da rede, portanto, necessitando um filtro passa-baixa mais adequado.

De modo a aumentar a atenuação de alta frequência, com redução do tamanho do filtro adicionando mais um indutor, obtém-se o filtro *LCL*. Esse

filtro de terceira ordem provê melhor fator de amortecimento entre os filtros abordados, garantindo uma atenuação de 60 dB/década para distúrbios causados pela comutação em alta frequência. Além disso, a presença do segundo indutor auxilia na redução de parâmetros da rede que venham influenciar na operação do filtro. Porém, a desvantagem desse filtro ocorre na ressonância presente na sua resposta em frequência, podendo levar a instabilidade do sistema. Sendo assim, [43] propôs como solução a utilização de um ramo de amortecimento capacitivo-resistivo, que associa as vantagens de maior fator de amortecimento, simplicidade de controle e redução de perdas, como apresentado na Figura 3-8. Com essa proposta, é possível obter resultados que atendam as normas mesmo possuindo pequenos valores de indutância e capacitância e, portanto, será empregada neste trabalho.

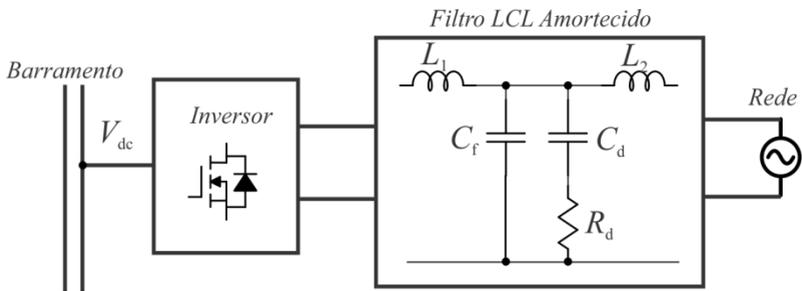


Figura 3-8 – Filtro LCL com amortecimento resistivo-capacitivo.

A metodologia adotada no dimensionamento do filtro LCL leva apenas em conta o valor da ondulação limite para as correntes injetadas na rede. O procedimento de projeto proposto por [44], possibilita obter ΔI_L , substituindo o valor *RMS* da corrente da rede pela relação entre a potência processada e o valor *RMS* da tensão da rede, conforme ilustrado em (3.39).

$$\Delta I_L = \frac{2 \cdot P_o}{V_{rPico}} \cdot \frac{\%}{100} = \frac{\% \cdot P_o}{50V_{rPico}} \quad (3.39)$$

Posto isso, o projeto dos indutores se inicia supondo que a queda de tensão nesses elementos, na frequência da rede, deva ser a menor possível. Calcula-se então L_1 , L_2 , C_f e C_d através de uma análise entre perdas e capacidade de amortecimento, determinando que a condição ótima ocorra quando L_1 é igual a L_2 e C_f igual a C_d , o que pode ser obtido por (3.40) e (3.41), respectivamente, em que a frequência de ressonância f_o do filtro deve ser atribuída como um parâmetro de projeto e deve estar alocada entre dez

vezes a frequência da rede e metade da frequência de comutação.

$$L_1 = L_2 = \frac{V_{dc}}{8 \cdot f_s \cdot \Delta_{IL}} \quad (3.40)$$

$$C_f = C_d = \frac{2}{(2\pi f_o)^2 \cdot L_1} \quad (3.41)$$

Como mencionado anteriormente, o autor em [43] sugere calcular o resistor de amortecimento R_d como mostrado em (3.42). A metodologia proposta permite o máximo de atenuação possível da ressonância. Vale destacar que mesmo que a expressão acarrete um baixo valor de resistência, o capacitor C_d evita que correntes de baixa frequência circulem no ramo amortecedor causando perdas adicionais.

$$R_d = \sqrt{\frac{L_1 + L_2}{C_f + C_d}} \quad (3.42)$$

3.1.6 Estratégia de Controle

Uma vez estudada as maneiras de dimensionar o conversor para a correta operação do sistema, resta agora projetar um sistema de controle capaz de injetar uma corrente senoidal livre de harmônicos na rede elétrica como as normas exigem. Dentre os passos dessa abordagem, destaca-se a definição da malha de controle da corrente de saída representada pela Figura 3-9, a obtenção do modelo de planta e o projeto dos compensadores. O controle da tensão total do barramento não será apresentado, pois exige o estudo e a implementação de uma técnica de *MPPT*, que não é o foco do trabalho. Dessa forma, a modelagem e o controle descritos a seguir aplicam-se apenas ao controle da corrente entregue à rede.

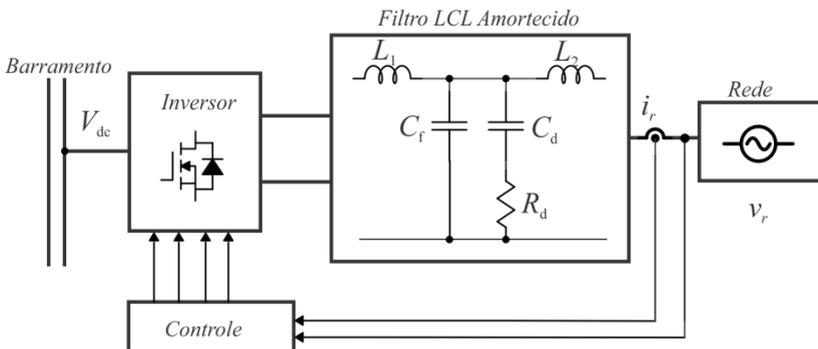


Figura 3-9 – Estratégia de Controle do Inversor Proposto.

3.1.6.1 Modelagem do Filtro Aplicado ao Controle

Para o controle da corrente do lado CA do conversor ser implementado, é necessário obter a função de transferência do conversor. A Figura 3-10 mostra o filtro *LCL* amortecido adicionado ao modelo do conversor.

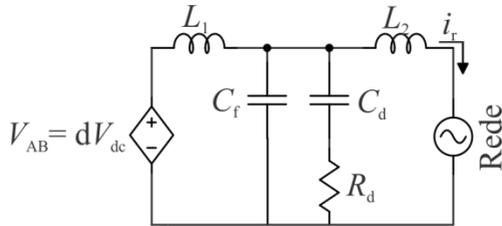


Figura 3-10 – Modelo para obter a função de transferência da corrente de saída.

A função de transferência deve ser obtida relacionando a corrente de saída i_r e a tensão de entrada do filtro *LCL* amortecido. Para facilitar a análise, considera-se que a rede elétrica seja um curto-circuito, assim é possível fazer associações entre os elementos em destaque na Figura 3-11 e representá-los pelas impedâncias Z_1 e Z_3 .

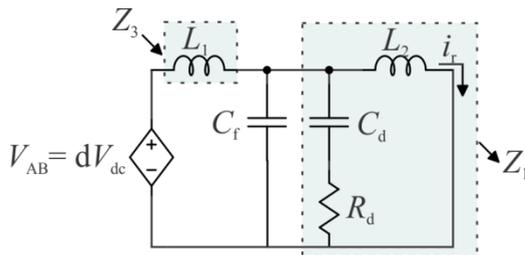


Figura 3-11 – Impedâncias Destacadas do Circuito.

A impedância Z_1 corresponde à associação paralela entre o indutor L_2 e o ramo de amortecimento $C_d - R_d$. Seu cálculo pode ser apresentado por (3.43).

$$Z_1 = \left(\frac{1}{sC_d} + R_d \right) \parallel sL_2 = \frac{\left(\frac{1}{sC_d} + R_d \right) sL_2}{\left(\frac{1}{sC_d} + R_d \right) + sL_2} \quad (3.43)$$

$$Z_1 = \frac{sL_2(sC_dR_d + 1)}{s^2L_2C_d + sC_dR_d + 1}$$

De posse da impedância Z_1 , é realizada a associação paralela entre Z_1 e C_f (3.44), formando a impedância Z_2 .

$$Z_2 = \frac{1}{sC_f} \parallel Z_1 = \frac{1}{\frac{1}{sC_f} + \frac{sL_2(sC_dR_d + 1)}{s^2L_2C_d + sC_dR_d + 1}} \quad (3.44)$$

$$Z_2 = \frac{sL_2(sC_dR_d + 1)}{s^3L_2C_dC_fR_d + s^2[(C_fL_2) + (L_2C_d)] + sC_dR_d + 1}$$

Substituindo Z_2 no circuito da Figura 3-11, obtém-se o circuito da Figura 3-12.

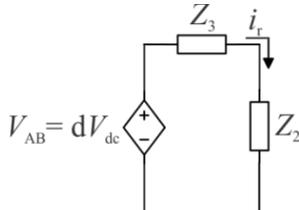


Figura 3-12 – Circuito Simplificado.

De posse da Figura 3-12, é feita a série das impedâncias Z_2 e Z_3 para encontrar a corrente de saída. Após a devida manipulação algébrica, é isolada a corrente de saída em função da razão cíclica, obtendo-se a função de transferência desejada (3.45). Como mencionado anteriormente para o projeto do filtro, L_1 deve ser considerado igual a L_2 e C_f igual a C_d , com isso, de forma a simplificar a função de transferência, optou-se por representar as indutâncias L_1 e L_2 por L e a capacitância C_f e C_d por C .

$$H(s) = \left. \frac{i_r(s)}{d(s)} \right|_{vr(s)=0} = \frac{V_{dc} \cdot (s \cdot C \cdot R_d + 1)}{s^4 \cdot L^2 \cdot C^2 \cdot R_d + s^3 \cdot 2 \cdot C \cdot L^2 + s^2 \cdot 2 \cdot L \cdot C \cdot R_d + s \cdot 2 \cdot L} \quad (3.45)$$

Na Figura 3-13, é apresentado o diagrama de Bode para a função de transferência do filtro *LCL* amortecido apresentada por (3.45), considerando os casos em que o resistor de amortecimento assume valor nulo, infinito e ótimo (calculado), lembrando que a ressonância depende do resistor de amortecimento. Conforme R_d aumenta, a amplitude da ressonância diminui até atingir um valor mínimo e, então, volta a subir. Também é observado que quando o resistor diminui até um curto-circuito, os capacitores do ramo de amortecimento ficam em paralelo, conseqüentemente, o valor da capacitância do ramo do filtro é modificada, alterando a sua frequência de ressonância.

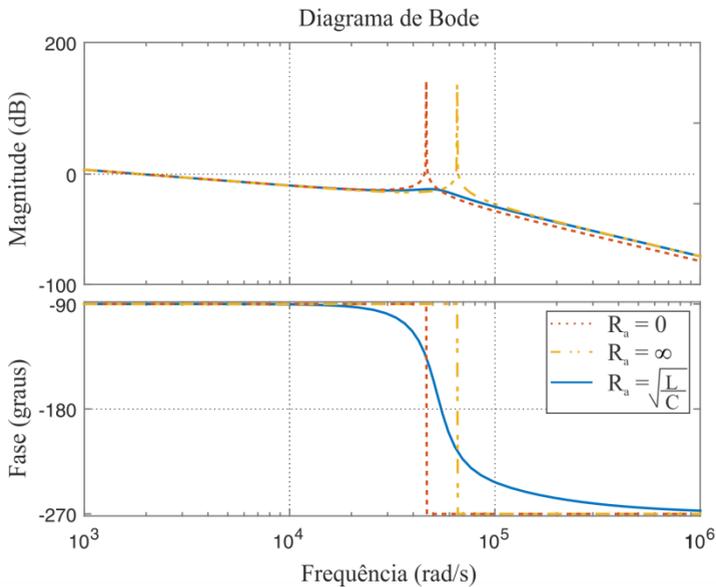


Figura 3-13 – Diagrama de bode do filtro *LCL* amortecido considerando três valores de R_d .

3.1.6.2 Projeto do Controlador da malha de corrente

Uma vez definida a função de transferência, segue-se à exploração da estratégia de controle do inversor. Com isso, a Figura 3-9 possibilita ser transcrita em forma de diagrama de blocos, como apresentado pela Figura 3-14, que ilustra de forma detalhada a estratégia de controle da corrente de saída do conversor.

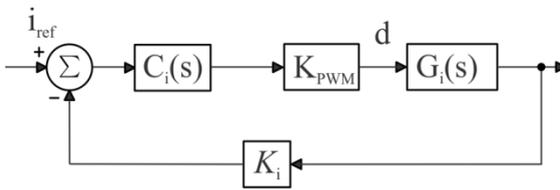


Figura 3-14 – Diagrama de blocos orientado ao controle.

Onde:

- K_{pwm} é definido como o ganho do modulador;
- K_i o ganho do sensor de corrente responsável por ler a corrente injetada na rede;
- G_i representa a planta do conversor a ser controlado, apresentado em (3.45);
- C_i é o controlador de corrente a ser projetado.

O projeto do controlador segue a análise no domínio da frequência, partindo do emprego dos diagramas de Bode da função de transferência de laço aberto ($FTLA$) da malha de controle de corrente, distinguindo-se os diagramas de Bode da função de transferência de laço aberto não compensada ($FTLA_{nc}$) ou compensada ($FTLA_c$), dependendo da presença ou ausência do bloco compensador na expressão, conforme (3.46) respectivamente.

$$FTLA_{nc}(s) = K_{PWM} G_i(s) K_i \quad (3.46)$$

$$FTLA_c(s) = C_i(s) FTLA_{nc}$$

Como pode ser visto anteriormente, a $FTLA_{nc}$ é definida pelo modelo dinâmico em estudo, pelos ganhos do modulador e por circuitos de leitura da grandeza controlada. Já a função compensada é simplesmente a função ainda não compensada multiplicada pela função de transferência do controlador, que deve ser projetado seguindo alguns requisitos.

Visando à obtenção de um erro reduzido ao seguimento do sinal de referência, optou-se pela utilização de um controlador do tipo Proporcional – Integral (PI), cuja função de transferência é dada conforme .

$$C_i(s) = K_c \left(\frac{s + \omega_z}{s} \right) \quad (3.47)$$

Esse controlador se caracteriza por apresentar um polo na origem e um zero que determina a frequência de cruzamento (f_c) do controlador e a margem de fase (M_f). Também tem como vantagem conter um ganho elevado em baixas frequências, o que favorece a obtenção de um erro quase

nulo ao seguimento das componentes do sinal de referência situadas nesta faixa de frequência. O ganho em altas frequências é determinado por sua constante proporcional K_c , devendo ser projetado de modo a restringir a frequência de cruzamento de ganho do sistema e garantir o cruzamento por zero na frequência desejada.

Com isso, dando sequência ao projeto, é substituído na equação da $FTLA_c$ (3.46) o operador s por $j\omega$ e aplicado o módulo de forma que seu valor seja unitário (0dB) na frequência de cruzamento (ω_c). Portanto, pode-se resumir, em (3.48), uma equação dependente da frequência angular ω .

$$\left| FTLA_c(\omega_c) \right| = 1 \quad (3.48)$$

Considerando-se a margem de fase da função de transferência do controlador na frequência de cruzamento como (3.49), determina-se a frequência para o zero do controlador conforme (3.50).

$$M_f = 180^\circ + \angle FTLA_c(\omega) \quad (3.49)$$

$$\omega_z = \frac{\omega}{\tan\left(M_f - \frac{\pi}{2} - \arg(FTLA_{nc}(\omega))\right)} \quad (3.50)$$

De posse dessa expressão, projeta-se o ganho proporcional do controlador de maneira que atenda ao critério da frequência de cruzamento de ganho. A partir de (3.51) e com as devidas manipulações matemáticas, é estabelecido o ganho por meio de (3.52).

$$\left| C_i(j\omega) \right| \cdot \left| FTLA \right| = 1 \quad (3.51)$$

$$k_c = \frac{\omega}{\sqrt{\omega_z^2 + \omega^2} \cdot \left| FTLA_{nc}(\omega) \right|} \quad (3.52)$$

A simples utilização de um compensador Proporcional – Integral, todavia, não garante o rastreamento da referência de corrente em fase com a tensão, que oscila à frequência de 60 Hz. Para suprimir essa necessidade, adiciona-se uma malha de controle do tipo *feedforward*.

A técnica de controle pelo compensador *feedforward* (Figura 3-15) consiste em auxiliar nessa problemática, possibilitando gerar um sinal de controle baseado na tensão lida da rede para anular o efeito da perturbação. Essa estratégia é sujeita a variações paramétricas, por não ser realimentada, mas auxilia na redução de transitórios e esforços de controle. Com isso, o ajuste fino da corrente de saída (i_r) fica a cargo do compensador C_i já

projetado, o qual é realimentado e garante precisão necessária [45].

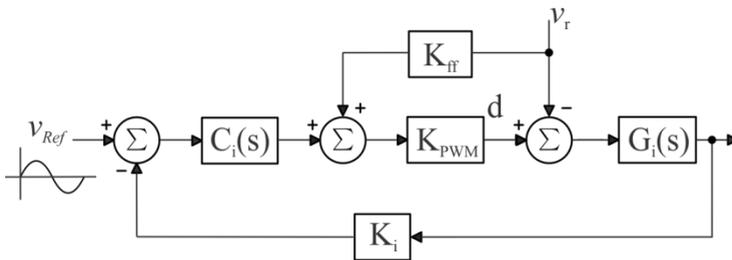


Figura 3-15 – Diagrama de blocos controle com *feedforward*.

Observando o diagrama de blocos, é possível analisar que a técnica consiste em medir a tensão da rede, que é multiplicada por um ganho K_{ff} cujo valor é definido como sendo o próprio índice de modulação (M), e transmiti-lo até o ponto de soma. A adição desse ganho não afeta a função de transferência da entrada de referência para a saída.

3.1.6.3 Estratégia para Detecção de Fase da Rede Elétrica

Outro sistema essencial para o controle do inversor é o sincronismo com a rede. Como foi estabelecida na Figura 3-15, há necessidade de uma referência senoidal de corrente responsável pela sincronização da corrente injetada na tensão da rede elétrica.

Para obter esse sinal de referência, basta uma simples amostra da tensão no ponto de conexão, contudo, essa configuração prevê que a rede seja ideal. Na prática, se a referência de corrente for gerada a partir da simples medição do sinal de tensão ou seja, sem a utilização de uma estratégia para detecção da rede elétrica, seu conteúdo, mesmo dentro dos parâmetros de regulamentação, pode vir a prejudicar o funcionamento do conversor, carregando para sua leitura uma forma de onda contendo algumas distorções e, dificilmente, ficará com THD e amplitude de harmônicos dentro da norma.

Existem diversas técnicas para gerar esse sinal livre de distorções e solucionar tal problema [46]. As técnicas mais utilizadas são baseadas no chamado laço de travamento de fase, denominado na literatura como *phase locked loop* (PLL), sendo a versão proposta por [47] apresentada na Figura 3-16.

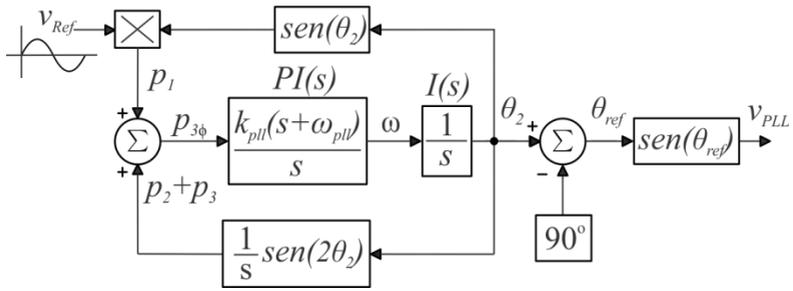


Figura 3-16 – Circuito PLL Monofásico Simplificado.

O controlador Proporcional-Integral, determinado no circuito simplificado, é uma boa escolha para a malha da PLL, pois é ele o responsável por produzir a frequência angular do sistema (ω) que leva à anulação da potência trifásica a partir da soma das potências p_1 , p_2 e p_3 . Essa frequência, após passar pelo bloco integrador $I(s)$, gera o ângulo θ_2 produzindo internamente a corrente atrasada ou adiantada 90° da respectiva tensão. Em [48] é provado que o sistema somente será estável se as correntes estiverem adiantadas das tensões, por isso, θ_2 é subtraído de 90° para obter θ_{ref} . Por fim, a tensão de saída é obtida por uma senoide que varia de acordo com o valor de θ_{ref} .

A função de transferência do controlador do tipo PI, cujo projeto é similar ao anteriormente apresentado em (3.42). É importante salientar que a tensão de entrada desse conjunto deve ser normalizada para a unidade, sendo que a tensão de saída também estará dentre estes limites.

3.2 Conclusão

Este capítulo destinou-se a apresentar de forma detalhada todo o equacionamento para o projeto do conversor multinível conectado à rede.

Inicialmente, foi apresentada a topologia do novo conversor cinco níveis proposto, na sequência, dividiu-se o funcionamento do conversor em seis regiões de operação, o que tornou possível analisar separadamente cada etapa de operação do conversor em cada região de operação. Com isso, foi possível criar circuitos equivalentes para cada região de operação, facilitando sua análise no decorrer do capítulo.

Foi apresentada, ainda, a modulação IPD para o acionamento dos interruptores de cada uma das devidas regiões de operação, analisando o funcionamento das regiões de operação e auxiliando a equacionar os esforços de tensão e corrente em cada um dos interruptores do conversor. Foi possível constatar, com isso, que os interruptores possuem esforços de

tensão reduzidos, acarretando menores perdas.

Também foram estudadas de forma sucinta as estruturas de filtro passa-baixa mais utilizadas na literatura e optou-se pelo emprego do filtro *LCL* amortecido, sendo seu projeto realizado a partir de artigos científicos.

Como última seção do capítulo, apresentou-se a análise dinâmica do conversor, a partir da qual foram apresentadas as equações para a planta do sistema de controle da corrente de saída do inversor, um sistema de controle da corrente injetada na rede de maneira a atender as normas vigentes a aplicação.

PROJETO DO CONVERSOR

Neste capítulo é apresentado o projeto do conversor de forma detalhada, tomando-se como base o estudo teórico realizado no capítulo 3. Inicialmente, discute-se o dimensionamento dos componentes do conversor: esforços nos semicondutores, determinação dos capacitores do barramento, indutores e capacitores do filtro de saída, projeto do controlador da malha de corrente contemplando seus diagramas de Bode, finalizando com o projeto da malha de *PLL*.

Na sequência, é apresentada a escolha dos componentes de potência e realizado o dimensionamento dos circuitos de condicionamento de sinais, responsáveis pela leitura do sinal de corrente e de tensão de saída do conversor a partir dos sensores *LTSR 6NP* (Sensor de corrente de efeito *Hall*) e *LV 25-P* (sensor de tensão). Aborda-se também o acionamento dos *Gate Drivers*, feito a partir de um DSP TMS320F28069 e, por fim, apresenta-se o projeto de *layout* da placa de potência e de condicionamento de sinal, desenvolvidos com auxílio do *Software Altium PCB Designer*.

Partindo desse princípio, é possível projetar o conversor seguindo as especificações apresentadas pela Tabela 4-1.

Tabela 4-1– Parâmetros do Projeto

Grandeza	Valor
Tensão de Entrada (V_{dc})	400 V
Tensão de Saída (V_g)	220 V
Frequência de Rede (f_r)	60 Hz
Potência de Saída do Conversor (P)	250 W
Frequência de Comutação	50 KHz
Ondulação Máxima da Tensão nos Capacitores do Barramento	1 %
Ondulação Máxima da Corrente nos Indutores do Filtro (%)	40 %

A Figura 4-1 apresenta o diagrama de blocos do protótipo a ser desenvolvido, que determina as aquisições que serão processadas pelo *DSP* através das leis de controle implementadas, permitindo a geração dos pulsos

de comando para o acionamento dos interruptores.

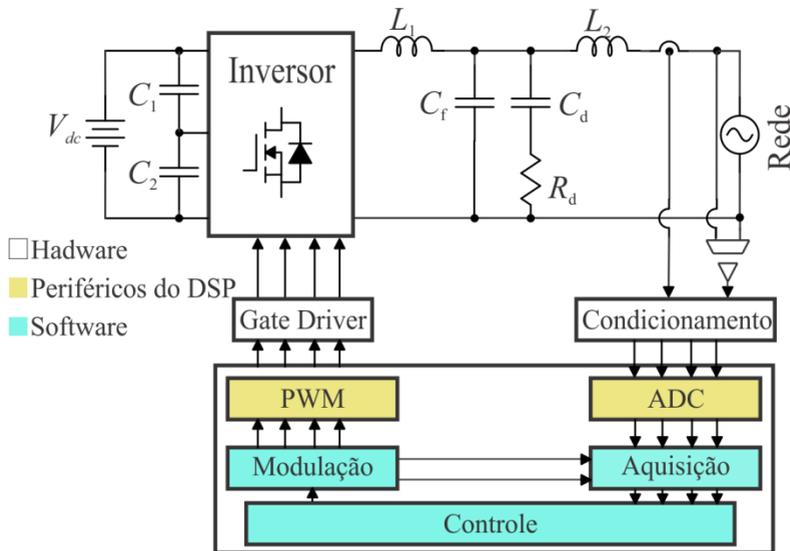


Figura 4-1– Diagrama de Blocos do Protótipo.

4.1 Esforços de Corrente nos Interruptores

A partir das especificações de projeto do inversor apresentadas pela Tabela 4-1, é possível definir o valor das correntes nos interruptores de potência, possibilitando selecioná-los corretamente. Fazendo uso das equações (3.10)-(3.17), expostas no capítulo anterior, são calculados os valores médios e eficazes das correntes no interruptores. Com o intuito de validar os esforços teoricamente calculados, foi realizada uma simulação com auxílio do *software PSIM*, considerando a operação do conversor em malha aberta e alimentando uma carga resistiva com valor igual a 193,6 Ω em série com uma indutância de 10 mH. Com esses valores, foi possível obter os resultados apresentados pela Figura 4-2. A planilha com a resolução detalhada dos cálculos e a simulação encontra-se no Apêndice A.

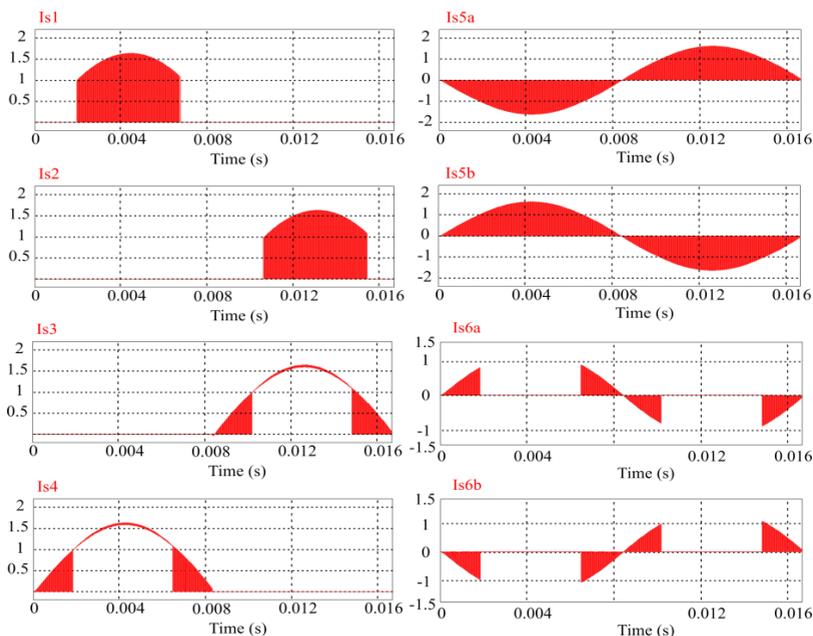


Figura 4-2 – Esforços de corrente nos interruptores simulados

Os resultados comparativos entre as equações calculadas e a simulação realizada podem ser visualizados pela Tabela 4-2.

Tabela 4-2 – Comparativo entre a corrente calculada e simulada

Corrente	Calculado	Simulado	Erro [%]
$I_{S1,2avg}$	0,151 A	0,151 A	0
$I_{S1,2rms}$	0,477 A	0,476 A	0,21
$I_{S3,4avg}$	0,474 A	0,473 A	0,211
$I_{S3,4rms}$	0,791 A	0,790 A	0,126
$I_{S5a,bavg}$	0 A	0 A	0
$I_{S5a,b rms}$	0,877 A	0,892 A	1,714
$I_{S6a,bavg}$	0 A	0 A	0
$I_{S6a,b rms}$	0,200 A	0,201 A	0,5

Vale ressaltar que a escolha do componente não leva em conta somente a corrente máxima drenada pelo canal do interruptor, mas também os elementos parasitas existentes na parte construtiva. Outro fator importante é a velocidade do diodo de corpo, que, para essa aplicação em

comutação forçada, é indispensável para o funcionamento do conversor.

Conforme mencionado, é impossível construir um semiconductor de potência contendo capacitâncias parasitas nulas. Essas capacitâncias têm grande influência na operação do circuito elétrico construído, acarretando o surgimento de ressonâncias indesejadas e distorção da forma de onda da saída [49]. As principais capacitâncias parasitas encontradas entre os terminais de um MOSFET, como mostra a Figura 4-3, são:

- C_{iss} - é a capacitância de entrada entre o *Drain* e *Gate*;
- C_{rss} - é a capacitância parasita reversa entre *Gate* e *Source*;
- C_{oss} - é a capacitância de saída entre *Drain* e *Source* do MOSFET.

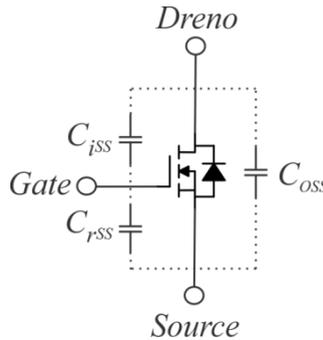


Figura 4-3 – Capacitância Equivalente do Componente

Na operação do conversor em comutação forçada, o diodo do MOSFET, que tem a finalidade de possibilitar a passagem da corrente reversa sobre o interruptor no momento da comutação, necessita conter um baixo valor de T_{rr} (tempo de recuperação reversa). Caso o tempo de recuperação desse diodo seja grande, não é possível que a corrente armazenada no indutor do filtro se anule antes que outro interruptor seja comandado a conduzir. Tal fato ocasiona sobressinal de tensão nesse interruptor que acaba de entrar em condução.

4.2 Esforços de Tensão nos Interruptores

Na seção 3.1.3.1, é demonstrada a Tabela 3-2, que apresenta todos os esforços de tensão para cada interruptor de potência. A partir dela, é possível concluir que a máxima tensão de bloqueio dos interruptores é a própria tensão do barramento, ou seja, $V_{dc} = 400$ V. Já a tensão máxima nos interruptores complementares S_{5a} e S_{5b} , é definida pelo valor aplicado ao ponto médio dos capacitores C_1 e C_2 , sendo imposta a metade da tensão do barramento, nesse caso 200 V.

Baseado no estudo feito até aqui, é possível determinar os interruptores que serão utilizados na construção do protótipo, não somente os requisitos das tensões de bloqueio, mas também da frequência de operação. Como todos os interruptores comutam em alta frequência e somente dois possuem tensão máxima inferior a 400 V, foram escolhidos semicondutores iguais para compor todos os braços.

Com a finalidade de melhorar o rendimento da estrutura, minimizando as perdas por comutação e cumprindo o requisito da velocidade do diodo intrínseco do MOSFET, foi feita a utilização de interruptores da tecnologia de *carbeto* de silício (*SIC*), que proporciona maiores vantagens em relação aos interruptores das tecnologias convencionais (*CoolMOS*, *Super-Junction*). As tecnologias convencionais não são recomendadas para essa aplicação e em outras topologias que necessitam de agrupamentos de interruptores em braços, ou seja, interruptores conectados em série ou antissérie, por possuir um alto valor no seu tempo de recuperação reversa do diodo intrínseco e altas capacitâncias parasitas.

Para a construção do protótipo, foram escolhidos os MOSFET's de potência *SIC* canal- *N* do fabricante ROHM *Semiconductor* do modelo *SCT 3120AL*. Esses interruptores possuem tensão máxima de bloqueio de 650 V, garantindo uma pequena margem de segurança para os sobressinais que se originam devido a comutação dos interruptores.

Contudo, de maneira a cumprir os requisitos de desempenho de tensão de bloqueio mencionado anteriormente, os componentes ficam sobredimensionados em relação aos esforços de corrente, pois foram adquiridos devido à disponibilidade de recursos, visando baixo custo.

Tabela 4-3 – Dados do MOSFET escolhido

Dados do Componente	SCT 3120AL
Tensão máxima de bloqueio (V_{DSS})	650 V
Resistência típica do MOSFET ($R_{DS(on)}$)	120 m Ω
Corrente Máxima (I_D)	21 A
Capacitância de entrada C_{iss}	460 pF
Capacitância de saída C_{oss}	35 pF
Capacitância reversa C_{rss}	16 pF
Tempo de recuperação reversa (t_{rr})	13 ns
Tempo de subida (t_r)	21 ns
Tempo de descida (t_f)	14 ns

4.3 Capacitor do Barramento

A metodologia de projeto para o dimensionamento do capacitor do barramento foi baseada no critério da ondulação máxima da tensão total no barramento, como explanado pela seção 3.1.4. Para tanto, o valor total da capacitância do projeto deve ser obtido por (3.27). Logo após, o valor encontrado deve ser multiplicado por dois, para evitar que a capacitância total seja modificada devido à associação dos capacitores em série. Vale destacar que a resolução da equação para determinação da capacitância equivalente leva em conta as condições ideais de operação do conversor, portanto desconsidera todas as não idealidades presentes no projeto.

$$C_{eq} = \frac{\sqrt{1 - 4\Delta_{vin\%}}}{2\omega_{120}R_{in}\Delta_{vin\%}} = 99,741 \mu\text{F} \quad (4.1)$$

$$2 \cdot C_{eq} = 199,482 \mu\text{F}$$

De posse desse resultado, define-se o capacitor comercial para o cálculo dos esforços de corrente. Como mencionado na seção anterior, o esforço de tensão em cada um dos capacitores é definido como a metade do valor da tensão do barramento, ou seja, 200 V. Com base nesse resultado, os capacitores escolhidos seguem o valor comercial de 220 μF com a capacidade de suportar uma tensão máxima de operação de 400 V. Devido à disponibilidade de componentes no almoxarifado, foi escolhido o capacitor eletrolítico B43504-S9227-M fabricado pela empresa EPCOS, cujas especificações são listadas a seguir:

Tabela 4-4 – Capacitor Comercial Modelo B43504-S9227-M EPCOS

Parâmetros a 100 Hz 40 °C	Grandezas
Capacitância (C_r)	220 μF
Tensão (V_r)	400 V
Resistência série (R_{se})	400 m Ω
Corrente Máxima (i_c)	3.4 A

A partir dos dados apresentados na Tabela 4-4, é possível calcular os esforços de corrente por meio de (3.30) e a potência total dissipada no capacitor, mediante (3.38), possibilitando encontrar o percentual de perdas no capacitor, como apresentado em (4.3).

$$\langle i_{cef} \rangle = 0,156 \text{ A} \quad (4.2)$$

$$P_{tot} = 0.162 \text{ W}$$

$$Perdas = \frac{P_{totCeq}}{P_{in}} \cdot 100 = 0.065W \quad (4.3)$$

A ondulação máxima da tensão no barramento ficou com um valor de pico de 407 V, como apresentado na Figura 4-4 por meio de resultado por simulação.

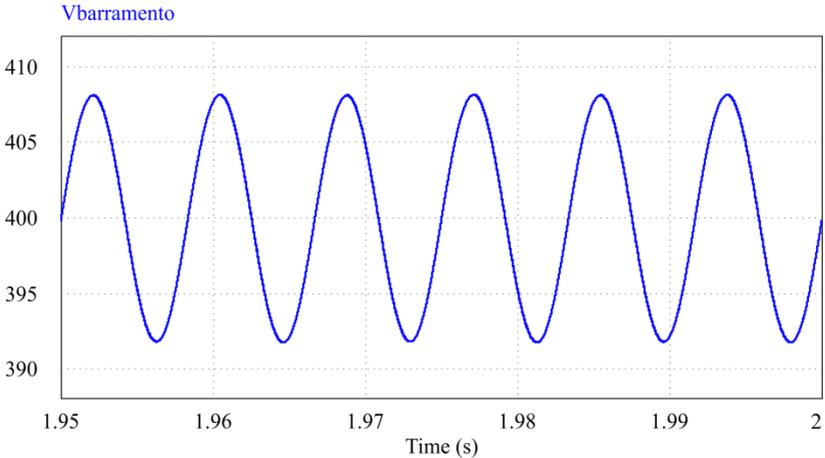


Figura 4-4 – Ondulação total no barramento

É importante ressaltar, por fim, que a ondulação é calculada realizando a divisão entre o valor de pico da tensão de entrada pelo valor médio, o que resulta em (4.4).

$$ondulação = \frac{V_{in\text{pico}}}{V_{in}} = 1\% \quad (4.4)$$

4.4 Filtro de Saída

Como mencionado no capítulo anterior, a escolha da indutância do filtro *LCL*, definido para a aplicação deste trabalho, é baseada na especificação da ondulação da corrente máxima de saída do conversor. De posse de (3.39), foi determinado o valor da ondulação de corrente nos indutores considerando os parâmetros da Tabela 4-1, onde (%) corresponde ao valor da ondulação no indutor L_1 , valor que foi determinado em 40% da corrente máxima de saída. A determinação desse parâmetro foi definida com o compromisso de atender a necessidade da redução do volume total do filtro e dos esforços de controle para que a qualidade de energia entregue à

rede fique em conformidade às normas.

Dando sequência ao projeto com o resultado dessa expressão, foi encontrado o valor dos indutores do filtro L_1 e L_2 (3.40). Como mencionado no capítulo anterior, esses indutores possuem o mesmo valor com o objetivo de atender o requisito entre perdas e capacidade de amortecimento, fato que ocorre também para o dimensionamento dos capacitores do ramo de amortecimento. Destaca-se ainda que a partir de (3.41), é definido o valor dos capacitores C_d e C_f .

Considerando que a frequência de ressonância amortecida seja alocada em torno de uma década abaixo da frequência de comutação, é definido o ajuste da frequência de ressonância não amortecida f_o em torno de 10 kHz.

Por fim, com a necessidade de atenuar ao máximo a frequência de ressonância do filtro, (3.42) permite calcular o valor da resistência de amortecimento para o filtro. Porém, esse valor calculado, em algumas situações, deve ser ajustado de forma empírica para se obter a frequência amortecida desejada na forma experimental. A planilha contendo os cálculos é encontrada no Apêndice B, que apresenta como resultado os valores pela Tabela 4-5.

Tabela 4-5 – Dimensionamento dos componentes passivos.

Componentes	Grandezas	
L_1	1,556 mH	-
L_2	1,556 mH	-
C_f	2 x 150 nF	275 V
C_d	2 x 150 nF	275 V
R_d	68 Ω	1 W

Após determinados os valores dos componentes passivos, realizou-se o projeto físico dos indutores, que leva em conta a circulação de componentes de baixa e de alta frequência. Portanto, o núcleo escolhido deve operar com uma indução magnética elevada, tal fato ocorre devido a indução gerada pela componente de comutação. Neste projeto foi adotado o pior caso de operação, ou seja, quando a corrente de saída é máxima, é gerada a maior indução sobre o núcleo. Essa consideração acarreta o superdimensionamento para outros pontos de operação inferiores.

Cumprindo as exigências destacadas, optou-se pelo uso do núcleo do tipo toroidal composto por pó de ferro. Esse núcleo tem como característica a maior distribuição do entreferro, possibilitando maiores valores de

indução magnética, característica oriunda do tipo de material de sua construção. Outro fator a se destacar é a sua geometria, que permite diminuir a dispersão do fluxo, reduzindo a interferência eletromagnética irradiada.

Uma peculiaridade desse e tipo de material é a diminuição da indutância com o aumento da corrente, devendo ser realizadas algumas considerações no projeto para que, em condições nominais, o valor não se reduza ao ponto de levar o indutor à saturação e conseqüentemente à falha do conversor. Com isso, a metodologia de projeto foi elaborada tomando como base [50], possibilitando assim construir cada indutor conforme as especificações. A planilha com o detalhamento completo do projeto encontra-se no Apêndice C.

Outro fator indispensável para o projeto foi a distribuição da indutância do filtro em quatro núcleos, como apresentado na Figura E1 do Apêndice E, possibilitando a simetria da forma de onda nos semiciclos positivo e negativo. Com isso, cada indutor foi projetado para propiciar indutância de 777 μF ,

O núcleo de pó de ferro escolhido para a aplicação é o *APH33P60*, construído pela fabricante *Amogreentech* [51]. Esse núcleo tem a característica de apresentar uma densidade de fluxo de saturação elevada (1,5 T), tal característica proporciona melhorias no desempenho do protótipo e também minimiza a chance de o indutor saturar quando estiver operando na situação nominal.

Destaca-se também que a escolha do condutor leva em conta o conceito de condutores em alta frequência. Esse conceito é conhecido na literatura como efeito pelicular ou *Skin effect*. Esse efeito se torna mais significativo à medida que a frequência aumenta, com isso maior será a densidade de corrente nas bordas e menor na região central de um condutor, Figura 4-5, causando uma redução na área efetiva do condutor, de maneira a limitar a área útil do condutor a ser empregado.

Para solucionar esse problema, os fabricantes dos condutores apresentam planilhas que destacam os valores da frequência de operação para cada condutor, garantindo que sua escolha seja adequada para a aplicação, permitindo redução do efeito pelicular e das perdas.

Como a modulação empregada no conversor possibilita entregar a tensão comutada V_{AB} com sua frequência igual à de comutação, os indutores do filtro devem ser projetados para tal frequência (50 kHz), assim justifica-se a utilização de condutores AWG 23 o qual possui frequência máxima de operação de 53 kHz.

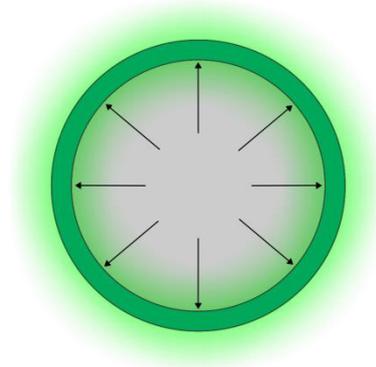


Figura 4-5 – Efeito Pelicular em um condutor

Como apresentado na Tabela 4-5, foram utilizados capacitores com valor de 150 nF associados em paralelo com a finalidade de atingir a capacitância de amortecimento desejada de 300 nF, esse valor comercial se aproxima muito do calculado, estabelecido em cerca de 325,659 nF. Essa opção por realizar a associação entre os capacitores teve por objetivo utilizar componentes disponíveis no almoxarifado. Tal abordagem finaliza a obtenção dos valores dos componentes referentes ao filtro e ao projeto dos indutores (Tabela 4-6), possibilitando projetar a malha de controle de corrente do conversor.

Tabela 4-6 – Aspectos construtivos do indutor

Núcleo	33/19,9/10,7
Material do Núcleo	APH33P60
Espiras	112
Condutor	AWG23
Condutores em Paralelo	3

4.5 Definição dos parâmetros de controle

Definidos os componentes passivos que fazem parte do filtro de saída, passa-se para o projeto dos controladores da malha de corrente do conversor. De posse da função de transferência (3.45), substituem-se os valores encontrados na Tabela 4-5 possibilitando transcrevê-la em forma numérica em (4.5).

$$H(s) = \frac{i_r(s)}{d(s)} \Big|_{vr(s)=0} = \frac{0.0084s + 400}{1.52 \cdot 10^{-17} s^4 + 1.45 \cdot 10^{-12} s^3 + 6.53 \cdot 10^{-8} s^2 + 0.0031s} \quad (4.5)$$

Com a função de transferência na forma numérica, é calculada a função de transferência em laço aberto não compensado. Para isso, foi definido que os ganhos do modulador K_{PWM} e do sensor K_i sejam iguais unitários. Dando sequência, é calculado o controlador PI para determinar a função de transferência de laço aberto compensada por meio da expressão (3.47), onde o ganho k_c e a frequência ω_z do controlador são definidos em (3.50) e (3.52), respectivamente.

A margem de fase (M_f) foi alocada em 60° e a frequência de cruzamento (f_c) em 1 kHz (6283 rad/s), o que resultou em um k_c igual a 0,042 e ω_z igual a 3615 rad/s. Sendo assim, o controlador projetado é representado por (4.6).

$$C_i(s) = 0,042 \left(\frac{s + 3615}{s} \right) \quad (4.6)$$

Este controlador substituído na função de transferência de laço aberto compensado possibilita apresentar o diagrama de Bode da malha de controle da corrente após compensação, Figura 4-6. Esse diagrama possibilita verificar que a frequência de cruzamento ocorreu em 1 kHz (6283 rad/s) e a margem de fase em 60° , satisfazendo as especificações do projeto.

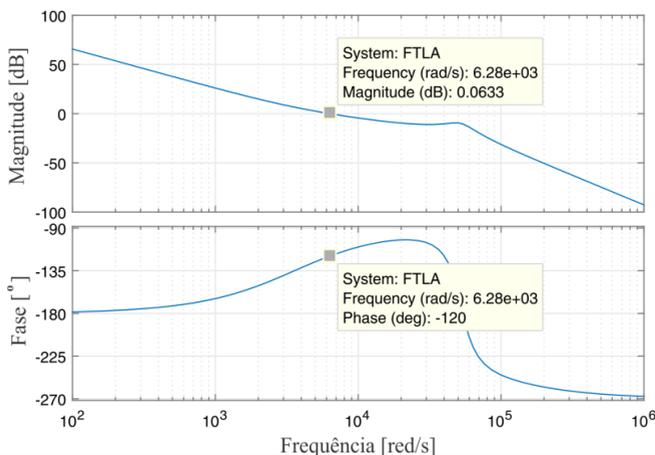


Figura 4-6 – Diagrama de bode da malha de controle da corrente compensada

4.6 Sistema de sincronismo PLL

As especificações de projeto para dimensionar o controlador PI que atuará no circuito de PLL são definidas considerando que a frequência de cruzamento seja de 10 Hz e a margem de fase em 60° . Esses valores resultam em um ganho K_{PLL} igual a 54,41 e em uma frequência angular ω_{PLL} de 36,27 rad/s. A equação do controlador é expressa em (4.7), a partir da qual se realiza a discretização por meio da transformada de *Tustin* com uma frequência de amostragem em 50 kHz, resultando (4.8).

$$C_{PLL}(s) = 54,414 \left(\frac{s + 36,276}{s} \right) \quad (4.7)$$

$$C_{PLL}(z) = \frac{54,43z - 54,39}{z - 1} \quad (4.8)$$

Com os parâmetros do controlador, é possível realizar uma simulação do circuito de PLL monofásico simplificado projetado, conforme ilustrado na Figura 4-7. Pela simulação, nota-se que decorrem 10 ciclos de rede até que o método coloque sua referência em fase com a tensão lida. A rotina do código encontra-se no Apêndice D.

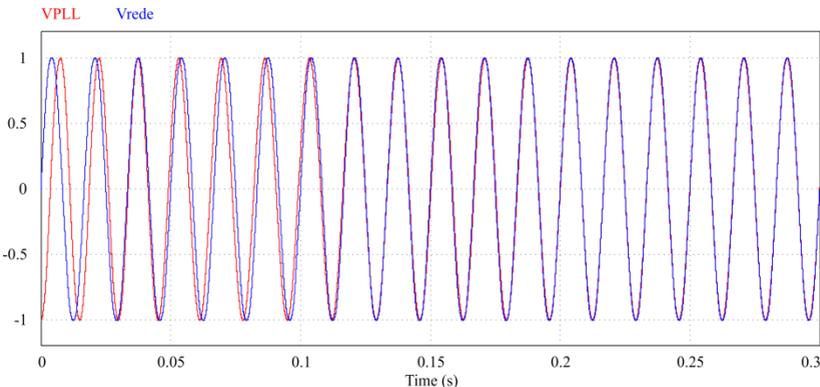


Figura 4-7 – Sincronismo do sistema de PLL

4.7 Condicionamento de Sinal

Como mencionado anteriormente, para controlar o sistema, é necessária a leitura de dois parâmetros do conversor, ou seja, ler a tensão da rede elétrica e a corrente injetada. Com isso, surge a necessidade de emprego de um sistema para condicionamento de sinais, capaz de criar a conexão entre as saídas dos sensores e a entrada analógica/digital (A/D) do

DSP, onde são executadas as malhas de controle.

Com a finalidade de ajustar os valores de tensão a ser entregue às entradas *A/D* do *DSP*, o condicionamento de sinais não somente amplifica o sinal gerado pelo sensor, como também reduz os ruídos de medição gerados pela comutação do conversor e aplica um *offset* na tensão ajustando o valor entregue ao conversor analógico/digital. Com esse intuito, foi desenvolvido um circuito para leitura e aquisição da corrente e tensão do conversor a partir de amplificadores operacionais.

4.7.1 Leitura da Corrente de Saída

Como apresentado anteriormente, o sensor utilizado foi o de efeito *Hall LTSR-6NP* fabricado pela empresa *LEM*, cujas especificações encontram-se na Tabela 4-7. Esse sensor tem a capacidade de ler uma corrente de até 6 A em seus terminais, porém, como o valor lido limita-se a 1,6 A, faz-se uso de três espiras, conforme recomendações da folha de dados do componente, de tal forma que o valor lido se aproxime do valor nominal, proporcionando uma melhora na resolução da leitura.

A precisão propriamente dita está diretamente associada ao sinal de saída do sensor, que apresenta uma tensão capaz de excursionar entre os valores de 0 e seu valor máximo de alimentação. Para determinar o valor máximo da tensão de saída do sensor (V_{HALL}) em relação à corrente máxima aplicada aos terminais de leitura, faz-se necessária a utilização de uma expressão dada pela folha de dados do fabricante referente à tensão de saída analógica, apresentada na Tabela 4-7:

Tabela 4-7 – Especificações elétricas do sensor *Hall LTSR-6NP*

Grandeza	Representação	Valor
Corrente nominal	I_N [A]	6 A
Tensão de offset	V_{offset} [V]	2,5 V
Tensão de saída analógico	V_{Hall} [V]	$V_{Hall} = V_{offset} \pm 0,625 \cdot \frac{I_P}{I_N}$
Ganho	G [V/A]	$104 \cdot 10^{-3}$
Resistência interna do primário	R_{inp} [Ω]	$208,33 \cdot 10^{-3}$
Indutância interna do primário	L_{inp} [H]	$13 \cdot 10^{-9}$
Tensão de alimentação	V_{cc}	5 V

De posse das informações, é possível definir o valor exato de saída do sensor quando aplicada a corrente nos terminais de leitura. Nota-se que enquanto a corrente de entrada do sensor excursiona de 0 A até seu valor máximo 1,6 A, a tensão de saída excursiona com uma pequena variação entre $V_{hallmin} = 2,5$ V e $V_{hallmax} = 3$ V. Com a proximidade entre os valores de mínimo e máximo não sendo interessante para a conversão analógica/digital (A/D) do DSP responsável por executar os algoritmos de controle, é necessário desenvolver um sistema capaz de amplificar esses valores de forma que não acabem prejudicando a resolução do A/D.

A forma mais simples de melhorar a resolução do A/D é aumentando a faixa de excursão de V_{Hall} , projetando um circuito de condicionamento de sinais. Uma vez encontrado o valor da tensão de saída do sensor, prossegue-se ao projeto dos amplificadores responsáveis por amplificar e filtrar o sinal entregue ao DSP.

O circuito será dividido em duas partes, ou seja, circuito de amplificação e circuito de filtragem, a configuração escolhida foi a *butterworth*. Visando minimizar os problemas com ruídos acoplados de leitura, [52] apresenta o projeto de um filtro passa baixa e realimentação múltipla de dois polos com uma resposta *butterworth*. Essa topologia de filtro requer um amplificador operacional para ser usado como um circuito amplificador e em seguida um filtro *butterworth* com *antialiasing* alocando a frequência de corte.

Normalmente, as características desse tipo de circuito consistem no deslocamento, ganho, linearidade e ruído. Outra perspectiva envolve a inserção de eventos no domínio da frequência.

Para o projeto consideraram-se os valores de:

- Largura de banda do sinal de entrada de 1 kHz (f_{Sinal});
- Frequência de canto do filtro passa-baixa de 10 kHz (f_C);
- Frequência de amostragem 100 kHz (f_a);
- Amplificador operacional LM324.

A partir desses parâmetros, é possível calcular o ganho do circuito e ajustar as frequências desejadas. A Figura 4-8 mostra o diagrama do circuito de segunda ordem, *Butterworth FPB* de 10 kHz.

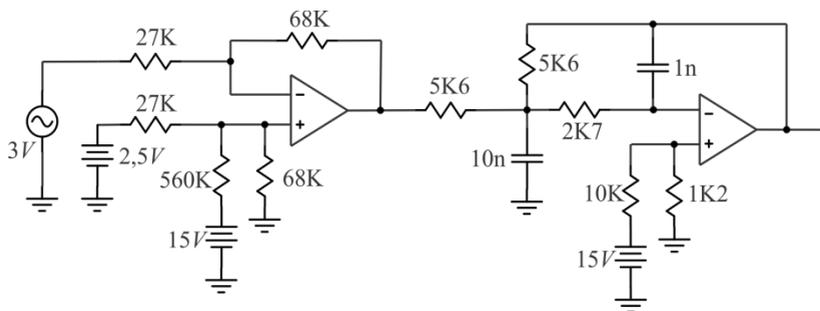


Figura 4-8 – Condicionamento do sinal da Corrente.

O primeiro estágio é responsável por eliminar a tensão de *offset* (V_{offset}) presente na saída do sensor e aplicar um ganho no valor de V_{hall} , após ajustar um novo *offset* para se adequar aos valores do conversor A/D do DSP. Em seguida, o sinal é conectado ao filtro de segunda ordem para eliminar os ruídos acoplados nas medições do sensor, finalizando com a conexão ao DSP.

4.7.2 Leitura da Tensão da Rede

Para esse sensor, segue-se o mesmo critério de projeto como apresentado anteriormente, porém ajustando o primeiro estágio para operar com um sensor de tensão com característica de saída em corrente. Com isso, foi necessário acrescentar um resistor para gerar uma tensão na entrada do amplificador.

O sensor utilizado para a aquisição foi o LV 25-P do fabricante LEM, cujos parâmetros estão apresentados na Tabela 4-8.

Tabela 4-8– Especificações elétricas do sensor LV 25-P

Grandeza	Representação	Valor
Tensão máxima	V_{PN}	500 V
Alimentação	U_c	± 15 V
Corrente máxima de saída	I_{sn}	25 mA
Resistência máxima	RM	190 Ω

Para que esse sinal de saída do sensor seja convertido novamente em tensão, utiliza-se um resistor conectado na saída do sensor que conseqüentemente está anexado na entrada do amplificador, esse resistor é capaz de gerar uma tensão entre os terminais do amplificador e, portanto,

ser amplificado como mostra a Figura 4-9.

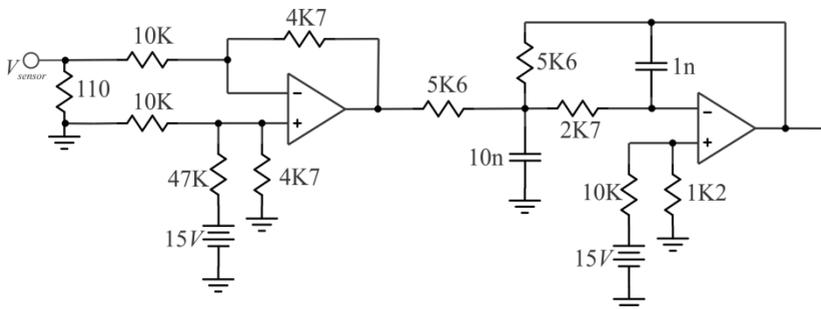


Figura 4-9 – Condicionamento do sinal da Tensão.

4.8 Placa de Circuito de *Gate Driver*

Na construção do protótipo, foram utilizados circuitos de comando (*Gate Driver*) isolados para os interruptores. Tais circuitos de acionamento foram propostos por [53] e são capazes de aplicar tensões de comando positivas de 20 V e negativas de -5 V a partir de uma alimentação de 5 V. Esse *gate driver* possui a característica de acionar interruptores da tecnologia SIC pela característica de atingir elevados valores de tensão de acionamento. Outra especificidade importante está relacionada ao fornecimento da corrente de pico do acionamento, podendo chegar até 9 A. Todas essas vantagens são alcançadas com um pequeno volume, tornando-se ideal para a aplicação. O circuito de acionamento é demonstrado na Figura 4-10.

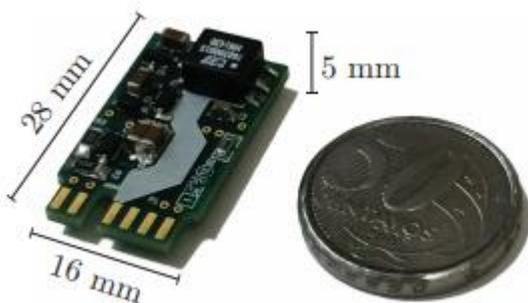


Figura 4-10 – Placa do circuito de *Gate Driver* [53].

Outro fator importante no que diz respeito à comutação é a resistência de entrada e saída em condução do *gate driver* quando conectado

ao MOSFET. Para este projeto, foi utilizado um resistor de entrada com valor de $2,5 \Omega$ e de saída com 5Ω . Esses valores ajudam na atenuação dos picos da comutação, em contrapartida, tornam a comutação mais lenta.

4.9 Placa para alimentar o condicionamento de sinais

Para alimentar os circuitos de condicionamento de sinais, sensores e comando dos interruptores (*gate-driver*), foi utilizada uma fonte CA-CC fabricada pela empresa *Mornsun* Figura 4-11. Essa fonte foi projetada para operar em uma ampla escala de tensão na sua entrada: 65 – 460 VAC ou 90 – 650 VDC de forma isolada, capaz de operar com qualquer conexão de dois fios e gerar três valores distintos de tensão, ou seja, $\pm 15 \text{ V}$ e $+5 \text{ V}$.

Ademais, essa fonte possui um alto rendimento, baixo *ripple* e imunidade a ruídos. Também conta com proteções de sobretensão de entrada e curto-circuito, sobrecorrente e sobretensão de saída, evitando eventuais danos ao sistema.

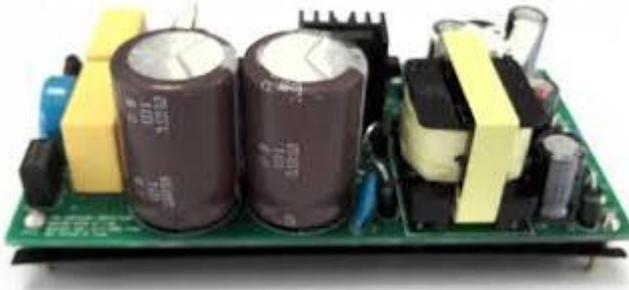


Figura 4-11 – Placa da fonte de alimentação

4.10 Conclusão

Este capítulo destinou-se a apresentar o projeto e execução do conversor em sua forma de *hardware* a partir do estudo teórico abordado no capítulo 3.

Inicialmente, para o projeto, foram definidos os interruptores de potência tomando como base os esforços de tensão e corrente sobre cada componente, assim justificando a escolha do *MOSFET SCT 3120AL* do fabricante *ROHM* e apresentando suas características construtivas que são de extrema relevância para a escolha do componente adequado.

Na sequência, foi apresentado o projeto físico do filtro de saída, destacando seu efeito pelicular oriundo da frequência de operação do

conversor e também a característica do núcleo de pó de ferro capaz de reduzir sua indutância com o aumento da corrente sobre os indutores. Esses fatores devem ser considerados no projeto para a construção dos indutores e a seleção correta dos capacitores do ramo de amortecimento.

Foi abordada, também, a técnica de controle da corrente injetada na rede elétrica e apresentados os valores de margem de fase e ganho do sistema com valores de 60° para a margem de fase e 1 kHz para a frequência de cruzamento. Para o sistema de sincronismo com a rede, foi utilizado o método denominado como *phase locked loop (PLL)*, o qual leva 10 ciclos de rede para realizar a sincronização, a estratégia de controle finalizou-se com a implementação digital no *DSP*.

Para a leitura das variáveis de controle, foi projetado e executado um projeto de condicionamento de sinais para a leitura dos sensores de tensão e corrente a serem conectados nos *A/Ds* do *DSP* responsável pelo acionamento do conversor. Também foram destacados os circuitos de *gate-driver* utilizados para acionar os interruptores de potência tal que apresentam volume reduzido e robustez na sua operação.

Por fim, foi confeccionada uma placa de circuito impresso por meio do *software Altium PCB Designer*, Figura 4-12, capaz de validar de forma experimental toda a teoria apresentada no trabalho.

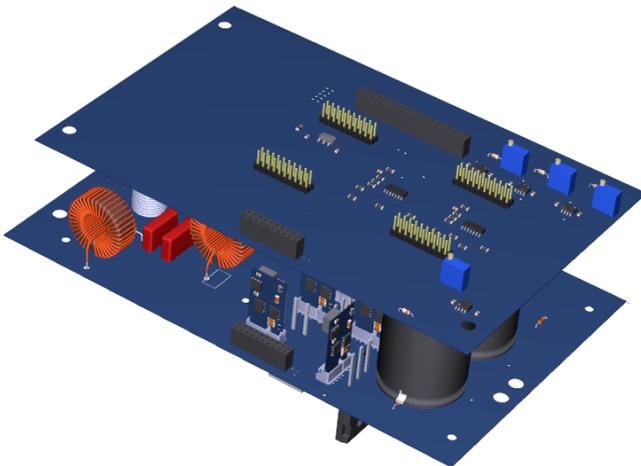


Figura 4-12 – Versão 3D do estágio CC-CA do Microinversor.

RESULTADOS EXPERIMENTAIS

O protótipo implementado é composto por uma placa de condicionamento de sinais e controle, uma placa de potência, uma fonte auxiliar e 8 circuitos de *gate-driver*. A programação realizada no *DSP* foi a linguagem *C* com instruções em baixo nível, visando otimizar o tempo de cálculo para possibilitar a operação do conversor com frequências de comutação e de amostragem desejadas.

Os componentes foram montados em uma placa de circuito impresso de duas camadas apresentada na Figura 5-1, cujo *layout* foi construído no próprio laboratório.

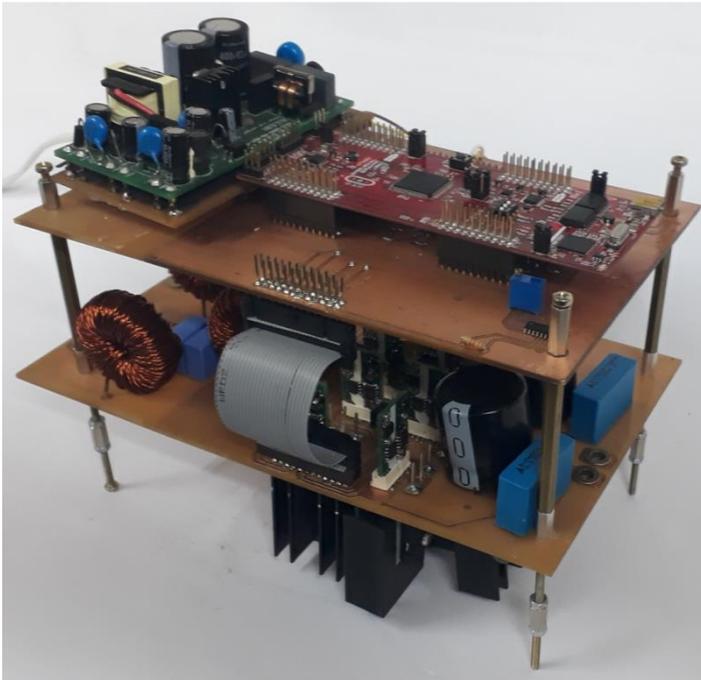


Figura 5-1 – *Layout* do sistema completo.

5.1 Formas de onda

A partir do projeto construído, foi possível obter as formas de onda relevantes para sua execução, de maneira a validar toda a teoria apresentada nas seções 3 e 4 destacadas neste trabalho. Este projeto possibilitou analisar o comportamento do conversor em uma situação real e comparar com simulações para poder assim analisar suas formas de onda e comprovar a teoria apresentada no presente trabalho.

5.1.1 Validação da Modulação

Para realizar os testes de modulação, foram apresentados os pulsos de comando para cada interruptor, podendo validar a modulação *IPD*. Da Figura 5-2 à Figura 5-9 são apresentados os pulsos destinados a cada interruptor principal e seu complementar. Com isso foi possível comparar resultados experimentais e de simulação.

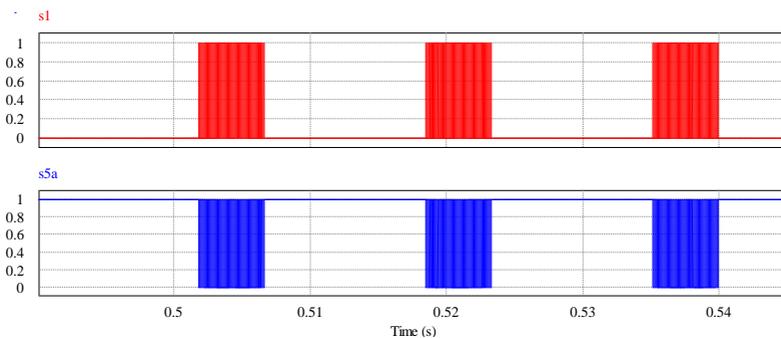


Figura 5-2 – Simulação pulsos de comando: S_1 e S_{5a}

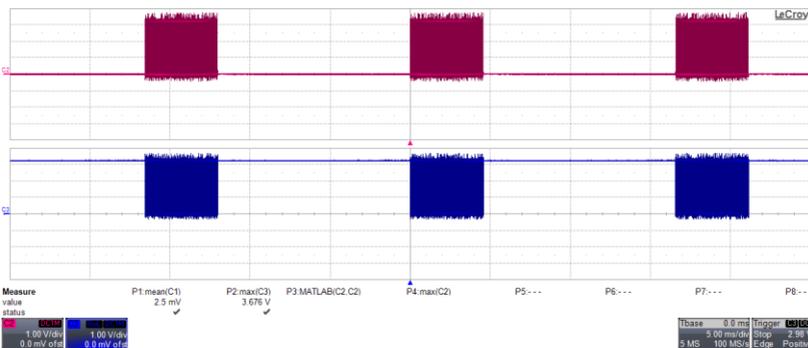


Figura 5-3 – Pulsos de comando gerados pelo DSP: S_1 e S_{5a}

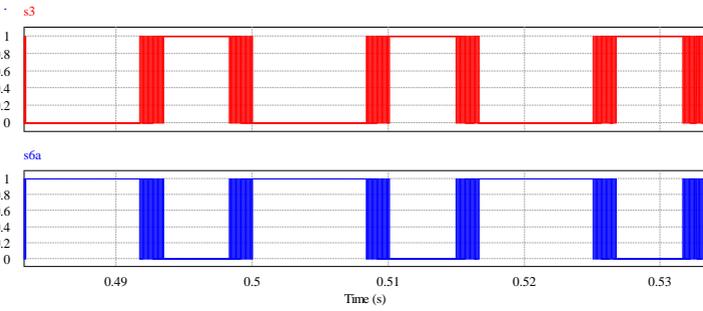


Figura 5-4 – Simulação pulsos de comando: S_3 e S_{6a}

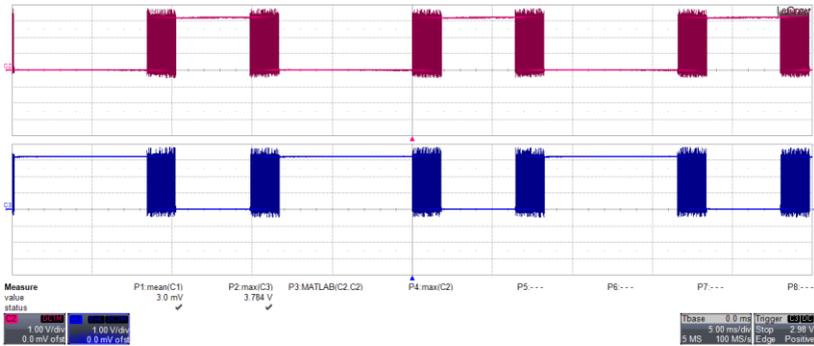


Figura 5-5 – Pulsos de comando gerados pelo DSP: S_3 e S_{6a}

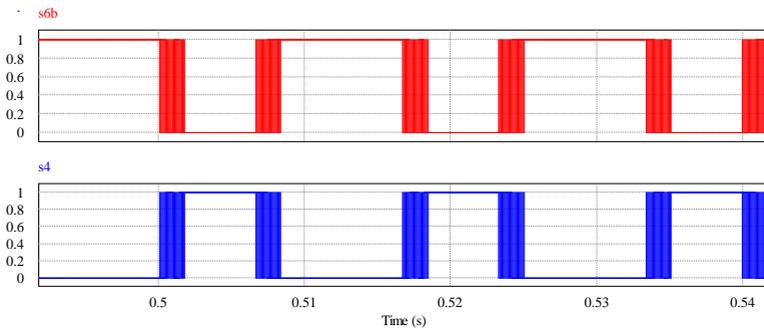


Figura 5-6 – Simulação pulsos de comando: S_{6b} e S_4

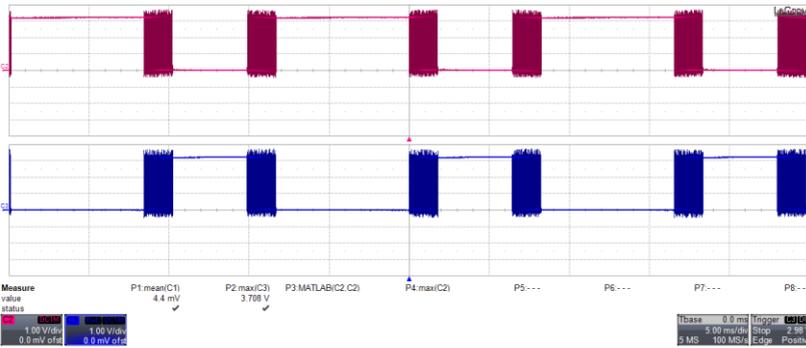


Figura 5-7 – Pulsos de comando gerados pelo DSP: S_{6b} e S_4

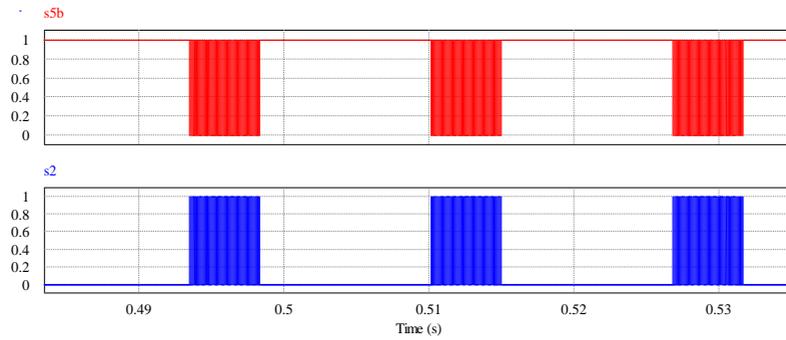


Figura 5-8 – Simulação pulsos de comando: S_{5b} e S_2

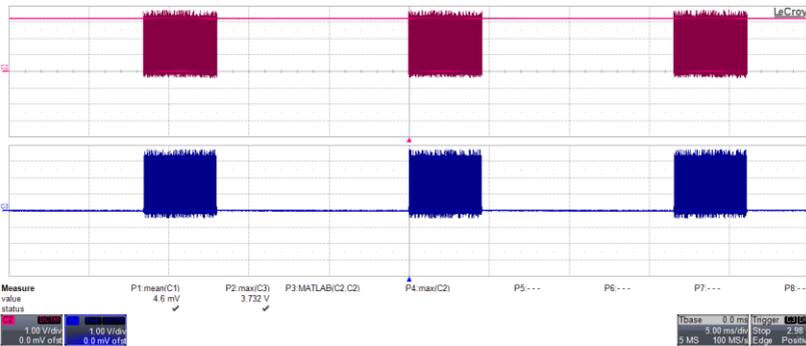


Figura 5-9 – Pulsos de comando gerados pelo DSP: S_{5b} e S_2

5.1.2 Tensão nos Interruptores

As tensões nos interruptores apresentaram um pequeno ruído,

ocasionado pelo acoplamento de interferências eletromagnéticas nas sondas. Entretanto, negligenciando tal efeito, é possível observar que resultados de simulação e experimentais são muito próximos, e não apresentam patamares destrutivos como pode ser demonstrado da Figura 5-10 á Figura 5-17.

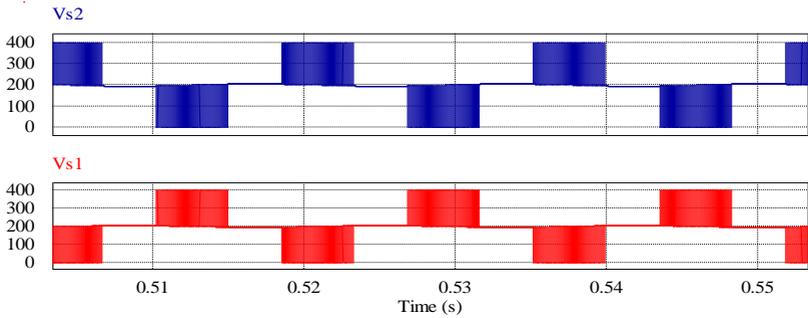


Figura 5-10 – Simulação da tensão sobre os interruptores S_2 e S_1 comandados

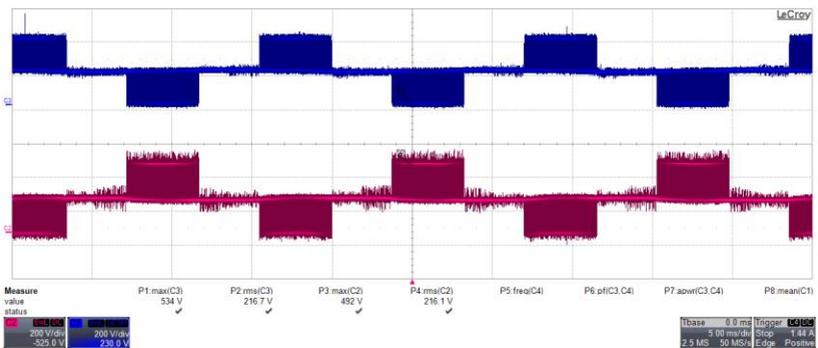


Figura 5-11 – Tensão sobre os interruptores S_2 e S_1 comandados

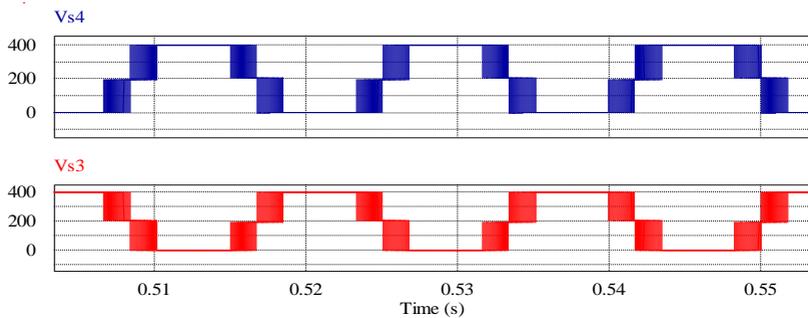


Figura 5-12 – Simulação da tensão sobre os interruptores S_4 e S_3 comandados

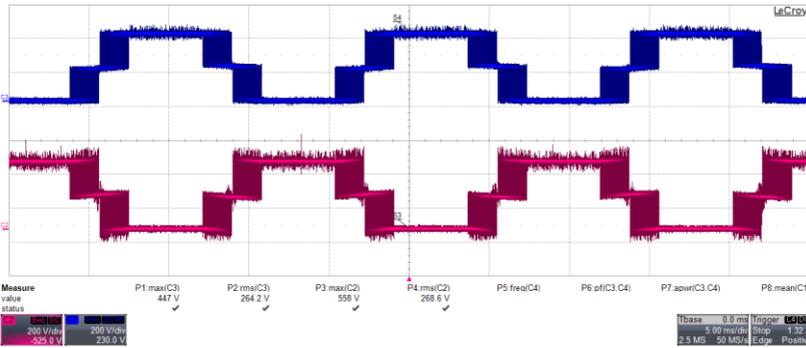


Figura 5-13 – Tensão sobre os interruptores S_4 e S_3 comandados

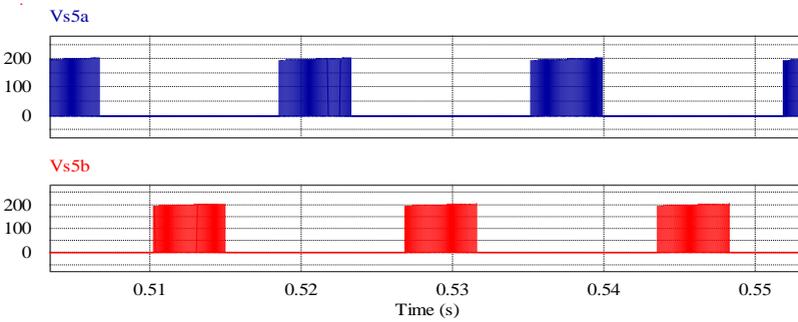


Figura 5-14 – Simulação da tensão sobre os interruptores S_{5a} e S_{5b} comandados

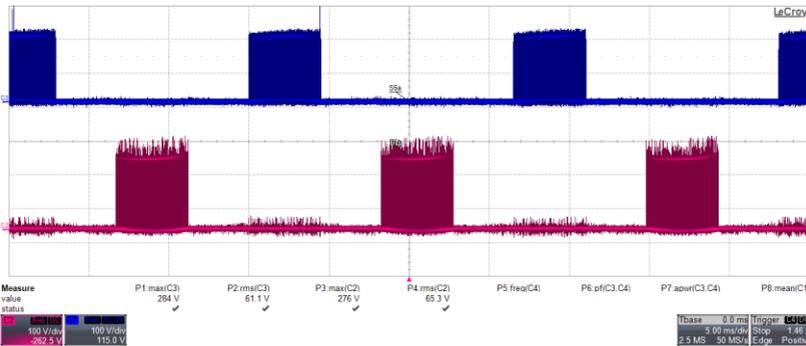


Figura 5-15 – Tensão sobre os interruptores S_{5a} e S_{5b} comandados

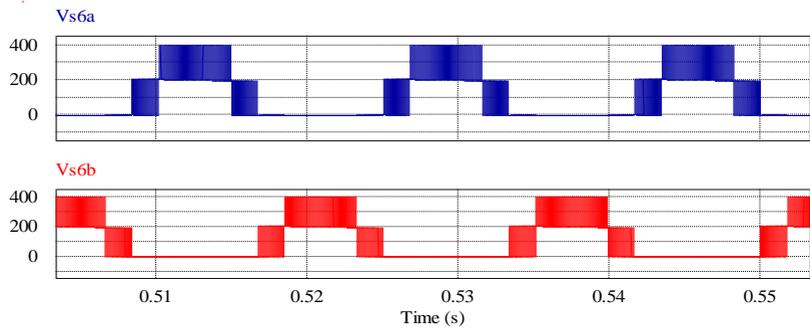


Figura 5-16 – Simulação da tensão sobre os interruptores S_{6a} e S_{6b} comandados

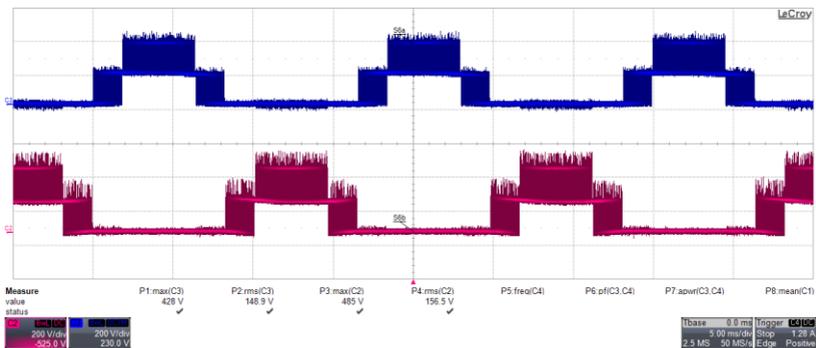


Figura 5-17 – Tensão sobre os interruptores S_{6a} e S_{6b} comandados

De maneira a existência de multiníveis na tensão de saída do microinversor pode ser analisada pelas Figura 5-18 e Figura 5-19, na qual apresenta-se também tensão entre os terminais A e B

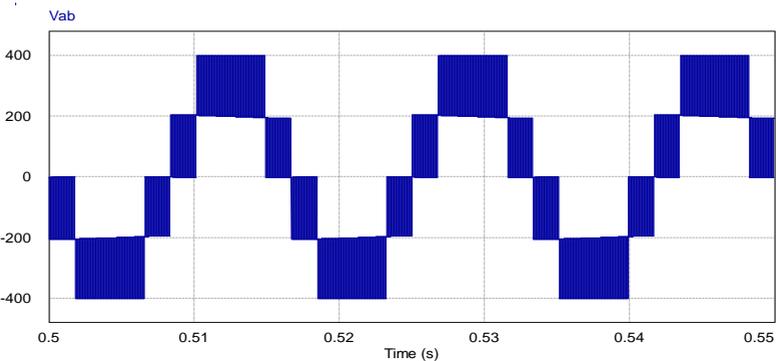


Figura 5-18 – Simulação do conversor mostrando a tensão entre os terminais A e B .

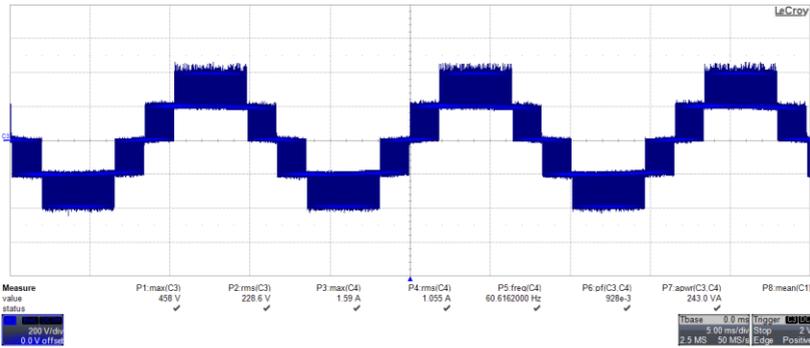


Figura 5-19 – Tensão entre os terminais A e B do conversor.

Na Figura 5-21 é exibida a forma de onda experimental da corrente entregue à rede elétrica, enquanto a Figura 5-20 apresenta o resultado de simulação. É possível verificar que as formas de onda possuem formatos semelhantes, exceto pela amplitude e pelas distorções existentes nos resultados experimentais.

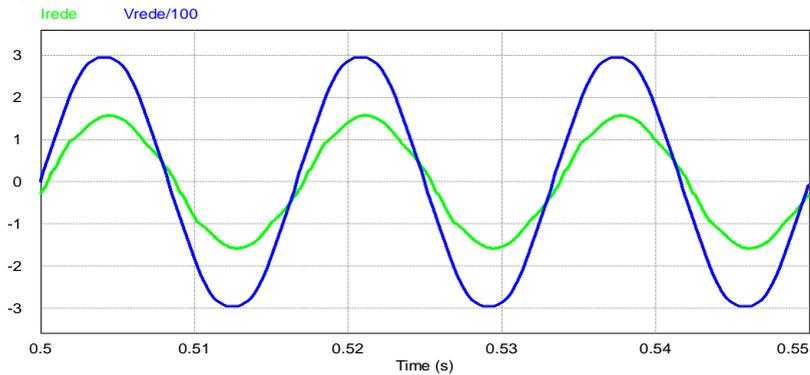


Figura 5-20 – Simulação mostrando a tensão na rede $V_{rede}(t)$ e a corrente entregue à rede elétrica com uma potência processada ($P_O = 250\text{W}$)

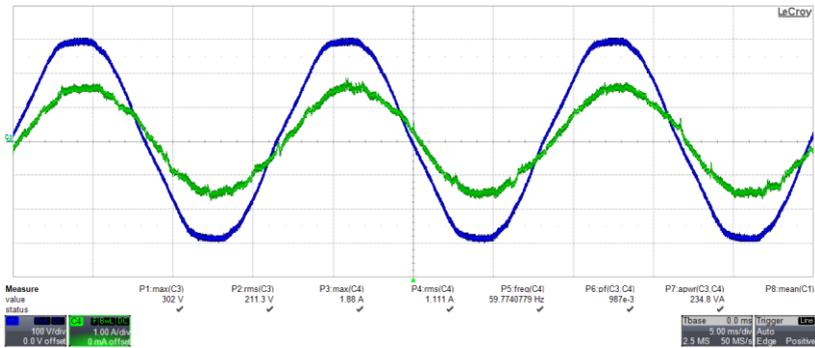


Figura 5-21 – Tensão na rede V_{rede} e a corrente entregue à rede elétrica com uma potência processada ($P_O = 245,63W$)

5.2 Distorção Harmônica de Corrente e Rendimento

O espectro da distorção harmônica foi comparado com os limites da norma *NBR16149*, a qual possibilita a análise da distorção harmônica da corrente do microinversor. Os resultados experimentais foram obtidos a partir do analisador de energia da *Yokogawa*, conforme apresentado na Figura 5-22, possibilitando construir os gráficos em coluna apresentados nas Figura 5-23 à Figura 5-28. Mediante os resultados, verificou-se que as normas foram atendidas em uma faixa de carga entre 10% a 100%, onde a potência máxima circulante na saída do microinversor no instante da análise era de 252,21 W e a *THD* da corrente assumiu o valor de 2,821%, tendo sido medido um rendimento do conversor de 97,39%. É importante ressaltar que a modulação empregada não possibilitou o cumprimento dos limites máximos dos harmônicos pares exigidos pela norma. Uma maneira de solucionar este problema é a implementação de uma outra modulação.

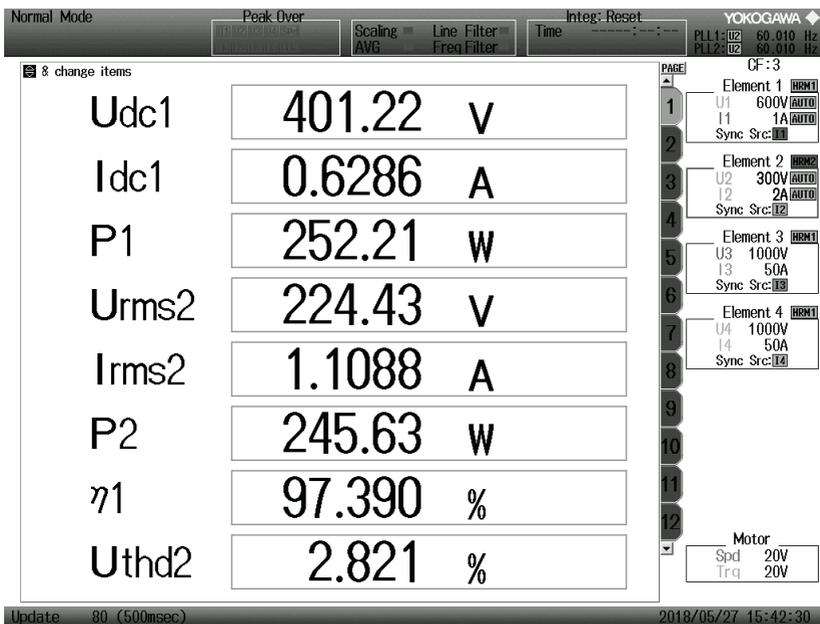


Figura 5-22 – Resultado do analisador de energia da Yokogawa, potência de entrada ($P_{in} = 252,21\text{W}$), potência de saída ($P_o = 245,63\text{W}$), rendimento ($\eta = 97,39\%$) e a taxa de distorção harmônica ($THD = 2,821\%$).

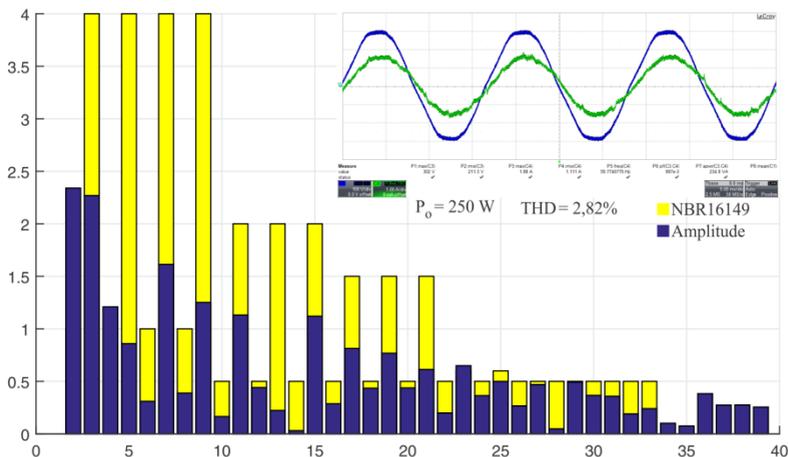


Figura 5-23 – Análise harmônica da corrente entregue à rede elétrica com carga nominal.

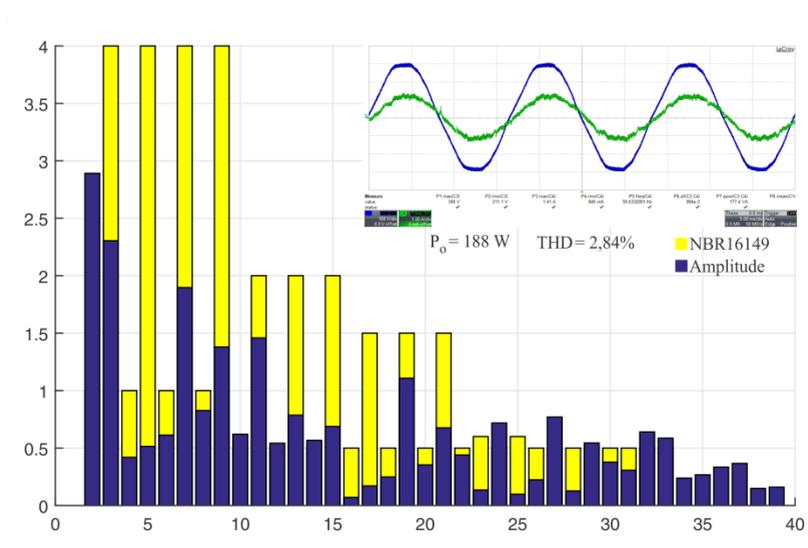


Figura 5-24 – Análise harmônica da corrente entregue à rede elétrica com 75% de carga.

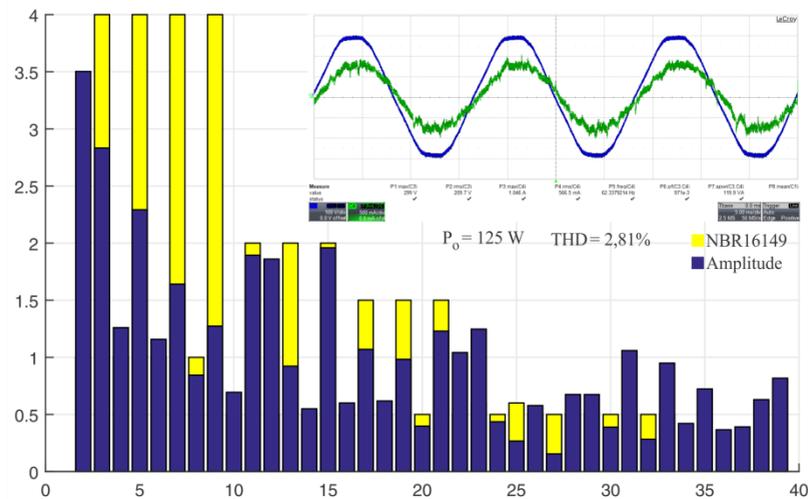


Figura 5-25 – Análise harmônica da corrente entregue à rede elétrica com 50% de carga.

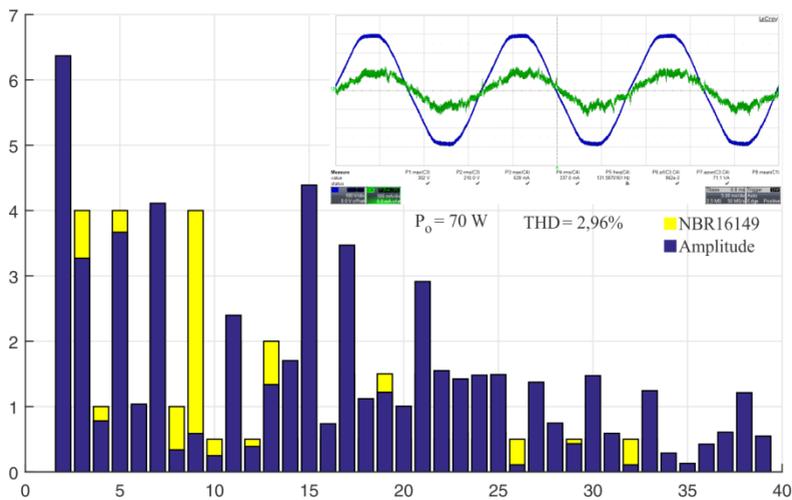


Figura 5-26 – Análise harmônica da corrente entregue à rede elétrica com 30% de carga.

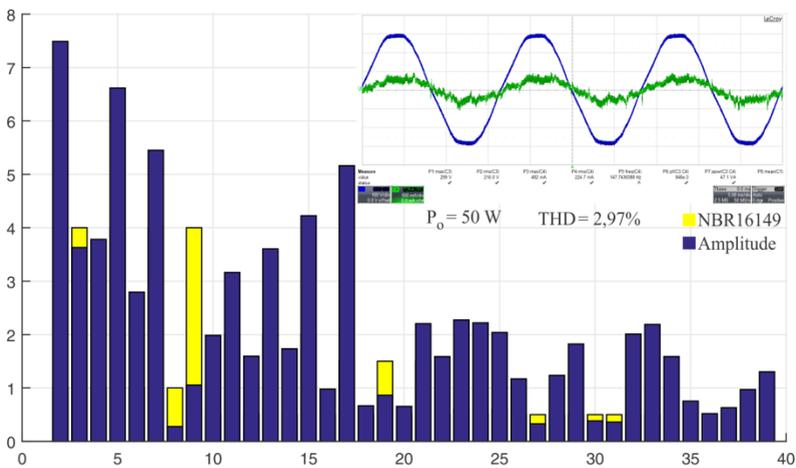


Figura 5-27 – Análise harmônica da corrente entregue à rede elétrica com 20% de carga.

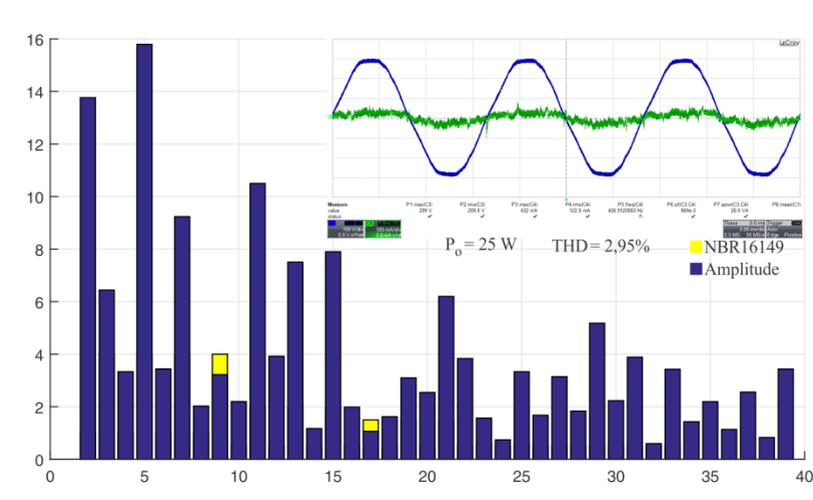


Figura 5-28 – Análise harmônica da corrente entregue à rede elétrica com 10% de carga.

Seguindo a ponderação internacional *CEC* [54], é possível chegar à equação (5.1), que destaca o rendimento *CEC* do protótipo de microinversor de 95,418%, valor compatível com outras topologias aplicadas à mesma finalidade.

$$\eta_{CEC} = 0,04\eta_{10\%} + 0,05\eta_{20\%} + 0,12\eta_{30\%} + 0,21\eta_{50\%} + 0,53\eta_{75\%} + 0,05\eta_{100\%} \quad (5.1)$$

Da mesma forma tomando base da ponderação internacional foi possível extrair um gráfico apresentado na Figura 5-29 destacando o rendimento do conversor sobre o percentual de carga, com isso, facilitando a análise para todos os pontos de potência obtidos.

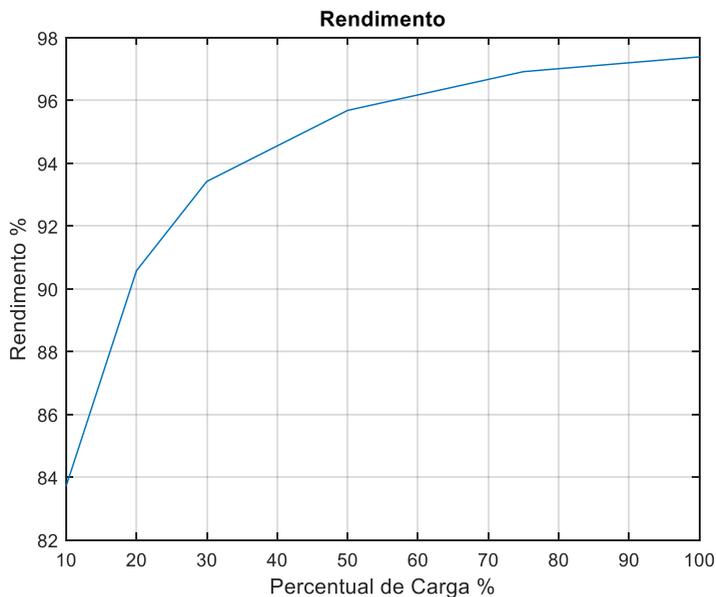


Figura 5-29 – Curva do rendimento em relação ao percentual de carga.

A Figura 5-30 mostra a distorção harmônica total calculada a partir das medições realizadas no protótipo experimental, em diversas condições de carga, sendo considerado o cálculo harmônico até a quadragésima ordem. Observa-se o aumento da *THD* quando o conversor opera abaixo de 100 W. Isso ocorre por consequência de o projeto do estágio de potências e das malhas de controle serem realizados para as condições nominais.

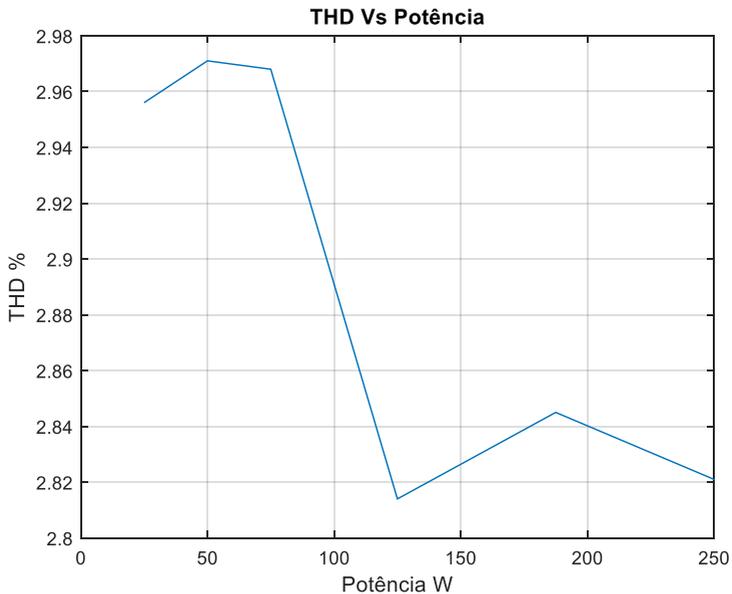


Figura 5-30 – Taxa da distorção harmônica (THD) em relação à potência do microinversor.

5.3 Degrau de irradiância

Para validar a ação de controle do conversor, foi simulado um degraude irradiância no qual foi aplicado um degraude da potência de saída do conversor de 100% para 50% e de 50% para 100%, conforme é ilustrado na Figura 5-31. Também foi realizado o mesmo ensaio de forma experimental, tal como na Figura 5-32. Este ensaio foi realizado de forma a aplicar um degraude na referência de controle gerada internamente no DSP, possibilitando assim que o conversor seja conectado somente em uma fonte CC de alimentação.

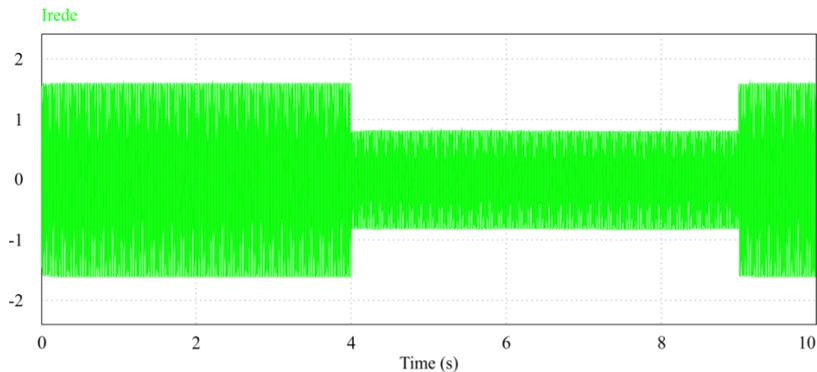


Figura 5-31 – Degrau de carga 100% - 50% e 50% - 100% (simulação).

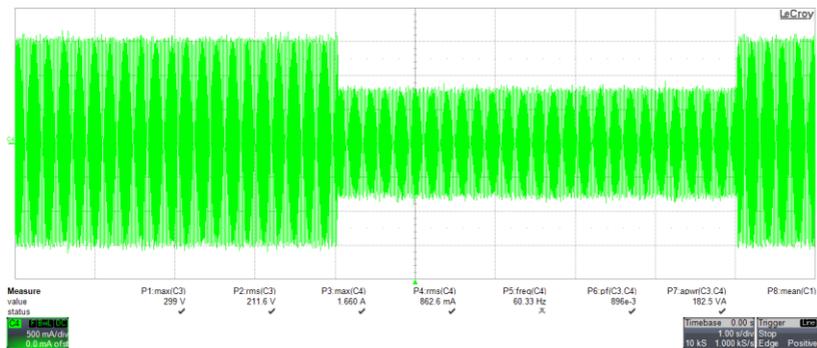


Figura 5-32 – Degrau de carga 100% - 50% e 50% - 100% (experimental).

Aplicando um zoom na forma de onda, de maneira a visualizar a ação de controle, é possível observar através de Figura 5-33 e Figura 5-34 o instante do degrau de irradiância, podendo assim observar a velocidade de atuação da malha de controle.

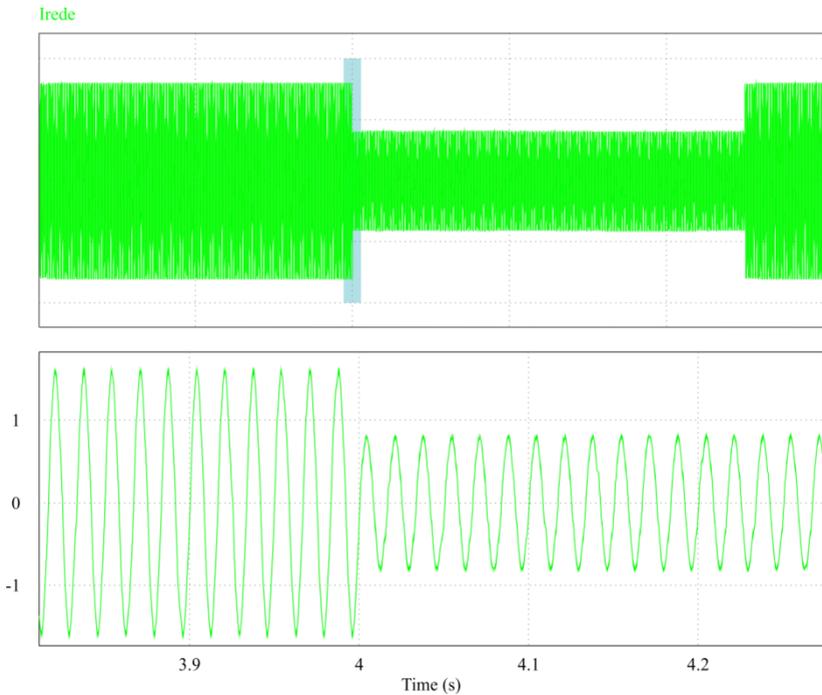


Figura 5-33 – Zoom no instante do degrau de 100% - 50% (simulado).

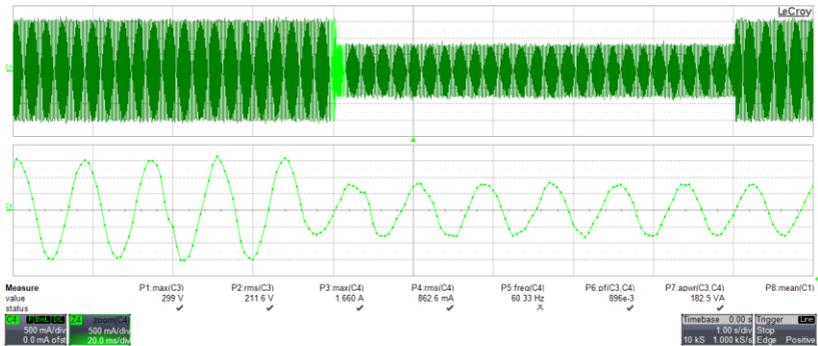


Figura 5-34 – Zoom no instante do degrau de 100% - 50% (experimental).

Logo após, foi determinado um degrau de 50% para 100% da potência e novamente analisado o comportamento a partir da Figura 5-35 e Figura 5-36.

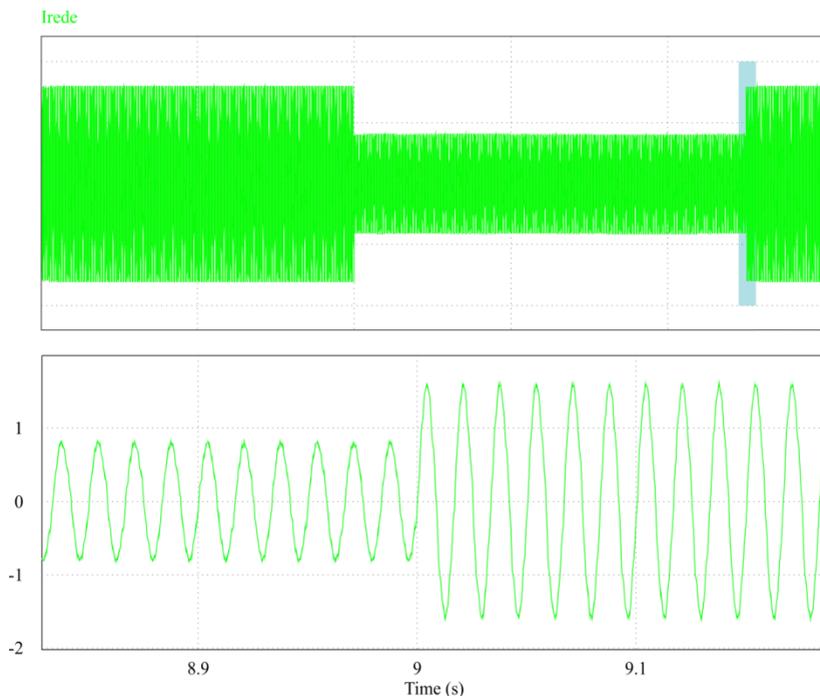


Figura 5-35 – Zoom no instante do degrau de carga 50% - 100% (simulação)

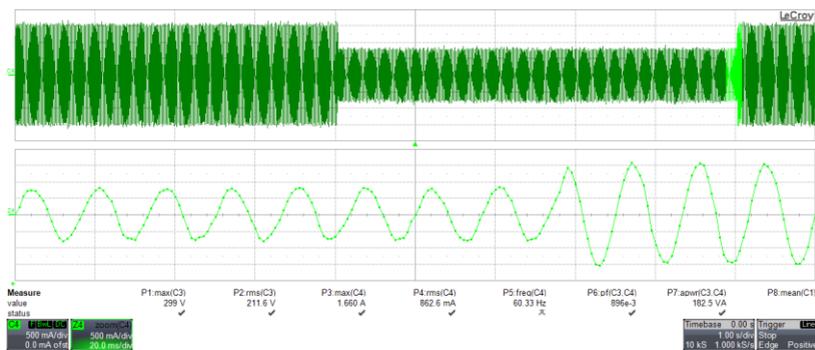


Figura 5-36 – Zoom no instante do degrau de carga 50% - 100% (experimental)

5.4 Tensão de Modo Comum

Para obter o valor da tensão de modo comum, Figura 5-37, foi medida a diferença das tensões entre os braços principais do conversor e com isso pôde ser estimado uma possível diferença de tensão capaz de originar uma corrente de circulação entre a saída do microinversor e a

entrada (corrente de modo comum).

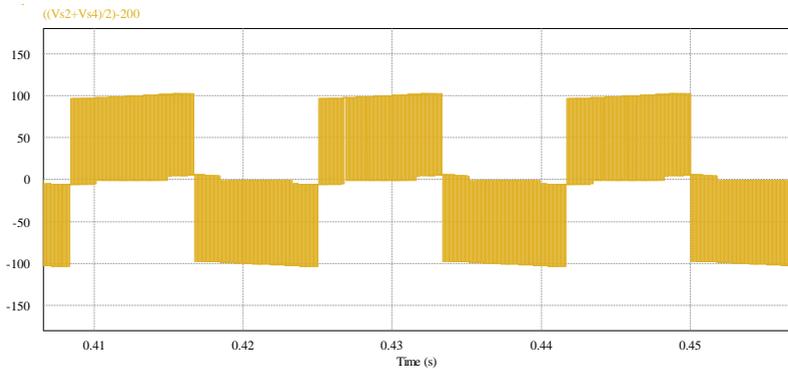


Figura 5-37 – Tensão de modo comum simulada.

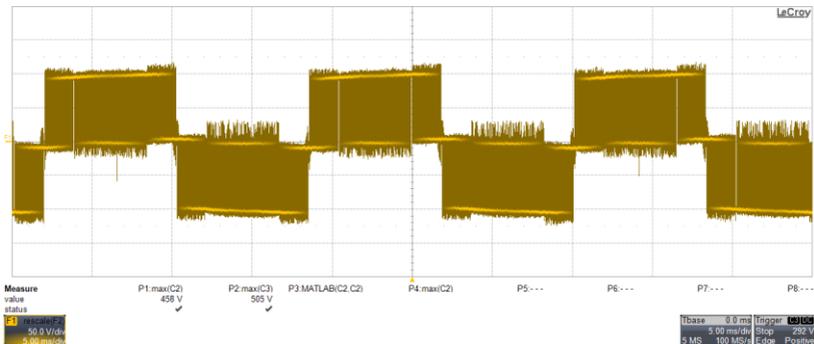


Figura 5-38 – Tensão de modo comum experimental.

Como forma de comparação foi obtida a forma de onda por meio de simulação do valor da tensão de modo comum no inversor 3 níveis, Figura 5-39. Com este valor, foi possível comparar seu comportamento em relação a topologia proposta e assim comparar os valores das correntes de modo comum.

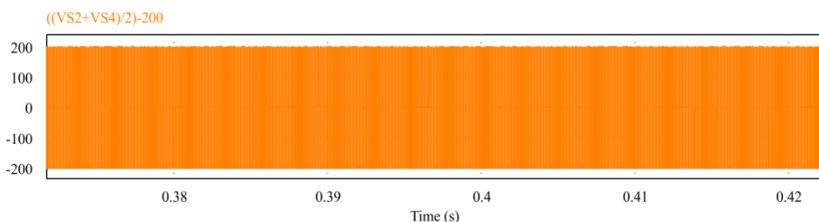


Figura 5-39 – Tensão de modo comum conversor 3 níveis.

Para realizar a comparação foi possível estimar a capacitância parasita C_{cm} segundo [20]. Para um módulo de silício cristalino coberto por um contínua película de água em sua superfície (pior caso), a capacitância por unidade da área varia entre 12 e 17 nF/m². Logo sua capacitância estimada fica entre 23,2 e 32,8 nF. Assumindo-se o maior valor para ser utilizado na simulação (32,8 nF).

Assumido o valor da capacitância foi substituído no circuito de simulação como apresentado na Figura 5-40.

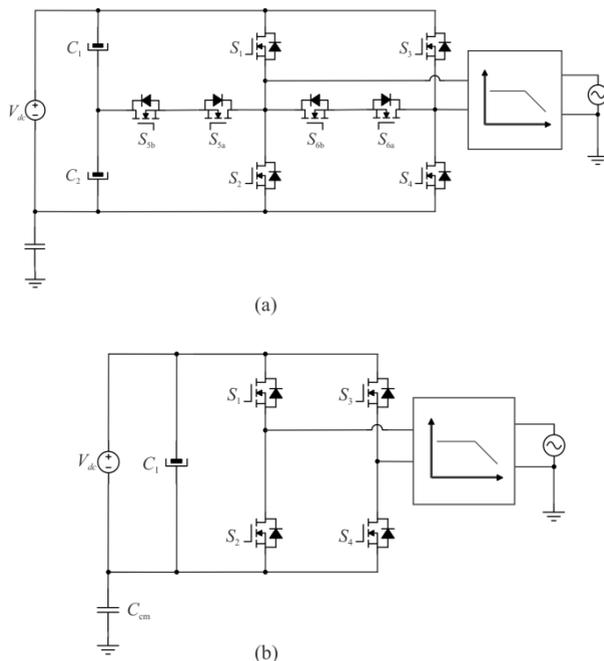


Figura 5-40 – Circuito equivalente para modo comum (a) inversor proposto (b) inversor três níveis

Com isso foi possível obter os resultados da corrente de modo comum estimado como apresenta a Figura 5-41.

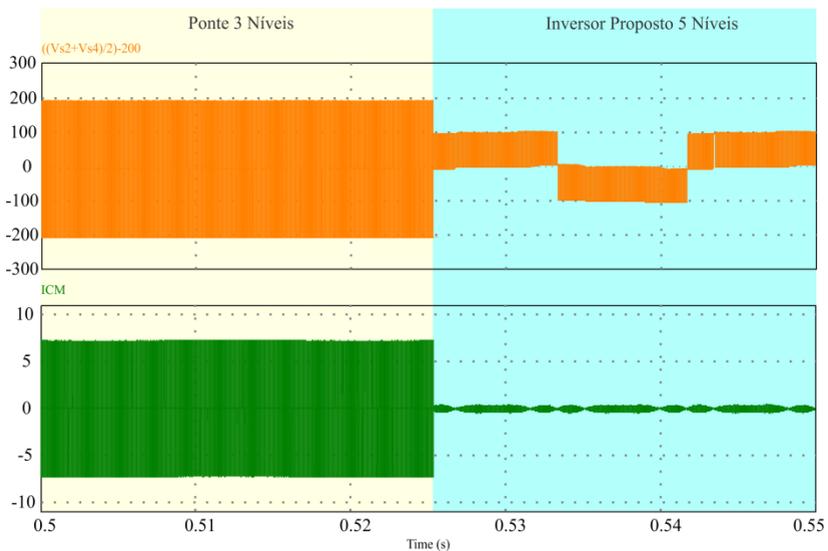


Figura 5-41 – Resultado de simulação tensão e corrente de modo comum

Nota-se que o inversor proposto reduz significativamente a tensão de modo comum possibilitando assim a diminuição da corrente de circulação quando comparados ao inversor em ponte completa três níveis.

Resumindo esses dados juntamente com o valor da tensão de modo comum e a frequência de comutação do interruptores na Tabela 4-9, pode se concluir comparativamente que o inversor cinco níveis proposto apresentou vantagens em relação ao três níveis em termos de circulação da corrente de modo comum.

Tabela 5-9 – Comparação numérica entre os inversores.

Estruturas de inversores	V_{cm}^{rms} [V]	I_{cm}^{rms} [A]	f_s [kHz]
Ponte Completa três níveis	144.61	1.3743	50
Inversor Proposto	74.69	0.1867	50

CONCLUSÃO

O presente trabalho apresentou o estudo sobre uma nova topologia de inversor monofásico aplicado como segundo estágio de um microinversor para o processamento fotovoltaico. A proposta foi garantir que o conversor operasse com alto rendimento e em conformidade com as normas vigentes como, por exemplo, a NBR 16149.

No primeiro capítulo foi ressaltada a contextualização do trabalho, apresentando conceitos da microgeração e a classificação dos diferentes grupos de inversores fotovoltaicos existentes, objetivando o estudo dos inversores monofásicos que possuem duplo estágio de processamento e que não necessitam transformador isolador em sua topologia. Na sequência, foi apresentada uma revisão das principais normas que definem as regras de funcionamento de inversores conectados à rede e seus respectivos regulamentos.

No capítulo 2, realizou-se uma revisão bibliográfica na qual foram discutidos os problemas do surgimento da corrente de modo comum, proveniente da utilização de topologias que não apresentam isolação galvânica, sendo apresentada, ainda, a influência das capacitâncias parasitas geradas pelo aterramento da estrutura do módulo no surgimento dessas correntes. Ainda, foram estudadas as principais topologias multiníveis em aplicações fotovoltaicas, como forma de auxiliar a definição de uma nova topologia de conversor para a aplicação, capaz de apresentar cinco níveis de tensão de saída.

Com base nesse estudo, no capítulo 3 foi possível apresentar e analisar a topologia, contemplando suas etapas de operação e destacando a sequência de acionamento dos interruptores a partir da modulação IPD. Analisadas as diferentes etapas de operação, foram calculados os esforços de tensão e corrente sobre os componentes, finalizando com o equacionamento do filtro de saída para obter a função de transferência a ser controlada. Com isso, foi apresentado o projeto do sistema de controle com o objetivo de controlar a corrente fornecida à rede elétrica e também utilizado um sistema de sincronismo com a rede (controle PLL).

O capítulo 4 foi destinado ao projeto do conversor, nele são

realizados os cálculos a partir das equações deduzidas na seção anterior com os parâmetros de projeto especificados, com isso foi possível definir os componentes a constituir o protótipo e também os cálculos das malhas do projeto de controle para toda a estrutura. O projeto dos componentes foi feito de maneira a utilizar a maior parte disponível em laboratório e assim realizar simulações para validar toda a teoria vista até então. Por fim, foi apresentado o circuito de condicionamento de sinais, *gate driver* e a versão final da placa no software *altium pcb designer*.

Para validar a teoria desenvolvida, no capítulo 5, foi apresentado o projeto e a implementação de um protótipo de 250 W. Por meio deste, foi possível demonstrar alguns resultados relevantes, como a redução dos esforços de tensão comutada nos interruptores, a aplicação de 5 níveis de tensão sobre o filtro de saída, o que proporcionou uma redução nas derivadas de tensão sobre os indutores, permitindo uma compactação no volume total do filtro.

6.1 Análise Geral da Dissertação

No quesito qualidade da corrente entregue à rede elétrica, o conversor cumpriu os requisitos exigidos pela norma NBR 16149, apresentando uma THD máxima da corrente em plena carga de 2,81%, valor satisfatório em relação à norma que exige um valor de até 5%. Em termos de desempenho, o conversor demonstrou um rendimento de 97,39%, valor satisfatório para a proposta de um microinversor. Estima-se que, ao ser conectado ao primeiro estágio, o conjunto possa atingir um alto rendimento global se o conversor destinado ao primeiro estágio possuir um rendimento condizente ao inversor proposto. Também foi realizado um teste seguindo a ponderação *CEC* e, com isso, foi possível atingir um rendimento de 95,41% para a faixa de operação.

É importante salientar que um estudo aprofundado da corrente de modo comum não foi realizado pela falta do primeiro estágio do microinversor (estágio elevador), também pela falta de estrutura de fixação do módulo fotovoltaico e equipamentos específicos para realizar a leitura dessa corrente para o solo. Porém, foi possível encontrar a diferença de tensão entre os braços principais do conversor, obtendo-se uma estimativa da tensão instantânea no momento da comutação.

6.2 Trabalhos Futuros

Uma das propostas para trabalhos futuros está relacionada à:

- Conexão do primeiro estágio do microinversor, de modo que se possa avaliar o desempenho do conjunto;
- Suscita aplicações quanto à conexão do módulo fotovoltaico e análise, de forma detalhada da influência da corrente de modo comum;
- Propõe implementar outras técnicas de modulação e controle para reduzir ainda mais o filtro de saída;
- Aplicar os devidos sistemas de proteção e rastreamento da máxima potência para poder tornar o conjunto um produto comercial.

- [1] Özkan Ziya and Hava Ahmet M, “Current Analysis of grid connected transformerless solar inverter with zero vector isolation: A review,” *IEEE Transactions on Industrial Eletronics*. Pp. 2460,2466 2011.
- [2] Song Jong-Hwa et al, “Power output analysis of transparent thin-film module in building integrated photovoltaic system (BIPV)” Elsevier-Energy and Buildings.Pp. 2067,2075 2008.
- [3] S. Kouro, J. I. Leon, D. Vinnikov, and L. G. Franquelo, "Grid-Connected Photovoltaic Systems: An Overview of Recent Research and Emerging PV Converter Technology," *IEEE Industrial Electronics Magazine*, vol. 9, no. 1, pp. 47-61, Mar 2015.
- [4] Taesoo Daniel Lee and Abasifreke Ebong, “Thin film solar technologies: A review,” *IEEE Transactions on Industrial Eletronics*. Pp. 33,42 2015.
- [5] Denizar Cruz Martins and Ivo Barbi, *Introdução ao Estudo dos Conversores CC-CA*, 3 rd ed. Florianópolis, 2011.
- [6] Q. Li and P. Wolfs, “A review of the Single-Phase Photovoltaic Module Integrated Converter Topologies with Three DC Link Configurations,” *IEEE Transaction on Power Electronics*, vol. 23, no.3,pp. 1320-1333,May 2008.
- [7] J. M. A. Myrzik and M. Calais, “String and module integrated inverters for single-phase grid connected photovoltaic systems – a review,” in Proc. IEEE Bologna Power Tech Conf., 2003, pp. 1-8.
- [8] J. C. Dominic, “Comparison and design of high efficiency microinverters for photovoltaic applications,” M.S. thesis, Virginia Polytechnic Institute and State University, Blacksburg, US, 2014.
- [9] G. B. N. Macedo, “Microinversor flyback de estágio único para conexão de módulos fotovoltaico à rede elétrica,” Dissertação de mestrado, Universidade Federal de Santa Catarina, Florianópolis, Brasil, 2017.

- [10] ALONSO, A. M. S. et al. PV Microgeneration Perspective in Brazil: Approaching Interconnection Procedures and Equipment Certification. 2017 Ninth Annual *IEEE Green Technologies Conference (GreenTech)*. [S.l.]: [s.n.]. 2017. p. 67-74.
- [11] MENESES, D. et al. Review and Comparison of Step-Up Transformerless Topologies for Photovoltaic AC-Module Application. *IEEE Transactions on Power Electronics*, 28, n. 6, 26 Junho 2013. 2649-2663.
- [12] Xiaomeng Su, Yaojie Sun, and Yandan Lin, "Analysis on leakage current in transformerless single-phase pv inverters connected to the grid," In *Proc. of the 2011 Asia-Pacific Power and Energy Engineering Conference (APPEC)*, March 2011, pp. 1-5.
- [13] J. Ji, W. Wu, Y. He, Z. Lin, F. Blaabjerg and H. S. H. Chung, "A Simple Differential Mode EMI Suppressor for the LLCL -Filter-Based Single-Phase Grid-Tied Transformerless Inverter," In *IEEE Transactions on Industrial Electronics*, vol. 62, no. 7, pp. 4141-4147, July 2015.
- [14] O. Lopez, F.D. Freijedo, A.G. Yepes, P. Fernandez-Comesaa, J. Malvar, R. Teodorescu, and J. Doval-Gandoy, "Eliminating ground current in a transformerless photovoltaic application," *IEEE Trans. on Energy Conversion*, Vol. 25(1), pp. 140-147, March 2010.
- [15] M.C. Cavalcanti, A.M. Farias, K.C. Oliveira, F.A.S. Neves, and J.L. Afonso, "Eliminating Leakage Currents in Neutral Point Clamped Inverters for Photovoltaic Systems," *IEEE Trans. on Industrial Electronics*, Vol. 59(1), pp. 435-443, Jan. 2012.
- [16] Dke deustche kommission elektrotechnik elektronik informationstechnik im DIN und VDE 0126-1-1, VDE 0126-1-1, 2005.
- [17] B. Yang, W. Li, Y. Gu, W. Cui, X. He, "Improved Transformerless Inverter With Common-Mode Leakage Current Elimination for a Photovoltaic Grid-Connected Power System," *IEEE Transactions on Power Electronics*, vol. 27, no. 2, pp. 752-762, Feb. 2012.
- [18] V. Geraldo, M. P. Raymundo, and S. J. Miguel, " High Efficiency Single-Phase Transformer-less Inverter for Photovoltaic Applications," *Ingeniería, Investigación y Tecnología*, vol. 16, no. 2, pp. 173-184, Jun. 2015.

- [19] Knabben, G. C., Schmitz, L., Coelho, R. F., Martins, D. C., Custódio, O. J., de Medeiros, R. Z., & Bettioli, A. L. (2017, August). Transformerless micro-inverter for grid-connected photovoltaic systems. In *Universities Power Engineering Conference (UPEC), 2017 52nd International* (pp. 1-6). IEEE.
- [20] SMA Solar Technology AG, "Capacitive Leakage Currents," Technical Information, Version 2.5.
- [21] M.C. Cavalcanti, A.M. Farias, K.C. Oliveira, F.A.S. Neves, and J.L. Afonso, "Eliminating Leakage Currents in Neutral Point Clamped Inverters for Photovoltaic Systems," *IEEE Trans. on Industrial Electronics*, Vol. 59(1), pp. 435-443, Jan. 2012.
- [22] M.C. Cavalcanti, K.C. Oliveira, A.M. de Farias, F.A.S. Neves, G.M.S. Azevedo, and F.C. Camboim, "Modulation Techniques to Eliminate Leakage Currents in Transformerless Three-Phase Photovoltaic Systems," *IEEE Trans. on Industrial Electronics*, Vol. 57(4), pp. 1360-1368, April 2012.
- [23] X. Guo, M.C. Cavalcanti, A.M. Farias, and J.M. Guerrero, "Singlecarrier modulation for neutral-point-clamped inverters in three-phase transformerless photovoltaic systems," *IEEE Trans. on Power Electronics*, vol. 28, no. 6, pp. 2635-2637, June 2013.
- [24] R. Gonzalez, J. Lopez, P. Sanchis, and L. Marroyo, "Transformerless inverter for single-phase photovoltaic systems," *IEEE Trans. on Power Electronics*, Vol. 22(2), pp. 693-697, March 2007.
- [25] T. Kerekes, R. Teodorescu, P. Rodriguez, G. Vazquez, and E. Aldabas, "A new high-efficiency single-phase transformerless pv inverter topology," *IEEE Trans. on Industrial Electronics*, Vol. 58(1), pp. 184-191, Jan. 2011.
- [26] Gustavo. C. Knabben, "Microinversor fotovoltaico não isolado de dois estágios," Dissertação de mestrado, Universidade Federal de Santa Catarina, Florianópolis, Brasil, 2017.
- [27] T. Kerekes, R. Teodorescu, and U. Borup, "Transformerless photovoltaic inverters connected to the grid," in *Proc. Annu. IEEE Appl. Power Electron. Conf.*, 2007, pp. 1733-1737.
- [28] S.V. Araujo, P. Zacharias, and R. Mallwitz, "Highly efficient single-phase transformerless inverters for grid-connected photovoltaic systems," *IEEE Trans. Ind. Electron.*, vol. 57, no. 9, pp. 3118-3128, Sep. 2010.

- [29] V. Monteiro, A. A. N. Melendez, J. C. Ferreira, C. Couto and J. L. Afonso, “Experimental validation of a proposed single-phase five-level active rectifier operating with model predictive current control,” *IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society*, Yokohama, Japon, 2015, pp. 003939-003944.
- [30] Huafeng Xiao, Shaojun Xie, Yang Chen, and Ruhai Huang, “An optimized transformerless photovoltaic grid-connected inverter,” *IEEE Trans. on Industrial Electronics*, Vol. 58(8), pp. 1887-1895, May 2011.
- [31] O. Lopez, R. Teodorescu, and J. Doval-Gandoy, “Multilevel transformerless topologies for single-phase grid-connected converters,” In *Proc. of the 32nd Annual Conference on IEEE Industrial Electronics, IECON 2006*, Nov. 2006, pp. 5191-5196.
- [32] G. Vazquez, P.R. Martinez-Rodriguez, J.M. Sosa, G. Escobar, and J. Arau, “A modulation strategy for single-phase hb-cmi to reduce leakage ground current in transformer-less pv applications,” In *Proc. of the 39th Annual Conference of the IEEE Industrial Electronics Society IECON 2013*, Nov 2013, pp. 210-215.
- [33] B. Ji, J.Wang, and J. Zhao, “High efficiency single phase transformerless pv h6 inverter with hybrid modulation method,” *IEEE Trans. on Industrial Electronics*, vol. 60, no. 5, pp. 2104-2115, May 2013.
- [34] C. Verdugo, S. Kouro, C. Rojas and T. Meynard, “Comparison of singlephase T-type multilevel converters for grid-connected PV systems,” *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Montreal, QC, 2015, pp. 3319-3325.
- [35] S. Kouro, B. Wu, H. Abu-Rub and F. Blaabjerg, “Power Electronics for Renewable Energy Systems, Transportation, and Industrial Applications - Chapter 7: Photovoltaic energy conversion systems”, First Edition, John Wiley & Sons, 2014.
- [36] T. Urakabe, K. Fujiwara, T. Kawakami, and N. Nishio, “High efficiency power conditioner for photovoltaic power generation system,” *Int. Power Electron. Conf. (IPEC 2010)*, June 2010, pp. 3236–3240.
- [37] S. Saridakis, E. Koutroulis, and F. Blaabjerg, “Optimal design of modern transformerless PV inverter topologies”, *IEEE Trans. Energy Convers.*, vol. 28, no. 2, pp. 394–404, June 2013.
- [38] J. Selvaraj and N.A. Rahim. Multilevel inverter for grid-connected pv

system employing digital pi controller. *IEEE Trans. Ind. Electron.*, 56(1):149–158, Jan 2009.

[39] C. Verdugo, S. Kouro, M.A. Perez, M. Malinowski, and T. Meynard. Series-connected t-type inverters for single-phase grid-connected photovoltaic energy system. In *39th Annual Conf. of the IEEE Ind. Electron. Soc., IECON 2013*, pages 7021–7027, Nov 2013.

[40] B. Burger, and D. Kranzer, “Extreme high efficiency PV-power converters,” in *13th European Conf. in Power Electron. and Appl. (EPE 2009)*, 8-10 Sept. 2009.

[41] Roberto Francisco Coelho, "Concepção, análise e implementação de uma microrrede interligada à rede elétrica para alimentação de cargas cc a partir de fontes renováveis," Tese de Doutorado, Universidade Federal de Santa Catarina, Florianópolis, 2013.

[42] Alan D. Callegaro, “Retificador trifásico isolado de único estágio com fator de potência unitário baseado no conversor zeta CC-CC operando no modo de condução descontínuo,” Dissertação de Mestrado, Universidade Federal de Santa Catarina, Florianópolis, 2013.

[43] MR. N. Beres, X. Wang, M. Liserre, F. Blaabjerg, and C. L. Back, “A review of passive power filters for three-phase grid-connected voltage source converters,” *IEEE Journal of Emerging and Selected Topics in Power Eletronics*, vol. 4, no. 1, pp. 54-69, Mar 2016.

[44] P. Channegowda and V. John, “Filter optimization for grid interactive voltage source inverters,” *IEEE Transactions on Industrial Eletronics*, vol. 57, no. 12, pp. 4106-4114, Dec 2010.

[45] Kleber Cesar A. de Souza, “Estudo e otimização de conversores estáticos utilizados em sistemas fotovoltaicos conectados à rede elétrica comercial,” Tese de Doutorado, Universidade Federal de Santa Catarina, Florianópolis, 2009.

[46] Y. Wang, L. Sun, F. Wu and Quntao An, "An improved phase locking scheme for grid-connected-inverter under non-ideal grid conditions," *Proceedings of The 7th International Power Electronics and Motion Control Conference, Harbin, China*, 2012, pp. 2178-2182.

[47] Eduardo, C., Gomes, M., Petry, C. A., Mussa, S. A., & Mohr, H. B. (2006, November). “AC indirect line conditioner digital control using PLL based on the three-phase instantaneous power theory,” In *IEEE Industrial*

Electronics, IECON 2006-32nd Annual Conference on (pp. 2535-2540). IEEE.

[48] A. F. C. Aquino, G. Santos, U. Miranda, M. Aredes and A. C. M. Araujo, "Synchronizing circuits applied to nonlinear loads models," *2004 IEEE/PES Transmission and Distribution Conference and Exposition: Latin America (IEEE Cat. No. 04EX956)*, 2004, pp. 700-705.

[49] Sakata, J., Taguchi, M., Sasaki, S., Kuroda, T., & Toda, K. (2018, April). An EMI-less full-bridge inverter for high speed SiC switching devices. In *33rd Annual IEEE Applied Power Electronics Conference and Exposition, APEC 2018* (pp. 2570-2576). Institute of Electrical and Electronics Engineers Inc.

[50] Hurley, W. G., & Wölfle, W. H. (2013). *Transformers and inductors for power electronics: theory, design and applications*. John Wiley & Sons.

[51] Amogreentech. *Advanced poder core for high current PFC/ out put choque application.(printed in Korea): ADVANCED POWDER CORE. V.1.3.* Disponível em: <
http://mstator.ru/sites/default/files/documents/New_APC_Catalogue_10040_2.pdf>.

[52] Baker, B. C. (2015). Designing an anti-aliasing filter for ADCs in the frequency domain. *Analog Applications*.

[53] Luis J. C. B. Camurça Neto, "Sistema de conversão de energia eólica de alta eficiência utilizando o conversor delta tipo-T e minimização das perdas da máquina baseada em modelo," Dissertação de Mestrado, Universidade Federal de Santa Catarina, Florianópolis, 2016.

[54] Lenon Schmitz, "Conversores CC-CC não-isolados de alto ganho e de alto rendimento destinados a aplicações fotovoltaicas e baseados no conversor boost com células de ganho," Dissertação de Mestrado, Universidade Federal de Santa Catarina, Florianópolis, 2015.

APÊNDICE A

Cálculo dos esforços de corrente nos interruptores

Este apêndice apresenta os cálculos realizados para definir os esforços de corrente sobre os interruptores da topologia proposta. A partir da planilha realizada no *Software Mathcad* a seguir.

$$M := 0.778 \dots\dots\dots\text{Índice de modulação}$$

$$V_{dc} := 400 \dots\dots\dots\text{Tensão do barramento}$$

$$R_o := 193.6 \dots\dots\dots\text{Resistência de saída}$$

$$f_s := 50 \cdot 10^3 \dots\dots\dots\text{Frequência de comutação}$$

$$T_s := \frac{1}{f_s} = 20 \times 10^{-6} \dots\dots\dots\text{Período de comutação}$$

$$\theta_1 := \text{asin}\left(\frac{0.5}{M}\right) \dots\dots\dots\text{Ângulo de extinção}$$

$$I_o := \frac{M \cdot V_{dc}}{R_o} = 1.607 \dots\dots\dots\text{Corrente de saída}$$

PARA S1 E S2

AVG

$$I_{S1} := \frac{1}{2\pi} \cdot \int_{\text{asin}\left(\frac{0.5}{M}\right)}^{\pi - \text{asin}\left(\frac{0.5}{M}\right)} \frac{1}{T_s} \cdot \int_0^{M \cdot \sin(\theta) - 0.5} \frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) dt d\theta = 0.151$$

SIMPLIFICADO

$$\frac{7 \cdot I_0}{44} \cdot (2 \cdot M \cdot \cos(\theta_1) \cdot \sin(\theta_1) + 3.14 \cdot M - 2 \cdot M \cdot \theta_1 - 2 \cdot \cos(\theta_1)) = 0.151$$

RMS

$$I_{S1rms} := \sqrt{\frac{1}{2\pi} \cdot \int_{\text{asin}\left(\frac{0.5}{M}\right)}^{\pi - \text{asin}\left(\frac{0.5}{M}\right)} \frac{1}{T_s} \cdot \int_0^{\frac{M \cdot \sin(\theta) - 0.5}{0.5} \cdot T_s} \left(\frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) \right)^2 dt d\theta = 0.477}$$

SIMPLIFICADO

$$\frac{7 \cdot I_0}{43} \cdot \sqrt{-6 \cdot \cos(\theta_1) \cdot \sin(\theta_1) - 8 \cdot M \cdot \cos(\theta_1)^3 + 24 \cdot M \cdot \cos(\theta_1) + 6 \cdot \theta_1 - 9.42} = 0.477$$

PARA S3 E S4

AVG

$$I_{S4} := \frac{1}{2\pi} \cdot \int_0^{\text{asin}\left(\frac{0.5}{M}\right)} \frac{1}{T_s} \cdot \int_0^{\frac{M \cdot \sin(\theta) - 0.5}{0.5} \cdot T_s} \frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) dt d\theta + \frac{1}{2\pi} \cdot \int_{\text{asin}\left(\frac{0.5}{M}\right)}^{\pi - \text{asin}\left(\frac{0.5}{M}\right)} \frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) d\theta + \frac{1}{2\pi} \cdot \int_{\pi - \text{asin}\left(\frac{0.5}{M}\right)}^{\pi} \frac{1}{T_s} \cdot \int_0^{\frac{M \cdot \sin(\theta) - 0.5}{0.5} \cdot T_s} \frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta) dt d\theta = 0.474$$

SIMPLIFICADO

$$\frac{I_0}{\pi} \cdot [-M \cdot (\cos(\theta_1) \cdot \sin(\theta_1) - \theta_1) + \cos(\theta_1)] = 0.474$$

RMS

$$I_{S4rms} := \sqrt{\frac{1}{2\pi} \int_0^{\text{asin}\left(\frac{0.5}{M}\right)} \frac{1}{T_s} \int_0^{M \cdot \sin(\theta)} \left(\frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta)\right)^2 dt d\theta + \frac{1}{2\pi} \int_{\text{asin}\left(\frac{0.5}{M}\right)}^{\pi - \text{asin}\left(\frac{0.5}{M}\right)} \left(\frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta)\right)^2 d\theta + \frac{1}{2\pi} \int_{\pi - \text{asin}\left(\frac{0.5}{M}\right)}^{\pi} \frac{1}{T_s} \int_0^{M \cdot \sin(\theta)} \left(\frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta)\right)^2 dt d\theta = 0.791$$

SIMPLIFICADO

$$\frac{22.1}{39} \cdot \sqrt{0.5 \cdot \cos(\theta_1) \cdot \sin(\theta_1) + M \cdot (0.666 \cdot \cos(\theta_1))^3 - 2 \cdot \cos(\theta_1) + 1.333} - 0.5 \cdot \theta_1 + 0.785 = 0.791$$

PARA S5A E S5B

AVG

$$I_{S5b} := 0$$

RMS

$$I_{S5brms} := \sqrt{\frac{2}{2\pi} \int_0^{\text{asin}\left(\frac{0.5}{M}\right)} \frac{1}{T_s} \int_0^{M \cdot \sin(\theta) - 0.5} \left(\frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta)\right)^2 dt d\theta + \frac{2}{2\pi} \int_{\text{asin}\left(\frac{0.5}{M}\right)}^{\frac{\pi}{2}} \frac{1}{T_s} \int_0^{M \cdot \sin(\theta)} \left(\frac{M \cdot V_{dc}}{R_o} \cdot \sin(\theta)\right)^2 dt d\theta = 0.877$$

SIMPLIFICADO

$$\frac{167 \cdot M \cdot V_{dc}}{296 \cdot R_o} \cdot \sqrt{0.5 \cdot \cos(\theta_1) \cdot \sin(\theta_1) - 0.5 \cdot \theta_1 + 1.333 \cdot M} = 0.877$$

PARA S6A E S6B

AVG

$$I_{S6b} := 0$$

RMS

$$I_{S6brms} := \sqrt{2 \cdot \frac{2}{2\pi} \int_0^{\text{asin}\left(\frac{0.5}{M}\right)} \frac{1}{T_s} \int_0^{M \cdot \sin(\theta)} \left[\frac{M \cdot V_{dc}}{R_o} \cdot (\sin(\theta))\right]^2 dt d\theta = 0.200085}$$

SIMPLIFICADO

$$0.325 \cdot I_o \cdot \sqrt{-3 \cdot \cos(\theta_1) \cdot \sin(\theta_1) - 4 \cdot M \cdot \cos(\theta_1)^3 + 12 \cdot M \cdot \cos(\theta_1) + 3 \cdot \theta_1 - 8 \cdot M} = 0.2$$

Com o intuito de validar os valores obtidos por simulação, foi realizada uma simulação para poder comprovar que os cálculos efetuados estão em conformidade com a simulação.

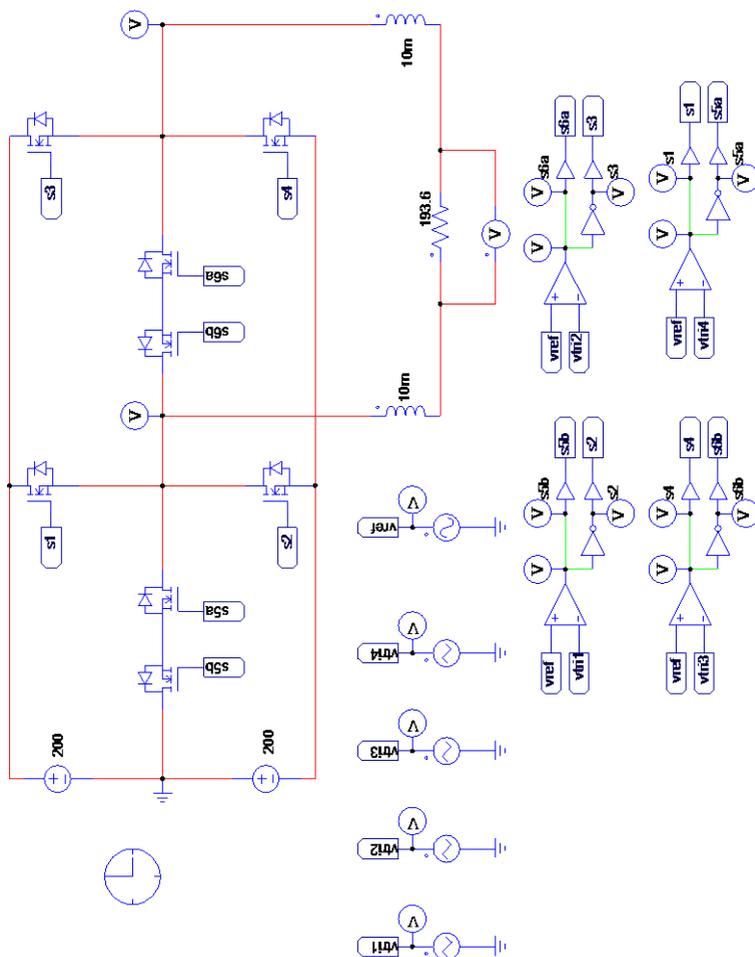


Figura A1- Simulação dos esforços de corrente

APÊNDICE B

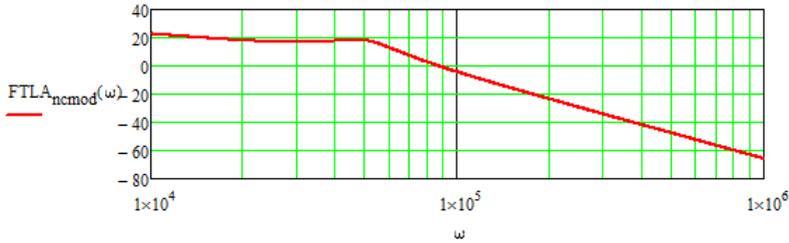
Projeto do Filtro de saída e Controle

$V_{cc} := 400V$		Tensão do barramento
$f_s := 50kHz$		Frequência de comutação
$P_o := 0.2kW$		Potência máxima do conversor
$\omega_o := 2 \cdot \pi \cdot 10kHz = \frac{rad}{s}$		Frequência de ressonância do filtro
$j := \sqrt{-1}$		
$k_i := 1 \frac{V}{A}$		Ganho da malha de corrente
$k_{pwm} := \frac{1}{V}$		Ganho do PWM
$V_p := 220\sqrt{2}V =$		Tensão de Pico da rede elétrica
$I_p := 2 \cdot \frac{P_o}{V_p} =$		Corrente de Pico de saída do conversor
$\Delta I := \frac{40}{100} I_p =$		Ondulação da Corrente de Saída
$L := \frac{V_{cc}}{8 \cdot f_s \cdot \Delta I} =$		Indutância total do filtro
$\frac{L}{2} =$		Indutores do filtro
$C := \frac{2}{(\omega_o^2) \cdot L} =$		Capacitores do filtro
$R_a := \sqrt{\frac{L}{C}} =$		Resistência de amortecimento
$R_a := 70\Omega$		
$G(\omega) :=$	$\frac{V_{cc}(j \cdot \omega \cdot C \cdot R_a + 1)}{(j \cdot \omega)^4 \cdot L^2 \cdot C^2 \cdot R_a + (j \cdot \omega)^3 \cdot 2 \cdot C \cdot L^2 + (j \cdot \omega)^2 \cdot 2 \cdot L \cdot C \cdot R_a + (j \cdot \omega) \cdot 2 \cdot L}$	

$$\text{FTLA}_{\text{NC}}(\omega) := G(\omega) \cdot k_I \cdot k_{\text{pwr}}$$

$$\text{FTLA}_{\text{ncmod}}(\omega) := 20 \log(|\text{FTLA}_{\text{NC}}(\omega)|)$$

$$\text{FTLA}_{\text{NCfase}}(\omega) := \frac{180}{\pi} \cdot \arg(\text{FTLA}_{\text{NC}}(\omega))$$



$$\omega_c := 2 \cdot \pi \cdot 1000 \frac{\text{rad}}{\text{s}} = 6.283 \times 10^3 \frac{1}{\text{s}} \dots \text{Frequência de cruzamento}$$

$$M_f := 60 \frac{\pi}{180} = 1.047 \dots \text{Margem de fase}$$

$$\omega_z := \frac{\omega_c}{\tan\left(M_f - \frac{\pi}{2} - \arg(\text{FTLA}_{\text{NC}}(\omega_c))\right)} = 3.616 \times 10^3 \frac{1}{\text{s}} \quad \tau_z := \frac{1}{\omega_z} = 276.578 \mu\text{s}$$

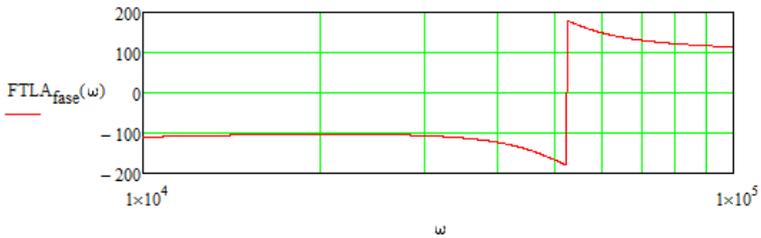
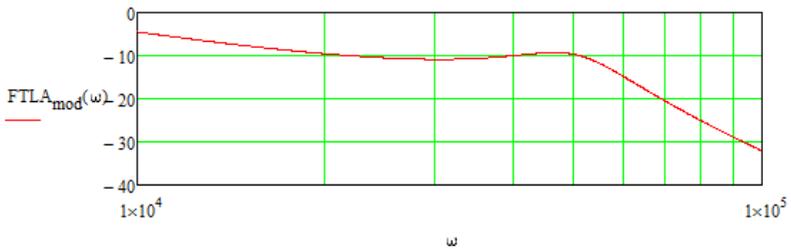
$$k_c := \frac{\omega_c}{\sqrt{\omega_z^2 + \omega_c^2} \cdot |\text{FTLA}_{\text{NC}}(\omega_c)|} = 0.042 \dots \text{Ganho do controlador}$$

$$C(\omega) := \frac{k_C \cdot (j \cdot \omega + \omega_Z)}{j \cdot \omega}$$

$$FTLA(\omega) := FTLA_{NC}(\omega) \cdot C(\omega)$$

$$FTLA_{\text{mod}}(\omega) := 20 \log(|FTLA(\omega)|)$$

$$FTLA_{\text{fase}}(\omega) := \frac{180}{\pi} \cdot \arg(FTLA(\omega))$$



APÊNDICE C

Projeto Físico do indutor

Especificações:

Tensão da Rede:----- $V_r := 311V$

Potência de Saída:----- $P_o := 250W$

Frequência de comutação:----- $f_s := 50000Hz$

Fator de utilização da área do enrolamento: ----- $K_w := 0.7$

Máxima densidade de corrente: ----- $j_{max} := 400 \frac{A}{cm^2}$

Densidade de fluxo magnético: ----- $\Delta_b := 0.2T$

Permeabilidade do ar: ----- $\mu_o := 4 \cdot \pi \cdot 10^{-7} \frac{H}{m}$

$I_{Lm\acute{a}x} := 1.62 \cdot A$ ----- Corrente de pico de L

$I_{LEf} := 1.13 \cdot A$ ----- Corrente eficaz do indutor L

$LR := 777 \times 10^{-6} \cdot H$ ----- Valor do indutor LRede

Cálculo do número de espiras

$B_{\text{sat}} := 1.5$ ----- Densidade de fluxo de saturação

$K_u := 0.5$ ----- Critério de utilização da janela

$\mu_r := 60$ ----- Permeabilidade relativa do material
do núcleo

$\mu_{\text{ar}} := 4 \cdot \pi \cdot 10^{-7} \frac{\text{H}}{\text{m}}$ ----- Permeabilidade absoluta do espaço
vazio

Núcleos Amogreentech

Dados do núcleo APH33P60

Núcleo := 2

ID := 19.9mm ----- Diâmetro interno do núcleo

$A_c := 67.2\text{mm}^2$ ----- Área de seção magnética - núcleo L

$L_c := 81.5\text{mm}$ ----- Comprimento do caminho
magnético médio - Núcleo L

$A_L := 61 \cdot 10^{-9}\text{H}$ ----- Fator de indutância

Cálculo do número de espiras do indutor L_e

$$\text{NumLR} := \sqrt{\frac{L_R \cdot L_C}{\mu_r \cdot \mu_{ar} \cdot A_C}} \text{-----Número de espiras de } L_e$$

$$\text{NumLR} = 111.795 \text{-----Número de espiras de } L_e$$

$$H_{pk} := \frac{\text{NumLR} \cdot I_{L_{máx}}}{L_C} \text{-----Intensidade máxima de campo}$$

$$H_{pk} = 2.222 \times 10^3 \frac{A}{m} \text{-----Intensidade máxima de campo}$$

$$H_{pkoe} := \frac{H_{pk}}{79.6 \cdot A \cdot m^{-1}} = 27.917 \text{-----Intensidade máxima de campo em Oe}$$

$$L_{inicial} := (\text{NumLR})^2 \cdot \left(\mu_r \cdot \mu_{ar} \cdot \frac{A_C}{L_C} \right) = 7.77 \times 10^{-4} H$$

$$\text{NumLe}_{maxB} := \frac{0.8 \cdot B_{sat} \cdot L_C}{\mu_{ar} \cdot \mu_r \cdot I_{L_{máx}}} \text{-----Número máximo de espiras para } B_{sat} \cdot 0.8$$

$$\text{NumLe}_{maxB} = 800.687 \text{-----Número máximo de espiras para } B_{sat} \cdot 0.8$$

$$S_{cLe} := \frac{I_{L_{máx}}}{j_{max}} \text{-----Cálculo do condutor } L_e$$

$$S_{cLe} = 4.05 \cdot 10^{-3} \text{cm}^2 \text{-----Valor da área do condutor } L_e$$

$$P_{Lef} := \frac{2 \cdot 7.5}{\sqrt{\frac{f_s}{Hz}}} = 0.067 \text{-----Profundidade de penetração}$$

Definição do Condutor Adequado

Seleciona o tipo de condutor

AWG := 23

$A_{\text{conLe}} := 0.002588 \text{cm}^2$ Área do cond.escolhido de acordo
com a profund. penetração - 23 AWG

$d := 0.5733 \cdot \text{mm}$

$\text{Num}_{\text{fiosLe}} := \frac{S_{\text{cLe}}}{A_{\text{conLe}}} = 1.565$ Número de fios em paralelo

$\text{led}_b := 0.205 \text{cm}$ Diâmetro do cobre Le

$\text{Num}_{\text{áxLe}} := K_u \cdot \frac{ID^2}{\text{led}_b^2}$ Estimativa do número de espiras
para o núcleo Le

$\text{Num}_{\text{áxLe}} = 47.116$ Estimativa do número de espiras
para o núcleo Le

Diametro do condutor deve ser menor que a profundidade de penetração

$\frac{d}{2} = 2.866 \times 10^{-4} \text{m}$ $\blacksquare > \blacksquare$ $P_{\text{Lef}} = 0.067$

Perdas no cobre Núcleo Torroide

$L_{\text{compmed}} := 9 \text{cm}$ Complimento médio de uma espira

$\text{restfio} := 0.000176 \frac{\Omega}{\text{cm}}$ Resistência do fio por cm/fio17

$\text{Num}_{\text{fiosLe}} = 1.5\epsilon$ Número de condutores

$$R_{fio} := \frac{(\text{NumLR}) \cdot L_{\text{compmed}} \cdot \text{restfio}}{\text{NumfiosLe}} \text{----- Resistência do enrolamento}$$

$$R_{fio} = 0.113 \Omega \text{----- Resistência do enrolamento}$$

$$P_{\text{cobreLE}} := R_{fio} \cdot I_{LE}^2 \text{----- Perdas no enrolamento}$$

$$P_{\text{cobreLE}} = 0.144 \text{ W} \text{----- Perdas no enrolamento}$$

$$L_{\text{comp}} := L_{\text{compmed}} \cdot \text{NumLR} \text{----- Comprimento do condutor}$$

$$L_{\text{comp}} = 10.062 \text{ m} \text{----- Comprimento do condutor}$$

Dados finais

Núcleo = 2 **1 - APH46P60**

2 - APH33P60

NumLR = 111.795

AWG = 23

$L_{\text{comp}} = 10.062 \text{ m}$

APÊNDICE D

Código Implementado no DSP

```
/* Universidade Federal de Santa Catarina - UFSC
   Departamento de Engenharia Elétrica
   Instituto de Eletrônica de Potência - INEP
   Aluno: Douglas Haupt
   Microinversor cinco níveis

*/

// Inclusão de Bibliotecas
#include "DSP28x_Project.h"
// Inclusão de todas bibliotecas em relação ao
dispositivo DSP28x
#include "math.h"
// Inclusão da biblioteca com funções matemáticas

// Variáveis Globais
#define PI 3.1415926535897932384626433832795
#define PI2 6.283185307179586476925286766559
#define PERIODO_PWM 899
// Período de Contagem do PWM UP-DOWN para obter-se
50kHz
#define HALF_PWM 450
#define TEMPO_MORTO 30

float m=0, M=0, k=0, x1=0, x2=0, x3=0, x4=0;
int d1=0, d2=0, d3=0, d4=0;

// Declaração de Nomeações das INTERRUPÇÕES
interrupt void epwm1a_isr(void);
// Nomenclatura do Tratador da Interrupção do ePWM1

main()
{
    //Início do main
    InitSysCtrl();
// Inicialização do Sistema de Controle - Inicializa
PLL, WatchDog e Clock de Periféricos
    DINT;
// Limpa todas as interrupções
```

```

    InitPieCtrl();
// Inicializa os Registradores de controle PIE para
seus estados padrão
    IER = 0x0000;
// Desativa todas as interrupções
    IFR = 0x0000;
// Limpa as Flags de interrupção
    InitPieVectTable();
// Inicializa a Tabela de vetores PIE
    InitEPwm1Gpio();
// Inicializa o enhanced Pulse Width Modulator (ePWM1)
    InitEPwm2Gpio();
// Inicializa o enhanced Pulse Width Modulator (ePWM2)
    InitEPwm3Gpio();
// Inicializa o enhanced Pulse Width Modulator (ePWM3)
    InitEPwm4Gpio();
// Inicializa o enhanced Pulse Width Modulator (ePWM4)

    EALLOW;
// Código para Permissão de alteração dos Registradores
Protegidos
    PieVectTable.EPWM1_INT = &epwm1a_isr;
// Endereçamento da a Interrupção do EPWM1
    EDIS;
// Código de finalização da Permissão para alteração
dos Registradores Protegidos

    // Configuração da Geração de Sinais do ePWM1
    EPwm1Regs.TBPRD = PERIODO_PWM;
// Setando o Período do ePWM (899) freq desejada 50kHz
    EPwm1Regs.TBCTR = 0;
// Inicializa Contador em 0
    EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
// Tipo UPDOWN
    EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE;
// Portadora Mestre
    EPwm1Regs.TBCTL.bit.PRDL = TB_SHADOW;
    EPwm1Regs.TBCTL.bit.SYNCSEL = TB_CTR_ZERO;
// (TB_SYNC_DISABLE) módulo de sincronização de fluxo
descendente
    EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
// Clock Utilizado é 1:1 do Clock do DSP (90 MHz)

```

```
EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;
EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
// Seta nível Alto no EPwm1 quando a Comparadora A
interseccionar com o Contador em UP
    EPwm1Regs.AQCTLA.bit.CAD = AQ_SET;
// Seta nível Baixo no EPwm1 quando a Comparadora A
interseccionar com o Contador em DOWN
    EPwm1Regs.AQCTLB.bit.CBU = AQ_CLEAR;
// Seta nível Baixo no EPwm1 quando a Comparadora B
interseccionar com o Contador em UP
    EPwm1Regs.AQCTLB.bit.CBD = AQ_SET;
// Seta nível Alto no EPwm1 quando a Comparadora B
interseccionar com o Contador em DOWN
    EPwm1Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
// Habilita Tempo Morto
    EPwm1Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
// Habilita Complementar
    EPwm1Regs.DBFED = TEMPO_MORTO;
// FED = 50 TBCLKs (tempo morto referente ao
interruptor)
    EPwm1Regs.DBRED = TEMPO_MORTO;
// RED = 50 TBCLKs (tempo morto referente ao
interruptor)

    // Configuração de Geração de Interrupção do
ePWM1
    EPwm1Regs.ETSEL.bit.INTEN=0x01;
// Ativação da geração de Interrupções pelo ePWM1
    EPwm1Regs.ETSEL.bit.INTSEL=0x01;
// Seleção da Origem do Trigger de geração da
Interrupção do ePWM1
    EPwm1Regs.ETPS.bit.INTPRD=0x01;
// Geração de Interrupção a cada primeiro evento
selecionado como Origem
    EPwm1Regs.ETCLR.bit.INT=1;
// Limpa a Flag de Interrupção do ePWM1

    // Configuração do enhanced Pulse Width Modulator
(ePWM2)
```

```
    EPwm2Regs.TBPRD = PERIODO_PWM;
// Setando o Período do ePWM (899) freq desejada 50kHz
    EPwm2Regs.TBCTR = 0;
// Inicializa Contador em 0
    EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
// Tipo UPDOWN
    EPwm2Regs.TBCTL.bit.PHSEN = TB_ENABLE;
// Portadora Escrava
    EPwm2Regs.TBPHS.half.TBPHS = 0;
// TB_ENABLE defasagem portadoras
    EPwm2Regs.TBCTL.bit.PRDL = TB_IMMEDIATE;
    EPwm2Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN;
// Sincroniza fluxo (TB_SYNC_DISABLE)
    EPwm2Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
// Clock Utilizado é 1:1 do Clock do DSP (90 MHz)
    EPwm2Regs.TBCTL.bit.CLKDIV = TB_DIV1;
    EPwm2Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
    EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
    EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
    EPwm2Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
    EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR;
// Seta nível Alto no EPwm1 quando a Comparadora A
interseccionar com o Contador em UP
    EPwm2Regs.AQCTLA.bit.CAD = AQ_SET;
// Seta nível Baixo no EPwm1 quando a Comparadora A
interseccionar com o Contador em DOWN
    EPwm2Regs.AQCTLB.bit.CBU = AQ_CLEAR;
// Seta nível Baixo no EPwm1 quando a Comparadora B
interseccionar com o Contador em DOWN
    EPwm2Regs.AQCTLB.bit.CBD = AQ_SET;
// Seta nível Alto no EPwm1 quando a Comparadora B
interseccionar com o Contador em UP
    EPwm2Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
// Habilita Tempo Morto
    EPwm2Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
// Habilita Complementar
    EPwm2Regs.DBFED = TEMPO_MORTO;
// FED = 50 TBCLKs (tempo morto referente ao
interruptor)
    EPwm2Regs.DBRED = TEMPO_MORTO;
// RED = 50 TBCLKs (tempo morto referente ao
interruptor)
```

```
// Configuração do enhanced Pulse Width
Modulator (ePWM3)
    EPwm3Regs.TBPRD = PERIODO_PWM;
// Setando o Período do ePWM (899) freq desejada 50kHz
    EPwm3Regs.TBCTR = 0;
// Inicializa Contador em 0
    EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
// Tipo UPDOWN
    EPwm3Regs.TBCTL.bit.PHSEN = TB_ENABLE;
// Portadora Escrava
    EPwm3Regs.TBCTL.bit.PRDL = TB_SHADOW;
    EPwm3Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN;
// Sincronizar Fluxo (TB_SYNC_DISABLE)
    EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
// Clock Utilizado é 1:1 do Clock do DSP (90 MHZ)
    EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1;
    EPwm3Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
    EPwm3Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
    EPwm3Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
    EPwm3Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
    EPwm3Regs.AQCTLA.bit.CAU = AQ_SET;
// Seta nível Alto no EPwm1 quando a Comparadora A
interseccionar com o Contador em UP
    EPwm3Regs.AQCTLA.bit.CAD = AQ_CLEAR;
// Seta nível Baixo no EPwm1 quando a Comparadora A
interseccionar com o Contador em DOWN
    EPwm3Regs.AQCTLB.bit.CBU = AQ_CLEAR;
// Seta nível Baixo no EPwm1 quando a Comparadora B
interseccionar com o Contador em DOWN
    EPwm3Regs.AQCTLB.bit.CBD = AQ_SET;
// Seta nível Alto no EPwm1 quando a Comparadora B
interseccionar com o Contador em UP
    EPwm3Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
// Habilita Tempo Morto
    EPwm3Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
// Habilita Complementar
    EPwm3Regs.DBFED = TEMPO_MORTO;
// FED = 50 TBCLKs (tempo morto referente ao
interruptor)
    EPwm3Regs.DBRED = TEMPO_MORTO;
// RED = 50 TBCLKs (tempo morto referente ao
interruptor)
```

```
// Configuração do enhanced Pulse Width
Modulator (ePWM4)
EPwm4Regs.TBPRD = PERIODO_PWM;
// Setando o Período do ePWM (899) freq desejada 50kHz
EPwm4Regs.TBCTR = 0;
// Inicializa Contador em 0
EPwm4Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
// Tipo UPDOWN
EPwm4Regs.TBCTL.bit.PHSEN = TB_ENABLE;
// Desliga defasamento da Portadora
EPwm4Regs.TBCTL.bit.PRDLN = TB_SHADOW;
EPwm4Regs.TBCTL.bit.SYNCIN = TB_SYNC_IN;
// Sincroniza fluxo (TB_SYNC_DISABLE)
EPwm4Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
// Clock Utilizado é 1:1 do Clock do DSP (90 MHz)
EPwm4Regs.TBCTL.bit.CLKDIV = TB_DIV1;
EPwm4Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm4Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm4Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm4Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
EPwm4Regs.AQCTLA.bit.CAU = AQ_SET;
// Seta nível Alto no EPwm1 quando a Comparadora A
interseccionar com o Contador em UP
EPwm4Regs.AQCTLA.bit.CAD = AQ_CLEAR;
// Seta nível Baixo no EPwm1 quando a Comparadora A
interseccionar com o Contador em DOWN
EPwm4Regs.AQCTLB.bit.CBU = AQ_CLEAR;
// Seta nível Baixo no EPwm1 quando a Comparadora B
interseccionar com o Contador em DOWN
EPwm4Regs.AQCTLB.bit.CBD = AQ_SET;
// Seta nível Alto no EPwm1 quando a Comparadora B
interseccionar com o Contador em UP
EPwm4Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
// Habilita Tempo Morto
EPwm4Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
// Habilita Complementar
EPwm4Regs.DBFED = TEMPO_MORTO;
// FED = 50 TBCLKs (tempo morto referente ao
interruptor)
EPwm4Regs.DBRED = TEMPO_MORTO;
// RED = 50 TBCLKs (tempo morto referente ao
interruptor)
```

```
// Inicialização de Comparadores
EPwm1Regs.CMPA.half.CMPA = 0;
// Comparadora A do ePWM1 Inicializa com 50% do Período
(TBPRD)
EPwm1Regs.CMPB = 0;
// Comparadora B do ePWM1 Inicializa com 50% do Período
(TBPRD)
EPwm2Regs.CMPA.half.CMPA = 0;
// Comparadora A do ePWM2 Inicializa com 50% do Período
(TBPRD)
EPwm2Regs.CMPB = 0;
// Comparadora B do ePWM2 Inicializa com 50% do Período
(TBPRD)
EPwm3Regs.CMPA.half.CMPA = 0;
// Comparadora A do ePWM3 Inicializa com 50% do Período
(TBPRD)
EPwm3Regs.CMPB = 0;
// Comparadora B do ePWM3 Inicializa com 50% do Período
(TBPRD)
EPwm4Regs.CMPA.half.CMPA = 0;
// Comparadora A do ePWM4 Inicializa com 50% do Período
(TBPRD)
EPwm4Regs.CMPB = 0;
// Comparadora B do ePWM4 Inicializa com 50% do Período
(TBPRD)

// Configuração dos Registradores responsáveis
pelas Interrupções
PieCtrlRegs.PIEIER3.bit.INTx1 = 1;
// Ativa a Interrupção INTx1 do Grupo 3 (EPwm1INT)
IER |= M_INT3;
// Permite à CPU visualizar a INT3
EINT;
// Ativa a "Chave" Global de Interrupções
ERTM;
// Ativa o Realtime de Debugging Interrupts

for(;;)
// Loop Contínuo
{
    asm(" NOP");
}
```

```
} // final do main

interrupt void epwm1a_isr(void)
{

    // Duty Cycle
    M = 1.5556;
    // Índice de Modulação (2*0.7778)
    m = M*sinf(60*PI2*k*0.00002);
    // Gera Senoide (valor pode ser substituído por uma
    senoide externa vinda do ad)
    k++;

    if (k>=833)
        k=0;

    if (m>= 0)
    {
        if (abs(m)<1)
        {
            x1 = m*PERIODO_PWM;
            x2 = 0;
            x3 = 0;
            x4 = 0;
        }
        else
        {
            x1 = m*PERIODO_PWM;
            x2 = (m-1)*PERIODO_PWM;
            x3 = 0;
            x4 = 0;
        }
    }
    else
    {
        if (abs(m)<1)
        {
            x1 = 0;
            x2 = 0;
            x3 = -m*PERIODO_PWM;
            x4 = 0;
        }
    }
}
```

```
        else
        {
            x1 = 0;
            x2 = 0;
            x3 = PERIODO_PWM;
            x4 = (-m-1)*PERIODO_PWM;
        }
    }

    d1 = (int) x1;
    d2 = (int) x2;
    d3 = (int) x3;
    d4 = (int) x4;

    //    PWM 1
    EPwm1Regs.CMPA.half.CMPA = d4;
// Comparadora A do ePWM1 Inicializa com 50% do Período
// (TBPRD)
    //EPwm1Regs.CMPB = PERIODO_PWM-d;
// Comparadora B do ePWM1 Inicializa com 50% do Período
// (TBPRD)

    //    PWM 2
    EPwm2Regs.CMPA.half.CMPA = d3;
// Comparadora A do ePWM2 Inicializa com 50% do Período
// (TBPRD)

    //    PWM 3
    EPwm3Regs.CMPA.half.CMPA = d1;
// Comparadora A do ePWM3 Inicializa com 50% do Período
// (TBPRD)
    //EPwm3Regs.CMPB = d;
// Comparadora B do ePWM3 Inicializa com 50% do Período
// (TBPRD)

    //    PWM 4
    EPwm4Regs.CMPA.half.CMPA = d2;
// Comparadora A do ePWM4 Inicializa com 50% do Período
// (TBPRD)
    //EPwm4Regs.CMPB = d;
// Comparadora B do ePWM4 Inicializa com 50% do Período
// (TBPRD)
```

```
        //     ENABLE INTERRUPT
        PieCtrlRegs.PIEACK.all = 0x0004;
// Dar Ciência de Interrupção Completada ao Registrador
// PIE - EPwm1 - Grupo 3
        EPwm1Regs.ETCLR.bit.INT=1;
// Limpar a Flag do EPwm1
}
```

APÊNDICE E

Simulação, Esquemáticos e Layouts

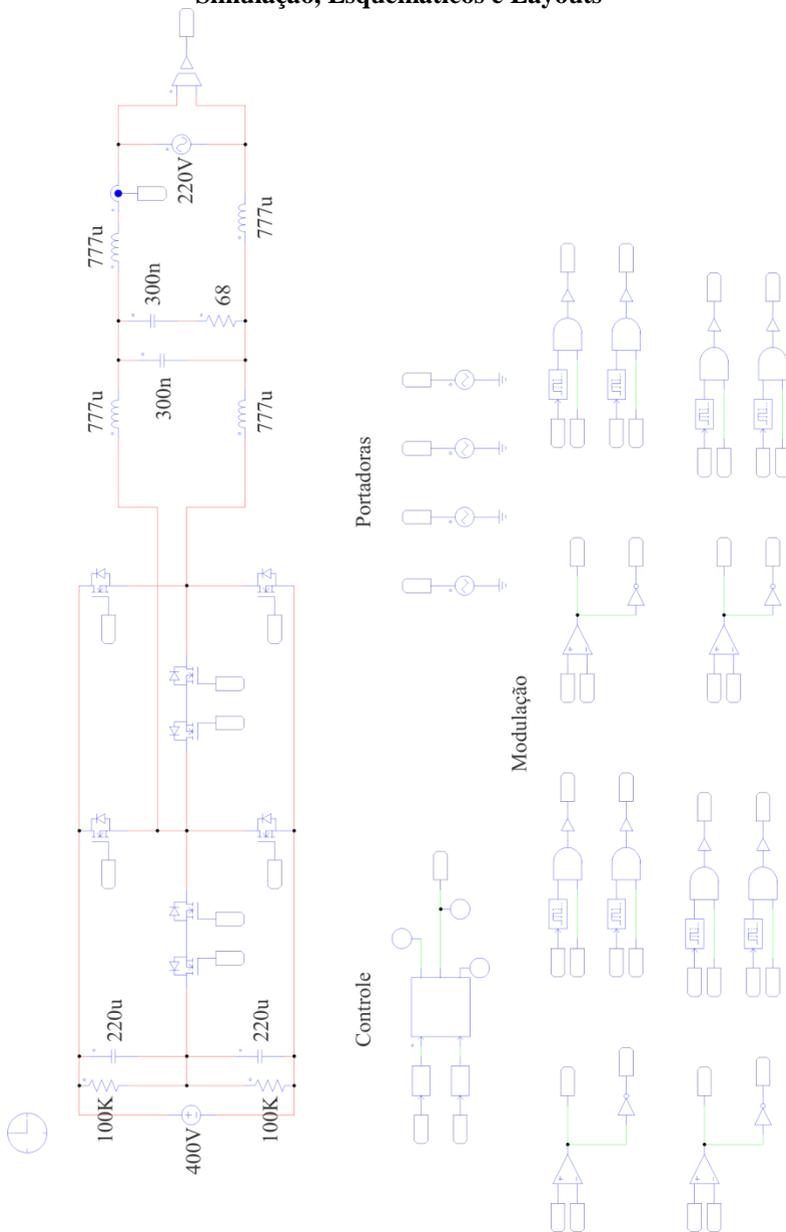


Figura E1- Simulação completa do sistema

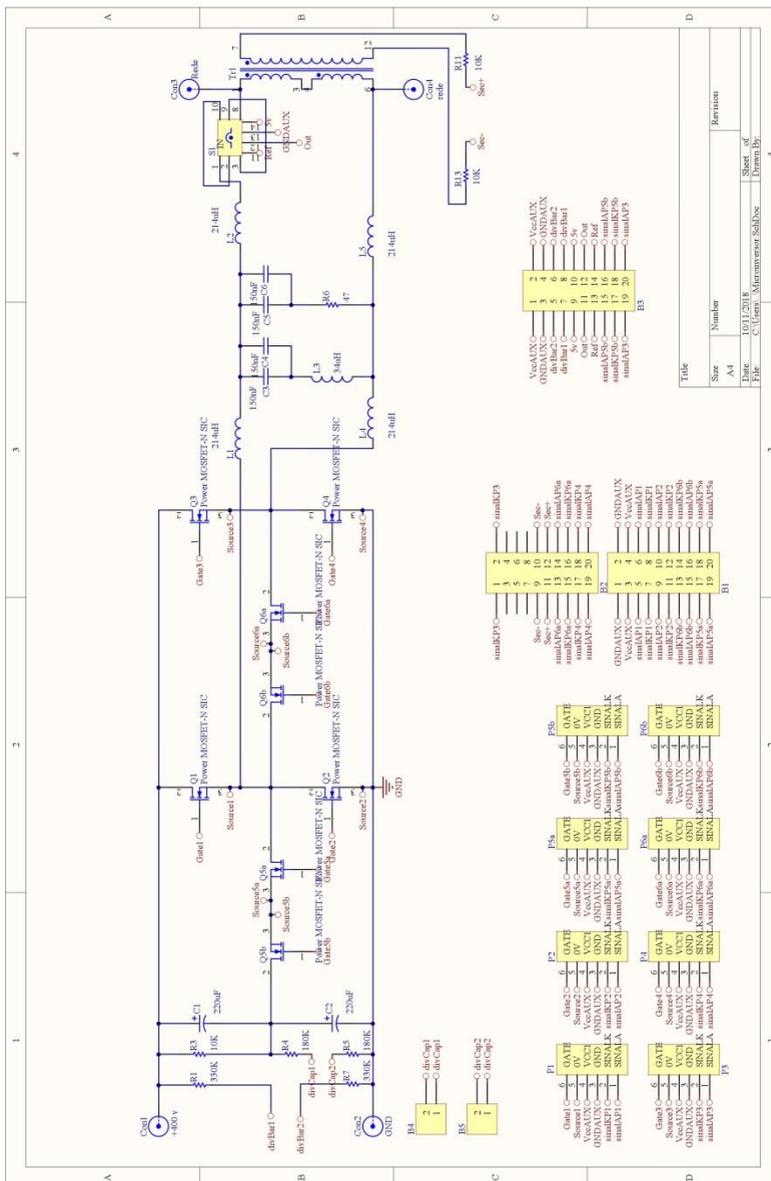


Figura E2 - Esquemático do sistema de potência

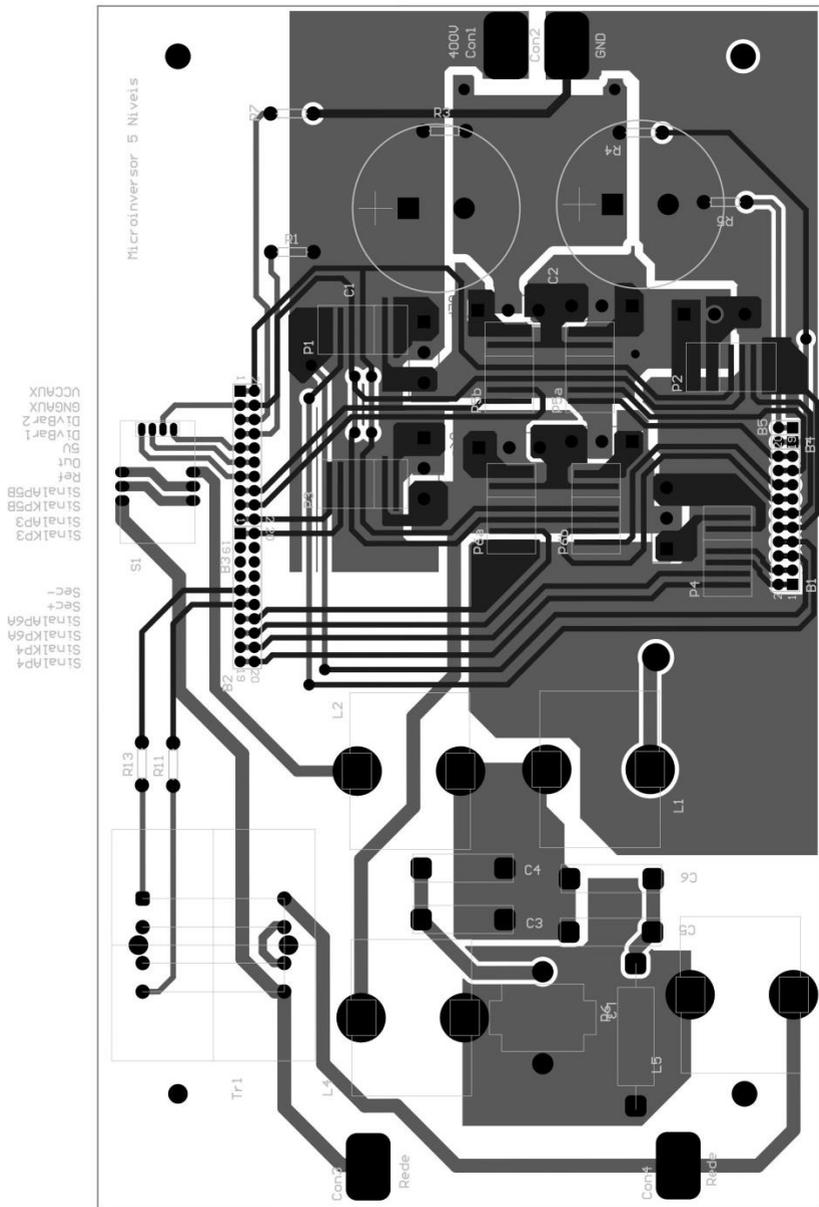


Figura E3 - Layout do Sistema de Potência

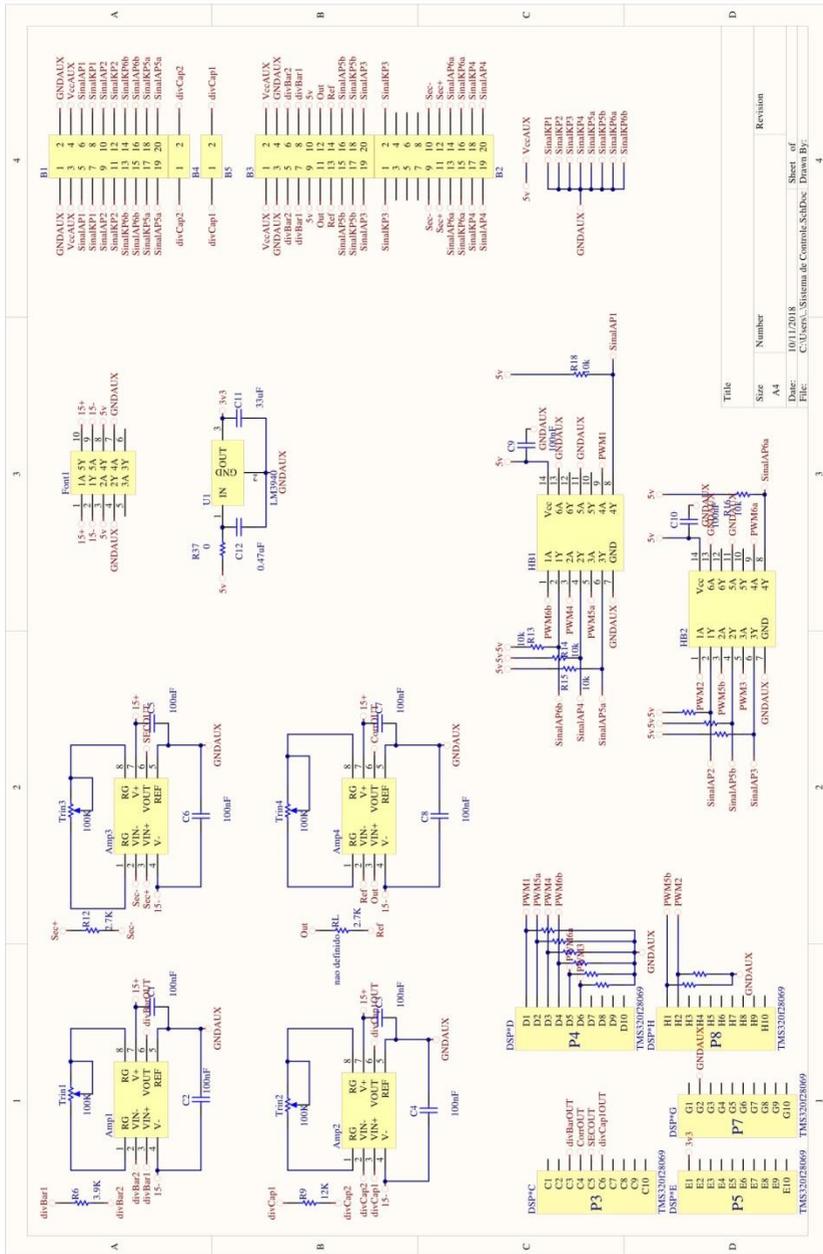


Figura E4 – Esquemático do Sistema de Controle

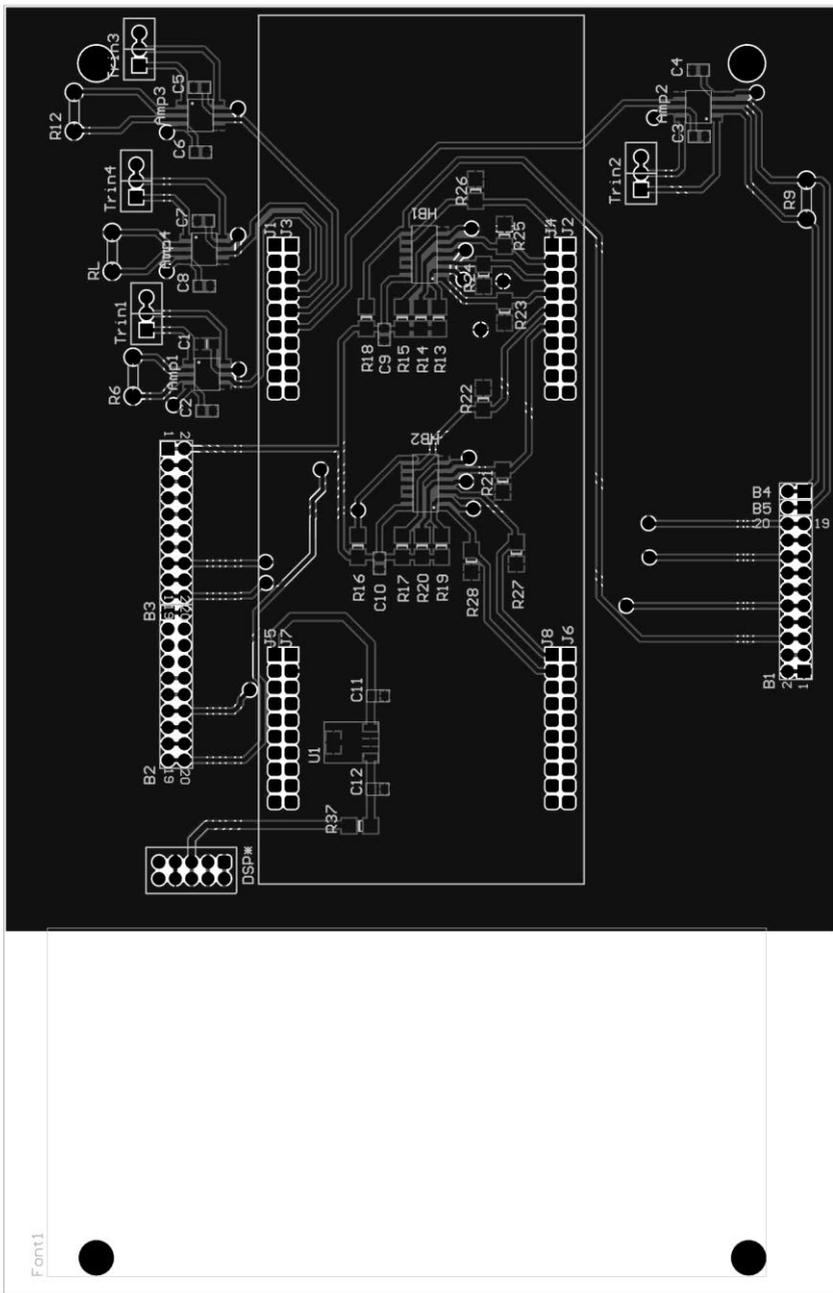


Figura E5 – Layout Sistema de Controle