

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

Gilberto Valentim Silva

Inversor *Boost* Diferencial a Capacitor Chaveado

Florianópolis

2018

Gilberto Valentim Silva

**INVERSOR *BOOST* DIFERENCIAL A CAPACITOR
CHAVEADO**

Tese submetida ao Programa de Pós-Graduação
em Engenharia Elétrica da Universidade Federal de
Santa Catarina para a obtenção do Grau de Doutor
em Engenharia Elétrica.

Orientador: Prof. Telles Brunelli Lazzarin

Coorientador: Prof. Roberto Francisco Coelho

Florianópolis

2018

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Silva, Gilberto Valentim
Inversor *Boost* Diferencial a Capacitor Chaveado
/ Gilberto Valentim Silva ; orientador, Telles
Brunelli Lazzarin, coorientador, Roberto Francisco
Coelho, 2018.
253 p.

Tese (doutorado) - Universidade Federal de Santa
Catarina, Centro Tecnológico, Programa de Pós
Graduação em Engenharia Elétrica, Florianópolis, 2018.

Inclui referências.

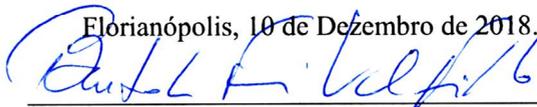
1. Engenharia Elétrica. I. Lazzarin, Telles
Brunelli. II. Coelho, Roberto Francisco. III.
Universidade Federal de Santa Catarina. Programa de
Pós-Graduação em Engenharia Elétrica. IV. Título.

Gilberto Valentim Silva

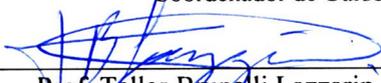
INVERSOR *BOOST* DIFERENCIAL A CAPACITOR CHAVEADO

Esta Tese foi julgada adequada para a obtenção do Título de Doutor em Engenharia Elétrica, na área de concentração em *Eletrônica de Potência e Acionamento Elétrico*, e aprovada em sua forma final pelo Programa de Pós Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.

Florianópolis, 10 de Dezembro de 2018.



Prof. Bartolomeu Ferreira Uchôa Filho, PhD.
Coordenador de Curso



Prof. Telles Brunelli Lazzarin, Dr.
Orientador, UFSC



Prof. Roberto Francisco Coelho, Dr.
Coorientador, UFSC

Banca Examinadora:



Prof. Alceu André Badin, Dr.
UTFPR



Prof. Carlos Henrique Illa Font, Dr.
UTFPR



Prof. Denizar Cruz Martins, Dr.
UFSC

A Deus, que me carrega nos momentos mais difíceis e é luz e
sentido para minha vida;
A minha esposa Solange, um anjo terreno, meu eterno amor;
Aos meus filhos Pedro e Juliana, meu maior presente de Deus;
Aos meus pais, Léa e Julberto, seus exemplos de vida;
Nada disso teria sentido se vocês não existissem em minha vida.

AGRADECIMENTOS

A Deus, que me carrega nos momentos mais difíceis, e é luz e sentido para minha vida.

A minha esposa Solange, um anjo terreno, meu eterno amor.

Aos meus filhos, Pedro e Juliana, meu maior presente de Deus.

Aos meus pais Léa e Julberto, seus exemplos de vida.

Nada disso teria sentido se vocês não existissem na minha vida.

Neste documento o autor não poderia deixar de expressar sua gratidão ao grande número de pessoas que o orientaram, auxiliaram e de diversas formas marcaram uma convivência produtiva e enriquecedora. Esperando não ser injusto, registra-se especial agradecimento:

Ao Prof. Telles Brunelli Lazzarin pela orientação, atenção, liberdade e tolerância dispensados durante a realização deste trabalho.

Ao meu coorientador Prof. Roberto Francisco Coelho pelos ensinamentos, pela dedicação, sugestões, e sobretudo amizade.

Ao relator Prof. Alceu André Badin.

Aos membros das bancas de qualificação e de defesa final da tese: Prof. Arnaldo José Perin, Prof. Carlos Henrique Illa Font, Prof. Denizar Cruz Martins, Prof. Enio Valmor Kassick e Prof. Romeu Hausmann, pelas contribuições para a melhoria do presente trabalho.

Aos demais professores do INEP: Prof. André Luís Kirsten, Prof. Gierry Waltrich, Prof. Hari Bruno Mohr, Prof. Ivo Barbi, Prof. João Carlos dos Santos Fagundes, Prof. Marcelo Lobo Heldwein e Prof. Samir Ahmad Mussa, pela convivência e o conhecimento que tenho recebido desde o século passado.

Aos técnicos: Antonio Luiz Schalata Pacheco e Luiz Marcellius Coelho e ao secretário Diogo Duarte Luiz, pela amizade e presteza com que sempre me atenderam.

Aos colegas: Caio Vale Barbosa Eiterer, Eduardo Valmir de Souza, Jéssika Melo de Andrade, Rodrigo de Souza Santos e Thiago Antonio Pereira, pelo auxílio nos trabalhos de prototipagem e experimentação.

Aos companheiros do Curso de Doutorado: Joabel Moia, Lenon Schmitz, Marcelo Dias Pedroso, Mauricio Dalla Vecchia, Marcos José Jacoboski, Mauro André Pagliosa, Nilton Francisco Oliveira da Silva, Roberto Buerger e Ronny Glauber de Almeida Cacau, pela amizade e companheirismo durante este período.

Ao Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina, em especial ao Departamento Acadêmico de Eletrotécnica, pela oportunidade de aperfeiçoamento.

Ao programa de Pós-Graduação UNIEDU/FUMDES, do Governo do Estado de Santa Catarina, pelo apoio financeiro.

A todos aqueles que de uma forma ou de outra contribuíram para realização deste trabalho.

E finalizo agradecendo novamente a Deus pela segunda chance e oportunidade de viver tudo isto!

Muito Obrigado!

"Viver é sempre dizer aos outros que elas são importantes. Que nós o amamos, porque um dia eles se vão, e ficamos com a nítida impressão de que não o amamos o suficiente."

Chico Xavier (1910, 2002)

"Não existe argumento científico ou comercial que possa justificar o uso de alta-tensão e de correntes alternadas. Elas são empregadas apenas para reduzir investimentos em fios de cobre e imóveis. Eu tenho sempre me oposto ao uso da alta-tensão e da corrente alternada na iluminação elétrica, não somente por causa do perigo, mas também devido à sua inconfiabilidade e inconveniência para qualquer sistema de distribuição."

Thomas Alva Edison (1847, 1931)

Resumo da Tese apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Doutor em Engenharia Elétrica.

INVERSOR *BOOST* DIFERENCIAL A CAPACITOR CHAVEADO

Gilberto Valentim Silva

Dezembro de 2018.

Orientador: Telles Brunelli Lazzarin, Dr.Eng.

Coorientador: Roberto Francisco Coelho, Dr.Eng.

Área de concentração: Eletrônica de Potência e Acionamento Elétrico.

Palavras-chave: Capacitor Chaveado. Inversor Diferencial a Capacitor Chaveado. Inversor Diferencial Híbrido. Modelagem. *SC. SCDBI*.

Número de páginas: 253

RESUMO: Este trabalho apresenta um novo inversor elevador, bidirecional, monofásico e de estágio único. A topologia denominada inversor *boost* diferencial a capacitor chaveado é concebida a partir da integração entre o inversor diferencial *boost* e estruturas *ladder* a capacitor chaveado. O inversor *boost* convencional, mesmo sendo elevador, possui limitação de ganho devido às perdas. A inserção de células multiplicadoras a capacitor chaveado permite ampliar seu ganho estático sem aumentar os esforços de tensão sobre os interruptores. No entanto, a topologia resultante é não linear e apresenta elevada quantidade de elementos armazenadores de energia, o que dificulta sua modelagem. Nesta tese realiza-se a análise estática e dinâmica do inversor *boost* diferencial a capacitor chaveado sob diferentes tipos de modulação. Propõe-se um circuito equivalente e um modelo de pequenos sinais de ordem reduzida e dinâmica equivalente, além de uma técnica de linearização de ganho estático que reduz consideravelmente a distorção harmônica da tensão de saída. O estudo é validado por simulação e experimentação em dois protótipos com ganho de tensão diferentes, sendo um de 250 W e outro de 500 W. Resultados demonstram que o inversor proposto é capaz de operar tanto de forma autônoma, alimentando cargas resistivas, indutivas e não-lineares; quanto conectado à rede elétrica da concessionária. O trabalho apresenta, ainda, uma comparação entre o inversor diferencial *boost* convencional e a versão híbrida proposta nesta tese. O inversor híbrido tem potencial para aplicações em que se necessite de tensão alternada superior ao barramento de entrada, como em sistemas ininterruptos ou mesmo em fontes renováveis de energia.

Abstract of the thesis presented to UFSC as a partial fulfillment of the requirements for the degree of Doctor in Electrical Engineering.

SWITCHED-CAPACITORS DIFFERENTIAL BOOST INVERTER

Gilberto Valentim Silva

December 2018.

Advisor: Telles Brunelli Lazzarin, Dr.Eng.

Co-advisor: Roberto Francisco Coelho, Dr.Eng.

Area of concentration: Power Electronics and Electrical Drives.

Keywords: Switched-Capacitor. Switched-Capacitor Differential Boost Inverter. Hybrid Differential Inverter. Modeling. SC. SCDBI.

Number of pages: 253

ABSTRACT: This work addresses a new step-up inverter, bi-directional, single-phase single-stage. The topology referred as switched-capacitor differential boost inverter is based on the differential boost inverter and switched-capacitor ladder structures. The conventional boost inverter, even being a step-up topology, presents a gain limitation due to losses. The insertion of switched-capacitor multiplier cells allows increasing its static gain without elevating the stresses on its components. However, the resulting topology is nonlinear and has a high amount of energy storage elements, which makes difficult its modeling. In this thesis, static and dynamic analysis of the switched-capacitor differential boost inverter is performed under different types of modulation. It is proposed a reduced-order equivalent circuit and a small-signal model, as well as a static gain linearization technique that reduces the harmonic distortion of the output voltage. The study is validated by simulation and experimentation in two prototypes with different voltage gains, one being 250 W and one 500 W. Presented results demonstrate that the proposed inverter is capable of operating in stand-alone mode, feeding resistive, inductive and non-linear loads; as well as connected to the electric grid. The work also presents a comparison between the conventional differential boost inverter and the hybrid version proposed in this thesis. The hybrid inverter is intended to be used in applications whenever an ac voltage larger than the dc link voltage is needed, such as in uninterrupted systems or even in renewable energy sources.

LISTA DE FIGURAS

Figura 1.1 - Concepção do inversor: (a) Sub-conversores CC-CC <i>buck</i> , (b) Inversor diferencial <i>buck</i>	37
Figura 1.2 - Esquema de conexão diferencial.....	39
Figura 1.3 - Concepção do inversor: (a) Sub-conversores CC-CC <i>boost</i> , (b) Inversor diferencial <i>boost</i>	39
Figura 1.4 - Concepção do inversor: (a) Sub-conversores CC-CC híbridos. b) Inversor diferencial <i>boost</i> híbrido proposto.....	41
Figura 1.5 - Diagrama de blocos de controle e modulação do inversor diferencial <i>boost</i> híbrido proposto.....	42
Figura 2.1 - Circuito do conversor <i>boost</i> convencional.....	48
Figura 2.2 - Ganho de tensão do conversor <i>boost</i> para diferentes níveis de perdas.....	48
Figura 2.3 - Generalização da célula multiplicadora a capacitor chaveado.....	50
Figura 2.4 - Modos de operação do capacitor chaveado: (a) Carga Completa (<i>CaC</i>), (b) Carga Parcial (<i>CaP</i>) e (c) Carga Nula (<i>CaN</i>)....	51
Figura 2.5 - Análise da influência da célula multiplicadora: (a) e (b) Resistência equivalente normalizada, (c) Ganho normalizado.....	52
Figura 2.6 - Concepção do conversor híbrido: (a) célula multiplicadora a capacitor chaveado, (b) conversor <i>boost</i> convencional, (c) conversor <i>boost</i> híbrido.....	53
Figura 2.7 - Ganho ideal e real dos conversores <i>boost</i> híbrido e convencional.....	54
Figura 2.8 - Ganho de tensão do conversor híbrido para diferentes níveis de perdas na célula multiplicadora.....	55
Figura 2.9 - Conversor híbrido a capacitor chaveado analisado.....	55
Figura 2.10 - Primeira etapa de operação do conversor.....	56
Figura 2.11 - Segunda etapa de operação do conversor.....	57
Figura 2.12 - Comportamento da tensão de saída e corrente no indutor <i>boost</i> durante perturbação à razão cíclica.....	65
Figura 2.13 - <i>Root-locus</i> do modelo de tensão do conversor híbrido.....	66
Figura 2.14 - Diagrama de Bode dos modelos de tensão.....	66
Figura 2.15 - Comportamento do conversor híbrido e equivalente durante perturbação à razão cíclica.....	67
Figura 2.16 - Modelo equivalente proposto para representar a dinâmica dominante do conversor <i>boost</i> híbrido.....	68
Figura 2.17 - Modelo equivalente referenciado ao primário.....	69
Figura 2.18 - Etapas de operação do conversor equivalente: (a) primeira etapa de operação; (b) segunda etapa de operação.....	70

Figura 2.19 - Validação dos modelos: (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado do conversor híbrido com $k=2$.	73
Figura 2.20 - <i>Root-locus</i> do modelo dos conversores híbrido e equivalente.	74
Figura 2.21 - Validação dos modelos: (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado do conversor híbrido com $k=3$.	75
Figura 2.22 - Validação dos modelos: (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado do conversor híbrido com $k=5$.	76
Figura 2.23 - Imagem do protótipo do conversor <i>boost</i> e híbrido.	77
Figura 2.24 - Resultados experimentais: tensão de saída v_{oh} (25 V/div) e corrente no indutor i_{Lh} (1 A/div) referentes ao conversor <i>boost</i> híbrido ($k=2$) operando em malha aberta sob perturbação na razão cíclica.	78
Figura 2.25 - Resultados experimentais: tensão de saída v_{oe} (12,5 V/div) e corrente no indutor i_{Le} (1 A/div) referentes ao conversor equivalente operando em malha aberta sob perturbação na razão cíclica.	78
Figura 2.26 - Diagrama de blocos referente à estratégia empregada para controle de ambos os conversores.	79
Figura 2.27 - Resultados experimentais: tensão de saída v_{oh} (25 V/div) e corrente no indutor i_{Lh} (1 A/div) referentes ao conversor <i>boost</i> híbrido ($k=2$) operando com malha de corrente sob degrau de referência de 20%.	80
Figura 2.28 - Resultados experimentais: tensão de saída v_{oe} (12,5 V/div) e corrente no indutor i_{Le} (1 A/div) referentes ao conversor equivalente operando com malha de corrente sob degrau de referência de 20%.	80
Figura 2.29 - Resultados experimentais: tensão de saída v_{oh} (25 V/div) e corrente no indutor i_{Lh} (1 A/div) referentes ao conversor <i>boost</i> híbrido ($k=2$) operando com malhas de tensão e corrente sob degrau de carga.	81
Figura 2.30 - Resultados experimentais: tensão de saída v_{oe} (12,5 V/div) e corrente no indutor i_{Le} (1 A/div) referentes ao conversor equivalente operando com malhas de tensão e corrente sob degrau de carga.	81
Figura 2.31 - Resultados experimentais: tensão de saída v_{oh} (25 V/div) e corrente no indutor i_{Lh} (1 A/div) referentes ao conversor <i>boost</i>	

híbrido ($k=2$) operando com malhas de tensão e corrente sob redução de carga.....	82
Figura 2.32 - Resultados experimentais: tensão de saída v_{oe} (12,5 V/div) e corrente no indutor i_{Le} (1 A/div) referentes ao conversor equivalente operando com malhas de tensão e corrente sob redução de carga.....	82
Figura 3.1 - Esquema de conexão diferencial.....	85
Figura 3.2 - <i>VSI</i> base <i>buck</i> : (a) esquemático, (b) sinais <i>PWM</i> e controle - modulação bipolar - $2N$, (c) características de ganho.....	86
Figura 3.3 - <i>VSI</i> base <i>boost</i> : (a) esquemático, (b) sinais <i>PWM</i> e controle, (c) características de ganho.....	87
Figura 3.4 - Concepção do inversor <i>boost</i> diferencial a capacitor chaveado.....	89
Figura 3.5 - <i>SCDBI</i> proposto: (a) esquemático, (b) sinais <i>PWM</i> e controle - modulação bipolar - $2N$, (c) características de ganho.....	90
Figura 3.6 - Características de ganho dos conversores <i>SCDBI</i> e <i>DBI</i>	91
Figura 3.7 - Estados Topológicos - Modulação bipolar - $2N$: Semi-ciclo positivo da tensão de saída: (a) primeiro e (b) segundo estágio. Semi-ciclo negativo da tensão de saída: (c) primeiro e (d) segundo estágio.....	92
Figura 3.8 - Forma de onda da razão cíclica - Modulação bipolar - $2N$	94
Figura 3.9 - Formas de onda teóricas do conversor CC-CA proposto - Modulação bipolar - $2N$: (a) tensão intermediária, (b) tensão de saída, (c) corrente de entrada.....	97
Figura 3.10 - Características de ganho com perdas do inversor <i>boost</i> híbrido.....	99
Figura 3.11 - Generalização do conversor <i>SCDBI</i> : (a) esquemático, (b) sinais <i>PWM</i> e controle - modulação bipolar - $2N$, (c) características de ganho.....	100
Figura 3.12 - Análise de baixa frequência - Principais formas de onda - <i>SCDBI</i> - Modulação bipolar - $2N$	101
Figura 3.13 - Conteúdo harmônico da tensão de saída - <i>SCDBI</i> - Modulação bipolar - $2N$: (a) <i>Sub-conversor A</i> , (b) <i>Sub-conversor B</i> , (c) Inversor.....	102
Figura 3.14 - Análise de alta frequência - Principais formas de onda - Célula multiplicadora - <i>SCDBI</i> - Modulação bipolar - $2N$	103
Figura 3.15 - Análise de alta frequência - Formas de onda - Interruptores - <i>SCDBI</i> - Modulação bipolar - $2N$	104
Figura 3.16 - Conteúdo harmônico da tensão de saída - <i>SCDBI</i> - Modulação bipolar - $2N$: (a) valor eficaz, (b) percentual.....	104

Figura 3.17 - Análise de alta frequência - Principais formas de onda - <i>DBI</i> .	105
Figura 3.18 - Conteúdo harmônico da tensão de saída - <i>DBI</i> - Modulação bipolar - $2N$: (a) valor eficaz, (b) percentual.	106
Figura 3.19 - Estratégia de linearização de ganho do sub-conversor <i>boost</i> .	107
Figura 3.20 - Linearização de ganho: (a) sub-conversor <i>boost</i> , (b) detalhe.	107
Figura 3.21 - Influência da linearização de ganho.	108
Figura 3.22 - <i>SCDBI</i> proposto: (a) esquemático, (b) sinais <i>PWM</i> , controle e linearização - modulação unipolar - $3NL$, (c) características de ganho ideal e linearizado.	110
Figura 3.23 - Estados Topológicos - Modulação unipolar - $3N$: (a) primeiro, (b) segundo, (c) terceiro e (d) quarto estágio.	111
Figura 3.24 - Estados Topológicos - Modulação unipolar - $3N$:Semi-ciclo positivo: (a) primeiro, (b) segundo, (c) terceiro e (d) quarto estágio. Semi-ciclo negativo: (e) primeiro, (f) segundo, (g) terceiro e (h) quarto estágio.	112
Figura 3.25 - Formas de onda antes e depois do bloco linearizador - Modulação unipolar - $3N/3NL$: (a) razão cíclica, (b) corrente de entrada, (c) tensão parcial e (e) tensão total de saída.	114
Figura 3.26 - Análise de baixa frequência - Principais formas de onda - <i>SCDBI</i> - Modulação unipolar - $3NL$.	115
Figura 3.27 - Análise de alta frequência - Principais formas de onda - Célula multiplicadora - <i>SCDBI</i> - Modulação unipolar - $3NL$.	116
Figura 3.28 - Análise de alta frequência - Formas de onda - Interruptores - <i>SCDBI</i> - Modulação unipolar - $3NL$.	117
Figura 3.29 - Conteúdo harmônico da tensão de saída - <i>SCDBI</i> - Modulação unipolar - $3N$: (a) valor eficaz, (b) percentual.	117
Figura 3.30 - Conteúdo harmônico da tensão de saída - <i>SCDBI</i> - Modulação unipolar - $3NL$: (a) valor eficaz, (b) percentual.	118
Figura 3.31 - Circuito equivalente do conversor <i>boost</i> híbrido.	118
Figura 3.32 - Modelos equivalentes para o <i>SCDBI</i> - ($3N$): (a) modelo comutado; (b) modelo CC e (c) modelo de pequenos sinais.	119
Figura 3.33 - Validação dos modelos - ($3N$): (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado.	121
Figura 3.34 - Diagrama de blocos referente à estratégia empregada para o controle do <i>SCDBI</i> .	122
Figura 4.1 - Esquemático do <i>SCDBI</i> proposto.	125

Figura 4.2 - Inversor híbrido operando com carga: (a) resistiva, (b) indutiva, (c) não-linear.	129
Figura 4.3 - Análise de alta frequência - Principais formas de onda - <i>SCDBI</i> - Modulação unipolar - 3NL - Malha aberta - Operação com carga resistiva.	130
Figura 4.4 - Conteúdo harmônico da tensão de saída - <i>SCDBI</i> - Modulação unipolar - 3NL - Malha aberta - Operação com carga resistiva: (a) valor eficaz, (b) percentual.	131
Figura 4.5 - Análise de alta frequência - Principais formas de onda - <i>SCDBI</i> - Modulação unipolar - 3NL - Malha fechada - Operação com carga resistiva.	131
Figura 4.6 - Conteúdo harmônico da tensão de saída - <i>SCDBI</i> - Modulação unipolar - 3NL - Malha fechada - Operação com carga resistiva: (a) valor eficaz, (b) percentual.	132
Figura 4.7 - Análise de baixa frequência - Atuação do controlador - <i>SCDBI</i> - Modulação unipolar - 3NL - Malha fechada - Operação com carga resistiva.	132
Figura 4.8 - Análise de alta frequência - Principais formas de onda - <i>SCDBI</i> - Modulação unipolar - 3NL - Malha fechada - Operação com carga indutiva.	133
Figura 4.9 - Conteúdo harmônico da tensão de saída - <i>SCDBI</i> - Modulação unipolar - 3NL - Malha fechada - Operação com carga indutiva: (a) valor eficaz, (b) percentual.	134
Figura 4.10 - Análise de alta frequência - Principais formas de onda - <i>SCDBI</i> - Modulação unipolar - 3NL - Malha fechada - Operação com carga não-linear.	134
Figura 4.11 - Conteúdo harmônico da tensão de saída - <i>SCDBI</i> - Modulação unipolar - 3NL - Malha fechada - Operação com carga não-linear: (a) valor eficaz, (b) percentual.	135
Figura 4.12 - Análise de alta frequência - Principais formas de onda - <i>SCDBI</i> - Modulação unipolar - 3NL - Malha fechada - Operação a vazio.	136
Figura 4.13 - Conteúdo harmônico da tensão de saída - <i>SCDBI</i> - Modulação unipolar - 3NL - Malha fechada - Operação a vazio: (a) valor eficaz, (b) percentual.	136
Figura 4.14 - Imagem do protótipo do inversor híbrido de 500 W implementado. Tensão de entrada 100 V; Tensão de saída 220 V;	137
Figura 4.15 - Resultados experimentais: inversor híbrido operando com carga: (a) resistiva, (b) indutiva, (c) não-linear.	138

- Figura 4.16 - Resultados experimentais - *SCDBI* sob modulação bipolar (2N), operando em malha aberta: (a) tensões individuais de saída v_a e v_b , tensão de entrada V_i (100 V/div), tensão diferencial de saída v_o (200 V/div) e base de tempo (5 ms/div); (b) analisador de energia: entrada/saída; (c) conteúdo harmônico da tensão de saída. 139
- Figura 4.17 - Resultados experimentais - *SCDBI* sob modulação unipolar (3N), operando em malha aberta: (a) tensões individuais de saída v_a e v_b , tensão de entrada V_i (100 V/div), tensão diferencial de saída v_o (200 V/div) e base de tempo (5 ms/div); (b) analisador de energia: entrada/saída; (c) conteúdo harmônico da tensão de saída. 140
- Figura 4.18 - Resultados experimentais - *SCDBI* sob modulação unipolar com bloco linearizador (3NL), operando em malha aberta: (a) tensões individuais de saída v_a e v_b , tensão de entrada V_i (100 V/div), tensão diferencial de saída v_o (200 V/div) e base de tempo (5 ms/div); (b) analisador de energia: entrada/saída; (c) conteúdo harmônico da tensão de saída. 141
- Figura 4.19 - Resultados experimentais - *SCDBI* operando em malha aberta: (a) razão cíclica d_a e d_b antes do bloco linearizador (3N); (b) razão cíclica após bloco linearizador (3NL); base de tempo (4 ms/div)..... 141
- Figura 4.20 - Resultados experimentais - *SCDBI* (3NL): tensão individual de cada sub-conversor v_a e v_b (80 V/div) e tensão parcial de saída do estágio *boost* v_a' e v_b' (80 V/div); base de tempo (5 ms/div)..... 142
- Figura 4.21 - Resultados experimentais - *SCDBI* (3NL): corrente de entrada i_i (10 A/div) e corrente nos indutores i_{La} e i_{Lb} (10 A/div); base de tempo (5 ms/div). 142
- Figura 4.22 - Resultados experimentais - *SCDBI* (3NL): (a) tensão sobre os interruptores v_{S1a} , v_{S2a} , v_{S3a} , v_{S4a} (200 V/div) e base de tempo (5 ms/div); (b) analisador de energia: entrada/saída; (c) detalhe da tensão sobre os interruptores (10 μ s/div)..... 143
- Figura 4.23 - Resultados experimentais - *SCDBI* (3NL): (a) tensão sobre os capacitores v_{C1a} , v_{C2a} , v_{C3a} (40 V/div) e base de tempo (5 ms/div); (b) analisador de energia: entrada/saída; (c) detalhe da tensão sobre os capacitores (10 μ s/div). 144
- Figura 4.24 - Resultados experimentais - *SCDBI*: tensão de saída diferencial v_o (200 V/div) corrente no capacitor i_{C3b} (10 A/div) $\times 4,1$; detalhe da corrente no capacitor chaveado (1 A/div) $\times 4,1$ e base de tempo (5 ms/div). 145

- Figura 4.25 - Resultados experimentais - *SCDBI* (2N) - operando com tensão de entrada de 100 V: (a) Rendimento teórico (n_t) e experimental (n_e); (b) tensão de saída teórica (v_{ot}) e experimental (v_{oe}).146
- Figura 4.26 - Resultados experimentais - *SCDBI* (2N): (a) rendimento do protótipo operando com tensão de entrada de 50 V (n_{50}), 75 V (n_{75}) e 100 V (n_{100}); (b) tensão de saída do protótipo operando com tensão de entrada de 50V ($v_{o\ 50}$); 75 V ($v_{o\ 75}$) e 100 V ($v_{o\ 100}$).....146
- Figura 4.27 - Resultados experimentais - *SCDBI*: (a) rendimento do protótipo de 500 W operando sob modulação 2N, 3N e 3NL e tensão de entrada de 100 V; (b) rendimento do protótipo sob modulação 3NL com tensão de entrada de 75 V (3NL₇₅) e 100 V (3NL₁₀₀).....147
- Figura 4.28 - Resultados experimentais - *SCDBI*: (a) distorção máxima da tensão de saída; (b) tensão máxima sobre o interruptor S_i ; (c) rendimento sob tensão de entrada de 100 V.148
- Figura 4.29 - Resultados experimentais - *SCDBI* - Distribuição de perdas: (a) gênero, (b) componente.149
- Figura 4.30 - Resultados experimentais - *SCDBI* - Carga resistiva, operando em malha fechada (3NL) sob degrau de carga: (a) tensão de saída v_o (200 V/div), corrente de carga i_o (2 A/div) e base de tempo (100 ms/div); (b) detalhe (10 ms/div) durante degrau de carga ($\pm 61\%$); (c) analisador de energia: entrada/saída; (d) conteúdo harmônico da tensão de saída.150
- Figura 4.31 - Resultados experimentais - *SCDBI* - Carga indutiva, operando em malha fechada (3NL) sob degrau de carga: (a) tensão de saída v_o (200 V/div), corrente de carga i_o (2 A/div) e base de tempo (100 ms/div); (b) detalhe (10 ms/div) durante degrau de carga ($\pm 40\%$); (c) analisador de energia: entrada/saída; (d) conteúdo harmônico da tensão de saída.151
- Figura 4.32 - Resultados experimentais - *SCDBI* - Carga não-linear, operando em malha fechada (3NL) sob degrau de carga: (a) tensão de saída v_o (200 V/div), corrente de carga i_o (2 A/div) e base de tempo (100 ms/div); (b) detalhe (10 ms/div) durante degrau de carga ($\pm 52\%$); (c) analisador de energia: entrada/saída; (d) conteúdo harmônico da tensão de saída.152
- Figura 4.33 - Resultados experimentais: imagem térmica do protótipo do inversor híbrido.154
- Figura 5.1 - Esquemático do inversor híbrido: conectado à rede.158

- Figura 5.2 - Modelos equivalentes para o *SCDBI* conectado à rede: (a) modelo comutado; (b) modelo CC e (c) modelo de pequenos sinais..... 160
- Figura 5.3 - Validação dos modelos para o *SCDBI* conectado à rede: (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado..... 163
- Figura 5.4 - Diagrama de blocos referente à estratégia empregada para o controle do *SCDBI* conectado à rede elétrica..... 163
- Figura 5.5 - Resultados experimentais: *SCDBI* operando conectado à rede..... 165
- Figura 5.6 - Resultados experimentais - *SCDBI*: (a) razões cíclicas (3N) d_a e d_b (200 mV/div); (b) razões cíclicas (3NL) d_a e d_b (200 mV/div); (c) tensões individuais v_a e v_b (130 V/div) e tensão diferencial de saída v_o (150 V/div) (3N); (d) tensões individuais v_a e v_b (130 V/div) e tensão diferencial de saída v_o (150 V/div) (3NL); base de tempo (5 ms/div)..... 166
- Figura 5.7 - Resultados experimentais - *SCDBI*: (a) distorção máxima da tensão de saída; (b) tensão máxima sobre o interruptor S_i ; (c) rendimento sob tensão de entrada de 60 V..... 167
- Figura 5.8 - Resultados experimentais - *SCDBI* (3NL): tensão de entrada V_i (12 V/div), tensões individuais de cada sub-conversor v_a e v_b (130 V/div) e tensão diferencial de saída v_{rede} (130 V/div); base de tempo (5 ms/div)..... 167
- Figura 5.9 - Resultados experimentais - *SCDBI* (3NL): tensão de entrada V_i (10 V/div), tensão de diferencial de saída v_{rede} (100 V/div) e corrente injetada na rede i_{rede} (1 A/div); base de tempo (5 ms/div)..... 168
- Figura 5.10 - Resultados experimentais - *SCDBI* - 250 W: conteúdo harmônico da corrente injetada na rede..... 168
- Figura 5.11 - Resultados experimentais - *SCDBI* (3NL): tensão sobre os interruptores v_{S1a} , v_{S2a} , v_{S3a} , v_{S4a} (200 V/div) e base de tempo (5 ms/div)..... 169
- Figura 5.12 - Resultados experimentais - *SCDBI* (3NL): degrau de referência de corrente de $\pm 50\%$: (a) tensão v_{rede} (200 V/div), corrente injetada na rede i_{rede} (1 A/div); base de tempo (1 s/div); (b) detalhe durante a redução de referência; (c) detalhe durante aumento de referência da corrente injetada na rede; base de tempo (10 ms/div)..... 170
- Figura 5.13 - Resultados experimentais - *SCDBI* (3NL) - rendimento do protótipo de 250 W operando conectado à rede..... 171

Figura 5.14 - Resultados experimentais - <i>DBI</i> (3NL): tensões individuais de cada sub-conversor v_a e v_b (60 V/div), tensão de saída diferencial v_o (70 V/div) e tensão de entrada V_i (50 V/div); base de tempo (5 ms/div).....	172
Figura 5.15 - Resultados experimentais - <i>DBI</i> (3NL): tensão sobre os interruptores v_{S1a} e v_{S2a} (100 V/div); base de tempo (5 ms/div).....	172
Figura 5.16 - Resultados experimentais - <i>DBI</i> (3NL) - rendimento do protótipo de 250 W função do ganho.....	172
Figura 5.17 - Distribuição teórica das perdas do protótipo de 250 W: a) <i>SCDBI</i> e b) <i>DBI</i>	173
Figura 8.1 - Circuito para análise da transferência de energia.....	233

LISTA DE TABELAS

Tabela 2.1 - Intervalos para os modos de operação do capacitor chaveado.	51
Tabela 2.2 - Esforços sobre os componentes - Operação em regime.	62
Tabela 2.3 - Principais parâmetros dos conversores adotados na validação do modelo linearizado de pequenos sinais.	64
Tabela 2.4 - Coeficientes de $G_{vd}(s) = \hat{v}_o / \hat{d}$ e $G_{id}(s) = \hat{i}_{Lb} / \hat{d}$.	65
Tabela 2.5 - Coeficientes do modelo equivalente linearizado referente à malha para controle da tensão de saída.	71
Tabela 2.6 - Coeficientes do modelo equivalente linearizado referente à malha para controle da corrente de entrada.	71
Tabela 2.7 - Parâmetros adotados na validação dos modelos linearizados de pequenos sinais para $k=2$, $k=3$ e $k=5$.	72
Tabela 2.8 - Coeficientes de $G_{vd}(s) = \hat{v}_{ok} / \hat{d}$ e $G_{id}(s) = \hat{i}_{Lb} / \hat{d}$ com $k=2$.	72
Tabela 2.9 - Coeficientes de $G_{vd}(s) = \hat{v}_{ok} / \hat{d}$ e $G_{id}(s) = \hat{i}_{Lb} / \hat{d}$ com $k=3$.	74
Tabela 2.10 - Coeficientes de $G_{vd}(s) = \hat{v}_{ok} / \hat{d}$ e $G_{id}(s) = \hat{i}_{Lb} / \hat{d}$ com $k=5$.	75
Tabela 2.11 - Componentes adotados no protótipo equivalente/híbrido.	76
Tabela 3.1 - Esforços sobre os componentes - Operação em regime.	98
Tabela 3.2 - Principais parâmetros do conversor híbrido e convencional.	101
Tabela 3.3 - Estados de comutação dos interruptores de potência.	109
Tabela 3.4 - Coeficientes da função de transferência.	120
Tabela 3.5 - Principais especificações do inversor híbrido.	121
Tabela 4.1 - Principais especificações do inversor híbrido.	125
Tabela 4.2 - Principais características dos componentes do SCDBI.	128
Tabela 4.3 - Coeficientes da equação recursiva.	128
Tabela 4.4 - Principais características do inversor híbrido implementado.	138
Tabela 4.5 - Principais grandezas analisadas do SCDBI.	153
Tabela 4.6 - Temperatura nos componentes.	154
Tabela 5.1 - Coeficientes da função de transferência.	161
Tabela 5.2 - Especificações do inversor híbrido.	162
Tabela 5.3 - Componentes do inversor híbrido conectado à rede.	164

LISTA DE ABREVIATURAS E SIGLAS

Abr/Sig	Descrição
2N	Modulação bipolar (2 níveis)
3N	Modulação unipolar (3 níveis)
3NL	Modulação unipolar com bloco linearizador
ADC	<i>Analog-to-Digital Converter</i>
AWG	<i>American Wire Gauge</i>
CA	Corrente Alternada
CaC	<i>Complete Charge Mode</i> ou Modo de Carga Completa
CaN	<i>Null Charge Mode</i> ou Modo de Carga Nula
CaP	<i>Partial Charge Mode</i> ou Modo de Carga Parcial
CC	Corrente Contínua
CSI	<i>Current Source Inverter</i>
DBI	<i>Differential Boost Inverter</i>
DLM	<i>Dynamic Linearizing Modulation</i>
DSP	<i>Digital Signal Processor</i>
EMI	<i>Electromagnetic Interference</i>
FB	<i>Full-Bridge</i>
HB	<i>Half-Bridge</i>
HCM	<i>Half Cycle Modulation</i>
HSC	<i>Hybrid Switched-Capacitor</i>
IEC	<i>International Electrotechnical Commission</i>
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
IFSC	Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina
INDUSCON	<i>International Conference on Industry Applications</i>
INEP	Instituto de Eletrônica de Potência
ISIE	<i>International Symposium on Industrial Electronics</i>
KCL	<i>Leis de Kirchhoff de correntes</i>
KVL	<i>Leis de Kirchhoff de tensões</i>
LC	Indutor-Capacitor
MCC	Modo de Condução Contínua
MCD	Modo de Condução Descontínua
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
P	Controlador Proporcional
PI	<i>Controlador Proporcional-Integral</i>
PID	Controlador Proporcional Integral Derivador
PLL	<i>Phase Locked Loop</i>
PWM	<i>Pulse-Width Modulation</i>
RC	Resistor-Capacitor
rms	<i>Root Mean Square</i> ou eficaz
SC	<i>Switched-Capacitor</i>

Abr/Sig	Descrição
<i>SCC</i>	<i>Switched-Capacitor Converter</i>
<i>SCDBI</i>	<i>Switched-Capacitor Differential Boost Inverter</i>
<i>SEPIC</i>	<i>Single-Ended Primary-Inductor Converter</i>
<i>SiC</i>	<i>Silicon Carbide</i>
<i>SMC</i>	<i>Sliding Mode Control</i>
<i>SPEC</i>	<i>Southern Power Electronics Conference</i>
<i>THD</i>	<i>Total Harmonic Distortion</i>
UFSC	Universidade Federal de Santa Catarina
<i>UPS</i>	<i>Uninterrupted Power Supply</i>
<i>VSI</i>	<i>Voltage Source Inverter</i>
<i>ZCS</i>	<i>Zero Current Switching</i>
<i>ZVS</i>	<i>Zero Voltage Switching</i>

LISTA DE SÍMBOLOS

Símbolo	Descrição	Unid.
\mathbf{A}_x	Matriz de estados referente à etapa "x" de operação	-
$\mathbf{B}_x, \mathbf{C}_x, \mathbf{E}_x$	Matriz de estados referente à etapa "x" de operação	-
C_{1x}, C_{2x}	Capacitores de saída do <i>sub-conversor</i> "x"	F
C_{3x}	Capacitores chaveado dos sub-conversor "x"	F
C_{eq}	Capacitância equiv. da célula multiplicadora, ref. a baixa tensão	F
$C_i(s)$	Função de transferência do controlador de corrente	-
$C_u(s)$	Função de transferência do controlador de tensão	-
\mathbf{D}	Ponto de operação da razão cíclica	-
d	Razão cíclica instantânea	-
D_{ac}	Parcela CA de Razão cíclica	-
D_{dc}	Parcela CC de Razão cíclica	-
d_i	Razão cíclica instantânea ideal (antes do bloco linearizador)	-
d_l	Razão cíclica instantânea linearizada (após do bloco linearizador)	-
D_{pk}	Razão cíclica máxima de operação	-
D_x	Diodo "x" da célula SC	-
d_x	Razão cíclica instantânea do <i>sub-conversor</i> "x"	-
$\mathbf{F}_x, \mathbf{H}_x$	Matriz de estados referente à etapa "x" de operação	-
f_o	Frequência de ressonância do filtro de saída	Hz
G	Ganho do conversor	-
\bar{G}	Ganho normalizado do conversor	-
G_b	Ganho não-ideal do conversor	-
G_i	Ganho ideal do sub-conversor <i>boost</i>	-
$G_{id}(s)$	Função de transferência da planta de controle de corrente	-
G_l	Ganho linearizado do sub-conversor <i>boost</i>	-
$G_{vd}(s)$	Função de transferência da planta de controle de tensão	-
$H(s)$	Função de transferência do controlador proporcional ressonante	-
i_{C1x}, i_{C2x}	Corrente do capacitor de saída do <i>sub-conversor</i> "x"	A
i_{C3x}	Corrente do capacitor chaveado do <i>sub-conversor</i> "x"	A
i_{Cx}	Corrente instantânea do capacitor "x"	A
i_i	Corrente instantânea total de entrada	A
i_{Le}	Corrente instantânea no indutor do sub-conversor <i>boost</i> equivalente	A
i_{Lh}	Corrente instantânea no indutor do sub-conversor híbrido	A
i_{Lx}	Corrente instantânea no indutor do <i>sub-conversor</i> "x"	A
I_{oref}	Corrente de referência da malha de corrente	A
i_{rede}	Corrente injetada na rede	A
j	Operador Imaginário	-
$j\omega$	Operador da Transformada de Fourier	-
k	Ganho da célula multiplicadora	-
K_c	Ganho da parcela proporcional do controlador de corrente	-
K_f	Ganho da malha de <i>feedforward</i>	-
K_i	Ganho do sensor de corrente	-

Símbolo	Descrição	Unid.
K_p	Ganho da parcela proporcional do controlador ressonante	-
K_{pwm}	Ganho do modulador <i>PWM</i>	-
K_r	Ganho da parcela ressonante do controlador	-
K_v	Ganho do sensor de tensão	-
L_b	Indutância <i>boost</i>	H
$Line$	Função de transferência do bloco linearizador	-
L_o	Indutância do filtro de saída	H
L_x	Indutância <i>boost</i> do <i>sub-conversor</i> "x"	H
m	Coefficiente angular da reta de linearização	-
n	Número de células multiplicadoras	-
n_e	Rendimento experimental do inversor	%
n_t	Rendimento teórico do inversor	%
P_o	Potência de saída do conversor	W
r_C	Resistência de condução do capacitor	Ω
$R_{ds(on)}$	Resistência de condução do interruptor	Ω
R_{eq}'	Resistência equiv. da célula multiplicadora, ref. à baixa tensão	-
R_{eqHt}	Resistência equiv. da célula multiplicadora ref. à alta tensão	Ω
r_L	Resistência do indutor <i>boost</i>	Ω
R_o	Resistência de carga	Ω
R_o'	Resistência de carga referenciada ao lado de baixa	Ω
R_{se}	Resistência série equivalente do capacitor	Ω
s	Operador da Transformada de Laplace	-
S_{1x}, S_{2x}	Interruptores <i>boost</i> do <i>sub-conversor</i> "x"	-
S_{3x}, S_{4x}	Interruptores <i>SC</i> do <i>sub-conversor</i> "x"	-
T_a	Período de amostragem	s
T_g	Período da rede	s
T_s	Período de chaveamento	s
U	Ponto de operação das variáveis de entrada	-
u	Vetor excitação	-
v_{Cx}	Tensão no capacitor "x"	V
V_i	Tensão de alimentação do conversor	V
v_{Lb}	Tensão instantânea do indutor <i>boost</i>	V
v_o	Tensão de saída do conversor	V
v_o'	Tensão parcial de saída do conversor	V
v_{oe}	Tensão de saída do sub-conversor <i>boost</i> equivalente	V
v_{oh}	Tensão de saída do sub-conversor híbrido	V
V_{oref}	Tensão de referência da malha de tensão	V
v_{rede}	Tensão instantânea de saída do inversor	V
v_{S1x}	Tensão sobre o interruptor S_1 do <i>sub-conversor</i> "x"	V
v_{S2x}	Tensão sobre o interruptor S_2 do <i>sub-conversor</i> "x"	V
v_{S3x}	Tensão sobre o interruptor S_3 do <i>sub-conversor</i> "x"	V
v_{S4x}	Tensão sobre o interruptor S_4 do <i>sub-conversor</i> "x"	V
v_{trig}	Tensão instantânea da portadora triangular	V
v_x	Tensão de saída do <i>sub-conversor</i> "x"	V
v_x'	Tensão parcial de saída do <i>sub-conversor</i> "x"	V

Símbolo	Descrição	Unid.
\hat{X}	Ponto de operação das variáveis de estado	-
x	Vetor das variáveis instantâneas de estado	-
\hat{Y}	Ponto de operação das variáveis de saída	-
y	Vetor das variáveis de saída	-
z	Operador da Transformada Z	-
\hat{d}	Perturbação de razão cíclica	-
\hat{x}	Perturbação das variáveis de estado	-
\hat{u}	Perturbação das variáveis de entrada	-
\hat{y}	Perturbação das variáveis de saída	-
Δi_L	Ondulação de corrente de entrada	A
Δi_{Lpk}	Ondulação máxima de corrente	A
ζ	Coefficiente de amortecimento controlador ressonante	-
τ	Constante de tempo do circuito RC	s
ω_p	Frequência angular do polo do controlador de corrente	rad/s
ω_r	Frequência angular de ressonância do controlador	rad/s
ω_z	Frequência angular do zero do controlador de corrente	rad/s

SUMÁRIO

1. INTRODUÇÃO GERAL	37
1.1. CONTEXTUALIZAÇÃO E REVISÃO BIBLIOGRÁFICA.....	37
1.2. OBJETIVO DA TESE	43
1.3. ESTRUTURA DO TRABALHO	44
1.4. TRABALHOS PUBLICADOS	45
1.5. CONCLUSÕES PARCIAIS.....	45
2. CONVERSOR CC-CC <i>BOOST</i> HÍBRIDO	47
2.1. INTRODUÇÃO	47
2.2. CONVERSOR <i>BOOST</i>	48
2.3. CÉLULA MULTIPLICADORA A CAPACITOR CHAVEADO	49
2.4. CONVERSOR <i>BOOST</i> HÍBRIDO	52
2.5. ANÁLISE DO CONVERSOR HÍBRIDO	55
2.5.1. <i>Primeira etapa de operação do conversor híbrido</i>	56
2.5.2. <i>Segunda etapa de operação do conversor híbrido</i>	57
2.5.3. <i>Modelagem por espaço de estados</i>	57
2.6. MODELO EQUIVALENTE.....	68
2.6.1. <i>Modelagem do conversor equivalente</i>	70
2.7. RESULTADOS EXPERIMENTAIS	76
2.7.1. <i>Equivalência em malha aberta</i>	77
2.7.2. <i>Análise em malha fechada</i>	79
2.8. CONCLUSÕES PARCIAIS.....	82
3. INVERSOR <i>BOOST</i> A CAPACITOR CHAVEADO.....	85
3.1. INTRODUÇÃO	85
3.2. REVISÃO DOS INVERSORES DIFERENCIAIS	85
3.2.1. <i>Inversor baseado na topologia buck</i>	86
3.2.2. <i>Inversor baseado na topologia boost</i>	87
3.3. PROPOSTA DO INVERSOR HÍBRIDO	88
3.4. PRINCÍPIO DE OPERAÇÃO DO INVERSOR HÍBRIDO	91
3.4.1. <i>Primeira etapa de operação do inversor híbrido</i>	91
3.4.2. <i>Segunda etapa de operação do inversor híbrido</i>	93
3.5. ANÁLISE TEÓRICA DO INVERSOR HÍBRIDO ($2N$)	93
3.6. LIMITAÇÃO DE GANHO DO INVERSOR <i>BOOST</i> HÍBRIDO	97
3.7. GENERALIZAÇÃO DE GANHO DA ESTRUTURA PROPOSTA	99
3.8. RESULTADOS DE SIMULAÇÃO - MODULAÇÃO $2N$	99
3.9. FUNÇÃO DE LINEARIZAÇÃO DO GANHO DO <i>SCDBI</i>	106
3.10. RESULTADOS DE SIMULAÇÃO - MODULAÇÃO $3N$	108
3.11. MODELAGEM ORIENTADA AO CONTROLE.....	118
3.12. CONTROLE.....	121

3.13. CONCLUSÕES PARCIAIS	122
4. SCDBI OPERANDO NO MODO AUTÔNOMO.....	125
4.1. INTRODUÇÃO	125
4.2. EXEMPLO DE PROJETO.....	125
4.2.1. <i>Projeto do estágio de potência</i>	126
4.2.2. <i>Esforços nos componentes</i>	127
4.2.3. <i>Controle</i>	128
4.3. ANÁLISE POR SIMULAÇÃO DO SCDBI.....	129
4.3.1. <i>Simulação com carga resistiva</i>	129
4.3.2. <i>Simulação com carga indutiva</i>	132
4.3.3. <i>Simulação com carga não-linear</i>	134
4.3.4. <i>Simulação a vazio</i>	135
4.4. ANÁLISE EXPERIMENTAL DO SCDBI.....	137
4.4.1. <i>Operação em malha aberta</i>	138
4.4.2. <i>Operação em malha fechada</i>	149
4.5. CONCLUSÕES PARCIAIS	154
5. SCDBI OPERANDO NO MODO CONECTADO E ANÁLISE COMPARATIVA COM O DBI.....	157
5.1. INTRODUÇÃO	157
5.2. INVERSOR HÍBRIDO CONECTADO À REDE ELÉTRICA	157
5.3. MODELAGEM E CONTROLE	159
5.3.1. <i>Modelagem orientada ao controle</i>	160
5.3.2. <i>Controle</i>	163
5.3.3. <i>Exemplo de projeto</i>	164
5.4. RESULTADOS EXPERIMENTAIS	164
5.4.1. <i>Operação em malha aberta</i>	165
5.4.2. <i>Operação conectado à rede</i>	167
5.4.3. <i>Análise comparativa</i>	171
5.5. CONCLUSÕES PARCIAIS	174
6. CONSIDERAÇÕES FINAIS.....	175
7. REFERÊNCIAS BIBLIOGRÁFICAS	179
8. APÊNDICES.....	189
A. PUBLICAÇÕES.....	189
B. PARADOXO DOS CAPACITORES	233
C. ANÁLISE POR ESPAÇO DE ESTADOS	235
D. ANÁLISE DE ESFORÇOS NOS COMPONENTES	239
E. ANÁLISE DA DEFASAGEM DAS MODULADORAS.....	243

F.	ANÁLISE DO GANHO FUNÇÃO DA RAZÃO CÍCLICA	246
G.	ANÁLISE DO GANHO FUNÇÃO DA TENSÃO DE SAÍDA	247
H.	ESQUEMÁTICOS E LISTA DE COMPONENTES	248

1. INTRODUÇÃO GERAL

Este capítulo apresenta contextualização, revisão bibliográfica e os objetivos desta tese, além disso é, também, apresentado a estrutura do documento.

1.1. CONTEXTUALIZAÇÃO E REVISÃO BIBLIOGRÁFICA

Os conversores CC-CA, também denominados de inversores, são topologias comumente usadas em *drivers* de motores CA, fontes ininterruptas de energia (*UPS - uninterruptible power supply*), fontes renováveis, dentre outras aplicações. Basicamente, os inversores podem ser classificados [1-3] como inversores de corrente (*CSI - current source inverter*) ou de tensão (*VSI - voltage source inverter*), dentre os quais o inversor abaixador (baseado no conversor CC-CC tipo *buck*) é o mais disseminado.

O conversor CC-CC *buck*, ilustrado na Figura 1.1(a), caracteriza-se por apresentar tensão de saída inferior à de entrada. Tecnicamente, a partir de um par de conversores CC-CC *buck*, adequadamente modulados, pode-se construir um conversor CC-CA abaixador [4].

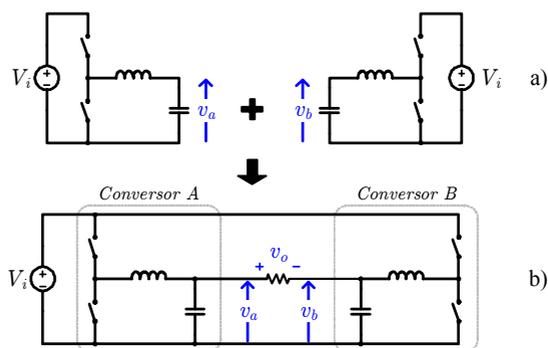


Figura 1.1 - Concepção do inversor: (a) Sub-conversores CC-CC *buck*, (b) Inversor diferencial *buck*.

Para tanto, são necessário dois sub-conversores, conforme ilustra a Figura 1.1(b), comandados por razões cíclicas complementares e compostas por funções sinusoidais sobrepostas a um valor médio. Conectando-se a carga de forma diferencial, viabiliza-se a soma das

parcelas alternadas, geradas por cada sub-conversor, assim como o cancelamento da parcela contínua. Embora cada sub-conversor apresente tensão de saída unipolar (essencialmente positiva), a tensão de carga pode ser positiva ou negativa.

A conexão diferencial da carga entre as saídas de dois ou mais sub-conversores conduz a um inversor monofásico ou polifásico, respectivamente. Percebe-se que a configuração apresentada comporta-se, basicamente, como um inversor senoidal, pois a partir da tensão CC de entrada é gerada na saída uma tensão sinusoidal. Logicamente, redesenhando-se o circuito apresentado de forma a reduzir os componentes passivos, pode-se identificar o inversor abaixador clássico (*VSI*). Apesar de, nas aplicações clássicas, o inversor *buck* ser amplamente utilizado, sua característica essencialmente abaixadora pode ser definida como um elemento limitador.

Em algumas situações existe a necessidade de se obter na saída do inversor, um valor de pico da tensão alternada maior que a tensão de entrada. Na literatura [5-7] é comum observar-se a implementação de sistemas em cascata, em que um estágio CC-CC intermediário eleva a tensão da fonte CC de entrada gerando um barramento CC com valor superior ao valor de pico da tensão requerida na saída, mantendo-se, dessa forma, a possibilidade de uso de inversores abaixadores. Nesse caso, o inversor passa a ser chamado de inversor de múltiplos estágios, cujo rendimento e confiabilidade podem ser deteriorados, sobretudo quando ganhos elevados ($G > 4$) são requeridos. Em algumas aplicações o estágio CC-CC de entrada deve apresentar uma taxa de conversão superior a dez ou mais vezes [8]. Contudo, os conversores CC-CC básicos¹ não apresentam alta eficiência com a requerida taxa de conversão [4].

Alternativamente, um transformador de baixa frequência poderia ser empregado na saída do inversor abaixador, provendo o ganho necessário para elevar a tensão de saída aos patamares requeridos, por

¹ Topologias básicas dos conversores estáticos não isolados: abaixador de tensão (*buck* ou *step-down converter*), elevador de tensão (*boost* ou *step-up converter*), a acumulação indutiva (*buck-boost* ou *step-down/up converter*), a acumulação capacitiva (*boost-buck converter* ou conversor Čuk), *SEPIC* e *Zeta*.

meio do ajuste da relação de transformação [9]. No entanto, a adição de transformadores tende a reduzir a densidade de potência do sistema, elevando peso e volume [10].

As estruturas comumente empregadas para conversão CC-CA são do tipo ponte-completa (*FB - full-bridge*) ou meia-ponte (*HB - half-bridge*) [11]. Em aplicações com ganhos elevados, teoricamente poder-se-ia empregar inversores *FB* ou *HB*, embora com algumas desvantagens, pois, nesse caso, os interruptores deveriam bloquear a tensão total de entrada (barramento CC).

Considerando-se, ainda, a necessidade de uma tensão de saída superior à fonte CC, outras soluções apontam para o emprego do inversor *z-source (impedance source)* [12-14], ou ainda, para a conexão diferencial de conversores com característica elevadora.

De forma semelhante à análise efetuada para a estrutura *buck* da Figura 1.1(b); a proposta da conexão diferencial [15, 16], pode ser melhor compreendida a partir da Figura 1.2.

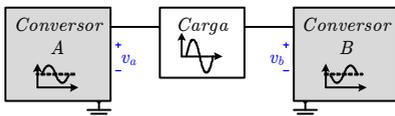


Figura 1.2 - Esquema de conexão diferencial.

Em [17] é proposto o inversor *boost (DBI - differential boost inverter)*, conforme Figura 1.3(b). Sendo o conceito, posteriormente, generalizado [18] para toda uma família de inversores diferenciais.

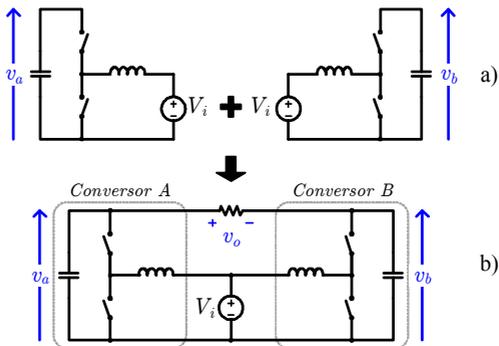


Figura 1.3 - Concepção do inversor: (a) Sub-conversores CC-CC *boost*, (b) Inversor diferencial *boost*.

Após a proposta de [19], diversas topologias *boost* foram investigadas com esse propósito [20-25]. Como inconveniente dessa abordagem se destaca o ganho limitado, pois como parte integrante do inversor, o sub-conversor *boost* não pode proporcionar um ganho tão elevado, mesmo operando com razões cíclicas elevadas. Nesse caso, o conversor apresenta, tradicionalmente, problemas de recuperação reversa, elevado índice de interferência eletromagnética (*EMI - electromagnetic interference*), baixa taxa de utilização dos semicondutores [26], além de limitações na resposta dinâmica do sistema [27], o que degrada sua eficiência [28, 29]. Considerando-se esses aspectos outras soluções de estágio único foram, também, propostas na literatura [30-33].

Nesse cenário específico e, destacando-se a busca pela redução dos esforços nos componentes que compõe o conversor base, a técnica de *interleaved* poderia, também, ser adotada, conforme proposto em [34]. Trata-se de uma topologia que reúne conceitos de *interleaved*, modularidade e célula multiplicadora. A modularidade da estrutura permite o incremento dos níveis de corrente, tensão e potência, utilizando-se, basicamente a mesma especificação dos componentes.

Ainda com relação à conexão diferencial, conforme [18], a ideia de se obter um conversor CC-CA de estágio único não se limita aos inversores baseados nos conversores *buck* e *boost*. Embora, a característica de ganho de tensão, dos inversores *buck-boost*, *Ćuk*, *SEPIC* e *Zeta* coincida com a característica apresentada pelo inversor *boost*, tal conceito pode ser estendido para gerar-se outros membros da família, utilizando os conversores CC-CC básicos. Como exemplo citam-se os trabalhos de Piazza & Barbi (2013), que adota o conversor *Zeta* para implementar o sub-conversor base da topologia inversora [35], enquanto Corrêa & Lazzarin (2017) aborda uma topologia *buck-boost* [36].

Recentemente, em busca da elevação de ganho, alguns autores vêm propondo a adoção de células multiplicadoras a indutor e/ou capacitor chaveado [9]. Tais células apresentam como vantagem a possibilidade de elevar a taxa de conversão, mantendo, no entanto, reduzida a tensão sobre os interruptores [37-39].

Conversores a capacitor chaveado, propostos na década de noventa [40], poderiam, em tese, fornecer qualquer taxa de conversão

[37]. Os conversores a capacitor chaveado (*SC - switched-capacitor*), compostos apenas por interruptores e capacitores [41], são adequados para aplicações com alta taxa de conversão devido à divisão natural dos esforços de tensão sobre os interruptores. No entanto, a regulação da tensão de saída do conversor SC^2 é deficiente. Assim, surge o conceito do conversor híbrido (*HSC - hybrid switched-capacitor*), que combina as vantagens do *SC* com a controlabilidade de tensão dos conversores *PWM* convencionais [10, 40, 42-45]. A Figura 1.4(a) apresenta o sub-conversor *boost* híbrido [46, 47] adotado como base na concepção da topologia proposta. Em [48] propõe-se uma metodologia unificada para o desenvolvimento de conversores híbridos com ganho elevado.

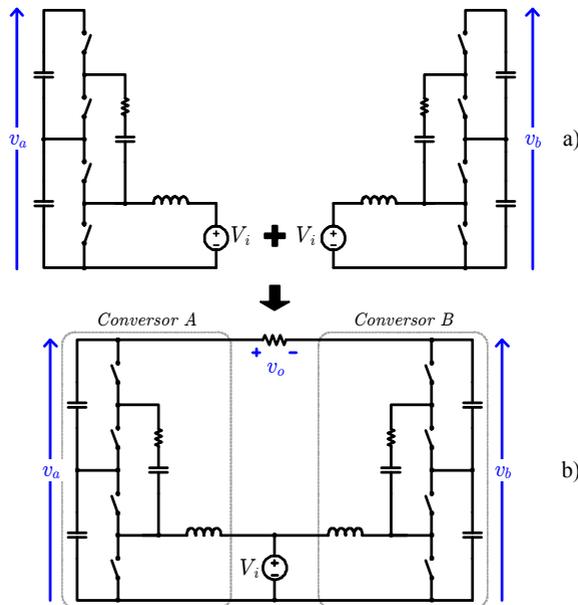


Figura 1.4 - Concepção do inversor: (a) Sub-conversores CC-CC híbridos. b) Inversor diferencial *boost* híbrido proposto.

Conversores híbridos não são estruturas recentes na literatura, pois células multiplicadoras a capacitor e/ou indutor chaveado já foram, fundamentalmente, implementadas em todos os conversores elevadores

² A grafia do termo *SC* será mantida para ambas as representações: singular e plural.

e abaixadores básicos [10, 48]. A análise dos conversores híbridos permite concluir, que tais conversores apresentam ganhos superiores aos correlatos conversores convencionais.

Apesar de inversores utilizando o conceito *SC* já terem sido propostos [49, 50], apenas inversores puramente *SC* haviam sido abordados até então.

Nesse cenário, o *HSC* apresenta-se como uma solução atraente na conversão direta CC-CA [51], conforme se propõe neste trabalho. Além da contribuição deste trabalho no que diz respeito à proposição de uma nova topologia inversora elevadora de estágio único, esta pesquisa aborda os conceitos necessários para controlá-la. A Figura 1.5 apresenta, de forma simplificada, o diagrama de blocos de controle e modulação, a ser implementado, para a regulação da tensão de saída do inversor diferencial proposto.

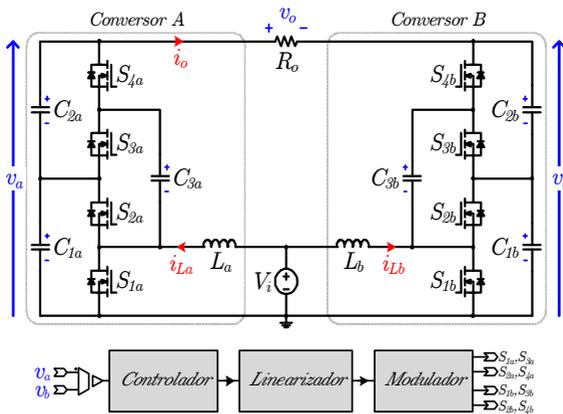


Figura 1.5 - Diagrama de blocos de controle e modulação do inversor diferencial *boost* híbrido proposto³.

Inúmeras são as técnicas de modulação que podem ser adotadas no acionamento dos inversores de tensão. Devido à relativa simplicidade de implementação, a modulação por largura de pulso (*PWM*) é tradicionalmente adotada pela indústria. Esse esquema de modulação

³ Inicialmente, analisou-se a necessidade da captação das tensões de cada um dos sub-conversores (v_a e v_b), no entanto, o protótipo implementado amostra apenas a tensão diferencial (v_{ab} ou v_o).

pode, ainda, ser sintetizado, *e.g.*, *PWM* sinusoidal, injeção de terceira harmônica, eliminação seletiva harmônica, e modulação vetorial [52]. Entretanto, a modulação senoidal ainda é a mais utilizada pela indústria por ser de fácil implementação. Neste trabalho, o inversor proposto será analisado inicialmente sob modulação *PWM* senoidal de dois níveis (bipolar), em seguida aplica-se a modulação de três níveis (unipolar), além de uma estratégia de linearização de ganho, que será detalhada no Capítulo 3.

A literatura apresenta uma preocupação especial com relação ao controle dos inversores tipo *boost* quando características de estabilidade e a própria não-linearidade de ganho são consideradas. Na abordagem apresentada por [18], inicialmente opta-se por um controlador linear, posteriormente, um controlador mais robusto é, então, implementado [53]. Técnicas de linearização já foram também consideradas na busca da minimização do comportamento não-linear de ganho dessa família de conversores [54]. Em [35], por exemplo, propõe-se a linearização da tensão total de saída. Em todos esses casos se obteve uma resposta dinâmica com resultados limitados. Técnicas de controle não-linear, em especial o controle por modo deslizante (*SMC - sliding mode control*) já foram também implementadas [19, 55], no entanto, uma vez mais a operação com frequência variável se apresenta como fator complicador na análise dos elementos magnéticos e da célula *SC*.

1.2. OBJETIVO DA TESE

A presente tese tem como objetivo geral a investigação de um inversor de estágio único e ganho elevado, do tipo diferencial baseado na topologia do conversor *boost* híbrido. Para se alcançar esse objetivo diversas etapas foram realizadas, dentre as quais destacam-se:

- Revisão bibliográfica;
- Identificação de uma topologia que possibilite a elevação de ganho estático mantendo-se, porém, reduzido os esforços de tensão nos interruptores;
- Proposição e validação de um modelo simplificado para o sub-conversor *boost* híbrido;

- Proposição de uma estratégia de linearização de ganho para inversores *boost* diferenciais e híbridos;
- Análise comparativa das modulações de dois e três níveis, com e sem linearização;
- Análise da viabilidade de modelagem simplificada do inversor diferencial híbrido e, conseqüente validação do modelo;
- Análise e proposição de estratégia de controle;
- Análise, projeto e implementação de um protótipo de um inversor *boost* híbrido;
- Realização de testes para validação da estratégia de projeto e controle;

1.3. ESTRUTURA DO TRABALHO

O presente trabalho encontra-se organizado em capítulos. Neste primeiro capítulo apresenta-se uma introdução, contextualização, revisão bibliográfica e a proposta de tese. No Capítulo 2 analisa-se o conversor *boost* híbrido, apresentando seu princípio de funcionamento, sua modelagem por espaço de estados, a proposição e validação de um modelo simplificado, a implementação de um protótipo de 150 W, além de testes do conversor operando em malha aberta e fechada. O Capítulo 3 inicia com uma breve revisão acerca dos inversores diferenciais e finaliza com a proposta de um novo inversor diferencial *boost* híbrido, analisado sob modulação bipolar e unipolar, operando a vazio, com carga resistiva, indutiva e não-linear. Neste capítulo apresenta-se, também, uma estratégia de linearização, além da modelagem simplificada do inversor híbrido. No Capítulo 4 é apresentado um exemplo de projeto do inversor híbrido, analisado, inicialmente, por meio de simulação numérica. Posteriormente, um protótipo de 500 W é construído e testado, operando de forma autônoma e, alimentando cargas resistivas, indutivas e não-lineares. Finalizando este trabalho, o Capítulo 5 analisa um protótipo de 250 W em aplicações conectadas à rede elétrica, além de uma comparação entre os inversores híbrido (*SCDBI*) e convencional (*DBI*).

1.4. TRABALHOS PUBLICADOS

A partir dos estudos realizados durante o período de doutoramento foram publicados alguns artigos em conferências e periódicos relacionados ao tema de pesquisa:

- **G. V. Silva, R. F. Coelho, and T. B. Lazzarin**, "State space modeling of a hybrid Switched-Capacitor boost converter," in *2015 IEEE 1st Southern Power Electronics Conference (SPEC)*, 2015, pp. 1-6.
- **G. V. Silva, R. F. Coelho, and T. B. Lazzarin**, "Switched capacitor boost inverter," in *2016 IEEE 25th International Symposium on Industrial Electronics (ISIE)*, 2016, pp. 528-533.
- **G. V. Silva, R. F. Coelho, and T. B. Lazzarin**, "Switched-capacitor differential boost inverter: Static gain and generalized structure," in *2016 12th IEEE International Conference on Industry Applications (INDUSCON)*, 2016, pp. 1-8.
- **G. V. Silva, R. F. Coelho, and T. B. Lazzarin**, "Modelagem do conversor *boost* com células a capacitor chaveado por meio de um conversor equivalente de ordem reduzida," *Eletrônica de Potência, SOBRAEP Transactions*, vol. 22, pp. 288-297, 2017.
- **J. M. Andrade, G. V. Silva, R. F. Coelho, and T. B. Lazzarin**, "Inversor *boost* a capacitor chaveado conectado à rede elétrica," *Eletrônica de Potência, SOBRAEP Transactions*, vol. 23, pp. 466-476, 2018.

1.5. CONCLUSÕES PARCIAIS

Este capítulo abordou aspectos introdutórios e motivacionais relacionados à contextualização da proposta de trabalho, além da proposição, propriamente dita, do novo inversor *boost* a capacitor chaveado. Algumas análises preliminares da nova topologia, assim como de outras topologias inversoras com característica elevadora, são igualmente apresentadas.

2. CONVERSOR CC-CC *BOOST* HÍBRIDO

2.1. INTRODUÇÃO

Os conversores estáticos tradicionais apresentam vantagens como uma boa regulação da tensão, com modelos dinâmicos tipicamente de primeira ou segunda ordem, e uma consequente análise simplificada. No entanto, quando altas taxas de conversão são necessárias, tais conversores, tradicionalmente, apresentam desvantagens como ganho limitado, baixa eficiência e alto nível de estresse nos componentes.

Conversores a capacitor chaveado (*SC - switched-capacitor*) oferecem alta taxa de conversão [38, 56, 57], reduzido estresse, alta eficiência, além de, ausência de magnéticos (*magnetic-less*). Contudo, sua tensão de saída não pode ser regulada por meio de métodos de controle tradicionais, o que poderia resultar em uma elevada regulação da tensão de saída [37, 39, 58, 59].

Recentemente, a integração de conversores a capacitor chaveado e convencionais têm sido proposta [60]. Essa nova família, denominada de conversores híbridos (*HSC - hybrid switched-capacitor*), apresenta vantagens, tais como alta taxa de conversão, elevada eficiência, redução de estresse e de regulação da tensão. Porém, tais conversores podem tornar-se pouco atrativos caso a elevada ordem associada aos modelos dinâmicos, necessária à concepção de controle, seja considerada.

Este capítulo inicia com uma breve análise do conversor CC-CC *boost* híbrido. Desenvolve-se, em seguida, uma metodologia para a modelagem do mesmo, que adota a teoria de espaço de estados e permite definir os modelos estático e dinâmico. Após a modelagem, propõe-se um modelo simplificado para substituir o conversor *HSC* original, fornecendo, assim, uma função de transferência de ordem reduzida, mas ainda com dinâmica equivalente. Esse modelo simplificado pode, e deve ser adotado na concepção dos controladores. A análise é verificada através de simulação e experimentação, comparando-se o comportamento dos conversores híbrido e simplificado equivalente.

2.2. CONVERSOR BOOST

Inicialmente, efetua-se a análise do circuito do conversor *boost* convencional ilustrado na Figura 2.1, que deve servir como base de comparação para o comportamento dos demais conversores. Idealmente, o ganho do conversor *boost* torna-se infinito quando a razão cíclica (d) atinge valor unitário. Na prática, entretanto, tal razão de conversão é limitada devido às perdas. Nesse caso específico, r_L representa, de forma concentrada, a resistência do indutor *boost*.

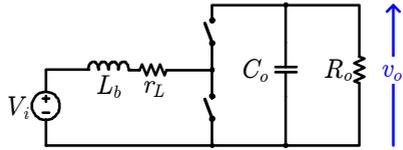


Figura 2.1 - Circuito do conversor *boost* convencional.

Considerando-se os princípios de equilíbrio de fluxo, balanço de carga e reduzida ondulação de tensão, pode-se identificar o ganho do conversor, conforme, tradicionalmente, apresentado na literatura [61]. O ganho não-ideal (G_b) do circuito operando no modo de condução contínua (MCC), para diferentes níveis de perdas (relação entre r_L/R_o), é descrito na equação (2.1) e representado na Figura 2.2.

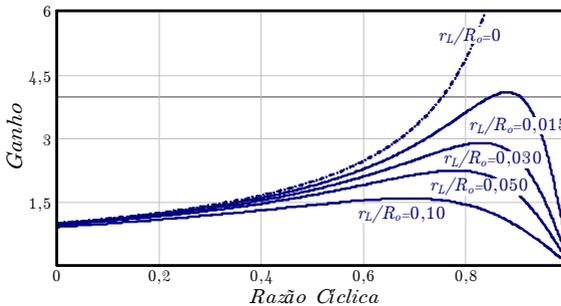


Figura 2.2 - Ganho de tensão do conversor *boost* para diferentes níveis de perdas⁴.

$$G_b = \frac{1}{(1-d)} \left[\frac{1}{1 + r_L / (1-d)^2 R_o} \right] \quad (2.1)$$

⁴ Onde r_L representa a resistência do indutor *boost*.

Pode-se observar que, sob tais circunstâncias, o ganho de tensão é pouco superior a 4, quando a resistência que concentra as perdas r_L atinge 1,5% da resistência de carga R_o . Dessa forma, tal conversor possui uma limitação natural de ganho, fazendo com que, quando uma taxa de conversão mais alta seja necessária, outras estruturas devam ser empregadas.

2.3. CÉLULA MULTIPLICADORA A CAPACITOR CHAVEADO

Uma solução apresentada na literatura para elevar o ganho de um conversor é a sua integração com a célula multiplicadora a capacitor chaveado (*SC - switched-capacitor*).

Conversores a capacitor chaveado (*SC*) empregam apenas capacitores e dispositivos de comutação. A ausência de componentes magnéticos ajuda a reduzir o volume e custo do sistema [62]. Os primeiros conversores *SC* foram desenvolvidos para a conversão CC-CC e, recentemente, esse princípio tem sido empregado em conversões CA-CC, CC-CA e CA-CA [37]. A configuração *ladder*⁵ para 1, 2 e n células multiplicadoras/divisoras [58] é apresentada na Figura 2.3. A taxa de conversão é obtida por meio de chaveamento periódico dos capacitores, o que assegura um balanceamento natural de tensão. Portanto, conforme a Figura 2.3, tal topologia opera com $V_o = kV_{in}$, sendo k o ganho da célula. Nota-se um significativo ganho de tensão e, teoricamente, por meio do aumento do número de capacitores, qualquer relação seria alcançada. No entanto, a tensão de saída não pode ser regulada por métodos clássicos, o que resulta em uma regulação deficiente [63-68].

Porém, ao considerar-se o uso de topologias a capacitor chaveado, algumas particularidades devem ser levantadas, dentre elas o nível de carga em um período de comutação. Conforme proposto na literatura [69], a operação de conversores a capacitor chaveado é usualmente representada por um circuito *RC* de primeira ordem.

⁵ Topologias básicas das células multiplicadora: Cockcroft-Walton (*CW*) [63], inicialmente proposta por Greinacher em 1920 [64]; *Ladder (LD)* [65]; Dickson (*DK*) [66]; Fibonacci (*FB*) [67] e Valley-Fill (*VF*) [68], inicialmente apresentada por Spangler em 1988.

Analisando-se o comportamento das correntes, conforme Figura 2.4, Ben-Yaakov (2012) propôs a definição de três modos de operação, com base na constante de tempo τ . Para constantes de tempo muito inferiores ao período de comutação ($\tau \ll T_s$) denomina-se modo de carga completa (*CaC - complete charge*), para constantes de tempos próximas ao período de comutação ($\tau \approx T_s$) modo de carga parcial (*CaP - partial charge*), ou ainda, para constantes de tempo muito superiores ao período de comutação ($\tau \gg T_s$) classifica-se como modo de carga nula (*CaN - no charge*).

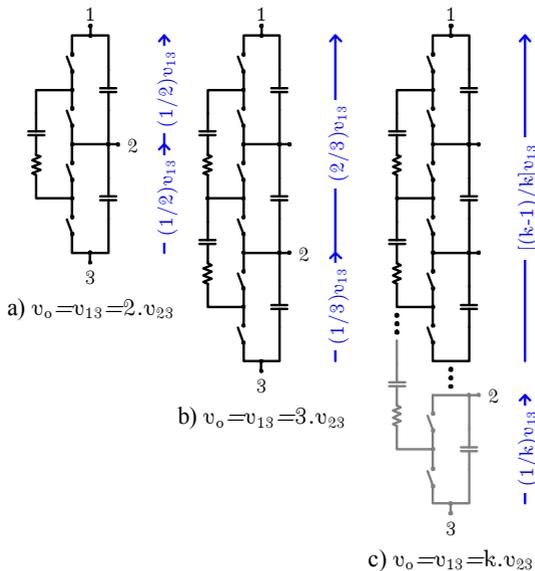


Figura 2.3 - Generalização da célula multiplicadora a capacitor chaveado⁶.

A Figura 2.4 ilustra os três modos de condução mencionados. Os modos *CaP* e *CaN* reduzem a corrente eficaz nos capacitores e interruptores, elevando a eficiência do sistema, sendo os modos preferidos de operação. Contudo, o modo *CaN*, geralmente, demanda uma alta frequência de comutação e/ou grandes capacitâncias, além disso, suas vantagens em relação ao *CaP* são tradicionalmente pouco significativas

⁶ Onde k representa o ganho da célula multiplicadora.

[70, 71]. A Tabela 2.1 repete a definição dos modos de operação do capacitor chaveado proposta por [72]. Tais definições pressupõem que a resistência parasita não possa/deva ser alterada, mas, que seja um parâmetro físico do circuito. Portanto, para fins práticos, o modo de carga parcial *CaP* oferece a melhor combinação para as perdas, a frequência e a capacitância [57].

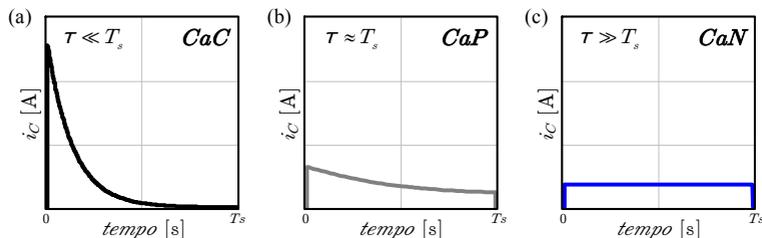


Figura 2.4 - Modos de operação do capacitor chaveado: (a) Carga Completa (*CaC*), (b) Carga Parcial (*CaP*) e (c) Carga Nula (*CaN*).

Tabela 2.1 - Intervalos para os modos de operação do capacitor chaveado.

Modo	Intervalo de Operação	R_{eq} pu
<i>CaC</i>	$f_s \tau < 0,1$	$f_s \tau = 0,10 \Rightarrow 2,53 pu$
<i>CaP</i>	$0,1 \leq f_s \tau < 1,44$	$f_s \tau = 0,50 \Rightarrow 1,08 pu$ $f_s \tau = 1 \Rightarrow 1,02 pu$
<i>CaN</i>	$f_s \tau \geq 1,44$	$f_s \tau = 1,44 \Rightarrow 1,01 pu$

Dessa forma, a influência relacionada à célula multiplicadora a capacitor chaveado precisaria, também, ser considerada. Podendo-se, inicialmente, identificar a resistência equivalente⁷ (R_{eqH}), conforme [41, 69] demonstra a equação (2.2) e ilustra a Figura 2.5.

$$R_{eqH} = \frac{1}{f_s C} \frac{(1 - e^{-1/f_s \tau})}{\left[1 - (e^{-(d)/f_s \tau} + e^{-(1-d)/f_s \tau}) + e^{-1/f_s \tau}\right]} \quad (2.2)$$

Sendo a constante de tempo do circuito definida por: $\tau = r_C C$. Onde r_C representa a resistência total de condução, C a capacitância

⁷ Resistência equivalente referenciada ao lado de alta tensão.

adotada na implementação da célula, f_s a frequência de chaveamento e \bar{G} o ganho normalizado da célula multiplicadora.

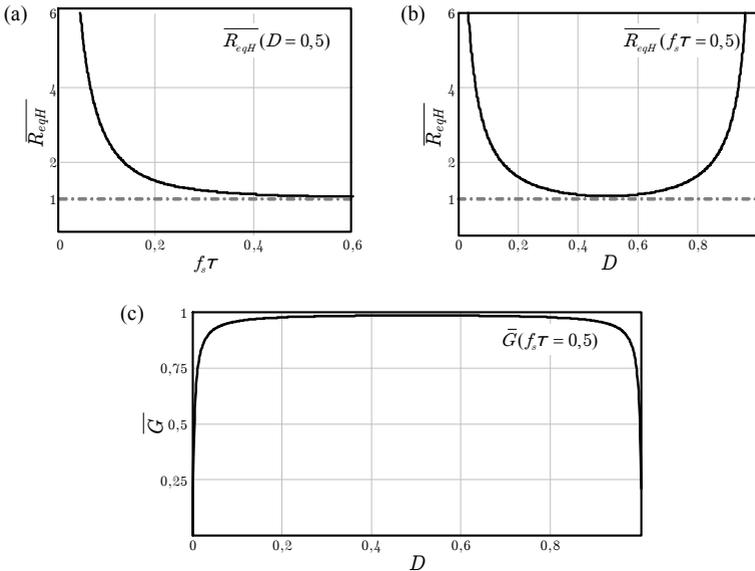


Figura 2.5 - Análise da influência da célula multiplicadora: (a) e (b) Resistência equivalente normalizada⁸, (c) Ganho normalizado.

2.4. CONVERSOR *BOOST* HÍBRIDO

Em relação aos conversores convencionais não isolados, pode-se afirmar que, tais conversores apresentam, tradicionalmente, boa regulação de tensão e modelos dinâmicos relativamente simplificados. Porém, algumas desvantagens são características, tais como, o ganho limitado, a reduzida eficiência e, em alguns casos, a elevada tensão sobre os componentes. Recentemente, a integração entre capacitores chaveados e conversores convencionais tem sido proposta na literatura [54], conforme ilustra a Figura 2.6. Tais conversores, designados como híbridos, basicamente resultam da síntese de um conversor convencional e uma célula multiplicadora a capacitor chaveado [46, 47]. Esses

⁸ Sendo a resistência equivalente normalizada definida por: $\bar{R}_{eqH} = R_{eqH} / 4r_C$.

conversores proporcionam ganhos extremos, eficiência elevada, redução de esforços, além de melhoria na regulação da tensão de saída. Como desvantagem, tais conversores apresentam modelos dinâmicos de elevada ordem, o que poderia dificultar a elaboração do controle. No entanto, a literatura já dispõe de metodologias simplificadas para a modelagem desses novos conversores [73, 74].

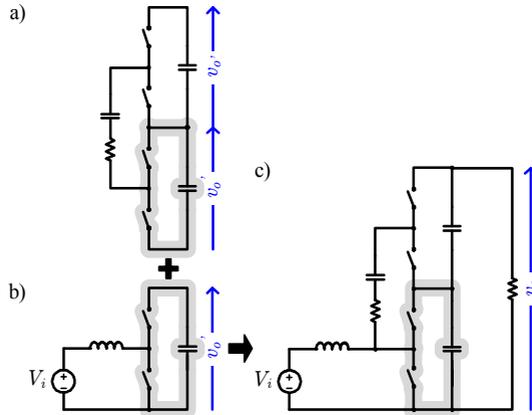


Figura 2.6 - Concepção do conversor híbrido: (a) célula multiplicadora a capacitor chaveado, (b) conversor *boost* convencional, (c) conversor *boost* híbrido.

Retomando-se a equação (2.1) e, considerando-se o ganho da célula multiplicadora, pode-se identificar o ganho não-ideal do conversor híbrido (G_h)⁹, conforme equação (2.3).

$$G_h = \frac{k}{(1-d)} \left[\frac{1}{1+r_L/(1-d)^2 R_o} \right] \quad (2.3)$$

Onde r_L representa, de forma concentrada, a resistência do indutor *boost*, k o ganho da célula multiplicadora e R_o a resistência de carga. A Figura 2.7 apresenta uma análise equivalente à ilustrada na Figura 2.2, na qual identificam-se os ganhos ideal e com perdas para o conversor *boost* convencional (G_b) e híbrido (G_h).

Em uma análise inicial, a Figura 2.7 evidencia que, a característica limitação de ganho do conversor *boost* é preservada,

⁹ Onde k representa o ganho da célula multiplicadora.

entretanto, seu ganho estático pode ser basicamente duplicado. Nesse caso, a relação entre r_L/R_o foi mantida em 1,5%, sendo esse valor adotado como referência durante as demais análises apresentadas neste trabalho.

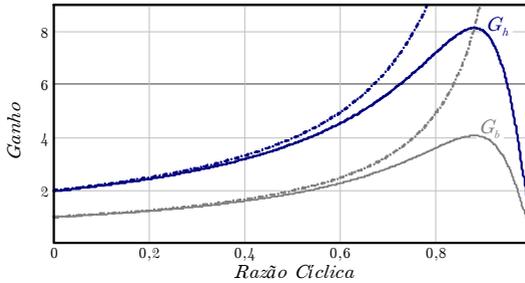


Figura 2.7 - Ganho ideal e real¹⁰ dos conversores *boost* híbrido e convencional.

Caso considere-se um exemplo de projeto com ganho igual a 6, pode-se observar que o ganho do conversor *boost* tradicional não atenderia as supostas especificações. Esse conversor apresentaria, nessas condições, um ganho máximo levemente superior a 4, e, ainda, operando com uma razão cíclica extrema (próxima de 0,9). No entanto, como resultado da inserção da célula multiplicadora, o ganho especificado poderia ser atendido, conforme Figura 2.7, resultando em uma sensível redução da razão cíclica (pouco superior a 0,7).

Note-se que, inicialmente, o ganho da célula *SC* foi considerado constante com valor k . Porém, de forma semelhante à abordagem adotada no levantamento de ganho apresentado na Figura 2.2, na qual apenas as não idealidades do indutor foram consideradas, observa-se uma nova característica, considerando-se, também, as não-idealidades da célula multiplicadora.

Retomando-se a análise apresentada na Figura 2.5, na qual se identifica o ganho específico da célula e, multiplicando-se o ganho do conversor *boost* e célula multiplicadora, obtém-se o ganho total do conversor híbrido, conforme ilustra Figura 2.8.

¹⁰ Considerando-se uma única célula multiplicadora, ou seja, $k=2$ e $r_L = 1,5\%$.

Na Figura 2.8 reúnem-se a influência das perdas associadas ao conversor *boost* e à célula multiplicadora. Diferentes níveis de perdas nos capacitores da célula (relação r_C/R_o) são , também, considerados. Observar-se uma pequena redução de ganho para as razões cíclicas extremas, conforme tradicional característica associada às células *SC*.

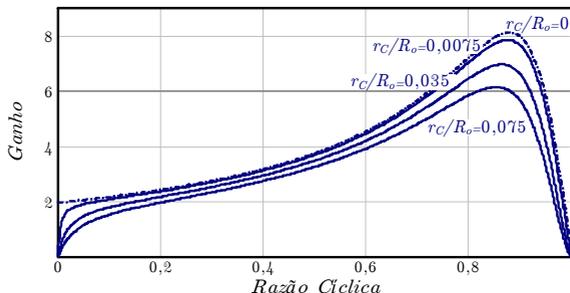


Figura 2.8 - Ganho de tensão do conversor híbrido¹¹ para diferentes níveis de perdas na célula multiplicadora¹².

2.5. ANÁLISE DO CONVERSOR HÍBRIDO

O conversor híbrido analisado em [46, 47] e apresentado na Figura 2.9 foi selecionado para análise. Como resultado da inserção da célula a capacitor chaveado a tensão de saída pode ser duplicada mantendo-se os interruptores sob tensão reduzida.

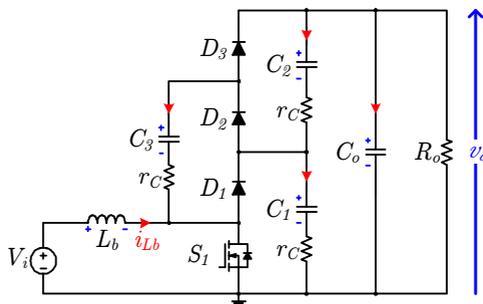


Figura 2.9 - Conversor híbrido a capacitor chaveado analisado.

¹¹ Mantendo-se as mesmas considerações de $k=2$ e $r_L=1,5\%$.

¹² Onde r_C representa a resistência da célula multiplicadora, podendo ser considerada de forma concentrada ou distribuída.

A topologia analisada é composta pelo indutor *boost*, três capacitores, idênticos, da célula multiplicadora e o capacitor de saída¹³. O conversor possui dois estados topológicos apresentados na Figura 2.10 e Figura 2.11. Considerando-se que o objetivo principal deste material relaciona-se à modelagem do conversor, a análise das etapas de operação será abordada de forma simplificada.

A técnica de espaço de estados foi adotada para a modelagem do conversor, respeitando-se as polaridades apresentadas na Figura 2.9.

2.5.1. Primeira etapa de operação do conversor híbrido

De forma semelhante ao conversor *boost* convencional, o primeiro estado de operação corresponde à acumulação indutiva, sendo a energia subsequentemente transferida à carga.

Importante registrar que, numa primeira aproximação, apenas as não-idealidades relacionadas à célula multiplicadora serão consideradas, além disso, assumir-se-á idêntica influência, *i.e.*, $r_{C1} = r_{C2} = r_{C3} = r_C$.

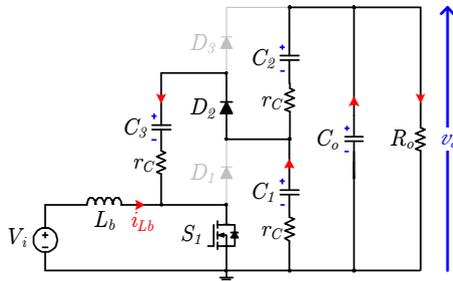


Figura 2.10 - Primeira etapa de operação do conversor.

Considerando-se as leis de Kirchhoff de tensão (*KVL*) e corrente (*KCL*), pode-se facilmente identificar as equações que descrevem a primeira etapa de operação:

$$V_i = v_{Lb} \quad (2.4)$$

$$i_{C2} = i_{C1} + i_{C3} \quad (2.5)$$

¹³ Cabe ressaltar que o capacitor C_o de saída, embora redundante e ausente na topologia original, quando utilizado, possibilita a equalização das correntes nos capacitores da célula multiplicadora e, por isso, será também considerado nesta análise.

$$v_{C1} = -i_{C1} r_C + i_{C3} r_C + v_{C3} \quad (2.6)$$

$$v_{Co} = i_{C2} r_C + v_{C2} + i_{C1} r_C + v_{C1} \quad (2.7)$$

$$-i_{C2} - i_{Co} - \frac{v_{Co}}{R_o} = 0 \quad (2.8)$$

2.5.2. Segunda etapa de operação do conversor híbrido

Posteriormente, as equações relacionadas à segunda etapa de operação podem, também, ser apresentadas:

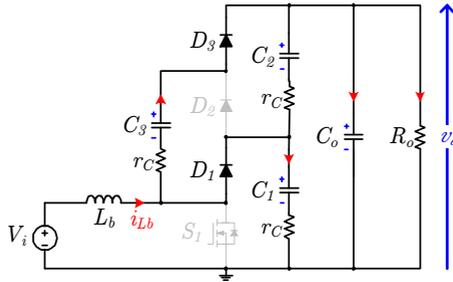


Figura 2.11 - Segunda etapa de operação do conversor.

$$i_{C1} = i_{C3} + i_{Lb} + i_{C2} \quad (2.9)$$

$$v_{C3} = -i_{C3} r_C + i_{C2} r_C + v_{C2} \quad (2.10)$$

$$v_{Co} = i_{C2} r_C + v_{C2} + i_{C1} r_C + v_{C1} \quad (2.11)$$

$$V_i = v_{Lb} + i_{C1} r_C + v_{C1} \quad (2.12)$$

$$i_{C3} + i_{C2} + \frac{v_{Co}}{R_o} + i_{Co} = 0 \quad (2.13)$$

Deve-se, nesse momento, reescrever as equações, referentes a ambas as etapas, em função das variáveis de estado: i_{Lb} , v_{C1} , v_{C2} , v_{C3} e v_{Co} .

2.5.3. Modelagem por espaço de estados

Com o objetivo de se determinar o modelo estático, *e.g.*, esforços nos componentes, corrente no indutor *boost* e tensões sobre os capacitores da estrutura, e modelo dinâmico, adotou-se a teoria de espaço de estados [75-78].

Considera-se o conversor controlado por modulação *PWM* (*pulse-width modulation*), operando em condução contínua e, que as frequências naturais do conversor, além das oscilações de entrada sejam muito menores que a frequência de chaveamento. Nesse caso, inicia-se a busca do modelo de espaço de estados do conversor operando em equilíbrio.

2.5.3.1. Modelo estático de espaço de estados médio

O sistema apresentado em (2.14) descreve o modelo do conversor *HSCC*, onde \mathbf{A} , \mathbf{B} , \mathbf{C} e \mathbf{E} representam as matrizes médias calculadas em um período de comutação T_s e \mathbf{x} , \mathbf{u} , e \mathbf{y} as variáveis instantâneas de estado, entrada e saída, respectivamente.

$$\begin{cases} \mathbf{K} \dot{\mathbf{x}} = \mathbf{A}\mathbf{x} + \mathbf{B}\mathbf{u} \\ \mathbf{y} = \mathbf{C}\mathbf{x} + \mathbf{E}\mathbf{u} \end{cases} \quad (2.14)$$

Durante o primeiro intervalo, com o interruptor habilitado à condução, ocorre a magnetização do indutor *boost* (L_b). Nesse momento, pode-se reduzir o conversor a um circuito linear, que pode ser representado pelas seguintes equações de estado:

$$\begin{cases} \mathbf{K} \dot{\mathbf{x}} = \mathbf{A}_1 \mathbf{x} + \mathbf{B}_1 \mathbf{u} \\ \mathbf{y} = \mathbf{C}_1 \mathbf{x} + \mathbf{E}_1 \mathbf{u} \end{cases} \quad (2.15)$$

Onde:

$$\mathbf{K} = \begin{bmatrix} L_b & 0 & 0 & 0 & 0 \\ 0 & C_1 & 0 & 0 & 0 \\ 0 & 0 & C_2 & 0 & 0 \\ 0 & 0 & 0 & C_3 & 0 \\ 0 & 0 & 0 & 0 & C_o \end{bmatrix}, \quad (2.16)$$

$$\mathbf{x} = \begin{bmatrix} i_{L_b} \\ v_{C_1} \\ v_{C_2} \\ v_{C_3} \\ v_{C_o} \end{bmatrix}, \quad \mathbf{u} = [V_i], \quad \mathbf{y} = \begin{bmatrix} i_{L_b} \\ v_{C_o} \end{bmatrix} \quad (2.17)$$

Pode-se então, determinar as matrizes que representam a primeira etapa de operação:

$$\mathbf{A}_1 = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & \frac{-2}{3r_c} & \frac{-1}{3r_c} & \frac{1}{3r_c} & \frac{1}{3r_c} \\ 0 & \frac{-1}{3r_c} & \frac{-2}{3r_c} & \frac{-1}{3r_c} & \frac{2}{3r_c} \\ 0 & \frac{1}{3r_c} & \frac{-1}{3r_c} & \frac{-2}{3r_c} & \frac{1}{3r_c} \\ 0 & \frac{1}{3r_c} & \frac{2}{3r_c} & \frac{1}{3r_c} & \frac{-3r_c - 2R_o}{3r_c R_o} \end{bmatrix}, \mathbf{B}_1 = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (2.18)$$

$$\mathbf{C}_1 = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix} \text{ e } \mathbf{E}_1 = \begin{bmatrix} 0 \\ 0 \end{bmatrix} \quad (2.19)$$

Num segundo momento, com o interruptor bloqueado, e a energia ora acumulada sendo transferida à carga, novas equações de estado, representando o segundo estado topológico, podem ser identificadas:

$$\begin{cases} \mathbf{K} \dot{\mathbf{x}} = \mathbf{A}_2 \mathbf{x} + \mathbf{B}_2 \mathbf{u} \\ \mathbf{y} = \mathbf{C}_2 \mathbf{x} + \mathbf{E}_2 \mathbf{u} \end{cases} \quad (2.20)$$

Pode-se determinar as matrizes que representam, de maneira simplificada, a segunda etapa de operação.

$$\mathbf{A}_2 = \begin{bmatrix} \frac{-r_c}{3} & \frac{-1}{3} & \frac{1}{3} & \frac{1}{3} & \frac{-2}{3} \\ \frac{1}{3} & \frac{-2}{3r_c} & \frac{-1}{3r_c} & \frac{-1}{3r_c} & \frac{2}{3r_c} \\ \frac{-1}{3} & \frac{-1}{3r_c} & \frac{-2}{3r_c} & \frac{1}{3r_c} & \frac{1}{3r_c} \\ \frac{-1}{3} & \frac{-1}{3r_c} & \frac{1}{3r_c} & \frac{-2}{3r_c} & \frac{1}{3r_c} \\ \frac{2}{3} & \frac{2}{3r_c} & \frac{1}{3r_c} & \frac{1}{3r_c} & \frac{-3r_c - 2R_o}{3r_c R_o} \end{bmatrix}, \mathbf{B}_2 = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (2.21)$$

$$\mathbf{C}_2 = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix} \text{ e } \mathbf{E}_2 = \begin{bmatrix} 0 \\ 0 \end{bmatrix} \quad (2.22)$$

Ponderando-se cada matriz à razão cíclica D (*duty-cycle*), pode-se, então, determinar as matrizes médias de estado.

$$\begin{cases} \mathbf{A} = [\mathbf{A}_1 D + \mathbf{A}_2 (1-D)] \\ \mathbf{B} = [\mathbf{B}_1 D + \mathbf{B}_2 (1-D)] \\ \mathbf{C} = [\mathbf{C}_1 D + \mathbf{C}_2 (1-D)] \\ \mathbf{E} = [\mathbf{E}_1 D + \mathbf{E}_2 (1-D)] \end{cases} \quad (2.23)$$

Obtendo-se assim as matrizes:

$$\mathbf{A} = \begin{bmatrix} \frac{r_c(D-1)}{3} & \frac{(D-1)}{3} & \frac{(1-D)}{3} & \frac{(1-D)}{3} & \frac{(2D-2)}{3} \\ \frac{(1-D)}{3} & \frac{-2}{3r_c} & \frac{-1}{3r_c} & \frac{(2D-1)}{3r_c} & \frac{(2-D)}{3r_c} \\ \frac{(D-1)}{3} & \frac{-1}{3r_c} & \frac{-2}{3r_c} & \frac{(1-2D)}{3r_c} & \frac{(D+1)}{3r_c} \\ \frac{(D-1)}{3} & \frac{(2D-1)}{3r_c} & \frac{(1-2D)}{3r_c} & \frac{-2}{3r_c} & \frac{1}{3r_c} \\ \frac{(2-2D)}{3r_c} & \frac{(2-D)}{3r_c} & \frac{(D+1)}{3r_c} & \frac{1}{3r_c} & \frac{-3r_c-2R_o}{3r_c R_o} \end{bmatrix}, \quad (2.24)$$

$$\mathbf{B} = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix}, \quad \mathbf{C} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix} \text{ e } \mathbf{E} = \begin{bmatrix} 0 \\ 0 \end{bmatrix}. \quad (2.25)$$

Para a obtenção das funções de transferência por meio da aplicação da transformada de Laplace, faz-se necessário proceder a linearização. Para tanto, consideram-se pequenas perturbações \hat{d} , \hat{x} , \hat{u} , e \hat{y} em torno do ponto de operação D, X, U, Y do conversor, conforme descreve (2.26).

$$\begin{cases} d = D + \hat{d} \\ x = X + \hat{x} \\ u = U + \hat{u} \\ y = Y + \hat{y} \end{cases} \quad (2.26)$$

Aplicando-se (2.26) em (2.14), e sendo em regime $\dot{X} = 0$, o vetor médio composto pelas componentes contínuas pode assim ser obtido¹⁴:

$$\begin{cases} \mathbf{X} = -(\mathbf{A})^{-1} \mathbf{B} \mathbf{U} \\ \mathbf{Y} = (-\mathbf{C} \mathbf{A}^{-1} \mathbf{B} + \mathbf{E}) \mathbf{U} \end{cases} \quad (2.27)$$

Os resultados representam¹⁵, respectivamente a corrente do indutor i_{Lb} e as tensões dos capacitores v_{C1} , v_{C2} , v_{C3} e v_{Co} do conversor híbrido.

$$\mathbf{X} = \begin{bmatrix} \frac{8DV_i}{(3r_C - 4D^2 R_o + 2D^3 R_o - 3Dr_C + 2DR_o)} \\ \frac{V_i(3r_C - 2D^2 R_o - 2Dr_C + 2DR_o)}{(3r_C - 4D^2 R_o + 2D^3 R_o - 3Dr_C + 2DR_o)} \\ \frac{-V_i(3r_C + 2D^2 R_o - 2Dr_C - 2DR_o)}{(3r_C - 4D^2 R_o + 2D^3 R_o - 3Dr_C + 2DR_o)} \\ \frac{-V_i(3r_C + 2D^2 R_o - 4Dr_C - 2DR_o)}{(3r_C - 4D^2 R_o + 2D^3 R_o - 3Dr_C + 2DR_o)} \\ \frac{4DR_o V_i}{(-2R_o D^2 + 2R_o D + 3r_C)} \end{bmatrix} \quad (2.28)$$

Onde:

- V_i - tensão de entrada;
- D - razão cíclica;
- r_C - resistência série equivalente;
- R_o - resistência de carga.

Observa-se que, negligenciando, apenas de forma didática, os efeitos da resistência da célula multiplicadora r_C ¹⁶, a matriz (2.28) pode ser reescrita conforme (2.29)¹⁷.

¹⁴ Apenas com o objetivo de simplificar o texto, o desenvolvimento da modelagem por espaço de estados, é detalhadamente apresentado no Apêndice C.

¹⁵ Deve-se observar que, neste caso específico, as variáveis de saída (i_{Lb} e v_{Co}) confundem-se com as próprias variáveis de estados, eliminando-se assim a necessidade da busca da matriz \mathbf{Y} .

¹⁶ Ao se operar com capacitores de filme, de baixa ESR (*Equivalent Series Resistance*), a resistência da célula r_C está basicamente relacionada a resistências de condução dos interruptores.

¹⁷ Apenas por comodidade, aqui apresentada sob a forma transposta.

Resumindo as variáveis de estado previamente definidas, é possível identificar claramente o ganho idealizado do conversor *boost* híbrido. Nesse caso, a célula multiplicadora apresenta ganho $k=2$.

$$\mathbf{X} = \begin{bmatrix} \frac{4V_i}{R_o(D-1)^2} & \frac{V_i}{(1-D)} & \frac{V_i}{(1-D)} & \frac{V_i}{(1-D)} & \frac{2V_i}{(1-D)} \end{bmatrix}^T \quad (2.29)$$

Uma vez determinado o modelo médio CC, pode-se identificar os esforços nos componentes da topologia¹⁸. Novamente, com o objetivo de simplificar o texto, será apresentada apenas uma síntese dos esforços nos capacitores, interruptor e diodos que compõem a topologia em análise, conforme Tabela 2.2.

Tabela 2.2 - Esforços sobre os componentes - Operação em regime.

Elemento	Tensão	Corrente	
	Valor pico	Valor eficaz	Valor médio
C_1	$\frac{V_o}{2}$	$\frac{I_{Lb}}{4} \sqrt{\frac{1-D}{D}}$	---
C_2	$\frac{V_o}{2}$	$\frac{I_{Lb}}{4} \sqrt{\frac{1-D}{D}}$	---
C_3	$\frac{V_o}{2}$	$\frac{I_{Lb}}{2} \sqrt{\frac{1-D}{D}}$	---
C_o	V_o	$\frac{I_{Lb}}{4} \sqrt{\frac{(1-D)(2D+1)^2}{D}}$	---
S_1	$\frac{V_o}{2}$	$\frac{I_{Lb}(D+1)}{2\sqrt{D}}$	$\frac{I_{Lb}(D+1)}{2}$
D_1	$\frac{V_o}{2}$	$\frac{I_{Lb}}{2} \sqrt{1-D}$	$\frac{I_{Lb}(1-D)}{2}$
D_2	$\frac{V_o}{2}$	$\frac{I_{Lb}(D-1)}{2\sqrt{D}}$	$\frac{I_{Lb}(1-D)}{2}$
D_3	$\frac{V_o}{2}$	$\frac{I_{Lb}}{2} \sqrt{1-D}$	$\frac{I_{Lb}(1-D)}{2}$

¹⁸ Novamente, com o objetivo de simplificar o texto, a análise de esforços nos componentes será apresentada no Apêndice D.

2.5.3.2. Modelo dinâmico médio de pequenos sinais

Apenas por comodidade, o sistema (2.14) é aqui reapresentado.

$$\begin{cases} \mathbf{K} \dot{\mathbf{x}} = \mathbf{A} \mathbf{x} + \mathbf{B} \mathbf{u} \\ \mathbf{y} = \mathbf{C} \mathbf{x} + \mathbf{E} \mathbf{u} \end{cases} \quad (2.30)$$

De maneira resumida e, desconsiderando-se as perturbações de entrada ($\hat{u}=0$), pode-se identificar as funções de transferência, referentes ao modelo CA¹⁹, para as variáveis de estado e saída, respectivamente:

$$\begin{cases} \frac{\hat{\mathbf{x}}}{\hat{d}} = [\mathbf{K} \mathbf{s} - \mathbf{A}]^{-1} \mathbf{F} \\ \frac{\hat{\mathbf{y}}}{\hat{d}} = \mathbf{C} [\mathbf{K} \mathbf{s} - \mathbf{A}]^{-1} \mathbf{F} + \mathbf{H} \end{cases} \quad (2.31)$$

Sendo as matrizes \mathbf{F} e \mathbf{H} respectivamente definidas por:

$$\mathbf{F} = (\mathbf{A}_1 - \mathbf{A}_2) \mathbf{X} + (\mathbf{B}_1 - \mathbf{B}_2) \mathbf{U}, \quad (2.32)$$

$$\mathbf{H} = (\mathbf{C}_1 - \mathbf{C}_2) \mathbf{X} + (\mathbf{E}_1 - \mathbf{E}_2) \mathbf{U}. \quad (2.33)$$

Nesse momento as funções de transferência que relacionam as variáveis de estado e razão cíclica, ou seja, a corrente no indutor *boost* $G_{id}(s)$ e a tensão no capacitor de saída $G_{vd}(s)$ podem ser determinadas, sendo representadas de forma generalizada em (2.34).

$$G(s) = \frac{b_4 s^4 + b_3 s^3 + b_2 s^2 + b_1 s + b_0}{a_5 s^5 + a_4 s^4 + a_3 s^3 + a_2 s^2 + a_1 s + a_0} \quad (2.34)$$

Note-se que a forma geral de $G(s)$, apresentada (2.34), pode assumir as seguintes formas específicas:

$$G_{vd}(s) = \hat{v}_{Co} / \hat{d} \text{ e } G_{id}(s) = \hat{i}_{Lb} / \hat{d}. \quad (2.35)$$

A partir de $G_{vd}(s)$ e $G_{id}(s)$ outra importante função de transferência $G_{vi}(s)$, orientada ao controle, relacionando tensão de saída e corrente de entrada, pode, também, ser identificada:

$$G_{vi}(s) = \hat{v}_{Co} / \hat{i}_{Lb}. \quad (2.36)$$

¹⁹ Apenas com o objetivo de simplificar o texto, o desenvolvimento da modelagem por espaço de estados, é detalhadamente apresentado no Apêndice C.

2.5.3.3. Validação do modelo híbrido

A fim de validar o modelo, ora desenvolvido, o comportamento dinâmico do conversor híbrido foi verificado por meio de simulação numérica. O *software* PSIM® foi adotado para tal finalidade. Os principais parâmetros utilizados para validar o modelo linearizado de pequenos sinais são apresentados na Tabela 2.3. Registra-se que os capacitores da célula multiplicadora, foram considerados idênticos, ou seja, $C_1 = C_2 = C_3 = C$.

Tabela 2.3 - Principais parâmetros dos conversores²⁰ adotados na validação do modelo linearizado de pequenos sinais.

Conversor híbrido		Conversor equivalente	
Parâmetro	Valor	Parâmetro	Valor
V_{ih}	50 V	V_{ie}	50 V
V_{oh}	200 V	V_{oe}	100 V
L_{bh}	500 μ H	L_{be}	500 μ H
C_1, C_2, C_3	25 μ F	—	—
r_C	150m Ω	—	—
C_o	12,5 μ F	C_{eq}'	125 μ F
—	—	r_{eq}'	300m Ω
D	50%	D	50%
f_s	100 kHz	f_s	100 kHz

Com base nos parâmetros apresentados na Tabela 2.3, pode-se calcular os coeficientes das funções de transferência do modelo de tensão $G_{vd}(s)$ e corrente $G_{id}(s)$. Ambas as funções de transferências seguem o padrão estabelecido em (2.34), cujos coeficientes são apresentados na Tabela 2.4.

Considerando-se os dados apresentados na Tabela 2.3, pode-se prever o comportamento da tensão de saída v_{oh} e corrente do indutor *boost* i_{Lh} . Nesse caso, ambos os modelos (conversor híbrido chaveado e modelo linearizado proposto) são analisados durante uma perturbação de razão cíclica, conforme ilustra Figura 2.12. Observa-se que após transitório inicial, ambos os modelos encontram-se operando em regime. Em $t=150$ ms um degrau de 1% é aplicado na razão cíclica. Assim, a tensão de saída cresce de seu valor inicial 195,6 V a 197,5 V. Os modelos, sob essas condições, apresentam sobre-sinal de 0,5% com

²⁰ Note que algumas informações sobre o conversor equivalente serão posteriormente exploradas.

tempo de acomodação da ordem de 9 ms. Posteriormente, em 172,5 ms, a razão cíclica retorna para o seu valor inicial, reduzindo a tensão de saída ao seu valor inicial com aproximadamente o mesmo tempo de acomodação. Esses resultados evidenciam uma boa correspondência entre os modelos linearizado (*linear*) e comutado (*comut*) conforme Figura 2.12.

Tabela 2.4 - Coeficientes de $G_{vd}(s) = \hat{v}_o / \hat{d}$ e $G_{id}(s) = \hat{i}_{Lb} / \hat{d}$.

Coeficiente	Modelo G_{vd}	Modelo G_{id}	Modelo G_{vi}
b_5	—	—	—
b_4	-1,0	1,0	-1,0
b_3	$-4,2 \times 10^5$	$8,9 \times 10^5$	$-4,2 \times 10^5$
b_2	$-4,4 \times 10^{10}$	$1,9 \times 10^{11}$	$-4,4 \times 10^{10}$
b_1	$-5,2 \times 10^{14}$	$1,1 \times 10^{16}$	$-5,2 \times 10^{14}$
b_0	$7,1 \times 10^{19}$	$2,5 \times 10^{18}$	$7,0 \times 10^{19}$
a_5	$4,2 \times 10^{-6}$	$5,0 \times 10^{-6}$	—
a_4	3,7	4,4	$8,4 \times 10^{-1}$
a_3	$7,9 \times 10^5$	$9,5 \times 10^5$	$7,4 \times 10^5$
a_2	$4,4 \times 10^{10}$	$5,3 \times 10^{10}$	$1,6 \times 10^{11}$
a_1	$1,5 \times 10^{13}$	$1,7 \times 10^{13}$	$8,9 \times 10^{15}$
a_0	$1,8 \times 10^{17}$	$2,1 \times 10^{17}$	$2,1 \times 10^{18}$

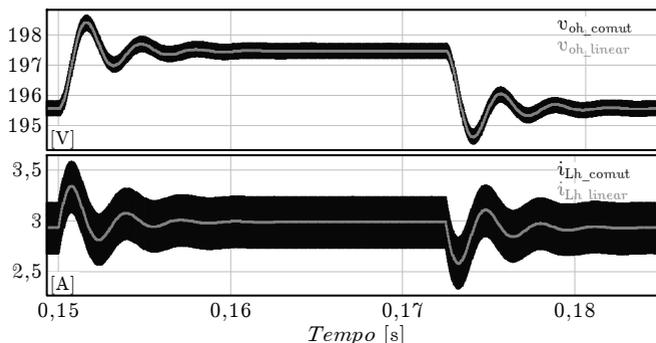


Figura 2.12 - Comportamento da tensão de saída e corrente no indutor *boost* durante perturbação à razão cíclica.

Observando-se a resposta ao degrau, uma análise inicial indica que o sistema possui comportamento dominante de segunda ordem. O lugar geométrico das raízes para o modelo de tensão do conversor híbrido é mostrado na Figura 2.13 e, aparentemente, corrobora tal

suposição. Embora o conversor proposto por [79] não seja idêntico ao analisado neste trabalho, ambos apresentam zeros no semi-plano direito. No entanto, no referido artigo, os autores enfatizam que tais efeitos não puderam ser evidenciados devido aos parâmetros do conversor empregado. Essa conclusão também é válida para os modelos obtidos para descrever o conversor em análise.

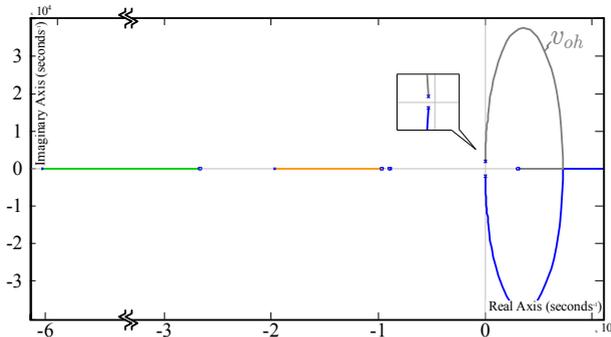


Figura 2.13 - Root-locus do modelo de tensão do conversor híbrido.

O diagrama de Bode relativo aos modelos linearizado (*linear*) e chaveado (*comut*) de tensão são apresentados na Figura 2.14.

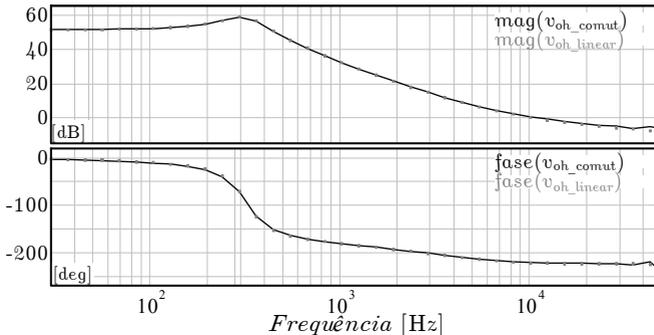


Figura 2.14 - Diagrama de Bode dos modelos de tensão.

Durante a análise do modelo do conversor híbrido em diversos momentos observou-se um comportamento com dominância de segunda ordem. Dessa forma, surgiu a proposta da busca por um modelo equivalente de ordem reduzida, mas, que representasse, de forma genérica e com fidelidade, o conversor híbrido original.

Em uma primeira aproximação, na busca de um modelo *boost* equivalente, a simples remoção da célula multiplicadora leva claramente a um resultado inaceitável, conforme ilustra a Figura 2.15, na qual são apresentados a tensão de saída do conversor híbrido (V_{oh}) e a tensão do conversor equivalente (V_{oe}), devidamente escalonadas.

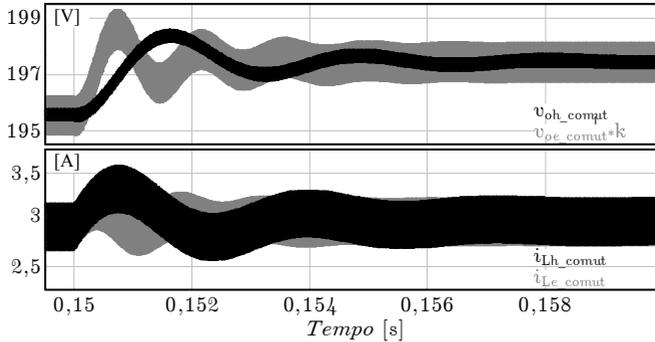


Figura 2.15 - Comportamento do conversor híbrido e equivalente durante perturbação à razão cíclica.

Nesse momento um importante detalhe deve ser considerado. Idealmente a análise do conversor híbrido tornar-se-ia tão mais simplificada quanto menor fosse a quantidade de elementos parasitas considerados. Porém, na análise de circuitos envolvendo capacitores chaveados, a não adição da resistência parasita desses capacitores resulta em correntes impulsivas, recaindo no paradoxo dos capacitores²¹, comprometendo, assim, os resultados.

Conforme destacado em [73], a obtenção dos modelos dinâmicos da família de conversores híbridos pode requerer elevado esforço, sobretudo para $k > 2$, haja vista os modelos dinâmicos assumirem ordem elevada. Outrossim, toda a modelagem apresentada até então se refere ao conversor híbrido de menor ordem possível ($k=2$) e, já apresenta considerável complexidade para ser obtida. Assim, buscando-se a simplificação dos modelos, optou-se por incluir apenas as não-idealidades relacionadas à célula multiplicadora (r_C) de forma

²¹ Conforme Apêndice B.

concentrada no capacitor chaveado, sem que houvesse perda de generalidade [41, 60].

2.6. MODELO EQUIVALENTE

Tomando-se como base a metodologia apresentada em [41, 74], inicia-se a busca por um modelo equivalente. O objetivo é reduzir a ordem do modelo sem, no entanto, perder qualquer informação relevante ao comportamento dinâmico.

O primeiro passo a ser aplicado para obtenção do modelo equivalente consiste na representação da célula multiplicadora de tensão por meio de um transformador hipotético CC, com relação de transformação $1:k$ [61, 78]. Nessa representação, ilustrada na Figura 2.16, a contabilização do efeito das resistências parasitas associadas à célula a capacitor chaveado (SC) é realizada por meio da adição de r_{eq} ao modelo SC , cujo valor será determinado para que as respostas dinâmicas do conversor *boost* híbrido e seu equivalente simplificado sejam igualmente amortecidas [41, 80]. Além disso, a presença da célula multiplicadora aumenta a capacitância total do conversor, sendo tal capacitância (C_{eq}) dada pela soma de C_o (*boost* convencional) com a capacitância média da célula multiplicadora, calculada em um período de comutação, conforme procedimentos apresentados em [38, 41].

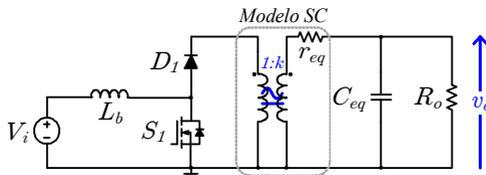


Figura 2.16 - Modelo equivalente proposto para representar a dinâmica dominante do conversor *boost* híbrido.

Como segundo passo no processo de simplificação, referenciam-se todos os parâmetros do conversor equivalente ao primário, conforme segue ilustrado na Figura 2.17, em que:

R'_o - resistência de carga referida ao primário;

L_b - indutância *boost*;

C'_{eq} - capacitância equivalente referida ao primário;
 r'_{eq} - resistência equivalente referida ao primário.

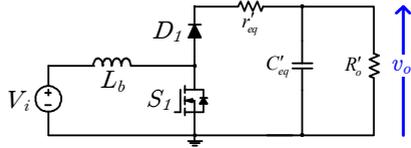


Figura 2.17 - Modelo equivalente referenciado ao primário.

As equações literais que definem C'_{eq} e r'_{eq} , em função da razão cíclica D e do ganho k provido pela célula multiplicadora, são encontradas a partir da análise do conversor *boost* híbrido [41], conforme (2.37) e (2.38), respectivamente²².

$$C'_{eq} = \underbrace{k^2 C_o}_{\text{Boost convencional}} + \frac{2Ck^2 [D(1-D) + 2]}{k [D(1-D) + 2] - 2D(1-D) + 2} \quad (2.37)$$

Célula multiplicadora

$$r'_{eq} = \underbrace{kr_c(1-D)}_{\text{Célula multiplicadora}} \quad (2.38)$$

No caso particular, em que o conversor *boost* híbrido opera com razão cíclica de 50%, (2.37) e (2.38) podem ser reescritas conforme (2.39) e (2.40), nessa ordem.

$$C'_{eq} = k^2 C_o + \frac{6k^2 C}{(3k+2)} \quad (2.39)$$

$$r'_{eq} = \frac{kr_c}{2} \quad (2.40)$$

Considerando-se a potência de saída (P_o) constante, a resistência de carga, referida ao lado primário, pode ser expressa por:

$$R'_o = V_o^2 / k^2 P_o \quad (2.41)$$

Encontrados os parâmetros que descrevem o conversor equivalente, busca-se seus modelos, a fim de se obter e validar as funções de transferência orientadas ao controle.

²² Nessa análise todos os capacitores da célula multiplicadora serão considerados idênticos e, com capacitância C .

2.6.1. Modelagem do conversor equivalente

De forma idêntica ao procedimento aplicado ao conversor híbrido, a modelagem do conversor equivalente, será também realizada adotando-se a notação de espaço de estados [75-78], modo de condução contínua (MCC) e modulação *PWM* linear. Apenas por comodidade, apresenta-se novamente o sistema (2.14).

$$\begin{cases} \mathbf{K}\dot{\mathbf{x}} = \mathbf{A}\mathbf{x} + \mathbf{B}\mathbf{u} \\ \mathbf{y} = \mathbf{C}\mathbf{x} + \mathbf{E}\mathbf{u} \end{cases} \quad (2.42)$$

Em que:

$$\mathbf{K} = \begin{bmatrix} L_b & 0 \\ 0 & C'_{eq} \end{bmatrix}; \quad (2.43)$$

$$\mathbf{x} = [i_{L_b} \quad v_{C'_{eq}}]^T; \quad \mathbf{u} = V_i; \quad \text{e} \quad \mathbf{y} = [i_{L_b} \quad v_{C'_{eq}}]^T. \quad (2.44)$$

Por tratar-se de um modelo médio, a obtenção das matrizes \mathbf{A} , \mathbf{B} , \mathbf{C} e \mathbf{E} é realizada por meio das equações que regem o comportamento do conversor em cada uma das etapas de operação, cujos circuitos equivalentes são destacados na Figura 2.18.

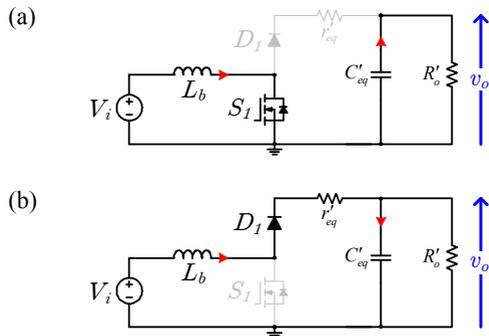


Figura 2.18 - Etapas de operação do conversor equivalente: (a) primeira etapa de operação; (b) segunda etapa de operação.

A partir destas equações e do desenvolvimento detalhado apresentado em apêndice²³, pode-se obter as funções de transferência para controle da tensão de saída e da corrente de entrada do conversor equivalente. Ambas as funções de transferências seguem o padrão

²³ Apenas com o objetivo de simplificar o texto, o desenvolvimento da modelagem por espaço de estados, é apresentado no Apêndice C.

estabelecido em (2.45), cujos coeficientes são apresentados na Tabela 2.5 e Tabela 2.6.

$$G(s) = \frac{b_1 s + b_0}{a_2 s^2 + a_1 s + a_0} \quad (2.45)$$

Tabela 2.5 - Coeficientes do modelo equivalente linearizado referente à malha para controle da tensão de saída.

Coeficientes da função de transferência $G_{vd}(s) = \hat{v}_{ok} / \hat{d}$	
b_1	$L_b R_o' V_i$
b_0	$-R_o'^2 V_i (D-1)^2$
a_2	$C'_{eq} L_b R_o' (D-1) [r'_{eq} + R_o' (1-D)]$
a_1	$(D-1) [L_b + C'_{eq} R_o' r'_{eq} (1-D)] [r'_{eq} + R_o' (1-D)]$
a_0	$(D-1) [r'_{eq} + R_o' (1-D)] [r'_{eq} (1-D) + R_o' (1-D)^2]$

Tabela 2.6 - Coeficientes do modelo equivalente linearizado referente à malha para controle da corrente de entrada.

Coeficientes da função de transferência $G_{id}(s) = \hat{i}_{Lb} / \hat{d}$	
b_1	$-V_i C'_{eq} R_o' [R_o' (1-D) + r'_{eq}]$
b_0	$-V_i [2R_o' (1-D) + r'_{eq}]$
a_2	$C'_{eq} L_b R_o' (D-1) [r'_{eq} + R_o' (1-D)]$
a_1	$(D-1) [L_b + C'_{eq} R_o' r'_{eq} (1-D)] [r'_{eq} + R_o' (1-D)]$
a_0	$(D-1) [r'_{eq} + R_o' (1-D)] [r'_{eq} (1-D) + R_o' (1-D)^2]$

2.6.1.1. Validação do modelo equivalente

A fim de validar os modelos linearizados aqui desenvolvidos [74], o comportamento dinâmico do conversor equivalente foi verificado por meio de simulação numérica, considerando-se três casos: $k=2$, $k=3$ e $k=5$. As principais especificações adotadas são apresentadas na Tabela 2.7.

Tabela 2.7 - Parâmetros adotados na validação dos modelos linearizados de pequenos sinais para $k=2$, $k=3$ e $k=5$.

Parâmetro	Conversor híbrido	Conversor equivalente ($k=2$)	Conversor equivalente ($k=3$)	Conversor equivalente ($k=5$)
V_i	50V	50V	50V	50V
L_b	500 μ H	500 μ H	500 μ H	500 μ H
C	25 μ F	—	—	—
r_c	300 m Ω	—	—	—
C_o	12,5 μ F	—	—	—
D	50%	50%	50%	50%
f_s	100 kHz	100 kHz	100 kHz	100 kHz
C'_{eq}	—	125 μ F	235,2 μ F	533,1 μ F
r'_{eq}	—	300 m Ω	450 m Ω	750 m Ω
R_o	66,7 Ω	266,7 Ω	600 Ω	1666,7 Ω

A. Validação I - Conversor híbrido com ganho $k=2$

Nesse caso particular, com $k=2$, os parâmetros do conversor equivalente assumem os seguintes valores:

$$C'_{eq} = 5C = 125 \mu\text{F}, \text{ e } r'_{eq} = r_c = 300 \text{ m}\Omega. \quad (2.46)$$

Com base nos valores dos parâmetros e a partir das especificações da Tabela 2.7, foram calculados os coeficientes das funções de transferência $G'_{vd}(s)$ e $G'_{id}(s)$, apresentados na Tabela 2.8.

Tabela 2.8 - Coeficientes de $G'_{vd}(s) = \hat{v}_{ok}/\hat{d}$ e $G'_{id}(s) = \hat{i}_{Lb}/\hat{d}$ com $k=2$.

Coefficiente	Modelo de tensão	Modelo de corrente
b_2	—	—
b_1	$-2,4 \times 10^4$	2×10^5
b_0	$7,9 \times 10^8$	$4,8 \times 10^7$
a_2	1	1
a_1	420	420
a_0	4×10^6	4×10^6

Com o objetivo de se validar a análise teórica, foram realizadas simulações com os parâmetros apresentados na Tabela 2.7. O *software* PSIM® foi adotado para tal finalidade. A Figura 2.19 ilustra a comparação entre as respostas dinâmicas extraídas das funções de

transferência (v_{o2_linear} e i_{Lb2_linear}) e do modelo comutado do conversor híbrido (v_{o2_comut} e i_{Lb2_comut}), quando submetidos a um degrau de 2% na razão cíclica. São apresentados também a resposta em frequência referentes a ambos os modelos.

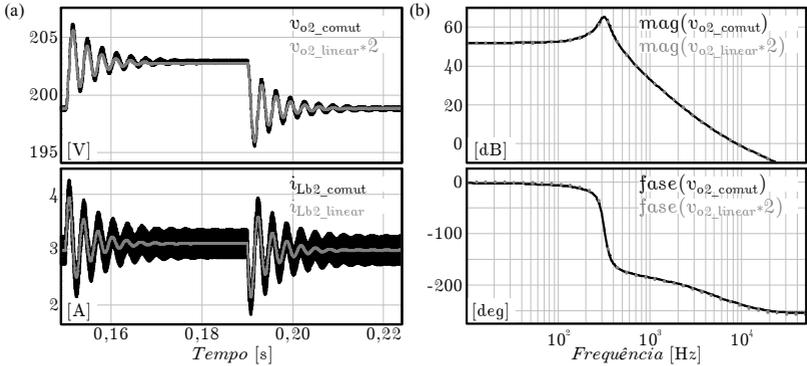


Figura 2.19 - Validação dos modelos: (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado do conversor híbrido com $k=2$.

Verifica-se que em ambos os casos (resposta ao degrau e resposta em frequência) há equivalência entre os modelos, fato que valida os procedimentos empregados durante a modelagem. Embora o conversor híbrido apresente, para $k=2$, cinco elementos armazenadores de energia, sua dinâmica dominante é de segunda ordem, daí o fato de um conversor simplificado ser capaz de representá-lo adequadamente sob o ponto de vista dinâmico.

Em termos numéricos, percebe-se que após a aplicação do degrau, em 150 ms, o sistema alcança um novo ponto de operação, sendo a transição caracterizada por uma resposta subamortecida com sobressinal de 1,6% e tempo de acomodação da ordem de 18 ms.

O lugar geométrico das raízes referente ao modelo de tensão do conversor híbrido (v_{oh}) com $k=2$ é representado juntamente com o modelo do conversor equivalente (v_{oe}), conforme Figura 2.20, na qual pode-se observar a pressuposta dominância de segunda ordem, além da correta representatividade do conversor equivalente proposto.

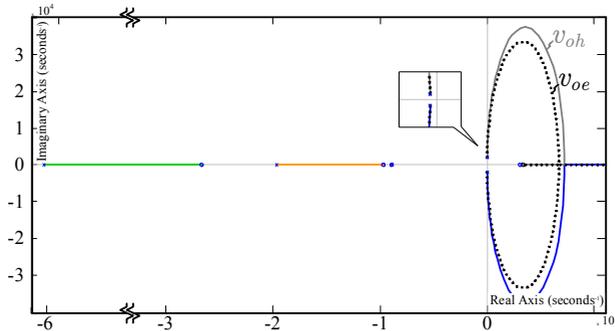


Figura 2.20 - Root-locus do modelo dos conversores híbrido e equivalente.

B. Validação II - Conversor híbrido com ganho $k=3$

Considerando-se a operação do conversor híbrido com uma célula de ganho com $k=3$ e, adotando-se as especificações da Tabela 2.7, encontram-se os coeficientes de $G_{vd}(s)$ e de $G_{id}(s)$, apresentados na Tabela 2.9.

Tabela 2.9 - Coeficientes de $G_{vd}(s) = \hat{v}_{ok} / \hat{d}$ e $G_{id}(s) = \hat{i}_L / \hat{d}$ com $k=3$.

Coefficiente	Modelo de tensão	Modelo de corrente
b_2	—	—
b_1	$-1,3 \times 10^4$	2×10^5
b_0	$4,2 \times 10^8$	$2,5 \times 10^7$
a_2	1	1
a_1	514	514
a_0	$2,2 \times 10^6$	$2,2 \times 10^6$

A Figura 2.21 ilustra a resposta a um degrau de 2% de razão cíclica e a resposta em frequência para ambos os casos: funções de transferência e modelo comutado do conversor híbrido.

A equivalência das respostas mostra que as funções de transferência descrevem adequadamente o comportamento dinâmico do conversor também nessa situação. Os modelos apresentam, neste caso, uma resposta transitória com sobressinal de 1,2% e tempo de acomodação da ordem de 12 ms.

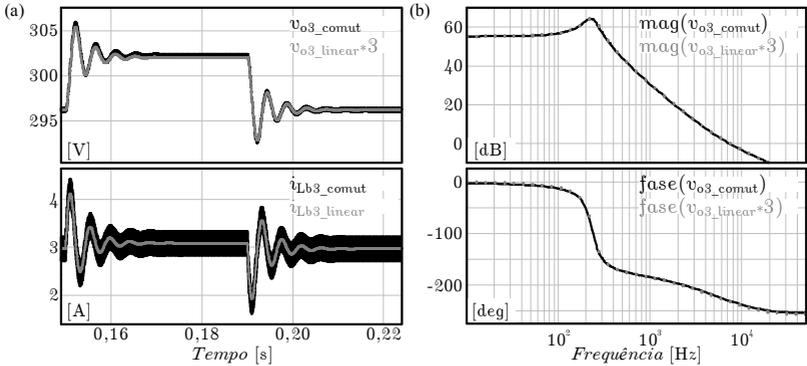


Figura 2.21 - Validação dos modelos: (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado do conversor híbrido com $k=3$.

C. Validação III - Conversor híbrido com ganho $k=5$

Por fim, considerando-se que o ganho da célula multiplicadora seja $k=5$ e, adotando-se as especificações da Tabela 2.7, encontram-se os coeficientes das funções de transferência de tensão e corrente, conforme a Tabela 2.10.

Tabela 2.10 - Coeficientes de $G_{vd}(s) = \hat{v}_{ok} / \hat{d}$ e $G_{id}(s) = \hat{i}_{Lb} / \hat{d}$ com $k=5$.

Coeficiente	Modelo de tensão	Modelo de corrente
b_2	—	—
b_1	$-5,5 \times 10^3$	2×10^5
b_0	$1,8 \times 10^8$	$1,1 \times 10^7$
a_2	1	1
a_1	778	778
a_0	$9,6 \times 10^5$	$9,6 \times 10^5$

Novamente, verifica-se que as funções de transferência descrevem adequadamente o comportamento dinâmico do conversor *boost* híbrido, haja vista a equivalência entre as respostas ilustradas na Figura 2.22. Sob tais condições, observa-se sobressinal de 0,4% e tempo de acomodação da ordem de 8 ms.

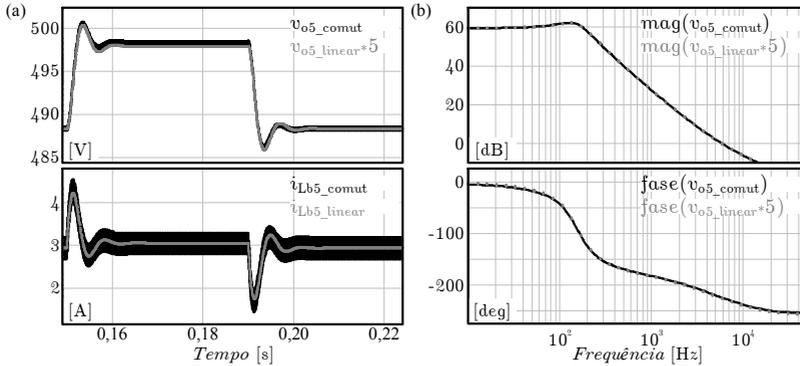


Figura 2.22 - Validação dos modelos: (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado do conversor híbrido com $k=5$.

2.7. RESULTADOS EXPERIMENTAIS

A fim de validar experimentalmente os modelos dinâmicos encontrados, um protótipo de 150 W foi construído. Esse protótipo, ilustrado na Figura 2.23, permite ser configurado tanto como o conversor *boost* híbrido ($k=2$) quanto como o conversor simplificado equivalente. Ambas as configurações utilizam o mesmo controlador, projetado a partir da análise do conversor equivalente. As especificações e componentes utilizados são apresentados na Tabela 2.7 e Tabela 2.11.

Tabela 2.11 - Componentes adotados no protótipo equivalente/híbrido²⁴.

Componente	Conversor híbrido	Conversor equivalente
S_1	IPW65R080 (650 V / 43 A)	IPW65R080 (650 V / 43 A)
$D_{1,2,3}$	CSD20030 (300V / 10A)	CSD20030 (300 V / 10 A)
L_b	NE4215 (31esp. / 32x32 AWG)	NE4215 (31esp. / 32x32 AWG)
C	B32676E3256K (25 μ F / 300 V)	—
C_o	B32676E3256K (2 x 25 μ F)	—
C'_{eq}	—	B32676E3256K (5 x 25 μ F)
r'_{eq}	—	LVR03R1500 (2 x 150 m Ω)

²⁴ A inserção de r'_{eq} e C'_{eq} , calculados a partir de (2.37) e (2.38), introduz no modelo a dinâmica dominante do modelo híbrido.

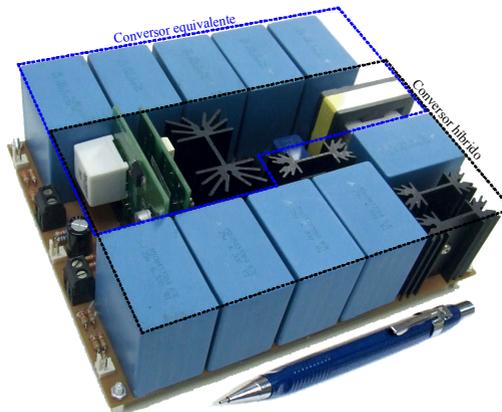


Figura 2.23 - Imagem do protótipo do conversor *boost* e híbrido.

2.7.1. Equivalência em malha aberta

Inicialmente, avaliou-se a resposta dinâmica dos conversores operando em malha aberta mediante perturbação na razão cíclica. A Figura 2.24 apresenta as formas de onda²⁵ referentes à corrente de entrada e à tensão de saída do conversor híbrido, enquanto a Figura 2.25 ilustra as mesmas formas de onda, porém, referentes ao conversor equivalente.

Buscando-se uma comparação adequada com a simulação, os ensaios experimentais, também, foram realizados com os conversores operando inicialmente em regime permanente sob razão cíclica de 50% e, posteriormente, submetidos a um degrau de razão cíclica de cerca de 2%, o que os levou a um novo ponto de operação. Em ambos os casos, a transição ocorreu por meio de uma resposta subamortecida, com sobressinal²⁶ de 1% e tempo de acomodação de aproximadamente 9 ms.

²⁵ Obtidas experimentalmente via osciloscópio *Tektronix MSO4054*.

²⁶ Durante essa análise uma tabela de pontos contendo a forma de onda em questão foi adquirida numericamente. Posteriormente, uma vez definidos os níveis máximos e mínimos de ultrapassagem, o *software* PSIM® foi adotado para identificação dos parâmetros apresentados.

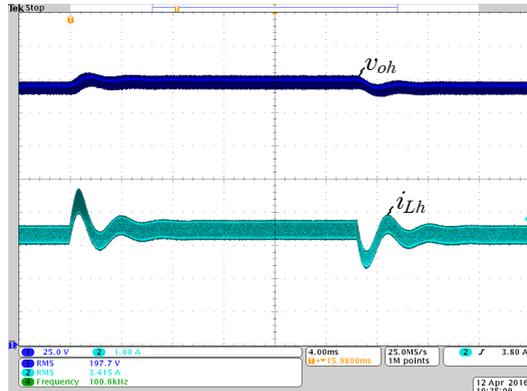


Figura 2.24 - Resultados experimentais: tensão de saída v_{oh} (25 V/div) e corrente no indutor i_{Lh} (1 A/div) referentes ao conversor *boost* híbrido ($k=2$) operando em malha aberta sob perturbação na razão cíclica.

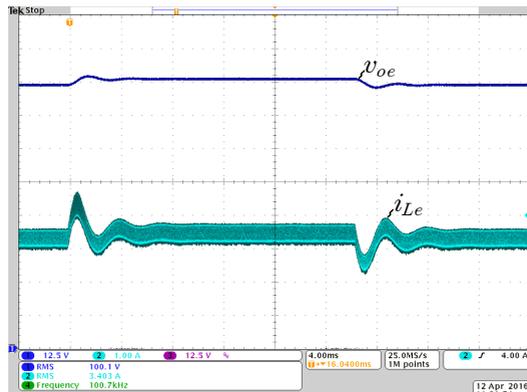


Figura 2.25 - Resultados experimentais: tensão de saída v_{oe} (12,5 V/div) e corrente no indutor i_{Le} (1 A/div) referentes ao conversor equivalente operando em malha aberta sob perturbação na razão cíclica.

Notou-se que as respostas de ambos os conversores ao degrau são similares, fato que valida a metodologia de obtenção do conversor simplificado e caracteriza a equivalência entre as dinâmicas das duas estruturas.

É importante destacar ainda que as divergências existentes entre os resultados experimentais e os de simulação se fazem evidenciadas, principalmente, sob o ponto de vista de amortecimento, pois as respostas dinâmicas experimentalmente obtidas são visivelmente mais

amortecidas. A explicação para este fato está na não inclusão de parâmetros parasitas no modelo de simulação, haja vista a busca por um modelo equivalente de ordem reduzida. A resistência associada ao indutor, por exemplo (300 mΩ), não foi incluída no modelo de simulação.

2.7.2. Análise em malha fechada

A validação dos conversores em malha fechada foi realizada considerando-se o tradicional controle multimalhas representado pelo diagrama de blocos da Figura 2.26.

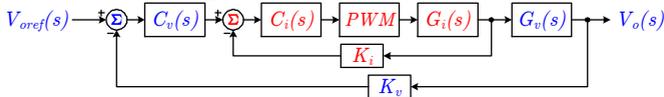


Figura 2.26 - Diagrama de blocos referente à estratégia empregada para controle de ambos os conversores.

Para a malha interna, rápida, que controla a corrente do indutor, utilizou-se um controlador proporcional-integral (PI), cujos parâmetros foram ajustados para que se obtivesse frequência de cruzamento de 2 kHz e margem de fase de 45°, com $K_i=2,05$. A malha externa de tensão, lenta, por sua vez, foi concebida para, também, operar com um controlador do tipo PI, com especificação de frequência de cruzamento de 10 Hz e margem de fase de 75°, com $K_v=1$.

Inicialmente, os testes foram realizados considerando-se apenas a operação da malha de corrente. Na Figura 2.27 e Figura 2.28 ilustra-se a evolução da corrente no conversor *boost* híbrido e no conversor equivalente, quando submetidos a um degrau de 20% na referência de corrente.

Verifica-se, mediante as formas de onda apresentadas, que os conversores respondem com comportamentos dinâmicos equivalentes. Durante o transitório, ambos os conversores apresentam respostas dinâmicas similares, com tempo de acomodação da ordem de 1,1 ms e sobressinal de cerca de 12,3%.

Ressalta-se que o mesmo controlador de corrente foi empregado em ambos os casos, tendo sido projetado a partir das funções de transferência extraídas do conversor equivalente.

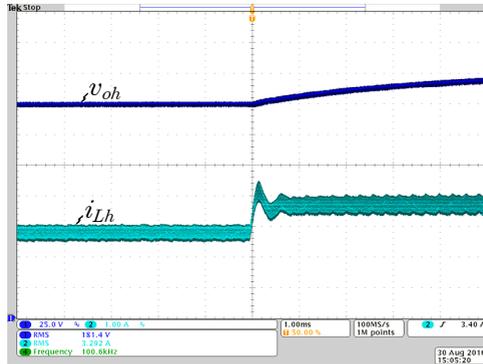


Figura 2.27 - Resultados experimentais: tensão de saída v_{oh} (25 V/div) e corrente no indutor i_{Lh} (1 A/div) referentes ao conversor *boost* híbrido ($k=2$) operando com malha de corrente sob degrau de referência de 20%.

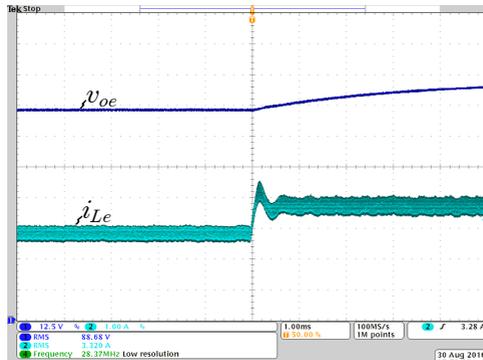


Figura 2.28 - Resultados experimentais: tensão de saída v_{oe} (12,5 V/div) e corrente no indutor i_{Le} (1 A/div) referentes ao conversor equivalente operando com malha de corrente sob degrau de referência de 20%.

A fim de avaliar a equivalência dos conversores sob a aplicação de degrau de carga, a malha para controle da tensão de saída foi, também, ativada. Enquanto a Figura 2.29 destaca a tensão e a corrente do conversor *boost* híbrido, a Figura 2.30 ilustra as mesmas grandezas obtidas a partir do conversor equivalente. Nota-se que a corrente do conversor *boost* híbrido, estabelecida em 3,21 A, antes da ocorrência do degrau de carga, passa a 3,74 A. A evolução da resposta estabelece-se com tempo de acomodação da ordem de 17 ms e sobressinal de cerca de 7%.

Analogamente, no caso do conversor equivalente, a corrente, com valor inicial de 3,23 A, passa a 3,77 A, após a ocorrência do degrau de carga, com tempo de acomodação da ordem de 15 ms e sobressinal de aproximadamente 4%.

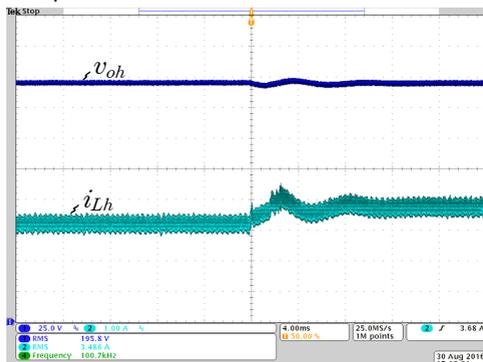


Figura 2.29 - Resultados experimentais: tensão de saída v_{oh} (25 V/div) e corrente no indutor i_{Lh} (1 A/div) referentes ao conversor *boost* híbrido ($k=2$) operando com malhas de tensão e corrente sob degrau de carga.

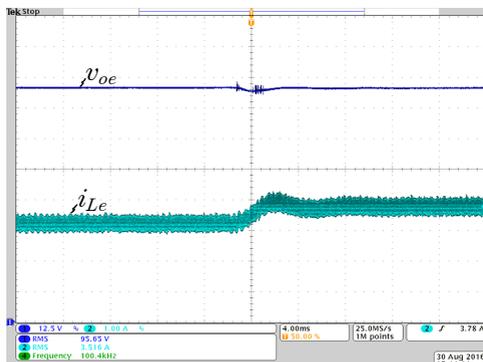


Figura 2.30 - Resultados experimentais: tensão de saída v_{oe} (12,5 V/div) e corrente no indutor i_{Le} (1 A/div) referentes ao conversor equivalente operando com malhas de tensão e corrente sob degrau de carga.

Por fim, degraus de carga foram, também, aplicados no sentido contrário, de maneira que o ponto de operação inicial fosse restabelecido, assim como ilustra a Figura 2.31 e Figura 2.32.

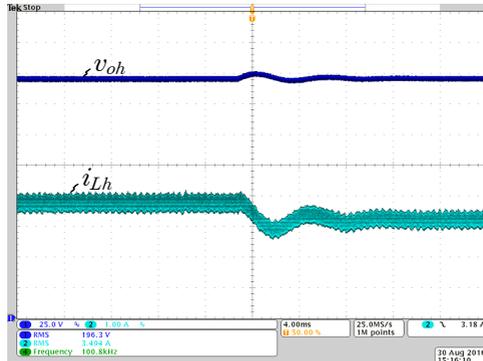


Figura 2.31 - Resultados experimentais: tensão de saída v_{oh} (25 V/div) e corrente no indutor i_{Lh} (1 A/div) referentes ao conversor *boost* híbrido ($k=2$) operando com malhas de tensão e corrente sob redução de carga.

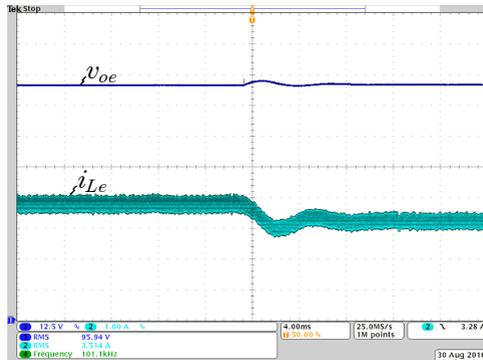


Figura 2.32 - Resultados experimentais: tensão de saída v_{oe} (12,5 V/div) e corrente no indutor i_{Le} (1 A/div) referentes ao conversor equivalente operando com malhas de tensão e corrente sob redução de carga.

Durante esse novo transitório, a corrente do conversor *boost* híbrido apresentou tempo de acomodação da ordem de 16 ms com sobressinal de cerca de 9%. Por sua vez, a corrente do conversor simplificado apresentou dinâmica equivalente, com tempo de acomodação da ordem de 15 ms e sobressinal de cerca de 7%.

2.8. CONCLUSÕES PARCIAIS

Este capítulo apresenta a implementação do conceito de espaço de estados para obtenção dos modelos estático e dinâmico para um conversor *boost* híbrido a capacitor chaveado. Além disso, evidencia a

metodologia para redução do conversor híbrido a um conversor simplificado, dinamicamente equivalente.

O conversor equivalente apresenta-se como uma ferramenta útil destinada à obtenção do modelo dinâmico do conversor *boost* híbrido que, por apresentar inúmeros elementos armazenadores de energia, é caracterizado por funções de transferência de ordem elevada, mas, tradicionalmente, com predominância de segunda ordem.

Durante a análise pode-se observar uma dominância de segunda ordem e, uma boa representação do modelo simplificado. Porém, deve-se enfatizar que, o modelo simplificado é válido desde que as constantes de tempo associadas à célula *SC* sejam significativamente inferiores às relacionadas ao *boost* convencional. Fato esse que comumente verdadeiro, pois, durante o projeto da célula *SC* é normal evitar-se a região de carga nula (*CaN*).

Para validar a equivalência dinâmica entre os conversores, foram realizadas simulações considerando-se células multiplicadoras com ganho 2, 3 e 5. Obtiveram-se, também, resultados experimentais extraídos de um protótipo de 150 W. Em todos esses cenários, as respostas dinâmicas de ambos os conversores, quando sujeitos a degraus de carga, de razão cíclica e de referência, mostraram-se equivalentes, validando a análise proposta.

3. INVERSOR *BOOST* A CAPACITOR CHAVEADO

3.1. INTRODUÇÃO

Este capítulo inicia com uma breve revisão dos inversores diferenciais, em seguida aborda-se detalhadamente a nova topologia *boost* híbrida. Apresenta-se o princípio de funcionamento, a análise teórica, a generalização da estrutura, os resultados por simulação, além de uma breve discussão sobre modulação e linearidade do ganho dos inversores analisados.

3.2. REVISÃO DOS INVERSORES DIFERENCIAIS

Inversores diferenciais são derivados de conversores CC-CC, conforme ilustra a Figura 3.1. O conceito do inversor diferencial [16] foi inicialmente adotado na implementação de um inversor baseado no conversor Čuk. Posteriormente Cáceres & Barbi (1995), apresentam uma família de inversores baseada nos conversores básicos. Nesse conceito, cada sub-conversor deve gerar uma tensão de saída sinusoidal sobreposta a um nível contínuo, sendo a carga diferencialmente conectada entre ambos. Como resultado da ligação diferencial, ocorre a soma das parcelas alternadas, assim como o cancelamento dos níveis contínuos gerados em cada sub-conversor. A modulação de cada sub-conversor, habitualmente, possui defasagem de 180° , o que maximiza a excursão da tensão de carga. No entanto, essa diferença pode ser alterada, apresentando-se como uma alternativa para o controle da tensão de saída. Conforme define [18], a geração da tensão bipolar na saída é obtida por um arranjo *push-pull*, dessa forma, um conversor funciona como fonte e o outro como carga.

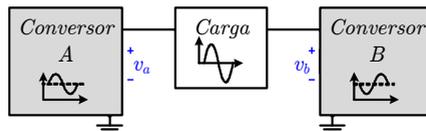


Figura 3.1 - Esquema de conexão diferencial.

3.2.1. Inversor baseado na topologia buck

Como característica típica da família de inversores a ser analisada, o *VSI* clássico (baseado na topologia *buck*) pode ser compreendido como a conexão diferencial de dois conversores bidirecionais, conforme Figura 3.2(a). Note que o filtro de saída *LC* foi duplicado apenas para enfatizar os dois sub-conversores que compõem a topologia como um todo [81]. O diagrama de blocos do gerador *PWM* é apresentado na Figura 3.2(b), com modulação bipolar ($2N$). As características de ganho de cada conversor, *e.g.*, v_a/V_i e v_b/V_i são representadas na Figura 3.2(c)²⁷.

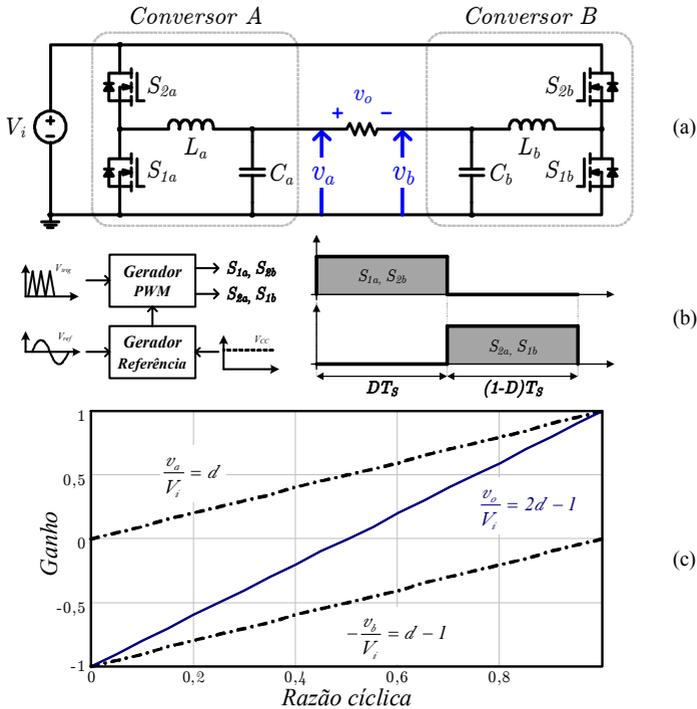


Figura 3.2 - *VSI* base *buck*: (a) esquemático, (b) sinais *PWM* e controle - modulação bipolar - $2N$, (c) características de ganho.

²⁷ Visando a simplificação do texto, as grandezas instantâneas $v_a(t)$, $v_b(t)$, $v_o(t)$ e $d(t)$, serão representadas de forma simplificada, suprimindo-se a variável tempo.

A característica estática do *VSI* base *buck* v_o/V_i é ilustrada na Figura 3.2(c) e descrita em (3.1). Deve-se observar que o comportamento de saída do *VSI* base *buck* exibe característica linear, o que o tornou amplamente empregado na implementação de inversores [61]. No entanto, a característica fundamental desses *VSI* é que a tensão de saída instantânea é sempre menor do que a entrada CC.

$$\frac{v_o}{V_i} = 2d - 1 \tag{3.1}$$

3.2.2. Inversor baseado na topologia *boost*

Semelhante ao *VSI buck*, o inversor de tensão diferencial base *boost*, proposto por Cáceres & Barbi (1995), resulta da conexão diferencial entre dois conversores *boost*, conforme Figura 3.3(a). Essa estrutura é conhecida na literatura por *DBI* (*differential boost inverter*).

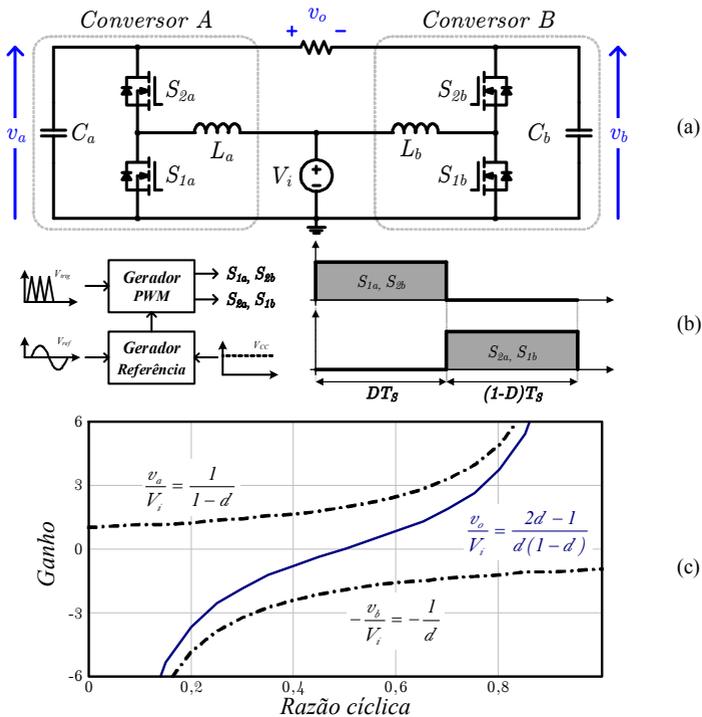


Figura 3.3 - *VSI* base *boost*: (a) esquemático, (b) sinais *PWM* e controle, (c) características de ganho.

Considerando-se o mesmo modulador anteriormente apresentado (2N), conforme ilustra a Figura 3.3(b), as características de ganho de cada conversor, *e.g.*, v_a/V_i e v_b/V_i são apresentadas na Figura 3.3(c). A característica de ganho estático v_o/V_i do inversor *DBI* é ilustrada na Figura 3.3(c) e descrita em (3.2). O *DBI* é capaz de gerar tensões de saída maiores que a entrada CC, contudo, o comportamento de ganho do *DBI* é claramente não-linear [17]. Consequentemente, uma referência senoidal aplicada no modulador (Figura 3.3(b)) gera uma tensão na saída com distorção. Na literatura, observam-se diferentes formas de implementação desses inversores [82]. Técnicas lineares e não-lineares são, comumente, aplicadas para controlar *DBI*, conforme discutido em [55] e [83]. Tal característica de ganho torna, particularmente, desafiador o controle do *DBI*.

$$\frac{v_o}{V_i} = \frac{2d - 1}{d(1 - d)} \quad (3.2)$$

3.3. PROPOSTA DO INVERSOR HÍBRIDO

A integração de células *SC* e conversores convencionais possibilita a geração de topologias com maior taxa de conversão. Essa solução oferece alto ganho, elevada eficiência, redução de esforços, além de melhorar a regulação da tensão de saída [60]. Como resultado à inserção da célula multiplicadora, a tensão de saída pode ser duplicada, mantendo-se, porém, os esforços nos interruptores. Assim, surge o inversor híbrido proposto.

O conversor CC-CA, aqui denominado híbrido, trata-se da fusão de um conversor *boost* convencional e uma célula multiplicadora a capacitor chaveado. Este trabalho propõe um novo conversor obtido através da combinação [17] de um par de conversores híbridos [46, 47], resultando, assim, em um inversor *boost* diferencial a capacitor chaveado [51], apresentado na Figura 3.4, o qual será denominado por *switched-capacitor differential boost inverter (SCDBI)*.

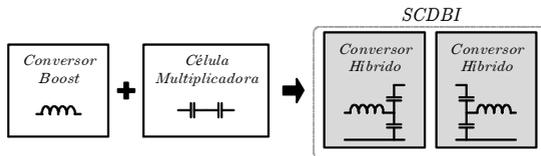


Figura 3.4 - Concepção do inversor *boost* diferencial a capacitor chaveado.

A proposta de combinação de um inversor *DBI* e da célula multiplicadora (*SC*) possibilita o aumento do ganho estático e, assim, a obtenção de tensões de saída mais elevadas do que a fonte de entrada, além da redução dos esforços de tensão sobre os interruptores. Semelhante ao *DBI*, o inversor *SCDBI* resulta da conexão entre dois conversores híbridos, conforme Figura 3.5(a).

O conversor *SCDBI* como um todo, compõe-se por dois sub-conversores, cada um com a sua respectiva célula multiplicadora. O objetivo das células a *SC* é o de assegurar o equilíbrio entre as tensões dos capacitores C_1 e C_2 . Portanto, o capacitor C_3 é comutado com o objetivo de transferir a carga elétrica entre os capacitores C_1 e C_2 , como ocorre nos conversores *CC-CC* a capacitor chaveado.

Para facilitar a completa análise do conversor, cada um dos sub-conversores será representado por seu respectivo sub-índice. Dessa forma, v_a representará a tensão referente ao primeiro sub-conversor, v_b a tensão de saída do segundo sub-conversor e, assim, por diante. Embora um maior número de interruptores seja necessário, a fim de gerar-se uma comparação adequada, será empregado o mesmo modulador anteriormente apresentado ($2N$), conforme Figura 3.5(b). As características de ganho de cada sub-conversor, *e.g.*, v_a/V_i e v_b/V_i , são ilustradas na Figura 3.5(c). A característica estática do inversor híbrido v_o/V_i é, também, ilustrada na Figura 3.5(c) e descrita em (3.3) [84].

$$\frac{v_o}{V_i} = \frac{k(2d-1)}{d(1-d)} \quad (3.3)$$

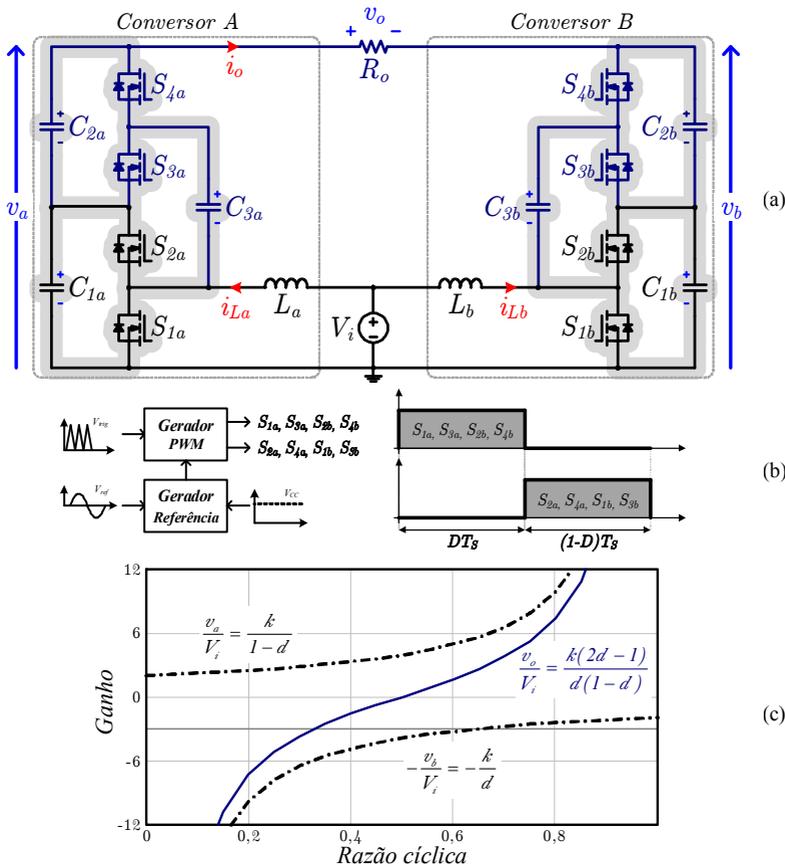


Figura 3.5 - SCDBI proposto: (a) esquemático, (b) sinais PWM e controle - modulação bipolar - 2N, (c) características de ganho.

Com o intuito de proporcionar uma comparação adequada a Figura 3.6 reúne as curvas de ganho do SCDBI ($k=2$) e do inversor DBI (v_o'/V_i), na qual se suprime a influência da célula multiplicadora. Comparando-se as curvas de ganho, nota-se que a célula SC amplia o ganho do DBI. Assim, proporciona ganhos maiores com menor razão cíclica, além de expandir a região aproximadamente linear [85]. A operação nessa região diminui a distorção da tensão de saída. Como exemplo, caso $v_o/V_i=3$ a razão cíclica seria reduzida, em relação ao DBI, em cerca de 43%.

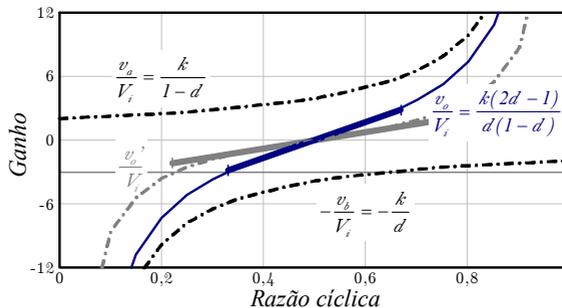


Figura 3.6 - Características de ganho dos conversores SCDBI e DBI.

3.4. PRINCÍPIO DE OPERAÇÃO DO INVERSOR HÍBRIDO

Esta seção apresenta o princípio de funcionamento e principais etapas topológicas do conversor base *boost* híbrido (SCDBI) [51] empregando modulação bipolar (2N). Nessa modulação os sub-conversores operam com razão cíclica complementar.

Visando a simplificação da análise algumas considerações serão efetuadas, *e.g.*, o conversor opera em regime permanente no modo de condução contínua (MCC), todos os interruptores serão considerados ideais e a célula multiplicadora possui ganho $k=2$.

A primeira análise é realizada em alta frequência (período de comutação), durante a qual a tensão de saída será considerada constante. Posteriormente, o conversor é avaliado em baixa frequência (frequência fundamental da tensão de saída). Finalmente, as equações básicas empregadas na concepção do conversor são apresentadas.

3.4.1. Primeira etapa de operação do inversor híbrido

O SCDBI proposto, com modulação bipolar, possui duas etapas de operação. Durante o semi-ciclo positivo da tensão de saída, as etapas de operação podem ser identificadas, conforme Figura 3.7(a) e (b).

Considerando-se apenas o primeiro sub-conversor, a primeira etapa de operação inicia-se quando os interruptores S_{1a} e S_{3a} são comandados a conduzir, conforme Figura 3.7(a).

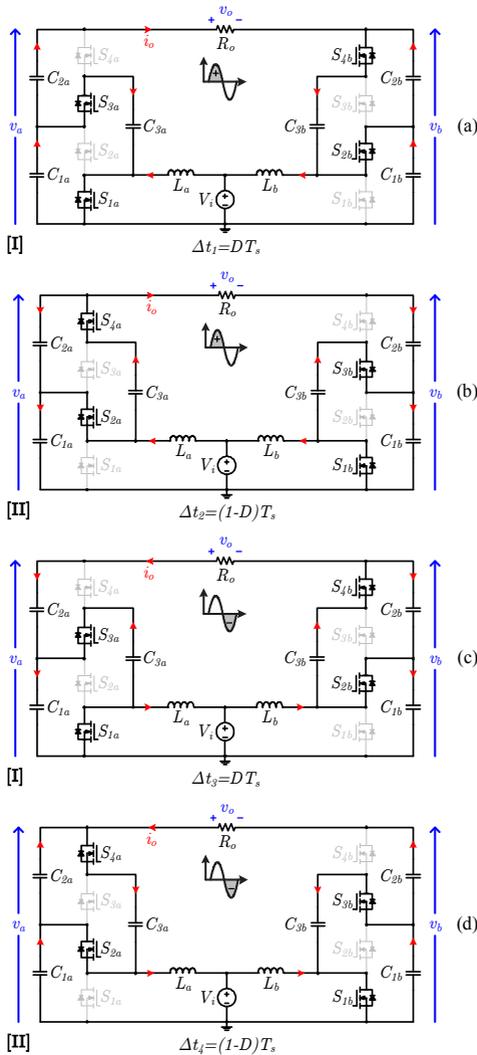


Figura 3.7 - Estados Topológicos - Modulação bipolar - 2N: Semi-ciclo positivo da tensão de saída: (a) primeiro e (b) segundo estágio. Semi-ciclo negativo da tensão de saída: (c) primeiro e (d) segundo estágio.

Durante essa etapa S_{2a} e S_{4a} encontram-se bloqueados. Os capacitores C_{1a} e C_{2a} descarregam-se, enquanto C_{3a} carrega-se durante o intervalo Δt_1 . Da mesma forma que o conversor *boost* convencional, a primeira fase do *SCDBI* corresponde à etapa de acumulação indutiva.

Durante essa etapa a corrente i_{La} cresce com taxa V_i/L_a . A descarga do capacitor C_{1a} fornece energia para o capacitor chaveado C_{3a} , bem como para a carga. Os interruptores S_{1a} e S_{3a} são bloqueados no final dessa fase.

3.4.2. Segunda etapa de operação do inversor híbrido

Essa etapa inicia-se com a ordem de bloqueio dos interruptores S_{1a} e S_{3a} , os quais permanecem submetidos a uma tensão $v_a/2$. Durante essa etapa S_{2a} e S_{4a} encontram-se conduzindo. Os capacitores C_{1a} e C_{2a} carregam-se, enquanto C_{3a} descarrega-se durante o intervalo Δt_2 . Além disso, a energia acumulada no indutor é transferida à carga. A corrente i_{La} decresce com taxa $(V_i - v_a/2)/L_a$. A descarga do capacitor chaveado C_{3a} fornece energia para o capacitor C_{2a} , bem como para a carga. Os interruptores S_{2a} e S_{4a} são bloqueados no final dessa etapa, conforme ilustra Figura 3.7(b). Essa etapa completa um período de comutação para o semi-ciclo positivo da tensão de saída.

Para análise do segundo sub-conversor, dois fatores importantes devem ser considerados: a defasagem gerada pelo modulador e a fase da corrente de entrada. No semi-ciclo negativo, o conversor possui etapas de operação semelhantes, porém, com fluxo de corrente invertido, conforme Figura 3.7(c) e (d).

3.5. ANÁLISE TEÓRICA DO INVERSOR HÍBRIDO (2N)

Esta seção apresenta uma análise teórica do inversor proposto, com foco no comportamento em baixa frequência. O objetivo da análise de baixa frequência é o de reforçar algumas características do *SCDBI*, como por exemplo, seu comportamento de ganho.

Considerando-se o inversor operando sob modulação 2N e, no modo de condução contínua (MCC), o ganho de tensão teórico do *sub-conversor A*, pode ser definido em função do ganho k da célula multiplicadora ou em função do número n destas células:

$$\frac{v_a}{V_i} = \frac{k}{1-d_a} = \frac{n+1}{1-d_a}. \quad (3.4)$$

Assim como o ganho relacionado ao segundo sub-conversor, pode ser, também, identificado:

$$\frac{v_b}{V_i} = \frac{k}{1-d_b} = \frac{n+1}{1-d_b}. \quad (3.5)$$

Considerando-se o *sub-conversor A* como referência, isto é, $d_a=d$, sabendo-se que em função da modulação adotada, $d_b=1-d_a$, e que a tensão de saída v_o é dada pela diferença entre v_a e v_b , obtém-se, conforme Figura 3.5(c), o ganho do inversor híbrido [84]:

$$\frac{v_o}{V_i} = \frac{v_a}{V_i} - \frac{v_b}{V_i} = \frac{k(2d-1)}{d(1-d)}. \quad (3.6)$$

A partir das equações (3.4), (3.5) e (3.6) a expressão da razão cíclica instantânea do inversor híbrido pode ser definida²⁸, com base na tensão de saída desejada, conforme demonstra a equação (3.7) e ilustra a Figura 3.8 [85].

$$d = \frac{v_o - 2kV_i + \sqrt{(2kV_i)^2 + v_o^2}}{2v_o}. \quad (3.7)$$

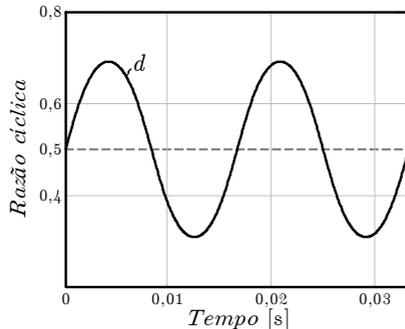


Figura 3.8 - Forma de onda da razão cíclica - Modulação bipolar - 2N.

A razão cíclica será composta por uma função sinusoidal, com valor alternado D_{ac} , sobreposto a um valor contínuo D_{dc} . Durante essa análise D_{dc} será considerado com valor de 50%. Pode-se, também, calcular a máxima razão cíclica de operação D_{pk} , além da tensão individual de cada sub-conversor, conforme (3.8) e (3.9).

²⁸ Desprezando-se a distorção harmônica da tensão total de saída e, desconsiderando-se as soluções que conduzem a uma razão cíclica maior que um e/ou menor que zero.

$$v_a = \frac{2k V_i v_o}{v_o - \sqrt{(2k V_i)^2 + v_o^2} + 2k V_i} \quad (3.8)$$

$$v_b = \frac{2k V_i v_o}{v_o + \sqrt{(2k V_i)^2 + v_o^2} - 2k V_i} \quad (3.9)$$

Retomando-se (3.3), a corrente teórica²⁹ de cada sub-conversor pode, também, ser determinada:

$$i_{La} = \frac{k^2 V_i (2d-1)}{d(1-d)^2 R_o} \quad \text{e} \quad (3.10)$$

$$i_{Lb} = \frac{-k^2 V_i (2d-1)}{d^2 (1-d) R_o}. \quad (3.11)$$

A partir de (3.7) e (3.10) e, estabelecendo-se uma ondulação máxima da corrente de entrada (Δi_L), o indutor *boost* pode ser identificado:

$$L_a = L_b = \frac{V_i D_{pk}}{f_s \Delta i_L}. \quad (3.12)$$

Com relação ao projeto da célula multiplicadora, dois fatores importantes devem ser considerados. De forma semelhante ao *DBI*, quando se eleva a capacitância de saída do inversor *boost* existe a tendência de degradação da tensão de saída [18]. Em contrapartida, um valor de capacitância muito reduzido poderia levar a célula a operar no modo *CaC*, elevando, consideravelmente, os esforços de corrente nos interruptores, conforme Seção 2.3. Deve-se recordar que, o modo de carga completa (*CaC*) apresenta correntes extremamente impulsivas que, habitualmente, elevam as perdas da célula, enquanto o modo de carga nula (*CaN*) implica na adoção de frequências de chaveamento e/ou capacitâncias de elevado valor. Ainda, segundo [70] o modo de carga parcial (*CaP*) é, usualmente, adotado como critério de projeto, pois as vantagens do modo *CaN* frente ao modo *CaP* são pouco significativas.

Para que seja assegurada a operação em modo *CaP* a célula multiplicadora é usualmente representada por um circuito *RC* de

²⁹ Considerando-se que o ganho da célula multiplicadora seja $k=2$ e a ondulação de corrente de alta frequência seja nula.

primeira ordem, devendo o produto $f_s \mathbf{T}$ ser superior a 0,1 [69, 72], sendo:

$$\mathbf{T} = 2(R_{se} + R_{ds(on)})C, \quad (3.13)$$

onde, R_{se} representa a resistência série equivalente do capacitor e $R_{ds(on)}$ a resistência de condução dos interruptores. Assim a capacitância mínima da célula pode ser identificada:

$$C \geq \frac{0,1}{2f_s (R_{se} + R_{ds(on)})}. \quad (3.14)$$

Capacitores de filme³⁰ são tradicionalmente adotados para composição da célula multiplicadora e, possuem como característica reduzidos valores de R_{se} , assim, a parcela resistiva da constante de tempo τ pode ser, basicamente, definida pela resistência série $R_{ds(on)}$ do interruptor. Dessa forma, a metodologia de projeto consiste na escolha do *MOSFET* em função da resistência de condução e esforços de tensão e corrente.

O equacionamento fornece as principais formas de onda teóricas do inversor proposto, as quais são apresentadas na Figura 3.9. A tensão de entrada (V_i) e a tensão de cada sub-conversor (v_a e v_b) são apresentadas na Figura 3.9(a). As variáveis³¹ v_a' e v_b' representam as tensões de saída do estágio *boost* enquanto v_a e v_b as tensões de saída do estágio multiplicador. As tensões de cada sub-conversor possuem um nível médio CC e uma componente CA. A tensão diferencial ($v_a - v_b$) pode ser vista na Figura 3.9(b). A tensão diferencial (v_o) possui menos distorção que as tensões individuais de cada sub-conversor (v_a e v_b), ou seja, observa-se um cancelamento de parte do conteúdo harmônico. A corrente de entrada, ou seja, a corrente que percorre o indutor *boost* é claramente não senoidal, ao contrário da corrente total drenada da fonte CC, conforme Figura 3.9(c).

A Tabela 3.1 apresenta as equações para o cálculo dos esforços teóricos nos capacitores e interruptores que compõem os conversores

³⁰ A linha *MKP - Metallized Polypropylene Film Capacitors* do fabricante *EPCOS (TDK)* possui como característica uma baixa *ESR (Equivalent Series Resistance)*.

³¹ A tensão v_a' corresponde a tensão de saída parcial da etapa *boost*, ou seja, a tensão sobre o capacitor C_{1a} , assim, $v_a' = v_a/k$, e de forma idêntica, $v_b' = v_b/k$.

analisados [73]. O ganho estático e o número de semicondutores também foram observados para ambas as topologias.

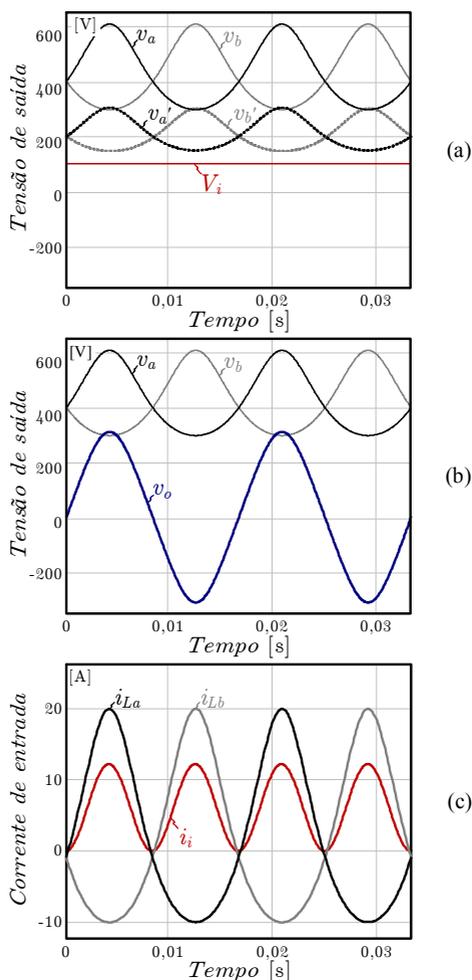


Figura 3.9 - Formas de onda teóricas do conversor CC-CA proposto - Modulação bipolar - $2N$: (a) tensão intermediária, (b) tensão de saída, (c) corrente de entrada.

3.6. LIMITAÇÃO DE GANHO DO INVERSOR *BOOST* HÍBRIDO

O ganho idealizado do inversor proposto foi apresentado na Figura 3.6 podendo, em tese, atingir ganho infinito. No entanto, caso suas

não-idealidades intrínsecas sejam consideradas, uma limitação de ganho pode ser prevista, como ocorre no conversor *boost* clássico. Dessa forma, a multiplicação do ganho do *DBI* clássico, proporcionado pela célula multiplicadora, amplia sua faixa de operação; podendo, assim, operar em situações nas quais o *DBI* clássico não teria capacidade de atuar.

Tabela 3.1 - Esforços sobre os componentes - Operação em regime.

Parâmetro	<i>DBI</i>	<i>SCDBI</i>
i_{C1rms}	$i_{La}\sqrt{d(1-d)}$	$\frac{i_{La}}{2}\sqrt{\frac{(1-d)(d+1)^2}{d}}$
i_{C2rms}	—	$\frac{i_{La}}{2}\sqrt{d(1-d)}$
i_{C3rms}	—	$\frac{i_{La}}{2}\sqrt{\frac{1-d}{d}}$
i_{S1rms}	$i_{La}\sqrt{d}$	$\frac{i_{La}}{2}\frac{(d+1)}{\sqrt{d}}$
i_{S2rms}	$i_{La}\sqrt{1-d}$	$\frac{i_{La}}{2}\sqrt{1-d}$
i_{S3rms}	—	$\frac{i_{La}}{2}\frac{(d-1)}{\sqrt{d}}$
i_{S4rms}	—	$\frac{i_{La}}{2}\sqrt{1-d}$
i_{S1avg}	$i_{La}d$	$i_{La}(d+1)/2$
i_{S2avg}	$i_{La}(d-1)$	$i_{La}(d-1)/2$
i_{S3avg}	—	$i_{La}(1-d)/2$
i_{S4avg}	—	$i_{La}(d-1)/2$
V_{Spk}	V_{apk}	V_{apk}/k
<i>Ganho estat.</i>	$\frac{(2d-1)}{d(1-d)}$	$\frac{k(2d-1)}{d(1-d)}$
<i>Nº semicond.</i>	4	4k

Retomando-se o mesmo fator de perdas apresentado na Seção 2.2 e, sob determinadas considerações, o ganho não-ideal do inversor híbrido é obtido, conforme Figura 3.10.

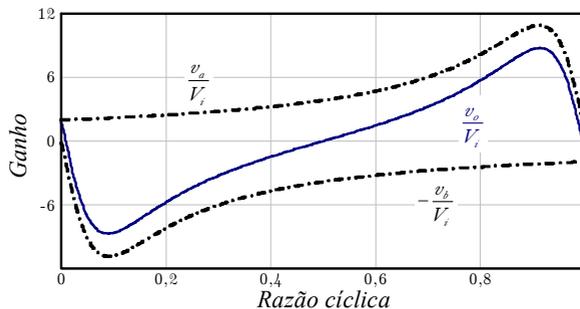


Figura 3.10 - Características de ganho com perdas do inversor *boost* híbrido.

3.7. GENERALIZAÇÃO DE GANHO DA ESTRUTURA PROPOSTA

Uma característica relevante da célula multiplicadora é que a mesma pode ser ampliada empilhando-se várias delas. Ao aplicar-se esse conceito ao conversor proposto, obtém-se a generalização da topologia, em termos de número de células multiplicadoras, conforme Figura 3.11(a). O ganho estático do inversor para o caso de 2 e 3 células é comparado com o ganho do *DBI* tradicional na Figura 3.11(c). Ressalta-se que, embora um maior número de interruptores seja necessário, o mesmo modulador pode ser empregado, conforme Figura 3.11(b).

3.8. RESULTADOS DE SIMULAÇÃO - MODULAÇÃO 2N

O objetivo desta seção é o de verificar o funcionamento do inversor híbrido proposto, operando sob modulação bipolar (2N), por meio de simulação numérica³². O *software* PSIM® foi adotado para tal finalidade. Inicialmente, apenas o inversor *SCDBI* foi analisado e, em seguida, para possibilitar uma comparação adequada, um segundo inversor *DBI* convencional foi, também, avaliado. As principais características de ambos os inversores, operando com potência de 500 W, são apresentados na Tabela 3.2.

³² Reforça-se que, durante tais simulações foram inseridas, apenas, as não-idealidades relacionadas à célula multiplicadora; fato esse desconsiderado durante a análise teórica inicial.

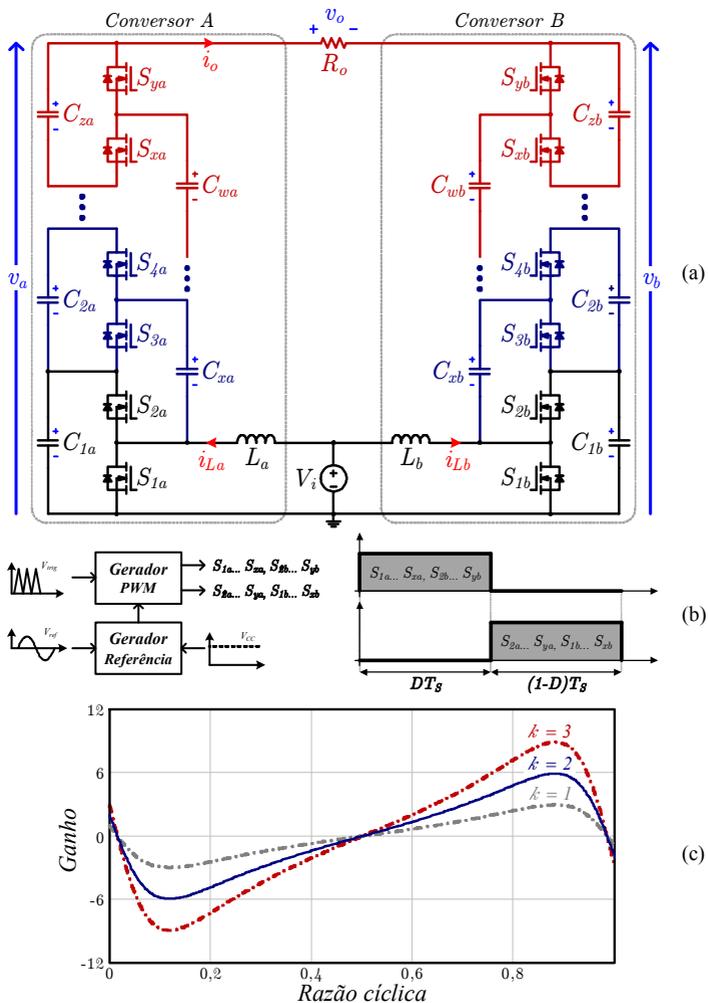


Figura 3.11 - Generalização do conversor SCDBI: (a) esquemático, (b) sinais PWM e controle - modulação bipolar - 2N, (c) características de ganho.

A análise do SCDBI iniciou-se por meio da inspeção da tensão de saída individual de cada sub-conversor, v_a e v_b , conforme Figura 3.12(a). Através da análise da referida figura, pode-se constatar que as tensões de saída individuais atingem um elevado valor, maior que seis vezes a tensão de entrada V_i .

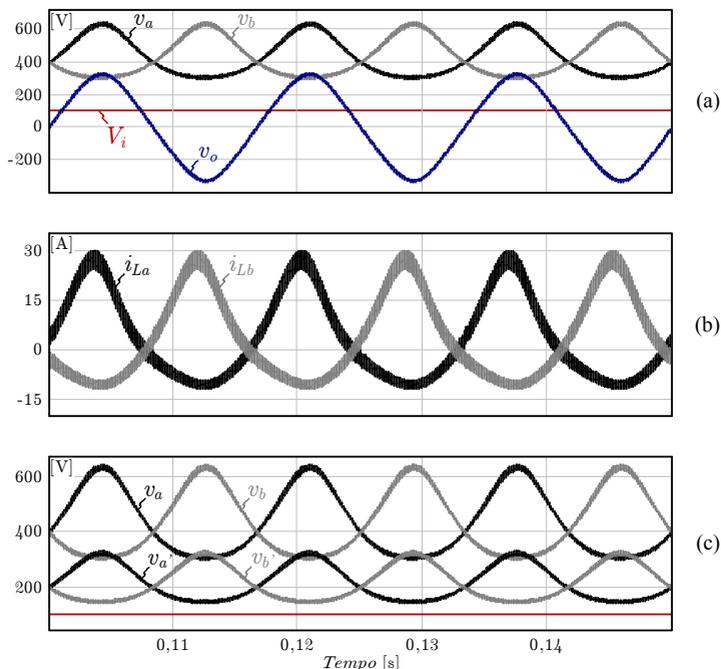


Figura 3.12 - Análise de baixa frequência - Principais formas de onda - SCDBI - Modulação bipolar - 2N.

Tabela 3.2 - Principais parâmetros do conversor híbrido e convencional.

Descrição	SCDBI	DBI
Tensão de entrada (V_i)	100V	100V
Tensão eficaz de saída (V_o)	220V	220V
Potência de saída (P_o)	500W	500W
Máxima ondulação de corrente de entrada	30%	30%
Indutância boost (L_a, L_b)	220 μ H	220 μ H
Capacitância célula multiplic. (C_1, C_2, C_3)	41/21/41 μ F	—
Capacitância de saída (C_o)	—	41 μ F
Resistência de carga (R_o)	96,8 Ω	96,8 Ω
Razão cíclica CC (D_{dc})	50%	50%
Razão cíclica CA (D_{ac})	18%	29%
Frequência de chaveamento (f_s)	50kHz	50kHz

As formas de onda das correntes de entrada, i_{La} e i_{Lb} , são ilustradas na Figura 3.12(b). Percebe-se, a ondulação de alta frequência que não foi considerada na análise teórica da Seção 3.5. Novamente, a influência da célula multiplicadora pode ser identificada quando se

observa a tensão de saída parcial da etapa *boost*, v_a' e v_b' , e as tensões de saída após a célula multiplicadora v_a e v_b , conforme Figura 3.12(c).

O conteúdo harmônico e a distorção harmônica total (*THD - total harmonic distortion*) das tensões de saída de cada sub-conversor e do inversor são ilustrados na Figura 3.13(a), (b) e (c). Avaliando-se o conteúdo da tensão de saída parcial de cada sub-conversor, verifica-se uma acentuada *THD*³³. A componente de maior influência é a 2ª harmônica, que atinge um valor relativo de cerca de 22%. Pode-se, também, verificar que, como resultado da conexão diferencial, obtém-se um cancelamento natural dos harmônicos pares e de ordem zero.

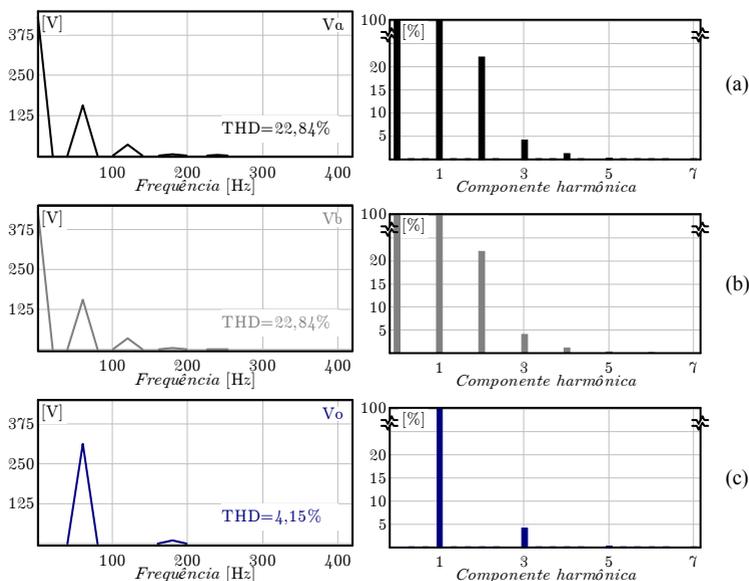


Figura 3.13 - Conteúdo harmônico da tensão de saída - *SCDBI* - Modulação bipolar - 2N: (a) *Sub-conversor A*, (b) *Sub-conversor B*, (c) *Inversor*.

³³ Nesse caso específico, a análise de *THD* foi calculada considerando-se apenas a parcela alternada da forma de onda. No entanto, todos os gráficos apresentados neste trabalho são calculados com o conteúdo total disponível da forma de onda analisada. Será considerado para cálculo da *THD* até o harmônico de 50ª ordem. Harmônicos com amplitude menor que 0,001% serão desconsiderados e, os gráficos plotados com harmônicos com amplitude superior a 0,09%.

Analisando-se o primeiro sub-conversor, observa-se a corrente do indutor *boost* e as correntes de cada capacitor que compõe a célula multiplicadora, conforme Figura 3.14. Além disso, pode-se, também, constatar que a célula a capacitor chaveado opera no modo de carga parcial (*CaP - partial charge*), evitando-se, assim, características de uma forte excursão exponencial. Outro detalhe a ser observado, trata-se da corrente no indutor *boost*, composta por uma parcela de baixa frequência e outra em alta, e que opera no modo de condução contínua.

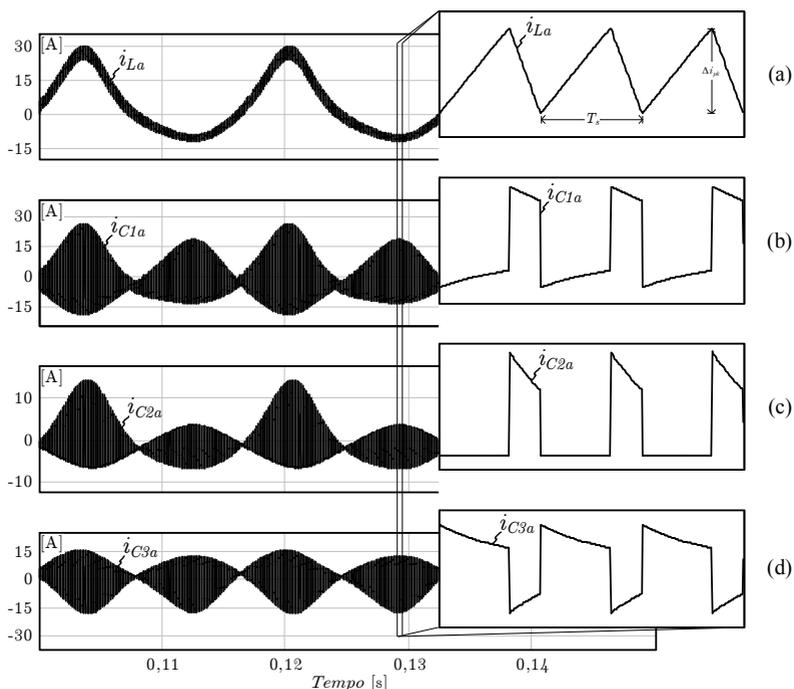


Figura 3.14 - Análise de alta frequência - Principais formas de onda - Célula multiplicadora - SCDBI - Modulação bipolar - 2N.

A Figura 3.15 apresenta as tensões sobre os interruptores do SCDBI (Figura 3.15(a) e (b)), a tensão nos capacitores que compõem a célula multiplicadora (Figura 3.15(c)), bem como a tensão de saída diferencial (Figura 3.15(d)). O valor eficaz de v_o atinge cerca de 220,6 V, com uma THD de 4,15%. A tensão máxima sobre os

interruptores atinge cerca de 330 V, ou seja, metade da tensão total de cada sub-conversor.

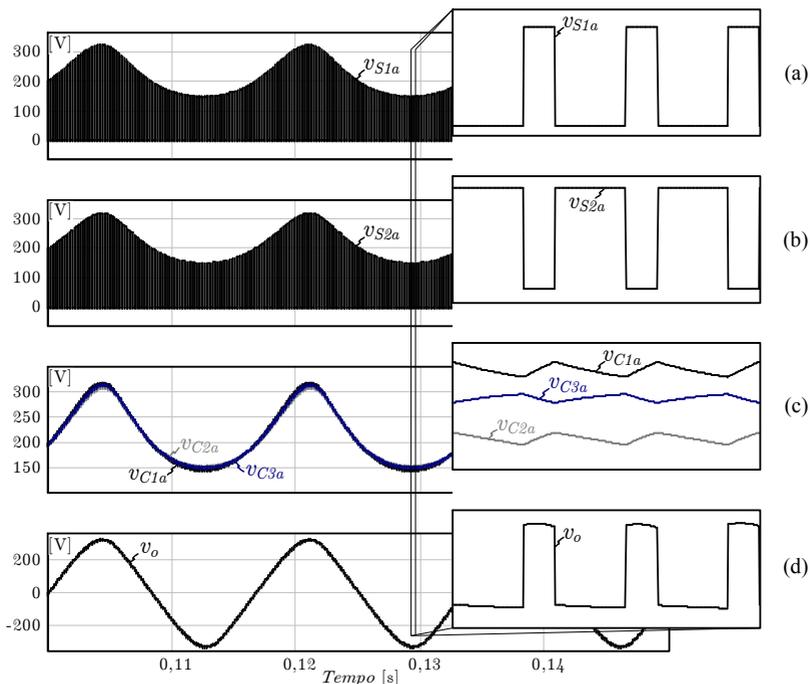


Figura 3.15 - Análise de alta frequência - Formas de onda - Interruptores - SCDBI - Modulação bipolar - 2N.

Analisando-se o conteúdo da tensão de saída, verifica-se que, embora com reduzida THD, a componente de maior influência é a 3ª harmônica, que atinge um valor relativo de cerca de 4,1%, conforme ilustra a Figura 3.16(a) e (b).

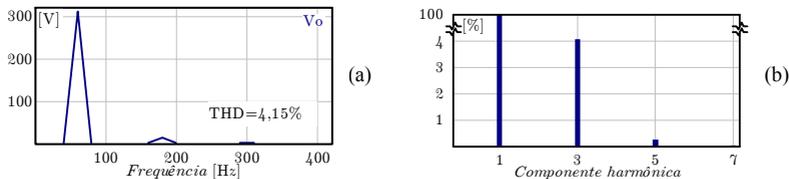


Figura 3.16 - Conteúdo harmônico da tensão de saída - SCDBI - Modulação bipolar - 2N: (a) valor eficaz, (b) percentual.

Conforme citado anteriormente, uma simulação numérica referente ao conversor *DBI*, proposto em [17], foi, também, elaborada. Durante essa análise este conversor será denominado *DBI* equivalente, servindo de base de comparação para com o *SCDBI* proposto. Para tanto, manteve-se a mesma frequência de chaveamento, indutância *boost* e capacitância de saída. As especificações do conversor são apresentadas na Tabela 3.2. Sob tais circunstâncias, a saída diferencial apresenta uma tensão eficaz de 220,8 V, com *THD* próxima de 11,3%, cerca de três vezes maior do que a obtida com o inversor híbrido, conforme Figura 3.17. Tal elevação na *THD* resulta do fato de o *DBI* necessitar de uma maior razão cíclica, forçando o mesmo a operar em regiões de menor linearidade.

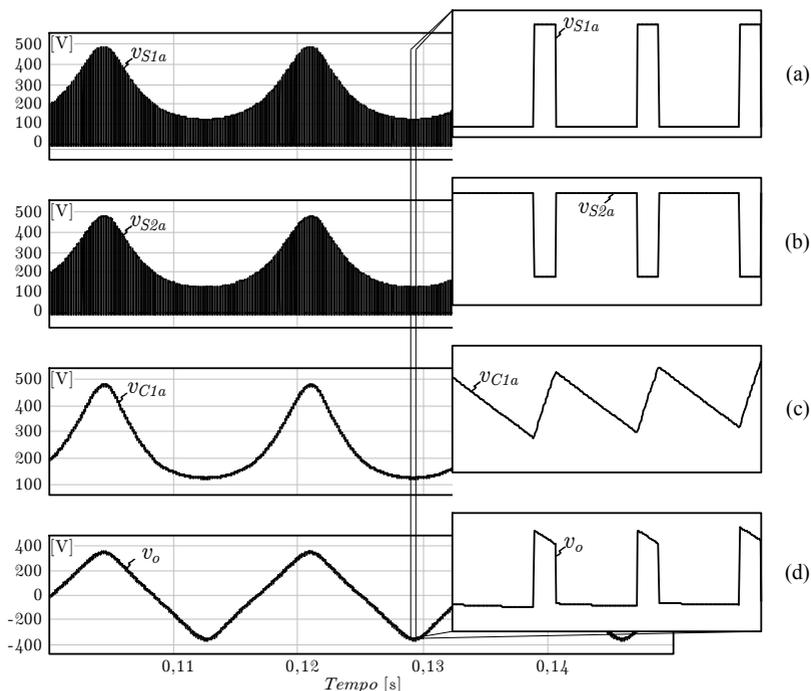


Figura 3.17 - Análise de alta frequência - Principais formas de onda - *DBI*.

A máxima tensão sobre os interruptores atinge 486 V, 45% superior ao obtido no caso do *SCDBI*, conforme Figura 3.17. Nessas condições, a razão cíclica apresenta uma forte influência não-linear.

Analisando-se o conversor *DBI* equivalente, pode-se observar uma considerável elevação na *THD*.

Nesse caso o *DBI* apresenta³⁴ uma componente harmônica de 3ª ordem cerca de duas vezes maior que o *SCDBI*. Enquanto que, a 5ª harmônica eleva-se ainda mais, cerca de cinco vezes, conforme ilustra Figura 3.18.

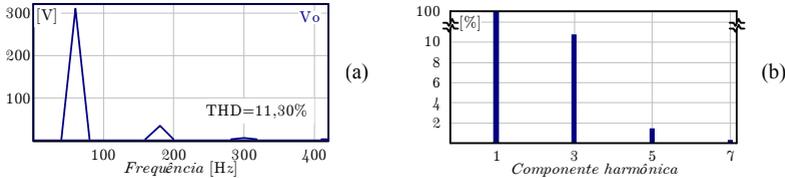


Figura 3.18 - Conteúdo harmônico da tensão de saída - *DBI* - Modulação bipolar - 2N: (a) valor eficaz, (b) percentual.

3.9. FUNÇÃO DE LINEARIZAÇÃO DO GANHO DO *SCDBI*

O ganho do conversor *boost* possui comportamento não-linear [61], o que, tipicamente, resulta em aumento da *THD* da tensão de saída, conforme evidenciaram os resultados apresentados na Seção 3.8. Nesse caso, o *DBI* opera com uma maior razão cíclica, elevando a distorção harmônica da tensão de saída e exigindo um maior esforço do sistema de controle. Esse comportamento é, também, observado no *SCDBI*, porém, com menor intensidade. Uma possível solução é a linearização de ganho, podendo ser implementada na tensão total de saída [35] ou na tensão de cada sub-conversor. Outra solução é a modulação de linearização dinâmica *DLM* (*dynamic linearizing modulation*) apresentada em [54]. Visando a simplicidade de implementação, propõe-se neste trabalho uma nova forma de linearização, realizada em cada sub-conversor, ou seja, no ganho individual de cada um deles. A Figura 3.19(a) ilustra o comportamento da tensão de saída (V_o) de cada sub-conversor, caso uma razão cíclica ideal (d_i) seja utilizada. Assim, como resultado do ganho ideal (G_i) possuir comportamento não-linear,

³⁴ Deve-se registrar que, o *DBI* proposto por Cáceres & Barbi (1995) atinge, em seu projeto original, cerca de 5,02% na *THD* da tensão de saída, quando operando com cerca da metade do ganho, processando a metade da potência e, comutando a 20 kHz.

a tensão de saída apresenta elevada *THD*. Porém, caso um bloco linearizador seja inserido, a razão cíclica puramente senoidal poderia ser "distorcida" de forma a "compensar" o ganho não-linear do conversor, conforme Figura 3.19(b). Obtendo-se, dessa forma, um comportamento linearizado de ganho, conforme Figura 3.19(c).

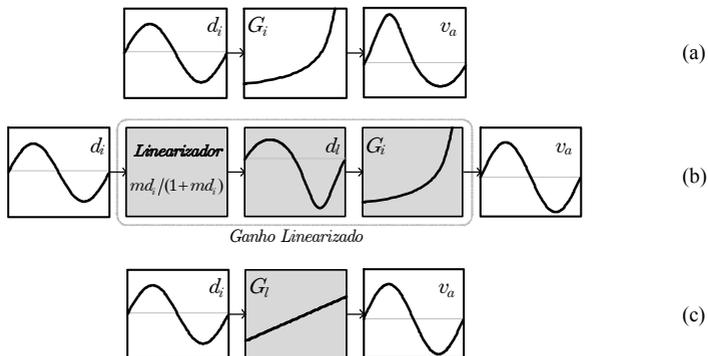


Figura 3.19 - Estratégia de linearização de ganho do sub-conversor *boost*.

Conforme Figura 3.20, a linearização será implementada em torno de uma razão cíclica específica. Uma vez definido dois pontos que compõem a reta, a equação de ganho linearizado pode ser descrita por:

$$G_l(d) = md_i + 1. \tag{3.15}$$

A função de linearização deve gerar um comportamento que multiplicado pelo ganho do conversor *boost* $G_i(d) = 1/(1-d_i)$ resulte no ganho linearizado $G_l(d)$. Igualando-se as expressões $G_l(d)$ e $G_i(d)$, obtém-se a função de linearização:

$$md_i + 1 = \frac{1}{(1-d_i)} \Rightarrow d_i = \frac{md_i}{(1+md_i)}. \tag{3.16}$$

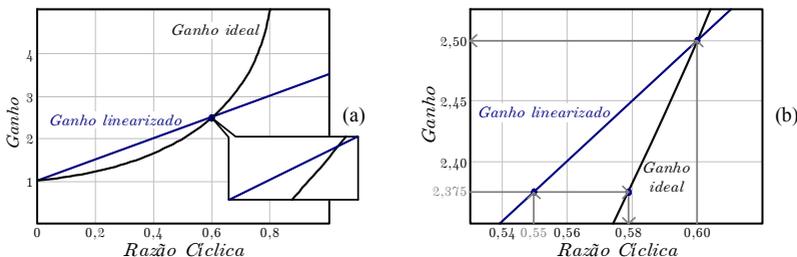


Figura 3.20 - Linearização de ganho: (a) sub-conversor *boost*, (b) detalhe.

No exemplo da Figura 3.20, a linearização ocorre em torno do ponto $d_i = 0,60$, sendo o coeficiente linear unitário e o angular $m = 2,5$. Isso limita o ganho do estágio *boost* em 3,5, o que equivale a uma razão cíclica no conversor de 0,71. Como exemplo da ação linearizante analisa-se a Figura 3.20(b), na qual o conversor opera com $d=0,60$ e, se pretende variar o ganho do conversor de 2,50 para 2,375. Assim, ao aplicar-se a razão cíclica ao bloco linearizador, o mesmo efetua uma correção de 0,550 para 0,579, linearizando, sob o ponto de vista do controle, a característica do conversor.

Conforme Figura 3.21, pode-se observar uma simetria no comportamento do ganho do conversor. Percebe-se, por exemplo, que ao variar-se a razão cíclica em 10% ($0,60 \Rightarrow 0,54$ e de $0,60 \Rightarrow 0,66$) o ganho linearizado do conversor varia em torno de 6% ($-0,15 \Rightarrow +0,15$), de forma simétrica. Enquanto que, ao analisar-se o comportamento de ganho ideal, a mesma variação de razão cíclica, resultaria em uma assimetria de ganho da ordem de 35% ($-0,33 \Rightarrow +0,44$). Conforme citado anteriormente, este comportamento, não-linear, resulta em uma elevada distorção na tensão de saída do inversor.

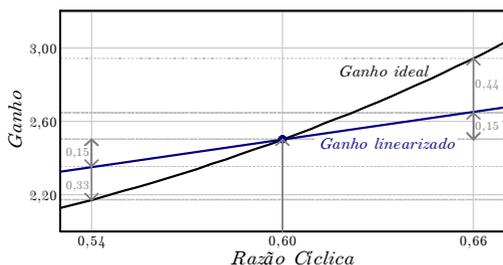


Figura 3.21 - Influência da linearização de ganho.

Finalmente, considerando-se o ganho k da célula multiplicadora a função de linearização deve assumir a seguinte forma:

$$d_i = \frac{md_i}{(k + md_i)} \quad (3.17)$$

3.10. RESULTADOS DE SIMULAÇÃO - MODULAÇÃO 3NL

O conversor *SCDBI* foi inicialmente analisado com modulação bipolar (2N). Com essa modulação ambos os sub-conversores operavam

com sinais complementares, obtendo-se, assim, uma tensão de saída com dois níveis, conforme Figura 3.15.

Outra forma usual de se operar o conversor é usando-se modulação unipolar (3N) [4, 84, 86].

Ainda que não seja imprescindível, mas, visando a simplificação do texto, a análise desta seção será focada na implementação da modulação unipolar considerando o bloco linearizador (3NL) apresentado na Seção 3.9. A Figura 3.22 ilustra os sinais de controle, ganho ideal e linearizado, para cada um dos sub-conversores que compõem a estrutura.

Com a modulação unipolar, o inversor proposto possui quatro etapas de operação, apresentadas de forma genérica na Figura 3.23, ainda que, individualmente, cada sub-conversor mantenha duas etapas, como característica do conversor *boost*, operando no MCC.

A Tabela 3.3 reúne os estados de comutação dos interruptores de potência. No semi-ciclo positivo ocorrem às etapas: **I, II, I, III** e, no semi-ciclo negativo: **IV, II, IV, III**, nessa ordem. A Figura 3.24, detalha as etapas topológicas do conversor, para ambos os semi-ciclos da tensão de saída.

Tabela 3.3 - Estados de comutação dos interruptores de potência.

Estado topológico	I	II	III	IV
S_{1a}/S_{2a}	ON	ON	OFF	OFF
S_{2a}/S_{4a}	OFF	OFF	ON	ON
S_{1b}/S_{3b}	OFF	ON	OFF	ON
S_{2b}/S_{4b}	ON	OFF	ON	OFF

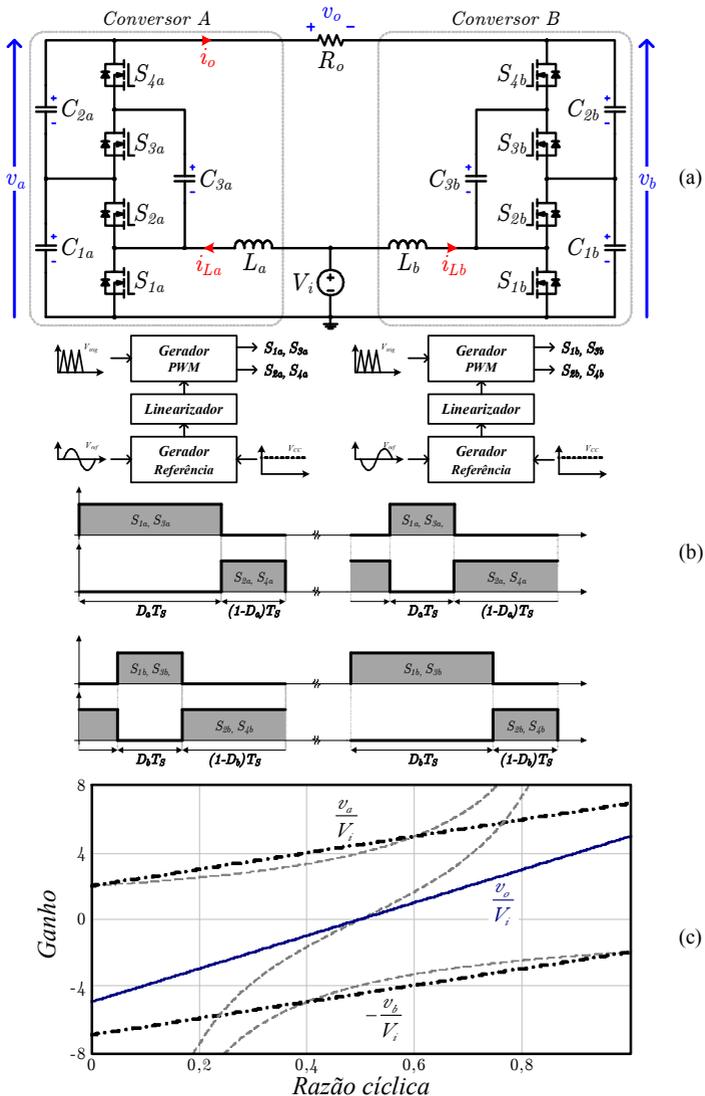


Figura 3.22 - SCDBI proposto: (a) esquemático, (b) sinais PWM, controle e linearização - modulação unipolar - 3NL, (c) características de ganho ideal e linearizado.

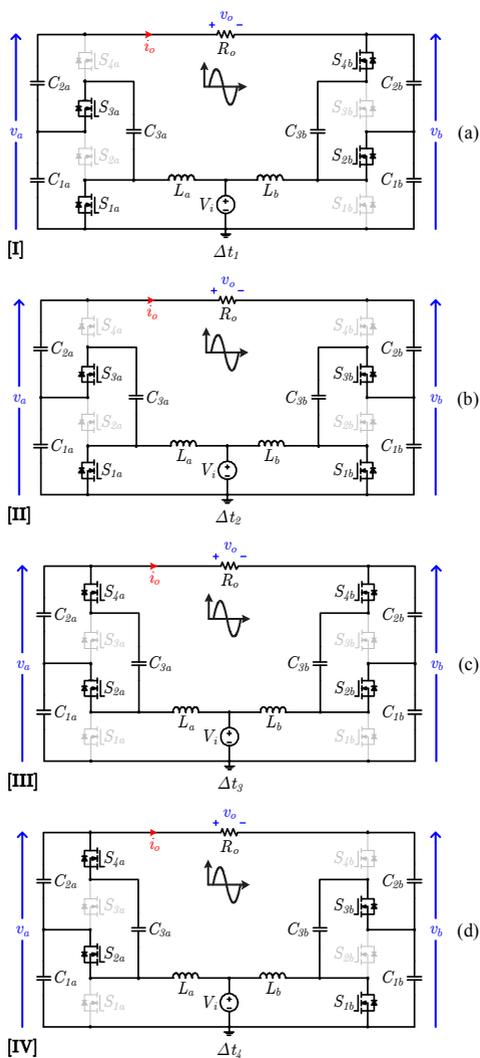


Figura 3.23 - Estados Topológicos - Modulação unipolar - 3N: (a) primeiro, (b) segundo, (c) terceiro e (d) quarto estágio.

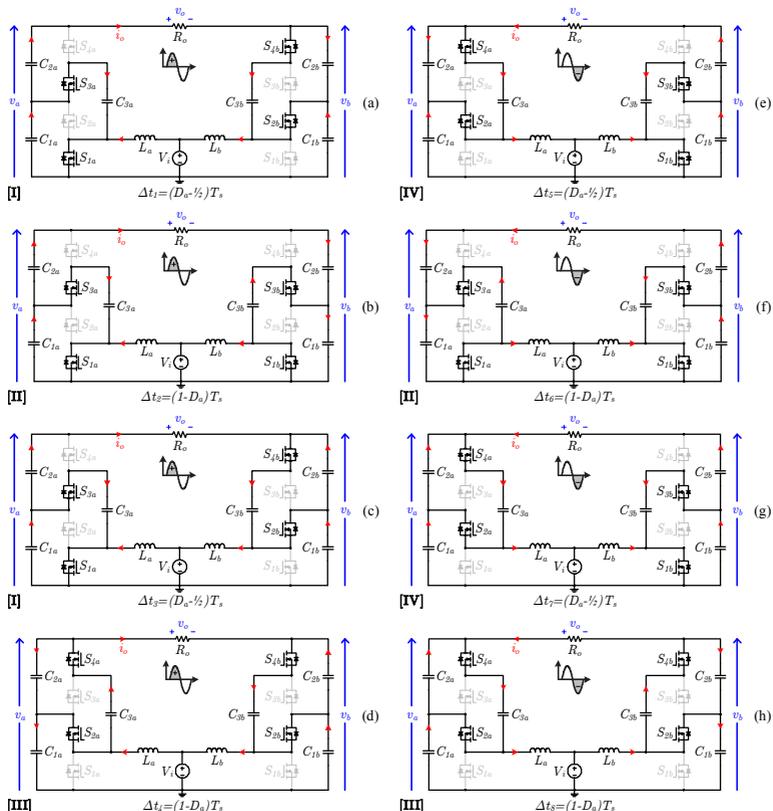


Figura 3.24 - Estados Topológicos - Modulação unipolar - 3N: Semi-ciclo positivo: (a) primeiro, (b) segundo, (c) terceiro e (d) quarto estágio. Semi-ciclo negativo: (e) primeiro, (f) segundo, (g) terceiro e (h) quarto estágio.

Nesta seção identifica-se o ganho do inversor híbrido operando sob modulação 3N. De forma semelhante à abordagem da Seção 3.5 e, conforme apresentado em [51], ao se considerar a operação do SCDBI no modo de condução contínua (MCC), o ganho de tensão teórico para o *sub-conversor A* pode ser definido em função do ganho *k* fornecido pela célula multiplicadora ou em função do número *n* destas células:

$$\frac{v_a}{V_i} = \frac{k}{1-d_a} = \frac{n+1}{1-d_a} \tag{3.18}$$

Assim como para o *sub-conversor B*:

$$\frac{v_b}{V_i} = \frac{k}{1-d_b} = \frac{n+1}{1-d_b}. \quad (3.19)$$

Retomando-se que V_i representa a tensão de entrada, v_a e v_b a tensão de saída de cada sub-conversor e d_a e d_b as razões cíclicas aplicadas aos módulos A e B , respectivamente descritas por:

$$d_a = D_{a,dc} + d_{a,ac}, \quad (3.20)$$

$$d_b = D_{b,dc} + d_{b,ac}. \quad (3.21)$$

Como se pode observar na Figura 3.22, d_a e d_b possuem parcelas contínuas idênticas e componentes alternadas defasadas de 180° , assim:

$$D_{a,dc} = D_{b,dc} = D_{dc}, \quad (3.22)$$

$$d_{a,ac} = -d_{b,ac} = d_{ac}. \quad (3.23)$$

Retomando-se a tensão de saída diferencial e, considerando-se (3.18) e (3.19) obtém-se o ganho do *SCDBI* sob modulação (3N) [84]:

$$\frac{v_o}{V_i} = \frac{v_{ab}}{V_i} = \frac{k(d_a - d_b)}{(1-d_a)(1-d_b)}, \quad (3.24)$$

ou ainda, considerando-se (3.22) e (3.23), tem-se:

$$\frac{v_o}{V_i} = \frac{2kd_{ac}}{(1-D_{dc})^2 - d_{ac}^2}. \quad (3.25)$$

Após a identificação do ganho do *SCDBI* sob modulação (3N), uma breve análise foi desenvolvida como forma de enfatizar a viabilidade da linearização proposta para a modulação em questão. Considerando-se o conversor operando em malha aberta, a Figura 3.25 ilustra as principais formas de onda antes e depois do bloco linearizador³⁵.

A razão cíclica de cada sub-conversor é mostrada na Figura 3.25(a), enquanto, as correntes de entrada e as tensões de saída idealizadas de cada sub-conversor são apresentadas, respectivamente, na Figura 3.25(b) e (c). Pode-se observar, devido à ação linearizante, uma significativa redução na *THD* das tensões de cada sub-conversor. Elevando, assim, a qualidade da tensão total de saída, conforme Figura 3.25(d).

³⁵ O traço contínuo representa a forma de onda na saída do bloco linearizador (3NL).

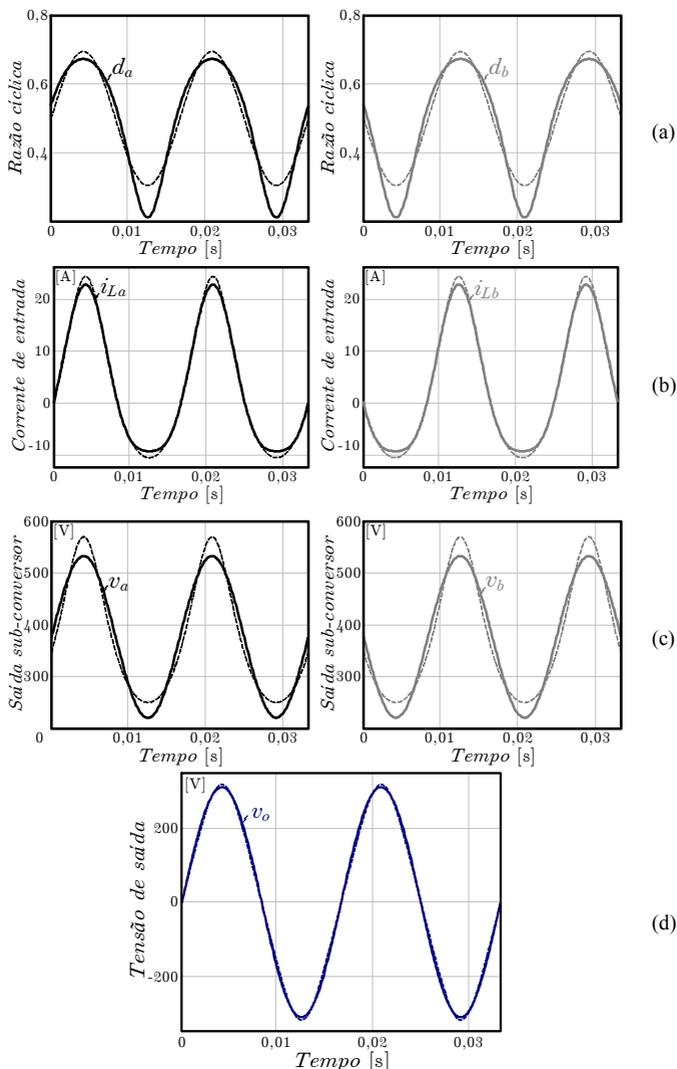


Figura 3.25 - Formas de onda antes e depois do bloco linearizador - Modulação unipolar - 3N/3NL: (a) razão cíclica, (b) corrente de entrada, (c) tensão parcial e (e) tensão total de saída.

Com o objetivo de se verificar o funcionamento do inversor híbrido, sob modulação unipolar (3NL), o comportamento do SCDBI foi analisado, inicialmente, por meio de simulação numérica. As especificações indicadas na Tabela 3.2 foram mantidas. As principais

formas de onda associadas à operação do inversor híbrido são apresentadas na Figura 3.26.

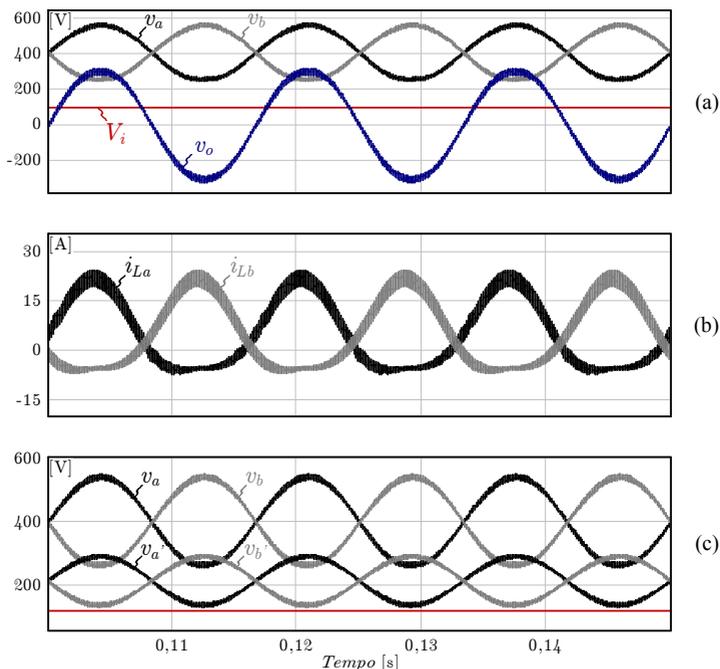


Figura 3.26 - Análise de baixa frequência - Principais formas de onda - SCDBI - Modulação unipolar - 3NL.

Analisando-se a Figura 3.26(a) percebe-se uma redução significativa na distorção de tensão de cada sub-conversor, que resulta em uma melhoria na *THD* da tensão de saída do inversor SCDBI.

Ao analisar-se apenas a parcela alternada da tensão parcial de saída, observa-se cerca de 2,81% de *THD*. Tal distorção representa cerca de um décimo da distorção obtida durante a operação com modulação bipolar. A operação da célula multiplicadora mantém-se basicamente inalterada, conforme pode ser observado na Figura 3.27(d).

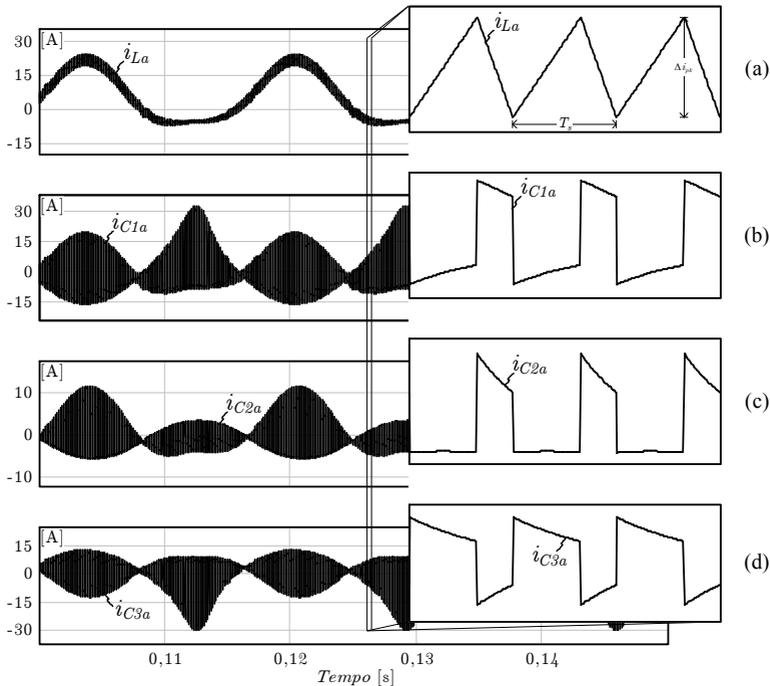


Figura 3.27 - Análise de alta frequência - Principais formas de onda - Célula multiplicadora - SCDBI - Modulação unipolar - 3NL.

Com essa nova modulação pode-se prever uma tensão de saída com um terceiro nível, conforme ilustra Figura 3.28(d). Nessas condições e, operando com tensão de saída nominal, a tensão máxima sobre os interruptores atinge cerca de 283 V.

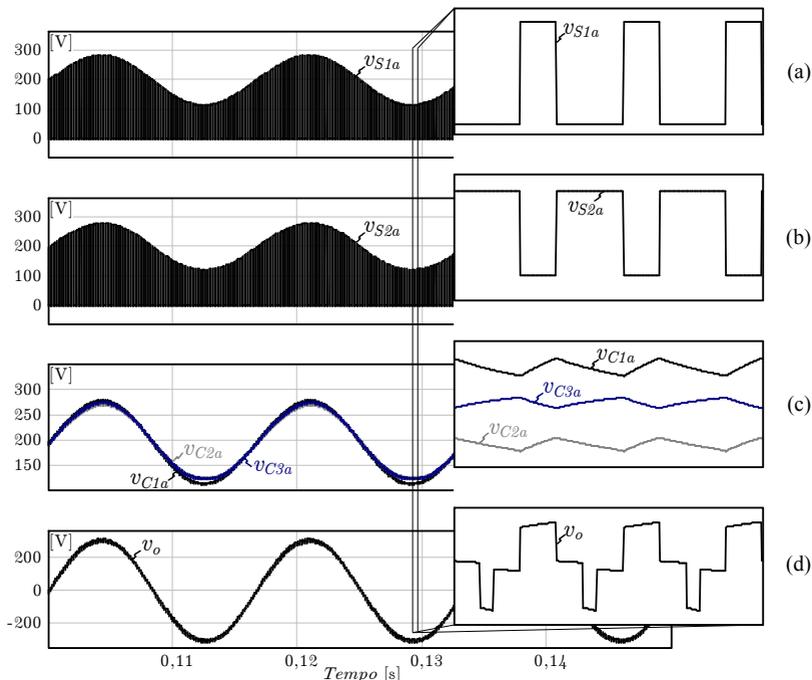


Figura 3.28 - Análise de alta frequência - Formas de onda - Interruptores - SCDBI - Modulação unipolar - 3NL.

Deve-se ainda registrar que, na análise sem o bloco linearizador, a tensão de saída apresentou uma THD de 5,18%, sendo seu espectro harmônico mostrado na Figura 3.29 e que, quando comparado com a modulação 2N da Seção 3.4, a modulação 3N apresentou uma maior THD.

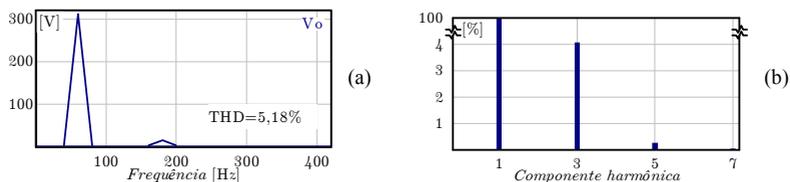


Figura 3.29 - Conteúdo harmônico da tensão de saída - SCDBI - Modulação unipolar - 3N: (a) valor eficaz, (b) percentual.

Entretanto, ao habilitar o bloco linearizador, a tensão de saída atinge cerca de 220,5 V, apresentando, nessas condições, cerca de 3,23% de THD, conforme espectro harmônico ilustrado na Figura 3.30.

Houve uma pequena elevação da componente de 5^a harmônica, cerca de 13%. No entanto, uma importante redução da 3^a componente harmônica, de 4,07 para 1,15%, como pode ser observada.

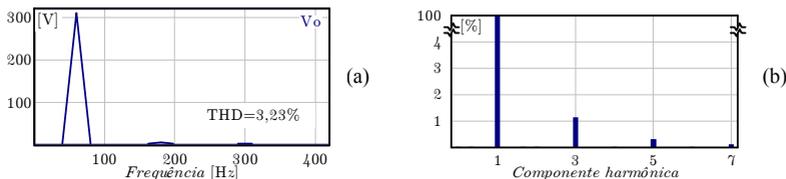


Figura 3.30 - Conteúdo harmônico da tensão de saída - SCDBI - Modulação unipolar - 3NL: (a) valor eficaz, (b) percentual.

Ao observar-se a linearização pode-se constatar, obviamente, a redução da distorção total. No entanto, a redução da tensão sobre os interruptores e da corrente de entrada, em cerca de 16%, contribuem, positivamente, para a elevação do rendimento do conversor.

3.11. MODELAGEM ORIENTADA AO CONTROLE

Devido à grande quantidade de elementos armazenadores de energia, o comportamento do SCDBI é, tradicionalmente, regido por equações diferenciais de elevada ordem. No entanto, conforme Seção 2.6, um conversor *boost* híbrido de ordem n poderia ser modelado por um circuito considerando-se apenas seu comportamento dominante de segunda ordem [73], conforme Figura 3.31, sendo k o ganho da célula multiplicadora, r_{eq} a resistência de amortecimento referenciada ao lado de alta, C_{eq} a capacitância equivalente da célula, L a indutância *boost* e R_o a resistência de carga [74].

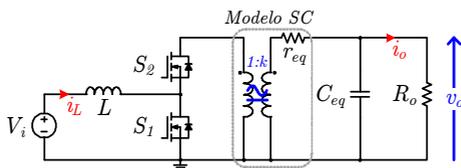


Figura 3.31 - Circuito equivalente do conversor *boost* híbrido.

A partir da conexão diferencial de dois desses circuitos, referenciados ao lado de baixa e, operando sob modulação 3N, pode-se obter o modelo comutado de ordem reduzida que representaria o SCDBI [87], conforme Figura 3.32(a). Ainda, a substituição dos interruptores

por fontes controladas, descritas em função dos valores médios quase instantâneos das respectivas tensões e correntes a que estes interruptores estão submetidos [75], conduz ao modelo médio de grandes sinais que representa a topologia. Aplicando-se pequenas perturbações às variáveis que descrevem o modelo médio de grandes sinais, torna-se possível extrair um modelo CC, que descreve o conversor no ponto de operação, Figura 3.32(b), e um modelo CA de pequenos sinais³⁶, Figura 3.32(c), que caracteriza seu comportamento dinâmico e permite obter a função de transferência que relaciona a variável a ser controlada (v_o) e variável de controle (d).

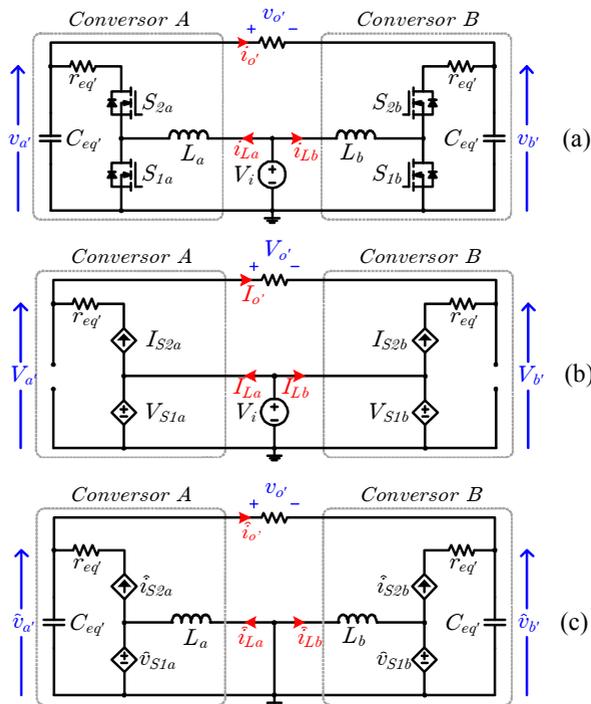


Figura 3.32 - Modelos equivalentes para o SCDBI - (3N): (a) modelo comutado; (b) modelo CC e (c) modelo de pequenos sinais.

Por meio da análise do modelo CC é possível encontrar as seguintes relações:

³⁶ Considerando-se a fonte de entrada isenta de perturbações.

$$V_a' = \frac{V_i - r_{eq}' I_{La} (1-D)}{(1-D)}, \quad V_b' = \frac{V_i - r_{eq}' I_{Lb} D}{D}, \quad (3.26)$$

$$I_{La} = \frac{I_o'}{(1-D)} \quad \text{e} \quad I_{Lb} = \frac{-I_o'}{D}. \quad (3.27)$$

A partir do modelo de pequenos sinais é possível determinar a função de transferência $G_{vd}(s)$ desejada, dada por (3.28), cujos coeficientes são resumidos na Tabela 3.4.

$$G_{vd}(s) = \frac{\hat{v}_o}{\hat{d}} = \frac{b_3 s^3 + b_2 s^2 + b_1 s + b_0}{a_4 s^4 + a_3 s^3 + a_2 s^2 + a_1 s + a_0} \quad (3.28)$$

Deve-se, ainda, retomar que, conforme proposto em [74] e, considerando-se $C_1 = C_2 = C_3 = C$, C'_{eq} e r'_{eq} podem ser expressos por:

$$C'_{eq} = \frac{2Ck^2 [D(1-D) + 2]}{k [D(1-D) + 2] - 2D(1-D) + 2} \quad (3.29)$$

e

$$r'_{eq} = kr_c (1-D), \quad (3.30)$$

Tabela 3.4 - Coeficientes da função de transferência.

Coeficientes	
b_3	$-C'_{eq} L_b^2 k R_o (I_{La} + I_{Lb})$
b_2	$C'_{eq} L_b V_a' k R_o (1-D) - C'_{eq} I_{Lb} L_b k R_o r'_{eq} (1-D) + \dots$ $C'_{eq} D L_b k R_o (V_b' - I_{Lb} r'_{eq})$
b_1	$-D^2 L_b k R_o (I_{La} + I_{Lb}) + I_{Lb} L_b k R_o (2D-1) + \dots$ $C'_{eq} D k R_o r'_{eq} (V_a' + V_b') - C'_{eq} R_o D^2 k r'_{eq} (V_a' + V_b')$
b_0	$D V_b' R_o k + D^2 k R_o (V_a' - 2V_b') + D^3 k R_o (V_b' - V_a')$
a_4	$C'_{eq} L_b^2 R_o$
a_3	$R_o r'_{eq} C'_{eq} L_b + 2C'_{eq} L_b^2 k^2$
a_2	$R_o C'_{eq} D r'_{eq} (1-D) - 2L_b R_o C'_{eq} D (1-D) + \dots$ $2L_b C'_{eq} k^2 r'_{eq} + L_b R_o C'_{eq}$
a_1	$2C'_{eq} D k^2 r'_{eq} (1-D) - 2L_b D k^2 (1-D) + \dots$ $C'_{eq} R_o D r'_{eq} (1-D) + L_b k^2$
a_0	$k^2 r'_{eq} D (1-D) + R_o D^2 (1-D)^2$

A modelagem proposta foi validada, por meio de simulação numérica, usando o software PSIM® e os parâmetros listados na Tabela 3.5. Para validação do modelo simplificado proposto, uma pequena perturbação de razão cíclica de aproximadamente 1% foi aplicada em torno do ponto de operação.

Tabela 3.5 - Principais especificações do inversor híbrido.

Descrição do SCDBI	Valor
Tensão de entrada (V_i)	100 V
Tensão eficaz de saída (V_o)	220 V
Potência de saída (P_o)	500 W
Máxima ondulação de corrente de entrada (Δi_{pi})	30%
Razão cíclica CC (D_{dc})	27,7%
Razão cíclica CA (D_{ac})	24,0%
Ganho da célula multíp. (k)	2
Coefficiente de linearização (m)	3,3
Resistênciaconc. célula multíp. (r_c)	125 mΩ
Frequência de chaveamento (f_s)	50 kHz

A Figura 3.33 apresenta as respostas dinâmicas obtidas a partir do modelo linearizado de pequenos sinais (V_{o_linear}) e do modelo comutado (V_{o_comut}), tanto no domínio do tempo quanto no da frequência. Consta-se que o modelo linearizado representa satisfatoriamente o conversor comutado.

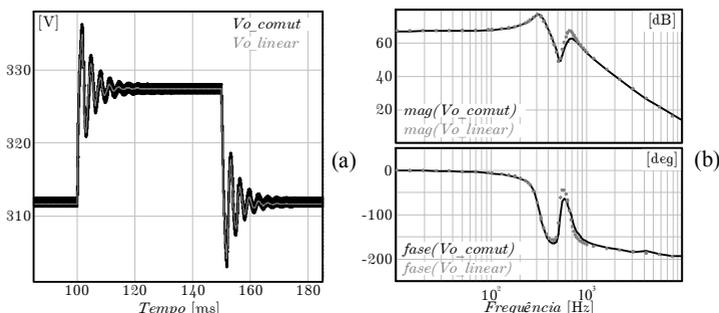


Figura 3.33 - Validação dos modelos - (3N): (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado.

3.12. CONTROLE

Foi implementada uma única malha de controle, Figura 3.34, para regular a tensão de saída do inversor por meio do uso de um controlador

proporcional-ressonante. A equação recursiva discreta foi obtida aplicando-se a transformada de Tustin *pré-warping* [88] em (3.31).

$$H(s) = K_p + \frac{K_r s}{s^2 + 2\zeta\omega_r s + \omega_r^2} \quad (3.31)$$

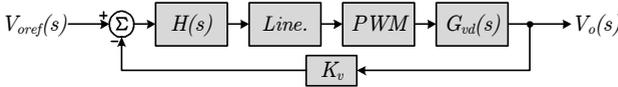


Figura 3.34 - Diagrama de blocos referente à estratégia empregada para o controle do SCDBI.

A transformada Tustin *pré-warping* garante uma transformação eficaz de controladores ressonantes para o tempo discreto, uma vez que a frequência de ressonância ω_r aparece na transformação, conforme:

$$s = \frac{\omega_r}{\tan\left(\frac{\omega_r T_a}{2}\right)} \frac{z-1}{z+1} \quad (3.32)$$

Onde T_a representa o período de amostragem.

Outros métodos de transformação, como a transformada de Tustin clássica, produzem uma diferença na resposta de fase, próximo da frequência de ressonância, podendo conduzir o sistema a instabilidade [88].

Aplicando (3.32) em (3.31), obtém-se a equação recursiva do controlador, definida como:

$$y(n) = Ax(n) + Bx(n-1) + Cx(n-2) + Dy(n-1) + Ey(n-2), \quad (3.33)$$

3.13. CONCLUSÕES PARCIAIS

Neste capítulo apresenta-se um novo conversor CC-CA, denominado inversor *boost* diferencial a capacitor chaveado (SCDBI). Seu princípio de funcionamento é descrito e discutido. Apresenta-se ainda sua topologia, modulação, análise matemática, ganho ideal e com perdas. Finalmente, propõe-se uma generalização que pode elevar a taxa de ganho para o inversor base *boost*. O novo conversor nasce da integração de uma célula multiplicadora a capacitor chaveado e um conversor *boost* convencional. A célula a capacitor chaveado garante a capacidade de multiplicação de ganho, possibilitando assim uma maior tensão na saída do inversor. Uma contribuição adicional encontra-se na

redução significativa da razão cíclica, expandindo a região aproximadamente linear e, reduzindo, assim, os esforços de controle e oferecendo maior ganho com menor esforço de tensão. O novo inversor pode ampliar a aplicação do inversor *boost* proposto por Cáceres & Barbi (1995). O inversor é aplicável no projeto de UPS (*uninterruptible power supply*) e fontes de energia renovável, sempre que uma tensão alternada maior do que a tensão de barramento CC seja necessária, sem a necessidade de um estágio intermediário de conversão. O conversor *SCDBI* é analisado sob modulação de 2N e 3N. Apresenta-se também uma função de linearização de ganho que permite a redução da *THD* em cerca de 26%.

4. SCDBI OPERANDO NO MODO AUTÔNOMO

4.1. INTRODUÇÃO

Este capítulo apresenta um exemplo de projeto do inversor híbrido, simulações para comprovar a metodologia; além da implementação e teste de um protótipo de 500 W. O protótipo é avaliado sob diferentes tipos de carga e, operando em malha aberta e fechada.

4.2. EXEMPLO DE PROJETO

Visando a simplificação da análise algumas considerações serão efetuadas, *e.g.*, o conversor opera em regime permanente no modo de condução contínua (MCC), todos os interruptores serão considerados ideais e, a célula multiplicadora possui ganho $k=2$. As especificações adotadas para o projeto do SCDBI são reapresentadas na Tabela 4.1. A Figura 4.1 ilustra o esquemático do inversor implementado.

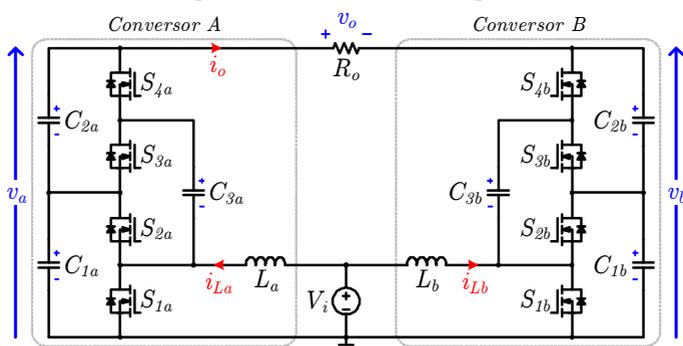


Figura 4.1 - Esquemático do SCDBI proposto.

Tabela 4.1 - Principais especificações do inversor híbrido.

Descrição do SCDBI	Valor
Tensão de entrada (V_i)	100 V
Tensão eficaz de saída (V_o)	220 V
Potência de saída (P_o)	500 W
Máxima ondulação de corrente de entrada ($\Delta i_{p,i}$)	30%
Razão cíclica CC (D_{cc})	50,0%
Razão cíclica CA (D_{ca})	17,2%
Ganho da célula multíp. (k)	2
Resistência conc. célula multíp. (r_c)	125 m Ω
Frequência de chaveamento (f_s)	50 kHz

4.2.1. Projeto do estágio de potência

A partir das equações (3.4), (3.5), (3.6) e, com base na tensão de saída desejada, a razão cíclica do *SCDBI* pode ser calculada conforme equação (3.7), aqui rerepresentada:

$$d = \frac{v_o - 2kV_i + \sqrt{(2kV_i)^2 + v_o^2}}{2v_o} \Rightarrow \begin{cases} D_{dc} = 0,500 \\ D_{ac} = 0,172 \\ D_{pk} = 0,672 \end{cases}, \quad (4.1)$$

Sendo D_{dc} a parcela contínua, D_{ac} a parcela senoidal e D_{pk} a máxima razão cíclica.

A expressão da corrente instantânea teórica³⁷ de entrada de cada sub-conversor é determinada por:

$$i_a = \frac{k^2 V_i (2d - 1)}{d(1 - d)^2 R_o} \quad \text{e} \quad i_b = \frac{-k^2 V_i (2d - 1)}{d^2 (1 - d) R_o} \quad (4.2)$$

De posse da máxima razão cíclica de operação (D_{pk}), pode-se, por meio de (4.2), identificar a máxima corrente do indutor (i_{Lpk}), que nesse projeto atinge cerca de 19,6 A.

A frequência de comutação foi fixada em 50 kHz. A partir de (3.12) e, estabelecendo-se uma ondulação máxima de corrente de entrada (Δi_{pk}) de 30%, o indutor *boost* é calculado:

$$L_a = L_b = \frac{V_i D_{pk}}{f_s \Delta i_{pk}} = 220 \mu H. \quad (4.3)$$

Função dos esforços sobre os interruptores adotou-se o interruptor *IXFH60N65X2*³⁸ e considerando-se o efeito de elevação térmica (100°C), a resistência total de condução foi fixada em 125 mΩ.

Com relação ao projeto da célula multiplicadora, e, visando à redução dos esforços nos interruptores, o modo de carga parcial foi adotado como critério de projeto, optando-se pela definição do fator $f_s T = 0,50$ [69, 72]. Assim, conforme (3.14), da relação $f_s T$ obtém-se

³⁷ Considerando-se que o ganho da célula multiplicadora seja $k=2$ e que a ondulação de corrente de alta frequência seja nula.

³⁸ Segundo *datasheet* do fabricante o *MOSFET Ixys HiPerFET™ IXFH60N65X2* apresenta $R_{ds(on)} \leq 52 m\Omega @ 25^\circ C$. Deve-se, ainda, registrar sobre a tensão de bloqueio do interruptor adotado. Ainda que a tensão máxima a qual os interruptores foram submetidos durante os ensaios, oscila-se em torno de 290 V, um interruptor de 650 V foi adotado, por mera disponibilidade.

um valor mínimo de capacitância de aproximadamente $40 \mu\text{F}$, valor esse a ser adotado para os capacitores C_3 e C_1 . Em função dos reduzidos esforços de corrente a qual é submetido o capacitor de barramento (C_2), fixou-se o mesmo em $20 \mu\text{F}$.

4.2.2. Esforços nos componentes

Os esforços dos componentes foram calculados a partir da análise no período de comutação do Capítulo 2 frente a uma variação senoidal de razão cíclica.

A corrente eficaz do indutor *boost* pode ser determinada ao analisar o primeiro sub-conversor a partir de (3.10), obtendo-se:

$$\left\langle i_{L_{a_{\text{ms}}}} \right\rangle_{T_g} = \sqrt{\frac{1}{T_g} \left(\int_0^{T_g} i_{L_a}^2(t) dt \right)} \Rightarrow i_{L_{a_{\text{ms}}}} = i_{L_{b_{\text{ms}}}} = 10,5\text{A} \quad (4.4)$$

A tensão máxima sobre os capacitores da célula multiplicadora é calculada desprezando-se a ondulação de tensão de C_1 .

Assim, a partir de (3.4) e, considerando-se a máxima razão cíclica de operação, tem-se:

$$\left\langle v_{C_{1_{pk}}} \right\rangle_{T_g} = \frac{V_i}{1-D_{pk}} \Rightarrow v_{C_{1_{pk}}} = v_{C_{2_{pk}}} = v_{C_{3_{pk}}} = 304,5\text{V} \quad (4.5)$$

O interruptor com maior esforço de corrente é S_1 , por ser um dos elementos de integração entre o conversor *boost* e a célula *SC*. Com base em (3.7) e (3.10) pode-se identificar a corrente eficaz associada ao interruptor S_1 :

$$\left\langle i_{S_{1_{\text{ms}}}} \right\rangle_{T_g} = \sqrt{\frac{1}{T_g} \int_0^{T_g} \left(\frac{i_{L_a}(t)(d_1(t)+1)}{2\sqrt{d_1(t)}} \right)^2 dt} \Rightarrow i_{S_{1_{\text{ms}}}} = 11,1\text{A} \quad (4.6)$$

As principais características dos componentes adotados no protótipo do inversor híbrido implementado³⁹ são apresentadas na Tabela 4.2.

³⁹ Obtidas conforme especificações da Tabela 4.1.

Tabela 4.2 - Principais características dos componentes do SCDBI.

Componentes do SCDBI	Descrição
Indutor boost (L_a, L_b)	2xAPH46P60 @28esp #2x435x41Awg
Caps. cel. multip. (C_1, C_2, C_3)	2xB32678G6206K+1xC4ATHBU4100A3BJ 1xB32678G6206K+1xC4ATHBU4100A3BJ 2xB32678G6206K+1xC4ATHBU4100A3BJ
Interruptores (S_1, S_2, S_3, S_d)	IXFH60N65X2 ⁴⁰
Resistor de carga (R_o)	96,8 Ω

4.2.3. Controle

Conforme seção 3.12, um controlador proporcional-ressonante, descrito por (4.7), foi implementado para regular a tensão de saída. Os requisitos para projetar o controlador foram, assim, fixados: frequência de ressonância (ω_r) de 60 Hz, frequência de cruzamento de 250 Hz, margem de fase de 60° e coeficiente de amortecimento (ζ) 0,001. Sendo as constantes K_p , K_r e K_v ajustadas para 698×10^{-6} , 881×10^{-3} e 1, respectivamente.

$$H(s) = K_p + \frac{K_r s}{s^2 + 2\zeta\omega_r s + \omega_r^2} \quad (4.7)$$

$$s = \frac{\omega_r}{\tan\left(\frac{\omega_r T_a}{2}\right)} \frac{z-1}{z+1} \quad (4.8)$$

Aplicando-se a transformada de Tustin *pré-warping* (4.8) em (4.7), obtém-se a equação recursiva do controlador, definida como:

$$y(n) = Ax(n) + Bx(n-1) + Cx(n-2) + Dy(n-1) + Ey(n-2), \quad (4.9)$$

sendo os coeficientes, para um período de amostragem de 20 μ s, resumidos na Tabela 4.3.

Tabela 4.3 - Coeficientes da equação recursiva.

Coeficientes	
A	0.0007069818501
B	-0.001396289780
C	0.0006893476216
D	1,999928069
E	-0,9999849202

⁴⁰ Deve-se reforçar que a tensão máxima a qual os interruptores foram submetidos durante os ensaios, oscilava em torno de 290V, ainda assim, um interruptor de 650V foi adotado, por mera disponibilidade.

4.3. ANÁLISE POR SIMULAÇÃO DO SCDBI

Visando a validação da análise teórica e a verificação do comportamento do conversor, foram efetuadas algumas simulações numéricas. Novamente, o *software* PSIM® foi adotado para tal finalidade. Os testes foram realizados com o objetivo de analisar o desempenho da estrutura, já com a função de linearização de ganho implementada, operando em malha aberta e malha fechada. O inversor foi avaliado operando com cargas do tipo resistiva, indutiva e não-linear, além da operação a vazio.

4.3.1. Simulação com carga resistiva

Esta subseção analisa o comportamento do inversor alimentando uma carga puramente resistiva de 500 W ($R_o=96,8\Omega$), conforme ilustra a Figura 4.2(a).

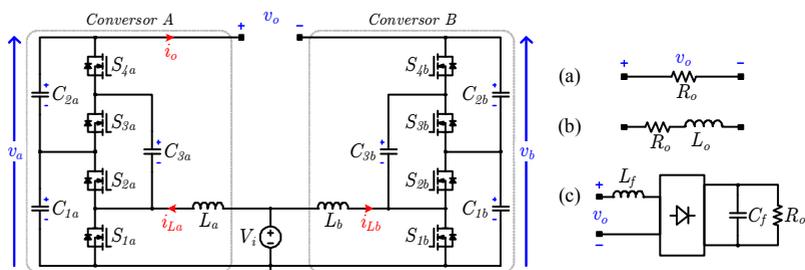


Figura 4.2 - Inversor híbrido operando com carga: (a) resistiva, (b) indutiva, (c) não-linear.

A Figura 4.3 ilustra alguns resultados de simulação do SCDBI proposto, operando sob modulação 3NL e, ainda operando em malha aberta. A análise é efetuada em baixa frequência (rede) e, posteriormente, em alta frequência (chaveamento). Pode-se observar na Figura 4.3(a) as tensões individuais de cada sub-conversor (v_a e v_b), assim como, a tensão diferencial de saída (v_o).

A análise da corrente de entrada, Figura 4.3(b), indica uma ondulação máxima de cerca de 5,7 A, levemente inferior às especificações estabelecidas. A corrente do indutor possui valor eficaz de 11,3 A com picos da ordem de 24 A. Através da observação da corrente do capacitor chaveado $C_{3\omega}$, Figura 4.3(d), observa-se picos da ordem de 33 A,

podendo-se ainda comprovar que a célula multiplicadora opera no modo de carga parcial, conforme especificação de projeto.

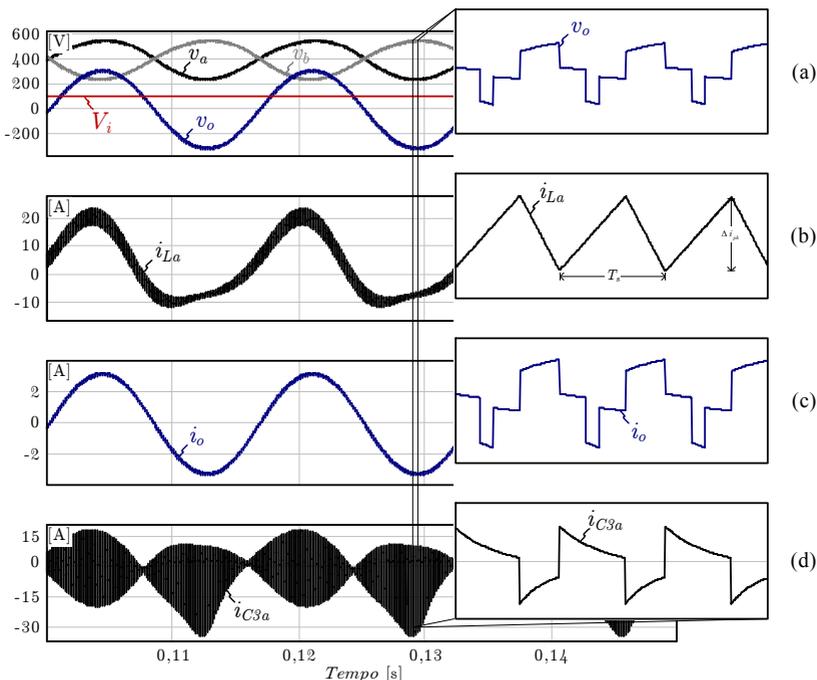


Figura 4.3 - Análise de alta frequência - Principais formas de onda - SCDBI - Modulação unipolar - 3NL - Malha aberta - Operação com carga resistiva.

Nessas condições⁴¹ o inversor apresenta uma tensão de saída de cerca 223 V com *THD* de 1,66%. Conforme Figura 4.4 pode-se constatar que a *THD* é basicamente composta pela 3^a harmônica, que responde por cerca de 80% da distorção total. Deve-se, ainda, reforçar que, durante tais simulações foram inseridas não-idealidades relacionadas aos indutores e à célula multiplicadora, desconsideradas durante a análise teórica inicial. A inserção destas não-idealidades torna necessária a correção da razão cíclica de projeto em cerca de 15%.

⁴¹ Durante as simulações considerou-se $D_{dc}=0,321 / D_{ac}=0,278$ e coeficiente de linearização $m=3,3$.

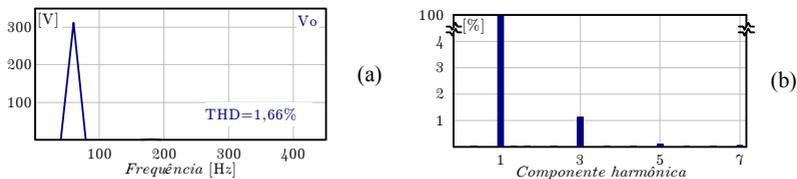


Figura 4.4 - Conteúdo harmônico da tensão de saída - SCDBI - Modulação unipolar - 3NL - Malha aberta - Operação com carga resistiva: (a) valor eficaz, (b) percentual.

Num segundo momento o inversor foi analisado em malha fechada e, os resultados compilados na Figura 4.5. A ação do controlador promove uma redução na distorção da tensão de saída em cerca de 20%. O conteúdo harmônico referente à operação em malha fechada é apresentado na Figura 4.6. Vale destacar que o conversor já operava com bloco linearizador e, em malha fechada, reduzindo, assim, os esforços de controle.

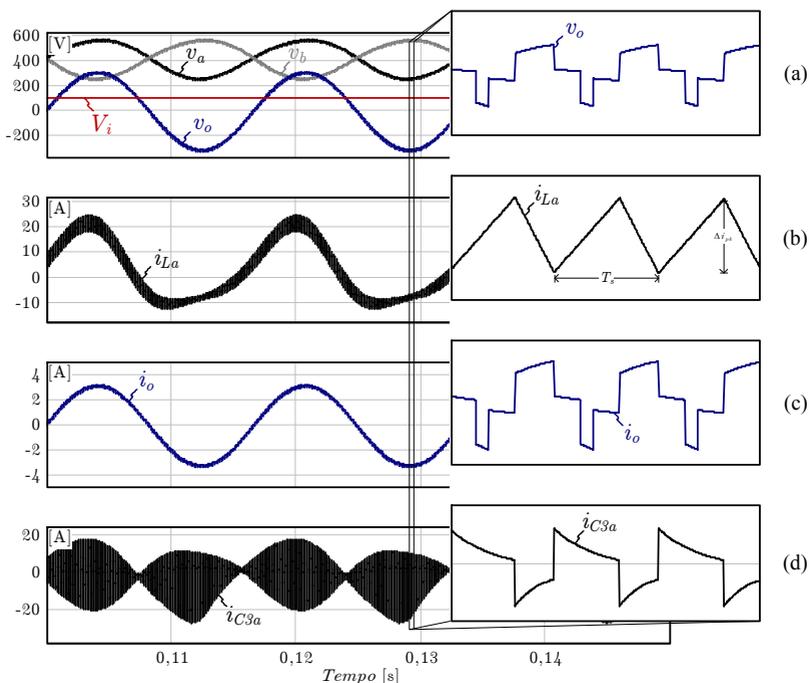


Figura 4.5 - Análise de alta frequência - Principais formas de onda - SCDBI - Modulação unipolar - 3NL - Malha fechada - Operação com carga resistiva.

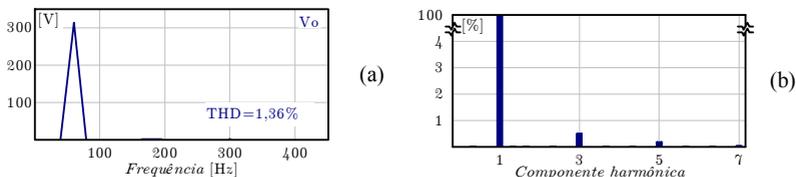


Figura 4.6 - Conteúdo harmônico da tensão de saída - *SCDBI* - Modulação unipolar - 3NL - Malha fechada - Operação com carga resistiva: (a) valor eficaz, (b) percentual.

Finalizando as análises para carga resistiva, o comportamento do inversor é investigado sob perturbação de carga, conforme ilustra Figura 4.7. O caso simulado consiste no inversor operando em regime permanente e carga reduzida (192 W), quando se aplica um degrau de carga de cerca de $\pm 60\%$. A análise da tensão de saída demonstra a atuação adequada do controlador implementado, fixando a variável controlada em $220\text{ V} \pm 3\%$.

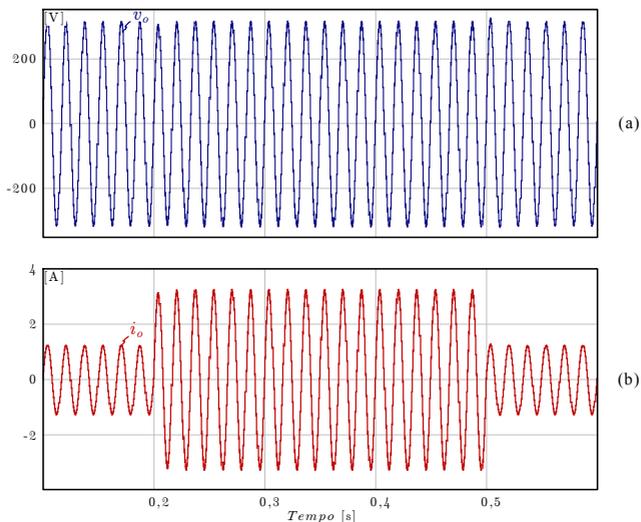


Figura 4.7 - Análise de baixa frequência - Atuação do controlador - *SCDBI* - Modulação unipolar - 3NL - Malha fechada - Operação com carga resistiva.

4.3.2. Simulação com carga indutiva

Dando continuidade aos testes, nesta seção analisa-se o inversor alimentando uma carga indutiva de cerca de 700 VA com fator de

potência de 0,86 ($R_o=60\Omega$, $L_o=95\text{mH}$), conforme ilustra Figura 4.2(b). A Figura 4.8(a) mostra as principais tensões do conversor, a Figura 4.8(b) a corrente de um dos indutores, a Figura 4.8(c) a corrente de carga e a Figura 4.8(d) a corrente no capacitor C_{3a} . Deve-se reforçar que, durante esta análise o inversor opera em malha fechada e, com bloco de linearização habilitado.

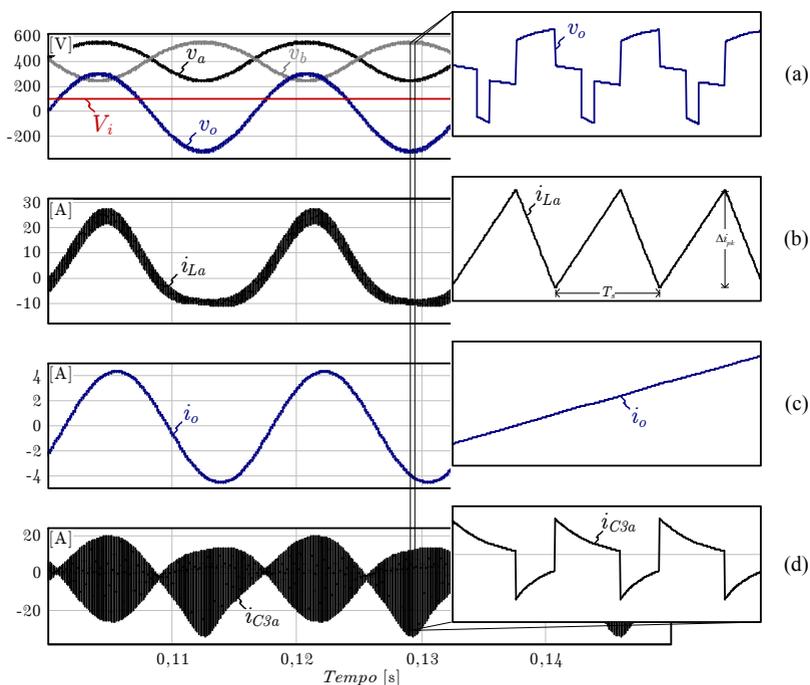


Figura 4.8 - Análise de alta frequência - Principais formas de onda - SCDBI - Modulação unipolar - 3NL - Malha fechada - Operação com carga indutiva.

Nessas condições, o inversor processa 595 W e apresenta uma tensão de saída de 220 V com THD de cerca de 1,57%, conforme Figura 4.9(a).

A THD é basicamente composta pela 3ª harmônica, que contribui com cerca de 85% da distorção total de tensão, conforme Figura 4.9(b).

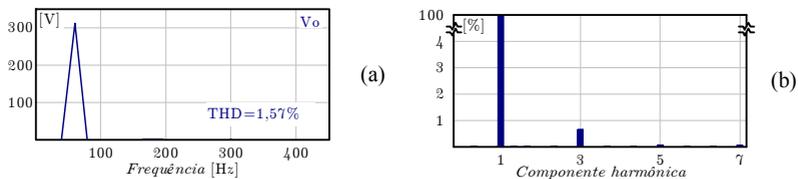


Figura 4.9 - Conteúdo harmônico da tensão de saída - SCDBI - Modulação unipolar - 3NL - Malha fechada - Operação com carga indutiva: (a) valor eficaz, (b) percentual.

4.3.3. Simulação com carga não-linear

Nesta seção analisa-se o inversor alimentando uma carga não-linear de 300 VA com fator de crista de 2,73 ($R_o=360\ \Omega$, $L_f=8,8\ \text{mH}$, $C_f=470\ \mu\text{F}$), conforme ilustra Figura 4.2(c).

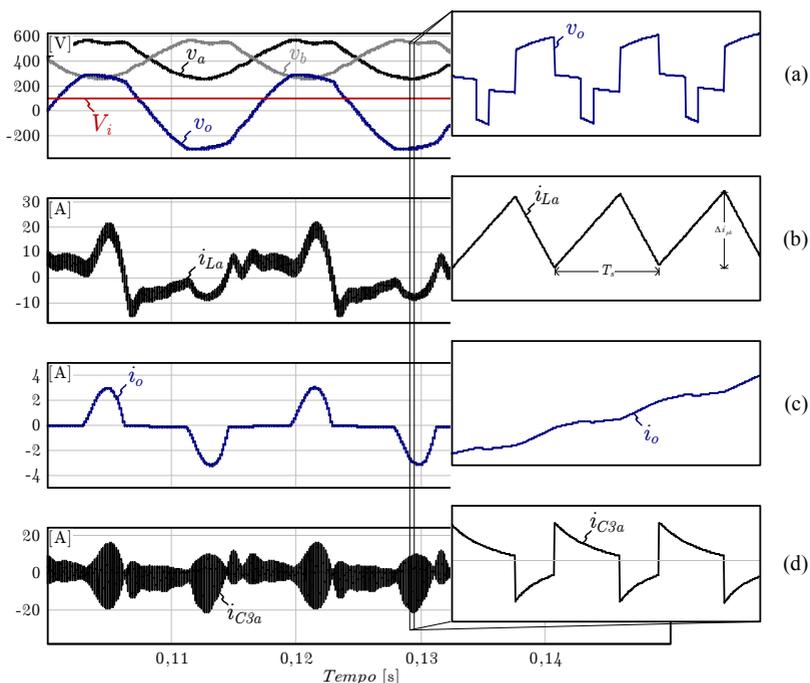


Figura 4.10 - Análise de alta frequência - Principais formas de onda - SCDBI - Modulação unipolar - 3NL - Malha fechada - Operação com carga não-linear.

A Figura 4.10(a) apresenta as principais tensões do conversor, a Figura 4.10(b) a corrente de um dos indutores *boost*, a Figura 4.10(c) a corrente de carga e a Figura 4.10(d) a corrente no capacitor da célula multiplicadora C_{3a} . O inversor mantém tensão nominal de saída. Apesar da distorção provocada pela carga não-linear, a estrutura opera adequadamente.

A análise de *Fourier* da tensão de saída do inversor (Figura 4.11), revela uma *THD* de cerca de 5,34% e a presença significativa de harmônicos até a 15^a ordem. Deve-se lembrar que o conversor opera em malha fechada e, nas mesmas condições em malha aberta, a distorção de tensão atingia cerca de 9%.

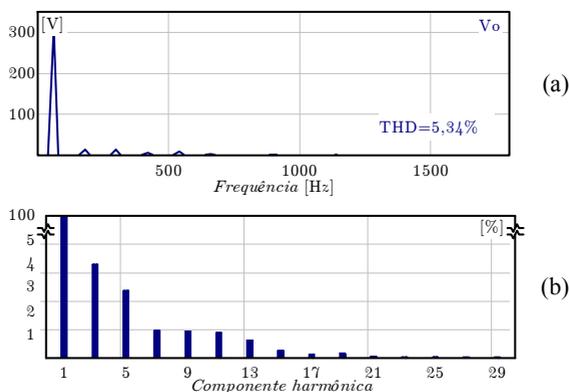


Figura 4.11 - Conteúdo harmônico da tensão de saída - SCDBI - Modulação unipolar - 3NL - Malha fechada - Operação com carga não-linear: (a) valor eficaz, (b) percentual.

4.3.4. Simulação a vazio

O último teste verifica o comportamento do inversor quando da operação a vazio, que corresponde a pior situação em termos de estabilidade. A Figura 4.12 reúne os resultados de simulação, sendo que a Figura 4.12(a) mostra as principais tensões do conversor, a Figura 4.12(b) a corrente do indutor (L_d), a Figura 4.12(c) a corrente de carga e a Figura 4.12(d) a corrente no capacitor da célula multiplicadora C_{3a} .

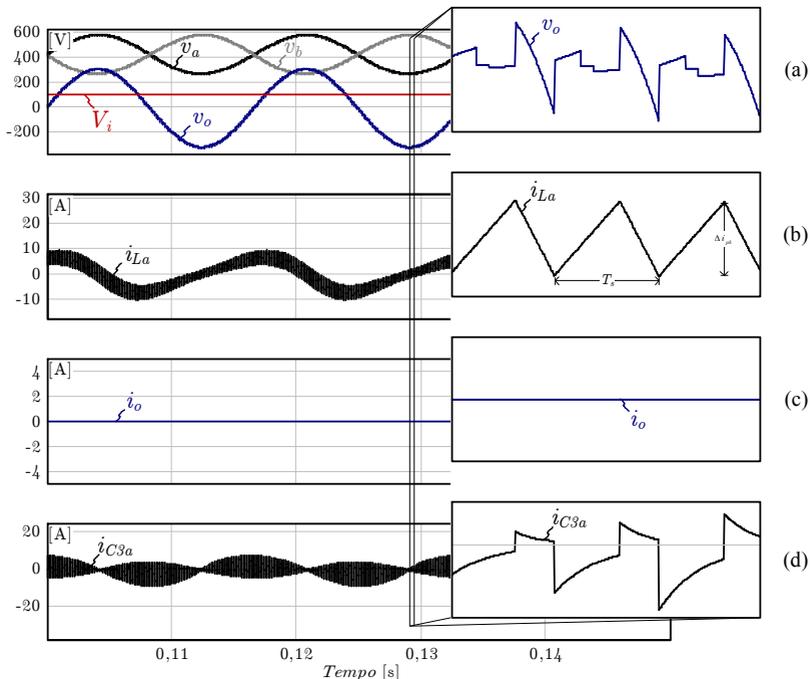


Figura 4.12 - Análise de alta frequência - Principais formas de onda - SCDBI - Modulação unipolar - 3NL - Malha fechada - Operação a vazio.

Nesse caso, o inversor opera de maneira estável e, sem a necessidade de carga mínima. Sob tais circunstâncias o inversor apresenta nos terminais de saída 220 V. Pode-se observar uma reduzida taxa de distorção harmônica (0,55%), conforme Figura 4.13.

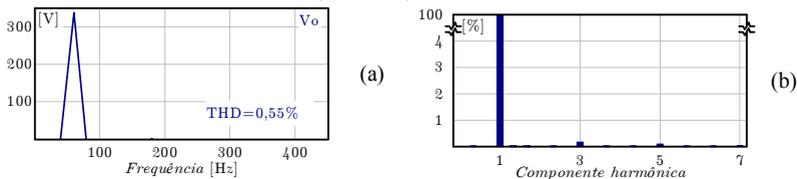


Figura 4.13 - Conteúdo harmônico da tensão de saída - SCDBI - Modulação unipolar - 3NL - Malha fechada - Operação a vazio: (a) valor eficaz, (b) percentual.

Uma particularidade das estruturas inversoras do tipo *boost* é o elevado índice de reativo processado, no entanto, ressalta-se que, embora operando a vazio, a corrente de entrada atinge cerca de 37% da corrente de plena carga. Ainda que, processando energia em estágio

único, tal nível de corrente, aliado ao número de interruptores, poderia causar depreciação do rendimento total. Em contrapartida, a tensão máxima de saída atinge cerca de 602,6 V enquanto a tensão de cada um dos interruptores não ultrapassa os 306,4 V.

4.4. ANÁLISE EXPERIMENTAL DO SCDBI

A fim de validar experimentalmente o funcionamento do inversor híbrido proposto, bem como as análises teóricas desenvolvidas, um protótipo de 500 W foi projetado e implementado⁴², conforme ilustra Figura 4.14. Inicialmente, efetua-se a análise em malha aberta e, em seguida, seu comportamento é, também, investigado associado à malha de controle da tensão de saída. O inversor foi avaliado operando com cargas do tipo resistiva, indutiva e não-linear, conforme esquemático rerepresentado na Figura 4.15.

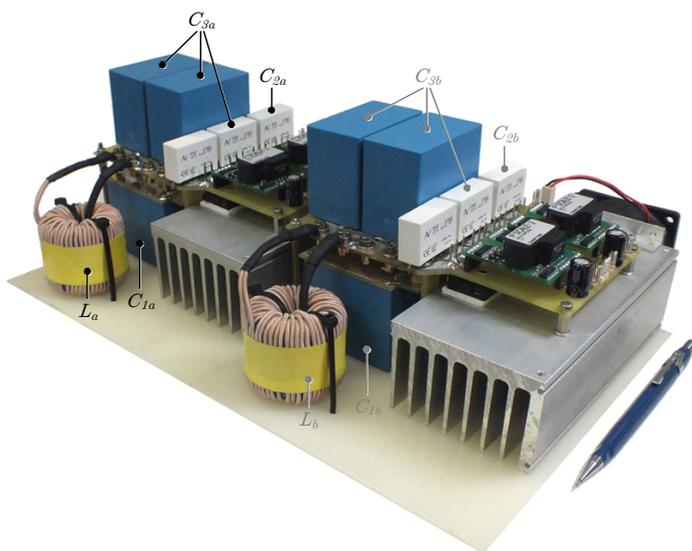


Figura 4.14 - Imagem do protótipo do inversor híbrido de 500 W implementado. Tensão de entrada 100 V; Tensão de saída 220 V;

⁴² O protótipo de 500 W é composto por dois sub-conversores idênticos, cada um com as seguintes dimensões básicas: 165x115x156mm e massa de aproximadamente 1870g.

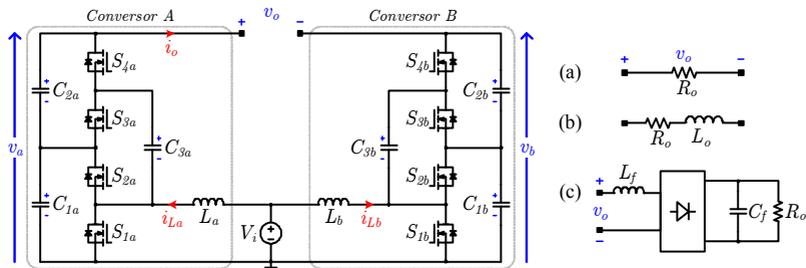


Figura 4.15 - Resultados experimentais: inversor híbrido operando com carga: (a) resistiva, (b) indutiva, (c) não-linear.

As principais características dos componentes adotados no protótipo do inversor implementado são apresentadas na Tabela 4.4.

Tabela 4.4 - Principais características do inversor híbrido implementado.

Componentes do SCDBI	Descrição
Indutor boost (L_a, L_b)	2xAPH46P60 @28esp #2x4,35x41Awg
Caps. cel. multip. (C_1, C_2, C_3)	2xB32678G6206K+1xC4ATHBU4100A3BJ 1xB32678G6206K+1xC4ATHBU4100A3BJ 2xB32678G6206K+1xC4ATHBU4100A3BJ
Interruptores (S_1, S_2, S_3, S_4)	IXFH60N65X2
Digital Signal Processor (DSP)	F28069M™
Gate driver (G_{da}, G_{db})	SCALE-2™ 2SC0108T2G0-17

4.4.1. Operação em malha aberta

Esta seção inicia com uma breve comparação entre as modulações 2N, 3N e 3NL a fim de evidenciar as vantagens da linearização proposta. O comportamento do inversor é analisado ao alimentar uma carga puramente resistiva ($R_o=91,5\Omega$), conforme ilustra Figura 4.2(a). Inicialmente avalia-se seu comportamento em malha aberta sob modulação 2N. A Figura 4.16 ilustra as tensões de cada sub-conversor (v_a e v_b), assim como, a tensão total (v_o)⁴³. O inversor apresenta uma tensão de saída de cerca de 230 V com THD de 3,73% e, sob tais circunstâncias⁴⁴, processa 577 W. A tensão máxima de cada braço atinge cerca de 632 V. Conforme Figura 4.16(c) pode-se

⁴³ Obtidas experimentalmente via osciloscópio Tektronix DPO5034 e analisador de energia Yokogawa WT1804.

⁴⁴ Durante os testes adotou-se $D_{ac}=0,500$ / $D_{ac}=0,210$ e tempo morto $t_d=90$ ns.

constatar que a THD^{45} é, basicamente, composta pela 3^a harmônica, que responde por cerca de 96% da distorção total.

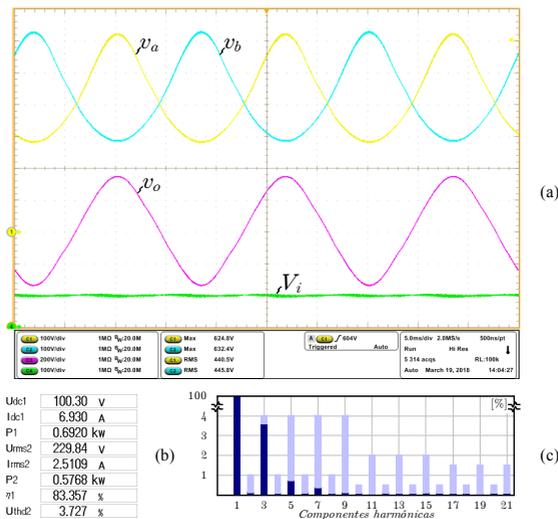


Figura 4.16 - Resultados experimentais - SCDBI sob modulação bipolar (2N), operando em malha aberta: (a) tensões individuais de saída v_a e v_b , tensão de entrada V_i (100 V/div), tensão diferencial de saída v_o (200 V/div) e base de tempo (5 ms/div); (b) analisador de energia: entrada/saída; (c) conteúdo harmônico da tensão de saída.

Uma vez analisada a operação da topologia sob modulação 2N, o inversor passa a operar com modulação de três níveis, ainda sem ação do bloco linearizador. Ao acionar a mesma carga de saída observa-se uma leve elevação na distorção da tensão de saída, conforme Figura 4.17. Durante esses testes⁴⁶ o inversor apresenta uma tensão de saída de cerca de 235 V com THD de 3,84%. A tensão máxima saída de cada um dos sub-conversores atinge cerca de 625,2 V.

⁴⁵ A figura apresenta também, como referência, os limites estabelecidos pela *IEEE Std 1547-2018 (Revision of IEEE Std 1547-2003)*.

⁴⁶ Durante os testes adotou-se $D_{dc}=0,500 / D_{ac}=0,210$ e tempo morto $t_d=90\text{ns}$.

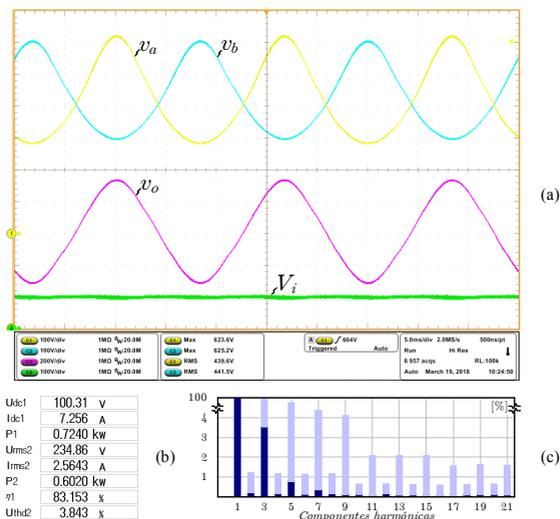


Figura 4.17 - Resultados experimentais - SCDBI sob modulação unipolar (3N), operando em malha aberta: (a) tensões individuais de saída v_a e v_b , tensão de entrada V_i (100 V/div), tensão diferencial de saída v_o (200 V/div) e base de tempo (5 ms/div); (b) analisador de energia: entrada/saída; (c) conteúdo harmônico da tensão de saída.

Em seguida, após a habilitação do bloco linearizador e, ainda operando em malha aberta⁴⁷, o inversor apresenta uma tensão de saída de 228 V com THD de 2,26%, despachando cerca de 564 W à carga. Nessas condições, a tensão saída de cada sub-conversor atinge valor máximo de 561,6 V. Conforme me Figura 4.18(c), pode-se constatar significativa redução da distorção total da tensão de saída, ainda que, com uma modesta elevação da componente de 5^a ordem.

⁴⁷ Durante os testes adotou-se $D_{dc}=0,321 / D_{ac}=0,278$, coeficiente de linearização $m=3,3$ e tempo morto $t_d=90\text{ns}$.

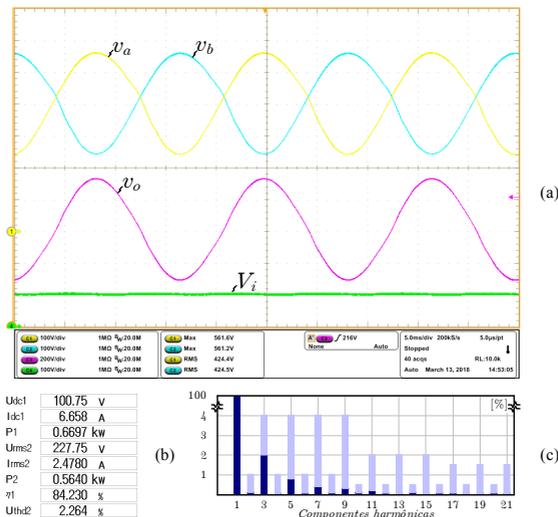


Figura 4.18 - Resultados experimentais - SCDBI sob modulação unipolar com bloco linearizador (3NL), operando em malha aberta: (a) tensões individuais de saída v_a e v_b , tensão de entrada V_i (100 V/div), tensão diferencial de saída v_o (200 V/div) e base de tempo (5 ms/div); (b) analisador de energia: entrada/saída; (c) conteúdo harmônico da tensão de saída.

Com relação ao bloco linearizador, a Figura 4.19 ilustra as formas de onda da razão cíclica de cada sub-conversor d_a e d_b , antes e após a ação do mesmo.

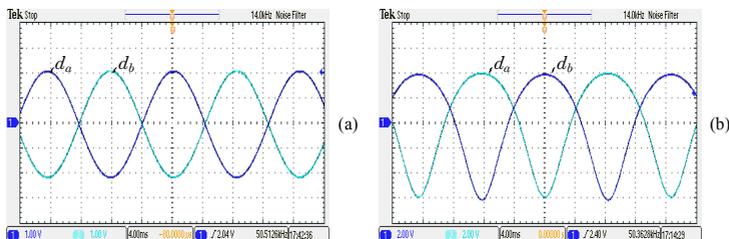


Figura 4.19 - Resultados experimentais - SCDBI operando em malha aberta: (a) razão cíclica d_a e d_b antes do bloco linearizador (3N); (b) razão cíclica após bloco linearizador (3NL); base de tempo (4 ms/div).

Novamente a ação multiplicadora da célula SC pode ser evidenciada quando se comparam as tensões parciais⁴⁸ v_a' e v_b' e as tensões individuais de cada sub-conversor v_a e v_b , conforme Figura 4.20.

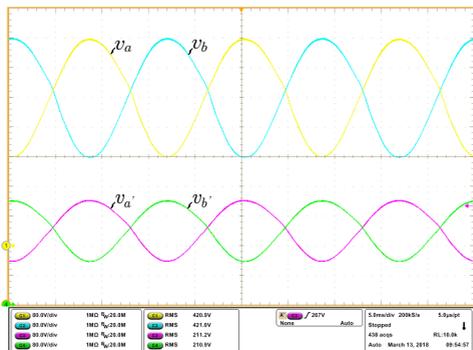


Figura 4.20 - Resultados experimentais - SCDBI (3NL): tensão individual de cada sub-conversor v_a e v_b (80 V/div) e tensão parcial de saída do estágio *boost* v_a' e v_b' (80 V/div); base de tempo (5 ms/div).

A Figura 4.21 ilustra o comportamento da corrente de entrada de cada um dos sub-conversores i_{La} e i_{Lb} , além da corrente total drenada da fonte i_b , onde pode-se observar uma ondulação típica de 120 Hz. A corrente nos indutores atinge cerca de 24 A com ondulação máxima de 6 A. Nessas condições, o inversor despacha à carga cerca de 565 W.

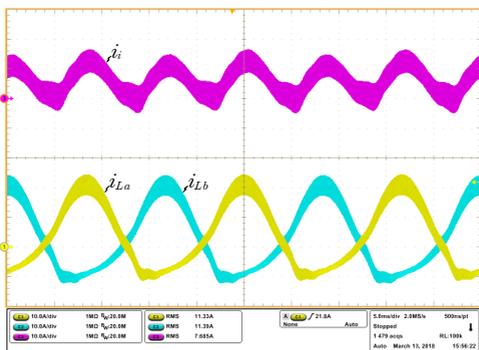


Figura 4.21 - Resultados experimentais - SCDBI (3NL): corrente de entrada i_b (10 A/div) e corrente nos indutores i_{La} e i_{Lb} (10 A/div); base de tempo (5 ms/div).

⁴⁸ A tensão v_a' corresponde a tensão de saída parcial da etapa *boost*, ou seja, a tensão sobre o capacitor C_{1a} , assim, $v_a' = v_a/k$, e de forma idêntica, $v_b' = v_b/k$.

As tensões sobre os interruptores do SCDBI são apresentadas na Figura 4.22(a). A tensão máxima sobre tais interruptores atinge cerca de 291 V, conforme previamente observado, metade da tensão total de cada sub-conversor. A Figura 4.22(b) reúne os dados de entrada e saída durante tal análise, enquanto a Figura 4.22(c) ilustra detalhe das tensões em alta frequência.

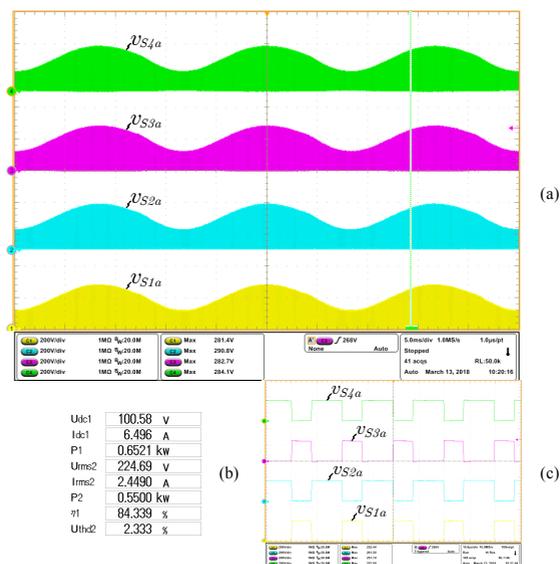


Figura 4.22 - Resultados experimentais - SCDBI (3NL): (a) tensão sobre os interruptores v_{S1a} , v_{S2a} , v_{S3a} , v_{S4a} (200 V/div) e base de tempo (5 ms/div); (b) analisador de energia: entrada/saída; (c) detalhe da tensão sobre os interruptores (10 us/div).

A Figura 4.23 apresenta o comportamento das tensões sobre os capacitores da célula multiplicadora v_{C1} , v_{C2} e v_{C3} . Tais tensões encontram-se, basicamente, sobrepostas, tendo sido ligeiramente deslocadas para que se possa evidenciar (detalhe) o processo de carga e descarga do capacitor C_3 .

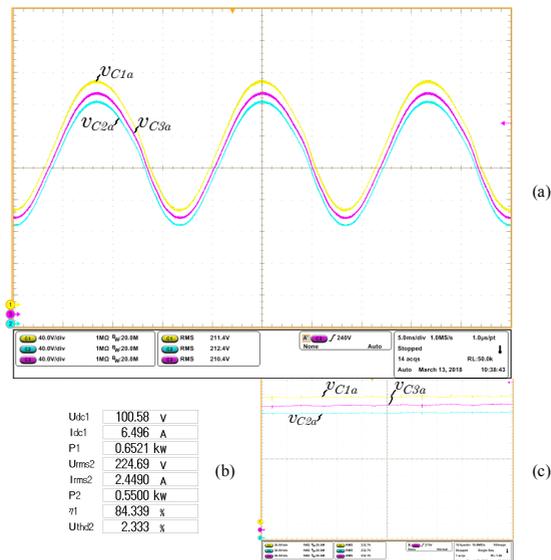


Figura 4.23 - Resultados experimentais - SCDBI (3NL): (a) tensão sobre os capacitores v_{C1a} , v_{C2a} , v_{C3a} (40 V/div) e base de tempo (5 ms/div); (b) analisador de energia: entrada/saída; (c) detalhe da tensão sobre os capacitores (10 μ s/div).

Analisando-se, especificamente, o capacitor chaveado, a Figura 4.24 reúne o comportamento da corrente do capacitor⁴⁹ C_3 pode-se observar seu comportamento em baixa frequência (rede) além do detalhe na frequência de comutação, comprovando-se a operação no modo de carga parcial (CaP), conforme Seção 4.2.1. Sob tais circunstâncias a corrente i_{C3} possui valor eficaz de 14,5 A com picos da ordem de 30 A.

⁴⁹ Por razões construtivas o capacitor C_3 foi implementado por meio de três elementos em paralelo, sendo a corrente apresentada apenas parte da corrente total, sendo assim um fator de multiplicação 4,1 deve ser aplicado às mesmas.

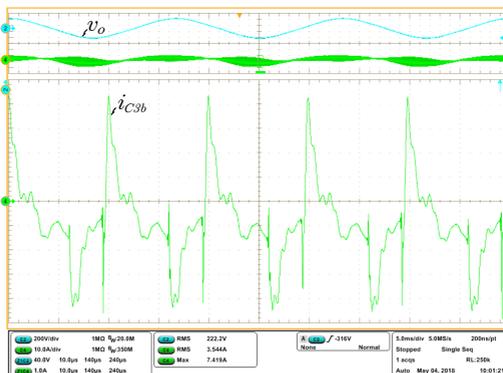


Figura 4.24 - Resultados experimentais - SCDBI: tensão de saída diferencial v_o (200 V/div) corrente no capacitor i_{C3b} (10 A/div) $\times 4,1$; detalhe da corrente no capacitor chaveado (1 A/div) $\times 4,1$ e base de tempo (5 ms/div).

O rendimento do protótipo foi obtido, inicialmente, para operação em malha aberta⁵⁰, com razão cíclica fixa e modulação 2N. A Figura 4.25(a) reúne as curvas de rendimento obtidas teórica (n_t) e experimentalmente (n_e). O máximo rendimento (82%) foi obtido com uma carga de cerca 470 W. Durante a variação de carga pode-se, ainda, observar a curva de regulação de tensão de saída, que apresenta um valor máximo de cerca de 237 V, conforme ilustra a Figura 4.25(b).

Em seguida o protótipo foi ensaiado com tensão de entrada reduzida, a Figura 4.26(a) reúne as características de rendimento do protótipo operando com tensão de entrada de 50 V (n_{50}), 75 V (n_{75}) e 100 V (n_{100}), enquanto a Figura 4.26(b) ilustra o comportamento da tensão de saída para condições idênticas. Analisando-se a Figura 4.26(a) pode-se observar, com a redução da tensão de entrada, uma degradação significativa do rendimento, função, principalmente, da elevação das perdas de condução.

⁵⁰ A referida curva de rendimento foi obtida, ainda, para o protótipo operando sob modulação 2N, tensão entrada de 100 V, razão cíclica fixa de $D_{dc}=0,500 / D_{ac}=0,210$ e tempo morto $t_d=90\text{ns}$.

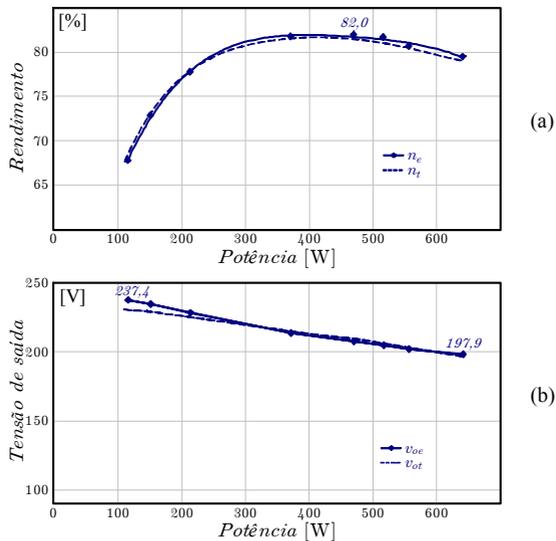


Figura 4.25 - Resultados experimentais - SCDBI (2N) - operando com tensão de entrada de 100 V: (a) Rendimento teórico (n_t) e experimental (n_e); (b) tensão de saída teórica (v_{ot}) e experimental (v_{oe}).

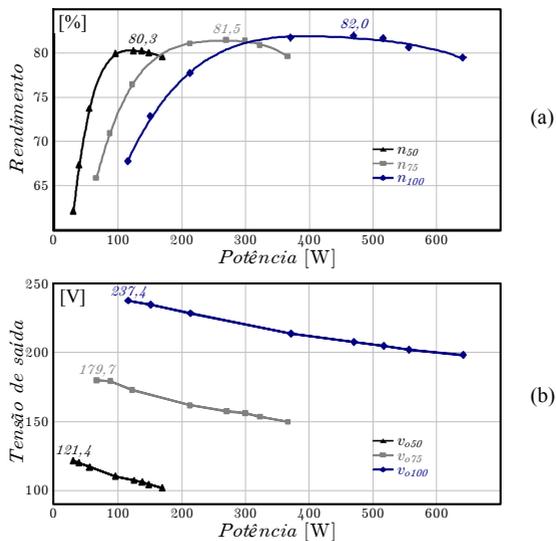


Figura 4.26 - Resultados experimentais - SCDBI (2N): (a) rendimento do protótipo operando com tensão de entrada de 50 V (n_{50}), 75 V (n_{75}) e 100 V (n_{100}); (b) tensão de saída do protótipo operando com tensão de entrada de 50V (v_{o50}); 75 V (v_{o75}) e 100 V (v_{o100}).

Com o objetivo de avaliar o comportamento do inversor sob as diferentes formas de modulação analisadas, o rendimento do protótipo foi, novamente, identificado operando, porém, com compensação de tensão de saída (220 V). A Figura 4.27(a) ilustra a característica de rendimento para tensão de entrada de 100 V. Nessas condições e, operando com o bloco de linearização proposto, o inversor apresenta rendimento máximo⁵¹ de 84,9% com carga de cerca de 400 W e cerca de 84,7% ao processar potência nominal. Importante relembrar que o SCDBI trata-se de uma topologia de estágio único, dessa forma, o rendimento obtido seria comparável ao de um sistema de duplo estágio, com rendimento individual da ordem de 92,1%.

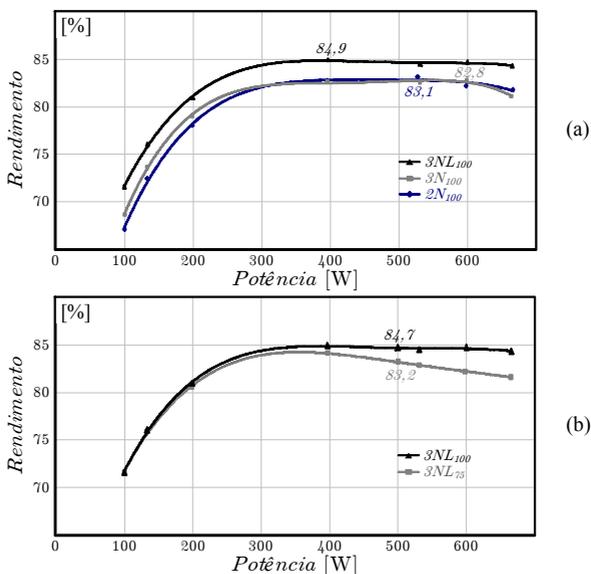


Figura 4.27 - Resultados experimentais - SCDBI: (a) rendimento do protótipo de 500 W operando sob modulação 2N, 3N e 3NL e tensão de entrada de 100 V; (b) rendimento do protótipo sob modulação 3NL com tensão de entrada de 75 V (3NL₇₅) e 100 V (3NL₁₀₀).

⁵¹ O rendimento foi obtido para o protótipo operando em malha aberta sob modulação 3NL, tensão de saída de 220 V, razão cíclica de referência: $D_{dc}=0,291 / D_{ac}=0,242$, $m=3,33$, tempo morto $t_d=90\text{ns}$.

Finalmente, ao reduzir-se a tensão de entrada para 75 V, operando sob modulação 3NL e processando potência nominal um rendimento⁵² de cerca de 83,2% pode ser estimado, conforme Figura 4.27(b). Pode-se claramente observar a influência da redução da tensão da fonte, com a consequente elevação da corrente do indutor *boost* e degradação do rendimento; impossibilitando, dessa forma, a experimentação para entrada de 50 V.

A Figura 4.28 resume os resultados provenientes da operação do inversor sob modulação 2N, 3N e 3NL. Verifica-se que as modulações 2N e 3N apresentam desempenho semelhante, tanto no que tange aos esforços sobre os componentes quanto à distorção de tensão de saída. Porém, a implementação da linearização possibilitou a redução da *THD* de tensão de 3,7% para cerca de 2%. Pode-se, também, observar uma redução em cerca de 10% nos esforços de tensão sobre os interruptores, impactando, obviamente, no rendimento da topologia.

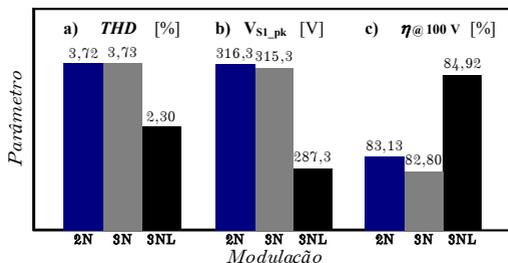


Figura 4.28 - Resultados experimentais - SCDBI: (a) distorção máxima da tensão de saída; (b) tensão máxima sobre o interruptor S_1 ; (c) rendimento sob tensão de entrada de 100 V.

Por fim, a Figura 4.29 apresenta a distribuição teórica das perdas para o inversor híbrido.

⁵² O rendimento foi obtido para o protótipo operando em malha aberta sob modulação 3NL, tensão de saída de 220 V, razão cíclica de referência: $D_{dc}=0,387 / D_{ac}=0,322$, $m=3,33$, tempo morto $t_d=90ns$.

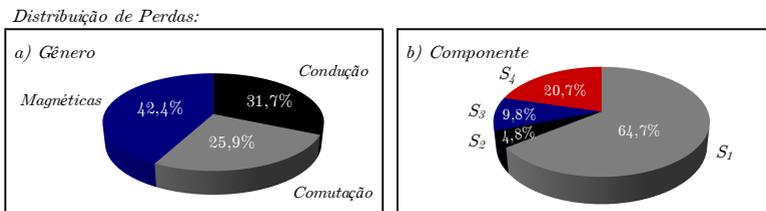


Figura 4.29 - Resultados experimentais - SCDBI - Distribuição de perdas: (a) gênero, (b) componente.

Uma característica típica dos inversores diferenciais trata-se do elevado índice de potência reativa processado, o que, tradicionalmente, implica em perdas excessivas de condução. Neste caso específico, cerca de 32%, conforme Figura 4.29(a). Por fim, deve-se notar que mais de 60% das perdas estão relacionadas ao interruptor S_1 (Figura 4.29b), uma vez que realiza a integração entre a topologia *boost* e a célula multiplicadora, sendo permanentemente submetido a elevados esforços de corrente.

4.4.2. Operação em malha fechada

Esta seção inicia-se com a análise do inversor operando em malha fechada, modulação 3NL e alimentando uma carga puramente resistiva de cerca de 530 W ($R_o=91,5\Omega$), conforme ilustra Figura 4.30. O inversor opera com carga reduzida (205 W), quando se aplica um degrau de carga de cerca de 61%. A análise da tensão de saída (detalhe) demonstra a atuação adequada do controlador implementado, fixando a variável controlada em $221,1\text{ V}\pm 0,31\%$ e, validando dessa forma as etapas de modelagem simplificada e controle previamente apresentadas (vide Figura 4.7).

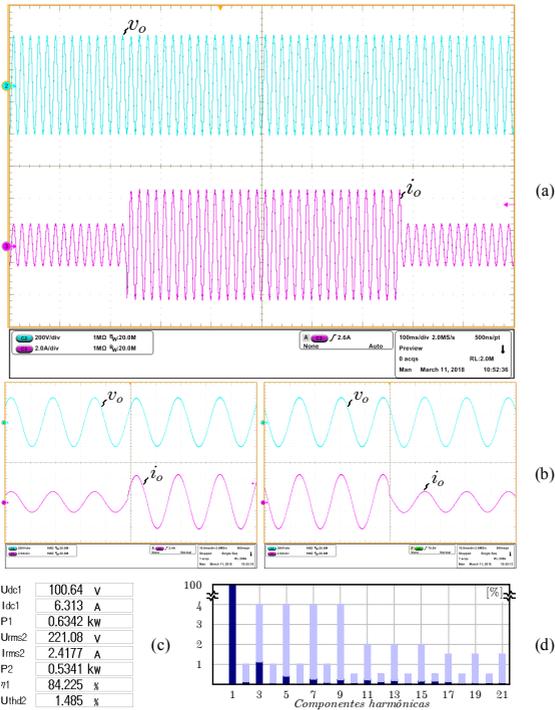


Figura 4.30 - Resultados experimentais - SCDBI - Carga resistiva, operando em malha fechada (3NL) sob degrau de carga: (a) tensão de saída v_o (200 V/div), corrente de carga i_o (2 A/div) e base de tempo (100 ms/div); (b) detalhe (10 ms/div) durante degrau de carga ($\pm 61\%$); (c) analisador de energia: entrada/saída; (d) conteúdo harmônico da tensão de saída.

Dando continuidade à análise do inversor, avalia-se seu comportamento quando alimentando uma carga indutiva de cerca 700 VA e fator de deslocamento de 0,86 ($R_o=60\Omega$, $L_o=95\text{mH}$), conforme Figura 4.31. Inicialmente o inversor opera com carga reduzida (370 W), quando um degrau de carga de cerca de 40% é, então, aplicado. Durante os testes a malha de controle estabelece tensão de saída de $220,5\text{V} \pm 0,30\%$. Observa-se também que o sistema atinge regime permanente em tempo adequado, dentro do período da rede, não apresentando oscilações na tensão controlada e, demonstrando adequada rejeição à perturbação de carga.

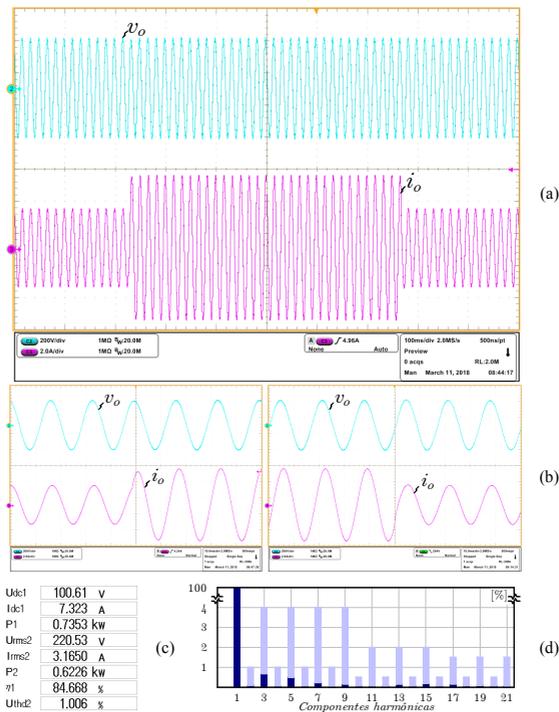


Figura 4.31 - Resultados experimentais - SCDBI - Carga indutiva, operando em malha fechada (3NL) sob degrau de carga: (a) tensão de saída v_o (200 V/div), corrente de carga i_o (2 A/div) e base de tempo (100 ms/div); (b) detalhe (10 ms/div) durante degrau de carga ($\pm 4,0\%$); (c) analisador de energia: entrada/saída; (d) conteúdo harmônico da tensão de saída.

Finalmente, nesta seção analisou-se o inversor alimentando uma carga não-linear de aproximadamente 300 VA ($R_o=360\ \Omega$, $L_f=8\text{ mH}$, $C_f=470\ \mu\text{F}$) e fator de crista de 2,73, conforme ilustra a Figura 4.32. O conversor opera em regime com carga reduzida (104 W), quando subitamente aplica-se um degrau de carga de cerca de 52%. Novamente a tensão de saída encontra-se controlada em $220,8\text{ V} \pm 0,10\%$, demonstrando, assim, a eficácia da modelagem e controle simplificado propostos nesta tese.



Figura 4.32 - Resultados experimentais - SCDBI - Carga não-linear, operando em malha fechada (3NL) sob degrau de carga: (a) tensão de saída v_o (200 V/div), corrente de carga i_o (2 A/div) e base de tempo (100 ms/div); (b) detalhe (10 ms/div) durante degrau de carga ($\pm 5\%$); (c) analisador de energia: entrada/saída; (d) conteúdo harmônico da tensão de saída.

Após terem sido apresentadas as seções de projeto do estágio de potência (Seção 4.2.1), simulação com carga resistiva (Seção 4.3.1) e análise experimental em malha aberta (Seção 4.4.1), a Tabela 4.5 compila as principais grandezas analisadas no inversor híbrido, e.g.; tensão de entrada e saída, potência de carga, corrente eficaz e máxima do indutor *boost*, máxima ondulação de corrente, máxima tensão dos sub-conversores, tensão de pico sobre os interruptores, máxima corrente sobre o capacitor chaveado, ganho máximo do sub-conversor, distorção de tensão de saída e frequência de chaveamento.

Tabela 4.5 - Principais grandezas analisadas do SCDBI.

Descrição	Teórico ⁵³	Simulado ⁵⁴	Experimental ⁵⁵
Tensão entrada (V_i)	101 V	101 V	101 V
Tensão saída (V_o)	228 V	228 V	228 V
Pot. saída (P_o)	570 W	569 W	567 W
Corr. entrada ($i_{L_b_{rms}}$)	11,6 A	11,9 A	11,4 A
Max. Corr. entrada ($i_{L_b_{pk}}$)	25,0 A	25,1 A	24,0 A
Max. Ond. corrente (Δi_{pk})	6,5 A	5,6 A	6,0 A
Max. tensão conv. ($v_{a_{pk}}$)	622 V	570 V	562 V
Max. tensão interrup. ($v_{sw_{pk}}$)	311 V	282 V	291 V
Max. corr. cap. chav. ($i_{C3_{pk}}$)	----	35 A	30 A
Ganho max. conversor	6,1	5,7	5,6
Dist. tensão saída (THD_{vo})	----	1,75%	2,26%
Freq. chav. (f_s)	50 kHz	50 kHz	50 kHz

Ao se analisar a Tabela 4.5 deve-se levar em consideração que o inversor opera em malha aberta e, função das cargas disponíveis em laboratório, a potência de saída é cerca de 13% superior à nominal. Desta forma, os valores adotados durante a simulação foram recalculados para corresponder aos dados experimentais. Ao avaliar-se os dados neste ponto de operação observa-se que os modelos teóricos apresentados reapresentam de forma satisfatória o inversor estudado, validando, portanto, o equacionamento proposto. Importante observar que, graças à célula multiplicadora, a tensão de saída de cada sub-conversor pode ser, basicamente, duplicada, mantendo-se os esforços de tensão sobre os interruptores.

Finalizando a análise experimental, a Figura 4.33 ilustra a imagem térmica⁵⁶ do protótipo operando com potência nominal. As leituras das áreas $ARO1$, $ARO2$ e $ARO3$ indicam a temperatura na cápsula do interruptor S_{1b} , a temperatura no indutor L_b , e a temperatura no dissipador do segundo sub-conversor, respectivamente, conforme Tabela 4.6.

⁵³ Conforme Seção 4.2.1.

⁵⁴ Conforme Seção 4.3.1.

⁵⁵ Conforme Seção 4.4.1: os valores apresentados correspondem efetivamente aos dados adquiridos em laboratório assim, podem apresentar pequenas alterações função das diferentes aquisições efetuadas ao longo da experimentação.

⁵⁶ Obtidos experimentalmente via termovisor FLIR SC600.

Tabela 4.6 - Temperatura nos componentes.

Temperatura	
AR01	74,1°C
AR02	45,5°C
AR03	35,1°C

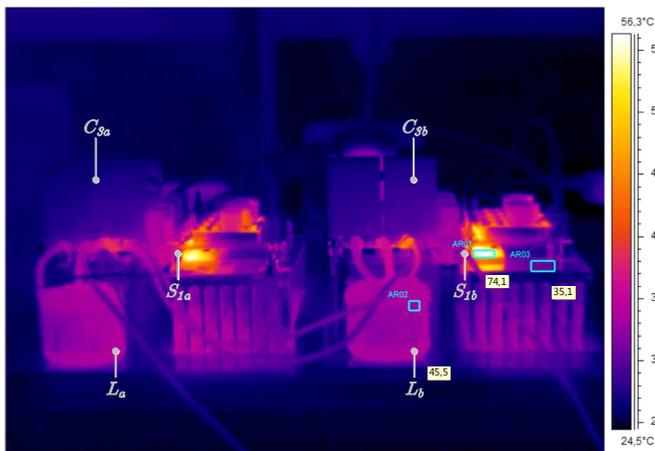


Figura 4.33 - Resultados experimentais: imagem térmica do protótipo do inversor híbrido.

4.5. CONCLUSÕES PARCIAIS

Este capítulo apresentou uma estratégia simplificada de projeto do inversor *SCDBI* proposto. Todos os elementos magnéticos e da célula multiplicadora foram identificados. Demonstrou-se que, o conversor é capaz de gerar tensão senoidal operando a vazio, com cargas lineares e mesmo não-lineares. A topologia caracteriza-se pela capacidade de processamento bidirecional. O inversor apresenta tensão de saída com distorção harmônica menor que 1,5% operando com carga linear e, inferior a 4,5% para o caso de cargas não-lineares. Como diferencial da estrutura, enfatiza-se a reduzida tensão a qual os interruptores são submetidos, tornando a topologia indicada para implementações que envolvam elevado ganho estático. O inversor foi analisado em malha aberta e, sem a presença de nenhuma espécie de compensação, apresentando resultados satisfatórios. Finalmente, um protótipo de 500 W foi projetado e implementado. Os resultados experimentais

corroboraram a topologia proposta e o estudo teórico. O *SCDBI* apresentou desempenho adequado em relação à *THD* ao ganho de tensão aos esforços sobre os interruptores a resposta dinâmica e eficiência. O novo inversor é aplicável em *UPS*, energia renovável ou sempre que uma tensão CA maior do que a tensão do *link* CC seja necessária. O rendimento nominal foi de cerca 85%. Deve-se destacar que o *SCDBI* proposto é uma topologia de estágio único. Ao comparar tais dados com um inversor de duplo estágio, pode-se imaginar uma eficiência equivalente de aproximadamente 92% em cada um dos conversores.

5. SCDBI OPERANDO NO MODO CONECTADO E ANÁLISE COMPARATIVA COM O DBI

5.1. INTRODUÇÃO

O foco do presente trabalho é a investigação do inversor diferencial híbrido operando de modo autônomo. Entretanto, um desdobramento natural da pesquisa é a possibilidade de operação de forma interligada, o que permite sua associação à fontes renováveis de energia. A topologia por ser elevadora possui potencial para implementação de micro-inversores para conexão de pequenas fontes renováveis à rede da concessionária [89]. Algumas particularidades do uso do inversor conectado a rede estão relacionadas ao filtro de saída e a estratégia de controle e serão posteriormente abordadas. As metodologias de linearização e modelagem simplificada, previamente analisadas, serão novamente adotadas quando da conexão com a rede. Neste capítulo são apresentados, de forma resumida, o projeto e a implementação de um novo protótipo de inversor híbrido operando de forma interligada, conforme [87]; demonstrando, assim, mais um potencial de aplicação para a estrutura proposta nesta tese. O trabalho apresenta, ainda, uma comparação entre o inversor diferencial *boost* convencional e a versão híbrida proposta nesta tese, que permite identificar a faixa em que cada um deles apresenta melhor desempenho.

5.2. INVERSOR HÍBRIDO CONECTADO À REDE ELÉTRICA

Na busca da topologia a ser adotada na conexão de fontes renováveis à rede da concessionária, determinados detalhes devem ser considerados [90]. Algumas dessas fontes, como, por exemplo, painéis fotovoltaicos, células a combustível e os aerogeradores, fornecem tensão contínua e de baixa amplitude [1]. A injeção desses recursos à rede pode ser viabilizada por meio de inversores estáticos elevadores [2, 3]. Tradicionalmente, tais inversores são implementados via estágios em cascata, um conversor de entrada CC-CC de alto ganho seguido por um inversor conectado à rede. Apesar de uma abordagem usual, tal enfoque

pode resultar na elevação de peso e volume, degradando, assim, eficiência e confiabilidade [19]. Como o estágio inversor requer uma tensão de barramento CC relativamente elevada, o estágio CC-CC deve elevar a tensão disponível em cerca de dez ou mais vezes [8]. No entanto, os conversores CC-CC básicos⁵⁷ não apresentam alta eficiência com a requerida taxa de conversão [4].

Em aplicações nas quais o isolamento galvânico não é necessário, o conversor *boost* é comumente adotado pela indústria. A utilização de conversores CC-CC não-isolados tem se mostrado a solução mais adequada para a maioria das aplicações renováveis de baixa potência [91], uma vez que esses conversores são, tradicionalmente, capazes de alcançar uma melhor relação custo/benefício quando comparado com a respectiva versão isolada [92, 93]. Ainda que, com a ausência de isolamento galvânico, o inversor proposto é capaz de proceder a dupla tarefa de elevação e inversão em estágio único. Outro ponto interessante trata-se do ganho estático da estrutura, que pode ser ampliado com a adição de novas células multiplicadoras, conferindo ao *SCDBI* a flexibilidade de conectar-se a diferentes patamares de tensão, mantendo, no entanto, o mesmo ponto de operação no estágio *boost* [89].

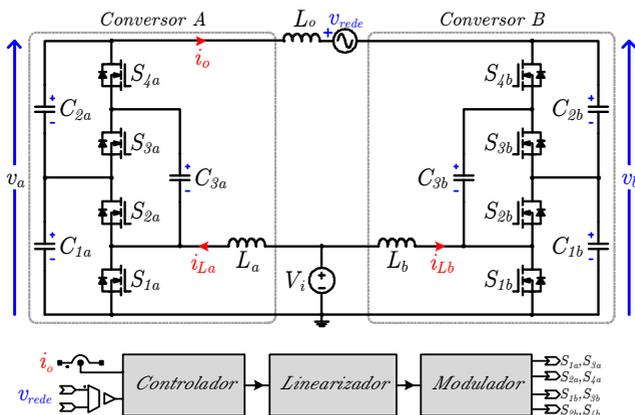


Figura 5.1 - Esquemático do inversor híbrido: conectado à rede.

⁵⁷ Topologias básicas de conversores estáticos: abaixador de tensão (*buck* ou *step-down*), elevador de tensão (*boost* ou *step-up*), a acumulação indutiva (*buck-boost* ou *step-down/up*), a acumulação capacitiva (*boost-buck* ou Čuk), SEPIC e Zeta.

Observando-se o esquemático do inversor híbrido conectado à rede, conforme Figura 5.1, pode-se, novamente, observar a conexão diferencial de um par de conversores *boost* híbridos e, adicionalmente a presença do indutor de saída (L_o).

A topologia proposta apresenta saída em tensão, dessa forma, reduzidos valores de indutância são suficientes para assegurar uma baixa ondulação de corrente, em oposição aos inversores tipo *buck* nos quais filtros de maior ordem e/ou volume são necessários. A inserção do indutor de saída gera a possibilidade de se estabelecer a frequência (f_o) na qual a ressonância ocorrerá e, oferecendo assim, um novo grau de liberdade no projeto do controlador a ser adotado [89].

Como único elemento adicional, em relação ao inversor *SCDBI* autônomo, o indutor de saída deve, portanto, ser analisado e projetado. A indutância do filtro de saída é determinada a partir da frequência de ressonância entre o indutor de saída (L_o) e a capacitância equivalente da célula multiplicadora (C_{eq}'), sendo definida por:

$$L_o = \frac{2k^2}{(2\pi f_o)^2 C_{eq}'}. \quad (5.1)$$

Onde:

$$C_{eq}' = \frac{2Ck^2 [D(1-D) + 2]}{k [D(1-D) + 2] - 2D(1-D) + 2}, \quad (5.2)$$

Assim, a alteração da planta conduz a necessidade da identificação de uma nova função de transferência e, posteriormente, a determinação de um novo controlador.

5.3. MODELAGEM E CONTROLE

Esta seção inicia diretamente com a modelagem orientada ao controle, pois todas as etapas relacionadas à análise de estados topológicos, a identificação de ganho estático, o projeto de elementos passivos e técnica de linearização são idênticas as constantes no Capítulo 3, sendo, portanto suprimidas. O esquemático do inversor híbrido conectado à rede é apresentado na Figura 5.1. Toda a análise será conduzida considerando-se modulação de três níveis com bloco linearizador (3NL-*PWM*).

5.3.1. Modelagem orientada ao controle

A técnica do circuito equivalente proposta nesta tese, abordada na Seção 2.6, será adotada para a representação da célula a capacitor chaveado. O modelo comutado de ordem reduzida, ilustrado na Figura 5.2, é composto por: resistência de amortecimento (r_{eq}'), capacitância equivalente da célula multiplicadora (C_{eq}'), indutância de saída (L_o) e sua respectiva resistência (r_l).

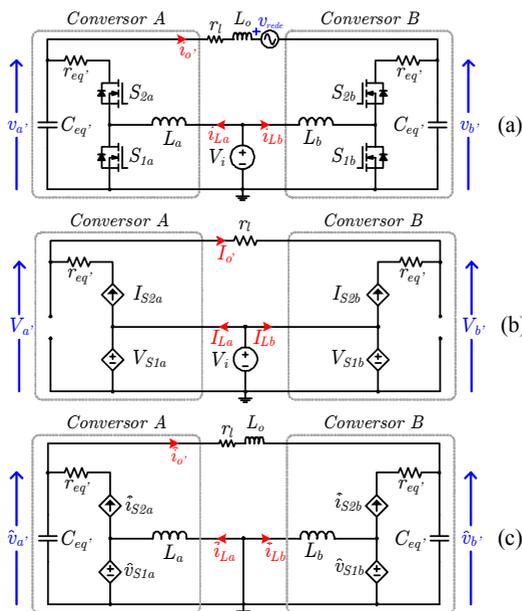


Figura 5.2 - Modelos equivalentes para o SCDBI conectado à rede: (a) modelo comutado; (b) modelo CC e (c) modelo de pequenos sinais.

Conforme [75], a substituição dos interruptores por fontes dependentes, descritas em função de seus valores médios quase instantâneos, conduz ao modelo médio de grandes sinais. Aplicando-se pequenas perturbações às variáveis desse modelo, é possível extrair um modelo CC e um modelo CA de pequenos sinais, conforme Figura 5.2(b) e (c), respectivamente.

As equações resultantes da análise do modelo CC são:

$$V_a' = \frac{V_i - r_{eq}' I_{La} (1-D)}{(1-D)}, \quad V_b' = \frac{V_i - r_{eq}' I_{Lb} D}{D}, \quad (5.3)$$

$$I_{La} = \frac{I_o'}{(1-D)} \quad \text{e} \quad I_{Lb} = \frac{-I_o'}{D}. \tag{5.4}$$

A partir do modelo de pequenos sinais é possível determinar a função de transferência que relaciona a variável a ser controlada (i_o) e variável de controle (d). A função de transferência $G_{id}(s)$ desejada é dada por (5.5), cujos coeficientes são resumidos na Tabela 5.1.

$$G_{id}(s) = \frac{\hat{i}_o}{\hat{d}} = \frac{b_3 s^3 + b_2 s^2 + b_1 s + b_0}{a_5 s^5 + a_4 s^4 + a_3 s^3 + a_2 s^2 + a_1 s + a_0} \tag{5.5}$$

Ainda, com base em [74] e assumindo-se $C_1 = C_2 = C_3 = C$, obtém-se:

$$C_{eq}' = \frac{2Ck^2 [D(1-D) + 2]}{k [D(1-D) + 2] - 2D(1-D) + 2}, \tag{5.6}$$

$$r_{eq}' = kr_c (1-D). \tag{5.7}$$

Tabela 5.1 - Coeficientes da função de transferência.

Coeficientes	
b_3	$-C_{eq}' L_b^2 k (I_{La} + I_{Lb})$
b_2	$C_{eq}' L_b V_a' k (1-D) - C_{eq}' I_{Lb} L_b k r_{eq}' (1-D) + \dots$
b_1	$C_{eq}' D L_b k (V_b' - I_{La} r_{eq}') - D^2 L_b k (I_{La} + I_{Lb}) + I_{Lb} L_b k (2D-1) + C_{eq}' D k r_{eq}' (V_a' + V_b') - \dots$
b_0	$C_{eq}' D^2 k r_{eq}' (V_a' + V_b') + D V_b' k + D^2 k (V_a' - 2V_b') + D^3 k (V_b' - V_a')$
a_5	$C_{eq}'^2 L_b^2 L_o$
a_4	$C_{eq}'^2 L_b L_o r_{eq}' + C_{eq}'^2 L_b^2 r_l$
a_3	$L_o C_{eq}'^2 r_{eq}'^2 D (1-D) - 2L_o C_{eq}' L_b D (1-D) + 2k^2 C_{eq}' L_b^2 + \dots$
a_2	$L_o C_{eq}' L_b + C_{eq}'^2 L_b r_l r_{eq}'$
a_1	$L_o C_{eq}' D r_{eq}' (1-D) + 2L_b k^2 C_{eq}' r_{eq}' + C_{eq}'^2 D r_{eq}' r_l (1-D) - \dots$
a_0	$2C_{eq}' L_b D r_l (1-D) + C_{eq}' L_b r_l$

Coeficientes	
α_1	$L_b k^2 + D^2 L_o (1-D)^2 - 2DL_b k^2 (1-D) + 2C'_{eq} D k^2 r'_{eq} (1-D) + \dots$ $C'_{eq} D r'_{eq} r'_l (1-D)$
α_0	$k^2 r'_{eq} D (1-D) + r'_l D^4 - 2r'_l D^3 + r'_l D^2$

A modelagem foi validada aplicando-se perturbações de razão cíclica da ordem de $\pm 1\%$ e analisando-se o comportamento dinâmico do inversor, conforme parâmetros listados na Tabela 5.2.

Tabela 5.2 - Especificações do inversor híbrido.

Descrição do SCDBI	Valor
Tensão de entrada (V_i)	60 V
Tensão eficaz de saída (V_o)	220 V
Ganho da célula multip. (k)	2
Potência de saída (P_o)	250 W
Máxima ondulação de corrente de entrada (Δi_{pk})	30%
Indutor boost (L_b)	230 μ H
Razão cíclica CC (D_{dc})	37,6%
Razão cíclica CA (D_{ac})	34,5%
Razão cíclica máxima (D_{pk})	75%
Coefficiente de linearização (m)	4
Frequência de ressonância (f_o)	5 kHz
Indutor saída (L_o)	140 μ H
Caps. cel. multip. (C_1, C_2, C_3)	20 μ F
Resistência cel. multip. (r_{eq})	300 m Ω
Cap. equivalente (C'_{eq})	58,4 μ F
Resist. equivalente (r'_{eq})	155 m Ω
Resistência indutor (r_l)	200 m Ω
Frequência de chaveamento (f_s)	50 kHz

A Figura 5.3 apresenta as respostas dinâmicas obtidas a partir do modelo linearizado de pequenos sinais (I_{o_linear}) e do modelo comutado (I_{o_comut}), tanto no domínio do tempo quanto no da frequência.

Constata-se que o modelo linearizado representa satisfatoriamente o conversor comutado. Dois importantes detalhes devem ser registrados. Em primeiro lugar, novamente o modelo simplificado proposto, que considera apenas a resposta dominante, consegue representar adequadamente o conversor chaveado e, adicionalmente destaca-se, uma acentuada ressonância entre filtro de saída e capacitância equivalente. A frequência escolhida para alocação da ressonância foi de 5 kHz, buscando afastá-la da frequência da rede

(60 Hz) e da frequência de comutação (50 kHz), o que facilita o projeto dos controladores.

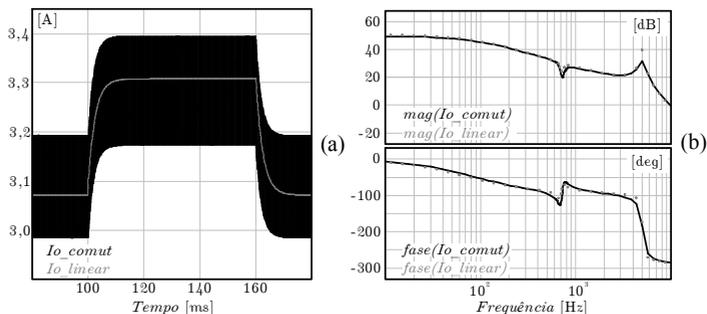


Figura 5.3 - Validação dos modelos para o SCDBI conectado à rede: (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado.

5.3.2. Controle

Assim como no modo autônomo, uma malha única de controle foi implementada para regular a corrente injetada na rede, conforme Figura 5.4. A nova planta a ser controlada deve ser capaz de injetar corrente, com baixo conteúdo harmônico, na rede da concessionária. Para tanto a referência de corrente adotada deve estar em fase com a tensão da rede. Uma malha de *feedforward* foi adotada para compensar a perturbação gerada devido a não idealidade da rede elétrica. Utilizou-se um controlador proporcional-integral com polo adicional, visando à atenuação da ressonância entre o filtro de saída e a capacitância equivalente da célula multiplicadora, conforme:

$$H(s) = \frac{K_c (s + \omega_z)}{s (s + \omega_p)} \quad (5.8)$$

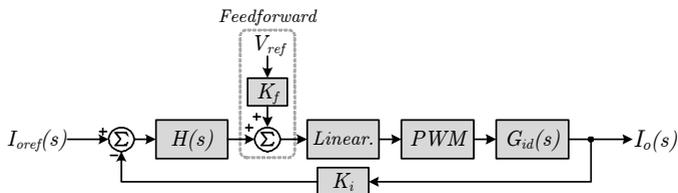


Figura 5.4 - Diagrama de blocos referente à estratégia empregada para o controle do SCDBI conectado à rede elétrica.

5.3.3. Exemplo de projeto

Nesta seção são apresentados, de forma resumida, o projeto e a implementação do novo protótipo de um micro-inversor de 250 W operando conectado à rede, conforme [87].

De forma idêntica ao procedimento descrito na Seção 4.2 e, conforme especificações apresentadas na Tabela 5.2, os dispositivos que compõem o inversor são listados na Tabela 5.3.

Após a breve identificação dos componentes do inversor, o controlador de corrente precisa ainda ser estabelecido. Os requisitos para projetar o controlador foram, assim, fixados: frequência de cruzamento de 800 Hz, margem de fase de 60°, frequência do polo adicional (ω_p) de 94,25 rad/s e ganho do sensor de corrente $K_i=1$. A partir destas especificações, foram obtidos $K_c=817$ e $\omega_z=2524$ rad/s. A função de transferência discretizada foi obtida aplicando-se a transformada de Tustin em (5.8).

Tabela 5.3 - Componentes do inversor híbrido conectado à rede.

Componentes do SCDBI	Descrição
Indutor boost (L_b)	230 μ H APH46P60 @ 43esp # 982x41 Awg
Caps. cel. multip. (C_1, C_2, C_3)	20 μ F/600V C4AEHBW5200A3FJ
Indutor saída (L_o)	140 μ H APH33P60 @ 56esp # 150x38 Awg
Interruptores boost (S_1) ⁵⁸	IRFP4332PbF (300V/40A/ $R_{ds(on)}$:29m Ω)
Interruptores SC (S_2, S_3, S_4)	SCT2120AF (650V/29A/ $R_{ds(on)}$:120m Ω)
Digital Signal Processor (DSP)	TMS320F28069M™
Sensor	LA25P

5.4. RESULTADOS EXPERIMENTAIS

Após as etapas de projeto e modelagem, o inversor foi testado, inicialmente, em malha aberta, operando com tensão e potência nominal e sob modulação de três níveis, conforme Figura 5.5.

⁵⁸ Deve-se, ainda, registrar sobre a escolha dos interruptores. Novamente a questão de disponibilidade foi decisiva. Inicialmente, na busca da redução das perdas por comutação, adotou-se quatro interruptores do tipo SIC. No entanto a elevada resistência de condução degradou o rendimento. Assim, a solução adotada foi combinar interruptores SIC e MOSFET. Reduzindo as perdas por condução no interruptor S_1 .

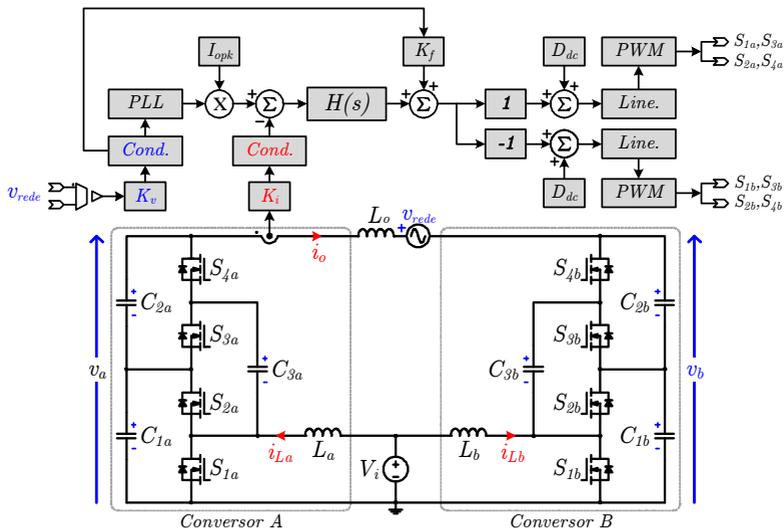


Figura 5.5 - Resultados experimentais: SCDBI operando conectado à rede.

5.4.1. Operação em malha aberta

Nesta seção efetua-se, de forma resumida, um novo estudo comparativo da eficácia da linearização proposta, pois a redução da tensão de entrada do novo protótipo (60 V) amplia a excursão da razão cíclica e evidencia, ainda mais, a necessidade do bloco linearizador. Assim, apenas nessa seção, o novo protótipo será avaliado com modulação 2N, 3N e 3NL, conforme Seção 4.4.1. A Figura 5.6 reúne as razões cíclicas, antes e depois do bloco linearizador, além das tensões individuais e diferenciais de saída.

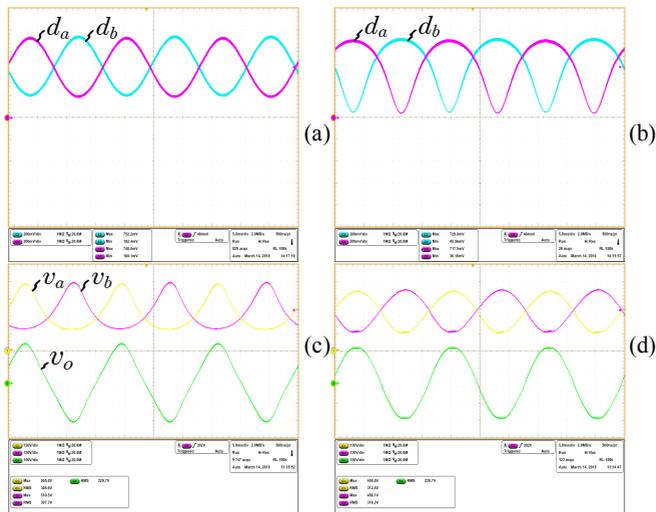


Figura 5.6 - Resultados experimentais - SCDBI: (a) razões cíclicas (3N) d_a e d_b (200 mV/div); (b) razões cíclicas (3NL) d_a e d_b (200 mV/div); (c) tensões individuais v_a e v_b (130 V/div) e tensão diferencial de saída v_o (150 V/div) (3N); (d) tensões individuais v_a e v_b (130 V/div) e tensão diferencial de saída v_o (150 V/div) (3NL); base de tempo (5 ms/div).

Analisando-se as tensões de cada sub-conversor (v_a e v_b) e a tensão diferencial de saída (v_o), ainda sem a ação linearizante, obtém-se uma *THD* de 29% e de 9%, respectivamente. Uma vez habilitado o bloco linearizador tais percentuais reduzem-se para 5% e 2%, nessa ordem. As maiores reduções acontecem na segunda e terceira harmônicas.

Repetindo-se, para o novo protótipo, os procedimentos descritos na Seção 4.4.1; avalia-se a performance do inversor sob as modulações 2N, 3N e 3NL. As análises foram conduzidas, inicialmente, com o conversor operando em malha aberta e processando potência nominal. A Figura 5.7 reúne os dados de distorção de tensão de saída, tensão máxima sobre o interruptor *boost* S_{1a} e rendimento. Novamente, pode-se observar o efeito da linearização na redução da *THD*, na redução dos esforços dos interruptores e na elevação do rendimento.

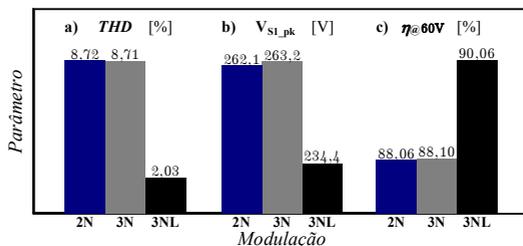


Figura 5.7 - Resultados experimentais - SCDBI: (a) distorção máxima da tensão de saída; (b) tensão máxima sobre o interruptor S_1 ; (c) rendimento sob tensão de entrada de 60 V.

5.4.2. Operação conectado à rede

O SCDBI foi testado conectado à rede elétrica em malha fechada, sob modulação 3NL, operando com tensão de entrada de 60 V e processando potência nominal. Este cenário foi mantido em todos os resultados apresentados nesta seção. A Figura 5.8 ilustra a característica diferencial e elevadora da topologia, na qual se pode observar as tensões individuais (v_a e v_b) e a tensão diferencial de saída, nesse caso denominada v_{rede} . Enquanto a Figura 5.9 reúne a tensão de entrada (V_i), além da tensão (v_{rede}) e corrente de saída (i_{rede}). A THD da corrente injetada na rede é de 3,51%, ainda que a tensão da rede já apresentasse uma distorção de 2,67%.

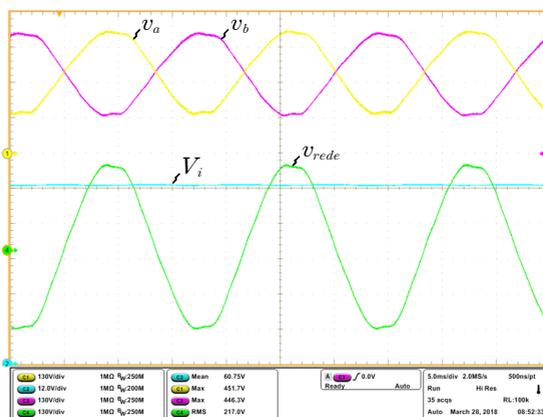


Figura 5.8 - Resultados experimentais - SCDBI (3NL): tensão de entrada V_i (12 V/div), tensões individuais de cada sub-conversor v_a e v_b (130 V/div) e tensão diferencial de saída v_{rede} (130 V/div); base de tempo (5 ms/div).

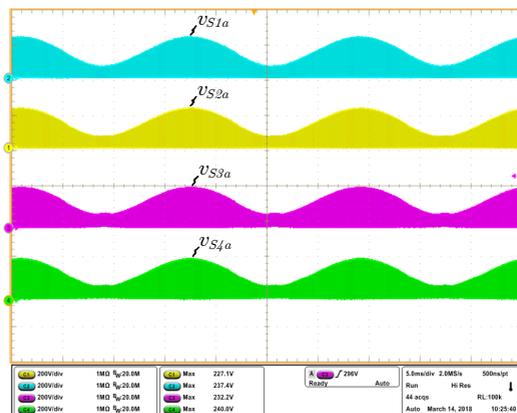


Figura 5.11 - Resultados experimentais - SCDBI (3NL): tensão sobre os interruptores v_{S1a} , v_{S2a} , v_{S3a} , v_{S4a} (200 V/div) e base de tempo (5 ms/div).

O inversor foi, ainda, submetido a um degrau de referência de corrente de $\pm 50\%$, conforme Figura 5.12(a). A Figura 5.12(b) detalha o degrau de redução de referência, enquanto a Figura 5.12(c) ilustra o comportamento do inversor durante a elevação na referência da corrente injetada na rede elétrica. Em ambos os casos, pode-se observar a adequada atuação da malha de controle, obtida com base do modelo simplificado.

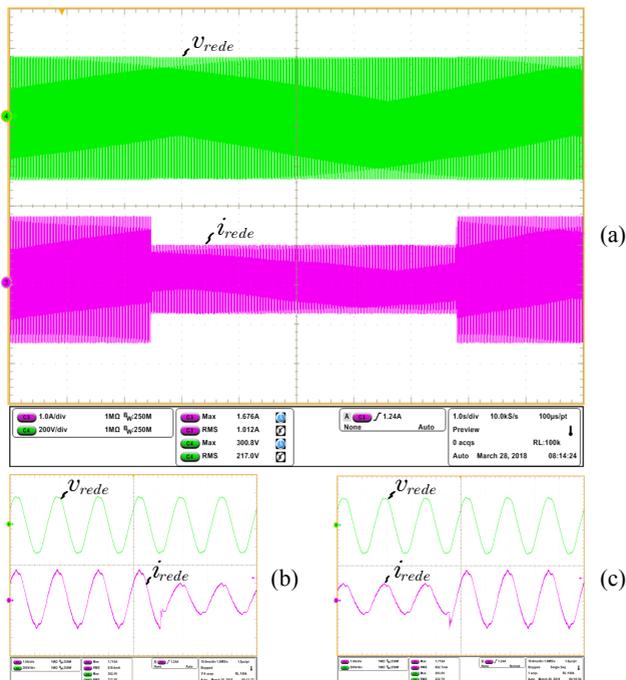


Figura 5.12 - Resultados experimentais - SCDBI (3NL): degraú de referênciã de corrente de $\pm 50\%$: (a) tensãõ v_{rede} (200 V/div), corrente injetada na rede i_{rede} (1 A/div); base de tempo (1 s/div); (b) detalhe durante a reduçãõ de referênciã; (c) detalhe durante aumento de referênciã da corrente injetada na rede; base de tempo (10 ms/div).

O rendimento do inversor híbrido operando de forma conectada e sob modulação 3NL foi, também, avaliado, tendo-se obtido valor máximo de 90,1% com potência levemente superior à nominal (268 W), tal como ilustra a Figura 5.13. O rendimento encontrado é equivalente ao de um sistema de duplo estágio, com rendimento individual de 95%.

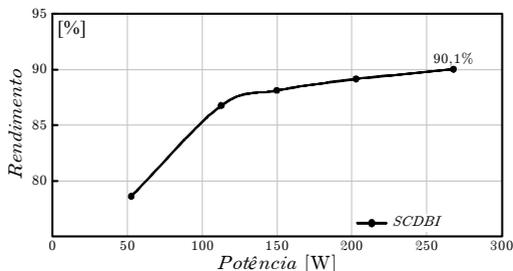


Figura 5.13 - Resultados experimentais - SCDBI (3NL) - rendimento do protótipo de 250 W operando conectado à rede.

5.4.3. Análise comparativa

Nesta seção apresenta-se um estudo comparativo entre os conversores SCDBI e DBI (célula multiplicadora removida do protótipo), para que as vantagens do primeiro possam ser evidenciadas. Ressalta-se que a comparação apresentada e as conclusões desta seção são válidas para o SCDBI tanto operando no modo conectado à rede (Capítulo 5) quanto no modo autônomo (Capítulo 4).

Esforços de corrente de entrada, tensão sobre os interruptores, modulação e potência de saída foram mantidos idênticos em ambos os conversores, buscando-se uma comparação adequada. O valor da tensão de saída do DBI durante os testes foi mantido em 110 V, pois a supressão da célula multiplicadora reduz o ganho total do conversor.

A Figura 5.14 ilustra as tensões individuais de cada sub-conversor v_a e v_b , além da tensão diferencial v_o do conversor DBI, enquanto as tensões sobre seus interruptores são reunidas na Figura 5.15. Nota-se que o valor máximo de tensão sobre o interruptor *boost* atinge 226 V, ainda que a tensão de saída tenha metade do valor alcançado com o SCDBI.

A característica de rendimento do DBI em função do ganho é ilustrada na Figura 5.16. Ressalta-se que, devido à elevação de tensão sobre os interruptores com o aumento do ganho, na prática não foi possível elevar a tensão de saída aos patamares encontrados com o SCDBI, dessa forma, a curva foi iniciada experimentalmente e concluída por simulação.

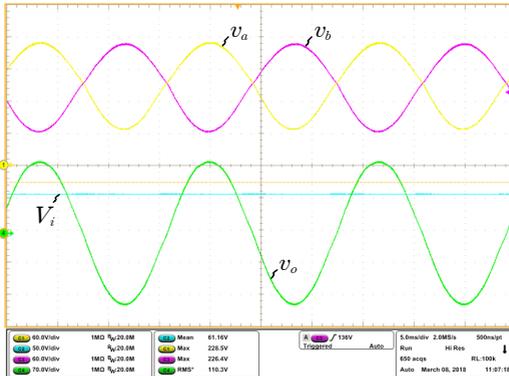


Figura 5.14 - Resultados experimentais - DBI (3NL): tensões individuais de cada sub-conversor v_a e v_b (60 V/div), tensão de saída diferencial v_o (70 V/div) e tensão de entrada V_i (50 V/div); base de tempo (5 ms/div).

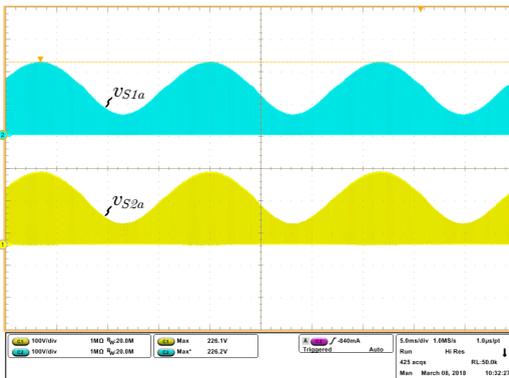


Figura 5.15 - Resultados experimentais - DBI (3NL): tensão sobre os interruptores v_{S1a} e v_{S2a} (100 V/div); base de tempo (5 ms/div).

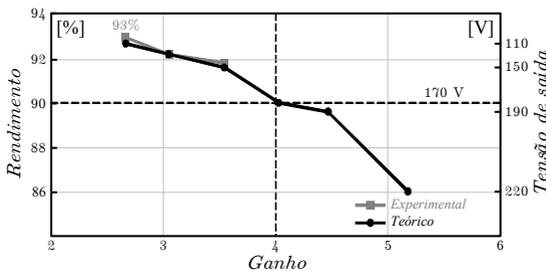


Figura 5.16 - Resultados experimentais - DBI (3NL) - rendimento do protótipo de 250 W função do ganho.

Verifica-se que a elevação da razão cíclica para que ocorra incremento de ganho implica em uma maior degradação do rendimento do *DBI*. Para tensões de saída superiores a 170 V, o *DBI* apresenta rendimento inferior à versão híbrida (90,1%). Caso fosse, possível atender as especificações de 220 V com o *DBI*, seu rendimento seria de cerca de 86%, tornando, assim, o *SCDBI* uma solução natural quando ganhos superiores a quatro vezes são necessários.

Por fim, a Figura 5.17 apresenta a distribuição teórica das perdas (protótipo de 250 W) para os inversores híbrido e convencional, operando com potência nominal. Pode-se observar que a inclusão da célula multiplicadora propicia a elevação de ganho sem alterar, significativamente, a distribuição de perdas do inversor convencional.

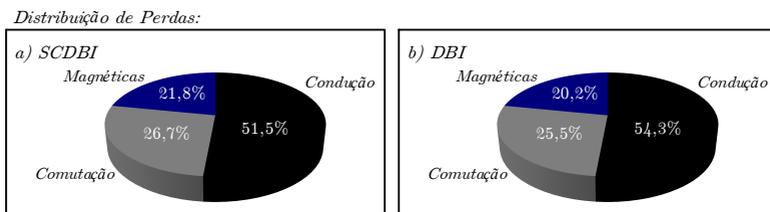


Figura 5.17 - Distribuição teórica das perdas do protótipo de 250 W:
a) *SCDBI* e b) *DBI*.

Nota-se que, como no protótipo de 500 W, a maior parcela de perdas relaciona-se às de condução, principalmente dos interruptores S_{1a} e S_{1b} . Isto acontece devido às correntes elevadas a que estes interruptores estão submetidos. Por isso, em laboratório, selecionaram-se, para tais componentes, interruptores com menor resistência de condução (*IRFP4332Pbf*), conforme Tabela 5.3. Para os demais interruptores foram utilizados componentes com maior resistência (*SCT2120AF*), haja vista a necessidade de limitar o pico de corrente dos capacitores da célula multiplicadora. Geralmente, buscam-se interruptores com menores resistências, para aumentar o rendimento da estrutura, porém, em circuitos *SC* tal relação não é direta, pois tais resistências atuam como limitadoras durante a carga dos capacitores da célula multiplicadora [87].

5.5. CONCLUSÕES PARCIAIS

Neste capítulo apresenta-se o inversor híbrido operando conectado à rede elétrica, utilizando filtro indutivo, modulação de três níveis, técnica de linearização estática e controlador linear com adição de uma malha de *feedforward*.

Seja autônomo ou conectado à rede, o inversor preserva seu princípio de funcionamento baseado na célula multiplicadora, possibilitando a elevação da tensão de saída sob reduzido esforço de tensão nos interruptores. Vale frisar que, embora se alterando a planta a ser controlada, a metodologia simplificada de modelagem e projeto dos controladores ainda puderam ser preservados.

Resultados experimentais corroboraram a proposta e o estudo teórico apresentado. A corrente injetada na rede apresenta distorção menor que 5%, com rendimento nominal de 90%. Por fim, constatou-se que o inversor *SCDBI* é um candidato natural a inversores de estágio único, quando ganhos elevados são requeridos. Finalmente, apresenta-se uma importante comparação entre o inversor diferencial *boost* convencional e a versão híbrida, permitindo, assim, identificar a faixa em que cada um deles apresenta melhor performance.

6. CONSIDERAÇÕES FINAIS

Neste capítulo serão apresentadas as conclusões da pesquisa desenvolvida nesta tese, além das propostas de continuidade da pesquisa. Este trabalho teve como objetivo principal a proposição de uma nova topologia inversora elevadora de estágio único, utilizando células a capacitor chaveado.

Inicialmente abordam-se aspectos motivacionais relacionados à contextualização da proposta, além da revisão bibliográfica propriamente dita. Posteriormente, como parte integrante do inversor, analisa-se o sub-conversor *boost* híbrido em busca de uma modelagem simplificada.

A tese contribui, adicionalmente, com a proposição de uma metodologia para redução do conversor híbrido a um conversor simplificado, dinamicamente equivalente. Tal proposta é validada experimentalmente através de um protótipo de um conversor CC-CC híbrido de 150 W.

Em um segundo momento analisou-se o novo inversor diferencial *boost* a capacitor chaveado (*switched-capacitor differential boost inverter*) propriamente dito. Investigou-se o princípio de funcionamento do inversor, além de seu comportamento de ganho, com e sem perdas.

Em comparação com topologias tradicionais o inversor apresenta uma habilidade especial de possibilitar a elevação de ganho com a preservação dos esforços nos interruptores, aliado a redução significativa da razão cíclica, expandindo, assim, a região aproximadamente linear e, reduzindo os esforços de controle.

A análise com diferentes tipos de carga, inclusive não-linear, demonstram um comportamento adequado do inversor proposto, operando em malha aberta e sem nenhuma espécie de compensação.

A estabilidade e o comportamento não-linear de ganho do inversor, aliado a ordem dos sistemas envolvidos na modelagem, caracterizam-se como um desafio, no entanto, na busca da minimização do comportamento não-linear uma técnica de linearização simplificada foi proposta e implementada. Com relação ao problema da

complexidade da modelagem, um modelo simplificado foi, também, implementado e validado.

Dando continuidade a análise do inversor em modo autônomo, apresenta-se uma investigação do inversor operando em malha aberta e, posteriormente, em malha fechada.

Um primeiro protótipo de um inversor híbrido de 500 W foi adotado na validação de toda análise teórica apresentada, além das estratégias de modelagem e controle propostas. O protótipo, operando de forma autônoma, apresenta rendimento nominal de cerca 85%. O inversor disponibiliza tensão de saída com distorção harmônica menor que 1,5% operando com carga linear e, inferior a 4,5% para o caso de cargas não-lineares.

Como diferencial da estrutura, enfatiza-se a reduzida tensão à qual os interruptores são submetidos, tornando a topologia indicada para implementações que demandem elevado ganho estático.

Finalizando o trabalho, um novo protótipo de inversor híbrido é analisado em modo conectado à rede elétrica. O segundo protótipo, com menor potência (250 W), possui tensão de entrada reduzida, evidenciando a capacidade de ganho do conversor.

Resultados experimentais corroboraram o estudo teórico e modelagem apresentados. A corrente injetada na rede apresenta distorção menor que 5%, com rendimento nominal de cerca de 90%.

Deve-se lembrar dos desafios relacionados ao controle dos inversores tipo *boost* quando características de estabilidade e a própria não-linearidade de ganho são consideradas, tanto em operação autônoma quanto conectado à rede. Técnicas de controle não-linear, em especial o controle por modo deslizante (*sliding mode control*) já foram implementadas [19], conduzindo a um controle robusto, no entanto, a operação com frequência variável se apresenta como fator complicador na análise dos elementos magnéticos e, em especial na célula a capacitor chaveado; podendo, inclusive comprometer a representatividade do modelo simplificado proposto.

Durante a análise do protótipo conectado à rede pode-se, uma vez mais, constatar que um controlador linear é capaz de responder adequadamente. Evidenciando, assim, que a junção de uma modelagem

adequada, um controlador apropriado e uma técnica de linearização, podem conduzir a resultados satisfatórios, mesmo empregando-se estratégias de controle, significativamente, menos complexas [87].

Completando os trabalhos e, com base em um estudo comparativo entre o inversor híbrido e o convencional, constatou-se que o inversor *SCDBI* é um candidato natural à implementação de inversores de estágio único, quando ganhos elevados são demandados.

Seja autônomo ou conectado à rede, o inversor preserva seu princípio de funcionamento baseado na célula multiplicadora, possibilitando a elevação da tensão de saída sob reduzido esforço de tensão nos interruptores.

Outra importante habilidade da topologia trata-se da possibilidade do empilhamento de células adicionais, ampliando ainda mais o ganho da topologia.

Por fim, cabe ressaltar que embora todos os tópicos previstos para estudo tenham sido abordados neste documento, a profundidade do tema inviabiliza esgotar o assunto no prazo delimitado ao doutorado.

Assim, como propostas de continuidade do trabalho, destacam-se a ampliação dos estudos sobre a modulação mais adequada à operação do inversor diferencial *boost* a capacitor chaveado, além da investigação sobre a versão trifásica. Estudos iniciais sobre a modulação de meio ciclo (*half cycle modulation*) associada à célula multiplicadora ainda permanecem como uma questão a ser resolvida.

Outro, importante detalhe a ser considerado, trata-se da busca pela elevação de rendimento da topologia. Ressalta-se, ainda, a necessidade da redução das perdas no interruptor S_r , podendo-se considerar, por exemplo, a adoção de interruptores em paralelo. A opção por interruptores mais modernos associada à inserção de elementos ressonantes, destinados a limitação das correntes da célula multiplicadora [46], também devem ser avaliados.

Deve-se ainda discorrer sobre os, recorrentes, problemas de gatilhamento cruzado (*crossstalk*) associados às topologias a capacitor chaveado. Cuidados adicionais são sugeridos quando da elaboração do *layout* do inversor e, novamente, deve-se considerar a técnica proposta em [46].

7. REFERÊNCIAS BIBLIOGRÁFICAS

- [1] S. M. Chen, T. J. Liang, and K. R. Hu, "Design, Analysis, and Implementation of Solar Power Optimizer for DC Distribution System," *IEEE Transactions on Power Electronics*, vol. 28, pp. 1764-1772, 2013.
- [2] M. Karimi-Ghartemani, S. A. Khajehoddin, P. Jain, and A. Bakhshai, "A Systematic Approach to DC-Bus Control Design in Single-Phase Grid-Connected Renewable Converters," *IEEE Transactions on Power Electronics*, vol. 28, pp. 3158-3166, 2013.
- [3] Y. Zhang, J. T. Sun, and Y. F. Wang, "Hybrid Boost Three-Level DC-DC Converter With High Voltage Gain for Photovoltaic Generation Systems," *IEEE Transactions on Power Electronics*, vol. 28, pp. 3659-3664, 2013.
- [4] D. C. Martins and I. Barbi, *Eletrônica de Potência: Introdução ao Estudo dos Conversores CC-CA*, 1ª ed. Florianópolis: Edição dos Autores, 2005.
- [5] M. Calais, J. Myrzik, T. Spooner, and V. G. Agelidis, "Inverters for single-phase grid connected photovoltaic systems-an overview," in *Proc. of the 33rd Annual IEEE Power Electronics Specialists Conference*, 2002, pp. 1995-2000.
- [6] X. Yaosuo, C. Liuchen, K. Sren Baekhj, J. Bordonau, and T. Shimizu, "Topologies of single-phase inverters for small distributed power generators: an overview," *IEEE Transactions on Power Electronics*, vol. 19, pp. 1305-1314, 2004.
- [7] S. B. Kjaer, J. K. Pedersen, and F. Blaabjerg, "A review of single-phase grid-connected inverters for photovoltaic modules," *IEEE Transactions on Industry Applications*, vol. 41, pp. 1292-1306, 2005.
- [8] J. Yao, A. Abramovitz, and K. M. Smedley, "Analysis and Design of Charge Pump-Assisted High Step-Up Tapped Inductor SEPIC Converter With an "Inductorless" Regenerative Snubber," *IEEE Transactions on Power Electronics*, vol. 30, pp. 5565-5580, 2015.
- [9] A. Abramovitz, J. Yao, and K. Smedley, "Derivation of a family of high step-up tapped inductor SEPIC converters," *Electronics Letters*, vol. 50, pp. 1626-1628, 2014.
- [10] R. D. Middlebrook, "Transformerless DC-to-DC converters with large conversion ratios," *IEEE Transactions on Power Electronics*, vol. 3, pp. 484-488, 1988.
- [11] R. S. Santos, T. B. Lazzarin, and I. Barbi, "A new half-bridge Hybrid Switched-Capacitor inverter," in *Proc. of the IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*, 2015, pp. 1-6.

- [12] A. Florescu, O. Stocklosa, M. Teodorescu, C. Radoi, D. A. Stoichescu, and S. Rosu, "The advantages, limitations and disadvantages of Z-source inverter," in *Proc. of the International Semiconductor Conference (CAS)*, 2010, pp. 483-486.
- [13] F. Z. Peng, "Z-source inverter," in *Proc. of the 37th Industry Applications Conference (IAS)*, 2002, pp. 775-781.
- [14] G. L. Piazza and I. Barbi, "New Step-Up/Step-Down DC-AC Converter," *IEEE Transactions on Power Electronics*, vol. 29, pp. 4512-4520, 2014.
- [15] S. Cuk and R. W. Erickson, "A conceptually new high-frequency switched-mode power amplifier technique eliminates current ripple," in *Proc. of the 5th National Solid-State Power Conversion Conference (POWERCON)*, 1978.
- [16] C. Y. Hsu, "Stability analysis of a switched mode inverter using Cuk converters," in *Proc. of the 25th Annual IEEE Power Electronics Specialists Conference (PESC)*, 1994, pp. 785-795 vol.2.
- [17] R. Caceres and I. Barbi, "A boost DC-AC converter: operation, analysis, control and experimentation," in *Proc. of the 21st Industrial Electronics, Control, and Instrumentation (IECON)*, 1995, pp. 546-551.
- [18] R. O. Caceres, "Família de conversores CC-CA, derivados dos conversores CC-CC fundamentais," Doutorado em Engenharia Elétrica, Centro Tecnológico - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 1997.
- [19] R. O. Caceres and I. Barbi, "A boost DC-AC converter: analysis, design, and experimentation," *IEEE Transactions on Power Electronics*, vol. 14, pp. 134-141, 1999.
- [20] C. M. C. Duarte and I. Barbi, "An improved family of ZVS-PWM active-clamping DC-to-DC converters," *IEEE Transactions on Power Electronics*, vol. 17, pp. 1-7, 2002.
- [21] M. M. Jovanovic and Y. Jang, "A new, soft-switched boost converter with isolated active snubber," *IEEE Transactions on Industry Applications*, vol. 35, pp. 496-502, 1999.
- [22] C. W. Roh, S. H. Han, and M. J. Youn, "Dual coupled inductor fed isolated boost converter for low input voltage applications," *Electronics Letters*, vol. 35, pp. 1791-1792, 1999.
- [23] E. S. Silva, L. R. Barbosa, J. B. Vieira, L. C. Freitas, and V. J. Farias, "An improved boost PWM soft-single-switched converter with low voltage and current stresses," *IEEE Transactions on Industrial Electronics*, vol. 48, pp. 1174-1179, 2001.

- [24] K. C. Tseng and T. J. Liang, "Novel high-efficiency step-up converter," *IEE Proc. of Electric Power Applications*, vol. 151, pp. 182-190, 2004.
- [25] Q. Zhao and F. C. Lee, "High-efficiency, high step-up DC-DC converters," *IEEE Transactions on Power Electronics*, vol. 18, pp. 65-73, 2003.
- [26] J. W. Kolar and H. Ertl, "Status of the techniques of three-phase rectifier systems with low effects on the mains," in *Proc. of the 21st International Telecommunication Energy Conference (INTELEC)*, 1999, p. 16 pp.
- [27] J. Wei, K. Yao, M. Xu, and F. C. Lee, "Applying transformer concept to nonisolated voltage regulators significantly improves the efficiency and transient response," in *Proc. of the IEEE 34th Annual Power Electronics Specialist Conference (PESC)*, 2003, pp. 1599-1604 vol.4.
- [28] N. Swetha and S. Rathod, "Renewable Energy based High-Gain Single-Stage Boosting Inverter," *International Journal of Scientific Engineering and Technology Research*, vol. 05, pp. 4967-4971, 2016.
- [29] R. J. Wai and R. Y. Duan, "High step-up converter with coupled-inductor," *IEEE Transactions on Power Electronics*, vol. 20, pp. 1025-1035, 2005.
- [30] T. J. Liang, J. L. Shyu, and J. F. Chen, "A novel DC/AC boost inverter," in *Proc. of the 37th Intersociety Energy Conversion Engineering Conference (IECEC)*, 2002, pp. 629-634.
- [31] C. M. Wang, "A novel single-stage full-bridge buck-boost inverter," *IEEE Transactions on Power Electronics*, vol. 19, pp. 150-159, 2004.
- [32] H. Ribeiro, F. Silva, S. Pinto, and B. Borges, "Single stage inverter for PV applications with One Cycle Sampling technique in the MPPT algorithm," in *2009 35th Annual Conference of IEEE Industrial Electronics*, 2009, pp. 842-849.
- [33] H. Ribeiro, A. Pinto, and B. Borges, "Single-stage DC-AC converter for photovoltaic systems," in *Proc. of the IEEE Energy Conversion Congress and Exposition*, 2010, pp. 604-610.
- [34] R. Gules, L. L. Pfitscher, and L. C. Franco, "An interleaved boost DC-DC converter with large conversion ratio," in *Proc. of the IEEE International Symposium on Industrial Electronics*, 2003, pp. 411-416 vol. 1.
- [35] G. L. Piazza, "Novo conversor CC-CA elevador-abaixador de tensão," Doutorado em Engenharia Elétrica, Centro Tecnológico - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2013.
- [36] A. M. P. Correa, "Inversor monofásico de tensão derivado do conversor buck-boost a quatro chaves," Mestrado em Engenharia

- Elétrica, Centro Tecnológico - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2017.
- [37] A. Ioinovici, "Switched-capacitor power electronics circuits," *Circuits and Systems Magazine, IEEE*, vol. 1, pp. 37-42, 2001.
- [38] T. B. Lazzarin, R. L. Andersen, G. B. Martins, and I. Barbi, "A 600-W Switched-Capacitor AC-AC Converter for 220 V/110 V and 110 V/220 V Applications," *IEEE Transactions on Power Electronics*, vol. 27, pp. 4821-4826, 2012.
- [39] M. S. Makowski and D. Maksimovic, "Performance limits of switched-capacitor DC-DC converters," in *Proc. of the 26th Annual IEEE Power Electronics Specialists Conference (PESC)*, 1995, pp. 1215-1221.
- [40] T. Umeno, K. Takahashi, I. Oota, F. Ueno, and T. Inoue, "New switched-capacitor DC-DC converter with low input current ripple and its hybridization," in *Proc. of the 33rd Midwest Symposium on Circuits and Systems*, 1990, pp. 1091-1094 vol.2.
- [41] R. L. Andersen, T. B. Lazzarin, and I. Barbi, "A 1-kW Step-Up/Step-Down Switched-Capacitor AC-AC Converter," *IEEE Transactions on Power Electronics*, vol. 28, pp. 3329-3340, 2013.
- [42] O. Abutbul, A. Gherlitz, Y. Berkovich, and A. Ioinovici, "Step-up switching-mode converter with high voltage gain using a switched-capacitor circuit," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 50, pp. 1098-1102, 2003.
- [43] B. Axelrod, Y. Berkovich, and A. Ioinovici, "Hybrid switched-capacitor Cuk/Zeta/Sepic converters in step-up mode," in *Proc. of the IEEE International Symposium on Circuits and Systems*, 2005, pp. 1310-1313 Vol. 2.
- [44] M. Evzelman and S. Ben-Yaakov, "Simulation of Hybrid Converters by Average Models," *IEEE Transactions on Industry Applications*, vol. 50, pp. 1106-1113, 2014.
- [45] J. C. Mayo-Maldonado, J. C. Rosas-Caro, and P. Rapisarda, "Modeling approaches for DC-DC converters with switched capacitors," *IEEE Transactions on Industrial Electronics*, vol. 62, pp. 953-959, 2015.
- [46] M. Prudente, L. Pfitscher, and R. Gules, "A Boost Converter With Voltage Multiplier Cells," in *Proc. of the IEEE 36th Power Electronics Specialists Conference*, 2005, pp. 2716-2721.
- [47] J. C. Rosas-Caro, J. M. Ramirez, and P. M. Garcia-Vite, "Novel DC-DC Multilevel Boost Converter," in *Proc. of the IEE EPower Electronics Specialists Conference (PESC)*, 2008, pp. 2146-2151.

- [48] B. Axelrod, Y. Berkovich, and A. Ioinovici, "Switched-Capacitor/Switched-Inductor Structures for Getting Transformerless Hybrid DC-DC PWM Converters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, pp. 687-696, 2008.
- [49] R. Marusarz, "A switched capacitor, inductorless DC to AC voltage step-up power converter," in *Proc. of the 20th Annual IEEE Power Electronics Specialists Conference*, 1989, pp. 99-103 vol.1.
- [50] K. Zou, M. J. Scott, and J. Wang, "Switched capacitor cell based Dc-dc and Dc-ac converters," in *Proc. of the 26th Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2011, pp. 224-230.
- [51] G. V. Silva, R. F. Coelho, and T. B. Lazzarin, "Switched capacitor boost inverter," in *Proc. of the IEEE 25th International Symposium on Industrial Electronics (ISIE)*, 2016, pp. 528-533.
- [52] M. Saghaleini, "Switching Patterns and Steady-State Analysis of Grid-Connected and Stand-Alone Single-Stage Boost-Inverters for PV Applications," Doctor of Philosophy, Electrical Engineering, Florida International University, 2012.
- [53] R. Caceres, R. Rojas, and O. Camacho, "Robust PID control of a buck-boost DC-AC converter," in *Proc. of the 22th International Telecommunications Energy Conference (INTELEC)*, 2000, pp. 180-185.
- [54] K. Jha, S. Mishra, and A. Joshi, "High-Quality Sine Wave Generation Using a Differential Boost Inverter at Higher Operating Frequency," *IEEE Transactions on Industry Applications*, vol. 51, pp. 373-384, 2015.
- [55] I. E. Colling and I. Barbi, "A reversible step-up voltage-source inverter controlled by sliding mode," in *Proc. of the 30th Power Electronics Specialists Conference (PESC)*, 1999, pp. 538-543.
- [56] Z. Fan, D. Lei, P. Fang Zheng, and Q. Zhaoming, "A New Design Method for High-Power High-Efficiency Switched-Capacitor DC-DC Converters," *IEEE Transactions on Power Electronics*, vol. 23, pp. 832-840, 2008.
- [57] T. B. Lazzarin, R. L. Andersen, and I. Barbi, "A Switched-Capacitor Three-Phase AC-AC Converter," *Industrial Electronics, IEEE Transactions on*, vol. 62, pp. 735-745, 2015.
- [58] M. D. Seeman and S. R. Sanders, "Analysis and Optimization of Switched-Capacitor DC-DC Converters," *IEEE Transactions on Power Electronics*, vol. 23, pp. 841-851, 2008.
- [59] V. Sladeczek, P. Palacky, P. Vaculik, and J. Oplustil, "Voltage Converters with Switched-capacitor," *PIERS Proc.*, pp. 934-937, 2012.

- [60] D. F. Cortez and I. Barbi, "A Family of High-Voltage Gain Single-Phase Hybrid Switched-Capacitor PFC Rectifiers," *IEEE Transactions on Power Electronics*, vol. 30, pp. 4189-4198, 2015.
- [61] R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics*, 2nd ed. New York: Kluwer Academic Publishers, 2004.
- [62] K. Zou, M. J. Scott, and J. Wang, "Switched-Capacitor-Cell-Based Voltage Multipliers and DC-AC Inverters," *IEEE Transactions on Industry Applications*, vol. 48, pp. 1598-1609, 2012.
- [63] J. D. Cockcroft and E. T. S. Walton, "Experiments with high velocity positive ions,," in *Proc. of the Roy. Soc.*, London, 1930.
- [64] N. Greinacher, "High voltage dc generator," in *Proc. of the Bull. Schweiz. Elek. Ver.*, 1920.
- [65] D. L. Waidelich and C. L. Shackelford, "Characteristics of Voltage-Multiplying Rectifiers," *Proc. of the IRE*, vol. 32, pp. 470-476, 1944.
- [66] J. F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," *IEEE Journal of Solid-State Circuits*, vol. 11, pp. 374-378, 1976.
- [67] I. Harada, F. Ueno, T. Inoue, and I. Oota, "Characteristics analysis of Fibonacci type SC transformer," *Fundamentals of Electronics, Communications and Computer Sciences, IEICE Transactions on*, vol. E75-A, pp. 655-662, 1992.
- [68] K. K. Sum, "Improved Valley-Fill Passive Current Shaper," in *Proc. of the International Power Conversion Intelligent Motion Conference*, 1997, pp. 43-50.
- [69] S. Ben-Yaakov, "Behavioral Average Modeling and Equivalent Circuit Simulation of Switched Capacitors Converters," *IEEE Transactions on Power Electronics*, vol. 27, pp. 632-636, 2012.
- [70] M. D. Vecchia, T. B. Lazzarin, and I. Barbi, "Estudo de Conversores Estáticos CA-CA Monofásicos e Trifásicos Baseados no Princípio do Capacitor Chaveado," *Eletrônica de Potência, SOBRAEP Transactions*, vol. 20, pp. 160-171, 2015.
- [71] R. L. Silva, T. B. Lazzarin, and I. Barbi, "Reduced Switch Count Step-Up/Step-Down Switched-Capacitor Three-Phase AC-AC Converter," *IEEE Transactions on Industrial Electronics*, vol. 65, pp. 8422-8432, 2018.
- [72] M. D. Vecchia, "Conversores CC-CC não isolados gerados pela integração entre células de capacitores chaveados e células convencionais de comutação," Mestrado em Engenharia Elétrica, Centro Tecnológico - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2016.
- [73] G. V. Silva, R. F. Coelho, and T. B. Lazzarin, "State space modeling of a hybrid Switched-Capacitor boost converter," in *Proc. of the IEEE*

- 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*, 2015, pp. 1-6.
- [74] G. V. Silva, R. F. Coelho, and T. B. Lazzarin, "Modelagem do Conversor Boost com Células a Capacitor Chaveado por Meio de um Conversor Equivalente de Ordem Reduzida," *Eletrônica de Potência, SOBRAEP Transactions*, vol. 22, pp. 288-297, 2017.
- [75] R. Middlebrook and S. Cuk, "A general unified approach to modelling switching-converter power stages," in *Proc. of the Power Electronics Specialists Conference*, 1976, pp. 18-34.
- [76] R. Tymerski, V. Vorperian, F. C. Y. Lee, and W. T. Baumann, "Nonlinear modeling of the PWM switch," *IEEE Transactions on Power Electronics*, vol. 4, pp. 225-233, 1989.
- [77] A. Merdassi, L. Gerbaud, and S. Bacha, "A new automatic average modelling tool for power electronics systems," in *Proc. of the Power Electronics Specialists Conference (PESC)*, 2008, pp. 3425-3431.
- [78] M. K. Alam and F. H. Khan, "Efficiency Characterization and Impedance Modeling of a Multilevel Switched-Capacitor Converter Using Pulse Dropping Switching Scheme," *IEEE Transactions on Power Electronics*, vol. 29, pp. 3145-3158, 2014.
- [79] F. H. Dupont, C. Rech, R. Gules, and J. R. Pinheiro, "Reduced-Order Model and Control Approach for the Boost Converter With a Voltage Multiplier Cell," *IEEE Transactions on Power Electronics*, vol. 28, pp. 3395-3404, 2013.
- [80] S. Ben-Yaakov, "On the Influence of Switch Resistances on Switched-Capacitor Converter Losses," *IEEE Transactions on Industrial Electronics*, vol. 59, pp. 638-640, 2012.
- [81] N. Vazquez, J. Almazan, J. Alvarez, C. Aguilar, and J. Arau, "Analysis and experimental study of the buck, boost and buck-boost inverters," in *Proc. of the 30th Annual IEEE Power Electronics Specialists Conference*, 1999, pp. 801-806 vol.2.
- [82] D. F. Cortez, "Família de retificadores PWM unidirecionais três-níveis híbridos a capacitor chaveado com elevado fator de potência," Doutorado em Engenharia Elétrica, Centro Tecnológico - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2015.
- [83] B. Kalaivani, V. K. Chinnaiyan, and J. Jerome, "A novel control strategy for the boost DC - AC inverter," in *Proc. of the India International Conference on Power Electronics*, 2006, pp. 341-344.
- [84] D. G. Holmes and T. A. Lipo, *Pulse Width Modulation for Power Converters: Principles and Practice*: John Wiley & Sons, 2003.
- [85] G. V. Silva, R. F. Coelho, and T. B. Lazzarin, "Switched-capacitor differential boost inverter: Static gain and generalized structure," in

- Proc. of the 12th IEEE International Conference on Industry Applications (INDUSCON)*, 2016, pp. 1-8.
- [86] J. J. Pollack, "Advanced Pulsewidth Modulated Inverter Techniques," *IEEE Transactions on Industry Applications*, vol. IA-8, pp. 145-154, 1972.
- [87] J. M. Andrade, G. V. Silva, R. F. Coelho, and T. B. Lazzarin, "Inversor Boost a Capacitor Chaveado Conectado à Rede Elétrica," *Eletrônica de Potência, SOBRAEP Transactions*, vol. 23, pp. 466-476, 2018.
- [88] A. G. Yepes, F. D. Freijedo, J. Doval-Gandoy, Ó. Lopez, J. Malvar, and P. Fernandez-Comesaña, "Correction to "Effects of Discretization Methods on the Performance of Resonant Controllers"," *IEEE Transactions on Power Electronics*, vol. 27, pp. 4976-4976, 2012.
- [89] J. M. Andrade, "Inversor Boost a Capacitor Chaveado para Conexão de Fontes Renováveis à Rede Elétrica," Mestrado em Engenharia Elétrica, Centro Tecnológico - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2018.
- [90] D. Meneses, F. Blaabjerg, Ó. García, and J. A. Cobos, "Review and Comparison of Step-Up Transformerless Topologies for Photovoltaic AC-Module Application," *IEEE Transactions on Power Electronics*, vol. 28, pp. 2649-2663, 2013.
- [91] L. Schmitz, D. C. Martins, and R. F. Coelho, "Generalized High Step-Up DC-DC Boost-Based Converter With Gain Cell," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, pp. 480-493, 2017.
- [92] W. Li and X. He, "Review of Nonisolated High-Step-Up DC/DC Converters in Photovoltaic Grid-Connected Applications," *IEEE Transactions on Industrial Electronics*, vol. 58, pp. 1239-1250, 2011.
- [93] S. V. Araujo, R. P. Torrico-Bascope, and G. V. Torrico-Bascope, "Highly Efficient High Step-Up Converter for Fuel-Cell Power Processing Based on Three-State Commutation Cell," *IEEE Transactions on Industrial Electronics*, vol. 57, pp. 1987-1997, 2010.
- [94] T. B. Boykin, D. Hite, and N. Singh, "The Two-Capacitor Problem with Radiation," *American Journal of Physics*, vol. 72, pp. 415-420, 2002.
- [95] T. C. Choy, "Capacitors can radiate: Further results for the two capacitor problem," *American Journal of Physics*, vol. 72, pp. 662-670, 2004.
- [96] D. P. Korfiatis, "A New Approach to the Two-Capacitor Paradox," *WSEAS Transactions Circuits and Systems*, vol. 6, pp. 76-79, 2007.

-
- [97] K. Mita and M. Boufaïda, "Ideal Capacitors Circuits and Conservation," *American Journal of Physics*, vol. 67, pp. 737-739, 1999.
- [98] R. A. Powell, "Two-capacitor problem: A more realistic view," *American Association of Physics Teachers*, 1978.
- [99] A. K. Singal, "The Paradox of Two Charged Capacitors - A New Perspective," *Indian Association of Physics Teachers*, vol. 31, pp. 1-13, 2015.
- [100] M. L. Heldwein, "EMC filtering of three-phase PWM converters," Doctor of Sciences, Eidgenössische Technische Hochschule Zürich, Zürich, 2008.

8. APÊNDICES

A. PUBLICAÇÕES

A partir dos estudos realizados durante o período de doutoramento foram publicados alguns artigos em conferências e periódicos relacionados ao tema de capacitor chaveado:

- G. V. Silva, R. F. Coelho, and T. B. Lazzarin**, "State space modeling of a hybrid Switched-Capacitor boost converter," in *2015 IEEE 1st Southern Power Electronics Conference (SPEC)*, 2015, pp. 1-6.
- G. V. Silva, R. F. Coelho, and T. B. Lazzarin**, "Switched capacitor boost inverter," in *2016 IEEE 25th International Symposium on Industrial Electronics (ISIE)*, 2016, pp. 528-533.
- G. V. Silva, R. F. Coelho, and T. B. Lazzarin**, "Switched-capacitor differential boost inverter: Static gain and generalized structure," in *2016 12th IEEE International Conference on Industry Applications (INDUSCON)*, 2016, pp. 1-8.
- G. V. Silva, R. F. Coelho, and T. B. Lazzarin**, "Modelagem do conversor *boost* com células a capacitor chaveado por meio de um conversor equivalente de ordem reduzida," *Eletrônica de Potência, SOBRAEP Transactions*, vol. 22, pp. 288-297, 2017.
- J. M. Andrade, G. V. Silva, R. F. Coelho, and T. B. Lazzarin**, "Inversor *boost* a capacitor chaveado conectado à rede elétrica," *Eletrônica de Potência, SOBRAEP Transactions*, vol. 23, pp. 466-476, 2018.

STATE SPACE MODELING OF A HYBRID SWITCHED-CAPACITOR BOOST CONVERTER

Gilberto V. Silva¹, Roberto F. Coelho² and Telles B. Lazzarin²

¹Federal Institute of Education, Science and Technology of Santa Catarina - IFSC, Florianópolis - SC, BRAZIL

²Federal University of Santa Catarina - UFSC, Power Electronics Institute - INEP, Florianópolis - SC, BRAZIL
e-mail: valentim@ifsc.edu.br, roberto@inep.ufsc.br, telles@inep.ufsc.br

Abstract - The integration of Switched Capacitors (SC) and conventional converters provides advantages such as high gain, reduced stress and voltage regulation. However, it increases the system order and the complexity analysis. Therefore, this paper proposes the development of a methodology for modeling a hybrid switched-capacitor boost converter based on the state space modeling theory, which enables to study in detail these new topologies. Steady-state and dynamic models for operation in continuous conduction mode along with a brief converter analysis are still presented and verified by numerical simulation. As result of the state space modeling, the components stresses are obtained and, in addition, dynamic models are defined. Furthermore, from the proposed methodology a reduced order model is still derived, resulting in simplified transfer functions as well as the controllers design.

Keywords - Hybrid converter, modeling, state space, switched capacitor (SC).

I. INTRODUCTION

The current trends have shown an increased focus on efficient power management. In this context, solutions to improve the efficiency of conventional converters have deserved more attention, and switched capacitor converters (SCC) appear as a possible alternative [1]-[3].

Traditional static converters present advantages as a good output voltage regulation and simple dynamic models (typically first or second order). However, they also present some disadvantages, such as limited gain, low efficiency and high stress in the components.

Switched capacitor converters do not employ magnetic elements and it may offer high or low gain, reduced stress and high efficiency. Nevertheless, their output voltage cannot be regulated by traditional control methods, which results in a poor output voltage regulation [4]-[7].

Recently, the integration of switched capacitors and conventional converters have been proposed [8]. This new converter family provides high (or low) gain, high efficiency, reduction stress and, additionally, it improves the output voltage regulation. However, these new converters may become unattractive if the high order associated to the dynamical models, needed to the control design, is considered.

This paper proposes the development of a methodology for modeling a Hybrid Switched-Capacitor boost Converter (HSCC). This methodology applies the state space modeling

theory, which allows the steady-state and the dynamic models of the proposed converter to be defined.

From the proper modeling it is shown that a simplified model may replace the original HSCC, which supplies a reduced transfer function order that may be employed in the controllers design. The analysis is verified through numerical simulation by comparing both, simplified and complete models.

II. HSCC CONVERTER AND TOPOLOGICAL STATES

The hybrid switched-capacitor converter proposed in [9] and presented in Fig.1 has been chosen for the analysis. Since the focus of this paper comes from the converter modeling, detailed analysis of the operating stages is not addressed.

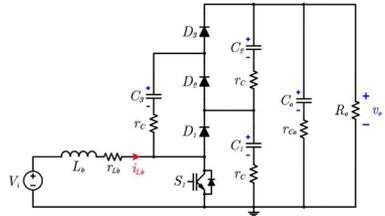


Fig.1. Hybrid switched-capacitor converter analyzed.

As result of the insertion of the switched-capacitor cell, according to Fig.1, the output voltage can be duplicated, but the switches stresses are preserved. The hybrid converter is composed of the boost inductor, three capacitors from SC topology and the output capacitor. This converter also has two topological states presented in Fig. 2. Similarly to the conventional boost converter, the first stage of HSCC corresponds to inductive accumulation, while in the second stage the energy is transferred to the load.

III. STATE SPACE MODELING OF A HYBRID SWITCHED-CAPACITOR CONVERTER

In order to find the component stresses, such as the current in the boost inductor and the voltages on the capacitors C_1 , C_2 , C_3 and C_o , the state space analysis [10]-[14] can thus be applied. The system presented in (1) describes the small signal (ac model) of the HSCC converter, where A , B , C , E , F and H are the average matrices calculated in a switching period, while \hat{a} represents the small disturbance applied in the duty cycle.

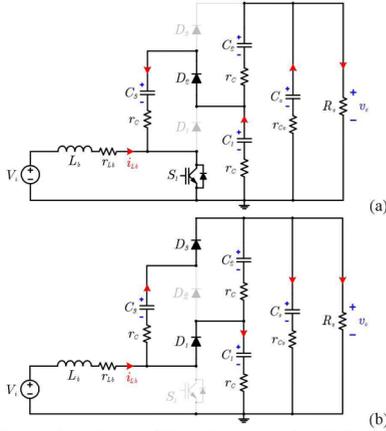


Fig. 2. Topological states of the analyzed converter: (a) stage 1, (b) stage 2.

$$\begin{cases} K\dot{\hat{x}}(t) = A\hat{x}(t) + B\hat{u}(t) + F\hat{d}(t) \\ \hat{y}(t) = C\hat{x}(t) + E\hat{u}(t) + H\hat{d}(t) \end{cases} \quad (1)$$

Initially, in a first approximation, only non-idealities related to the multiplier cell are considered, however, they will be assumed identical, i.e., $r_{c1} = r_{c2} = r_{c3} = r_c$. Thus, in the first topological state, the inductive accumulation, can be given by:

$$K\dot{\hat{x}}(t) = A_1\hat{x}(t) + B_1\hat{u}(t). \quad (2)$$

where:

$$K = \begin{pmatrix} L_b & 0 & 0 & 0 & 0 \\ 0 & C_1 & 0 & 0 & 0 \\ 0 & 0 & C_2 & 0 & 0 \\ 0 & 0 & 0 & C_3 & 0 \\ 0 & 0 & 0 & 0 & C_o \end{pmatrix}, \hat{x}(t) = \begin{pmatrix} i_{Lb}(t) \\ v_{C_1}(t) \\ v_{C_2}(t) \\ v_{C_3}(t) \\ v_{C_o}(t) \end{pmatrix} \text{ and } u(t) = (V_i) \quad (3)$$

$$A_1 = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & -\frac{2}{3r_c} & \frac{-1}{3r_c} & \frac{1}{3r_c} & \frac{-2}{3r_c} \\ 0 & \frac{-1}{3r_c} & \frac{-2}{3r_c} & \frac{-1}{3r_c} & \frac{2}{3r_c} \\ 0 & \frac{1}{3r_c} & \frac{-1}{3r_c} & \frac{-2}{3r_c} & \frac{1}{3r_c} \\ 0 & \frac{1}{3r_c} & \frac{2}{3r_c} & \frac{1}{3r_c} & \frac{-3r_c - 2R}{3r_c R} \end{pmatrix} \text{ and } B_1 = \begin{pmatrix} 1 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} \quad (4)$$

Similarly, in the second topological stage, the state space matrices are given by:

$$K\dot{\hat{x}}(t) = A_2\hat{x}(t) + B_2\hat{u}(t) \quad (5)$$

where:

$$A_2 = \begin{pmatrix} -\frac{r_c}{3} & \frac{-1}{3} & \frac{1}{3} & \frac{1}{3} & \frac{-2}{3r_c} \\ \frac{1}{3} & \frac{-2}{3r_c} & \frac{-1}{3r_c} & \frac{-1}{3r_c} & \frac{2}{3r_c} \\ -\frac{1}{3} & \frac{-1}{3r_c} & \frac{-2}{3r_c} & \frac{-1}{3r_c} & \frac{1}{3r_c} \\ \frac{-1}{3} & \frac{-1}{3r_c} & \frac{1}{3r_c} & \frac{-2}{3r_c} & \frac{1}{3r_c} \\ \frac{2}{3} & \frac{2}{3r_c} & \frac{1}{3r_c} & \frac{1}{3r_c} & \frac{-3r_c - 2R}{3r_c R} \end{pmatrix} \text{ and } B_2 = \begin{pmatrix} 1 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} \quad (6)$$

Considering the converter operating on Continuous Conduction Mode (CCM) and neglecting possible variations on the inputs \hat{u} or in the duty cycle, the average matrices that represent the converter in steady-state operation may be described as $A = [A_1 D + A_2 (1-D)]$, $B = [B_1 D + B_2 (1-D)]$ and so on.

In steady-state, the derivative terms related to the equations become null, i.e., $\dot{\hat{x}}(t) = 0$. In this case, the system can be solved, furthermore state and output variables can be determined:

$$X = -(A)^{-1} B U \text{ and } Y = (-C A^{-1} B + E) U \quad (7)$$

The obtained results represent respectively the equilibrium values of the averaged vectors and it identifies the steady-state inductor current and the voltages across the capacitors of the hybrid converter:

$$X = \begin{pmatrix} \frac{8DV_i}{(3r_c - 4D^2 R_b + 2D^3 R_b - 3DR_c + 2DR_b)} \\ \frac{V_i(3r_c - 2D^2 R_b - 2DR_c + 2DR_b)}{(3r_c - 4D^2 R_b + 2D^3 R_b - 3DR_c + 2DR_b)} \\ -\frac{V_i(3r_c + 2D^2 R_b - 2DR_c - 2DR_b)}{(3r_c - 4D^2 R_b + 2D^3 R_b - 3DR_c + 2DR_b)} \\ -\frac{V_i(3r_c + 2D^2 R_b - 4DR_c - 2DR_b)}{(3r_c - 4D^2 R_b + 2D^3 R_b - 3DR_c + 2DR_b)} \\ \frac{(4DR_b V_i)}{(-2R_b D^3 + 2R_b D + 3r_c)} \end{pmatrix} \quad (8)$$

where:

- V_i - input voltage;
- D - duty cycle;
- r_c - equivalent serie resistance ESR;
- R_b - load resistance.

Neglecting the equivalent serie resistance r_c , related to the multiplier cell, (8) can be rewrite as (9). Summarizing the state variables previously defined, one can clearly identify the idealized gain of the hybrid boost converter. Note that in this case the multiplier cell presents gain $k=2$.

$$X = \left(\frac{4V_i}{R_b(D-1)^2} \quad \frac{V_i}{(1-D)} \quad \frac{V_i}{(1-D)} \quad \frac{V_i}{(1-D)} \quad \frac{2V_i}{(1-D)} \right)^T \quad (9)$$

From the steady-state variables, all the component stresses can be easily found. Table I presents, respectively, a synthesis of the currents in the capacitors C_1 , C_2 , C_3 and C_o and the stresses on the switch S_1 and on the diodes D_1 , D_2 and D_3 .

TABLE I

COMPONENT STRESSES ON STEADY-STATE OPERATION.		
Parameter	rms value	avg value
i_{c1}	$\frac{I_{lb}}{4} \sqrt{\frac{1-D}{D}}$	—
i_{c2}	$\frac{I_{lb}}{4} \sqrt{\frac{1-D}{D}}$	—
i_{c3}	$\frac{I_{lb}}{2} \sqrt{\frac{1-D}{D}}$	—
i_{c0}	$\frac{I_{lb}}{4} \sqrt{\frac{(1-D)(2D+1)^2}{D}}$	—
i_{s1}	$\frac{I_{lb}(D+1)}{2\sqrt{D}}$	$\frac{I_{lb}(D+1)}{2}$
i_{D1}	$\frac{I_{lb}}{2} \sqrt{1-D}$	$\frac{I_{lb}(1-D)}{2}$
i_{D2}	$\frac{I_{lb}(D-1)}{2\sqrt{D}}$	$\frac{I_{lb}(1-D)}{2}$
i_{D3}	$\frac{I_{lb}}{2} \sqrt{1-D}$	$\frac{I_{lb}(1-D)}{2}$

After the steady-state have been established, it is possible to inquiry about the small signals model. Considering the average value of the waveforms over one switching period, neglecting the infinitesimal terms of the second and higher orders and discarding variations on the inputs, the system previously presented in (1) may be approximated as:

$$\hat{K}\dot{\hat{x}} = [A_1 D + A_2 (1-D)]\hat{x} + [A_1 - A_2]X\hat{d} + [B_1 - B_2]U\hat{d} \quad (10)$$

Finally, it is possible to represent the disturbance on the state variables due to a variation of the duty cycle:

$$\frac{\hat{x}}{\hat{d}} = [Ks - A]^{-1} [(A_1 - A_2)X + (B_1 - B_2)U] \quad (11)$$

Comparing (11) and (1) it is possible define the matrix F according to (12) and, by similarity, the matrix H in accordance with (13).

$$F = (A_1 - A_2)X + (B_1 - B_2)U \quad (12)$$

$$H = (C_1 - C_2)X + (E_1 - E_2)U \quad (13)$$

Considering the hybrid converter previously presented, the transfer functions for the desired outputs e.g., inductor current and output capacitor voltage, can be determined by (14) since they present similar forms:

$$G(s) = \frac{b_4 s^4 + b_3 s^3 + b_2 s^2 + b_1 s + b_0}{a_5 s^5 + a_4 s^4 + a_3 s^3 + a_2 s^2 + a_1 s + a_0} \quad (14)$$

Note in (14) $G(s)$ may assume the form:

$$G_{id}(s) = \hat{i}_{lb}/\hat{d} \quad \text{or} \quad G_{vd}(s) = \hat{v}_{co}/\hat{d}. \quad (15)$$

It is important to notice that the model described by (14) only computes the non-idealities related to the multiplier cell. However, in order to improve the model accuracy, other non-idealities presented in Fig.1, that means r_{Lb} and r_{Co} , will also be hereinafter considered. From these extra non-idealities, a higher order transfer function is expected: as it is well known

a fifth zero appears in the HSCC model due to the addition of the output capacitor parasitic resistance.

IV. MODEL VALIDATION

In order to validate the obtained models, the hybrid switched capacitor converter dynamic behavior has been verified by simulation. The main parameters employed to validate the linearized small-signal model are shown in Table II and the transfer functions of $G_{id}(s)$ and $G_{vd}(s)$ are given, respectively, by

$$G_{id}(s) = \frac{2.23 \cdot 10^{-8} s^4 + 2.11 \cdot 10^{-7} s^3 + 6.29 \cdot 10^{-6} s^2 + 5.55 \cdot 10^{-5} s + 1.40 \cdot 10^{-4}}{1.12 \cdot 10^{-9} s^5 + 1.06 \cdot 10^{-9} s^4 + 3.18 \cdot 10^{-8} s^3 + 2.88 \cdot 10^{-7} s^2 + 1.14 \cdot 10^{-6} s + 1.40 \cdot 10^{-6}} \quad (16)$$

and

$$G_{vd}(s) = \frac{-1.53 \cdot 10^{-5} s^5 - 1.58 \cdot 10^{-4} s^4 - 3.95 \cdot 10^{-3} s^3 + 7.43 \cdot 10^{-2} s^2 + 4.30 \cdot 10^{-1} s + 3.66 \cdot 10^0}{7.46 \cdot 10^{-6} s^5 + 7.07 \cdot 10^{-5} s^4 + 2.12 \cdot 10^{-4} s^3 + 1.92 \cdot 10^{-3} s^2 + 7.60 \cdot 10^{-3} s + 9.31 \cdot 10^{-2}} \quad (17)$$

Another significant consideration relates to capacitors connected to the multiplier cell, which has been considered with the same value, i.e., $C_1 = C_2 = C_3 = C$. Regarding the output capacitor was adopted $C_o = C/2$.

TABLE II

MAIN PARAMETERS OF THE CONVERTERS USED TO VALIDATE THE LINEARIZED SMALL-SIGNAL MODEL.

Hybrid converter		Simplified converter	
parameter	value	parameter	value
V_{lb}	50 V	V_{lt}	50 V
L_{lb}	500 μ H	L_{bt}	500 μ H
r_{Lb}	100 m Ω	r_{Lb}	100 m Ω
C	200 μ F	—	—
r_C	100 m Ω	—	—
C_o	100 μ F	$C_{o'}$	1000 μ F
r_{Co}	200 m Ω	$r_{Co'}$	20 m Ω
—	—	r_{oq}	100 m Ω
D	50%	D	50%
f_s	40 kHz	f_s	40 kHz

Some information concerning a simplified converter will be lately exploited.

From (17) and (16) an important transfer function relating to the output voltage and the input current, designed $G_{vi}(s)$, can also be derived, as is described in (18).

$$G_{vi}(s) = \frac{-9.54 \cdot 10^{-7} s^5 - 9.86 \cdot 10^{-6} s^4 - 2.47 \cdot 10^{-5} s^3 + 4.64 \cdot 10^{-4} s^2 + 2.69 \cdot 10^{-3} s + 2.29 \cdot 10^{-2}}{9.29 \cdot 10^{-9} s^4 + 8.78 \cdot 10^{-8} s^3 + 2.62 \cdot 10^{-7} s^2 + 2.32 \cdot 10^{-6} s + 5.82 \cdot 10^{-6}} \quad (18)$$

The total output voltage v_{oh} and the boost inductor current i_{Lb} waveforms, for both: hybrid switched converter and linearized proposed model, during a 1% of disturbance on the nominal duty cycle, are sketched in Fig. 3. Note that after an initial transitory, converter and model operate in steady-state, thus, a 1% step is applied in both. At this time (150 ms), the output voltage rises from its initial value 198 V to 200 V. The model presents, under these conditions, 45% of overshoot and 15.3 ms of settling time. Subsequently, at 200 ms, the duty cycle returns to its initial value, reducing the output voltage to its initial value with approximately the same settling time. The results evidence a good correspondence between the linearized (*linear*) and switched (*switch*) models.

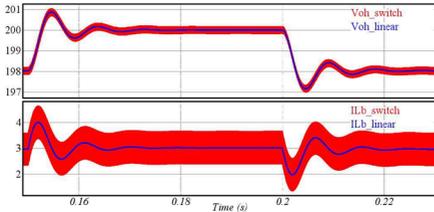


Fig. 3. Behavior of the output voltage and inductor current, for the hybrid converter, during a 1% duty cycle disturb.

Although the converter proposed by [15] differs from that proposed in this paper, both present a right-half-plane zero. Nevertheless, in [15] the authors emphasize its effects may not be evidenced due to the converter parameters employed during simulations. Note this conclusion is also valid for the models obtained to describe the converter here analyzed.

Observing the step response, an initial analysis indicates that the system exhibits dominant second order behavior. The root locus for the voltage model is shown in Fig. 4 and it apparently corroborates this first supposition.

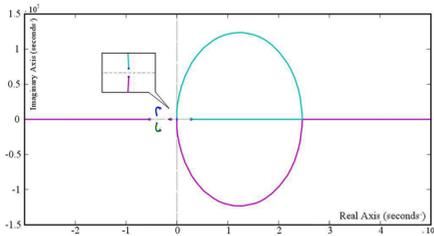


Fig. 4. Root locus for the analysis of voltage transfer function of the hybrid proposed model.

Finally, the Bode diagram of the transfer function for the voltage linearized model and for the switched model, previously determined in (17), are still presented on Fig. 5.

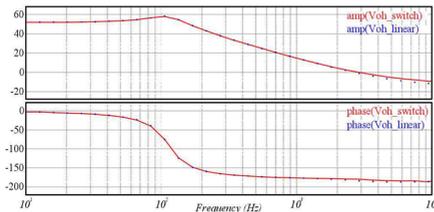


Fig. 5. Bode diagram for the analysis of voltage transfer function of the hybrid proposed model.

Reassuring the initial proposition and taking into account the methodology considered in [16] it is possible to investigate an alternative to represent the fifth order transfer function shown in (15) and (16) by equivalent second order simplified models. The aim is to reduce the order of the

models without lost any relevant dynamic behavior information.

An initial proposal consists to consider the multiplier cell, in this case with gain $k=2$, only by its static gain, as shows Fig.6(a). If this approach is confirmed, one can theoretically proceed any gain without increasing the order of the system to be analyzed, which means a significantly reduction in the computational efforts to generate the linearized model.

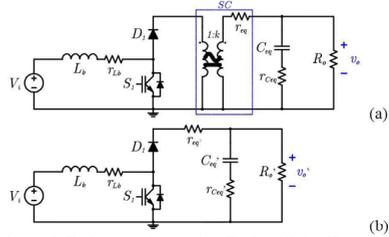


Fig. 6. Equivalent proposed model for the hybrid circuit.

where:

- r_{eq}' - equivalent resistance referred to low side voltage;
- C_{eq}' - output capacitance referred to low side;
- r_{Ceq} - equivalent resistance of the output capacitor referred to low side;
- R_o' - load resistance referred to low side;
- L_b - boost inductance;
- r_{Lb} - resistance of boost inductor.

Note the inclusion of the multiplier cell equivalent conduction resistance ($r_{eq}=4r_c$). The Fig.6(b) even presents the equivalent resistance referred to low side voltage ($r_{eq}'=r_{eq}/k^2$) as well as the equivalent capacitance ($C_{eq}'=5C$).

The circuit depicted in Fig.6 here denominated by simplified hybrid boost or even simplified boost, was submitted to a duty cycle step of 1% and it has presented a response of a typical second order system. The employed simulation parameters are shown in Table II. A comparison between the output voltage of the hybrid circuit (V_{oh}) and simplified boost converter (V_{oh}^*) is presented in Fig. 7.

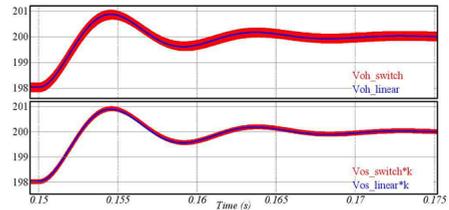


Fig. 7. Comparison behavior hybrid and simplified boost converters during a 1% duty cycle disturb.

The Bode diagram used to validate the simplified switched and linearized models is still presented Fig. 8.

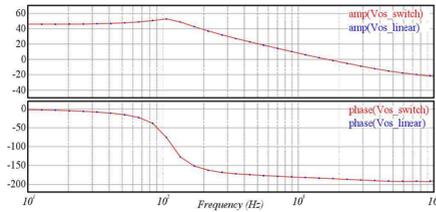


Fig. 8. Bode diagram for the analysis of voltage transfer function of the simplified proposed model.

After the truly validation of the hybrid and the simplified models, a properly scaled (k) comparison of the output voltage is still presented in Fig.9. The results show a good correspondence between hybrid model (V_{oh_model}) and proposed simplified boost model (V_{os_model}).

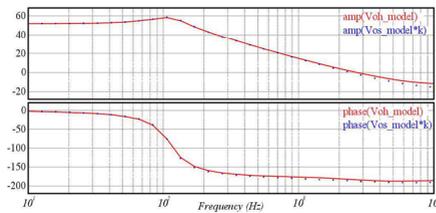


Fig. 9. Bode diagram for the analysis of voltage transfer function of the proposed model.

Once the models were properly validated, the next task consists to design the output voltage controller. The adopted block diagram is shown in Fig.10. It is a multi-loop system commonly used for such converters. A fast inner loop controls the boost inductor current, while a slow outer loop is responsible for controlling the output voltage. For the current controller a 4 kHz crossover frequency with a 70° phase margin was established, being able to determine the parameters for a proportional integral (PI) controller. For the voltage control loop, a modified PI controller was adopted, in which a 10 Hz low-pass filter is also implemented.

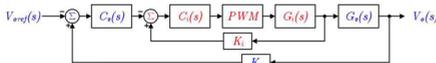


Fig. 10. Block diagram of the strategy employed to control the both converters.

For verifying the control strategy and the controller design, both converters are evaluated under load step variation. Fig.11 shows the behavior of output voltage and boost inductor current for the hybrid and the simplified boost converters. The converter is operating on steady-state when suddenly the load increases 20%. At this time (500 ms) the input current rises from its initial value 2.97 A to 3.58 A, with settling time of 75 ms. Subsequently, at 1000 ms the load is readjusted and the input current is reduced to its initial value, with a settling time of 85 ms.

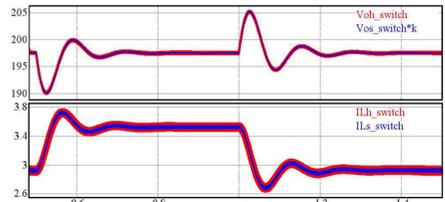


Fig.11. Comparison of the hybrid and simplified boost converters during a 20% load step variation.

V. CONCLUSIONS

This paper presents the implementation of the state space technique to obtain the dynamic and the steady-state model for a hybrid switched-capacitor boost converter, which has a relative complexity due its typical high order. The proposed methodology to determine a simplified model was validated and has presented satisfactory results, which makes it an important tool to study in details the integration between switched capacitor and conventional converts.

It was verified that the simplified model is described by a second order transfer function in place the fifth order related to the HSCC. However, as it was demonstrated, both models were compatible. Thus one may use the simplified model to proper design the controller for this converter in closed-loop applications.

Finally, load step variation was applied in hybrid and simplified converters and results demonstrates that they have identical dynamic responses.

REFERENCES

- [1] F. Zhang, L. Du, F. Z. Peng, Z. Qian, "A New Design Method for High-Power High-Efficiency Switched-Capacitor DC-DC Converters", *Power Electronics, IEEE Transactions on*, vol. 23, n^o. 2, pp.832-840, March 2008.
- [2] T. B. Lazzarin, R. L. Andersen, G. B. Martins, I. Barbi, "A 600W Switched-Capacitor AC-AC Converter for 220V/110V and 110V/220V Applications", *Power Electronics, IEEE Transactions on*, vol. 27, n^o. 12 pp. 4821-4826, Dec. 2012.
- [3] T. B. Lazzarin, I. Barbi, R. L. Andersen, "A Switched-Capacitor Three-Phase AC-AC Converter", *IEEE Trans. on Ind. Electron.*, vol. 62, n^o. 2, pp.735-745, Feb. 2015.
- [4] A. Ioinovici, "Switched-capacitor power electronics circuits", *IEEE Circuits Syst. Mag.*, vol. 1, n^o. 3, pp. 37-42, Third Quarter 2001.
- [5] V. Sladecek, P. Palacky, P. Vaculik, J. Oplustil, "Voltage Converters with Switched-capacitor", *PIERS Proceedings*, pp. 934-937, 2012.
- [6] M. S. Makowski, D. Maksimovic, "Performance limits of switched capacitor DC-DC converters", *Power Electronics Specialists Conference, 1995, PESC '95 Record., 26th Annual IEEE*, vol. 2, pp. 1215-1221, Jun. 1995.

- [7] M. D. Seeman, S. R. Sanders, "Analysis and optimization of switched capacitor DC-DC converters", *IEEE Trans. Power Electron.*, vol. 23, n^o. 2, pp. 841-851, March 2008.
- [8] D. F. Cortez, I. Barbi, "A Family of High-Voltage Gain Single-Phase Hybrid Switched-Capacitor PFC Rectifiers", *Power Electronics, IEEE Transactions on*, vol. 30, n^o. 8, pp. 4189-4198, Aug. 2015.
- [9] J. Rosas-Caro, J. Ramirez, P. Garcia-Vite, "Novel dc-dc multilevel boost converter", *Power Electronics Specialists Conference*, 2008. PESC 2008. IEEE, pp. 2146-2151, June 2008.
- [10] R. D. Middlebrook, S. Cuk, "A general unified approach to modelling switching-converter power stages", *Power Electronics Specialists Conference*, 1976 IEEE, pp.18,34, 8-10 June 1976.
- [11] M. K. Alam, F. H. Khan, "Efficiency Characterization and Impedance Modeling of a Multilevel Switched-Capacitor Converter Using Pulse Dropping Switching Scheme", *Power Electronics, IEEE Transactions on*, vol. 29, n^o.6, pp. 3145-3158, June 2014.
- [12] R. W. Erickson, D. Maksimovic, *Fundamentals of power electronics*, Massachusetts: Kluwer Academic Publishers, 2nd edition, New York, 2004.
- [13] R. Tymerski, V. Vorperian, F. C. Y. Lee, W. T. Baumann, "Nonlinear modeling of the PWM switch", *IEEE Transactions on Power Electronics*, vol. 4, n^o. 2, pp. 225-233, April 1989.
- [14] A. Merdassi, L. Gerbaud, S. Bacha, "A new automatic average modeling tool for power electronics systems", *Power Electronics Specialists Conference*, 2008. PESC 2008. IEEE pp. 3425-3431, June 2008.
- [15] F. H. Dupont, C. Rech, R. Gules, J. R. Pinheiro, "Reduced-Order Model and Control Approach for the Boost Converter With a Voltage Multiplier Cell", *Power Electronics, IEEE Transactions on*, vol. 28, n^o.7, pp.3395-3404, July 2013.
- [16] R. L. Andersen, T. B. Lazzarin, I. Barbi, "A 1-kW Step-Up/Step-Down Switched-Capacitor AC-AC Converter", *Power Electronics, IEEE Transactions on*, vol.28, no.7, pp.3329,3340, July 2013.

Switched Capacitor Boost Inverter

Gilberto Valentim Silva
Federal Institute of Education, Science
and Technology of Santa Catarina
Florianopolis - SC, Brazil
Email: valentim@ifsc.edu.br

Roberto Francisco Coelho
Federal University of Santa Catarina
Power Electronics Institute
Florianopolis - SC, Brazil
Email: roberto@inep.ufsc.br

Telles Brunelli Lazzarin
Federal University of Santa Catarina
Power Electronics Institute
Florianopolis - SC, Brazil
Email: telles@inep.ufsc.br

Abstract — The differential boost inverter (DBI) generates an alternating differential voltage from two dc-dc converters. The instantaneous output voltage can be higher or lower than the dc input voltage, however DBIs exhibit nonlinear control-to-output behavior in large-signal sense. Furthermore, switched capacitor cells may operate as a gain multiplier in classical converters. The integration of switched capacitors (SCs) and differential boost inverters may offer an attractive solution to provide high static gain. Thus, the novel inverter is intended to be used in applications whenever an ac voltage larger than the dc link voltage is needed, as UPS or even renewable energy supplies. The inverter based on boost converter and on switched capacitors is proposed in this paper, which is designated as switched capacitor differential boost inverter (SCDBI). The proposed inverter allows gains higher than the unity and increases the approximated linear region of boost-based inverter. In the proposed topology, the voltage stresses across the switches are reduced if compared with a traditional DBI. Topology, operational principle, analysis, modulation and simulation results are included in this paper.

Keywords — *Switched Capacitor (SC), differential boost inverter (DBI), high-frequency inverter.*

I. INTRODUCTION

Inverters are commonly used in ac motor drives, uninterruptible power supplies (UPS), renewable energy supplies, etc. A voltage source inverter (VSI) buck-based topology is conventionally used to implement an inverter that generates sinusoidal output voltages. One of the typical feature of buck inverters is that the instantaneous output voltage is always smaller than the dc input voltage. If an output voltage larger than the input one is required, a boost dc-dc power stage must be inserted between the dc source and the VSI, but, depending on the characteristics of the converter, this approach may result in higher system volume and weight, besides the reduced efficiency and reliability. Boost-based inverters referred as differential boost inverters (DBIs) have also been proposed in literature [1]. The boost inverter achieves the dc-ac conversion through the differential connection of two dc-dc bidirectional boost converters. Although the output voltage of each converter is essentially positive, the load remains submitted to sine

wave with no dc offset, as per Fig.1. On the other hand, the switched capacitor (SC) concept is frequently adopted in order to achieve the multiplication of the gain in conventional converters [2]-[3]. In this sense, the integration of conventional converters and SCs are becoming a viable trend.

II. REVIEW OF THE DIFFERENTIAL INVERTERS

The hereinafter analyzed converters are mainly composed of two dc-dc converters as shown in Fig.1. Each converter generates a sinusoidal dc biased output voltage, being the load differentially connected into each one. Through the differential connection, it is possible to split the total output voltage between the converters, being still possible to cancel the dc bias value. In this section a brief discussion about the linearity of the gain of buck and boost-based voltage source inverters are presented.

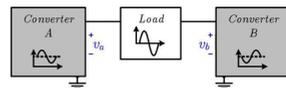


Fig.1. Differential connection schematics.

A. Buck-based inverter

As a typical characteristic of the analyzed family of inverters, the buck-based VSI is a differential connection of two bidirectional buck converters, as is shown in Fig.2 (a). Note that the output LC filter was duplicated only to emphasize the two sub-converters that compose the topology as a whole. The block diagram of the PWM generator is still presented in Fig.2 (b). For simplicity, only one modulator was adopted in both of converters. Considering the complementary operation of the proposed gate drive, only one duty cycle was assumed. The gain characteristics of the each converter, e.g., v_o/V_i and v_o/V_i , is equally shown in Fig.2 (c), as well as the gain of the differential inverter v_o/V_i , as presented in (1).

$$\frac{v_o}{V_i} = 2d - 1 \quad (1)$$

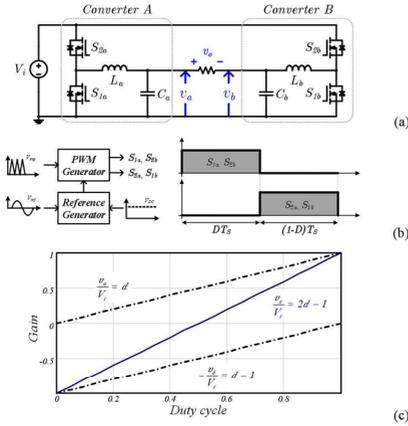


Fig. 2. Buck-based VSI: (a) schematics, (b) PWM generator and control signals, (c) steady-state characteristics.

The steady-state characteristic of the buck-based VSI is illustrated in Fig. 2 (c). Note that control-to-output behavior of buck-based VSI exhibits large-signal linear characteristics, that makes it a suitable candidate to implement inverters [4]. However, the fundamental drawback of these VSI is that the instantaneous output v_o is always smaller than the dc input.

B. Boost-based inverter

Similar to the buck VSI, the boost-based voltage source inverter, proposed in [1], hereinafter denominated by DBI, is a connection of two boost converters, as is shown in Fig. 3 (a).

Considering the modulator aforementioned depicted in Fig. 3 (b), the gain characteristics of the each converter, e.g., v_a/V_i and v_b/V_i , is equally presented in Fig. 3 (c), as well as the total gain of the differential boost inverter v_o/V_i :

$$\frac{v_o}{V_i} = \frac{2d - 1}{d(1 - d)} \tag{2}$$

The steady-state characteristic of the DBI is illustrated in Fig. 3 (c). Even that the DBI is capable to generate higher output voltages than the dc input, note that control-to-output behavior of DBI is clearly nonlinear. Linear and nonlinear techniques applied to control DBIs are widely discussed in literature [5]-[6]. Recently the dynamic linearizing modulation (DLM) has also been argued [7]. In literature are also reported different ways of implementing the VSIs [8].

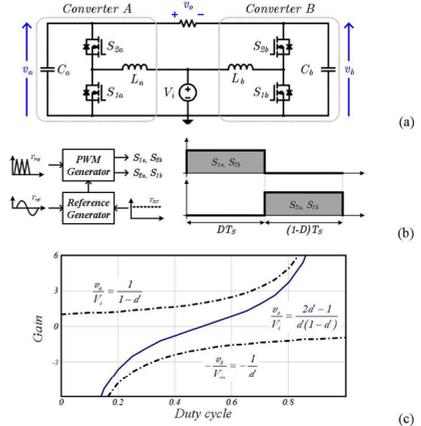


Fig. 3. Boost-based VSI: (a) schematics, (b) PWM generator and control signals, (c) steady-state characteristics.

III. PROPOSED SWITCHED CAPACITOR INVERTER

The integration of switched capacitors (SC) and conventional converters has been proposed [9]. This solution provides high gain, high efficiency, reduction stress and, additionally, it improves the output voltage regulation. As a result of the insertion of the switched capacitor cell, the output voltage can be duplicated, but the switches stresses are preserved.

A. Hybrid Boost-based inverter

The herein designated hybrid converter is the synthesis of a conventional boost and a switched capacitor multiplier cell. This paper proposes a novel converter combining a couple [1] of hybrid boost converters [10], resulting in a switched capacitor differential boost inverter, which is shown in Fig. 4 and is designed as SCDBI.

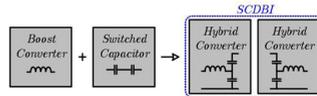


Fig. 4. Concept of the switched capacitor differential boost inverter.

The basic idea to combine a step-up inverter (DBI) and the multiplier cell (SC) lies in the fact of achieving higher output voltages than the dc input, besides the reduced stresses on the switches, as shown Fig. 5 (a). Similar to the DBI, the switched capacitor differential boost inverter is a connection of two hybrid converters.

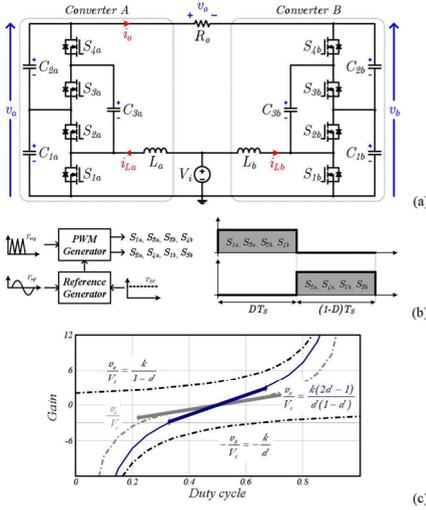


Fig.5. SCDBI proposed: (a) schematics, (b) PWM generator and control signals, (c) steady-state characteristics.

To facilitate the complete converter analysis, each of individual converters will be represented by its respective sub-index: v_a will represent the voltage referred to the first converter, v_b will represent the output voltage referred to the second converter and so on. In order to generate an adequate comparison, the same modulator previously presented was preserved. Although a larger number of switches is required, the same gate drive will be adopted. Another important factor is the reduced voltage that each switch must be submitted. The whole SCDBI proposed has two legs, each one with its respective multiplier cell. The goal of cells based on SC is to ensure the voltage balance between capacitors C_1 and C_2 . Therefore, the capacitors C_3 are switched with the aim of transferring electrical charge between capacitors C_1 and C_2 as in the SC dc-dc converters.

Considering the converter operating in continuous conduction mode (CCM), the theoretical voltage gain for the first converter was thus obtained, as presented in

$$\frac{v_a}{V_i} = \frac{k}{1-d}, \quad (3)$$

where k represents the gain of the multiplier cell. In this case $k=2$. The voltage gain for the second converter can be derived assuming that the two converters operate 180°

phase shifted as depicted in Fig.5 (b), then the output voltage of the second one is given by

$$\frac{v_b}{V_i} = \frac{k}{d}. \quad (4)$$

Therefore, it can be found the total differential gain of the inverter

$$\frac{v_o}{V_i} = \frac{k(2d-1)}{d(1-d)}. \quad (5)$$

In order to facilitate the comparison, the partial output voltage v_a is also presented in (6), where the influence of the multiplier cell was disregarded. The steady-state characteristics of the DBI and SCDBI ($k=2$) is defined in Fig.5 (c). Comparing the gain curves, for SCDBI and DBI, it is noted that the switched capacitor increases the approximated linear region, providing a higher gain with a smaller duty cycle. As an example, if $v_o/V_i = 3$, the duty cycle would be reduced up to 43%.

$$\frac{v_a}{V_i} = \frac{(2d-1)}{d(1-d)} \quad (6)$$

In the preceded analysis, traditionally applied in the literature, the converters gains were ideally obtained. However, if the intrinsic nonidealities of the converters were considered, a natural gain limitation will be verified. Therefore, the gain multiplication once again has a positive influence on the converter operation.

B. Operating principle of the SCDBI

This section presents the operational principle and the topological stages of the hybrid boost-based converter, or switched capacitor differential boost inverter. Initially, the switching period (high-frequency analysis) is shown. The converter is then studied in a low-frequency analysis (fundamental frequency of the output voltage). Finally, the basic equations employed in the design of the converter are presented.

The proposed SCDBI has two operation stages. During the positive half-cycle of the output voltage, if only the first converter is considered, the operation stages can be described as shown in Fig.6 (a) and (b).

1) *First stage:* It starts when switches S_1 and S_2 are turned on. During this stage S_2 and S_3 are blocked. Capacitors C_1 and C_2 discharge and capacitor C_3 charges during this stage (Δt_1). Similarly to the conventional boost converter, the first stage of SCDBI corresponds to inductive accumulation. The discharge of the capacitor C_1 provides energy to the switching capacitor C_3 as well as to the load. Switches S_1 and S_2

are turned off at the end of this stage. This topological stage is presented in Fig.6 (a).

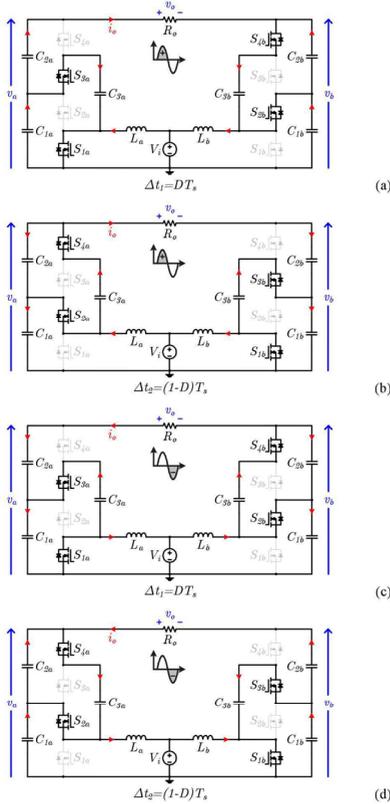


Fig. 6. Topological stages. Positive half-cycle of the output voltage: (a) first and (b) second stage. Negative half-cycle of the output voltage: (c) first and (d) second stage.

2) *Second stage:* It starts when switches S_2 and S_1 are turned on. During the second stage S_1 and S_3 are blocked. Capacitors C_1 and C_2 charge and capacitor C_3 discharges during this stage (Δt_2). Additionally, the inductive energy is transferred to the load. The discharge of the capacitor C_3 provides energy to C_2 as well as to the load. Switches S_2 and S_4 are turned off at the end of this stage. This topological stage is shown in Fig.6 (b).

For the analysis of the second converter, two important factors must be considered: the phase-shift generated by the modulator and the phase of the current. This topological stage completes one switching period for the positive half-cycle of the output voltage. In the negative half-cycle, the converter has similar operation stages with different current directions, as can be seen in Fig.6 (c) and (d).

C. Theoretical Analysis

This section presents a theoretical analysis of the proposed dc-ac converter. The aim of the low-frequency analysis is to reinforce some characteristics of the SCDBI, such as the operational principle and the voltage stresses on the components. The theoretical voltage gain of the proposed SCDBI can be understood considering that the SC C_3 , from each converter point of view, ensure the voltage balance between C_1 and C_2 in the circuit shown in the Fig.5.

From (3), (4) and (5) the duty cycle for the SCDBI is calculated based on the desired output voltage:

$$d(t) = \frac{v_o(t) - 2kV_i + \sqrt{(2kV_i)^2 + v_o(t)^2}}{2v_o(t)} \tag{7}$$

The duty cycle is basically composed of the sinusoidal value, whose peak is denoted by D_{ac} , overlapped by a dc bias value, D_{dc} . Throughout this analysis, the dc amount shall be assumed to be 50%. Thus, it is possible to determine the dc, ac, minimum and maximum values of duty cycle. It can also be determined the individual voltage of each converter, as shown in (8) and (9).

$$v_a(t) = \frac{2V_i v_o(t)}{v_o(t) + 2kV_i - \sqrt{(2kV_i)^2 + v_o(t)^2}} \tag{8}$$

$$v_b(t) = \frac{2V_i v_o(t)}{v_o(t) - 2kV_i + \sqrt{(2kV_i)^2 + v_o(t)^2}} \tag{9}$$

The theoretical input current for the individual converters was thus obtained, as presented in

$$i_a = \frac{k^2 V_i (2d - 1)}{d(d - 1)^2 R_o} \tag{10}$$

and

$$i_b = \frac{-k^2 V_i (2d - 1)}{d^2 (d - 1) R_o} \tag{11}$$

From (7) and (10), and by establishing a maximum input current ripple, the boost inductor may be found. Theoretical waveforms of the dc-ac proposed converter

are shown in Fig.7. The input current, i.e., the current through the boost inductor is clearly nonsinusoidal, oppositely from the total current drained from the dc source. The corresponding figure further shows the voltages v_a and v_b related to the individual outputs of each converter. Aforementioned the differential voltage v_o is equally identified. In order to emphasize the effect of the SC multiplier cell, v_a' , v_b' and v_o' are also presented. These variables represent the respective voltages in the multiplier cell inputs.

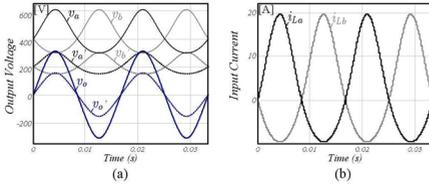


Fig.7. Theoretical waveforms of the proposed dc-ac converter: (a) output voltages; (b) input current.

IV. SIMULATION RESULTS

In order to verify the proposed SC dc-ac converter operation, the SCDBI behavior has been verified by numerical simulation. Initially only the hybrid converter, i.e. the SCDBI, will be analyzed. Then, a second converter, traditionally designed (DBI) [1] will also be rated to allow a proper comparison. The main specifications and components for the both converters are presented in Table I. This section starts with the analysis of SCDBI, inspecting the individual output voltage of each converter, as shown in Fig.8. The waveform of the input current, i_{La} and i_{Lb} , may also be noted. It is observed a portion of high frequency that had not been considered during the theoretical analysis. Once again, the influence of the multiplier cell can be identified through the inspection of the partial output voltage of the boost stage, v_a' and v_b' , and the total output voltages after the multiplier cell v_a and v_b .

TABLE I. MAIN PARAMETERS OF THE HYBRID AND CONVENTIONAL DBI

Description	SCDBI	DBI [1]
Input voltage (V_i)	100 V	100 V
RMS Output voltage (V_o)	220 V	220 V
Maximum input current ripple	20%	20%
Boost inductor (L_b)	172 μ H	172 μ H
Multiplier cell capacitors (C_1, C_2, C_3)	25 μ F	—
Output capacitor (C_o)	—	25 μ F
Load resistor (R_o)	96 Ω	96 Ω
DC Duty cycle (D_k)	50%	50%
AC Duty cycle (D_w)	20%	30%
Switching frequency (f_s)	100 kHz	100 kHz

From the first converter point of view, it is observed the current through the boost inductor and the current of each capacitor that composes the multiplier cell.

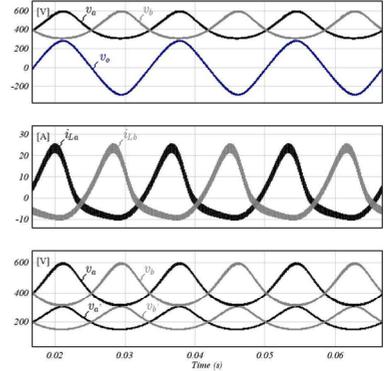


Fig.8. Low-Frequency Analysis - Main waveforms of the SCDBI.

In addition, one can note that the switched capacitor cell operates in partial charge mode, as shown in Fig.9.

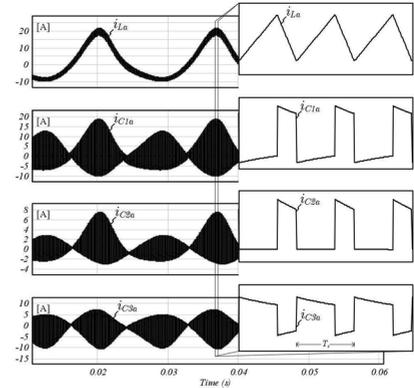


Fig.9. High-Frequency Analysis - Multiplier cell waveforms of the SCDBI.

Fig.10 presents the voltage on the SCDBI switches, the voltage on the capacitors that compose the multiplier cell, as well as the differential output voltage, whose rms value is about 221 V with a THD of 4.6%. The maximum voltage on the switches reaches 336 V and duty cycle at this point has a slight nonlinear influence.

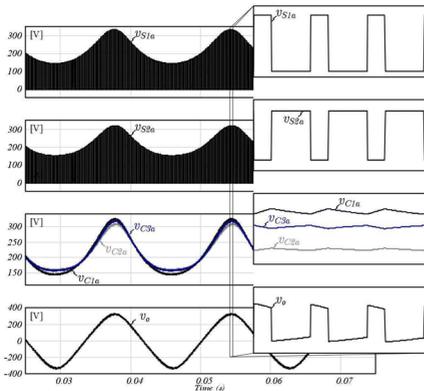


Fig.10. High-Frequency Analysis - Switches waveforms of the SCDBI.

As previously planned, a numerical simulation concerning the DBI converter, proposed by [1], will be evaluated. It keeps the same commutation frequency, inductance and output capacitor. Details are presented in Table I.

Under these conditions, the differential output voltage presents rms value of 221 V with THD of 11.3%, almost three times greater than that obtained in the hybrid converter, as could be observed in Fig. 11.

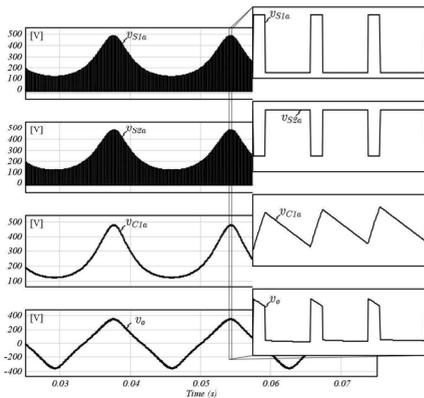


Fig.11. High-Frequency Analysis - Main waveforms of the DBI

The maximum voltage on the switches reaches 486 V, 45% higher than the previously obtained. The duty cycle at this point has a strong nonlinear influence.

V. CONCLUSIONS

This paper proposes a novel dc-ac converter, referred to switched capacitor differential boost inverter (SCDBI). The switches operate under constant frequency with the duty cycle around 50%. The circuit operation has been described and discussed. The new converter comes from the integration of a switched capacitor and a boost converter. The switched capacitor ensure the voltage multiplication capacity, resulting in the possibility to achieve a greater gain at the output of the inverter. An additional contribution lies in a significant reduction in the duty cycle, thus expanding the approximated linear region, thereby reducing the control efforts and offering higher gain with less stress voltage. The novel inverter may enlarge the application of the boost inverter proposed by Caceres & Barbi (1995) [1]. The new inverter is applicable in UPS design and renewable energy supplies, whenever an ac voltage larger than the dc link voltage is required, with no need of a second power conversion stage.

ACKNOWLEDGMENT

This study was partially supported by the National Council for Scientific and Technological Development (CNPq) and the University Scholarship Program of Santa Catarina (UNIEDU) maintained by the Support Fund for Maintenance and Development of Higher Education (FUMDES).

REFERENCES

- [1] R. Caceres and I. Barbi, "A boost DC-AC converter: operation, analysis, control and experimentation," in *Industrial Electronics, Control, and Instrumentation, 1995., Proceedings of the 1995 IEEE IECON 21st International Conference on*, vol.1, no., pp.546-551 vol.1.
- [2] A. Ioinovici, "Switched-capacitor power electronics circuits," *IEEE Circuits Syst. Mag.*, vol. 1, n. 3, pp. 37-42, Third Quarter 2001.
- [3] T. B. Lazzarin, R. L. Andersen, G. B. Martins, I. Barbi, "A 600W Switched-Capacitor AC-AC Converter for 220V/110V and 110V/220V Applications", in *Power Electronics, IEEE Transactions on.*, vol. 27, n. 12 pp. 4821-4826, Dec. 2012.
- [4] R. W. Erickson, D. Maksimovic, *Fundamentals of power electronics*, Massachusetts: Kluwer Academic Publishers, 2nd edition, New York, 2004.
- [5] I. E. Colling and I. Barbi, "A reversible step-up voltage-source inverter controlled by sliding mode," in *Proc. IEEE PESC*, Jun./Jul. 1999, vol. 1, pp. 538-543.
- [6] B. Kalaivani, V. K. Chinnaiyan, and J. Jerome, "A novel control strategy for the boost dc-ac inverter," in *Proc. India Int. Conf. Power Electron.*, 2006, pp. 341-344.
- [7] K. Jha, S. Mishra and A. Joshi, "High-Quality Sine Wave Generation Using a Differential Boost Inverter at Higher Operating Frequency," in *IEEE Transactions on Industry Applications*, vol. 51, no. 1, pp. 373-384, Jan.-Feb. 2015.
- [8] F. Z. Peng, "Z-source inverter," in *Industry Applications Conference, 2002. 37th IAS Annual Meeting. Conference Record of the*, Pittsburgh, PA, USA, 2002, pp. 775-781 vol.2.
- [9] D. F. Cortez, I. Barbi, "A Family of High-Voltage Gain Single-Phase Hybrid Switched-Capacitor PFC Rectifiers", *Power Electronics, IEEE Transactions on*, vol. 30, n. 8, pp. 4189-4198, Aug. 2015.
- [10] J. Rosas-Caro, J. Ramirez, P. Garcia-Vite, "Novel dc-dc multilevel boost converter", *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pp. 2146-2151.

Switched-Capacitor Differential Boost Inverter: Static Gain and Generalized Structure

Gilberto Valentim Silva

Federal Institute of Education, Science
and Technology of Santa Catarina
Florianopolis - SC, Brazil
Email: valentim@ifsc.edu.br

Roberto Francisco Coelho

Federal University of Santa Catarina
Power Electronics Institute
Florianopolis - SC, Brazil
Email: roberto@inep.ufsc.br

Telles Brunelli Lazzarin

Federal University of Santa Catarina
Power Electronics Institute
Florianopolis - SC, Brazil
Email: telles@inep.ufsc.br

Abstract — A novel structure based on differential boost inverter (DBI) and ladder structure of switched-capacitor (SC) is studied in this paper, which is designated as switched-capacitor differential boost inverter (SCDBI). The proposed inverter allows gains higher than unity and it extends the conversion rate of boost-type inverters. Hence, the insertion of the switched-capacitor extends the converter gain and thus it enables the minimization of the characteristic gain limitation in relation to losses of the boost converter. Furthermore, the series connection of more SC cells can improve the converter gain; thus a generalized structure is proposed in this study, which employs "k" SC cells. The proposed inverter is intended to be used in applications whenever an ac voltage larger than the dc link voltage is needed, as UPS, photovoltaic (PV) systems or even off-grid renewable energy supplies. Topology, principle of operation, ideal static gain, static gain considering the losses, generalized structure and simulation results are included in this paper.

Keywords — Switched-capacitor, differential boost inverter, Switched-capacitor differential boost inverter, high-frequency inverter.

I. INTRODUCTION

Inverters have been employed in ac motor drives, uninterruptible power supplies (UPS), renewable energy systems, etc. A voltage source inverter (VSI) buck-type topology is traditionally used to supply sinusoidal output voltages. One of the typical features of buck inverters is that the instantaneous output voltage is always smaller than the dc input voltage. If an output voltage larger than the input one is required, a boost dc-dc power stage must be inserted between the dc source and the VSI. However, according on the converter characteristics, this approach may result in higher system volume and weight, besides the reduced efficiency and reliability. Boost-type inverters referred as differential boost inverters (DBIs) have also been proposed in literature [1]. The boost inverter achieves the dc-ac conversion through the differential connection of two dc-dc bidirectional boost sub-converters. Although the output voltage of each sub-converter is always positive, their ac components are 180° phase shifted each other. Thus, a sine wave with no dc offset is supplied to the differential load. However, even being a boost inverter, the DBI presents a limitation of gain due to its losses.

On the other hand, the switched-capacitor (SC) concept is

frequently adopted in order to achieve the multiplication of the gain in conventional converters [2]-[4]. In this sense, the integration of conventional converters and SCs are becoming a viable trend.

In [5] was proposed a previous study on a novel boost inverter integrated with switched-capacitor cells, which extends the gain of the inverter without increasing the voltage stresses. The new structure is denominated as switched-capacitor differential boost inverter (SCDBI). Herein, this structure is analyzed in relation to principle of operation, ideal static gain and static gain considering the losses. It is also proposed a generalized structure.

II. DC-DC HYBRID BOOST CONVERTER

This section starts with a brief analysis of the gain limitation in a boost converter. Ideally, the voltage conversion ratio of a conventional boost converter will be infinity when the duty cycle increases to unity. In practical, however, it is limited due to its losses. For the sake of simplicity, it will consider that the inductor is the only non-ideal component, as shown in Fig. 1.

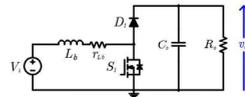


Fig. 1. Traditional boost converter circuit.

The analysis of the conventional boost circuit, using the principles of inductor volt-second and capacitor charge balances, as well as the small-ripple approximation results in the converter gain limitation, as traditionally shown in the literature [11]. The limited conversion ratio of the circuit operating in continuous conduction mode (CCM) is depicted in Fig. 2. The gain for different level of losses is given by:

$$\frac{v_o}{V_i} = \frac{1}{(1-d)} \left[\frac{1}{1 + r_{lb}/(1-d)^2 R_o} \right], \quad (1)$$

where d is the duty cycle, R_o is the equivalent load resistance, and r_{lb} is ESR of the inductor. The conversion ratio will be

decreased as the ratio of r_{Lb} to R_o increases. Equation (1) has two terms, the first, $1/(1-d)$, is the ideal conversion ratio, with $r_{Lb}=0$. The second term, $1/(1+r_{Lb}/(1-d)^2 R_o)$, describes the effect of the inductor resistance. It is noticeable (Fig.2) that the maximum voltage conversion ratio will be less than 5 when r_{Lb} is 1% of the load resistor R_o . Hence, boost-type converter has a maximum gain and, when a higher rated conversion is needed; other structures must be adopted.

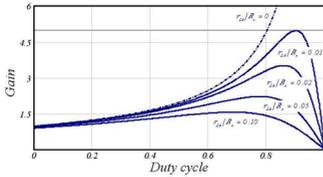


Fig.2. Voltage conversion ratio for different level of losses of a boost converter.

In this sense, as a technically viable solution arises the concept of the multiplier cell based on switched-capacitors. The ladder configuration of a multiplier/divider cell [6] is presented in Fig.3. The voltage conversion is achieved by the periodical switch of the capacitors, which ensures all elements with the same voltage. Therefore, the ladder configuration in Fig.3 generates $V_o = k \cdot V_{in}$. With their steep voltage ratio, theoretically, by increasing the number of capacitors, any ratio is achievable. Switched-capacitor converters employ only capacitors and switching devices; the absence of magnetic components helps to shrink the system volume and cost [7]. The first SC converters were developed for dc-dc conversion and, recently, this principle has been also employed in ac-dc, dc-ac, ac-ac converters [2].

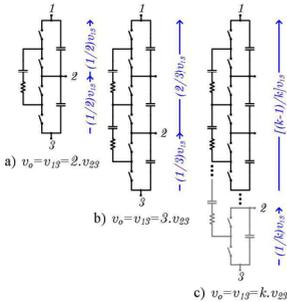


Fig.3. The generic switched-capacitor multiplier cell.

Traditional static converters present advantages such as a good output voltage regulation and simple dynamic models. However, they also present some disadvantages, such as limited gain (as shown for the boost converter), low efficiency and high stress on the components. Switched-capacitor converters do not employ magnetic elements and it may offer

high or low gain, reduced stress and high efficiency. Nevertheless, their output voltage cannot be regulated by traditional control methods, which results in a poor output voltage regulation. Recently, the integration of switched-capacitors and conventional converters has been proposed [8], as illustrated by Fig.4. This new converter provides steep gain, high efficiency, reduction stress and, additionally, it improves the output voltage regulation (it multiplies the output voltage of boost converter.). As disadvantage, these new converters present a high order to the dynamical models, which could bring some difficulty in relation to control. However, the literature presents simplified methodologies for modeling of these new converters [9].

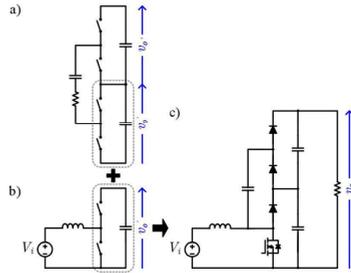


Fig.4. Conception of the hybrid converter: (a) switched-capacitor multiplier cell, (b) conventional boost converter, (c) hybrid boost converter.

The hereinafter designated hybrid converter is basically the synthesis of a conventional boost and a switched-capacitor multiplier cell as discussed in [10] and depicted in Fig.5.

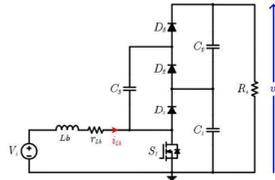


Fig.5. Hybrid switched-capacitor boost converter.

The same analysis shown in Fig.2 was re-evaluated for hybrid boost converter seen in Fig.5. Ideal and limited conversion ratio (that consider losses) for traditional boost (G_b) and hybrid boost (G_h) converters is shown in Fig.6. The SC cell does not affect the static gain characteristic of the boost converter, that is only multiplied by a factor "k". In this case $k=2$. The relation between r_{Lb}/R_o was of 1.5%.

Assuming a design example, where a converter with gain 6 is needed, the traditional converter gain does not provide the supposed specifications, because it presents a maximum gain of 4, operating under an extreme duty cycle of 0.9 (Fig.6).

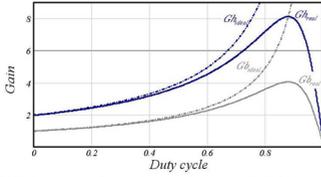


Fig. 6. Ideal and limited gain of the traditional and hybrid boost converter.

However, as result of the insertion of the multiplier cell, the required gain could easily be achieved, as seen in Fig.6, and the new converter operates in a comfortable duty cycle (around 0.7).

III. DIFFERENTIAL BOOST INVERTER

The differential boost inverter (DBI) is composed by two dc-dc sub-converters, as shown in Fig.7. Each sub-converter generates a sinusoidal dc biased output voltage, being the load differentially connected into each one. The ac components are shifted in 180° each other. Through the differential connection, it is possible to cancel the dc bias value and to add up the ac components. In this section a brief discussion about the boost-type voltage source inverters is presented.

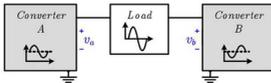


Fig. 7. Differential connection schematics.

The boost-type voltage source inverter, proposed in [1], hereinafter denominated by DBI, is a connection of two boost sub-converters, as shown in Fig.8(a).

The block diagram of the PWM generator is all presented in Fig.8(b), in which one modulator was adopted for both of sub-converters. Considering the complementary operation of the proposed gate drive, only one duty cycle was assumed. The gain characteristic of each sub-converter, e.g., v_a/V_i and v_b/V_p is equally presented in Fig.8(c), as well as the total gain of the differential boost inverter v_o/V_i is given by:

$$\frac{v_o}{V_i} = \frac{2d-1}{d(1-d)} \tag{2}$$

The steady-state characteristic of the DBI is illustrates in Fig.8(c). Even that the DBI is capable to generate higher output voltages than the dc input, note that control-to-output behavior of DBI is clearly nonlinear. Linear and nonlinear techniques applied to control DBIs are widely discussed in literature [11]-[13]. Recently the dynamic linearizing modulation (DLM) has also been argued [14]. In literature are also reported different ways of implementing the VSIs [1].

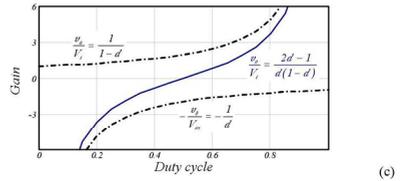
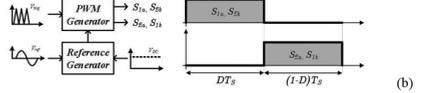
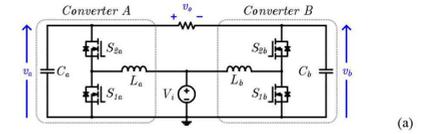


Fig.8. Boost-type VSI: (a) schematics, (b) PWM generator and control signals, (c) steady-state characteristics.

IV. PROPOSED SWITCHED-CAPACITOR BOOST INVERTER

The integration of switched-capacitors (SC) and conventional converters have been frequently proposed [8]. This solution provides high gain, high efficiency, reduction stresses and, additionally, it can improve the output voltage regulation. As result of the insertion of the switched-capacitor cell, the output voltage can be duplicated, but the switches stresses are preserved.

A. Hybrid boost-type inverter

The herein designated hybrid converter is the synthesis of a conventional boost and a switched-capacitor multiplier cell, as exemplified in Fig.9.

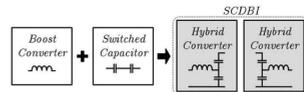


Fig.9. Conception of the switched-capacitor differential boost inverter.

This paper proposes a novel converter based on [1] and [10], which results in the switched-capacitor differential boost inverter shown in Fig.10(a). This structure is designed as SCDBI. The main idea to combine a step-up inverter (DBI) and the multiplier cell (SC) lies in the fact of achieving higher output voltages than the dc input, besides the reduced stresses on the switches. Similar to the DBI, the switched-capacitor differential boost inverter is a connection of two hybrid sub-converters. The SCDBI can employ the same modulator of DBI, as displayed in Fig.10(b). To facilitate the complete converter analysis, each of individual sub-converter will be represented by its respective sub-index: v_a will represent the voltage referred to

the first sub-converter, v_b will represent the output voltage referred to the second sub-converter and so on. In order to generate an adequate comparison, the same modulator previously presented was preserved. Although a larger number of switches are required, the same gate drive will be adopted. Another important factor is the reduced voltage that each switch must be submitted. The whole SCDBI proposed has two legs, each one with its respective multiplier cell. The objective of cells based on SC is to ensure the voltage balance between capacitors C_1 and C_2 . Therefore, the capacitors C_3 are switched with the aim of transferring electrical charge between capacitors C_1 and C_2 as in the SC dc-dc converters.

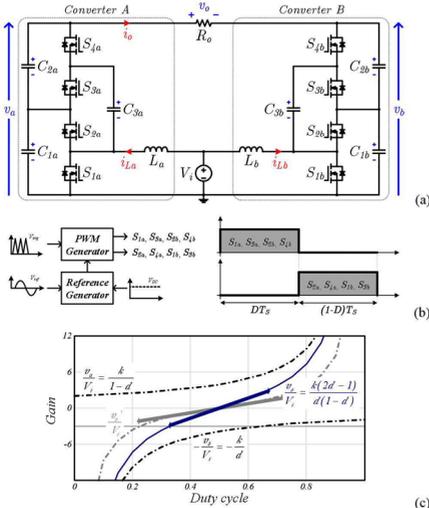


Fig.10. SCDBI proposed: (a) schematics, (b) PWM generator and control signals, (c) steady-state characteristics.

When the continuous conduction mode (CCM) was considered, the theoretical voltage gain for the first sub-converter can be obtained:

$$\frac{v_a}{V_i} = \frac{k}{1-d}, \quad (3)$$

where k is the multiplier cell gain. In this case $k=2$. The voltage gain for the second sub-converter can be derived assuming that the two sub-converters operate 180° phase shifted as depicted in Fig.10(b), then the output voltage of the second one is given by:

$$\frac{v_b}{V_i} = \frac{k}{d}. \quad (4)$$

Therefore, it can be found the total differential gain of the inverter:

$$\frac{v_o}{V_i} = \frac{k(2d-1)}{d(1-d)}. \quad (5)$$

In order to enable a comparison, the partial output voltage v_o' is also presented in (6), where the influence of the multiplier cell was disregarded.

$$\frac{v_o'}{V_i} = \frac{(2d-1)}{d(1-d)} \quad (6)$$

The steady-state characteristics of the DBI and SCDBI ($k=2$) is defined in Fig.10(c). It is important to note the new gain range achieved in this approach. The analysis of the gain curves shows that the switched-capacitor provides a higher gain with a smaller duty cycle. Comparing SCDBI and DBI gain curves, it is noted that the switched capacitor increases the approximated linear region, providing a higher gain with a smaller duty cycle. As an example, if $v_o/V_i=3$, the duty cycle would be reduced up to 43%.

In the previous analysis, as commonly presented in the literature, the converters gains were ideally obtained. However, if the intrinsic nonidealities of the converters were considered, a natural gain limitation will be verified. Therefore, the gain multiplication once again has a positive influence on the converter operation.

B. Operating principle of the novel SCDBI

This section presents the operational principle and the topological stages of the switched-capacitor differential boost inverter. Firstly, the operating principle is described for one switching period (high-frequency analysis). After, the main characteristic of the converter in low-frequency (fundamental frequency of the output voltage) is then studied. Finally, the basic equations employed in the design of the converter are presented.

The proposed SCDBI has two operation stages. During the positive half-cycle of the output voltage, if only the first sub-converter is considered, the operation stages can be described as shown in Fig.11(a) and (b).

1) *First stage:* It starts when switches S_1 and S_3 are turned on. During this stage S_2 and S_4 are turned off. Capacitors C_1 and C_2 discharge and capacitor C_3 charges during this stage (Δt_1). Similarly to the conventional boost converter, the first stage of SCDBI corresponds to inductive accumulation. The discharge of the capacitor C_1 provides energy to the switching capacitor C_3 as well as to the load. Switches S_1 and S_3 are turned off at the end of this stage. This topological stage is presented in Fig.11(a).

2) *Second stage:* It starts when switches S_2 and S_4 are turned on. During the second stage S_1 and S_3 are turned off. Capacitors C_1 and C_2 charge and capacitor C_3 discharges during this stage (Δt_2). Additionally, the inductive energy is transferred to the load. The discharge of the capacitor C_3 provides energy to C_2 as well as to the load. Switches S_2 and S_4 are turned off at the end of this stage. This topological stage is shown in Fig.11(b).

For the analysis of the second sub-converter, two important factors must be considered: the phase-shift generated by the modulator and the phase of the current. This topological stage completes one switching period for the positive half-cycle of the output voltage. In the negative half-cycle, the converter has similar operation stages with different current directions, as can be seen in Fig. 11(c) and (d).

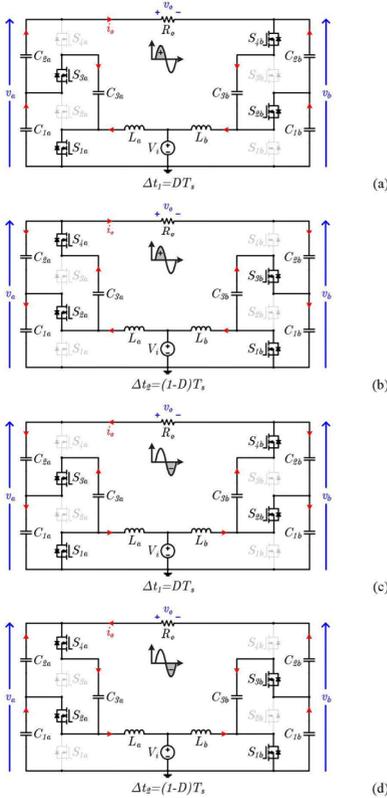


Fig. 11. Topological stages. Positive half-cycle of the output voltage: (a) first and (b) second stage. Negative half-cycle of the output voltage: (c) first and (d) second stage.

C. Theoretical analysis

This section presents an idealized theoretical analysis of the proposed de-ac converter. The aim of the low-frequency analysis is to reinforce some characteristics of the SCDBI, such as the operational principle and the voltage stresses on the components. The theoretical voltage gain of the proposed

SCDBI can be understood considering that the SC C_s from each sub-converter point of view, ensures the voltage balance between C_1 and C_2 in the circuit shown in the Fig. 10.

From (3), (4) and (5), the duty cycle for the SCDBI is defined, based on the desired output voltage:

$$d(t) = \frac{v_o(t) - 2kV_i + \sqrt{(2kV_i)^2 + v_o(t)^2}}{2v_o(t)} \quad (7)$$

The duty cycle is composed of the sinusoidal value, whose peak is denoted by D_{ac} , overlapped by a dc bias value, D_{dc} . Throughout this analysis, the dc amount shall be assumed to be 50%. Thus, it is possible to determine the dc, ac, minimum and maximum values of duty cycle. It can also be determined the individual voltage of each sub-converter, as shown in (8) and (9).

$$v_a(t) = \frac{2kV_iv_o(t)}{v_o(t) - \sqrt{(2kV_i)^2 + v_o(t)^2} + 2kV_i} \quad (8)$$

$$v_b(t) = \frac{2kV_iv_o(t)}{v_o(t) + \sqrt{(2kV_i)^2 + v_o(t)^2} - 2kV_i} \quad (9)$$

The theoretical input current for the individual converters is thus obtained, as presented in:

$$i_a = \frac{k^2V_i(2d-1)}{d(d-1)^2R_o} \quad (10)$$

and

$$i_b = \frac{-k^2V_i(2d-1)}{d^2(d-1)R_o} \quad (11)$$

From (7) and (10), and by establishing a maximum input current ripple, the boost inductor may be obtained. Theoretical waveforms of the dc-ac proposed converter are shown in Fig. 12.

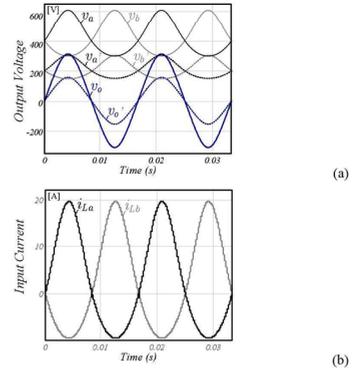


Fig. 12. Theoretical waveforms of the proposed de-ac converter: (a) output voltages; (b) input current.

The input current, i.e., the current through the boost inductor is clearly nonsinusoidal, oppositely from the total current drained from the dc source. The corresponding figure further shows the voltages v_a and v_b related to the individual outputs of each sub-converter. Aforementioned the differential voltage v_o is equally identified. In order to emphasize the effect of the SC multiplier cell, the partial voltages v_a' , v_b' and v_o' are also presented. These variables represent the respective voltages in the multiplier cell inputs.

D. Gain limitation of the boost-type inverter

In the preceded analysis, traditionally applied in the literature, the gain of the converters was ideally obtained. However, if the intrinsic nonidealities of the converters are considered, a natural gain limitation will be verified. Therefore, the multiplication of the gain once again has a positive influence on the converter operation. Applying the same procedure adopted in section II, the limited static gain curve of the hybrid differential inverter is shown in Fig.13.

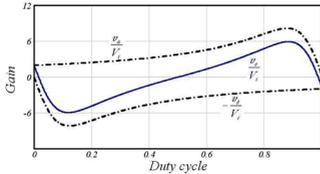


Fig.13. Steady-state characteristics from the proposed SCDBI under gain limitation.

E. Generalization of the structure/gain

Finally, Fig.14(a) shows the topology of the hybrid differential inverter with generic gain. It is also important to reinforce that, although a larger number of switches is required, the same gate drive will be adopted as shown in Fig.14(b). The Fig.14(c) exposes the gain of the converter under the number of multiplier cells ranging from 1 to 3.

V. SIMULATION RESULTS

In order to verify the behavior of the SCDBI operation, an open-loop numerical simulation was accomplished. Additionally, an equivalent DBI was designed and simulated to provide a proper comparison. The main specifications and components for both converters, rated at 500 W_f , are presented in Table I. This section starts with the analysis of SCDBI, inspecting the individual output voltage of each converter, v_a and v_b , as shown in Fig.15. By analysis of this figure, it can be seen that the individual output voltages reaches a step level greater than 6 times the input voltage V_f . The waveform of the input current, i_{L_a} and i_{L_b} , may also be noted. It is observed a portion of high frequency that had not been considered during the theoretical analysis.

Once again, the influence of the multiplier cell can be identified through the inspection of the partial output voltage of the boost stage, v_a' and v_b' , and the total output voltages after the multiplier cell v_a and v_b .

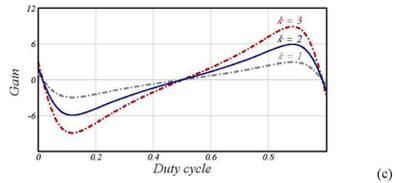
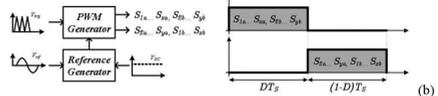
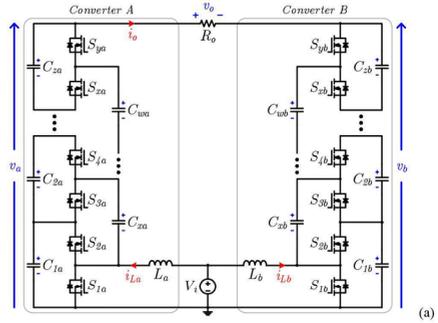


Fig.14. SCDBI proposed: (a) generic schematics, (b) PWM generator and control signals, (c) generic steady-state characteristics.

TABLE I. MAIN PARAMETERS OF THE HYBRID AND CONVENTIONAL DBI.

Description	SCDBI	DBI [1]
Input voltage (V_f)	100 V	100 V
RMS Output voltage (V_o)	220 V	220 V
Maximum input current ripple	20%	20%
Boost inductor (L_o)	172 μ H	172 μ H
Multiplier cell capacitors (C_1, C_2, C_3)	25 μ F	—
Output capacitor (C_o)	—	25 μ F
Load resistor (R_o)	96 Ω	96 Ω
DC Duty cycle (D_{dc})	50%	50%
AC Duty cycle (D_{ac})	20%	30%
Switching frequency (f_s)	100 kHz	100 kHz

From the first sub-converter point of view, it is observed the current through the boost inductor and the current of each capacitor that composes the multiplier cell.

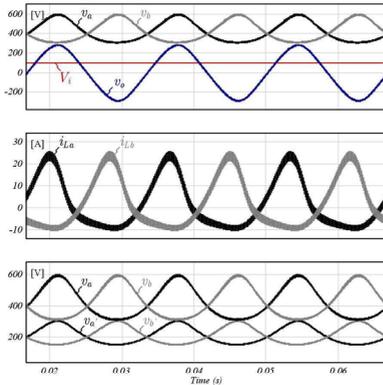


Fig. 15. Low-Frequency analysis - Main waveforms of the SCDBI.

In addition, one can note that the switched-capacitor cell operates in partial charge mode (PC). Thus, there are no high current peaks during the capacitor charges and discharges, as shown in Fig. 16.

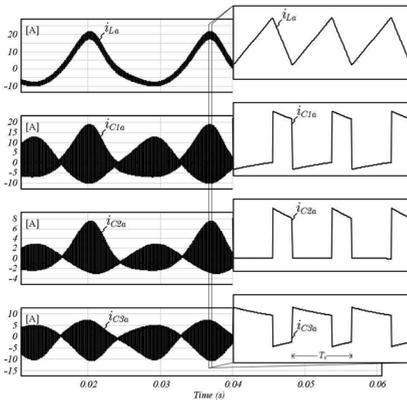


Fig. 16. High-frequency analysis - Multiplier cell waveforms of the SCDBI.

Fig. 17 presents the voltage on the SCDBI switches, the voltage on the capacitors that compose the multiplier cell, as well as the differential output voltage, whose rms value is about 221 V with a THD of 4.6%. The maximum voltage on the switches reaches 336 V and duty cycle at this point has a slight nonlinear influence.

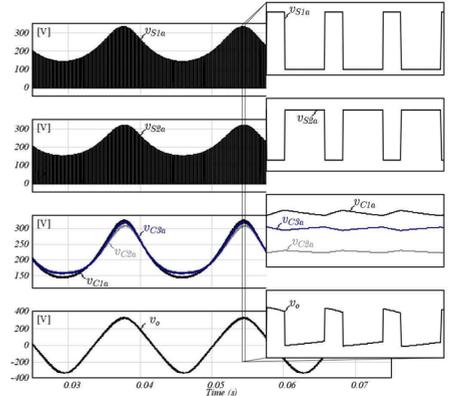


Fig. 17. High-frequency analysis - Switches waveforms of the SCDBI.

As previously planned, a numerical simulation concerning the DBI converter, proposed by [1], will be evaluated. It keeps the same commutation frequency, inductance and output capacitor. Details are presented in Table I. Under these conditions, the differential output voltage presents rms value of 221 V with THD of 11.3%, almost three times greater than that obtained with the hybrid converter, as it can be observed in Fig. 18.

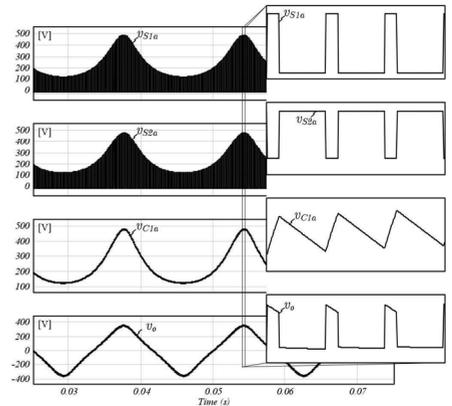


Fig. 18. High-frequency analysis - Main waveforms of the DBI

The maximum voltage on the switches reaches 486 V, 45% higher than the previously obtained. The duty cycle at this point has a strong nonlinear influence.

VI. CONCLUSIONS

This paper has studied the switched-capacitor differential boost inverter (SCDBI) proposed in [5]. The circuit operation has been described and discussed. It is still presented the topology, ideal and limited conversion rate of the structure. When the losses are considered, the boost-type converter gain presents a limitation, thus, the proposed solution is to use SC cells to improve the gain of the boost-type inverter. Finally, it proposes a generalization that can offer higher gains for the boost-type inverters. The new converter comes from the integration of a switched-capacitor and a boost converter. The switched-capacitor ensures the voltage multiplication capacity, resulting in the possibility to achieve a greater gain at the output of the inverter. An additional contribution lies in a significant reduction in the duty cycle, thus expanding the approximated linear region, thereby reducing the control efforts and offering higher gain with less stress voltage. The novel inverter may enlarge the application of the boost inverter proposed by Caceres & Barbi (1995) [1]. The new inverter is applicable in UPS design and renewable energy supplies, whenever an ac voltage larger than the dc link voltage is required, with no need of a second power conversion stage.

ACKNOWLEDGMENT

This study was partially supported by the National Council for Scientific and Technological Development (CNPq) and the Scholarship Program University of Santa Catarina (UNIEDU) held by the Support Fund for Maintenance and Development of Higher Education (FUMDES).

REFERENCES

- [1] R. Caceres and I. Barbi, "A boost DC-AC converter: operation, analysis, control and experimentation," in *Industrial Electronics, Control, and Instrumentation, 1995., Proceedings of the 1995 IEEE IECON 21st International Conference on*, vol.1, no., pp.546-551 vol.1.
- [2] A. Ioinovici, "Switched-capacitor power electronics circuits", *IEEE Circuits Syst. Mag.*, vol. 1, n°. 3, pp. 37-42, Third Quarter 2001.
- [3] T. B. Lazzarin, R. L. Andersen, G. B. Martins, I. Barbi, "A 600W Switched-Capacitor AC-AC Converter for 220V/110V and 110V/220V Applications", in *Power Electronics, IEEE Transactions on*, vol. 27, n°.12 pp. 4821-4826, Dec. 2012.
- [4] M. S. Makowski, D. Maksimovic, "Performance limits of switched-capacitor DC-DC converters", *Power Electronics Specialists Conference, 1995. PESC '95 Record., 26th Annual IEEE*, vol. 2, pp. 1215-1221, Jun. 1995.
- [5] G. V. Silva, R. F. Coelho and T. B. Lazzarin, "Switched-capacitor Boost Inverter," *2016 IEEE 25th International Symposium on Industrial Electronics (ISIE)*, Santa Clara, 2016, pp. 1-6.
- [6] M. D. Seeman and S. R. Sanders, "Analysis and Optimization of Switched-Capacitor DC-DC Converters," *2006 IEEE Workshops on Computers in Power Electronics*, Troy, NY, 2006, pp. 216-224.
- [7] K. Zou, M. J. Scott and J. Wang, "Switched-Capacitor-Cell-Based Voltage Multipliers and DC-AC Inverters," in *IEEE Transactions on Industry Applications*, vol. 48, no. 5, pp. 1598-1609, Sept.-Oct. 2012.
- [8] D. F. Cortez, I. Barbi, "A Family of High-Voltage Gain Single-Phase Hybrid Switched-Capacitor PFC Rectifiers", *Power Electronics, IEEE Transactions on*, vol. 30, n°. 8, pp. 4189-4198, Aug. 2015.
- [9] G. V. Silva, R. F. Coelho and T. B. Lazzarin, "State space modeling of a hybrid Switched-Capacitor boost converter," *2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*, Fortaleza, 2015, pp. 1-6.
- [10] J. Rosas-Caro, J. Ramirez, P. Garcia-Vite, "Novel dc-dc multilevel boost converter", *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pp. 2146-2151.
- [11] R. W. Erickson, D. Maksimovic, *Fundamentals of power electronics*, Massachusetts: Kluwer Academic Publishers, 2nd edition, New York, 2004.
- [12] I. E. Colling and I. Barbi, "A reversible step-up voltage-source inverter controlled by sliding mode," in *Proc. IEEE PESC*, Jun./Jul. 1999, vol. 1, pp. 538-543.
- [13] B. Kalaivani, V. K. Chinnaiyan, and J. Jerome, "A novel control strategy for the boost dc-ac inverter," in *Proc. India Int. Conf. Power Electron.*, 2006, pp. 341-344.
- [14] K. Jha, S. Mishra and A. Joshi, "High-Quality Sine Wave Generation Using a Differential Boost Inverter at Higher Operating Frequency," in *IEEE Transactions on Industry Applications*, vol. 51, no. 1, pp. 373-384, Jan.-Feb. 2015.

MODELAGEM DO CONVERSOR BOOST COM CÉLULAS A CAPACITOR CHAVEADO POR MEIO DE UM CONVERSOR EQUIVALENTE DE ORDEM REDUZIDA

Gilberto Valentim Silva¹, Roberto Francisco Coelho², Telles Brunelli Lazzarin²

¹ Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina - IFSC, Florianópolis - SC, Brasil

² Universidade Federal de Santa Catarina - UFSC, Instituto de Eletrônica de Potência - INEP, Florianópolis - SC, Brasil
e-mail: valentim@ifsc.edu.br, roberto@inep.ufsc.br, telles@inep.ufsc.br

Resumo – Uma das formas de alcançar elevado ganho estático por meio do conversor *boost* clássico consiste na adição de células a capacitor chaveado a sua estrutura, originando os denominados conversores *boost* híbridos. Devido ao elevado número de elementos armazenadores de energia contidos nestes conversores, as funções de transferência que os representam são de ordem elevada e exigem grande esforço para serem obtidas. Neste artigo propõe-se uma metodologia que permite simplificar conversores *boost* híbridos genéricos (de ordem n) a um conversor dinamicamente equivalente, mas de segunda ordem. São apresentadas as equações que permitem determinar os parâmetros de equivalência, as funções de transferência orientadas a controle e resultados experimentais, extraídos de um protótipo de 150 W, que validam a equivalência entre as respostas dinâmica do conversor *boost* híbrido e de seu modelo simplificado.

Palavras-Chave – Capacitor Chaveado, Conversor *Boost*, Conversor Híbrido, Modelagem.

MODELLING OF A SWITCHED CAPACITOR BOOST CONVERTER THROUGH A REDUCED ORDER EQUIVALENT CONVERTER

Abstract – One way to achieve high static gain through a classical boost converter comes from the addition of switched-capacitor cells on its structure to compose the so-called hybrid boost converter. Due to the high number of energy storage elements present in this converter, its transfer functions are of high order and require great effort to be obtained. This paper proposes a methodology to simplify a generic hybrid boost converter (of n order) to a second order dynamically equivalent converter. The paper brings the equations to determine the equivalent parameters, the control oriented transfer functions and experimental results, extracted from a 150 W prototype, which validate the equivalence between the dynamic responses of the hybrid boost and its simplified model.

Keywords – Boost Converter, Hybrid Converter, Modelling, Switched Capacitor.

I. INTRODUÇÃO

A prospecção de conversores CC-CC com ganho elevado vem se tornando cada vez mais frequente frente à necessidade de adaptação de níveis de tensão para alimentação das diversificadas cargas que compõem a matriz energética atual [1].

Apesar de ganhos elevados de tensão poderem ser obtidos por meio da aplicação de técnicas clássicas, como o cascateamento de conversores [2] ou o uso de acoplamento magnético (transformadores ou indutores acoplados) [3], recentemente grande enfoque vem sendo dado à utilização de células multiplicadoras de tensão baseadas no emprego de indutores e/ou capacitores chaveados [4]-[7].

Além de ganhos elevados, conversores a capacitor chaveado (SC) caracterizam-se por apresentar reduzidos esforços de tensão, alta eficiência e não requerem o emprego de elementos magnéticos. Em contrapartida, sua tensão de saída não pode ser regulada por meio de métodos de controle tradicionais [8]-[11], o que os leva a apresentar problemas de regulação.

Como solução a este problema, conversores a capacitor chaveado podem ser integrados a conversores elevadores clássicos, resultando nos chamados conversores híbridos. Esta nova família de conversores apresenta vantagens como ganho de tensão elevado, alta eficiência e redução de esforços nos semicondutores, além de boa regulação de tensão [12].

Evidentemente, devido ao elevado número de elementos armazenadores de energia introduzidos pela célula a capacitor chaveado, as equações dinâmicas que representam os conversores híbridos [13] são de ordem elevada e exigem grande esforço para serem obtidas, sobretudo quando várias destas células são utilizadas como meio de se obter ganhos elevados [10], [14]. É notório destacar que, assim como o conversor *boost* convencional, o conversor híbrido apresenta limitação de ganho sob elevada razão cíclica [15]. Todavia, esta limitação pode ser compensada pelo ganho adicional provido pela célula multiplicadora.

Neste artigo apresenta-se uma metodologia que, quando aplicada a um conversor *boost* híbrido genérico de ordem n , permite representá-lo por meio de um conversor simplificado de segunda ordem, todavia com resposta dinâmica equivalente. Este conversor simplificado pode ser utilizado em substituição ao original, reduzindo os esforços empregados nas etapas de modelagem e de projeto dos controladores.

A validação das equações e dos modelos que regem a equivalência dinâmica entre o conversor *boost* híbrido e o conversor simplificado proposto foi realizada tanto por simulação quanto de maneira experimental, em malha aberta e em malha fechada, a partir de um protótipo de 150 W configurável para operar conforme ambas as topologias.

II. CONVERSOR CC-CC BOOST HÍBRIDO

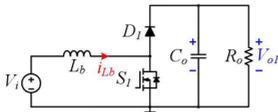
Idealmente, o ganho de tensão do conversor *boost* torna-se infinito assim que a razão cíclica atinge a unidade. Na prática, no entanto, seu ganho é limitado devido às perdas, que se tornam tão mais significativas quanto maior for a razão cíclica de operação [15]. Assim, quando taxas de conversão mais elevadas são requeridas, uma solução tecnicamente viável para elevação do ganho consiste no emprego de células a capacitor chaveado.

Teoricamente, a adição de uma célula multiplicadora ao conversor *boost* clássico, ilustrado na Figura 1, resulta na configuração retratada na Figura 2, cuja tensão de saída passa a ser expressa por:

$$V_{o2} = 2V_{o1} \tag{1}$$

sendo V_{o1} o valor médio da tensão de saída do conversor *boost* convencional.

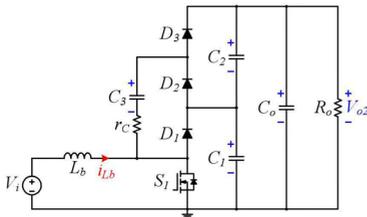
Nota-se que inserção da célula multiplicadora permite duplicar a tensão na saída, mas devido à inserção de três novos capacitores no conversor, a função de transferência (*FT*) que o descreve eleva-se de 2ª para 5ª ordem.



$$V_o = V_{o1}$$

$$FT: 2^{\text{ª}} \text{ ordem}$$

Fig. 1. Conversor *boost* convencional.



$$V_o = V_{o2} = 2V_{o1}$$

$$FT: 5^{\text{ª}} \text{ ordem}$$

Fig. 2. Conversor *boost* com adição de uma célula multiplicadora.

Mantendo-se o mesmo raciocínio, ao inserir-se *m* células a capacitor chaveado no conversor *boost* convencional, conforme Figura 3, é possível se elevar significativamente o valor médio da tensão de saída, definida por:

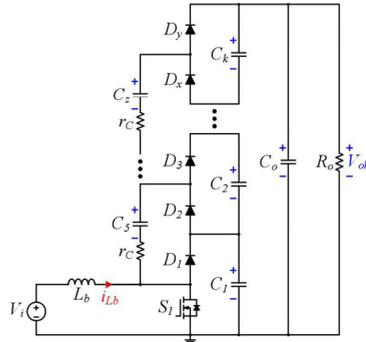
$$V_{ok} = kV_{o1} \tag{2}$$

A variável *k* representa o ganho da célula multiplicadora e *m* o número de células a capacitor chaveado, assim $k = m + 1$.

Evidentemente, quanto maior o número de células multiplicadoras empregadas, maior será a quantidade de elementos armazenadores de energia presentes no conversor híbrido e, portanto, maior será a ordem das equações que o descreve, literalmente descrita por:

$$n = (2k + 1). \tag{3}$$

Cabe ressaltar que o capacitor C_o de saída, embora redundante e ausente na topologia original proposta [16], quando utilizado, possibilita a equalização das correntes nos capacitores da célula multiplicadora [12] e, por isso, será também considerado nesta análise.



$$V_o = V_{ok} = k V_{o1}$$

$$FT: (2k+1)^{\text{ª}} \text{ ordem}$$

Fig. 3. Conversor *boost* com célula multiplicadora generalizada.

Idealmente a análise do conversor híbrido tornar-se-ia tão mais simplificada quanto menor fosse a quantidade de elementos parasitas considerados. Porém, na análise de circuitos envolvendo capacitores chaveados, a não adição da resistência parasita destes elementos resulta em correntes impulsivas, comprometendo os resultados. Assim, buscando-se a simplificação dos modelos, optou-se por incluir apenas as não idealidades relacionadas à célula multiplicadora (r_c) de forma concentrada no capacitor chaveado, sem que haja perda de generalidade [7], [12].

Conforme destacado em [13], a obtenção dos modelos dinâmicos da família de conversores híbridos pode requerer elevado esforço, sobretudo para $k > 2$, haja vista os modelos dinâmicos assumirem ordem elevada. Sendo assim, inicia-se a busca por um modelo equivalente de segunda ordem, generalizado em função de *k*, que represente a dinâmica dominante do conversor *boost* híbrido.

III. CONVERSOR EQUIVALENTE

O primeiro passo a ser aplicado para obtenção do modelo simplificado consiste na representação da célula multiplicadora por meio de um transformador hipotético CC, com razão de transformação 1:k [15], [17]. Nesta

representação, ilustrada na Figura 4, a contabilização do efeito das resistências parasitas associadas à célula a capacitor chaveado (SC) é realizada por meio da adição de r_{eq} ao modelo SC, cujo valor será determinado para que as respostas dinâmicas do conversor *boost* híbrido e seu equivalente simplificado sejam igualmente amortecidas [7], [18]. Além disso, a presença da célula multiplicadora aumenta a capacitância total do conversor, sendo tal capacitância (C_{eq}) dada pela soma de C_o (*boost* convencional) com a capacitância média da célula multiplicadora, calculada em um período de comutação, conforme procedimentos apresentados em [6], [7].

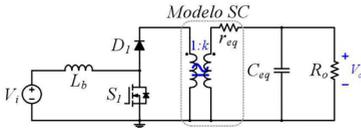


Fig. 4. Modelo simplificado equivalente proposto para representar a dinâmica dominante do conversor *boost* híbrido.

Como segundo passo no processo de simplificação, referenciam-se todos os parâmetros do conversor equivalente ao primário, conforme segue ilustrado na Figura 5, em que:

- R'_o - resistência de carga referida ao primário;
- L_b - indutância *boost*;
- C'_{eq} - capacitância equivalente referida ao primário;
- r'_{eq} - resistência equivalente referida ao primário.

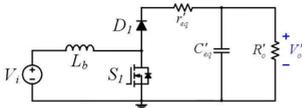


Fig. 5. Modelo equivalente referenciado ao primário.

Visando a simplificação da análise, todos os capacitores da célula multiplicadora serão considerados idênticos e, com capacitância C . As equações literais que definem C'_{eq} e r'_{eq} , em função da razão cíclica D e do ganho k provido pela célula multiplicadora são encontradas a partir da análise do conversor *boost* híbrido [7] e descritas respectivamente por:

$$C'_{eq} = \underbrace{k^2 C_o}_{\text{Boost convencional}} + \underbrace{\frac{2Ck^2 [D(1-D) + 2]}{k [D(1-D) + 2] - 2D(1-D) + 2}}_{\text{Célula multiplicadora}} \quad (4)$$

$$r'_{eq} = \underbrace{kr_c (1-D)}_{\text{Célula multiplicadora}} \quad (5)$$

No caso particular, em que o conversor *boost* híbrido opera com razão cíclica de 50%, (4) e (5) podem ser reescritas respectivamente por:

$$C'_{eq} = k^2 C_o + \frac{6k^2 C}{(3k + 2)} \quad (6)$$

$$r'_{eq} = \frac{kr_c}{2} \quad (7)$$

Considerando-se a potência de saída (P_o) constante, a resistência de carga, referida ao lado primário, pode ser expressa por:

$$R'_o = V'_o{}^2 / k^2 P_o \quad (8)$$

Encontrados os parâmetros que descrevem o conversor simplificado, parte-se a sua modelagem, a fim de se obter e validar as funções de transferência orientadas ao controle.

IV. MODELAGEM DO CONVERSOR EQUIVALENTE

A modelagem do conversor simplificado, ilustrado na Figura 5, será realizada adotando-se a notação de espaço de estados [17], [19]-[21], modo de condução contínua (MCC) e modulação *PWM* linear.

O sistema apresentado a seguir descreve o modelo do conversor, em que A , B , C e E representam as matrizes médias calculadas em um período de comutação T_s e x , u , e y as variáveis de estado, entrada e saída, respectivamente:

$$\begin{cases} \mathbf{K} \dot{\mathbf{x}} = \mathbf{A} \mathbf{x} + \mathbf{B} \mathbf{u} \\ \mathbf{y} = \mathbf{C} \mathbf{x} + \mathbf{E} \mathbf{u} \end{cases} \quad (9)$$

em que:

$$\mathbf{K} = \begin{bmatrix} L_b & 0 \\ 0 & C'_{eq} \end{bmatrix} \quad (10)$$

$$\mathbf{x} = \begin{bmatrix} i_{L_b} & v_{C'_{eq}} \end{bmatrix}^T \quad (11)$$

$$\mathbf{u} = V_i \quad (12)$$

$$\mathbf{y} = \begin{bmatrix} i_{L_b} & v_{C'_{eq}} \end{bmatrix}^T \quad (13)$$

Por se tratar de um modelo médio, a obtenção das matrizes A , B , C e E é realizada por meio das equações que regem o comportamento do conversor em cada uma das etapas de operação, cujos circuitos equivalentes são destacados na Figura 6(a) e (b). A partir destes circuitos e do desenvolvimento detalhado apresentado no Apêndice, encontram-se as equações que descrevem o comportamento estático (regime permanente) e dinâmico (regime transitório) do conversor, dadas respectivamente por:

$$\begin{cases} \mathbf{X} = -[\mathbf{A}D + \mathbf{A}_1(1-D)]^{-1} [\mathbf{B}D + \mathbf{B}_1(1-D)] \mathbf{U} \\ \mathbf{Y} = [\mathbf{C}_1D + \mathbf{C}_2(1-D)] \mathbf{X} + [\mathbf{E}_1D + \mathbf{E}_2(1-D)] \mathbf{U} \end{cases} \quad (14)$$

$$\begin{cases} \hat{\mathbf{x}} = \{ \mathbf{K} \mathbf{s} + [\mathbf{A}D + \mathbf{A}_1(1-D)] \}^{-1} \{ [\mathbf{A} - \mathbf{A}_1] \mathbf{X} + [\mathbf{B}_1 - \mathbf{B}_2] \mathbf{U} \} \hat{d} \\ \hat{\mathbf{y}} = [\mathbf{C}_1D + \mathbf{C}_2(1-D)] \hat{\mathbf{x}} + [(\mathbf{C}_1 - \mathbf{C}_2) \mathbf{X} + (\mathbf{E}_1 - \mathbf{E}_2) \mathbf{U}] \hat{d} \end{cases} \quad (15)$$

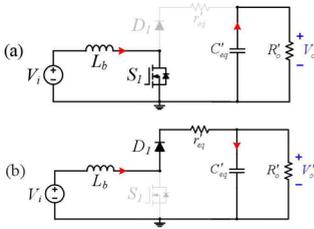


Fig. 6. Etapas de operação do conversor simplificado: (a) primeira etapa de operação; (b) segunda etapa de operação.

Deve-se destacar, conforme apresentado no Apêndice, que \hat{d} , \hat{x} , \hat{u} , e \hat{y} representam perturbações em torno do ponto de operação D, X, U, Y . Substituindo-se as matrizes de estado, destacadas em (10), (11), (12) e (13) em (15), encontram-se as funções de transferência orientadas ao controle da tensão de saída e da corrente de entrada do conversor boost híbrido. Ambas as funções de transferência são representadas na seguinte forma padrão:

$$G(s) = \frac{b_1 s + b_0}{a_2 s^2 + a_1 s + a_0} \quad (16)$$

cujos coeficientes são respectivamente apresentados nas Tabelas I e II.

TABELA I
Coeficientes do Modelo Equivalente Linearizado Referentes à Malha para Controle da Tensão de Saída

Coeficientes da função de transferência $G_{vd}(s) = \hat{v}_{ok} / \hat{d}$	
b_1	$L_b R_o' V_i$
b_0	$-R_o'^2 V_i (D-1)^2$
a_2	$C_{eq}' L_b R_o' (D-1) [r_{eq}' + R_o' (1-D)]$
a_1	$(D-1) [L_b + C_{eq}' R_o' r_{eq}' (1-D)] [r_{eq}' + R_o' (1-D)]$
a_0	$(D-1) [r_{eq}' + R_o' (1-D)] [r_{eq}' (1-D) + R_o' (1-D)^2]$

TABELA II
Coeficientes do Modelo Equivalente Linearizado Referentes à Malha para Controle da Corrente de Entrada

Coeficientes da função de transferência $G_{id}(s) = \hat{i}_{Lb} / \hat{d}$	
b_1	$-V_i C_{eq}' R_o' [R_o' (1-D) + r_{eq}']$
b_0	$-V_i [2R_o' (1-D) + r_{eq}']$
a_2	$C_{eq}' L_b R_o' (D-1) [r_{eq}' + R_o' (1-D)]$
a_1	$(D-1) [L_b + C_{eq}' R_o' r_{eq}' (1-D)] [r_{eq}' + R_o' (1-D)]$
a_0	$(D-1) [r_{eq}' + R_o' (1-D)] [r_{eq}' (1-D) + R_o' (1-D)^2]$

V. VALIDAÇÃO DO MODELO EQUIVALENTE

A fim de validar os modelos linearizados ora desenvolvidos, o comportamento dinâmico do conversor equivalente foi verificado por meio de simulação numérica, considerando-se três casos: $k=2$, $k=3$ e $k=5$. As principais especificações adotadas são apresentadas na Tabela III.

TABELA III
Parâmetros Adotados na Validação dos Modelos Linearizados de Pequenos Sinais para $k=2$, $k=3$ e $k=5$

Parâmetro	Conversor híbrido	Conversor equivalente ($k=2$)	Conversor equivalente ($k=3$)	Conversor equivalente ($k=5$)
V_i	50 V	50 V	50 V	50 V
L_b	500 μ H	500 μ H	500 μ H	500 μ H
C	25 μ F	—	—	—
r_c	300 m Ω	—	—	—
C_o	12,5 μ F	—	—	—
D	50%	50%	50%	50%
f_s	100 kHz	100 kHz	100 kHz	100 kHz
C_{eq}'	—	125 μ F	235,2 μ F	533,1 μ F
r_{eq}'	—	300 m Ω	450 m Ω	750 m Ω
R_o'	66,7 Ω	266,7 Ω	600 Ω	1666,7 Ω

A. Validação I - Conversor Híbrido com Ganho $k=2$

Neste caso particular, com $k=2$, os parâmetros do conversor simplificado assumem os seguintes valores:

$$C_{eq}' = 5C = 125 \mu F \quad (17)$$

$$r_{eq}' = r_c = 300 \text{ m}\Omega. \quad (18)$$

Com base nos valores dos parâmetros e a partir das especificações da Tabela III, foram calculados os coeficientes de $G_{vd}(s)$ e $G_{id}(s)$, conforme Tabela IV.

TABELA IV
Coeficientes de $G_{vd}(s) = \hat{v}_{ok} / \hat{d}$ e $G_{id}(s) = \hat{i}_{Lb} / \hat{d}$ com $k=2$

Coefficiente	Modelo de tensão	Modelo de corrente
b_2	—	—
b_1	$-2,4 \times 10^4$	2×10^5
b_0	$7,9 \times 10^8$	$4,8 \times 10^7$
a_2	1	1
a_1	420	420
a_0	4×10^6	4×10^6

A fim de se validar a análise teórica, simulações foram realizadas com os parâmetros apresentados na Tabela III. O software PSIM® foi adotado para tal finalidade. Em todas as simulações o conversor vem operando em regime permanente, quando subitamente a razão cíclica é alterada de 50% para 51%. A Figura 7 ilustra a comparação entre as respostas dinâmicas extraídas das funções de transferência (v_{o2_linear} e i_{Lb2_linear}) e do modelo comutado do conversor

híbrido (v_{o2_comut} e i_{Lb2_comut}), assim como a resposta em frequência referentes a ambos os modelos.

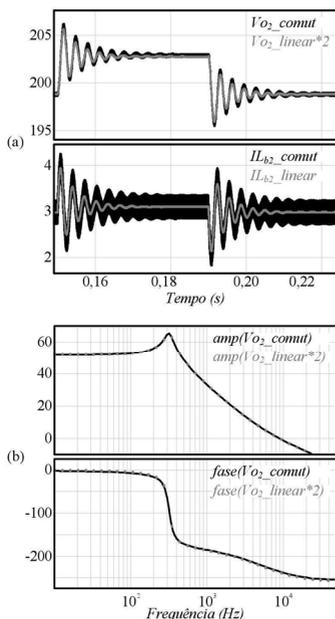


Fig. 7. Validação dos modelos: (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado do conversor híbrido com $k=2$.

Verifica-se que em ambos os casos (resposta ao degrau e resposta em frequência) há equivalência entre os modelos, fato que valida os procedimentos empregados durante a modelagem. Embora o conversor híbrido apresente, para $k=2$, cinco elementos armazenadores de energia, sua dinâmica dominante é de segunda ordem, daí o fato de um conversor simplificado ser capaz de representá-lo adequadamente sob o ponto de vista dinâmico.

Em termos numéricos, percebe-se que após a aplicação do degrau, em 150 ms, o sistema alcança um novo ponto de operação, sendo a transição caracterizada por uma resposta subamortecida com sobressinal de 1,6% e tempo de acomodação da ordem de 18 ms.

Outro detalhe que poderia levar a uma conclusão equivocada trata-se da ondulação de tensão (*ripple*) presente apenas no modelo comutado. Deve-se enfatizar que no modelo por espaço de estados, calculou-se o valor médio das grandezas em um período de comutação, desta maneira as componentes de tensão e de corrente que ocorrem na frequência de comutação acabam por ser suprimidas do modelo.

B. Validação II - Conversor Híbrido com Ganho $k=3$

Considerando-se um conversor híbrido com $k=3$ e adotando-se as especificações da Tabela III, encontram-se os coeficientes de $G_{vd}(s)$ e de $G_{id}(s)$, apresentados na Tabela V. A Figura 8 ilustra a resposta a um degrau de 2% de razão cíclica e a resposta em frequência para ambos os casos: funções de transferência e modelo comutado do conversor.

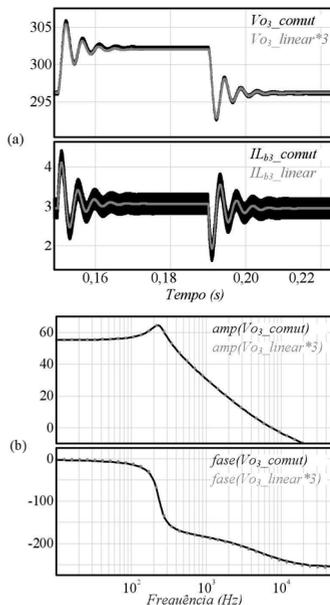


Fig. 8. Validação dos modelos: (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado do conversor híbrido com $k=3$.

TABELA V

Coeficientes de	$G_{vd}(s) = \hat{v}_{ok} / \hat{d}$ e $G_{id}(s) = \hat{i}_{Lb} / \hat{d}$ com $k=3$	
Parâmetro	Modelo de tensão	Modelo de corrente
b_2	—	—
b_1	$-1,3 \times 10^4$	2×10^5
b_0	$4,2 \times 10^8$	$2,5 \times 10^7$
a_2	1	1
a_1	514	514
a_0	$2,2 \times 10^6$	$2,2 \times 10^6$

A equivalência das respostas mostra que as funções de transferência descrevem adequadamente o comportamento dinâmico do conversor também nesta situação. Os modelos apresentam resposta transitória com sobressinal de 1,2% e tempo de acomodação da ordem de 12 ms.

C. Validação III - Conversor Híbrido com Ganho $k=5$

Por fim, considerando-se que o ganho da célula multiplicadora seja $k=5$ e adotando-se as especificações da Tabela III, encontram-se os coeficientes das funções de transferência de tensão e de corrente, conforme Tabela VI.

Novamente, verifica-se que as funções de transferência descrevem adequadamente o comportamento dinâmico do conversor, dada a equivalência entre as respostas ilustradas na Figura 9. Sob tais condições, observa-se sobressinal de 0,4% e tempo de acomodação de cerca de 8 ms.

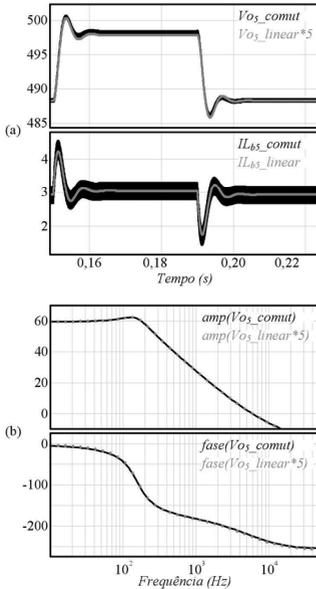


Fig. 9. Validação dos modelos: (a) resposta ao degrau e (b) resposta em frequência obtidas a partir da função de transferência e do modelo comutado do conversor híbrido com $k=5$.

TABELA VI

Parâmetro	Modelo de tensão	Modelo de corrente
b_2	—	—
b_1	$-5,5 \times 10^3$	2×10^5
b_0	$1,8 \times 10^8$	$1,1 \times 10^7$
a_2	1	1
a_1	778	778
a_0	$9,6 \times 10^5$	$9,6 \times 10^5$

VI. RESULTADOS EXPERIMENTAIS

A fim de validar experimentalmente os modelos dinâmicos encontrados, um protótipo de 150 W foi

construído. Esse protótipo, ilustrado na Figura 10, permite ser configurado tanto como o conversor *boost* híbrido ($k=2$) quanto como o conversor simplificado equivalente. Ambas as configurações utilizam o mesmo controlador, projetado a partir da análise do conversor simplificado equivalente. As especificações, bem como os componentes utilizados na construção do protótipo, são apresentadas nas Tabelas III e VII, respectivamente.

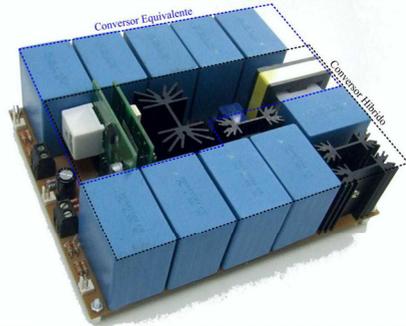


Fig. 10. Imagem do protótipo implementado.

TABELA VII
Componentes Adotados no Protótipo Equivalente/Híbrido com $k=2$

Componente	Conversor híbrido	Conversor equivalente
S_1	IPW65R080 (650 V / 43 A)	IPW65R080 (650 V / 43 A)
$D_{1,2,3}$	CSD20030 (300V / 10A)	CSD20030 (300 V / 10 A)
L_b	NE4215 (31 esp. / 32x32 AWG)	NE4215 (31 esp. / 32x32 AWG)
C	B32676E3256K (25 μ F / 300 V)	—
C_o	B32676E3256K (2 x 25 μ F)	—
C'_{eq}	—	B32676E3256K (5 x 25 μ F)
r'_{eq}	—	LVR03R1500 (2 x 150 m Ω)

Torna-se importante destacar que, em trabalho anterior, [13] modelou o conversor *boost* híbrido considerando a inclusão de parâmetros parasitas, não havendo, contudo, validado os resultados encontrados experimentalmente.

No presente artigo, além da modelagem generalizada a partir de um conversor simplificado equivalente, efetua-se a validação experimental dos modelos encontrados, fato que configura uma contribuição ao trabalho previamente apresentado.

A. Equivalência em Malha Aberta

Inicialmente, avaliou-se a resposta dinâmica dos conversores operando em malha aberta mediante perturbação na razão cíclica. A Figura 11 apresenta as formas de onda referentes à corrente de entrada e à tensão de saída do conversor híbrido, enquanto a Figura 12 representa as mesmas formas de onda, porém, referentes ao conversor equivalente.

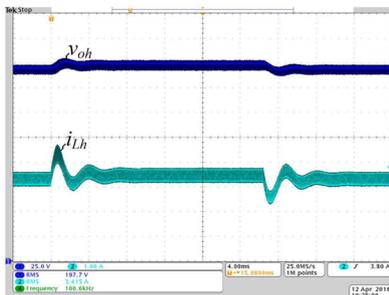


Fig. 11. Resultados experimentais: tensão de saída v_{oh} (25 V/div), corrente no indutor i_{Lh} (1 A/div) e tempo (4 ms/div), referentes ao conversor *boost* híbrido ($k=2$) operando em malha aberta sob perturbação na razão cíclica.

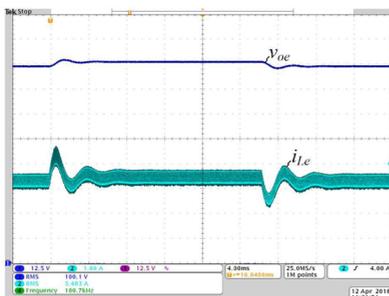


Fig. 12. Resultados experimentais: tensão de saída v_{oe} (12,5 V/div), corrente no indutor i_{Le} (1 A/div) e tempo (4 ms/div), referentes ao conversor equivalente operando em malha aberta sob perturbação na razão cíclica.

Buscando-se uma comparação adequada com a simulação, os ensaios também foram realizados com os conversores operando inicialmente em regime permanente sob razão cíclica de 50% e, posteriormente, submetidos a um degrau de razão cíclica de cerca de 2%, o que os levou a um novo ponto de operação. Em ambos os casos, a transição ocorreu por meio de uma reposta subamortecida, com sobressinal de cerca de 1% e tempo de acomodação de cerca de 9 ms.

Nota-se que as respostas de ambos os conversores ao degrau são similares, fato que valida a metodologia de obtenção do conversor simplificado e caracterizada a equivalência entre as dinâmicas das duas estruturas.

É notório destacar ainda que as divergências existentes entre os resultados experimentais e os de simulação se fazem evidenciadas principalmente sob o ponto de vista de amortecimento: as respostas dinâmicas experimentalmente obtidas são visivelmente mais amortecidas. Obviamente, a explicação para este fato está na não inclusão de parâmetros parasitas no modelo de simulação, haja vista a busca por um modelo simplificado de ordem reduzida. A resistência associada ao indutor, por exemplo, de 300 m Ω , não foi incluída no modelo de simulação.

B. Equivalência em Malha Fechada

A validação da operação dos conversores em malha fechada foi realizada considerando-se o tradicional controle multimalhas representado pelo diagrama de blocos ilustrado na Figura 13.

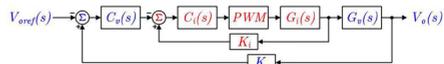


Fig. 13. Diagrama de blocos referente à estratégia empregada para controle de ambos os conversores.

Para a malha interna, rápida, que controla a corrente do indutor, utilizou-se um controlador proporcional-integral (PI) cujos parâmetros foram ajustados para que se obtivesse frequência de cruzamento de 2 kHz e margem de fase de 45°, com $k=2,05$. A malha externa de tensão, lenta, por sua vez, foi concebida para também operar com um controlador do tipo PI, projeto para assegurar frequência de cruzamento de 10 Hz e margem de fase de 75°, com $k_v=1$.

Vale destacar que os controladores empregados neste trabalho são mais lentos que aqueles propostos por [13]. Tal fato está relacionado à implementação prática com controladores digitais, que requer maior atenuação das componentes de tensão e corrente provenientes da comutação e que a frequência de cruzamento das malhas de controle esteja alocada dentro da banda passante do filtro de *anti-aliasing*, cuja frequência de corte deve ser inferior à metade da frequência de amostragem.

Inicialmente os testes foram realizados considerando-se apenas a operação da malha de corrente. Nas Figuras 14 e 15 ilustra-se a evolução da corrente no conversor *boost* híbrido e no conversor simplificado equivalente, quando submetidos a um degrau de 20% na referência de corrente.

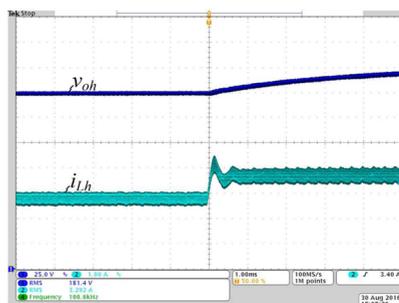


Fig. 14. Resultados experimentais: tensão de saída v_{oh} (25 V/div), corrente no indutor i_{Lh} (1 A/div) e tempo (1 ms/div), referentes ao conversor *boost* híbrido ($k=2$) operando com malha de corrente sob degrau de referência de 20%.

Verifica-se, mediante as formas de onda apresentadas, que os conversores respondem com comportamentos dinâmicos equivalentes. Durante o período transitório, ambos os conversores apresentam respostas dinâmicas similares, com tempo de acomodação da ordem de 1,1 ms e sobressinal de cerca de 12,3%.

Vale ressaltar que o mesmo controlador de corrente foi empregado em ambos os casos, tendo sido projetado a partir das funções de transferência extraídas do conversor simplificado.

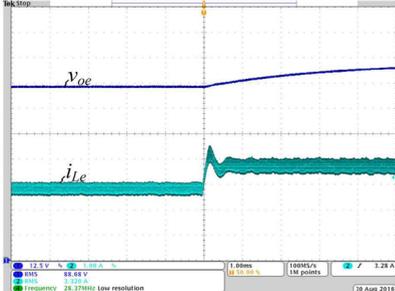


Fig. 15. Resultados experimentais: tensão de saída v_{oe} (12,5 V/div), corrente no indutor i_{Le} (1 A/div) e tempo (1 ms/div), referentes ao conversor equivalente operando com malha de corrente sob degrau de referência de 20%.

Com o intuito de avaliar a equivalência dos conversores sob a aplicação de degrau de carga, a malha orientada ao controle da tensão de saída foi também ativada. Enquanto a Figura 16 destaca a tensão de saída e a corrente de entrada do conversor *boost* híbrido, a Figura 17 ilustra as mesmas grandezas obtidas a partir do conversor equivalente. Percebe-se que a corrente do conversor *boost* híbrido, estabelecida em 3,21 A antes da aplicação do degrau de carga, passa a 3,74 A. A evolução da resposta transitória estabelece-se com tempo de acomodação da ordem de 17 ms e sobressinal de aproximadamente 7%.

Analogamente, no caso do conversor simplificado, a corrente de entrada, com valor inicial de 3,23 A, eleva-se para 3,77 A após a ocorrência do degrau de carga, com tempo de acomodação da ordem de 15 ms e sobressinal de aproximadamente 4%.

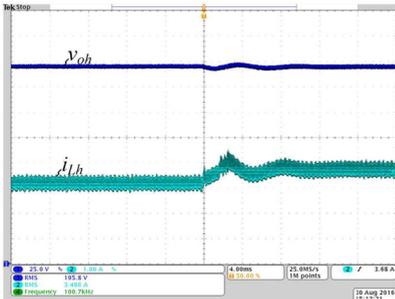


Fig. 16. Resultados experimentais: tensão de saída v_{oh} (25 V/div), corrente no indutor i_{Lh} (1 A/div) e tempo (4 ms/div), referentes ao conversor *boost* híbrido ($k=2$) operando com malhas de tensão e corrente sob degrau de referência de 20%.

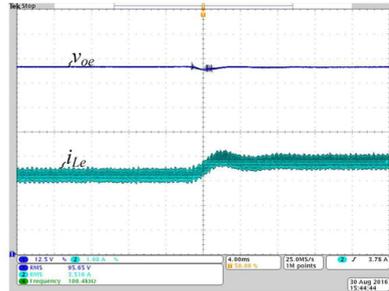


Fig. 17. Resultados experimentais: tensão de saída v_{oe} (12,5 V/div), corrente no indutor i_{Le} (1 A/div) e tempo (4 ms/div), referentes ao conversor equivalente operando com malhas de tensão e corrente sob degrau de referência de 20%.

Por fim, degraus de carga foram também aplicados no sentido contrário, de maneira que o ponto de operação inicial fosse restabelecido, assim como ilustram as Figuras 18 e 19.

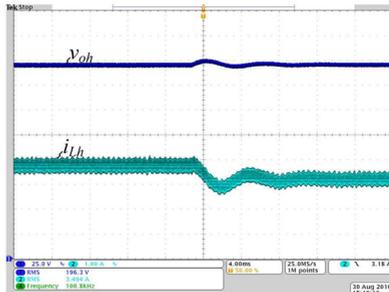


Fig. 18. Resultados experimentais: tensão de saída v_{oh} (25 V/div), corrente no indutor i_{Lh} (1 A/div) e tempo (4 ms/div), referentes ao conversor *boost* híbrido ($k=2$) operando com malhas de tensão e corrente sob degrau negativo de carga.

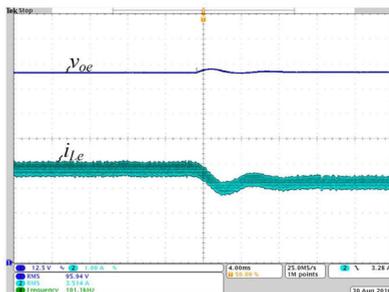


Fig. 19. Resultados experimentais: tensão de saída v_{oe} (12,5 V/div), corrente no indutor i_{Le} (1 A/div) e tempo (4 ms/div), referentes ao conversor equivalente operando com malhas de tensão e corrente sob degrau negativo de carga.

Durante este novo transitório, a corrente do conversor *boost* híbrido apresentou tempo de acomodação da ordem de 16 ms com sobressinal de cerca de 9%. Por sua vez, a corrente do conversor simplificado apresentou dinâmica equivalente: tempo de acomodação da ordem de 15 ms e sobressinal de cerca de 7%.

VII. CONCLUSÕES

Este artigo apresentou uma metodologia para redução do conversor *boost* híbrido a um conversor simplificado, dinamicamente equivalente.

O conversor simplificado configura uma ferramenta útil destinada à obtenção dos modelos dinâmicos do conversor *boost* híbrido que, por apresentar inúmeros elementos armazenadores de energia, é caracterizado por funções de transferência de ordem elevada, mas com predominância de segunda ordem.

Para validar a equivalência dinâmica entre os conversores, simulações foram realizadas considerando-se células multiplicadoras com ganho 2, 3 e 5. Além disso, resultados experimentais, extraídos de um protótipo de 150 W com $k=2$, também foram obtidos. Em todos estes cenários, as respostas dinâmicas de ambos os conversores, quando sujeitos a degraus de carga, de razão cíclica e de referência, mostraram-se equivalentes, validando a análise realizada.

APÊNDICE

Esse apêndice apresenta os procedimentos envolvidos na obtenção das equações que descrevem o comportamento estático-dinâmico do conversor analisado por meio do emprego de modelagem por espaço de estados, matematicamente descrito por:

$$\begin{cases} \mathbf{K} \dot{\mathbf{x}} = \mathbf{A}\mathbf{x} + \mathbf{B}\mathbf{u} \\ \mathbf{y} = \mathbf{C}\mathbf{x} + \mathbf{E}\mathbf{u} \end{cases} \quad (\text{A1})$$

Para a obtenção das funções de transferência por meio da aplicação da transformada de Laplace, faz-se necessário proceder a linearização. Para tanto, consideram-se pequenas perturbações \hat{d} , \hat{x} , \hat{u} , e \hat{y} em torno do ponto de operação D, X, U, Y do conversor, conforme:

$$\begin{cases} \hat{d} = D + \hat{d} \\ \hat{x} = X + \hat{x} \\ \hat{u} = U + \hat{u} \\ \hat{y} = Y + \hat{y} \end{cases} \quad (\text{A2})$$

Aplicando-se as relações de (A2) em (A1), encontra-se:

$$\begin{aligned} \mathbf{K}[\hat{X} + \hat{x}] = & \left[\mathbf{A}D + \mathbf{A}_2(1-D) \right] (\hat{X} + \hat{x}) \dots \\ & + \left[\mathbf{B}_1D + \mathbf{B}_2(1-D) \right] (\hat{U} + \hat{u}). \end{aligned} \quad (\text{A3})$$

Distribuindo-se os termos, desconsiderando-se as parcelas infinitesimais de segunda ordem e assumindo-se que a variável de entrada é livre de perturbações ($\hat{u} = 0$), tem-se:

$$\begin{aligned} \mathbf{K}[\hat{X} + \hat{x}] = & \left\{ \left[\mathbf{A}D + \mathbf{A}_2(1-D) \right] \hat{X} + \left[\mathbf{B}_1D + \mathbf{B}_2(1-D) \right] \hat{U} \right\} \dots \\ & + \left[(\mathbf{A} - \mathbf{A}_2) \hat{X} + (\mathbf{B}_1 - \mathbf{B}_2) \hat{U} \right] \hat{d} + \left[\mathbf{A}D + \mathbf{A}_2(1-D) \right] \hat{x}. \end{aligned} \quad (\text{A4})$$

Separando-se (A4) em suas parcelas CC e CA, encontram-se, respectivamente:

$$\mathbf{K}\hat{X} = \left[\mathbf{A}D + \mathbf{A}_2(1-D) \right] \hat{X} + \left[\mathbf{B}_1D + \mathbf{B}_2(1-D) \right] \hat{U} \quad (\text{A5})$$

$$\mathbf{K}\hat{x} = \left[(\mathbf{A} - \mathbf{A}_2) \hat{X} + (\mathbf{B}_1 - \mathbf{B}_2) \hat{U} \right] \hat{d} + \left[\mathbf{A}D + \mathbf{A}_2(1-D) \right] \hat{x}. \quad (\text{A6})$$

Sabendo-se que em regime permanente $\dot{X} = 0$, obtém-se:

$$\hat{X} = - \left[\mathbf{A}D + \mathbf{A}_2(1-D) \right]^{-1} \left[\mathbf{B}_1D + \mathbf{B}_2(1-D) \right] \hat{U}. \quad (\text{A7})$$

Aplicando-se a transformada de Laplace em (A6), encontra-se:

$$\hat{x} = \left[\mathbf{K}s - \left[\mathbf{A}D + \mathbf{A}_2(1-D) \right]^{-1} \left[(\mathbf{A} - \mathbf{A}_2) \hat{X} + (\mathbf{B}_1 - \mathbf{B}_2) \hat{U} \right] \right] \hat{d}. \quad (\text{A8})$$

Similarmente, para a variável y de saída, obtém-se:

$$\hat{Y} = \left[\mathbf{C}_1D + \mathbf{C}_2(1-D) \right] \hat{X} + \left[\mathbf{E}_1D + \mathbf{E}_2(1-D) \right] \hat{U} \quad (\text{A9})$$

$$\hat{y} = \left[(\mathbf{C}_1 - \mathbf{C}_2) \hat{X} + (\mathbf{E}_1 - \mathbf{E}_2) \hat{U} \right] \hat{d} + \left[\mathbf{C}_1D + \mathbf{C}_2(1-D) \right] \hat{x}. \quad (\text{A10})$$

AGRADECIMENTOS

Este trabalho foi financiado pelo Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) e Programa de Bolsas Universitárias de Santa Catarina (UNIEDU) mantido pelo Fundo de Apoio à Manutenção e ao Desenvolvimento da Educação Superior (FUMDES).

REFERÊNCIAS

- [1] R. Torquato, T. R. Ricciardi, D. Salles, T. Barbosa, H. F. F. Costa, "Review of international guides for the interconnection of distributed generation into low voltage distribution networks," *in Proc. of PES General Meeting*, pp. 1-6, 2012.
- [2] Y.R. de Novaes, A. Rufer, I. Barbi, "A New Quadratic, Three-Level, DC/DC Converter Suitable for Fuel Cell Applications," *in Proc. of PCC*, pp. 601-607, 2007.
- [3] K. C. Tseng, T. J. Liang, "Novel high-efficiency step-up converter," *in Proc. of EPA*, vol. 151, pp. 182-190, 2004.
- [4] Z. Fan, D. Lei, P. Fang Zheng, Q. Zhaoming, "A New Design Method for High-Power High-Efficiency Switched-Capacitor DC-DC Converters," *IEEE Transactions on Power Electronics*, vol. 23, no. 2, pp. 832-840, March 2008.
- [5] T. B. Lazzarin, R. L. Andersen, I. Barbi, "A Switched-Capacitor Three-Phase AC-AC Converter," *IEEE Transactions on Industrial Electronics*, vol. 62, no. 2, pp. 735-745, February 2015.

- [6] T. B. Lazzarin, R. L. Andersen, G. B. Martins, I. Barbi, "A 600-W Switched-Capacitor AC-AC Converter for 220 V/110 V and 110 V/220 V Applications," *IEEE Transactions on Power Electronics*, vol. 27, no. 12, pp. 4821-4826, December 2012.
- [7] R. L. Andersen, T. B. Lazzarin, I. Barbi, "A 1-kW Step-Up/Step-Down Switched-Capacitor AC-AC Converter," *IEEE Transactions on Power Electronics*, vol. 28, no. 7, pp. 3329-3340, July 2013.
- [8] A. Ioinovici, "Switched-capacitor power electronics circuits," *IEEE Circuits and Systems Magazine*, vol. 1, no. 3, pp. 37-42, July 2001.
- [9] M. S. Makowski, D. Maksimovic, "Performance limits of switched-capacitor DC-DC converters," in *Proc. of PESC*, pp. 1215-1221, 1995.
- [10] M. D. Seeman, S. R. Sanders, "Analysis and Optimization of Switched-Capacitor DC-DC Converters," *IEEE Transactions on Power Electronics*, vol. 23, no. 2, pp. 841-851, March 2008.
- [11] V. Sladeczek, P. Palacky, P. Vaculik, J. Oplustil, "Voltage Converters with Switched-capacitor," in *Proc. of PIERS*, pp. 934-937, 2012.
- [12] D. F. Cortez, I. Barbi, "A Family of High-Voltage Gain Single-Phase Hybrid Switched-Capacitor PFC Rectifiers," *IEEE Transactions on Power Electronics*, vol. 30, no. 8, pp. 4189-4198, August 2015.
- [13] G. V. Silva, R. F. Coelho, T. B. Lazzarin, "State space modeling of a hybrid Switched-Capacitor Boost converter," in *Proc. of COBEP/SPEC*, pp. 1-6, 2015.
- [14] W. Li, X. He, "Review of Nonisolated High-Step-Up DC/DC Converters in Photovoltaic Grid-Connected Applications," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 4, pp. 1239-1250, April 2011.
- [15] R. W. Erickson, D. Maksimovic, *Fundamentals of Power Electronics*, 2nd ed. New York: Kluwer Academic Publishers, 2004.
- [16] J. C. Rosas-Caro, J. M. Ramirez, P. M. Garcia-Vite, "Novel DC-DC Multilevel Boost Converter," in *Proc. of PESC*, pp. 2146-2151, 2008.
- [17] M. K. Alam, F. H. Khan, "Efficiency Characterization and Impedance Modeling of a Multilevel Switched-Capacitor Converter Using Pulse Dropping Switching Scheme," *IEEE Transactions on Power Electronics*, vol. 29, no. 6, pp. 3145-3158, June 2014.
- [18] S. Ben-Yaakov, "On the Influence of Switch Resistances on Switched-Capacitor Converter Losses," *IEEE Transactions on Industrial Electronics*, vol. 59, no. 1, pp. 638-640, January 2012.
- [19] A. Merdassi, L. Gerbaud, S. Bacha, "A new automatic average modelling tool for power electronics systems," in *Proc. of PESC*, pp. 3425-3431, 2008.
- [20] R. Middlebrook, S. Cuk, "A general unified approach to modelling switching-converter power stages," in *Proc. of PESC*, pp. 18-34, 1976.
- [21] R. Tymerski, V. Vorperian, F. C. Y. Lee, W. T. Baumann, "Nonlinear modeling of the PWM switch," *IEEE Transactions on Power Electronics*, vol. 4, no. 2, pp. 225-233, April 1989.

DADOS BIOGRÁFICOS

Gilberto Valentim Silva nasceu em Florianópolis, Santa Catarina, em 1968. É Engenheiro Eletricista (1992) e possui Mestrado (1994) em Engenharia pela Universidade Federal de Santa Catarina - UFSC. Gilberto é professor do Departamento de Eletrotécnica no Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina - IFSC, desde 1995. Atualmente é aluno de doutorado no Instituto Eletrônica de Potência / UFSC e seus interesses incluem conversores a capacitor chaveado, inversores, modelagem e simulação de conversores chaveados.

Roberto Francisco Coelho nasceu em Florianópolis, em agosto de 1982. Recebeu o título de Engenheiro Eletricista, Mestre e Doutor em Engenharia Elétrica pela Universidade Federal de Santa Catarina, Florianópolis, SC, Brasil, em 2006, 2008 e 2013, respectivamente. Atualmente é professor do Departamento de Engenharia Elétrica e Eletrônica da mesma instituição, onde desenvolve trabalhos relacionados ao processamento de energia proveniente de fontes renováveis e ao controle e estabilidade de microrredes. Prof. Roberto é membro da SOBRAEP e do *IEEE*.

Telles Brunelli Lazzarin nasceu em Criciúma, Santa Catarina, Brasil, em 1979. Recebeu o grau de Engenheiro Eletricista, Mestre e Doutor em Engenharia Elétrica pela Universidade Federal de Santa Catarina (UFSC), Florianópolis, Brasil, em 2004, 2006 e 2010, respectivamente. Atualmente é professor no Departamento de Engenharia Elétrica e Eletrônica da UFSC e pesquisador no Instituto de Eletrônica de Potência (INEP). A área de concentração do Prof. Telles é em eletrônica de potência, com ênfase em energias renováveis (principalmente eólica de pequeno porte), inversores de tensão e conversores estáticos a capacitor chaveado. Prof. Telles é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP) e do *Institute of Electrical and Electronics Engineers (IEEE)*.

INVERSOR *BOOST* A CAPACITOR CHAVEADO CONECTADO À REDE ELÉTRICA

Jéssika M. de Andrade¹, Gilberto V. Silva², Roberto F. Coelho¹ e Telles B. Lazzarin¹

¹ Universidade Federal de Santa Catarina – UFSC, Instituto de Eletrônica de Potência – INEP, Florianópolis – SC, BRASIL

² Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina – IFSC, Florianópolis – SC, BRASIL

e-mail: jessika.melo@inep.ufsc.br, valentim@ifsc.edu.br, roberto@inep.ufsc.br, telles@inep.ufsc.br

Resumo – Neste artigo propõe-se o emprego do inversor *boost* diferencial a capacitor chaveado (*SCDBI*) em aplicações que requerem conexão com a rede elétrica. O *SCDBI* é um inversor elevador, cujo ganho pode ser aumentado a partir da adição de células a capacitor chaveado, e possui saída em tensão, o que permite injetar correntes na rede com baixa ondulação usando apenas um filtro L. Esses atributos favorecem o emprego da topologia em sistemas de estágio único, onde a tensão de entrada é menor que o valor de pico da tensão de saída. Alguns dos desafios atrelados ao uso do *SCDBI* estão relacionados à característica de ganho não linear e aos modelos dinâmicos de ordem elevada. Neste artigo, é proposta uma modelagem simplificada e uma técnica de linearização estática, que possibilitam a utilização de um controlador proporcional-integral e uma malha de *feedforward* para controlar a corrente injetada na rede elétrica. O trabalho também aborda a análise estática do conversor com modulação unipolar e apresenta os procedimentos de dimensionamento. A validação do estudo é feita através dos resultados obtidos a partir de um protótipo de 250 W, conectado à rede de 220 V eficaz, com tensão de entrada de 60 V, frequência de comutação de 50 kHz, rendimento de 90% e corrente de saída com *THD* menor que 5%.

Palavras-Chave – Capacitor chaveado, Conexão com a rede elétrica, Controle, Inversor *boost*, Linearização, Modelagem.

SWITCHED CAPACITOR BOOST INVERTER CONNECTED TO THE GRID

Abstract – This paper proposes the employment of the switched-capacitor differential boost inverter (*SCDBI*) for applications that require grid-connection. The *SCDBI* is a step-up converter, which allows the increasing of the gain adding more switched capacitor cells. Furthermore, its output voltage characteristic enables injecting currents with low ripple even using just an L filter. Those attributes support the employment of the topology in single-stage systems connected to the grid, in which the input voltage is lower than the output voltage. Some of the challenges of using *SCDBI* connected to the grid are related to the nonlinear static gain characteristic and

high order dynamic models. In this paper, a simplified modelling and a static linearization technique are proposed, which allow the use of a proportional integral controller with a feedforward loop for regulating the current injected into the grid. Furthermore, the static analysis of the converter with unipolar modulation and design methodology are also presented. The validation of the theoretical analysis is achieved through a 250 W prototype connected to 220 V RMS voltage grid, with input voltage of 60 V, switching frequency of 50 kHz, efficiency of 90%, and grid current *THD* less than 5%.

Keywords – Boost inverter, Connecting to the electrical grid, Control, Switched-capacitor, Linearization, Modelling.

I. INTRODUÇÃO

A crescente demanda por energia elétrica, a redução das reservas de combustíveis fósseis e as políticas de contenção da poluição mundial têm incentivado o aumento do uso das fontes renováveis de energias, bem como o estudo dos sistemas para conectá-las à rede elétrica [1]-[3].

As fontes renováveis podem ser conectadas à rede elétrica por meio de um sistema de único ou de múltiplos estágios. Em sistemas fotovoltaicos de potência acima de 200 W, usualmente, o processamento de energia é realizado a partir de dois estágios. Tipicamente, estes sistemas são compostos por um conversor cc-cc elevador do tipo *boost* conectado a um inversor tipo abaixador (tipo *buck*) [4]-[5]. Tal abordagem, porém, pode resultar em elevação de volume e peso, além da redução da eficiência e da confiabilidade [6].

Em outra direção, visando melhorias em relação às topologias com duplo estágio, há os inversores de estágio único. Em sistemas de baixa potência (menores de 200 W), a topologia *flyback* no modo de condução descontinua (MCD) é bastante utilizada [7]-[8]. Nessa solução, todavia, a indutância de dispersão do transformador pode produzir sobretensões nos interruptores, requerendo o uso de grameadores, fato que aumenta o custo e a complexidade e reduz a eficiência da topologia [9].

A literatura também apresenta algumas soluções de inversores de único estágio não isolados (*transformerless*) [10], como os inversores *boost*, *buck-boost*, *zeta*, *SEPIC*, dentre outros. Tais inversores são derivados da conexão diferencial de dois conversores cc-cc adequadamente modulados [11]-[12]. Usualmente, essas topologias operam no modo de condução contínua (MCC), sem exigir componentes extras, sendo o ganho total limitado pelos ganhos dos conversores originais. Via de regra, inversores diferenciais podem processar potências maiores em relação

ao inversor *flyback* no MCD e, apesar de serem topologias não lineares de difícil modelagem e controle, existem estudos na literatura que propõem o emprego de técnicas de linearização para tal finalidade [13]-[15].

Com o objetivo de aumentar o ganho estático dos inversores elevadores não isolados, em [16]-[17] é proposta a integração de células de capacitores chaveados (CaCh) ao convencional inversor *boost* apresentado em [6]. A topologia resultante é um inversor do tipo *boost* diferencial a capacitor chaveado, denominado na literatura de *switched capacitor differential boost inverter (SCDBI)*.

Até o momento a literatura adotou o *SCDBI* apenas como inversor autônomo [16]-[17], mas suas características de ganho também o tornam atraente para aplicação em sistemas conectados à rede, pois o emprego de células a capacitor chaveado permite aumentar o ganho da topologia, mantendo a célula *boost* no mesmo ponto de operação. Nesse contexto, o presente artigo propõe a utilização do *SCDBI* em aplicações que envolvam a conexão com rede elétrica.

Além desta seção introdutória, a seção II apresenta a análise estática do inversor em estudo, na qual uma técnica de linearização estática é apresentada. A seção III desenvolve a modelagem do conversor e a estratégia de controle baseada no uso de técnicas lineares e a seção IV discute os resultados experimentalmente obtidos.

II. INVERSOR PROPOSTO

A Figura 1 apresenta o *SCDBI* conectado à rede elétrica, identificando-se a célula CaCh (traço sombreado) e o convencional inversor *boost* (formado por $L_o, C_{1a,b}, C_{1a,1b}, S_{1a,1b}$ e $S_{2a,2b}$). Por ser composto por dois módulos *boost* cc-cc bidirecionais híbridos (módulos A e B), os interruptores são bidirecionais em corrente com diodo antiparalelo.

As tensões de saída dos módulos são sempre positivas e compostas por duas parcelas: uma contínua e outra alternada senoidal. A parcela contínua é igual em ambos os módulos, sendo as componentes alternadas defasadas de 180° entre si. Nessa configuração, após a conexão diferencial, as parcelas cc se cancelam e as parcelas alternadas somam-se.

O conversor é conectado à rede elétrica por meio de um simples filtro indutivo, representado na figura por L_o . Reduzidos valores de indutância são suficientes para impor uma baixa ondulação de corrente, pois a estrutura tem saída em tensão, em oposição aos inversores tipo *buck*, que requerem o uso de filtros indutivos de elevado valor ou de estruturas com mais alta ordem, como o filtro LCL. Outro ponto interessante é o ganho estático da estrutura, que pode ser aumentado com a adição de células a CaCh.

A alteração do número de células confere ao inversor a flexibilidade de conectar-se à diferentes patamares de tensão (127 V ou de 220 V, por exemplo), mantendo o mesmo ponto de operação no estágio *boost*.

Essa característica é interessante para aplicações no Brasil, que possui dois níveis de tensão na rede de distribuição. A capacidade de alterar o ganho com as células de CaCh também beneficia aplicações em sistemas fotovoltaicos, pois permite alterar o número de módulos (e assim a tensão de entrada) e ajustar o ganho do conversor apenas modificando-se o número de células a capacitor chaveado presentes na topologia.

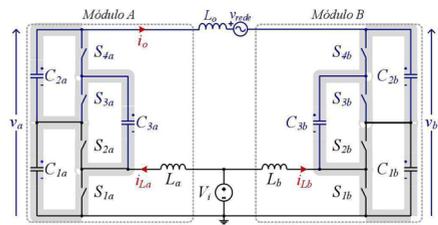


Fig. 1. Inversor *boost* com CaCh conectado à rede elétrica.

A. Estados Topológicos

Os estados topológicos da estrutura são analisados utilizando-se a modulação por largura de pulso três níveis (3N-*PWM*) descrita na Figura 2. A modulação adotada possibilita que os pulsos de comando de cada módulo sejam independentes, diferentemente da modulação por largura de pulso dois níveis (2N-*PWM*), originalmente empregada quando a topologia foi concebida por [16]-[17]. A utilização de pulsos de comando independentes é essencial para que a técnica de linearização abordada no item D desta seção possa ser implementada. Vale destacar que as modulações 2N-*PWM* e 3N-*PWM* sem linearização apresentam resultados similares quando comparados aspectos como esforços de tensão nos semicondutores, rendimento e distorção harmônica total (*THD*). Tal conclusão é resultado de análises experimentais conduzidas em laboratório, e se tornarão mais evidentes na seção IV.

É importante perceber que, isolados, cada módulo da estrutura apresentaria as duas etapas de operação do conversor *boost* em MCC. Entretanto, quando integrados, os dois módulos passam a apresentar os quatro estados topológicos descritos na Figura 3 de (a) a (d), os quais são originados das combinações dos estados de cada módulo.

A estrutura inversora altera quatro vezes seu estado topológico em um período de comutação, sendo utilizada a sequência de estados (a), (b), (a) e (c) durante o semiciclo positivo da tensão da rede elétrica, e a sequência de estados (d), (b), (d) e (c) durante o semiciclo negativo da referida tensão.

Os estados topológicos do inversor são descritos a partir dos estados de um único módulo e é considerado que os elementos de cada conversor são iguais, sem os sub índices *a* e *b*.

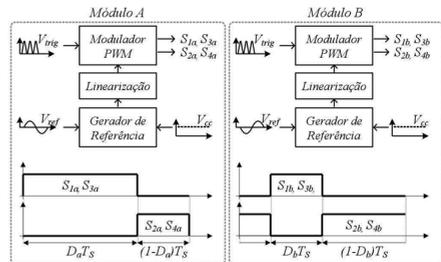


Fig. 2. Modulador 3N-*PWM* e bloco de linearização.

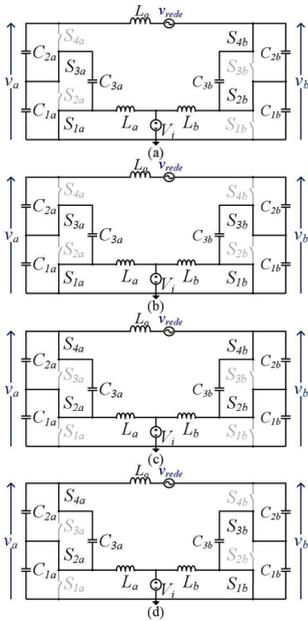


Fig. 3. Estados topológicos considerando-se o uso da modulação 3N-PWM.

- Quando os interruptores S_1 e S_3 estão conduzindo e S_2 e S_4 estão bloqueados, ocorre a acumulação indutiva do indutor *boost*, enquanto o capacitor chaveado C_3 permanece conectado em paralelo com capacitor C_1 .
- Quando os interruptores S_1 e S_3 são comandados a bloquear e S_2 e S_4 entram em condução, ocorre a etapa de transferência de energia do indutor *boost*, enquanto o capacitor chaveado C_3 permanece conectado em paralelo com capacitor C_2 .
- A célula de capacitor chaveado garante o equilíbrio das tensões entre os capacitores C_2 e C_1 , o que resulta na característica multiplicadora da célula. O inversor *boost* é bidirecional, podendo ter seu fluxo de energia revertido de acordo com o ponto de operação.

B. Ganho Estático

O ganho estático teórico do módulo *A* em MCC é expresso em função do ganho fornecido pela célula multiplicadora (k), ou em função do número de células a CaCh (N), e da razão cíclica do módulo (d_a):

$$\frac{v_a}{V_i} = \frac{k}{1-d_a} = \frac{N+1}{1-d_a} \tag{1}$$

Por sua vez, o ganho do módulo *B* é definido de maneira similar:

$$\frac{v_b}{V_i} = \frac{k}{1-d_b} = \frac{N+1}{1-d_b} \tag{2}$$

Adotando-se o módulo *A* como referência ($d_a = d$), sabendo-se que a modulação empregada garante que $d_b = 1-d_a$, e que tensão de saída diferencial v_o é dada pela diferença entre v_a e v_b , obtém-se o ganho diferencial do inversor proposto:

$$\frac{v_o}{V_i} = \frac{k(2d-1)}{d(1-d)} \tag{3}$$

Manipulando (3), tem-se a definição da razão cíclica em função da tensão de saída desejada.

$$d = \frac{1}{2} + \frac{\sqrt{(2kV_i)^2 + v_o^2} - 2kV_i}{2v_o} \tag{4}$$

C. Projeto dos Elementos Passivos

Os indutores de entrada são definidos a partir da especificação de ondulação percentual de corrente (ΔI_L), sendo expressos por:

$$L_a = L_b = \frac{V_i D}{f_s I_{Lpk} \Delta I_L} \tag{5}$$

onde, V_i é a tensão de entrada, D é a razão cíclica máxima, f_s é a frequência de comutação e I_{Lpk} é o valor de pico da corrente nos indutores.

A indutância do filtro de saída é determinada a partir da frequência de ressonância (f_{LC}) entre o indutor (L_o) e a capacitância equivalente da célula multiplicadora (C_{eq}), sendo definida por:

$$L_o = \frac{2k^2}{(2\pi f_{LC})^2 C_{eq}} \tag{6}$$

A ressonância pode ser vista na resposta em frequência do inversor, que será abordada na seção III. A possibilidade de escolher a frequência em que a ressonância ocorrerá garante um grau de liberdade no projeto do controlador.

As capacitâncias da CaCh são especificadas a partir do modo de operação da célula multiplicadora. De acordo com [18], existe três modos diferentes de operação: carga completa, carga parcial e carga nula, como exposto na Figura 4. No modo carga completa a corrente do capacitor atinge elevados valores de pico, o que, consequentemente, provoca maiores perdas. No modo carga nula não existe picos de corrente, porém, são requeridos elevados valores de capacitância, o que aumenta o volume do conversor. Assim, o modo que fornece o melhor custo/benefício entre eficiência e volume é o modo de carga parcial [19].

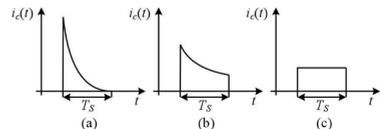


Fig. 4. Modos de operação da célula de capacitor chaveado: a) carga completa; b) carga parcial; c) carga nula.

A operação do conversor no modo de carga parcial é garantida quando o produto da constante de tempo (τ) pela frequência de comutação é maior que 0,1 [19], sendo τ definido por:

$$\tau = (R_{SE} + R_{ds(on)})C, \quad (7)$$

onde, R_{SE} é a resistência série equivalente do capacitor e $R_{ds(on)}$ a resistência do interruptor em condução. As capacitâncias das CaCh são calculadas por [19]:

$$C_1 = C_2 = C_3 \geq \frac{0,1}{f_s (R_{SE} + R_{ds(on)})}. \quad (8)$$

A integração da célula de CaCh com o capacitor *boost* gera uma capacitância equivalente, dada por:

$$C_{eq} = \frac{2C[D(1-D)+2]}{k[2+D(1-D)]-2D(1-D)+2}, \quad (9)$$

desde que $C_1 = C_2 = C_3 = C$.

D. Técnica de Linearização

Inversores do tipo *boost* apresentam distorções na tensão e/ou na corrente de saída devido à característica de ganho não linear, o que exige esforços de controle adicionais [20]-[21]. Para melhorar essa desvantagem, alguns trabalhos sugerem o uso de modulação com linearização dinâmica [22] ou técnicas de linearização aplicadas à tensão de saída total v_o [23].

Como alternativa, neste artigo propõe-se uma estratégia de linearização aplicada ao ganho individual de cada módulo, o que, conseqüentemente, lineariza as tensões parciais v_a e v_b . Cabe ressaltar que o ganho estático de cada módulo permanece não linear, mas o sistema completo (conversor + linearização) passa a apresentar uma relação de entrada/saída linear.

Após a aplicação da técnica de linearização, o ganho linearizado G_L passa a ser descrito por:

$$G_L = \alpha d + \beta, \quad (10)$$

em que o coeficiente angular (α) e linear (β) da reta de linearização são determinados em função do ganho máximo desejado na topologia (atrelado à tensão de entrada e ao valor de pico da tensão de saída). A variável d representa a razão cíclica, proveniente da malha de controle e aplicada ao bloco linearizador.

A equação que descreve o comportamento da razão cíclica do conversor *boost* em MCC pode ser obtida a partir do seu ganho estático:

$$d_{boost} = 1 - \frac{1}{G_{boost}}. \quad (11)$$

Ao definir $G_{boost} = G_L$, faz-se com que o sistema apresente uma resposta linear e, ao substituir (10) em (11), torna-se simples encontrar a relação entre d e d_{boost} para que esta condição seja satisfeita.

$$d_{boost} = \frac{\alpha d + \beta - 1}{\alpha d + \beta} \quad (12)$$

III. MODELAGEM E CONTROLE

A. Modelagem orientada ao controle

O comportamento de conversores a CaCh, devido à grande quantidade de elementos passivos, é descrito por equações dinâmicas de ordem elevada. Entretanto, conversores *boost* híbridos de ordem n , de acordo com [24], podem ser modelados considerando-se apenas a dinâmica dominante, representada pelo conversor simplificado de segunda ordem exposto na Figura 5.

O circuito equivalente, ilustrado na Figura 5, é obtido a partir da representação da célula CaCh por um transformador hipotético CC, com razão de transformação $1:k$ [24]. As resistências parasitas dos capacitores chaveados (R_{SE}) e dos interruptores de potência ($R_{ds(on)}$) são representadas pela resistência r_{eq} presente no modelo. Essa resistência é responsável por manter a equivalência de amortecimento entre o conversor *boost* a CaCh e a versão simplificada [24]. A capacitância equivalente da célula multiplicadora é representada por C_{eq} ; o resistor R_o é a resistência de carga e L é a indutância *boost*.

O modelo comutado de ordem reduzida, ilustrado na Figura 6, que representa o *SCDDBL*, pode ser obtido a partir da conexão diferencial de dois desses conversores equivalentes referenciados ao lado de baixa tensão.

As tensões e as correntes a que os interruptores estão submetidos podem ser descritas em função de seus valores médios quase instantâneos [25]. Com a substituição dos interruptores por fontes descritas por tais valores, é possível obter o modelo médio de grandes sinais que representa a topologia. Além disso, aplicando-se pequenas perturbações às variáveis desse modelo, é possível extrair um modelo CC, que descreve o conversor no ponto de operação, e um modelo CA de pequenos sinais, que caracteriza sua dinâmica e permite encontrar a função de transferência que relaciona a variável a ser controlada (i_o) com a variável de controle (d).

As equações resultantes da análise do modelo CC, exposto na Figura 7, são:

$$I_{La} = \frac{I_o}{(1-D)}, \quad (13)$$

$$I_{Lb} = \frac{-I_o}{D}, \quad (14)$$

$$V_a' = \frac{V_i - r_{eq}' I_{La} (1-D)}{(1-D)}, \quad (15)$$

$$V_b' = \frac{V_i - r_{eq}' I_{Lb} D}{D}. \quad (16)$$

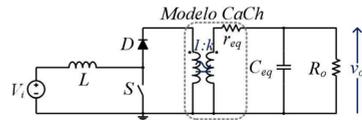


Fig. 5. Circuito equivalente do conversor *boost* híbrido.

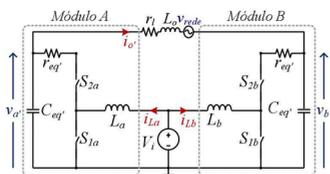


Fig. 6. Modelo comutado equivalente para o SCDBI.

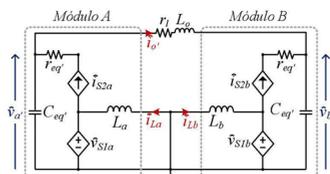


Fig. 8. Modelo equivalente de pequenos sinais para o SCDBI.

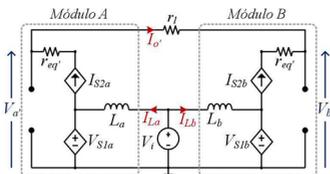


Fig. 7. Modelo CC equivalente para o SCDBI.

Adicionalmente, os coeficientes da função de transferência obtida a partir do modelo de pequenos sinais, ilustrado na Figura 8, expressa em (17), são resumidos na Tabela I.

$$G_{id}(s) = \frac{\hat{v}_o}{\hat{d}} = \frac{b_3 s^3 + b_2 s^2 + b_1 s + b_0}{a_5 s^5 + a_4 s^4 + a_3 s^3 + a_2 s^2 + a_1 s + a_0} \quad (17)$$

A modelagem proposta foi validada por simulação utilizando-se o software PSIM®. Foi aplicada uma pequena perturbação de razão cíclica (1%) para verificação do comportamento dinâmico do inversor, cujos parâmetros estão listados nas Tabelas II e III.

TABELA I
Coeficientes da função de transferência

Coeficientes	
b_3	$-C_{eq} L_a L_b k (I_{La} + I_{Lb})$
b_2	$C_{eq} L_a V_a' k (1-D) - C_{eq} I_{Lb} L_a k r_{eq} (1-D) + C_{eq} D L_a k (V_b' - I_{La} r_{eq}) - D^2 L_a k (I_{La} + I_{Lb}) + I_{Lb} L_a k (2D-1) + C_{eq} D k r_{eq} (V_a' + V_b') - C_{eq} D^2 k r_{eq} (V_a' + V_b')$
b_1	$D I_b' k + D^2 k (V_a' - 2V_b') + D^3 k (V_b' - V_a')$
b_0	$C_{eq}^2 L_a^2 I_{La}^2 V_o$
a_4	$C_{eq}^2 L_a L_a r_{eq}^2 + C_{eq}^2 L_a^2 r_{eq}^2$
a_3	$L_a C_{eq}^2 r_{eq}^2 D (1-D) - 2L_a C_{eq}^2 L_a D (1-D) + 2C_{eq}^2 k^2 L_a^2 + \dots$
a_2	$L_a C_{eq}^2 L_a r_{eq} + C_{eq}^2 L_a r_{eq}^2$
a_1	$L_a C_{eq}^2 D r_{eq} (1-D) + 2L_a k^2 C_{eq}^2 r_{eq}^2 + C_{eq}^2 D r_{eq} (1-D) - \dots$
a_0	$2C_{eq}^2 L_a D r_{eq} (1-D) + C_{eq}^2 L_a r_{eq}^2$
a_4	$L_a k^2 + D^2 L_a^2 (1-D)^2 - 2D L_a k^2 (1-D) + 2C_{eq} D k^2 r_{eq}^2 (1-D) + \dots$
a_1	$C_{eq}^2 D r_{eq} (1-D)$
a_0	$k^2 r_{eq}^2 D (1-D) + r_{eq} D^3 - 2r_{eq} D^3 + r_{eq} D^2$

A Figura 9 apresenta a comparação das respostas dinâmicas no domínio do tempo (Figura 9 (a)) e no domínio da frequência (Figura 9 (b)), obtidas a partir do modelo comutado ($Io_{comutado}$) e do modelo médio de pequenos sinais ($Io_{médio}$). Observa-se que o modelo médio obtido representa de maneira satisfatória o comportamento do modelo comutado.

Pode-se ainda destacar que a frequência de ressonância entre filtro de saída e capacitância equivalente mostra-se bem acentuada na resposta em frequência do inversor. A frequência escolhida para alocação da ressonância foi de 5 kHz, com o intuito de afastá-la da frequência da componente fundamental da rede (60 Hz) e da frequência de comutação (50 kHz) e, assim, facilitar o projeto do controlador.

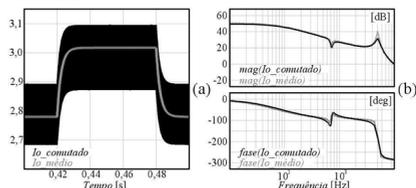


Fig. 9. Validação da função de transferência: (a) domínio do tempo e (b) domínio da frequência.

B. Controle

Uma malha de controle foi empregada para regular a corrente injetada na rede elétrica, tal como é ilustrado na Figura 10. O controlador utilizado é um proporcional-integral (PI), com a adição de um polo extra, cujo intuito é de atenuar a ressonância gerada entre o filtro de saída e a capacitância equivalente:

$$H(s) = \frac{K_c (s + \omega_2)}{s (s + \omega_p)} \quad (18)$$

Para determinação dos parâmetros do controlador, as seguintes especificações foram consideradas: frequência de cruzamento de 800 Hz, margem de fase de 60°, frequência do polo extra (ω_p) de 9425 rad/s e ganho do sensor de corrente K_i de 1. A partir destas especificações, obtiveram-se $K_c=817$ e $\omega_2=2524$ rad/s. A função de transferência discretizada foi obtida aplicando-se a transformada de Tustin em (18). Uma malha *Feedforward* também foi utilizada para realimentar a tensão da rede, vista como perturbação pela malha de controle principal. O ganho utilizado na malha *Feedforward* é equivalente ao índice de modulação do conversor.

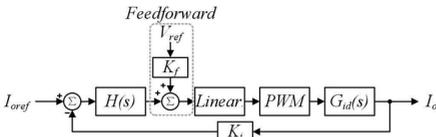


Fig. 10 Diagrama de blocos da estratégia empregada para o controle do SCDBI conectado à rede elétrica.

IV. RESULTADOS EXPERIMENTAIS

A Figura 11 apresenta uma fotografia do protótipo de 250 W utilizado, cujas especificações e os principais componentes estão descritos nas Tabelas II e III.

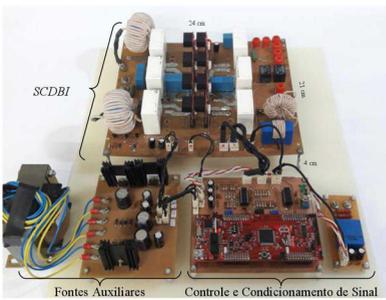


Fig. 11. Protótipo: inversor boost (250 W), fontes auxiliares, controle e condicionamento de sinal.

TABELA II
Especificações de projeto do protótipo.

Especificações de projeto	
Tensão de entrada (V_i)	60 V
Valor eficaz da tensão de saída ($V_{o(m)}$)	220 V
Potência de saída (P_o)	250 W
Ondulação percentual de corrente (ΔI_c)	30%
Frequência de comutação (f_c)	50 kHz
Frequência de ressonância (f_{rc})	5 kHz
Ganho da célula multiplicadora (k)	2
Razão cíclica CC (D_{cc})	0,376
Razão cíclica CA (D_{ca})	0,345
Razão cíclica máxima (D)	0,75
Coefficiente angular da reta de linearização (α)	4
Coefficiente linear da reta linearização (β)	1

TABELA III
Componentes utilizados no protótipo.

Componentes utilizados	
Indutores de entrada (L_i)	230 μ H, Núcleo: APH46P60
Nº de espiras:	43, Fio: Litz 982x41 AWG
Indutor de saída (L_o)	140 μ H, Núcleo: APH33P60
Nº de espiras:	56, Fio: Litz 150x38 AWG
Capacitores (S_{1a} e S_{1b})	20 μ F, C4AEHBW 5200A3FJ
Interruptores (S_{2a} e S_{2b})	IRFP4332PbF, 300 V/40 A
	$R_{d(on)}$: 29 m Ω
Interruptores (S_{3a} , S_{3b} , S_{3c} , S_{3d} , S_{3e} e S_{3f})	SCT2120AF, 650 V/29 A
	$R_{d(on)}$: 120 m Ω
Resistência (r_{m1})	0,3 Ω
Resistência (r_l)	0,2 Ω
Sensor	LA25P
Processador	TMS320F28069

A. Análise das Modulações

Inicialmente, o conversor foi testado como inversor isolado, em malha aberta, e carga resistiva de 195 Ω , para analisar o impacto das modulações 2N-PWM, 3N-PWM e 3N-PWM com linearização sobre os esforços de tensão dos semicondutores, o rendimento e a THD. A Tabela IV apresenta a comparação entre as modulações em análise. Os valores de THD foram adquiridos com o uso do analisador de energia Yokogawa WT1800.

Nota-se que as modulações 2N-PWM e 3N-PWM apresentam desempenhos semelhantes, enquanto a modulação 3N-PWM com linearização elevou o rendimento e reduziu os esforços de tensão nos semicondutores, bem como a THD de corrente e de tensão de saída. Esses resultados comprovam que a técnica de linearização proposta tem impacto direto na diminuição da THD e na elevação do rendimento da estrutura, neste caso em 2%.

TABELA IV
Comparação entre as modulações.

Parâmetros	2N-PWM	3N-PWM	3N-PWM + linearização
THD _{vo}	8,7%	8,7%	2,0%
THD _{io}	8,7%	8,7%	2,0%
Tensão máxima nos semicondutores	262,1 V	263,2 V	234,4 V
Rendimento	88,1%	88,1%	90,0%

B. Análise da Linearização Estática

A operação do conversor foi analisada em dois testes, um sem e o outro com o bloco de linearização proposto, em ambos os casos utilizando modulação 3N-PWM, tensão de entrada de 60 V e com o inversor operando em potência nominal (250 W). Os dois casos foram realizados em malha aberta para não haver influência da malha de controle nos resultados. O primeiro caso utilizou a razão cíclica senoidal (idealizada), vista na Figura 12 (a), e o segundo empregou a razão cíclica gerada pelo bloco de linearização, exposta na Figura 12 (b).

Em operação com razão cíclica idealizada, o SCDBI forneceu as tensões parciais v_a e v_b e de saída v_o , mostradas na Figura 12 (c). A THD dessas formas de onda foi de 28,8% (v_a e v_b) e 8,7% (v_o).

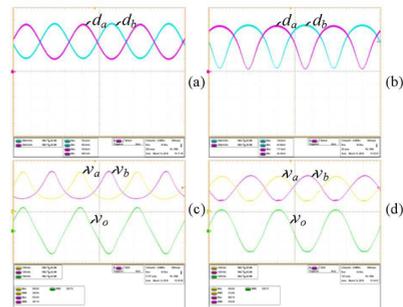


Fig. 12. Resultados Experimentais: (a) razões cíclicas d_a e d_b sem linearização (200 mV/div); (b) razões cíclicas d_b e d_a com linearização (200 mV/div); (c) tensões parciais v_a e v_b (130 V/div) e tensão de saída v_o (150 V/div), sem linearização; (d) tensões parciais v_a e v_b (130 V/div) e tensão de saída v_o (150 V/div), com linearização. Base de tempo (5 ms/div).

No teste com o bloco de linearização habilitado, o inversor forneceu as formas de onda da Figura 12 (d), as quais apresentaram *THD* de 5% nas tensões parciais e 2,0%, na tensão de saída diferencial.

O espectro harmônico da tensão parcial v_{α} , com e sem linearização, é ilustrado na Figura 13 (a). As maiores reduções aconteceram na segunda e terceira harmônicas. O espectro harmônico da tensão de saída diferencial v_{α} , com e sem linearização é exposto na Figura 13 (b). Nota-se que terceira harmônica foi consideravelmente reduzida após a habilitação do bloco de linearização, o que ocasionou a melhora da *THD*.

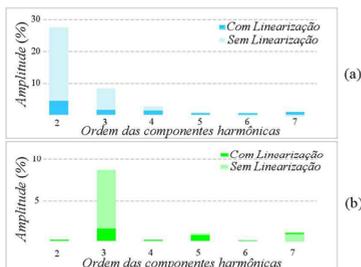


Fig. 13. Análise harmônica com e sem linearização: a) tensão parcial v_{α} e b) tensão de saída v_o .

C. Inversor Conectado à Rede Elétrica

O *SCDBI* foi testado conectado à rede elétrica em malha fechada, sob modulação 3N-*PWM* com bloco de linearização habilitado, com tensão de entrada de 60 V e em potência nominal (250 W). Este cenário foi mantido em todos os resultados apresentados nesta seção. A referência senoidal de corrente foi gerada por meio do laço de travamento de fase (*phase locked loop - PLL*) monofásico, proposto em [26].

A tensão da rede (v_{rede}), a corrente injetada (i_o) e a tensão de entrada V_i , em potência nominal (250 W), são mostrados na Figura 14. O teste foi realizado para uma tensão de entrada de 60 V. A *THD* da corrente injetada foi de 3,51%, sendo que tensão da rede elétrica já apresentava *THD* de 2,67%. A distorção harmônica da tensão da rede aparece nas tensões parciais v_{α} e v_{β} , conforme pode ser visto na Figura 15.

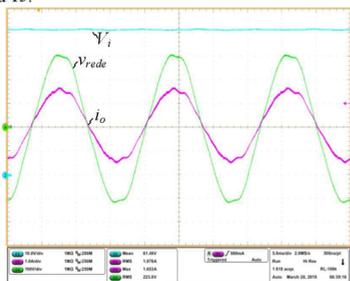


Fig. 14. Resultados Experimentais: tensão da rede v_{rede} (100 V/div), corrente injetada na rede i_o (1 A/div) e tensão de entrada V_i (10 V/div). Base de tempo (5 ms/div).

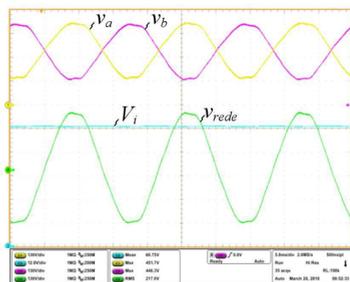


Fig. 15. Resultados Experimentais: tensão da rede v_{rede} (130 V/div), tensões parciais v_{α} e v_{β} (130 V/div) e tensão de entrada V_i (12 V/div). Base de tempo (5 ms/div).

A corrente de entrada (i_{in}) e a corrente nos indutores ($i_{L\alpha}$ e $i_{L\beta}$) são expostas na Figura 16. Mediante inspeção destes resultados é possível notar que a corrente i_{in} é a soma da corrente $i_{L\alpha}$ e $i_{L\beta}$ e apresenta uma ondulação em 120 Hz, típica de inversores de estágio único. Cabe destacar, que essa ondulação em 120 Hz é um problema a ser resolvido quando deseja-se aplicar esse inversor em sistemas fotovoltaicos, devido ao deslocamento que a mesma causa no rastreamento do ponto de máxima potência. Esse problema não é exclusivo do *SCDBI* e pode ser resolvido com adição de um barramento capacitivo ou técnicas ativas de filtragem [9].

A tensão aplicada aos interruptores na frequência da rede elétrica e também na frequência de comutação é apresentada na Figura 17, a partir de onde se verifica que seu valor máximo é igual a, aproximadamente, metade do valor da tensão de saída de cada módulo (225 V) devido à célula multiplicadora.

A corrente i_{C3a} que flui pelo capacitor chaveado C_{3a} também foi avaliada, sendo apresentada na Figura 18 (a) sob o ponto de vista do período da rede elétrica, e nas Figuras 18 (b) e (c), quando vista no período de comutação. Verifica-se, por meio das Figuras (b) e (c), que o decaimento exponencial da corrente não atinge o regime permanente, indicando a operação da célula capacitor chaveado no modo de carga parcial.

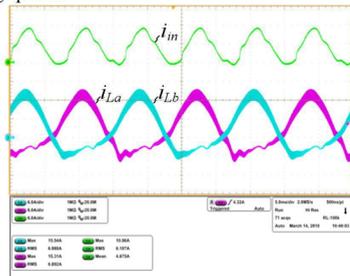


Fig. 16. Resultados experimentais: corrente de entrada i_{in} (6 A/div) e corrente nos indutores $i_{L\alpha}$ e $i_{L\beta}$ (6 A/div). Base de tempo (5 ms/div).

O inversor foi ainda submetido a um degrau de referência de corrente de $\pm 50\%$, conforme visto na Figura 19 (a). A Figura 19 (b) detalha a tensão da rede e a corrente injetada durante a redução de referência, enquanto a Figura 19 (c) ilustra o comportamento do inversor durante o aumento da referência.

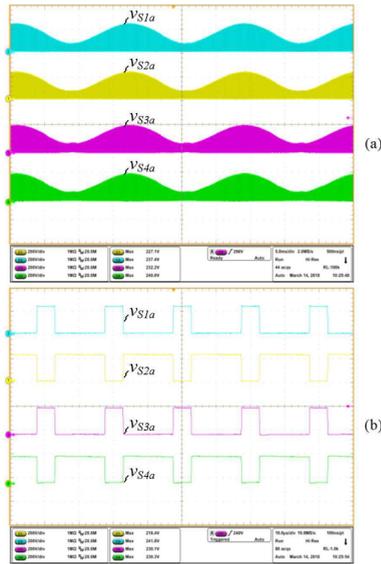


Fig. 17. Resultados experimentais: (a) tensão sobre os interruptores V_{S1a} , V_{S2a} , V_{S3a} , V_{S4a} na frequência da rede (200 V/div) e base de tempo (5 ms/div) e (b) detalhe da tensão sobre os interruptores v_{S1a} , v_{S2a} , v_{S3a} , v_{S4a} na frequência de comutação (200 V/div) e base de tempo (10 μ s/div).

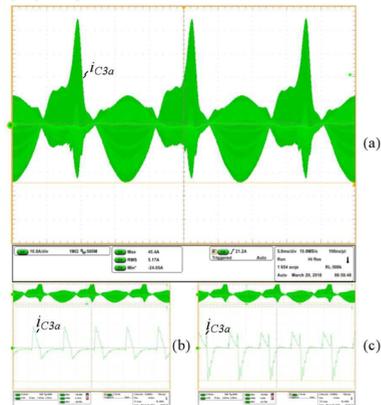


Fig. 18. Resultados Experimentais: (a) corrente no capacitor chaveado C_{3a} (10 A/div) e base de tempo (5 ms/div); (b) e (c) detalhes da corrente no capacitor chaveado C_{3a} (6 A/div) e base de tempo (10 μ s/div).

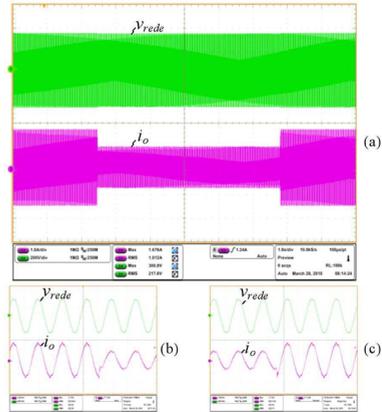


Fig. 19. Resultados Experimentais: degraus de referência da corrente injetada na rede de $\pm 50\%$. (a) tensão da rede v_{rede} (200 V/div), corrente i_o (1 A/div) e base de tempo (1 s/div); (b) detalhes da tensão da rede v_{rede} (200 V/div), corrente i_o (1 A/div) e base de tempo (10 ms/div) durante a redução do degrau; (c) detalhes da tensão da rede v_{rede} (200 V/div), corrente i_o (1 A/div) e base de tempo (10 ms/div) durante o aumento de carga.

D. Análise Harmônica

Este estudo analisou o espectro harmônico da corrente injetada na rede elétrica tanto com o conversor operando em potência nominal, Figura 20 (a), quanto com 50% de carga, Figura 20 (b). Em ambos os casos, a corrente injetada na rede elétrica atendeu os limites estabelecidos pelas normas internacionais IEC61727 e IEEE1547 [27], que ditam os limites máximos de distorção por componente harmônica, tal como é resumido na Tabela IV.

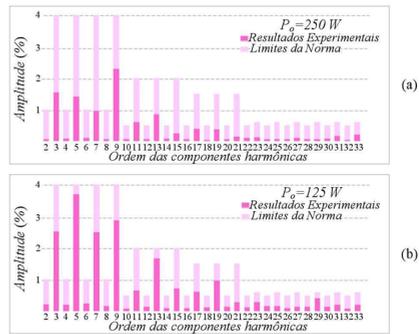


Fig. 20. Análise harmônica: a) corrente injetada na rede em potência nominal (250 W) e b) corrente injetada na rede com 50% de carga (125 W).

TABELA IV
Limites máximos de distorção harmônica.

Harmônicas ímpares	Limites
3ª a 9ª	< 4,0%
11ª a 15ª	< 2,0%
17ª a 21ª	< 1,5%
23ª a 33ª	< 0,6%
Harmônicas pares	Limites
2ª a 8ª	< 1,0%
10ª a 32ª	< 0,5%

E. Curvas de Rendimento

A curva de rendimento da topologia é exposta na Figura 21. O rendimento máximo foi de 90%, ocorrendo em potência nominal. O rendimento encontrado é equivalente ao de um sistema de duplo estágio, com rendimento de 95% por estágio.

Para justificar o emprego do conversor SCDBI em substituição ao DBI, o rendimento de ambas as topologias foi avaliado em laboratório, sob as mesmas condições de corrente de entrada, tensão aplicada aos interruptores e potência de saída do SCDBI. O valor da tensão eficaz de saída do DBI durante os testes foi mantido em 110 V, pois a supressão da CaCh reduz o ganho do conversor à metade.

A Figura 22 apresenta as curvas de rendimento do SCDBI, do DBI e da célula CaCh separadamente. Os resultados obtidos indicam que o rendimento máximo do DBI foi de 93%, enquanto do SCDBI foi de 90% e o da célula CaCh foi de 96,9%. Para essas condições, o rendimento do DBI foi superior ao SCDBI, porém, foi percebido que à medida que a razão cíclica se aproxima da unidade, seu rendimento diminui.

A Figura 23 apresenta a curva do rendimento do DBI em função do ganho estático. Devido ao fato de a tensão nos interruptores do DBI elevar-se com o aumento do ganho, na prática não foi possível traçar a curva para uma ampla excursão de ganho sem danificar o protótipo. Assim, a curva foi iniciada experimentalmente e concluída por simulação. Mediante tais resultados, nota-se que se o DBI alcançasse 220 V na saída, seu rendimento seria de aproximadamente 86%, ou seja, inferior ao obtido pelo SCDBI, 90%, na mesma condição. Sendo assim, conclui-se que SCDBI tem vantagens sobre o DBI quando deseja-se ganhos elevados, superiores a quatro vezes.

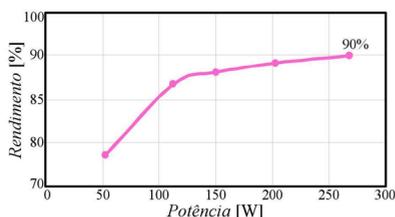


Fig. 21. Curva de rendimento do protótipo conectado à rede elétrica.

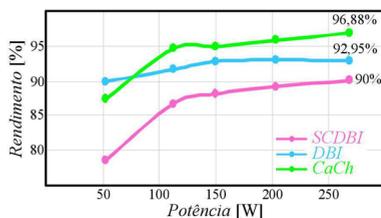


Fig. 22. Curvas de rendimento do SCDBI, do DBI e da célula CaCh.

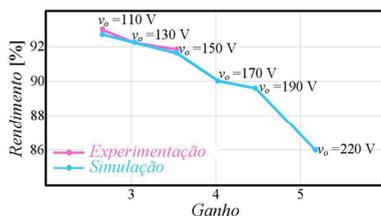


Fig. 23. Curva de rendimento do DBI em função do ganho.

A Figura 24 apresenta a análise da distribuição das perdas teóricas entre condução, comutação e magnéticas em potência nominal (250 W) do DBI e do SCDBI. Verifica-se que as maiores perdas do circuito são de condução e a maior parcela dessas perdas ocorre nos interruptores S_{1a} e S_{1b} , devido às correntes elevadas a que estão submetidos. Por isso, em laboratório, selecionaram-se, para tais componentes, interruptores com menores resistências de condução (IRFP4332Pbf), conforme Tabela III.

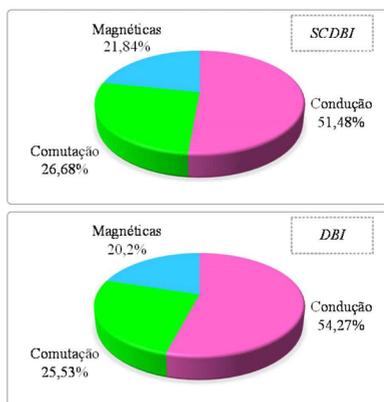


Fig. 24. Distribuição teórica das perdas: a) SCDBI e b) DBI.

Na posição dos demais interruptores foram utilizados componentes com maior resistência (*SCT2120AF*), haja vista a necessidade de limitar o pico de corrente da célula de capacitores chaveados do *SCDBI*.

Os interruptores utilizados no teste do *DBI* foram os mesmos do *SCDBI* para fins de análise. Essa configuração de interruptores possibilitou que o rendimento máximo no *SCDBI* fosse de 90%. Ressalta-se que o *SCDBI* também foi testado utilizando em todos os interruptores o *IRFP4332Pbf* ou o *SCT2120AF*, mas os resultados não foram satisfatórios, tendo rendimento máximo de 80% e 88%, respectivamente. Geralmente, busca-se utilizar interruptores com resistências menores para aumentar o rendimento da estrutura, porém em circuitos a capacitores chaveados tal relação não é de direta proporção, pois são estas resistências parasitas que limitam os picos de corrente da célula do CaCh.

V. CONCLUSÕES

Este artigo propôs a aplicação do inversor *SCDBI* conectado à conexão com a rede elétrica, utilizando filtro L, modulação unipolar (3 níveis), técnica de linearização estática e controlador linear com adição de uma malha de *feedforward*.

Os resultados experimentais comprovam o funcionamento da célula de capacitor chaveado integrada ao inversor *boost*. A topologia foi verificada com carga resistiva e conectada à rede elétrica. A corrente injetada na rede foi de ótima qualidade, tendo valores de *THD* inferiores a 5% e baixo conteúdo harmônico, tanto em baixa quanto em alta frequência. O rendimento da estrutura foi satisfatório, tendo pico de 90%.

Por fim, constatou-se que o inversor *SCDBI* é um candidato natural a inversores de estágio único, quando ganhos elevados são requeridos.

AGRADECIMENTOS

Os autores agradecem a CAPES (processo: 88881.119841/2016-01) e ao CNPq (processo: 141513/2018-7) pelo apoio financeiro.

REFERÊNCIAS

- [1] S. Z. Mohammad Noor, A. M. Omar, N. N. Mahzan, I. R. Ibrahim, "A review of single-phase single stage inverter topologies for photovoltaic system," in *Proc. of IEEE 4th Control and System Graduate Research Colloquium*, Shah Alam, 2013, pp. 69-74.
- [2] S. Kouro, J. I. Leon, D. Vinnikov, L. G. Franquelo, "Grid-Connected Photovoltaic Systems: An Overview of Recent Research and Emerging PV Converter Technology," *IEEE Industrial Electronics Magazine*, vol. 9, pp. 47-61, March 2015.
- [3] R. F. Coelho, L. Schmitz, D. C. Martins, "Proposal of a power flow control strategy applied to a hybrid microgrid," in *Proc. of IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference*, Fortaleza, 2015, pp. 1-6.
- [4] L. Schmitz, R. F. Coelho, D. C. Martins, "High step-up high efficiency dc-dc converter for module-integrated photovoltaic applications," in *Proc. of IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference*, Fortaleza, 2015, pp. 1-6.
- [5] J. Zeng, M. Zhuo, H. Cheng, T. Kim, V. Winstead, L. Wu, "Power pulsation decoupling for a two-stage single-phase photovoltaic inverter with film capacitor," in *Proc. of IEEE Energy Conversion Congress and Exposition*, Cincinnati, OH, 2017, pp. 468-474.
- [6] R. Caceres, I. Barbi, "A boost DC-AC converter: operation, analysis, control and experimentation," in *Industrial Electronics, Control, and Instrumentation*, in *Proc. of IEEE IECON 21st International Conference*, 1995, vol. 1, no., pp.546-551 vol.1.
- [7] J. Garcia, M. A. Dalla-Costa, A. Kirsten, D. Gacio, P. Quintana, "Study of a flyback-based stage as grid interface topology for micro-generation applications," in *Proc. of 15th International Power Electronics and Motion Control Conference*, Novi Sad, 2012, pp. L57a.2-1-L57a.2-6.
- [8] S. B. Kjaer, J. K. Pedersen, F. Blaabjerg, "A review of single-phase grid-connected inverters for photovoltaic modules," in *IEEE Transactions on Industry Applications*, vol. 41, no. 5, pp. 1292-1306, Sept.-Oct. 2005.
- [9] G. B. N. de Macedo. Microinversor flyback de estágio único para conexão de módulo fotovoltaico a rede elétrica. 181 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2017.
- [10] B. N. Alajmi, K. H. Ahmed, G. P. Adam, B. W. Williams, "Single-Phase Single-Stage Transformer less Grid-Connected PV System," in *IEEE Transactions on Power Electronics*, vol. 28, no. 6, pp. 2664-2676, June 2013.
- [11] K. K. H. Dia, M. A. Choudhury, Ahammad, "A single phase differential Zeta rectifier-inverter," in *Proc. of IEEE International WIE Conference on Electrical and Computer Engineering*, Dhaka, 2015, pp. 284-288.
- [12] W. Yao, X. Zhang, X. Wang, Y. Tang, P. C. Loh, F. Blaabjerg, "Power decoupling with autonomous reference generation for single-phase differential inverters," in *Proc. of 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, Geneva, 2015, pp. 1-10.
- [13] M. K. Nguyen, T. T. Tran, "A Single-Phase Single-Stage Switched-Boost Inverter with Four Switches," in *IEEE Transactions on Power Electronics*, vol. PP, no. 99, pp. 1-1.
- [14] D. Chen, Y. Qiu, Y. Chen, Y. He, "Nonlinear PWM-Controlled Single-Phase Boost Mode Grid-Connected Photovoltaic Inverter With Limited Storage Inductance Current," in *IEEE Transactions on Power Electronics*, vol. 32, no. 4, pp. 2717-2727, April 2017.
- [15] A. Kumar, P. Sensarma, "A Four-Switch Single-Stage Single-Phase Buck-Boost Inverter," in *IEEE Transactions on Power Electronics*, vol. 32, no. 7, pp. 5282-5292, July 2017.
- [16] G. V. Silva, R. F. Coelho, T. B. Lazzarin, "Switched capacitor boost inverter," in *Proc. of IEEE 25th*

- International Symposium on Industrial Electronics*, 2016, pp. 528-533.
- [17] G. V. Silva, R. F. Coelho, T. B. Lazzarin, "Switched-capacitor differential boost inverter: Static gain and generalized structure," in *Proc. of 12th IEEE International Conference on Industry Applications*, 2016, pp. 1-8.
- [18] S. Ben-Yaakov, "Behavioral Average Modeling and Equivalent Circuit Simulation of Switched Capacitors Converters," in *IEEE Transactions on Power Electronics*, vol. 27, no. 2, pp. 632-636, Feb. 2012.
- [19] N. C. Dal Pont, M. Dalla Vecchia, G. Waltrich, T. B. Lazzarin, "Step-up inverter conceived by the integration between a Full-Bridge inverter and a Switched Capacitor Converter," in *Proc. of IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference*, Fortaleza, 2015, pp. 1-6.
- [20] D. Cortes, N. Vazquez, J. Alvarez-Gallegos, "Dynamical Sliding-Mode Control of the Boost Inverter," *IEEE Transactions on Industrial Electronics*, vol. 56, pp. 3467-3476, 2009.
- [21] P. Sanchis, A. Ursaca, E. Gubia, L. Marroyo, "Boost DC-AC inverter: a new control strategy," *IEEE Transactions on Power Electronics*, vol. 20, pp. 343-353, 2005.
- [22] K. Jha, S. Mishra, A. Joshi, "High-Quality Sine Wave Generation Using a Differential Boost Inverter at Higher Operating Frequency," *IEEE Transactions on Industry Applications*, vol. 51, pp. 373-384, 2015.
- [23] G. L. Piazza, I. Barbi, "New Step-Up/Step-Down DC-AC Converter," *IEEE Transactions on Power Electronics*, vol. 29, pp. 4512-4520, 2014.
- [24] G. V. Silva, R. F. Coelho, T. B. Lazzarin, "Modelagem do Conversor Boost com Células de Capacitor Chaveado por Meio de um Conversor Equivalente de Ordem Reduzida," *SOBRAEP; Eletrôn. Potên., Campo Grande*, v. 22, n. 3, p. 288-297, jul./set. 2017
- [25] R. Middlebrook, S. Cuk, "A general unified approach to modelling switching-converter power stages," in *Proc. of Power Electronics Specialists Conference*, 1976, pp. 18-34
- [26] A. F. C. Aquino, G. Santos, U. Miranda, M. Aredes, A. C. M. Araujo, "Synchronizing circuits applied to nonlinear loads models," in *Proc. of IEEE/PES Transmision and Distribution Conference and Exposition: Latin America*, 2004, pp. 700-705.
- [27] H. H. Figueira, H. L. Hey, L. Schuch, C. Rech, L. Michels, "Brazilian grid-connected photovoltaic inverters standards: A comparison with IEC and IEEE," in *Proc. of IEEE 24th International Symposium on Industrial Electronics*, Buzios, 2015, pp. 1104-1109.

DADOS BIOGRÁFICOS

Jéssika Melo de Andrade nasceu em Florianópolis, Brasil, em julho de 1994, se formou em Sistemas Eletrônicos no Instituto Federal de Santa Catarina (IFSC) em Florianópolis, no ano de 2015. Recebeu o título de Mestre em Engenharia Elétrica pela Universidade Federal de Santa Catarina (UFSC) em Florianópolis, no ano de 2018. Atualmente é aluna de doutorado em engenharia elétrica no Instituto de Eletrônica de Potência na Universidade Federal de Santa Catarina (UFSC). Seus interesses incluem modelagem e controle aplicados a eletrônica de potência, conversores/inversores com células de ganho, energia renovável e áreas afins.

Gilberto Valentim Silva nasceu em Florianópolis-SC (1968) é engenheiro eletricitista (1992), possui mestrado (1994) em engenharia pela Universidade Federal de Santa Catarina - UFSC. Gilberto é professor do Departamento de Eletrotécnica no Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina - IFSC (1995). Atualmente é aluno de doutorado no Instituto Eletrônica de Potência da Universidade Federal de Santa Catarina, sob a supervisão do Dr. Telles B. Lazzarin e seus interesses incluem conversores a capacitor chaveado, inversores, modelagem e simulação de conversores chaveados.

Roberto Francisco Coelho nasceu em Florianópolis, em agosto de 1982. Recebeu o título de Engenheiro Eletricista, Mestre e Doutor em Engenharia Elétrica pela Universidade Federal de Santa Catarina, Florianópolis, SC, Brasil, em 2006, 2008 e 2013, respectivamente. Atualmente é professor do Departamento de Engenharia Elétrica e Eletrônica da mesma instituição, onde desenvolve trabalhos relacionados ao processamento de energia proveniente de fontes renováveis e ao controle e estabilidade de microrredes. Prof. Roberto é membro da SOBRAEP e do IEEE.

Telles Brunelli Lazzarin nasceu em Criciúma, Santa Catarina, Brasil, em 1979. Recebeu o grau de Engenheiro Eletricista, Mestre e Doutor em Engenharia Elétrica pela Universidade Federal de Santa Catarina (UFSC), Florianópolis, Brasil, em 2004, 2006 e 2010, respectivamente. Atualmente é professor no Departamento de Engenharia Elétrica e Eletrônica da UFSC. A área de concentração do Prof. Telles é em eletrônica de potência, com ênfase em energias renováveis (principalmente cônica de pequeno porte), inversores de tensão e conversores estáticos a capacitor chaveado. Prof. Telles é membro da SOBRAEP e do IEEE.

B. PARADOXO DOS CAPACITORES

Com o objetivo de uma breve discussão sobre o fenômeno do paradoxo dos capacitores, comumente discutido na literatura [61] o circuito da Figura 8.1 é brevemente analisado.

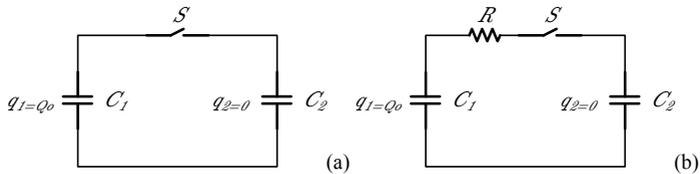


Figura 8.1 - Circuito para análise da transferência de energia.

Analisando-se a Figura 8.1(a) e, considerando-se que apenas o capacitor C_1 tenha sido previamente carregado, pode-se estimar a energia inicial do sistema $E_o = CV_o^2/2 = Q_o V_o/2 = Q_o^2/(2C)$, onde C representa a capacitância de C_1 , Q_o a carga inicialmente acumulada e V_o a tensão sobre C_1 antes do fechamento do interruptor S , no instante de tempo $t=0$. Para efeito de simplificação e sem comprometer a análise consideraremos que ambas as capacitâncias são idênticas, ou seja: $C_1 = C_2 = C$. Segundo o princípio de conservação de carga, após o fechamento do interruptor e, transcorrido o transitório, a carga total ora acumulada divide-se igualmente entre os capacitores. Obtendo-se portanto igual tensão e carga em ambos os elementos, ou seja $V_o/2$ e $Q_o/2$. Sendo assim pode-se supor que neste novo estágio tem-se a energia armazenada expressa por $CV_o^2/4$. Chegando-se, em uma análise simplista, a falsa conclusão de que apenas 50% da energia tenha sido conservada. Surge aí o paradoxo. Ainda assim pode-se concluir que durante a comutação de dois capacitores ideais, com tensões diferentes, sempre ocorrerão perdas, independente da presença de elementos ôhmicos. Ainda com relação ao paradoxo, pode-se demonstrar que, tal contradição pode ser resolvido com êxito, caso todas as variações de energia do sistema sejam adequadamente consideradas durante a transferência de carga entre os capacitores, mesmo sob a ausência de resistências. Deve-se lembrar que, em tese, neste caso a tensão varia instantaneamente, apresentando correntes de comportamento impulsivo.

A teoria clássica de circuitos elétricos descreve os fenômenos de maneira adequada desde que o comprimento de onda não atinja valores próximos as dimensões do circuito. Neste caso, a teoria eletromagnética de Maxwell poderia auxiliar no estudo dos fenômenos envolvidos. Visando a solução do referido paradoxo, diversas suposições são consideradas na literatura [94-99]. Aparentemente a teoria mais aceita seja a de que uma parcela da energia seja dissipada através de irradiação eletromagnética devido às elevadas frequências envolvidas durante o processo de transferência de carga. Visando uma abordagem mais realista, pode-se avaliar a presença de resistências relativas as chaves além dos próprios capacitores. Considerando-se toda influência de maneira concentrada, conforme ilustra a Figura 8.1(b), pode-se estimar a energia dissipada por efeito Joule:

$$\int_0^{\infty} P_{Joule} dt = \int_0^{\infty} R i^2(t) dt = \int_0^{\infty} R \left(\frac{V_o}{R} e^{-2t/(RC)} \right)^2 dt \quad (10.1)$$

Assim:

$$E_{Joule} = \frac{C V_o^2}{4} = \frac{E_o}{2} \quad (10.2)$$

Observe que até o momento considerou-se que apenas o capacitor C_1 tenha sido previamente carregado. Porém, caso o segundo capacitor apresente também carga inicial, a parcela dissipada de energia, durante a comutação, esta diretamente ligada a diferença de potencial entre ambos ΔV , podendo ser expressa por $C \Delta V^2 / 4$. Note que, visando a minimização de perdas, dever-se-ia buscar a comutação com reduzida diferença de potencial.

C. ANÁLISE POR ESPAÇO DE ESTADOS

O sistema apresentado em (10.3) descreve o modelo do conversor *HSCC*, onde \mathbf{A} , \mathbf{B} , \mathbf{C} e \mathbf{E} representam as matrizes médias calculadas em um período de comutação. O vetor relacionado às variáveis instantâneas de estado será representado por \mathbf{x} , sendo o conversor excitado através de fontes independentes presentes no vetor \mathbf{u} . Podendo-se assim obter:

$$\begin{cases} \mathbf{K}\dot{\mathbf{x}} = \mathbf{A}\mathbf{x} + \mathbf{B}\mathbf{u} \\ \mathbf{y} = \mathbf{C}\mathbf{x} + \mathbf{E}\mathbf{u} \end{cases} \quad (10.3)$$

Durante o primeiro intervalo, com o interruptor habilitado à condução, pode-se reduzir o conversor a um circuito linear, que pode ser representado pelas seguintes equações de estado:

$$\begin{cases} \mathbf{K}\dot{\mathbf{x}} = \mathbf{A}_1\mathbf{x} + \mathbf{B}_1\mathbf{u} \\ \mathbf{y} = \mathbf{C}_1\mathbf{x} + \mathbf{E}_1\mathbf{u} \end{cases} \quad (10.4)$$

Num segundo momento, com o interruptor bloqueado, novas equações de estado representando o segundo estado topológico podem ser representadas:

$$\begin{cases} \mathbf{K}\dot{\mathbf{x}} = \mathbf{A}_2\mathbf{x} + \mathbf{B}_2\mathbf{u} \\ \mathbf{y} = \mathbf{C}_2\mathbf{x} + \mathbf{E}_2\mathbf{u} \end{cases} \quad (10.5)$$

Ponderando-se cada matriz à razão cíclica D (*duty-cycle*), pode-se então determinar as matrizes médias de estado durante as etapas de operação.

$$\begin{cases} \mathbf{A} = [\mathbf{A}_1D + \mathbf{A}_2(1-D)] \\ \mathbf{B} = [\mathbf{B}_1D + \mathbf{B}_2(1-D)] \\ \mathbf{C} = [\mathbf{C}_1D + \mathbf{C}_2(1-D)] \\ \mathbf{E} = [\mathbf{E}_1D + \mathbf{E}_2(1-D)] \end{cases} \quad (10.6)$$

Para a obtenção das funções de transferência por meio da aplicação da transformada de Laplace, faz-se necessário proceder a linearização. Para tanto, consideram-se pequenas perturbações \hat{d} , $\hat{\mathbf{x}}$, $\hat{\mathbf{u}}$, e $\hat{\mathbf{y}}$ em torno do ponto de operação $D, \mathbf{X}, \mathbf{U}, \mathbf{Y}$ do conversor, conforme descreve (10.7).

$$\begin{cases} d = D + \hat{d} \\ x = X + \hat{x} \\ u = U + \hat{u} \\ y = Y + \hat{y} \end{cases} \quad (10.7)$$

Aplicando-se as relações de (10.7) em (10.3), encontra-se:

$$\begin{aligned} K[\dot{X} + \hat{x}] = & \left\{ [A_1(D + \hat{d}) + A_2(1 - D - \hat{d})] \cdot [X + \hat{x}] \right\} \dots \\ & + \left\{ [B_1(D + \hat{d}) + B_2(1 - D - \hat{d})] \right\} (U + \hat{u}) \end{aligned} \quad (10.8)$$

Ou ainda:

$$\begin{aligned} K[\dot{X} + \hat{x}] = & \left\{ [A_1 D + A_2(1 - D)] + (A_1 - A_2) \hat{d} \right\} (X + \hat{x}) \dots \\ & + \left\{ [B_1 D + B_2(1 - D)] + (B_1 - B_2) \hat{d} \right\} (U + \hat{u}) \end{aligned} \quad (10.9)$$

Distribuindo-se os termos, desconsiderando-se as parcelas infinitesimais de segunda ordem e assumindo-se que a variável de entrada é livre de perturbações ($\hat{u}=0$), tem-se:

$$\begin{aligned} K[\dot{X} + \hat{x}] = & \left\{ [A_1 D + A_2(1 - D)] X + [B_1 D + B_2(1 - D)] U \right\} \dots \\ & + \left\{ (A_1 - A_2) X + (B_1 - B_2) U \right\} \hat{d} + [A_1 D + A_2(1 - D)] \hat{x} \end{aligned} \quad (10.10)$$

Separando (10.10) em suas parcelas CC e CA, encontra-se, respectivamente:

$$K\dot{X} = [A_1 D + A_2(1 - D)] X + [B_1 D + B_2(1 - D)] U \quad (10.11)$$

$$K\hat{x} = [(A_1 - A_2) X + (B_1 - B_2) U] \hat{d} + [A_1 D + A_2(1 - D)] \hat{x} \quad (10.12)$$

Lembrando-se que em regime permanente $\dot{X} = 0$, o termo CC pode assim ser obtido:

$$X = -[A_1 D + A_2(1 - D)]^{-1} [B_1 D + B_2(1 - D)] U \quad (10.13)$$

Retomando-se o termo CA e, aplicando-se a transformada de Laplace em (10.12), encontra-se:

$$\hat{x} = \left\{ K_s - [A_1 D + A_2(1 - D)] \right\}^{-1} [(A_1 - A_2) X + (B_1 - B_2) U] \hat{d} \quad (10.14)$$

Ou ainda:

$$\hat{x} [K_s - A] = [(A_1 - A_2) X + (B_1 - B_2) U] \hat{d} \quad (10.15)$$

Podendo-se finalmente determinar a função de transferência que relaciona as variáveis de estado em função da perturbação à razão cíclica:

$$\frac{\hat{x}}{\hat{d}} = [K_s - A]^{-1} [(A_1 - A_2)X + (B_1 - B_2)U] \quad (10.16)$$

Similarmente, para a variável y de saída, pode-se obter:

$$Y = [C_1 D + C_2 (1-D)]X + [E_1 D + E_2 (1-D)]U \quad (10.17)$$

$$\hat{y} = [(C_1 - C_2)X + (E_1 - E_2)U] \hat{d} + [C_1 D + C_2 (1-D)] \hat{x} \quad (10.18)$$

Reunindo-se assim os termos CC, a partir de (10.13) e (10.17):

$$\begin{cases} X = -(A)^{-1} B U \\ Y = (-C A^{-1} B + E) U \end{cases} \quad (10.19)$$

O sistema apresentado em (10.20) representa o modelo CA de pequenos sinais obtido através da inclusão de perturbações ao modelo médio de espaço de estados [100], sendo A , B , C , E , F e H as matrizes médias em um período de comutação, enquanto \hat{d} representa a perturbação aplicada à razão cíclica.

$$\begin{cases} K\hat{x} = A\hat{x} + B\hat{u} + F\hat{d} \\ \hat{y} = C\hat{x} + E\hat{u} + H\hat{d} \end{cases} \quad (10.20)$$

Sendo as matrizes F e H definidas por:

$$F = (A_1 - A_2)X + (B_1 - B_2)U, \quad (10.21)$$

$$H = (C_1 - C_2)X + (E_1 - E_2)U. \quad (10.22)$$

De maneira resumida e, desconsiderando-se as perturbações de entrada ($\hat{u}=0$), pode-se generalizar as funções de transferência referentes ao modelo CA, para as variáveis de estado e saída, respectivamente:

$$\begin{cases} \frac{\hat{x}}{\hat{d}} = [K_s - A]^{-1} F \\ \frac{\hat{y}}{\hat{d}} = C [K_s - A]^{-1} F + H \end{cases} \quad (10.23)$$

D. ANÁLISE DE ESFORÇOS NOS COMPONENTES

Conforme discutido na Seção 2.5.3.1, neste apêndice apresenta-se a obtenção dos esforços nos componentes da topologia do conversor *boost* híbrido. A partir das variáveis de estado determinadas em regime estacionário, conforme (2.28), todos os esforços sobre os componentes podem ser identificados.

Inicialmente, apresenta-se o processo para obtenção da corrente eficaz quase instantânea do capacitor C_i :

$$\langle i_{C_{1ms}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i_{C_1}^{\prime 2}(t) dt + \int_{DT_s}^{T_s} i_{C_1}^{\prime\prime 2}(t) dt \right)}. \quad (10.24)$$

Onde:

i_{C_1}' representa a corrente no capacitor C_i referente à primeira etapa de operação, sendo obtida por meio da substituição das matrizes (2.16) a (2.19) no sistema (2.15). Apenas com o sentido de facilitar o entendimento, a referida parcela de corrente será removida da forma matricial, obtendo-se:

$$i_{C_1}'(t) = \left(\frac{-2}{3r_c}\right)v_{C_1}(t) + \left(\frac{-1}{3r_c}\right)v_{C_2}(t) + \left(\frac{1}{3r_c}\right)v_{C_3}(t) + \left(\frac{1}{3r_c}\right)v_{C_0}(t). \quad (10.25)$$

Enquanto i_{C_1}'' representa a segunda etapa e origina-se do sistema apresentado em (2.20), podendo também ser reescrito:

$$i_{C_1}''(t) = \left(\frac{1}{3}\right)i_{D_s}(t) + \left(\frac{-2}{3r_c}\right)v_{C_1}(t) + \left(\frac{-1}{3r_c}\right)v_{C_2}(t) + \left(\frac{-1}{3r_c}\right)v_{C_3}(t) + \left(\frac{2}{3r_c}\right)v_{C_0}(t). \quad (10.26)$$

Substituindo-se o vetor de equilíbrio \mathbf{X} , apresentado em (2.28) nas correntes obtidas para cada etapa de operação, pode-se reescrevê-las:

$$\langle i_{C_1}' \rangle_{T_s} = \frac{2V_i}{2R_b D(D-1) + 3r_c}, \quad (10.27)$$

$$\langle i_{C_1}'' \rangle_{T_s} = \frac{2DV_i}{(1-D)(2R_b D(1-D) + 3r_c)}. \quad (10.28)$$

Substituindo-se as equações (10.27) e (10.28) em (10.24) obtém-se:

$$\langle i_{C_{1ms}} \rangle_{T_s} = 2 \sqrt{\frac{DV_i^2}{(1-D)(2R_b D(1-D) + 3r_c)}}. \quad (10.29)$$

Novamente, recorrendo-se ao vetor \mathbf{X} e, considerando-se a corrente do indutor, pode-se identificar a parcela referente à tensão de entrada V_i que, ao ser substituída em (10.29), resulta:

$$\langle i_{C_{1ms}} \rangle_{T_s} = \frac{I_{Lb}}{4} \sqrt{\frac{1-D}{D}}. \quad (10.30)$$

De forma idêntica, as correntes nos demais capacitores podem também ser obtidas. Analisando-se o capacitor C_2 obtém-se:

$$\langle i_{C_{2ms}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i'_{C_2}(t) dt + \int_{DT_s}^{T_s} i''_{C_2}(t) dt \right)}, \quad (10.31)$$

que resulta em:

$$\langle i_{C_{2ms}} \rangle_{T_s} = \frac{I_{Lb}}{4} \sqrt{\frac{1-D}{D}}. \quad (10.32)$$

Analisando-se o capacitor C_3 obtém-se:

$$\langle i_{C_{3ms}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i'_{C_3}(t) dt + \int_{DT_s}^{T_s} i''_{C_3}(t) dt \right)}, \quad (10.33)$$

que resulta em:

$$\langle i_{C_{3ms}} \rangle_{T_s} = \frac{I_{Lb}}{2} \sqrt{\frac{1-D}{D}}. \quad (10.34)$$

Analisando-se o capacitor de saída C_o obtém-se:

$$\langle i_{C_{oms}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i'_{C_o}(t) dt + \int_{DT_s}^{T_s} i''_{C_o}(t) dt \right)}, \quad (10.35)$$

que, finalmente, resulta em:

$$\langle i_{C_{oms}} \rangle_{T_s} = \frac{I_{Lb}}{4} \sqrt{\frac{(1-D)(2D+1)^2}{D}}. \quad (10.36)$$

Ao analisar-se a corrente do interruptor S_1 , deve-se considerar que durante a primeira etapa de condução sua corrente é composta por duas parcelas, i_{C_3} e i_{Lb} . Essa corrente, porém, é nula durante a segunda etapa. Assim:

$$\langle i_{S_{1ms}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i'_{S_1}(t) dt + \int_{DT_s}^{T_s} i''_{S_1}(t) dt \right)}, \quad (10.37)$$

que resulta em:

$$\langle i_{S_{1ms}} \rangle_{T_s} = \frac{I_{Lb}(D+1)}{2\sqrt{D}}. \quad (10.38)$$

Pode-se, ainda, identificar a corrente média quase instantânea do interruptor S_j :

$$\langle i_{S_{1\text{avg}}} \rangle_{T_s} = \frac{1}{T_s} \left(\int_0^{DT_s} i'_{S1}(t) dt + \int_{DT_s}^{T_s} i''_{S1}(t) dt \right), \quad (10.39)$$

que resulta em:

$$\langle i_{S_{1\text{avg}}} \rangle_{T_s} = \frac{I_{Lb}(D+1)}{2}. \quad (10.40)$$

Ao analisar-se a corrente do diodo D_1 , deve-se considerar que durante a primeira etapa de condução sua corrente é nula. Sendo, porém composta por duas parcelas: i_{C3} e i_{Lb} durante a segunda etapa. Assim:

$$\langle i_{D_{1\text{avg}}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i_{D1}^{\prime 2}(t) dt + \int_{DT_s}^{T_s} i_{D1}^{\prime\prime 2}(t) dt \right)}, \quad (10.41)$$

que resulta em:

$$\langle i_{D_{1\text{avg}}} \rangle_{T_s} = \frac{I_{Lb}(D+1)}{2\sqrt{D}}. \quad (10.42)$$

Pode-se, ainda, identificar a corrente média quase instantânea do diodo D_j :

$$\langle i_{D_{j\text{avg}}} \rangle_{T_s} = \frac{1}{T_s} \left(\int_0^{DT_s} i'_{Dj}(t) dt + \int_{DT_s}^{T_s} i''_{Dj}(t) dt \right), \quad (10.43)$$

que resulta em:

$$\langle i_{D_{j\text{avg}}} \rangle_{T_s} = \frac{I_{Lb}(1-D)}{2}. \quad (10.44)$$

Ao analisar-se a corrente do diodo D_2 , deve-se considerar que durante a primeira etapa de condução sua corrente é idêntica a parcela de i_{C3} , sendo nula durante a segunda etapa de operação. Assim:

$$\langle i_{D_{2\text{avg}}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i_{D2}^{\prime 2}(t) dt + \int_{DT_s}^{T_s} i_{D2}^{\prime\prime 2}(t) dt \right)}, \quad (10.45)$$

que resulta em:

$$\langle i_{D_{2\text{avg}}} \rangle_{T_s} = \frac{I_{Lb}(D-1)}{2\sqrt{D}}. \quad (10.46)$$

Pode-se, ainda, identificar a corrente média quase instantânea do diodo D_2 :

$$\langle i_{D_{2,avg}} \rangle_{T_s} = \frac{1}{T_s} \left(\int_0^{DT_s} i'_{D_2}(t) dt + \int_{DT_s}^{T_s} i''_{D_2}(t) dt \right), \quad (10.47)$$

que resulta em:

$$\langle i_{D_{2,avg}} \rangle_{T_s} = \frac{I_{Lb}(1-D)}{2}. \quad (10.48)$$

Finalmente, ao analisar-se a corrente do diodo D_3 , deve-se considerar que durante a primeira etapa de condução sua corrente é nula, sendo idêntica à parcela de $-i_{C3}$ durante a segunda etapa. Assim:

$$\langle i_{D_{3,avg}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i'^2_{D_3}(t) dt + \int_{DT_s}^{T_s} i''^2_{D_3}(t) dt \right)}, \quad (10.49)$$

que resulta em:

$$\langle i_{D_{3,avg}} \rangle_{T_s} = \frac{I_{Lb}}{2} \sqrt{1-D}. \quad (10.50)$$

Pode-se, ainda, identificar a corrente média quase instantânea do diodo D_3 :

$$\langle i_{D_{3,avg}} \rangle_{T_s} = \frac{1}{T_s} \left(\int_0^{DT_s} i'_{D_3}(t) dt + \int_{DT_s}^{T_s} i''_{D_3}(t) dt \right), \quad (10.51)$$

que resulta em:

$$\langle i_{D_{3,avg}} \rangle_{T_s} = \frac{I_{Lb}(1-D)}{2}. \quad (10.52)$$

E. ANÁLISE DA DEFASAGEM DAS MODULADORAS

Analisando-se a tensão do *sub-conversor A*, em busca apenas da parcela CA:

$$v_a = \frac{kV_i}{1-d_a} \quad (10.53)$$

Considerando-se a superposição das parcelas CC e CA;

$$V_{dc} + v_{ac} = \frac{kV_i}{1-D_{dc} - d_{ac}} \quad (10.54)$$

$$V_{dc}(1-D_{dc}) - V_{dc}d_{ac} + v_{ac}(1-D_{dc} - d_{ac}) = kV_i \quad (10.55)$$

Removendo-se parcela CC:

$$V_{dc} = \frac{kV_i}{(1-D_{dc})} \quad (10.56)$$

Resta parcela CA:

$$-V_{dc}d_{ac} + v_a(1-D_{dc} - d_{ac}) = 0 \quad (10.57)$$

Substituindo-se parcela CC:

$$v_{ac} = \frac{kV_i}{(1-D_{dc})} \frac{d_{ac}}{(1-D_{dc} - d_{ac})} \quad (10.58)$$

Cada conversor com sua razão cíclica direta composta por parcelas CC e CA:

$$d_a = D_{a,dc} + D_{a,ac} \sin(\omega t) \quad \text{e} \quad d_b = D_{b,dc} + D_{b,ac} \sin(\omega t + \theta) \quad (10.59)$$

Para que os dois sub-conversores apresentem o mesmo valor médio de tensão de saída é necessário que:

$$D_{a,dc} = D_{b,dc} = D_{dc} \quad (10.60)$$

$$D_{a,ac} = D_{b,ac} = D_{ac} \quad (10.61)$$

$$\dot{D}_a = D_{ac} \quad \text{e} \quad \dot{D}_b = D_{ac} \angle \phi \quad (10.62)$$

$$\dot{V}_a = \frac{kV_i}{(1-D_{dc})} \frac{D_{ac}}{(1-D_{dc} - D_{ac})} \quad (10.63)$$

$$\dot{V}_b = \frac{kV_i}{(1-D_{dc})} \frac{D_{ac} \angle \phi}{(1-D_{dc} - D_{ac} \angle \phi)} \quad (10.64)$$

Calculando-se a tensão diferencial de saída:

$$\dot{V}_o = \dot{V}_a - \dot{V}_b = \frac{kV_i D_{ac}}{(1-D_{dc})} \left[\frac{1}{(1-D_{dc}-D_{ac})} - \frac{1\angle\phi}{(1-D_{dc}-D_{ac}\angle\phi)} \right] \quad (10.65)$$

Definindo-se:

$$K_a = \frac{kV_i D_{ac}}{(1-D_{dc})} \quad \text{e} \quad D_{dc} = (1-D_{dc}) \quad (10.66)$$

$$\dot{V}_o = K_a \left[\frac{1}{(D_{dc}-D_{ac})} - \frac{1\angle\phi}{(D_{dc}-D_{ac}\angle\phi)} \right] \quad (10.67)$$

$$\dot{V}_o = K_a \left[\frac{D_{dc}-D_{ac}\angle\phi - D_{dc}\angle\phi + D_{ac}\angle\phi}{(D_{dc}-D_{ac})(D_{dc}-D_{ac}\angle\phi)} \right] \quad (10.68)$$

$$\dot{V}_o = K_a \left[\frac{D_{dc}-D_{dc}\angle\phi}{(D_{dc}-D_{ac})(D_{dc}-D_{ac}\angle\phi)} \right] \quad (10.69)$$

$$\dot{V}_o = \frac{K_a D_{dc}}{(D_{dc}-D_{ac})} \left[\frac{(1-1\angle\phi)}{(D_{dc}-D_{ac}\angle\phi)} \right] \quad (10.70)$$

Definindo-se, apenas em busca da maximização da tensão de saída (função da defasagem)...

$$K_b = \frac{K_a D_{dc}}{(D_{dc}-D_{ac})} \quad (10.71) \sim$$

$$\dot{V}_o = K_b \left[\frac{(1-1\angle\phi)}{(D_{dc}-D_{ac}\angle\phi)} \right] \quad (10.72)$$

$$\dot{V}_o = K_b \left[\frac{(1-\cos\phi - j\sin\phi)}{(D_{dc}-D_{ac}\cos\phi - jD_{ac}\sin\phi)} \right] \quad (10.73)$$

Determinando-se apenas o módulo e fase da tensão:

$$|\dot{V}_o| = \sqrt{K_b^2 \left[\frac{(1-\cos\phi)^2 + (\sin\phi)^2}{(D_{dc}-D_{ac}\cos\phi)^2 + (D_{ac}\sin\phi)^2} \right]} \quad (10.74)$$

$$\angle \dot{V}_o = \tan^{-1} \left[\frac{-\sin\phi}{(1-\cos\phi)} \right] - \tan^{-1} \left[\frac{-D_{ac}\sin\phi}{(D_{dc}-D_{ac}\cos\phi)} \right] \quad (10.75)$$

$$|\dot{V}_o| = \sqrt{K_b^2 \left[\frac{2(1-\cos\phi)}{(D_{dc}-D_{ac}\cos\phi)^2 + (D_{ac}\sin\phi)^2} \right]} \quad (10.76)$$

$$K_c = 2K_b^2 \quad (10.77)$$

$$|\dot{V}_o|^2 = K_c \left[\frac{(1 - \cos \phi)}{(D_{dc}^2 - 2D_{dc}D_{ac} \cos \phi + (D_{ac} \cos \phi)^2 + (D_{ac} \sin \phi)^2)} \right] \quad (10.78)$$

$$|\dot{V}_o|^2 = K_c \left[\frac{(1 - \cos \phi)}{(D_{dc}^2 - 2D_{dc}D_{ac} \cos \phi + D_{ac}^2)} \right] \quad (10.79)$$

Para maximizar a função:

$$\frac{d}{d\phi} \left[\frac{(1 - \cos \phi)}{(D_{dc}^2 - 2D_{dc}D_{ac} \cos \phi + D_{ac}^2)} \right] = 0 \quad (10.80)$$

$$\frac{\sin \phi (D_{dc}^2 - 2D_{dc}D_{ac} \cos \phi + D_{ac}^2) - 2D_{dc}D_{ac} \sin \phi (1 - \cos \phi)}{(D_{dc}^2 - 2D_{dc}D_{ac} \cos \phi + D_{ac}^2)^2} = 0 \quad (10.81)$$

$$\sin \phi (D_{dc}^2 + D_{ac}^2 - 2D_{dc}D_{ac}) = 0 \quad (10.82)$$

Considerando-se as características da variável razão cíclica e, desconsiderando-se os casos que conduzem a mínima tensão de saída, pode-se identificar que o ponto crítico da função corresponde à defasagem 180° .

F. ANÁLISE DO GANHO FUNÇÃO DA RAZÃO CÍCLICA

Analisando-se apenas a tensão do *sub-conversor A*:

$$v_a = \frac{kV_i}{1-d_a} \quad (10.83)$$

$$v_b = \frac{kV_i}{1-d_b} \quad (10.84)$$

Tensão diferencial:

$$v_o = \frac{kV_i(d_a - d_b)}{(d_a - 1)(d_b - 1)} \quad (10.85)$$

Cada conversor com sua razão cíclica composta por parcelas CC e CA:

$$d_a = D_{a,dc} + D_{a,ac} \sin(\omega t) \quad \text{e} \quad d_b = D_{b,dc} + D_{b,ac} \sin(\omega t + \theta) \quad (10.86)$$

Para que os dois sub-conversores apresentem o mesmo valor médio de tensão de saída é necessário que:

$$D_{a,dc} = D_{b,dc} = D_{dc} \quad (10.87)$$

$$D_{a,ac} = D_{b,ac} = D_{ac} \quad (10.88)$$

E ainda conforme apêndice E, $\theta = 180^\circ$

$$d_a = D_{dc} + D_{ac} \sin(\omega t) \quad \text{e} \quad d_b = D_{dc} - D_{ac} \sin(\omega t) \quad (10.89)$$

Definindo-se a tensão de pico de saída e um nível mínimo de tensão CC, pode-se identificar:

$$D_{dc} = 1 - \frac{2kV_i}{2V_i + V_{opk}} \quad (10.90)$$

Desconsiderando-se as soluções que conduzem a razão cíclica negativa e/ou maior que a unidade, identifica-se a parcela alternada de razão cíclica D_{ac} :

$$D_{ac} = \frac{\sqrt{v_o^2(1-D_{dc})^2 + (kV_i)^2} - kV_i}{v_o \sin(\omega t)} \quad (10.91)$$

G. ANÁLISE DO GANHO FUNÇÃO DA TENSÃO DE SAÍDA

Analisando-se apenas a tensão do *sub-conversor A*:

$$v_a = \frac{kV_i}{1-d_a} \quad (10.92)$$

$$v_b = \frac{kV_i}{1-d_b} \quad (10.93)$$

Tensão diferencial:

$$v_o = \frac{kV_i(d_a - d_b)}{(d_a - 1)(d_b - 1)} \quad (10.94)$$

Cada conversor com sua razão cíclica composta por parcelas CC e CA:

$$d_a = D_{a,dc} + D_{a,ac} \sin(\omega t) \quad \text{e} \quad d_b = D_{b,dc} + D_{b,ac} \sin(\omega t + \theta) \quad (10.95)$$

Para que os dois sub-conversores apresentem o mesmo valor médio de tensão de saída é necessário que:

$$D_{a,dc} = D_{b,dc} = D_{dc} \quad (10.96)$$

$$D_{a,ac} = D_{b,ac} = D_{ac} \quad (10.97)$$

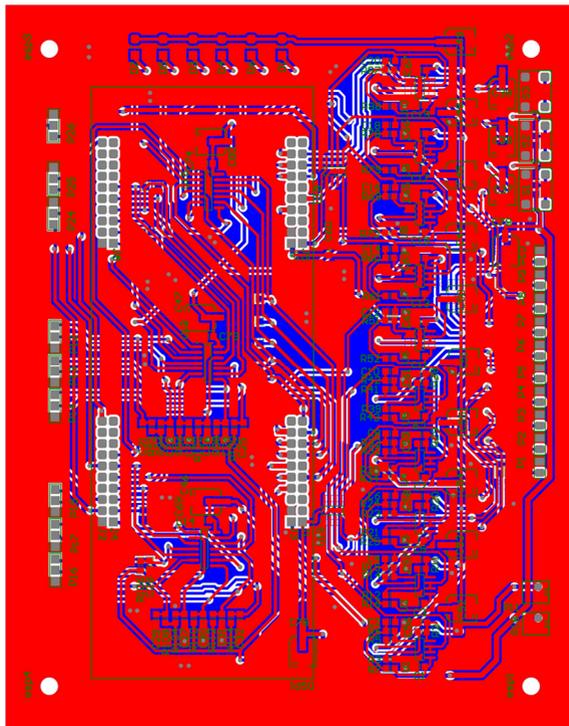
E ainda conforme apêndice E, $\theta = 180^\circ$

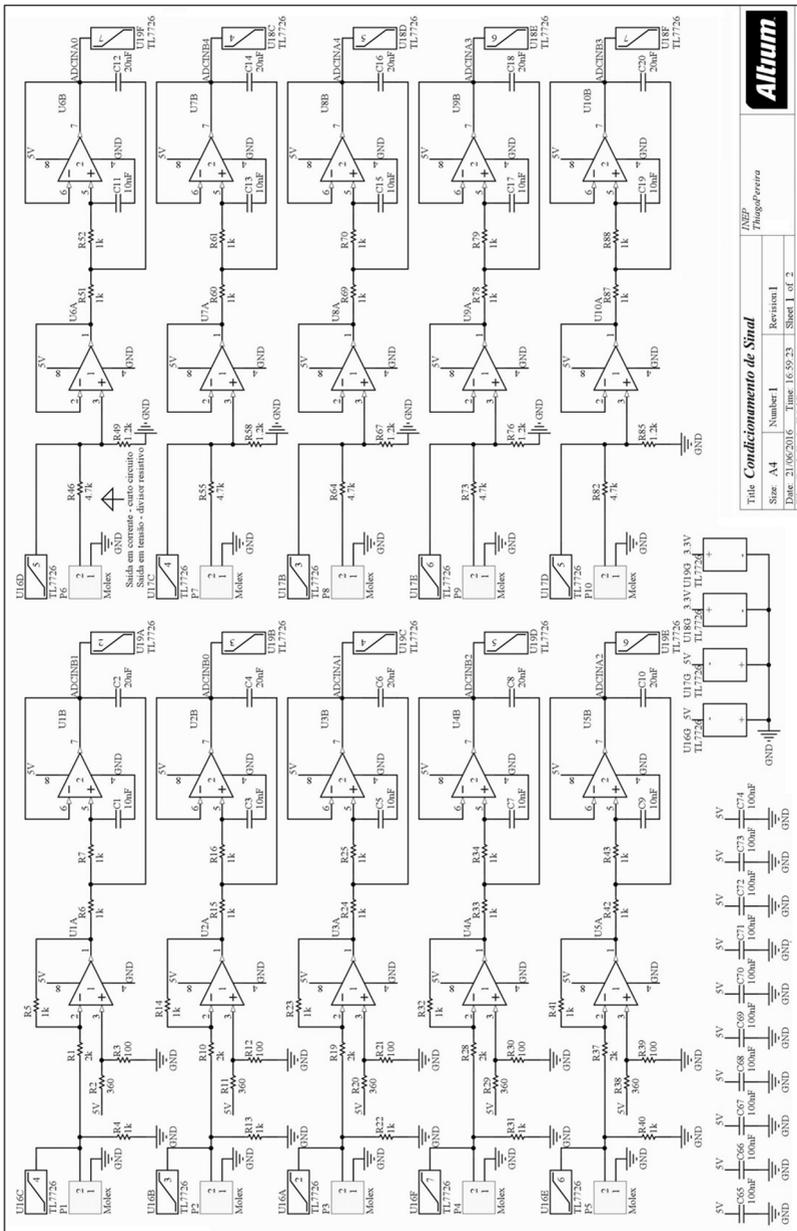
$$d_a = D_{dc} + d_{ac} \quad \text{e} \quad d_b = D_{dc} - d_{ac} \quad (10.98)$$

Tensão diferencial:

$$v_o = \frac{2kV_i d_{ac}}{(1 - D_{dc})^2 - d_{ac}^2} \quad (10.99)$$

H. ESQUEMÁTICOS E LISTA DE COMPONENTES



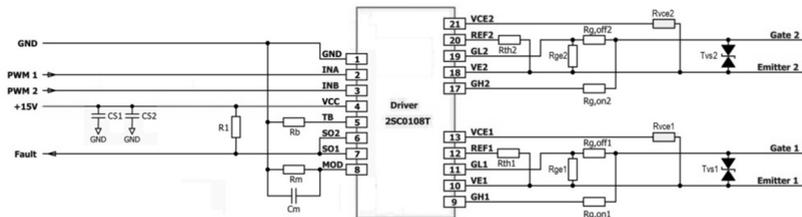


Altium

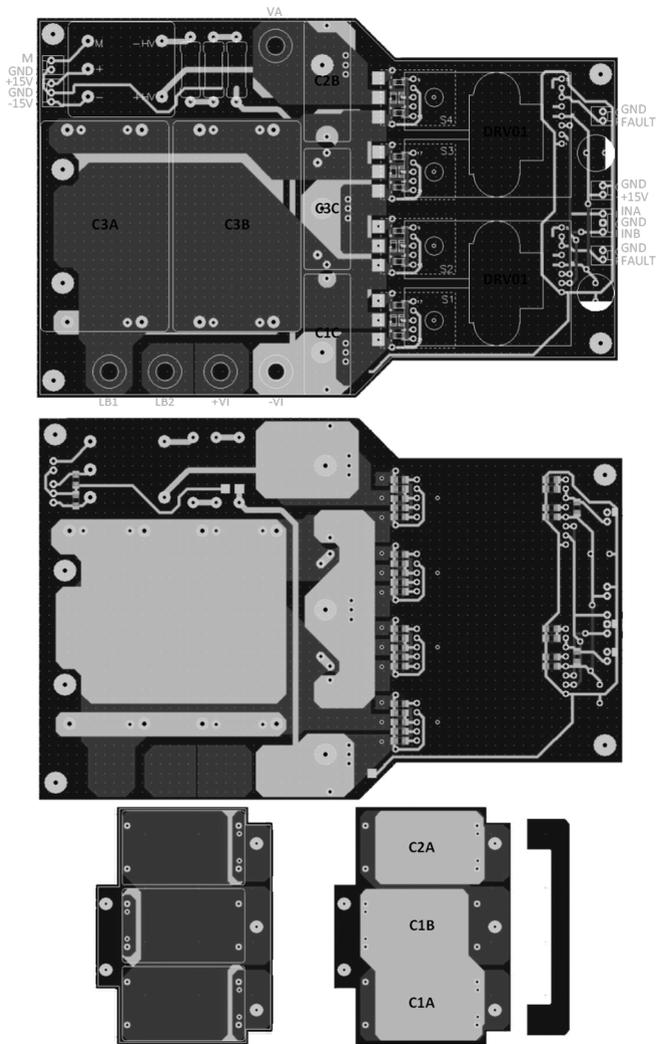
INEP
Thiago Pereira

Title		Condicionamento de Sinal	
Size: A4	Number: 1	Revision: 1	
Date: 21/06/2016	Time: 16:59:23	Sheet 1 of 2	
Dir.: C:\proj\Simul\TL7726			

COMMENT	DESCRIPTION	DESIGNATOR	FOOTPRINT	LIBREF	QTY
CAP	CAPACITOR	C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, C11, C12, C13, C14, C15, C16, C17, C18, C19, C20, C21, C22, C23, C24, C25, C26, C27, C28, C29, C30, C31, C32, C56, C57, C58, C59, C60, C61, C62, C63, C64, C65, C66, C67, C68, C69, C70, C71, C72, C73, C74, C75, C76, C81	CAP_0805	CAP_SMD_0805	54
CAP	CAPACITOR	C37,C38,C39,C44, C45,C46,C47,C48, C49,C50,C51,C52, C53,C54,C55,C77, C78, C79, C80	EEE-1CA220	EEE-1C220	19
LED_SMD	HYPER POINTLED LONG LIFE, WHITE, COLORED DIFFUSED, REVERSE MOUNT	D1, D2, D3, D4, D5, D6	LED_SMD 1206	LED_SMD	6
TMS320 F28069		DSP1	TMS320 F28069	TMS320 F28069	1
ESP_SEXT		ESP1, ESP2, ESP3, ESP4	ESP_PLASTIC	ESP_SEXT	4
MOLEX	HEADER, 2-PIN	P1, P2, P3, P4, P5, P6, P7, P8, P9, P10	HDR1X2	HEADER 2	10
MOLEX	CONNECTOR MOLEX 2 PINOS	P11, P18	MOLEX2	MOLEX2	2
MOLEX3	MOLEX3	P12,P13,P14,P15,P16, P17, P24, P25, P26	HDR1X3	MOLEX3	9
0805	RESISTOR	R1, R2, R3, R4, R5, R6, R7, R10, R11, R12, R13, R14, R15, R16, R19, R20, R21, R22, R23, R24, R25, R28, R29, R30, R31, R32, R33, R34, R37, R38, R39, R40, R41, R42, R43, R46, R49, R51, R52, R55, R58, R60, R61, R64, R67, R69, R70, R73, R76, R78, R79, R82, R85, R87, R88, R91, R92, R93, R94, R95, R96, R97, R98, R99, R100, R101, R102, R103, R104, R105, R106, R107, R108, R109, R110, R111, R112, R113, R114, R115, R116, R117, R118, R119, R120, R121, R122, R123, R124, R125, R126, R127, R128, R129	RES_0805	RES_0805	94
PUSH BUTTON	TACTILE SWITCH, DPST; THRU-HOLE; VERTICAL; RATING DC 12V, 50MA (MAX)	S1, S2, S3	PUSH BUTTON	PUSH-BUTTON	3
LMC6062_SOIC	QUADRUPLE OPERATIONAL AMPLIFIER	U1, U2, U3, U4, U5, U6, U7, U8, U9, U10	UCC37325	LMC6062_SOIC	10
SN7407	HEX NON-INVERTER	U13, U14, U15	1451_M	SN7407	3
TL7726		U16, U17, U18, U19	UCC37325	TL7726	4



COMMENT	DESCRIPTION	DESIGNATOR	FOOTPRINT	LIBREF	QTY
GATEDRV	2SC0108T2G0-17	GDRV1, GDRV2, GDRV3, GDRV4,	GDRVCCP	GDRVCCP	4
ETRL	ELECTROLYTIC 25V	CS11, CS12, CS13, CS14	ELECTROLYTIC	ELECTROLYTIC	4
CAP	CAPACITOR 100nF	CS21, CS22, CS23, CS24	CAP_0805	CAP_SMD_0805	4
CAP	CAPACITOR 22nF	CM1, CM2, CM3, CM4	CAP_0805	CAP_SMD_0805	4
0805	RESISTOR 20kR	R11, R12, R13, R14	RES_0805	RES_0805	4
0805	RESISTOR 160kR	RB1, RB2, RB3, RB4	RES_0805	RES_0805	4
0805	RESISTOR 0R	RM1, RM2, RM3, RM4	RES_0805	RES_0805	4
0805	RESISTOR 33kR	RVCE11, RVCEX21, RVCE12, RVCEX22, RVCE13, RVCEX23, RVCE14, RVCEX24	RES_0805	RES_0805	8
0805	RESISTOR 22kR	RGE11, RGEX21, RGE12, RGEX22, RGE13, RGEX23, RGE14, RGEX24	RES_0805	RES_0805	8
0805	RESISTOR 68kR	RTH11, RTHX21, RTH12, RTHX22, RTH13, RTHX23, RTH14, RTHX24	RES_0805	RES_0805	8
0805	RESISTOR 18R	RGON11, RGONX21, RGON12, RGONX22, RGON13, RGONX23, RGON14, RGONX24	RES_0805	RES_0805	8
0805	RESISTOR 18R	RGOFF11, RGOFFX21, RGOFF12, RGOFFX22, RGOFF13, RGOFFX23, RGOFF14, RGOFFX24	RES_0805	RES_0805	8
TVSX	TVSX	TVS11, TVSX21, TVS12, TVSX22, TVS13, TVSX23, TVS14, TVSX24	SMAJ18CA	SMAJ18CA	8



COMMENT	DESCRIPTION	DESIGNATOR	FOOTPRINT	LIBREF	QTY
LB	2xAPH46P60 28esp #2x435x41Awg	LB1, LB2, LB3, LB4,	LB	LB	4
SW500	IXFH60N65X2	SW1, SW2, SW3, SW4	SW500	SW500	8
SC500a	B32678G6206K	SC11, SC12, SC21, SC31, SC32	SC500a	SC500a	10
SC500b	C4ATHBU4100A3BJ	SC13, SC22, SC33	SC500b	SC500b	6
HS500	HS14050 600X600X250MM	HS500	HS500	HS500	2
LV25P	LV25P	LV25P	LV25P	LV25P	1