

José Augusto Arbugeri

**RETIFICADOR PFC OPERANDO EM ALTA
FREQUÊNCIA EMPREGANDO SEMICONDUTORES
GAN: ASPECTOS DE PROJETO, LAYOUT,
MODULAÇÃO E CONTROLE**

Trabalho submetido ao Departamento
de Engenharia Elétrica e Eletrônica
para a obtenção do Grau de Bacha-
rel em Engenharia Eletrônica.
Samir Ahmad Mussa
Universidade Federal de Santa Cata-
rina: Prof. Dr.

Florianópolis

2019

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Arbugeri, José Augusto

Retificador PFC operando em Alta frequência
empregando semicondutores GaN: aspectos de projeto,
layout, modulação e controle / José Augusto Arbugeri
; orientador, Samir Ahmad Mussa, 2019.
153 p.

Trabalho de Conclusão de Curso (graduação) -
Universidade Federal de Santa Catarina, Centro
Tecnológico, Graduação em Engenharia Eletrônica,
Florianópolis, 2019.

Inclui referências.

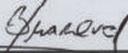
1. Engenharia Eletrônica. 2. Correção de Fator de
Potência. 3. Semicondutor GaN. 4. FPGA. 5. PWM de
Alta Resolução. I. Ahmad Mussa, Samir. II.
Universidade Federal de Santa Catarina. Graduação em
Engenharia Eletrônica. III. Título.

José Augusto Arbuseri

**RETIFICADOR PFC OPERANDO EM ALTA
FREQUÊNCIA EMPREGANDO SEMICONDUTORES
GAN: ASPECTOS DE PROJETO, LAYOUT,
MODULAÇÃO E CONTROLE**

Este Trabalho foi julgado aprovado para a obtenção do Título de “Bacharel em Engenharia Eletrônica”, e aprovado em sua forma final pelo Departamento de Engenharia Elétrica e Eletrônica.

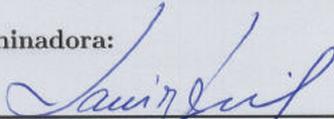
Florianópolis, 10 de Julho 2019.



Prof. Dr.

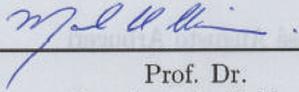
Jefferson Luiz Brum Marques
Universidade Federal de Santa Catarina

Banca Examinadora:

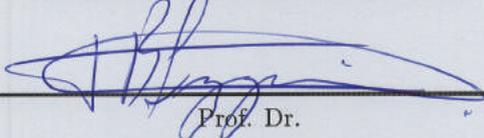


Prof. Dr.

Samir Ahmad Mussa
Universidade Federal de Santa Catarina



Prof. Dr.
Marcelo Lobo Heldwein
Universidade Federal de Santa Catarina



Prof. Dr.
Telles Brunelli Lazzarin
Universidade Federal de Santa Catarina

Este Trabalho foi julgado aprovado para a obtenção do Título de
"Bacharel em Engenharia Eletrônica", e aprovado em sua forma final
pelo Departamento de Engenharia Elétrica e Eletrônica.

Fortaleza, 10 de Julho 2019.



Prof. Dr.
Jefferson Luis Brum Marques
Universidade Federal de Santa Catarina

Banca Examinadora:



Prof. Dr.
Smiti Ajayakumar
Universidade Federal de Santa Catarina

Este trabalho é dedicado aos meus queridos pais.

AGRADECIMENTOS

Primeiramente gostaria de agradecer principalmente aos meus pais, Maria Cavanus e José Carlos Arbuseri, irmãos, Cesar Arbuseri e Eduardo Cavanus e familiares que tornaram possível estar aqui estudado na universidade federal de Santa Catarina, se não fosse pelo sacrifício de vocês jamais estaria onde estou. Sou eternamente grato pelo carinho, ensinamento que me passaram.

Ao meu orientador Samir Ahmad Mussa que me acolheu desde o começo de curso. Por acreditar no meu potencial e nunca ter desistido de mim mesmo nos momentos mais difíceis, e obrigado por comprar minhas cervejas.

Gostaria de agradecer a minha companheira Natalha Roberta Back por fazer parte da minha caminhada e pelos ensinamentos e momentos juntos. Você me fez ver a vida de outra maneira, obrigado por sempre me apoiar e ser essa pessoa única e maravilhosa. E obrigado pela ajuda na escrita e correção de meu TCC.

Aos meus colegas de curso que estiveram comigo desde o início do curso, colegas do grupo engenharia de cana: Felipe Tortato, Túlio Gomes, Maicon Francisco e Ericson Mayer, que estiveram juntos comigo desde o início da engenharia e tornaram essa jornada na engenharia mais fácil, divertida e menos dolorosa.

Um muito obrigado para meus colegas do INEP: Caio Eiteerer, Cesar Arbuseri, Murilo Lohn, Roberto Buerger, Lucas Munaretto, Vinícius Fiamoncini, Vinícius Kremer, Victor Lacerda, Wagner Hoffmann. Desde 2013 pela convivência durante todo o tempo que estive no INEP, as incontáveis risadas, as incontáveis xícaras de café, sem vocês todo esse tempo no laboratório não seria o mesmo. E aos novos IC's : Maria, Lucas e Gabriel obrigado pela companhia e boa sorte nessa nova jornada.

Aos professores do INEP com que tive prazer de ter aula : Samir Ahmad Mussa, Telles Brunelli Lazzarin, Marcelo Lobo Heldwein, Roberto Francisco Coelho e Gierry Waltrich obrigado pelo conhecimento compartilhado.

Um obrigado a toda equipe de apoio do INEP: Diogo Duarte Luiz, Antonio Luiz Schalata Pacheco, Luiz Marcellus Coelho e Angelo Manoel de Matos Leal por estar sempre a disposição para ajudar quando precisei.

Obrigado a todos outros colegas do INEP e UFSC que não citei mas tive o prazer de conviver.

E obrigado a banca, Telles Brunelli Lazzarin e Marcelo Lobo

Heldwein pelas correções e sugestões de melhoria, que engrandeceu ainda mais este trabalho.

A minha alucinação é suportar o dia-a-dia. E meu delírio é a experiência com coisas reais.

(Belchior,1976)

RESUMO

Este trabalho propõe apresentar implementação de estratégias de controle usando um FPGA de baixo custo com uma modulação de largura de pulso de alta resolução - HRPWM aplicada em um conversor monofásico de correção de fator de potência (PFC) operando com alta frequência de comutação. A topologia do PFC foi implementada usando uma meia ponte eGaN FET e usando o FPGA como modulador e controlador. Um dos efeitos mais indesejáveis devido à quantização do controle de um conversor de potência, pode ser a ocorrência de um tipo particular de instabilidade, específico para circuitos de controle digital, que é conhecido como oscilação de ciclo limite. Assim, a fim de melhorar o número de resoluções efetivas de *bits* do PWM, neste projeto foi utilizado o conceito de PWM de alta resolução (HRPWM) a fim de contornar esse problema. Os resultados experimentais foram obtidos em dois conversores, o primeiro de um protótipo de 100 W / 500 kHz com tensão de entrada de 50 V, tensão de saída de 100 V usando transistor GaN da EPC e o segundo protótipo de 1 kW / 100 kHz com tensão de entrada de 220 V RMS, tensão de saída de 380 V usando transistor GaN da GaN Systems. Os resultados finais atingiram um fator de potência de entrada ($> 0,98$), sem a ocorrência do problema de oscilação de ciclo limite.

Palavras-chave: PFC. GaN. FPGA. High Resolution PWM.

ABSTRACT

This work presents an implementation of control strategies using a low-cost FPGA with a high-resolution pulse-width modulation - HRPWM applied in a single-phase high power factor correction (PFC) converter operating at high switching frequency. The PFC topology was implemented using a half-bridge eGaN FET and using the FPGA as a controller. One of the most undesirable effects of output quantization in a digital control switch power converter may be the occurrence of a particular type of instability, specific to digital control circuits, which is known as the limit cycle oscillation. Thus, to improve the number of effective PWM bit resolutions, in this design was used an HRPWM-FPGA concept implemented in VHDL. The experimental results were obtained in two prototypes, the first of a prototype of 100 W / 500 kHz with input voltage of 50 V, output voltage of 100 V using GaN transistor available from EPC and the second prototype of 1 kW / 100 kHz with 220 V RMS input voltage, 380 V output voltage using GaN Systems GaN transistor. The final results reached an input power factor (> 0.98), without a limit cycle oscillation problem.

Keywords: PFC. GaN. FPGA. High Resolution PWM.

LISTA DE FIGURAS

Figura 1	Economia gerada pela correção de fator de potência em fonte de computadores em função da distância, imagem obtida em (KOOMEY, 2006)	32
Figura 2	Formas de ondas típicas de um retificador passivo, e o espectro de corrente, imagem obtida em (KOOMEY, 2006).....	33
Figura 3	Limites absolutos de corrente para a norma IEC61000-3-2. Imagem obtida em (LANGE, 2012)	33
Figura 4	Resistência de condução teórica versus tensão de ruptura para dispositivos de potência baseados em: Si, SiC e GaN (LIDOW, 2015).....	39
Figura 5	Forma de onda de corrente e tensão na entrada do conversor possuem uma variação em 120 Hz.....	41
Figura 6	Diagrama de para diferentes valores de tensão na entrada do conversor, mostrando que a função de transferência se altera a medida que a tensão varia, sendo assim o projeto para um ponto de operação não seja o mais adequado.	42
Figura 7	Modelo comutado ideal do conversor Boost	42
Figura 8	Etapas de operação do conversor em modo de condução contínua.....	43
Figura 9	Formas de onda das tensões e correntes no interruptor e diodo.....	44
Figura 10	Modelo médio de grandes sinais do conversor Boost. ...	45
Figura 11	Simulação do Modelo médio de grandes sinais e o modelo comutado do conversor Boost, com uma perturbação na razão cíclica (d).	46
Figura 12	Modelo CC do conversor Boost.	47
Figura 13	Modelo médio de pequenos sinais para o conversor Boost. 48	
Figura 14	Simulação da função de transferência $\frac{\tilde{v}_Q}{d}$ e o modelo comutado do conversor Boost, com uma pequena perturbação e uma grande perturbação em torno de D . Mostrando que o modelo obtido é válido para pequenas perturbações em torno de D	50
Figura 15	Conversor PFC empregando o boost.	55
Figura 16	Etapas de operação para o conversor operando em modo de condução contínua.....	56
Figura 17	Razão cíclica em função de θ e da relação entre tensão	

de saída e entrada do conversor, para três valores de relação $\frac{V_p}{V_o}$: 0,2, 0,5 e 0,8.....	57
Figura 18 Corrente normalizada ΔI_L em função dos parâmetros de tensão de saída e entrada do conversor, para três valores de relação $\frac{V_p}{V_o}$: 0,2, 0,5 e 0,8.....	58
Figura 19 Modelo para obtenção do capacitor do barramento.	59
Figura 20 Esta Figura mostra o PWM clássico, quando a referência (razão cíclica) é maior igual a portadora a saída PWM é nível lógico alto, caso contrário é setado para nível baixo.....	63
Figura 21 Fenômeno de ciclo limite na corrente de entrada do con- versor PFC.....	64
Figura 22 A arquitetura do modulador de largura de pulso de alta resolução. A razão cíclica possui 9 <i>bits</i> , contador 6 bits e o ganho de resolução é alcançado no MUX com a seleção de 3 <i>bits</i> da razão cíclica, então um PWM de 9 <i>bits</i> de resolução é obtido neste caso.	66
Figura 23 Neste exemplo a razão cíclica tem valor de "000100001", assim quando contador for igual ao razão cíclica[8:3] = "000100" o CLR0 é setado alto e após um <i>clock</i> de CLK0 esse pulso é transfe- rido para CLR0 e propagado até CLR7 após seus respectivos <i>clocks</i> , então na seleção do MUX que é feita por razão cíclica[2:0] = "001" é onde o ganho de resolução acontece. As linhas pontilhadas mostram outras possibilidades da razão cíclica diferente de razão cíclica[2:0] = "001".....	67
Figura 24 Esta Figura mostra os quatro primeiros degrau de razão cíclica, "000011000", "000011001", "000011010" e "000011011" para o HRPWM e "000011" para o PWM.....	68
Figura 25 Esta figura mostra os cinco últimos degrau de razão cíclica, "000011100", "000011101", "000011110", "000011111" e "000100000" para o HRPWM e "000100" para o PWM.....	68
Figura 26 Esta Figura mostra os passos de razão cíclica "000011000" para "000100000" onde no HRPWM tem um ganho de 3 <i>bits</i> enquanto no PWM vai de "000011" para "000100".....	69
Figura 27 Na parte superior pode ser visto resultado em relação a monotonicidade do HRPWM e no gráfico abaixo mostra o erro do HRPWM em porcentagem em relação do valor esperado pelo valor obtido.....	70
Figura 28 Diagrama de blocos do modulador PWM de alta re- solução com ganho de 3 <i>bits</i> em resolução. A portadora triangular possui 7 <i>bits</i> e o ganho de resolução é obtido na seleção dos MUX's	

a partir dos 3 <i>bits</i> menos significativos da razão cíclica. O sinal CTR_dir tem função de habilitar o SET na borda de subida e CLR na borda de descida, gerando assim o ganho de resolução na subida e descida.	72
Figura 29 Para ambos moduladores a portadora é de 7 <i>bits</i> . Entretanto no HRPWM a razão cíclica pode variar 8 pontos intermediários (2^3), de [1100010][000] à [1100010][111], antes de modificar o valor de baixa resolução (7 <i>bits</i>). No PWM de baixa resolução a razão cíclica varia imediatamente de [1100010][∅∅∅] à [1100011][∅∅∅], comprovando o ganho de 3 <i>bits</i> de resolução do HRPWM.	73
Figura 30 Corrente de entrada (I_{in}) com valor 2.46 A RMS, tensão de entrada (V_{in}) com valor 36.47 V RMS e tensão de saída (V_o) 100.2 V com uma potência média de 90 W.	75
Figura 31 Zoom na ondulação de corrente I_{in} , com um período de 500 nS que equivale a frequência de 2 Mhz.	75
Figura 32 Configuração do FPGA por AS, imagem fornecida no manual da Altera (Corporation Altera, 2016)	78
Figura 33 Conexão do FPGA e memória flash, imagem fornecida no manual da Altera (Corporation Altera, 2016)	79
Figura 34 Conexão do FPGA e Memória Flash pelo JTAG, imagem fornecida no manual da Altera (Corporation Altera, 2016)	80
Figura 35 Circuito de instrumentação utilizado para ler as grandezas elétricas do conversor.	82
Figura 36 Estrutura do conversor analógico digital com estrutura de aproximações sucessivas	86
Figura 37 <i>Layout</i> da PCB, mostrando o GND digital e analógico separando os dois lado do conversor ADC, e sua união em um único ponto.	87
Figura 38 Elementos parasitas no conversor. <i>Loop</i> de potência e os <i>Loop's</i> do <i>gate driver</i> e suas respectivas indutâncias parasitas.	89
Figura 39 Recomendações de <i>Layout</i> da PCB para diferente números de <i>layers</i> , imagem obtida no manual do fabricante (GN001, 2018) . .	89
Figura 40 Loops obtidos no <i>Layout</i> da PCB, baseado nas recomendações do fabricante.	90
Figura 41 A esquerda o GS66058T refrigerado pela parte superior (<i>top-side</i>) e a direita o GS66058B refrigerado pela parte inferior (<i>bottom-side</i>) . Imagem obtida em (GN001, 2018)	90
Figura 42 Visão transversal da PCB, mostrando o caminho térmico	

desde a junção do GaN até o ambiente. Imagem obtida no manual (GN005, 2016).....	91
Figura 43 Variação da resistência térmica com o aumento de números de vias. Imagem obtida no manual (GN005, 2016).....	92
Figura 44 Variação da resistência térmica com o número de <i>layer's</i> e espessura da PCB. Imagem obtida no manual (GN005, 2016).....	93
Figura 45 Na parte superior a vista no software Altium Designer da primeira versão da PCB e na parte inferior a PCB montada. . .	94
Figura 46 Vista lateral da PCB.	95
Figura 47 Vista superior da PCB no <i>software Altium Designer</i>	96
Figura 48 Vista superior da PCB montada.	97
Figura 49 Vista inferior da PCB no <i>software Altium Designer</i>	98
Figura 50 Vista inferior da PCB montada.	99
Figura 51 Controle da malha de corrente aplicado ao conversor PFC.....	102
Figura 52 Função de transferência de laço aberto não compensado da malha de corrente.	102
Figura 53 Bode da função de transferência em laço aberto não compensado da malha de corrente.	103
Figura 54 Função de transferência em laço aberto compensado do conversor.....	103
Figura 55 Bode da função de transferência em laço aberto compensado. Pode-se notar que a MF ficou 85° e a frequência de corte em 10 kHz.....	105
Figura 56 Controle de corrente com a referência de corrente obtida a partir da tensão retificada.	105
Figura 57 Malha de corrente e de tensão do conversor PFC.....	106
Figura 58 Diagrama de bloco do controle, com uma malha interna rápida de corrente e uma malha externa de tensão lenta.....	107
Figura 59 Diagrama de blocos do controle de tensão simplificado.	107
Figura 60 Bode da função de transferência em laço aberto não compensado da malha de tensão.....	108
Figura 61 Bode da função de transferência em laço aberto compensado. Pode-se notar que a MF ficou 90° e a frequência de corte em 6 Hz.....	109
Figura 62 Controle do PFC utilizando somente a malha de corrente, que consiste em uma constante proporcional K_I	111
Figura 63 Estratégia de controle com malha de tensão e corrente.	

A referência de tensão é 100 V, o sinal de saída do PI é subtraído de 1 e multiplicado pela malha de corrente gerando o sinal modulação para o HRPWM.....	113
Figura 64 O lugar das raízes mostra os zeros e pólos de malha aberta e os pólos de malha fechada, o caminho das raízes e a região proibida.....	114
Figura 65 Estrutura do tempo morto implementado em linguagem de descrição de hardware.....	115
Figura 66 Possibilidades de operação usando o módulo de tempo morto, com suas respectivos sinais de saída obtidos a partir do $PWMA_{in}$	117
Figura 67 Estrutura mestre escravo na comunicação SPI.....	120
Figura 68 Temporização para a interface serial do CI AD7276 usando apenas 14 ciclos de $clock$. Imagem obtida no manual (Analog Devices AD7276, 2015).....	121
Figura 69 Máquinas de estados para a implementação da comunicação SPI. Cada estado possui uma condição de permanência ou avanço de estado, exceto o estado S2.....	121
Figura 70 Representação de um número na Q16 utilizando 32 $bits$	124
Figura 71 Representação de forma qualitativa dos tempos de conversão dos ADC's, tempo de propagação do controle e a atualizações da razão cíclica. Também é possível visualizar o início da conversão do ADC, no ponto Start.....	125
Figura 72 Corrente de entrada (I_{in}) com 3 A RMS, tensão de entrada (V_{in}) com tensão pico-a-pico de 49 V e tensão saída (V_{out}) 100,86 V mean com uma potência de aproximadamente 104 W na carga.....	131
Figura 73 Zoom na ondulação de corrente da entrada I_{in} . A frequência da ondulação do indutor é de 500 kHz, que representa a frequência de comutação.....	132
Figura 74 Zoom na ondulação de tensão da saída V_{out} . A ondulação de tensão tem valor de 4 V conforme o esperado.....	132
Figura 75 O resultado para duas sequências de degrau de carga. O primeiro degrau de 50 % para 100 % e segundo degrau de 100 % para 50 %, onde 100 % representa a carga nominal (100 Ω). A primeira grade mostrar tensão de saída e transiente de corrente, com uma tensão delta de 15 volts. A segunda grade mostra a tensão de entrada e o transiente de corrente, enquanto a tensão permanece constante, a corrente aumenta e diminui com o degrau de carga...	133

Figura 76 O espectro da corrente de entrada mostra que a potência está concentrada na frequência fundamental, 60 Hz, com 8,47 Db de magnitude e a frequência comutação, 500 kHz, possui uma magnitude de -13,41 dB..... 134

Figura 79 A Razão cíclica em função de θ para $\frac{V_p}{V_o} = 0,5$ com diferentes valores de resolução: 3 bits, 5 bits e 8 bits..... 134

Figura 77 A Figura mostra como é feita e implementada a atualização da razão cíclica no FPGA. O FPGA MAX10 possui um ADC 1 MSa/s interno, onde é multiplexado entre a tensão de saída e a corrente de entrada. Para um PWM de frequência 500 kHz é possível atualizar a razão cíclica a cada novo período Entretanto para 2 MHz esta atualização é feita a cada 4 períodos podendo agravar o fenômeno de ciclo limite. 135

Figura 78 Resultado para três valores de resolução PWM: 3 bits, 5 bits e 7 bits. A coluna (a) representa resultado de simulação e a coluna (b) representa resultados experimentais..... 135

LISTA DE TABELAS

Tabela 1	Propriedades dos materiais: Si, GaN e SiC (LIDOW, 2015)	38
Tabela 2	Propriedades dos transistores de Si e GaN	40
Tabela 3	Funções de transferência de pequenos sinais para o conversor Boost	53
Tabela 4	Tabela com as especificações da primeira versão do conversor conversor	62
Tabela 5	Tabela com as especificações da segunda versão do conversor conversor	62
Tabela 6	Parâmetros dos moduladores PWM	74
Tabela 7	Possibilidades de conexão MSEL, Tabela fornecida no manual da Altera (Corporation Altera, 2016)	78
Tabela 8	Alimentações usada no FPGA e suas respectivas funções. 81	
Tabela 9	Reguladores LDO usados no FPGA	81
Tabela 10	Parâmetros utilizado para a instrumentação de cada grandeza medida	85
Tabela 11	Ganho, frequência de corte e fundo de escala para a instrumentação	85
Tabela 12	Componentes utilizados no conversor	93
Tabela 13	Especificações do conversor	101
Tabela 14	Requisitos de projeto para MF e wc para a malha de corrente	104
Tabela 15	Requisitos de projeto para MF e wc para a malha de tensão	109
Tabela 16	Registradores do módulo de tempo morto	116

LISTA DE ABREVIATURAS E SIGLAS

GaN	Nitreto de gálio
FET	Transistor de Efeito de Campo
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
RF	Radiofrequência
EPC	<i>Power Conversion Corporation</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
MCC	Modo de condução contínua
VMQI	Valores Médios Quase Instantâneos
CC-CC	Corrente Contínua para Corrente Contínua
PCB	Placa de circuito impresso
FPGA	<i>Field Programmable Gate Array</i>
SRAM	<i>Static Random Access Memory</i>
JTAG	<i>Joint Test Action Group</i>
AS	<i>Active Serial</i>
LDO	<i>Low Dropout</i>
LED	Diodo emissor de luz
DIP	<i>Dual in-line package</i>
LCD	<i>Liquid Crystal Display</i>
CMR	Rejeição de Modo Comum
ADC	Conversor Analógico digital
MSPS	Milhões de amostras por segundo
CI	Circuito integrado
ESR	Resistência equivalente série
ESI	Indutância equivalente série
TIM	Material de interface térmica
PI	Proporcional-Integral
PLL	<i>Phase-locked loop</i>
SPI	<i>Serial Peripheral Interface</i>
MISO	<i>Master-In Slave-Out</i>
MOSI	<i>Master-Out Slave-In</i>
SCK	<i>Serial Clock</i>
SS	<i>Slave Select</i>

LISTA DE SÍMBOLOS

$R_{DS(on)}$	Resistência de condução
Q_G	Carga total do gate
Q_{RR}	Carga de recuperação reversa
E_g	Band Gap
μ_n	Mobilidade elétrica
ε_r	Permissividade
λ	Condutividade térmica
V_{BR}	Tensão de ruptura
W_{drift}	Largura da região de <i>drift</i>
$E_{C_{rit}}$	Campo crítico
N_D	Número total de elétrons
C_{iss}	Capacitância de entrada
C_{oss}	Capacitância de saída
Q_g	Carga do <i>gate</i>
D_b	Diodo do Boost
S	Interruptor do Boost
V_{IN}	Tensão de Entrada do Conversor
L	Indutor de entrada do Boost
V_O	Tensão de saída do conversor
$\langle x \rangle_{T_S}$	Valor Médio da x no Período de T_S
T_S	Período de Comutação
$\langle i_S \rangle_{T_S}$	Valor Médio da Corrente no Interruptor no Período de Comutação
$\langle v_S \rangle_{T_S}$	Valor Médio da Tensão no Interruptor no Período de Comutação
$\langle i_D \rangle_{T_S}$	Valor Médio da Corrente no Diodo no Período de Comutação
$\langle v_D \rangle_{T_S}$	Valor Médio da Tensão no Diodo no Período de Comutação
d	Razão cíclica instantânea
D	Parcela Constante da Razão Cíclica d
\tilde{d}	Parcela Referente a Pequena Perturbação da Razão Cíclica
d	
i_L	Corrente Instantânea no Indutor

I_L	Parcela Constante da Corrente no Indutor i_L
\tilde{i}_L	Parcela Referente a Pequena Perturbação da Corrente no Indutor i_L
v_O	Tensão Instantânea na saída instantânea
V_O	Parcela Constante da Corrente no Indutor i_L
\tilde{v}_O	Parcela Referente a Pequena Perturbação da Corrente no Indutor i_L
G	Ganho Estático do Conversor
R	Carga de saída do conversor
C	Capacitor de saída do Boost ou Barramento
Z_O	Impedância de Saída do Conversor
G_{vd}	Função de Transferência de \tilde{v}_O por \tilde{d} do Conversor Boost
G_{id}	Função de Transferência de \tilde{i}_L por \tilde{d} do Conversor Boost
$G_{v\tilde{d}}$	Função de Transferência de \tilde{v}_O por \tilde{i}_L do Conversor Boost
$D1$	Diodo da ponte retificadora
$D2$	Diodo da ponte retificadora
$D3$	Diodo da ponte retificadora
$D4$	Diodo da ponte retificadora
L_{in}	Indutor do conversor PFC
S_s	Interruptor do conversor PFC
V_p	Tensão de pico da rede
f_l	Frequência da rede elétrica
$V_{ret}(t)$	Tensão retificada
$\overline{\Delta I_L}$	Corrente normalizada do indutor
$D(\theta)$	Razão cíclica em função de θ
X_c	A reatância do capacitor C
V_c	A tensão no capacitor
I_c	A corrente no capacitor
ΔV_{c_p}	Ondulação de tensão de saída na componente de 120 Hz
I_{c_p}	Ondulação de corrente de saída na componente de 120 Hz
I_p	Corrente de pico na entrada do conversor
$P_{in}(\theta)$	Potência de entrada em função de θ
$V_{in}(\theta)$	Potência de entrada em função de θ
$I_{in}(\theta)$	Potência de entrada em função de θ
$P_{out}(\theta)$	Potência de saída em função de θ

$I_d(\theta)$	Corrente do diodo D_b em função de θ
$I_c(\theta)$	Corrente no capacitor em função de θ
I_{c_p}	Corrente de pico no capacitor
ΔV_{cpp}	Ondulação pico a pico
R_{PMW}	Resolução do PWM
f_{clk}	Frequência do <i>clock</i> PWM
f_{pwm}	Frequência do PWM
R_{HRPWM}	Resolução do PWM de alta resolução
n	Fator de ganho de resolução
M	Número de <i>clocks</i> defasados.
T_R	Largura de tempo referente á uma unidade da resolução
N_{max}	Valor máximo do contador da portadora.
V_{cc}	Tensão de alimentação da instrumentação
D_p	Diodo de proteção para o conversor ADC
V_{dif}	Tensão diferencial na entrada da instrumentação
V_{dif+}	Tensão na entrada do circuito da porta não inversora do
ampop	
V_{dif-}	Tensão na entrada do circuito da porta inversora do ampop
R_1	Resistor da configuração diferencial
R_2	Resistor da configuração diferencial
A	Ganho em malha aberta do Ampop
V_{op}	Tensão na saída do ampop
V_+	Tensão na porta não inversora do ampop
V_-	Tensão na porta inversora do ampop
V_{of}	Tensão na saída do filtro RC
V_{if}	Tensão na entrada do filtro RC
R_b	Resistor do filtro passa baixa da instrumentação
C_b	Capacitor do filtro passa baixa da instrumentação
$H_f(s)$	Função de transferência do filtro RC
f_c	Frequência de corte do filtro RC
K_r	Tolerância dos resistores da instrumentação em porcentagem
V_{shunt}	Tensão no resistor <i>Shunt</i> .
R_{shunt}	Resistencia do resistor <i>Shunt</i> .
I_{shunt}	Corrente no resistor <i>Shunt</i> .

G_{shunt}	Ganho do resistor <i>Shunt</i> .
L_c	Indutância de modo comum
L_g	Indutância do <i>Gate loop</i>
L_p	Indutância do <i>loop</i> de potência
$R_{\theta JC}$	Resistência térmica da junção para o encapsulamento
$R_{\theta PCB}$	Resistência térmica da PCB
$R_{\theta TIM}$	Resistência térmica da TIM
$R_{\theta HSA}$	Resistência térmica dissipador para o ambiente
$FTLA_{nc}$	Função de transferência de laço aberto não compensado para a malha de corrente.
K_{PWM}	Ganho do modulador PWM
$K_i(s)$	Ganho da instrumentação de corrente
$REF_i(s)$	Referencia da malha de corrente
$C_i(s)$	Controlador da malha de corrente
ω_c	Frequência de corte do sistema compensado
MF	Margem de fase do sistema compensado
K_v	Ganho da malha de referência de corrente
I_{RMS}	Corrente nominal do conversor em valor eficaz
P_{nom}	Potencia nominal do conversor
V_{RMS}	Tensão nominal do conversor em valor eficaz
$FTMF_i(s)$	Função de transferência de malha fechada da corrente
$FTLAv_{nc}$	Função de transferência de laço aberto não compensado para a malha de tensão.
$FTLAv_c$	Função de transferência de laço aberto não compensado para a malha de tensão
$FTLAv_c$	Função de transferência de laço aberto compensado para a malha de tensão
$C_v(s)$	Controlador da malha de tensão

SUMÁRIO

1	INTRODUÇÃO	31
2	TRANSISTOR EGAN FET	37
3	MODELAGEM DO CONVERSOR	41
3.1	MODELO DE GRANDE SINAIS	41
3.2	MODELO DE PEQUENOS SINAIS	45
3.2.1	Modelo CC e CA do Conversor	47
3.2.2	Obtenção da função de transferência de tensão de saída por razão cíclica orientada ao controle.....	49
3.2.3	Obtenção da função de transferência de corrente no indutor pela razão cíclica orientada ao controle	50
3.2.4	Obtenção da função de transferência tensão de saída pela corrente no indutor orientada ao controle	51
3.2.5	Obtenção da função de transferência tensão de saída pela corrente no indutor a partir da potência	51
4	PROJETO CONVERSOR	55
4.1	DEFININDO A RAZÃO CÍCLICA PARA O CONVERSOR.....	55
4.2	PROJETO INDUTOR BOOST	56
4.3	PROJETO DO CAPACITOR DE BARRAMENTO	59
5	IMPLEMENTAÇÃO DE ARQUITETURAS PARA PWM DE ALTA RESOLUÇÃO PARA FPGA'S .	63
5.1	ABORDAGEM CLÁSSICA PARA MODULAÇÃO POR LARGURA DE PULSO	63
5.2	ARQUITETURA DE UM PWM DE ALTA RESOLUÇÃO PARA PORTADORA DENTE DE SERRA.....	64
5.2.1	Resultado experimentais da arquitetura HRPWM, análise de monotonicidade e linearidade	65
5.3	ARQUITETURA PWM DE ALTA RESOLUÇÃO PARA PORTADORA TRIANGULAR	68
5.4	RESULTADO EXPERIMENTAL COM O CONVERSOR PFC UTILIZANDO ARQUITETURA HRPWM E FREQUÊNCIA DE COMUTAÇÃO DE 2 MHZ	74
6	METODOLOGIA PARA PROJETO DA PCB ...	77
6.1	FPGA ESCOLHIDO E MÉTODOS DE GRAVAÇÕES ..	77
6.1.1	Configuração do FPGA por AS	77
6.1.2	Configuração do FPGA por JTAG	79
6.2	REQUISITOS DE ALIMENTAÇÃO PARA O FPGA	80

6.3	INTERFACE HOMEM MÁQUINA DA PCB	81
6.4	INSTRUMENTAÇÃO PARA TENSÃO E CORRENTE DO CONVERSOR.....	81
6.5	CONVERSOR ANALÓGICO DIGITAL E ASPECTOS PRATICOS DE LAYOUT	85
6.5.1	Aterramento e considerações para Layout	86
6.6	RECOMENDAÇÕES E BOA PRÁTICA NA UTILIZAÇÃO DE TRANSISTORES GAN EM PLACAS DE CIRCUITO IMPRESSO.....	87
6.6.1	Recomendações para Layout	88
6.6.2	Projeto Térmico e Layout para transistor GaN do tipo <i>bottom</i>	90
6.7	COMPONENTES DO CONVERSOR	93
6.8	RESULTADOS DA PLACA DE CIRCUITO IMPRESSO	94
7	CONTROLE PFC POR VALORES MÉDIOS	101
7.1	PROJETO DA MALHA DE CORRENTE	101
7.2	DEFININDO A REFERÊNCIA PARA A MALHA DE CORRENTE	104
7.3	PROJETO DA MALHA DE TENSÃO.....	106
8	CONTROLE PFC POR AUTO-CONTROLE	111
8.1	MALHA DE CORRENTE	111
8.2	MALHA DE TENSÃO.....	112
9	IMPLEMENTAÇÃO EM VHDL NO FPGA	115
9.1	TEMPO MORTO	115
9.2	SPI.....	119
9.3	REPRESENTAÇÃO DE NÚMEROS EM PONTO FIXO	123
9.3.0.1	Implementação do PWM de alta resolução em VHDL	124
10	RESULTADOS EXPERIMENTAIS	131
10.1	IMPACTO DA RESOLUÇÃO DA IMPLEMENTAÇÃO DE DIGITAL DO PWM	132
11	CONCLUSÃO	137
11.1	TRABALHOS FUTUROS.....	137
	REFERÊNCIAS	139
	APÊNDICE A – Esquemático da PCB	145

1 INTRODUÇÃO

Este trabalho propõem o controle baseado em um FPGA de baixo custo com uma modulação de largura de pulso de alta resolução (HRPWM) aplicado a um conversor com correção de fator de potência (PFC) de uma única fase, operando com alta frequência de comutação.

O trabalho propõe o estudo de diferentes estratégias de controle aplicado a conversores PFC operando em alta frequência, com finalidade de analisar a estabilidade e outras figuras de mérito de cada técnica para fins de comparação, já que, com o surgimento da recente tecnologia de transistores GaN, proporcionou-se que conversores possam operar em frequências maiores comparado a tecnologia MOSFET e SiC.

Conversores cada vez mais são projetados com alta frequência de comutação, com objetivo de diminuir o tamanho dos magnéticos e reduzir tamanho dos conversores. A densidade de potência e tempo de resposta são boas métricas para conversores e essas duas também são melhoradas com o aumento da frequência de comutação (LIDOW, 2015). A motivação para esse trabalho é as novas tecnologias em semicondutores de potência Gan (nitreto de gálio) para aplicação em eletrônica de potência, onde pode operar em frequências de comutação maiores comparados às tecnologias atuais assim podendo aumentar a densidade de potência dos conversores, reduzir tamanho e custos (Jones; Wang; Costinett, 2016). Entretanto a frequências do PWM e a resolução dele são inversamente proporcionais, assim a resolução do PWM determina a acurácia da tensão de saída e da corrente de entrada, logo a resolução do PWM tem um grande impacto na performance do conversor de potência. Com baixa resolução podemos obter performance indesejada no conversor ou até instabilidade e também oscilação de ciclo limite. Para contornar esse problema também é proposto a implementação em FPGA de uma técnica de PWM de alta resolução. Neste trabalho serão discutidas algumas técnica de controle para conversores PFC, como (BORGONOVO et al., 2005) e técnicas HRPWM com : (HURTA et al., 2008), (NAVARRO et al., 2012) e (GRABOVSKI; MUSSA, 2017) para operar um conversor PFC em alta frequência de comutação.

Os conversores PFC surgiram com o propósito de corrigir o fator de potência gerado por cargas não lineares, tais como retificadores (Conversor CA-CC). No início do uso da energia elétrica, a maior parte das cargas eram lineares, como cargas resistivas, os problemas gerados por potência reativas eram pouco relevantes e pouco estuda-

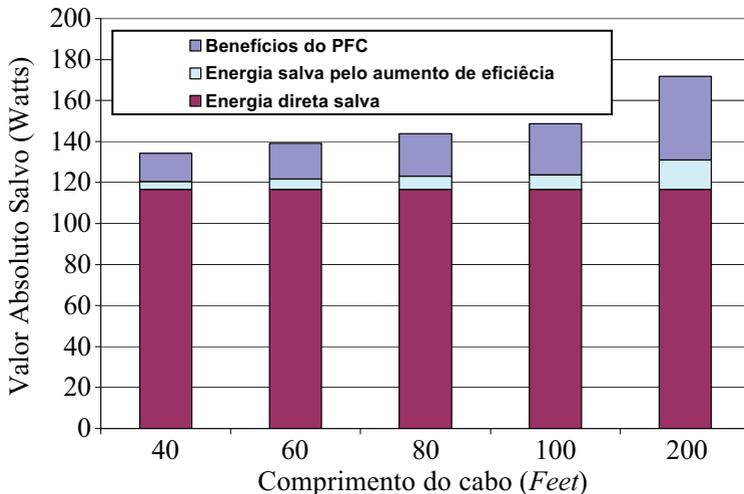


Figura 1 – Economia gerada pela correção de fator de potência em fonte de computadores em função da distância, imagem obtida em (KOOMEY, 2006)

das ou conhecidos. Com o aumento crescente de carga não lineares, os problemas começaram a surgir, gerando ocupação desnecessárias das linhas de transmissão (potência reativa) e até deformação da tensão da rede elétrica. A Figura 2 mostra as formas de onda características de um retificador passivo, como pode-se ver ela possui uma grande quantidade de harmônicos em baixa frequência, assim tendo um baixo fator de potência.

A Figura 1 mostra um estudo realizado em (KOOMEY, 2006) as economias diretas e indiretas geradas pela correção de fator de potência ativo. A economia direta se dá pela eficiência do conversor PFC e a indireta se dá pela diminuição de circulação de potência reativa pela rede, gerando uma menor ocupação da rede e economia de energia.

Devido a esses problemas surgiram normas referente as componentes harmônicas gerada por essas cargas não lineares, como por exemplo a IEC61000-3-2. A classe A é responsável por normatizar a corrente para aparelhos com potência superior a 600 W, na Figura 3 é possível ver o limite absoluto de corrente para cada harmônico.

Existem duas formas de corrigir o fator de potência, passivamente fazendo o uso de capacitores e indutores, essa forma apesar de

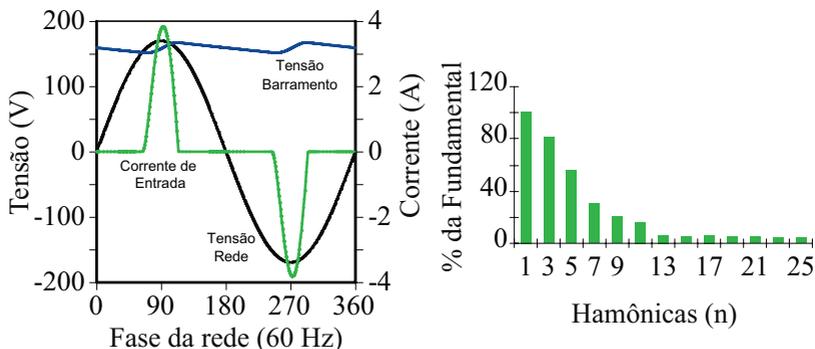


Figura 2 – Formas de ondas típicas de um retificador passivo, e o espectro de corrente, imagem obtida em (KOO MEY, 2006).

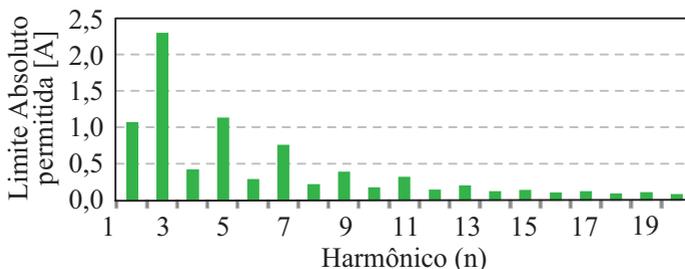


Figura 3 – Limites absolutos de corrente para a norma IEC61000-3-2. Imagem obtida em (LANGE, 2012)

simples possuem um grande volume devido a trabalharem usando baixa frequência e atende somente a um ponto específico de operação. A forma ativa, usando conversores, é a forma que vem se tornando cada vez mais utilizada e mais atrativa, devido ao uso de interruptores operando em alta frequência é possível diminuir o tamanho dos elementos armazenadores e obter um rendimento alto atendendo a uma grande faixa de cargas.

Os interruptores GaN, nova tecnologia de transistores, podem operar frequência de comutação maiores se comparado aos MOSFET, diminuindo o volume, custo e tamanho dos conversores PFC. Alguns

trabalhos relacionados a PFC e GaN, realizados no laboratório de INEP estão listados abaixo.

O primeiro trabalho (JAPPE et al., 2013), realizado em 2013 consiste em um retificador PFC monofásico com estrutura boost *interleaved*. A potência obtida foi de 75 W em uma frequência de comutação de 250 kHz com um rendimento de 95,23 %, tensão de entrada 40 V RMS e tensão de barramento 80 V.

O segundo trabalho (LOHN, 2018) consiste em uma topologia de 3 níveis monofásica, A potência obtida foi de 600 W, com uma tensão de entrada de 127 V RMS e tensão de barramento de 220 V, utilizando uma frequência de comutação de 500 KHz e um rendimento de 96 %.

O último trabalho (Jappe; Lohn; Mussa, 2019) consiste em um PFC bridgeless com potência de 915 W, tensão de entrada de 127 V RMS e 220 V de tensão de barramento, frequência de comutação de 500 kHz e um rendimento de 95,95 %.

Este trabalho trata dos aspectos do conversor PFC utilizando transistores GaN e está dividido da seguinte forma:

O capítulo 2 trata uma breve descrição das características dos transistores GaN, uma breve descrição da história e seus benefícios em comparação aos MOSFET.

O capítulo 3 trata da modelagem do conversor boost, topologia que foi utilizada neste trabalho para realizar o PFC.

O capítulo 4 apresenta o projeto do conversor, fazendo a descrição das etapas de operação e dimensionamento dos componentes do conversor.

O capítulo 5 faz uma análise do modulador PWM de alta resolução, suas características e aspectos para implementação em FPGA.

No capítulo 6 é discutido os principais aspectos na construção da placa de circuito impresso, focada à aplicação em alta frequência usando GaN e FPGA embarcado.

No capítulo 7 e 8 é demonstrado duas forma de controle aplicado a conversor PFC. O capítulo 7 trata do controle clássico por valores médios, e o capítulo 8 é demonstrado o autocontrole. Por fim, o capítulo 9 mostra as implementações em VHDL no FPGA das principais estruturas usada para controlar o conversor. Seguido do Capítulo 10 com os resultados experimentais obtidos com o conversor PFC.

Este trabalho rendeu 5 artigos, sendo 2 em revista e 3 em congresso. O primeiro trabalho de título "*High-resolution FPGA-pulse width modulation applied to PFC 2 MHz converter using eGaN field effect transistor*" publica no congresso PEMD2018 e posteriormente convidado para revista IET (Arbugeri; Mussa, 2019). O segundo foi para

a revista brasileira SOBRAEP (LOHN et al., 2019). E os dois últimos para o congresso INTELEC2019 com títulos: ”*Self-Control Applied to PFC 500 kHz Converter Using HRPWM and eGaN FET technology*” e ”*Analysis of DPWM Resolution Impact Applied to PFC Boost Converter*”.

2 TRANSISTOR EGAN FET

Os semicondutores baseados em tecnologias GaN, possuem melhores atributos quando comparada a tecnologia MOSFET tais como: baixa perdas em condução e comutação e por consequência a possibilidade de operar em elevadas frequência de comutação, na ordem de Mega Hz. Estas qualidades o tornam candidatos naturais a assumirem o mercado de dispositivos de potência. Comparado aos dispositivos de silício, o semicondutor de GaN é a tecnologia no qual a eficiência é o principal característica. O GaN tem tamanho reduzido, baixa dissipação de energia e velocidade de comutação superior em comparação com a tecnologia de silício. Neste trabalho foi utilizada uma meia ponte da placa de desenvolvimento EPC9003 com drives já inclusos no kit e também transistor GaN da GaNSystem. O propósito deste Kit é simplificar o processo de avaliação do transistor FET EPC2010 eGaN. Assim ele inclui todos os componentes críticos em uma única placa que pode ser facilmente conectada em qualquer conversor existente.

O nitreto de gálio é depositado em pastilhas de silício e processado usando equipamentos CMOS padrão, aproveitando a infraestrutura que foi desenvolvida nos últimos 60 anos. A mobilidade eletrônica excepcionalmente alta do GaN e baixo coeficiente de temperatura permitem um $R_{DS(on)}$ baixíssimo, enquanto sua estrutura de dispositivo lateral e portador diodo majoritário fornecem Q_G excepcionalmente baixo e Q_{RR} zero. O resultado final é um dispositivo que pode lidar com aplicações que têm uma frequência de comutação muito alta e baixo tempo de resposta, e aplicações onde as perdas de condução predominam.

O transistor de nitreto de gálio apareceu pela primeira vez em 2004 no contexto de aplicação de RF feito pela Eudyna Corporation no Japão. Eudyna foi capaz de produzir amplificadores de potência na faixa de frequência de vários gigahertz (LIDOW, 2015). O transistor de GaN continuou no mercado de RF com boa aceitação, porém o alto custo do dispositivo e a inconveniência da operação no modo de depleção (normalmente conduzindo e necessidade de uma tensão negativa no gate para desligar o dispositivo). Assim, em junho de 2009, a *Efficient Power Conversion Corporation* (EPC) introduziu o primeiro GaN aprimorado (enhancement-mode) em FET's de silício (eGaN) projetados especificamente como substituições para MOSFET de potência (LIDOW, 2015).

Existem cinco principais propriedades elétricas do material se-

micondutor, que são as métricas mais importantes para avaliar um transistor de potência, elas são mostradas na Tabela 1.

Tabela 1 – Propriedades dos materiais: Si, GaN e SiC (LIDOW, 2015)

Parâmetros	Unidade	Si	GaN	SiC
Band Gap (E_g)	eV	1,12	3,39	3,26
Campo critico (E_{Crit})	MV/cm	0,23	3,30	2,20
Mobilidade elétrica (μ_n)	$cm^2/V \cdot s$	1400	1500	950
Permissividade (ε_r)		11,8	9,0	9,7
Condutividade térmica (λ)	$W/cm \cdot K$	1,5	1,3	3,8

O *band gap* de um semiconductor está relacionado à força das ligações químicas entre os átomos do arranjo. Um *band gap* grande representa uma dificuldade maior para um salto de elétron de um local para outro, algumas consequências de maior *band gap* são menor *Intrinsic leakage* e temperaturas de operação mais altas, como visto na Tabela 1, tanto o GaN quanto o SiC têm *band gap* maior comparado ao silício.

Um *band gap* maior resulta em um campo elétrico crítico mais alto necessário para iniciar a ionização de impacto, a tensão limite para a falha do dispositivo pode ser aproximada por:

$$V_{BR} = \frac{1}{2} W_{drift} E_{Crit} \quad (2.1)$$

Como visto a tensão de ruptura (V_{BR}) é proporcional à largura da região de drift (W_{drift}). No caso do GaN, o W_{drift} é 10 vezes menor que no silício para um mesmo V_{BR} .

$$qN_D = \varepsilon_o \varepsilon_r \frac{E_{Crit}}{W_{drift}} \quad (2.2)$$

A resistência teórica do dispositivo é dada por (2.3), onde N_D é o número total de elétrons no volume e μ_n é a mobilidade dos elétrons.

$$R_{DS(on)} = \frac{W_{drift}}{q\mu_n N_D} \quad (2.3)$$

Combinando a equação 2.1, 2.2 e 2.3 resulta na equação que relaciona tensão de ruptura e resistência.

$$R_{DS(on)} = \frac{4V_{BR}^2}{\varepsilon_o \varepsilon_r E_{Crit}^3} \quad (2.4)$$

Na Figura 4 está representada graficamente para as três tecnologia de semicondutores, GaN, SiC e Si o $R_{DS(on)}$, assim pode-se ver o limite teórico para cada tecnologia. No mundo real, não há estruturas ideais, então o desafio é atingir o limite teórico. A Figura 4 mostra dois semicondutores GaN FET da empresa EPC, um deles, o EPC2010, utilizado neste trabalho.

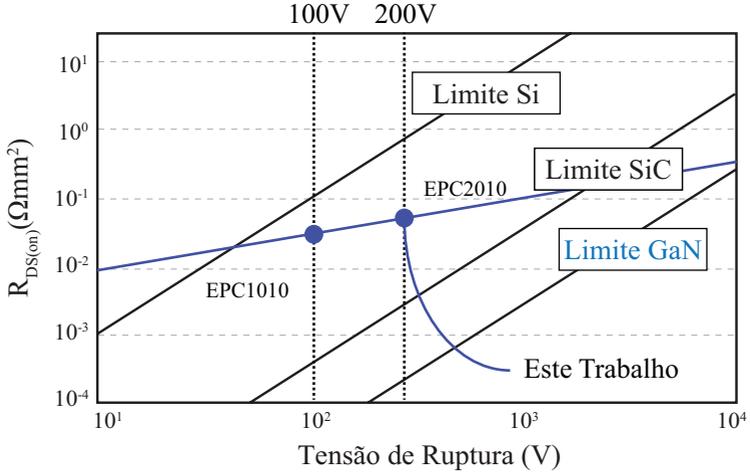


Figura 4 – Resistência de condução teórica versus tensão de ruptura para dispositivos de potência baseados em: Si, SiC e GaN (LIDOW, 2015).

Como discutido anteriormente, o $R_{DS(on)}$ do GaN se destaca em relação ao semicondutor de silício. Outra característica do GaN é que comuta mais rápido que os dispositivos Si com V_{BR} e I_{DS} similares, isso se deve ao fato de que a capacitância de entrada C_{iss} , capacitância de saída C_{oss} e a carga do capacitor de gate Q_g são menores para GaN em relação ao Si (Jones; Wang; Costinett, 2016). A Tabela 2 mostra essas características discutidas para transistores equivalentes equivalentes. Na Tabela também estão os dois modelos de GaN usado neste trabalho.

Tabela 2 – Propriedades dos transistores de Si e GaN

	GaN(EPC) EPC2010C	Si(VISHAY) SQJA20EP	GaN(GaNSystem) GS66508B
V_{BR}	200 V	200 V	650 V
I_{DS}	22 A	22.5 A	25 A
C_{iss}	380 pF	955 pF	260 pF
C_{oss}	240 pF	456 pF	65 pF
Q_g	3.7 nC	17.6 nC	5.8 nC
$R_{DS(on)}$	25 m Ω	52 m Ω	50 m Ω

3 MODELAGEM DO CONVERSOR

Importante ressaltar que o projeto realizado nesta seção não é o mais adequado para conversor CA-CC, já que a tensão de entrada e corrente de entrada do controle varia constantemente e com derivadas relativamente altas, como mostra a Figura 5.

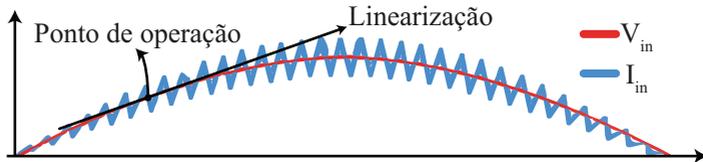


Figura 5 – Forma de onda de corrente e tensão na entrada do conversor possuem uma variação em 120 Hz.

Com a variação desses parâmetros, a planta de corrente do conversor varia constantemente, como pode ser visto na Figura 6. Assim a linearização para um ponto único se torna um projeto não adequado para o controle.

Nesta seção utilizou-se de um ponto de operação de 200 V para fazer o controle da malha de corrente, como visto na Figura 5, como dito anteriormente isso é uma aproximação grosseira que deve ser então validada através de simulações para garantir a estabilidade do controle. Outra forma mais adequada para se realizar o controle desta natureza é através de fasores dinâmicos, como apresentado no trabalho (SAGGIN, 2016). Outro trabalho que apresenta uma revisão sobre diferentes formas de linearização para essas aplicações é o (Yue; Wang; Blaabjerg, 2019), neste trabalho são apresentados diferentes maneiras de se linearizar esse tipo de sistema.

3.1 MODELO DE GRANDE SINAIS

Considere na Figura 7 o modelo comutado do conversor Boost, ou seja, constituído apenas de componentes ideais, sem perdas e comportamentos parasitas. O modelo comutado é um circuito não linear, já que é variante no tempo, e as grandezas elétricas apresentam descontinuidades nos instantes de comutação. Para que sejam aplicáveis os princípios da teoria clássica de controle, é preciso obter um modelo

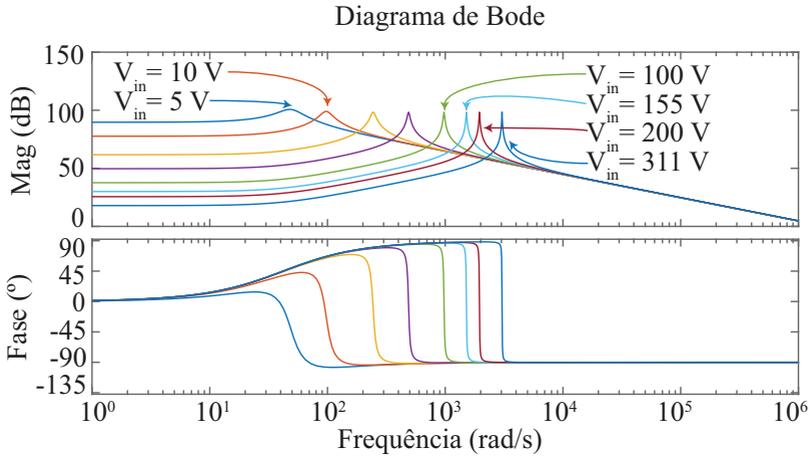


Figura 6 – Diagrama de para diferente valores de tensão na entrada do conversor, mostrando que a função de transferência se altera a medida que a tensão varia, sendo assim o projeto para um ponto de operação não seja o mais adequado.

linearizado do conversor. O primeiro passo é identificar quais são os elementos não lineares do modelo, e substituí-los por elementos lineares equivalentes. Esses elementos não lineares são: diodo D_b e o interruptor S .

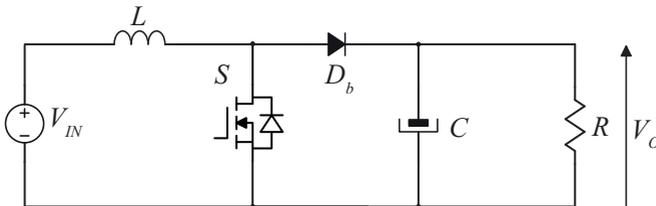


Figura 7 – Modelo comutado ideal do conversor Boost

A Figura 8 ilustra as duas etapas de operação do conversor Boost em modo de condução contínua (MCC), ao longo de um período de comutação. Durante o intervalo de tempo em que o interruptor S permanece fechado, etapa A, a tensão da entrada é aplicado sobre

o indutor, dessa forma a energia é acumulada em forma de energia magnética. O diodo D_b , estando polarizado reversamente, encontra-se bloqueado, e sua corrente é nula. A partir do momento em que o interruptor é aberto, o diodo assume a corrente do indutor, e sendo um componente ideal sua tensão é nula. Por outro lado, a tensão aplicada ao interruptor é a própria tensão de entrada V_{IN} do conversor.

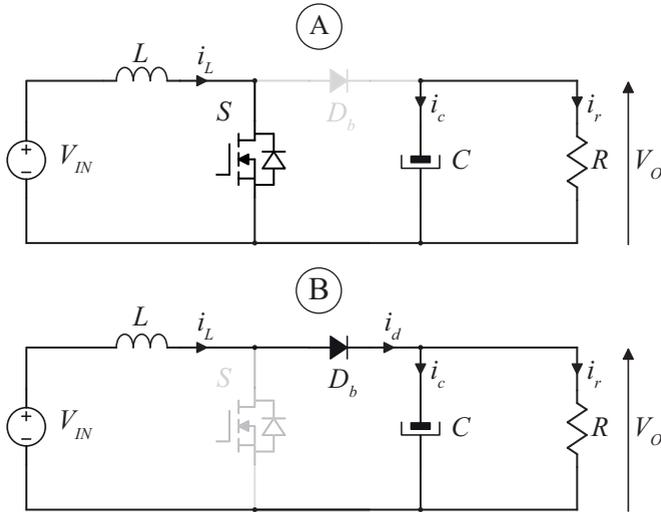


Figura 8 – Etapas de operação do conversor em modo de condução contínua.

Na Figura 9 podemos ver o comportamento das tensões e correntes no interruptor e no diodo. Durante o intervalo de tempo em que o interruptor S permanece fechado, etapa A, a tensão sobre seus terminais é nula, e a sua corrente é igual à corrente do indutor L . O diodo D_b , estando polarizado reversamente, encontra-se bloqueado, e sua corrente é nula. A partir do momento em que o interruptor é aberto, etapa B, o diodo assume a corrente do indutor, e sendo um componente ideal sua tensão é nula. Por outro lado, a tensão aplicada ao interruptor é a própria tensão de saída V_O do conversor.

Uma valiosa ferramenta para a linearização do modelo comutado é o conceito de Valores Médios Quase Instantâneos (VMQI). Este conceito parte da premissa que os valores médios das grandezas elétricas do circuito, calculados sobre um período de comutação, praticamente não variam de um período para o seguinte. A notação para o VMQI

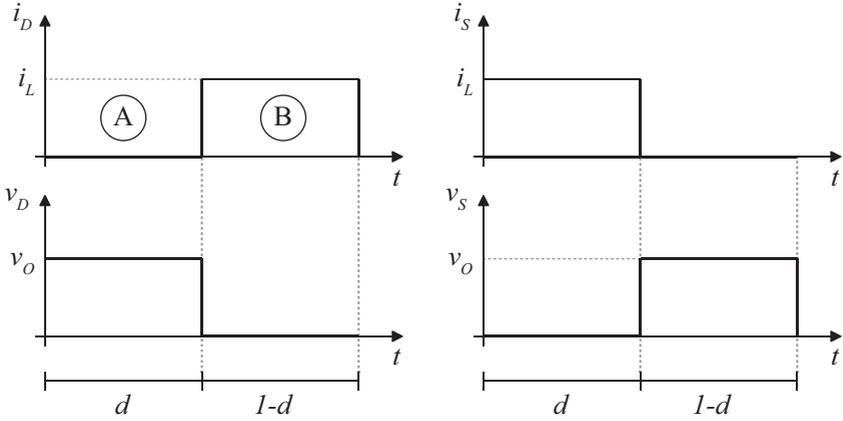


Figura 9 – Formas de onda das tensões e correntes no interruptor e diodo.

usada neste trabalho é mostrada em 3.1.

$$\langle x \rangle_{T_S} = \frac{1}{T_S} \cdot \int_0^{T_S} x(t) \cdot dt \quad (3.1)$$

onde $\langle x \rangle_{T_S}$ é o VMQI da grandeza x ao longo do período de comutação T_S .

Observando-se as formas de onda da Figura 9, e aplicando 3.1, obtêm-se as seguintes expressões para tensão e corrente no diodo e interruptor:

$$\langle i_S \rangle_{T_S} = i_L \cdot d \quad (3.2)$$

$$\langle v_S \rangle_{T_S} = v_O \cdot (1 - d) \quad (3.3)$$

$$\langle i_D \rangle_{T_S} = i_L \cdot (1 - d) \quad (3.4)$$

$$\langle v_D \rangle_{T_S} = v_O \cdot d \quad (3.5)$$

O primeiro passo para a linearização do modelo comutado é substituir a célula de comutação, isto é, o interruptor e o diodo, por fontes

controladas que representem os VMQIs das suas grandezas de interesse. A escolha das grandezas, embora livre, deve ser feita no intuito de facilitar ao máximo a análise do circuito resultante utilizando ferramentas como as Leis de Kirchoff para tensão e corrente. Neste sentido, o interruptor S na Figura 7 é substituído por uma fonte de tensão controlada de valor $\langle v_S \rangle_{T_S}$ dado por (3.3). De forma análoga, o diodo D_b é substituído por uma fonte de corrente controlada de valor $\langle i_D \rangle_{T_S}$ dado por 3.4. Chega-se então ao circuito da Figura 10, chamado de Modelo Médio de Grandes Sinais.

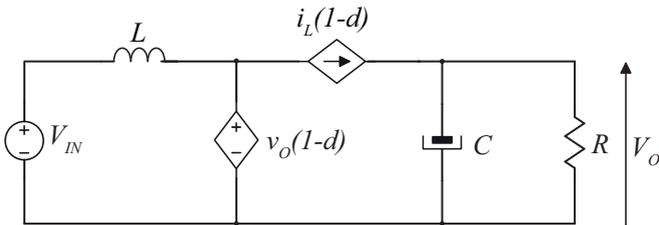


Figura 10 – Modelo médio de grandes sinais do conversor Boost.

A fim de validar o modelo médio de grandes sinais foi realizado uma simulação comparado os dois modelos, como mostra a Figura 11. Na Figura 11, fica claro que no modelo médio de grandes sinais as componentes de alta frequência referente a comutação são suprimidas, restando apenas o valor médio no período T_S .

3.2 MODELO DE PEQUENOS SINAIS

Deve-se atentar para o fato de que, embora o circuito da Figura 10 não tenha mais descontinuidade, ele ainda é não linear, pois verifica-se que $\langle i_S \rangle_{T_S}$ é o produto de duas grandezas variantes no tempo. A próxima etapa é a linearização do modelo.

O procedimento para linearização é perturbar essas grandezas em torno de um ponto de operação D , sendo a perturbação tão pequena que nesse ponto de operação D , o comportamento do conversor seja linear nesta região. Considere que a razão cíclica instantânea d é igual ao seu valor D no ponto de operação somado a uma pequena perturbação \tilde{d} . Da mesma forma, a corrente instantânea no indutor i_L é dada pela perturbação \tilde{i}_L em torno do ponto de operação I_L e assim por diante.

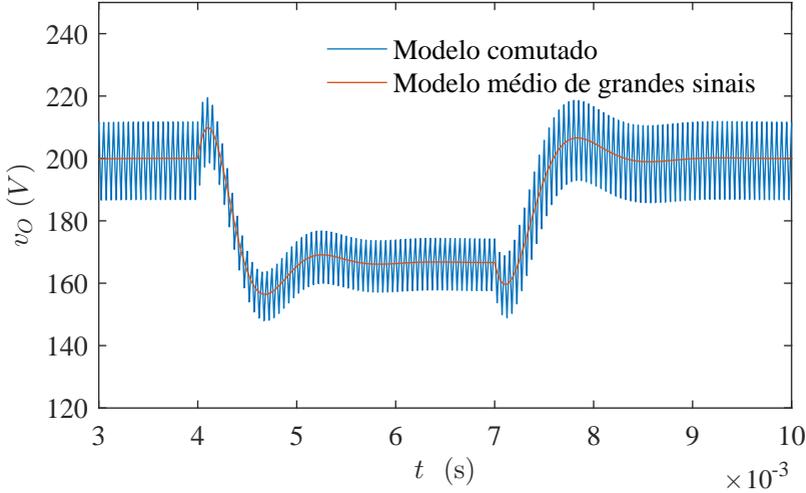


Figura 11 – Simulação do Modelo médio de grandes sinais e o modelo comutado do conversor Boost, com um perturbação na razão cíclica (d).

Na forma de equações:

$$d = D + \tilde{d} \quad (3.6)$$

$$i_L = I_L + \tilde{i}_L \quad (3.7)$$

$$v_O = V_O + \tilde{v}_O \quad (3.8)$$

Aplicando 3.6, 3.7 e 3.8 em 3.3 e 3.4, obtém-se, respectivamente:

$$V_S + \tilde{v}_S = (V_O + \tilde{v}_O) \cdot (1 - D - \tilde{d}) \quad (3.9)$$

$$I_D + \tilde{I}_D = (I_L + \tilde{i}_L) \cdot (1 - D - \tilde{d}) \quad (3.10)$$

Desenvolvendo 3.9 e 3.10 :

$$V_S + \tilde{v}_S = V_O - V_O \cdot D - V_O \cdot \tilde{d} + \tilde{v}_O - \tilde{v}_O \cdot D - \tilde{v}_O \cdot \tilde{d} \quad (3.11)$$

e

$$I_D + \widetilde{i}_D = I_L - I_L \cdot D - I_L \cdot \widetilde{d} + \widetilde{i}_L - \widetilde{i}_L \cdot D - \widetilde{i}_L \cdot \widetilde{d} \quad (3.12)$$

O termo mais à direita de 3.11 e da 3.12, por ser um produto de duas pequenas perturbações, é desprezado por ser um termo de segunda ordem, assim sendo o termo não linear do modelo de grandes sinais. O que resta da equação são parcelas CC associadas ao ponto de operação, e parcelas CA do modelo de pequenos sinais:

$$\begin{cases} V_S = V_O - V_O \cdot D = V_O \cdot (1 - D) \\ \widetilde{v}_S = -V_O \cdot \widetilde{d} + \widetilde{v}_O - \widetilde{v}_O \cdot D = \widetilde{v}_O \cdot (1 - D) - V_O \cdot \widetilde{d} \end{cases} \quad (3.13)$$

e para 3.12

$$\begin{cases} I_D = I_L - I_L \cdot D = I_L \cdot (1 - D) \\ \widetilde{i}_L = -I_L \cdot \widetilde{d} + \widetilde{i}_L - \widetilde{i}_L \cdot D = \widetilde{i}_L \cdot (1 - D) - I_L \cdot \widetilde{d} \end{cases} \quad (3.14)$$

3.2.1 Modelo CC e CA do Conversor

Com base em 3.13 e 3.14, são obtidos tanto o modelo CC da Figura 12 quanto o modelo CA (pequenos sinais) da Figura 13. Na Figura 12, o indutor L e o capacitor C foram substituídos, respectivamente, por um curto-circuito e um circuito aberto.

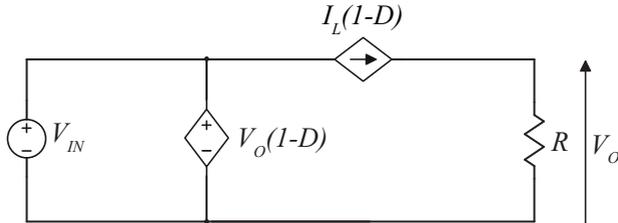


Figura 12 – Modelo CC do conversor Boost.

A partir da Figura 12 podemos obter a função de transferência do boost da tensão de saída V_O pela tensão de entrada V_{IN} , que representa o ganho estático do conversor boost:

$$V_{IN} = V_S \quad (3.15)$$

$$V_{IN} = V_O \cdot (1 - D) \quad (3.16)$$

assim o ganho estático é:

$$G = \frac{V_O}{V_{IN}} = \frac{1}{1 - D} \quad (3.17)$$

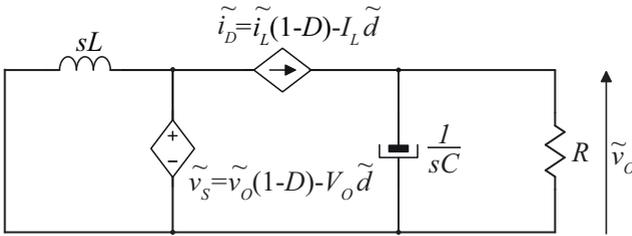


Figura 13 – Modelo médio de pequenos sinais para o conversor Boost.

A Figura 13 consiste no modelo de pequenos sinais linearizado do conversor Boost. É a partir dela que a função de transferência do conversor é obtida.

Considerando que Z_O é a impedância equivalente de saída, que é dada pelo paralelo do capacitor de saída C e a carga R :

$$Z_O = R // \frac{1}{sC} = \frac{R}{1 + sRC} \quad (3.18)$$

Com o modelo da Figura 13 pode-se obter as funções para controle como por exemplo: $\frac{\widetilde{v}_O}{d}$ para controle de tensão de saída ou $\frac{\widetilde{i}_L}{d}$ e $\frac{\widetilde{v}_O}{\widetilde{i}_L}$ para controle usando malha dupla.

Na Figura 13 pode-se representar a tensão de saída \widetilde{v}_O e a corrente no indutor \widetilde{i}_L por:

$$\begin{cases} \widetilde{v}_O = \widetilde{i}_D Z_O \\ \widetilde{i}_L = -\frac{\widetilde{v}_S}{sL} \end{cases} \quad (3.19)$$

substituindo \widetilde{v}_S e \widetilde{i}_D tem-se:

$$\begin{cases} \widetilde{v}_O = (\widetilde{i}_L(1-D) - I_L\widetilde{d})Z_O \\ \widetilde{i}_L = -\frac{\widetilde{v}_O(1-D) - V_O\widetilde{d}}{sL} \end{cases} \quad (3.20)$$

3.2.2 Obtenção da função de transferência de tensão de saída por razão cíclica orientada ao controle

A partir de 3.20 pode-se obter $\frac{\widetilde{v}_O}{d}$, $\frac{\widetilde{i}_L}{d}$ e $\frac{\widetilde{v}_O}{i_L}$. Inicialmente para obter $\frac{\widetilde{v}_O}{d}$ substituímos \widetilde{i}_L da segunda equação de 3.20 na primeira equação 3.20, assim tem-se:

$$\frac{\widetilde{v}_O}{Z_O} = -\frac{\widetilde{v}_O(1-D) - V_O\widetilde{d}}{sL}(1-D) - I_L\widetilde{d} \quad (3.21)$$

agrupado os termos semelhantes de \widetilde{v}_O e \widetilde{d} tem-se 3.27:

$$\widetilde{v}_O\left(\frac{1}{Z_O} + \frac{(1-D)^2}{sL}\right) = \widetilde{d}\left(\frac{V_O(1-D)}{sL} - I_L\right) \quad (3.22)$$

substituindo Z_O , substituindo $V_O(1-D)$ por V_{IN} e tirando o mínimo em ambos os lados :

$$\widetilde{v}_O\left(\frac{sL(1+sRC) + (1-D)^2R}{sLR}\right) = \widetilde{d}\left(\frac{V_{IN} - sLI_L}{sL}\right) \quad (3.23)$$

simplicando:

$$\widetilde{v}_O(s^2RLC + sL + (1-D)^2R) = \widetilde{d}(RV_{IN} - sRLI_L) \quad (3.24)$$

por fim obtém-se:

$$G_{vd}(s) = \frac{\widetilde{v}_O}{\widetilde{d}} = \frac{V_{IN}R - sRLI_L}{s^2RLC + sL + (1-D)^2R} \quad (3.25)$$

A equação 3.25 representa o modelo médio de pequenos sinais da tensão de saída pela razão cíclica do conversor Boost. A fim de validar o modelo médio de pequenos sinais foi realizado uma simulação comparado os dois modelos, como mostra a Figura 14. Na Figura 14 fica claro que no modelo médio de pequenos sinais representa bem o modelo comutado apenas para uma pequena perturbação em torno do ponto D . A medida que nos afastamos do ponto de operação D o erro

do modelo linearizado aumenta, como previsto, já que na equação 3.25 aparece em função do ponto de operação D .

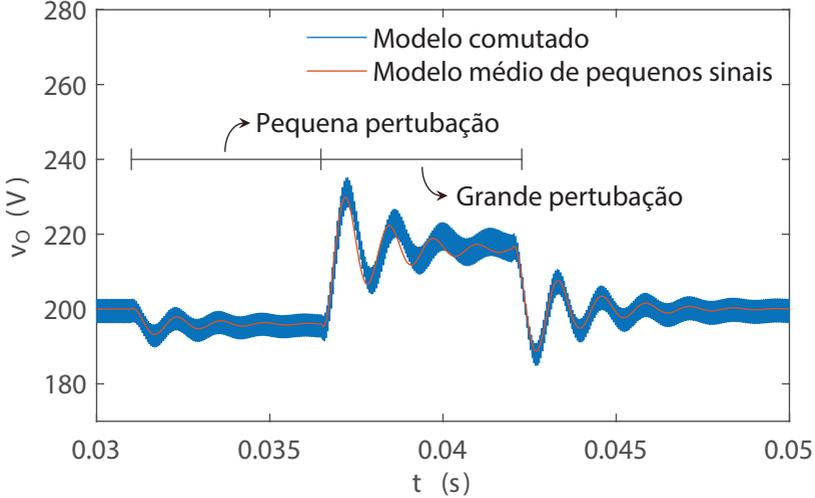


Figura 14 – Simulação da função de transferência $\frac{\tilde{v}_O}{\tilde{d}}$ e o modelo comutado do conversor Boost, com uma pequena perturbação e uma grande perturbação em torno de D . Mostrando que o modelo obtido é válido para pequenas perturbações em torno de D .

3.2.3 Obtenção da função de transferência de corrente no indutor pela razão cíclica orientada ao controle

A partir de 3.20 pode-se obter $\frac{\tilde{i}_L}{\tilde{d}}$ substituindo \tilde{v}_O da primeira equação de 3.20 na segunda equação 3.20, assim tem-se:

$$\tilde{i}_L = -\frac{(\tilde{i}_L(1-D) - \tilde{d}I_L)Z_O(1-D)}{sL} + \tilde{d}\frac{V_O}{sL} \quad (3.26)$$

agrupado os termos semelhantes de \tilde{i}_L e \tilde{d} tem-se 3.27:

$$\tilde{i}_L\left(1 + \frac{(1-D)^2}{Z_O} sL\right) = \tilde{d}\left(\frac{I_L V_O(1-D)}{sL} + \frac{V_O}{sL}\right) \quad (3.27)$$

substituindo Z_O , substituindo $I_L R(1 - D)$ por V_O e tirando o mínimo em ambos os lados :

$$\tilde{i}_L \left(\frac{sL(1 + sRC) + (1 - D)^2 R}{sL(1 + sRC)} \right) = \tilde{d} \left(\frac{V_O + V_O(1 + sRC)}{sL(1 + sRC)} \right) \quad (3.28)$$

simplicando:

$$\tilde{i}_L (s^2 RLC + sL + (1 - D)^2 R) = \tilde{d} (V_O (2 + sRC)) \quad (3.29)$$

por fim obtém-se:

$$G_{id}(s) \frac{\tilde{i}_L}{\tilde{d}} = \frac{V_O (2 + sRC)}{s^2 RLC + sL + (1 - D)^2 R} \quad (3.30)$$

3.2.4 Obtenção da função de transferência tensão de saída pela corrente no indutor orientada ao controle

Para obter $\frac{\tilde{v}_O}{\tilde{i}_L}$ usamos a seguinte expressão:

$$G_{vi}(s) = \frac{G_{vd}(s)}{G_{id}(s)} = \frac{\tilde{v}_O}{\tilde{d}} \frac{\tilde{d}}{\tilde{i}_L} \quad (3.31)$$

dessa forma temos :

$$\frac{\tilde{v}_O}{\tilde{i}_L} = \frac{V_{IN} R - sRLI_L}{s^2 RLC + sL + (1 - D)^2 R} \frac{s^2 RLC + sL + (1 - D)^2 R}{V_O (2 + sRC)} \quad (3.32)$$

simplicando:

$$\frac{\tilde{v}_O}{\tilde{i}_L} = \frac{\frac{V_{IN} R}{V_O} - \frac{sRLI_L}{V_O}}{(2 + sRC)} \quad (3.33)$$

3.2.5 Obtenção da função de transferência tensão de saída pela corrente no indutor a partir da potência

Uma outra maneira de obter a função de transferência de corrente de entrada por tensão de saída pela equação das potências do conversor. Analisando o circuito, a potência de entrada é igual à soma

dos elementos passivos, mais as perdas em todos os elementos.

$$P_{IN} = L_{in}i_L \frac{d}{dt}i_L + C_o v_o \frac{d}{dt}v_o + \frac{v_o^2}{R} + Perdas \quad (3.34)$$

Desprezando as perdas do conversor:

$$v_{in}i_{in} = L_{in}i_L \frac{d}{dt}i_L + C_o v_o \frac{d}{dt}v_o + \frac{v_o^2}{R} \quad (3.35)$$

Aplicando o modelo de pequenos sinais e considerando apenas os termos de primeira ordem:

$$V_{in}i_{in}^{\sim} = L_{in}I_L \frac{d}{dt}\tilde{i}_L + C_o V_o \frac{d}{dt}\tilde{v}_o + \frac{2V_o}{R}\tilde{v}_o \quad (3.36)$$

Aplicando a transformada de Laplace

$$\tilde{v}_o(s) \left(\frac{RCV_o s + 2V_o}{R} \right) = \tilde{i}_{in}(s) (V_{in} - L_{in}I_{in}) \quad (3.37)$$

Então, finalmente, a função de transferência da corrente de entrada para a tensão de saída é:

$$\frac{\tilde{v}_o}{\tilde{i}_L} = \frac{V_{IN}R}{V_o} - \frac{sRLI_L}{V_o} \quad (3.38)$$

Por fim neste capítulo demonstrou-se analiticamente a forma de obter as três principais plantas de controle do conversor e sua validação por meio de simulação. Essas funções de transferência serão utilizadas para projetar o controle do conversor PFC nos capítulos seguintes. A fim de organizar as equações obtidas neste capítulo dispostas na Tabela 3.

Tabela 3 – Funções de transferência de pequenos sinais para o conversor Boost

$$G_{vd}(s) \quad \frac{\tilde{v}_O}{d} = \frac{V_{IN}R - sRLI_L}{s^2RLC + sL + (1-D)^2R}$$

$$G_{id}(s) \quad \frac{\tilde{i}_L}{d} = \frac{V_O(2+sRC)}{s^2RLC + sL + (1-D)^2R}$$

$$G_{vi}(s) \quad \frac{\tilde{v}_O}{\tilde{i}_L} = \frac{\frac{V_{IN}R}{V_O} - \frac{sRLI_L}{V_O}}{(2+sRC)}$$

4 PROJETO CONVERTOR

4.1 DEFININDO A RAZÃO CÍCLICA PARA O CONVERTOR

Os retificadores PFC que empregam o conversor boost caracterizam-se por apresentar a conexão do conversor entre a ponte retificadora de diodos e o capacitor de barramento, como mostra a Figura 15.

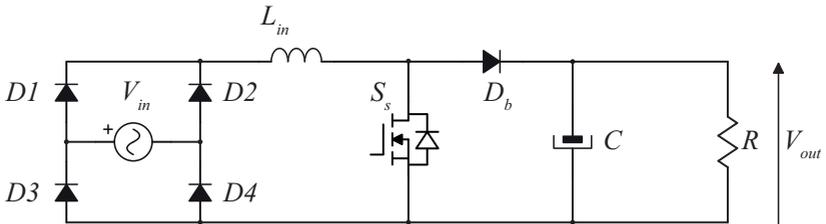


Figura 15 – Conversor PFC empregando o boost.

O conversor operando em MMC possuem duas etapas de operação, como mostra a Figura 16. Na primeira etapa o interruptor S_s conduz e o indutor L_{in} armazena energia, nesta etapa o diodo D_b está polarizado reversamente e o capacitor C transfere sua energia armazenada para carga. Na segunda etapa o interruptor S_s bloqueia e o diodo D_b passa a conduzir, o indutor transfere a energia armazenada na primeira etapa para o capacitor do barramento C . As duas etapas ocorrem tanto no semiciclo positivo da rede quanto no semiciclo negativo. No semiciclo positivo os diodos lentos $D1$ e $D4$ conduzem e $D2$ e $D3$ bloqueiam, no semiciclo negativo $D2$ e $D3$ conduzem e $D1$ e $D4$ bloqueiam.

Para o conversor boost operando em MMC o ganho estático é dado por:

$$\frac{V_o}{V_{in}} = \frac{1}{1 - D} \quad (4.1)$$

No caso de um conversor CC-CC onde a tensão de entrada é constante, com um valor de razão cíclica fixo obtém-se uma tensão constante na saída. No caso do PFC a tensão de entrada do conversor é a rede elétrica e possui formato senoidal logo sua tensão é dada por:

$$V_{in} = V_p \sin(\theta) \quad (4.2)$$

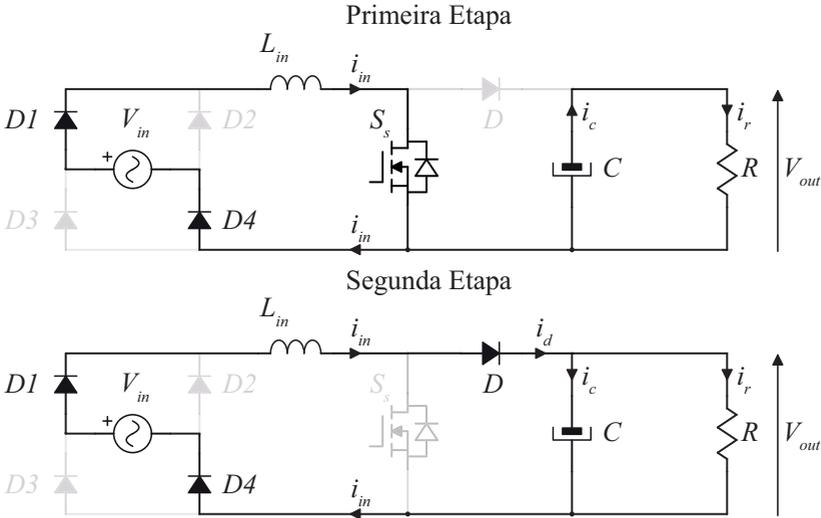


Figura 16 – Etapas de operação para o conversor operando em modo de condução contínua.

onde V_p é a tensão de pico da rede. Substituindo 4.2 em 4.1 obtemos:

$$V_p \sin(\theta) = V_o(1 - D(\theta)) \quad (4.3)$$

isolando o termo $D(\theta)$:

$$D(\theta) = 1 - \frac{V_p}{V_o} \sin(\theta) \quad (4.4)$$

É possível notar que para cada instante de tempo existe um valor de $D(\theta)$ para que a tensão de saída se mantenha constante. Como a tensão retificada tem o dobro da frequência da rede (f_l), de valor 60 Hz, assim a equação 4.4 é válida no intervalo $0^\circ \leq \theta \leq 180^\circ$ como pode ser visto na Figura 17.

4.2 PROJETO INDUTOR BOOST

Para projetar o indutor temos as duas componentes principais na corrente, uma em baixa frequência referente a tensão retificada, 120 Hz, e outra referente a frequência de comutação que possui componentes em alta frequência. Deve-se levar em conta a máxima ondulação em

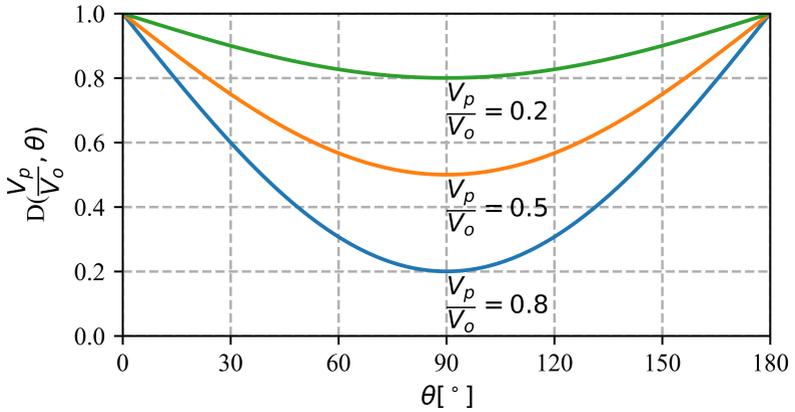


Figura 17 – Razão cíclica em função de θ e da relação entre tensão de saída e entrada do conversor, para três valores de relação $\frac{V_p}{V_o}$: 0,2, 0,5 e 0,8.

alta frequência desejada para o projeto do indutor.

A tensão retificada sobre o indutor L_{in} é dada por:

$$V_{ret}(t) = V_p \sin(\theta) \quad \theta \in [0^\circ, 180^\circ] \quad (4.5)$$

Quando o interruptor S_s está em condução tem-se a tensão retificada V_{ret} sobre o indutor L_{in} e a partir da equação volt-amper do indutor chega-se na relação 4.6

$$v_{ret}(t) = L_{in} \frac{di_L}{dt} \quad (4.6)$$

Para um período de comutação o tempo de condução do interruptor S_s é o próprio valor da razão cíclica multiplicado pelo período de comutação T_s .

$$\Delta t = D(\theta)T_s \quad (4.7)$$

Para o periodo de comutação 4.6 fica:

$$v_{ret}(t) = L_{in} \frac{\Delta I_L}{\Delta t} \quad (4.8)$$

Substituindo 4.5 e 4.7 em 4.8 tem-se:

$$D(\theta)\sin(\theta) = \frac{\Delta I_L L_{in}}{V_p T_s} \quad (4.9)$$

Substituindo a função da razão cíclica demonstrada em 4.4 em 4.9.

$$\sin(\theta) - \frac{V_p}{V_o} \sin^2(\theta) = \frac{\Delta I_L L_{in}}{V_p T_s} \quad (4.10)$$

O termo esquerdo da igualdade pode ser chamado de corrente normalizada, dado por $\overline{\Delta I_L}$

$$\overline{\Delta I_L} = \sin(\theta) - \frac{V_p}{V_o} \sin^2(\theta) \quad (4.11)$$

Assim como $D(\theta)$ tem dependência com a relação de parâmetro de projeto $\frac{V_p}{V_o}$ a corrente normalizada $\overline{\Delta I_L}$ também tem influência, a Figura 18 mostra a influência na ondulação para diferentes valores de $\frac{V_p}{V_o}$.

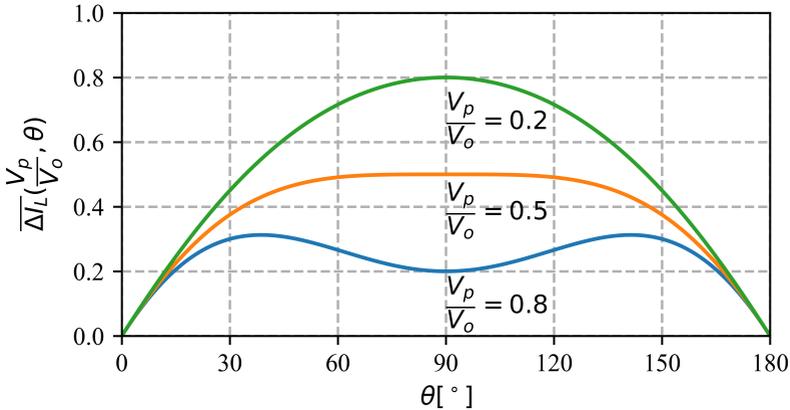


Figura 18 – Corrente normalizada $\overline{\Delta I_L}$ em função dos parâmetros de tensão de saída e entrada do conversor, para três valores de relação $\frac{V_p}{V_o}$: 0,2, 0,5 e 0,8.

Assim, determina-se a indutância para o máximo valor da corrente normalizada $\overline{\Delta I_L}_{MAX}$

$$L_{in} = \frac{\overline{\Delta I_{L_{MAX}}} V_p}{\Delta I_L f_s} \quad (4.12)$$

4.3 PROJETO DO CAPACITOR DE BARRAMENTO

O modelo para obtenção do capacitor do barramento pode ser visto na Figura 10.1. A reatância do capacitor C é dado por:

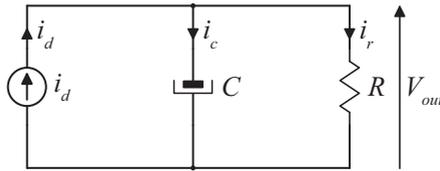


Figura 19 – Modelo para obtenção do capacitor do barramento.

$$X_c = \frac{1}{2\pi f C} \quad (4.13)$$

A tensão no capacitor é:

$$V_c = X_c I_c \quad (4.14)$$

Na componente de 120 Hz, que representa a ondulação de tensão de saída, a tensão ΔV_{c_p} é a máxima ondulação desejada, I_{c_p} é a componente de corrente na frequência para a máxima ondulação, assim temos:

$$\Delta V_{c_p} = X_c I_{c_p} \quad (4.15)$$

Substituindo 4.13 em 4.15:

$$C = \frac{I_{c_p}}{2\pi(2f_l)\Delta V_c} \quad (4.16)$$

Para chegar na expressão de C é necessário obter o valor de I_{c_p} , com a conservação de energia da entrada para saída é possível obter a expressão. Conforme a equação 4.17 e corrente de entrada 4.18 em função de θ obtém-se a potência de entrada 4.19:

$$V_{in}(\theta) = V_p \text{sen}(\theta) \quad (4.17)$$

$$I_{in}(\theta) = I_p \text{sen}(\theta) \quad (4.18)$$

$$P_{in}(\theta) = V_{in}(\theta)I_{in}(\theta) = V_p I_p \text{sen}^2(\theta) \quad (4.19)$$

A expressão para a potência instantânea de saída é:

$$P_{out}(\theta) = V_{out}I_d(\theta) \quad (4.20)$$

onde I_d é corrente que passa pelo diodo D_b . Desconsiderando-se as perdas do conversor tem-se:

$$P_{out}(\theta) = P_{in}(\theta) \quad (4.21)$$

substituindo 4.19 e 4.20 em 4.21 obtém-se I_d :

$$I_d(\theta) = \frac{V_p I_p \text{sen}^2(\theta)}{V_{out}} \quad (4.22)$$

Usando a seguinte propriedade trigonométrica:

$$\text{sen}^2(\theta) = \frac{1}{2} - \frac{1}{2}\cos(2\theta) \quad (4.23)$$

na equação 4.22 obtemos:

$$I_d(\theta) = \frac{1}{2} \frac{V_p I_p}{V_{out}} - \frac{1}{2} \frac{V_p I_p}{V_{out}} \cos(2\theta) \quad (4.24)$$

A potência média de entrada para o PFC pode ser calculada por 4.25:

$$P_{in} = V_{rms} I_{rms} = \frac{V_p}{\sqrt{2}} \frac{I_p}{\sqrt{2}} \quad (4.25)$$

Substituindo 4.25 e 4.21 em 4.26:

$$I_d(\theta) = \frac{P_{out}}{V_{out}} - \frac{P_{out}}{V_{out}} \cos(2\theta) \quad (4.26)$$

A componente contínua da corrente I_d não circula pelo capacitor já que para CC ele comporta-se como um circuito aberto, assim a corrente I_c é:

$$I_c(\theta) = \frac{P_{out}}{V_{out}} \cos(2\theta) \quad (4.27)$$

A máxima corrente I_{c_p} ocorre quando $\cos(2\theta)$ é um, então I_{c_p} é:

$$I_{c_p} = \frac{P_{out}}{V_{out}} \quad (4.28)$$

Substituindo 4.28 em 4.16:

$$C = \frac{P_{out}}{4\pi f_l V_{out} \Delta V_c} \quad (4.29)$$

Sabendo que ΔV_c é a ondulação de pico e que a ondulação pico a pico é dado por:

$$\Delta V_c = \frac{\Delta V_{cpp}}{2} \quad (4.30)$$

Por fim substituindo 4.30 em 4.29 obtém-se a expressão que relaciona os parâmetros do conversor com o valor de capacitância C .

$$C = \frac{P_{out}}{2\pi f_l V_{out} \Delta V_{cpp}} \quad (4.31)$$

Nota-se que na equação 4.31 o único parâmetro de ajuste para o projetista é a ondulação de tensão, já que, os outros parâmetros são requisitos do projeto que normalmente não podem ser alterados. Na literatura recomenda-se valores de ondulação de tensão menores que 10% de V_{out} . Importante notar que nos retificadores PFC monofásicos o valor de capacitância é inversamente proporcional a frequência de rede f_l assim para baixos valores de ondulação de tensão é necessário capacitância alta comparado aos retificadores trifásico, fazendo com que a densidade de potência fique reduzida.

Para este projeto, todas as especificações são mostradas na Tabela 4 e 5, com todos os parâmetros definidos para projetar o conversor PFC.

Tabela 4 – Tabela com as especificações da primeira versão do conversor conversor

Potência de saída	100 W
Pico de tensão de entrada	50 V
Tensão de saída	100 V
Frequência da rede	60 Hz
Frequência de comutação	500 kHz
Ondulação de corrente	1,5 A
Ondulação de tensão	4,0 V
L_{in}	32 μ H
C	680 μ F

Tabela 5 – Tabela com as especificações da segunda versão do conversor conversor

Potência de saída	1000 W
Pico de tensão de entrada	311 V
Tensão de saída	380 V
Frequência da rede	60 Hz
Frequência de comutação	100 kHz
Ondulação de corrente	1,2 A
Ondulação de tensão	20 V
L_{in}	220 μ H
C	330 μ F

5 IMPLEMENTAÇÃO DE ARQUITETURAS PARA PWM DE ALTA RESOLUÇÃO PARA FPGA'S

5.1 ABORDAGEM CLÁSSICA PARA MODULAÇÃO POR LARGURA DE PULSO

A primeira abordagem para a modulação de largura de pulso é o PWM clássico, que consiste em um contador síncrono operando com frequência de contagem f_{clk} , então a saída do PWM é o resultado da comparação entre o valor de razão cíclica e o contador PWM, como pode ser visto na Figura 20.

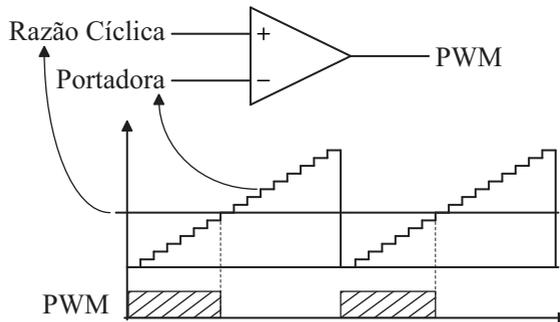


Figura 20 – Esta Figura mostra o PWM clássico, quando a referência (razão cíclica) é maior igual a portadora a saída PWM é nível lógico alto, caso contrário é setado para nível baixo.

Neste caso a resolução do PWM é:

$$R_{PMW} = \frac{f_{clk}}{f_{pwm}} \quad (5.1)$$

Então desde que f_{clk} tem um valor máximo que o *hardware* sintetizado no FPGA consegue operar, devido ao caminho crítico dos componentes, assim existe um *trade-off* entre a resolução do PWM (R_{PMW}) e f_{pwm} já que essas duas variáveis são inversamente proporcionais. A medida que f_{pwm} cresce a resolução diminui até o ponto que a resolução se torna tão baixo que pode surgir problemas de estabilidade e degradar a acurácia da corrente de controle e/ou da tensão de saída, como pode ser visto na Figura 21. Neste projeto usando o CycloneIV foi obtido uma resolução de 9 *bits* com uma frequência f_{pwm} de 2 MHz que não pode

ser obtido com um PWM clássico, 6 *bits* neste caso, assim é necessário outra estratégia para obter a frequência e resolução desejada.

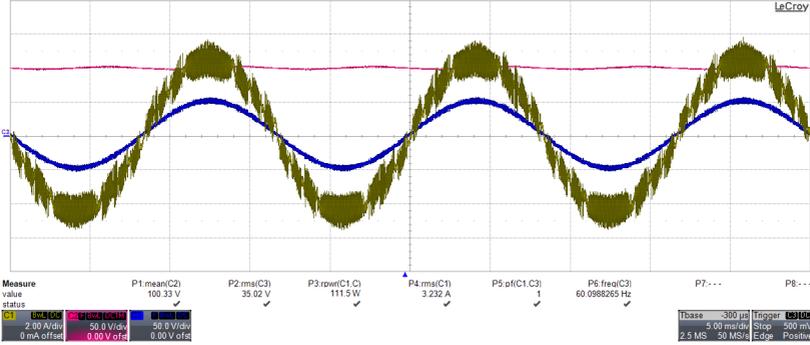


Figura 21 – Fenômeno de ciclo limite na corrente de entrada do conversor PFC.

5.2 ARQUITETURA DE UM PWM DE ALTA RESOLUÇÃO PARA PORTADORA DENTE DE SERRA

Para obter um ganho de resolução no PWM foram estudados as arquiteturas (HUERTA et al., 2008; NAVARRO et al., 2012; GRABOVSKI; MUSSA, 2017). A arquitetura implementada, ver Figura 22, consiste em oito clocks defasados de 45° entre si, os *clocks* foram obtidos a partir do PLL gerado no FPGA. Com isso é possível obter um aumento de 3 *bits* de resolução. Nesta versão o contador usado possuía 6 *bits*, assim com o incremento de 3 *bits* obteve-se uma resolução total de 9 *bits*. Nesta topologia a resolução é dada por:

$$R_{HRPWM} = 2^n \frac{f_{clk}}{f_{pwm}} \quad (5.2)$$

Como pode ser visto a resolução é a mesma que 5.1 multiplicado por um fator 2^n onde n é:

$$n = \log_2 M \quad (5.3)$$

e M é o número de *clocks* defasados. Esta topologia possui oito *clocks* então M é oito e n é três, assim o incremento de resolução é de oito vezes. Para entender como funciona esta topologia deve-se visualizar a

Figura 22 e Figura 23. Quando o contador é igual a zero, o comparador CMP1 passa para nível alto e a saída da LATCH, que representa PWM, passa a nível lógico alto, assim no início da contagem a saída PWM é alta. Quando razão cíclica[8:3] é igual ao valor do contador, CLR0 é setado alto e após um ciclo de clock de CK0 o sinal de *clock* é propagado para CLR0, CLR1, CLR2, CLR3, CLR4, CLR5, CLR6 e CLR7 após seus respectivos *clocks*, como pode ser visto na Figura 23. Assim o ganho de resolução é obtido na borda de descida do PWM dependendo do valores menos significativos da razão cíclica, razão cíclica[2:0]. As linhas pontilhadas na Figura 23 mostra as oito possibilidades do ganho de resolução.

5.2.1 Resultado experimentais da arquitetura HRPWM, análise de monotonicidade e linearidade

Aqui estão demonstrados os resultados obtidos para a arquitetura HRPWM implementado comparado com o PWM clássico. A Figura 24 e Figura 25 mostram os resultados dos incrementos da razão cíclica, na parte superior está o HRPWM e na parte inferior o PWM de baixa resolução. Em ambos os casos o contador é de 6 *bits*, mas no caso do HRPWM tem um ganho de 3 *bits* de resolução, totalizando uma resolução de 9 *bits*. A Figura 24 mostra os valores de *duty cycle* "000011000", "000011001", "000011010" e "000011011" e a Figura 25 mostra "000011100", "000011101", "000011110", "000011111" e "000100000". Para uma melhor visualização foram agrupados os sinais em uma única Figura, como pode ser visto na Figura 26, neste resultado podemos ver que enquanto o HRPWM tem nove incremento de razão cíclica o PWM de baixa resolução tem apenas dois, provando o ganho de 3 *bits*.

Duas importantes figuras de mérito para avaliar PWM de alta resolução são linearidade e monotonicidade, a Figura 27 mostra esses resultados obtidos a partir dos dados das Figura 24 e Figura 25. A reta mostra o comportamento ideal da razão cíclica que desejamos no HRPWM. Como pode ser visto o HRPWM tem um comportamento monotônico, mas essa topologia apresenta um resultado não muito satisfatório quanto ao erro, comparado ao trabalho (GRABOVSKI; MUSSA, 2017), a razão disso é fato do MUX ter tempo diferente de propagação para cada canal de seleção, assim a linearidade é degradada por esse tipo de HRPWM onde a escolha é feita por MUX.

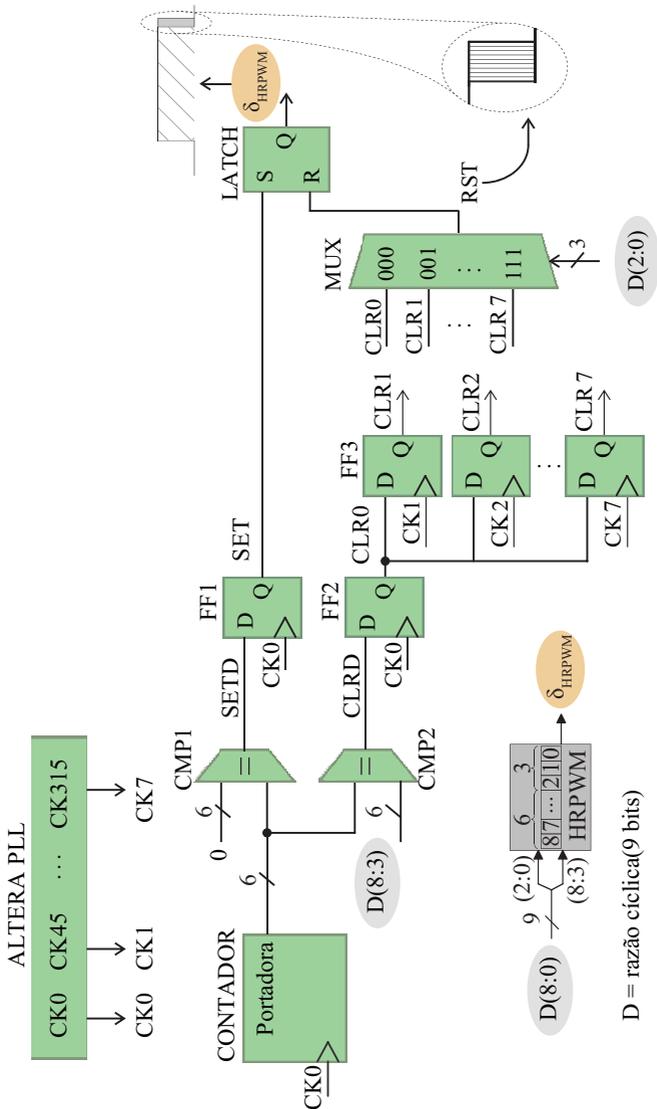


Figura 22 – A arquitetura do modulador de largura de pulso de alta resolução. A razão cíclica possui 9 bits, contador 6 bits e o ganho de resolução é alcançado no MUX com a seleção de 3 bits da razão cíclica, então um PWM de 9 bits de resolução é obtido neste caso.

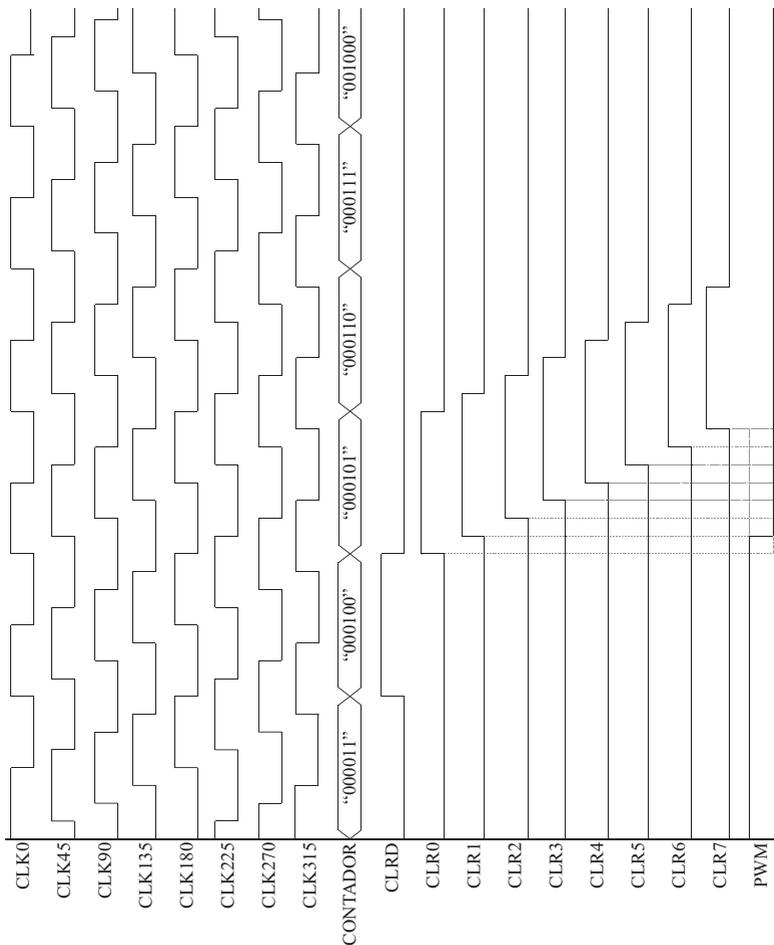


Figura 23 – Neste exemplo a razão cíclica tem valor de "000100001", assim quando contador for igual ao razão cíclica[8:3] = "000100" o CLR0 é setado alto e após um *clock* de CLK0 esse pulso é transferido para CLR0 e propagado até CLR7 após seus respectivos *clocks*, então na seleção do MUX que é feita por razão cíclica[2:0] = "001" é onde o ganho de resolução acontece. As linhas pontilhadas mostram outras possibilidades da razão cíclica diferente de razão cíclica[2:0] = "001".

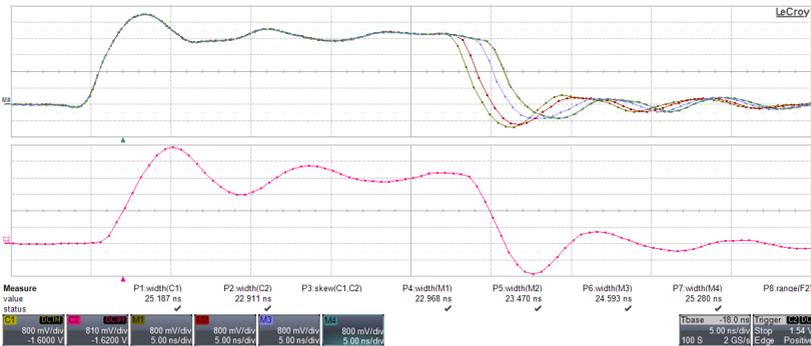


Figura 24 – Esta Figura mostra os quatro primeiros degrau de razão cíclica, "000011000", "000011001", "000011010" e "000011011" para o HRPWM e "000011" para o PWM

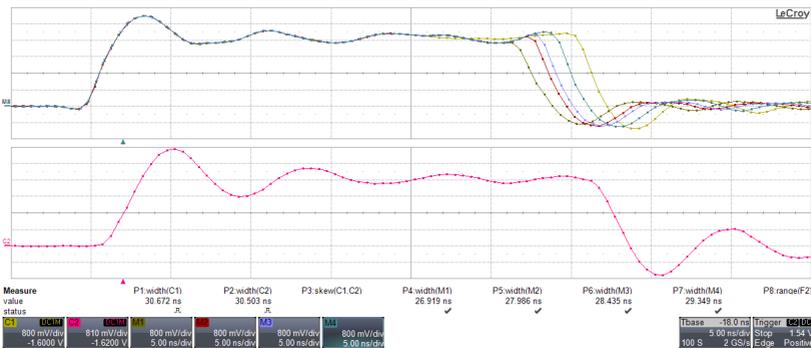


Figura 25 – Esta figura mostra os cinco últimos degrau de razão cíclica, "000011100", "000011101", "000011110", "000011111" e "000100000" para o HRPWM e "000100" para o PWM

5.3 ARQUITETURA PWM DE ALTA RESOLUÇÃO PARA PORTADORA TRIANGULAR

Para aplicações em eletrônica de potência, a portadora triangular pode oferecer vantagens comparada a portadora dente de serra. Então adaptou-se a estrutura do trabalho (HUERTA et al., 2008) para que ele seja usado com portadora triangular. Sendo o mesma estrutura anterior porém agora com as seguintes adaptações.

Considerando-se que a forma tradicional de modulação PWM

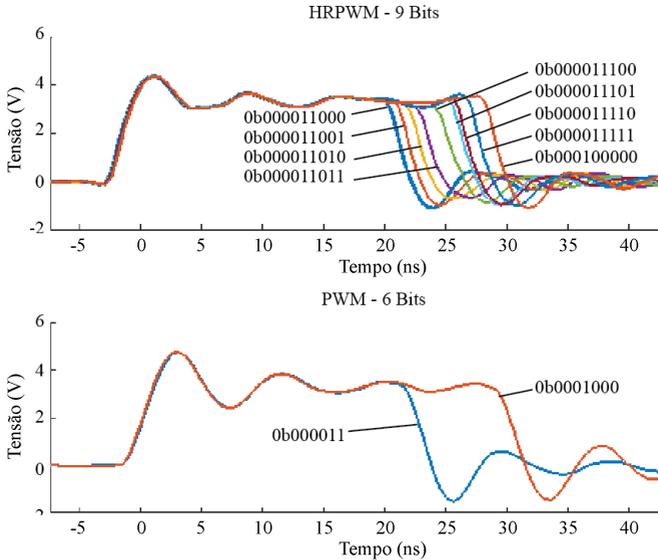


Figura 26 – Esta Figura mostra os passos de razão cíclica "000011000" para "000100000" onde no HRPWM tem um ganho de 3 *bits* enquanto no PWM vai de "000011" para "000100".

triangular, apresenta uma resolução ainda menor que a da dente de serra apresentada anteriormente, já que a resolução do PWM para portadora triangular é dada por:

$$R_{PWM} = \frac{f_{clk}}{2 \cdot f_{pwm}}, \quad (5.4)$$

onde,

- f_{clk} - A frequência do *clock* do contador;
- f_{pwm} - A frequência do sinal PWM;
- R_{PWM} - A resolução da portadora triangular.

Neste projeto usando o CycloneIV, foi possível usar uma f_{clk} de 100 MHz, assim para uma f_{pwm} de 500 kHz a resolução da portadora triangular é de somente 100 pontos. Optou-se pela utilização de uma técnica de modulação de alta resolução (HRPWM) baseada em (HUERTA et al., 2008) que é uma estratégia do tipo síncrona que

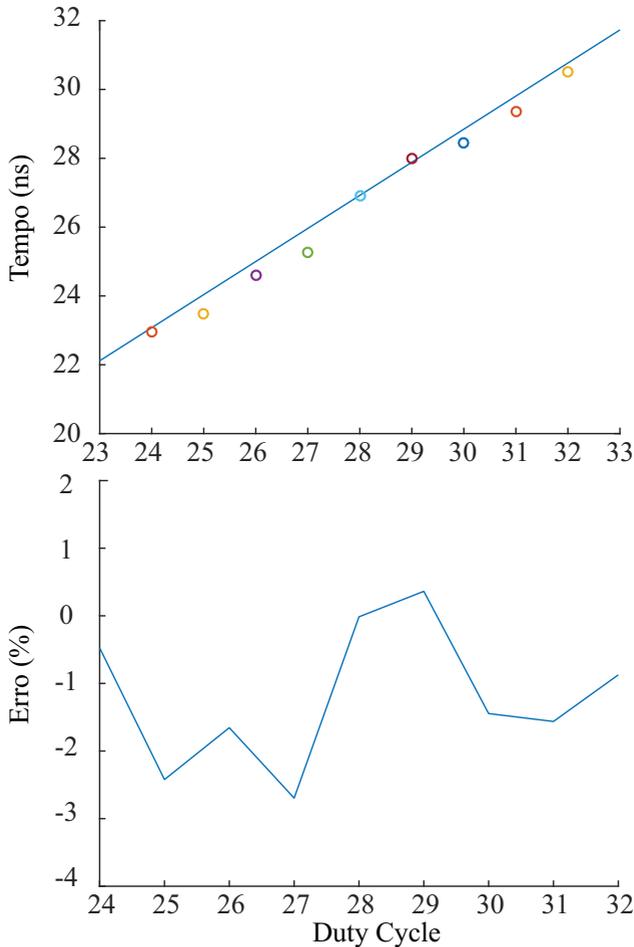


Figura 27 – Na parte superior pode ser visto resultado em relação a monotonicidade do HRPWM e no gráfico abaixo mostra o erro do HRPWM em porcentagem em relação do valor esperado pelo valor obtido.

foi melhorada para manter a simetria na modulação, distribuído-se o ganho de resolução na borda de descida e subida do pulso PWM. Com essa técnica conseguiu-se neste projeto ampliar de 100 para 800 pontos (8x), ou seja, um ganho de 3 *bits* de resolução que significa um aumento considerável sob a ótica do controle e modulação em eletrônica

de potência.

O diagrama de blocos da técnica de modulação de alta resolução está apresentado na Figura 29 que é similar ao apresentado anteriormente com algumas diferenças. Inicialmente implementa-se no FPGA uma portadora do tipo triangular a partir de um *clock* de referência (CK0). Com esta portadora são feitas duas comparações com os *bits* mais significativos do sinal oriundo do bloco de controle, razão cíclica D(9:3): (i) na borda de subida da triangular (sinalizado por CTR_dir=1), ou seja, quando contador estiver incrementando e (ii) na borda de descida quando o contador estiver decrementando (sinalizado por CTR_dir=0), respectivamente destas comparações geram-se os sinais de SET e CLR.

A partir de um bloco PLL (ALTERA PLL), são gerados oito *clocks* (CK0, CK1, CK2, ... CK7), com defasagens de 0°, 45°, 90°, 135°, 180°, 225°, 270° e 315°, respectivamente. Estes sinais são utilizados como entrada de *clocks* em diferentes *flip-flops* (FF) ativos na borda de subida, resultado em oito (8) sinais de SET/CLR com amostras defasadas entre si. Estes oito sinais são enviados aos circuitos multiplexadores (MUX), cujo sinal de seleção é feito com os três últimos *bits* da razão cíclica, D(2:0), gerando assim o sinal RST e SET da porta LATCH, cuja saída deste bloco é o sinal PWM de alta resolução δ_{HRPWM} .

Com o uso desta estrutura é possível representar a resolução a partir da seguinte equação:

$$R_{HRPWMt} = 2^n \frac{f_{clk}}{2 \cdot f_{pwm}}, \quad (5.5)$$

onde,

- f_{clk} - Frequência do *clocks* do contador;
- f_{pwm} - Frequência do sinal PWM;
- n - O número de *bits* adicionados à resolução;
- R_{HRPWM} - A resolução da portadora triangular.

A Figura 29 mostra os resultados experimentais obtidos no HRPWM comparado ao PWM clássico considerando-se incrementos de +1 na razão cíclica. Na parte superior da Figura são representados os pulsos em incrementos de +1 no HRPWM e na inferior é representado para o PWM clássico. Em ambos os casos a portadora é triangular constituída de um contador crescente/decrecente de sete (7) *bits* de resolução e valor de pico igual a 100 (valor máximo do contador para

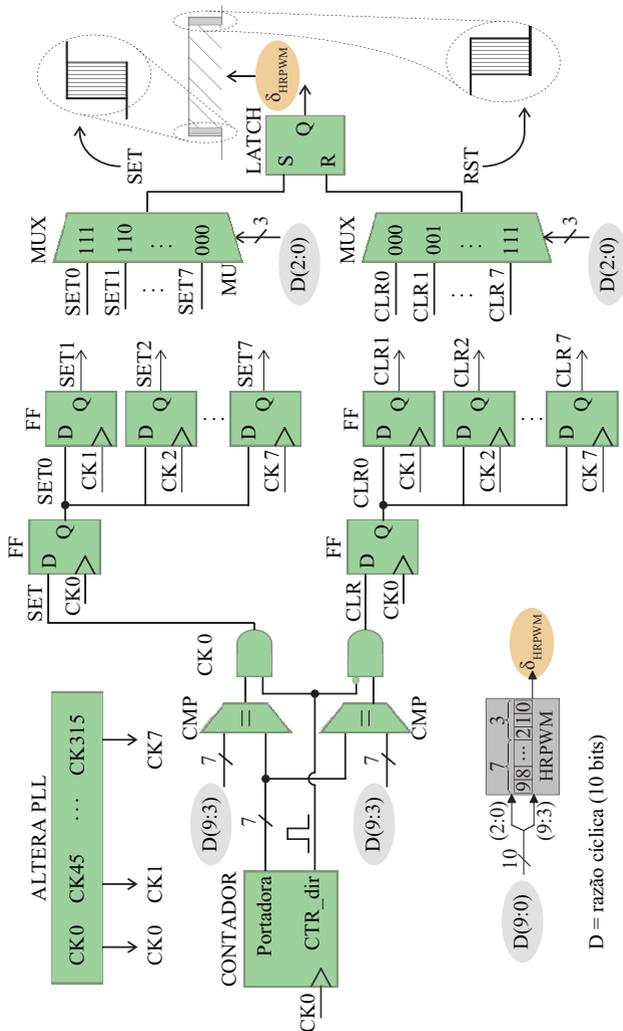


Figura 28 – Diagrama de blocos do modulador PWM de alta resolução com ganho de 3 *bits* em resolução. A portadora triangular possui 7 *bits* e o ganho de resolução é obtido na seleção dos MUX's a partir dos 3 *bits* menos significativos da razão cíclica. O sinal CTR_dir tem função de habilitar o SET na borda de subida e CLR na borda de descida, gerando assim o ganho de resolução na subida e descida.

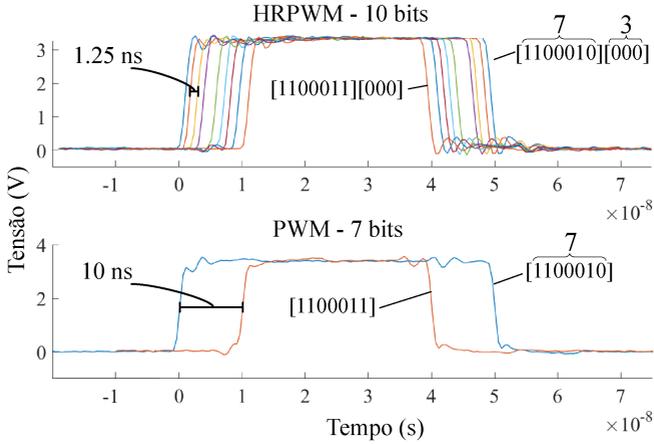


Figura 29 – Para ambos moduladores a portadora é de 7 *bits*. Entretanto no HRPWM a razão cíclica pode variar 8 pontos intermediários (2^3), de $[1100010][000]$ à $[1100010][111]$, antes de modificar o valor de baixa resolução (7 *bits*). No PWM de baixa resolução a razão cíclica varia imediatamente de $[1100010][\emptyset\emptyset\emptyset]$ à $[1100011][\emptyset\emptyset\emptyset]$, comprovando o ganho de 3 *bits* de resolução do HRPWM.

atingir o requisito de 500kHz). O ganho de 3 *bits* do PWM para o HRPWM é referente aos 3 *bits* menos significativos da razão cíclica que são adicionados ao valor original (7 *bits*).

Para o PWM e HRPWM, o incremento de uma unidade na razão cíclica representa um incremento na largura do PWM de:

$$T_R = \frac{f_{pwm}^{-1}}{N_{max}}, \quad (5.6)$$

sendo,

- T_R - Largura de tempo referente á uma unidade da resolução;
- f_{pwm} - Frequência do sinal PWM;
- N_{max} - Valor máximo do contador da portadora.

Assim, a partir dos parâmetros dos moduladores chegamos na Tabela 6. A largura do pulso PWM do valor $[1100010]$ para $[1100011]$ varia de uma unidade de razão cíclica, dessa forma, há um decréscimo de 20 ns na sua largura, como pode ser verificado na parte inferior da

Figura 29. Como a portadora é do tipo triangular tem-se 10 ns na borda de subida e 10 ns na borda de descida. Para o HRPWM, com o ganho de resolução de 3 *bits*, ganha-se oito novos intervalos sendo eles de 2,5 ns a cada incremento, que pode ser verificado na parte superior da 29.

Tabela 6 – Parâmetros dos moduladores PWM

	PWM	HRPWM
Resolução	100	800
T_R	20 ns	2,5 ns

Duas importantes figuras de mérito referentes ao HRPWM são a monotonicidade e a linearidade como discutido anteriormente . É possível visualizar na Figura 29 que os pontos demonstrados possuem um comportamento monotônico .

5.4 RESULTADO EXPERIMENTAL COM O CONVERSOR PFC UTILIZANDO ARQUITETURA HRPWM E FREQUÊNCIA DE COMUTAÇÃO DE 2 MHz

Afim de validar as estruturas estudadas foram realizados experimentos com o PFC operando a uma frequência de comutação de 2 MHz. A Figura 30 mostra os resultado de tensão de entrada, corrente de entrada e tensão de saída. Já na Figura 31 mostra-se a ondulação de corrente, podendo se observar o período de comutação, comprovando que o conversor está operando a 2 MHz.

Nesta secção foi proposto o PWM de alta resolução (Arbugeri; Mussa, 2019) para controle de PFC já que com PWM clássico não é possível garantir resolução e frequência desejada simultaneamente. Foi feito uma revisão de uma das arquiteturas utilizadas mostrando problemas na implementação e também as figuras de mérito como linearidade e monotonicidade que são duas figuras de mérito importante para HRPWM. Também foi possível diminuir o tamanho do magnético, graças a tecnologia GaN que possibilita operar na ordem de frequência de MHz, assim aumentando a densidade de potência e por consequência reduzindo o tamanho do conversor. O indutor utilizado foi de 25 μ H que resultou em uma ondulação máxima de corrente de 10 % .

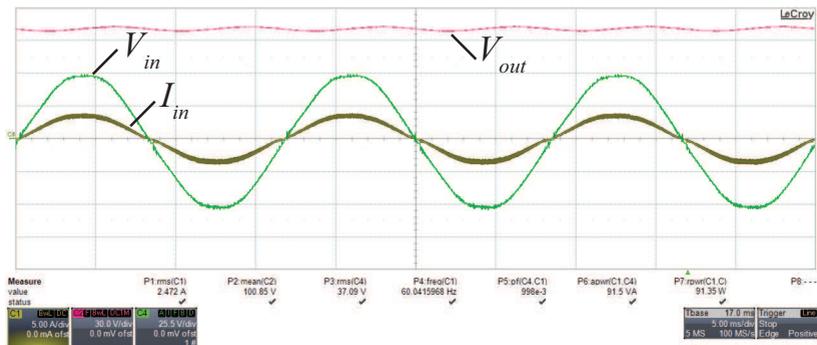


Figura 30 – Corrente de entrada (I_{in}) com valor 2.46 A RMS, tensão de entrada (V_{in}) com valor 36.47 V RMS e tensão de saída (V_o) 100.2 V com uma potência média de 90 W.

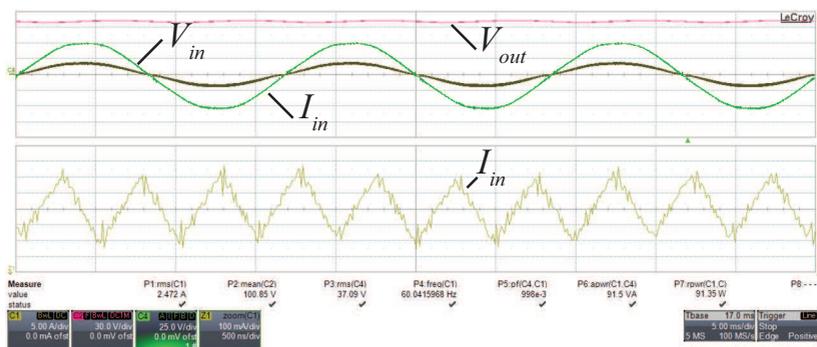


Figura 31 – Zoom na ondulação de corrente I_{in} , com um período de 500 ns que equivale a frequência de 2 Mhz

6 METODOLOGIA PARA PROJETO DA PCB

Nesta seção serão discutidos os aspectos mais relevantes ao projeto da PCB. O esquemático completo pode ser visualizado no apêndice no final do trabalho. O *software* usado para realizar o desenho da PCB foi o *Altium Designer*.

6.1 FPGA ESCOLHIDO E MÉTODOS DE GRAVAÇÕES

Um FPGA (*Field Programmable Gate Array*) é um circuito integrado cujo circuito digital interno pode ser descrito através de uma linguagem de descrição de hardware. A partir da qual o projetista determina quais portas lógicas estarão presentes no FPGA e também suas interconexões. Desta forma, é possível projetar qualquer porta lógica, bloco lógico, circuito digital em um circuito dentro do FPGA. O FPGA utilizado no presente trabalho é da família CYCLONE IV e fabricado pela empresa Altera. O código gravado no FPGA da família CYCLONE é armazenado em células de memória SRAM (*Static Random Access Memory*), ou seja, seu código é volátil, de forma que quando o FPGA é desligado, todo código gravado em seu interior é perdido (Corporation Altera, 2016).

O FPGA CYCLONE IV possui memória SRAM para armazenar sua configuração, de forma que é necessário carregar a cada vez que ele for energizado, pois SRAM é uma memória volátil. Duas formas de configuração usadas neste trabalho são possíveis de utilizar são elas: JTAG (*Joint Test Action Group*) e AS (*Active Serial*).

6.1.1 Configuração do FPGA por AS

Dentre as formas de se configurar do FPGA disponibilizadas pela Altera, a configuração serial ativa foi umas das escolhidas. Neste tipo de configuração, o projetista grava a configuração do FPGA em uma memória flash própria para FPGA's. Cada vez que o FPGA é energizado, essa memória flash configura as células SRAM do FPGA. A Figura 32 mostra a conexão entre a memória flash e o FPGA fornecida pelo manual da Altera (Corporation Altera, 2016).

Na configuração AS, o FPGA ativa a memória flash colocando o pino nCS em nível lógico baixo. Em seguida, o FPGA envia instruções à

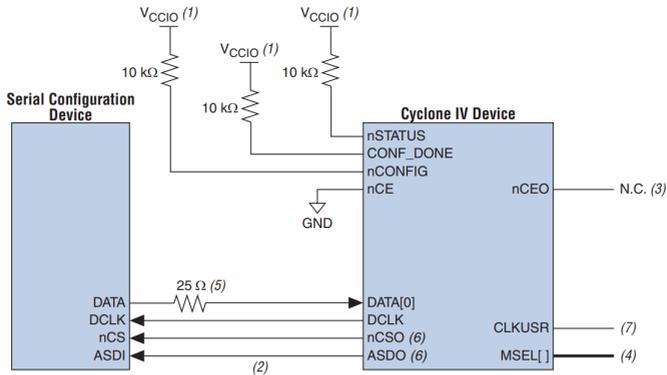


Figura 32 – Configuração do FPGA por AS, imagem fornecida no manual da Altera (Corporation Altera, 2016)

memória flash utilizando o pino DCLK para *clock* e ASDI para enviar comandos, recebendo de volta os dados de configuração das células SRAM pelo pino DATA.

Existem 3 pinos do FPGA (MSEL0, MSEL1, MSEL2) que precisam ser conectados de forma a escolher o tipo de configuração do FPGA. Para configuração AS, a Tabela 7, retirada do manual da Altera, ilustra as possibilidades de conexão.

Tabela 7 – Possibilidades de conexão MSEL, Tabela fornecida no manual da Altera (Corporation Altera, 2016)

MSEL2	MSEL1	MSEL0	Atraso	Tensão I/O
1	0	1	Rápido	3,3 V
1	0	0	Rápido	3,0 V ou 2,5 V
0	1	0	Padrão	3,3 V
0	1	1	Padrão	3,0 V ou 2,5 V

A conexão escolhida para o projeto foi MSEL2=0, MSEL1=1 e MSEL0=0. O circuito completo envolvendo uma barra de pinos para conectar o gravador, a memória flash e o FPGA é mostrado a seguir na Figura 33 (Corporation Altera, 2016).

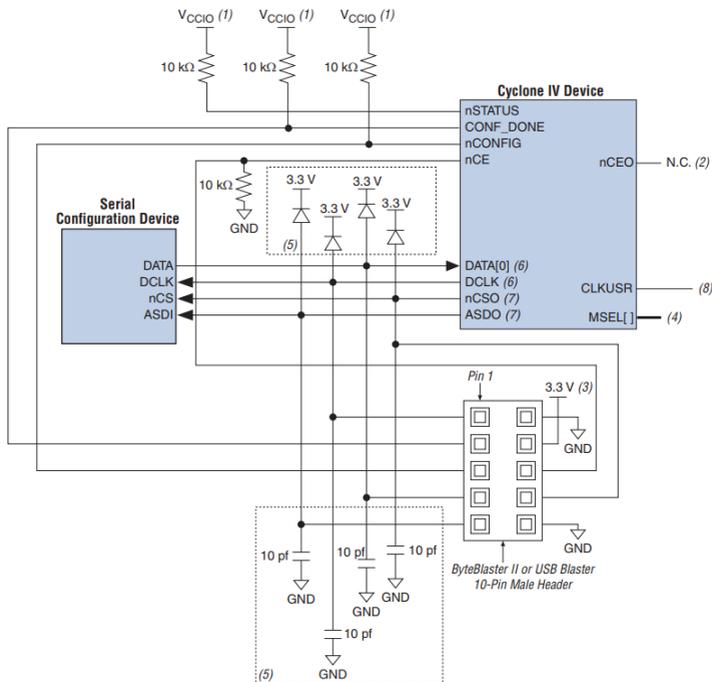


Figura 33 – Conexão do FPGA e memória flash, imagem fornecida no manual da Altera (Corporation Altera, 2016)

6.1.2 Configuração do FPGA por JTAG

A configuração por JTAG utiliza 4 pinos, TDI, TDO, TMS e TCK. O pino TDI (*Test Data Input*) é o pino de entrada serial de dados sincronizado pela borda de subida do clock gerado pelo pino TCK. TDO ou (*Test Data Output*) é o pino de saída serial de dados. Diferente do TDI, o TDO é sincronizado pela borda de descida do clock gerado pelo pino TCK. TMS ou *Test Mode Select* é o pino de entrada do sinal de controle para as máquinas de estados. As transições das máquinas de estados estão sincronizadas pela borda de subida do clock gerado pelo pino TCK. TCK ou *Test Clock Input* é o pino por onde entra o clock do JTAG. Algumas operações são realizadas na borda de subida do clock e outras na borda de descida do clock

O cabo utilizado para JTAG é o mesmo do AS, o USB(Universal

Serial Bus) Blaster. A Figura 34 retirada do manual do fabricante (Corporation Altera, 2016) mostra as conexão entre o JTAG e o Cyclone IV. Como é possível observar, os pinos utilizados pelo JTAG são diferentes dos utilizados pelo AS, de forma que as duas conexões podem ser colocadas na placa simultaneamente.

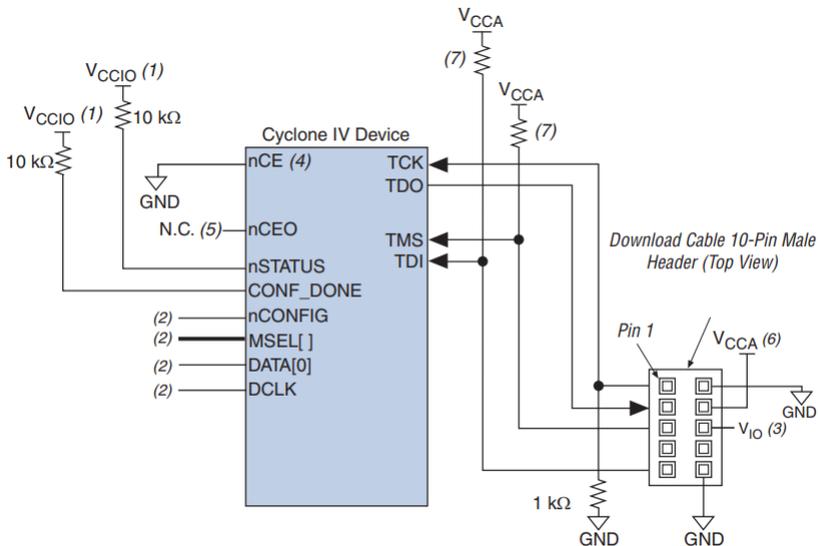


Figura 34 – Conexão do FPGA e Memória Flash pelo JTAG, imagem fornecida no manual da Altera (Corporation Altera, 2016)

6.2 REQUISITOS DE ALIMENTAÇÃO PARA O FPGA

Para o funcionamento do FPGA são necessário alguns níveis de tensão, para diferentes blocos e funções dentro do FPGA. As alimentações necessárias são 1,2 V, 2,5 V e 3,3 V e suas funções podem ser vistas na Tabela 8.

Para gerar cada um dos três níveis de tensões apresentado na Tabela 8 foram usados os reguladores LDO que estão apresentados na Tabela 9. O circuito foi baseado na alimentação da placa de KIT de desenvolvimento da DE0-Nano da Altera.

Os reguladores são reguladores LDO (*Low Dropout*) ou seja com

Tabela 8 – Alimentações usada no FPGA e suas respectivas funções.

Alimentação	Descrição
3,3 V	Alimentação para os pinos I/O
2,5 V	Alimentação analógica do PLL
1,2 V	Alimentação do núcleo FPGA (Operações lógicas)
1,2 V	Alimentação digital do PLL

Tabela 9 – Reguladores LDO usados no FPGA

Alimentação	Descrição	Capacidade de corrente
3,3 V	LP38500SD-ADJ/NOPB	1,5 A
2,5 V	LP5900SD-2.5/NOPB	150 mA
1,2 V	LP38500SD-ADJ/NOPB	1,5 A

baixa queda de tensão da entrada para saída, dessa forma eles podem operar com a tensão na entrada muito próxima da tensão de regulação, diferente dos reguladores tradicionais que possuem uma grande queda de tensão da entrada para a saída do regulador. Para maiores informações sobre o circuito, pode-se consultar o esquemático disponível no apêndice.

6.3 INTERFACE HOMEM MÁQUINA DA PCB

Na PCB foram adicionadas algumas interfaces para que se possa fazer a interação com FGPA e mudar alguns parâmetros do conversor quando desejado. Na placa existe os seguintes componentes: 2 botões de pressão, 8 LED's e 4 chaves DIP, sendo todos eles de uso geral, podendo ser configurado com qualquer função. Além disso foi adicionado um display LCD para mostrar algumas grandezas e um módulo de comunicação WIFI para teste futuros.

6.4 INSTRUMENTAÇÃO PARA TENSÃO E CORRENTE DO CONVERSOR.

Para se implementar o controle do conversor é necessário observar algumas grandezas físicas do conversor, como : corrente de entrada, tensão de entrada e tensão de saída. Para realizar o condicionamento desses sinais das grandezas desejadas do conversor, optou-se pelo cir-

cuito com ganho ativo, utilizando amplificadores operacionais na configuração diferencial como mostrado na Figura 35. Na Figura 35 o circuito pode ser dividido em três partes principais. Primeiro estágio é o ganho da instrumentação, seguido de um filtro passa baixa que tem função de limitar a banda de frequência para posterior amostragem e o último estágio é de proteção. Os diodos D_p tem função de grampear a tensão na saída da instrumentação, no valor máximo de V_{CC} e no valor mínimo de zero.

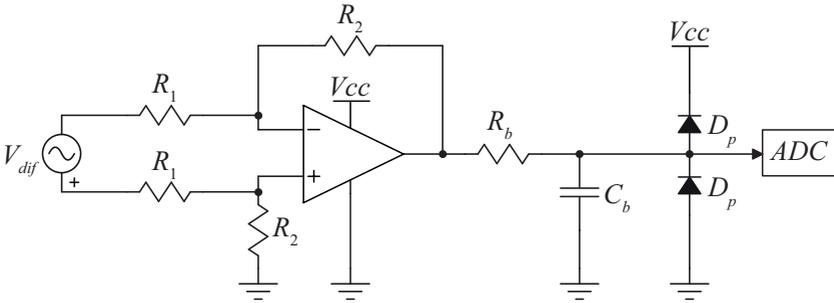


Figura 35 – Circuito de instrumentação utilizado para ler as grandezas elétricas do conversor.

Para determinar o ganho da instrumentação seguiu-se os seguintes passos. A tensão na entrada da configuração é dada por:

$$V_{dif} = V_{dif+} - V_{dif-} \quad (6.1)$$

A tensão na entrada do amplificador operacional V_+ é dado pelo divisor de tensão R_1 e R_2 , já que a impedância de entrada do amplificador é infinita.

$$V_+ = V_{dif+} \left(\frac{R_2}{R_1 + R_2} \right) \quad (6.2)$$

Para o amplificador operacional tem-se que sua tensão na saída é dado pelo ganho em malha aberta (A) vezes a diferença da tensão entre a porta inversora e não inversora.

$$V_{op} = (V_+ - V_-)A \quad (6.3)$$

Tem-se na prática terra virtual entre V_+ e V_- isso se dá pelo

ganho de malha aberta A com valor finito porém muito grande, assim temos que V_+ é igual V_- :

$$\lim_{A \rightarrow \infty} V_{op} \rightarrow V_+ = V_- \quad (6.4)$$

Dessa forma:

$$V_- = V_{dif+} \left(\frac{R_2}{R_1 + R_2} \right) \quad (6.5)$$

A corrente que circular pelo R_1 conectado a porta inversora é a mesma corrente que passa por R_2 conectado da porta na inversora para a saída do ampop. Assim obtém-se:

$$\frac{V_- - V_{dif-}}{R_1} = \frac{V_{op} - V_-}{R_2} \quad (6.6)$$

substituindo 6.5 em 6.6:

$$\frac{V_{dif+} \left(\frac{R_2}{R_1 + R_2} \right) - V_{dif-}}{R_1} = \frac{V_{op} - V_{dif+} \left(\frac{R_2}{R_1 + R_2} \right)}{R_2} \quad (6.7)$$

agrupando os termos:

$$V_{dif+} \left(\frac{R_2}{R_1 + R_2} \right) \left(\frac{R_1 + R_2}{R_1 R_2} \right) = \frac{V_{op}}{R_2} + \frac{V_{dif-}}{R_1} \quad (6.8)$$

simplificando:

$$\frac{V_{dif+}}{R_1} - \frac{V_{dif-}}{R_1} = \frac{V_{op}}{R_2} \quad (6.9)$$

substituindo 6.1 obtém-se a equação que determina o ganho da configuração diferencial mostrada na Figura 35.

$$V_{op} = \frac{R_2}{R_1} V_{dif} \quad (6.10)$$

Além do ganho inicial dado ao sinal V_{diff} , referente a relação R_2/R_1 , é realizado uma filtragem usando um filtro passa baixa de primeira ordem RC. Assim limita-se a banda do sinal para que ele atenda ao teorema de amostragem de Nyquist, onde a frequência de amostragem deve ser no mínimo duas vezes maior que a maior frequência de interesse. O que na prática leva ao entendimento do *aliasing* que ocorre quando o sistema amostrado não satisfaz as condições do teorema, ou seja, a recobrimento do sinal amostrados levando a uma leitura errada.

A função de transferência do filtro pode ser escrita da segunda

forma:

$$V_{of} = \frac{\frac{1}{sC_b}}{\frac{1}{sC_b} + R_b} V_{if} \quad (6.11)$$

assim:

$$H_f(s) = \frac{V_{of}}{V_{if}} = \frac{1}{1 + sR_bC_b} \quad (6.12)$$

O ganho é dado por

$$|H_f(s)| = \frac{1}{\sqrt{1^2 + (sR_bC_b)^2}} \quad (6.13)$$

e a frequência de corte é dada por:

$$f_c = \frac{1}{2\pi R_bC_b} \quad (6.14)$$

Uma das principais características desta configuração tem relação com a alta rejeição a sinais de modo comum, ou, *common mode rejection* (CMR). Entretanto, devido à utilização de componentes discretos externos esta rejeição a sinais de modo comum pode não funcionar tão bem quanto esperado. A equação 6.15 mostra a relação entre rejeição de modo comum com o ganho da configuração e a tolerância dos resistores.

$$CMR = 20\log_{10}\left(\frac{1 + \frac{R_2}{R_1}}{K_r}\right) \quad (6.15)$$

A equação 6.15 apresenta o cálculo do CMR, onde a variável K_r representa a diferença percentual entre as duas relações citadas anteriormente em sua forma. A CMR alcançada pela configuração é dependente da precisão dos componentes externos, em especial os resistores. A relação R_1/R_2 conectados a porta não inversora e R_1/R_2 da porta inversora devem ser idealmente igual, o que resultaria em um CMR infinito, entretanto na prática é possível encontrar resistores comerciais que tem tolerância desde 20% até 0.01%, sendo que quanto menor a tolerância mais caro fica o processo de fabricação.

Para o projetos da instrumentação da corrente de entrada, tensão de entrada, e tensão de saída, os parâmetros apresentados na Tabela 10 foram os valores resistores e capacitores utilizados.

Assim com os parâmetros da Tabela 10 utilizando as equações demonstradas: ganho da instrumentação (6.10), frequência de corte do

Tabela 10 – Parâmetros utilizado para a instrumentação de cada grandeza medida

	R_1	R_2	R_b	C_b
Corrente de Entrada	3,3 k Ω	12 k Ω	470 Ω	10 nF
Tensão de Entrada	1,5 M Ω	10 k Ω	470 Ω	22 nF
Tensão de Saída	1,8 M Ω	10 k Ω	470 Ω	100 nF

filtro (6.14) e rejeição de modo comum (6.15), obtém-se os parâmetros da Tabela 11.

Tabela 11 – Ganho, frequência de corte e fundo de escala para a instrumentação

	Ganho	f_c	CMR	Fundo de Escala
I_{in}	3,63	33,8 kHz	53,3 dB	12 A
V_{in}	$6,66 \cdot 10^{-3}$	15,4 kHz	40 dB	495 V
V_o	$5,55 \cdot 10^{-3}$	3,4 kHz	40 dB	595 V

O fundo de escala representa o maior valor que a instrumentação pode representar. Vale ressaltar que para a instrumentação da corrente foi utilizado um resistor *shunt* onde o ganho é dado pela resistência, dado a lei de Ohm.

$$V_{shunt} = R_{shunt} I_{shunt} \quad (6.16)$$

assim

$$G_{shunt} = \frac{V_{shunt}}{I_{shunt}} \quad (6.17)$$

para esse trabalho foi utilizado um resistor de 0,1 Ω , desta forma o ganho é dado por 6.18.

$$G_{shunt} = 0,1 \frac{V}{A} \quad (6.18)$$

6.5 CONVERSOR ANALÓGICO DIGITAL E ASPECTOS PRÁTICOS DE LAYOUT

Após o sinal estar devidamente condicionado, é feita a conversão analógico digital, neste trabalho utilizou-se o conversor analógico digital (*ADC*), *AD7276* do fabricante *AnalogDevices* (*Analog Devices AD7276*, 2015). O *AD7276* é um conversor analógico digital de 12 bits, de alta

velocidade e baixo consumo. Utiliza a estrutura de aproximação sucessiva, a alimentação possui uma faixa de operação de 2,35 V até 3,6 V, podendo fazer até 3 milhões de amostras por segundo (*MSPS*) quando operando a um *clock* de 48 MHz, como apresentado no manual de referência (Analog Devices AD7276, 2015).

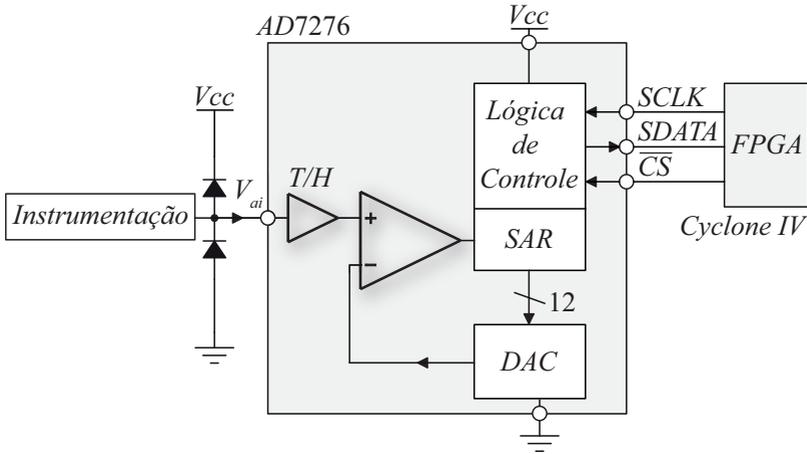


Figura 36 – Estrutura do conversor analógico digital com estrutura de aproximações sucessivas

6.5.1 Aterramento e considerações para Layout

O fabricante recomenda que placa de circuito impresso que usar o *AD7276* deve ser projetada de modo que as áreas analógicas e digitais sejam separadas e confinadas em certas áreas da placa, como apresentado em (Analog Devices *AD7276*, 2015). Fazendo a separação dessa forma os planos de terra analógico e digital podem ser facilmente separados. Para fornecer uma boa blindagem todo lado analógico do *AD7276* deve ser ligado a um plano *GND* analógico e o circuito digital deve ser unido em um plano de terra digital e devem ser unido em um único ponto. Como mostra o *layout* da Figura 37.

Evitar passar trilhas digitais em baixo do dispositivo porque isso acopla o ruído no chip. No entanto, o plano de aterramento analógico deve ser em baixo do CI para evitar o acoplamento de ruído. As trilhas de alimentação do *AD7276* devem usar a maior largura possível para

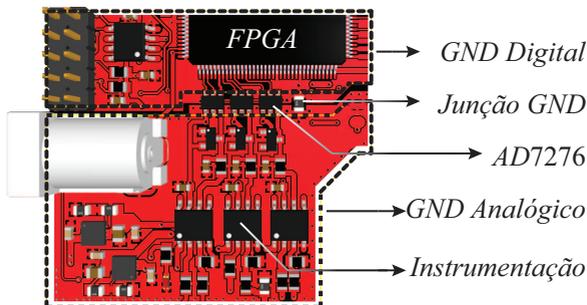


Figura 37 – *Layout* da PCB, mostrando o GND digital e analógico separando os dois lado do conversor ADC, e sua união em um único ponto.

fornecer caminhos de baixa impedância para a alimentação. Para evitar irradiar ruído digital para outras sessões da placa, componentes com sinais de comutação rápida, como o *clock* do componente, o mesmo deve ser blindado com terra digital, e devem ficar o mais longe possível do terra analógico e o mais próximo do FPGA, como mostra a Figura 37.

Um bom desacoplamento também é importante. A alimentação analógica devem ser desacoplado com capacitores cerâmicos de $10\ \mu\text{F}$ em paralelo com capacitores de $100\ \text{nF}$ para o terra. Para alcançar os melhores resultados destes componentes de desacoplamento, eles devem ser colocados o mais próximo possível, idealmente encostando no dispositivo. O capacitor de $100\ \text{nF}$ deve ter baixa resistência equivalente série (ESR) e baixa indutância equivalente série (ESI), como é típico de tipos de capacitores cerâmicos ou SMD. Capacitores com baixa ESR e baixa ESI fornecem um caminho de baixa impedância para o terra em altas frequências.

6.6 RECOMENDAÇÕES E BOA PRÁTICA NA UTILIZAÇÃO DE TRANSISTORES GAN EM PLACAS DE CIRCUITO IMPRESSO.

Os transistores GaN utilizados requerem uma atenção especial para que possam operar em alta frequência e desfrutar de todos os seus benefícios e extrair o máximo de seu potencial. Neste sessão dedicou-se a explorar a dois tópicos. Primeiro é como minimizar os efeitos pa-

parasitas no layout e o segundo tópicos é como realizar o projeto térmico apropriado para GaN com refrigeração *bottom side*, ou seja, semicondutores com refrigeração localizada na parte inferior da placa de circuito impresso.

As recomendações seguidas nessa seção foram obtidas nos seguintes manuais: (Analog Devices AD7276, 2015), (GN001, 2018), (GN009, 2019), (GN005, 2016).

6.6.1 Recomendações para Layout

Como mostrado no capítulo sobre transistor GaN, ele pode operar em frequência maior se comparada a tecnologia de silício. Com o aumento da frequência o impacto dos elementos parasitas são ampliados. Dessa forma a minimização dos efeitos parasitas se torna mais importante, assim o layout da PCB deve ser feito com um cuidado redobrado. Nesta seção serão discutidos algumas formas de layout para tentar minimizar os efeitos parasitas, sendo essas recomendações sugeridas pelo fabricante *GaNSystem*.

Para a configuração meia ponte tem dois importantes *loop's* que devem ser considerados. Primeiro, o *loop* de potência, que é formado pelos dois interruptores e o capacitor de barramento. O segundo é o *loop* do *gate driver*, que o *Half-bridge* possui dois, sendo eles o *high-side loop gate* e *low-side loop gate* sendo respectivamente os *loop's* do *gate driver* do transistor GaN superior e inferior. Os *Loop's* pode ser visualizados na Figura 38 juntamente com os elementos parasitas.

Nas notas de aplicação do fabricante (GN009, 2019) e (GN001, 2018), é recomendado minimizar o máximo o todos os *loop's* mas caso haja conflito de minimização entre os *loop's*, a seguinte lista de prioridade deve ser seguida:

1. Indutância de modo comum L_c .
2. Indutância do *Gate loop* L_g .
3. Indutância do *loop* de potência L_p .

Uma recomendação do fabricante é a utilização de PCB's múltiplas camadas para posicionar o retorno de corrente nos *layers* intermediários logo abaixo do caminho de ida, assim há o cancelamento de fluxo magnético e conseqüente diminuição das indutâncias parasitas. Esta técnica é efetiva tanto para o laço de potência quanto para o circuito de comando, como mostra na Figura 39 fornecida no manual do fabricante.

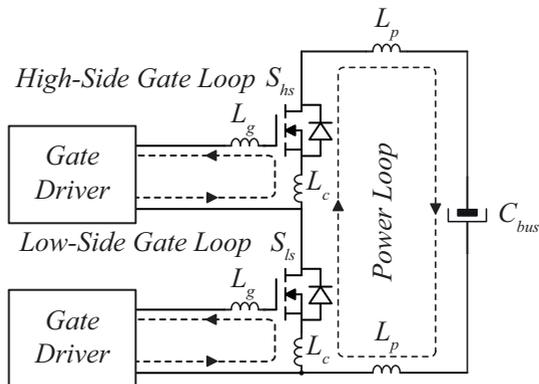


Figura 38 – Elementos parasitas no conversor. *Loop* de potência e os *Loop's* de *gate driver* e suas respectivas indutâncias parasitas.

O resultado obtido baseado na consideração feita pelo fabricante pode ser visto a Figura 40.

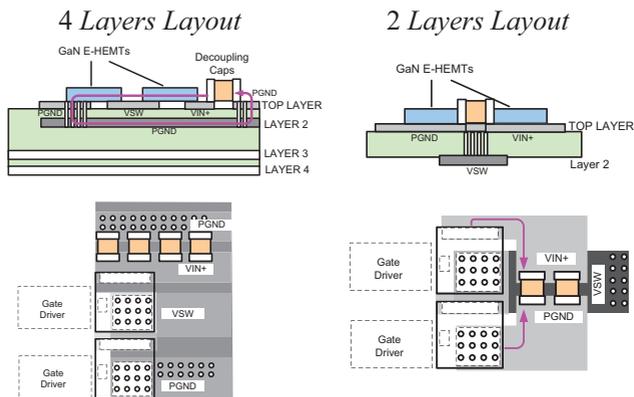


Figura 39 – Recomendações de *Layout* da PCB para diferentes números de *layers*, imagem obtida no manual do fabricante (GN001, 2018).

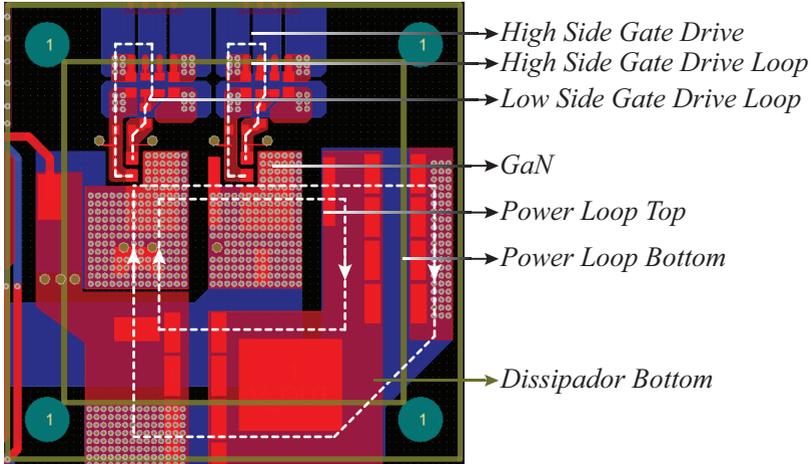


Figura 40 – Loops obtidos no *Layout* da PCB, baseado nas recomendações do fabricante.

6.6.2 Projeto Térmico e Layout para transistor GaN do tipo *bottom*

Existe dois tipos de GaN, o que é refrigerado pela parte superior (*top-side*) e o refrigerado pela parte inferior (*bottom-side*) como pode ser visto na Figura 41. Neste trabalho foi usado o *bottom-side* ele pode ser identificado pelo final B no código do componente (GS66508B) como apresentado na Figura 41.



Figura 41 – A esquerda o GS66058T refrigerado pela parte superior (*top-side*) e a direita o GS66058B refrigerado pela parte inferior (*bottom-side*). Imagem obtida em (GN001, 2018).

O refrigeração usando *Bottom side* com um dissipador de calor via PCB é o método de resfriamento mais eficaz para GaN (GN005, 2016). Os principais caminhos de dissipação de calor do GaN, montados no PCB, estão ilustrados na Figura 42. A maior parte do calor, gerado na junção, flui para baixo para o *pad* térmico e, em seguida, é transferido para o PCB. Os planos de cobre no PCB desempenham um papel importante para transmitir o calor de uma lado da PCB para o outro e vias térmicas ajudam a propiciar uma baixa resistência térmica. Um dissipador de calor está conectado para o plano de cobre inferior através de um material de interface térmica (TIM) e dissipa o calor para o ambiente.

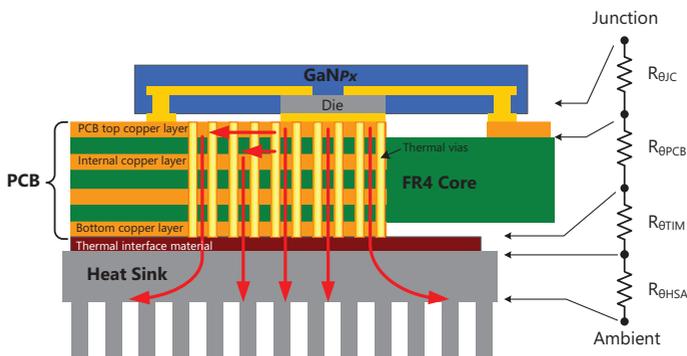


Figura 42 – Visão transversal da PCB, mostrando o caminho térmico desde a junção do GaN até o ambiente. Imagem obtida no manual (GN005, 2016).

Na Figura 42 são apresentadas as seguintes resistências térmicas:

- $R_{\theta_{JC}}$ - Resistência térmica da junção para o encapsulamento.
- $R_{\theta_{PCB}}$ - Resistência térmica da PCB.
- $R_{\theta_{TIM}}$ - Resistência térmica da TIM.
- $R_{\theta_{HSA}}$ - Resistência térmica dissipador para o ambiente.

A maneira mais eficaz de melhorar a transferência de calor vertical é adicionar vias térmicas através de vias metalizadas entre as camadas condutoras. O projeto e dimensionamento das vias é um dos fatores dominantes resistência térmica total da PCB e deve ser feito com cautela.

Com base na análise térmica da Figura 43, onde foram realizado experimentos com 8 *layout's* diferentes aumentando o número de vias para se analisar o impacto que ele tem sobre a resistência térmica. O layout nº 5 foi escolhido como o recomendado design de layout mínimo PCB, pelo fabricante, pois a partir de 120 vias a diminuição da resistência térmica é mínima. Para um desempenho térmico ideal da PCB, recomenda-se que a cubra a área do pad térmico do componente de cobre e os caminhos térmicos cubram uma área de pelo menos 10x5 mm (50 mm²) em baixo do pad térmico (ou aproximadamente 120 vias), conforme a Figura 43. No projeto desta PCB utilizou-se um número de vias de aproximadamente 200 em uma área ligeiramente maior que 50 mm², podendo ser visualizado no centro da Figura 40.

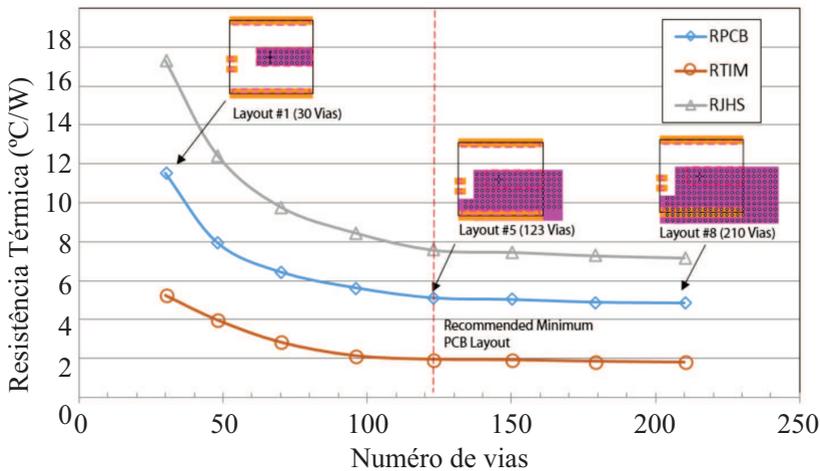


Figura 43 – Variação da resistência térmica com o aumento de números de vias. Imagem obtida no manual (GN005, 2016).

Outra maneira de diminuir a resistência térmica é reduzindo a espessura da PCB ou aumentando o número de camadas, como mostra a Figura 44. Para PCB de 1,6 mm, a resistência térmica total da junção ao dissipador de calor diminui cerca de 10 % para cada 2 camadas. A redução da espessura da PCB de 1,6 mm para 1,0 mm fornece aproximadamente melhoria de 30 % na resistência térmica da PCB. Nesse resultado pode ser visto, que usando 1.0 mm de espessura na PCB é mais eficaz do que adicionar mais camadas de cobre para a PCB padrão de 1,6 mm de espessura. Por exemplo, 2 camadas com 1

mm de espessura a PCB tem menor resistência térmica do que 6-layer PCB e 1,6 mm. Por isso foi utilizado no projeto uma espessura de PCB de 1,0 mm, pois na altera os custos de produção e é possível obter uma resistência térmica menor.

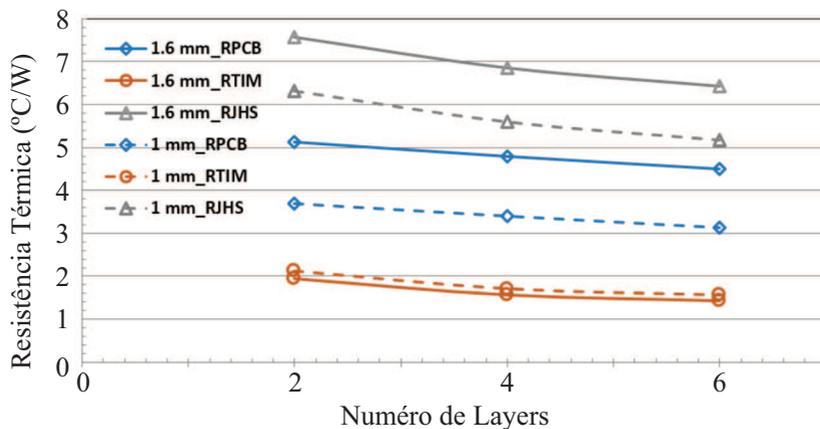


Figura 44 – Variação da resistência térmica com o número de *layer's* e espessura da PCB. Imagem obtida no manual (GN005, 2016).

6.7 COMPONENTES DO CONVERSOR

Para os componentes do conversor boost utilizou-se os componentes descritos na Tabela 12, baseado nos requisitos encontrados no capítulo do projeto do conversor.

Tabela 12 – Componentes utilizados no conversor

Componente	Código	Características
Diodo	VS-15EWL06FN-M3	600 V 15 A
S	GS66508B	650 V 30 A
L	C055350A2	220 μ H
R_{shunt}	CRA2512-FZ-R100ELF	0,1 Ω 3 W
C	ELHS501VSN331MR50S	330 μ F 500V

6.8 RESULTADOS DA PLACA DE CIRCUITO IMPRESSO

A Figura 45 mostra a primeira versão do conversor montado no laboratório do INEP usando os transistores GaN da EPC. Na Figura 46 é a vista lateral da segunda versão da PCB usando os transistores GaN GaNSystem. A Figuras 47 e 48 mostram a vista superior no software e montada, respectivamente. E as Figuras 49 e 50 mostram a vista inferior no software e montada, respectivamente.

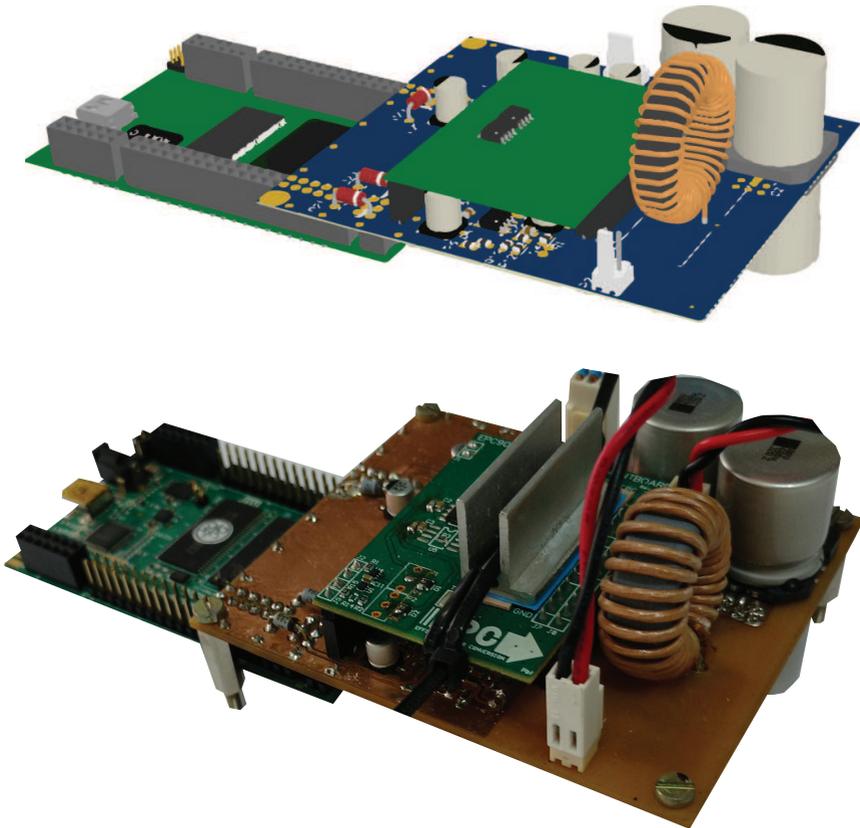


Figura 45 – Na parte superior a vista no software Altium Designer da primeira versão da PCB e na parte inferior a PCB montada.

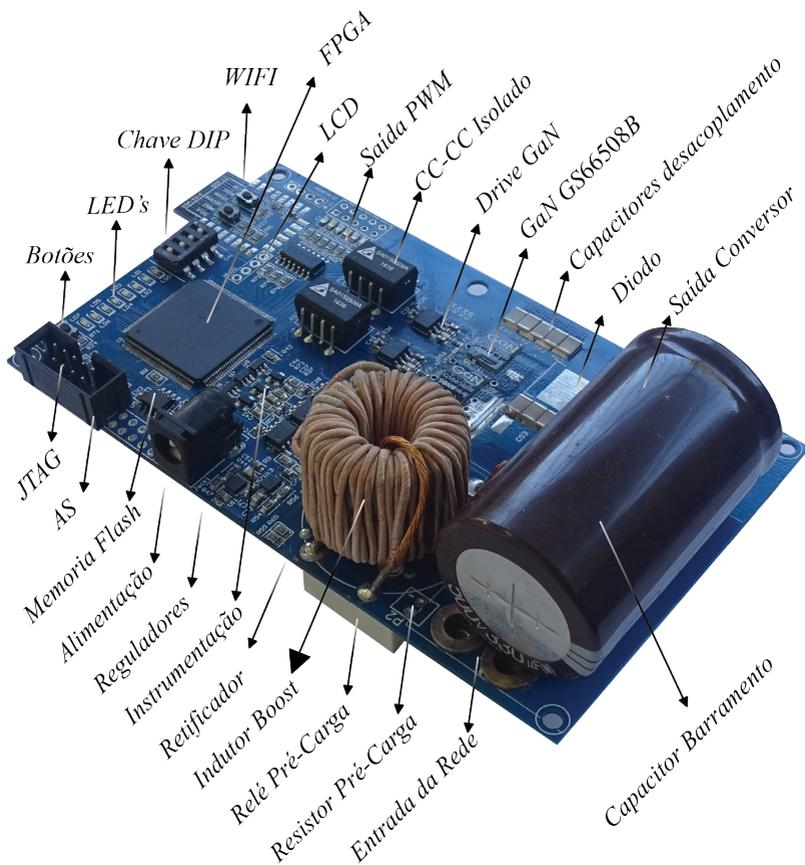


Figura 46 – Vista lateral da PCB.

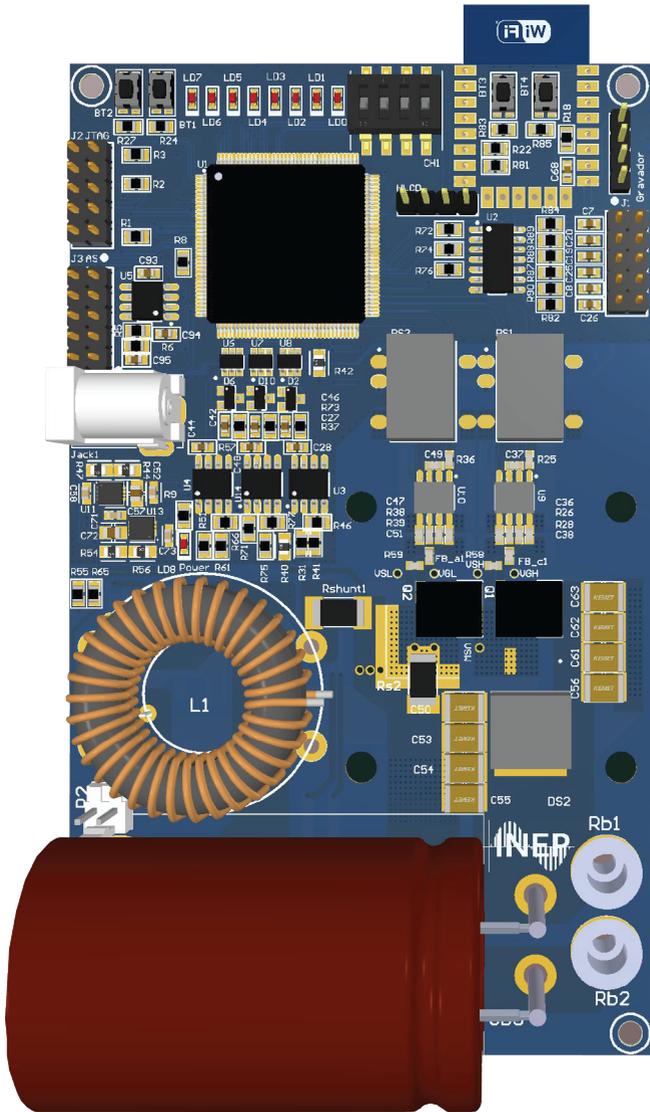


Figura 47 – Vista superior da PCB no *software Altium Designer*.

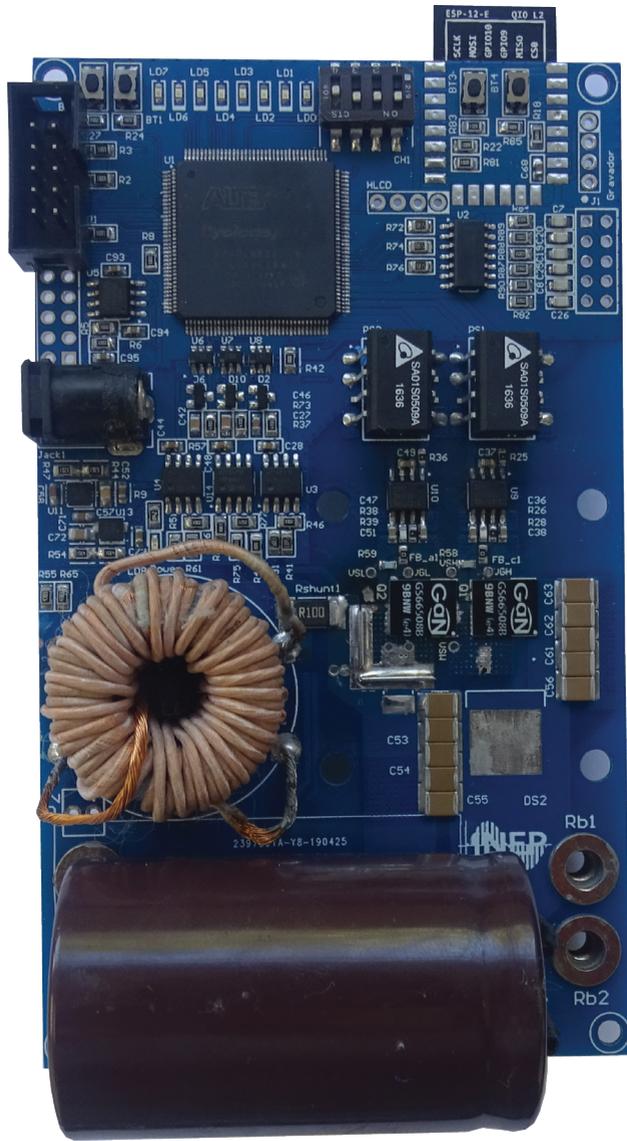


Figura 48 – Vista superior da PCB montada

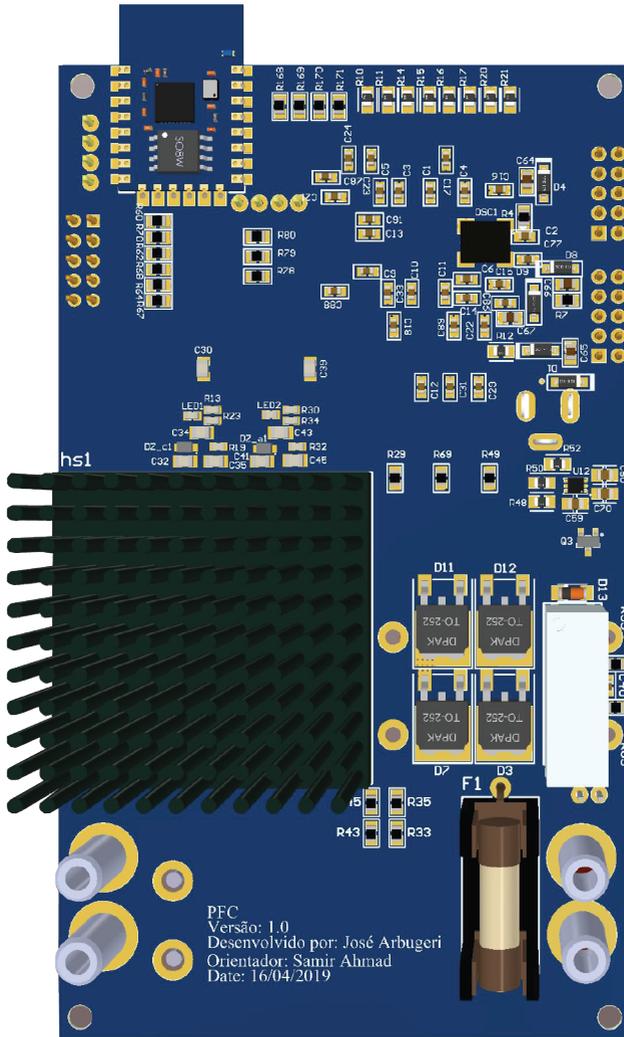


Figura 49 – Vista inferior da PCB no *software Altium Designer*.

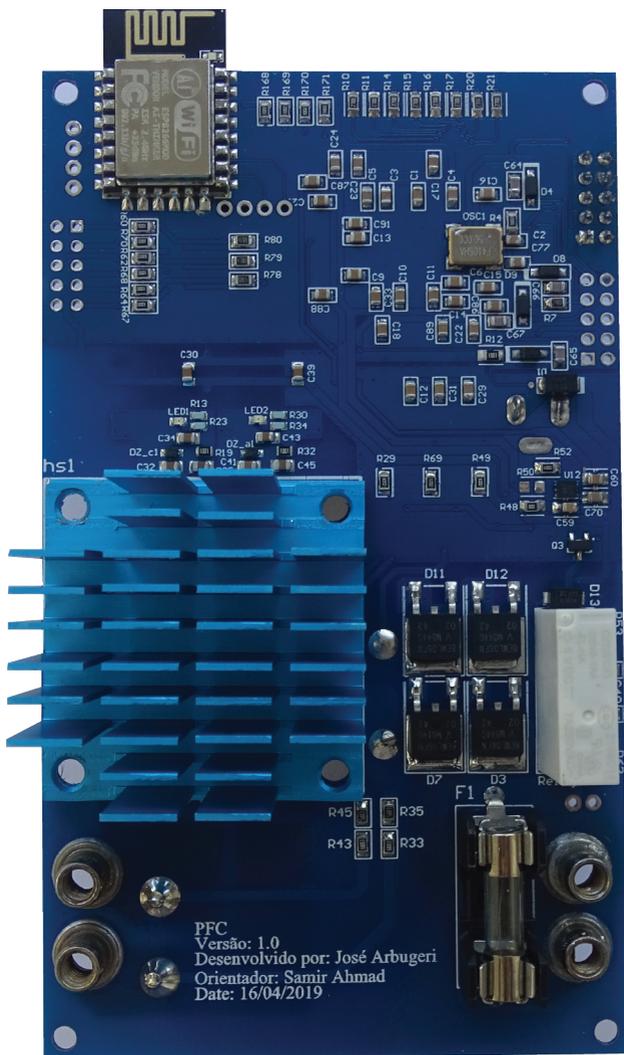


Figura 50 – Vista inferior da PCB montada.

7 CONTROLE PFC POR VALORES MÉDIOS

Controle para conversores PFC usando a técnica por valores médios já é bem conhecida e discutida na literatura, como apresentada no livro (ERICKSON; MAKSIMOVI, 2001).

Este capítulo demonstra a aplicação de um projeto de controladores pelo domínio da frequência usando o controle por valores médios. O projeto pelo domínio da frequência se dá pela escolha de margem de fase e frequência de corte para o sistema em laço aberto compensado ($FTLA_c$). Para o conversor boost (CC-CC) dada as especificações que estão presente na Tabela 13, será mostrado as etapas para desenvolver os compensadores para a malha de tensão e de corrente usando método da frequência.

Tensão de entrada	220 V
Tensão de saída	380 V
Frequência de comutação	100 kHz
Potencia	1000 W
R	290 Ω
L	220 μ H
C	680 μ F
Ganho do modulador PWM	1/1024

7.1 PROJETO DA MALHA DE CORRENTE

A Figura 51 representa a malha de corrente aplicada ao conversor boost. A leitura de corrente obtida a partir de um resistor *shunt* é subtraída da referência senoidal, o erro gerado é a entrada do controle PI. A malha de corrente então consiste no projeto do controlador PI, para os requisitos desejados, que serão discutidos a seguir.

Como já foi demonstrado em capítulos anteriores, a função de transferência de corrente por razão cíclica do conversor boost é dada por:

$$G_{id}(s) = \frac{V_O(2 + sRC)}{s^2RLC + sL + (1 - D)^2R} \quad (7.1)$$

Então definimos a $FTLA_{nc}$ (Função de transferência de laço

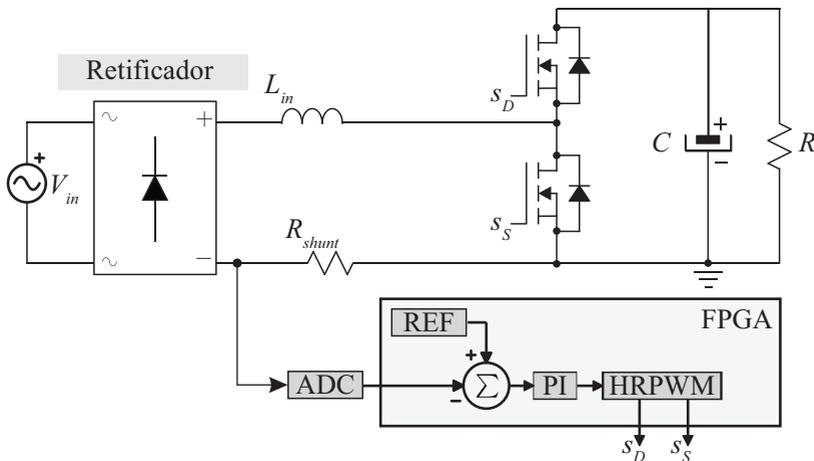


Figura 51 – Controle da malha de corrente aplicado ao conversor PFC.

aberto não compensada) como:

$$FTLA_{nc}(s) = K_{PWM}G_{id}(s)K_i(s) \quad (7.2)$$

como pode ser visto na Figura 52. Onde $REF_I(s)$ é a referência senoidal da malha de corrente.

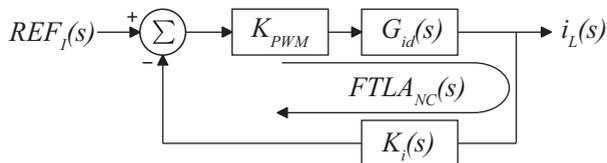


Figura 52 – Função de transferência de laço aberto não compensado da malha de corrente.

Substituindo os valores da Tabela 13 pode-se esboçar o gráfico de bode para $FTLA_{nc}$, então tem-se a Figura 53.

Então definimos a $FTLA_c$ (Função de transferência de laço aberto compensada) como o produto $FTLA_{nc}$ e $C_i(s)$:

$$FTLA_c(s) = FTLA_{nc}(s)C_i(s) \quad (7.3)$$

A partir da $FTLA_c$ podemos definir os parâmetros desejados

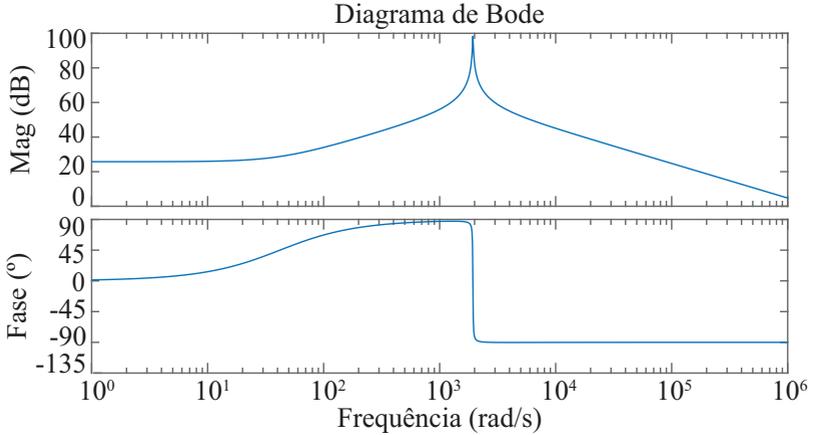


Figura 53 – Bode da função de transferência em laço aberto não compensado da malha de corrente.

para controle, a $FLLA_c$ pode ser visto na Figura 54. Para o projeto

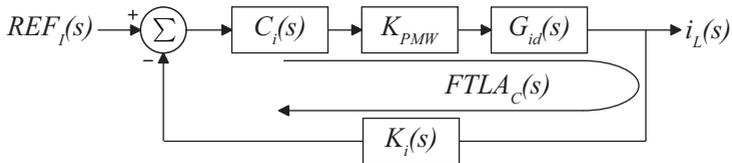


Figura 54 – Função de transferência em laço aberto compensado do conversor

do controlador $C_i(s)$ temos as condições de magnitude:

$$|FLLA_c(wc)| = |FLLA_{nc}(wc)| |C_v(wc)| = 1 \quad (7.4)$$

e fase:

$$\angle FLLA_c(wc) = \angle FLLA_{nc}(wc) + \angle C_v(wc) = 180^\circ \quad (7.5)$$

Como se sabe a função de transferência do controlador PI é:

$$C_i(s) = \frac{Kc(s + wz)}{s} \quad (7.6)$$

Substituindo (7.6) em (7.4) chegamos no Kc :

$$Kc = \frac{wc}{\sqrt{wc^2 + wz^2}} \frac{1}{|FTLA_{nc}(wc)|} \quad (7.7)$$

e substituindo (7.6) em (7.5) chegamos no wz :

$$wz = \frac{wc}{\tan(MF - 90^\circ - \angle FTLA_{nc}(wc))} \quad (7.8)$$

Assim para o projeto definimos uma frequência de corte desejada wc e margem de fase MF e verificamos se os valores escolhidos são realizáveis usando o PI. Para esse projeto a MF escolhida foi 85° e uma frequência de corte uma década abaixo da frequência de comutação e aproximadamente duas décadas acima da frequência de referência, que é 120 Hz. Os valores escolhidos podem ser visto na Tabela 14.

Tabela 14 – Requisitos de projeto para MF e wc para a malha de corrente

MF	85°
wc	10 kHz

Para esses valores escolhidos de MF e wc chegamos no seguinte compensador:

$$C_v(s) = \frac{0,036(s + 5476)}{s} \quad (7.9)$$

E o bode da $FTLA_c$ pode ser visto na Figura 55, podemos notar que os critérios escolhidos no projeto foram atendidos.

7.2 DEFININDO A REFERÊNCIA PARA A MALHA DE CORRENTE

A referência de corrente usada para a malha de corrente pode ser gerada das mais diversas forma: através de PLL gerado a partir da tensão da rede, gerado internamente a partir de tabela, funções trigonométricas disparadas na passagem por zero da tensão da rede elétrica ou diretamente da tensão de entrada normalizada. Ainda é possível gerar a partir das diversas combinações das opções anteriores. Neste projeto visando a simplicidade usou-se como referência a tensão já retificada, assim é possível simplificar tanto o circuito de instrumentação quando o processamento digital do sinal. O sinal de tensão retificador é amostrado e normalizado a partir da corrente de pico nominal do

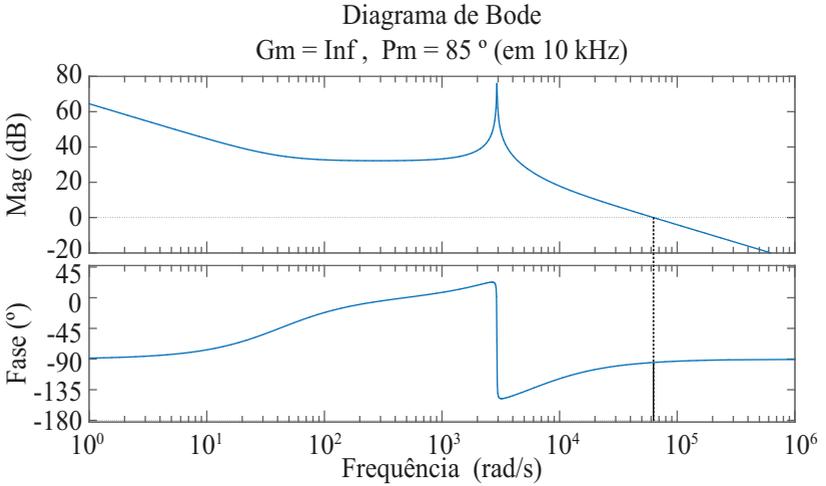


Figura 55 – Bode da função de transferência em laço aberto compensado. Pode-se notar que a MF ficou 85° e a frequência de corte em 10 kHz

conversor. O controle então pode ser visto na Figura 56.

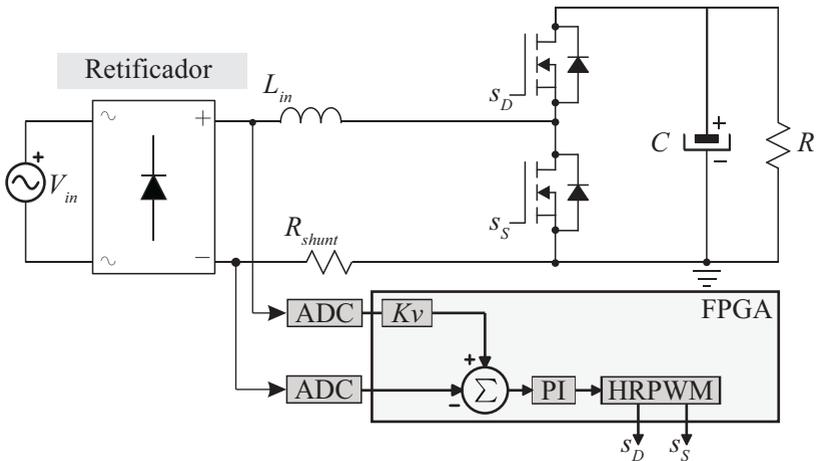


Figura 56 – Controle de corrente com a referência de corrente obtida a partir da tensão retificada.

Para encontrar a constante Kv para a malha de referência primeiramente encontramos a corrente eficaz (I_{RMS}) que é dada por:

$$I_{RMS} = \frac{P_{nom}}{V_{RMS}} \quad (7.10)$$

e o ganho proporcional é dado pelo inverso da corrente de pico em operação nominal:

$$Kv = \frac{1}{I_{RMS}\sqrt{2}} \quad (7.11)$$

assim para os valores da Tabela 13:

$$Kv = 0,155563 \quad (7.12)$$

7.3 PROJETO DA MALHA DE TENSÃO

Com a malha de corrente, o conversor opera em um ponto fixo que pode ser satisfatório, entretanto para que o conversor possa operar com variação de carga ou variação de tensão de entrada, é necessário adicionar uma malha de tensão que faça com que a tensão de saída opere em um valor médio de tensão fixo, dado por REF como mostrado na Figura 57.

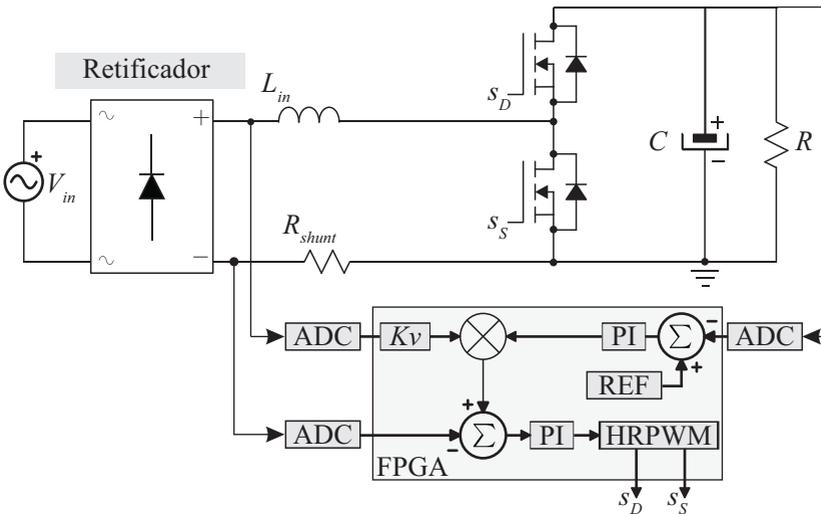


Figura 57 – Malha de corrente e de tensão do conversor PFC

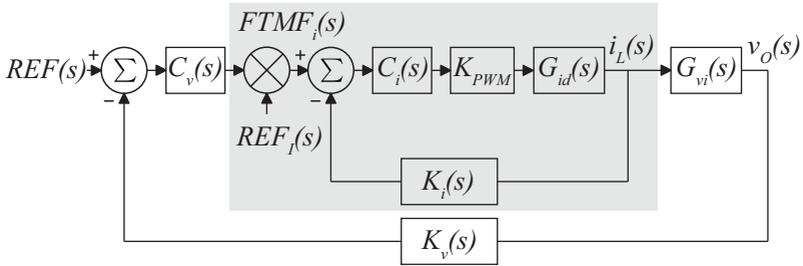


Figura 58 – Diagrama de bloco do controle, com uma malha interna rápida de corrente e uma malha externa de tensão lenta.

A o diagrama de blocos do controle completo pode ser visto na Figura 58. A região sombreada da Figura 58 representa a função de transferência de malha fechada da corrente ($FTMF_i(s)$) e é dado por:

$$FTMF_i(s) = \frac{K_{PWM}G_{id}(s)C_i(s)}{1 + K_{PWM}G_{id}(s)C_i(s)K_i(s)} \quad (7.13)$$

Em virtude das malhas de tensão e de corrente terem sido projetadas para serem desacopladas, a influência dinâmica da malha de corrente sobre a tensão do barramento CC pode ser desconsiderada. Para demonstrar isso substitui-se as respectivas funções de transferência referentes a $G_{id}(s)$, $C_i(s)$ e K_{PWM} em 7.13 e fazer, posteriormente, s tendendo a 0 obtém-se:

$$\lim_{s \rightarrow 0} FTMF_i(s) = \frac{1}{K_i} \quad (7.14)$$

Onde K_i é o ganho da instrumentação de corrente. Como resultado de 7.14 chegamos no diagrama apresentado na Figura 59.

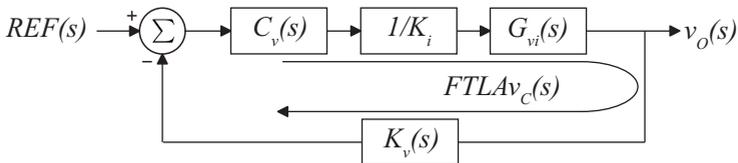


Figura 59 – Diagrama de blocos do controle de tensão simplificado.

Agora adotamos mesmo procedimento utilizado na malha de corrente para obtenção da malha de corrente. Como já foi demonstrado em capítulos anteriores, a função de transferência de tensão por razão

cíclica do conversor boost é dada por:

$$G_{vi}(s) = \frac{\frac{V_{LN}R}{V_O} - \frac{sRLL_L}{V_O}}{(2 + sRC)} \quad (7.15)$$

Então definimos a $FLLAv_{nc}$ (Função de transferência de laço aberto não compensado para a malha de tensão.) como:

$$FLLAv_{nc}(s) = \frac{1}{K_i} G_{vi}(s) K_v(s) \quad (7.16)$$

como pode ser visto na Figura 59.

Substituindo os valores da Tabela 13 pode-se esboçar o gráfico de bode para $FLLAv_{nc}$, tem-se a Figura 60.

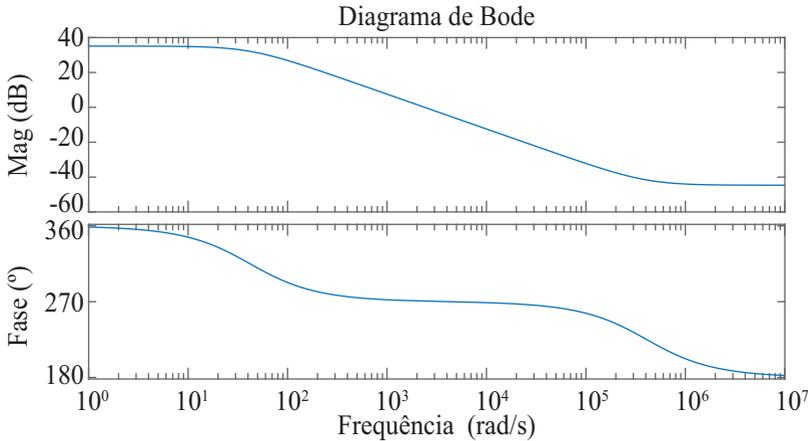


Figura 60 – Bode da função de transferência em laço aberto não compensado da malha de tensão

Então definimos a $FLLAv_c$ (Função de transferência de laço aberto compensado para a malha de tensão.) como o produto $FLLAv_{nc}$ e $C_v(s)$:

$$FLLAv_c(s) = FLLAv_{nc}(s) C_v(s) \quad (7.17)$$

A partir da $FLLAv_c$ podemos definir os parâmetros desejados para controle. Para o projeto do controlador $C_v(s)$ temos as mesmas condição de magnitude e fase que mostrados anteriormente, são elas as equações 7.4 e 7.5:

Assim para o projeto definimos uma frequência de corte desejada w_c e margem de fase MF e verificamos se os valores escolhidos são realizáveis usando o PI. Para esse projeto a MF escolhida foi 90° e uma frequência de corte um pouco abaixo de uma década da frequência retificada da rede elétrica, ou seja 6 Hz. Os valores escolhidos podem ser visto na Tabela 15.

Tabela 15 – Requisitos de projeto para MF e w_c para a malha de tensão

MF	90°
w_c	6 Hz

Para esses valores escolhido de MF e w_c chegamos no seguinte compensador:

$$C_v(s) = \frac{0,01576(s + 41,9632)}{s} \quad (7.18)$$

E o bode da $F T L A_c$ pode ser visto na Figura 61, podemos notar que os critérios escolhido no projeto foram atendidos.

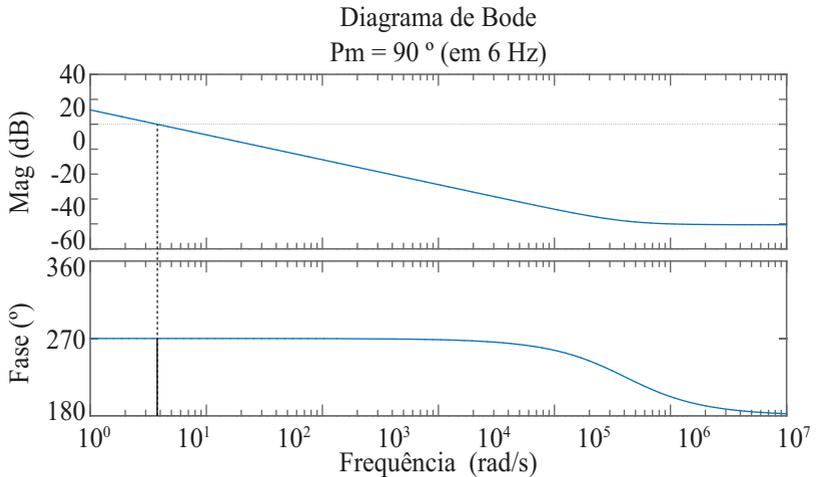


Figura 61 – Bode da função de transferência em laço aberto compensado. Pode-se notar que a MF ficou 90° e a frequência de corte em 6 Hz

8 CONTROLE PFC POR AUTO-CONTROLE

A estratégia de controle para o PFC, auto-controle (BORGONOVO et al., 2005), consiste em um controle muito similar ao controle clássico por valores médios, a não ser por pequenas simplificações. A topologia do controle pode ser vista na Figura 62. Para a malha de corrente a estratégia consiste em definir a razão cíclica proporcional a amostras da corrente de entrada, assim essa estratégia remove a redundância do controle clássico onde a corrente de entrada e tensão são necessários. Algumas vantagens dessa estratégia comparada a clássica maior simplicidade de implementação, além de menor susceptibilidade a ruído e um start mais suave do conversor (BORGONOVO et al., 2005).

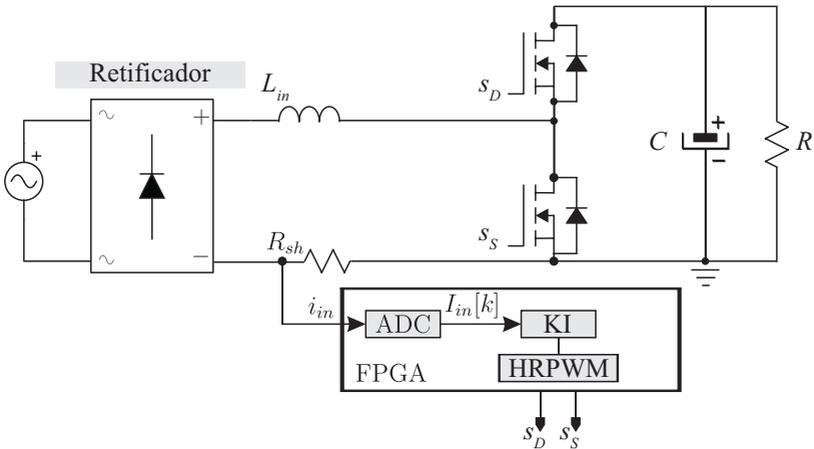


Figura 62 – Controle do PFC utilizando somente a malha de corrente, que consiste em uma constante proporcional K_I .

8.1 MALHA DE CORRENTE

Para definir a constante K_I do controle da Figura 62, algumas análises matemáticas são feitas. Primeiro, a razão cíclica é definido por:

$$D(t) = K_I I_L(t) \quad (8.1)$$

Ignorando as harmônicas de tensão proveniente da comutação da chave S_S , Figura 62 e a ondulação de tensão na saída. A tensão do interruptor é definida por:

$$V_s(t) = K_I V_{out} I_L(t) \quad (8.2)$$

A tensão no indutor é dada por:

$$V_L(t) = V_{IN}(t) - V_s(t) \quad (8.3)$$

Logo:

$$V_L(t) = V_{IN}(t) - K_I V_{out} I_L(t) \quad (8.4)$$

Para derivação por zero, a curva do equilíbrio é dada por:

$$I_L = \frac{V_{IN}}{K_I V_{out}} \quad (8.5)$$

Usando conservação de energia da entrada para a saída:

$$P_{IN} = P_{OUT} \quad (8.6)$$

Desde que em regime permanente sem a malha de tensão, podemos assumir que não tem variação na amplitude da saída assim a potência extraída será constante e a constante K_I pode ser determinada:

$$P_{OUT} = \frac{V_p V_p}{2 K_I V_{out}} \quad (8.7)$$

Então:

$$K_I = \frac{V_p^2}{2 P_{out} V_{out}} \quad (8.8)$$

Com base na Tabela 4 das especificações do PFC podemos calcular o valor K_I para esse projeto:

$$K_I = 0,125 \quad (8.9)$$

8.2 MALHA DE TENSÃO

Para assegurar uma tensão na saída, independente de variação de carga ou da tensão de entrada é necessário projetar uma malha

de tensão minimizando o erro de tensão na saída no conversor, como mostra a Figura 63. A malha de tensão consiste em amostras da tensão de saída que são subtraídas da tensão de referência desejada, assim esse sinal de erro passa por um controlador PI que geram um sinal compensado para a malha de tensão com finalidade de minimizar seu erro na entrada.

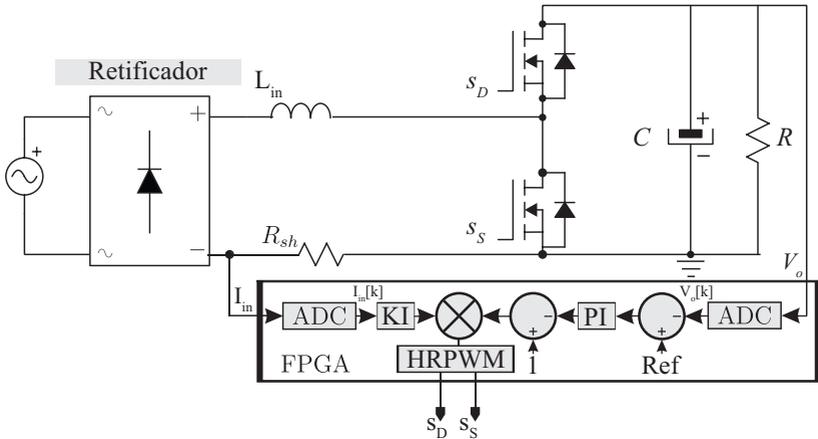


Figura 63 – Estratégia de controle com malha de tensão e corrente. A referência de tensão é 100 V, o sinal de saída do PI é subtraído de 1 e multiplicado pela malha de corrente gerando o sinal modulação para o HRPWM.

A função de transferência obtida anteriormente para o controle da malha de tensão é:

$$\frac{\tilde{v}_O}{\tilde{i}_L} = \frac{V_{LN}R}{V_O} - \frac{sRLI_L}{V_O} \quad (8.10)$$

Para as especificações da Tabela 4 a função de transferência obtida é:

$$\frac{\tilde{v}_o(s)}{\tilde{i}_{in}(s)} = \frac{31.83 - 0.1005s}{2 + 0.068s} \quad (8.11)$$

O critério de projeto para a malha de tensão foi o tempo de resposta menor que 0,5 segundos e um sobressinal máximo de 10 %, como pode ser visto na Figura 64.

O lugar das raízes mostra as regiões proibidas para estes critérios

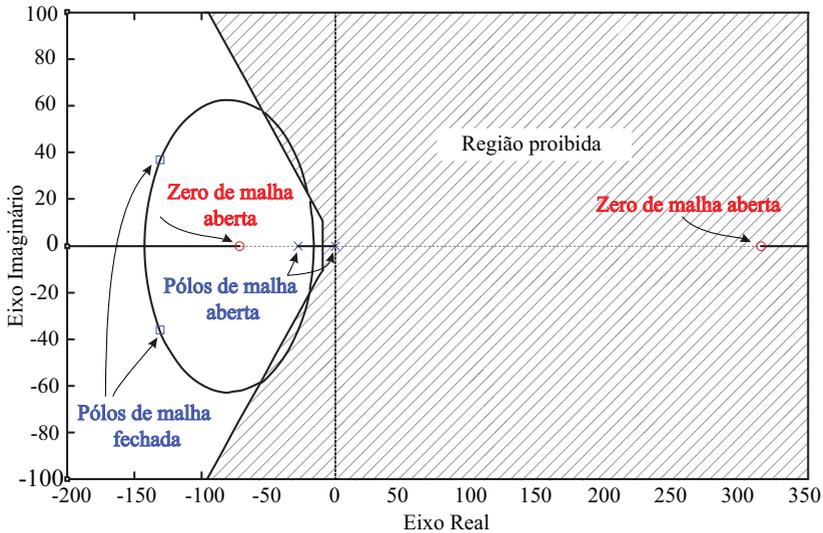


Figura 64 – O lugar das raízes mostra os zeros e pólos de malha aberta e os pólos de malha fechada, o caminho das raízes e a região proibida.

de projeto e o lugares das raízes malha fechada. Ainda em `ref raiz1` pode ser visto a função transferência em malha aberta, um pólo a $-29,41$ e o zero no semi-plano direito. O resultado do controlador PI obtido pode ser visto na equação (8.12).

$$C(s) = \frac{0.3088(s + 69.31)}{s} \quad (8.12)$$

9 IMPLEMENTAÇÃO EM VHDL NO FPGA

Nesta seção será discutido as implementações das principais estruturas usando linguagem de descrição de hardware. No apêndice está disponível os demais códigos utilizados para implementar os controles no FPGA.

9.1 TEMPO MORTO

A estrutura utilizada para escrever a linguagem de descrição de hardware do tempo morto foi totalmente baseada na arquitetura da família DSP TMS320F280XX como por exemplo o 28027, que pode ser encontrado na folha de dados do componente (TMS320F2802x, Piccolo Technical Reference Manual, 2018). A estrutura pode ser vista na Figura 65.

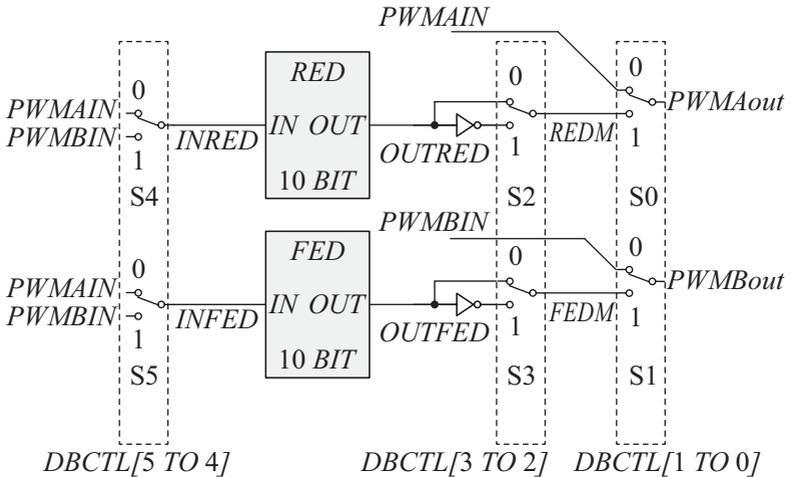


Figura 65 – Estrutura do tempo morto implementado em linguagem de descrição de hardware.

Com o módulo é possível gerar faixas de tempo morto tanto na borda de subida como na descida. As principais modo de operação desse modulo de tempo morto (*dead-band*) são:

- Gerar pares de sinais apropriados ($PWMAout$ $PWMBout$) a partir de um único sinal ($PWMxin$)
- Programando pares de sinal para:
 - Ativo alto (AH)
 - Ativo baixo (AL)
 - Ativo alto complementar (AHC)
 - Ativo baixo complementar (ALC)
- Adicionado atraso programável às bordas subida
- Adicionado atraso programável às bordas descida
- Sem tempo morto

Na estrutura implementada existem apenas três registradores DBCTL, DBRED e DBFED representados na Tabela 16. Os registradores DBRED e DBFED são os registradores dos contadores da borda de subida RED e da borda de descida FED respectivamente. O tempo de atraso da borda de subida e descida serão dados pelos valores inseridos nestes registradores multiplicado pelo período do clock, como mostra a equação 9.1 e 9.2.

$$FED = DBFED \cdot T_{CLK}, \quad (9.1)$$

para o RED (*rising-edge delay time*) e

$$RED = DBRED \cdot T_{CLK}, \quad (9.2)$$

para o FED (*falling-edge delay time*). No caso deste projeto um *clock* de 100 MHz foi utilizado, e valor 3 para DBRED e DBFED, desta forma T_{CLK} é 10 ns. E o tempo morto obtido tanto para a borda de subida quanto para a borda de descida é 30 ns.

Tabela 16 – Registradores do módulo de tempo morto

Registrador	Tamanho	Descrição
DBCTL	6 bit	Registrador de controle geral
DBRED	10 bit	Registrador do contador de borda de subida
DBFED	10 bit	Registrador do contador de borda de descida

Para este projeto utilizou-se o modo de operação ativo alto complementar (AHC), que pode ser visto na Figura 66. Com apenas um

o sinal PWM_{in} é gerado tanto o PWMA_{out} e PWMB_{out} configurando o registrador DBCTL com o valor 0b001011, assim configurados os MUX's da Figura 65 de forma correta. Outras formas de operações possíveis são mostradas na Figura 66 e suas respectivas formas de onda de saída obtidas.

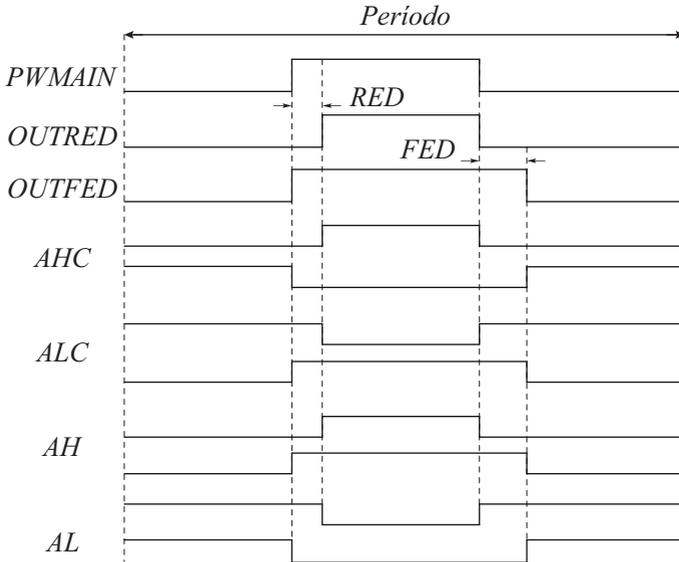


Figura 66 – Possibilidades de operação usando o módulo de tempo morto, com suas respectivos sinais de saída obtidos a partir do *PWM_{in}*.

Abaixo pode ser visto o código implementado em VHDL para o módulo do tempo morto.

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.NUMERIC_STD.ALL;
--Declaração das portas de entrada e saída
ENTITY PwmDeadTime IS
PORT(
  CLK      : IN  STD_LOGIC;
  PWMin  : IN  STD_LOGIC;
  PWMbin : IN  STD_LOGIC;
  PWMout : OUT STD_LOGIC;

```

```

PwMBout : OUT STD_LOGIC;
RED      : IN  STD_LOGIC_VECTOR (9 DOWNTO 0);
FED      : IN  STD_LOGIC_VECTOR (9 DOWNTO 0)
);
END PwmDeadTime;

ARCHITECTURE ARCH OF PwmDeadTime IS
--REGISTER
CONSTANT DBCTL: STD_LOGIC_VECTOR (5 DOWNTO 0) := "001011";
SIGNAL DBRED: STD_LOGIC_VECTOR (9 DOWNTO 0) := "0000000011";
SIGNAL DBFED: STD_LOGIC_VECTOR (9 DOWNTO 0) := "0000000011";
--Signals
SIGNAL COUNTER_RED : STD_LOGIC_VECTOR (9 DOWNTO 0)
:= "0000000000";
SIGNAL COUNTER_FED : STD_LOGIC_VECTOR (9 DOWNTO 0)
:= "0000000000";
SIGNAL PWMA_TEMP,PWMB_TEMP : STD_LOGIC ;
SIGNAL INRED,INFED : STD_LOGIC ;
SIGNAL PWMR_MASK,PWMF_MASK : STD_LOGIC ;
SIGNAL OUTRED,OUTFED : STD_LOGIC ;
SIGNAL REDM,FEDM : STD_LOGIC ;

BEGIN

DBRED <= RED;
DBFED <= FED;
--MUX DBCTL[IN_MODE]
INRED <= PWMAin when (DBCTL(4) = '0') else PwMBin;
INFED <= PWMAin when (DBCTL(5) = '0') else PwMBin;
PROCESS(CLK,INRED)
BEGIN
IF rising_edge(CLK) AND CLK='1' THEN
IF INRED = '1' THEN
COUNTER_RED <= std_logic_vector(unsigned(COUNTER_RED) + 1);
ELSE
COUNTER_RED <= "0000000000";
END IF;

IF COUNTER_RED >= DBRED THEN
PWMR_MASK <= '1';
ELSE

```

```

    PWMR_MASK <= '0';
  END IF;
END IF;
END PROCESS;

OUTRED <= INRED AND PWMR_MASK;

PROCESS(CLK,INFED)
BEGIN
  IF rising_edge(CLK) AND CLK='1' THEN
    IF INFED = '0' THEN
      COUNTER_FED <= std_logic_vector(unsigned(COUNTER_FED) + 1);
    ELSE
      COUNTER_FED <= "000000000";
    END IF;

    IF COUNTER_FED >= DBFED THEN
      PWMF_MASK <= '1';
    ELSE
      PWMF_MASK <= '0';
    END IF;
  END IF;
END PROCESS;

OUTFED <= INFED OR NOT(PWMF_MASK);

--MUX DBCTL[POLSEL]
REDM <= OUTRED when (DBCTL(2) = '0') else NOT(OUTRED);
FEDM <= OUTFED when (DBCTL(3) = '0') else NOT(OUTFED);
--MUX DBCTL[OUT_MODE]
PWMAout <= PWMAin when (DBCTL(0) = '0') else REDM;
PWMBout <= PWMBin when (DBCTL(1) = '0') else FEDM;

END ARCH;

```

9.2 SPI

O SPI (*Serial Peripheral Interface*) é uma comunicação síncrona, ou seja, possuem um *clock* compartilhado entre os dois dispositivos diferente da RS232 por exemplo que é assíncrono. O SPI possui arquitetura

tura mestre-escravo com 4 fios de conexão, sendo eles MISO (*Master-In Slave-Out*), MOSI (*Master-Out Slave-In*), SCK (*Serial Clock*) e SS (*slave select*) e esses pinos possuem direção e sentido de comunicação únicos.

A Figura 67 mostra uma representação de conexão entre um mestre e um escravo por SPI. Uma vez que o sinal SS estiver em nível lógico baixo, a cada pulso de *clock*, um bit será transmitido do mestre para o escravo através da MOSI e um bit será transmitido do escravo para o mestre através da conexão MISO.

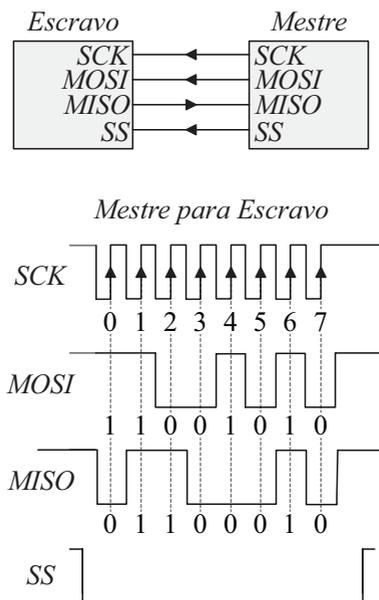


Figura 67 – Estrutura mestre escravo na comunicação SPI.

Entretanto no AD7276 o pino de MISO não é utilizado, pois o fabricante não disponibiliza nenhuma comunicação do FPGA para o ADC, assim o ADC somente envia os valores das leituras quando solicitado, a partir do sinal SS.

Para o AD7276 a seguinte forma de onda é obtida na Figura 68. O CI AD7276 transmite o dado a partir da borda de descida do pino CS (ou SS). Os primeiros dois *bits* transmitido são zero, seguido da leitura analógica e com mais dois zero na parte final do dado, totalizando 16 *bits* de informação, já que o ADC é de 12 *bits*. Desta forma a partir do

bit 13 pode-se passar para nível lógico alto o bit CS, assim encerrando a transmissão, como apresentado no manual (Analog Devices AD7276, 2015).

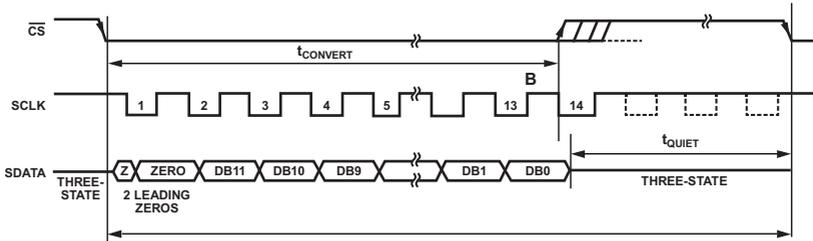


Figura 68 – Temporização para a interface serial do CI AD7276 usando apenas 14 ciclos de *clock*. Imagem obtida no manual (Analog Devices AD7276, 2015).

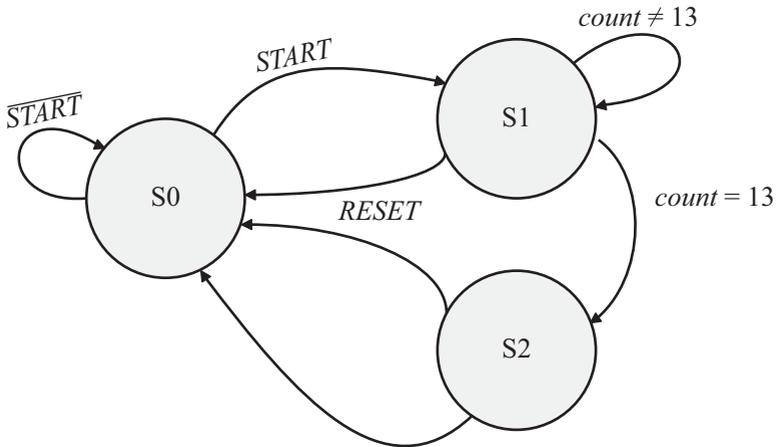


Figura 69 – Máquinas de estados para a implementação da comunicação SPI. Cada estado possui uma condição de permanência ou avanço de estado, exceto o estado S2.

Para implementar o SPI no FPGA utilizou-se uma máquina de estados finita como mostra a Figura 69. Para criar essa máquina baseou-se nos dados obtidos no manual do AD7276 (Analog Devices AD7276,

2015), que pode ser resumido na Figura 68. No estado S0, enquanto START for diferente de zero ele ficará neste estado, quando START for um ele passará para o S1, onde receberá os dados sequencialmente pelo ADC. Ele ficará nesse estado até o momento que o contador chega no valor 13, passando para o último estado, onde o contador é zerado e o dado recebido pelo ADC é enviado para a saída, então voltando para o estado S0 aguardando um novo início de conversão. O programa escrito em VHDL pode ser visto abaixo.

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.NUMERIC_STD.ALL;

ENTITY SPI_RX IS PORT(
  CLK      : IN  STD_LOGIC;
  RESET    : IN  STD_LOGIC ;
  START    : IN  STD_LOGIC  := '1';
  DATA    : IN  STD_LOGIC ;
  CS       : OUT STD_LOGIC  := '1';
  ADC_DATA : OUT UNSIGNED(11 downto 0) := (others => '0'));
END SPI_RX;

ARCHITECTURE RTL OF SPI_RX IS

  SIGNAL data_temp: unsigned(11 downto 0) := (others => '0');
  SIGNAL count: integer range 0 to 15 := 0;
  TYPE state_type IS (s0, s1, s2);
  SIGNAL state : state_type;

BEGIN
  -- LOGICA PARA AVANÇO DE ESTADO
  PROCESS(CLK, RESET, START)
  BEGIN
    IF RESET = '1' THEN
      state <= s0;
    ELSIF RISING_EDGE(CLK) THEN
      CASE state IS
        WHEN s0=>
          IF START = '1' THEN
            state <= s1;
          ELSE
            state <= s0;
          END IF;
        --
      END CASE;
    END IF;
  END PROCESS;

```

```

        END IF;
    WHEN s1=>
        IF count = 13 THEN
            state <= s2;
        ELSE
            state <= s1;
        END IF;
    WHEN s2=> state <= s0;
END CASE;
END IF;
END PROCESS;
-- LOGICA PARA CADA ESTADO
PROCESS(state,CLK)
BEGIN
    CASE state IS
    WHEN s0 =>
        cs <= '1';
    WHEN s1 =>
        cs <= '0';
    IF RISING_EDGE(CLK) THEN
        IF count = 13 THEN
            count <= 0;
        ELSE
            count <= count + 1;
        END IF;
    END IF;
    IF FALLING_EDGE(CLK) THEN
        data_temp <= data_temp(10 downto 0) & DATA;
    END IF;
    when s2 =>
        cs <= '1';
        ADC_DATA <= data_temp;
    END CASE;
END PROCESS;
END RTL;

```

9.3 REPRESENTAÇÃO DE NÚMEROS EM PONTO FIXO

Para implementar as estratégias de controle no PFGA, necessitou-se a representação de números com vírgula em números inteiros, já que

o FPGA trabalha com ponto fixo. Ainda que seja possível implementar em unidades de ponto flutuante no FPGA usando bibliotecas em alto nível, cabe lembrar que o desempenho é substancialmente afetado nestes casos, e assim é recomendado, sempre que possível, que o processamento seja feito em ponto fixo. Além disso para manter o processo o mais baixo nível possível e se possa ter um baixo tempo de propagação nos circuitos, o que tem muita importância quando se está operando conversores em alta frequência e necessita-se de uma malha de controle rápida.

De forma simples, para representar um número fracionário multiplicamos ele por uma potência de 2, por que essas operações são facilmente implementadas digitalmente com deslocamentos. Sendo que multiplicação por potência de 2 representa um deslocamento para a esquerda e divisão por potência de 2 representa um deslocamento para a direita. Para representar na Q16, multiplicamos o número fracionário que desejamos representar por 2^{16} assim obtemos uma representação como a Figura 70. Onde os *bits* menos significativos [15 até 0] representarão a parte fracionária, e a menor representação é dada pelo bit 0 e vale:

$$\frac{1}{2^{16}} = 0,0000152587890625 \quad (9.3)$$

e a parte mais significativa representa a parte inteira que pode ser representada até:

$$2^{15} = 32.768 \quad (9.4)$$

e o bit mais significativo representa o sinal.

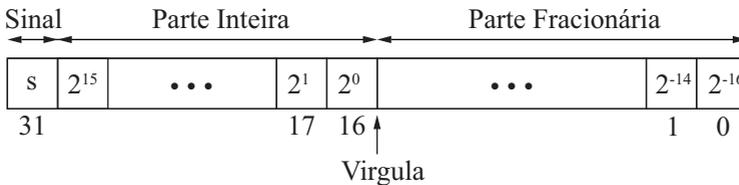


Figura 70 – Representação de um número na Q16 utilizando 32 *bits*

9.3.0.1 Implementação do PWM de alta resolução em VHDL

Os resultados para HRPWM dente de serra e triangular já foram mostrados em capítulos anterior, esta seção está apenas para mostrar

como foi desenvolvido o código em VHDL e comentar alguns pontos importantes. Na Figura 71 mostra como é feito o controle do conversor, quando o contador tem valor igual a zero é gerado um pulso de start para os ADC's que iniciam a conversão das grandezas elétricas. Em seguida quando finalizada a conversão o valor é enviado para o algoritmo de controle e então é calculado uma nova razão cíclica. Essa nova razão cíclica é então atualizada no HRPWM no início do próximo período através de um registrador *SHADOW* (Registrador *SHADOW* é responsável por atualizar a razão cíclica apenas no início do período), como pode ser visto tanto na Figura 71 quando no código VHDL abaixo.

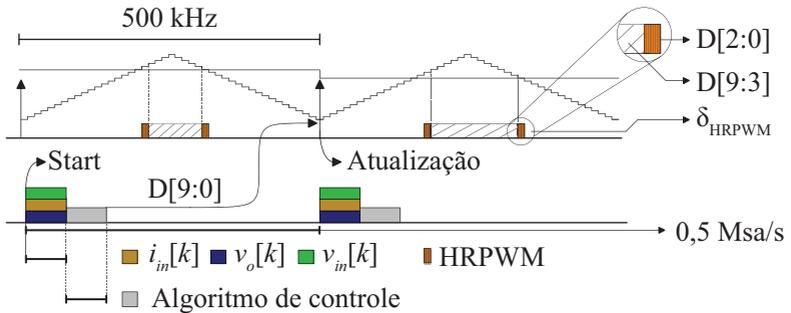


Figura 71 – Representação de forma qualitativa dos tempos de conversão dos ADC's, tempo de propagação do controle e a atualizações da razão cíclica. Também é possível visualizar o início da conversão do ADC, no ponto Start.

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.numeric_std.ALL;

ENTITY HRPWM IS
PORT(clk0 ,clk45 ,clk90 ,clk135 : IN STD_LOGIC;
      clk180,clk225,clk270,clk315 : IN STD_LOGIC;
      duty_cycle : IN STD_LOGIC_VECTOR (10 DOWNT0 0);
      PWM,START : OUT STD_LOGIC);
END HRPWM;

ARCHITECTURE ARCH OF HRPWM IS

```

```

COMPONENT SRLATCH IS
    PORT(S,R : IN STD_LOGIC ;
         Q,QN : OUT STD_LOGIC);
END COMPONENT;

SIGNAL count0 : STD_LOGIC_VECTOR(7 DOWNTO 0) := "00000000";
SIGNAL SEL    : STD_LOGIC_VECTOR(2 DOWNTO 0);
SIGNAL duty   : STD_LOGIC_VECTOR(7 DOWNTO 0);
SIGNAL CLR_D,SET_D,flag,PWM_TEMP : STD_LOGIC := '0';
SIGNAL SHADOW : UNSIGNED(11 DOWNTO 0);
SIGNAL CLR0 ,CLR45 ,CLR90 ,CLR135 : STD_LOGIC := '0';
SIGNAL CLR180,CLR225,CLR270,CLR315 : STD_LOGIC := '0';
SIGNAL SET0 ,SET45 ,SET90 ,SET135 : STD_LOGIC := '0';
SIGNAL SET180,SET225,SET270,SET315 : STD_LOGIC := '0';
SIGNAL SET ,RESET : STD_LOGIC;

BEGIN
SEL <= STD_LOGIC_VECTOR(SHADOW)(2 DOWNTO 0);
duty <= STD_LOGIC_VECTOR(SHADOW)(10 DOWNTO 3);

PROCESS(clk0)
    BEGIN
    IF(RISING_EDGE(clk0) AND clk0='1') THEN
        IF count0 = "00000000000" THEN
            SHADOW <= UNSIGNED(duty_cycle);
            START <= '1';
        ELSE
            START <= '0';
        END IF;
    IF(flag = '1')THEN
        count0 <= STD_LOGIC_VECTOR(UNSIGNED(count0) - 1);
    ELSE
        count0 <= STD_LOGIC_VECTOR(UNSIGNED(count0) + 1);
    END IF;
    IF(UNSIGNED(count0) = to_unsigned(126,8))THEN
        flag <='1';
    END IF;
    IF(UNSIGNED(count0) = to_unsigned(1,8))THEN
        flag <='0';
    END IF;
END PROCESS;

```

```
END IF;
END PROCESS;
PROCESS(count0)
BEGIN
  IF(duty = std_logic_vector(count0) AND flag='0')THEN
    SETD<='1';
  ELSE
    SETD<='0';
  END IF;
  IF(duty = std_logic_vector(count0) AND flag='1') THEN
    CLRD <= '1';
  ELSE
    CLRD <= '0';
  END IF;
END PROCESS;

PROCESS(clk0)
BEGIN
  IF(rising_edge(clk0)and clk0='1') THEN
    CLR0 <= CLRD;
    SET0 <= SETD;
  END IF;
END PROCESS;

PROCESS(clk45)
BEGIN
  IF(rising_edge(clk45)and clk45='1') THEN
    CLR45 <= CLR0;
    SET45 <= SET0;
  END IF;
END PROCESS;

PROCESS(clk90)
BEGIN
  IF(rising_edge(clk90)and clk90='1') THEN
    CLR90 <= CLR0;
    SET90 <= SET0;
  END IF;
END PROCESS;

PROCESS(c1k135)
```

```
BEGIN
    IF(rising_edge(clk135)and clk135='1') THEN
        CLR135 <= CLR0;
        SET135 <= SET0;
    END IF;
END PROCESS;

PROCESS(clk180)
BEGIN
    IF(rising_edge(clk180)and clk180='1') THEN
        CLR180 <= CLR0;
        SET180 <= SET0;
    END IF;
END PROCESS;

PROCESS(clk225)
BEGIN
    IF(rising_edge(clk225)and clk225='1') THEN
        CLR225 <= CLR0;
        SET225 <= SET0;
    END IF;
END PROCESS;

PROCESS(clk270)
BEGIN
    IF(rising_edge(clk270)and clk270='1') THEN
        CLR270 <= CLR0;
        SET270 <= SET0;
    END IF;
END PROCESS;

PROCESS(clk315)
BEGIN
    IF(rising_edge(clk315)and clk315='1') THEN
        CLR315 <= CLR0;
        SET315 <= SET0;
    END IF;
END PROCESS;

WITH SEL SELECT
    RESET <= CLR0    WHEN "111",
```

```

        CLR45  WHEN "110",
        CLR90  WHEN "101",
        CLR135 WHEN "100",
        CLR180 WHEN "011",
        CLR225 WHEN "010",
        CLR270 WHEN "001",
        CLR315 WHEN "000",
        CLR0   WHEN OTHERS ;

WITH SEL SELECT
    SET <=
        SET0   WHEN "000",
        SET45  WHEN "001",
        SET90  WHEN "010",
        SET135 WHEN "011",
        SET180 WHEN "100",
        SET225 WHEN "101",
        SET270 WHEN "110",
        SET315 WHEN "111",
        SET0   WHEN OTHERS ;

    SRLATCH_inst: component SRLATCH
    PORT MAP (
        S => SET,
        R => RESET,
        Q => PWM,
        QN => open);

END ARCH;
```


10 RESULTADOS EXPERIMENTAIS

Para validar o projeto do conversor PFC e as técnicas de controle, a Figura 72 mostra o resultado do conversor operando em carga nominal, mostrando a tensão de entrada e saída e corrente no indutor. O canal C4 (I_{in}) mostra a corrente de entrada, o canal C2 (V_{in}) mostra a tensão de entrada, com pico de 50 V e o canal C3 (V_{out}) mostram a tensão de saída. Os resultados aqui obtidos são referentes a primeira versão do conversor.

A tensão de saída, mostrada na Figura 74, tem aproximadamente 4 volts de ondulação, como esperado, como apresentado na Tabela 4. A Figura 73 mostra a ondulação da corrente na entrada, o período da ondulação na Figura é de 2 μ s, equivalente a uma frequência de 500 kHz. A Figura 76 infere a THD da corrente de entrada. A magnitude da corrente é concentrada em 60 Hz com 8,47 dB seguido da frequência de comutação com -13,41 dB. Figura 75 mostra um degrau carga de 50 % para 100 % e de 100 % para 50 % comprovando o funcionamento da malha de tensão e estabilidade nesta região

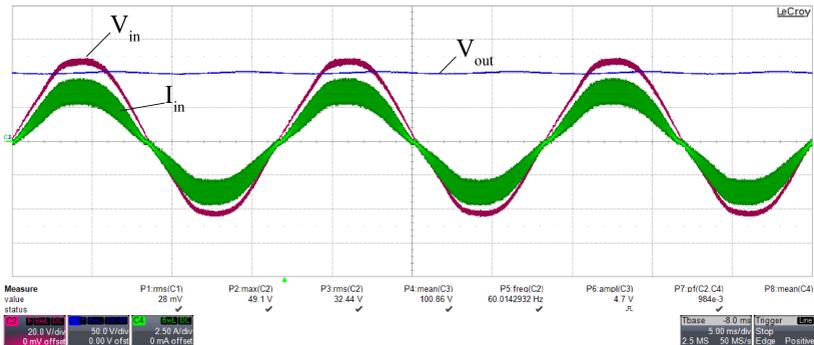


Figura 72 – Corrente de entrada (I_{in}) com 3 A RMS, tensão de entrada (V_{in}) com tensão pico-a-pico de 49 V e tensão saída (V_{out}) 100,86 V mean com uma potência de aproximadamente 104 W na carga.

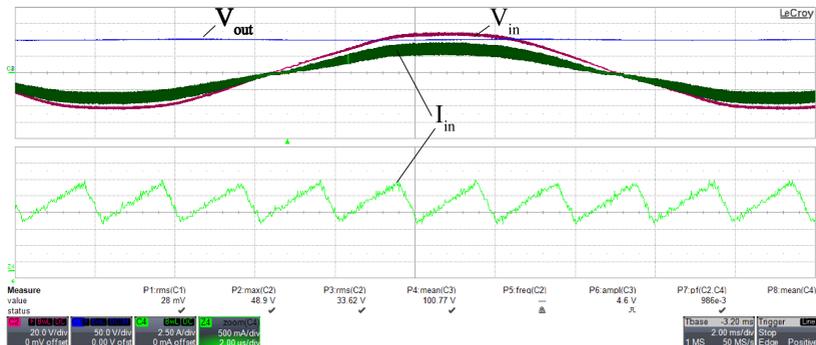


Figura 73 – Zoom na ondulação de corrente da entrada I_{in} . A frequência da ondulação do indutor é de 500 kHz, que representa a frequência de comutação.

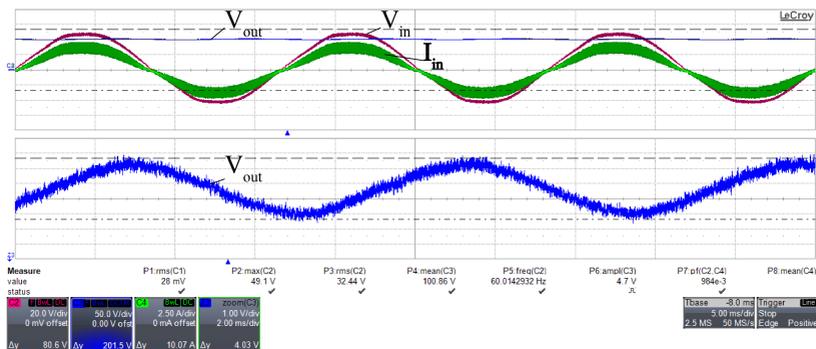


Figura 74 – Zoom na ondulação de tensão da saída V_{out} . A ondulação de tensão tem valor de 4 V conforme o esperado.

10.1 IMPACTO DA RESOLUÇÃO DA IMPLEMENTAÇÃO DE DIGITAL DO PWM

O trabalho (Peterchev; Sanders, 2003) mostra o impacto do problema de resolução e ciclo limite de um PWM implementado digitalmente para o conversor CC-CC. Em conversores CC-CC o problema de ciclo limite se refere a oscilação na tensão de saída V_{out} em regime permanente, devido a baixa resolução do ADC ou PWM.

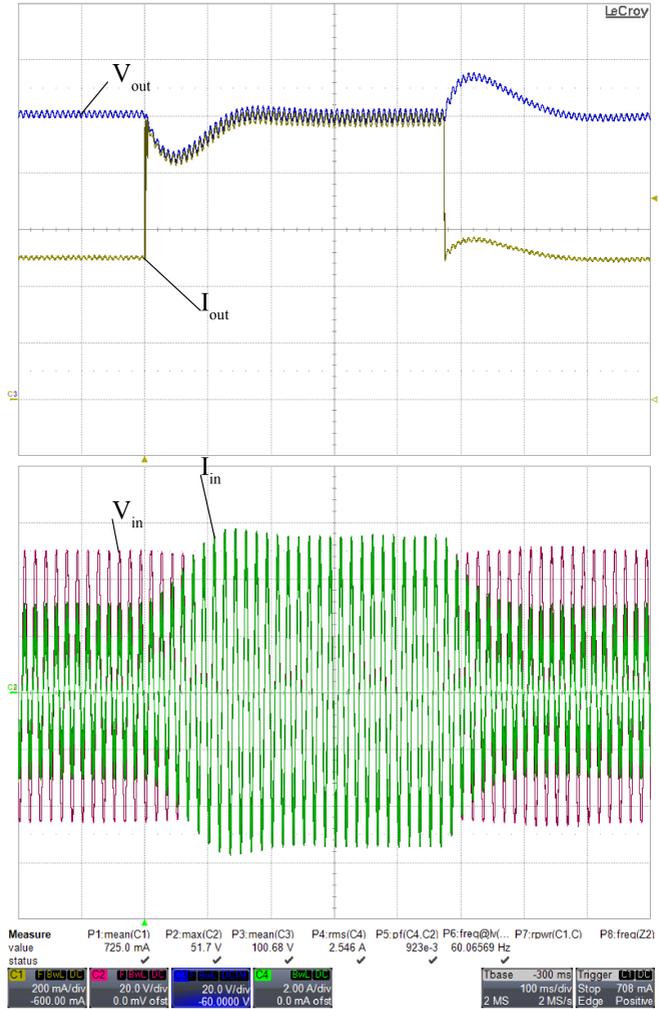


Figura 75 – O resultado para duas seqüências de degrau de carga. O primeiro degrau de 50 % para 100 % e segundo degrau de 100 % para 50 %, onde 100 % representa a carga nominal (100 Ω). A primeira grade mostrar tensão de saída e transiente de corrente, com uma tensão delta de 15 volts. A segunda grade mostra a tensão de entrada e o transiente de corrente, enquanto a tensão permanece constante, a corrente aumenta e diminui com o degrau de carga.

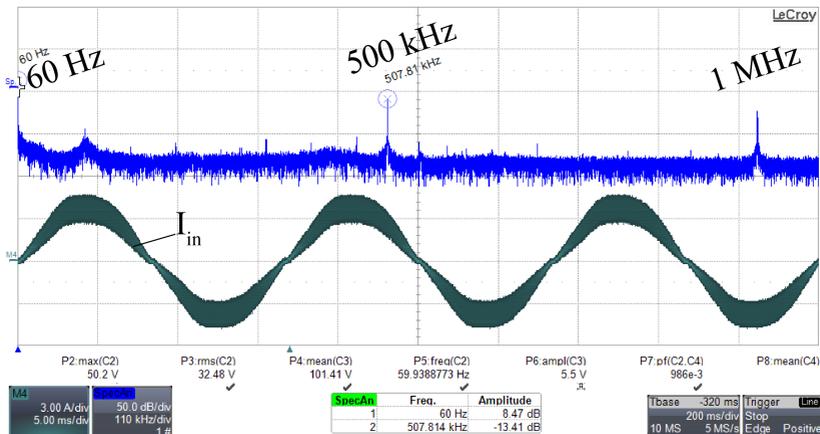


Figura 76 – O espectro da corrente de entrada mostra que a potência está concentrada na frequência fundamental, 60 Hz, com 8,47 Db de magnitude e a frequência comutação, 500 kHz, possui uma magnitude de -13,41 dB.

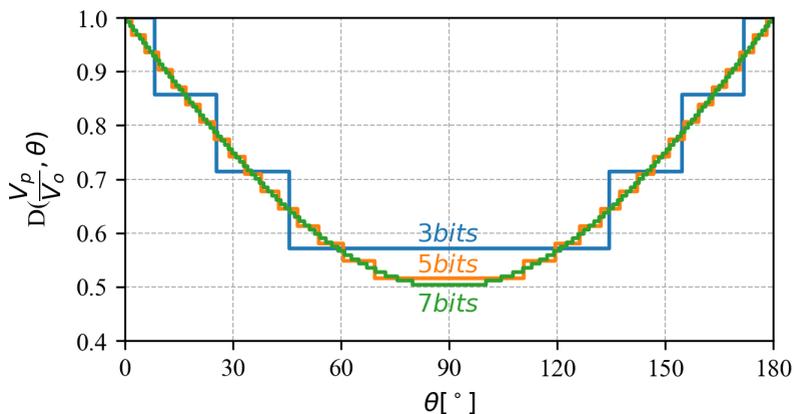


Figura 79 – A Razão cíclica em função de θ para $\frac{V_p}{V_o} = 0,5$ com diferentes valores de resolução: 3 bits, 5 bits e 8 bits.

Ao contrário do conversor CC-CC, o conversor PFC (CA-CC) não tem uma oscilação de ciclo limite na tensão de saída, porque a ondulação da tensão de saída é referente apenas a ondulação de potência

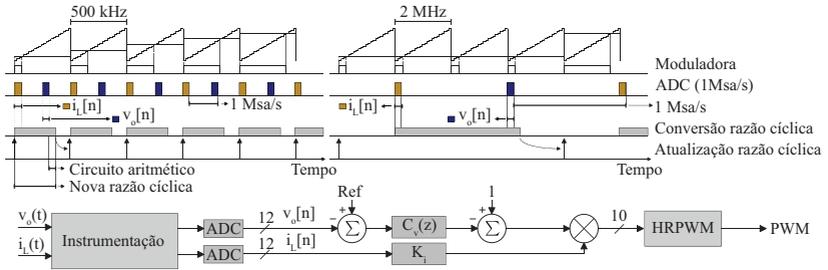


Figura 77 – A Figura mostra como é feita e implementada a atualização da razão cíclica no FPGA. O FPGA MAX10 possui um ADC 1 Msa/s interno, onde é multiplexado entre a tensão de saída e a corrente de entrada. Para um PWM de frequência 500 kHz é possível atualizar a razão cíclica a cada novo período. Entretanto para 2 MHz esta atualização é feita a cada 4 períodos podendo agravar o fenômeno de ciclo limite.

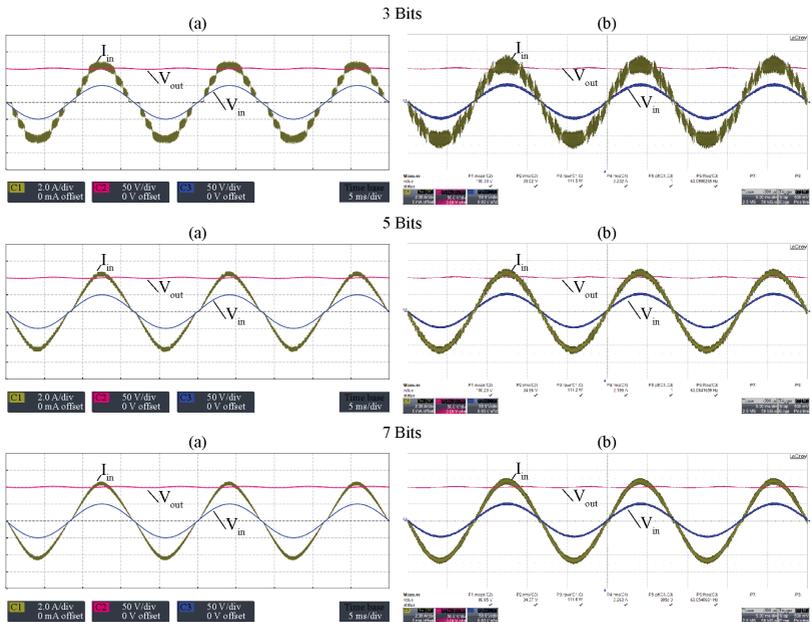


Figura 78 – Resultado para três valores de resolução PWM: 3 bits, 5 bits e 7 bits. A coluna (a) representa resultado de simulação e a coluna (b) representa resultados experimentais.

de 120 Hz e as tensões referentes a comutação estão bem atenuadas. Assim, a resolução degrada apenas a corrente de entrada do conversor, criando uma oscilação de ciclo limite na corrente de entrada. Desta forma, o ciclo limite torna-se menos crítico para os conversores PFC em comparação com os conversores CC-CC.

O problema de oscilação do ciclo limite pode ser agravado quando não é possível atualizar a razão cíclica a cada novo período, como mostrado na Figura 77. Por esta razão, a frequência de comutação de 500 kHz foi escolhida pelo fato do FPGA MAX 10 ter um ADC de 1 MSa/s, portanto é possível atualizar cada novo ciclo de PWM.

A fim de verificar o impacto da redução da resolução PWM, simulações e testes com diferentes *bits* de resolução PWM foram realizados para verificar a operação do conversor com baixa resolução.

Para realizar os testes no FPGA foi feito um truncamento no valor de razão cíclica e no valor da portadora, conforme mostrado no código. Assim, é possível reduzir a resolução mantendo a frequência PWM.

```

PROCESS(DUTY)
BEGIN
IF(STD_LOGIC_VECTOR(COUNTER)(6 DOWNTO 3) <
    STD_LOGIC_VECTOR(DUTY)(6 DOWNTO 3)) THEN
    PWM <= '1';
ELSE
    PWM <= '0';
END IF;
END PROCESS;

```

Na Figura 78 os resultados da simulação (a) e os resultados experimentais (b) são mostrados para os valores de 3 *bits*, 5 *bits* e 7 *bits*. O canal 1 (C1) representa a corrente de entrada (I_{in}), o canal 2 (C2) representa a tensão de saída (V_{out}) e o canal 3 (C3) representa a tensão de entrada (V_{in}).

11 CONCLUSÃO

Neste trabalho foi demonstrado a importância do uso de PWM de alta resolução quando operando em alta frequência de comutação. Alta frequência (faixa de MHz) que por sua vez só é possível devido às novas tecnologias em semicondutores (GaN). Neste trabalho foi possível operar um conversor em 500 kHz e 2 MHz com uma potência de 100 W, obtendo-se resultado apenas para a primeira versão do conversor, devido ao tempo curto que se teve.

O trabalho também apresentou o projeto de um conversor PFC e os resultados do conversor PFC operando com baixa resolução PWM, operando satisfatoriamente. Um fenômeno interessante foi apresentado para conversores CA-CC, onde o impacto da resolução PWM degrada a THD da corrente de entrada, mas não influencia a tensão de saída do conversor. Desta forma, é possível operar com o PFC com baixa resolução de PWM conforme apresentado nos resultados. Durante a resolução, observou-se que, para resolução acima de 5 *bits*, não houve melhora no THD e o conversor pode operar com resolução de até 2 *bits*.

11.1 TRABALHOS FUTUROS

Este trabalho é um estudo inicial e introdutório sobre o tema da oscilação do limite de ciclo em conversores de PFC, uma vez que estes nunca foram apresentados na literatura. Para trabalho futuros deseja-se modelar matematicamente e encontrar uma função que mapeie a resolução do PWM para o valor THD da corrente de entrada, o que não é de todo trivial, e por esse motivo não foi apresentado neste trabalho inicial.

A versão do novo conversor de 1 kW não foi possível até o momento presente deste trabalho apresentar resultado experimental. O conversor passa a apresentar ressonância a medida que a potência aumenta. Até o momento conseguiu-se obter uma potência de 400 W na nova versão. Pretende-se continuar trabalhando para obter resultados em operação nominal.

Com o módulo WI-FI pretende-se explorar a eletrônica de potência na área de IoT, fazendo aquisições e enviando dados para monitoramento na nuvem, e também fazer a mudança em tempo real de parâmetros do conversor (da nuvem para o conversor).

O conversor possui algumas saídas DAC, para futuras imple-

mentações de um *hardware-in-loop*, assim podendo emular o conversor em tempo real dentro do FPGA, fazendo comparações entre modelo emulado e o conversor real em tempo real.

REFERÊNCIAS

Analog Devices AD7276. **AD7276 Datasheet and Product Info** | Analog Devices. 2015. https://www.analog.com/en/products/ad7276.html?doc=ad7276_7277_7278.pdf.

Arbugeri, J. A.; Mussa, S. A. High-resolution fpga-pulse width modulation applied to pfc 2 mhz converter using egan field effect transistor. **The Journal of Engineering**, v. 2019, n. 17, p. 4205–4208, 2019. ISSN 2051-3305.

BORGONOVO, D. et al. A self-controlled power factor correction single-phase boost pre-regulator. In: **2005 IEEE 36th Power Electronics Specialists Conference**. [S.l.: s.n.], 2005. p. 2351–2357. ISSN 0275-9306.

Corporation Altera. **Cyclone IV Device Handbook**. 2016. 490 p. <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/cyclone-iv/cyclone4-handbook.pdf>.

ERICKSON, R. W.; MAKSIMOVI, D. **Fundamentals of Power Electronics**. [s.n.], 2001. OCLC: 1050948809. ISBN 978-0-306-48048-5. Disponível em: <<https://doi.org/10.1007/b100747>>.

GN001. **Design with GaN Enhancement mode HEMT**. 2018. 45 p. https://gansystems.com/wp-content/uploads/2018/04/GN001-Design_with_GaN_EHEMT_180412.pdf.

GN005. **PCB Thermal Design Guide for GaN Enhancement Mode Power Transistors**. 2016. 20 p. https://gansystems.com/wp-content/uploads/2019/01/GN009-PCB-Layout-Considerations-with-GaN-E-HEMTs_20190118.pdf.

GN009. **PCB Layout Considerations with GaN E-HEMTs**. 2019. 21 p. https://gansystems.com/wp-content/uploads/2019/01/GN009-PCB-Layout-Considerations-with-GaN-E-HEMTs_20190118.pdf.

GRABOVSKI, E. F. C.; MUSSA, S. A. High resolution fpga-based symmetrical digital pulse width modulator. In: **2017 IEEE 8th**

International Symposium on Power Electronics for Distributed Generation Systems (PEDG). [S.l.: s.n.], 2017. p. 1–5. ISSN 2329-5767.

HUERTA, S. C. et al. Fpga-based digital pulsewidth modulator with time resolution under 2 ns. **IEEE Transactions on Power Electronics**, v. 23, n. 6, p. 3135–3141, Nov 2008. ISSN 0885-8993.

Jappe, T. K.; Lohn, M. K.; Mussa, S. A. Gan-based single-phase bridgeless pfc boost rectifier. **The Journal of Engineering**, v. 2019, n. 17, p. 3614–3617, 2019. ISSN 2051-3305.

JAPPE, T. K. et al. An fpga-based single-phase interleaved boost-type pfc converter employing gan hemt devices. In: **2013 Brazilian Power Electronics Conference**. [S.l.: s.n.], 2013. p. 1324–1329. ISSN 2165-0454.

Jones, E. A.; Wang, F. F.; Costinett, D. Review of commercial gan power devices and gan-based converter design challenges. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 4, n. 3, p. 707–719, Sep. 2016. ISSN 2168-6777.

KOOMEY, J. Assessment of the impacts of power factor correction in computer power supplies on commercial building line losses. p. 40, 05 2006.

LANGE, A. D. B. Retificador PFC Monofásico PWM Bridgeless Três-Níveis de Alto Desempenho. p. 232, 2012.

LIDOW, A. **GaN transistors for efficient power conversion**. Second edition. Chichester, West Sussex: Wiley, 2015. ISBN 978-1-118-84476-2.

LOHN, M. Retificador PFC Três-Níveis Monofásico Baseado em semicondutores de gan. p. 177, 2018.

LOHN, M. K. et al. GaN HEMT BASED BRIDGELESS SINGLE-PHASE PFC RECTIFIER EMPLOYING HIGH RESOLUTION PWM STRATEGY IMPLEMENTED IN FPGA. **Eletrônica de Potência**, v. 24, n. 2, p. 235–245, jun. 2019. ISSN 14148862, 1984557X.

NAVARRO, D. et al. Synchronous fpga-based high-resolution implementations of digital pulse-width modulators. **IEEE Transactions on Power Electronics**, v. 27, n. 5, p. 2515–2525, May 2012. ISSN 0885-8993.

Peterchev, A. V.; Sanders, S. R. Quantization resolution and limit cycling in digitally controlled pwm converters. **IEEE Transactions on Power Electronics**, v. 18, n. 1, p. 301–308, Jan 2003. ISSN 0885-8993.

SAGGIN, F. Modelagem e controle para operação de inversores monofásicos em paralelo: Uma abordagem via fasores dinâmicos e lmis. p. 122, 2016.

TMS320F2802x, Piccolo Technical Reference Manual.

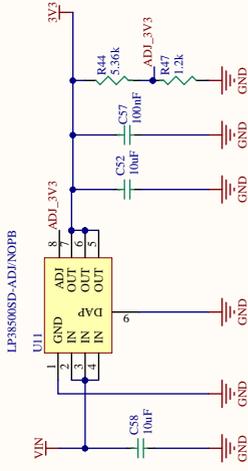
TMS320F2802x, TMS320F2802xx Piccolo Technical Reference Manual, sprui09 - TI.com. 2018.

<http://www.ti.com/general/docs/litabsmultiplefilelist.tsp?literatureNumber=sprui09>, urldate = 2019-06-18.

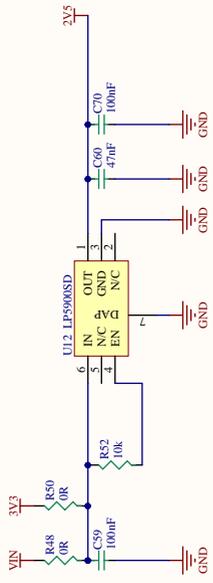
Yue, X.; Wang, X.; Blaabjerg, F. Review of small-signal modeling methods including frequency-coupling dynamics of power converters. **IEEE Transactions on Power Electronics**, v. 34, n. 4, p. 3313–3328, April 2019. ISSN 0885-8993.

APÊNDICE A - Esquemático da PCB

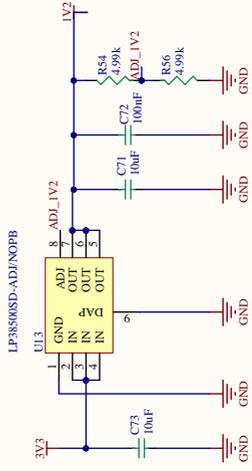
Regulador 3.3V



Regulador 2.5V



Regulador 1.2V



Title	
Size	Number
A4	Revision
Date:	Sheet of
FILE:	Drawn BY:

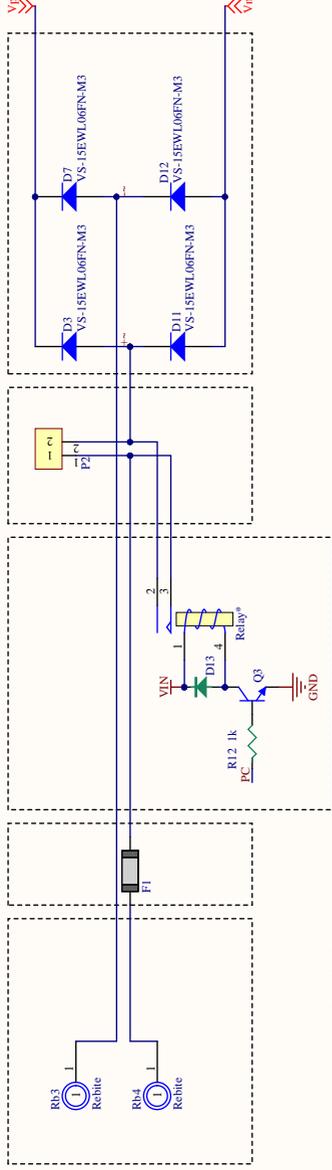
CONVERSOR

Entrada Rede Elétrica Fusível

Relé Pre-carga

Carga Pre-carga

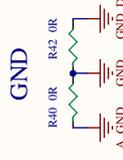
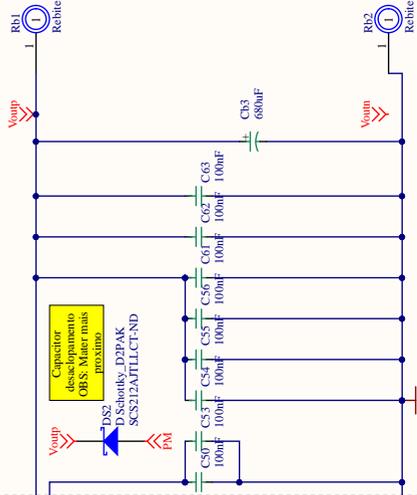
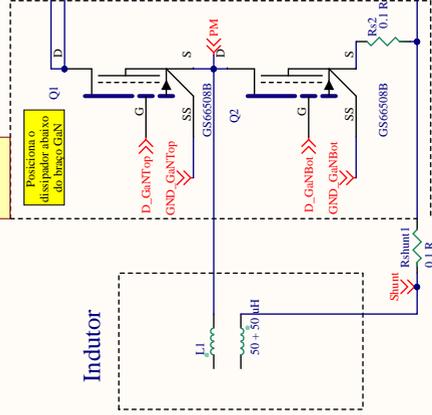
Retificador



Braço

Barramento CC

Indutor



Title

Size A4

Date: 14/06/2019

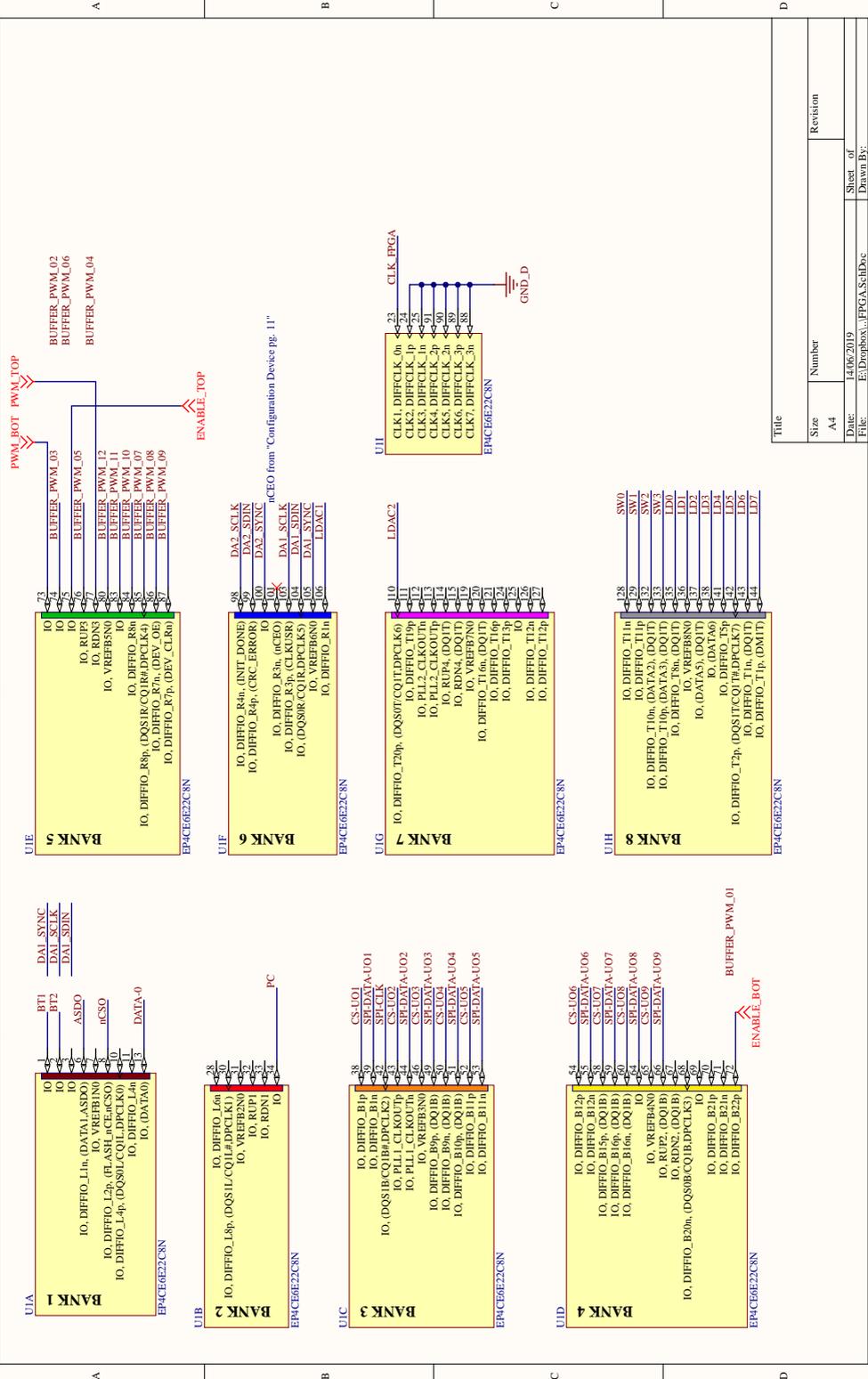
FILE: E:\ProjetoX\CONVERSOR.Sch.Doc

Sheet of 4

Drawn BY:

Number

Revision

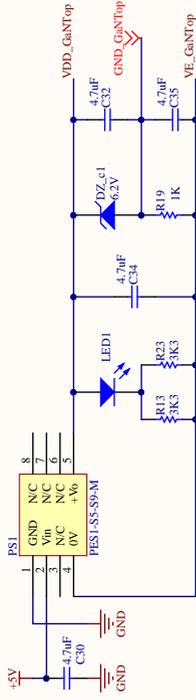


Title	
Size	Number
A4	
Date:	14/06/2019
File:	E:\Dnpk03...EPGAS\StdDoc
Revision	
Sheet of	
Drawn By:	

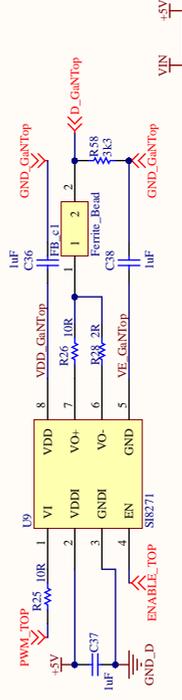
GATE DRIVE

TOP

Alimentação isolada

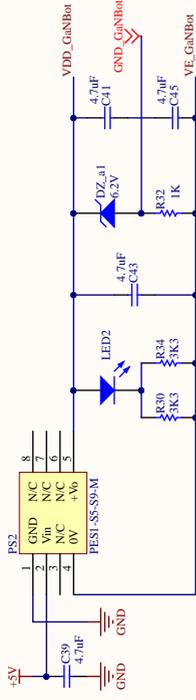


Gate drive

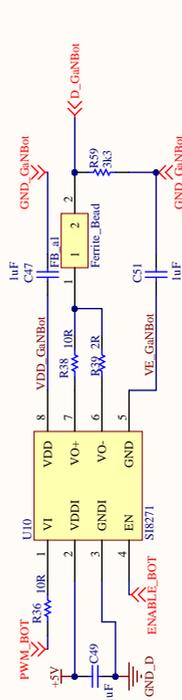


BOT

Alimentação isolada



Gate drive



Title

Size Number

A4

Date: 14/06/2019

File: E:\Droptok\...Gate_Drive.SchDoc

Drawn By:

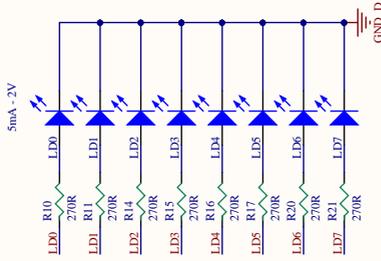
Revision

Sheet of

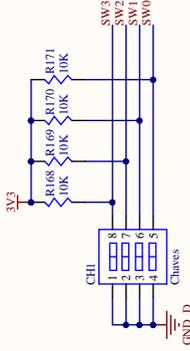
4

Interface Homem-Máquina

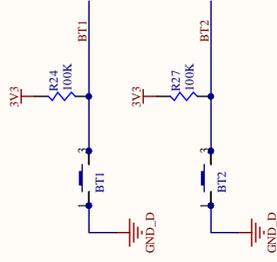
LED's



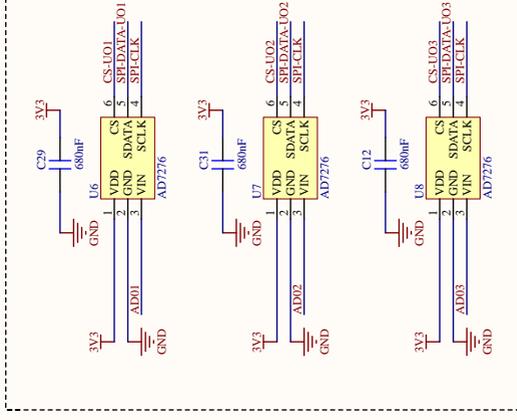
DIP SWITCH



Push Button



Conversor ADC



Title

Revision

Number

Size

A4

Date: 14/06/2019

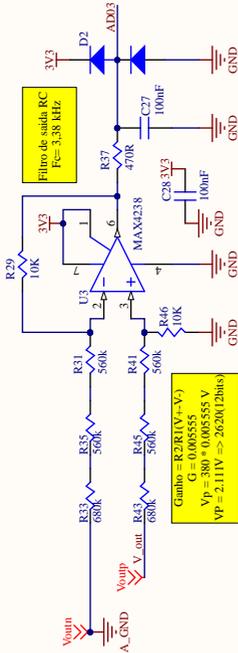
Sheet of

FILE: E:\Projeto\...IHM_SchDoc

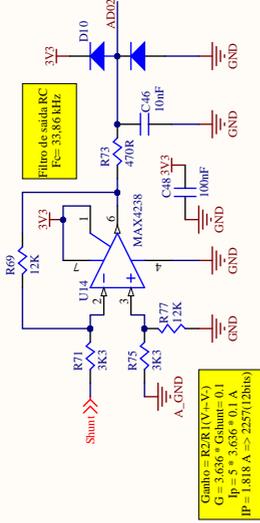
Drawn By:

INSTRUMENTAÇÃO

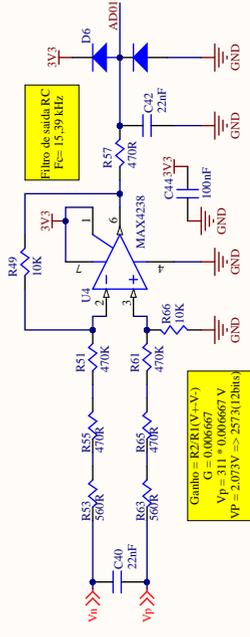
A/D - Tensão Saída



A/D - Shunt Corrente



A/D - Tensão Retificada



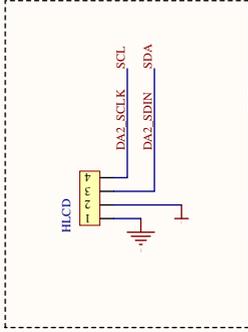
Title

Size
A4

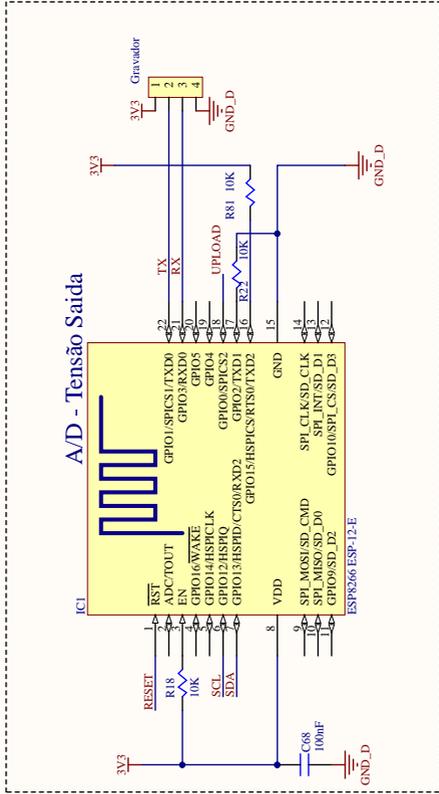
Date: 14/06/2019
 FILE: E:\Drobox\...INSTRUMENTAÇÃO.Sch Drawn BY:

Revision

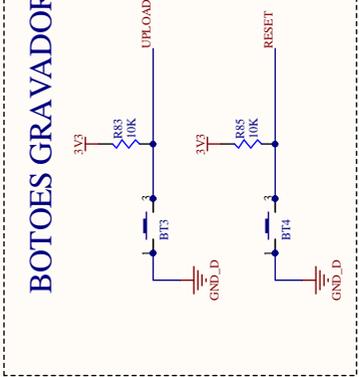
CONECTOR LCD



WIFI



BOTOES GRAVADOR



Title

Size Number

Revision

Date: 14/06/2019
 FILE: E:\Duplica...WiFiSchDwg
 Drawn BY: