

Larissa Rosa Ávila

**SIMULAÇÃO DE EMISSÕES RADIADAS E CONDUZIDAS DE
PLACAS DE CIRCUITO IMPRESSO**

Trabalho de Conclusão de Curso
submetido ao Departamento de
Engenharia Elétrica e Eletrônica da
Universidade Federal de Santa Catarina
para a obtenção do título de Bacharel
em Engenharia Elétrica.
Orientador: Prof. Adroaldo Raizer, Dr.

Florianópolis
2019

Ficha de identificação da obra elaborada pelo autor
através do Programa de Geração Automática da Biblioteca Universitária
da UFSC.

Ávila, Larissa Rosa
SIMULAÇÃO DE EMISSÕES RADIADAS E CONDUZIDAS DE
PLACAS DE CIRCUITO IMPRESSO / Larissa Rosa Ávila ;
orientador, Adroaldo Raizer, 2019.
109 p.

Trabalho de Conclusão de Curso (graduação) -
Universidade Federal de Santa Catarina, Centro
Tecnológico, Graduação em Engenharia Elétrica,
Florianópolis, 2019.

Inclui referências.

1. Engenharia Elétrica. 2. Simulação Numérica. 3.
Emissão Radiada. 4. Emissão Conduzida. 5. Fonte
Chaveada. I. Raizer, Adroaldo. II. Universidade
Federal de Santa Catarina. Graduação em Engenharia
Elétrica. III. Título.

Larissa Rosa Ávila

**Simulação de Emissões Radiadas e Conduzidas de Placas De
Circuito Impresso**

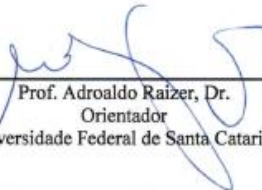
Este Trabalho foi julgado adequado como parte dos requisitos para
obtenção do Título de Bacharel em Engenharia Elétrica e aprovado, em
sua forma final, pela Banca Examinadora

Florianópolis, 11 de julho de 2019.



Prof. Renato Lucas Pacheco, Dr.
Coordenador em exercício do Curso de Graduação em Engenharia
Elétrica

Banca Examinadora:



Prof. Adroaldo Raizer, Dr.
Orientador
Universidade Federal de Santa Catarina



Eng. Diego de Moura, Dr.
PCN do Brasil Telecomunicações



Prof. Luis Carlos Martinhago Schlichting, Dr.
Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina

Este trabalho é dedicado aos meus queridos pais.

AGRADECIMENTOS

Aos meus pais, Paulo e Sandra, que me ensinaram desde pequena o valor da educação e sempre acreditaram no meu potencial. Vocês são meus maiores exemplos. Também a meu irmão, Junior, que eu amo quase muito.

Ao meu professor e orientador Dr. Adroaldo Raizer, pelo constante apoio e motivação ao longo da pesquisa, pelos ensinamentos e discussões.

À minha amiga Joana Ventura da Silva, que esteve presente ao longo de toda minha jornada na graduação. Muito obrigada por compartilhar comigo todos esses momentos, sua amizade fez tudo um pouquinho mais fácil e muito melhor.

À minha amiga Kassia Toccolini pela companhia nos inúmeros finais de semana dedicados a este trabalho, por todo seu apoio e auxílio. Também à minha amiga Taiane Pereira dos Reis, que deixou meu cantinho do laboratório muito mais leve e animado.

Aos meus amigos Lucca Lemos e Rafael Ramblas (vulgo Mag) pelas risadas e histórias, mas, principalmente, por estarem sempre presentes e me acolherem quando preciso.

Aos meus amigos Deni Alves, Kaualy Cardozo e Vinícius Zarpellon, pelas distrações semanais, pela preocupação e ajuda nos momentos de desespero.

Aos meus amigos 13.2, que me acompanharam ao longo dessa etapa e a deixaram extremamente divertida, mesmo com nosso primeiro churrasco só saindo depois de alguns anos de graduação. Em especial, agradeço ao Fellipe Paolo Buzzarello e João Henrique Scheffer pelo companheirismo e pelas boas memórias.

Aos técnicos do MagLab, Mikael Pontes Fonseca e Dalton Pedro Aryel, pelo auxílio nos ensaios e paciência com as inúmeras perguntas. Também a todos os colegas do MagLab pelos cafés e companheirismo ao longo deste trabalho.

À assistência prestada pela ESSS, em especial ao Juliano Mogni e Carlos Ehmke, pelo auxílio no projeto.

E, por fim, a todos aqueles que, seja de perto ou de longe, me apoiaram e motivaram ao longo do desenvolvimento deste trabalho.

“The merit of all things lies in their difficulty.”
(Alexandre Dumas - The Three Musketeers)

RESUMO

Este trabalho tem como objetivo a utilização de softwares de simulação numérica para determinação de valores de emissão radiada e conduzida de placas de circuito impresso (PCIs). Circuitos impressos estão presentes em quase todos os equipamentos eletrônicos, tendo as mais diversas aplicações. Fontes chaveadas, em especial, apresentam uma propensão a causar emissões, e são fonte de grande preocupação durante seu desenvolvimento. Atualmente, para a validação e comercialização de um equipamento eletrônico, adotam-se normas de compatibilidade eletromagnética (CEM), a fim de limitar emissões no ambiente. Neste contexto, a utilização de simulações numéricas para previsão do comportamento de uma PCI se apresenta como uma solução ideal para minimização de retrabalhos devido a problemas de CEM, uma vez que possibilita a avaliação de diferentes cenários com custos reduzidos. O *software* HFSS, de simulações em alta frequência, utiliza o Método dos Elementos Finitos (MEF) para cálculo de campos eletromagnéticos em diversos tipos de estrutura 3D. Neste trabalho, será apresentado um estudo da utilização dos programas de simulação eletromagnética da ANSYS, HFSS Layout, HFSS Design, Circuit e SIwave, para a análise de emissão radiada e conduzida em uma fonte chaveada do tipo *Boost*. Os resultados simulados serão comparados com medidas obtidas através de ensaios de emissão realizados de acordo com a norma CISPR 22.

Palavras-chave: Simulação Numérica. Emissões Radiadas. Emissões Conduzidas. HFSS. SIwave. Placa de Circuito Impresso. Fonte chaveada.

ABSTRACT

This work aims to obtain simulations of radiated and conducted emission of printed circuit boards (PCBs) through numerical calculation software. Printed circuits are present in almost all electronic equipment, having the most diverse applications. Switched-mode power supplies, in particular, have a propensity to cause emissions that is a major source of concern during their development. Currently, for the validation and commercialization of any equipment, electromagnetic compatibility (EMC) standards are adopted in order to limit emissions in the environment. In this context, the use of numerical simulations to predict the behavior of a PCB is presented as an ideal solution to minimize rework due to EMC problems, since it allows the evaluation of different scenarios with reduced costs. The HFSS software of high frequency simulations uses the Finite Element Method (FEM) to calculate electromagnetic fields in any type of 3D structure. In this work, a study will be presented on the use of the ANSYS electromagnetic simulation programs, HFSS Layout, HFSS Design, Circuit and SIwave, for the analysis of radiated and conducted emissions in a boost converter. The simulated results will be compared with measurements obtained through emission tests performed according to CISPR 22.

Keywords: Numerical Simulation. Radiated Emissions. Conducted Emissions. HFSS. SIwave. Printed Circuit Board. Switched-mode Power Supply.

LISTA DE FIGURAS

Figura 1 - Divisão da Compatibilidade Eletromagnética.....	34
Figura 2 - Representação de um sinal periódico trapezoidal qualquer. .	36
Figura 3 - Envelope de amplitude de harmônicas geradas por sinais trapezoidais.	37
Figura 4 - Modelo de resistor não-ideal.	38
Figura 5 - Curva de impedância do modelo real do resistor.	38
Figura 6 - Modelos não-ideais do capacitor (a) e indutor (b).	39
Figura 7 - Curvas de impedância do capacitor (a) e indutor (b) não-ideais.	39
Figura 8 - Exemplo de acoplamento indutivo (a) e capacitivo (b) entre duas trilhas.	40
Figura 9 - Efeito de correntes de modo comum I_C e de modo diferencial I_D em campos radiados gerados por condutores em paralelo. (a) Decomposição das correntes totais em suas componentes de modo comum e diferencial. (b) Emissão dada por correntes de modo diferencial. (c) Emissões dadas por correntes de modo comum.	41
Figura 10 - Arranjo para ensaio de emissão radiada na GTEM.	46
Figura 11 - Exemplo de resultado de campo elétrico em um ensaio de emissão radiada.	47
Figura 12 - Exemplo de arranjo para ensaio de emissão conduzida.	48
Figura 13 - Exemplo de resultado de tensão induzida em um cabo de alimentação em um ensaio de emissão conduzida.	48
Figura 14 - Ramificação dos <i>softwares</i> utilizados.....	50
Figura 15 - Projeto ODB++ ao ser exportado no Electronics Desktop. .	51
Figura 16 - Esquemático da fonte chaveada em estudo.	58
Figura 17 - Implementação do esquemático no Altium Designer.....	58
Figura 18 - Leiaute desenvolvido.	59
Figura 19 - Placa impressa com os componentes soldados.	59
Figura 20 - Vista superior da placa com componentes soldados.....	60
Figura 21 - Sistema completo montado com pilha, cabos e PCI.	60
Figura 22 - Fluxograma da primeira análise.	61
Figura 23 - Projeto com ajustes no Leiaute.	63
Figura 24 - Sistema modelado no HFSS Design com cabos e pilhas. ...	63
Figura 25 - Sinal medido no pino de <i>Discharge</i> do 555.	65
Figura 26 - Sinal medido no pino de <i>Output</i> do 555.	65
Figura 27 - Sinais importados no Circuit.	66
Figura 28 - Circuito montado no Circuit para ajuste das excitações.....	66
Figura 29 - Sinais simulados nas portas de terminais de entrada (V_{pilha}), diodo 1 (D1in) e coletor do transistor 2 (q2c).	67

Figura 30 - Sinais simulados na base dos transistores (q1b, q2b e q3b).	68
Figura 31 - Sinais simulados nas portas conectadas à saída da PCI: pino de saída (Vout), diodo 3 (D3out) e diodo 2 (D2out).	68
Figura 32 - Sinal medido na entrada do diodo 1 na PCI.	69
Figura 33 - Sinal medido na base do transistor 2 da PCI.	69
Figura 34 - Sinal medido no pino de saída da PCI.	70
Figura 35 - <i>Range</i> calculado por cada <i>solver</i> no HFSS Design.	70
Figura 36 - Fluxograma da nova análise de emissão conduzida.	71
Figura 37 - Fluxograma da nova análise de emissão radiada.	72
Figura 38 - Projeto no Layout ajustado para nova análise.	73
Figura 39 - Simulação dos cabos no HFSS Design.	73
Figura 40 - Arranjo final no Circuit para análise de emissão conduzida.	74
Figura 41 - Resultado medido para portas conectadas na alimentação da PCI (Entrada, diodo 1 e terminal coletor do transistor 2).	75
Figura 42 - Resultado medido para portas conectadas aos terminais de base dos transistores.	75
Figura 43 - Resultado medido para portas conectadas na saída da PCI (Saída, diodo 2 e diodo 3).	76
Figura 44 - Modelo 3D do sistema para análise de emissões radiadas.	77
Figura 45 - Projeto no Circuit para simulação de emissão radiada.	78
Figura 46 - Sinais de entrada (D1in, Vin, Q2c) na simulação de emissão radiada.	78
Figura 47 - Sinais de base dos transistores (Q1b, Q2b e Q3b) na simulação de emissão radiada.	79
Figura 48 - Sinais de saída (Vout, D2out, D3out) na simulação de emissão radiada.	79
Figura 49 - Fluxograma da análise realizada pelo SIwave.	80
Figura 50 - Projeto da PCI no SIwave.	81
Figura 51 - Arranjo para emissão conduzida com projeto do SIwave.	81
Figura 52 - Sinais conectados na entrada do circuito (alimentação da placa, diodo 1 e coletor do transistor 2) simulados com o SIwave.	82
Figura 53 - Sinais conectados na saída do circuito (saída da placa, diodo 2 e diodo 3) simulados com o SIwave.	82
Figura 54 - Resultados de emissão conduzida para cabo de alimentação positiva.	85
Figura 55 - Ruído de fundo da GTEM.	86
Figura 56 - Resultado de emissões radiadas do sistema.	87
Figura 57 - Resultado de emissão conduzida simulado com o HFSS Layout e RBW de 10 kHz.	88

Figura 58 - Resultado de emissão conduzida simulado com o HFSS Layout e RBW de 60 kHz.....	88
Figura 59 - Resultado de emissão conduzida simulado com o SIwave e RBW de 10 kHz.....	89
Figura 60 - Resultado de emissão conduzida simulado com o SIwave e RBW de 60 kHz.....	89
Figura 61 - Medidas de quase-pico no ensaio de emissão conduzida.	90
Figura 62 - Resultado de emissões radiadas do sistema obtido pelo HFSS Design.....	92
Figura 63 - Gráfico de emissões radiadas com indicação do pico na faixa de 30 a 200 MHz.	92
Figura 64 - Resultado de emissões radiadas simulado pelo SIwave.	93
Figura 65 - Capa do relatório de ensaio de emissão radiada.	103
Figura 66 - Página 2 do relatório de emissão radiada. Indicação das tensões induzidas medidas nos três eixos do equipamento.....	104
Figura 67 - Página 3 do relatório de emissão radiada. Resultado do campo elétrico radiado correlacionado para padrão OATS.	104
Figura 68 - Página 4 do relatório de emissão radiada. Tabela indicativa dos valores de intensidade de campo por frequência medida.	105
Figura 69 - Página 63 do relatório de emissão radiada. Tabela indicativa dos valores de intensidade de campo por frequência medida e fim do relatório.	106
Figura 70 - Relatório do ensaio de emissão conduzida referente ao cabo de alimentação positivo, página 1.	108
Figura 71 - Relatório do ensaio de emissão conduzida referente ao cabo de alimentação positivo, página 2.	109

LISTA DE QUADROS

Quadro 1 - Elementos transcritos do HFSS Layout para HFSS Design.52

LISTA DE TABELAS

Tabela 1 - Resultados de Emissão Conduzida com RBW de 10 kHz.	90
Tabela 2 - Resultados de Emissão Conduzida com RBW de 60 kHz.	91
Tabela 3 - Tensões máximas simuladas na reprodução do ensaio de emissão conduzida.....	91

LISTA DE ABREVIATURAS E SIGLAS

CEM	Compatibilidade Eletromagnética
EMC	<i>Electromagnetic Compatibility</i>
CGCRE	Coordenação Geral de Acreditação
CI	Circuito Integrado
CISPR	<i>Comité International Spécial des Perturbations Radioélectriques</i>
CISPR	Comitê Internacional Especial de Rádio Frequência
CSV	<i>Comma-Separated Values</i>
CSV	Valores Separados por Vírgula
ECAD	<i>Electrical Computer-Aided Design</i>
ECAD	Design Elétrico Auxiliado por Computador
EMS	<i>Electromagnetic Susceptability</i>
EMS	Susceptibilidade Eletromagnética
EST	Equipamento Sob Teste
FCC	<i>Federal Communications Committee</i>
FCC	Comitê Federal de Comunicações
FE-BI	<i>Finite Element Boundary Integral</i>
FEM	<i>Finite Element Method</i>
MEF	Método dos Elementos Finitos
GTEM	<i>Gigahertz Transverse Electromagnetic</i>
GTEM	Câmara Transversal Eletromagnética
HFSS	<i>High Frequency Structural Simulator</i>
HFSS	Simulador Estrutural de Alta Frequência
IBIS	<i>Input/Output Buffer Information Specification</i>

IEC	<i>International Electrotechnical Commission</i>
IEC	Comissão Eletrotécnica Internacional
IEM	Interferência Eletromagnética
LISN	<i>Line Impedance Stabilization Network</i>
LISN	Rede de Estabilização de Impedância
MM	Método dos Momentos
OATS	<i>Open Area Test Site</i>
OATS	Sítios de Testes em Campo Aberto
PCI	Placa de Circuito Impresso
PTH	<i>Pin Through Hole</i>
PWL	<i>Piecewise Linear</i>
RBW	<i>Resolution Bandwidth</i>
RF	Rádio Frequência
SMD	<i>Surface-Mount Device</i>
SPICE	<i>Simulation Program with Integrated Circuit Emphasis</i>

LISTA DE SÍMBOLOS

τ_r	Tempo de subida do sinal	s
λ	Comprimento de onda	m
E	Campo elétrico	V/m
f	Frequência	Hz
I_d	Corrente de modo diferencial de um sinal	A
I_c	Corrente de modo comum de um sinal	A
A	Área	m ²

SUMÁRIO

1	INTRODUÇÃO	29
2	CONCEITOS INICIAIS	33
2.1	COMPATIBILIDADE ELETROMAGNÉTICA	33
2.2	NORMAS DE COMPATIBILIDADE.....	34
2.3	CAUSAS DE RUÍDO E EMISSÕES EM PCIS	36
2.3.1	Velocidade de subida/descida de um sinal digital	36
2.3.2	Não-idealidades de componentes	37
2.3.3	Acoplamento de impedâncias - <i>crosstalk</i>	40
2.3.4	Acoplamento de modo comum e modo diferencial	41
2.3.4.1	Emissões radiadas por correntes de modo diferencial.....	42
2.3.4.2	Emissões radiadas por correntes de modo comum.....	42
2.4	CONCLUSÃO	43
3	FERRAMENTAS UTILIZADAS	45
3.1	EQUIPAMENTOS DOS ENSAIOS	45
3.1.1	Ensaio de Emissões Radiadas	45
3.1.2	Ensaio de Emissão Conduzida	47
3.2	ALTIUM DESIGNER.....	49
3.3	SOFTWARES DA ANSYS.....	49
3.3.1	HFSS Layout	50
3.3.2	HFSS Design	52
3.3.3	Circuit	54
3.3.4	SIwave	55
3.4	CONCLUSÃO	55
4	METODOLOGIA	57
4.1	DESENVOLVIMENTO DA PCI.....	57
4.2	ANÁLISE INICIAL	60
4.2.1	Análise Inicial no HFSS Layout	61
4.2.2	Análise Inicial no HFSS Design	63
4.2.3	Análise Inicial no Circuit	64

4.2.4	Resultados.....	66
4.3	ANÁLISE FINAL.....	71
4.3.1	Simulação da Emissão Conduzida.....	72
4.3.2	Simulação da Emissão Radiada.....	76
4.4	ANÁLISE SIWAVE.....	79
4.5	CONCLUSÃO	82
5	RESULTADOS DAS ANÁLISES DE EMISSÕES.....	85
5.1	RESULTADOS DOS ENSAIOS.....	85
5.2	RESULTADOS DA SIMULAÇÃO DE EMISSÃO CONDUZIDA.....	87
5.3	RESULTADOS DA SIMULAÇÃO DE EMISSÃO RADIADA	92
5.4	CONCLUSÃO	93
6	DISCUSSÃO E CONCLUSÃO	95
6.1	DISCUSSÃO.....	95
6.2	FUTUROS TRABALHOS.....	96
6.3	CONCLUSÃO	97
	REFERÊNCIAS.....	99
	APÊNDICE A – Relatório de Emissão Radiada	103
	APÊNDICE B – Relatório de Emissão Conduzida	107

1 INTRODUÇÃO

Interferências eletromagnéticas (IEM) são perturbações causadas pela transmissão de energia eletromagnética que prejudicam o funcionamento de um equipamento eletrônico de maneira não-intencional. A energia gerada por um aparelho com potencial de causar interferências é denominada emissão, e pode ser propagada de maneira radiada, através do ar, ou conduzida por condutores metálicos [1].

Fontes chaveadas são equipamentos complexos, presentes em diversas aplicações, cuja estrutura é propensa a causar emissões devido à alta frequência de chaveamento de seus osciladores [2], [3]. Devido ao aumento na velocidade de chaveamento, o avanço no desenvolvimento de semicondutores e a coexistência de múltiplos equipamentos eletrônicos em pequenos espaços, as interferências geradas por fontes chaveadas são um dos principais motivos de preocupação na sua concepção.

Com o crescente avanço da tecnologia de fontes chaveadas, é cada vez mais necessário atentar aos aspectos de IEM quando projetando o leiaute do circuito, bem como proteções do sistema. Esses conversores são aplicáveis nos mais diversos projetos, podendo consistir em aparelhos de telecomunicação, aparelhos domésticos, projetos automotivos, entre outros. Apesar de haver técnicas para correção através de filtros e blindagem, o desenvolvimento dessas proteções depende de diversos aspectos muitas vezes complexos relacionados a compatibilidade eletromagnética (CEM), e variam de acordo com experiências pessoais e experimentos dos projetistas [4]. Quando inseridos em sistemas esses problemas se tornam mais difíceis de identificar, podendo prejudicar o funcionamento do sistema como um todo ou de equipamentos próximos.

Normas de regulamentação são impostas por entidades governamentais a fim de limitar o nível de ruído eletromagnético [2], [5]. Dessa forma, é necessário que durante o processo de desenvolvimento de equipamentos eletroeletrônicos haja uma preocupação com as possíveis fontes internas de emissões no equipamento e o ambiente em que este estará inserido, uma vez que a identificação tardia de fontes de interferências pode muitas vezes levar a custos elevados e atrasos na entrega do produto, sendo observados apenas durante a etapa de testes de CEM na validação do protótipo [6].

Neste contexto, a implementação de uma análise de interferência por simulação, ainda na fase de projeto do produto, permite uma maior abrangência na análise de casos, possibilitando que sejam feitas alterações de projeto com menores custos [7]. Por essas razões, simulação de emissões geradas por fontes chaveadas e equipamentos eletrônicos é tema

de diversos estudos, sendo buscadas metodologias que consigam prever de maneira confiável e adequada os campos gerados e tensões induzidas por estes sistemas [8], [9], [10].

Este trabalho tem o objetivo de apresentar uma metodologia de simulação para análise de emissões radiadas e conduzidas em placas de circuito impresso (PCIs) através de *softwares* de simulação eletromagnética da ANSYS. Em especial, será avaliado o *software* HFSS Design (*High Frequency Structural Simulator*) [11] que permite uma análise do sistema completo considerando todas as suas implicações de geometria [12]. No entanto, outros programas deste conjunto da ANSYS também serão utilizados e avaliados, sendo eles: HFSS Layout, Circuit e SIwave [13].

Para isso uma fonte chaveada do tipo *Boost* com aplicação em um sistema de telecomunicação será utilizada como foco do estudo. Serão apresentados o processo de desenvolvimento da placa e os ensaios de emissão realizados, que serviram como base para validação dos resultados obtidos pelos programas. Três análises baseadas nos programas de simulação eletromagnética da ANSYS foram realizadas e serão apresentadas. A primeira consiste numa análise completa emissões utilizando o HFSS. Na segunda análise, as simulações de emissão radiada e conduzida foram divididas em dois processos, com a análise da radiada através do HFSS Design e a análise da conduzida através do HFSS Layout. A terceira análise é baseada no *software* SIwave, e será utilizada para comparações.

O desenvolvimento deste trabalho foi delimitado da seguinte forma:

O capítulo 2 traz uma breve introdução aos conceitos de compatibilidade eletromagnética e às normas e ensaios de emissão no Brasil. É destacada a norma CISPR 22, que regulamenta emissões radiadas e conduzidas em equipamentos de tecnologia da informação, como a fonte chaveada selecionada. Também é apresentada uma análise de principais fontes de emissões em PCIs similares à estudada.

O capítulo 3 introduz as ferramentas utilizadas no desenvolvimento do projeto. São apresentados os equipamentos utilizados nos ensaios de emissão conduzida e radiada, e seus arranjos para atender à norma desejada. Em seguida, são apresentados os programas de simulação utilizados ao longo do projeto: Altium, HFSS Layout, HFSS Design, Circuit e SIwave. São definidos os objetivos de cada programa, bem como conceitos e funções relevantes para sua utilização.

No capítulo 4 é apresentada a fonte chaveada em estudo e sua produção utilizando o *software* de simulação de circuitos e criação de leiaute, Altium. Em seguida, é apresentado o desenvolvimento das três análises realizadas, indicando as decisões tomadas durante cada processo e a aplicação dos programas.

Finalmente, no capítulo 5 são apresentados os resultados obtidos através dos ensaios de emissão radiada e conduzida. Eles são então comparados aos resultados obtidos nas simulações.

As justificativas para as discrepâncias encontradas são apresentadas no capítulo 6, bem como sugestões de melhorias e futuros trabalhos. Por fim, é apresentada a conclusão do trabalho realizado neste projeto.

2 CONCEITOS INICIAIS

Neste capítulo serão apresentados os conceitos de compatibilidade eletromagnética, sendo introduzidos conceitos de interferência eletromagnética e emissões radiadas e conduzidas. Em seguida, será exposta a divisão de análises de CEM e algumas normas no Brasil, atentando para a norma CISPR 22, que rege emissões de equipamentos de telecomunicação.

Serão também apresentados alguns dos principais agentes causadores de interferências em placas de circuito impresso, similares ao objeto de estudo, sendo estes a velocidade de chaveamento de sinais digitais, não-idealidades de componentes, *crosstalk* e correntes de modo comum e modo diferencial.

2.1 COMPATIBILIDADE ELETROMAGNÉTICA

Interferência eletromagnética é processo pelo qual perturbações não intencionais dadas pela transmissão de energia eletromagnética se propagam para um equipamento de maneira a prejudicar seu funcionamento. Já compatibilidade eletromagnética é associada ao fato de um sistema ou grupo de sistemas serem eletromagneticamente compatíveis ou não. Assim, diz-se que um sistema ou grupo é eletromagneticamente compatível quando atende aos seguintes critérios:

- Não causa interferência em outros sistemas;
- Não é suscetível a emissões de outros sistemas;
- Não causa interferência nele próprio. [1]

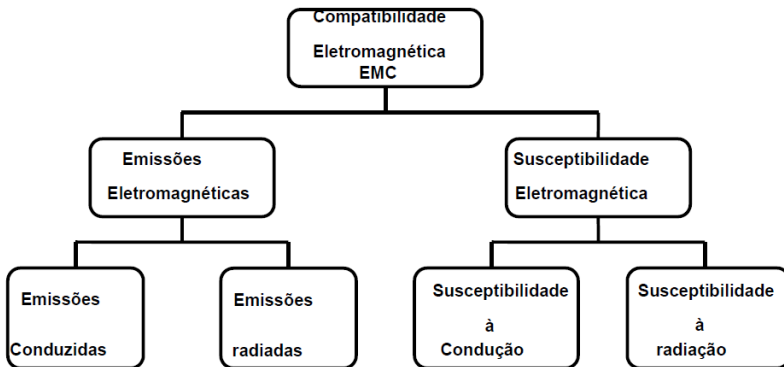
É dado o nome de emissão radiada ao campo eletromagnético, gerado por equipamentos, que pode dar origem a interferências através do ar ou outros meios não-metálicos. Emissões conduzidas são as correntes propagadas por meio de condutores metálicos que interferem na rede de potência, ou de comunicação, conectada ao equipamento.

Para que haja um problema de IEM, é necessário que haja uma fonte de interferência, um receptor susceptível à interferência e um meio pelo qual ela se propaga de um para o outro. Sem esses três componentes, não há interferência. Nos casos em que o gerador e receptor se encontram no mesmo sistema, temos uma situação “intra-sistema”. Quando o gerador e receptor pertencem a sistemas distintos, temos um caso de situação “inter-sistema”. Quando os sistemas apresentam níveis

aceitáveis de interferência entre si e isoladamente, tem-se compatibilidade eletromagnética.

A Figura 1 apresenta a divisão da compatibilidade eletromagnética de acordo com as análises necessárias para se verificar que os critérios de CEM são atendidos pelo sistema. Além de serem verificadas as emissões geradas pelo equipamento, é necessário avaliar sua susceptibilidade à IEM.

Figura 1 - Divisão da Compatibilidade Eletromagnética.



Fonte: [14].

2.2 NORMAS DE COMPATIBILIDADE

Para reduzir e limitar as perturbações causadas por IEM, normas de CEM são impostas por entidades governamentais para regulamentar projetos de sistemas eletrônicos. Essas normas definem os ensaios necessários para validar a compatibilidade do sistema, apresentando métodos, equipamentos de medidas, faixas de frequência e limites de emissões para equipamentos de uso residencial, comercial e industrial [5]. Pode ser avaliado o potencial do equipamento interferir em outros através de testes de emissão eletromagnética ou seu potencial de ser imune a interferências através de ensaios de susceptibilidade eletromagnética (EMS).

Apesar de ser um bom indicativo do correto funcionamento do equipamento, um resultado dentro dos limites nos ensaios de compatibilidade não garante que o sistema será imune a perturbações. As normas impostas visam controlar o nível de ruído eletromagnético no

ambiente, mas não são capazes de garantir que a aplicação do equipamento em diferentes sistemas não gerará ou sofrerá interferências. [1]

No Brasil são adotadas as normas recomendadas pela IEC (*International Electrotechnical Commission*) para equipamentos de tecnologia da informação. Fundada em 1906, a IEC é uma organização internacional que desenvolve e publica normas e padrões para tecnologias relacionadas a equipamentos eletroeletrônicos. Em 1985, seu comitê, CISPR (*Comité International Spécial des Perturbations Radioélectriques*), desenvolveu normas de interferência eletromagnética passíveis de serem adotadas por qualquer governo, abordando limites e ensaios de emissão e imunidade eletromagnética. [14]

Apesar de ter o objetivo de unificar o padrão de CEM a nível mundial, ainda não são todos os países que adotam as normas apresentadas pelo IEC. Os Estados Unidos, por exemplo, seguem as normas de uma agência própria (FCC - *Federal Communications Committee*) que determina os requisitos para equipamentos fabricados no país. Além de normas impostas pelo governo regente, fabricantes também podem determinar normas para seus equipamentos a fim de entregar produtos confiáveis e de qualidade para seus consumidores. [2]

Neste trabalho será abordada a norma CISPR 22 [15], que determina limite de emissões radiadas e conduzidas para equipamentos de telecomunicações. A norma divide os equipamentos entre classe A e B, determinando diferentes valores máximos para cada. A classe B é destinada a equipamentos de uso residencial, que não precisam de uma instalação específica ou profissional treinado. Esta classe engloba equipamentos portáteis alimentados por bateria ou computadores de uso pessoal e é o caso da fonte utilizada neste estudo. Já a classe A engloba equipamentos de tecnologia de informação de uso industrial e comercial que não atendam os limites da classe B.

Para emissões radiadas, os limites são definidos entre as frequências de 30 MHz e 1 GHz. Os ensaios de emissão são baseados em medidas de OATS (*Open Area Test Site*), com uma distância de 3 ou 10 metros entre o equipamento sobre teste e a antena de medição. No entanto, outros métodos de medida estão previstos em norma, como a utilização de câmaras semi-aneóicas, câmaras anecoicas e células GTEM (*Gigahertz Transverse Electromagnetic*), tendo seus resultados processados para equivalência com as medidas em OATS.

A CISPR 22 também descreve a utilização de *receivers* ou analisadores de espectro, em conjunto com uma LISN (*Line Impedance*

Stabilization Network) para medidas de emissão conduzida, tendo limites definidos entre as frequências de 150 kHz a 30 MHz.

2.3 CAUSAS DE RUÍDO E EMISSÕES EM PCIS

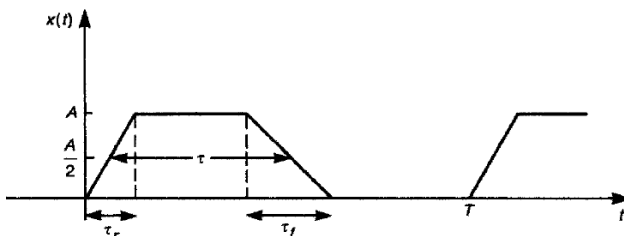
Para que haja interferência é necessário que haja uma fonte agressora e uma vítima, podendo eles fazerem parte do mesmo equipamento (interferência intra-sistema) ou equipamentos diferentes (inter-sistemas). No projeto apresentado neste trabalho temos o estudo de um equipamento único, sendo os problemas de CEM presentes causados por interferências intra-sistema. É essencial para um engenheiro de IEM conhecer as principais origens desses problemas a fim de poder mitigar riscos e identificar possibilidades de melhorias no projeto. Sendo assim, algumas das principais fontes de ruído em casos similares estão apresentadas a seguir.

2.3.1 Velocidade de subida/descida de um sinal digital

O chaveamento de dispositivos semicondutores gera alterações abruptas de tensão e corrente do circuito em relação ao tempo. Essas altas variações (dI/dt e dV/dt) produzem componentes harmônicos elétricos e magnéticos, que podem se propagar em grande magnitude até altas frequências. [1], [2]

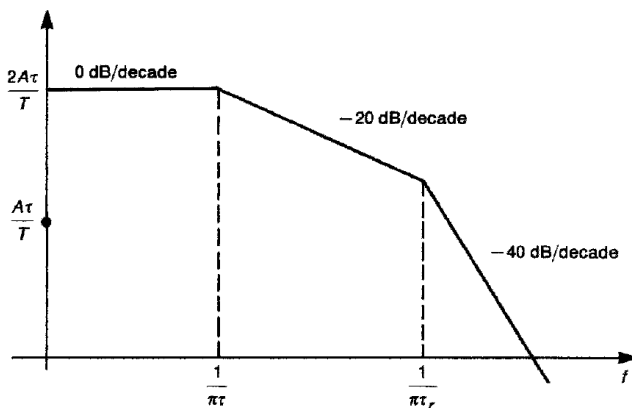
Um sinal de *clock* apresenta um formato trapezoidal, similar ao indicado na Figura 2, com tempos de subida e descida definidos. A amplitude de seus harmônicos diminui a partir da frequência fundamental em 20 dB/década até o ponto de $1/(\pi \cdot \tau_r)$, quando passa a decair numa razão de 40 dB/década. A Figura 3 apresenta o envelope de amplitude de harmônicas gerado por um sinal trapezoidal com tempos de subida e descida iguais. [1]

Figura 2 - Representação de um sinal periódico trapezoidal qualquer.



Fonte: [1].

Figura 3 - Envelope de amplitude de harmônicas geradas por sinais trapezoidais.



Fonte: [1].

Sinais trapezoidais de subida e descida simétricas apresentam apenas as harmônicas ímpares. Já sinais com dissimilaridade entre os tempos apresentam também as harmônicas pares. [2]

Analisando esse envelope das harmônicas de sinais trapezoidais, conclui-se que a presença de componentes de alta frequência é devido ao pequeno tempo de subida e descida do pulso. Este é uma das características mais comuns para falha de equipamentos em testes de emissão [1] [2].

2.3.2 Não-idealidades de componentes

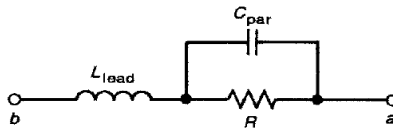
Devido ao seu processo de fabricação, resistores apresentam comportamentos diferente do esperado em altas frequências. Indutância e capacitância parasitas são acopladas a esse componente, fazendo com que apresente um comportamento capacitivo ou indutivo ao invés de seu comportamento ideal esperado. Resistores de fio, por exemplo, apresentam características indutivas mais presentes que o resistor de carbono. Seu uso em projetos com grande variação de dI/dt , pode fazer com que pulsos de tensão com tempos de subida rápidos sejam gerados na frequência de chaveamento. [2]

Além do próprio corpo do componente, seus terminais também podem ter grande influência nas não-linearidades acopladas ao circuito. Terminais excessivamente longos podem acrescentar um comportamento indutivo e capacitivo devido ao seu comprimento e separação entre eles, uma vez que são dois pequenos fios adicionados em série com o

componente. Este problema é mais acentuado em componentes do tipo PTH (*Pin Through Hole*), que tem o terminal atravessando furos na placa para a soldagem. Uma alternativa comumente utilizada são os componentes SMD (*Surface-Mount Device*) que tem pequenas placas de chumbo soldadas diretamente sobre a PCI na montagem. [2]

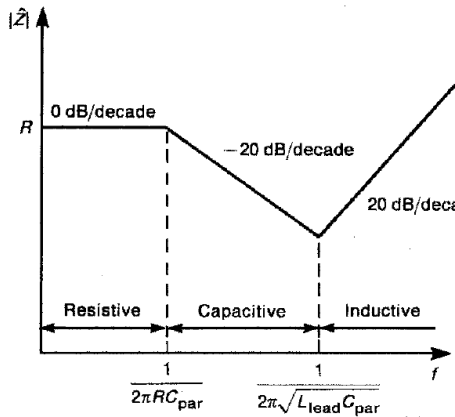
O modelo utilizado para representar esses efeitos está apresentado na Figura 4, onde tem-se a representação da capacitância e indutância dadas pelos terminais, C_{par} e L_{lead} , seguido da curva de impedância que melhor descreve a realidade do componente. É demonstrado que com o aumento da frequência, a capacitância e indutância parasitas passam a ter maiores influências sobre o comportamento, fazendo com que em altas frequências o componente apresente um comportamento indutivo.

Figura 4 - Modelo de resistor não-ideal.



Fonte: [1].

Figura 5 - Curva de impedância do modelo real do resistor.

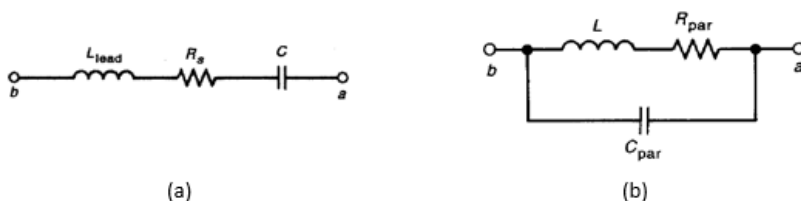


Fonte: [1].

Da mesma forma, capacitores e indutores apresentam modelos não-ideais que melhor aproximam seu comportamento em frequências mais altas. A Figura 7 e Figura 8 indicam os modelos destes componentes e suas curvas de impedância. É verificado que o capacitor passa a apresentar um comportamento indutivo, enquanto o indutor tem um comportamento capacitivo em altas frequências.

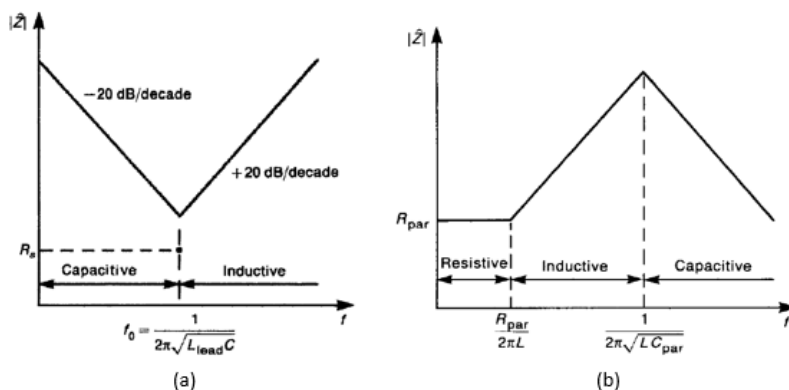
Esses modelos contribuem para identificação de variação da corrente calculada no circuito, bem como ressonâncias em frequências inesperadas, o que auxilia na mitigação de ruído e emissões. [1]

Figura 6 - Modelos não-ideais do capacitor (a) e indutor (b).



Fonte: [1].

Figura 7 - Curvas de impedância do capacitor (a) e indutor (b) não-ideais.



Fonte: [1].

De maneira similar, em altas frequências as características dos cabos e trilhas do circuito começam a ter um impacto maior na resposta do modelo. Sua resistência e indutância associadas variam de acordo com a frequência, devido ao efeito pelicular. Enquanto, normalmente, são dedicados mais cuidados na determinação da resistência dos condutores para evitar grandes quedas de tensão, na faixa de emissões radiadas a

indutância passa a ter uma influência consideravelmente maior, precisando ser considerada nos modelos do circuito. [1]

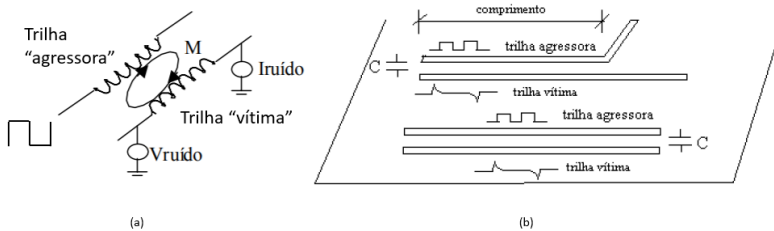
Nesse contexto, para linhas eletricamente curtas, onde o comprimento é menor que $\lambda/10$, são utilizados modelos de parâmetros concentrados (*Lumped Equivalent Circuits*). Para linhas maiores devem ser utilizados outros modelos, como o de linhas de transmissão [16].

2.3.3 Acoplamento de impedâncias - *crosstalk*

Variações de corrente em um condutor geram um campo magnético que pode acoplar em uma trilha ou componente próximo, induzindo uma tensão indesejada em série com o circuito vítima. Esse fenômeno é conhecido como Acoplamento Indutivo, gerado devido à indução magnética entre trilhas. De maneira similar, temos o Acoplamento Capacitivo, devido à indução elétrica, onde variações de tensão em um condutor geram um campo elétrico que pode induzir ruído em trilhas próximas. Essa tensão é lida na trilha denominada “vítima” como uma tensão em paralelo ao circuito. [2]

O acoplamento indutivo ou capacitivo de duas trilhas dá origem ao fenômeno de *crosstalk*, onde uma trilha “agressora” induz ruído de RF em uma trilha “vítima” próxima. A Figura 8 representa os dois modelos deste tipo de acoplamento.

Figura 8 - Exemplo de acoplamento indutivo (a) e capacitivo (b) entre duas trilhas.



Fonte: (a) [17] e (b) adaptado de [18].

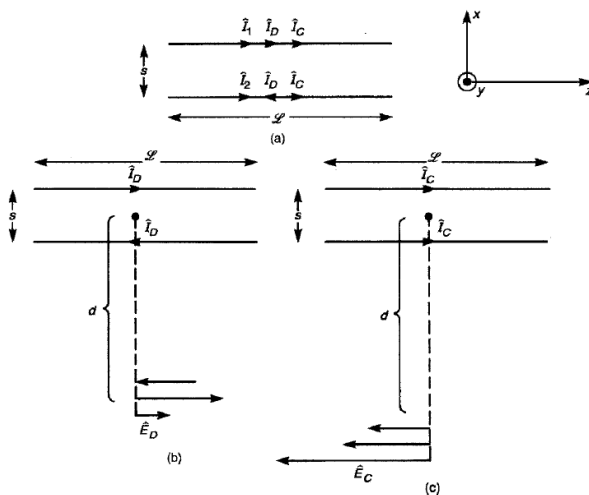
Acoplamento também ocorre quando correntes de dois circuitos de funções diferentes dividem uma mesma impedância. Como esse pedaço de trilha em comum apresenta uma indutância, é gerada uma tensão indesejada no circuito. O caminho de aterramento comum de dois sistemas é a fonte mais comum desse tipo de problema. [2]

2.3.4 Acoplamento de modo comum e modo diferencial

Correntes que percorrem duas trilhas podem ser divididas em componentes de modo comum e de modo diferencial. As correntes de modo diferencial são os sinais do circuito, sendo iguais em magnitude, mas estando em direções opostas (ida e retorno do sinal). Já as correntes de modo comum são correntes indesejadas no circuito, apresentando mesma magnitude e direção. Elas podem ser induzidas por campos externos acoplados através dos cabos, do plano de terra ou outras impedâncias do circuito ou até mesmo ser geradas por ruídos. Essas correntes de modo comum também surgem no circuito devido a problemas de leiaute, quando os caminhos de ida e retorno do sinal apresentam impedâncias diferentes devido a caminhos diferentes percorridos. [2]

Ambos os modos podem ser responsáveis pela geração de emissões radiadas. A Figura 9 indica a direção dos campos elétricos gerados por essas correntes:

Figura 9 - Efeito de correntes de modo comum I_C e de modo diferencial I_D em campos radiados gerados por condutores em paralelo. (a) Decomposição das correntes totais em suas componentes de modo comum e diferencial. (b) Emissão dada por correntes de modo diferencial. (c) Emissões dadas por correntes de modo comum.



Fonte: [1].

Pode-se verificar que correntes de modo diferencial produzem campos opostos, e assim tendem a se cancelar quando as trilhas estão suficientemente próximas. Já as correntes de modo comum têm efeito contrário e somam-se, intensificando o campo ao redor das trilhas [1]. Para gerar emissões radiadas, essas correntes apresentam métodos diferentes, descritos a seguir.

2.3.4.1 Emissões radiadas por correntes de modo diferencial

O caminho total de um sinal, considerando sua corrente de modo diferencial, forma um *loop* que pode funcionar como uma pequena antena impressa quando há sinais de corrente alternada. Parte da energia dessas correntes é transmitida em forma de emissões radiadas. É considerado um *loop* pequeno aquele cuja dimensão é menor que um quarto de onda ($\lambda/4$) na frequência de interesse [2]. A 10 metros de distância, temos que a máxima intensidade de campo elétrica gerada por um sinal digital nesse loop é dada por:

$$E = 2,63 * 10^{-15} * f^2 * A * I_d \quad (1)$$

Onde E é o módulo do campo elétrico gerado em V/m, f é a frequência do sinal, A é área no loop e I_d é a corrente de modo diferencial do sinal. No caso de correntes com formas de onda quadrada, é necessário decompor a corrente em suas harmônicas utilizando o espectro de Fourier.

Este tipo de emissão pode ser reduzido através de um leiaute inteligente, formando o menor loop possível. Com os caminhos de ida e retorno de corrente próximos, seus campos tendem a se anular. [2]

2.3.4.2 Emissões radiadas por correntes de modo comum

Correntes de modo comum apresentam caminhos de retorno muitas vezes imprevisíveis, podendo atravessar para diferentes camadas, trilhas ou componentes através de capacitâncias parasitas. Se transformam em emissões através de acoplamento nas próprias trilhas e, principalmente, no cabo conector. Apesar de, em geral, apresentar magnitudes menores que as correntes de modo diferencial, as correntes de modo comum produzem emissões radiadas de maior intensidade. A equação a seguir indica a intensidade do campo gerado por correntes de modo comum em trilhas paralelas a 10 metros de distância. [2]

$$E = 1,257 * 10^{-7} * f^2 * L * I_c \quad (2)$$

Onde E é o módulo do campo elétrico gerado em V/m, f é a frequência do sinal, L é o comprimento da trilha e I_d é a corrente de modo comum do sinal. Vemos que a constante na equação de emissão por corrente modo comum é 10^8 vezes maior que a emissão por corrente de modo diferencial, indicando que para uma mesma intensidade de emissão é necessária uma corrente de modo comum muito menor.

No geral, emissões de modo diferencial são normalmente associadas a ruído dado por chaveamentos em baixa frequência. Elas surgem devido à falta de conexão com terra de alguns circuitos e a partir de fontes chaveadas devido à alta variação de corrente (dI/dt) sobre o capacitor, gerando harmônicas na frequência de chaveamento no circuito. Também podem aparecer ruídos em modo diferencial devido ao chaveamento nos diodos. [2]

Já emissões de modo comum tendem a ser geradas por chaveamentos de componentes em mais alta frequência, que geram acoplamentos capacitivos com o terra e podem tanto ser geradas no interior do circuito quanto ser inseridas pela alimentação. [2]

2.4 CONCLUSÃO

Neste capítulo foram definidos os conceitos e critérios referentes à compatibilidade eletromagnética em um sistema. Foram exploradas as normas de compatibilidade no Brasil, expondo as frequências para os ensaios de emissão da fonte chaveada em estudo e equipamentos utilizados, que são determinados pela CISPR 22.

Além de conhecer os limites das normas, é essencial que durante o desenvolvimento de um equipamento sejam realizadas boas práticas para evitar reprovação nos ensaios e que sejam identificados pontos de melhoria para possíveis retrabalhos necessários no sistema. Assim, algumas das principais fontes de emissões foram estudadas.

Foi visto como a variação de corrente e tensão dadas pelo chaveamento das fontes intensifica as emissões do sistema devido à criação de harmônicas de altas frequências e não-idealidades dos componentes do circuito. Foram descritos modelos de não-idealidades em componentes como resistores, capacitores e indutores, além de fios e trilhas em um circuito. Foi exposto como o leiaute desenvolvido em uma placa pode gerar problemas devido a acoplamentos capacitivos e indutivos entre as trilhas, devendo-se atentar para o posicionamento de trilhas com sinais de alta velocidade. Além disso, foi estudado como componentes de modo comum e diferencial utilizam os caminhos de corrente do circuito para gerar emissões. Apesar de componentes de modo

diferencial serem mais presentes em fontes chaveadas, as componentes de modo comum costumam trazer mais problemas ao circuito devido à alta intensidade de suas emissões, principalmente quando há acoplamento nos cabos.

O próximo capítulo apresentará as ferramentas utilizadas neste trabalho. Serão descritos os equipamentos e setups utilizados para os ensaios de emissão realizados no laboratório de eletromagnetismo e compatibilidade eletromagnética, MagLab, seguidos da descrição dos *softwares* utilizados para o desenvolvimento do projeto.

3 FERRAMENTAS UTILIZADAS

Neste capítulo serão abordadas as ferramentas utilizadas, tanto para os ensaios de emissões realizados quanto para as simulações. O primeiro tópico apresentará os equipamentos dos ensaios de emissão radiada e conduzida realizados no laboratório MagLab, que é acreditado pela CGCRE sob o CRL 0299. Será descrito o arranjo e funcionamento destes equipamentos. O segundo tópico apresentará o *software* de simulação de circuitos, Altium Designer, que foi utilizado para desenvolvimento do leiaute da PCI. Em seguida serão apresentados os *softwares* de simulação eletromagnética da ANSYS, Electronics Desktop [19] e SIwave, e suas ramificações. Serão apresentadas as informações necessárias para as simulações de cada um deles, bem como conceitos relevantes sobre seu funcionamento.

3.1 EQUIPAMENTOS DOS ENSAIOS

3.1.1 Ensaio de Emissões Radiadas

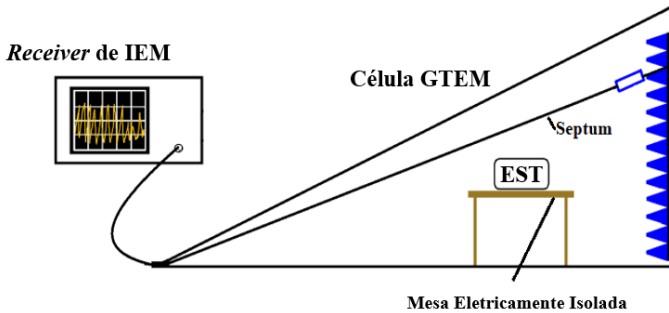
Para o ensaio de emissão radiada foi utilizada uma célula GTEM 5411 (ETS-Lindgren) em conjunto com um *receiver* de IEM, ESCI (Rohde&Schwarz), e o *software* EMC32 (Rohde&Schwarz). Para uma correta medição, é necessário que o EST (Equipamento Sob Teste) esteja em um ambiente eletromagneticamente controlado em que o nível de emissões seja ao menos 6 dB abaixo dos limites dados pela CISPR 22. A célula GTEM cria este ambiente para que seu *septum* capture a tensão induzida a partir de cada eixo (x, y, z) do equipamento e a envie para o *receiver*. Nessas tensões é aplicado um algoritmo de correlação para o padrão OATS.

Para a determinação da varredura de frequência no *software*, é necessário definir a classe do equipamento ensaiado e verificar na norma do ensaio o intervalo associado. Além disso, o EST é conectado dentro da GTEM em seu modo de operação normal, sendo este o modo em que suas emissões são maximizadas.

A Figura 10 apresenta o arranjo padrão de ensaio, indicando a posição do equipamento sobre uma mesa eletricamente isolada dentro da GTEM e a conexão com o *receiver*. São realizadas medidas nos três eixos ortogonais do equipamento, reposicionando-o ao final de cada varredura. Através de um algoritmo específico e com alguns parâmetros adicionais da GTEM, o campo elétrico resultante é calculado no *software* de

correlação para o padrão OATS, sendo apresentado seu valor para distâncias de 3 ou 10 m do equipamento conforme a norma da CISPR 22.

Figura 10 - Arranjo para ensaio de emissão radiada na GTEM.



Fonte: [20] (Adaptada).

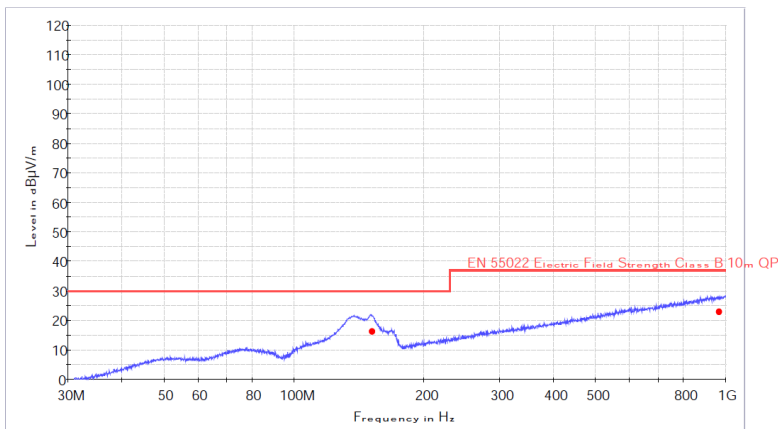
A norma da CISPR 22 é referenciada em medidas de quase-pico, no entanto, uma vez que as medidas de quase-pico são, por definição, sempre iguais ou menores que as medidas de pico [21], é utilizado o detector de pico na medição visando diminuir o tempo de duração do ensaio. O detector de quase-pico é utilizada em frequências onde o campo ultrapassa o limite ou em pontos de incerteza, conforme determinado pelo *software*.

Ao final das varreduras, é gerado um relatório contendo as medidas de tensões induzidas medidas nos três eixos do equipamento e a medida do campo elétrico radiado. A Figura 11, apresenta um exemplo do resultado do campo radiado em um ensaio com as configurações mencionadas anteriormente. Os valores medidos de máximo campo elétrico, entre as frequências de 30 MHz a 1 GHz, são apresentados em dB μ V/m pela linha em azul. Nesse mesmo gráfico, são colocados os limites da norma selecionada indicando o limite para valores de quase-pico (linha em vermelho). Os pontos em que foi utilizado o detector de quase-pico são identificados por um ponto vermelho. Um relatório de emissão completo pode ser visto no APÊNDICE A - Relatório de Emissão Radiada.

Apesar da atenuação dada pela célula GTEM, ainda é obtido um ruído de fundo que pode variar de acordo com o arranjo do ensaio, principalmente em casos com cabos de conexão externa. Esse ruído é medido com o equipamento desligado e deve levado em consideração na análise do resultado final.

Figura 11 - Exemplo de resultado de campo elétrico em um ensaio de emissão radiada.

OATS



Fonte: Autora (2019) via *software* EMC32.

3.1.2 Ensaio de Emissão Conduzida

O ensaio de emissão conduzida é realizado conectando a alimentação do sinal a LISN ESH3-Z5 (Rohde&Schwarz), que fornece uma impedância constante durante as medições do *receiver*, modelo ESPC (Rohde&Schwarz), e impede que ruído se propague da rede para o equipamento e do equipamento para a rede.

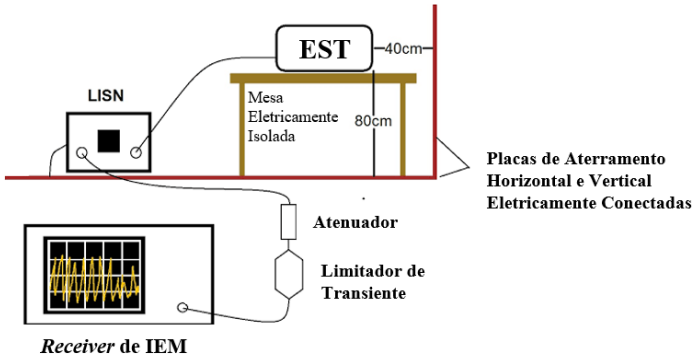
O equipamento é colocado sobre uma mesa eletricamente isolada, tendo placas metálicas aterradas no chão sob a mesa e em uma parede próxima conforme o arranjo indicado pela CISPR 22, demonstrado na Figura 12.

As medidas devem ser realizadas para cada cabo de alimentação do equipamento. Para as emissões é verificado o ruído eletromagnético conduzido pelos cabos, que é medido pelo *receiver* conectado à LISN. Seus resultados são apresentados em medidas de quase-pico e média em dBµV, na faixa de frequência de 150 kHz a 30 MHz.

Ambos os limites dados pela norma são indicados no gráfico dos resultados das medidas. Assim, como no caso das medidas na célula GTEM, temos que para os pontos de incerteza o *software* ESPC-K1 (Rohde&Schwarz), utilizado no ensaio, faz uma verificação mais

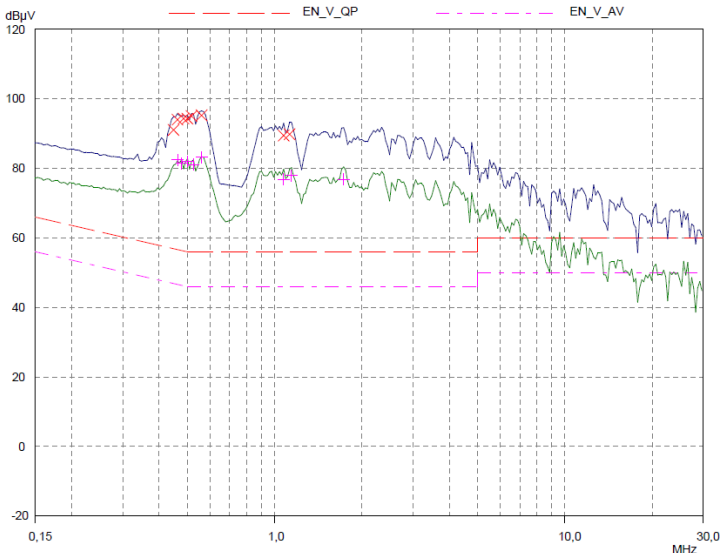
demorada, sendo estes indicados pelo “X” em vermelho e “+” em roxo. Como exemplo, a Figura 13 apresenta um gráfico de resultado de tensão induzida. Os resultados de quase-pico são indicados em azul e de média em verde. No APÊNDICE B – Relatório de Emissão Conduzida pode ser visualizado um relatório completo de ensaio de emissão conduzida.

Figura 12 - Exemplo de arranjo para ensaio de emissão conduzida.



Fonte: [22] (Adaptada).

Figura 13 - Exemplo de resultado de tensão induzida em um cabo de alimentação em um ensaio de emissão conduzida.



Fonte: Autora (2019) via *software* ESPC-K1.

3.2 ALTIUM DESIGNER

O *software* Altium Designer, ou apenas Altium, é um programa de simulações de circuito e desenvolvimento de leiautes de placas. Nele é possível modelar um circuito qualquer com componentes de sua biblioteca, simular os sinais do sistema e construir o leiaute de sua PCI. O Altium é um dos programas mais comumente utilizados pela indústria para esse propósito e, por ser oficialmente suportado pela ANSYS, apresenta uma facilidade maior na exportação do projeto para os *softwares* de simulação eletromagnética utilizados.

Este programa apresenta diversas opções de formatos para exportação dos arquivos. Para este projeto são exportados os arquivos Gerber da placa e seu arquivo ODB++.

Gerber é o formato padrão utilizado por diversos programas para exportação do projeto para furação e produção da placa, não contendo informações sobre componentes utilizados ou esquemático do projeto uma vez que é utilizado apenas para a produção da placa.

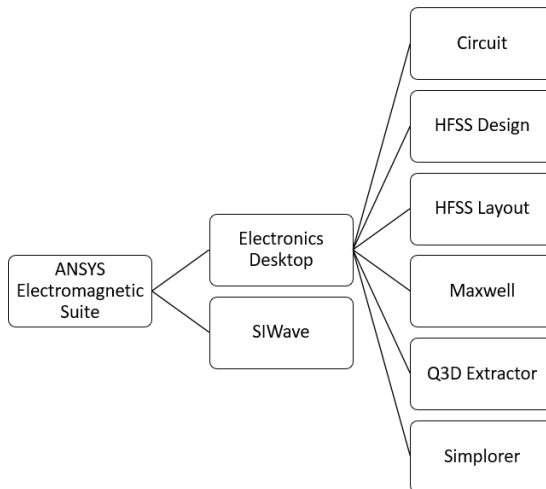
Já ODB++ é um formato de exportação de arquivos comumente utilizado no processo de desenvolvimento de equipamentos eletrônicos, pois transcreve arquivos de CAD elétrico (ECAD) de diferentes programas fazendo a conexão entre projeto de *design* e projeto de manufatura. Ele é um dos formatos recomendados para importação de projetos nos programas da ANSYS.

O Altium apresenta a opção de exportar o projeto já em .ANF, um outro formato utilizado pela ANSYS, mas esse formato não é recomendado pois traz problemas na importação. Versões mais recentes do programa apresentam um *plugin* dedicado para a exportação de projetos para os *softwares* da ANSYS, mas este não pôde ser utilizado no projeto devido à versão utilizada.

3.3 SOFTWARES DA ANSYS

ANSYS é uma companhia desenvolvedora de *softwares* de simulação para diversas áreas com mais de 45 anos de atuação no mercado. A atual edição de seu grupo de programas voltados para análise eletromagnética de eletrônicos inclui os *softwares* SIwave e Electronics Desktop. Este último engloba os programas Circuit (antigo Designer), HFSS, HFSS Layout, Maxwell e Q3D Extractor, como indicado na Figura 14.

Figura 14 - Ramificação dos *softwares* utilizados.



Fonte: Autora (2019).

Neste projeto foram utilizados os *softwares* HFSS Layout, HFSS Design e Circuit do Electronic Desktop e o *software* SIwave, na versão 2019 R1 dos programas, que serão descritos a seguir.

3.3.1 HFSS Layout

O HFSS Layout é utilizado para a importação e *setup* de placas de circuito impresso, dentro do programa Electronics Desktop, e pode ser utilizado para análises de integridade de sinais. Nele é importado o projeto a partir de um arquivo ECAD e verificado o modelo da PCI como um todo, ajustando os materiais da placa e componentes.

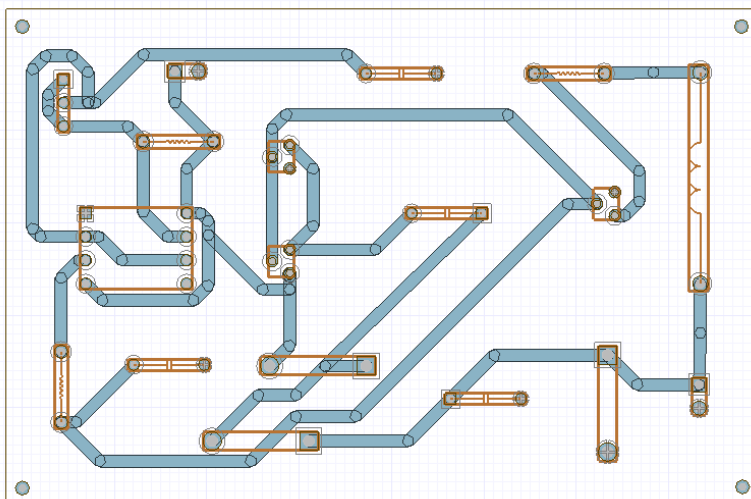
O arquivo ODB++ do projeto é importado para o *software* Electronics Desktop como um projeto do HFSS Layout. Nele tem-se a representação 2D da PCI com a indicação dos componentes importados e camadas da placa com seus respectivos materiais e vias, que deve ser ajustada para a exportação desse modelo para os demais programas do conjunto. Um exemplo de projeto importado no programa pode ser visto na Figura 15.

Este programa não funciona como um simulador padrão de circuitos, ele apenas tem capacidade para processar correntes através de componentes RLC, uma vez que não tem o modelo de componentes ativos. Sendo assim, o programa permite que sejam criadas algumas

portas de conexão para reproduzir o funcionamento do circuito, sendo elas as portas e *Boundaries* RLC.

Portas são as condições que indicam que será recebida uma excitação naquele ponto, neste caso o sinal elétrico referente a uma fonte ou componente ao qual foi atribuída a porta. Elas são utilizadas para reproduzir sinais vindos do programa Circuit, onde são conectadas a fontes ou componentes ativos cujo modelo não existe dentro do HFSS Layout. Exemplo de componentes que devem ser modelados com portas em seus terminais incluem transistores, CIs, diodos, entre outros.

Figura 15 - Projeto ODB++ ao ser exportado no Electronics Desktop.



Fonte: Autora (2019) via HFSS Layout.

Outra condição de contorno utilizada no programa são os *boundaries* RLC. Também chamadas de *Lumped RLC*. Essa condição possibilita a inserção de valores RLC entre dois condutores do sistema. Caso seja inserido mais de um valor, o programa lê como componentes em paralelo. Ela é utilizada para exportar os componentes RLC para o programa HFSS Design.

A partir do modelo ajustado no HFSS Layout, o projeto da placa do sistema pode ser exportado para os outros programas do Electronics Desktop para que diferentes análises sejam reproduzidas.

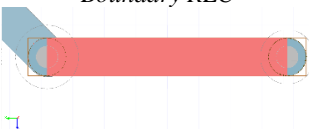
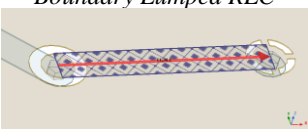
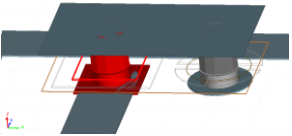
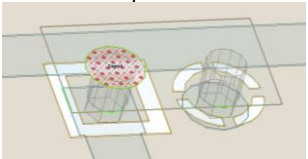
3.3.2 HFSS Design

O *software* HFSS Design [12] é utilizado para a análise de emissões radiadas. Através dele é possível realizar a análise em alta frequência de emissões eletromagnética, reproduzindo campos próximos e distantes do equipamento. Suas simulações utilizam o Método dos Elementos Finitos (MEF) em conjunto com o Método dos Momentos (MM) para cálculo numérico. Ele é *solver full wave* 3D, que calcula equação de onda completa de Maxwell, possibilitando que estruturas diversas sejam simuladas, como placas de circuito impresso, antenas ou outros equipamentos de interesse.

Neste projeto, ele é utilizado para calcular a emissão radiada da PCI através do modelo 3D inserido no mesmo. Nele é possível modelar os cabos de alimentação e a própria fonte, conectando-os à PCI.

Por se tratar de um simulador de estruturas, o programa realiza seus cálculos baseado nas geometrias e materiais presentes, não identificando os componentes da placa. Para isso, são utilizadas as condições de contorno de portas e *Boundaries* RLC importados do HFSS Layout. A determinação dessas condições pode ser feita diretamente no HFSS Design. O Quadro 1 indica como esses elementos são transcritos de um *software* para o outro.

Quadro 1 - Elementos transcritos do HFSS Layout para HFSS Design.

	HFSS Layout	HFSS Design
Modelo utilizado para componentes RLC	<p style="text-align: center;"><i>Boundary RLC</i></p>  <p style="text-align: center;">Exemplo: Capacitor</p>	<p style="text-align: center;"><i>Boundary Lumped RLC</i></p>  <p style="text-align: center;">Exemplo: Capacitor C</p>
Modelo de portas utilizado para componentes ativos	<p style="text-align: center;"><i>Port</i></p>  <p style="text-align: center;">Exemplo: Pino de alimentação.</p>	<p style="text-align: center;"><i>Lumped Port</i></p>  <p style="text-align: center;">Exemplo: Pino de alimentação.</p>

Fonte: Autora (2019).

Durante sua análise, o *software* calcula os parâmetros S das portas inseridas no circuito. Parâmetros S são os parâmetros da matriz de espalhamento de um quadripolo. Esse modelo é normalmente calculado a partir da incidência de ondas na entrada do componente e indica os coeficientes de transmissão e reflexão de entrada e saída da porta [23]. Por ser representativo do comportamento de um circuito de alta frequência, o HFSS utiliza os parâmetros S para fazer as conexões com os modelos de componente e fontes de excitação.

Essas excitações são utilizadas para a extração de campos do *software*, que é feita através de cálculos baseados no MEF. O MEF divide a geometria do objeto estudado em pequenos elementos tetraédricos para o cálculo dos campos elétrico e magnético. No HFSS é utilizada uma malha adaptativa, formada por elementos finitos de forma tetraédrica ajustados para apresentar uma máxima dimensão de 10 mm em cada aresta. A malha adaptativa é dada por um processo de otimização do sistema, em que é realizado um processo iterativo de redução de elementos da malha para atender a um critério de convergência determinado [24]. O MM obtém as correntes na superfície da amostra de estudo que são utilizadas como condição de truncamento pelo MEF [25]. Essa técnica de métodos combinados permite uma maior velocidade de simulação e reduz o esforço computacional.

Para o correto cálculo do MEF é necessário que sejam corretamente ajustadas as condições de contorno do ambiente, varredura de frequências da análise e excitações do circuito.

A condição de contorno recomendada para análise de PCIs no HFSS é do tipo “*Radiation*”, que impõe que as ondas radiadas do equipamento seguem para fora da estrutura em direção à borda de contorno, que as absorve emulando sua radiação para o infinito. A borda dessa condição de contorno limita a região de elementos da malha de simulação e pode ser determinada manualmente ou automaticamente pelo programa através da opção “*auto-open region*” que determina o tamanho da região automaticamente, sem que um novo objeto seja criado no modelo e garantindo que a mínima distância de $\lambda/4$ [26] seja respeitada.

Outra opção de condição de contorno a ser utilizada pelo *software* trata-se da FE-BI (*Finite Element Boundary Integral*), que permite a absorção do campo incidente na estrutura da borda e não depende do ângulo de incidência. No entanto, a fim de manter a simulação comparável às simulações realizadas no SIwave, a condição “*Radiation*” foi mantida para esta análise, uma vez que melhor aproxima as condições utilizadas por este outro programa.

Para determinação da varredura de frequências são utilizados dois tipos disponíveis pelo *software*: *interpolating* e *discrete*. O *discrete sweep* é utilizado pelo HFSS para o cálculo dos campos radiados, calculando apenas nos pontos de frequências determinados pelo usuário. O *interpolating sweep* faz a interpolação entre esses pontos, mas não calcula o campo, sendo utilizado para a análise transiente realizada no Circuit. Nesse *sweep* é realizada a interpolação com o ponto DC para que o sistema tenha a condição inicial para a análise transiente que realiza. Como critério de convergência, deve ser definida uma máxima variação do módulo do parâmetro S.

As excitações do circuito são feitas através das portas criadas no circuito. Em cada porta é automaticamente inserido um sinal de valor de 1 V com 0° , mas esse sinal pode ser alterado para outra constante no próprio programa ou utilizando fontes do Circuit, por onde é possível inserir sinais variáveis no tempo.

3.3.3 Circuit

Circuit é um simulador de circuitos capaz de unificar projetos de sistemas feitos no HFSS e HFSS Layout com componentes eletrônicos e fontes de sinais elétricos. É utilizado para definir e enviar os sinais desejados para as simulações no HFSS através de simulações transientes.

Os componentes inseridos podem ser ideais, baseados na biblioteca do próprio programa, ou podem ser importados modelos como IBIS (*Input/output Buffer Information Specification*), SPICE (*Software Process Improvement and Capability Determination*) ou modelos baseados em parâmetros S. O modelo SPICE traz os dados de comportamento de um componente qualquer considerando seus elementos parasitas. O modelo IBIS tem um funcionamento similar, sendo mais comumente utilizado para circuitos integrados (CIs) comerciais [27].

O *software* também apresenta diversas opções de fontes que podem ser modeladas, entre elas a fonte PWL *Voltage Source* (*Piecewise Linear Voltage Source*). Essa fonte permite que sejam inseridos valores de tensão desejados para determinado tempo ou que seja importado um arquivo com essas informações. Assim, sinais periódicos podem ser facilmente replicados.

A partir dos circuitos simulados neste ambiente de simulação, é possível verificar os sinais criados em função do tempo e suas respectivas transformadas de Fourier. Além disso, para a análise de emissão conduzida o Circuit apresenta um modelo de uma LISN baseado em

algumas normas de emissão, o que possibilita extrair as medidas de tensões na saída de um sistema modelado de maneira similar ao ensaio. Este modelo é projetado para atender os intervalos de frequências de algumas normas, incluindo normas da CISPR.

Para realizar o envio das excitações para os demais *softwares*, é utilizada a função *Push Excitations*, que irá transferir os dados inseridos nas portas do modelo criado no HFSS, possibilitando que uma nova verificação de campos seja feita com as excitações corretas.

3.3.4 SIwave

O SIwave tem uma proposta similar ao HFSS Layout, sendo voltado para PCIs com um nível de complexidade maior. Ele realiza não só análises de integridade de sinais e potência como também simulação de emissões eletromagnéticas, que é o objetivo deste estudo. Através deste, é possível importar arquivos de projetos de PCIs, como o ODB++, possibilitando ter suas excitações inseridas da mesma maneira que o HFSS, trabalhando em conjunto com o Circuit.

No entanto, este programa utiliza métodos mais simples em seus cálculos, que diminuem o tempo de simulação, mas ao mesmo tempo reduzem a precisão dos resultados quando comparado aos resultados de campo dados pelo HFSS.

Por ser um *software* específico para placas, o SIwave não permite que sejam extraídos corretamente os campos radiados de um sistema que consista em uma placa alimentada por um cabo, apenas o que é gerado da própria PCI.

3.4 CONCLUSÃO

Neste capítulo foram apresentados os equipamentos e arranjos utilizados para os ensaios de emissão radiada e conduzida, de acordo com as normas da CISPR 22. Foram apresentados o funcionamento da célula GTEM, LISN e *receivers* nos respectivos ensaios realizados e foi exposto como são apresentados os resultados obtidos através deles. É visto que, para a correta medição dos sistemas é necessário não só conhecimento sobre as normas e equipamentos, quanto também, do projeto que será testado e como interpretar os resultados obtidos.

Em seguida, foram apresentados todos os *softwares* utilizados neste trabalho, indicando o objetivo da utilização dos mesmos, seu funcionamento e as informações obtidas através deles. Definições e conceitos de funções utilizadas foram expostos, bem como modelos de

arquivos de projetos e componentes. Foi descrita a relação entre os programas, bem como as limitações de cada um.

No próximo capítulo serão apresentados o projeto da fonte chaveada em estudo, seu desenvolvimento e as medições dos sinais principais. Essas informações serão posteriormente utilizadas como entrada para o desenvolvimento das simulações.

4 METODOLOGIA

Neste capítulo será apresentada a metodologia de simulação adotada. Para tanto, um projeto de fonte chaveada foi escolhido e fabricado. Na primeira parte deste capítulo serão apresentados: a PCI utilizada como objeto de estudo; o desenvolvimento do leiaute da placa através do Altium; e o sistema final fabricado. Com o objetivo de verificar a modelagem e comparar o funcionamento do sistema simulado com o real, ao longo do capítulo serão expostas algumas medidas de sinais da PCI.

Além disso, serão apresentados diferentes estudos realizados para verificar o funcionamento dos *softwares* da ANSYS quanto à análise de emissões radiadas e conduzidas. Será apresentado o fluxograma do procedimento completo para extração de simulações de emissões a partir de um único modelo, utilizando os *softwares* do HFSS e os resultados obtidos. Em seguida, será apresentada uma nova análise em que esse procedimento foi dividido em duas simulações, uma utilizada para obter resultados de emissão conduzida e outra para resultados de emissão radiada, realizando alterações e simplificações no processo.

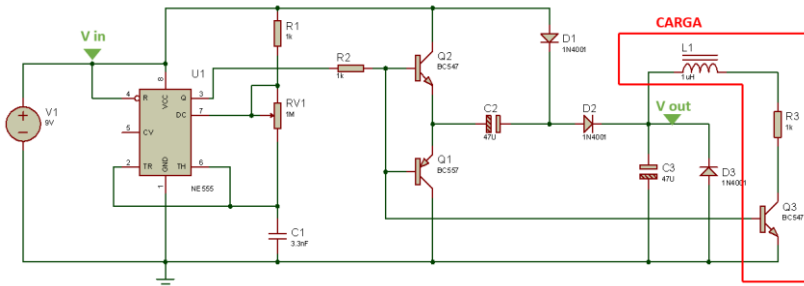
Ainda, uma terceira análise utilizando o *software* SIwave será apresentada e utilizada para comparações.

4.1 DESENVOLVIMENTO DA PCI

A Figura 16 apresenta o esquemático da fonte escolhida. Trata-se de uma fonte do tipo *Boost* dobradora de tensão, com alimentação de 9 V dada por uma bateria. Para intensificar as emissões, a fim de validar os programas de simulação, foi inserida uma carga composta por transistor, indutor e resistor. Realizando simulações simples de circuito foi verificado que a carga diminui a tensão de saída para 7.7 V, enquanto sua tensão sem carga ideal é de 18 V.

O chaveamento é realizado pelo CI NE555, com sua frequência ajustada para 60 kHz na sua configuração astável, conforme especificado no datasheet [28].

Figura 16 - Esquemático da fonte chaveada em estudo.

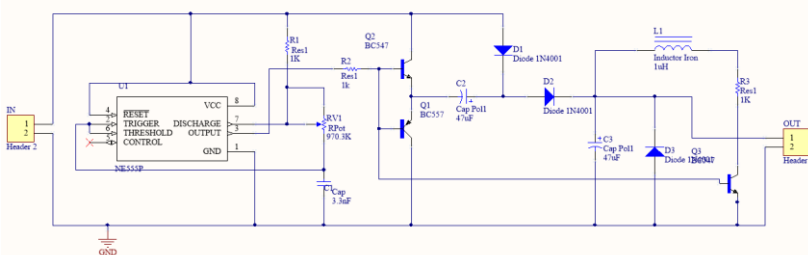


Fonte: Autora (2019).

Este esquemático foi desenvolvido no programa Altium, com os componentes presentes em sua biblioteca, conforme indicado na Figura 17. Foram colocados conectores na entrada do circuito para facilitar a conexão com a alimentação, e em sua saída para facilitar a medição.

O leiaute da placa foi então desenvolvido no programa e está demonstrado na Figura 18. A PCI foi projetada com as trilhas na camada inferior da placa e um plano de terra sobre toda a camada superior.

Figura 17 - Implementação do esquemático no Altium Designer.



Fonte: Autora (2019) via Altium Designer.

Figura 20 - Vista superior da placa com componentes soldados.



Fonte: Autora (2019).

Figura 21 - Sistema completo montado com pilha, cabos e PCI.



Fonte: Autora (2019).

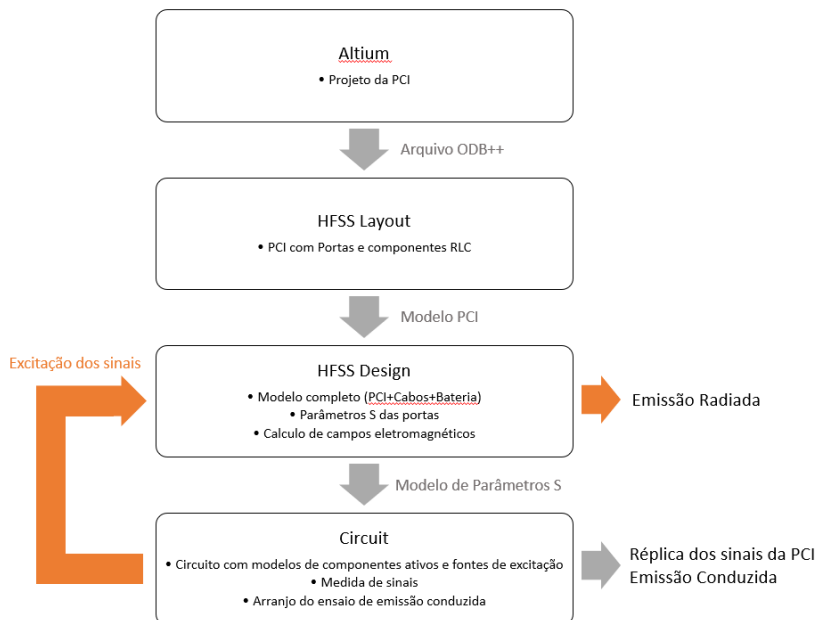
4.2 ANÁLISE INICIAL

A metodologia inicialmente utilizada para a análise de emissões radiadas e conduzidas, utilizando os programas da ANSYS envolve três *softwares* do Electronics Desktop: HFSS Layout, HFSS Design e Circuit.

O fluxograma da Figura 22 indica as etapas dessa análise. Dentro de cada bloco estão indicados brevemente os resultados produzidos enquanto as flechas indicam o que é exportado de um *software* para o outro. A PCI é desenvolvida dentro do *software* Altium e seu arquivo ODB++ é exportado, conforme indicado anteriormente. Ele é então importado no HFSS Layout, onde são feitos os ajustes de portas e componentes RLC. Em seguida, este modelo ajustado é enviado para o HFSS Design, onde o sistema é completado com os cabos e a pilha para a verificação da emissão radiada. Os parâmetros S das portas são

extraídos e, com isso, o projeto é enviado para o Circuit como um componente qualquer, tendo os modelos dos demais componentes e fontes conectados a ele para excitação dos sinais. Nele também é montado o arranjo com o modelo digital de uma LISN para medição das emissões conduzidas. O caminho em laranja indica a realimentação necessária para extrair os resultados de emissão radiada a partir das excitações corretas das portas. No lado direito do fluxograma, temos os resultados desejados que são extraídos dos programas.

Figura 22 - Fluxograma da primeira análise.



Fonte: Autora (2019).

A seguir serão descritos os ajustes que foram realizados em cada etapa do processo para esta análise.

4.2.1 Análise Inicial no HFSS Layout

Com a importação do arquivo ODB++, foram verificados se os materiais da placa estavam de acordo com os utilizados na sua produção. Em seguida, portas foram criadas para os componentes ativos e entradas do circuito. Neste projeto, temos transistores, diodos e um CI 555 para os

quais elas foram criadas, além da entrada de alimentação. Para o potenciômetro também foram utilizadas portas em seus terminais, facilitando no caso de um eventual ajuste.

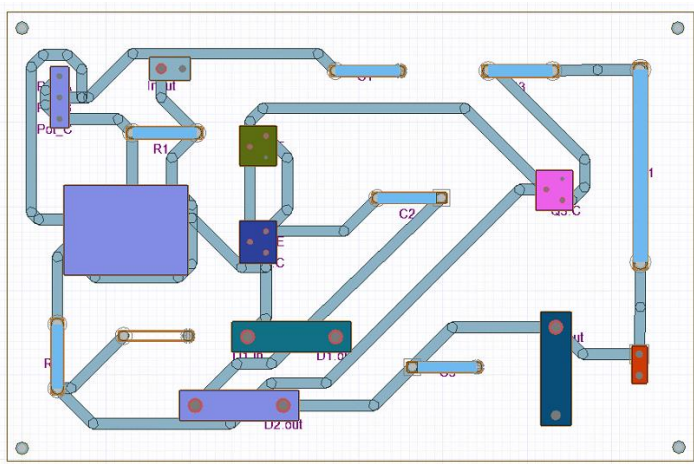
Para gerar as portas, foi utilizada a função automática do *software* de criação de portas em componentes. Esta função gera um plano de referência sobre o componente no qual são inseridas soldas, conectando o plano à PCI. Suas portas são criadas na conexão da solda com a referência.

Buscando diminuir a complexidade computacional do sistema, não foram colocadas portas para terminais conectados ao terra, e todas as portas foram definidas com uma referência comum ajustada no Circuit. Essa decisão foi tomada pois, com o aumento do número de portas, o programa ocupa mais espaço de memória durante a simulação, sendo limitado pelo espaço disponível no computador utilizado.

Boundaries RLC foram gerados entre os terminais dos componentes passivos para realizar a análise no HFSS Design. Idealmente, deveriam ser utilizados os modelos reais dos componentes RLC, considerando seus elementos parasitas, pois estes apresentam variações de comportamento em frequências mais altas que influenciam nos resultados de emissões. Para isso, seria necessário criar portas para eles, assim como feito para os componentes ativos, e adicionar os respectivos modelos através do Circuit. No entanto, para simplificar o modelo numa primeira análise, foi escolhido utilizar modelos ideais desses componentes.

A Figura 23, demonstra o projeto com os ajustes no HFSS Layout. Finalizado o ajuste dos componentes, o projeto foi exportado para o HFSS Design, onde será feita a análise de campos.

Figura 23 - Projeto com ajustes no Leiaute.

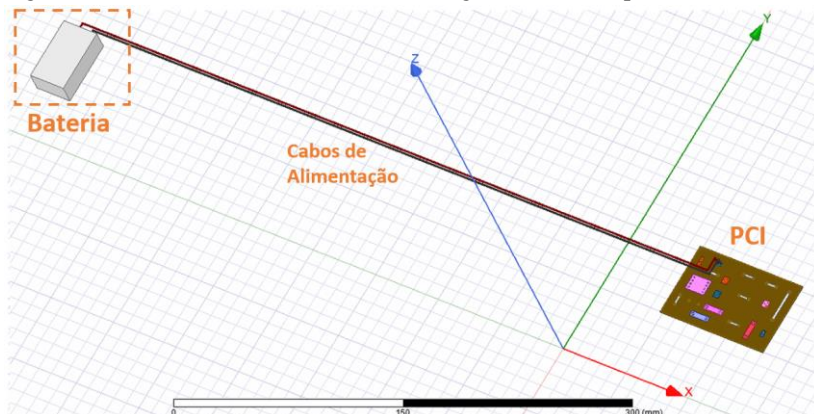


Fonte: Autora (2019) via HFSS Layout.

4.2.2 Análise Inicial no HFSS Design

A partir do projeto importado do HFSS Layout, o sistema é finalizado com a modelagem dos cabos e bateria. Para os cabos foi utilizado cobre com revestimento de PVC. Para representar a bateria, foi modelada uma caixa metálica de ferro. A Figura 24 apresenta o modelo do sistema completo no HFSS Design.

Figura 24 - Sistema modelado no HFSS Design com cabos e pilhas.



Fonte: Autora (2019) via HFSS Design.

Uma vez que a alimentação correta é dada na saída da bateria, a porta designada para a entrada de 9 V foi retirada da entrada da placa e reposicionada no modelo para que os efeitos dos cabos sejam considerados na simulação.

Para a extração dos Parâmetros S das portas é necessário executar a análise do *software*. Para isso a condição de contorno do ambiente foi ajustada para *Radiation*, utilizando a função automática do programa. Ainda para configurar a análise, a varredura de frequências foi determinada de maneira a cobrir todo o espectro dos ensaios de emissão radiada e conduzida dados pela CISPR 22, indo de 150 kHz a 1 GHz. No *interpolating sweep* determinado, o intervalo de frequências foi iniciado em 0 Hz para auxiliar a análise transiente do Circuit. Como critério de convergência, foi definida uma máxima variação do módulo do parâmetro S em 0,02.

Com os parâmetros S das portas, a placa foi exportada para o Circuit, onde são inseridos os modelos dos componentes ativos e fontes.

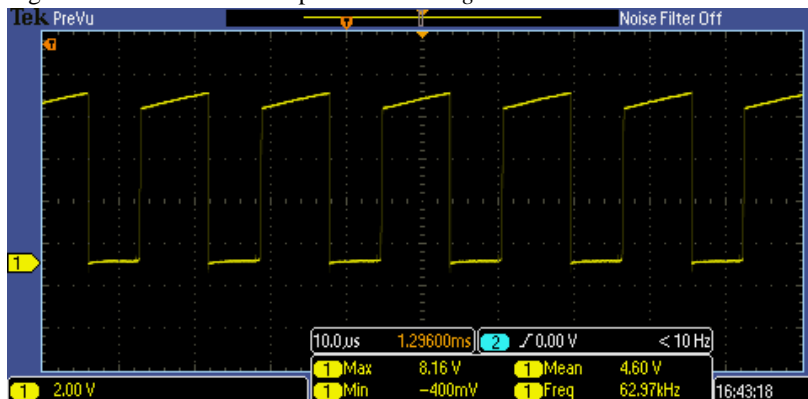
4.2.3 Análise Inicial no Circuit

A placa do HFSS Design é importada para o Circuit como um componente, cujas únicas informações são os parâmetros S das portas modeladas. Para a modelagem dos diodos e transistores, foram utilizados seus respectivos modelos SPICE, enquanto o potenciômetro foi modelado com resistores ideais com os valores medidos no ajuste da placa impressa. Uma fonte DC ideal foi utilizada para a excitação da fonte de alimentação do sistema.

Para o CI foi pesquisado seu modelo IBIS. No entanto, o componente utilizado NE555 e seus equivalentes (como o LM555) são componentes antigos que não têm um modelo IBIS associado.

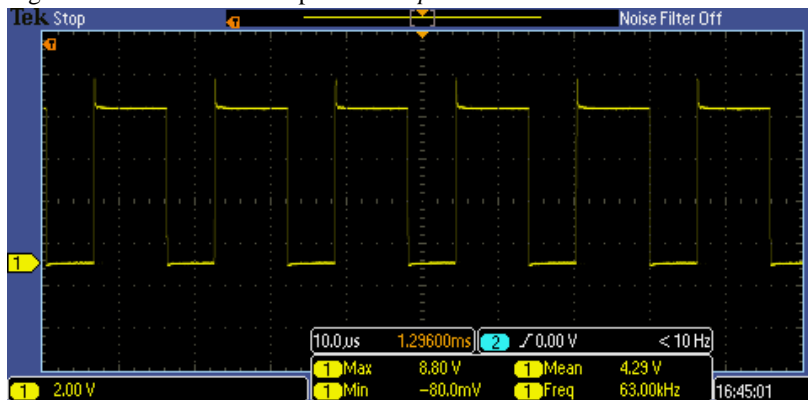
Para solucionar este problema, foram medidos os sinais de tensão nos pinos de saída do CI na placa produzida e inseridos no *software* com as fontes PWL. Além do sinal de *Output*, foi medido também o sinal de *Discharge* do componente. Os arquivos foram medidos com um osciloscópio e salvos em arquivos .CSV (*Comma Separated Values*). Uma vez que os sinais em questão são periódicos, foi possível gravar um pequeno intervalo e realizar a repetição no próprio programa, tomando cuidado para que não houvesse sobreposição entre o último e primeiro ponto salvo.

Figura 25 - Sinal medido no pino de *Discharge* do 555.



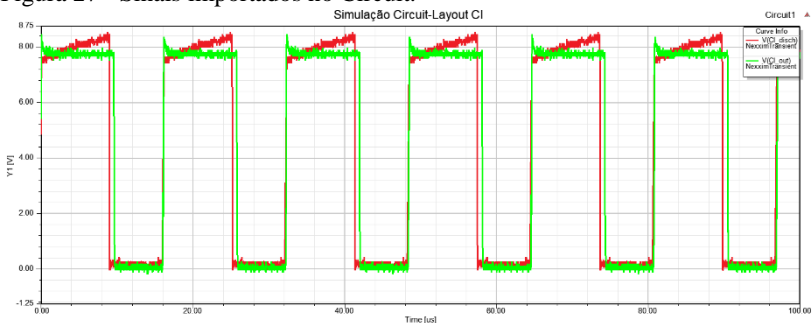
Fonte: Autora (2019).

Figura 26 - Sinal medido no pino de *Output* do 555.



Fonte: Autora (2019).

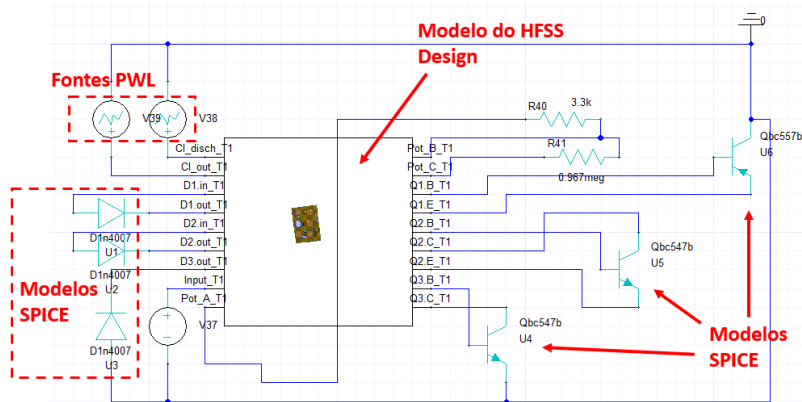
Figura 27 - Sinais importados no Circuit.



Fonte: Autora (2019) via Circuit.

Os componentes foram devidamente conectados conforme demonstrado na Figura 28. A simulação transiente para verificação dos sinais teve o período determinado de 100 μ s, englobando 6 ciclos do sinal de saída do CI, com um passo de 0.1 ns. Após a verificação dos sinais modelados, são enviadas as excitações com valores atualizados para o HFSS Design por meio da função *Push Excitations*.

Figura 28 - Circuito montado no Circuit para ajuste das excitações.



Fonte: Autora (2019) via Circuit.

4.2.4 Resultados

Para as simulações um computador processador Intel Core i7 – 5500U CPU @ 2,40 GHz memória RAM 8 GB foi utilizado como interface gráfica e para armazenamento. Foi utilizada a ferramenta de

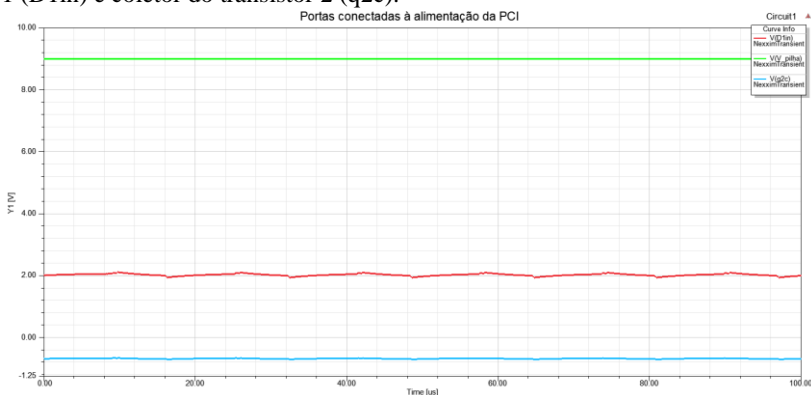
HPC que possibilita que os cálculos da análise sejam realizados em uma máquina virtual com *hardware* dedicado.

A utilização da varredura de frequências completa se mostrou ineficaz por limitações do programa. Além de levar um tempo excessivo, a simulação apresentou erros devido à falta de espaço de memória no computador. A simulação completa foi finalizada após mais de 16 horas de análise, algo incomum para uma simulação de PCI dessa complexidade, ocupando mais de 300 GB de memória local. Ao final, foram obtidos resultados não satisfatórios para os sinais de excitação do circuito, inviabilizando a análise.

A Figura 29, Figura 30 e Figura 31, a seguir, indicam os gráficos de medidas simuladas para os sinais conectados na trilha de alimentação da PCI, na base dos transistores e na trilha de saída do circuito, respectivamente. A Figura 32, Figura 33 e Figura 34 representam os sinais medidos com um osciloscópio nestes mesmos pontos da placa fabricada.

De acordo com as medidas realizadas na placa, tem-se que na entrada do sistema há uma tensão média de 8,78 V e pequenas variações causadas pelo chaveamento do circuito. Os sinais de base dos transistores apresentam uma variação de 62,64 kHz, bem próximo à frequência simulada, com uma tensão de pico a pico de 1,26 V. Já a saída medida apresenta uma média quase constante de 7,54 V.

Figura 29 - Sinais simulados nas portas de terminais de entrada (V_pilha), diodo 1 (D1in) e coletor do transistor 2 (q2c).



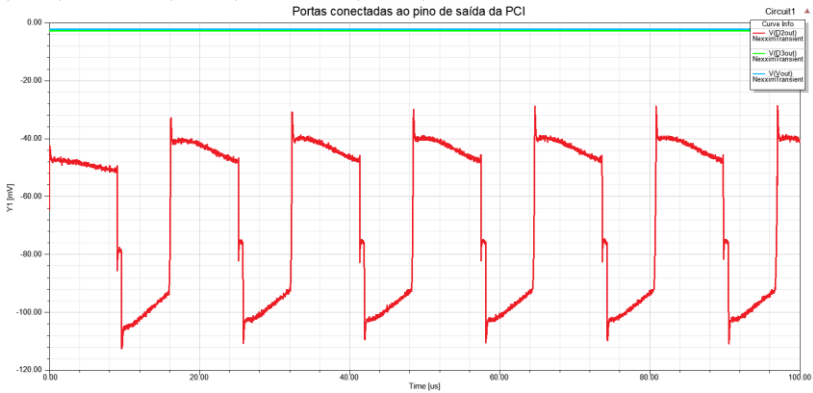
Fonte: Autora (2019) via Circuit.

Figura 30 - Sinais simulados na base dos transistores (q1b, q2b e q3b).



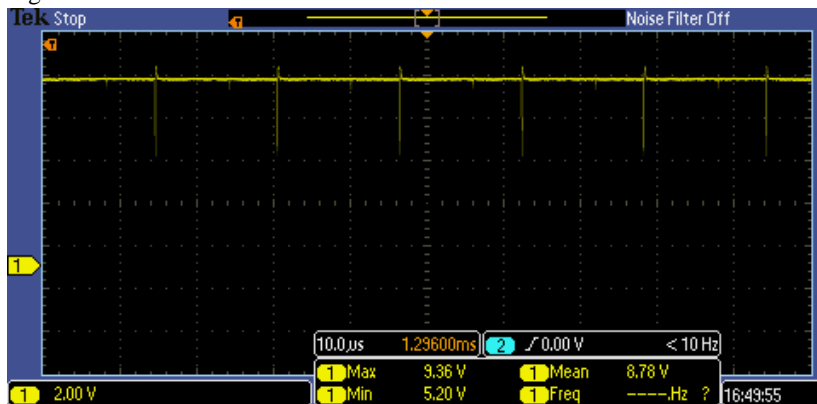
Fonte: Autora (2019) via Circuit.

Figura 31 - Sinais simulados nas portas conectadas à saída da PCI: pino de saída (Vout), diodo 3 (D3out) e diodo 2 (D2out).



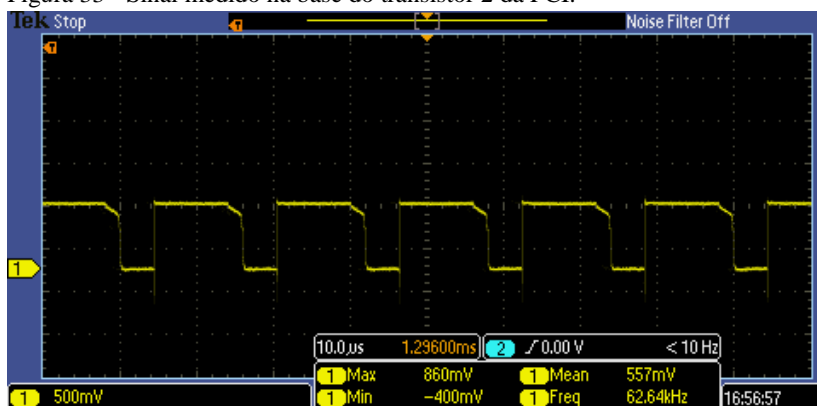
Fonte: Autora (2019) via Circuit.

Figura 32 - Sinal medido na entrada do diodo 1 na PCI.



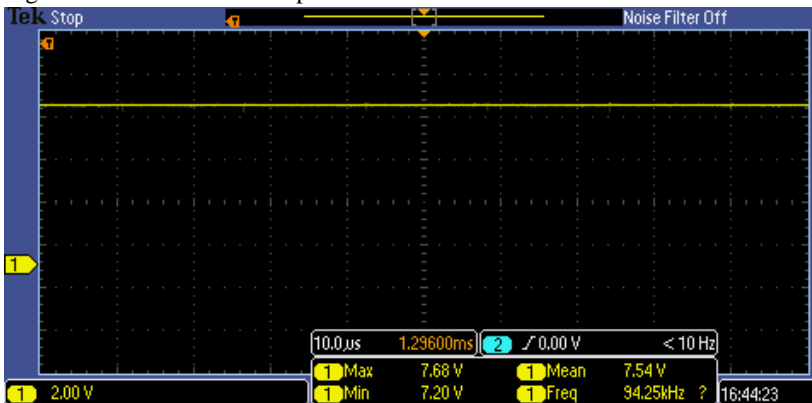
Fonte: Autora (2019).

Figura 33 - Sinal medido na base do transistor 2 da PCI.



Fonte: Autora (2019).

Figura 34 - Sinal medido no pino de saída da PCI.



Fonte: Autora (2019).

É verificado que, além de não apresentarem os níveis de tensão e comportamento esperado, sinais conectados em uma mesma trilha apresentam valores diferentes, indicando inconsistências com o modelo. Verifica-se que nos três sinais conectados à trilha de entrada de alimentação na PCI, por exemplo, tem-se uma queda de tensão de 7 V entre a porta de entrada da pilha e a porta do diodo 1. Possíveis causas desses problemas incluem a largura e baixas frequências da varredura especificada e a modelagem dos parâmetros S.

Uma vez que a maior dimensão do sistema é de aproximadamente 60 cm, temos que a mínima frequência para os cálculos do *solver* utilizado no HFSS Design seria em torno de 50 MHz, referente à $\lambda/10$ [29]. Com isso, verificamos que o programa não teria capacidade suficiente de realizar uma simulação com os requisitos de frequência dos ensaios da CISPR 22, mas ainda poderia trazer informações relevantes no intervalo restante de frequência.

Figura 35 - Range calculado por cada *solver* no HFSS Design.

Fonte: Autora (2019).

Outra causa provável dos erros, seria o cálculo dos parâmetros S das portas devido a problemas com a falta de unificação das referências dos componentes no início do projeto.

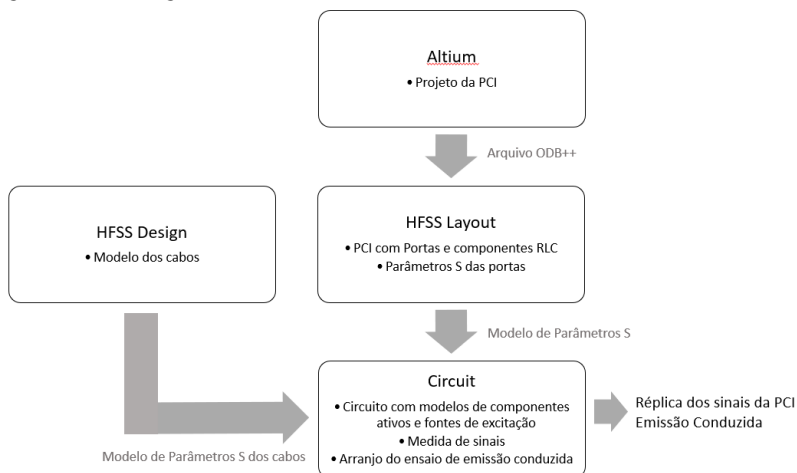
Para verificar e tentar solucionar o problema, a simulação foi dividida em duas análises, uma para emissão radiada e uma para a emissão conduzida que serão apresentadas a seguir.

4.3 ANÁLISE FINAL

A Figura 36, indica o fluxograma da nova análise de emissões conduzidas. Nesse processo, o projeto da placa não é enviado para o HFSS Design, uma vez que o modelo 3D do sistema não é necessário. O HFSS Design, é utilizado apenas para a modelagem dos cabos, que serão conectados à placa através do Circuit. Da mesma forma, a Figura 37 apresenta o fluxograma da nova análise de emissão radiada. As mesmas atividades da análise inicial foram mantidas, com exceção do arranjo da emissão conduzida realizado no Circuit.

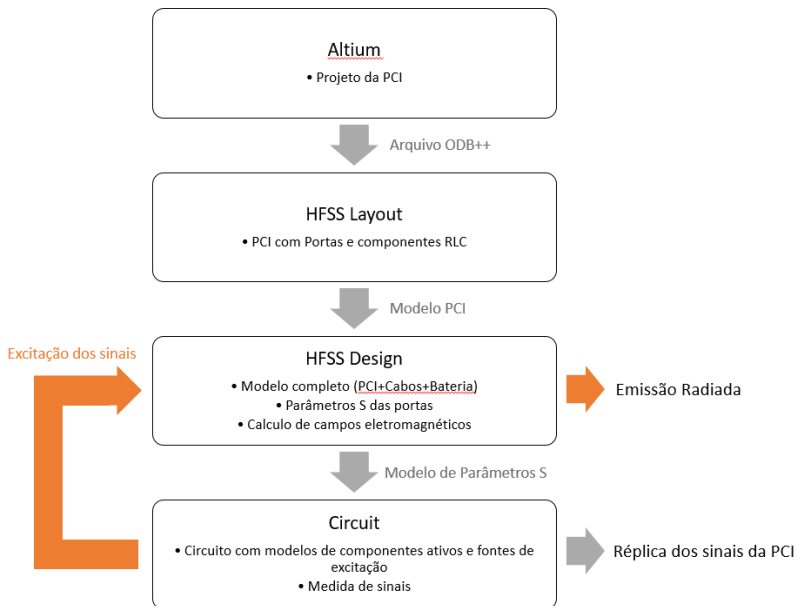
A seguir, serão apresentadas as diferenças nos ajustes para cada uma das novas análises.

Figura 36 - Fluxograma da nova análise de emissão conduzida.



Fonte: Autora (2019).

Figura 37 - Fluxograma da nova análise de emissão radiada.



Fonte: Autora (2019).

4.3.1 Simulação da Emissão Conduzida

Para a nova análise de emissão conduzida, temos o mesmo processo de importação do arquivo ODB++ e ajuste das portas dos componentes ativos e fonte. No entanto, foi verificado que os problemas de medição dos sinais poderiam ter relação com a referência dos componentes, uma vez que cada um deles apresenta um plano separado. Sendo assim, conexões entre os planos de referência foram criados, conforme ilustrado na Figura 38. Foram deixadas as portas de todos os terminais dos componentes ativos, mesmo aqueles com conexões ao terra, buscando uma maior integridade na simulação.

A varredura de frequências na análise foi diminuída para evitar tempo excessivo de simulação, sendo limitada em 200 MHz.

Com essas correções, foi feita a análise para extração dos parâmetros S no próprio HFSS Layout, com um tempo total de simulação de 1h10. O modelo foi exportado para o Circuit, onde foram medidos os sinais da placa, verificando sua correta reprodução. Uma vez que a PCI não passa pelo HFSS Design, não foi necessária a criação de *Boundaries* RLC.

Realizando a importação de ambos os modelos no Circuit e realizando as devidas conexões entre modelos e componentes, foi obtido o arranjo apresentado na Figura 40. O circuito foi ajustado com um modelo de LISN conectado de maneira similar ao realizado no ensaio de emissão conduzida. Por limitação do programa, o modelo utilizado foi o modelo de LISN para CISPR 15, que engloba frequências de 9 kHz a 30 MHz. Nas saídas da PCI e da LISN foram adicionadas resistências de 50 ohms para medição da tensão, referentes à impedância característica das portas.

Os sinais medidos apresentaram o comportamento esperado, como pode ser visto na Figura 41, Figura 42 e Figura 43 que indicam as medidas na entrada da placa, base dos transistores e saída da PCI, respectivamente. Aqui, não houveram diferenças entre sinais conectados na mesma trilha, exceto por pequenas variações que podem ser atribuídas a quedas de tensão nas próprias trilhas. Comparando com os sinais medidos dados pela Figura 32, Figura 33 e Figura 34, apresentadas anteriormente, vemos que a PCI está corretamente modelada. Pode ser visto que os sinais simulados apresentam perturbações causadas pelo sinal de chaveamento do sistema.

Figura 40 - Arranjo final no Circuit para análise de emissão conduzida.

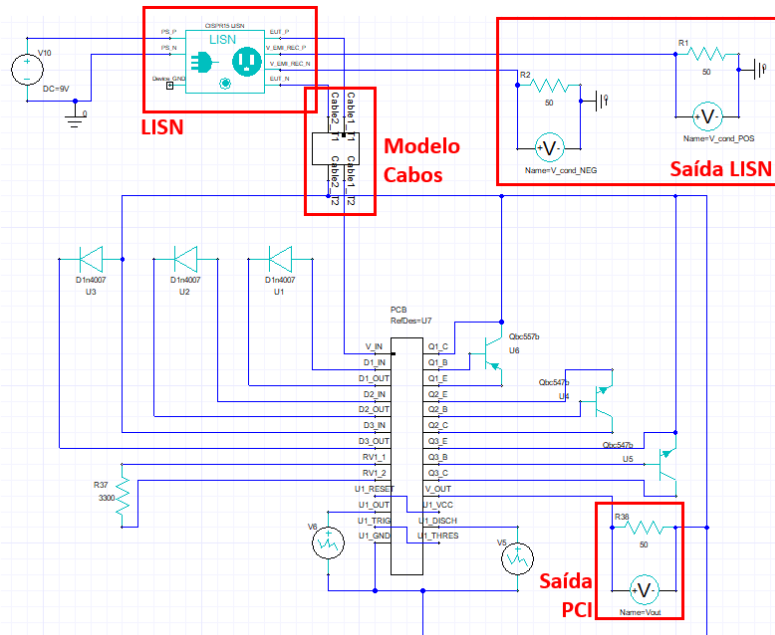
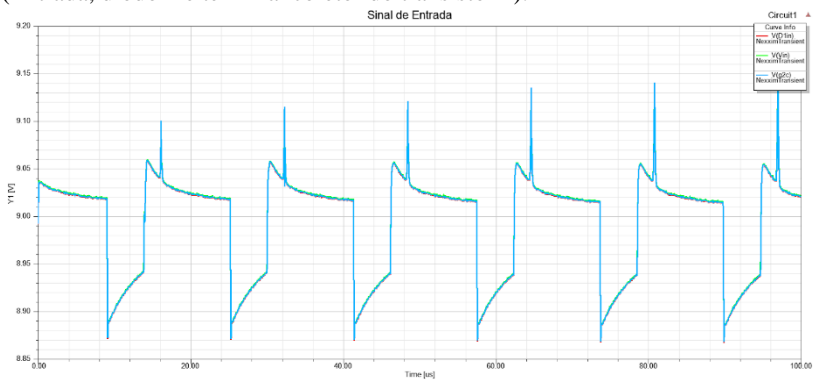


Figura 41 - Resultado medido para portas conectadas na alimentação da PCI (Entrada, diodo 1 e terminal coletor do transistor 2).



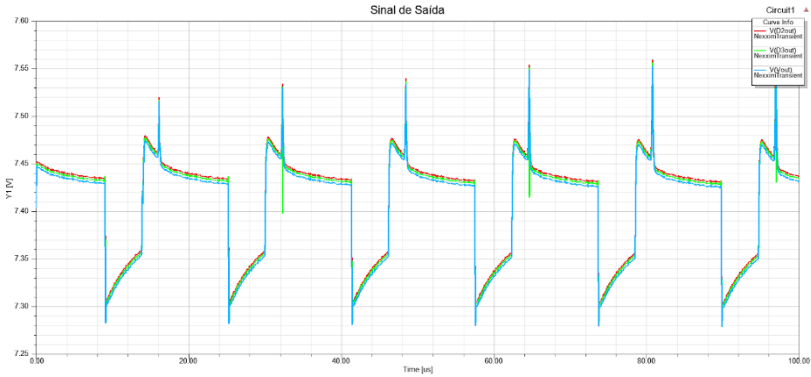
Fonte: Autora (2019) via Circuit.

Figura 42 - Resultado medido para portas conectadas aos terminais de base dos transistores.



Fonte: Autora (2019) via Circuit.

Figura 43 - Resultado medido para portas conectadas na saída da PCI (Saída, diodo 2 e diodo 3).



Fonte: Autora (2019) via Circuit.

Para a extração do resultado de emissão, foi utilizada a tensão medida pelo modelo da LISN no projeto. Essa medida foi ajustada para $\text{dB}\mu\text{V}$, condizendo com os resultados dos ensaios e será apresentada no próximo capítulo.

Em todos os *softwares* apresentados, são necessários ajustes dos dados calculados para traçar os gráficos de emissão. Sendo assim, é determinado o mínimo intervalo entre as frequências apresentadas para uma boa resolução do gráfico (RBW - *Resolution Bandwidth*), sendo recomendado que este valor seja múltiplo da frequência do sinal analisado para que não haja a adição de elementos falsos na transformada de Fourier. Também é inserido o número de harmônicas presentes, garantindo que o intervalo analisado abranja a máxima frequência desejada e não causa *aliasing* entre as amostras.

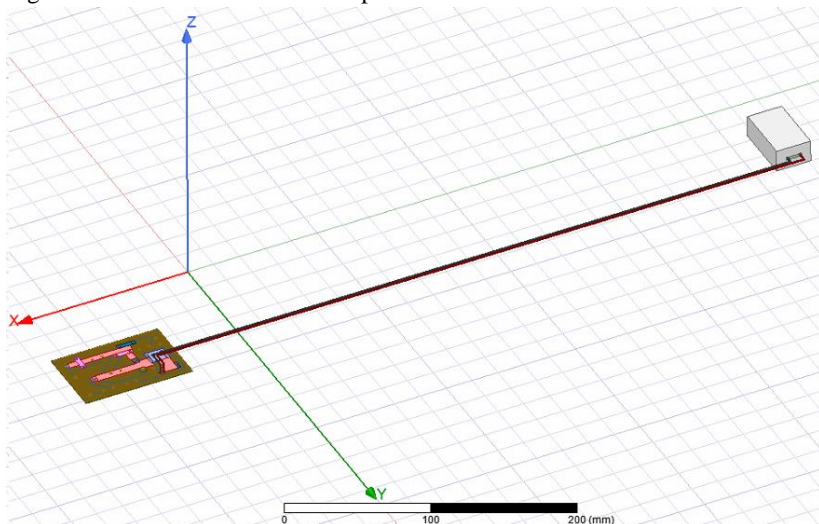
Além disso, é necessário que seja escolhido o janelamento apropriado para a FFT do sinal, sendo utilizadas nas análises realizadas o janelamento do tipo Hanning [30], [31].

4.3.2 Simulação da Emissão Radiada

Para a análise de emissão radiada, tem-se o mesmo processo de importação do arquivo ODB++ para o HFSS Layout, onde é feito o ajuste das portas e conexão dos planos de referência. *Boundaries* RLC são adicionadas para os resistores, capacitores e o indutor e com isso o arquivo é exportado para um projeto no HFSS Design.

O processo de modelagem dos cabos e bateria é realizado como mostrado na análise inicial, realizando as devidas conexões com o novo projeto da PCI. O sistema completo modelado está indicado na Figura 44.

Figura 44 - Modelo 3D do sistema para análise de emissões radiadas.



Fonte: Autora (2019) via HFSS Design.

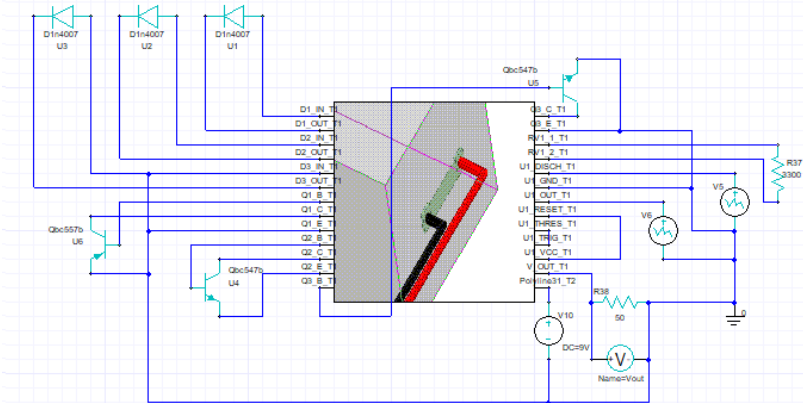
A principal diferença para esta análise é o ajuste da varredura de frequências, que foi reduzida. Foi mantido um *interpolating sweep* de 0.01 MHz a 200 MHz devido à necessidade de estimar o ponto DC na análise dos sinais no Circuit, mas o *discrete sweep*, que é utilizado para a análise dos campos, foi alterado para cobrir frequências de 50 a 200 MHz e a quantidade de pontos calculados foi reduzida. Mesmo com estes ajustes, a simulação levou 6h20 para completar, com os resultados ocupando 105 GB de espaço de memória.

Com o modelo 3D completo, o sistema foi exportado para o Circuit e o circuito foi montado como indicado na Figura 45, com as referências unificadas. Os sinais de entrada das portas foram verificados assim como nas análises anteriores. Apesar de apresentar resultados melhores que a primeira análise, não foi obtido o comportamento ideal dos sinais como na análise de emissão conduzida. A Figura 46, Figura 47 e Figura 48 mostram esse resultado. Nelas são verificadas grandes quedas de tensão entre portas conectadas na mesma trilha. Possivelmente, isto se dá pela falta de conexão entre a referência da porta da alimentação e as demais. Enquanto as portas da PCI estão referenciadas no plano virtual criado no

HFSS Layout, a porta de alimentação criada na pilha é referenciada ao terra do circuito. Não foi encontrada uma maneira adequada de se realizar a conexão entre os dois.

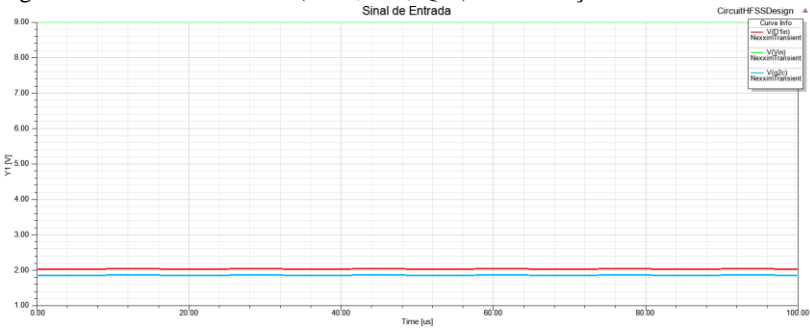
Ainda assim, é possível realizar o procedimento de *Push Excitations* e extrair o gráfico de emissão radiada do sistema com essas excitações.

Figura 45 - Projeto no Circuit para simulação de emissão radiada.



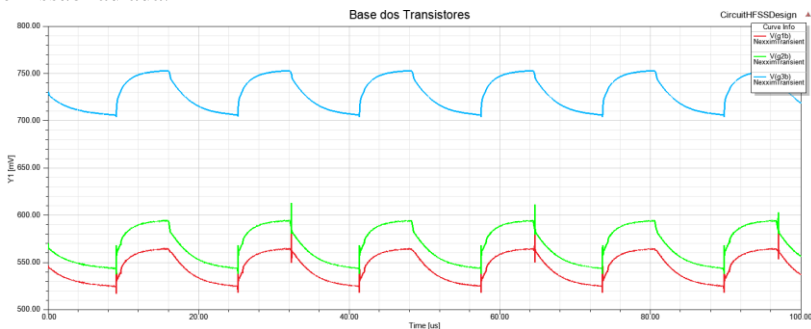
Fonte: Autora (2019) via Circuit.

Figura 46 - Sinais de entrada (D1in, Vin, Q2c) na simulação de emissão radiada.



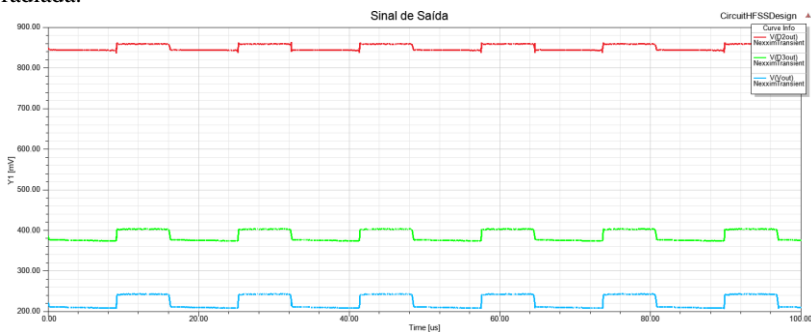
Fonte: Autora (2019) via Circuit.

Figura 47 - Sinais de base dos transistores (Q1b, Q2b e Q3b) na simulação de emissão radiada.



Fonte: Autora (2019) via Circuit.

Figura 48 - Sinais de saída (Vout, D2out, D3out) na simulação de emissão radiada.



Fonte: Autora (2019) via Circuit.

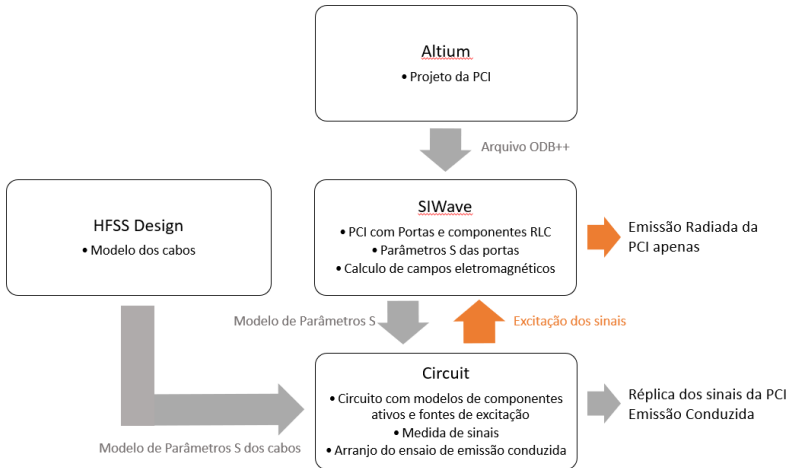
4.4 ANÁLISE SIWAVE

A fim de se obter diferentes resultados para comparação e, possivelmente, verificar se os problemas encontrados eram devido a falhas no modelo ou problemas do *software*, uma nova simulação foi realizada no SIwave. Esta análise tem um fluxograma similar à análise de emissão conduzida, com a substituição do HFSS Layout pelo SIwave, conforme indicado na Figura 49.

O mesmo arquivo ODB++ é importado para o SIwave e é ajustado com os devidos valores de componentes e portas. O programa calcula os parâmetros S das portas e envia para o Circuit, onde é inserido o modelo dos cabos e feita a análise de emissão conduzida. A excitação dos sinais das portas é feita através do *Push Excitations* e a emissão radiada pode

ser extraída. No entanto, o SIwave só considera a PCI em seus cálculos, não sendo possível verificar a influência dos cabos no conjunto.

Figura 49 - Fluxograma da análise realizada pelo SIwave.



Fonte: Autora (2019).

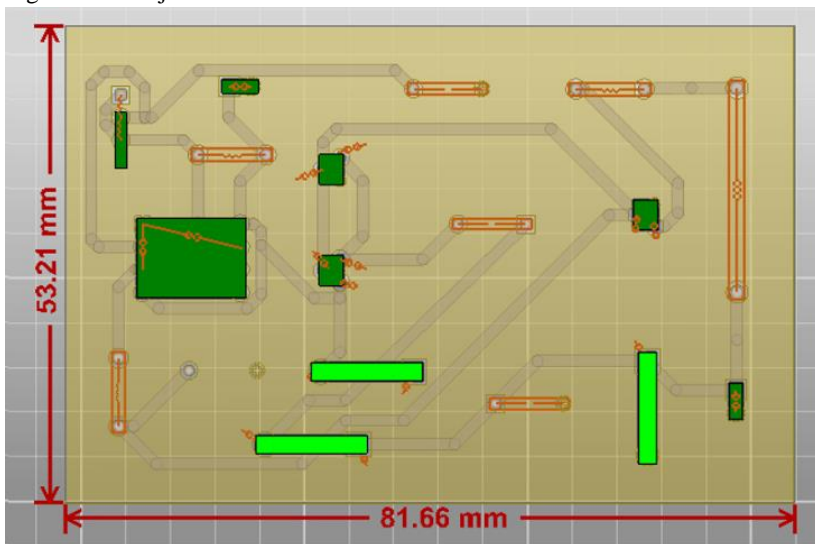
O projeto importado no SIwave pode ser visualizado na Figura 50. O circuito foi modelado sem as portas de conexão ao terra, devido a diferenças de modelagem no *software*. Já a varredura de frequências utilizada, foi idêntica à utilizada no ensaio de emissão conduzida. A simulação para extração dos parâmetros S levou apenas alguns minutos.

De maneira similar às simulações com o HFSS, o modelo do SIwave é importado no Circuit. Junto com o mesmo modelo de cabos utilizado na simulação de emissão conduzida anteriormente, as conexões de componentes são feitas e o modelo da LISN ajustado. O arranjo final pode ser visualizado na Figura 51.

Verificando os sinais indicados na Figura 52 e Figura 53, os níveis de tensão se mostraram adequados, com o valores dentro da faixa esperada.

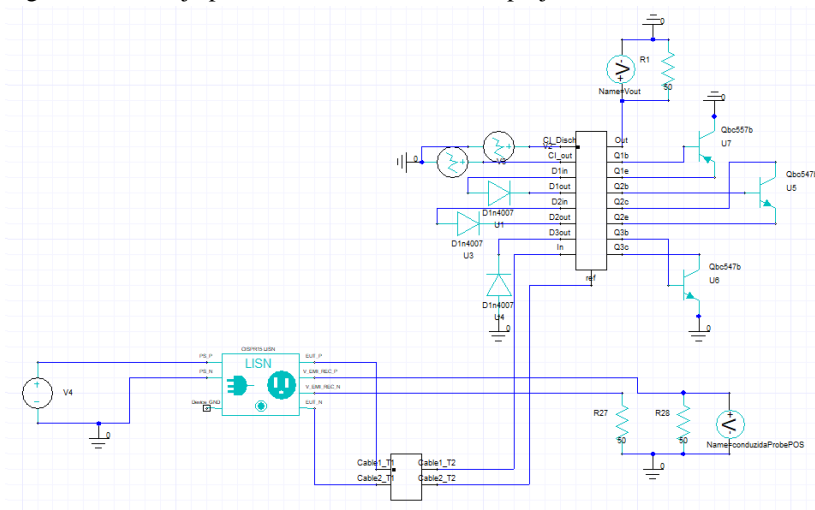
Os resultados de emissão conduzida foram extraídos e as excitações reenviadas para o SIwave, onde foi realizada a análise de emissões radiadas. Ambos resultados serão apresentados no próximo capítulo.

Figura 50 - Projeto da PCI no SIwave.



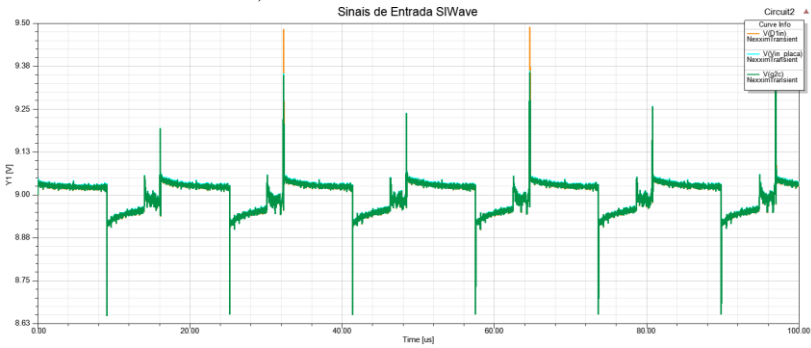
Fonte: Autora (2019) via SIwave.

Figura 51 - Arranjo para emissão conduzida com projeto do SIwave.



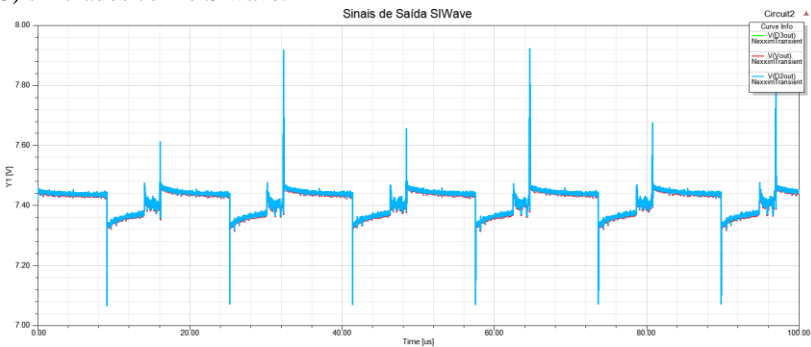
Fonte: Autora (2019) via Circuit.

Figura 52 - Sinais conectados na entrada do circuito (alimentação da placa, diodo 1 e coletor do transistor 2) simulados com o SIwave.



Fonte: Autora (2019) via Circuit.

Figura 53 - Sinais conectados na saída do circuito (saída da placa, diodo 2 e diodo 3) simulados com o SIwave.



Fonte: Autora (2019) via Circuit.

4.5 CONCLUSÃO

Neste capítulo foram demonstradas todas as etapas do desenvolvimento do projeto. Foi primeiramente exposta a fonte chaveada escolhida como objeto de estudo e o desenvolvimento de seu leiaute dentro do Altium, onde foram gerados os arquivos base de simulação e produção da placa. Em seguida, foi indicado o fluxograma de projeto desejado e seu desenvolvimento, no entanto este foi descartado devido ao tempo excessivo de simulação e erros na modelagem dos parâmetros S.

Foi apresentada uma segunda análise onde foram divididas as simulações de emissão conduzida e radiada. Para a análise de emissão conduzida, a PCI foi modelada apenas no HFSS Layout, sem passar pelo programa HFSS Design. A diminuição na varredura de frequências e união dos planos de referência dos componentes possibilitaram que a análise fosse completada de maneira mais realista, com os sinais da PCI corretos.

Na análise de emissão radiada, no entanto, estes ajustes não se mostraram eficazes. Apesar de apresentarem uma melhoria expressiva, os sinais de excitação das portas mantiveram quedas de tensão incoerentes com os valores esperados, prejudicando a análise. Apesar disso, com as alterações das varreduras de frequência, foi verificada uma melhora expressiva no tempo de simulação e espaço de memória utilizado, indicando uma melhoria do processo.

Finalmente, foi apresentada uma terceira análise feita com o *software* SIwave. Através dele também foi possível obter os sinais adequados na PCI e extrair resultados diferentes de emissão conduzida e radiada. No entanto, a análise de emissão radiada não inclui os efeitos do cabo e bateria em seu resultado.

No próximo capítulo serão apresentados os resultados finais das simulações deste capítulo, comparando-os com os resultados de emissão obtidos nos ensaios da CISPR 22 descritos no capítulo 3.

5 RESULTADOS DAS ANÁLISES DE EMISSÕES

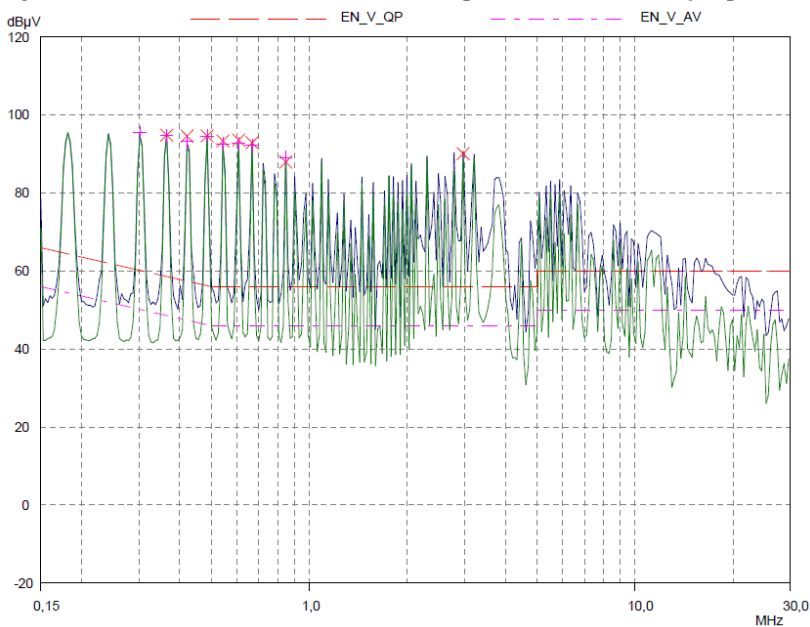
Neste capítulo serão apresentados os resultados das medidas realizadas nos ensaios, conforme a CISPR 22, e os resultados obtidos através das simulações. Serão apresentados ambos os resultados de emissões, conduzida e radiada, indicando as diferenças entre a simulação realizada no HFSS e no SIwave.

5.1 RESULTADOS DOS ENSAIOS

Ambos os ensaios foram realizados no laboratório MagLab. Os limites foram ajustados para um equipamento de telecomunicação categorizado como Classe B seguindo a norma CISPR 22.

O relatório completo de resultados de emissão conduzida realizado está disposto no Apêndice B. A Figura 54 mostra o gráfico de tensão induzida no cabo de alimentação positiva do circuito, utilizado para comparação com as medidas simuladas.

Figura 54 - Resultados de emissão conduzida para cabo de alimentação positiva.



Fonte: Autora (2019) via *software* ESPC-K1.

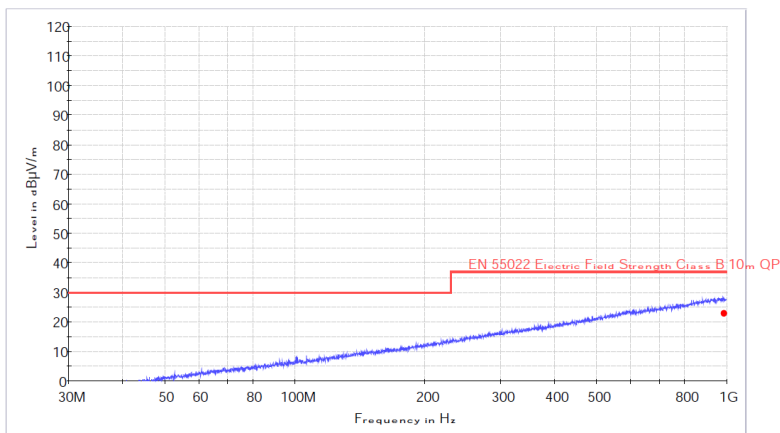
Analisando estes resultados, foi possível verificar que os mesmos se encontram acima dos limites da norma em quase todo o espectro, tanto para valores de quase-pico quanto para valores de média. Uma vez que o objetivo é obter dados representativos para uma comparação com as simulações, esse resultado com diversos picos na medida é possível de ser utilizado na análise. No entanto, dentro do desenvolvimento de um equipamento ou produto comercial, esse resultado indicaria a necessidade de um reprojeto e traria diversos problemas para os desenvolvedores.

Após realizar os ensaios de emissão conduzida, foram realizados os ensaios de emissão radiada, utilizando o arranjo com a célula GTEM do laboratório. O resultado completo do ensaio de emissões radiadas está disposto no Apêndice A. Durante sua realização foi primeiramente medido o ruído de fundo da GTEM com o equipamento desligado. Este resultado está indicado na Figura 55. Através dele, é verificado que o ambiente é eletromagneticamente estável e não mascara as medidas.

A medida com a fonte chaveada devidamente ligada está indicada na Figura 56. Vemos que a intensidade do campo gerado pelo equipamento apresenta picos nas frequências até 200 MHz. Todas as medidas se mantiveram dentro dos limites da norma, mas ainda são visíveis picos de maior intensidade, principalmente nos resultados de 60 a 200 MHz, que serão utilizados como base para a comparação com o campo simulado.

Figura 55 - Ruído de fundo da GTEM.

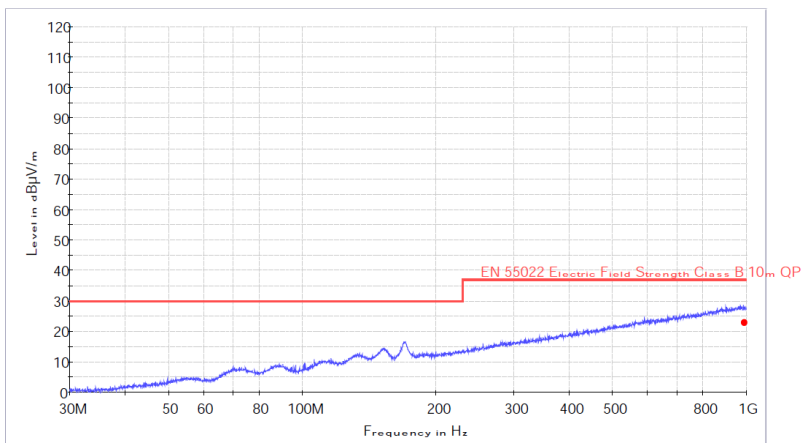
OATS



Fonte: Autora (2019) via *software* EMC32.

Figura 56 - Resultado de emissões radiadas do sistema.

OATS



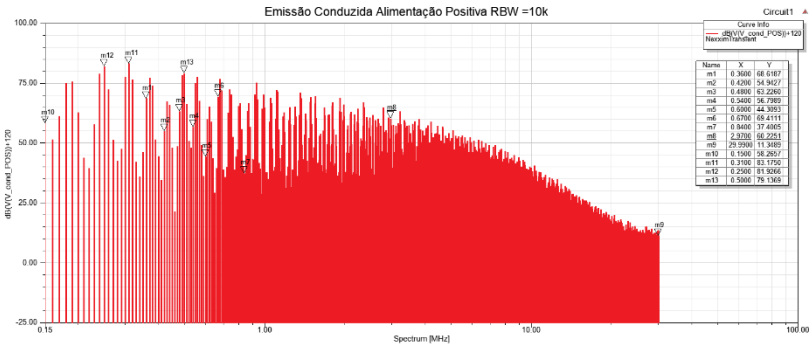
Fonte: Autora (2019) via *software* EMC32.

Com esses resultados, é possível verificar que a fonte chaveada em questão não gera uma intensidade relevante de emissões radiadas, no entanto a emissão conduzida gerada por ela é considerável e deveria ser minimizada para a produção de um equipamento desenvolvido a partir deste projeto.

5.2 RESULTADOS DA SIMULAÇÃO DE EMISSÃO CONDUZIDA

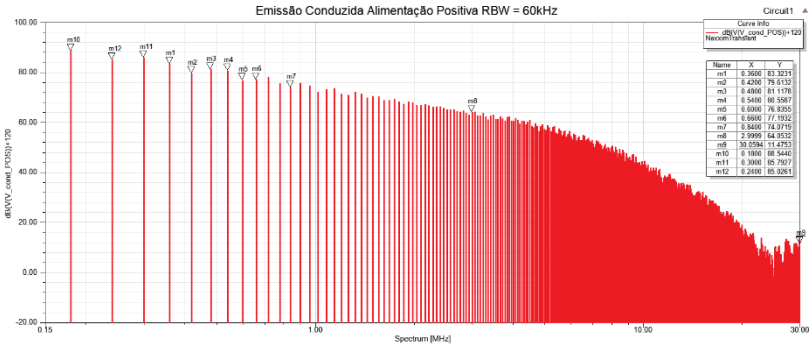
Para extração dos resultados de emissão conduzida nas simulações, foi medida a tensão de saída do modelo da LISN e verificado o espectro gerado pela FFT do sinal. Os gráficos obtidos estão apresentados em sequência pelas Figura 57 e Figura 58, demonstrando o resultado da análise realizada utilizando o HFSS com RBW de 10 e 60 kHz, seguidos do resultado da análise feita pelo SIwave no mesmo padrão, dado pela Figura 59 e Figura 60. Os gráficos das simulações apresentam a tensão medida em dBμV.

Figura 57 - Resultado de emissão conduzida simulado com o HFSS Layout e RBW de 10 kHz.



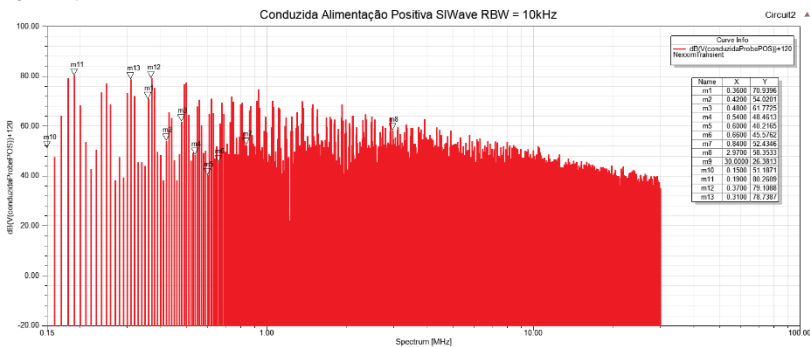
Fonte: Autora (2019) via Circuit.

Figura 58 - Resultado de emissão conduzida simulado com o HFSS Layout e RBW de 60 kHz.



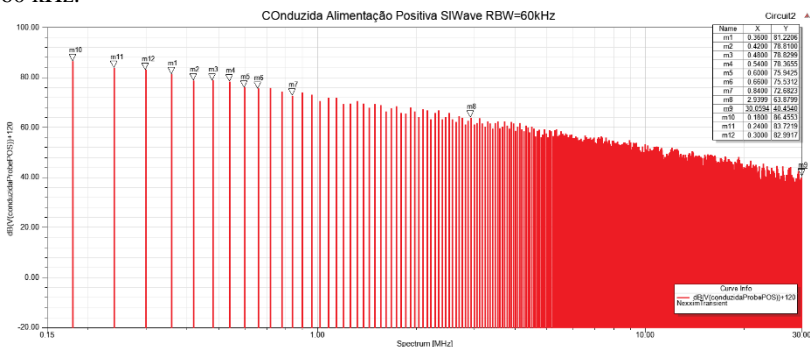
Fonte: Autora (2019) via Circuit.

Figura 59 - Resultado de emissão conduzida simulado com o SIwave e RBW de 10 kHz.



Fonte: Autora (2019) via Circuit.

Figura 60 - Resultado de emissão conduzida simulado com o SIwave e RBW de 60 kHz.



Fonte: Autora (2019) via Circuit.

Em uma primeira análise, percebe-se que apesar de apresentarem resultados de pico, ambas as simulações indicam valores máximos com intensidades bem abaixo das medidas obtidas através dos ensaios, que são dadas em valores de quase-pico. É visto também que os resultados dados pelo HFSS Layout decaem consideravelmente nas frequências mais altas, enquanto os resultados do SIwave apresentam uma queda menor, mais condizente com o comportamento dos ensaios.

A utilização da resolução do gráfico na frequência de chaveamento apresenta um resultado deveras espaçado, que impede a verificação de um comportamento similar ao ensaiado. No entanto, as indicações da ANSYS alertam sobre a possibilidade de ser introduzido um período artificial na transformada de Fourier caso seja utilizado um valor que não seja

múltiplo desta frequência. Dessa forma, a simulação de emissões conduzidas é prejudicada, uma vez que abrange uma faixa de frequências baixas, incluindo frequências comumente utilizadas em conversores estáticos.

A Figura 61 abaixo indica os valores medidos com o detector de quase-pico apresentados no relatório do ensaio. Para uma comparação mais quantitativa, os valores da simulação em frequências próximas a estas estão indicados na Tabela 1 para os gráficos com 10 kHz de RBW e na Tabela 2 para gráficos de 60 kHz de RBW. Nestes, é indicada a frequência mais próxima à frequência das medidas do ensaio avaliadas, o valor da tensão calculado e a variação do valor desejado.

Figura 61 - Medidas de quase-pico no ensaio de emissão conduzida.

Final Measurement Results

Frequency MHz	QP Level dB μ V	QP Limit dB μ V	QP Delta dB	Phase -	PE -
0,36487	94,84*	58,62	-36,22	N	fl
0,4209	94,62*	57,43	-37,19	N	fl
0,48554	94,64*	56,24	-38,40	L1	fl
0,5426	93,36*	56,00	-37,36	N	fl
0,60636	93,56*	56,00	-37,56	N	fl
0,66696	92,90*	56,00	-36,90	N	fl
0,84626	87,96*	56,00	-31,96	N	fl
2,96557	90,10*	56,00	-34,10	L1	fl

Fonte: Autora (2019).

Tabela 1 - Resultados de Emissão Conduzida com RBW de 10 kHz.

Freq. (MHz)	HFSS (dB μ V)	Δ	SIwave (dB μ V)	Δ
0,36	68,6187	-26,2213	70,9396	-23,9004
0,42	54,9427	-39,6773	54,0201	-40,5999
0,48	63,226	-31,414	61,7725	-32,8675
0,54	56,7989	-36,5611	48,4613	-44,8987
0,6	44,3093	-49,2507	40,2165	-53,3435
0,67	69,411	-23,489	45,5762	-47,3238
0,84	37,4005	-50,5595	52,4346	-35,5254
2,97	60,2251	-29,8749	58,3533	-31,7467

Fonte: Autora (2019).

Tabela 2 - Resultados de Emissão Conduzida com RBW de 60 kHz.

Freq. (MHz)	HFSS (dB μ V)	Δ	SIwave (dB μ V)	Δ
0,36	83,3231	-11,5169	81,2206	-13,6194
0,42	79,6132	-15,0068	78,81	-15,81
0,48	81,1178	-13,5222	78,8299	-15,8101
0,54	80,5587	-12,8013	78,3655	-14,9945
0,6	76,8355	-16,7245	75,9425	-17,6175
0,66	77,1932	-15,7068	75,5312	-17,3688
0,84	74,0719	-13,8881	72,6823	-15,2777
2,9999	64,0532	-26,0468	63,8799	-26,2201

Fonte: Autora (2019).

Percebe-se que os picos simulados não necessariamente condizem com os pontos de maiores valores visualizados nos resultados do ensaio e, portanto, muitos pontos apresentam uma variação de quase 50 dB μ V. Uma vez que os valores medidos no ensaio são valores de quase-pico, era esperado que os valores simulados (dados em pico) apresentassem valores maiores. Também se verifica que as medidas realizadas com resolução de 60 kHz apresentam variações menores, com seu maior delta apresentando apenas 3 dB de diferença com menor delta dos valores da Tabela 1.

Mesmo quando desconsiderados pequenos desvios na frequência, temos que a tensão dos picos simulados não fica próxima dos valores dos ensaios. A Tabela 3 mostra os três pontos de maior tensão nos quatro gráficos.

Tabela 3 - Tensões máximas simuladas na reprodução do ensaio de emissão conduzida.

Freq. (MHz)	HFSS RBW 10kHz (dB μ V)	Freq. (MHz)	SIwave RBW 10kHz (dB μ V)	Freq. (MHz)	HFSS RBW 60kHz (dB μ V)	Freq. (MHz)	SIwave RBW 10kHz (dB μ V)
0,31	83,175	0,19	80,2609	0,18	88,544	0,18	86,4553
0,25	81,9266	0,37	79,1088	0,3	85,7927	0,24	83,7219
0,5	79,1369	0,31	78,7387	0,24	85,0261	0,3	82,9917

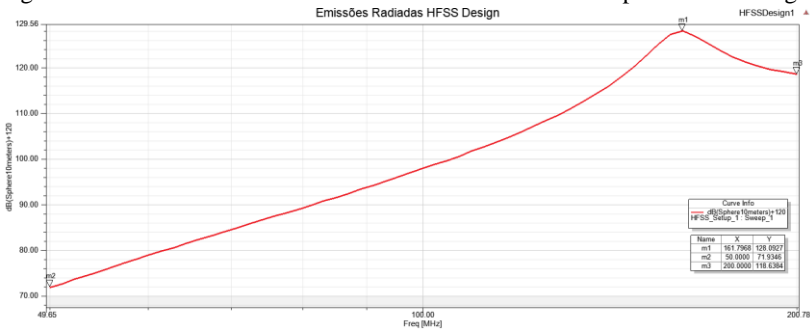
Fonte: Autora (2019).

Com isso concluímos que a modelagem realizada aqui não foi suficiente para replicar resultados de emissão conduzida.

5.3 RESULTADOS DA SIMULAÇÃO DE EMISSÃO RADIADA

Para os resultados de emissão radiada, o HFSS Design tem uma função própria de relatório para indicação de máximo campo elétrico em uma esfera a 10 metros de distância do equipamento. Esta função captura o máximo campo em todos os ângulos da mesma maneira que é feito ao se rotacionar o equipamento dentro da célula GTEM nos três eixos (x, y, z). A Figura 62 apresenta o gráfico do resultado obtido. Nele, o valor é ajustado de V/m para coincidir com o padrão do ensaio, apresentado em $\text{dB}\mu\text{V/m}$.

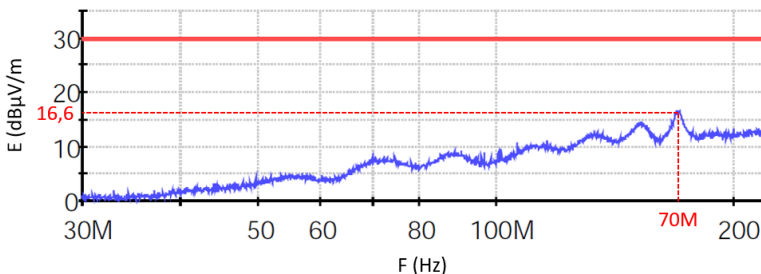
Figura 62 - Resultado de emissões radiadas do sistema obtido pelo HFSS Design.



Fonte: Autora (2019) via HFSS Design.

O resultado obtido na simulação apresentou intensidades muito elevadas de campo, chegando a $128 \text{ dB}\mu\text{V/m}$ no seu pico. Nesta mesma faixa de frequências, o ensaio atingiu um pico máximo de $16,6 \text{ dB}\mu\text{V/m}$ em 170 MHz como indicado na Figura 63.

Figura 63 - Gráfico de emissões radiadas com indicação do pico na faixa de 30 a 200 MHz.

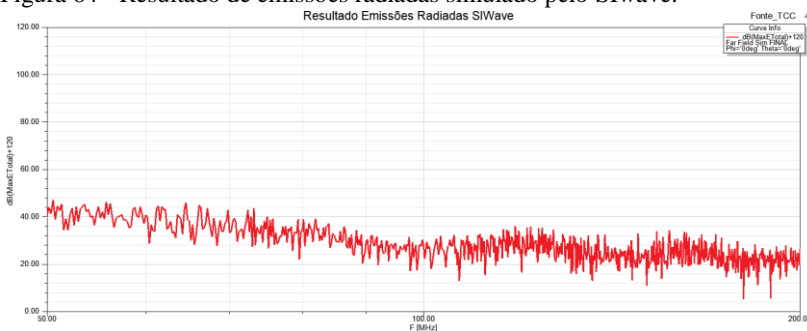


Fonte: Autora (2019) via *software* EMC32 (Adaptado).

Apesar de o valor de pico do campo simulado estar em uma frequência próxima do pico medido (161,8 MHz), não podemos correlacionar essa informação à nenhum dado do ensaio realizado. A variação de intensidade de campo também não apresentou nenhuma relação com o real, sendo simulado um delta de 56 dB μ V/m entre ponto máximo e mínimo na faixa de 50 a 200 MHz e ensaiado um delta de apenas 16,4 dB μ V/m.

Apesar de apresentar apenas as emissões dadas pela PCI, foi verificado o resultado de campo elétrico máximo dado pela simulação do SIwave. A Figura 64 abaixo indica o gráfico obtido. É verificado que mesmo nesta simulação sem cabos, com as excitações corretas nas portas do circuito, os valores de intensidade de campo permaneceram muito acima do esperado.

Figura 64 - Resultado de emissões radiadas simulado pelo SIwave.



Fonte: Autora (2019) via SIwave.

Em ambas as simulações, foi verificada a impossibilidade de se obter resultados adequados de emissão radiada.

5.4 CONCLUSÃO

Neste capítulo foram apresentados todos os resultados de campos obtidos durante o projeto. Primeiramente foram expostos os resultados dos ensaios da CISPR 22, realizados através do gráfico de máximo campo elétrico radiado medido com a célula GTEM e do gráfico de emissão conduzida medido com o arranjo da LISN e *receiver*.

Em seguida foram apresentados os resultados de emissões radiada e conduzida obtidos nos *softwares* de simulação HFSS e SIwave. As simulações de emissão conduzida apresentaram comportamentos próximos ao esperado, embora a intensidade das tensões ainda estivesse

longe da desejada. Foram encontradas dificuldades com o ajuste dos resultados devido a limitações de RBW, sendo apresentados resultados para o intervalo entre frequências de 10 e 60 kHz. Já nas emissões radiadas, ambos os programas apresentaram intensidades muito acima do aceitável, não sendo comparáveis com as medidas ensaiadas.

No próximo capítulo serão apresentadas possíveis justificativas para os resultados encontrados, bem como sugestões de melhorias e uma análise geral do trabalho apresentado.

6 DISCUSSÃO E CONCLUSÃO

A seguir, serão discutidas as diferenças entre os resultados esperados e simulados, além dos possíveis motivos de discrepâncias. Finalmente, serão expostas sugestões de trabalhos a serem feitos como continuidade da pesquisa aqui apresentada e uma conclusão acerca do trabalho.

6.1 DISCUSSÃO

Os programas de simulação eletromagnética da ANSYS são *softwares* extremamente sofisticados com capacidade de simular os mais variados problemas, possibilitando a análise de antenas à sistemas automobilísticos. Neste contexto, a simulação de uma fonte chaveada se apresentou como um problema simples, que se mostrou extremamente complexo. A análise de emissões de uma PCI qualquer envolve a utilização de ao menos dois ou três *softwares* deste conjunto de programas, cada um com suas particularidades e restrições.

Visto a capacidade do programa HFSS, desejava-se realizar a simulação de emissões a partir do modelo 3D da placa, no entanto, as limitações para baixas frequência forçaram a utilização de outros meios para obtenção de emissões conduzidas. Dessa forma, a reprodução completa dos ensaios da CISPR 22 foi impossibilitada e as análises foram adaptadas para frequências escolhidas que validassem os resultados.

A reprodução correta dos sinais na PCI se apresentou como o maior desafio devido às dificuldades encontradas para o ajuste das portas. Para evitar a criação manual de conexões entre o terra da placa e os terminais onde desejava-se criar as portas, foi utilizada a função automática do programa para sua geração nos componentes. No entanto, foi verificado que esta metodologia separava as referências das portas entre os planos criados para cada componente. Dessa maneira, mesmo com a opção de colocar todas as portas em uma referência comum no Circuit, o *software* não conseguiu reproduzir os sinais, pois os parâmetros S das portas eram gerados com as referências inadequadas ainda no HFSS Layout.

Com a união dos planos de referência dos componentes foi possível reproduzir os sinais de maneira aceitável. Porém, nada se pode afirmar sobre como são consideradas as correntes de retorno no circuito, uma vez que este plano não existe na placa real. Isso pode ter implicações nas componentes de modo comum e diferencial das correntes, não sendo consideradas corretamente nos cálculos das emissões do sistema. Por outro lado, foi verificado que o chaveamento da fonte se propagou na

simulação para todos os sinais da placa, como visto pelas oscilações presentes no sinal de entrada e saída simulados no Circuit.

Foi visto que a adição de uma nova porta na bateria do modelo 3D, com referência no plano de terra ao invés do plano virtual criado, levou os sinais a novamente apresentarem comportamentos inesperados. Com essas excitações, as emissões radiadas do sistema apresentaram níveis muito elevados e o resultado não foi utilizado.

Outro fator que influenciou nos resultados de emissão conduzida com níveis abaixo do esperado foi a utilização de modelos ideais para os componentes RLC. Como visto no capítulo 2, as variações no comportamento de componentes, cabos e trilhas devido à frequência introduzem de ruídos na PCI, contribuindo para o aumento de emissões. No entanto, o aumento no número de portas no circuito aumentaria ainda mais sua complexidade, dificultando a simulação.

Contradizendo o objetivo de prever problemas de emissão previamente à montagem da PCI, houve a necessidade de se utilizar medidas da placa para modelagem do CI através das fontes PWL. Este problema seria evitado no desenvolvimento de equipamentos com componentes mais novos, que apresentassem modelos IBIS ou ao menos SPICE. No entanto, estes componentes normalmente estão associados a circuitos mais complexos, que apresentariam grande dificuldade na modelagem.

6.2 FUTUROS TRABALHOS

Para melhorar o projeto aqui apresentado, é sugerida a inserção dos modelos não-ideias dos componentes RLC. Também é recomendado um estudo sobre as limitações das FFTs realizadas pelo programa, a fim de garantir que as resoluções utilizadas no traço dos gráficos não estão interferindo com os resultados. Para as emissões radiadas é sugerida a conexão entre as referências de todas as portas, no entanto é necessário que seja verificada uma maneira de se realizar a união sem adicionar objetos que afetem a análise de campos do modelo.

Visto os resultados obtidos e as limitações encontradas, tem-se que, no seu estado atual, os *softwares* utilizados não conseguem reproduzir os ensaios de emissão de acordo com a norma escolhida para este sistema. Com os ajustes recomendados talvez haja a possibilidade de obter gráficos comparáveis, no entanto a faixa de frequência escolhida e o detalhamento necessário das curvas não são suficientes para uma previsão completa do sistema.

Sugestões para futuros trabalhos incluem a utilização do programa Q3D para a modelagem dos cabos ao invés do HFSS Design, focando nas emissões conduzidas uma vez que este *software* é voltado para baixas frequências. Com relação às emissões radiadas, é recomendada uma análise utilizando um modelo que inclua a estrutura de ensaio, considerando a antena receptora e a estrutura utilizada nos ensaios (seja ela uma câmara anecoica, célula GTEM, etc).

Cabe salientar que todas as análises realizadas aqui podem ser aplicadas para quaisquer projetos de PCIs, não sendo exclusivas para fontes chaveadas.

6.3 CONCLUSÃO

Este trabalho apresentou o desenvolvimento de simulações de emissão radiada e conduzida utilizando os *softwares* de simulação eletromagnética da ANSYS. Foi desenvolvido um sistema composto por uma fonte chaveada, cabos e bateria, que foi produzido e ensaiado de acordo com a norma CISPR 22. Este sistema foi modelado através dos programas Electronics Desktop e SIwave, tendo extraídos resultados de emissão que se mostraram insatisfatórios para o problema apresentado.

Foi verificado que mesmo com as capacidades de simulação dadas pelos programas da ANSYS, as análises não conseguiram englobar o espectro completo de frequências dado pela norma. Além disso, todo o ajuste das simulações se mostrou extremamente complexo, inviabilizando a adaptação da análise para circuitos maiores.

O capítulo 2 apresentou uma base teórica para o problema, introduzindo os conceitos de compatibilidade eletromagnética e as normas no Brasil. Foi apresentada a norma CISPR 22 que seria utilizada no decorrer do trabalho. Também foram apresentados conceitos relacionados aos principais agentes causadores de emissões em fontes chaveadas e placas de circuito impresso, a fim de embasar as análises realizadas.

No capítulo 3 foram apresentadas as ferramentas utilizadas. Os equipamentos para os ensaios de emissão radiada e conduzida realizados no laboratório MagLab foram demonstrados e explicados. Em seguida, foram expostos os programas utilizados no desenvolvimento: Altium, HFSS Layout, HFSS Design, Circuit e SIwave. Foram descritas as funções de cada um dos *softwares* para a obtenção dos resultados de emissão, bem como seus ajustes necessários.

O desenvolvimento das análises foi descrito no capítulo 4. O fluxograma inicial utilizando o HFSS foi apresentado, sendo descritos os

eventos que levaram à divisão das análises entre conduzida e radiada. Foram verificadas limitações dos programas para a replicação da norma, restringindo a frequência da análise na proposta seguinte. A aplicação da nova análise foi descrita, seguida de uma terceira análise utilizando o *software* SIwave utilizada para verificação do modelo e comparação dos resultados. A maior dificuldade encontrada durante o processo foi com o correto ajuste das portas e referências para o sistema. Mesmo utilizando as ferramentas de automação do *software*, foram necessárias adaptações e criação de um plano virtual para se replicar os sinais da PCI corretamente. Ao se alterar a porta de alimentação para a verificação de emissões radiadas com o sistema, o sistema novamente degradou os sinais de excitação.

O capítulo 5 apresentou os resultados de emissão conduzida e radiada ensaiados e simulados. Foram expostos os gráficos obtidos nos relatórios dos ensaios que serviram de base para validação das simulações realizadas. Em seguida, os resultados simulados de emissão conduzida simulados através dos dois processos finais foram apresentados. Neles foram verificados níveis de tensão abaixo do esperado, no entanto, possibilidades de melhorias para a correção desses valores foram levantadas na discussão do capítulo seguinte. Na apresentação dos resultados de emissão radiada foi verificado que as intensidades de campo elétrico apresentavam valores muito elevados para comparação, que foram atribuídos às excitações inadequadas.

Por fim, o capítulo 6 trouxe uma discussão acerca não só dos resultados obtidos e justificativas para discrepâncias, como também explicações sobre as principais dificuldades ao longo do trabalho e sugestões de melhorias e novas análises.

A simulação de emissões de fontes chaveadas através das ferramentas da ANSYS se mostrou mais complexa que o esperado, sendo necessário um vasto conhecimento dos diversos *softwares* e ajustes. Foi concluído que os procedimentos expostos aqui não apresentam uma solução adequada para a análise de PCIs complexas, mas, possivelmente, com as sugestões apresentadas, resultados mais próximos à realidade poderiam ser atingidos para análises de emissão conduzida.

REFERÊNCIAS

- [1] C. R. Paul, Introduction to Electromagnetic Compatibility, Hoboken, New Jersey: John Wiley & Sons, Inc., 2006.
- [2] T. Williams, EMC for Product Designers, Great Britain: Newnes, 2001.
- [3] M. H. Nagrial e A. Hellany, “Radiated and conducted EMI emissions in switch mode power supplies (SMPS): sources, causes and predictions,” em *IEEE International Multi Topic Conference, 2001. IEEE INMIC 2001. Technology for the 21st Century.*, Lahore, Pakistan, Pakistan, 2001.
- [4] R. L. Ozenbaugh, EMI Filter Design, New York, New York: MARCEL DEKKER, INC, 1996.
- [5] M. I. Montrose e E. M. Nakauchi., Testing for EMC Compliance Approaches and Techniques, IEEE Press and John Wiley & Sons, Inc., 2004.
- [6] D. d. Moura, “Contribuição à análise de campos eletromagnéticos em dispositivos eletrônicos através de modelagem e simulação numérica de parâmetros de circuitos elétricos,” Florianópolis, Santa Catarina, 2017. Tese de Doutorado.
- [7] A. Inc., “The Role of Simulation in Innovative Electronic Design,” 2011. [Online]. Available: <https://www.ansys.com/-/media/Ansys/corporate/resourcelibrary/whitepaper/wp-innovative-electronic-design.pdf>.
- [8] R. Comin, “Desenvolvimento de Metodologia de Simulação para Conformidade em Compatibilidade Eletromagnética para Projetos Eletrônicos,” São Leopoldo, RS, 2017. Dissertação de Mestrado.
- [9] H. Li, D. Pommerenke, W. Pan, S. Xu, H. Ren, F. Meng e X. Zhang, “Conducted EMI Simulation of Switched Mode Power Supply,” em *2009 IEEE International Symposium on Electromagnetic Compatibility*, Austin, TX, USA, 2009.
- [10] C. Zhang, J. Zhou, J. He, Q. Fu e Y. Gao, “Radiated Emission Prediction of a SMPS Based on Time Domain EMF-Circuit Co-Simulation,” em *2012 IEEE 7th International Power*

Electronics and Motion Control Conference, Harbin, China, 2012.

- [11] “ANSYS HFSS Website,” [Online]. Available: <https://www.ansys.com/products/electronics/ansys-hfss>.
- [12] Z. Cendes, “The Development of HFSS,” em *USNC-URSI Radio Science Meeting*, Fajardo, 2016.
- [13] “ANSYS SIwave Website,” [Online]. Available: <https://www.ansys.com/products/electronics/ansys-siwave>.
- [14] L. C. M. Schlichting, “Contribuição ao Estudo da Compatibilidade Eletromagnética Aplicada a Conversores Estáticos,” Florianópolis, Santa Catarina, 2003. Tese de Doutorado.
- [15] I. E. C. “CISPR22: Limits and methods of radio disturbance characteristics of information technology equipment.,” Genebra, 1993.
- [16] M. N. O. Shadiku, *Elementos de Eletromagnetismo*, 3 ed., Porto Alegre: Bookman, 2004.
- [17] D. d. Moura, “Contribuição à Análise de Interferência e Compatibilidade Eletromagnética em Circuito Digital Através de Simulação Numérica,” Florianópolis, Santa Catarina, 2011. Dissertação de Mestrado.
- [18] M. B. De Liz, “Contribuição para a Redução da Interferência Eletromagnética em Fontes Chaveadas,” Florianópolis, Santa Catarina, 2003. Tese de Doutorado.
- [19] “ANSYS Electronics Desktop Website,” [Online]. Available: <https://www.ansys.com/products/electronics/ansys-electronics-desktop>.
- [20] A. Raizer e M. P. Fonseca, “Using a GTEM cell in an interlaboratory comparison of radiated emission,” em *2017 IEEE 3rd Global Electromagnetic Compatibility Conference (GEMCCON)*, São Paulo, SP, Brasil, 2017.
- [21] K. Technologies, “Automotive EMC testing with Keysight,” 2018. 44 slides. [Online]. Available: https://toyotechus.com/wp-content/uploads/2018/11/Keysight_Automotive_EMC_Presentation_11012018.pdf. [Acesso em 2019].

- [22] Siglent, “Electromagnetic Compliance: Pre-Compliance Conducted,” 19 Outubro 2017. [Online]. Available: <https://www.siglentamerica.com/application-note/electromagnetic-compliance-pre-compliance-conducted-emissions-testing/?pdf=2299>.
- [23] J. O. Sophocles, “Electromagnetic Waves and Antennas,” 2016.[Online].Available:<http://eceweb1.rutgers.edu/~orfanidi/ewa/>.
- [24] J. Mologni, J. Ribas, C. Siqueira, L. Amaral e J. Filho, “Accelerating Automotive EMC Tests - A Comparison between NumeriacI Simulations and Experimental Data,” *SAE Technical Paper 2015-36-0113*, 2015.
- [25] J. Mologni, M. Kopp, C. Siqueira, A. Colin, A. Nogueira e M. Alves, “Automotive EMC Analysis Using the Hybrid Finite Element Boundary Integral Approach,” em *IEEE International Symposium on Electromagnetic Compatibility*, Denver, 2013.
- [26] D. Edgar, “HFSS 13: Hybrid FE-BI for Efficient Simulation of Radiation and Scattering,” 2011. 57 slides.. [Online]. Available: https://support.ansys.com/staticassets/ANSYS%20UK/staticassets/FEBI_HFSSUGM_UK_2011.pdf.
- [27] R. Cuny, “SPICE and IBIS modeling kits the basis for signal integrity analyses,” em *IEEE International Symposium on Electromagnetic Compatibility*, Santa Clara, 1996.
- [28] Texas Instruments, “xx555 Precision Timers,” NA555, NE555, SA555, SE555 datasheet, Setembro 1973 [Revisado em Set. 2014].
- [29] L. Voss, “EMI/EMC Design Applications,” 2010. 40 slides. [Online].Available:https://support.ansys.com/staticassets/ANSYS%20UK/staticassets/01_EMCMEMI_Inverter.pdf.
- [30] National Instruments, “Understanding FFTs,” [Online]. Available:<https://download.ni.com/evaluation/pxi/Understanding%20FFTs%20and%20Windowing.pdf>.
- [31] S. R. Chintakindi, O. V. S. R. Varaprasad e D. S. S. Siva Sarma, “Improved Hanning window based interpolated FFT for power harmonic analysis,” em *TENCON 2015 - 2015 IEEE Region 10 Conference*, Macao, China, 2015.

APÊNDICE A – Relatório de Emissão Radiada

A seguir será exposto o relatório de emissões radiadas do ensaio realizado com a fonte chaveada em estudo. Foram removidas as páginas referentes à tabela com indicação das intensidades de campo por frequência.

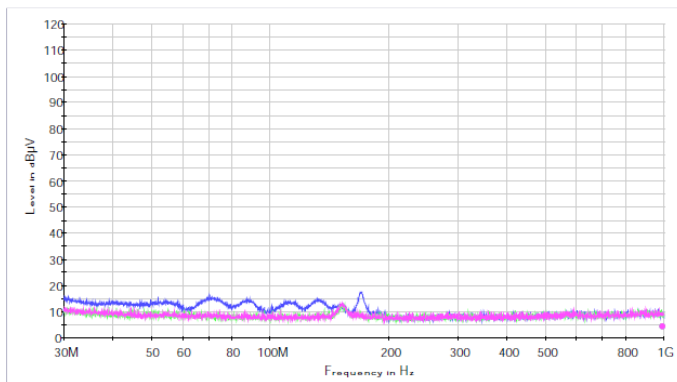
Figura 65 - Capa do relatório de ensaio de emissão radiada.

Test		1		
EMC32 Report				
Test Information				
Test Description:				
Operating Conditions:				
Operator Name:				
Comment:				
Scan Setup: EMI Radiated ESCI_GTEM_final [EMI radiated]				
Hardware Setup:		EMI Radiated ESCI 3_GTEM Cell		
Level Unit:		dBµV		
Subrange	Detectors	IF Bandwidth	Meas. Time	Receiver
30MHz - 1GHz	QuasiPeak	120kHz	20s	ESCI 3

Figura 66 - Página 2 do relatório de emissão radiada. Indicação das tensões induzidas medidas nos três eixos do equipamento.

Test

2

GTEM

25/09/2018

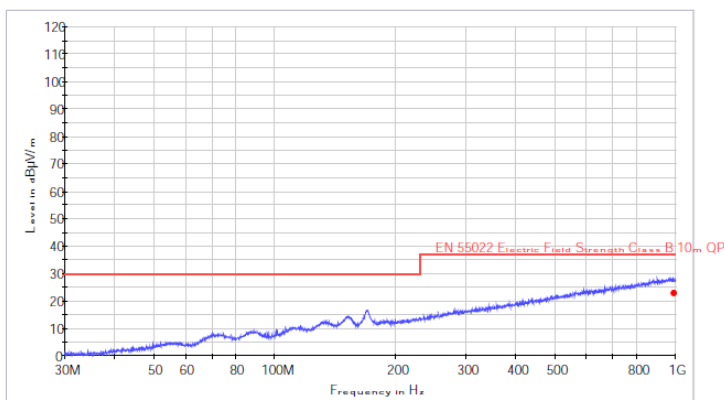
15:39:58

Fonte: Autora (2019).

Figura 67 - Página 3 do relatório de emissão radiada. Resultado do campo elétrico radiado correlacionado para padrão OATS.

Test

3

OATS

25/09/2018

15:39:58

Fonte: Autora (2019).

Figura 68 - Página 4 do relatório de emissão radiada. Tabela indicativa dos valores de intensidade de campo por frequência medida.

Test

4

Preview Measurement MaxPeak

Frequency (MHz)	Field Strength (dBµV/m)	Corr. (dB)	Comment
30.000000	0.6	0.1	
30.030000	0.9	0.1	
30.060030	0.5	0.1	
30.090090	0.4	0.1	
30.120180	0.3	0.1	
30.150300	0.8	0.1	
30.180451	0.6	0.1	
30.210631	1.1	0.1	
30.240842	0.2	0.1	
30.271083	0.4	0.1	
30.301354	1.1	0.1	
30.331655	0.8	0.1	
30.361987	0.5	0.1	
30.392349	0.5	0.1	
30.422741	0.3	0.1	
30.453184	0.7	0.1	
30.483617	0.6	0.1	
30.514100	0.9	0.1	
30.544615	0.9	0.1	
30.575158	0.5	0.1	
30.605734	0.3	0.1	
30.636340	0.7	0.1	
30.666976	0.8	0.1	
30.697643	0.8	0.1	
30.728341	0.7	0.1	
30.759089	0.6	0.1	
30.789828	0.6	0.1	
30.820618	0.6	0.1	
30.851439	0.9	0.1	
30.882290	0.6	0.1	
30.913173	0.7	0.1	
30.944086	1.1	0.1	
30.975030	0.4	0.1	
31.006005	0.6	0.1	
31.037011	0.5	0.1	
31.068048	0.5	0.1	
31.099116	0.9	0.1	
31.130215	0.5	0.1	
31.161345	0.4	0.1	
31.192507	0.8	0.1	
31.223699	1.0	0.1	
31.254923	0.4	0.1	
31.286178	1.0	0.1	
31.317464	0.7	0.1	
31.348781	0.6	0.1	
31.380130	0.5	0.1	
31.411510	0.9	0.1	
31.442922	0.8	0.1	
31.474385	0.9	0.1	
31.505839	1.1	0.1	
31.537345	0.5	0.1	
31.568882	0.7	0.1	
31.600451	0.3	0.1	
31.632052	1.1	0.1	
31.663684	0.8	0.1	
31.695347	0.3	0.1	
31.727043	0.7	0.1	
31.758770	0.4	0.1	

25/09/2018

15:39:58

Fonte: Autora (2019).

Figura 69 - Página 63 do relatório de emissão radiada. Tabela indicativa dos valores de intensidade de campo por frequência medida e fim do relatório.

Frequency (MHz)	Field Strength (dB μ V/m)	Corr. (dB)	Comment
972.099865	27.2	0.8	
973.071965	28.4	0.8	
974.045037	27.8	0.8	
975.019082	27.7	0.8	
975.994101	27.6	0.8	
976.970095	27.4	0.8	
977.947065	27.9	0.8	
978.925012	27.9	0.8	
979.903937	27.8	0.8	
980.883841	27.5	0.8	
981.864725	27.7	0.8	
982.846590	27.2	0.8	
983.829438	27.1	0.8	
984.813266	28.6	0.8	
985.798079	27.4	0.8	
986.783877	27.5	0.8	
987.770661	28.0	0.8	
988.758431	27.8	0.8	
989.747190	27.3	0.8	
990.736937	28.0	0.8	
991.727674	27.9	0.8	
992.719402	27.5	0.8	
993.712121	27.1	0.8	
994.705833	28.2	0.8	
995.700539	27.1	0.8	
996.696240	27.8	0.8	
997.692936	27.5	0.8	
998.690629	27.6	0.8	
999.689319	27.6	0.8	
1000.000000	27.2	0.8	

Final Measurement QuasiPeak

Frequency (MHz)	Field Strength (dB μ V/m)	Meas. Time (ms)	Bandwidth (kHz)	Corr. (dB)	Margin (dB)
984.813266	23.4	20000.000	120.000	0.8	13.6

(continuation of the "Final Measurement QuasiPeak" table from column 6 ...)

Frequency (MHz)	Limit (dB μ V/m)	Comment
984.813266	37.0	

APÊNDICE B – Relatório de Emissão Conduzida

A seguir será exposto o relatório de emissões conduzidas do ensaio realizado com a fonte chaveada em estudo. Uma vez que o ensaio é replicado para todos os cabos de alimentação, temos dois relatórios, um referente ao cabo de 9 V e outro referente ao terra. Aqui, será exposto o relatório da alimentação positiva, que foi utilizado para as comparações.

Figura 70 - Relatório do ensaio de emissão conduzida referente ao cabo de alimentação positivo, página 1.

25 set 2018 17:00

EUT:
 Manuf:
 Op Cond:
 Operator:
 Test Spec:
 Comment:

Result File: cond_01.dat : positivo

Scan Settings (1 Range)

Frequencies			IF BW	Detector	Receiver Settings		
Start	Stop	Step	10kHz	PK+AV	M-Time	Atten	OpRge
150kHz	30MHz	1,6%			20msec	Auto	60dB

Transducer	No.	Start	Stop	Name
	2	9kHz	30MHz	ESH3_Z2a

Final Measurement: Detectors: X QP / + AV
 Meas Time: 20sec
 Peaks: 8
 Acc Margin: 6 dB

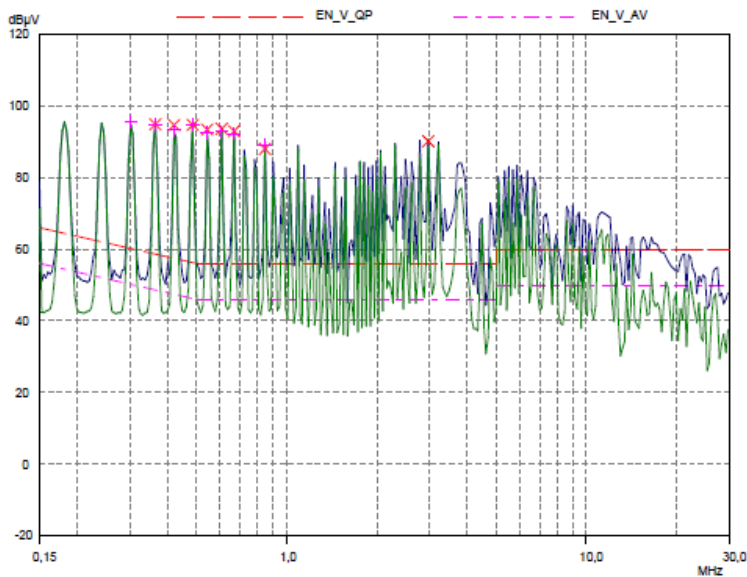


Figura 71 - Relatório do ensaio de emissão conduzida referente ao cabo de alimentação positivo, página 2.

25 set 2018 17:00

EUT:
Manuf:
Op Cond:
Operator:
Test Spec:
Comment:

Result File: cond_01.dat : positivo

Scan Settings (1 Range)

Frequencies			Receiver Settings			
Start	Stop	Step	IF BW	Detector	M-Time	Atten
150kHz	30MHz	1.6%	10kHz	PK+AV	20msec	Auto
						OpRge
						60dB

Transducer	No.	Start	Stop	Name
	2	9kHz	30MHz	ESH3_22a

Final Measurement: Detectors: X QP / + AV
Meas Time: 20sec
Peaks: 8
Acc Margin: 6 dB

Final Measurement Results

Frequency MHz	QP Level dBµV	QP Limit dBµV	QP Delta dB	Phase	PE
0,36487	94,84*	58,62	-36,22	N	fl
0,4209	94,62*	57,43	-37,19	N	fl
0,48554	94,64*	56,24	-38,40	L1	fl
0,5426	93,36*	56,00	-37,36	N	fl
0,60636	93,56*	56,00	-37,56	N	fl
0,66696	92,90*	56,00	-36,90	N	fl
0,84626	87,96*	56,00	-31,96	N	fl
2,96557	90,10*	56,00	-34,10	L1	fl

Frequency MHz	AV Level dBµV	AV Limit dBµV	AV Delta dB	Phase	PE
0,30158	95,54*	50,20	-45,34	N	fl
0,36487	94,74*	48,62	-46,12	L1	fl
0,4209	93,24*	47,43	-45,81	L1	fl
0,48554	94,57*	46,24	-48,33	N	fl
0,5426	92,57*	46,00	-46,57	L1	fl
0,60636	92,73*	46,00	-46,73	N	fl
0,66696	92,24*	46,00	-46,24	N	fl
0,84626	89,13*	46,00	-43,13	L1	fl

* limit exceeded

Indicated Phase/PE shows Configuration of max. Emission

PAGE 2