



UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA



INSTITUTO DE ELETRÔNICA DE POTÊNCIA

**INVERSOR *BOOST* A CAPACITOR CHAVEADO PARA
CONEXÃO COM À REDE ELÉTRICA**

JÉSSIKA MELO DE ANDRADE

Florianópolis
2018

Jéssika Melo de Andrade

INVERSOR BOOST A CAPACITOR CHAVEADO PARA CONEXÃO COM À REDE ELÉTRICA

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para obtenção do Grau de Mestre em Engenharia Elétrica.

Orientador: Telles Brunelli Lazzarin, Dr.
Coorientador: Roberto Francisco Coelho, Dr.

Florianópolis
2018

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Andrade, Jessika Melo de
Inversor Boost a Capacitor Chaveado para Conexão
com à Rede Elétrica / Jessika Melo de Andrade ;
orientador, Telles Brunelli Lazzarin, coorientador,
Roberto Francisco Coelho, 2018.
175 p.

Dissertação (mestrado) - Universidade Federal de
Santa Catarina, Centro Tecnológico, Programa de Pós
Graduação em Engenharia Elétrica, Florianópolis, 2018.

Inclui referências.

1. Engenharia Elétrica. 2. Inversor Boost. 3.
Capacitor Chaveado. 4. Conexão com à rede elétrica.
5. Linearização. I. Lazzarin, Telles Brunelli. II.
Coelho, Roberto Francisco. III. Universidade
Federal de Santa Catarina. Programa de Pós-Graduação
em Engenharia Elétrica. IV. Título.

Jéssika Melo de Andrade

INVERSOR *BOOST* A CAPACITOR CHAVEADO PARA CONEXÃO COM À REDE ELÉTRICA

‘Esta Dissertação foi julgada adequada para obtenção do Título de Mestre, Área de Concentração em Eletrônica de Potência e Aacionamento Elétrico, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica’.

Florianópolis, 23 de fevereiro de 2018.

Marcelo Lobo Heldwein, Dr.
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica,
Universidade Federal de Santa Catarina

Telles Brunelli Lazzarin, Dr.
Orientador, Universidade Federal de Santa Catarina

Roberto Francisco Coelho, Dr.
Coorientador, Universidade Federal de Santa Catarina

Banca Examinadora:

André Luís Kirsten, Dr.
Universidade do Estado de Santa Catarina

Denizar Cruz Martins, Dr.
Universidade Federal de Santa Catarina

Flávio Alberto Bardemaker Batista, Dr.
Instituto Federal de Santa Catarina.

*Aos meus pais,
Antônio e Cláudia.*

AGRADECIMENTOS

Em especial, agradeço aos meus pais, Antônio e Cláudia, que sempre me apoiaram e nunca mediram esforços para que eu tivesse a oportunidade de me dedicar em período integral aos estudos. Sem vocês, nada disso seria possível, de tudo que eu conquistei e ainda vou conquistar, uma grande parcela dos créditos é de vocês!

De maneira proporcional, agradeço ao meu namorado, Rafael, que desde a graduação sempre entendeu meus momentos de ausência e sempre esteve ao meu lado demonstrando companheirismo, amor e paciência.

Agradeço ao professor Telles Brunelli Lazzarin por orientar esse trabalho com extrema dedicação e comprometimento. Foi um ano de muitas reuniões, conversas e inúmeros e-mails, sempre disponível para sanar dúvidas e acrescentar conhecimentos ao presente trabalho e a minha formação acadêmica e profissional. Obrigada pelo privilégio de ser sua orientada.

Em igual proporção, agradeço ao professor Roberto Francisco Coelho por coorientar esse trabalho com organização e sabedoria, sempre com muito entusiasmo e disponibilidade para reuniões, esclarecimentos e discussões técnicas. Obrigada por nunca medir esforços em ensinar e compartilhar conhecimentos, foi uma honra ser sua coorientada.

Estendo os agradecimentos aos demais professores do INEP, Arnaldo José Perin, Denizar Cruz Martins, Gierry Waltrich, Marcelo Lobo Heldwein, Samir Ahmad Mussa e André Luís Kirsten pelas aulas ministradas durante o primeiro ano do mestrado e pela disponibilidade e auxílio sempre que precisei.

Agradeço a todos os funcionários do INEP, Antônio Luiz S. Pacheco, Luis Marcellius Coelho, Diogo Duarte Luiz e Angelo M. de Matos Leal.

Agradeço aos membros da banca, André Luís Kirsten, Denizar Cruz Martins e Flávio Alberto Bardemaker Batista pela disponibilidade e por aceitarem contribuir, incrementar e melhorar o presente trabalho com seus conhecimentos e experiências na área de eletrônica de potência.

Aproveito para agradecer meus colegas de mestrado Marcos Paulo Moccelini, Lúcio Steckling, Vanderlei Cardoso, Eduardo Francisco Celli Grabovski, José Augusto Anderson, Evander Rodrigo de Souza Luz, José Airton Beckhäuser, Douglas Haupt, André Luiz Schlingmann, Rogério Luiz

da Silva Júnior, Gustavo Pereira, Thiago Antonio Pereira, André Tonelli Schneider, Felipe Berger, Felipe Jung, Rafael Pess e Roni Fachi pela parceria, risadas, troca de experiência, conversas sobre os mais diversos assuntos, apoio técnico e esclarecimento de dúvidas durante os dois anos de mestrado.

Agradeço ao doutorando Rodrigo de Souza Santos pelas sugestões no decorrer desse trabalho e por emprestar os *gate drivers* e interruptores *Sic* para que o protótipo pudesse ser implementado e melhorado. Agradeço ao doutorando Gilberto Valentin Silva pela disponibilidade para conversas e discussões técnicas.

Por fim, agradeço aos brasileiros, que por meio de impostos, me possibilitaram um ensino de qualidade e permitiram o financiamento deste trabalho desde o início.

"Qualquer caminho que você decida tomar, existe sempre alguém para te dizer que você está errado. Existem sempre dificuldades surgindo que te tentam a acreditar que as críticas estão corretas. Mapear um caminho de ação e segui-lo até o fim requer coragem."(Ralph Waldo Emerson)

RESUMO

Este documento estuda o inversor *boost* a capacitor chaveado (*SCDBI*) para conexão com a rede elétrica. O *SCDBI* é um conversor elevador, com a possibilidade de elevação do ganho com a adição de células de capacitor chaveado, e possui uma característica de saída em tensão, o que permite injetar correntes na rede com baixa ondulação usando apenas um filtro L. Esses atributos favorecem o emprego da topologia em sistemas de estágio único conectado à rede, nos quais a tensão de entrada é menor que a tensão da rede elétrica. Alguns dos desafios do uso do *SCDBI* estão relacionados à característica de ganho não linear e aos modelos dinâmicos de ordem elevada. A dissertação contribuiu com uma modelagem simplificada orientada ao controle e uma técnica de linearização estática, que permitem a utilização de um controlador proporcional-integral com adição de um polo extra e com malha de *feedforward* no controle da corrente injetada na rede elétrica. Além disto, o trabalho aborda a análise estática do conversor com modulação unipolar, as equações de projeto, o dimensionamento do estágio de potência e a distribuição das perdas nos componentes. A validação do estudo é feita por meio dos resultados obtidos de um protótipo de 250 W, conectados à rede de 127 V *RMS*, com tensão de entrada variando de 50 a 70 V, frequência de comutação de 50 kHz. O protótipo permite analisar o rendimento da estrutura, a técnica de linearização e a qualidade da corrente injetada na rede em diferentes pontos de operação. O pico de rendimento da topologia é de 90% e a corrente de saída apresenta *THD* menor que 3%.

Palavras-chave: Inversor *boost*. Capacitor chaveado. Conexão com a rede elétrica. Linearização. Modelagem. Controle.

ABSTRACT

This document addresses the study of the switched-capacitor differential boost inverter (SCDBI) for the connection with electrical grid. The SCDBI is a step-up converter which allows the increasing of the gain with the addition of more switched capacitor cells. Furthermore, its output voltage characteristic allows injecting currents with low ripple using only an L filter. Those attributes favor the employment of the topology in single-stage systems connected to the grid in which the input voltage is lower than the voltage of the grid. Some of the challenges of using SCDBI connected to the grid are related to the nonlinear gain characteristic and high order dynamic models. The master thesis contributed with a simplified model oriented to the control and a static linearization technique are proposed, which allow the use of a simple proportional integral controller with an extra pole and with a feedforward loop for regulating the current injected into the grid. In addition, the paper addresses the static analysis of the converter with unipolar modulation, the design equations and power stage sizing are also presented in the document. The validation of the theoretical analysis is done through the results obtained with a prototype of 250 W connected to a 127 V RMS voltage grid, with input voltage ranging from 50 to 70 V, switching frequency of 50 kHz. The prototype allows analyzing the structure efficiency, linearization technique and grid injected current quality at different points of operation. The topology efficiency peak is 90% and grid current presents THD less than 3%.

Keywords: Boost inverter. Switched-capacitor. Connecting to the electrical grid. Linearization. Modelling. Control.

LISTA DE FIGURAS

Figura 1.1 – Sistema fotovoltaico conectado à rede elétrica: a) dois estágios e b) estágio único.	34
Figura 1.2 – Geração do inversor <i>boost</i> : (a) Subconversores CC-CC <i>boost</i> bidirecionais e (b) inversor <i>boost</i> diferencial.....	35
Figura 1.3 – Célula <i>SC</i> genérica.	36
Figura 1.4 – Concepção do conversor <i>boost</i> CC-CC bidirecional híbrido..	37
Figura 1.5 – Concepção do inversor <i>SCDBI</i> : (a) conversores <i>boost</i> CC-CC bidirecionais híbridos e (b) inversor diferencial <i>boost</i> a capacitor chaveado.	37
Figura 1.6 - <i>SCDBI</i> com <i>N</i> células a capacitor chaveado.	38
Figura 2.1 – Inversor <i>boost</i> diferencial a capacitor chaveado para conexão com à rede elétrica.	41
Figura 2.2 – Modulador 3N- <i>PWM</i> , bloco de linearização e comando dos interruptores para os semiciclos positivo e negativo.	43
Figura 2.3 – Circuito equivalente referente à primeira etapa de operação considerando o semiciclo positivo da tensão da rede elétrica.	44
Figura 2.4 – Circuito equivalente referente a segunda etapa de operação considerando o semiciclo positivo da tensão da rede elétrica.	45
Figura 2.5 – Circuito equivalente referente a terceira etapa de operação considerando o semiciclo positivo da tensão da rede elétrica.	46
Figura 2.6 – Circuito equivalente referente a quarta etapa de operação considerando o semiciclo positivo da tensão da rede elétrica.	46
Figura 2.7 – Etapas de operação considerando o semiciclo negativo da tensão da rede elétrica: (a) primeira, (b) segunda, (c) terceira e (d) quarta etapa.	47
Figura 2.8 – Curva do ganho estático de cada subconversor e do <i>SCDBI</i> ($k=2$).	49
Figura 2.9 – Curvas do ganho estático do <i>SCDBI</i> para variações do ganho da célula <i>SC</i>	49
Figura 2.10 – Forma de onda teórica da razão cíclica idealizada.	50
Figura 2.11 – Formas de onda teóricas: (a) corrente dos indutores de entrada i_{La} e i_{Lb} e (b) corrente de entrada i_{in}	51
Figura 2.12 – Formas de onda teóricas: (a) tensão de saída de cada subconversor v_a e v_b e (b) tensão de saída diferencial v_o	52
Figura 2.13 – Modos de operação da célula de capacitor chaveado: a) carga completa; b) carga parcial; c) carga nula.	54
Figura 2.14 – Estratégia da técnica de linearização proposta.	57
Figura 2.15 – Formas de onda teóricas com bloco de linearização: (a) razão cíclica de cada subconversor d_a e d_b , e (b) corrente dos indutores de entrada	

i_{La} e i_{Lb} , (c) tensões de saída parciais v_a e v_b e (d) tensão de saída diferencial v_o	58
Figura 2.16 – Curva de ganho estático do conversor <i>boost</i> (G_{boost}).	59
Figura 2.17 – Curva de ganho estático do conversor <i>boost</i> tradicional (G_{boost}) e de ganho estático linearizado (G_L).	60
Figura 3.1 – Circuito equivalente do conversor <i>boost</i> híbrido.....	66
Figura 3.2 – Modelo comutado de ordem reduzida do <i>SCDBI</i>	66
Figura 3.3 – Circuito equivalente da primeira etapa de operação.	67
Figura 3.4 – Circuito equivalente da segunda etapa de operação.	67
Figura 3.5 – Circuito equivalente da terceira etapa de operação.	68
Figura 3.6 – Circuito equivalente da quarta etapa de operação.	69
Figura 3.7 – Modelo médio de grandes sinais do <i>SCDBI</i>	69
Figura 3.8 – Modelo equivalente CC do <i>SCDBI</i>	71
Figura 3.9 – Modelo equivalente CA de pequenos sinais do <i>SCDBI</i>	73
Figura 3.10 – Validação da função de transferência: domínio do tempo. ...	75
Figura 3.11 – Validação da função de transferência: domínio da frequência.	76
Figura 3.12 – Validação do modelo para $k=5$: (a) domínio do tempo e (b) domínio da frequência	76
Figura 3.13 – Estágio de potência com estratégia para controle da corrente injetada na rede elétrica.	78
Figura 3.14 – Diagrama de blocos simplificado para controle da corrente injetada na rede elétrica.	78
Figura 3.15 – Diagrama de Bode da malha de controle da corrente após compensação.	81
Figura 3.16 – Estratégia para geração da referência –circuito <i>PLL</i> monofásico simplificado.	83
Figura 3.17 – Resultado de Simulação: tensão lida v_l e corrente de saída do circuito <i>PLL</i> monofásico simplificado i_{PLL}	84
Figura 3.18 – Modulador 3N- <i>PWM</i> : (a) circuito de comparação e (b) resultado da comparação entre portadora e moduladora.	85
Figura 3.19 – Circuito para condicionamento de sinal da tensão lida.	85
Figura 3.20 – Circuito para condicionamento de sinal da corrente lida.	87
Figura 4.1 – Protótipos: estágio de potência (250 W), fontes auxiliares e controle e condicionamento de sinal.	90
Figura 4.2 –Tensão (v_o) e corrente (i_o) de saída - a) simulação e b) experimentação.....	92
Figura 4.3 – Tensões de saída parciais v_a e v_b , tensão de saída diferencial v_o e tensão de entrada V_i - a) simulação e b) experimentação.	93
Figura 4.4 – Tensão de saída de cada subconversor v_a e v_b e tensão de saída do estágio <i>boost</i> v_a e v_b - a) simulação e b) experimentação.	94
Figura 4.5 – Corrente de entrada i_m e corrente nos indutores i_{La} e i_{Lb} - a) simulação e b) experimentação.....	95

Figura 4.6 Tensão sobre os interruptores v_{S1a} , v_{S2a} , v_{S3a} , v_{S4a} - a) simulação e b) experimentação.....	96
Figura 4.7 – Detalhes da tensão sobre os interruptores v_{S1a} , v_{S2a} , v_{S3a} , v_{S4a} - a) simulação e b) experimentação.....	97
Figura 4.8 – Corrente no capacitor chaveado C_{3a} - a) simulação e b) experimentação.....	98
Figura 4.9 – Detalhes da corrente no capacitor chaveado C_{3a} - a) simulação e b) experimentação.....	99
Figura 4.10 – Detalhes da corrente no capacitor chaveado C_{3a} - a) simulação e b) experimentação.....	100
Figura 4.11 – Degrau de carga de $\pm 50\%$ - a) simulação e b) experimentação.....	101
Figura 4.12 – Detalhe degrau de carga de -50% - a) simulação e b) experimentação.....	102
Figura 4.13 – Detalhe degrau de carga de +50% - a) simulação e b) experimentação.....	103
Figura 4.14 – Razão cíclica aplicada em cada subconversor d_a e d_b , sem o bloco de linearização - a) simulação e b) experimentação.....	104
Figura 4.15 – Razão cíclica aplicada em cada subconversor d_a e d_b , com o bloco de linearização - a) simulação e b) experimentação.....	105
Figura 4.16 – Tensões de saída parciais v_a e v_b e tensão de saída v_o , sem o bloco de linearização - a) simulação e b) experimentação.....	106
Figura 4.17 – Tensões de saída parciais v_a e v_b e tensão de saída v_o , com o bloco de linearização - a) simulação e b) experimentação.....	107
Figura 4.18 – Análise harmônica: a) tensão de saída do subconversor $A v_a$; b) tensão de saída diferencial v_o	108
Figura 4.19 – Tensão da rede elétrica (v_{rede}), corrente injetada na rede (i_o) e tensão de entrada (V_i) - a) simulação e b) experimentação.....	109
Figura 4.20 – Tensões de saída parciais v_a e v_b e tensão da rede v_{rede} - a) simulação e b) experimentação.....	110
Figura 4.21 – Degrau de referência de corrente de $\pm 50\%$ - a) simulação e b) experimentação.....	111
Figura 4.22 – Degrau de referência de corrente de -50% - a) simulação e b) experimentação.....	112
Figura 4.23 – Detalhe degrau de referência de corrente de +50% - a) simulação e b) experimentação.....	113
Figura 4.24 – Tensão da rede elétrica (v_{rede}), corrente injetada na rede (i_o) e tensão de entrada (V_i) - a) simulação e b) experimentação.....	114
Figura 4.25 – Tensões de saída parciais v_a e v_b e tensão da rede v_{rede} - a) simulação e b) experimentação.....	115
Figura 4.26 – Tensão da rede elétrica (v_{rede}), corrente injetada na rede (i_o) e tensão de entrada (V_i) - a) simulação e b) experimentação.....	116

Figura 4.27 – Tensões de saída parciais v_a e v_b e tensão da rede v_{rede} - a) simulação e b) experimentação.....	117
Figura 4.28 – Análise harmônica: a) tensão da rede elétrica; b) corrente injetada na rede com potência nominal para $V_i=70$ V; c) corrente injetada na rede com potência nominal para $V_i=60$ V e d) corrente injetada na rede com potência nominal para $V_i=50$ V.....	119
Figura 4.29 – Curvas de rendimento do protótipo: <i>Caso 1: IRFP4332Pbf</i> , <i>Caso 2: IRFP4332Pbf + SCT2120AF</i>	120
Figura 4.30 – Curva de rendimento do protótipo para variações da tensão de entrada (V_i).....	122
Figura 4.31 – Curvas de rendimento de simulação e experimentação para variações da tensão de entrada (V_i): (a) $V_i=70$ V; (b) $V_i=60$ V e (c) $V_i=50$ V.....	123
Figura 4.32 – Distribuição das perdas teóricas em potência nominal (250 W) e com tensão de entrada de 60 V: (a) condução, comutação e magnéticas e (b) por componente.....	124

LISTA DE TABELAS

Tabela 2.1 – Parâmetros com e sem linearização.....	60
Tabela 2.2 – Esforços de tensão e corrente nos semicondutores do <i>SCDBI</i>	61
Tabela 2.3 – Especificações para o dimensionamento do estágio de potência.....	61
Tabela 2.4 – Esforços de corrente nos semicondutores.....	62
Tabela 2.5 – Esforços de tensão nos semicondutores.....	62
Tabela 2.6 – Principais características dos semicondutores.....	63
Tabela 2.7 – Resumo dos componentes dimensionados.....	63
Tabela 3.1 – Coeficientes da função de transferência.	74
Tabela 3.2 – Parâmetros utilizados para validação da modelagem.	75
Tabela 3.3 – Principais características do sensor LV 25-P.....	85
Tabela 3.4 – Principais características do sensor LA 25-P.....	87
Tabela 4.1 – Especificações de potência.	90
Tabela 4.2 – Principais componentes utilizados no protótipo.....	91
Tabela 4.3 – Limites máximos de distorção harmônica.	118

ABREVIATURAS E SIGLAS

<i>AWG</i>	<i>American Wire Gauge</i>
CA	Corrente Alternada
CC	Corrente Contínua
CI	Circuitos Integrados
<i>DBI</i>	<i>Differential Boost Inverter</i>
FPB	Filtro Passa Baixa
GD	Geração Distribuída
<i>IEC</i>	<i>International Electrotechnical Commission</i>
<i>IEEE</i>	<i>Institute of Electrical and Electronics Engineers</i>
MCD	Modo de Condução Descontínua
MCC	Modo de Condução Contínua
<i>MOSFET</i>	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
ONS	Operador Nacional do Sistema Elétrico
PI	Proporcional Integral
<i>PLL</i>	<i>Phase Locked Loop</i>
PRODIST	Procedimentos de Distribuição

<i>PWM</i>	<i>Pulse Width Modulation</i>
<i>RMS</i>	<i>Root Mean Square</i>
<i>SC</i>	<i>Switched Capacitor</i>
<i>SCDBI</i>	<i>Switched Capacitor Differential Boost Inverter</i>
<i>SEP</i>	Sistema Elétrico de Potência
<i>SEPIC</i>	<i>Single-Ended Primary-Inductor Converter</i>
<i>SiC</i>	<i>Silicon Carbide</i>
<i>THD</i>	<i>Total Harmonic Distortion</i>

SIMBOLOGIA

α	Coefficiente angular da reta de linearização
β	Coefficiente linear da reta de linearização
C_{1a}, C_{2a}	Capacitores de saída do subconversor A
C_{3a}	Capacitor chaveado do subconversor A
C_{1b}, C_{2b}	Capacitores de saída do subconversor B
C_{3b}	Capacitor chaveado do subconversor B
C_{eq}	Capacitância equivalente referenciada ao lado de baixa tensão
$C_i(s)$	Função de transferência do controlador PI da malha de controle da corrente
d	Razão cíclica antes do bloco de linearização
d_{boost}	Razão cíclica após o bloco de linearização
D	Razão cíclica máxima
D_a, d_a	Razão cíclica do subconversor A
D_b, d_b	Razão cíclica do subconversor B
D_{CA}	Razão cíclica CA
D_{CC}	Razão cíclica CC
D_{med}	Razão cíclica média

Δ_{iL}	Ondulação percentual da corrente de entrada
$F(s)$	Função de transferência do filtro de condicionamento de sinal
f_c	Frequência de corte do controlador PI da malha de controle de corrente
f_{cf}	Frequência de corte do filtro de condicionamento de sinal
f_{LC}	Frequência de ressonância entre o indutor de saída e a capacitância equivalente
f_s	Frequência de comutação
$FTLA_{NCi}(s)$	Função de transferência de laço aberto não compensada
$FTLA_{Ci}(s)$	Função de transferência de laço aberto compensada
G_{boost}	Ganho estático do conversor <i>boost</i>
$G_{id}(s)$	Função de transferência para controle da corrente de saída
G_L	Ganho linearizado
$H(s)$	Função de transferência do controlador PI com adição de um polo extra
$H(z)$	Função de transferência discretizada do controlador PI com adição de um polo extra
$I(s)$	Função de transferência do integrador (<i>PLL</i>)
i_{C1a}, i_{C2a}	Corrente do capacitor de saída do subconversor <i>A</i>
i_{C3a}	Corrente do capacitor chaveado do subconversor <i>A</i>
i_{C1b}, i_{C2b}	Corrente do capacitor de saída do subconversor <i>B</i>

i_{C3b}	Corrente do capacitor chaveado do subconversor B
i_1	Corrente da primeira fase (PLL)
i_2	Corrente da segunda fase (PLL)
i_3	Corrente da terceira fase (PLL)
i_{in}	Corrente de entrada
i_{La}	Corrente no indutor do subconversor A
i_{Lb}	Corrente no indutor do subconversor B
i_{ido}	Corrente na entrada do condicionamento de sinal
I_{Lpk}	Valor da corrente máxima nos indutores de entrada
i_o	Corrente de saída
I_{opk}	Valor da corrente de pico de saída
I_{oref}	Corrente de referência para a malha de controle
I_p	Valor da corrente de pico (PLL)
i_{PLL}	Sinal de saída da PLL
I_{PM}	Valor nominal da corrente eficaz no primário (Sensores)
I_{PN}	Range de medida da corrente no primário (Sensores)
I_{SN}	Valor nominal da corrente eficaz no secundário (Sensores)

k	Ganho da célula a capacitor chaveado
K_c	Ganho do controlador PI da malha de controle de corrente
K_f	Ganho da malha de <i>feedforward</i>
K_i	Ganho do sensor de corrente
K_{lin}	Ganho do bloco de linearização
K_N	Relação de transformação (Sensores)
k_{PLL}	Ganho do controlado PI (<i>PLL</i>)
K_{pwm}	Ganho do modulador 3N- <i>PWM</i>
L	Indutância <i>boost</i>
L_a	Indutor da célula <i>boost</i> do subconversor <i>A</i>
L_b	Indutor da célula <i>boost</i> do subconversor <i>B</i>
L_o	Indutor de filtro de saída
M_ϕ	Margem de fase
N	Número de células a capacitor chaveado
p_1	Potência instantânea da primeira fase (<i>PLL</i>)
p_2	Potência instantânea da segunda fase (<i>PLL</i>)
p_3	Potência instantânea da terceira fase (<i>PLL</i>)

$P_{3\phi}$	Potência instantânea de um sistema trifásico balanceado
$P(s)$	Função de transferência do polo extra
$PI(s)$	Função de transferência do controlador PI (<i>PLL</i>)
$PI(z)$	Função de transferência discretizada do controlador PI (<i>PLL</i>)
P_o	Potência de saída
$R_{ds(on)}$	Resistência do interruptor em condução
R_e	Resistência de entrada do sensor de tensão
r_{eq}'	Resistência equivalente referenciada ao lado de baixa tensão
r_L	Resistência parasita
R_m	Resistência de medida
$R_{m\ max}$	Resistência de medida máxima
$R_{m\ min}$	Resistência de medida mínima
R_o	Resistência de carga
R_{SE}	Resistência série equivalente do capacitor
S_{1a}, S_{2a}, S_{3a} e S_{4a}	Interruptores do subconversor <i>A</i>
S_{1b}, S_{2b}, S_{3b} e S_{4b}	Interruptores do subconversor <i>B</i>
τ	Constante de tempo

θ_1	Ângulo das correntes (<i>PLL</i>)
θ_2	Ângulo das tensões (<i>PLL</i>)
θ_{ref}	Ângulo de referência (<i>PLL</i>)
tol	Tolerância da excursão do valor CC da tensão de saída dos subconversores
T_s	Período de comutação
v_1	Tensão da primeira fase (<i>PLL</i>) e saída do condicionamento de sinal
v_2	Tensão da segunda fase (<i>PLL</i>)
v_2	Tensão da terceira fase (<i>PLL</i>)
V_a, v_a	Tensão de saída do subconversor <i>A</i>
v_a'	Tensão de saída da célula <i>boost</i> do subconversor <i>A</i>
V_{a_CC}	Valor CC da tensão de saída do subconversor <i>A</i>
V_{apk}	Valor de pico da tensão de saída do subconversor <i>A</i>
V_b, v_b	Tensão de saída do subconversor <i>B</i>
v_b'	Tensão de saída da célula <i>boost</i> do subconversor <i>B</i>
V_i	Tensão de entrada
v_{lido}	Tensão na entrada do condicionamento de sinal
v_o	Tensão de saída diferencial

V_{orms}	Valor eficaz da tensão de saída
V_p	Valor da tensão de pico (PLL)
V_{pk}	Valor de pico da tensão lida pelo sensor de tensão
v_{rede}	Tensão da rede elétrica
V_{ref}	Tensão de referência do circuito PLL monofásico
v_{S1a}	Tensão sobre o interruptor S_{1a}
v_{S2a}	Tensão sobre o interruptor S_{2a}
v_{S3a}	Tensão sobre o interruptor S_{3a}
v_{S4a}	Tensão sobre o interruptor S_{4a}
v_{trig}	Forma de onda triangular da portadora do modulador $3N-PWM$
ω	Frequência angular da rede elétrica
ω_c	Frequência de corte do controlador PI da malha de controle de corrente
ω_p	Frequência angular do polo extra
ω_{PLL}	Frequência angular do PI (PLL)
ω_z	Frequência angular do zero do controlador PI da malha de controle de corrente

SUMÁRIO

1	INTRODUÇÃO GERAL.....	33
1.1	CONTEXTUALIZAÇÃO E REVISÃO BIBLIOGRÁFICA	33
1.2	OBJETIVOS.....	39
1.2.1	<i>Objetivo Geral</i>	39
1.2.2	<i>Objetivos Específicos</i>	39
1.3	ESTRUTURA DA DISSERTAÇÃO	39
2	INVERSOR BOOST A CAPACITOR CHAVEADO	41
2.1	INTRODUÇÃO	41
2.2	ETAPAS DE OPERAÇÃO.....	42
2.2.1	<i>Etapas de Operação Referentes ao Semiciclo Positivo da Rede Elétrica</i>	44
A.	Primeira Etapa de Operação: $(D_a - 1/2)T_s$	44
B.	Segunda Etapa de Operação: $(1 - D_a)T_s$	45
C.	Terceira Etapa de Operação: $(D_a - 1/2)T_s$	45
D.	Quarta Etapa de Operação: $(1 - D_a)T_s$	46
2.2.2	<i>Etapas de Operação Referentes ao Semiciclo Negativo da Rede Elétrica</i>	47
2.3	EQUAÇÕES BÁSICAS E PRINCIPAIS FORMAS DE ONDA	48
2.3.1	<i>Ganho Estático</i>	48
2.3.2	<i>Principais Formas de Onda</i>	49
2.3.3	<i>Elementos Passivos</i>	52
A.	Indutor de Entrada	52
B.	Indutor de Filtro de Saída.....	53
C.	Célula de Capacitor Chaveado.....	53
2.4	TÉCNICA DE LINEARIZAÇÃO	55
2.4.1	<i>Ajuste da Razão Cíclica Antes do Bloco de Linearização</i>	56
2.4.2	<i>Principais Formas de Onda com Bloco de Linearização</i>	57
2.4.3	<i>Dimensionamento do Bloco de Linearização</i>	59
2.5	ESFORÇOS DE TENSÃO E CORRENTE NOS SEMICONDUTORES	61
2.6	DIMENSIONAMENTO DO ESTÁGIO DE POTÊNCIA	61
2.6.1	<i>Semicondutores</i>	62
2.6.2	<i>Elementos Passivos</i>	63
2.7	CONCLUSÃO.....	64

3	MODELAGEM E CONTROLE.....	65
3.1	INTRODUÇÃO	65
3.2	MODELAGEM ORIENTADA AO CONTROLE	65
3.2.1	<i>Primeira Etapa de Operação: $(D - \frac{1}{2})T_s$</i>	67
3.2.2	<i>Segunda Etapa de Operação: $(1 - D)T_s$</i>	67
3.2.3	<i>Terceira Etapa de Operação: $(D - \frac{1}{2})T_s$</i>	68
3.2.4	<i>Quarta Etapa de Operação: $(1 - D)T_s$</i>	68
3.2.5	<i>Modelos Equivalentes e Função de Transferência</i>	69
3.2.6	<i>Validação da Modelagem Proposta</i>	75
3.3	ESTRATÉGIA DE CONTROLE DA CORRENTE INJETADA NA REDE ELÉTRICA	77
3.3.1	<i>Projeto do Controlador</i>	78
3.3.2	<i>Estratégia para Detecção de Fase da Rede Elétrica</i>	81
A.	Projeto do Controlador e Resultado de Simulação	83
3.3.3	<i>Modulador 3N-PWM</i>	84
3.4	DIMENSIONAMENTO DO ESTÁGIO DE CONDICIONAMENTO DE SINAL	85
3.4.1	<i>Circuito de Condicionamento de Sinal para Medição de Tensão</i> 85	
3.4.2	<i>Circuito de Condicionamento de Sinal para Medição de Corrente</i> 87	
3.5	CONCLUSÃO	87
4	PROTÓTIPOS E RESULTADOS	89
4.1	INTRODUÇÃO	89
4.2	PROTÓTIPO	89
4.3	RESULTADOS DE SIMULAÇÃO E EXPERIMENTAÇÃO	91
4.3.1	<i>Operação como Inversor</i>	91
4.3.2	<i>Análise da Linearização Estática</i>	104
4.3.3	<i>Inversor Conectado à Rede Elétrica</i>	109
A.	Tensão de Entrada de 70 V	109
B.	Tensão de Entrada de 60 V	114
C.	Tensão de Entrada de 50 V	116
4.3.4	<i>Análise Harmônica</i>	118
4.3.5	<i>Curvas de Rendimento e Análise das Perdas Teóricas</i>	120
A.	Malha Aberta	120
B.	Malha Fechada com o Inversor Conectado à Rede Elétrica.....	121
4.4	CONCLUSÃO	125
5	CONSIDERAÇÕES FINAIS	127

6	APÊNDICE A	137
	APÊNDICE B	151
	APÊNDICE C	155
	APÊNDICE D	163
	APÊNDICE E	165
	APÊNDICE F	169

INTRODUÇÃO GERAL

Este capítulo introduz a contextualização e a revisão bibliográfica referente ao tema do trabalho. Além disso, são apresentados os objetivos e a estrutura da dissertação.

1.1 Contextualização e Revisão Bibliográfica

A crescente demanda por energia elétrica, o desenvolvimento de novos materiais, os novos protocolos de comunicação, o aprimoramento dos dispositivos voltados a processamento de sinais e, por fim, os avanços na tecnologia dos semicondutores e da eletrônica de potência, têm sido fatores relevantes à disseminação de fontes renováveis no Sistema Elétrico de Potência (SEP). Aliado a estes fatores, o apelo ecológico, a suposta redução das reservas de combustíveis fósseis e os incentivos governamentais, vêm contribuindo para o aumento do número de unidades de Geração Distribuída (GD) no mencionado sistema. Apesar de estudos desde a década de 90 [1]-[6], os sistemas GD não estão consolidados, e continuam sendo alvo de pesquisas em tempos atuais.

No Brasil, segundo os Procedimentos de Distribuição (PRODIST), “as unidades de GD são definidas como centrais geradoras de energia elétrica de qualquer potência, com instalações conectadas diretamente ao sistema elétrico de distribuição ou por meio de instalações de consumidores, podendo operar em paralelo com a rede principal ou de forma isolada e despachadas (ou não) pelo Operador Nacional do Sistema Elétrico (ONS)” [2].

Ainda no que concerne à Geração Distribuída, os sistemas de geração fotovoltaica e eólica vêm apresentando maior destaque dentre as fontes renováveis [2]. Para conectar tais sistemas à rede elétrica, sob o ponto de vista da qualidade da energia, existem manuais e normas que estabelecem limites máximos do conteúdo harmônico da corrente injetada.

Em Santa Catarina, a concessionária de energia elétrica Celesc fornece um manual de procedimentos, intitulado “Requisitos para a conexão de micro ou minigeradores de energia ao sistema elétrico da Celesc

distribuição”. Também existem normas internacionais, como a *IEC61727* e a *IEEE1547*. Tanto o manual, quanto as normas internacionais, além de imporem o limite máximo do conteúdo harmônico, também exigem que a distorção harmônica total (*THD*) seja inferior a 5%.

Com base nesta premissa, é de extrema importância o desenvolvimento de sistemas para conexão de fontes renováveis à rede elétrica que sejam eficientes, confiáveis e garantam a qualidade da energia injetada. Esse é um tema atual na comunidade científica [7]-[9], cujo desenvolvimento vem sendo propiciado, entre outros fatores, pelos avanços da eletrônica de potência [10].

Dentre as possibilidades, as fontes renováveis podem ser conectadas à rede elétrica por meio de sistema de único ou de múltiplos estágios. Em sistemas fotovoltaicos com potência acima de 200 W, por exemplo, o processamento de energia é realizado, normalmente, a partir de dois estágios, conforme mostra a Figura 1.1 (a). Tipicamente, estes sistemas são compostos por um conversor CC-CC e um conversor CC-CA. O conversor CC-CC, elevador (tipo *boost*), eleva a tensão dos módulos fotovoltaicos para níveis adequados ao estágio inversor. O conversor CC-CA, normalmente abaixador (tipo *buck*), requer tensões de entrada superiores ao valor de pico da tensão da rede.

Em outra direção, visando melhorias em relação às topologias com duplo estágio, há os inversores de estágio único, como mostra a Figura 1.1 (b). A topologia *flyback* no modo de condução descontínua (MCD) é vastamente utilizada [11]-[13] neste tipo de aplicação. Entretanto, por fazer uso de transformador, essa proposta limita-se à baixa potência (menor que 200 W), devido às perdas de condução.

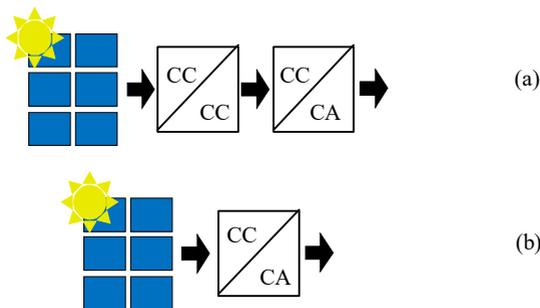


Figura 1.1 – Sistema fotovoltaico conectado à rede elétrica: a) dois estágios e b) estágio único.

Além das topologias tipo *flyback*, existem os inversores tipo *forward*, *push-pull*, ponte completa, meia ponte, dentre outros [2], [14]-[16]. Em [2] é abordado os inversores *forward* de estágio único com enrolamento terciário, para aplicações entre 200 W e 500 W, e o duplo-*forward*, para aplicações entre 500 W e 800 W, no qual a desmagnetização do núcleo ocorre pelo enrolamento primário.

A literatura também apresenta algumas soluções de inversores de único estágio não isolados (*transformerless*) [17], como os inversores *boost*, *buck-boost*, *zeta*, *SEPIC*, dentre outros. Essa família de inversores utiliza o conceito de integrar dois conversores CC-CC, Figura 1.2 (a), e conectá-los à carga de forma diferencial, Figura 1.2 (b). Usualmente, essas topologias operam no modo de condução contínua (MCC), sem exigir componentes extras, assim, podem processar potências maiores em relação ao inversor *flyback* no MCD. Contudo, o ganho destas topologias é limitado aos ganhos dos conversores originais.

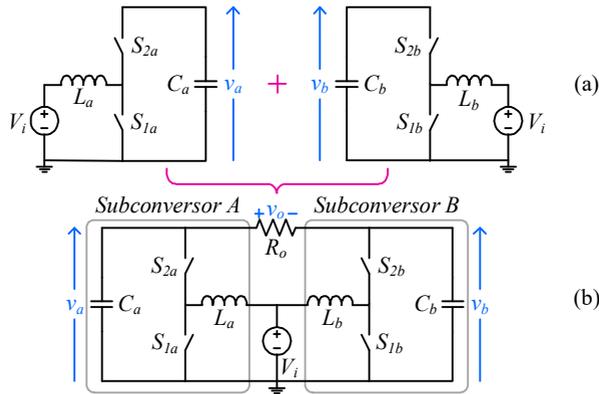


Figura 1.2 – Geração do inversor *boost*: (a) Subconversores CC-CC *boost* bidirecionais e (b) inversor *boost* diferencial.

Dentre tais topologias, pode-se destacar o inversor diferencial *boost*, denominado na literatura como *differential boost inverter (DBI)*, proposto por [18] e exposto na Figura 1.2 (b). Ele realiza a conversão CC-CA sem uso de transformador [19] e, embora a tensão de saída de cada subconversor seja sempre positiva, suas componentes alternadas encontram-se defasadas em 180° , assim, uma forma de onda senoidal, sem nível CC, e com valor de pico maior que a tensão de alimentação, pode ser obtida na saída diferencial ($v_o = v_a - v_b$).

Cabe destacar que, apesar de ser uma topologia elevadora, o *DBI* apresenta ganho de tensão limitado pois, assim como o conversor *boost* tradicional, suas perdas tornam-se bastante elevadas à medida que a razão cíclica se aproxima da unidade [20].

Para aumentar o ganho estático dos conversores, o conceito de capacitor chaveado, denominado na literatura como *switched capacitor* (*SC*), vem sendo bastante abordado na área da eletrônica de potência [21]-[24]. Inicialmente capacitores chaveados foram estudados em aplicações de baixa potência, em circuitos integrados (CI) [25]-[26], porém, nos últimos anos, têm sido integrados a conversores CC-CC, CC-CA, CA-CC e CA-CA [27]-[29], originando o conceito de conversores híbridos. Essa integração é muito atrativa, pois aumenta o ganho estático, sem a presença de transformadores, além de diminuir os esforços de tensão nos semicondutores. A Figura 1.3 apresenta a célula *SC* na configuração escada (denominada na literatura de *Ladder*), o ganho da célula (k) pode ser aumentado com o aumento do número de células *SC* (N). A Figura 1.4 exemplifica a integração da célula *SC* a um conversor tradicional, no caso, a um conversor *boost* CC-CC bidirecional.

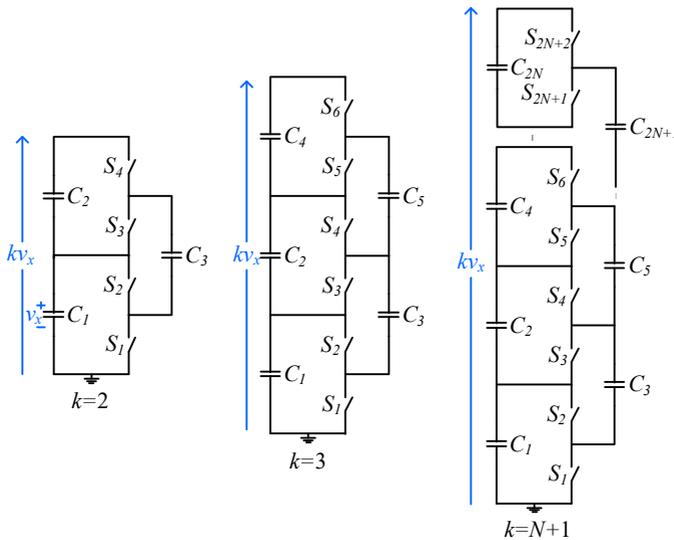


Figura 1.3 – Célula *SC* genérica.

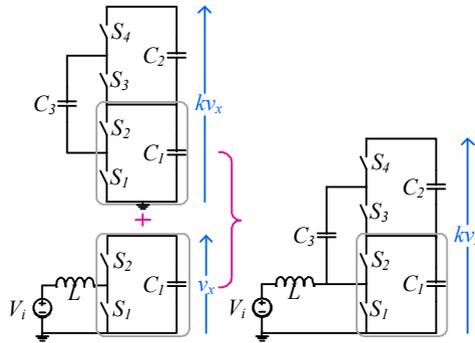


Figura 1.4 – Conceção do conversor *boost* CC-CC bidirecional híbrido.

Com o objetivo de aumentar o ganho estático do *DBI*, em [30]-[31] é proposta a integração de células de capacitores chaveados ao convencional inversor *boost* apresentado em [11]. A topologia resultante é um inversor do tipo *boost*, composto por dois conversores *boost* CC-CC bidirecionais híbridos, Figura 1.5 (a), conectados a carga de forma diferencial. Esse inversor é denominado na literatura como *switched capacitor differential boost inverter (SCDBI)* e é exibido na Figura 1.5 (b). Adicionalmente [31] realizou a análise e propôs a generalização da topologia mencionada, resultando na estrutura com N células multiplicadoras apresentada na Figura 1.6.

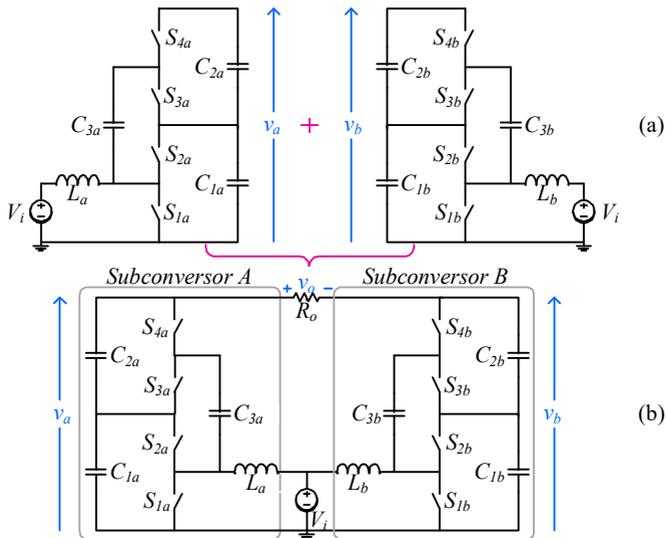


Figura 1.5 – Conceção do inversor *SCDBI*: (a) conversores *boost* CC-CC bidirecionais híbridos e (b) inversor diferencial *boost* a capacitor chaveado.

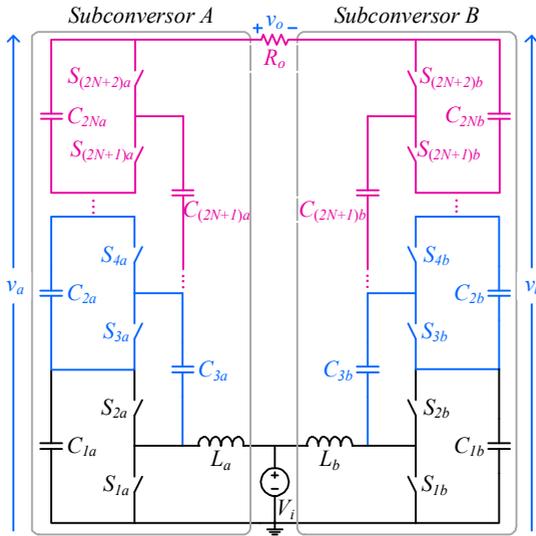


Figura 1.6 - SCDBI com N células a capacitor chaveado.

Um dos desafios de conversores a capacitor chaveado é a modelagem e o controle, devido ao número elevado de elementos armazenadores de energia. Além disso, devido à característica não linear do ganho estático dos inversores tipo *boost*, a tensão e a corrente de saída apresentam distorções harmônicas e, normalmente, o controle da estrutura é implementado por meio de técnicas não lineares de controle [32]-[38].

Contudo, para contornar essas desvantagens, alguns autores sugerem o emprego de conversores dinamicamente equivalentes de ordem reduzida [39] para simplificar a modelagem e o emprego de técnicas de linearização para reduzir as distorções da tensão e corrente de saída e diminuir o esforço de controle [40]-[41].

Até o momento a literatura adotou o *SCDBI* como inversor autônomo, no entanto, suas características de ganho também o tornam atraente para sistemas conectados à rede, pois o emprego de células a capacitor chaveado permite aumentar o ganho da topologia, mantendo a célula *boost* no mesmo ponto de operação.

Nesse contexto, o presente trabalho propõe a utilização do *SCDBI* na conexão de fontes renováveis à rede elétrica, tema ainda não explorado na literatura. A modelagem do sistema é feita de forma simplificada, a modulação prevê o uso de uma estratégia de linearização e técnicas lineares de controle são aplicadas para controlar a corrente de saída do *SCDBI*, configurando uma das contribuições dessa dissertação, uma vez que, na

maioria dos trabalhos presentes na literatura, o inversor *boost* é controlado por meio de técnicas não lineares. A validação do estudo é realizada por meio de um protótipo de 250 W projetado e testado em laboratório, o qual foi especificado para ser conectado a uma rede elétrica com valor eficaz de tensão de 127 V, a partir de um barramento CC de entrada com variação admissível entre 50 e 70 V.

1.2 Objetivos

Esta subseção apresenta os objetivos do presente trabalho, subdivididos em objetivos gerais e objetivos específicos.

1.2.1 Objetivo Geral

O objetivo geral dessa dissertação é estudar o inversor de estágio único *SCDBI* para aplicá-lo na conexão com a rede elétrica.

1.2.2 Objetivos Específicos

Os objetivos específicos são:

- Desenvolver a análise estática orientada ao projeto do inversor;
- Desenvolver uma técnica de linearização de ganho estático;
- Desenvolver a modelagem orientada ao controle da corrente injetada na rede elétrica;
- Empregar controladores baseados em técnicas lineares;
- Validar experimentalmente os estudos a partir de um protótipo construído e testado em laboratório.

1.3 Estrutura da Dissertação

Além deste capítulo introdutório, o Capítulo 2 apresenta a análise estática do inversor, no qual são abordadas as etapas de operação, as equações básicas, as principais formas de onda e a técnica de linearização do ganho estático implementada. O capítulo também aborda os esforços de tensão e de corrente nos semicondutores e o dimensionamento do estágio de potência.

O Capítulo 3 desenvolve e valida a modelagem orientada ao controle da corrente injetada à rede elétrica. O capítulo também aborda a estratégia de controle adotada e o dimensionamento do estágio de condicionamento de sinal.

Os resultados de simulação e experimentação do inversor operando em modo autônomo e conectado à rede elétrica são expostos juntos, no

Capítulo 4, para que uma comparação direta entre teoria e prática possa ser realizada. Nesse capítulo também são apresentados: o protótipo construído, a análise harmônica da corrente injetada na rede elétrica em potência nominal para tensões de entrada de 50, 60 e 70 V, a análise da técnica de linearização estática, a curva rendimento da estrutura em malha aberta e as curvas de rendimento do inversor conectado à rede elétrica.

Por fim, no Capítulo 5, são apresentadas as considerações finais sobre o trabalho desenvolvido e sugestões de trabalhos futuros.

INVERSOR BOOST A CAPACITOR CHAVEADO

Este capítulo apresenta as principais características referentes à análise estática do inversor *SCDBI*, bem como a técnica de linearização adotada e o dimensionamento do estágio de potência.

2.1 Introdução

A Figura 2.1 apresenta o *SCDBI* para conexão com à rede elétrica. O inversor é composto por dois subconversores *boost* CC-CC bidirecionais híbridos, denominados de subconversores *A* e *B*.

Assim como o tradicional *DBI*, as tensões de saída dos subconversores são sempre positivas, compostas por duas parcelas, uma contínua e outra alternada senoidal. As parcelas contínuas são iguais nos dois subconversores, já as componentes alternadas são defasadas de 180° . Assim, a tensão de saída diferencial anula as componentes CC e soma as componentes senoidais.

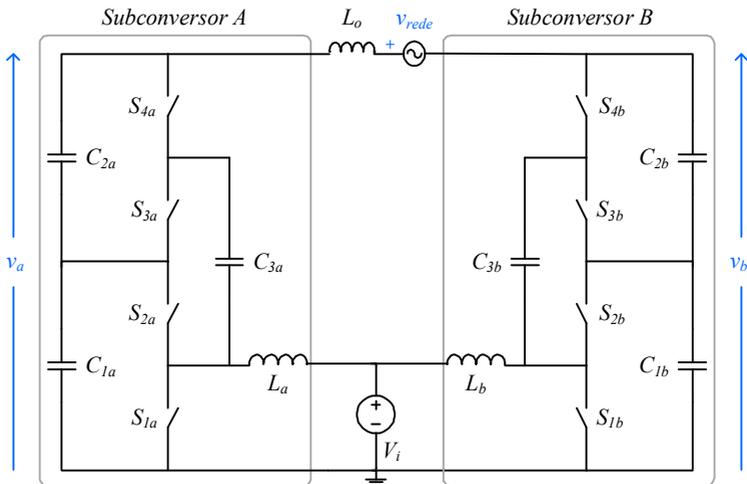


Figura 2.1 – Inversor *boost* diferencial a capacitor chaveado para conexão com a rede elétrica.

O conversor é conectado à rede elétrica por meio de um filtro indutivo, representado na figura por L_o . Reduzidos valores de indutância são suficientes para impor uma baixa ondulação de corrente, pois a estrutura tem saída em tensão, em oposição aos inversores tipo *buck*, que requerem o uso de filtros indutivos de elevado valor ou de estruturas com mais alta ordem, como o filtro LCL.

Outro ponto interessante é o ganho estático da estrutura, que pode ser aumentado com a adição de células *SC*. Ao alterar o número de células, o inversor tem a flexibilidade de se conectar em redes com valores eficazes de tensão maiores, mantendo o mesmo ponto de operação no estágio *boost*. Essa característica é interessante para aplicações no Brasil, que possui dois níveis de tensão na rede de distribuição: 127 V e 220 V.

A capacidade de alterar o ganho com as células *SC* também beneficia aplicações em sistemas fotovoltaicos, pois se pode alterar o número de módulos (e assim a tensão de entrada) e ajustar o ganho do conversor apenas modificando-se o número de células a capacitor chaveado presentes na topologia.

Este capítulo foi dividido em subseções, as quais abordam as etapas de operação, as equações básicas, as principais formas de onda, a técnica de linearização adotada, os esforços de tensão e de corrente nos semicondutores e o dimensionamento do estágio de potência.

2.2 Etapas de Operação

As etapas de operação da estrutura são analisadas utilizando a modulação por largura de pulso unipolar (3N-*PWM*). Essa modulação permite que os comandos de cada braço sejam implementados de forma independente e, possibilitando a aplicação da técnica de linearização abordada na subseção 2.4 deste capítulo. A Figura 2.2 apresenta a estratégia de geração dos pulsos de comando dos interruptores de cada braço, em cada semiciclo da rede elétrica.

A partir da aplicação da modulação proposta, o inversor apresenta oito etapas de operação; quatro em cada semiciclo da tensão da rede elétrica. As etapas de operação são apresentadas nos itens 2.2.1 e 2.2.2 desta subseção.

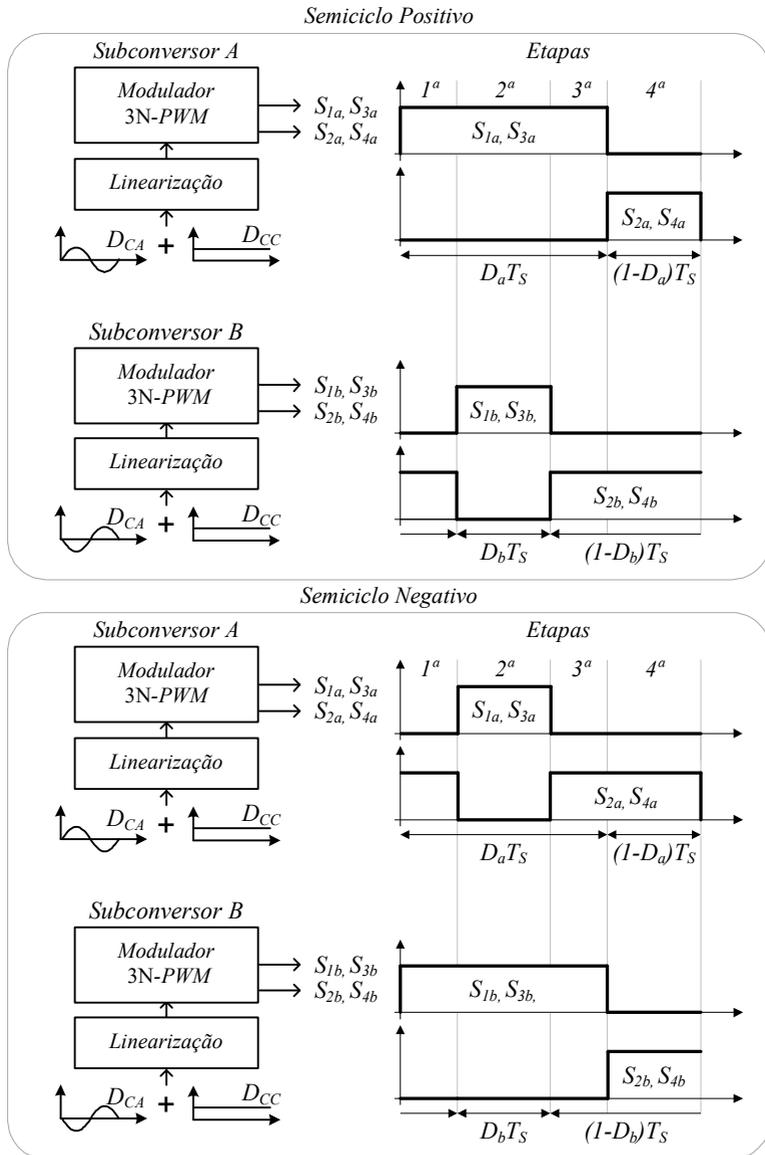


Figura 2.2 – Modulador 3N-PWM, bloco de linearização e comando dos interruptores para os semiciclos positivo e negativo.

2.2.1 Etapas de Operação Referentes ao Semiciclo Positivo da Rede Elétrica

A. Primeira Etapa de Operação: $(D_a - 1/2)T_s$

A primeira etapa de operação tem início quando os interruptores S_{1a} , S_{3a} , S_{2b} e S_{4b} são colocados em condução e os interruptores S_{2a} , S_{4a} , S_{1b} e S_{3b} estão bloqueados, conforme Figura 2.3. Ao considerar que a razão cíclica do subconversor B (D_b) é igual à razão cíclica do subconversor A (D_a) subtraída de um e analisar os pulsos de comando dos interruptores da Figura 1.2, essa etapa tem duração de $(D_a - 1/2)T_s$, onde T_s é o período de comutação.

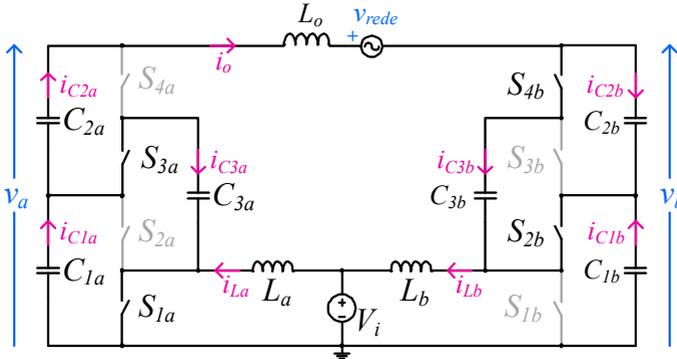


Figura 2.3 – Circuito equivalente referente à primeira etapa de operação considerando o semiciclo positivo da tensão da rede elétrica.

Similarmente ao conversor *boost* CC-CC tradicional, considerando o subconversor A , esta etapa é caracterizada pela acumulação indutiva, em que a corrente i_{La} cresce com taxa V_i/L_a . O capacitor C_{1a} está no processo de descarga e transfere energia para o capacitor chaveado C_{3a} e para a rede, enquanto C_{2a} transfere energia somente para a rede.

No subconversor B , esta etapa caracteriza-se pela desmagnetização do indutor L_b . Enquanto a corrente i_{Lb} decresce com taxa $(V_b/2 - V_i)/L_b$, os capacitores C_{2b} e C_{3b} carregam-se e o capacitor C_{1b} descarrega-se.

B. Segunda Etapa de Operação: $(1 - D_a)T_s$

A segunda etapa inicia-se quando os interruptores S_{1a} , S_{3a} , S_{1b} e S_{3b} são colocados em condução e os interruptores S_{2a} , S_{4a} , S_{2b} e S_{4b} estão bloqueados, como mostra a Figura 2.4.

O subconversor A permanece na mesma configuração da etapa anterior, mas o indutor L_b do subconversor B acumula energia e a corrente i_{Lb} cresce com taxa V_i/L_b . Adicionalmente, o capacitor chaveado C_{3b} transfere energia para o capacitor C_{1b} , enquanto o capacitor C_{2b} carrega-se com a corrente de saída.

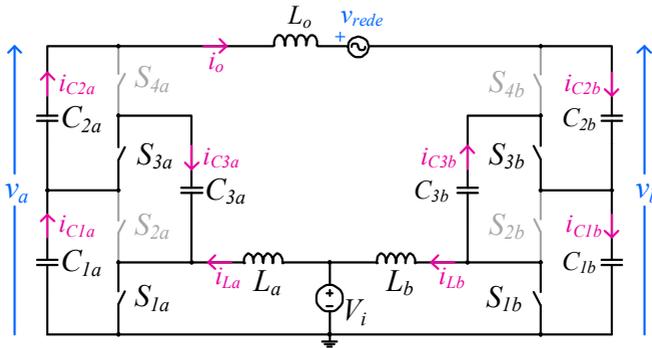


Figura 2.4 – Circuito equivalente referente a segunda etapa de operação considerando o semiciclo positivo da tensão da rede elétrica.

C. Terceira Etapa de Operação: $(D_a - 1/2)T_s$

A Figura 2.5 apresenta o circuito equivalente referente à terceira etapa de operação considerando o semiciclo positivo da tensão de rede elétrica. Esta etapa tem início quando os interruptores S_{1a} , S_{3a} , S_{2b} e S_{4b} são colocados em condução e os interruptores S_{2a} , S_{4a} , S_{1b} e S_{3b} estão bloqueados.

O subconversor A apresenta a mesma configuração das etapas precedentes. O indutor L_b desmagnetiza com corrente i_{Lb} decrescendo com taxa $(V_b/2 - V_i)/L_b$, o capacitor C_{2b} transfere energia para o capacitor chaveado C_{3b} e para a rede e o capacitor C_{1b} transfere energia para a rede.

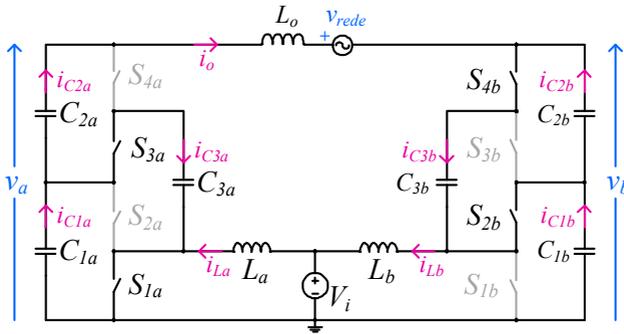


Figura 2.5 – Circuito equivalente referente a terceira etapa de operação considerando o semiciclo positivo da tensão da rede elétrica.

D. Quarta Etapa de Operação: $(1 - D_a)T_s$

A quarta etapa de operação tem início quando os interruptores S_{2a} , S_{4a} , S_{2b} e S_{4b} são colocados em condução e os interruptores S_{1a} , S_{3a} , S_{1b} e S_{3b} estão bloqueados, conforme apresenta a Figura 2.6.

O subconversor B permanece na mesma configuração da etapa anterior. No subconversor A , a energia previamente armazenada no indutor L_a é transferida para a rede e para o capacitor C_{1a} , enquanto o capacitor C_{2a} é carregado pelo capacitor chaveado C_{3a} . A corrente i_{La} descrece com taxa $(V_i - V_a/2)/L_a$.

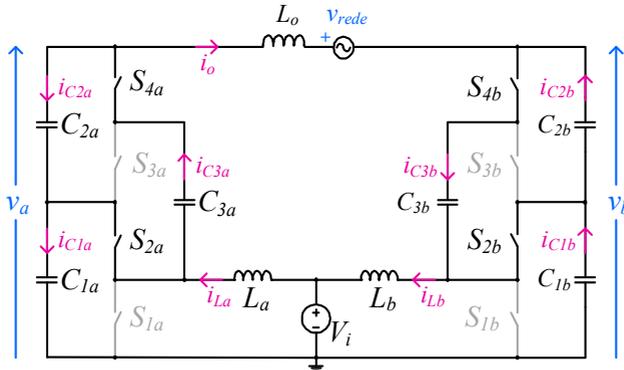


Figura 2.6 – Circuito equivalente referente a quarta etapa de operação considerando o semiciclo positivo da tensão da rede elétrica.

2.2.2 Etapas de Operação Referentes ao Semiciclo Negativo da Rede Elétrica

Durante o semiciclo negativo, o inversor opera de forma dual, sendo os circuitos equivalentes referentes a cada etapa de operação representadas na Figura 2.7 (a), primeira etapa, na Figura 2.7 (b), segunda etapa, na Figura 2.7 (c), terceira etapa, e na Figura 2.7 (d), quarta etapa.

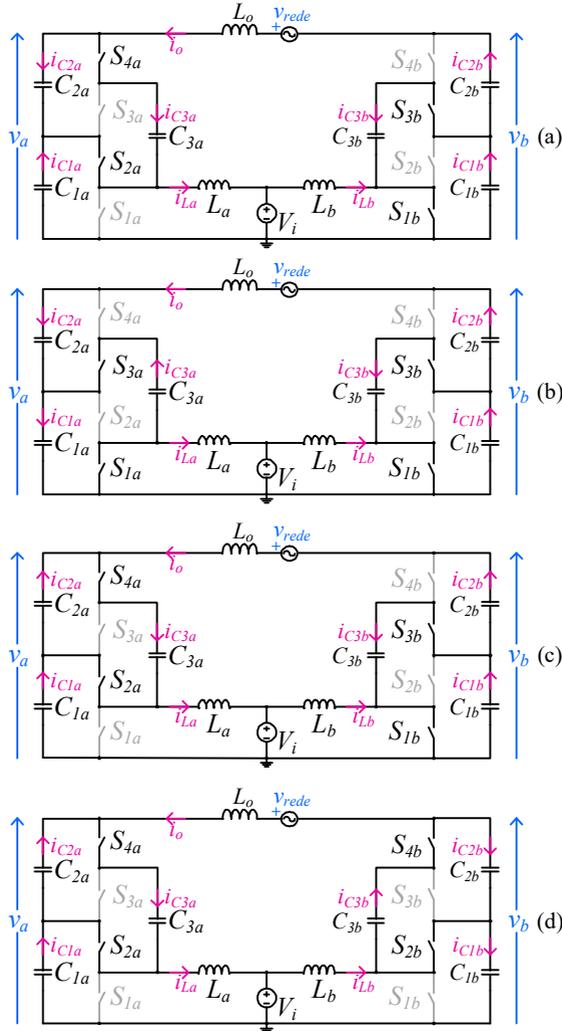


Figura 2.7 – Etapas de operação considerando o semiciclo negativo da tensão da rede elétrica: (a) primeira, (b) segunda, (c) terceira e (d) quarta etapa.

2.3 Equações Básicas e Principais Formas de Onda

2.3.1 Ganho Estático

O ganho estático teórico dos subconversores A e B , no MCC, é expresso em (2.1) e (2.2), respectivamente. Nota-se que ele é dado em função do ganho fornecido pela célula multiplicadora (k), ou em função do número de células SC (N), e da razão cíclica de cada subconversor. Cabe destacar que o ganho estático dos conversores híbridos é o ganho do tradicional conversor *boost* multiplicado pelo ganho da célula SC .

$$\frac{v_a}{V_i} = \frac{k}{1-d_a} = \frac{N+1}{1-d_a}, \quad (2.1)$$

$$\frac{v_b}{V_i} = \frac{k}{1-d_b} = \frac{N+1}{1-d_b}. \quad (2.2)$$

Sabendo-se que a tensão de saída diferencial v_o é dada pela diferença entre v_a e v_b , obtém-se o ganho diferencial do inversor, dado por:

$$\frac{v_o}{V_i} = \frac{k(d_a - d_b)}{(1-d_a)(1-d_b)}. \quad (2.3)$$

Adotando-se o subconversor A como referência ($d_a = d$) e considerando $d_b = 1-d_a$, tem-se o ganho estático definido em (2.4). No caso do inversor conectado à rede, a tensão diferencial v_o é a própria tensão da rede elétrica (v_{rede}).

$$\frac{v_o}{V_i} = \frac{k(2d-1)}{d(1-d)} \quad (2.4)$$

As curvas de ganho estático de cada subconversor e do $SCDBI$ para $k=2$ é apresentada na Figura 2.8. A Figura 2.9 apresenta as curvas de ganho estático do $SCDBI$ para variações do ganho da célula SC . Nota-se que quanto maior o número de células multiplicadoras, maior será o ganho do

inversor e menor a excursão de razão cíclica. Além disso, observa-se que a conexão diferencial apresenta curva de ganho estático com comportamento aproximadamente linear no centro e altamente não linear nos extremos.

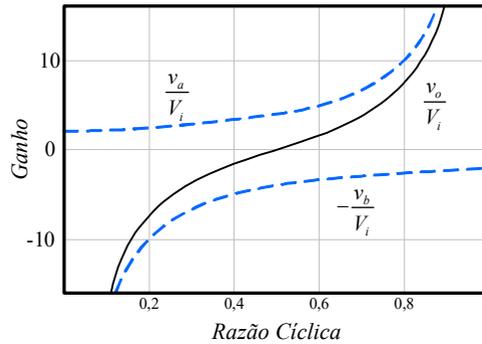


Figura 2.8 – Curva do ganho estático de cada subconversor e do SCDBI ($k=2$).

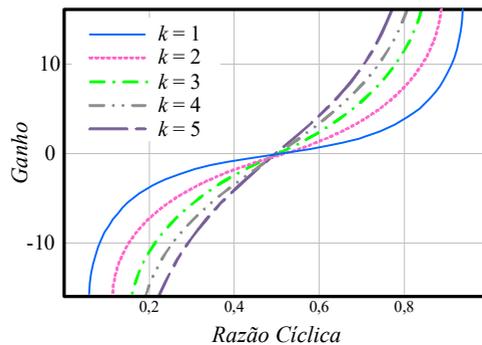


Figura 2.9 – Curvas do ganho estático do SCDBI para variações do ganho da célula SC.

2.3.2 Principais Formas de Onda

Esta subseção apresenta as principais formas de onda (malha aberta) em baixa frequência e as equações teóricas, das quais elas são derivadas. Todas as formas de onda foram obtidas sem a influência do bloco de linearização abordado no item 2.4 deste capítulo e com a utilização dos valores apresentados na Tabela 2.1 e Tabela 2.3.

A partir da manipulação da equação (2.4), a razão cíclica idealizada do SCDBI é expressa por (2.5). A Figura 2.10 apresenta a forma de onda teórica da razão cíclica idealizada.

$$d = \frac{1}{2} + \frac{\sqrt{(2kV_i)^2 + v_o^2} - 2kV_i}{2v_o} \quad (2.5)$$

A razão cíclica idealizada é composta por uma parcela contínua (D_{CC}) e uma parcela alternada (D_{CA}). A razão cíclica máxima (D) pode ser calculada por:

$$D = D_{CC} + D_{CA} \cdot \quad (2.6)$$

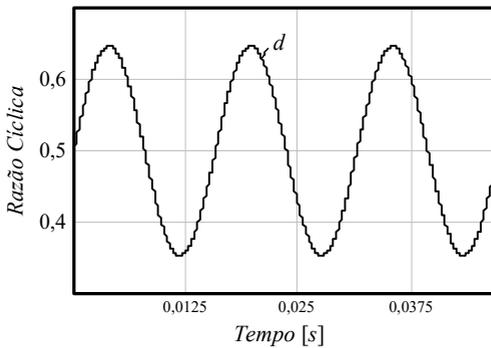


Figura 2.10 – Forma de onda teórica da razão cíclica idealizada.

A corrente do indutor de entrada i_{La} é expressa em função da corrente de saída (i_o) e da razão cíclica idealizada, conforme (2.7). Da mesma forma, a corrente i_{Lb} é dada por (2.8). A corrente de entrada i_m é a soma das correntes dos indutores L_a e L_b e é definida por (2.9).

$$i_{La} = \frac{i_o k}{1-d} \quad (2.7)$$

$$i_{Lb} = \frac{-i_o k}{d} \quad (2.8)$$

$$i_m = i_{La} + i_{Lb} = \frac{i_o k(2d-1)}{d(1-d)} \quad (2.9)$$

O valor máximo da corrente nos indutores (I_{Lpk}) pode ser calculado por (2.10). A Figura 2.11 (a) ilustra as correntes dos indutores L_a e L_b e a Figura 2.11 (b) apresenta a forma de onda teórica da corrente de entrada.

$$I_{Lpk} = \frac{I_{opk}k}{(1-D)} \quad (2.10)$$

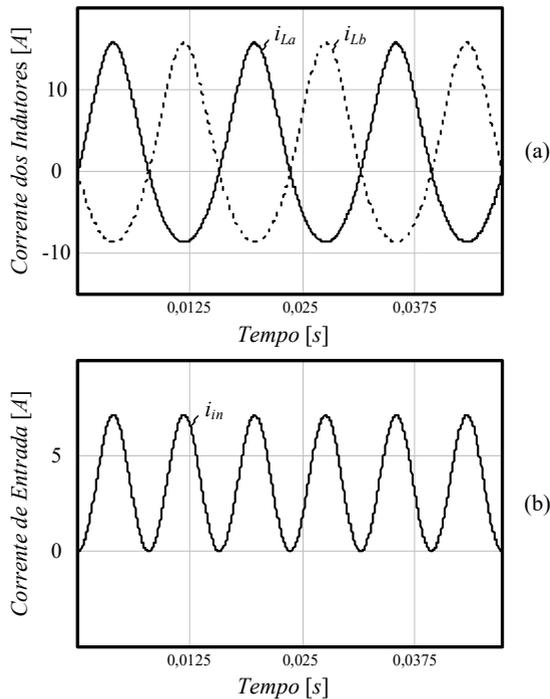


Figura 2.11 – Formas de onda teóricas: (a) corrente dos indutores de entrada i_{La} e i_{Lb} e (b) corrente de entrada i_{in} .

A tensão de saída de cada subconversor pode ser calculada por:

$$v_a = \frac{2kV_i v_o}{v_o + 2kV_i - \sqrt{(2kV_i)^2 + v_o^2}}, \quad (2.11)$$

$$v_b = \frac{2kV_i v_o}{v_o - 2kV_i + \sqrt{(2kV_i)^2 + v_o^2}}. \quad (2.12)$$

A Figura 2.12 (a) exibe as tensões parciais de cada subconversor. A tensão de saída v_o é a diferença entre as tensões v_a e v_b e é ilustrada na Figura 2.12 (b). Observa-se que as formas de onda obtidas apresentam distorções causadas pela característica não linear do ganho estático.

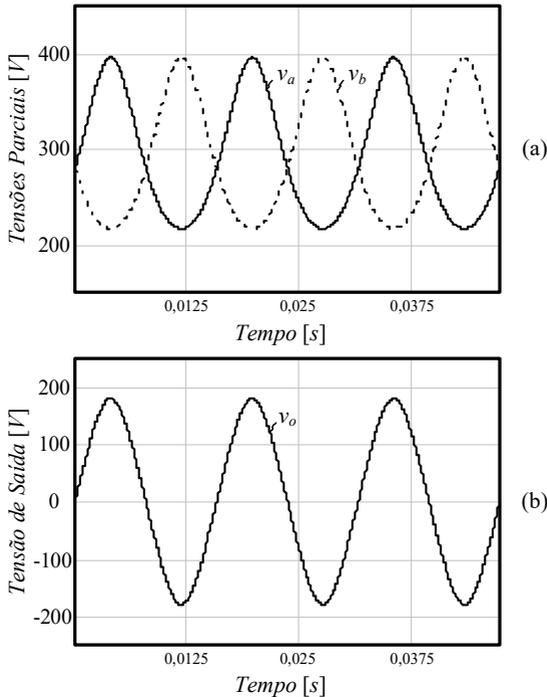


Figura 2.12 – Formas de onda teóricas: (a) tensão de saída de cada subconversor v_a e v_b e (b) tensão de saída diferencial v_o .

2.3.3 Elementos Passivos

A. Indutor de Entrada

Os indutores de entrada são definidos a partir da especificação da ondulação percentual de corrente (Δi_L), sendo expressos por :

$$L_a = L_b = \frac{V_i D}{f_s I_{Lpk} \Delta i_L}, \quad (2.13)$$

onde:

V_i é a tensão de entrada;

D é a razão cíclica máxima;

f_s é a frequência de comutação;

I_{Lpk} é o valor de pico da corrente nos indutores.

B. Indutor de Filtro de Saída

A indutância do filtro de saída é determinada a partir da frequência de ressonância (f_{LC}) entre o indutor (L_o) e a capacitância equivalente da célula multiplicadora (C_{eq}), sendo definida por:

$$L_o = \frac{2k^2}{(2\pi f_{LC})^2 C_{eq}}, \quad (2.14)$$

A ressonância pode ser vista na resposta em frequência do inversor, que será abordada no Capítulo 3. Optou-se em projetar o indutor de saída dessa forma, pois a possibilidade de escolher a frequência em que a ressonância ocorrerá garante um grau de liberdade no projeto do controlador. Além disso, a saída do conversor em tensão garante uma baixa ondulação na corrente de saída, não sendo necessário considerá-la como um critério de projeto.

C. Célula de Capacitor Chaveado

Os capacitores são projetados a partir do modo de operação da célula multiplicadora. Os modos de operação da célula *SC* são abordados detalhadamente em diversos trabalhos [42]-[46].

De acordo com [42], existe três modos diferentes de operação: carga completa, carga parcial e carga nula, como exposto na Figura 2.13. No modo carga completa, Figura 2.13 (a), a corrente do capacitor atinge elevados valores de pico, o que, conseqüentemente, provoca maiores perdas. No modo carga nula, Figura 2.13 (c), não existe picos de corrente, porém, são requeridos elevados valores de capacitância, o que aumenta o volume do conversor. Assim, o modo que fornece o melhor custo/benefício entre eficiência e volume é o modo de carga parcial [46], Figura 2.13 (b).

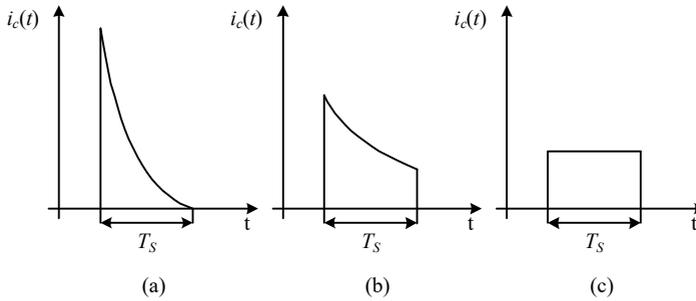


Figura 2.13 – Modos de operação da célula de capacitor chaveado: a) carga completa; b) carga parcial; c) carga nula.

A operação do conversor no modo de carga parcial é garantida quando o produto da constante de tempo (τ) pela frequência de comutação é maior que 0,1 [46], sendo τ definido por (2.15) e os capacitores da célula SC expressos por (2.16).

$$\tau = (R_{SE} + R_{ds(on)})C, \quad (2.15)$$

$$C = C_1 = C_2 = C_3 \geq \frac{0,1}{f_s (R_{SE} + R_{ds(on)})}, \quad (2.16)$$

onde:

R_{SE} é a resistência série equivalente do capacitor;

$R_{ds(on)}$ é a resistência do interruptor em condução;

C são os capacitores da célula de capacitor chaveado $C_1=C_2=C_3=C$.

A integração da célula de capacitores chaveado com o capacitor *boost* gera uma capacitância equivalente, dada por (2.17). Essa capacitância será utilizada no Capítulo 3 e é obtida a partir das etapas de operação da célula SC.

$$C_{eq}' = \frac{2Ck^2 [D(1-D) + 2]}{k [2 + D(1-D)] - 2D(1-D) + 2}. \quad (2.17)$$

2.4 Técnica de Linearização

Inversores tipo *boost* apresentam distorções na tensão (Figura 2.12) ou na corrente de saída devido à característica de ganho não linear (Figura 2.8), o que exige esforços de controle adicionais [47]-[48].

Para melhorar esta desvantagem, alguns trabalhos sugerem o uso de técnicas de linearização aplicadas à tensão de saída total v_o [41] ou a utilização da modulação com linearização dinâmica [42]. Uma das contribuições deste trabalho é propor uma estratégia de linearização aplicada no ganho *boost* de cada subconversor, o que, conseqüentemente lineariza as tensões parciais v_a e v_b .

Deseja-se que após a aplicação da técnica de linearização o ganho linearizado G_L assuma a forma expressa por (2.18), na qual os coeficientes angular (α) e linear (β) da reta de linearização são determinados em função do ganho máximo desejado na topologia (o qual está relacionado à tensão de entrada e o valor de pico da tensão de saída).

$$G_L = \alpha d_l + \beta \quad (2.18)$$

A variável d_l representa a razão cíclica aplicada ao bloco de linearização, composta por uma componente CC e uma componente CA. Esses valores CC e CA devem ser ajustados de forma que a tensão parcial seja a desejada após o bloco de linearização ser aplicado. Esse ajuste é abordado na subseção 2.4.1.

A equação que descreve o comportamento da razão cíclica do conversor *boost* em MCC pode ser obtida a partir do seu ganho estático G_{boost} dado por:

$$G_{boost} = \frac{1}{1 - d_{boost}} \Rightarrow d_{boost} = 1 - \frac{1}{G_{boost}}. \quad (2.19)$$

Ao definir $G_{boost} = G_L$, faz-se com que o sistema apresente uma resposta linear e, ao substituir (2.18) em (2.19), torna-se simples encontrar a relação entre d_l e d_{boost} , expressa em (2.20), para que tal comportamento seja obtido.

$$d_{boost} = \frac{\alpha d_l + \beta - 1}{\alpha d_l + \beta} \quad (2.20)$$

Cabe ressaltar que o ganho estático do conversor *boost* permanece não linear, mas o sistema completo (conversor + linearização) apresenta uma relação de entrada/saída linear.

2.4.1 Ajuste da Razão Cíclica Antes do Bloco de Linearização

Esta subseção apresenta as equações para o cálculo da parcela contínua (D_{CC}) e da parcela alternada (D_{CA}) da razão cíclica, a qual é aplicada antes do bloco de linearização com a função de garantir o valor contínuo da tensão parcial desejada.

A parcela CC da razão cíclica é calculada a partir de:

$$D_{CC} = \frac{D_{med}}{\alpha(1 - D_{med})}, \quad (2.21)$$

onde a razão cíclica média (D_{med}), expressa em (2.22), é obtida a partir da manipulação da equação (2.1) e do valor CC da tensão parcial de cada braço (v_{a_CC}), definida em (2.23), adicionada a uma tolerância (*tol*) de excursão que essa tensão possa ter na prática. Nesse caso, adotou-se o subconversor *A* como referência.

$$D_{med} = \frac{v_{a_CC} - kV_i}{v_{a_CC}}, \quad (2.22)$$

$$v_{a_CC} = 2V_i k + tol \quad (2.23)$$

A amplitude da parcela alternada da razão cíclica (D_{CA}) pode ser calculada a partir da subtração da parcela contínua (D_{CC}) do valor máximo da razão cíclica especificada (D), exposta em (2.24).

$$D_{CA} = D - D_{CC} \quad (2.24)$$

Sendo assim, a razão cíclica d antes do bloco de linearização é dada por (2.25). No subconversor A o sinal da parcela alternada é positiva e no subconversor B é negativa.

$$d_l = D_{CC} \pm D_{CA} \text{sen}(t) \quad (2.25)$$

A Figura 2.14 apresenta a estratégia da técnica de linearização proposta. Quando o sistema operar em malha fechada a razão cíclica alternada é derivada do controlador e a parcela contínua deve ser somada a esse valor antes de entrar no bloco de linearização.

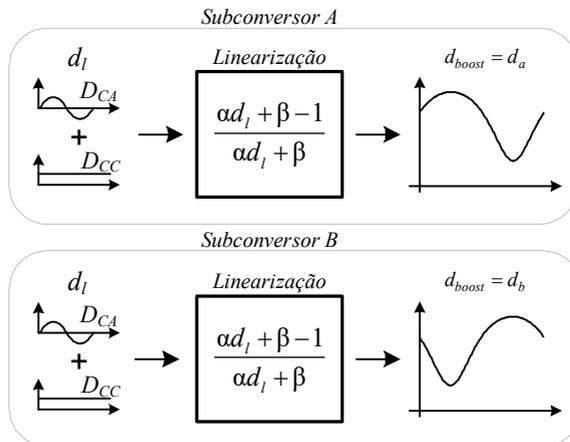


Figura 2.14 – Estratégia da técnica de linearização proposta.

2.4.2 Principais Formas de Onda com Bloco de Linearização

As principais formas de onda teóricas (análise em baixa frequência), em malha aberta, com a utilização da técnica de linearização proposta são apresentadas nessa subseção. Os valores utilizados para geração das formas de onda são apresentados na Tabela 2.1 e Tabela 2.3.

A Figura 2.15 (a) apresenta a razão cíclica na saída do bloco de linearização para cada subconversor d_a e d_b . Essas razões cíclicas são aplicadas nos subconversores, o que resulta nas tensões de saída parciais v_a e v_b , Figura 2.15 (c), e na tensão de saída diferencial v_o , Figura 2.15 (d). Apesar da utilização do bloco de linearização, as correntes dos indutores preservam suas características não lineares, como ilustrado na Figura 2.15 (b).

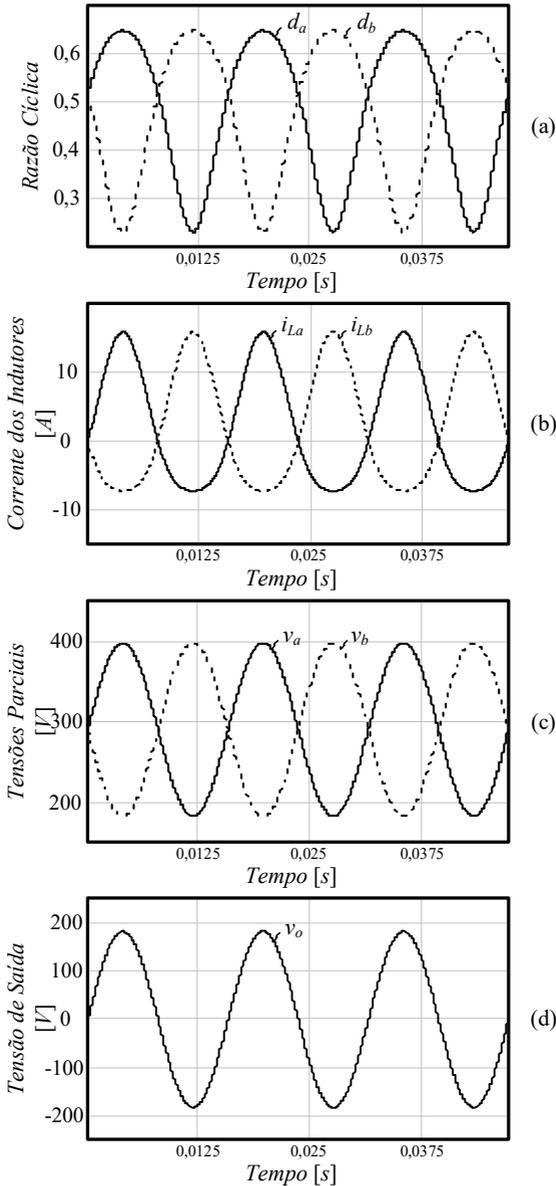


Figura 2.15 – Formas de onda teóricas com bloco de linearização: (a) razão cíclica de cada subconversor d_a e d_b , e (b) corrente dos indutores de entrada i_{La} e i_{Lb} , (c) tensões de saída parciais v_a e v_b e (d) tensão de saída diferencial v_o .

2.4.3 Dimensionamento do Bloco de Linearização

A partir de (2.5) e das especificações de projeto apresentadas na Tabela 2.3, a razão cíclica D_{CC} sem linearização é 0,5 e a razão cíclica D_{CA} é 0,147, o que resulta em uma razão cíclica máxima de aproximadamente 0,65.

O projeto do bloco de linearização foi realizado com a fixação do ponto de operação em 0,65 (razão cíclica máxima). A Figura 2.16 ilustra a curva de ganho estático do conversor *boost* (G_{boost}), cujo valor do ganho para esse ponto de operação é 2,85.

Ao analisar a Figura 2.16, encontra-se um coeficiente linear (β) igual a 1 (valor inicial da reta) e um coeficiente angular (α) igual a 2,85, determinado por (2.26).

$$\alpha = \frac{2,85 - 1}{0,65 - 0} \cong 2,85 \quad (2.26)$$

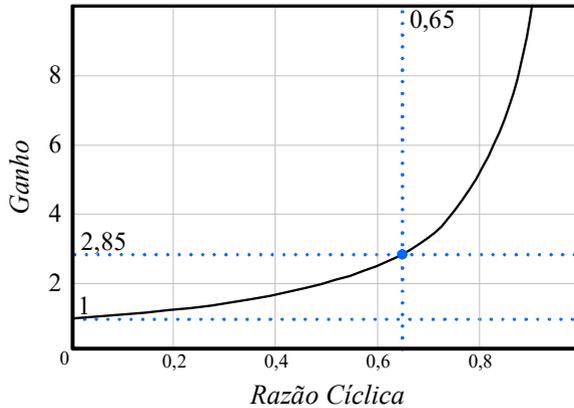


Figura 2.16 – Curva de ganho estático do conversor *boost* (G_{boost}).

Sendo assim, a razão cíclica d_{boost} para que o sistema apresente resposta linear, é expressa por:

$$d_{boost} = \frac{2,85d}{2,85d + 1} \quad (2.27)$$

O valor da tolerância (tol) de excursão do valor médio da tensão parcial foi definido como 10 V, o que resulta em um valor médio de 290 V na tensão de saída de cada subconversor. Com esses valores obtém-se razão cíclica D_{CC} igual a 0,3759 e razão cíclica D_{CA} igual a 0,271, sendo a razão cíclica antes do bloco de linearização (d) definida em (2.28).

$$d = 0,3759 \pm 0,271 \text{sen}(t) \quad (2.28)$$

Ao substituir os valores dos coeficientes da reta de linearização na equação do ganho linearizado (G_L) expressa em (2.18), obtém-se a curva G_L ilustrada na Figura 2.17. Essa curva foi sobreposta a do conversor *boost* tradicional para evidenciar o comportamento esperado que o sistema (conversor + linearização) assuma após o bloco de linearização ser aplicado.

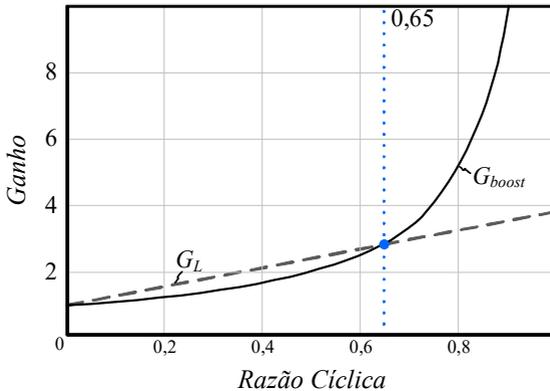


Figura 2.17 – Curva de ganho estático do conversor *boost* tradicional (G_{boost}) e de ganho estático linearizado (G_L).

A Tabela 2.1 resume os valores de razão cíclica e dos coeficientes linear e angular, com e sem implementação do bloco de linearização, para um caso particular adotado neste trabalho. Outros pontos de projetos poderiam ser escolhidos.

Tabela 2.1 – Parâmetros com e sem linearização.

<i>Parâmetros</i>	Sem Linearização	Com Linearização
Razão Cíclica CC (D_{CC})	0,5	0,3759
Razão Cíclica CA (D_{CA})	0,147	0,271
Razão Cíclica Máxima (D)	0,65	0,65
Coefficiente Linear (β)	-	1
Coefficiente Angular (α)	-	2,85

2.5 Esforços de Tensão e Corrente nos Semicondutores

Os esforços de tensão e de corrente nos semicondutores foram obtidos com base em [43]. A Tabela 2.2 apresenta o valor máximo da tensão e os valores médio e eficaz da corrente nos semicondutores do inversor *boost* a capacitor chaveado. Na tabela foi tomado como base o subconversor *A*, porém essas equações também são válidas para os semicondutores do subconversor *B*.

As equações de valor eficaz e médio da corrente dos interruptores são referentes ao período de comutação, sendo assim, elas devem ser integradas no período da rede. Nesta dissertação, não são apresentados os resultados da integração, por ser muito extenso e de difícil resolução analítica. Deve ser considerada a razão cíclica na saída do bloco de linearização (d_a) e a corrente no indutor de entrada (i_{La}) gerada com essa razão cíclica, ambas no domínio do tempo. O valor da tensão máxima é expresso em função do valor de pico da tensão de saída parcial (V_{apk}). A dedução dessas equações é exposta no Apêndice A.

Tabela 2.2 – Esforços de tensão e corrente nos semicondutores do SCDBI.

Semicondutor	Tensão	Corrente	
		Eficaz	Média
S_{1a} e S_{1b}	$\frac{V_{apk}}{2}$	$\frac{i_{La}}{2} \frac{(1+d_a)}{\sqrt{d_a}}$	$\frac{i_{La}}{2}(1+d_a)$
S_{2a} e S_{2b}	$\frac{V_{apk}}{2}$	$\frac{i_{La}}{2} \sqrt{1-d_a}$	$\frac{i_{La}}{2}(1-d_a)$
S_{3a} e S_{3b}	$\frac{V_{apk}}{2}$	$\frac{i_{La}}{2} \frac{(1-d_a)}{\sqrt{d_a}}$	$\frac{i_{La}}{2}(1-d_a)$
S_{4a} e S_{4b}	$\frac{V_{apk}}{2}$	$\frac{i_{La}}{2} \sqrt{1-d_a}$	$\frac{i_{La}}{2}(1-d_a)$

2.6 Dimensionamento do Estágio de Potência

Com base nas especificações de projeto apresentadas na Tabela 2.3, esta subseção apresenta o dimensionamento do estágio de potência.

Tabela 2.3 – Especificações para o dimensionamento do estágio de potência.

Especificações de projeto	
Tensão de entrada (V_i)	70 V
Valor eficaz da tensão de saída (V_{rms})	127 V
Potência de saída (P_o)	250 W
Ondulação percentual de corrente (Δ_{iL})	25%
Frequência de comutação (f_s)	50 kHz
Frequência de ressonância (f_{rC})	5 kHz
Ganho da célula multiplicadora (k)	2

2.6.1 Semicondutores

Os semicondutores utilizados foram escolhidos a partir dos esforços de tensão e de corrente. Ao integrar as equações das correntes expostas na Tabela 2.2, considerando a razão cíclica d_a e a corrente i_{La} com linearização e no domínio do tempo, obtêm-se os valores apresentados na Tabela 2.4. Os esforços de tensão são apresentados na Tabela 2.5. Os valores calculados foram comparados com os obtidos em simulação no *software PSIM®*.

O cálculo dos esforços nos semicondutores é de extrema dificuldade devido à presença da célula a capacitor chaveado. Apesar disso, o erro encontrado indica que a metodologia adotada é um bom parâmetro de projeto. O erro obtido ocorre principalmente devido a desconsideração do comportamento exponencial das correntes dos capacitores da célula *SC*.

Tabela 2.4 – Esforços de corrente nos semicondutores.

<i>Semicondutor</i>	<i>Calculado</i>	<i>Simulado</i>	<i>Erro</i>
<i>Valor Eficaz</i>			
S_{1a} e S_{1b}	9,135 A	9,513 A	3,97%
S_{2a} e S_{2b}	2,833 A	3,33 A	14,92%
S_{3a} e S_{3b}	3,167 A	4,08 A	22,37%
S_{4a} e S_{4b}	2,833 A	3,25 A	12,83%
<i>Valor Médio</i>			
S_{1a} e S_{1b}	2,147	1,94	-10,67%
S_{2a} e S_{2b}	0	0	0%
S_{3a} e S_{3b}	0	0	0%
S_{4a} e S_{4b}	0	0	0%

Tabela 2.5 – Esforços de tensão nos semicondutores.

<i>Semicondutor</i>	<i>Tensão de Pico</i>		
	<i>Calculado</i>	<i>Simulado</i>	<i>Erro</i>
S_{1a} e S_{1b}	199 V	195,85 V	-1,61%
S_{2a} e S_{2b}	199 V	195,78 V	-1,64%
S_{3a} e S_{3b}	199 V	188,12 V	-5,78%
S_{4a} e S_{4b}	199 V	188,12 V	-5,78%

Com base nos esforços de corrente e de tensão e na disponibilidade de componentes no laboratório, o semicondutor escolhido para os interruptores S_{1a} e S_{1b} foi o *MOSFET HEXFET IRFP4332Pbf* e para os demais interruptores o *MOSFET de Silicon Carbide STC2120A*. Na subseção 4.3.5 do Capítulo 4 é explicado o motivo da escolha de semicondutores diferentes para os interruptores S_{1a} e S_{1b} . As principais características dos semicondutores utilizados são expostas na Tabela 2.6.

Tabela 2.6 – Principais características dos semicondutores.

<i>IRFP4332Pbf</i>	
Tensão dreno-fonte	250 V
Corrente de dreno (100 °C)	40 A
Resistência de condução	29 mΩ
Intervalo de temperatura de operação	-40 °C a +175 °C
Encapsulamento	TO247AC
<i>STC2120A</i>	
Tensão dreno-fonte	650 V
Corrente de dreno (100 °C)	20 A
Resistência de condução	120 mΩ
Intervalo de temperatura de operação	-55 °C a +175 °C
Encapsulamento	TO220AB

2.6.2 Elementos Passivos

Com base nas especificações de projeto o valor da corrente de pico de saída é calculado conforme:

$$I_{opk} = \frac{2P_o}{V_{orms} \sqrt{2}} = 2,784 \quad (2.29)$$

A partir da equação (2.10), verifica-se que o valor de pico da corrente nos indutores de entrada é 15,8 A. Assim sendo, a partir de (2.13) encontra-se o valor da indutância igual a 230 μH. O Apêndice B apresenta o projeto físico dos indutores, com base em [49].

Com a equação definida em (2.16), obtém-se que o valor das capacitâncias da célula multiplicadora devem ser maior que 7 μF para garantir o funcionamento da célula *SC* no modo parcial. Devido à disponibilidade em laboratório foi utilizado o capacitor *C4AEHBW5200A3FJ* de 20 μF/600 V/5,3 mΩ. O valor da capacitância equivalente, calculada por (2.17), é igual a 59,43 μF.

O valor da indutância de filtro de saída, definido por (2.14), é 140 μH e o projeto físico, baseado em [49], é apresentado no Apêndice B.

A Tabela 2.7 apresenta o resumo dos componentes dimensionados nesta seção.

Tabela 2.7 – Resumo dos componentes dimensionados.

Interruptores (S_{2a} , S_{3b} , S_{3a} , S_{3b} , S_{4a} e S_{4b})	<i>IRFP4332Pbf</i>
Interruptores (S_{1a} e S_{1b})	<i>STC2120A</i>
Capacitores (C_{1a} , C_{1b} , C_{2a} , C_{2b} , C_{3a} e C_{3b})	20 μH <i>C4AEHBW5200A3FJ</i>
Indutores de Entrada (L_a e L_b)	230 μH Núcleo: APH46P60
Indutor de Saída (L_o)	140 μH Núcleo: APH33P60

2.7 Conclusão

Este capítulo abordou a análise estática do inversor *boost* a capacitor chaveado. As etapas de operação, bem como os pulsos de comando dos interruptores de potência foram apresentados para os semiciclos positivo e negativo da rede elétrica, sob modulação 3 níveis.

Os ganhos de cada subconversor e do *SCDBI* foram expostos, a partir dos quais pode-se evidenciar a generalização da célula *SC* e destacar o aumento do ganho estático quando mais células multiplicadoras são adicionadas a estrutura.

A modulação empregada permitiu que uma técnica de linearização fosse proposta. Com a utilização dessa técnica, o ganho estático do conversor *boost* permanece não linear, mas o sistema completo apresenta uma relação entrada/saída linear.

Também foram apresentadas as principais formas de onda, em baixa frequência, sem e com linearização, tendo sido verificada a possível diminuição da distorção harmônica nas tensões parciais v_a e v_b e na tensão de saída diferencial v_o .

Os esforços nos semicondutores foram calculados e comparados com os valores obtidos em simulação e apresentaram erro percentual devido a não consideração da exponencial da corrente na célula de capacitor chaveado.

Cabe ressaltar que o estágio de potência foi dimensionado e a indutância de saída necessária apresenta reduzido valor quando comparada com inversores tipo *buck*.

MODELAGEM E CONTROLE

Este capítulo apresenta a modelagem orientada ao controle do *SCDBI*, baseada em um circuito equivalente de ordem reduzida. Também é abordada a estratégia de controle e o dimensionamento do estágio de condicionamento de sinal.

3.1 Introdução

Os inversores para conexão com a rede elétrica necessitam que a corrente injetada seja controlada, de forma a apresentar uma boa qualidade em termos de distorção harmônica. Sendo assim, o projeto adequado dos controladores necessita de modelos matemáticos que representem o comportamento dinâmico do conversor.

O comportamento de conversores com células *SC*, devido à grande quantidade de elementos passivos, normalmente, é descrito por equações dinâmicas de ordem elevada. Neste trabalho, a modelagem é realizada considerando somente a dinâmica dominante de cada subconversor [39]. A subseção 3.2 apresenta a metodologia da modelagem simplificada adotada, orientada para obtenção da função de transferência que relaciona a variável a ser controlada (corrente de saída $-i_o$) com a variável de controle (razão cíclica $-d$).

Na seção 3.3 é exibida a estratégia de controle e nas seções 3.4 e 3.5 é apresentado o dimensionamento do estágio de condicionamento de sinal e uma conclusão parcial sobre este capítulo, respectivamente. Complementarmente, o Apêndice C apresenta a função de transferência, o projeto do compensador e os resultados em malha fechada com controle da tensão de saída diferencial com carga resistiva, resultado obtido para futura publicação em artigo.

3.2 Modelagem Orientada ao Controle

Conversores *boost* híbridos de ordem n , de acordo com [39], podem ser modelados considerando-se apenas a dinâmica dominante, representada pelo conversor simplificado de segunda ordem exposto na Figura 3.1, no

qual, r_{eq} é a resistência referenciada ao lado de alta tensão; C_{eq} a capacitância equivalente da célula multiplicadora, R_o a resistência de carga e L a indutância *boost*.

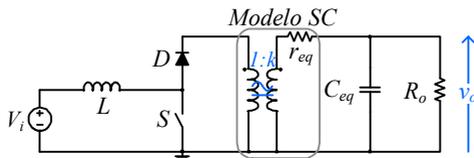


Figura 3.1 – Circuito equivalente do conversor *boost* híbrido.

O modelo comutado de ordem reduzida do *SCDBI* pode ser obtido a partir da conexão diferencial de dois desses conversores equivalentes, ambos refletidos ao lado de baixa tensão, conforme mostra a Figura 3.2.

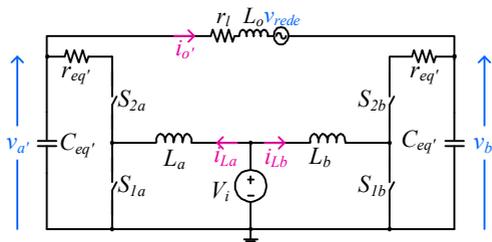


Figura 3.2 – Modelo comutado de ordem reduzida do *SCDBI*.

As tensões e as correntes que os interruptores estão submetidos podem ser descritas em função dos seus valores médios quase instantâneos [20], [50]. A metodologia adotada para obtenção da função de transferência desejada consiste na substituição dos interruptores de potência por esses valores médios, denotados pelo símbolo $\langle \rangle$, que foram equacionados a partir da análise das etapas de operação do modelo comutado, sob modulação três níveis. Os interruptores S_{1a} e S_{1b} serão substituídos por seu valor médio de tensão e os interruptores S_{2a} e S_{2b} pelo seu valor médio de corrente.

As subseções 3.2.1, 3.2.2, 3.2.3 e 3.2.4 apresentam a primeira, segunda, terceira e quarta etapas de operação, respectivamente, referentes ao semiciclo positivo da rede elétrica. A subseção 3.2.5 analisa os modelos equivalentes obtidos e exhibe a função de transferência desejada. A modelagem proposta é validada na subseção 3.2.6.

3.2.1 Primeira Etapa de Operação: $(D - \frac{1}{2})T_s$

O circuito equivalente da primeira etapa de operação é exposto na Figura 3.3. As equações referentes aos valores médios da tensão e da corrente dos interruptores são expressos em (3.1) e (3.2). A tensão no interruptor S_{1a} e a corrente no interruptor S_{2a} são nulas.

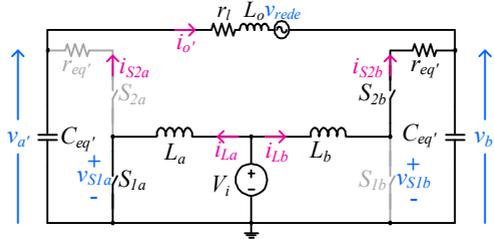


Figura 3.3 – Circuito equivalente da primeira etapa de operação.

$$\langle v_{S1b} \rangle = (r_{eq}' i_{Lb} + v_b') \left(d - \frac{1}{2} \right) \quad (3.1)$$

$$\langle i_{S2b} \rangle = i_{Lb} \left(d - \frac{1}{2} \right) \quad (3.2)$$

3.2.2 Segunda Etapa de Operação: $(1 - D)T_s$

A Figura 3.4 representa o circuito equivalente da segunda etapa de operação, na qual, é possível perceber que todas as variáveis em análise são nulas nessa etapa.

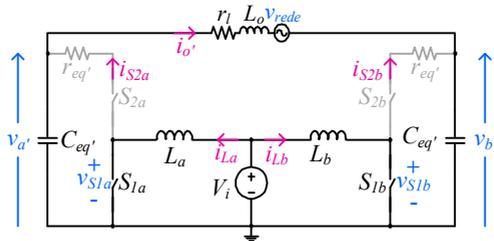


Figura 3.4 – Circuito equivalente da segunda etapa de operação.

3.2.3 Terceira Etapa de Operação: $(D - \frac{1}{2})T_s$

A configuração dos interruptores durante a terceira etapa de operação é ilustrada na Figura 3.5. As equações referentes a essa etapa são expostas em (3.3) e (3.4). A tensão no interruptor S_{1a} e a corrente no interruptor S_{2a} são nulas.

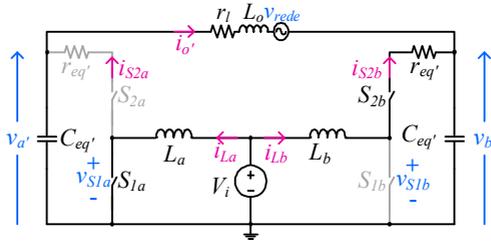


Figura 3.5 – Circuito equivalente da terceira etapa de operação.

$$\langle v_{S1b} \rangle = (r_{eq}' i_{Lb} + v_b') \left(d - \frac{1}{2} \right) \quad (3.3)$$

$$\langle i_{S2b} \rangle = i_{Lb} \left(d - \frac{1}{2} \right) \quad (3.4)$$

3.2.4 Quarta Etapa de Operação: $(1 - D)T_s$

A quarta etapa de operação é representada pelo circuito equivalente exibido na Figura 3.6, cujas equações que descrevem o valor médio de corrente e de tensão nos interruptores são expressas por:

$$\langle v_{S1a} \rangle = (r_{eq}' i_{La} + v_a') (1 - d), \quad (3.5)$$

$$\langle v_{S1b} \rangle = (r_{eq}' i_{Lb} + v_b') (1 - d), \quad (3.6)$$

$$\langle i_{S2a} \rangle = i_{La} (1 - d), \quad (3.7)$$

$$\langle i_{S2b} \rangle = i_{Lb} (1 - d), \quad (3.8)$$

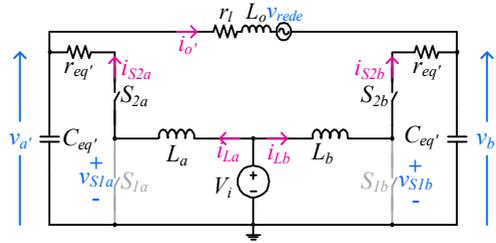


Figura 3.6 – Circuito equivalente da quarta etapa de operação.

3.2.5 Modelos Equivalentes e Função de Transferência

Ponderando-se os valores de tensão e de corrente anteriormente deduzidos pelos respectivos tempos de duração de cada etapa, obtêm-se os valores médios quase instantâneos das grandezas de interesse em cada um dos interruptores, conforme expressam (3.9) a (3.12). Com a substituição dos interruptores por fontes controladas designadas pelos valores médios quase instantâneos encontrados, é possível encontrar o modelo médio de grandes sinais que representa a topologia, conforme mostra a Figura 3.7

$$\langle v_{S1a} \rangle = (r_{eq'} i_{La} + v_a')(1-d), \quad (3.9)$$

$$\langle v_{S1b} \rangle = (r_{eq'} i_{Lb} + v_b')d, \quad (3.10)$$

$$\langle i_{S2a} \rangle = i_{La}(1-d), \quad (3.11)$$

e

$$\langle i_{S2b} \rangle = i_{Lb}d, \quad (3.12)$$

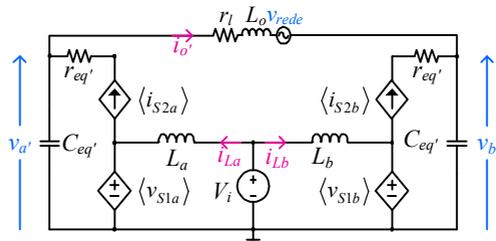


Figura 3.7 – Modelo médio de grandes sinais do SCDBI.

Ao assumir que as variáveis são compostas por um valor no ponto de operação acrescido de pequenas perturbações, determinadas de (3.13) a (3.21), é possível linearizar as equações (3.9), (3.10), (3.11) e (3.12).

$$v_{S1a} = V_{S1a} + \hat{v}_{S1a}, \quad (3.13)$$

$$v_{S1b} = V_{S1b} + \hat{v}_{S1b}, \quad (3.14)$$

$$i_{S2a} = I_{S2a} + \hat{i}_{S2a}, \quad (3.15)$$

$$i_{S2b} = I_{S2b} + \hat{i}_{S2b}, \quad (3.16)$$

$$v_a' = V_a' + \hat{v}_a', \quad (3.17)$$

$$v_b' = V_b' + \hat{v}_b', \quad (3.18)$$

$$i_{La} = I_{La} + \hat{i}_{La}, \quad (3.19)$$

$$i_{Lb} = I_{Lb} + \hat{i}_{Lb}, \quad (3.20)$$

$$d = D + \hat{d}. \quad (3.21)$$

Aplicando-se as equações de (3.13) a (3.21) em (3.9), (3.10), (3.11) e (3.12) obtêm-se:

$$V_{S1a} + \hat{v}_{S1a} = r_{eq}' \hat{i}_{La} (1 - D - \hat{d}) + r_{eq}' I_{La} (1 - D - \hat{d}) + \dots + V_a' (1 - D - \hat{d}) + \hat{v}_a' (1 - D - \hat{d}), \quad (3.22)$$

$$V_{S1b} + \hat{v}_{S1b} = r_{eq}' \hat{i}_{Lb} (D + \hat{d}) + r_{eq}' I_{Lb} (D + \hat{d}) + \dots + V_b' (D + \hat{d}) + \hat{v}_b' (D + \hat{d}), \quad (3.23)$$

$$I_{S2a} + \hat{i}_{S2a} = I_{La} (1 - D - \hat{d}) + \hat{i}_{La} (1 - D - \hat{d}), \quad (3.24)$$

$$I_{S2b} + \hat{i}_{S2b} = \hat{i}_{Lb} (D + \hat{d}) + I_{Lb} (D + \hat{d}). \quad (3.25)$$

A partir de (3.22), (3.23), (3.24) e (3.25) é possível extrair as equações que descrevem o comportamento do conversor no ponto de operação (modelo CC), expressas de (3.26) a (3.29). O circuito que representa o modelo CC é exposto na Figura 3.8.

$$V_{S1a} = (r_{eq}' I_{La} + V_a') (1 - D), \quad (3.26)$$

$$V_{S1b} = (r_{eq}' I_{Lb} + V_b') D, \quad (3.27)$$

$$I_{S2a} = I_{La} (1 - D), \quad (3.28)$$

e

$$I_{S2b} = I_{Lb} D, \quad (3.29)$$

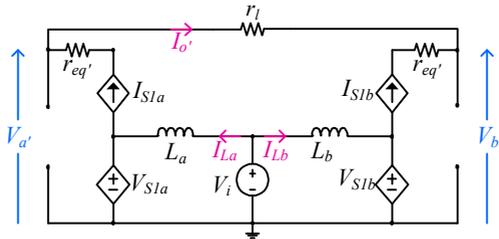


Figura 3.8 – Modelo equivalente CC do SCDBI.

As equações resultantes da análise do modelo CC são dadas por:

$$I_{La} = \frac{I_o}{(1-D)}, \quad (3.30)$$

$$I_{Lb} = \frac{-I_{La}(1-D)}{D}, \quad (3.31)$$

$$V_a' = \frac{V_i - r_{eq}' I_{La}(1-D)}{(1-D)}, \quad (3.32)$$

$$V_b' = \frac{V_i - r_{eq}' I_{Lb}D}{D}. \quad (3.33)$$

As equações de (3.34) a (3.37) descrevem a dinâmica da estrutura (modelo CA de pequenos sinais) e permite encontrar a função de transferência que relaciona a variável a ser controlada (\hat{i}_o) com a variável de controle (\hat{d}). Essas equações foram extraídas de (3.22), (3.23), (3.24) e (3.25), ao desprezar os termos CA de segunda ordem (produto de pequenas perturbações). A Figura 3.9 ilustra o modelo equivalente CA de pequenos sinais do *SCDBI*.

$$\hat{v}_{S1a} = (r_{eq}' \hat{i}_{La} + \hat{v}_a')(1-D) - (r_{eq}' I_{La} + V_a') \hat{d}, \quad (3.34)$$

$$\hat{v}_{S1b} = (r_{eq}' \hat{i}_{Lb} + \hat{v}_b')D + (r_{eq}' I_{Lb} + V_b') \hat{d}, \quad (3.35)$$

$$\hat{i}_{S2a} = \hat{i}_{La}(1-D) - I_{La}D, \quad (3.36)$$

e

$$I_{S2b} = \hat{i}_{Lb}D - I_{Lb}\hat{d}, \quad (3.37)$$

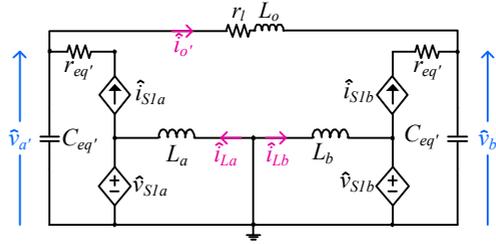


Figura 3.9 – Modelo equivalente CA de pequenos sinais do SCDBI.

Ao analisar o modelo CA de pequenos sinais, encontram-se os sistemas de equações dados por:

$$\begin{cases} \hat{v}_a' = \left[\hat{i}_{La} (1-D) - I_{La} \hat{d} - \hat{i}_o' \right] \frac{1}{sC_{eq}}, \\ sL_a \hat{i}_{La} = - \left[(r_{eq}' \hat{i}_{La} + \hat{v}_a') (1-D) - (r_{eq}' I_{La} + V_a') \hat{d} \right], \end{cases} \quad (3.38)$$

e

$$\begin{cases} \hat{v}_b' = \left(\hat{i}_{Lb} D + I_{Lb} \hat{d} + \hat{i}_o' \right) \frac{1}{sC_{eq}}, \\ sL_b \hat{i}_{Lb} = - \left[(r_{eq}' \hat{i}_{Lb} + \hat{v}_b') D + (r_{eq}' I_{Lb} + V_b') \hat{d} \right]. \end{cases} \quad (3.39)$$

O resultado dos sistemas de equações é expresso por:

$$\begin{aligned} \hat{v}_a' = & \frac{-L_a I_{La} s + V_a' (1-D)}{C_{eq}' L_a s^2 + C_{eq}' r_{eq}' (1-D) s + (1-D)^2} \hat{d} + \dots \\ & + \frac{-L_a s - r_{eq}' (1-D)}{C_{eq}' L_a s^2 + C_{eq}' r_{eq}' (1-D) s + (1-D)^2} \hat{i}_o', \end{aligned} \quad (3.40)$$

e

$$\begin{aligned} \hat{v}_b' = & \frac{L_b I_{Lb} s - V_b' D}{C_{eq}' L_b s^2 + C_{eq}' r_{eq}' D s + D^2} \hat{d} + \dots \\ & + \frac{L_b s + r_{eq}' D}{C_{eq}' L_b s^2 + C_{eq}' r_{eq}' D s + D^2} \hat{i}_o'. \end{aligned} \quad (3.41)$$

Como o modelo simplificado é referenciado ao lado de baixa tensão, é necessário corrigir as variáveis envolvidas, para que o ganho do modelo médio coincida com o *SCDBI*. Para tanto, as seguintes relações devem ser adotadas:

$$\begin{aligned}\hat{i}_o &= \frac{\hat{i}_o'}{k} \\ \hat{v}_a &= \hat{v}_a' k \\ \hat{v}_b &= \hat{v}_b' k\end{aligned}\quad (3.42)$$

A variável a ser controlada (\hat{i}_o) é dada por (3.43). Ao substituir (3.42) em (3.40) e (3.41) e o resultado encontrado em (3.43), obtém-se a função de transferência desejada, dada por (3.44) e cujos coeficientes são expostos na Tabela 3.1. Nessa análise foi considerado $L_a=L_b$. O código utilizado no *Matlab* para obtenção da função de transferência pode ser visto no Apêndice D.

$$\hat{i}_o = \frac{\hat{v}_a - \hat{v}_b}{sL_o + r_l} \quad (3.43)$$

$$G_{id}(s) = \frac{\hat{i}_o}{\hat{d}} = \frac{b_3 s^3 + b_2 s^2 + b_1 s + b_0}{a_5 s^5 + a_4 s^4 + a_3 s^3 + a_2 s^2 + a_1 s + a_0} \quad (3.44)$$

Tabela 3.1 – Coeficientes da função de transferência.

b_3	$-C_{eq} L_a^2 k (I_{La} + I_{Lb})$
b_2	$C_{eq} L_a V_a' k (1-D) - C_{eq}' I_{Lb} L_a k r_{eq}' (1-D) + C_{eq}' D L_a k (V_b' - I_{La} r_{eq}')$
b_1	$-D^2 L_a k (I_{La} + I_{Lb}) + I_{Lb} L_a k (2D-1) + C_{eq} D k r_{eq}' (V_a' + V_b') - \dots$ $C_{eq}' D^2 k r_{eq}' (V_a' + V_b')$
b_0	$D V_b' k + D^2 k (V_a' - 2V_b') + D^3 k (V_b - V_a)$
a_5	$C_{eq}^{\prime 2} L_a^2 L_o$
a_4	$C_{eq}^{\prime 2} L_a L_o r_{eq}' + C_{eq}^{\prime 2} r_l$
a_3	$L_o C_{eq}^{\prime 2} r_{eq}^{\prime 2} D (1-D) - 2 L_o C_{eq}' L_a D (1-D) + 2 k^2 C_{eq}' L_a^2 + \dots$
a_2	$L_o C_{eq}' L_a + C_{eq}^{\prime 2} L_a r_l$
a_1	$L_o C_{eq}' D r_{eq}' (1-D) + 2 L_a k^2 C_{eq}' r_{eq}' + C_{eq}^{\prime 2} D r_{eq}' r_l (1-D) - \dots$ $2 C_{eq}' L_a D r_l (1-D) + C_{eq}' L_a r_l$
a_0	$L_a k^2 + D^2 L_o (1-D)^2 - 2 D L_a k^2 (1-D) + 2 C_{eq} D k^2 r_{eq}^{\prime 2} (1-D) + \dots$ $C_{eq}' D r_{eq}' r_l (1-D)$
a_0	$k^2 r_{eq}' D (1-D) + r_l D^4 - 2 r_l D^3 + r_l D^2$

3.2.6 Validação da Modelagem Proposta

A modelagem proposta foi validada por simulação usando o *software PSIM®* e os parâmetros listados na Tabela 3.2, sendo o *SCDBI* submetido a uma pequena perturbação de razão cíclica (1%).

Tabela 3.2 – Parâmetros utilizados para validação da modelagem.

Tensão de entrada (V_i)	70 V
Valor de pico da corrente de saída ($I_{opk}=I_o$)	2,784
Capacitor equivalente (C_{eq})	59,43 μ F
Resistência equivalente (r_{eq})	0,216
Indutores de entrada (L_a e L_b)	230 μ H
Indutor de saída (L_o)	140 μ H
Resistência parasita (r_l)	0,2
Razão cíclica máxima (D)	0,65
Gain da célula (k)	2

A Figura 3.10 e a Figura 3.11 apresentam a validação das respostas dinâmicas, no domínio do tempo e no domínio da frequência, respectivamente, obtidas do *SCDBI* ($I_{o_comutado}$) e do modelo médio de pequenos sinais ($I_{o_médio}$). Observa-se que o modelo médio obtido representa de maneira satisfatória o inversor em análise.

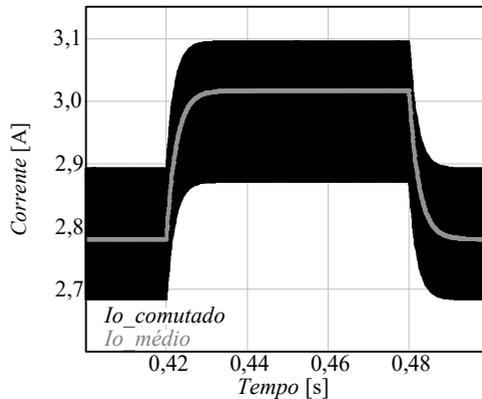


Figura 3.10 – Validação da função de transferência: domínio do tempo.

Pode-se destacar, na Figura 3.11, que a frequência de ressonância entre filtro de saída e capacitância equivalente mostra-se bem acentuada na resposta em frequência do inversor. A frequência escolhida para alocação da ressonância foi de 5 kHz, com o intuito de afastá-la da frequência da rede (60 Hz) e da frequência de comutação (50 kHz) e, assim, facilitar o projeto do controlador.

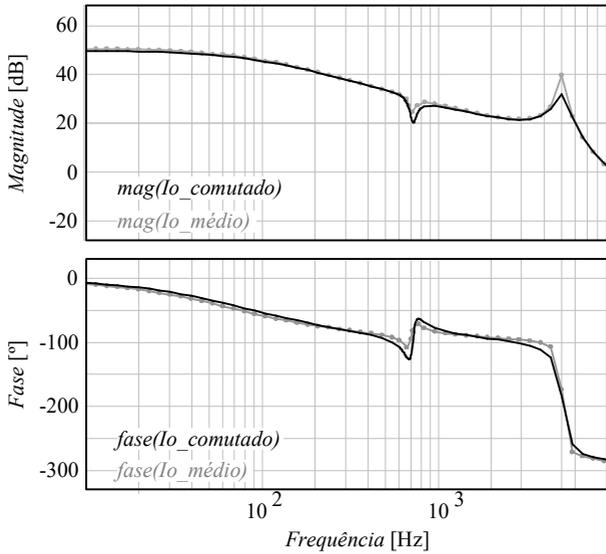


Figura 3.11 – Validação da função de transferência: domínio da frequência.

A Figura 3.12 apresenta a validação da função de transferência para $k=5$, no domínio do tempo, Figura 3.12 (a), e no domínio da frequência, Figura 3.12 (b). Foi considerado, na validação, valor de pico da tensão de saída igual a 450 V e foi mantido o mesmo valor de razão cíclica e dos componentes. Nota-se que o modelo começa a apresentar mais variações, porém ainda descreve adequadamente o *SCDBI*.

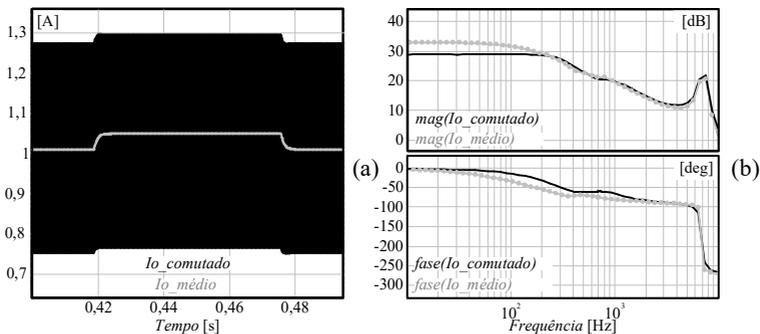


Figura 3.12 – Validação do modelo para $k=5$: (a) domínio do tempo e (b) domínio da frequência

3.3 Estratégia de Controle da Corrente Injetada na Rede Elétrica

A finalidade do inversor proposto é injetar corrente na rede elétrica respeitando os limites das normas vigentes. Para isso é necessário que a corrente esteja em fase com a tensão da rede e possua reduzida distorção harmônica.

Dessa forma, é necessário gerar uma referência de corrente senoidal que possua a mesma fase da tensão da rede elétrica. A estratégia adotada para gerar essa referência será detalhada na subseção 3.3.2.

A Figura 3.13 apresenta o estágio de potência do *SCDBI* com a malha de controle da corrente injetada na rede. A estratégia adotada é a utilização de uma malha de *feedforward* para compensar a perturbação gerada pela rede elétrica junto com um controlador proporcional-integral (PI) com adição de um polo extra, representado na figura por $H(s)$. O projeto do controlador será abordado na subseção 3.3.1. O controlador PI foi adotado para que haja seguimento da referência e o polo extra para atenuar o efeito da ressonância entre indutor de saída e capacitância equivalente.

Vale destacar que o controlador com a malha de *feedforward* gera a razão cíclica *CA* (D_{CA}), que deve ser invertida para o subconversor *B*. Posteriormente, a razão cíclica *CC* (D_{CC}) deve ser adicionada antes do bloco de linearização (*Linear.*). A saída do bloco é conectada ao modulador três níveis (3N-*PWM*), abordado na subseção 3.3.3, o qual gera os pulsos de comando dos interruptores de cada subconversor.

Outra estratégia para controle da corrente seria utilizar um controlador ressonante, porém, devido a não idealidade da rede elétrica, seria necessário projetar controladores ressonantes em várias frequências múltiplas de 60 Hz, o que dificultaria a implementação, além do problema de discretização do controlador ressonante. A transformada de Tustin, normalmente empregada, desloca a frequência de ressonância, sendo assim, a utilização de outras transformadas seria necessária [51]-[52].

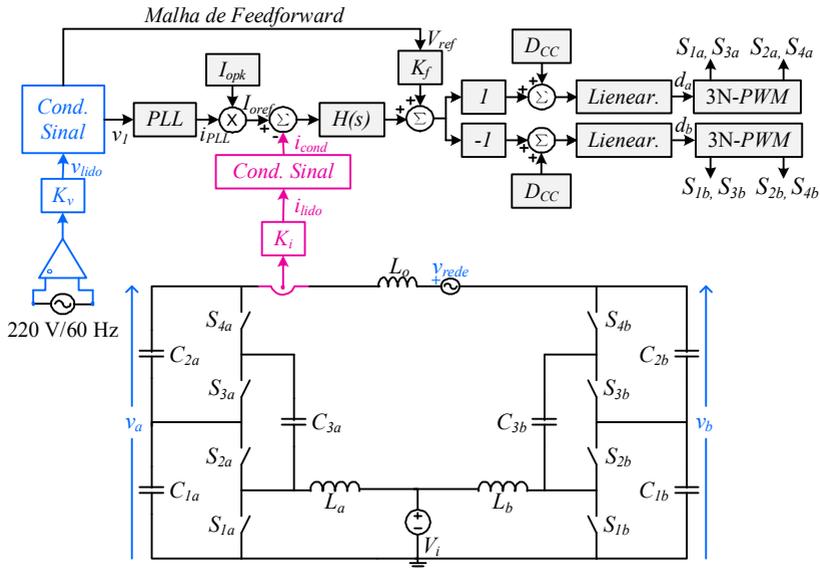


Figura 3.13 – Estágio de potência com estratégia para controle da corrente injetada na rede elétrica.

3.3.1 Projeto do Controlador

A Figura 3.14 apresenta o diagrama de blocos simplificado para controle da corrente injetada na rede elétrica.

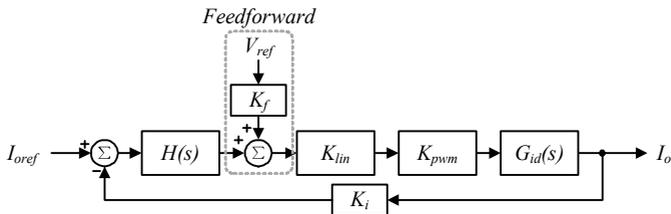


Figura 3.14 – Diagrama de blocos simplificado para controle da corrente injetada na rede elétrica.

A tensão de referência (V_{ref}) gerada para a malha de *feedforward* tem amplitude igual a 1 e é multiplicada por um ganho K_f , cujo valor é o índice de modulação, ou seja, a própria razão cíclica CA (D_{CA}), $K_f=0,27$.

O projeto do controlador PI foi realizado empregando-se o método

da resposta em frequência. A função $H(s)$ é composta pela função de transferência do controlador PI, $C_i(s)$, multiplicada pelo polo extra, $P(s)$, dada por (3.45).

$$H(s) = C_i(s)P(s) = \frac{K_c(s + \omega_z)}{s} \frac{1}{(s + \omega_p)} \quad (3.45)$$

Sabendo-se que um polo gera atenuação de -20dB por década, o alocou-se na frequência de 1,5 kHz para atenuar o efeito da ressonância entre indutor de saída e o capacitor equivalente em 5 kHz, que está localizada na frequência ω_p de 9425 rad/s. O efeito do polo extra foi considerado na função de transferência de laço aberto não compensada, $FTLA_{NCi}(s)$, obtida a partir da Figura 3.14 e expressa por:

$$FTLA_{NCi}(s) = K_{pwm} K_i K_{lin} P(s) G_{id}(s), \quad (3.46)$$

onde:

K_{pwm} é o ganho do modulador 3N-PWM;

K_i é o ganho do sensor de corrente;

K_{lin} é o ganho do bloco de linearização.

Os ganhos K_{pwm} e K_i foram considerados iguais a 1 para o projeto do controlador. O efeito do modulador e do sensor de corrente foram compensados dentro do processador de sinal utilizado para implementar o controle, de forma, que o controlador enxergasse essas variáveis com ganho unitário. O ganho K_{lin} é o valor médio da função de linearização, igual a 0,48.

A função de transferência de laço aberto compensada, $FTLA_{Ci}(s)$, é determinada em (3.47).

$$FTLA_{Ci}(s) = C_i(s)FTLA_{NCi}(s), \quad (3.47)$$

Ao utilizar a condição de pertinência de módulo, expressa em (3.48), o conceito de margem de fase, exposto em (3.49), e sabendo que em regime permanente senoidal $s=j\omega$, sendo ω substituído pela frequência de corte ω_c ,

é possível encontrar as equações para calcular o ganho K_c e a frequência ω_z do compensador, definidas em (3.50) e (3.51), respectivamente.

$$|FTLA_{Ci}(\omega_c)| = 1, \quad (3.48)$$

$$M_\phi = 180^\circ + \angle FTLA_{Ci}(\omega_c), \quad (3.49)$$

$$K_c = \frac{\omega_c}{\sqrt{\omega_c^2 + \omega_z^2} |FTLA_{NCi}(\omega_c)|}, \quad (3.50)$$

$$\omega_z = \frac{\omega_c}{\text{tg}[M_\phi - 90^\circ - \angle FTLA_{NCi}(\omega_c)]} \quad (3.51)$$

A margem de fase (M_ϕ) foi alocada em 60° e a frequência de cruzamento f_c em 800 Hz ($\omega_c=5027$ rad/s), o que resultou em um K_c igual a 817 e ω_z igual a 2524 rad/s. Sendo assim, é possível o controlador projetado é representado por:

$$H(s) = C_i(s)P(s) = \frac{817(s+2524)}{s} \frac{1}{(s+9425)} \quad (3.52)$$

A Figura 3.15 apresenta o diagrama de Bode da malha de controle da corrente após compensação, a partir da qual verifica-se que a frequência de cruzamento ocorreu em 800 Hz (5027 rad/s) e a margem de fase é de 60° , satisfazendo as especificações de projeto.

A função de transferência determinada em (3.52) foi discretizada com a utilização da transformada de Tustin e frequência de amostragem de 50 kHz, conforme (3.53). A rotina de código implementada na experimentação é apresentada no Apêndice E.

$$H(z) = \frac{0,007556z^2 + 0,0003769z - 0,007279}{z^2 - 1,828z + 0,8277} \quad (3.53)$$

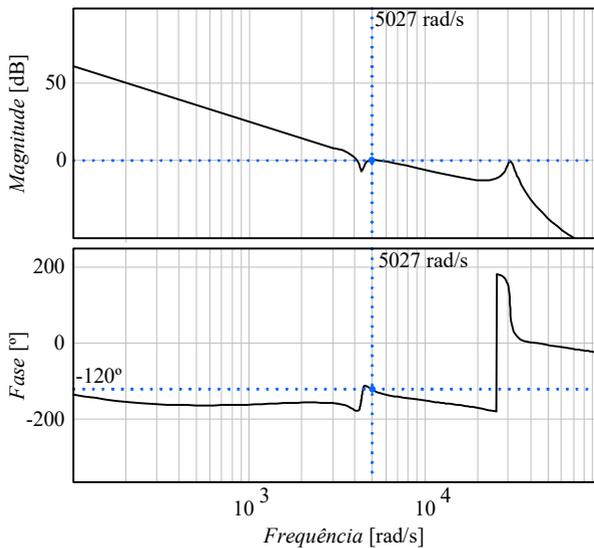


Figura 3.15 – Diagrama de Bode da malha de controle da corrente após compensação.

3.3.2 Estratégia para Detecção de Fase da Rede Elétrica

O sinal de referência de corrente (I_{ref}) é responsável pela sincronização da corrente injetada com a tensão da rede elétrica. Existem diversas maneiras para se gerar esse sinal [53]-[57]. Neste trabalho foi adotado o laço de travamento de fase monofásico, denominado na literatura como *phase locked loop* (*PLL*), proposto em [54], [55].

O circuito *PLL* monofásico simplificado proposto em [54], [55] e adotado nesse trabalho é obtido por meio de um *PLL* trifásico, o qual emula o cálculo interno das potências em duas fases fictícias. Sabe-se que as tensões e as corrente de fase de um sistema trifásico são dadas por (3.54) e (3.55), respectivamente, e que a potência instantânea de um sistema trifásico balanceado ($p_{3\phi}$) é definida por (3.56).

$$\begin{aligned}
 v_1 &= V_p \text{sen}(\theta_1) \\
 v_2 &= V_p \text{sen}(\theta_1 - 120^\circ) \\
 v_3 &= V_p \text{sen}(\theta_1 + 120^\circ)
 \end{aligned} \tag{3.54}$$

$$\begin{aligned}
 i_1 &= I_p \text{sen}(\theta_2) \\
 i_2 &= I_p \text{sen}(\theta_2 - 120^\circ) \\
 i_3 &= I_p \text{sen}(\theta_2 + 120^\circ)
 \end{aligned} \tag{3.55}$$

$$p_{3\phi} = p_1 + p_2 + p_3 = v_1 i_1 + v_2 i_2 + v_3 i_3 \tag{3.56}$$

Ao substituir (3.54) e (3.55) em (3.56), encontra-se a potência trifásica, expressa por:

$$p_{3\phi} = \frac{3}{2} V_p I_p \cos(\theta_1 - \theta_2) \tag{3.57}$$

A tensão da primeira fase (v_1) é a tensão da rede elétrica lida por um sensor de tensão, cujo condicionamento de sinal será abordado na seção 3.4, e a corrente i_1 é gerada internamente pela *PLL*. Sendo assim, é necessário obter a expressão que emula a potência das segunda e terceira fases.

A soma das potências da segunda e da terceira fase é dada por (3.58). Substituindo (3.54) e (3.55), com amplitudes unitárias, em (3.58), obtém-se a expressão para gerar internamente a soma das potências necessárias, exibida em (3.59).

$$p_2 + p_3 = v_2 i_2 + v_3 i_3 \tag{3.58}$$

$$p_2 + p_3 = \frac{1}{2} \text{sen}(2\theta_2) \tag{3.59}$$

A Figura 3.16 apresenta o circuito *PLL* monofásico simplificado para geração da corrente de referência. O sinal de saída da *PLL* (i_{PLL}) é multiplicado pelo valor de pico da corrente de saída desejada. Essa multiplicação gera o sinal de referência I_{oref} , o qual é utilizado na malha de controle da corrente de saída.

A Figura 3.17 apresenta o resultados de simulação obtidos no software *PSIM*® a partir do circuito *PLL* monofásico simplificado projetado. Nota-se que decorrem em torno de 10 ciclos de rede para a corrente (i_{PLL}) entrar em fase com a tensão lida (v_l). A rotina de código implementada é apresentada no Apêndice E.

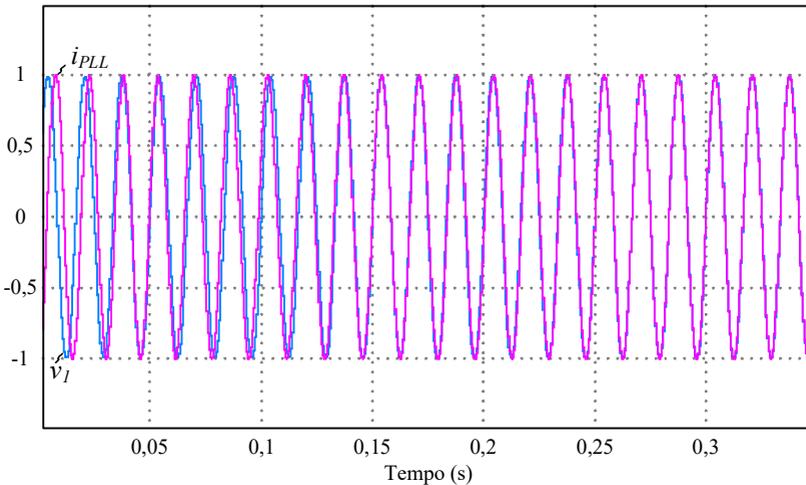


Figura 3.17 – Resultado de Simulação: tensão lida v_l e corrente de saída do circuito *PLL* monofásico simplificado i_{PLL} .

3.3.3 Modulador 3N-*PWM*

O circuito modulador gera um sinal lógico periódico, com frequência f_s , para comandar os interruptores do inversor a conduzir ou bloquear. A Figura 3.18 (a) apresenta o circuito de comparação para geração dos pulsos de comando do subconversor *A*. O sinal de entrada do circuito modulador é o sinal modulante disponibilizado na saída do bloco de linearização (d_a). Esse sinal é comparado com uma portadora, nesse caso, uma onda triangular (v_{trig}). A frequência de comutação do interruptor (f_s) é determinada pela frequência da portadora.

Os pulsos de comando dos interruptores do subconversor *A* são apresentados na Figura 3.18 (b). Para os interruptores S_{1a} e S_{3a} , quando o sinal modulante é maior que a portadora, o nível lógico é alto e o interruptor conduz, caso contrário, é nulo e o interruptor bloqueia. O pulso de comando dos interruptores S_{2a} e S_{4a} é complementar ao dos interruptores S_{1a} e S_{3a} . Para o subconversor *B* a geração dos pulsos de comando é similar, porém com sinal modulante (d_b) defasado de 180° em relação a d_a .

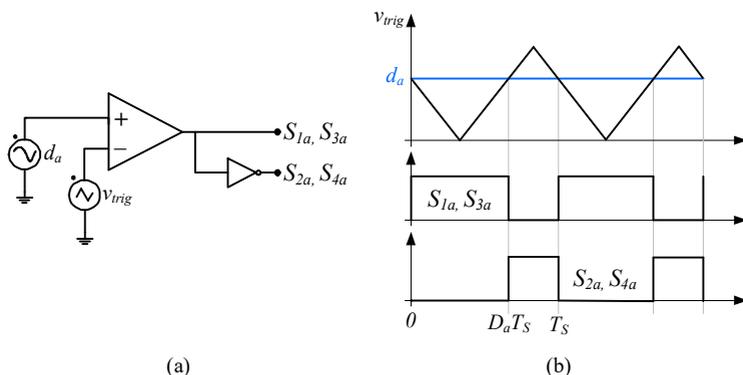


Figura 3.18 – Modulador 3N-PWM: (a) circuito de comparação e (b) resultado da comparação entre portadora e moduladora.

3.4 Dimensionamento do Estágio de Condicionamento de Sinal

3.4.1 Circuito de Condicionamento de Sinal para Medição de Tensão

O circuito utilizado para o condicionamento de sinal da tensão lida é exposto na Figura 3.19. Por disponibilidade em laboratório, para leitura da tensão foi utilizado o sensor de efeito Hall, do fabricante LEM, modelo LV 25-P, cujas principais características são expostas na Tabela 3.3.

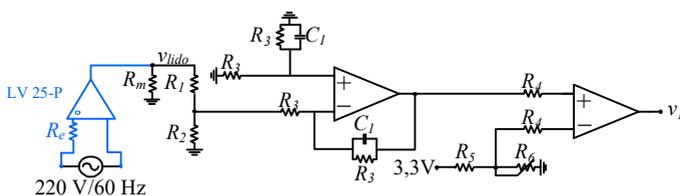


Figura 3.19 – Circuito para condicionamento de sinal da tensão lida.

Tabela 3.3 – Principais características do sensor LV 25-P.

Valor eficaz nominal da corrente no primário (I_{PN})	10 mA	
Range de medida da corrente no primário (I_{PM})	0 ± 14 mA	
Resistência de medida (R_m)	$R_{m \min}$	$R_{m \max}$
Com ±12 V	±10 mA max	30 Ω
	±14 mA max	190 Ω
Com ±15 V	±10 mA max	30 Ω
	±14 mA max	100 Ω
	100 Ω	350 Ω
	100 Ω	190 Ω
Valor eficaz nominal da corrente no secundário (I_{SN})	25 mA	
Relação de Transformação (K_N)	2500:1000	

O sensor utilizado possui entrada e saída em corrente, o que torna necessário a utilização de um resistor de entrada (R_e), calculado por (3.62), e um resistor de medida (R_m), determinado pela tensão de alimentação do sensor.

$$R_e \geq \frac{V_{pk}}{I_{PN}}, \quad (3.62)$$

onde: V_{pk} é o valor de pico da tensão lida.

O valor da tensão de pico lida é 311 V. Ao considerar a corrente máxima no primário igual a 10 mA, encontra-se que a resistência de entrada (R_e) deve ser maior 31,1 k Ω . Na implementação prática utilizou-se 36 k Ω .

O sensor de tensão foi alimentado com ± 15 V e o resistor de medida utilizado foi de 180 Ω . Os resistores R_1 e R_2 formam um divisor resistivo, e foram ajustados para dividir v_{lido} por quatro. O valor de R_1 é 20 k Ω e de R_2 é 6,8 k Ω .

A função de transferência do filtro passa baixa (FPB) utilizado é dada por (3.63). A frequência de corte (f_{cf}) escolhida foi 7 kHz e o valor do resistor R_3 foi 1 M Ω , o que resultou em uma capacitância de 22 pF, conforme (3.64).

$$F(s) = \frac{1/R_3 C_1}{s + 1/R_3 C_1}. \quad (3.63)$$

$$C_1 = \frac{1}{2\pi f_{cf} R_3}. \quad (3.64)$$

O resistor R_5 e o potenciômetro R_6 compõem um divisor resistivo de tensão, para gerar um *offset* de 1,5 V. Os valores referidas resistências são de 1,2 k Ω e 5 k Ω , respectivamente. A resistência R_4 escolhida foi de 1 M Ω . O esquemático completo da placa de condicionamento de sinal com os valores dos componentes utilizados encontra-se no Apêndice F.

3.4.2 Circuito de Condicionamento de Sinal para Medição de Corrente

A Figura 3.20 apresenta o circuito para o condicionamento de sinal da corrente lida. O sensor de corrente utilizado é de efeito Hall, com entrada e saída em corrente, do fabricante LEM, modelo LA 25-P, suas principais características são expostas na Tabela 3.4.

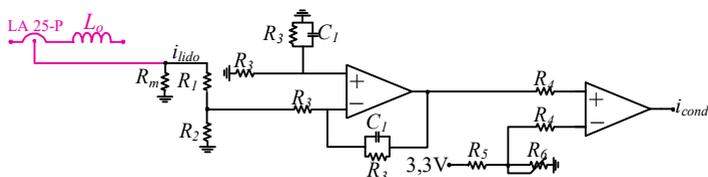


Figura 3.20 – Circuito para condicionamento de sinal da corrente lida.

Tabela 3.4 – Principais características do sensor LA 25-P.

Valor eficaz nominal da corrente no primário (I_{PN})	25 A	
Range de medida da corrente no primário (I_{PM})	0 ± 55 A	
Resistência de medida (R_m)	$R_{m \min}$	$R_{m \max}$
Com ± 12 V	± 25 A _{max}	10 Ω 280 Ω
	± 55 A _{max}	10 Ω 80 Ω
Com ± 15 V	± 25 A _{max}	50 Ω 400 Ω
	± 55 A _{max}	50 Ω 140 Ω
Valor eficaz nominal da corrente no secundário (I_{SN})	25 mA	
Relação de Transformação (K_N)	1:1000	

O resistor de medida (R_m) utilizado, ao considerar uma tensão de alimentação de ± 15 V, foi 150 Ω . O divisor resistivo composto pelos resistores R_1 e R_2 foram ajustados para dividir i_{lido} por três. O valor de R_1 é 20 k Ω e de R_2 é 10 k Ω .

Os valores dos componentes do filtro passa baixas e do circuito de *offset* são os mesmos do condicionamento de sinal da tensão lida. O esquemático completo da placa de condicionamento de sinal, com os valores dos componentes encontra-se no Apêndice F. Os ganhos gerados em ambos os condicionamentos de sinais foram retirados via código no processador de sinais utilizado em laboratório.

3.5 Conclusão

Este capítulo apresentou a modelagem e o controle adotados para o *SCDBI*. A metodologia de modelagem orientada ao controle da corrente de

saída baseou-se em um circuito equivalente de ordem reduzida e na substituição dos interruptores de potência por seus valores médios quase instantâneo de tensão e de corrente. Os modelos matemáticos obtidos possibilitaram a dedução da função de transferência desejada.

A modelagem proposta foi validada no domínio do tempo e no domínio da frequência, no *software PSIM®*, a partir da comparação do modelo comutado com o modelo médio de pequenos sinais, e apresentou resposta satisfatória em ambos os domínios analisados.

A modelagem adequada, em conjunto com a técnica de linearização, possibilitou com que o compensador utilizado fosse projetado com técnicas lineares de controle. Este capítulo apresentou o projeto do controlador PI com adição de um polo extra e malha de *feedforward* implementados para regular a corrente injetada na rede elétrica. O capítulo também abordou o projeto do circuito *PLL* monofásico e modulador adotado. Por fim, o dimensionamento do estágio de condicionamento de sinal da corrente e da tensão lida foram expostos e analisados nesse capítulo.

PROTÓTIPOS E RESULTADOS

Este capítulo apresenta o protótipo construído, os testes em laboratório e resultados de experimentação e de simulação, com o intuito de validar os estudos dos capítulos anteriores.

4.1 Introdução

Após o estudo teórico abordado nos capítulos precedentes, simulou-se o sistema e projetou-se o protótipo. Os resultados de simulação e experimentação são apresentados juntos e as formas de onda foram obtidas a partir do *software PSIM®* e do osciloscópio *Tektronics DPO 5034B*, respectivamente.

O protótipo implementado é apresentado na seção 4.2 e seus respectivos esquemáticos no Apêndice F. A seção 4.3 aborda os resultados de simulação e de experimentação da operação como inversor autônomo e da conexão com a rede elétrica, com variações da tensão de entrada. Além disso, apresenta-se a análise da linearização estática, da qualidade da corrente injetada na rede e das curvas de rendimento. A qualidade da corrente injetada na rede, bem como seu enquadramento nas normas vigentes, é constatada através da análise harmônica. Os valores de *THD* e das componentes harmônicas apresentados neste capítulo foram adquiridos com o uso do analisador de energia Yokogawa WT1800.

4.2 Protótipo

O protótipo implementado em laboratório para a validação experimental do estudo é ilustrado na Figura 4.1. As especificações de projeto são expostas na Tabela 4.1 e os principais componentes utilizados são apresentados na Tabela 4.2.

Tabela 4.1 – Especificações de potência.

Tensão de entrada (V_i)	70 V
Valor eficaz da tensão de saída (V_{orms})	127 V
Potência de saída (P_o)	250 W
Ondulação percentual de corrente (Δ_{IL})	25%
Frequência de comutação (f_s)	50 kHz
Frequência de ressonância (f_{LC})	5 kHz
Ganho da célula multiplicadora (k)	2

O protótipo foi dividido em:

- Estágio de potência (250 W): composto pelo inversor *boost* a capacitor chaveado, *drivers* para acionamento dos interruptores de potência e sensor de corrente;
- Controle e condicionamento de sinal: compostos por circuitos de condicionamento, processador de sinal TMS320F28069 (*Texas Instruments*) e sensor de tensão.
- Fontes auxiliares: composta por retificadores e reguladores lineares que fornecem as tensões +15 V, -15 V e 5 V.

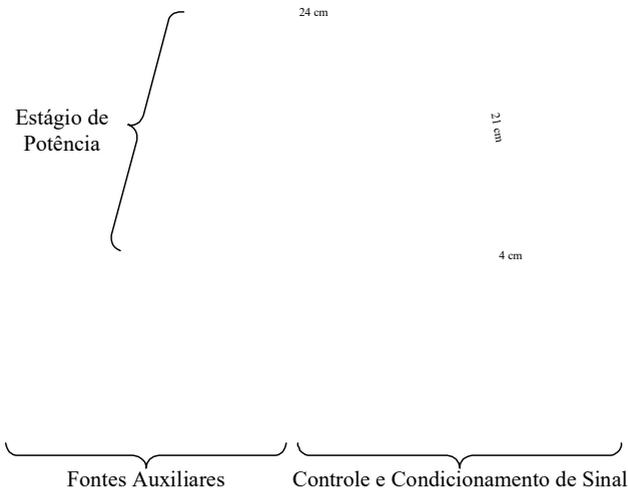


Figura 4.1 – Protótipos: estágio de potência (250 W), fontes auxiliares e controle e condicionamento de sinal.

Tabela 4.2 – Principais componentes utilizados no protótipo.

Indutores de entrada (L_i)	230 μ H Núcleo: APH46P60 Nº de espiras: 41 Fio: Litz 982x41 AWG
Indutor de saída (L_o)	140 μ H Núcleo: APH33P60 Nº de espiras: 47 Fio: Litz 150x38 AWG
Capacitores (C_{1a} , C_{1b} , C_{2a} , C_{2b} , C_{3a} e C_{3b})	20 μ F (600 V) C4AEHBW5200A3FJ
Interruptores (S_{1a} e S_{1b})	IRFP4332Pbf 300 V/40 A $R_{ds(on)}$: 29 m Ω
Interruptores (S_{2a} , S_{2b} , S_{3a} , S_{3b} , S_{4a} e S_{4b})	SCT2120AF 650 V/29 A $R_{ds(on)}$: 120 m Ω
Sensor de tensão	LV25P
Sensor de Corrente	LA25P
Processador Digital de Sinais	TMS320F28069

4.3 Resultados de Simulação e Experimentação

Os resultados de simulação e experimentação foram divididos em cinco subseções. A subseção 4.3.1 mostra a operação como inversor autônomo. A subseção 4.3.2 apresenta a análise da linearização estática. Na subseção 4.3.3 é abordado o inversor conectado à rede elétrica com variações da tensão de entrada. Por fim, as subseções 4.3.4 e 4.3.5 analisam a qualidade da corrente injetada na rede elétrica e as curvas de rendimento.

4.3.1 Operação como Inversor

Inicialmente, o inversor foi testado desconectado da rede elétrica, com a malha de corrente habilitada, uma carga resistiva e tensão de entrada de 70 V. Os resultados provenientes dos testes práticos e das simulações estão organizados de forma idêntica para facilitar a comparação. Este teste validou a operação como inversor, o bloco de linearização e a modulação 3 níveis, com a malha de *feedforward* desabilitada.

O inversor impôs uma corrente de saída (i_o) com valor de pico de 2,8 A numa resistência de 65 Ω , o que gerou uma tensão (v_o) com valor de pico de 180 V e valor eficaz de 127 V, como visto na Figura 4.2. As duas variáveis apresentaram uma *THD* de 1% no resultado de experimentação e 1,29% no resultado de simulação.

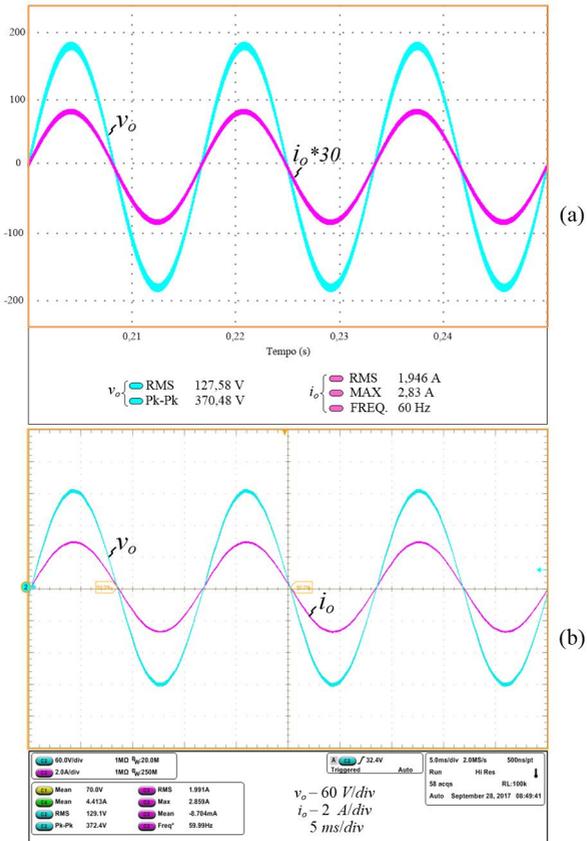


Figura 4.2 – Tensão (v_o) e corrente (i_o) de saída - a) simulação e b) experimentação.

A Figura 4.3 apresenta a tensão de entrada (V_i), as tensões de saída parciais (v_a e v_b) e a tensão de saída diferencial (v_o). Pode-se observar que, devido à linearização, as tensões de saída dos subconversores (v_a e v_b) e a tensão de saída diferencial (v_o) apresentam formato senoidal. Além disso, as tensões parciais são sempre superiores à tensão de entrada, evidenciando a característica elevadora.

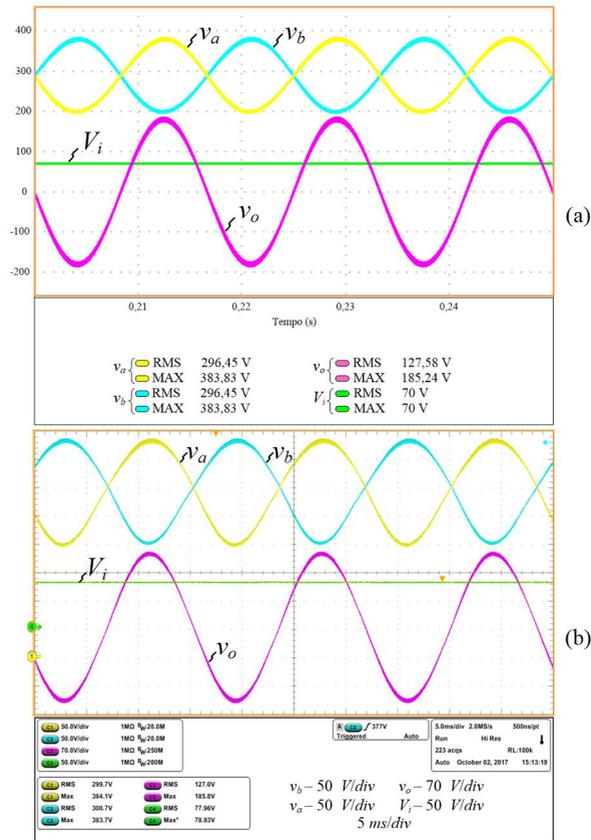


Figura 4.3 – Tensões de saída parciais v_a e v_b , tensão de saída diferencial v_o e tensão de entrada V_i - a) simulação e b) experimentação.

Na Figura 4.4 são ilustradas as tensões de saída do conversor *boost* ($v_{a'}$ e $v_{b'}$), juntamente com as tensões parciais de cada subconversor (v_a e v_b), para enfatizar o efeito da célula *SC*. Observa-se que, como desejado, a célula multiplicadora duplica a tensão de saída de cada conversor *boost*.

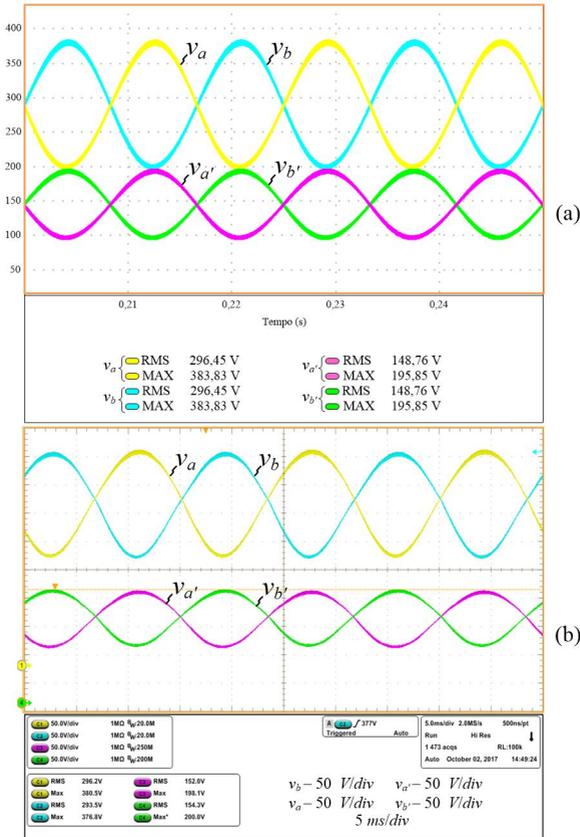


Figura 4.4 – Tensão de saída de cada subconversor v_a e v_b e tensão de saída do estágio *boost* $v_{a'}$ e $v_{b'}$: a) simulação e b) experimentação.

A Figura 4.5 exibe a corrente nos indutores (i_{La} e i_{Lb}) e a corrente de entrada (i_{in}). Nota-se que a ondulação em alta frequência nos indutores L_a e L_b é 4,8 A. A corrente i_{in} é a soma das correntes i_{La} e i_{Lb} e apresenta uma ondulação de 120 Hz típica de inversores monofásicos.

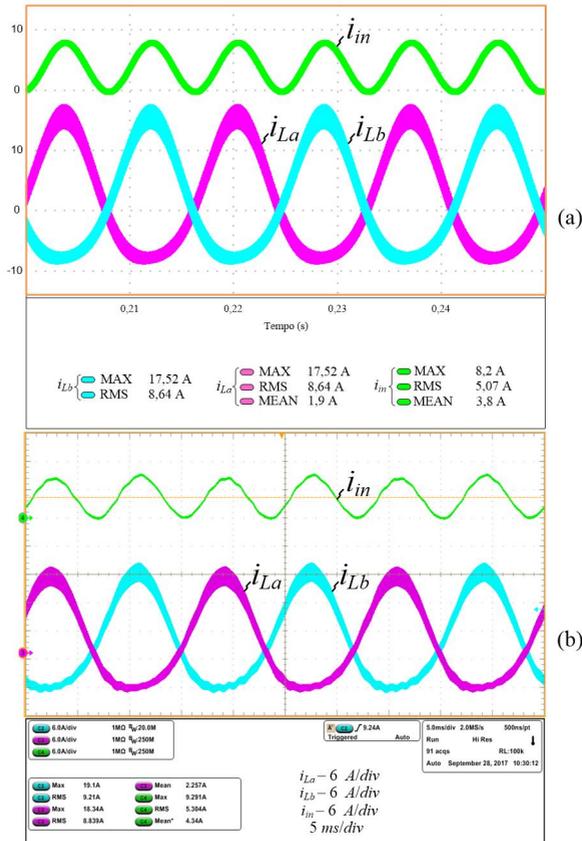


Figura 4.5 – Corrente de entrada i_{in} e corrente nos indutores i_{La} e i_{Lb} - a) simulação e b) experimentação.

A tensão sobre os interruptores na frequência da rede e na frequência de comutação do subconversor A é apresentada na Figura 4.6 e na Figura 4.7, respectivamente. É possível verificar que a o valor máximo da tensão sobre os interruptores é aproximadamente igual à metade da tensão de saída de cada subconversor (195 V), devido à célula multiplicadora. No inversor *boost* clássico os esforços seriam teoricamente o dobro. Ademais, a Figura 4.7 evidencia que os interruptores S_{1a} e S_{2a} são complementares, assim como os interruptores S_{3a} e S_{4a} .

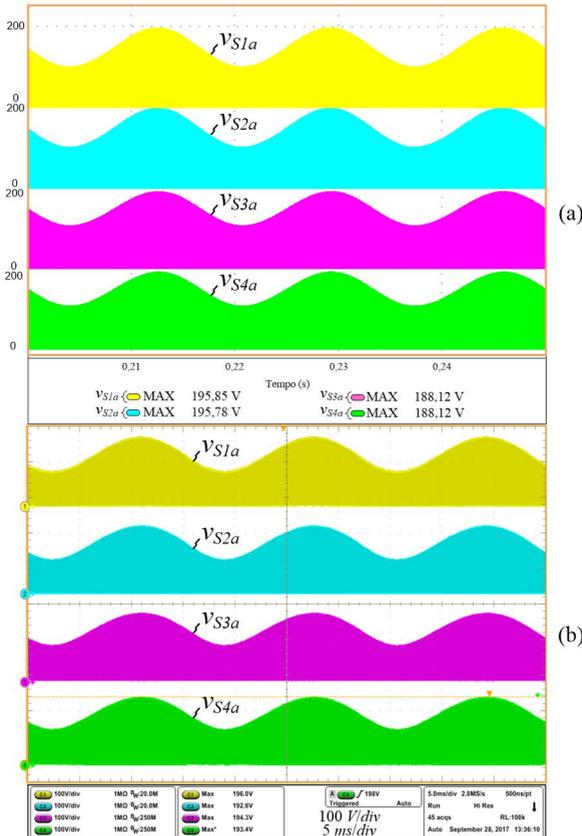


Figura 4.6 Tensão sobre os interruptores v_{S1a} , v_{S2a} , v_{S3a} , v_{S4a} - a) simulação e b) experimentação.

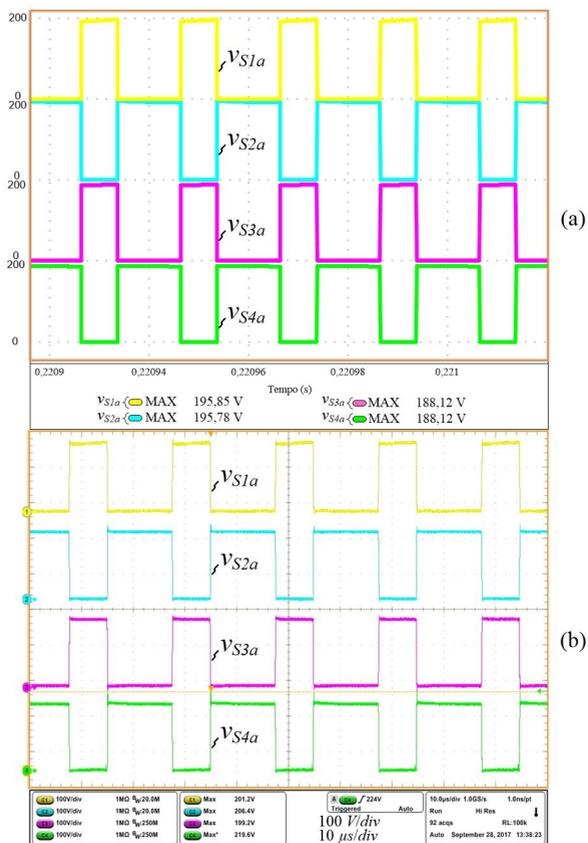


Figura 4.7 – Detalhes da tensão sobre os interruptores V_{S1a} , V_{S2a} , V_{S3a} , V_{S4a} - a) simulação e b) experimentação..

A Figura 4.8 apresenta a corrente no capacitor chaveado C_{3a} na frequência da rede elétrica. A Figura 4.9 e a Figura 4.10 ilustram o detalhe da corrente na frequência de comutação. Verifica-se que o decaimento exponencial da corrente não atinge o regime permanente, indicando a operação da célula SC no modo de carga parcial, de acordo com o projetado.

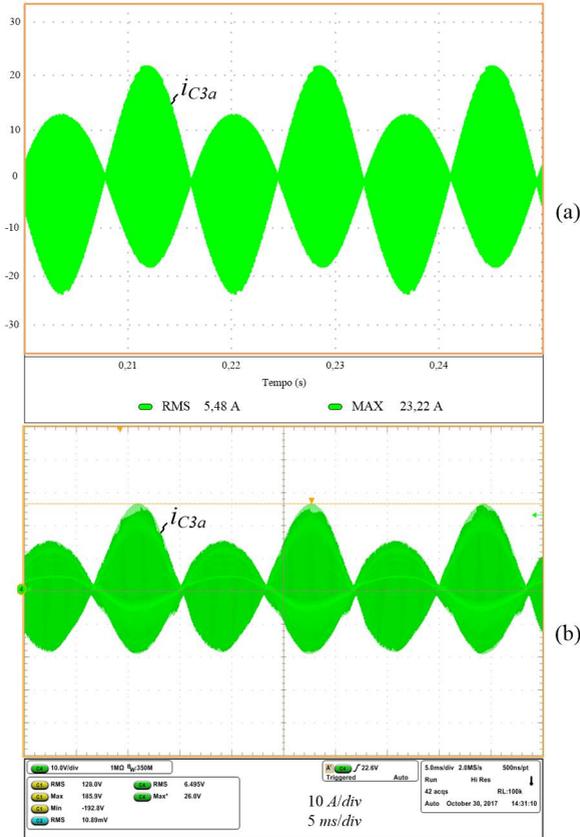


Figura 4.8 – Corrente no capacitor chaveado C_{3a} - a) simulação e b) experimentação.

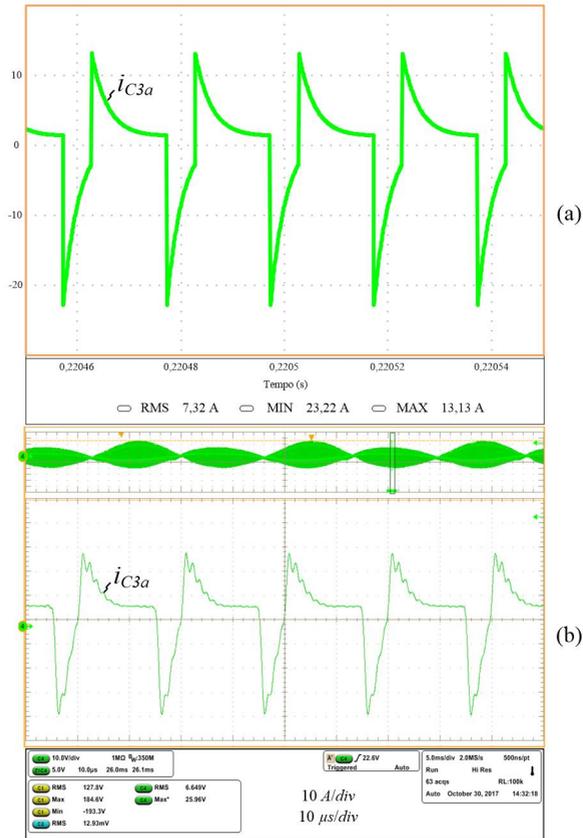


Figura 4.9 – Detalhes da corrente no capacitor chaveado C_{3a} - a) simulação e b) experimentação.

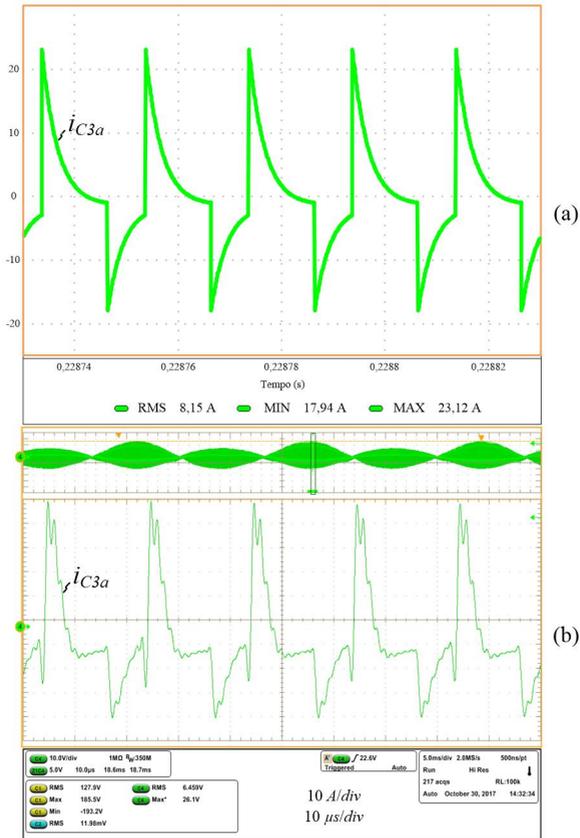


Figura 4.10 – Detalhes da corrente no capacitor chaveado C_{3a} - a) simulação e b) experimentação.

O protótipo foi submetido a um degrau de carga de $\pm 50\%$, com o intuito de se verificar a eficácia da malha de controle de corrente, conforme mostra a Figura 4.11. Observa-se que a corrente de saída (i_o) responde rapidamente, evidenciando o comportamento adequado do controlador projetado. A Figura 4.12 detalha a tensão e a corrente de saída durante a redução de carga e a Figura 4.13 ilustra o comportamento do inversor durante o aumento de carga.

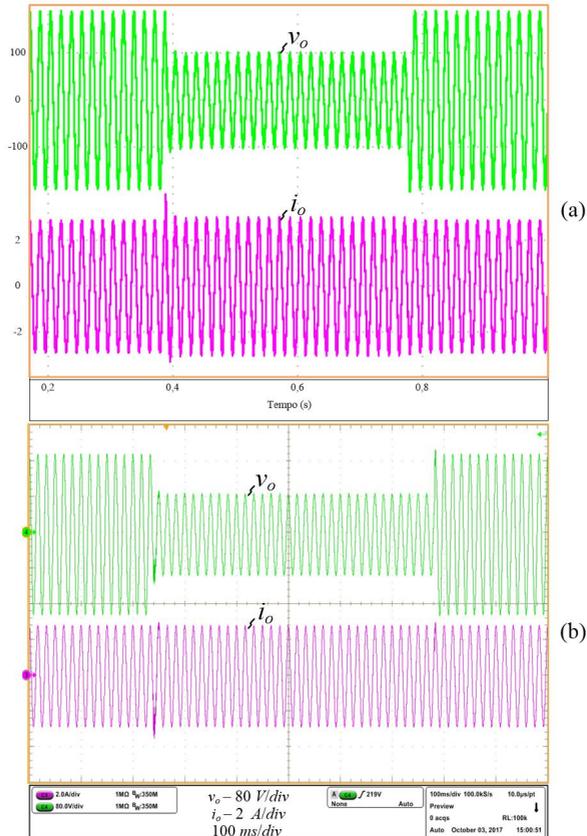


Figura 4.11 – Degrau de carga de $\pm 50\%$ - a) simulação e b) experimentação.

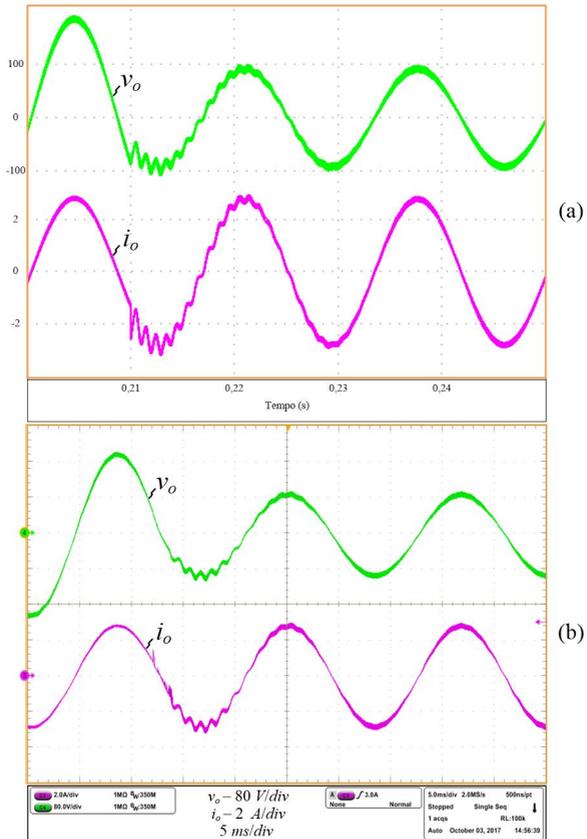


Figura 4.12 – Detalhe degrau de carga de -50% - a) simulação e b) experimentação.

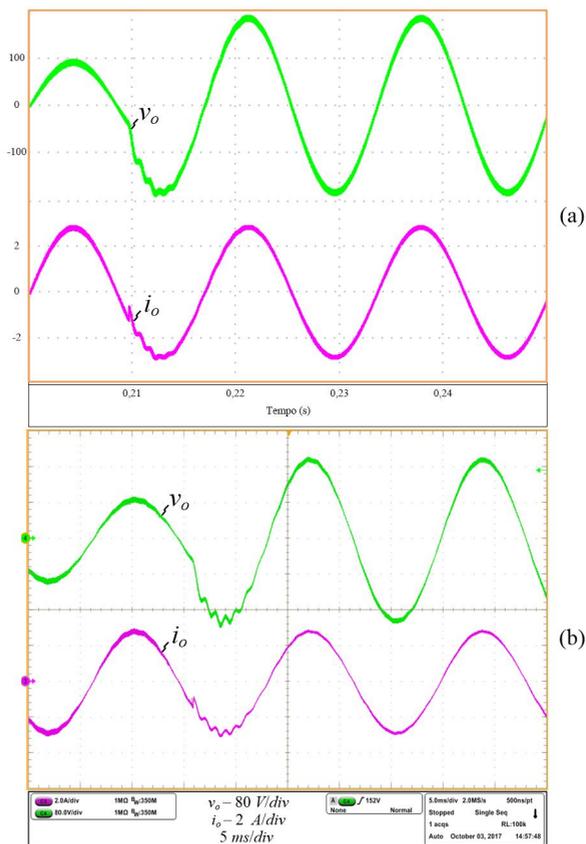


Figura 4.13 – Detalhe degrau de carga de +50% - a) simulação e b) experimentação.

4.3.2 Análise da Linearização Estática

A operação do inversor foi analisada em dois testes, um sem e outro com o bloco de linearização. Os dois casos foram realizados em malha aberta para não haver influência do controle nos resultados. O primeiro caso utilizou a razão cíclica senoidal (idealizada), vista na Figura 4.14, e o segundo empregou a razão cíclica gerada pelo bloco de linearização, exposta na Figura 4.15.

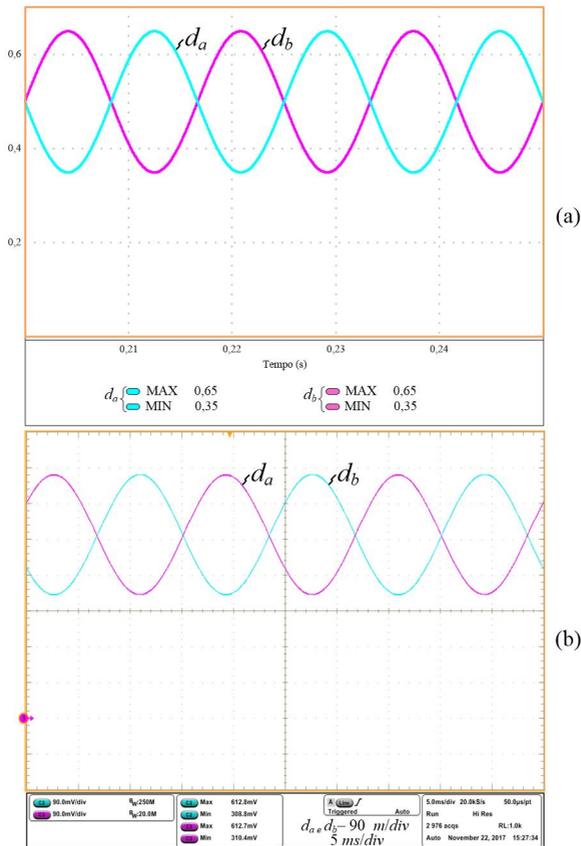


Figura 4.14 – Razão cíclica aplicada em cada subconversor d_a e d_b , sem o bloco de linearização - a) simulação e b) experimentação.

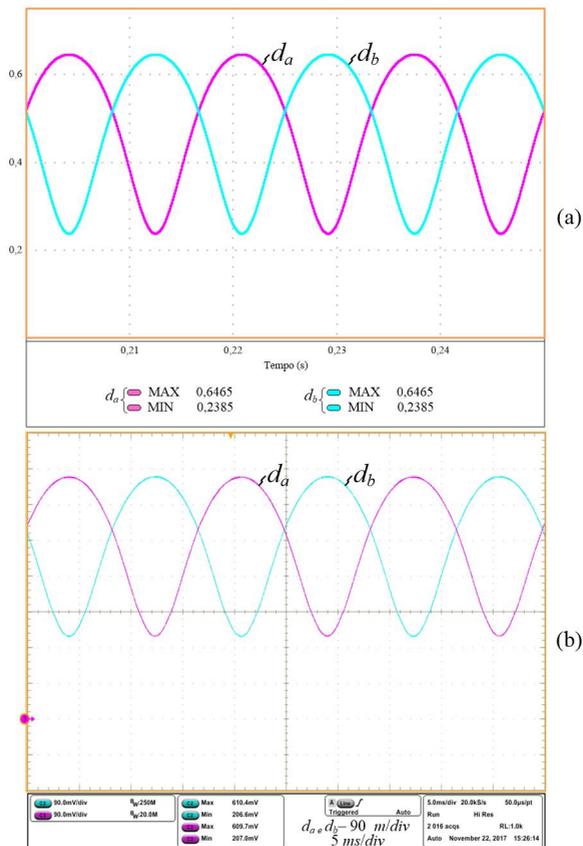


Figura 4.15 – Razão cíclica aplicada em cada subconversor d_a e d_b , com o bloco de linearização - a) simulação e b) experimentação.

O inversor com a razão cíclica idealizada forneceu as tensões parciais v_a e v_b e a tensão de saída v_o , conforme a Figura 4.16. A *THD* das formas de onda de simulação foram de 19,09% (v_a e v_b) e 3,43% (v_o) e da experimentação foram de 16,7% (v_a e v_b) e 3,75% (v_o). As *THDs* das formas de onda dessa subseção foram obtidas considerando-se somente a parcela alternada.

No teste com bloco de linearização habilitado, o inversor forneceu as formas de onda da Figura 4.17, as quais, na simulação, apresentaram *THD* de 4,41% nas tensões parciais e de 1,92% e na tensão de saída diferencial. Já na experimentação, elas apresentaram *THD* de 6,87% nas tensões parciais e de 1,25% na tensão de saída diferencial.

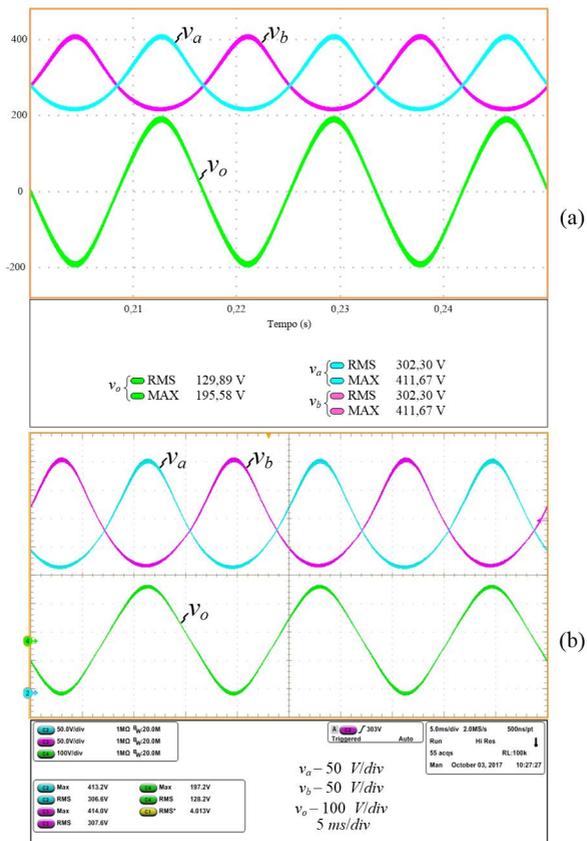


Figura 4.16 – Tensões de saída parciais v_a e v_b e tensão de saída v_o , sem o bloco de linearização - a) simulação e b) experimentação.

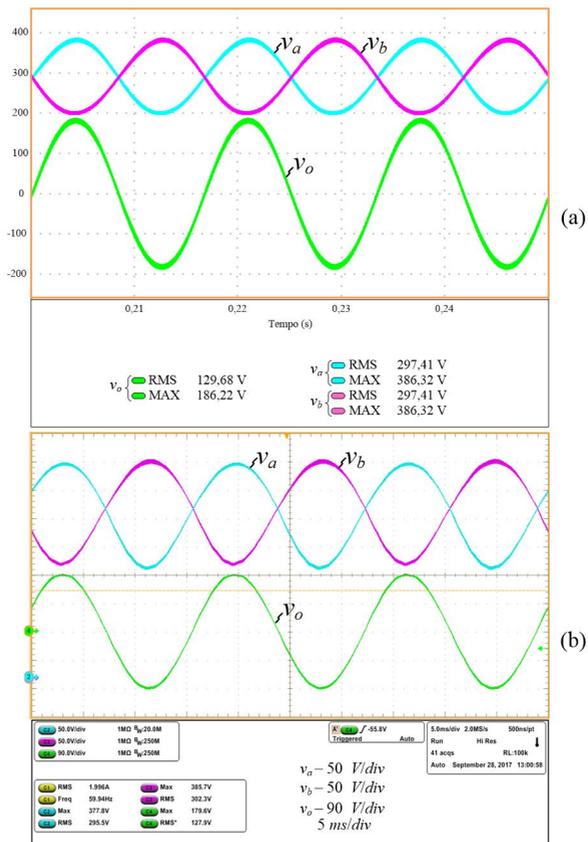


Figura 4.17 – Tensões de saída parciais v_a e v_b e tensão de saída v_o , com o bloco de linearização - a) simulação e b) experimentação.

O espectro harmônico da tensão parcial v_a , com e sem linearização, é ilustrado na Figura 4.18 (a). As maiores reduções aconteceram na segunda e na terceira harmônicas.

O espectro harmônico da tensão de saída diferencial v_o , com e sem linearização é exposto na Figura 4.18 (b). Nota-se que apesar de algumas harmônicas aumentarem devido à linearização, a terceira harmônica reduziu-se consideravelmente, o que ocasionou a melhora da *THD*.

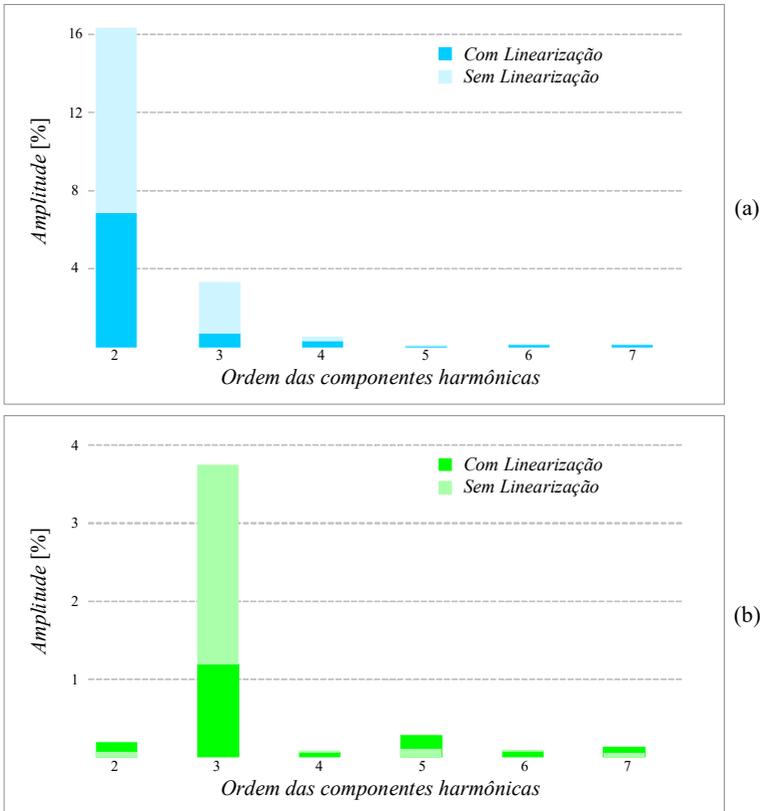


Figura 4.18 – Análise harmônica: a) tensão de saída do subconversor A v_a ; b) tensão de saída diferencial v_o .

4.3.3 Inversor Conectado à Rede Elétrica

O SCDBI foi testado conectado à rede elétrica em malha fechada com a malha de *feedforward* e bloco de linearização habilitados. Nesta subseção os resultados foram organizados de acordo com a tensão de entrada aplicada no inversor (70, 60 e 50 V). Nos testes experimentais, utilizou-se um varivolt ajustado em 127 V *RMS* interligado a um transformador isolador conectado à rede de 220 V *RMS*. Na simulação utilizou-se uma fonte senoidal ideal para emular a rede elétrica.

A. Tensão de Entrada de 70 V

A Figura 4.19 apresenta a tensão da rede elétrica (v_{rede}), a corrente injetada (i_o) e a tensão de entrada (V_i) em potência nominal (250 W).

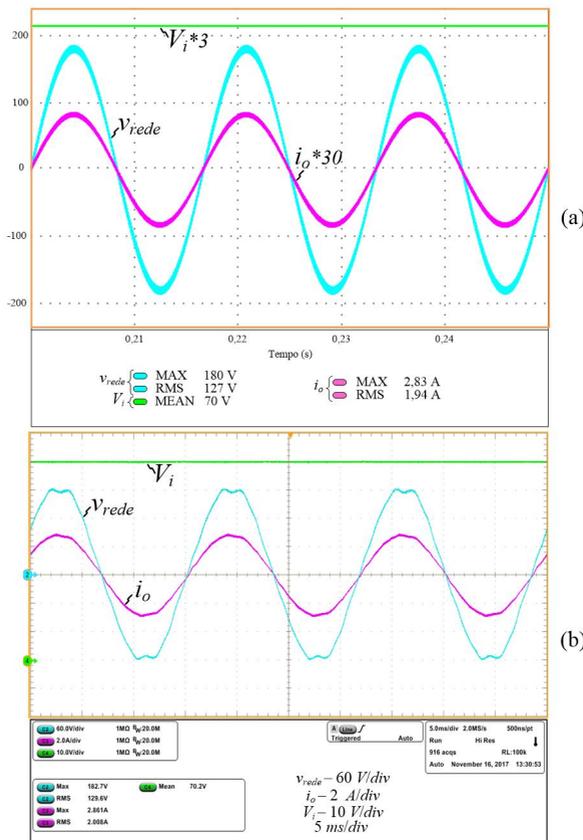


Figura 4.19 – Tensão da rede elétrica (v_{rede}), corrente injetada na rede (i_o) e tensão de entrada (V_i) - a) simulação e b) experimentação.

A *THD* da corrente injetada na simulação e na experimentação foi 2% e 1,61%, respectivamente. A rede elétrica no momento do teste experimental estava com *THD* de 3,36%.

As tensões parciais v_a e v_b e a tensão da rede elétrica v_{rede} são expostas na Figura 4.20. Nota-se que a distorção harmônica da rede aparece nas tensões de saída de cada subconversor.

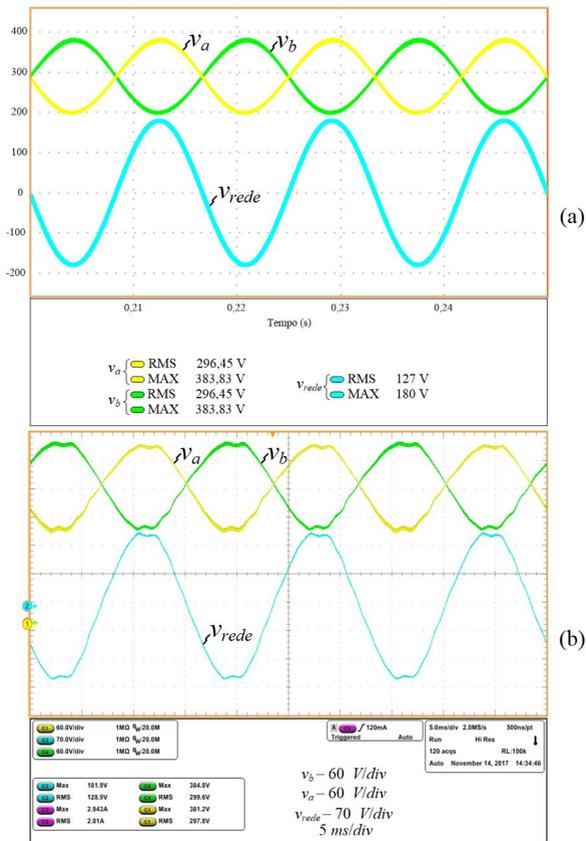


Figura 4.20 – Tensões de saída parciais v_a e v_b e tensão da rede v_{rede} - a) simulação e b) experimentação.

Para verificar a eficácia do controlador com a inclusão da malha de *feedforward* o inversor foi submetido a um degrau de referência de corrente de $\pm 50\%$, conforme mostra a Figura 4.21. A Figura 4.22 detalha a tensão da rede e a corrente injetada durante a redução de referência. Já a Figura 4.23 exibe o comportamento do inversor durante o aumento da referência de corrente. Em ambos os casos, a corrente injetada segue a referência e assume o novo valor rapidamente.

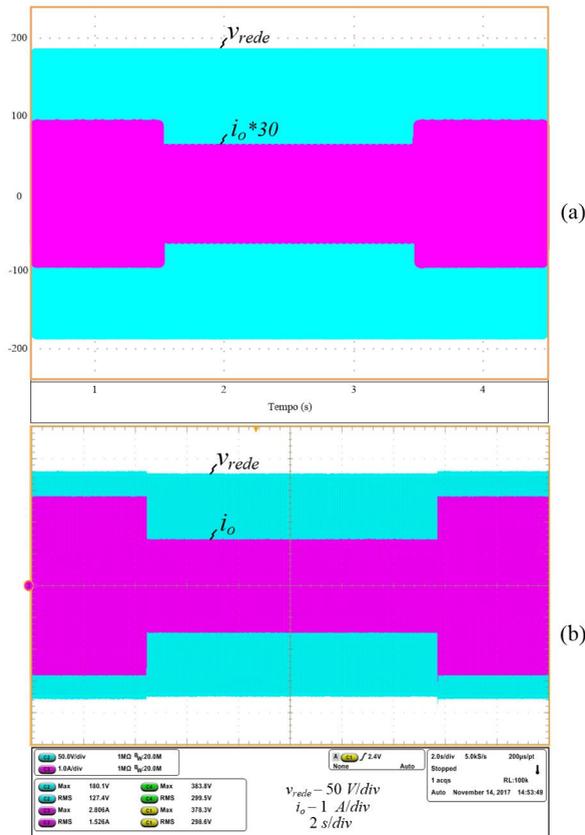


Figura 4.21 – Degrau de referência de corrente de $\pm 50\%$ - a) simulação e b) experimentação.

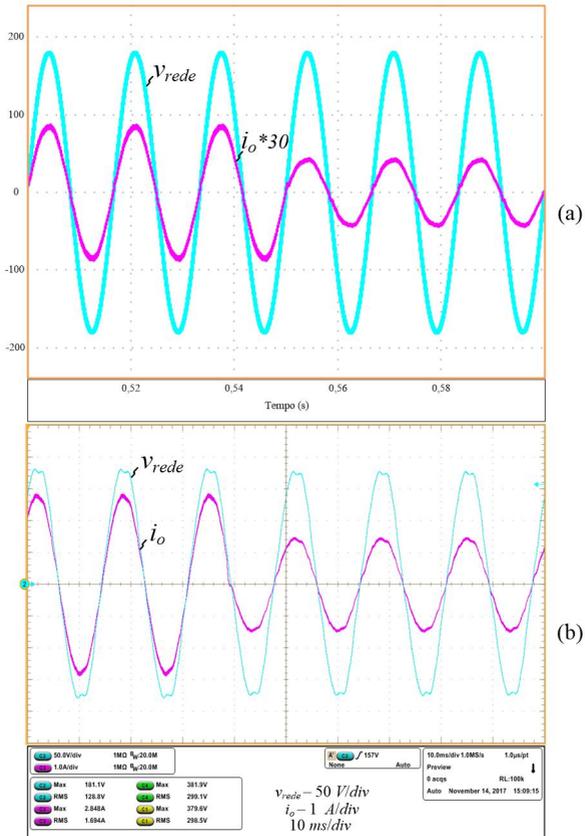


Figura 4.22 – Degrau de referência de corrente de -50% - a) simulação e b) experimentação.

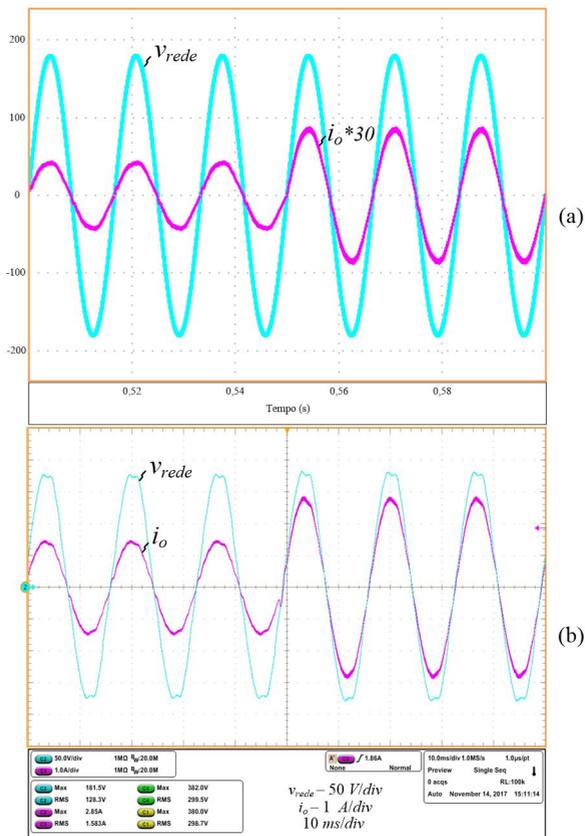


Figura 4.23 – Detalhe degrau de referência de corrente de +50% - a) simulação e b) experimentação.

B. Tensão de Entrada de 60 V

A tensão da rede elétrica (v_{rede}) e a corrente injetada (i_o), para tensão de entrada (V_i) de 60 V (na potência de 250 W) são exibidos na Figura 4.24. A THD da corrente injetada na simulação e na experimentação foi de 2%, em ambos os casos. No momento do teste experimental, a rede elétrica estava com THD de 3,36%.

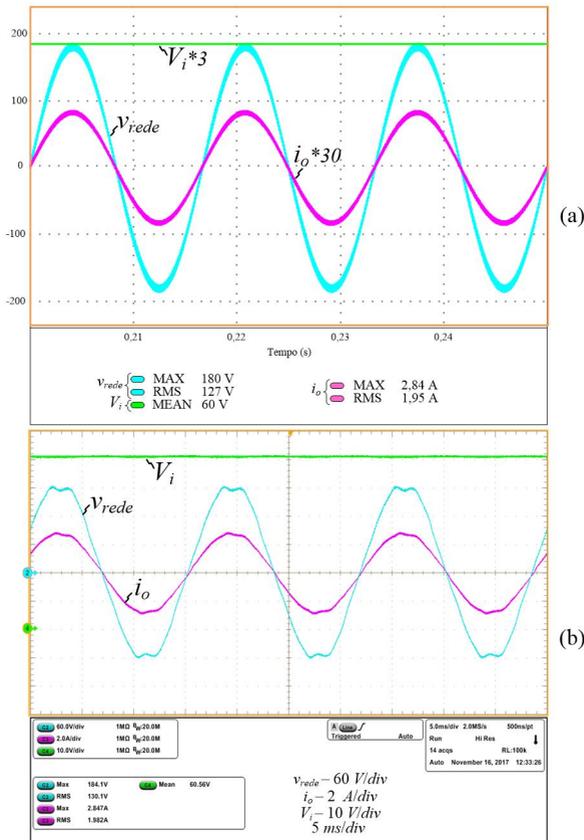


Figura 4.24 – Tensão da rede elétrica (v_{rede}), corrente injetada na rede (i_o) e tensão de entrada (V_i) - a) simulação e b) experimentação.

A Figura 4.25 apresenta as tensões parciais v_a e v_b e a tensão da rede elétrica v_{rede} . Assim como nas formas de onda para tensão de entrada de 70 V, a distorção harmônica da rede aparece nas tensões de saída de cada subconversor.

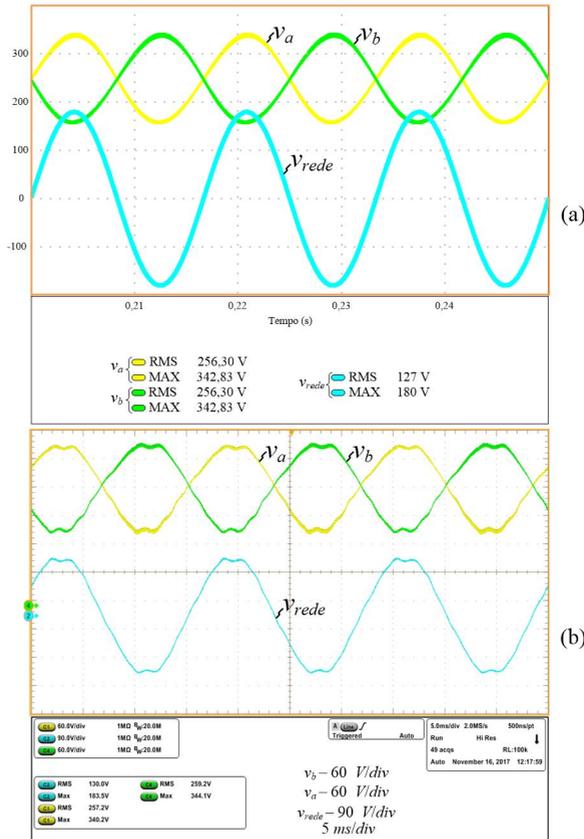


Figura 4.25 – Tensões de saída parciais v_a e v_b e tensão da rede v_{rede} - a) simulação e b) experimentação.

C. Tensão de Entrada de 50 V

A Figura 4.26 apresenta a tensão da rede elétrica (v_{rede}) e a corrente injetada (i_o), para tensão de entrada (V_i) de 50 V (na potência nominal). A THD da corrente injetada foi de 2% e 2,43%, na simulação e na experimentação, respectivamente. A THD da rede elétrica, no momento do teste experimental, estava em 3,36%. A Figura 4.27 apresenta as tensões parciais v_a e v_b e a tensão da rede elétrica v_{rede} .

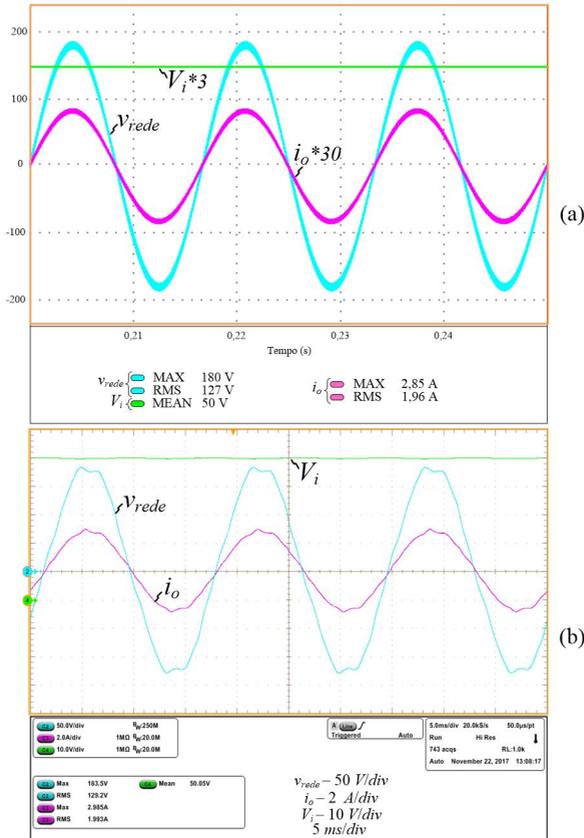


Figura 4.26 – Tensão da rede elétrica (v_{rede}), corrente injetada na rede (i_o) e tensão de entrada (V_i) - a) simulação e b) experimentação.

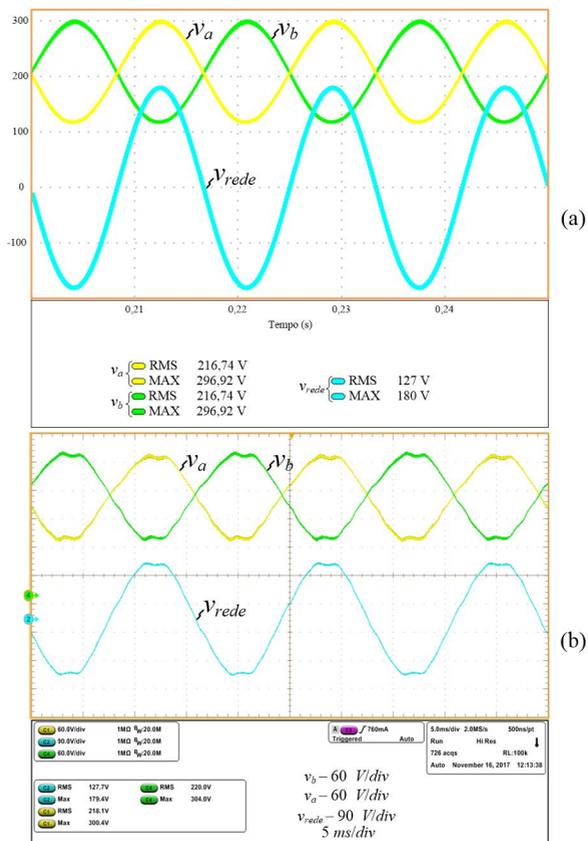


Figura 4.27 – Tensões de saída parciais v_a e v_b e tensão da rede v_{rede} - a) simulação e b) experimentação..

4.3.4 Análise Harmônica

Os resultados referentes à análise harmônica da corrente injetada na rede elétrica para as tensões de entrada de 50, 60 e 70 V são discutidos nesta seção.

A verificação da qualidade da corrente injetada foi feita seguindo o manual de procedimentos fornecido pela concessionária de energia elétrica de Santa Catarina, cujo nome é “Requisitos para a conexão de micro ou minigeradores de energia ao sistema elétrico da Celesc distribuição” e as normas internacionais *IEC61727* e *IEEE1547*.

De acordo com o manual da CELESC e as normas internacionais, os limites máximos de distorção por componente harmônica da corrente injetada na rede elétrica devem respeitar os valores apresentados na Tabela 4.3 e a distorção harmônica total deve ser inferior a 5%.

Tabela 4.3 – Limites máximos de distorção harmônica.

<i>Harmônicas ímpares</i>	<i>Limites</i>
3 ^a a 9 ^a	< 4,0%
11 ^a a 15 ^a	< 2,0%
17 ^a a 21 ^a	< 1,5%
23 ^a a 33 ^a	< 0,6%
<i>Harmônicas pares</i>	<i>Limites</i>
2 ^a a 8 ^a	< 1,0%
10 ^a a 32 ^a	< 0,5%

A Figura 4.28 (a) apresenta o espectro harmônico da tensão da rede elétrica no momento do teste de experimentação, em potência nominal, cuja distorção harmônica total estava em 3,36%. A Figura 4.28 (b), a Figura 4.28 (c) e a Figura 4.28 (d) apresentam o espectro harmônico da corrente injetada na rede elétrica com tensão de entrada de 70, 60 e 50 V, respectivamente.

Ao analisar os gráficos, verifica-se que nos três casos todas as componentes harmônicas são inferiores aos valores máximos estabelecidos pelo manual da CELESC e pelas normas. Com tensão de entrada de 70 V a distorção harmônica total foi de 1,61%, com 60 V foi de 2% e com 50 V foi de 2,43%.

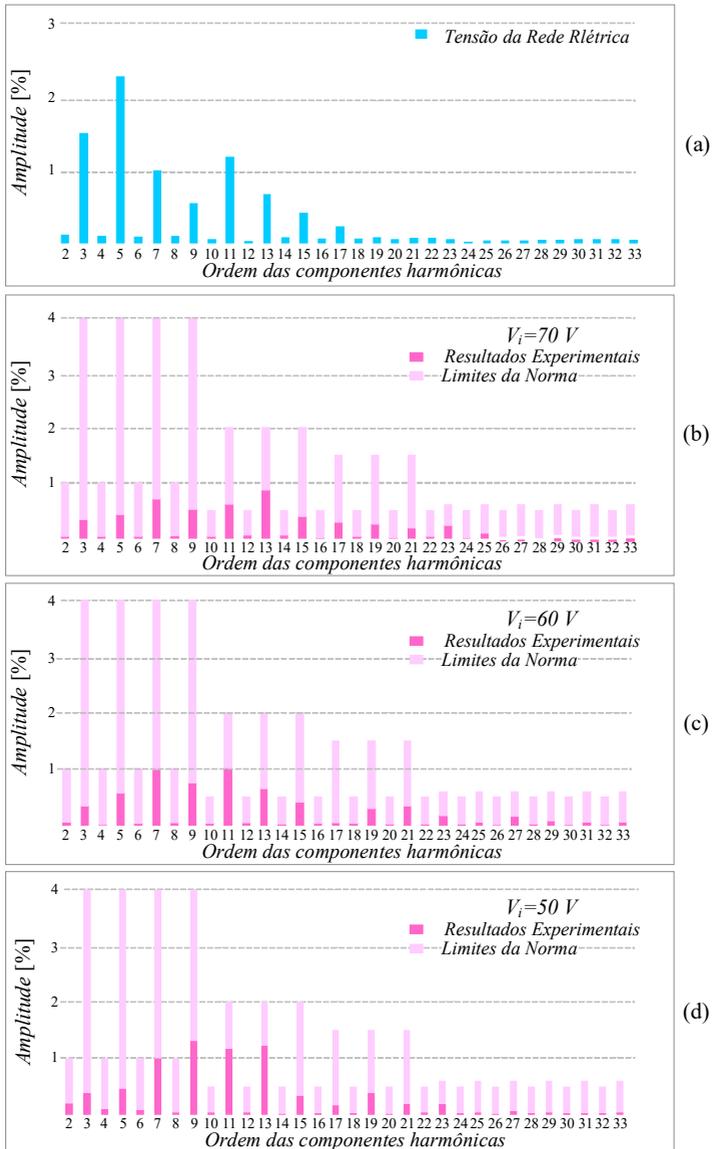


Figura 4.28 – Análise harmônica: a) tensão da rede elétrica; b) corrente injetada na rede com potência nominal para $V_i=70 V$; c) corrente injetada na rede com potência nominal para $V_i=60 V$ e d) corrente injetada na rede com potência nominal para $V_i=50 V$.

4.3.5 Curvas de Rendimento e Análise das Perdas Teóricas

As curvas de rendimento do protótipo foram obtidas em malha aberta, com tensão de entrada de 70 V e em malha fechada, com o inversor conectado à rede elétrica, com tensão de entrada de 50, 60 e 70 V. Esta subseção também apresenta uma análise da distribuição das perdas teóricas do inversor.

A. Malha Aberta

A resistência dos interruptores de potência interfere diretamente no ponto de operação da célula de capacitor chaveado e, consequentemente, no rendimento do protótipo. Com o intuito de analisar a combinação de interruptores que possibilitassem o melhor rendimento, a Figura 4.29 apresenta a curva de rendimento do protótipo em malha aberta, com tensão de entrada de 70 V para dois, de três casos analisados.

- No *Caso 1* foi utilizado em todos os interruptores de potência o *MOSFET HEXFET IRFP4332Pbf*, cuja resistência $R_{ds(on)}$ é 29 m Ω . Nesse caso, o rendimento máximo foi de 80%. Em todos os interruptores, devido à reduzida tensão de bloqueio (250 V), foram necessários circuitos passivos de grampeamento.
- No *Caso 2* foi utilizado, nos interruptores S_{1a} e S_{1b} , o *MOSFET HEXFET IRFP4332Pbf*, com resistência $R_{ds(on)}$ de 29 m Ω e, nos demais interruptores, o *Silicon Carbide STC2120AF*, com resistência de 120 m Ω . O rendimento máximo foi de cerca de 88%. Nesse caso, somente foram utilizados circuitos passivos de grampeamento nos interruptores S_{1a} e S_{1b} .

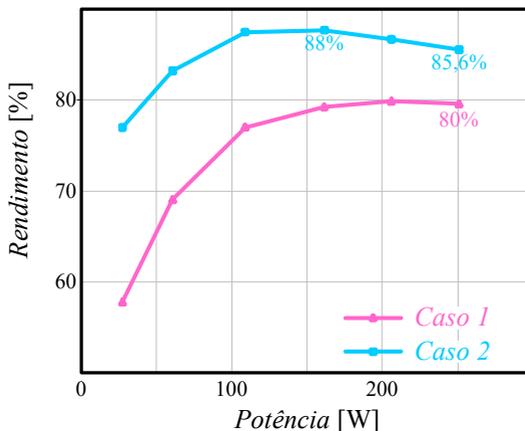


Figura 4.29 – Curvas de rendimento do protótipo: *Caso 1: IRFP4332Pbf*, *Caso 2: IRFP4332Pbf + SCT2120AF*.

Em laboratório também se verificou a possibilidade de utilizar em todos os interruptores o *STC2120AF*, porém em potência nominal o rendimento foi de cerca de 83%, menor que no *Caso 2*. Isso pode ser explicado devido ao valor elevado da resistência $R_{ds(on)}$ (120 m Ω). Os interruptores S_{1a} e S_{1b} comutam maiores correntes quando comparadas com os outros interruptores do inversor. Ao substituí-los por interruptores de maior resistência, as perdas por condução em potência nominal ficaram maiores. Já quando comparado com o *Caso 1*, o rendimento aumentou devido à diminuição do pico da corrente dos capacitores chaveados.

Em vista disso, o caso que gerou o melhor rendimento foi o *Caso 2* (*IRFP4332Pbf*+ *SCT2120AF*), pois os interruptores que mais causam perdas por condução (S_{1a} e S_{1b}) foram *MOSFETs* de menor resistência (*IRFP4332Pbf*) e, nos demais, para diminuir o pico de corrente dos capacitores chaveados, utilizou-se o *MOSFET* de maior resistência (*SCT2120AF*).

Essa análise é interessante pois, geralmente, busca-se interruptores com resistências menores para aumentar o rendimento da estrutura, porém em circuitos a capacitores chaveados nem sempre o interruptor com menor resistência causará o melhor rendimento.

B. Malha Fechada com o Inversor Conectado à Rede Elétrica

Com o inversor conectado à rede elétrica o rendimento da topologia foi analisado nas três situações de tensão de entrada (50, 60 e 70 V), com variação da corrente de referência de 0,3 A até 2,8 A. As curvas obtidas em experimentação são apresentadas na Figura 4.30. A combinação de interruptores é a mesma utilizada no *Caso 2*.

O rendimento máximo ficou entre 88% e 90%, ocorrendo na região de 50% de carga. Já o rendimento em potência nominal ficou em torno de 86%. O formato das curvas demonstra um projeto físico adequado e os valores são equivalentes a um sistema de duplo estágio com rendimento de 95% por estágio.

A diminuição da tensão de entrada causa um aumento da corrente processada pelo conversor. Isto provoca maiores perdas de condução, principalmente em plena carga. Por outro lado, quando a tensão de entrada diminui, as perdas magnéticas nos indutores também diminuem e, por isso o rendimento máximo (90%) foi obtido com tensão de entrada de 50 V. O

melhor rendimento em potência nominal (86,57%) ocorreu com 60 V de tensão de entrada.

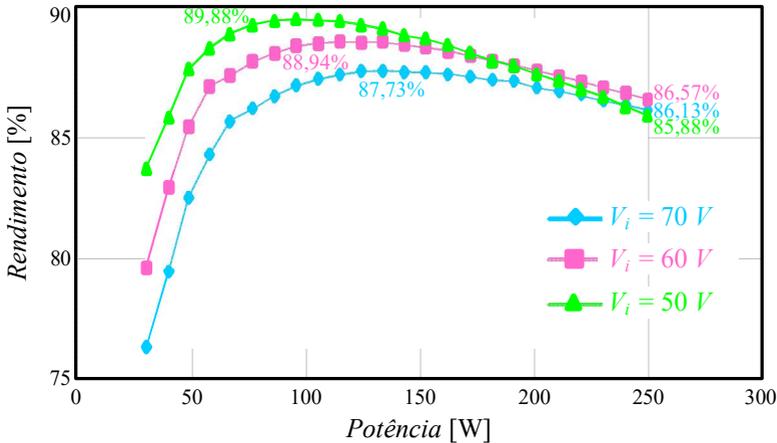


Figura 4.30 – Curva de rendimento do protótipo para variações da tensão de entrada (V_i).

A Figura 4.31 apresenta as curvas de rendimento do protótipo na simulação, considerando as não idealidades, sobrepostas às curvas obtidas nos testes experimentais. A Figura 4.31 (a) apresenta a curva com tensão de entrada de 70 V; a Figura 4.31 (b) com tensão de entrada 60 V e a Figura 4.31 (c) com 50 V de entrada.

A Figura 4.32 apresenta a análise da distribuição das perdas teóricas em potência nominal (250 W), com tensão de entrada de 60 V. A Figura 4.32 (a) ilustra a distribuição de perdas entre condução, comutação e magnéticas. Verifica-se que as maiores perdas do circuito (81%) são de condução. Já a Figura 4.32 (b) exhibe a distribuição de perdas por componente, a partir da qual é possível observar que as maiores perdas (50%) são causadas pelos interruptores S_{1a} e S_{1b} .

Essa análise corrobora com o estudo realizado no item *A* desta subseção e evidencia que os interruptores S_{1a} e S_{1b} são os grandes causadores das perdas do *SCDBI*, principalmente, perdas de condução e que necessitam de uma atenção diferenciada dos demais interruptores, assim como foi feito neste trabalho.

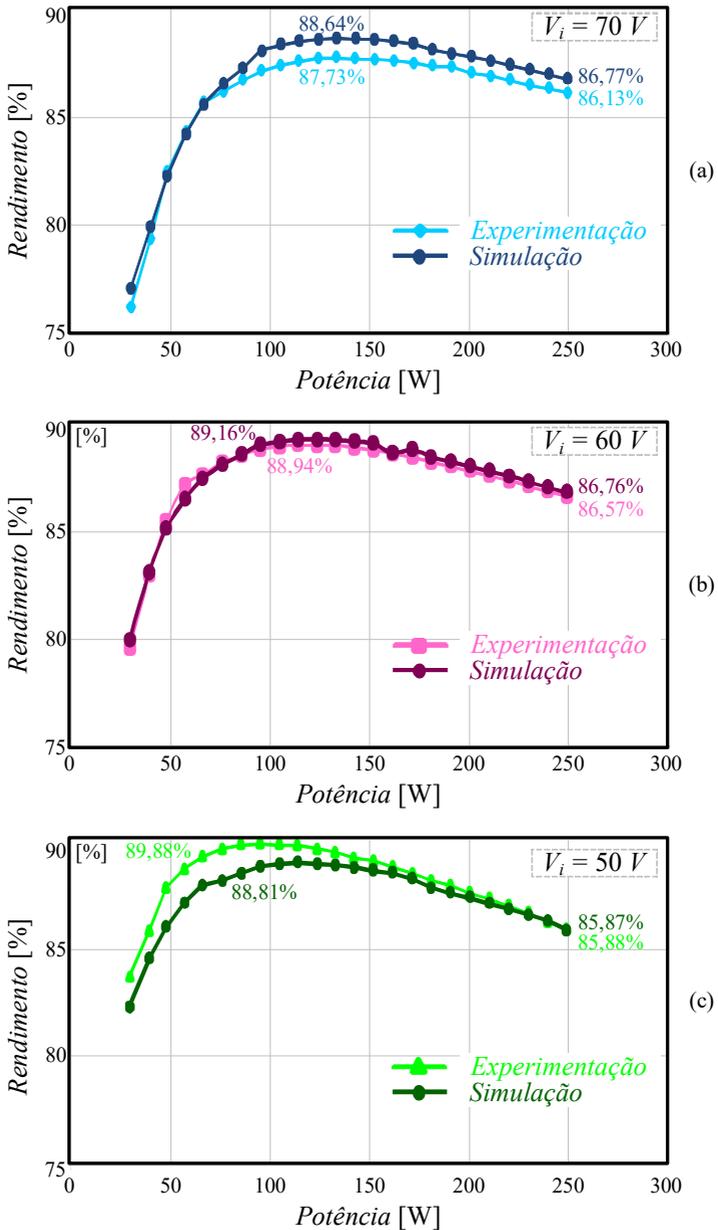


Figura 4.31 – Curvas de rendimento de simulação e experimentação para variações da tensão de entrada (V_i): (a) $V_i=70\text{ V}$; (b) $V_i=60\text{ V}$ e (c) $V_i=50\text{ V}$.

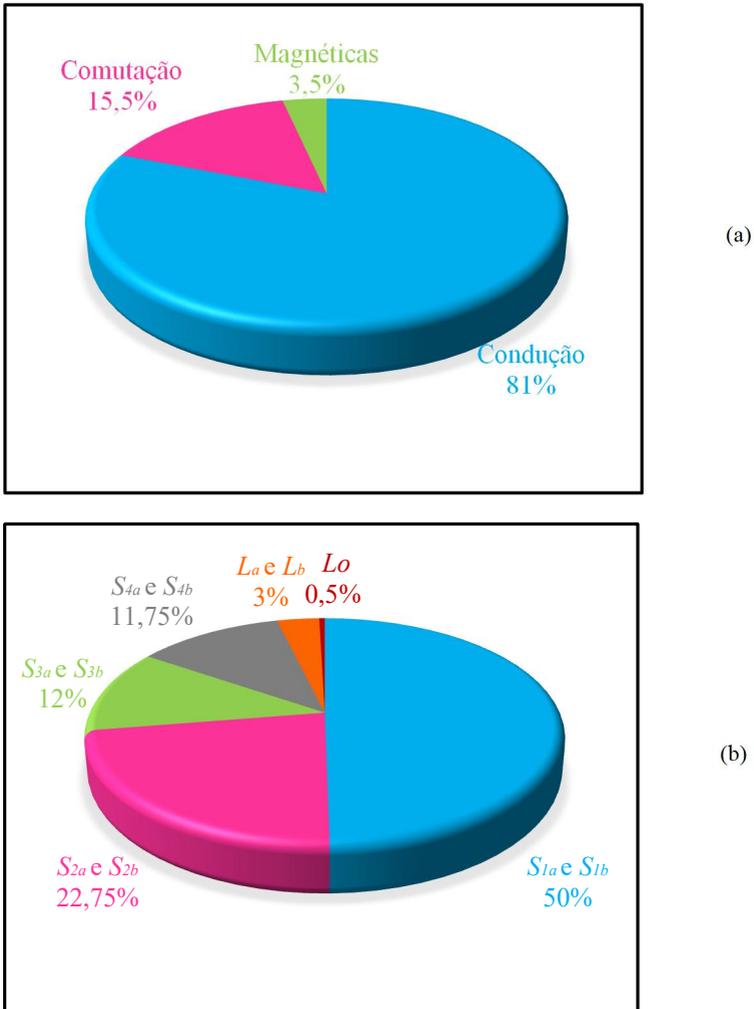


Figura 4.32 – Distribuição das perdas teóricas em potência nominal (250 W) e com tensão de entrada de 60 V: (a) condução, comutação e magnéticas e (b) por componente.

4.4 Conclusão

Neste capítulo foram apresentados os resultados de simulação e de experimentação do inversor operando de forma autônoma e conectado à rede elétrica. Os resultados obtidos em experimentação são muito próximos dos resultados de simulação, o que comprova o funcionamento adequado do inversor e de todo o estudo realizado nos capítulos anteriores.

Com relação à qualidade da corrente injetada à rede elétrica, as componentes harmônicas, para todas as tensões de entrada aplicadas no inversor (50, 60 e 70 V), respeitaram os limites estabelecidos pelo manual da CELESC e das normas vigentes. Os valores de *THD* da corrente injetada foram inferiores a 2,5% em todos os casos. Além disso, a análise da técnica de linearização adotada evidenciou a redução significativa da *THD* das tensões parciais e da tensão de saída diferencial.

Com a análise da distribuição das perdas e com a combinação apropriada de interruptores de potência, obteve-se um rendimento da estrutura satisfatório, tendo pico de 90%.

Ressalta-se que o controlador linear utilizado funcionou adequadamente, evidenciando que, quando uma modelagem adequada, uma metodologia de projeto do controlador apropriada e uma técnica de linearização são utilizadas, podem-se encontrar resultados satisfatórios, mesmo empregando-se controladores menos complexos.

CONSIDERAÇÕES FINAIS

Este trabalho estudou, desenvolveu e testou, via experimentação e simulação, o inversor de estágio único *SCDBI* aplicada à conexão com à rede elétrica.

A topologia foi concebida a partir da adição de células de capacitor chaveado ao inversor *boost* tradicional. O número de células *SC* altera o ganho da estrutura. Essa característica torna a topologia atraente para aplicações no Brasil, pois o inversor tem a flexibilidade de se conectar em redes com valores eficazes de 127 V ou de 220 V, mantendo o mesmo ponto de operação no estágio *boost*. Além disso, a tensão de entrada pode aumentar ou diminuir dependendo da quantidade de células *SC* adicionadas, sendo atraente para aplicações com fontes renováveis.

Tendo em vista os objetivos previamente determinados, o trabalho foi dividido em capítulos, nos quais foram apresentados os procedimentos utilizados para projeto, dimensionamento, modelagem e controle do *SCDBI* e ao final, os resultados obtidos via simulação e experimentação foram expostos, analisados e comparados.

O Capítulo 1 contextualizou o tema proposto e apresentou uma breve revisão bibliográfica sobre inversores de múltiplos estágios e de estágio único abordados na literatura, bem como, os objetivos e a estrutura desta dissertação.

O inversor *boost* a capacitor chaveado foi analisado do ponto de vista estático e o estágio de potência dimensionado no Capítulo 2. As etapas de operação e os pulsos de comando dos interruptores de potência foram apresentados para os semiciclos positivo e negativo da rede elétrica, sob modulação três níveis. O ganho da estrutura foi determinado e destacou-se o aumento do ganho estático quando mais células multiplicadoras são adicionadas.

A técnica de linearização proposta também foi abordada no Capítulo 2. Essa técnica foi aplicada no ganho individual de cada conversor *boost* o que, resultou na linearização das tensões parciais e, conseqüentemente, da tensão de saída diferencial. Formas de onda teóricas,

em malha aberta, com e sem o efeito do bloco de linearização foram exibidas. Cabe destacar, que o ganho estático do conversor *boost* permanece não linear, mas o sistema completo apresenta uma relação entrada/saída linear.

Ainda no Capítulo 2, os esforços nos semicondutores foram calculados e comparados com os valores de simulação e apesar da dificuldade em calculá-lo, devido a célula de capacitor chaveado, apresentaram erro percentual satisfatório.

No Capítulo 3 a modelagem e controle para *SCDBI* foram apresentados. A modelagem baseou-se em um circuito de ordem reduzida com dinâmica equivalente. Os interruptores foram substituídos por seu valor médio quase instantâneo de tensão e de corrente para que os modelos CC e médio de pequenos sinais fossem encontrados e analisados. A função de transferência desejada foi obtida a partir da análise do modelo médio de pequenos sinais e validada no domínio do tempo e no domínio da frequência. Em ambos os domínios analisados apresentou resposta satisfatória.

A estratégia de controle utilizada também foi exposta no Capítulo 3, bem como o circuito *PLL* monofásico e o modulador *3N-PWM* adotado. O controlador *PI* com adição de um polo extra e malha de *feedforward* para regular a corrente injetada na rede elétrica foi projetado a partir de técnicas lineares de controle. Ao final do capítulo, foi dimensionado o estágio de condicionamento de sinal das variáveis lidas.

Para validar o estudo dos capítulos precedentes, o Capítulo 4, apresentou os resultados de simulação e de experimentação do inversor operando de forma autônoma e conectado à rede elétrica. Os resultados foram analisados, comparados e comprovaram o funcionamento adequado do inversor e do estudo realizado nos capítulos anteriores.

A corrente injetada na rede elétrica respeitou os limites das normas vigentes para todas as condições de tensão de entrada testadas, tendo valor de *THD* inferior a 2,5% em todos os casos.

O efeito da técnica de linearização foi testado em laboratório com o inversor operando em malha aberta e pode-se evidenciar a redução significativa na *THD* das tensões parciais e da tensão de saída diferencial.

O Capítulo 4 também apresentou a análise da distribuição de perdas do inversor, sendo enfatizado que os interruptores S_{1a} e S_{1b} são os maiores causadores da diminuição do rendimento da estrutura. A combinação apropriada de interruptores mostrou-se de extrema importância para que o rendimento tivesse pico de 90%.

Os resultados obtidos evidenciam que quando uma modelagem adequada, uma metodologia de projeto do controlador apropriada e uma técnica de linearização são utilizadas, podem-se encontrar resultados satisfatórios, mesmo empregando-se controladores menos complexos.

Cabe ressaltar, que todos os objetivos previamente determinados foram alcançados com êxito e que a estrutura funcionou adequadamente operando em malha aberta, de forma autônoma e conectada à rede elétrica, mesmo com variações da tensão de entrada.

Em laboratório, quando utilizou-se em todos os semicondutores o *MOSFET HEXFET IRFP4332Pbf*, encontrou-se problemas com *cross-talk*, típico de configurações em braço. O *cross-talk* ocorre devido as não idealidades presentes na prática, no qual, induz um interruptor que era para estar bloqueado a conduzir. O *layout* é fundamental para redução dessa indução, isso pode ser evidenciado na prática, quando, testou-se cada braço individualmente, o *cross-talk* só apareceu em um dos subconversores, que as trilhas de potência ficaram maiores. A solução adotada sem alterar o *layout* foi reduzir a velocidade de comutação aumentando o resistor de *gate*. O problema não apareceu quando os interruptores foram alterados pelo *STC2120AF*. Outras soluções possíveis seriam acrescentar um capacitor entre *gate-source*, alterar o nível negativo aplicado para bloquear o *MOSFET*, um *snubber*, alterar a frequência de comutação, dentre outras [58-60]. Devido a experiência prática e as correntes impulsivas gerada pela célula de capacitores chaveados, sugere-se que para essa topologia o número máximo de células não ultrapasse de quatro.

Para trabalhos futuros sugere-se que seja:

- Analisada a possibilidade de aumentar o rendimento da estrutura com a adição de interruptores em paralelo em S_{1a} e S_{1b} ;
- Analisada novas metodologias para cálculo dos valores eficazes das correntes nos capacitores chaveados;
- Adicionado um indutor na célula *SC* para limitar a derivada de corrente e assim aumentar o rendimento da topologia;
- Realizado testes com fontes renováveis na entrada do inversor;
- Implementado o rastreamento de máxima potência na estrutura;
- Analisado o funcionamento e rendimento do inversor para potências maiores;
- Estudada uma versão trifásica da topologia para funcionamento autônomo e conectada à rede elétrica.

- [1] D. Boroyevich, I. Cvetkovic, R. Burgos, D. Dong, "Intergrid: A Future Electronic Energy Network?", *IEEE Trans Emerg Sel Topics Power Electron*, vol. 1, no. 3, pp. 127–138, Sep. 2013.
- [2] G. G. Facchinello Inversores tipo forward para conexão de fontes renováveis à rede elétrica. 333 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2017.
- [3] GIL, N.J. de Abreu e S.C. Identificação de Condições de Operação em Modo Isolado e Procedimentos de Controlo de Emergência para Multi-micro-redes. Tese, Porto: Faculdade de Engenharia da Universidade do Porto, 2009.
- [4] J. B. O'Sullivan Fuel cells in distributed generation. 1999 *IEEE Power Engineering Society Summer Meeting. Conference Proceedings*, 1999, p. 568-572 vol.1.
- [5] G. Joos. The potential of distributed generation to provide ancillary services. *IEEE Power Engineering Society Summer Meeting*, 2000, p. 1762-1767 vol. 3.
- [6] P. P. Barker; R. W. D. Mello. Determining the impact of distributed generation on power systems. I. Radial distribution systems. *Power Engineering Society Summer Meeting*, 2000, p. 1645-1656 vol. 3.
- [7] S. Z. Mohammad Noor, A. M. Omar, N. N. Mahzan and I. R. Ibrahim, "A review of single-phase single stage inverter topologies for photovoltaic system," *IEEE 4th Control and System Graduate Research Colloquium*, Shah Alam, 2013, pp. 69-74.
- [8] S. Kouro, J. I. Leon, D. Vinnikov, and L. G. Franquelo, "Grid-Connected Photovoltaic Systems: An Overview of Recent Research and Emerging PV Converter Technology," *IEEE Industrial Electronics Magazine*, vol. 9, pp. 47-61, March 2015.
- [9] R. F. Coelho, L. Schmitz and D. C. Martins, "Proposal of a power flow control strategy applied to a hybrid microgrid," *IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*, Fortaleza, 2015, pp. 1-6.

- [10] R. F. Coelho. Estudo dos conversores buck e boost aplicados ao rastreamento de máxima potência de sistemas Solares fotovoltaicos. 198 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2008.
- [11] J. Garcia, M. A. Dalla-Costa, A. Kirsten, D. Gacio and P. Quintana, "Study of a flyback-based stage as grid interface topology for micro-generation applications," *15th International Power Electronics and Motion Control Conference (EPE/PEMC)*, Novi Sad, 2012, pp. LS7a.2-1-LS7a.2-6.
- [12] S. B. Kjaer, J. K. Pedersen and F. Blaabjerg, "A review of single-phase grid-connected inverters for photovoltaic modules," in *IEEE Transactions on Industry Applications*, vol. 41, no. 5, pp. 1292-1306, Sept.-Oct. 2005.
- [13] G. B. N. de Macedo. Microinversor flyback de estágio único para conexão de módulo fotovoltaico a rede elétrica. 181 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2017.
- [14] R. H. Eckstein. Sistema para conexão de pequenos aerogeradores com a rede elétrica. 135 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2014.
- [15] L. R. Búrigo. Estudo de um sistema para conexão de aerogeradores de pequeno porte com a rede elétrica. 202 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2016.
- [16] G. C. Knabben. Microinversor fotovoltaico não isolado de dois estágios. 252 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2017.
- [17] B. N. Alajmi, K. H. Ahmed, G. P. Adam and B. W. Williams, "Single-Phase Single-Stage Transformer less Grid-Connected PV System," in *IEEE Transactions on Power Electronics*, vol. 28, no. 6, pp. 2664-2676, June 2013.
- [18] R. Caceres and I. Barbi, "A boost DC-AC converter: operation, analysis, control and experimentation," in *Industrial Electronics, Control, and Instrumentation*, 1995. Proceedings of the 1995 *IEEE IECON 21st International Conference*, vol.1, no., pp.546-551 vol.1.

-
- [19] O. J. Moraka, P. S. Barendse, and M. A. Khan, "Dead Time Effect on the Double-Loop Control Strategy for a Boost Inverter," *IEEE Transactions on Industry Applications*, vol. 53, pp. 319-326, 2017.
- [20] R. W. Erickson, D. Maksimovic, *Fundamentals of power electronics*, Massachusetts: Kluwer Academic Publishers, 2nd edition, New York, 2004
- [21] A. Ioinovici, "Switched-capacitor power electronics circuits," *Circuits and Systems Magazine, IEEE*, vol. 1, pp. 37-42, 2001.
- [22] T. B. Lazzarin, R. L. Andersen, G. B. Martins, and I. Barbi, "A 600-W Switched-Capacitor AC-AC Converter for 220 V/110 V and 110 V/220 V Applications," *Power Electronics, IEEE Transactions on*, vol. 27, pp. 4821-4826, 2012.
- [23] K. Zou, M. J. Scott, and J. Wang, "Switched-Capacitor-Cell-Based Voltage Multipliers and DC-AC Inverters," *IEEE Transactions on Industry Applications*, vol. 48, pp. 1598-1609, 2012.
- [24] C. K. Cheung, S. C. Tan, C. K. Tse, and A. Ioinovici, "On Energy Efficiency of Switched-Capacitor Converters," *IEEE Transactions on Power Electronics*, vol. 28, pp. 862-876, 2013.
- [25] B. J. Hosticka, R. W. Brodersen e P. R. Gray, "MOS sampled data recursive filters using switched capacitor integrators," *IEEE Journal of Solid-State Circuits*, vol. 12, n. 6, pp. 600-608, 1977.
- [26] I. A. Young e D. Hodges, "MOS switched-capacitor analog sample-data direct-form recursive filters," *IEEE Journal of Solid-State Circuits*, vol. 14, n. 6, pp. 1020-1033, 1979.
- [27] O. Abutbul, A. Gherlitz, Y. Berkovich, and A. Ioinovici, "Step-up switching-mode converter with high voltage gain using a switched-capacitor circuit," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 50, pp. 1098-1102, 2003.
- [28] R. D. Middlebrook, "Transformerless DC-to-DC converters with large conversion ratios," *IEEE Transactions on Power Electronics*, vol. 3, pp. 484-488, 1988.
- [29] T. Umeno, K. Takahashi, I. Oota, F. Ueno, and T. Inoue, "New switched-capacitor DC-DC converter with low input current ripple and its hybridization," in *Proc. of the 33rd Midwest Symposium on Circuits and Systems*, 1990, pp. 1091-1094 vol.2.
- [30] G. V. Silva, R. F. Coelho, and T. B. Lazzarin, "Switched capacitor boost inverter," in *IEEE 25th International Symposium on Industrial Electronics (ISIE)*, 2016, pp. 528-533.

- [31] G. V. Silva, R. F. Coelho, and T. B. Lazzarin, "Switched-capacitor differential boost inverter: Static gain and generalized structure," in *12th IEEE International Conference on Industry Applications (INDUSCON)*, 2016, pp. 1-8.
- [32] I. Purnama, P. C. Chi, Y. C. Hsieh, J. Y. Lin and H. J. Chiu, "One cycle controlled grid-tied differential boost inverter," in *IET Power Electronics*, vol. 9, no. 11, pp. 2216-2222, 9 7 2016.
- [33] H. S. Das, C. W. Tan, A. H. M. Yatim and N. Din bin Muhamad, "Analysis and control of boost inverter for fuel cell applications," *IEEE International Conference on Power and Energy (PECon)*, Melaka, Malaysia, 2016, pp. 455-460.
- [34] E. F. Vidal and I. Barbi, "AC-DC Bidirectional Single-Phase Step-Down Converter with High Power Factor," *IECON 32nd Annual Conference on IEEE Industrial Electronics*, Paris, 2006, pp. 2043-2048.
- [35] B. Kalaivani, V. K. Chinnaiyan and J. Jerome, "A novel control strategy for the boost DC - AC inverter," *India International Conference on Power Electronics*, Chennai, 2006, pp. 341-344.
- [36] M. K. Nguyen and T. T. Tran, "A Single-Phase Single-Stage Switched-Boost Inverter with Four Switches," in *IEEE Transactions on Power Electronics*, vol. PP, no. 99, pp. 1-1.
- [37] D. Chen, Y. Qiu, Y. Chen and Y. He, "Nonlinear PWM-Controlled Single-Phase Boost Mode Grid-Connected Photovoltaic Inverter With Limited Storage Inductance Current," in *IEEE Transactions on Power Electronics*, vol. 32, no. 4, pp. 2717-2727, April 2017.
- [38] A. Kumar and P. Sensarma, "A Four-Switch Single-Stage Single-Phase Buck-Boost Inverter," in *IEEE Transactions on Power Electronics*, vol. 32, no. 7, pp. 5282-5292, July 2017.
- [39] G. V. Silva, R. F. Coelho, and T. B. Lazzarin, "Modelagem do Conversor Boost com Células a Capacitor Chaveado por Meio de um Conversor Equivalente de Ordem Reduzida," *SOBRAEP; Eletrôn. Potên., Campo Grande*, v. 22, n. 3, p. 288-297, jul./set. 2017.
- [40] G. L. Piazza and I. Barbi, "New Step-Up/Step-Down DC-AC Converter," *IEEE Transactions on Power Electronics*, vol. 29, pp. 4512-4520, 2014.
- [41] K. Jha, S. Mishra, and A. Joshi, "High-Quality Sine Wave Generation Using a Differential Boost Inverter at Higher Operating Frequency," *IEEE Transactions on Industry Applications*, vol. 51, pp. 373-384, 2015.

-
- [42] S. Ben-Yaakov, "Behavioral Average Modeling and Equivalent Circuit Simulation of Switched Capacitors Converters," in *IEEE Transactions on Power Electronics*, vol. 27, no. 2, pp. 632-636, Feb. 2012.
- [43] M. D. Vecchia. Conversores cc-cc não isolados com elevada taxa de conversão gerados pela integração entre células de capacitores chaveados e células convencionais de comutação. 256 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2016.
- [44] M. P. Moccelini. Conversor CA-CA a capacitor chaveado com saída monofásica *split-phase*. 112 f. Trabalho de Conclusão de Curso – Departamento de Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2013.
- [45] R. L. S. Junior. Conversor CA-CA trifásico a capacitor chaveado com número reduzido de interruptores. 149 f. Trabalho de Conclusão de Curso – Departamento de Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2016.
- [46] N. C. Dal Pont, M. Dalla Vecchia, G. Waltrich and T. B. Lazzarin, "Step-up inverter conceived by the integration between a Full-Bridge inverter and a Switched Capacitor Converter," *IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*, Fortaleza, 2015, pp. 1-6.
- [47] D. Cortes, N. Vazquez, and J. Alvarez-Gallegos, "Dynamical Sliding-Mode Control of the Boost Inverter," *IEEE Transactions on Industrial Electronics*, vol. 56, pp. 3467-3476, 2009.
- [48] P. Sanchis, A. Ursaea, E. Gubia, and L. Marroyo, "Boost DC-AC inverter: a new control strategy," *IEEE Transactions on Power Electronics*, vol. 20, pp. 343-353, 2005.
- [49] A. B. Lange. Retificador PFC monofásico PWM *bridgeless* três níveis de alto desempenho. 232 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2012.
- [50] R. Middlebrook and S. Cuk, "A general unified approach to modelling switching-converter power stages," in *Proc. of Power Electronics Specialists Conference*, 1976, pp. 18-34.
- [51] A. G. Yepes, F. D. Freijedo, J. Doval-Gandoy, Ó. López, J. Malvar and P. Fernandez-Comesaña, "Effects of Discretization Methods on the Performance of Resonant Controllers," in *IEEE Transactions on Power Electronics*, vol. 25, no. 7, pp. 1692-1712, July 2010.

- [52] A. G. Yepes, F. D. Freijedo, J. Doval-Gandoy, Ó. Lopez, J. Malvar and P. Fernandez-Comesaña, "Correction to "Effects of Discretization Methods on the Performance of Resonant Controllers" [Jul 10 1692-1712]," in *IEEE Transactions on Power Electronics*, vol. 27, no. 12, pp. 4976-4976, Dec. 2012.
- [53] S. M. Silva, B. M. Lopes, B. J. C. Filho, R. P. Campana and W. C. Bosventura, "Performance evaluation of PLL algorithms for single-phase grid-connected systems," *Conference Record of the 2004 IEEE Industry Applications Conference, 2004. 39th IAS Annual Meeting*, 2004, pp. 2259-2263 vol.4.
- [54] A. F. C. Aquino, G. Santos, U. Miranda, M. Aredes and A. C. M. Araujo, "Synchronizing circuits applied to nonlinear loads models," *2004 IEEE/PES Transmission and Distribution Conference and Exposition: Latin America (IEEE Cat. No. 04EX956)*, 2004, pp. 700-705.
- [55] C. E. M. Gomes. Controle digital de um condicionamento indireto de tensão alternada usando PLL para obtenção do sinal de referência. 132 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2007.
- [56] D. B. Talbot, "A Review of PLL Fundamentals," in *Frequency Acquisition Techniques for Phase Locked Loops*, 1, Wiley-IEEE Press, 2012, pp.224.
- [57] Y. Wang, L. Sun, F. Wu and Quntao An, "An improved phase locking scheme for grid-connected-inverter under non-ideal grid conditions," *Proceedings of The 7th International Power Electronics and Motion Control Conference*, Harbin, China, 2012, pp. 2178-2182.
- [58] Z. Zhang, F. Wang, L. M. Tolbert and B. J. Blalock, "A novel gate assist circuit for cross talk mitigation of SiC power devices in a phase-leg configuration," *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Long Beach, CA, 2013, pp. 1259-1265.
- [59] Y. Zushi, S. Sato, K. Matsui, Y. Murakami, S. Tanimoto, "A novel gate assist circuit for quick and stable driving of SiC-JFETs in a 3-phase inverter," in *Proc. IEEE Applied Power Electronics Conference and Exposition 2012*, Feb. 2012, pp. 1734-1739.
- [60] Z. Chen, M. Danilovic, D. Boroyevich, Z. Shen "Modularized design consideration of a general-purpose, high-speed phase-leg PEBB based on SiC MOSFETs," in *Proc. European Power Electronics and Applications conference (EPE2011)*, Aug. 2011, pp. 1-10.

APÊNDICE A

Dedução dos Esforços de Tensão e Corrente nos Semicondutores

Este apêndice apresenta a dedução, baseada em [43], das equações dos esforços de tensão e de corrente nos semicondutores do *SCDBI*, expostas no Capítulo 2.

A dedução foi realizada considerando somente o subconversor *A*, no semiciclo positivo da rede elétrica e a modulação 3 níveis. No semiciclo positivo, o subconversor *A* possui 4 etapas de operação, sendo que nas três primeiras ele permanece no mesmo estado topológico.

Nesse apêndice essas primeiras etapas serão chamadas de primeira etapa, que acontece no intervalo $D_a T_s$ e a última etapa será chamada de segunda etapa, tendo duração de $(1-D_a)T_s$. O apêndice é dividido em subseções, as quais apresentam algumas equações básicas referentes à teoria de modelo por espaço de estados e à análise dos estados de cada etapa de operação. Nestas análises as resistências dos capacitores (r_c) são consideradas iguais e os capacitores C_{1a} , C_{2a} e C_{3a} são considerados igual a C .

1. Modelo por espaço de Estados

Segundo [20] o modelo por espaço de estados pode ser descrito pelo sistema de equações exposto em (A.1). Nesse apêndice, como busca-se o modelo médio CC para determinar os esforços nos semicondutores, somente será utilizada a primeira equação definida nesse sistema.

$$\begin{aligned}\dot{x} &= [A]\vec{x} + [B]\vec{u} \\ \dot{y} &= [C]\vec{x} + [D]\vec{u}\end{aligned}\tag{A.1}$$

onde:

\dot{x} são as derivadas das variáveis de estado;

\vec{x} são as variáveis de estado;

\vec{u} são as variáveis de entrada;

$[A]$ e $[B]$ são as matrizes de estado.

Com o conversor operando em regime permanente, a primeira equação do sistema definido em (A.1) pode ser simplificada por:

$$0 = [A]X + [B]U, \quad (\text{A.2})$$

onde, as matrizes $[A]$ e $[B]$ são divididas em A_1 e B_1 , para a primeira etapa, e A_2 e B_2 para a segunda etapa:

$$\begin{aligned} [A] &= [A_1]D_a + [A_2](1 - D_a) \\ [B] &= [B_1]D_a + [B_2](1 - D_a) \end{aligned} \quad (\text{A.3})$$

Ao manipular a (A.2) tem-se que o modelo médio CC é dado por (A.4).

$$X = -[A]^{-1}[B]U. \quad (\text{A.4})$$

2. Primeira Etapa de Operação

O circuito equivalente da primeira etapa de operação é exposto na Figura A.1. Essa etapa caracteriza-se pelo armazenamento de energia no indutor L_a e inicia-se quando os interruptores S_{1a} e S_{3a} são habilitados a conduzir e os interruptores S_{2a} e S_{4a} são desabilitados. O conjunto de equações que descreve essa etapa é definido de (A.5) a (A.9).

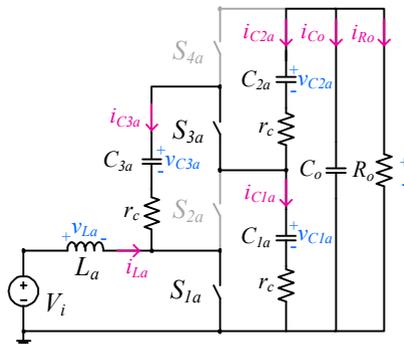


Figura A.1 – Circuito equivalente da primeira etapa de operação - $D_a T_s$.

$$v_{La} = V_i \quad (\text{A.5})$$

$$v_a = v_{C1a} + r_c i_{C1a} + v_{C2a} + r_c i_{C2a} \quad (\text{A.6})$$

$$i_{C2a} = i_{C1a} + i_{C3a} \quad (\text{A.7})$$

$$v_{C3a} = r_c i_{C1a} + v_{C1a} - r_c i_{C3a} \quad (\text{A.8})$$

$$i_{C2a} = -i_{Co} - i_{Ro} \quad (\text{A.9})$$

Ao manipular as equações de (A.5) a (A.9), encontram-se as derivadas definidas de (A.10) a (A.14).

$$\frac{di_{La}}{dt} = \frac{V_i}{L_a} \quad (\text{A.10})$$

$$\frac{dv_{C1a}}{dt} = -\frac{2v_{C1a}}{3Cr_c} - \frac{v_{C2a}}{3Cr_c} + \frac{v_{C3a}}{3Cr_c} + \frac{v_a}{3Cr_c} \quad (\text{A.11})$$

$$\frac{dv_{C2a}}{dt} = -\frac{v_{C1a}}{3Cr_c} - \frac{2v_{C2a}}{3Cr_c} - \frac{v_{C3a}}{3Cr_c} + \frac{2v_a}{3Cr_c} \quad (\text{A.12})$$

$$\frac{dv_{C3a}}{dt} = \frac{v_{C1a}}{3Cr_c} - \frac{v_{C2a}}{3Cr_c} - \frac{2v_{C3a}}{3Cr_c} + \frac{v_a}{3Cr_c} \quad (\text{A.13})$$

$$\frac{dv_a}{dt} = \frac{v_{C1a}}{3C_o r_c} + \frac{2v_{C2a}}{3C_o r_c} + \frac{v_{C3a}}{3C_o r_c} - \frac{v_a(2R_o + 3r_c)}{3C_o R_o r_c} \quad (\text{A.14})$$

O vetor de derivadas, de variáveis de estado e da variável de entrada é exposto em (A.15).

$$\dot{\vec{x}} = \begin{pmatrix} \frac{di_{La}}{dt} \\ \frac{dv_{C1a}}{dt} \\ \frac{dv_{C2a}}{dt} \\ \frac{dv_{C3a}}{dt} \\ \frac{dv_a}{dt} \end{pmatrix} \quad \vec{x} = \begin{pmatrix} i_{La} \\ v_{C1a} \\ v_{C2a} \\ v_{C3a} \\ v_a \end{pmatrix} \quad \vec{u} = (V_i) \quad (\text{A.15})$$

A partir das equações de (A.10) a (A.14) é possível determinar os coeficientes das matrizes $[A_I]$ e $[B_I]$ referentes à primeira etapa de operação. As matrizes são exibidas em (A.16) e (A.17).

$$[A_1] = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & \frac{-2}{3C_r_c} & \frac{-1}{3C_r_c} & \frac{1}{3C_r_c} & \frac{1}{3C_r_c} \\ 0 & \frac{-1}{3C_r_c} & \frac{-2}{3C_r_c} & \frac{-1}{3C_r_c} & \frac{2}{3C_r_c} \\ 0 & \frac{1}{3C_r_c} & \frac{-1}{3C_r_c} & \frac{-2}{3C_r_c} & \frac{1}{3C_r_c} \\ 0 & \frac{1}{3C_o'r_c} & \frac{2}{3C_o'r_c} & \frac{1}{3C_o'r_c} & \frac{-(2R_o + 3r_c)}{3C_oR_o'r_c} \end{pmatrix} \quad (\text{A.16})$$

$$[B_1] = \begin{pmatrix} \frac{1}{L_a} \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} \quad (\text{A.17})$$

3. Segunda Etapa de Operação

Essa etapa caracteriza-se pela transferência da energia previamente armazenada no indutor L_a e inicia-se quando os interruptores S_{2a} e S_{4a} são habilitados a conduzir e os interruptores S_{1a} e S_{3a} são desabilitados. A Figura A.2 representa o circuito equivalente da segunda etapa de operação. O conjunto de equações que descreve essa etapa é definido de (A.18) a (A.22).

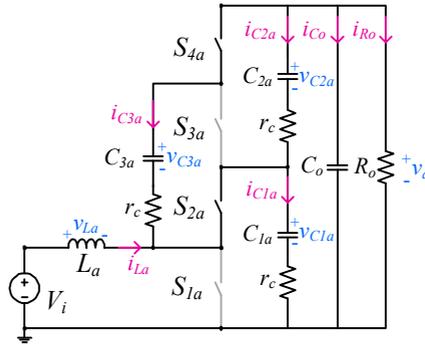


Figura A.2 – Circuito equivalente da segunda etapa de operação - $(1-D_a)T_s$.

$$v_{La} = V_i - r_c i_{C1a} - v_{C1a} \quad (\text{A.18})$$

$$v_a = v_{C1a} + r_c i_{C1a} + v_{C2a} + r_c i_{C2a} \quad (\text{A.19})$$

$$i_{C1a} = i_{C2a} + i_{C3a} + i_{La} \quad (\text{A.20})$$

$$v_{C3a} = r_c i_{C2a} + v_{C2a} - r_c i_{C3a} \quad (\text{A.21})$$

$$i_{C2a} = -i_{Co} - i_{Ro} - i_{C3a} \quad (\text{A.22})$$

De forma similar à etapa anterior, ao manipular as equações de (A.18) a (A.22), encontram-se as derivadas definidas de (A.23) a (A.27).

$$\frac{di_{La}}{dt} = \frac{V_i}{L_a} - \frac{i_{La} r_c}{3L_a} - \frac{v_{C1a}}{3L_a} + \frac{v_{C2a}}{3L_a} + \frac{v_{C3a}}{3L_a} - \frac{2v_a}{3L_a} \quad (\text{A.23})$$

$$\frac{dv_{C1a}}{dt} = \frac{i_{La}}{3C} - \frac{2v_{C1a}}{3Cr_c} - \frac{v_{C2a}}{3Cr_c} - \frac{v_{C3a}}{3Cr_c} + \frac{2v_a}{3Cr_c} \quad (\text{A.24})$$

$$\frac{dv_{C2a}}{dt} = -\frac{i_{La}}{3C} - \frac{v_{C1a}}{3Cr_c} - \frac{2v_{C2a}}{3Cr_c} + \frac{v_{C3a}}{3Cr_c} + \frac{v_a}{3Cr_c} \quad (\text{A.25})$$

$$\frac{dv_{C3a}}{dt} = -\frac{i_{La}}{3C} - \frac{v_{C1a}}{3Cr_c} + \frac{v_{C2a}}{3Cr_c} - \frac{2v_{C3a}}{3Cr_c} + \frac{v_a}{3Cr_c} \quad (\text{A.26})$$

$$\frac{dv_a}{dt} = \frac{2i_{La}}{3C_o} + \frac{2v_{C1a}}{3C_o r_c} + \frac{v_{C2a}}{3C_o r_c} + \frac{v_{C3a}}{3C_o r_c} - \frac{v_a (2R_o + 3r_c)}{3C_o R_o r_c} \quad (\text{A.27})$$

O vetor de derivadas, de variáveis de estado e da variável de entrada é o mesmo exposto em (A.15). As matrizes $[A_2]$ e $[B_2]$ referentes à segunda

etapa de operação são determinadas em (A.28) e (A.29), respectivamente, cujos coeficientes foram obtidos a partir das equações de (A.23) a (A.27).

$$[A_2] = \begin{pmatrix} \frac{-r_c}{3L_a} & \frac{-1}{3L_a} & \frac{1}{3L_a} & \frac{1}{3L_a} & \frac{-2}{3L_a} \\ \frac{1}{3C} & \frac{-2}{3C r_c} & \frac{-1}{3C r_c} & \frac{-1}{3C r_c} & \frac{2}{3C r_c} \\ \frac{-1}{3C} & \frac{-1}{3C r_c} & \frac{-2}{3C r_c} & \frac{1}{3C r_c} & \frac{1}{3C r_c} \\ \frac{-1}{3C} & \frac{-1}{3C r_c} & \frac{1}{3C r_c} & \frac{-2}{3C r_c} & \frac{1}{3C r_c} \\ \frac{2}{3C_o} & \frac{2}{3C_o r_c} & \frac{1}{3C_o r_c} & \frac{1}{3C_o r_c} & \frac{-(2R_o + 3r_c)}{3C_o R_o r_c} \end{pmatrix} \quad (\text{A.28})$$

$$[B_2] = \begin{pmatrix} \frac{1}{L_a} \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} \quad (\text{A.29})$$

4. Matrizes de Estado e Modelo Médio CC

Substituindo as matrizes obtidas em cada etapa de operação, obtêm-se as matrizes de estado definidas em (A.30) e (A.31).

$$[A] = \begin{pmatrix} \frac{r_c(D_a - 1)}{3L_a} & \frac{(D_a - 1)}{3L_a} & \frac{(1 - D_a)}{3L_a} & \frac{(1 - D_a)}{3L_a} & \frac{2(D_a - 1)}{3L_a} \\ \frac{(1 - D_a)}{3C} & \frac{-2}{3Cr_c} & \frac{-1}{3Cr_c} & \frac{(2D_a - 1)}{3Cr_c} & \frac{(2 - D_a)}{3Cr_c} \\ \frac{(D_a - 1)}{3C} & \frac{-1}{3Cr_c} & \frac{-2}{3Cr_c} & \frac{(1 - 2D_a)}{3Cr_c} & \frac{(D_a + 1)}{3Cr_c} \\ \frac{(D_a - 1)}{3C} & \frac{(2D_a - 1)}{3Cr_c} & \frac{(1 - 2D_a)}{3Cr_c} & \frac{-2}{3Cr_c} & \frac{1}{3Cr_c} \\ \frac{2(1 - D_a)}{3C_o} & \frac{(2 - D_a)}{3C_o r_c} & \frac{(D_a + 1)}{3C_o r_c} & \frac{1}{3C_o r_c} & \frac{-(2R_o + 3r_c)}{3C_o R_o r_c} \end{pmatrix} \quad (\text{A.30})$$

$$[B] = \begin{pmatrix} \frac{1}{L_a} \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} \quad (\text{A.31})$$

Ao substituir as matrizes expostas em (A.30) e (A.31) em (A.4), encontram-se os valores médios das variáveis analisadas, definidos em (A.32).

$$X = \begin{pmatrix} I_{La} \\ V_{C1a} \\ V_{C2a} \\ V_{C3a} \\ V_a \end{pmatrix} = \begin{pmatrix} \frac{8V_i D_a}{(1-D_a)[2R_o D_a(1-D_a) + 3r_c]} \\ \frac{V_i [r_c(3-2D_a) + 2D_a R_o(1-D_a)]}{(1-D_a)[2R_o D_a(1-D_a) + 3r_c]} \\ \frac{V_i [r_c(2D_a-3) + 2D_a R_o(1-D_a)]}{(1-D_a)[2R_o D_a(1-D_a) + 3r_c]} \\ \frac{V_i [r_c(4D_a-3) + 2D_a R_o(1-D_a)]}{(1-D_a)[2R_o D_a(1-D_a) + 3r_c]} \\ \frac{4R_o V_i D_a}{2R_o D_a(1-D_a) + 3r_c} \end{pmatrix} \quad (\text{A.32})$$

A partir da consideração de que a topologia é ideal, ou seja, ao desprezar a influência da resistência série r_c dos capacitores, encontra-se o vetor dado por (A.33). A análise pode ser validada a partir da variável V_a , que apresenta o ganho estático do conversor para $k=2$.

$$X = \begin{pmatrix} I_{La} \\ V_{C1a} \\ V_{C2a} \\ V_{C3a} \\ V_a \end{pmatrix} = \begin{pmatrix} \frac{4V_i}{R_o(1-D_a)^2} \\ \frac{V_i}{(1-D_a)} \\ \frac{V_i}{(1-D_a)} \\ \frac{V_i}{(1-D_a)} \\ \frac{2V_i}{(1-D_a)} \end{pmatrix} \quad (\text{A.33})$$

5. Corrente nos Capacitores

As correntes nos capacitores durante a primeira etapa são definidas em (A.34), (A.35) e (A.36).

$$i_{C1ax} = C \frac{dv_{C1a}}{dt} = -\frac{2v_{C1a}}{3r_c} - \frac{v_{C2a}}{3r_c} + \frac{v_{C3a}}{3r_c} + \frac{v_a}{3r_c} \quad (\text{A.34})$$

$$i_{C2ax} = C \frac{dv_{C2a}}{dt} = -\frac{v_{C1a}}{3r_c} - \frac{2v_{C2a}}{3r_c} - \frac{v_{C3a}}{3r_c} + \frac{2v_a}{3r_c} \quad (\text{A.35})$$

$$i_{C3ax} = C \frac{dv_{C3a}}{dt} = \frac{v_{C1a}}{3r_c} - \frac{v_{C2a}}{3r_c} - \frac{2v_{C3a}}{3r_c} + \frac{v_a}{3r_c} \quad (\text{A.36})$$

Em (A.37), (A.38) e (A.39) são apresentas as correntes nos capacitores durante a segunda etapa de operação.

$$i_{C1ay} = C \frac{dv_{C1a}}{dt} = \frac{i_{La}}{3} - \frac{2v_{C1a}}{3r_c} - \frac{v_{C2a}}{3r_c} - \frac{v_{C3a}}{3r_c} + \frac{2v_a}{3r_c} \quad (\text{A.37})$$

$$i_{C2ay} = C \frac{dv_{C2a}}{dt} = -\frac{i_{La}}{3} - \frac{v_{C1a}}{3r_c} - \frac{2v_{C2a}}{3r_c} + \frac{v_{C3a}}{3r_c} + \frac{v_a}{3r_c} \quad (\text{A.38})$$

$$i_{C3ay} = C \frac{dv_{C3a}}{dt} = -\frac{i_{La}}{3} - \frac{v_{C1a}}{3r_c} + \frac{v_{C2a}}{3r_c} - \frac{2v_{C3a}}{3r_c} + \frac{v_a}{3r_c} \quad (\text{A.39})$$

- **Capacitor C_{1a} :**

Substituindo os valores encontrados em (A.32) nas equações (A.34) e (A.37), encontram-se as equações (A.40) e (A.41) que descrevem a corrente em cada etapa.

$$i_{C1ax} = -\frac{2V_i}{2R_oD_a - 2R_oD_a^2 + 3r_c} \quad (\text{A.40})$$

$$i_{C1ay} = -\frac{2V_iD_a}{(D-1)(2R_oD_a - 2R_oD_a^2 + 3r_c)} \quad (\text{A.41})$$

- **Capacitor C_{2a} :**

De maneira análoga, encontram-se as equações (A.42) e (A.43) para as correntes do capacitor C_{2a} em cada etapa de operação.

$$i_{C2ax} = \frac{2V_i}{2R_oD_a - 2R_oD_a^2 + 3r_c} \quad (\text{A.42})$$

$$i_{C2ay} = \frac{2V_i D_a}{(D-1)(2R_o D_a - 2R_o D_a^2 + 3r_c)} \quad (\text{A.43})$$

- **Capacitor C_{3a} :**

A corrente do capacitor C_{3a} em cada etapa de operação é definida em (A.44) e (A.45).

$$i_{C3ax} = \frac{4V_i}{2R_o D_a - 2R_o D_a^2 + 3r_c} \quad (\text{A.44})$$

$$i_{C3ay} = \frac{4V_i D_a}{(D-1)(2R_o D_a - 2R_o D_a^2 + 3r_c)} \quad (\text{A.45})$$

6. Esforços de Tensão e de Corrente nos Semicondutores

O valor médio e eficaz da corrente dos semicondutores de potência é calculado, respectivamente, pelas equações genéricas determinadas em (A.46) e (A.47).

$$i_{med} = \frac{1}{T_s} \left[\int_0^{D_a T_s} i_x + \int_{D_a T_s}^{T_s} i_y \right] \quad (\text{A.46})$$

$$i_{ef} = \sqrt{\frac{1}{T_s} \left[\int_0^{D_a T_s} (i_x)^2 + \int_{D_a T_s}^{T_s} (i_y)^2 \right]} \quad (\text{A.47})$$

- **Interruptor S_{1a} :**

Com a análise das etapas de operação é possível identificar que o interruptor S_{1a} somente conduz durante a primeira etapa. A corrente que o atravessa é dada pela soma da corrente i_{La} com a corrente i_{C3a} durante $D_a T_s$.

Substituindo a equação (A.44) somada a i_{La} em (A.46) e (A.47), obtêm-se (A.48) e (A.49).

$$I_{S1med} = D_a I_{La} + \frac{4D_a V_i}{2R_o D_a - 2R_o D_a^2 + 3r_c} \quad (\text{A.48})$$

$$I_{S1ef} = \sqrt{\frac{D_a [2R_o I_{La} D_a (1 - D_a) + 4V_i + 3I_{La} r_c]^2}{(2R_o D_a - 2R_o D_a^2 + 3r_c)^2}} \quad (\text{A.49})$$

A equação que descreve a tensão de entrada V_i , exposta em (A.50), pode ser obtida a partir da manipulação da equação da corrente I_{La} em (A.33).

$$V_i = \frac{R_o I_{La} (1 - D_a)^2}{4} \quad (\text{A.50})$$

Ao substituir (A.50) em (A.48) e (A.49), e desprezar a influência da resistência r_c , obtêm-se (A.51) e (A.52).

$$I_{S1med} = \frac{I_{La}}{2} (1 + D_a) \quad (\text{A.51})$$

$$I_{S1ef} = \frac{I_{La}}{2} \frac{(1 + D_a)}{\sqrt{D_a}} \quad (\text{A.52})$$

- **Interruptor S_{2a} :**

O interruptor S_{2a} somente conduz durante a segunda etapa. A corrente que o atravessa é dada pela soma da corrente i_{La} com a corrente i_{C3a} durante $(1 - D_a)T_s$.

De forma similar ao interruptor S_{1a} , desprezando as não idealidades, encontram-se as equações (A.53) e (A.54).

$$I_{S2med} = \frac{I_{La}}{2} (1 - D_a) \quad (\text{A.53})$$

$$I_{S2ef} = \frac{I_{La}}{2} \sqrt{1 - D_a} \quad (\text{A.54})$$

- **Interruptor S_{3a} :**

O interruptor S_{3a} conduz a corrente do capacitor chaveado C_{3a} durante a primeira etapa. As equações que descrevem os valores médio e eficaz da corrente no período de comutação são dadas em (4.55) e (4.56).

$$I_{S3med} = \frac{I_{La}}{2}(1-D_a) \quad (\text{A.55})$$

$$I_{S3ef} = \frac{I_{La}}{2} \frac{(1-D_a)}{\sqrt{D_a}} \quad (\text{A.56})$$

- **Interruptor S_{4a} :**

O interruptor S_{4a} conduz a corrente do capacitor chaveado C_{3a} , com sentido contrário ($-i_{C3ay}$) durante a segunda etapa. As equações que descrevem os valores médio e eficaz da corrente no período de comutação são dadas em (4.57) e (4.58).

$$I_{S3med} = \frac{I_{La}}{2}(1-D_a) \quad (\text{A.57})$$

$$I_{S3ef} = \frac{I_{La}}{2} \sqrt{1-D_a} \quad (\text{A.58})$$

Em todos os interruptores de potência a tensão de bloqueio (V_{spk}) é definida por (A.59).

$$V_{spk} = \frac{V_a}{2}. \quad (\text{A.59})$$

As equações de valor eficaz e médio da corrente dos interruptores aqui apresentadas são referentes ao período de comutação, sendo assim, elas devem ser integradas no período da rede para o *SCDBI*. Deve ser considerada a razão cíclica na saída do bloco de linearização (d_a) e a

corrente no indutor de entrada (i_{La}) gerada com essa razão cíclica, ambas no domínio do tempo, ou seja, $D_a=d_a$ e $I_{La}=i_{La}$. No *SCDBI* a tensão máxima nos interruptores é o valor máximo da tensão parcial de cada braço ($V_a=V_{apk}$).

APÊNDICE B

Projeto Físico dos Elementos Magnéticos

Este apêndice apresenta nas subseções 1 e 2 o projeto físico dos indutores de entrada e do indutor de saída, respectivamente. Os projetos foram realizados com base na referência [49].

1. Indutores de Entrada

O projeto físico dos indutores de entrada foi realizado considerando a Tabela B.1 e o núcleo toroidal APH46P60, cujas principais características são apresentadas na Tabela B.2.

Tabela B.1- Parâmetros de projeto.

Indutância (L_a/L_b)	230 μH
Valor de pico da corrente no indutor (I_{Lpk})	15,8 A
Máxima densidade de corrente (J_{max})	450 A/cm^2
Densidade de fluxo magnético (Δ_b)	0,2 T
Permeabilidade do ar (μ_o)	$4\pi \cdot 10^{-7} \text{H}/\text{m}$

Tabela B.2- Principais características do núcleo APH46P60

Densidade de fluxo de saturação (B_{sat})	1,5 T
Critério de utilização da janela (K_u)	0,4
Permeabilidade relativa do material do núcleo (μ_r)	60
Diâmetro interno do núcleo (I_D)	24,13 mm
Área da secção magnética (A_c)	1,990 cm^2
Comprimento do caminho magnético (L_c)	10,74 cm

O número de espiras (N_{esp}) é calculado pela equação (B.1). O valor da indutância ($L_{i=0}$) para esse número de espiras, ao considerar a corrente nula e os parâmetros do núcleo é exposto em (B.2).

$$N_{esp} = \sqrt{\frac{L_a L_c}{\mu_r \mu_o A_c}} = 41 \text{ espiras} \quad (\text{B.1})$$

$$L_{i=0} = N_{esp}^2 \mu_r \mu_o \frac{A_c}{L_c} = 235 \mu\text{H} \quad (\text{B.2})$$

O número máximo de espiras para o núcleo não saturar (N_{max}) é determinado em (B.3).

$$N_{max} = \frac{0,8B_{sat}L_c}{\mu_r\mu_o I_{Lpk}} = 109 \text{ espiras} \quad (\text{B.3})$$

O valor da área do condutor (S_c) é calculado por (B.4) e a profundidade de penetração (Δ) por (B.5).

$$S_c = \frac{I_{Lpk}}{J_{max}} = 3,5 \text{ } \mu\text{m}^2 \quad (\text{B.4})$$

$$\Delta = 2 \frac{7,5}{\sqrt{f_s}} = 0,067 \text{ cm} \quad (\text{B.5})$$

O condutor escolhido é o AWG41, cuja área (A_{cond}) é $40 \text{ } \mu\text{m}^2$. O número de condutores em paralelo é calculado pela equação (B.6).

$$N_{fios} = \frac{S_c}{A_{cond}} = 876 \text{ condutores} \quad (\text{B.6})$$

O condutor escolhido é o fio litz com 982 fios AWG41 em paralelo, com diâmetro do cobre (d_c) de $0,205 \text{ cm}$. O número máximo de espiras (N_{max_esp}) que cabe no núcleo é determinado em (B.7). O projeto pode ser executado, pois o número máximo de espiras é maior que o número de espiras necessária.

$$N_{max_esp} = K_u \frac{I_D^2}{d_c^2} = 56 \text{ espiras} \quad (\text{B.7})$$

O comprimento (C_{omp}) de fio necessário é determinado em (B.8).

$$C_{omp} = L_c N_{esp} = 4,4 \text{ m} \quad (\text{B.8})$$

A Tabela B.3 resume os valores obtidos pelas equações de (B.1) a (B.8).

Tabela B.3- Resumo dos valores obtidos.

Número de espiras (N_{esp})	41 espiras
Indutância ($L_{l=0}$)	235 μH
Número máximo de espiras para o núcleo não saturar (N_{max})	109 espiras
Valor da área do condutor (S_c)	3,5 μm^2
Profundidade de penetração (Δ)	0,067 cm
Área do condutor escolhido (A_{cond})	40 μcm^2
Número de fios em paralelo (N_{fios})	876 fios
Diâmetro do cobre (d_c)	0,205 cm
Número máximo de espiras que cabe no núcleo ($N_{max\ esp}$)	56 espiras
Condutor utilizado	Fio Litz 982xAWG41
Comprimento do fio (C_{omp})	4,4 m

2. Indutor de Saída

Para o projeto do indutor de saída foi utilizado os valores da Tabela B.4, da Tabela B.5 e as equações de (B.1) a (B.8), o que resultou nos valores da Tabela B.6.

Tabela B.4- Parâmetros de projeto.

Indutância (L_g/L_b)	140 μH
Valor da corrente de pico no indutor (I_{Lpk})	2,784 A
Máxima densidade de corrente (J_{max})	450 $\frac{\text{A}}{\text{cm}^2}$
Densidade de fluxo magnético (Δ_b)	0,2 T
Permeabilidade do ar (μ_o)	4 $4\pi \cdot 10^{-7} \frac{\text{H}}{\text{m}}$

Tabela B.5- Principais características do núcleo APH33P60

Densidade de fluxo de saturação (B_{sat})	1,5 T
Critério de utilização da janela (K_u)	0,4
Permeabilidade relativa do material do núcleo (μ_r)	60
Diâmetro interno do núcleo (I_D)	19,94 mm
Área da secção magnética (A_c)	0,672 cm^2
Comprimento do caminho magnético (L_c)	8,15 cm

Tabela B.6- Resumo dos valores obtidos.

Número de espiras (N_{esp})	47 espiras
Indutância ($L_{j=0}$)	145 μ H
Número máximo de espiras para o núcleo não saturar (N_{max})	615 espiras
Valor da área do condutor (S_c)	618,641 mm^2
Profundidade de penetração (Δ)	0,067 cm
Área do condutor escolhido (A_{cond})	80 μcm^2
Número de fios em paralelo (N_{fios})	78 fios
Diâmetro do cobre (d_c)	0,13 cm
Número máximo de espiras que cabe no núcleo ($N_{max\ esp}$)	140 espiras
Condutor utilizado	Fio Litz 150xAWG38
Comprimento do fio (C_{omp})	3,8 m

APÊNDICE C

Modelagem, Controle e Resultados com Controle de Tensão

Este apêndice apresenta a modelagem orientada ao controle para obtenção da função de transferência que relaciona a variável a ser controlada (v_o) pela variável de controle (d). Além disso, mostra o projeto do controlador utilizado e alguns resultados de simulação e de experimentação.

1. Modelagem Orientada ao Controle

A metodologia para obtenção dos modelos da Figura C.1 é a mesma utilizada no Capítulo 3. A Figura C.1 (a) apresenta o modelo comutado. A Figura C.1 (b) exibe o modelo CC e a Figura C.1 (c) ilustra o modelo de pequenos sinais.

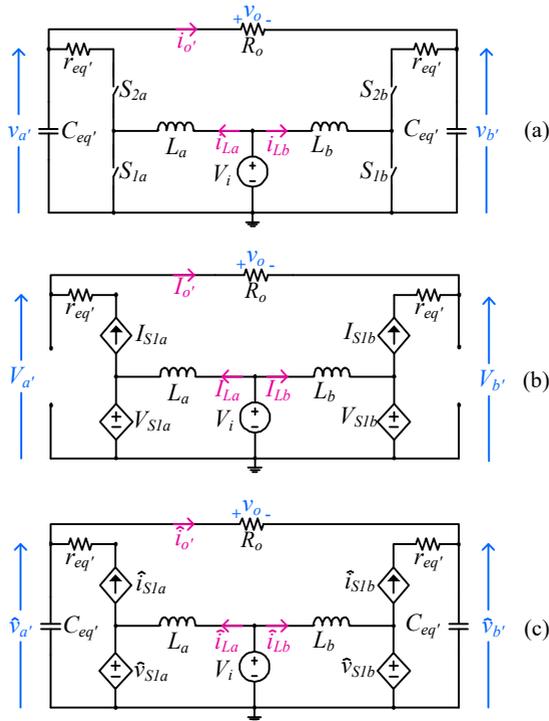


Figura C.1 – Modelos equivalentes para o SCDBI: a) modelo comutado b) modelo CC e c) modelo de pequenos sinais.

A partir da análise do modelo CC é possível encontrar as relações expressas em (C.1).

$$\begin{aligned}
 V_a' &= \frac{V_i - r_{eq}' I_{La} (1-D)}{(1-D)} \\
 V_b' &= \frac{V_i - r_{eq}' I_{Lb} D}{D} \\
 I_{La} &= I_o' (1-D), \\
 I_{Lb} &= \frac{-I_o' (1-D)^2}{D}
 \end{aligned} \tag{C.1}$$

A partir do modelo de pequenos sinais é possível determinar a função de transferência desejada, dada por (C.2), cujos coeficientes são resumidos na Tabela C.1.

$$G_{vd}(s) = \frac{\hat{v}_o}{\hat{d}} = \frac{b_3 s^3 + b_2 s^2 + b_1 s + b_0}{a_4 s^4 + a_3 s^3 + a_2 s^2 + a_1 s + a_0} \tag{C.2}$$

Tabela C.1 – Coeficiente da função de transferência.

b_3	$-C_{eq}' L_b^2 k R_o (I_{La} + I_{Lb})$
b_2	$C_{eq}' L_b V_a' k R_o (1-D) - C_{eq}' I_{Lb} L_b k R_o r_{eq}' (1-D) + \dots$ $C_{eq}' D L_b k R_o (V_b' - I_{La} r_{eq}')$
b_1	$-D^2 L_b k R_o (I_{La} + I_{Lb}) + I_{Lb} L_b k R_o (2D-1) + \dots$ $C_{eq}' D k R_o r_{eq}' (V_a' + V_b') - C_{eq}' R_o D^2 k r_{eq}' (V_a' + V_b')$
b_0	$D V_b' R_o k + D^2 k R_o (V_a' - 2V_b') + D^3 k R_o (V_b' - V_a')$
a_4	$C_{eq}'^2 L_b^2 R_o$
a_3	$R_o r_{eq}' C_{eq}'^2 L_b + 2 C_{eq}' L_b^2 k^2$
a_2	$R_o C_{eq}'^2 D r_{eq}'^2 (1-D) - 2 L_b R_o C_{eq}' D (1-D) + 2 L_b C_{eq}' k^2 r_{eq}' + L_b R_o C_{eq}'$
a_1	$2 C_{eq}' D k^2 r_{eq}'^2 (1-D) - 2 L_b D k^2 (1-D) + C_{eq}' R_o D r_{eq}' (1-D) + L_b k^2$
a_0	$k^2 r_{eq}' D (1-D) + R_o D^2 (1-D)^2$

A Figura C.2 apresenta a validação da função de transferência para controle da tensão de saída. Os valores utilizados são os mesmos da validação da função de transferência para o controle da corrente e o valor do

resistor R_o é 65Ω . A perturbação de razão cíclica aplicada nas simulações foi de 1%.

As respostas dinâmicas obtidas a partir do modelo de pequenos sinais ($V_{o_médio}$) e do modelo comutado ($V_{o_comutado}$) no domínio do tempo e no domínio da frequência, são apresentadas na Figura C.2 (a) e na Figura C.2 (b), respectivamente. Consta-se que o modelo médio representa satisfatoriamente o inversor comutado.

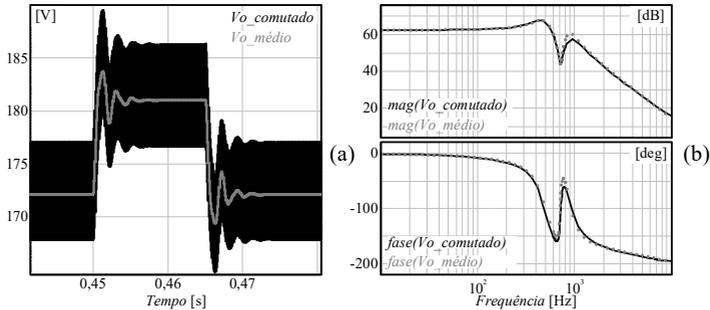


Figura C.2 – Validação da função de transferência: a) domínio do tempo e b) domínio da frequência.

2. Controle

Foi implementada uma única malha de controle, Figura C.3, para regular a tensão de saída do inversor por meio do uso de um controlador proporcional-ressonante, descrito por (C.3). Os requisitos para projetar o controlador são: frequência de ressonância (ω_r) de 60 Hz, frequência de cruzamento de 200 Hz, margem de fase de 60° e coeficiente de amortecimento (ζ) 0,001. As constantes K_p , K_r e K_v foram ajustadas para 488×10^{-6} , 112×10^{-3} e 1, respectivamente. A equação recursiva discreta foi obtida aplicando-se a transformada de Tustin pré-*warping* em (C.3).

$$H(s) = K_p + \frac{K_r s}{s^2 + 2\zeta\omega_r s + \omega_r^2} \quad (C.3)$$

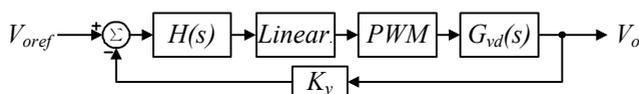


Figura C.3 – Diagrama de blocos da estratégia empregada para o controle de tensão.

3. Resultados de Simulação e de Experimentação

O inversor foi testado com a malha de tensão habilitada, uma carga resistiva e tensão de entrada de 70 V, na prática e na simulação, cujos resultados estão organizados de forma idêntica para facilitar a comparação.

O inversor impôs uma tensão de saída (v_o) de 127 V numa resistência de 65 Ω , o que gerou uma corrente (i_o) de 1,95 A, como visto na Figura C.4. A THD da tensão de saída na simulação é 1,72% e na experimentação é 1,53%.

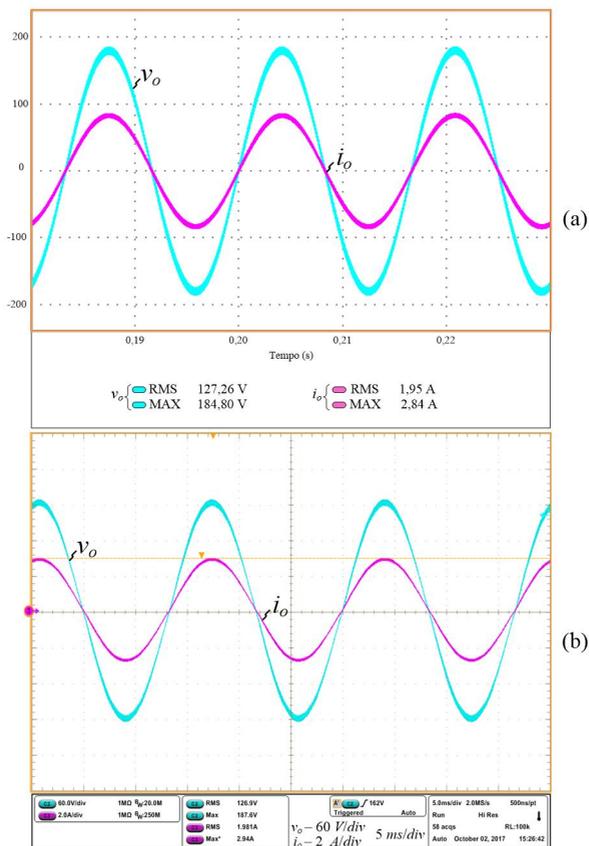


Figura C.4 – a) Resultados de Simulação e b) Resultados de Experimentação: tensão (v_o) e corrente (i_o) de saída.

O protótipo foi submetido a um degrau de carga de $\pm 50\%$, com o intuito de se verificar a eficácia da malha de controle de tensão, conforme mostra a Figura C.5. Observa-se que a tensão de saída (v_o) responde rapidamente, evidenciando o comportamento adequado do controlador

projetado. A Figura C6 detalha a tensão e a corrente de saída durante a redução de carga e a Figura C7 ilustra o comportamento do inversor durante o aumento de carga.

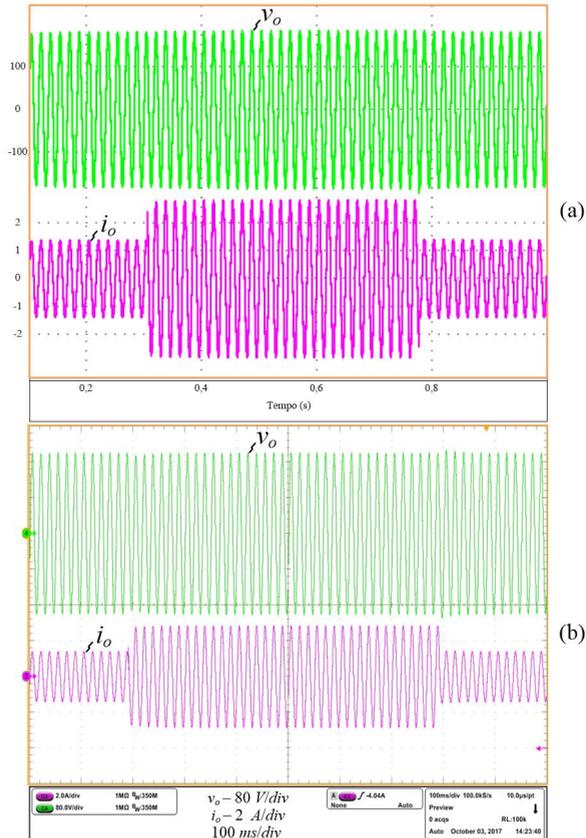


Figura C.5 – a) Resultados de Simulação e b) Resultados de Experimentação: degrau de carga de $\pm 50\%$.

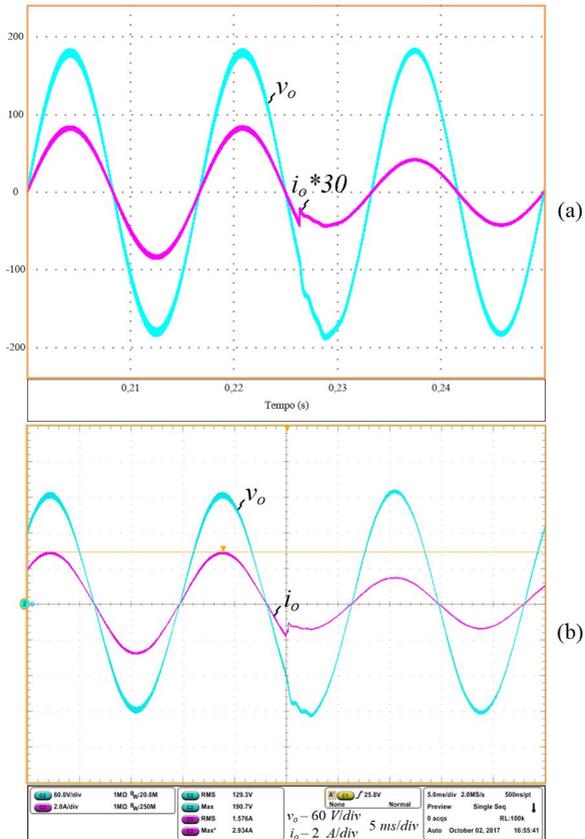


Figura C.6 – a) Resultados de Simulação e b) Resultados de Experimentação: degrau de carga de -50%.

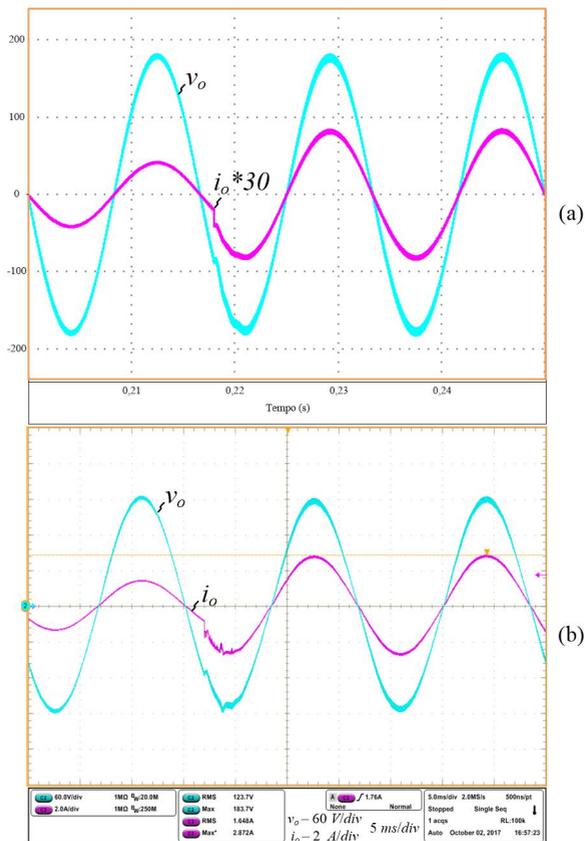


Figura C.7 – a) Resultados de Simulação e b) Resultados de Experimentação: degrau de carga de +50%.

APÊNDICE D

Código do Matlab para Obtenção das Funções de Transferência

```
clear all
close all
clc

%%Modelo Médio de Pequenos Sinais

% Sistema de Equações - Subconversor A
syms va VA ila ILA D d io req Ceq L s

eqn1=(ila*(1-D)-ILA*d-io)*(1/(s*Ceq))==va;
eqn2=-[(req*ila+va)*(1-D)-d*(req*ILA+VA)]=s*L*ila;
[s_va,s_ila]=solve(eqn1,eqn2,va,ila)

% Sistema de Equações - Subconversor B
syms vb ilb VB ILB

eqn3=(ilb*D+ILB*d+io)*(1/(s*Ceq))==vb;
eqn4=-[(req*ilb+vb)*D+d*(req*ILB+VB)]=s*L*ilb;
[s_vb,s_ilb]=solve(eqn3,eqn4,vb,ilb)

% Função de transferência para controle da corrente injetada na rede elétrica
syms Lo k rl

X1=(-(D*VA - VA + ILA*L*s)/(D^2 - Ceq*req*D*s - 2*D + Ceq*L*s^2 + Ceq*req*s + 1));
Y1=(req - D*req + L*s)/(D^2 - Ceq*req*D*s - 2*D + Ceq*L*s^2 + Ceq*req*s + 1);

X2=(-(D*VB - ILB*L*s)/(D^2 + Ceq*req*D*s + Ceq*L*s^2));
Y2=(D*req + L*s)/(D^2 + Ceq*req*D*s + Ceq*L*s^2);

Gid=collect(k*((X1)-(X2))/(s*Lo+r1-k^2*((Y1)-(Y2))),s)

% Função de transferência para controle da tensão de saída diferencial
syms Ro

Gvd=collect(k*((X1)-(X2))/(1-(k^2/(Ro))*(Y1-Y2)),s)
```


APÊNDICE E

Código Utilizado no Processador de Sinal Digital para Implementação Prática

//Definição das variáveis

```
static double da=0, da1=0, S=0, S1=0, S2=0, E=0, E1=0, E2=0, Sf=0;
static double kfeed=0;
static float X0=0, X1=0, Y0=377, Y1=377, Z0=0, Z1=0, Iref=0;
static float on_controle=0, tab=0;
```

//-----

//Interrupção do ADC

```
interrupt void ADCINT1_ISR(void){
```

```
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
```

```
    //Malha de controle de corrente + PLL (conexão com a rede)
```

```
    //Leitura da chave para ligar a PLL
```

```
    on_PLL=GpioDataRegs.GPADAT.bit.GPIO22;
```

```
    if(on_PLL==1){ //PLL desligada
```

```
        //Desabilita reles
```

```
        GpioDataRegs.GPACLEAR.bit.GPIO19=1;
```

```
        //Desabilita PWMs
```

```
        EPwm4Regs.AQCTLA.all = 0x0555; //S1a e S3a
```

```
        EPwm5Regs.AQCTLA.all = 0x0555; //S1b e S3b
```

```
        EPwm4Regs.DBCTL.bit.POLSEL = 0; //S2a e S4a
```

```
        EPwm5Regs.DBCTL.bit.POLSEL = 0; //S2b e S4b
```

```
    }
```

```
    if(on_PLL==0){ //PLL ligada
```

```
        //Habilita PWMs
```

```
        EPwm4Regs.AQCTLA.all = 0x0090; //S1a e S3a
```

```
        EPwm4Regs.DBCTL.bit.POLSEL = 2; //S2a e S4a
```

```
        EPwm5Regs.AQCTLA.all = 0x0090; //S1b e S3b
```

```
        EPwm5Regs.DBCTL.bit.POLSEL = 2; //S2b e S4b
```

```
        GpioDataRegs.GPACLEAR.bit.GPIO19=1; //Desabilita reles
```

```
        //PLL monofásica simplificada
```

```
        //Leitura do offset de 1,5 V gerado pelo condicionamento de sinal
```

```
        offset_vrede=AdcResult.ADCRESULT2*0.0008058608059;
```

```
        //Leitura da tensão da rede e ajustes devido ao condicionamento de sinal
```

```
        vrede=(AdcResult.ADCRESULT0*0.0008058608059 - offset_vrede)*1.0289389;
```

```
        X1=vrede*sin(Z1)+0.5*sin(2*Z1); //Realimentação das outras fases
```

```
        Y1=Y0+54.4337*X1-54.3942*X0; //Proporcional-integral
```

```

Z1=Z0+0.00001*(Y0+Y1);           //Integrador

if(Z1>6.28318 || Z1<0) Z1=0;      //Limitando em 360°

X0=X1;                             //Realimentação das variáveis
Y0=Y1;                             //Realimentação das variáveis
Z0=Z1;                             //Realimentação das variáveis
}

on_controle=GpioDataRegs.GPADAT.bit.GPIO27; //Chave para habilitar controle

if(on_controle==0){               //Malha de controle Ligada

    //Habilita PWMs
    EPwm4Regs.AQCTLA.all = 0x0090; //S1a e S3a
    EPwm4Regs.DBCTL.bit.POLSEL = 2; //S2a e S4a
    EPwm5Regs.AQCTLA.all = 0x0090; //S1b e S3b
    EPwm5Regs.DBCTL.bit.POLSEL = 2; //S2b e S4b

    GpioDataRegs.GPASET.bit.GPIO19=1; //Habilita reles

    //Leitura do offset de 1,5 V do condicionamento de sinal
    offset_iL=AdcResult.ADCRESULT7*0.0008058608059;

    //Leitura da corrente de saída
    iLo=(AdcResult.ADCRESULT1*0.0008058608059-offset_iL)*2.5;

    Iref=multi*sin(Z1-1.570796);    //Corrente de referência
    E=Iref-iLo;                    //Erro

    //Equação recursiva do controlador projetado
    S=0.007656*E+0.0003769*E1-0.007279*E2+1.828*S1-0.8277*S2;
    Sf=S+kfeed*vrede;              //malha de feedforward

    E2=E1;                         //Realimentação das variáveis
    E1=E;                           //Realimentação das variáveis
    S2=S1;                          //Realimentação das variáveis
    S1=S;                           //Realimentação das variáveis

    //Razão cíclica antes do bloco de linearização
    da=Sf+0.3759;
    da1=-Sf+0.3759;

    //Razão cíclica depois do bloco de linearização
    dc=lin*da/(1+lin*da);
    dc1=lin*da1/(1+lin*da1);

    //Seta valor de comparação para geração dos pulsos de comando
    EPwm4Regs.CMPA.half.CMPA = dc*900;
    EPwm5Regs.CMPA.half.CMPA = dc1*900;
}

```

```

//-----
//Malha aberta com linearização
//Habilita PWMs
EPwm4Regs.AQCTLA.all = 0x0090;           //S1a e S3a
EPwm4Regs.DBCTL.bit.POLSEL = 2;         //S2a e S4a
EPwm5Regs.AQCTLA.all = 0x0090;         //S1b e S3b
EPwm5Regs.DBCTL.bit.POLSEL = 2;         //S2b e S4b

GpioDataRegs.GPASET.bit.GPIO19=1;      //Habilita reles

//Razão cíclica antes do bloco de linearização
da=0.3759+0.27*sin(tab);
da1=0.3759-0.27*sin(tab);

//Passo de cálculo para o seno
tab=tab+0.0075;
if(tab>=6.2756) tab=0;

//Razão cíclica depois do bloco de linearização
dc= (da*2.85)/(1+2.85*da);
dc1= (da1*2.85)/(1+2.85*da1);

//Seta valor de comparação para geração dos pulsos de comando
EPwm4Regs.CMPA.half.CMPA = dc*900;
EPwm5Regs.CMPA.half.CMPA = dc1*900;

//-----
//Malha aberta sem linearização
//Habilita PWMs
EPwm4Regs.AQCTLA.all = 0x0090;           //S1a e S3a
EPwm4Regs.DBCTL.bit.POLSEL = 2;         //S2a e S4a
EPwm5Regs.AQCTLA.all = 0x0090;         //S1b e S3b
EPwm5Regs.DBCTL.bit.POLSEL = 2;         //S2b e S4b

GpioDataRegs.GPASET.bit.GPIO19=1;      //Habilita reles

//Razão cíclica antes do bloco de linearização
da=0.5+0.15*sin(tab);
da1=0.5-0.15*sin(tab);

//Passo de cálculo para o seno
tab=tab+0.0075;
if(tab>=6.2756) tab=0;

//Seta valor de comparação para geração dos pulsos de comando
EPwm4Regs.CMPA.half.CMPA = da*900;
EPwm5Regs.CMPA.half.CMPA = da1*900;
}

```


APÊNDICE F

Esquemáticos dos Protótipos

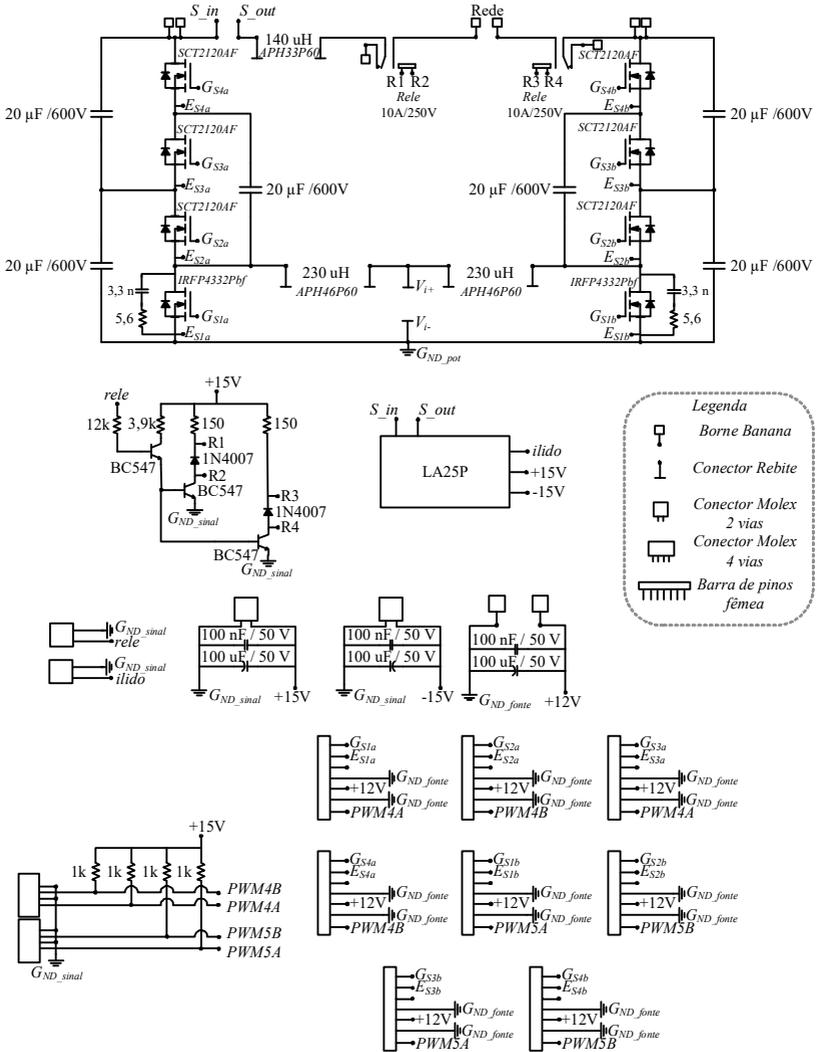


Figura F.1 – Esquemático do protótipo do estágio de potência.

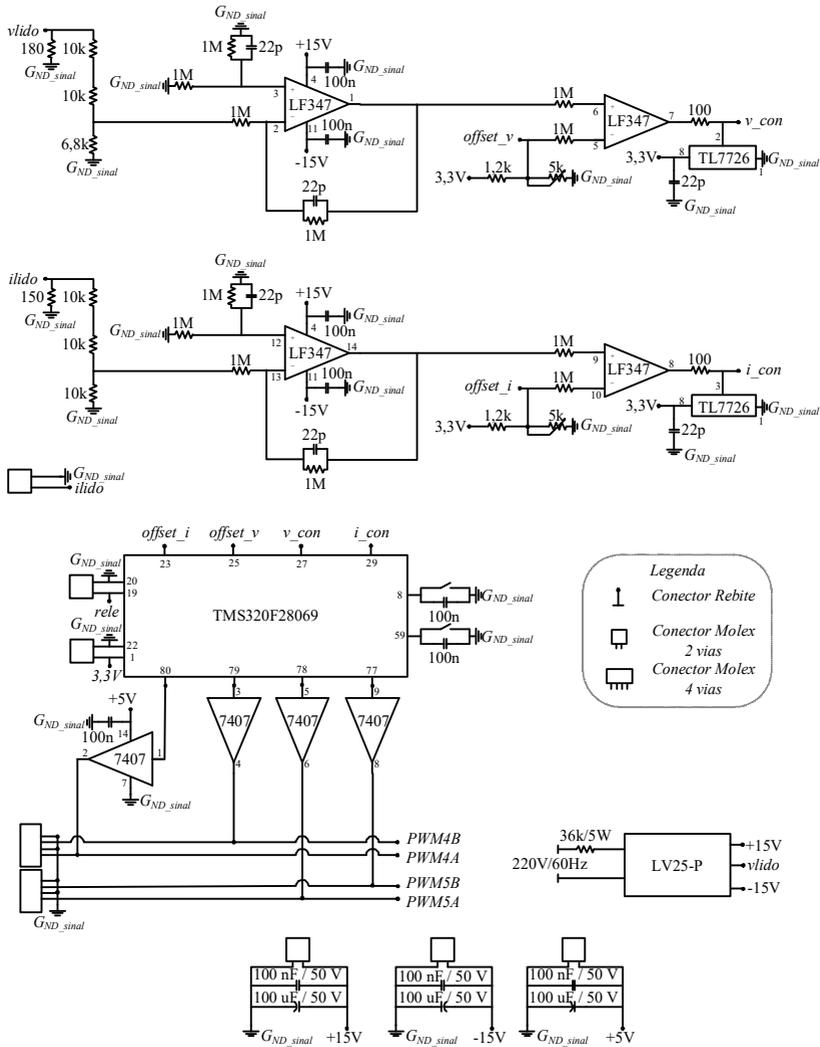


Figura F.2 – Esquemático do protótipo de controle e condicionamento de sinal.

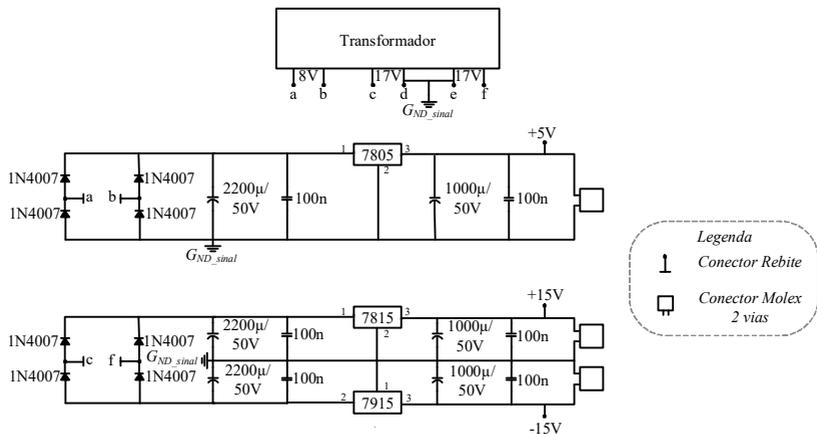


Figura F.3 – Esquemático do protótipo das fontes auxiliares.

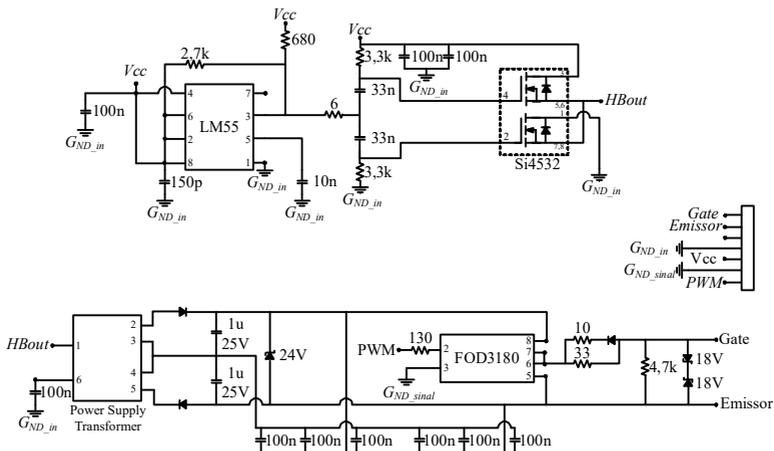


Figura F.4 – Esquemático do gate driver.