

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

Lucas Stéfano de Souza Pelegrino

**SISTEMA INTEGRADO PARA O CONTROLE DE FLUXO DE
POTÊNCIA ENTRE VEÍCULO ELÉTRICO, REDE ELÉTRICA
PÚBLICA E RESIDÊNCIA**

Florianópolis
2017

Lucas Stéfano de Souza Pelegrino

**SISTEMA INTEGRADO PARA O CONTROLE DE FLUXO DE
POTÊNCIA ENTRE VEÍCULO ELÉTRICO, REDE ELÉTRICA
PÚBLICA E RESIDÊNCIA**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do Grau de Mestre em Engenharia Elétrica.

Orientador: Prof. Gierry Waltrich, Dr.

Coorientador: Prof. Marcelo Lobo Heldwein, Dr. Sc. ETH Zurich

Florianópolis
2017

Ficha de identificação da obra elaborada pelo autor
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Pelegriño, Lucas Stéfano de Souza

Sistema Integrado Para o Controle de Fluxo de
Potência Entre Veículo Elétrico, Rede Elétrica
Pública e Residência / Lucas Stéfano de Souza
Pelegriño ; orientador, Gierry Waltrich,
coorientador, Marcelo Lobo Heldwein, 2017.

233 p.

Dissertação (mestrado) - Universidade Federal de
Santa Catarina, Centro Tecnológico, Programa de Pós
Graduação em Engenharia Elétrica, Florianópolis, 2017.

Inclui referências.

1. Engenharia Elétrica. 2. Veículos Elétricos. 3.
Vehicle-to-home. 4. Conversores CC-CC. 5. Full
bridge ZVS Phase-shift. I. Waltrich, Gierry. II.
Heldwein, Marcelo Lobo. III. Universidade Federal
de Santa Catarina. Programa de Pós-Graduação em
Engenharia Elétrica. IV. Título.

Lucas Stéfano de Souza Pelegrino

**SISTEMA INTEGRADO PARA O CONTROLE DE FLUXO DE
POTÊNCIA ENTRE VEÍCULO ELÉTRICO, REDE ELÉTRICA
PÚBLICA E RESIDÊNCIA**

Esta Dissertação foi julgada adequada para obtenção do Título de "Mestre em Engenharia Elétrica", e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica.

Florianópolis, 12 de Dezembro 2017.

Prof. Marcelo Lobo Heldwein, Dr. sc. ETH Zurich
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Prof. Gierry Waltrich, Dr.
Orientador

Prof. Marcelo Lobo Heldwein, Dr. sc. ETH Zurich
Orientador

Banca Examinadora:

Prof. André Fuerback, Dr.

Prof. Bruno Scortegagna Dupzak, Dr.

Prof. André Luis Kirsten, Dr.

À minha mãe

AGRADECIMENTOS

Primeiramente à minha família, especialmente minha mãe, que sempre me apoiou, tanto nas minhas escolhas como financeiramente, durante toda minha formação. Espero um dia conseguir retribuir todo esse amparo.

Ao Prof. Gierr Waltrich, por todo o trabalho compartilhado ao decorrer desse período de dissertação e também ao Prof. Marcelo Lobo Heldwein por oferecer os recursos necessários para o desenvolvimento da dissertação.

Aos professores do INEP, cujos ensinamentos me ofereceram uma base sólida na qual pude construir essa dissertação.

Aos companheiros de sala no INEP, Cesar Augusto Arbuger, Gabriel Beu Nogueira de Macedo e Igor Carvalho Finelli, pelo apoio, discussões e conselhos que foram extremamente úteis, tanto para a conclusão da minha dissertação quanto para manter um ambiente de trabalho agradável.

Aos técnicos do INEP, Antônio Luiz Schalata Pacheco e Luiz Marcellus Coelho pela paciência e disponibilidade mostradas na confecção dos protótipos que compõem esse trabalho.

Ao colega André de Bastiani Lange por deixar a disposição o conversor desenvolvido no seu mestrado, sem o qual esse trabalho não poderia ter sido feito, e por ter dedicado parte de seu tempo para ajudar-me com os testes experimentais.

Ao colega Lucas Munaretto, pela ajuda na instalação dos conversores no Laboratório de Microrredes Inteligentes e por se mostrar disposto a oferecer ajuda quando tive dúvidas sobre o funcionamento dos equipamentos.

Ao colega Delvanei Gomes Bandeira Júnior, em seu papel de mentor no primeiro contato com a eletrônica de potência, que teve uma grande influência na motivação pela busca ao mestrado.

À Jerusa, por tolerar pacientemente meus vários estados de humor durante esse período. Espero que nossos caminhos sejam menos acidentados daqui em diante.

Aos amigos Leonardo e Siridakis, pelo companheirismo no tempo livre.

Finalmente à todos aqueles que, de uma forma ou de outra me ajudaram durante essa jornada.

Muito obrigado!

“O todo é maior que a soma de suas partes”

Aristóteles

RESUMO

Esse trabalho propõe um dispositivo, externo ao Veículo Elétrico (VE), capaz de adicionar funcionalidades de *Vehicle-to-home* (V2H) e *Vehicle-to-grid* (V2G) ao VE através do uso dos terminais da bateria disponíveis em um conector combo. Esta configuração elimina a necessidade de conversores bidirecionais internos ao VE, reduzindo peso, custo e complexidade, adicionando também a possibilidade de integrar geração de energias renováveis locais. Para validar o conceito do sistema, são feitos o projeto e simulação do sistema, assim como a construção dos conversores CC-CC usados e o teste do sistema, integrando os vários conversores de potência necessários.

Palavras-chave: *Vehicle-to-home, Vehicle-to-grid, Conversores CC-CC, Full-bridge ZVS Phase-shift*

ABSTRACT

This work proposes a device, external to the electric vehicle, capable of adding Vehicle-to-Home (V2H) and Vehicle-to-Grid (V2G) functionalities to a vehicle through the use of the battery pack terminals, available in a combo connector. This setup eliminates the need of bidirectional converters internal to the Electrical Vehicle, reducing weight, cost and complexity, and adds the possibility to integrate local renewable energy generation. To validate the system concept, the project and simulation of the system are made, as well as the realization of the DC-DC converters used and the system's test, integrating the several power converters required.

Keywords: **Vehicle-to-home, Electric vehicles, DC-DC converters, Full-bridge ZVS Phase-shift.**

LISTA DE FIGURAS

Figura 1.1 – Esquema de uma rede de distribuição integrada com dispositivos <i>Vehicle-to-home</i> e <i>Vehicle-to-grid</i>	46
Figura 1.2 – Conector combo padrão SAE J1772.	48
Figura 1.3 – Diagrama do sistema proposto.	49
Figura 1.4 – Esquema do sistema com cada subsistema estudado realçado.	50
Figura 1.5 – Modos de operação do sistema proposto: (a) Carregamento do veículo, (b) Modo conectado, (c) Modo isolado.	51
Figura 2.1 – Módulo de bateria de lítio utilizado. Retirado de [18].	54
Figura 2.2 – Carga de uma célula de bateria de íons de lítio para diferentes valores de corrente de carga. Retirado de [20].	55
Figura 2.3 – Esquema do sistema de potência.	56
Figura 2.4 – Variante do conversor <i>full-bridge ZVS phase-shift</i> com diodos de grameamento no primário.	57
Figura 2.5 – Conversor <i>full-bridge ZVS phase-shift</i> simplificado.	57
Figura 2.6 – Perda de razão cíclica no conversor <i>Full-bridge ZVS phase-shift</i>	58
Figura 2.7 – Etapas de operação do conversor <i>Full-bridge ZVS phase-shift</i>	59
Figura 2.8 – Formas de onda do conversor <i>Full-bridge ZVS phase-shift</i>	60
Figura 2.9 – Etapas para modelagem de pequenos sinais do conversor <i>Full-bridge ZVS phase-shift</i>	62
Figura 2.10 – Efeito da perturbação de corrente de saída no conversor <i>Full-bridge ZVS phase-shift</i>	63
Figura 2.11 – Modelo de pequenos sinais do conversor <i>Full-bridge ZVS phase-shift</i>	64
Figura 2.12 – Topologia do retificador PFC monofásico <i>Bridgeless 3</i> Níveis. Retirado de [28].	66
Figura 2.13 – Estados topológicos do retificador PFC <i>bridgeless 3</i> níveis. Retirado de [28].	67
Figura 2.14 – Circuito lógico para geração dos sinais de comando do retificador PFC <i>bridgeless 3</i> níveis. Retirado de [28].	68
Figura 2.15 – Sinais gerados pela modulação apresentada do retificador PFC <i>bridgeless 3</i> níveis. Retirado de [28].	68
Figura 2.16 – Circuito equivalente para controle da corrente no retificador PFC <i>bridgeless 3</i> níveis. Retirado de [28].	69

Figura 2.17 – Formas de onda em operação ideal do retificador PFC <i>bridgeless</i> 3 níveis. Retirado de [28].	70
Figura 2.18 – Diagrama de blocos para modelagem do controle de corrente no retificador PFC <i>bridgeless</i> 3 níveis. Retirado de [28].	70
Figura 2.19 – Diagrama de blocos do controle de corrente com rejeição da perturbação do retificador PFC <i>bridgeless</i> 3 níveis. Retirado de [28].	71
Figura 2.20 - Circuito equivalente para controle da tensão no retificador PFC <i>bridgeless</i> 3 níveis. Retirado de [28].	71
Figura 2.21 – Inversor <i>Full-bridge</i> .	72
Figura 2.22 – Circuito lógico do modulador PWM senoidal de três níveis do inversor <i>full-bridge</i> .	73
Figura 2.23 – Formas de onda da modulação do inversor <i>full-bridge</i> .	74
Figura 2.24 – Circuito equivalente por valores médios do inversor <i>full-bridge</i> .	75
Figura 2.25 – Diagrama de blocos para projeto do compensador de corrente do retificador <i>bridgeless</i> três níveis.	79
Figura 2.26 – Diagrama de Bode da FTMA não compensada de corrente do retificador <i>bridgeless</i> três níveis.	82
Figura 2.27 – Diagrama de Bode do compensador de corrente do retificador <i>bridgeless</i> três níveis.	82
Figura 2.28 – Diagrama de Bode da FTMA compensada de corrente do retificador <i>bridgeless</i> três níveis.	83
Figura 2.29 – Diagrama de blocos para projeto do compensador de tensão do retificador <i>bridgeless</i> três níveis.	84
Figura 2.30 – Diagrama de Bode da FTMA não compensada de tensão do retificador <i>bridgeless</i> três níveis.	86
Figura 2.31– Diagrama de Bode do compensador de tensão do retificador <i>bridgeless</i> três níveis.	86
Figura 2.32 – Diagrama de Bode da FTMA compensada de tensão do retificador <i>bridgeless</i> três níveis.	87
Figura 2.33 – Formas de onda simuladas em regime com potência de saída de 2 kW do retificador <i>bridgeless</i> três níveis.	88
Figura 2.34 – Formas de onda simuladas da partida do retificador <i>bridgeless</i> três níveis.	89
Figura 2.35 – Circuito equivalente para análise da comutação do braço crítico do conversor <i>Full-bridge ZVS phase-shift</i> .	94
Figura 2.36 – Plano de fase para análise da comutação do braço crítico do conversor <i>Full-bridge ZVS phase-shift</i> .	95

Figura 2.37 – Planos de fase em diferentes casos para a análise da comutação do braço crítico do conversor <i>Full-bridge ZVS phase-shift</i> .	96
Figura 2.38 – Diagrama de blocos para projeto do compensador de corrente do do conversor <i>full-bridge ZVS phase-shift</i> .	98
Figura 2.39 – Diagrama de Bode da FTMA não compensada de corrente do conversor <i>full-bridge ZVS phase-shift</i> carregador.	100
Figura 2.40 – Diagrama de Bode do compensador de corrente do conversor <i>full-bridge ZVS phase-shift</i> carregador.	100
Figura 2.41 – Diagrama de Bode da FTMA compensada de corrente do conversor <i>full-bridge ZVS phase-shift</i> carregador.	101
Figura 2.42 – Formas de onda simuladas do funcionamento do conversor <i>full-bridge ZVS phase-shift</i> carregador em um período de comutação.	102
Figura 2.43 – Formas de onda simuladas das correntes de entrada e saída do conversor <i>full-bridge ZVS phase-shift</i> carregador em um período de comutação.	103
Figura 2.44 – Formas de onda simuladas de corrente nos diodos de grampeamento do conversor <i>full-bridge ZVS phase-shift</i> carregador.	103
Figura 2.45 – Formas de onda simuladas das correntes de entrada e de saída do conversor <i>full-bridge ZVS phase-shift</i> carregador na partida.	104
Figura 2.46 – Formas de onda simuladas em regime com potência de saída de 2 kW do subsistema carregador da bateria.	105
Figura 2.47 – Esquema do subsistema carregador de bateria analisado.	106
Figura 2.48 – Formas de onda simuladas da partida do subsistema carregador da bateria.	106
Figura 2.49 – Filtro de entrada utilizado no conversor <i>full-bridge ZVS phase-shift</i> SCV.	110
Figura 2.50 – Diagrama de Bode do filtro de entrada do conversor no conversor <i>full-bridge ZVS phase-shift</i> SCV.	111
Figura 2.51 – Diagrama de blocos para projeto dos compensadores do conversor <i>full-bridge ZVS phase-shift</i> SCV.	112
Figura 2.52 – Diagrama de Bode da FTMA não compensada de corrente do conversor <i>full-bridge ZVS phase-shift</i> SCV.	113
Figura 2.53 – Diagrama de Bode do compensador de corrente do conversor <i>full-bridge ZVS phase-shift</i> SCV.	113
Figura 2.54 – Diagrama de Bode da FTMA compensada de corrente do conversor <i>full-bridge ZVS phase-shift</i> SCV.	114

Figura 2.55 – Diagrama de blocos para projeto do compensador de tensão do conversor <i>full-bridge ZVS phase-shift SCV</i>	115
Figura 2.56 – Diagrama de Bode da FTMA não compensada de tensão do conversor <i>full-bridge ZVS phase-shift SCV</i>	116
Figura 2.57 – Diagrama de Bode do compensador de tensão do conversor <i>full-bridge ZVS phase-shift SCV</i>	116
Figura 2.58 – Diagrama de Bode da FTMA compensada de tensão do conversor <i>full-bridge ZVS phase-shift SCV</i>	117
Figura 2.59 – Formas de onda simuladas do funcionamento do conversor <i>full-bridge ZVS phase-shift SCV</i> em um período de comutação.	118
Figura 2.60 – Formas de onda simuladas das correntes de entrada e de saída e da tensão de saída do conversor <i>full-bridge ZVS phase-shift SCV</i>	119
Figura 2.61 – Formas de onda simuladas de corrente nos diodos de grampeamento do conversor <i>full-bridge ZVS phase-shift SCV</i>	119
Figura 2.62 – Diagrama de blocos para controle em modo isolado do inversor monofásico.....	121
Figura 2.63 – Diagrama de blocos para controle em modo conectado do inversor monofásico.....	121
Figura 2.64 – Diagrama de Bode da FTMA não compensada de corrente de modo isolado do inversor monofásico.....	123
Figura 2.65 – Diagrama de Bode do compensador de corrente de modo isolado do inversor monofásico.	123
Figura 2.66 – Diagrama de Bode da FTMA compensada de corrente de modo isolado do inversor monofásico.	124
Figura 2.67 – Diagrama de Bode da FTMA não compensada de tensão do inversor monofásico.....	125
Figura 2.68 – Diagrama de Bode do compensador de tensão do inversor monofásico.....	126
Figura 2.69 – Diagrama de Bode da FTMA compensada de tensão do inversor monofásico.....	126
Figura 2.70 – Formas de onda simuladas do funcionamento do inversor monofásico no modo isolado para potência nominal.	127
Figura 2.71 – Formas de onda simuladas do inversor monofásico no modo isolado para diferentes cargas de saída.	128
Figura 2.72 – Diagrama de Bode do compensador de corrente de modo conectado do inversor monofásico.....	129

Figura 2.73 – Diagrama de Bode da FTMA compensada de corrente de modo conectado do inversor monofásico.....	129
Figura 2.74 – Formas de onda simuladas do funcionamento do inversor monofásico no modo conectado com referência de potência nominal.	130
Figura 2.75 – Formas de onda simuladas do inversor monofásico no modo conectado para diferentes referências de potência	131
Figura 2.76 – Formas de onda simuladas das transições de modo do inversor monofásico.....	131
Figura 2.77 – Esquema do subsistema de conexão veicular analisado.....	132
Figura 2.78 – Formas de onda simuladas em regime do Sistema de Conexão Veicular no modo isolado.....	133
Figura 2.79 – Formas de onda simuladas do Sistema de Conexão Veicular na transição da perda de conexão com a rede elétrica.....	134
Figura 2.80 – Detalhe da forma de onda simulada apresentada na Figura 2.79 entre os tempos $t = 0,4$ s e $0,6$ s.....	135
Figura 2.81 – Detalhe da forma de onda simulada apresentada na Figura 2.79 entre os tempos $t = 2,4$ s e $2,6$ s.....	135
Figura 2.82 – Formas de onda simuladas em regime do Sistema de Conexão Veicular no modo conectado.....	136
Figura 2.83 – Formas de onda simuladas do Sistema de Conexão Veicular na transição para a injeção de corrente na rede.....	137
Figura 2.84 – Detalhe da forma de onda apresentada na Figura 2.83 mostrando a inversão da corrente na rede.....	138
Figura 2.85 – Esquema do sistema completo analisado.....	139
Figura 2.86 – Formas de onda simuladas de tensão e corrente na rede e na carga e corrente na bateria do sistema completo na transição entre o modo de carregamento e o modo isolado.....	140
Figura 2.87 – Formas de onda simuladas de tensão e corrente nos conversores utilizados do sistema completo na transição entre o modo de carregamento e o modo isolado.....	141
Figura 2.88 – Formas de onda simuladas de tensão e corrente nos conversores utilizados do sistema completo na transição entre o modo de carregamento e o modo conectado.....	142
Figura 2.89 – Formas de onda simuladas de tensão e corrente nos conversores utilizados do sistema completo na transição entre o modo de carregamento e o modo conectado.....	143
Figura 2.90 – Transformador utilizado no conversor <i>full-bridge</i> <i>ZVS phase-shift</i> carregador.....	145

Figura 2.91 – Modelo “T” do transformador.	147
Figura 2.92 – Fluxograma para o projeto de indutor com núcleo com entreferro. Adaptado de [33].	148
Figura 2.93 – Indutor ressonante utilizado no conversor <i>full-bridge ZVS phase-shift</i> carregador.	155
Figura 2.94 – Indutor de filtro de saída utilizado no conversor <i>full-bridge ZVS phase-shift</i> carregador.	158
Figura 2.95 – Circuito de acionamento utilizado. Retirado de [35]	159
Figura 2.96 – Sensor de corrente HXP 20-NP do fabricante LEM.	160
Figura 2.97 – Topologia utilizada no filtro de medição de corrente. Retirado do software FilterPro.	161
Figura 2.98 – Circuito de condicionamento utilizado para a aquisição do sinal de corrente	161
Figura 2.99 – Kit de desenvolvimento LAUNCHXL-F28069 do fabricante <i>Texas Instruments</i>	162
Figura 2.100 – Protótipo <i>full-bridge ZVS phase-shift</i> carregador construído.	162
Figura 2.101 – Fluxograma para o projeto do transformador. Adaptado de [33].	164
Figura 2.102 – Disposição das camadas do enrolamento do transformador do conversor <i>full-bridge ZVS phase-shift SCV</i>	168
Figura 2.103 – Transformador utilizado no conversor <i>full-bridge ZVS phase-shift SCV</i>	170
Figura 2.104 – Indutor ressonante utilizado no conversor <i>full-bridge ZVS phase-shift SCV</i>	174
Figura 2.105 – Indutor de filtro de saída utilizado no conversor <i>full-bridge ZVS phase-shift SCV</i>	177
Figura 2.106 – Indutor de filtro de entrada utilizado no conversor <i>full-bridge ZVS phase-shift SCV</i>	180
Figura 2.107 - Topologia utilizada no filtro de medição de tensão. Retirado do software FilterPro.	181
Figura 2.108 – Circuito de condicionamento utilizado para a aquisição do sinal de tensão	181
Figura 2.109 – Protótipo <i>full-bridge ZVS phase-shift SCV</i> construído	182
Figura 2.110 – Filtro de entrada do protótipo <i>full-bridge ZVS phase-shift SCV</i> construído.	183
Figura 3.1 – Esquema do sistema testado.	185
Figura 3.2 – Instalação usada pra os testes dos protótipos.	186

Figura 3.3 – Elementos extras utilizados nos testes e banco de bateria utilizado.....	186
Figura 3.4 – Formas de onda experimentais no interruptor S1 do conversor <i>full-bridge ZVS phase-shift</i> carregador.....	187
Figura 3.5 – Formas de onda experimentais no interruptor S3 do conversor <i>full-bridge ZVS phase-shift</i> carregador.....	187
Figura 3.6 – Formas de onda experimentais mostrando a corrente de saída do conversor <i>full-bridge ZVS phase-shift</i> carregador.....	188
Figura 3.7 – Formas de onda experimentais em regime do subsistema carregador da bateria.	189
Figura 3.8 – Formas de onda experimentais da partida do subsistema carregador da bateria.	189
Figura 3.9 – Formas de onda experimentais no interruptor S1 do conversor <i>full-bridge ZVS phase-shift SCV</i>	190
Figura 3.10 – Formas de onda experimentais no interruptor S3 do conversor <i>full-bridge ZVS phase-shift SCV</i>	190
Figura 3.11 – Formas de onda experimentais mostrando a corrente de saída do conversor <i>full-bridge ZVS phase-shift SCV</i>	191
Figura 3.12 – Formas de onda experimentais da partida do conversor <i>full-bridge ZVS phase-shift SCV</i>	192
Figura 3.13 – Formas de onda experimentais da transição entre o carregamento da bateria e a partida do conversor <i>full-bridge ZVS phase-shift SCV</i>	192

LISTA DE TABELAS

Tabela 2.1 – Parâmetros da rede e da bateria	54
Tabela 2.2 – Especificações de projeto do retificador PFC <i>bridgeless</i> três níveis	78
Tabela 2.3 – Valores dos componentes utilizados no retificador PFC <i>bridgeless</i> três níveis	78
Tabela 2.4 – Especificação de projeto para o compensador de corrente do retificador <i>bridgeless</i> três níveis.....	81
Tabela 2.5 – Parâmetros do compensador PI de corrente do retificador <i>bridgeless</i> três níveis	81
Tabela 2.6 – Ganho da equação diferença do compensador de corrente do retificador <i>bridgeless</i> três níveis.....	84
Tabela 2.7 – Parâmetros do filtro rejeita faixa de medição de tensão do retificador <i>bridgeless</i> três níveis.....	85
Tabela 2.8 – Parâmetros do compensador PI de tensão do retificador <i>bridgeless</i> três níveis	85
Tabela 2.9 – Ganho da equação diferença do compensador de tensão do retificador <i>bridgeless</i> três níveis.....	87
Tabela 2.10 – Especificações de projeto do <i>full-bridge ZVS phase-shift</i> carregador.....	90
Tabela 2.11 – Variáveis de projeto do <i>full-bridge ZVS phase-shift</i> carregador.....	90
Tabela 2.12 – Valores calculados dos componentes magnéticos no <i>full-bridge ZVS phase-shift</i> carregador	91
Tabela 2.13 – Valores medidos dos componentes magnéticos no <i>full-bridge ZVS phase-shift</i> carregador	91
Tabela 2.14 – Valores de corrente teóricos nos semicondutores do <i>full-bridge ZVS phase-shift</i> carregador	92
Tabela 2.15 – Valores de tensão teóricos nos semicondutores do <i>full-bridge ZVS phase-shift</i> carregador	92
Tabela 2.16 – Características do diodo C4D15120A usado na ponte retificadora do <i>full-bridge ZVS phase-shif</i> . Valores obtidos no <i>datasheet</i>	93
Tabela 2.17 – Características do MOSFET CMD0080120D usado na ponte completa do <i>full-bridge ZVS phase-shif</i> . Valores obtidos no <i>datasheet</i>	94
Tabela 2.18 – Valores limite de tempo morto na ponte ativa do <i>full-bridge ZVS phase-shift</i> carregador	97

Tabela 2.19 – Valores dos elementos para bloqueio de componente contínua no transformador do <i>full-bridge ZVS phase-shift</i> carregador.	98
Tabela 2.20 – Especificação de projeto para o compensador de corrente do conversor <i>full-bridge ZVS phase-shift</i> carregador.....	99
Tabela 2.21 – Parâmetros do compensador PI de corrente do conversor <i>full-bridge ZVS phase-shift</i> carregador.	99
Tabela 2.22 – Ganho da equação diferença do compensador de corrente do conversor <i>full-bridge ZVS phase-shift</i> carregador.....	101
Tabela 2.23 – Características do diodo MUR460 usado como diodo grampeador do <i>full-bridge ZVS phase-shif</i> . Valores obtidos no <i>datasheet</i>	104
Tabela 2.24 – Especificações de projeto do full-bridge ZVS phase-shift SCV.....	107
Tabela 2.25 – Variáveis de projeto do full-bridge ZVS phase-shift SCV.	107
Tabela 2.26 – Valores calculados dos componentes no <i>full-bridge ZVS phase-shift</i> SCV.	108
Tabela 2.27 – Valores medidos dos componentes magnéticos no <i>full-bridge ZVS phase-shift</i> SCV.	108
Tabela 2.28 – Valores dos capacitores utilizados no <i>full-bridge ZVS phase-shift</i> SCV.	109
Tabela 2.29 – Valores de corrente teóricos nos semicondutores do <i>full-bridge ZVS phase-shift</i> SCV.	109
Tabela 2.30 – Valores de tensão teóricos nos semicondutores do <i>full-bridge ZVS phase-shift</i> SCV.	109
Tabela 2.31 – Valores limite de tempo morto na ponte ativa do <i>full-bridge ZVS phase-shift</i> SCV.	110
Tabela 2.32 – Valores dos elementos para bloqueio de componente contínua no transformador do <i>full-bridge ZVS phase-shift</i> SCV.	110
Tabela 2.33 – Valores dos elementos do filtro de entrada do <i>full-bridge ZVS phase-shift</i> SCV.....	111
Tabela 2.34 – Parâmetros do compensador PI de corrente do conversor <i>full-bridge ZVS phase-shift</i> SCV.....	112
Tabela 2.35 – Ganho da equação diferença do compensador de corrente do conversor <i>full-bridge ZVS phase-shift</i> SCV.....	114
Tabela 2.36 – Especificação de projeto para o compensador de tensão do conversor <i>full-bridge ZVS phase-shift</i> SCV.....	115
Tabela 2.37 – Parâmetros do compensador PI de tensão do conversor <i>full-bridge ZVS phase-shift</i> SCV.....	115

Tabela 2.38 – Ganho da equação diferença do compensador de tensão do conversor <i>full-bridge ZVS phase-shift</i> SCV	117
Tabela 2.39 – Especificações de projeto do inversor monofásico.....	120
Tabela 2.40 – Valores dos componentes utilizados no inversor monofásico.....	121
Tabela 2.41 – Especificação de projeto para o compensador de corrente de modo isolado do inversor monofásico.....	122
Tabela 2.42 – Parâmetros do compensador PI de corrente de modo isolado do inversor monofásico.....	122
Tabela 2.43 – Ganho da equação diferença do compensador de corrente de modo isolado do inversor monofásico.....	122
Tabela 2.44 – Especificação de projeto para o compensador de tensão do inversor monofásico.....	124
Tabela 2.45 – Parâmetros do compensador PI de tensão do inversor monofásico.....	125
Tabela 2.46 – Ganho da equação diferença do compensador de tensão do inversor monofásico.....	125
Tabela 2.47 – Especificação de projeto para o compensador de corrente modo conectado do inversor monofásico.....	128
Tabela 2.48 – Parâmetros do compensador PI de corrente modo conectado do inversor monofásico.....	128
Tabela 2.49 – Aspectos construtivos do transformador do conversor <i>full-bridge ZVS phase-shift</i> carregador.....	145
Tabela 2.50 – Valores medidos no ensaio do transformador do conversor <i>full bridge zvs phase-shift</i> carregador.....	146
Tabela 2.51 – Especificações iniciais para o projeto do indutor ressonante do conversor <i>full-bridge ZVS phase-shift</i> carregador.....	149
Tabela 2.52 – Parâmetros do material N87 do fabricante EPCOS.....	149
Tabela 2.53 – Parâmetros do núcleo E55/28/25 do fabricante EPCOS.....	150
Tabela 2.54 – Valores utilizados para a seleção do entreferro do indutor ressonante do <i>full-bridge ZVS phase-shift</i> carregador.....	151
Tabela 2.55 – Especificações para o projeto do enrolamento do indutor ressonante do conversor <i>full-bridge ZVS phase-shift</i>	152
Tabela 2.56 – Requisitos calculados e dados do condutor utilizado no indutor ressonante do <i>full-bridge ZVS phase-shift</i> carregador	152
Tabela 2.57 – Valores de perda calculados do projeto do indutor ressonante do conversor <i>full-bridge ZVS phase-shift</i> carregador	154

Tabela 2.58 – Resumo dos aspectos construtivos do indutor ressonante do conversor <i>full-bridge ZVS phase-shift</i> carregador.....	154
Tabela 2.59 – Valores medidos no indutor ressonante na frequência de 100 kHz do conversor <i>full-bridge ZVS phase-shift</i> carregador.	154
Tabela 2.60 – Especificações iniciais para o projeto do indutor de filtro de saída no conversor <i>full-bridge ZVS phase-shift</i> carregador.....	155
Tabela 2.61 – Parâmetros do material IP12R do fabricante Thornton. 156	
Tabela 2.62 – Parâmetros do núcleo NEE-55/28/21 do fabricante Thornton.....	156
Tabela 2.63 – Valores utilizados para a seleção do entreferro do indutor de filtro de saída do <i>full-bridge ZVS phase-shift</i> carregador.....	156
Tabela 2.64 – Especificações para o projeto do enrolamento do indutor de filtro de saída do conversor <i>full-bridge ZVS phase-shift</i>	157
Tabela 2.65 – Dados do condutor utilizado no indutor de filtro de saída do <i>full-bridge ZVS phase-shift</i> carregador	157
Tabela 2.66 – Valores de perda calculados do projeto do indutor de filtro de saída do conversor <i>full-bridge ZVS phase-shift</i> carregador.....	157
Tabela 2.67 – Resumo dos aspectos construtivos do indutor do filtro de saída do conversor <i>full-bridge ZVS phase-shift</i> carregador.....	158
Tabela 2.68 – Valores medidos no indutor de filtro de saída do conversor <i>full-bridge ZVS phase-shift</i> carregador.....	158
Tabela 2.69 - Especificações iniciais para o projeto do transformador do conversor <i>full-bridge ZVS phase-shift</i> carregador.....	165
Tabela 2.70 – Coeficientes de forma para núcleos do tipo “E”.	165
Tabela 2.71 – Parâmetros do núcleo NEE-65/33/26 do fabricante Thornton.....	166
Tabela 2.72 – Especificações para o projeto do enrolamento do transformador do conversor <i>full-bridge ZVS phase-shift</i> SCV.	167
Tabela 2.73 – Requisitos calculados e dados do condutor utilizado no transformador do <i>full-bridge ZVS phase-shift</i> SCV.....	168
Tabela 2.74 – Valores de perda calculados do projeto do transformador do conversor <i>full-bridge ZVS phase-shift</i> SCV.....	169
Tabela 2.75 – Aspectos construtivos do transformador do conversor <i>full-bridge ZVS phase-shift</i> SCV.	169
Tabela 2.76 – Valores medidos no ensaio do transformador do conversor <i>full bridge zvs phase-shift</i> SCV.....	170
Tabela 2.77 – Especificações iniciais para o projeto do indutor ressonante do conversor <i>full-bridge ZVS phase-shift</i> SCV.	171

Tabela 2.78 – Parâmetros do núcleo NEE-55/28/21 do fabricante Thornton.....	171
Tabela 2.79 – Valores utilizados para a seleção do entreferro do indutor ressonante do <i>full-bridge ZVS phase-shift SCV</i>	172
Tabela 2.80 – Especificações para o projeto do enrolamento do indutor de filtro de saída do conversor <i>full-bridge ZVS phase-shift SCV</i>	172
Tabela 2.81 – Requisitos calculados e dados do condutor utilizado no indutor ressonante do <i>full-bridge ZVS phase-shift SCV</i>	172
Tabela 2.82 – Valores de perda calculados do projeto do indutor ressonante do conversor <i>full-bridge ZVS phase-shift SCV</i>	173
Tabela 2.83 – Resumo dos aspectos construtivos do indutor ressonante do conversor <i>full-bridge ZVS phase-shift SCV</i>	173
Tabela 2.84 – Valores medidos no indutor ressonante na frequência de 100 kHz do conversor <i>full-bridge ZVS phase-shift SCV</i>	173
Tabela 2.85 – Especificações iniciais para o projeto do indutor de filtro de saída no conversor <i>full-bridge ZVS phase-shift SCV</i>	174
Tabela 2.86 – Valores utilizados para a seleção do entreferro do indutor de filtro de saída do <i>full-bridge ZVS phase-shift SCV</i>	175
Tabela 2.87 – Especificações para o projeto do enrolamento do indutor de filtro de saída do conversor <i>full-bridge ZVS phase-shift SCV</i>	175
Tabela 2.88 – Dados do condutor utilizado no indutor de filtro de saída do <i>full-bridge ZVS phase-shift SCV</i>	175
Tabela 2.89 – Valores de perda calculados do projeto do indutor de filtro de saída do conversor <i>full-bridge ZVS phase-shift SCV</i>	176
Tabela 2.90 – Resumo dos aspectos construtivos do indutor do filtro de saída do conversor <i>full-bridge ZVS phase-shift SCV</i>	176
Tabela 2.91 – Valores medidos no indutor de filtro de saída do conversor <i>full-bridge ZVS phase-shift SCV</i>	176
Tabela 2.92 – Especificações iniciais para o projeto do indutor de filtro de entrada no conversor <i>full-bridge ZVS phase-shift SCV</i>	177
Tabela 2.93 – Parâmetros do núcleo NEE-30/15/7 do fabricante Thornton.....	178
Tabela 2.94 – Valores utilizados para a seleção do entreferro do indutor de filtro de saída do <i>full-bridge ZVS phase-shift SCV</i>	178
Tabela 2.95 – Especificações para o projeto do enrolamento do indutor de filtro de entrada do conversor <i>full-bridge ZVS phase-shift SCV</i>	178
Tabela 2.96 – Dados do condutor utilizado no indutor de filtro de entrada do <i>full-bridge ZVS phase-shift SCV</i>	179

Tabela 2.97 – Valores de perda calculados do projeto do indutor de filtro de entrada do conversor <i>full-bridge ZVS phase-shift SCV</i>	179
Tabela 2.98 – Resumo dos aspectos construtivos do indutor do filtro de entrada do conversor <i>full-bridge ZVS phase-shift SCV</i>	179
Tabela 2.99 – Valores medidos no indutor de filtro de entrada do conversor <i>full-bridge ZVS phase-shift SCV</i>	180
Tabela 2.100 – Valores de resistência utilizados no divisor resistivo para monitoramento da tensão de saída	181

LISTA DE ABREVIATURAS E SIGLAS

ANEEL	Agência Nacional de Energia Elétrica
AWG	<i>American Wire Gauge</i>
BMS	<i>Battery Management System</i>
CA	Corrente Alternada
CC	Corrente contínua
CCCV	<i>Constant-current Constant-voltage</i>
FTMA	Função de transferência de malha aberta
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
PFC	<i>Power Factor Correction</i>
PI	Proporcional-integral
PWM	<i>Pulse width modulation</i>
RMS	<i>Root mean square</i>
SAE	<i>Society of Automotive Engineers</i>
SCV	Sistema de Conexão Veicular
UFSC	Universidade Federal de Santa Catarina
V2G	<i>Vehicle-to-grid</i>
V2H	<i>Vehicle-to-home</i>
ZVS	<i>Zero Voltage Switching</i>

LISTA DE SÍMBOLOS

$\% \Delta i_{Lb-max}$	Porcentagem da variação máxima da corrente no indutor <i>boost</i>
$\% \Delta I_{Lo}$	Porcentagem de variação na corrente do indutor de saída
$\% \Delta V_{Cb}$	Variação percentual da tensão máxima no capacitor de bloqueio de tensão média no transformador
$\% \Delta V_o$	Porcentagem de variação da tensão de saída
a_1	Ganho do erro atual na equação diferença do compensador PI
a_2	Ganho do erro anterior na equação diferença do compensador PI
A_e	Área efetiva perpendicular ao campo magnético
A_l	Valor de indutância por volta
A_p	Valor do produto das janelas
$A_{w,min}$	Área mínima da seção transversal do condutor
A_w	Área da seção transversal do condutor utilizado
$A_{wp,min}$	Área mínima da seção transversal do condutor no primário
$A_{ws,min}$	Área mínima da seção transversal do condutor no secundário
B_{max}	Valor máximo do campo magnético considerado
B_o	Densidade de fluxo ótima
B_{sat}	Valor de saturação do campo magnético no material
C_b	Capacitor de bloqueio de tensão média no transformador
C_d	Capacitância total do diodo
C_{DS}	Capacitância entre dreno e <i>source</i> do MOSFET
C_e	Capacitância equivalente da etapa ressonante
C_f	Capacitância do filtro
C_{fd}	Capacitância no ramo amortecido do filtro
$C_i(s)$	Função de transferência do controlador de corrente
C_{iss}	Capacitância de entrada do MOSFET
$C_{o,AF}$	Valor de capacitância para filtragem de alta frequência

$C_{o,BF}$	Valor de capacitância para filtragem de baixa frequência
C_o	Capacitância de saída
$C_{oss,ave}$	Capacitância de saída do MOSFET estimada no ponto de operação desejado
$C_{oss,spec}$	Capacitância de saída do MOSFET especificada no <i>datasheet</i>
C_{oss}	Capacitância de saída do MOSFET
$C_{rss,ave}$	Capacitância de transferência reversa do MOSFET estimada no ponto de operação desejado
$C_{rss,spec}$	Capacitância de transferência reversa do MOSFET especificada no <i>datasheet</i>
C_{rss}	Capacitância de transferência reversa do MOSFET
C_x	Capacitor
\tilde{d}	Perturbação na razão cíclica
\tilde{d}_{ef}	Perturbação na razão cíclica efetiva
\tilde{d}_i	Perturbação na razão cíclica causada pela variação da corrente de saída
\tilde{d}_v	Perturbação na razão cíclica causada pela variação da tensão de saída
D'_{ef}	Razão cíclica efetiva complementar
D_{gx}	Diodo grampeador
D_{max}	Razão cíclica máxima
$d_{MP}(t)$	Razão cíclica do sinal intermediário para comando de $D_{MP,A}$ e $D_{MP,N}$
D_{nom}	Razão cíclica nominal
D_{retx}	Diodo retificador
$d_{w,isol}$	Diâmetro do fio isolado
d_w	Diâmetro do fio
D_x	Diodo
E_{bat}	Energia armazenada em plena carga
f	Frequência
$f_{0,rf}$	Frequência central do filtro rejeita faixa
f_0	Frequência de cruzamento da função de transferência de malha aberta compensada

f_a	Frequência de amostragem
$f_{AN}(t)$	Sinal da portadora triangular com fase zero
$f_{b,rf}$	Banda de rejeição do filtro rejeita faixa
f_g	Frequência da rede
$f_{MP}(s)$	Sinal modulador
f_{pbi}	Frequência de corte do filtro passa baixas de primeira ordem do filtro de medição de corrente
f_{pbs0}	Frequência de corte do filtro passa baixas de segunda ordem
f_{pbv}	Frequência de corte do filtro passa baixas de tensão
F_r	Razão de resistência CC para CA
$FTMA_{i,c}(s)$	Função de transferência de malha aberta compensada do sistema de controle de corrente
$FTMA_{i,nc}(s)$	Função de transferência de malha aberta não compensada do sistema de controle de corrente
$FTMA_{v,nc}(s)$	Função de transferência não compensada de tensão
g	Entreferro utilizado
$G_{id}(s)$	Função de transferência de corrente por razão cíclica
g_{max}	Entreferro máximo
$G_{vd}(s)$	Função de transferência de tensão por razão cíclica
$G_{vi}(s)$	Função de transferência de tensão por corrente
h_c	Coefficiente de transferência de calor por convecção
$H_{cpu}(s)$	Função de transferência de atraso de transporte causado pelo tempo de cálculo
$H_i(s)$	Função de transferência do filtro de medição de corrente
$H_{pbv}(s)$	Função de transferência do filtro passa baixas de medição de tensão
$H_{PWM}(s)$	Função de transferência de atraso de transporte causado pelo modulador PWM
$H_{rf}(s)$	Função transferência do filtro rejeita faixa
$H_v(s)$	Função transferência de realimentação da tensão
\hat{I}	Pico de corrente
I_{bat}	Corrente no banco de baterias
i_{carga}	Corrente na carga

I_D	Corrente máxima de dreno no MOSFET
I_{Dgx}	Corrente no diodo de grampeamento
$I_{F(AV)}$	Corrente direta média máxima no diodo
I_F	Corrente direta máxima no diodo
i_g	Corrente na rede
$I_{in,FB-SCV}$	Corrente de entrada filtrada no conversor <i>full-bridge ZVS phase-shift SCV</i>
$i_{in,PFC}$	Corrente de entrada no retificador PFC monofásico <i>bridgeless</i> três níveis
i_{Lb}	Corrente na indutância <i>boost</i>
I_{Lbp}	Valor de pico da corrente no indutor <i>boost</i>
I_{Lo}	Corrente no indutor de saída
I_{Lr}	Corrente no indutor ressonante
\tilde{i}_o	Perturbação na corrente de saída
$I_{o,FB-CH}$	Corrente de saída no conversor <i>full-bridge ZVS phase-shift</i> carregador
I_o	Corrente de saída
I'_o	Corrente de saída refletida ao primário
I_{prim}	Corrente no primário do transformador
i_{res}	Corrente ressonante
I_{rms}	Valor <i>RMS</i> da corrente
I_{SD}	Corrente direta no diodo intrínseco do MOSFET
I_{Sx}	Corrente no interruptor
$J_{o,opt}$	Densidade de corrente ótima
J_o	Densidade de corrente elétrica
k_a	Coefficiente da área de superfície do transformador
K_c	Ganho da equação de Steinmetz
k_c	Coefficiente de volume do núcleo
k_f	Fator de empilhamento do núcleo
K_i	Fator de forma da corrente
K_{mi}	Ganho de medição da corrente
k_{mi}	Ganho de medição do sensor de corrente
K_{mv}	Ganho de medição de tensão
k_{mv}	Ganho da medição do sensor de tensão

k_p	Fator de potência no primário do transformador
$k_{p_{bso}}$	Ganho do filtro passa baixas de segunda ordem
K_{pi}	Ganho do compensador PI
k_{PWM}	Ganho do <i>PWM</i>
k_s	Fator de potência no secundário do transformador
K_t	Constante dependente da forma do núcleo
k_u	Fator de ocupação da janela
K_v	Fator de forma da tensão no transformador
k_w	Coefficiente de volume dos enrolamentos
L	Indutância
L_b	Indutância de <i>boost</i>
l_e	Comprimento efetivo do caminho magnético
L_f	Indutor de filtro
L_g	Indutância de filtro do conversor CC-CA
L_m	Indutância magnetizante do transformador
L_o	Indutância de saída
$L_{oc,1}$	Indutância medida no primário do transformador com seu secundário em aberto
$L_{oc,2}$	Indutância medida no secundário do transformador com seu primário em aberto
L_r	Indutância ressonante
L_{s1}	Indutâncias de dispersão no primário do transformador
L_{s2}	Indutâncias de dispersão no secundário do transformador
$L_{sc,1}$	Indutância medida no primário do transformador com seu secundário em curto
$L_{sc,2}$	Indutância medida no secundário do transformador com seu primário em curto
$m(t)$	Sinal modulante
MLT	Comprimento médio dos enrolamentos
M_φ	Margem de fase
N	Número de voltas
n	Relação de transformação
n_{cm}	Número de camadas de condutores no enrolamento

$n_{cp,min}$	Número mínimo de condutores em paralelo
n_{cp}	Número de condutores em paralelo utilizado
$n_{cprim,min}$	Número mínimo de condutores em paralelo no primário
n_{cprim}	Número de condutores utilizados em paralelo no primário
$n_{csec,min}$	Número mínimo de condutores em paralelo no secundário
n_{csec}	Número de condutores utilizados em paralelo no secundário
N_{prim}	Número de espiras do primário
N_{sec}	Número de espiras do secundário
$P_{cu,max}$	Perda máxima no cobre
$P_{d,cu}$	Potência dissipada nos enrolamentos
$P_{d,Fe}$	Potência dissipada no núcleo
P_{nom}	Potência nominal
p_{ref}	Referência de potência normalizada à potência nominal
P_{tot}	Perdas totais
Q_c	Carga
R_b	Resistor de amortecimento para o capacitor de bloqueio de tensão média no transformador
R_{CA}	Resistência CA do condutor
R_{cc}	Valor da resistência CC do elemento magnético
R_d	Resistência virtual dada pela perda de razão cíclica
R_d	Resistor de amortecimento do capacitor de filtro
$R_{DS(on)}$	Resistência entre dreno e <i>source</i>
R_{Lg}	Resistência série do indutor de filtro do conversor CC-CA
R_{Lo}	Resistência série da indutância de saída
R_{Lr}	Resistência série da indutância ressonante
R_{LS1}	Resistência série no primário do transformador
R_{LS2}	Resistência série no secundário do transformador
$R_{m,1}$	Menor valor de resistência do divisor resistivo da medição de tensão

$R_{m,2}$	Maior valor de resistência do divisor resistivo da medição de tensão
R_o	Resistência de saída
$R_{sc,1}$	Resistência medida no primário do transformador com seu secundário em curto
$R_{sc,2}$	Resistência medida no secundário do transformador com seu primário em curto
R_{SE}	Resistência série equivalente do capacitor
r_w	Raio do condutor utilizado
R_θ	Resistência térmica do núcleo
S_x	Interruptor controlado
T_A	Temperatura ambiente
T_a	Período de amostragem
T_c	Temperatura no encapsulamento do semiconductor
T_j	Temperatura de junção no semiconductor
T_{max}	Temperatura máxima
T_{pbi}	Constante de tempo do polo do filtro passa baixas de primeira ordem do filtro de medição de corrente
T_s	Período de comutação
$t_{TM,max}$	Tempo morto máximo
$t_{TM,min}$	Tempo morto mínimo
t_{TM}	Tempo morto
t_x	Instante de tempo
t_Δ	Tempo da etapa ressonante para varrer o ângulo Δ
t_ϕ	Tempo da etapa ressonante para varrer o ângulo ϕ
V_{ab}	Tensão entre os pontos a e b
$v_{ab}(t)$	Tensão entre os pontos a e b do inversor
V_{barrCC}	Tensão do barramento CC
V_{bat}	Tensão nominal do banco de baterias
v_{carga}	Tensão na carga
V_{Cb}	Queda de tensão máxima no capacitor de bloqueio de tensão média no transformador
v_{Ce}	Tensão sobre a capacitância equivalente na etapa ressonante
$V_{DS,max}$	Tensão reversa máxima no MOSFET

$V_{DS,off}$	Tensão entre dreno e <i>source</i> utilizada na operação do MOSFET
$V_{DS,spec}$	Tensão entre dreno e <i>source</i> no MOSFET especificada no <i>datasheet</i> para teste de capacitância
V_e	Volume do núcleo
V_F	Queda de tensão direta do diodo em condução
$V_{g,ef}$	Tensão eficaz da rede
V_{gp}	Valor de pico da tensão da rede elétrica
V_{GS}	Tensão entre <i>gate</i> e <i>source</i> no MOSFET
V_{gsx}	Tensão de <i>gate-source</i>
\tilde{v}_{in}	Perturbação na tensão de entrada
V_{in}	Tensão de entrada
v_{Lb}	Tensão no indutor de <i>boost</i>
$V_{o,FB-SCV}$	Tensão de saída no conversor <i>full-bridge ZVS phase-shift SCV</i>
$V_{o,PFC}$	Tensão de saída no retificador PFC monofásico <i>bridgeless</i> três níveis
V_o	Tensão de saída
v_o	Tensão de saída CA
V_{o-max}	Tensão de saída máxima
\tilde{v}_{ret}	Perturbação na tensão retificada
V_{ret}	Tensão retificada
V'_{ret}	Tensão retificada refletida ao primário
V_{RRM}	Tensão reversa máxima no diodo
V_{SD}	Queda de tensão direta do diodo intrínseco do MOSFET
V_{Sx}	Tensão no interruptor
v_{tri1}	Sinal da portadora triangular com fase igual a zero
v_{tri2}	Sinal da portadora triangular com fase igual a 180°
$V_{var,bat}$	Faixa de tensão do banco de baterias
W_a	Área da janela
Z_{ss}	Impedância ressonante
α	Índice de modulação
α	Coefficiente exponencial de frequência da equação de Steinmetz

$\alpha_{T,cu}$	Coeficiente térmico do cobre
δ_o	Profundidade de penetração do efeito pelicular
γ	Razão entre perda no núcleo e perda no cobre
β	Coeficiente exponencial de variação de campo da equação de Steinmetz
Δ	Ângulo da etapa de primeira ordem pela abordagem ressonante
ΔB	Variação do fluxo magnético
ΔD_{max}	Perda de razão cíclica máxima
ΔD	Perda de razão cíclica
ΔT	Elevação da temperatura
μ_0	Permeabilidade magnética no vácuo
μ_{opt}	Permeabilidade magnética ótima
ξ	Fator de amortecimento do filtro passa baixas de segunda ordem
ρ_{cu}	Resistividade do cobre
φ_{max}	Ângulo de ondulação máxima
ϕ	Ângulo da etapa ressonante pela abordagem ressonante
ΣVA	Classificação de potência do transformador
ω_0	Frequência angular de cruzamento da função de transferência de malha aberta compensada em rad/s
ω_g	Frequência angular da tensão da rede, em rad/s
ω_{zi}	Frequência angular do zero do compensador PI em rad/s
ω_{zv}	Frequência angular do zero do compensador PI de tensão em rad/s

SUMÁRIO

1	INTRODUÇÃO	45
1.1	SISTEMA PROPOSTO	47
1.2	OBJETIVO GERAL	51
1.3	OBJETIVOS ESPECÍFICOS	52
2	DESENVOLVIMENTO DO SISTEMA PROPOSTO	53
2.1	DESCRIÇÃO DOS NÍVEIS DE TENSÃO E POTÊNCIA UTILIZADOS	53
2.2	REVISÃO DAS TOPOLOGIAS UTILIZADAS	55
2.2.1	Full-bridge ZVS Phase shift CC-CC	57
2.2.2	PFC Monofásico Bridgeless 3 Níveis	65
2.2.3	Inversor Monofásico	72
2.3	PROJETO DOS CONVERSORES	77
2.3.1	Projeto Carregador	77
2.3.1.1	Projeto PFC <i>bridgeless</i> três níveis	77
2.3.1.2	Projeto <i>full bridge ZVS phase-shift</i> carregador	89
2.3.1.3	Integração dos conversores do carregador	105
2.3.2	Projeto Sistema de Conexão Veicular (SCV)	107
2.3.2.1	Projeto <i>full-bridge ZVS phase-shift</i> SCV	107
2.3.2.2	Projeto Inversor Monofásico	120
2.3.2.3	Integração dos conversores do SCV	132
2.3.3	Integração dos projetos do carregador e SCV	139
2.4	CONSTRUÇÃO DOS PROTÓTIPOS	144
2.4.1	Full-bridge ZVS phase-shift carregador	144
2.4.1.1	Elementos magnéticos	144
2.4.1.1.1	<i>Transformador</i>	144
2.4.1.1.2	<i>Indutor Ressonante</i>	147
2.4.1.1.3	<i>Indutor do Filtro de Saída</i>	155
2.4.1.2	Circuitos Auxiliares	159

2.4.1.2.1	<i>Circuito de acionamento dos interruptores</i>	159
2.4.1.2.2	<i>Sensores e circuitos de condicionamento</i>	159
2.4.1.2.3	<i>Dispositivo lógico-programável</i>	161
2.4.1.3	Protótipo construído.....	162
2.4.2	Full-bridge ZVS phase-shift SCV	163
2.4.2.1	Elementos magnéticos	163
2.4.2.1.1	<i>Transformador</i>	163
2.4.2.1.2	<i>Indutor Ressonante</i>	171
2.4.2.1.3	<i>Indutor do Filtro de Saída</i>	174
2.4.2.1.4	<i>Indutor do Filtro de Entrada</i>	177
2.4.2.2	Circuitos auxiliares	180
2.4.2.3	Protótipo construído.....	182
3	RESULTADOS EXPERIMENTAIS	185
4	CONCLUSÕES E CONSIDERAÇÕES FINAIS	193
	REFERÊNCIAS	197
	APÊNDICE A – ESQUEMÁTICOS DOS PROTÓTIPOS	203
	APÊNDICE B – CÓDIGOS DO MICROCONTROLADOR	209

1 INTRODUÇÃO

A crescente preferência por formas de energia limpas nas últimas décadas tem motivado a indústria automobilística a rever o tipo de propulsão utilizada em seus veículos. Os grandes fabricantes de automóveis já anunciam veículos híbridos e elétricos disponíveis para compra, como o Chevrolet Spark EV, o Volkswagen e-Golf e o Kia Soul e estudos realizados nos EUA apontam que, em 2030, o país terá 24% da sua frota de veículos leves composta de veículos elétricos [1]. No Brasil, as projeções são favoráveis, com incentivos governamentais à importação e à montagem de veículos elétricos [2].

Juntamente à eletrificação dos meios de transporte vem a preocupação com o impacto causado ao sistema elétrico [3], visto que os veículos dependem da carga de suas baterias internas para a locomoção.

Paralelamente, a produção de energia solar e eólica tem se difundido nas últimas décadas seguindo políticas de incentivo governamentais. A União Européia tem como objetivo alcançar a marca de que, em 2020, 20% da energia elétrica consumida sejam provenientes de fontes renováveis [4]. No Brasil, a resolução nº 481/2012 da ANEEL incentiva consumidores residenciais a utilizarem formas de geração alternativa, aumentando a penetrabilidade de energias renováveis e incentivando a microgeração distribuída. Uma das características cruciais da produção solar e eólica é a sua intermitência e diante disso, pesquisas estão sendo feitas para encontrar novas formas de armazenamento de energia.

Diante da expansão de veículos elétricos e uma crescente necessidade de armazenamento de energia, os conceitos de "*Vehicle-to-Grid*" (V2G) e "*Vehicle-to-Home*" (V2H) [5] podem se tornar viáveis e trazer benefícios para geração distribuída de energia [6], ainda mais quando considera-se que veículos particulares ficam estacionados 96% de sua vida útil [7] favorecendo a ideia de que suas baterias possam ser utilizadas como armazenamento.

Ao se analisar o contexto de sistemas de conexão de veículos elétricos na rede, faz-se a necessidade de diferenciar os tipos de conexão possíveis entre veículo elétrico e rede e suas definições e características. No contexto desse trabalho, serão apresentados dois conceitos principais: *Vehicle-to-Home* (V2H) e *Vehicle-to-grid* (V2G).

Vehicle-to-home diz respeito à capacidade de um veículo elétrico de se conectar com uma rede elétrica doméstica entregando e recebendo potência, geralmente envolvendo um único veículo, podendo ser

utilizado para aliviar picos de carga de uma residência, manter o funcionamento ilhado em caso de falta, compensar potência reativa e melhorar a efetividade de energias renováveis instaladas nas residências.

Vehicle-to-grid diz respeito à capacidade de um veículo elétrico em se conectar com a rede elétrica entregando e recebendo potência. Esse conceito aplica-se em um nível mais alto que o *V2H*, requerendo controle e regulação de operadores e envolvendo diversos veículos elétricos ou agregadores de veículos elétricos. Adicionalmente, é possível aproveitar a capacidade *V2H* de diversos veículos conectados a rede para operação em *V2G*.

A Figura 1.1 expõe algumas diferentes maneiras que esses conceitos podem ser utilizados em uma rede de distribuição.

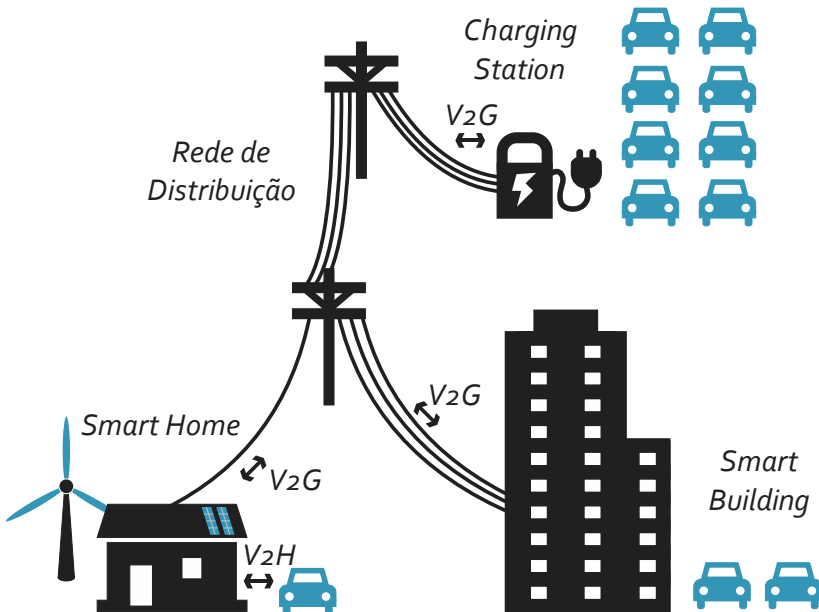


Figura 1.1 – Esquema de uma rede de distribuição integrada com dispositivos *Vehicle-to-home* e *Vehicle-to-grid*

Para que o objetivo de atuar como armazenamento seja alcançado, é necessário o desenvolvimento de dispositivos que tenham a capacidade de fazer a interface entre a rede e o veículo elétrico.

No contexto de tecnologias *V2H*, a literatura foca em dispositivos de eletrônica de potência bidirecionais internos ao veículo elétrico que possam ser comandados a entregar energia à rede, manter a tensão na

residência e compensar potência reativa. Cita-se o trabalho [8], que utiliza um carregador bidirecional de 3,5 kW, composto de um conversor CC-CA ponte completa ligado a um conversor CC-CC *buck-boost* bidirecional, para manter a tensão em caso de falta. Pode-se citar também os trabalhos de [9] e [10], que seguem uma linha similar. Contudo, a implementação desse tipo de técnica fica a cargo dos fabricantes de veículos, adicionando custo e complexidade ao produto final.

Em nível de tecnologias *V2G*, cita-se [11], que descreve um sistema agregador utilizando conversores bidirecionais de 50kW externos aos veículos para carregamento rápido, utilizando um conector SAE J1772 combo. O sistema tem sua operação integrada em uma microrrede com um parque solar de 2 MW e geradores a diesel. Esse tipo de sistema é interessante em uma grande escala, mas sua complexidade e custo de instalação são limitantes para o seu uso pela população em geral.

Neste trabalho, propõe-se um sistema *V2H* capaz de atuar injetando corrente na rede e manter uma rede isolada em caso de falta.

1.1 SISTEMA PROPOSTO

Considerando os trabalhos analisados, é proposto um sistema que tire proveito do padrão de conectores do tipo combo. Nesses conectores, uma conexão direta com a bateria está disponível para o eventual carregamento rápido. O padrão de indústria SAE J1772 contempla variantes com conexões CC à bateria para carregamento rápido [12], cujo conector é mostrado na Figura 1.2. No caso do sistema proposto, esses terminais seriam usados para retirar energia dos veículos e entregá-la à rede ou manter a tensão na residência em caso de falta.

As vantagens desse tipo de arranjo frente as estruturas bidirecionais embarcadas ao veículo é que tais estruturas são geralmente mais caras, volumosas e suscetíveis a falhas, adicionando peso e complexidade ao veículo [13]. Adicionalmente, a utilização de estruturas externas ao veículo, juntamente com uma padronização nos conectores e em seus protocolos de comunicação, pode levar ao desenvolvimento de sistemas *V2H* independentemente dos fabricantes de veículos, possibilitando uma gama diversa de produtos e uma customização para diferentes situações, oferecendo opções para o consumidor final.



Figura 1.2 – Conector combo padrão SAE J1772.

Com o intuito de uma possível expansão, foi considerada a criação de um barramento CC, onde possam ser conectados sistemas provenientes de geração local de energias renováveis, como painéis solares e aerogeradores de pequeno porte, e também a conexão de armazenamento de energia externo, como um banco extra de baterias.

Em relação ao controle e comunicação, o sistema deve ser capaz de se comunicar com o sistema de carregamento do veículo, podendo controlar sua entrada e saída de funcionamento e obter informações em relação ao estado de carga da bateria. Tais exigências são contempladas pelo padrão de comunicação do conector SAE J1772 [12]. O monitoramento da rede elétrica também deve ser feito com intuito de detecção de faltas. Finalmente, uma conexão com uma rede de telecomunicações para uma possível tomada de decisão em relação a preços de energia e ao uso do modo V2G.

O diagrama exposto na Figura 1.3 resume as características gerais do sistema proposto nesse trabalho. A direção do fluxo de potência é representada pelas setas do diagrama.

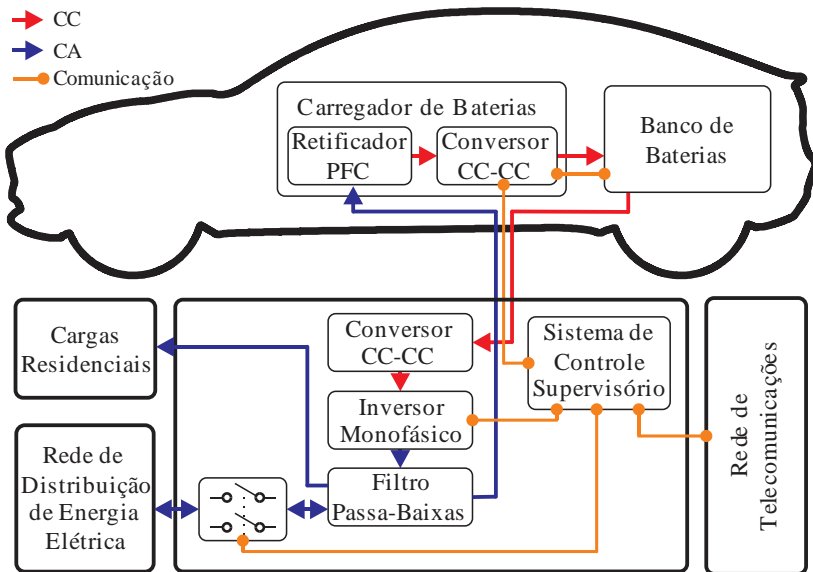


Figura 1.3 – Diagrama do sistema proposto.

Neste trabalho, propõe-se realizar a implementação de um hardware de conversão de potência básico para um estudo inicial de um sistema *Vehicle-to-home*. Com essa tarefa em mente, divide-se o sistema em dois subsistemas distintos: O carregador de baterias interno ao veículo elétrico, utilizado para carregamento lento das baterias, e o sistema de conexão veicular, externo ao veículo e que processa a energia da bateria do veículo e a entrega para a rede ou para as cargas residenciais em caso de falta. A Figura 1.4 mostra um esquema do sistema, realçando o subsistemas mencionados.

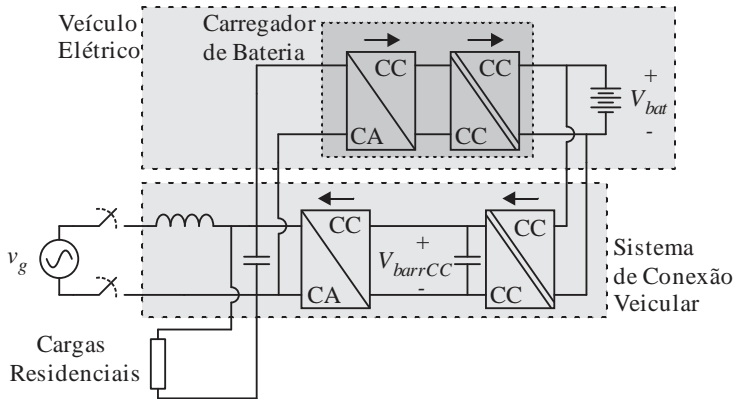


Figura 1.4 – Esquema do sistema com cada subsistema estudado realçado.

Os modos de operação do sistema em estudo podem ser divididos em três, mostrados na Figura 1.5. No modo de carregamento, apresentado pela Figura 1.5 (a), o carregador de bateria interno ao veículo elétrico faz a carga lenta da bateria e a rede elétrica fornece energia tanto para o carregamento quanto para alimentar as cargas residenciais. No modo conectado, apresentado na Figura 1.5 (b), há a transferência de energia da bateria para a rede, onde o inversor injeta corrente na rede, que é dividida naturalmente entre a rede e as cargas residenciais. O modo isolado, apresentado na Figura 1.5 (c), acontece quando há uma falta na rede, assim, o sistema de conexão veicular abastece as cargas residenciais, mantendo a tensão CA.

Nos capítulos seguintes, são apresentadas as topologias e o projeto dos conversores usados para a implementação do sistema e são verificados resultados de simulação, atendendo aos requisitos de funcionalidades do sistema. Também é apresentado o projeto e a construção dos conversores CC-CC utilizados no sistema, sendo testados e cujo comportamento segue o esperado pelas simulações. A apresentação do conceito e os resultados de simulação desse trabalho geraram uma publicação [14] na conferência ESARS-ITEC 2016.

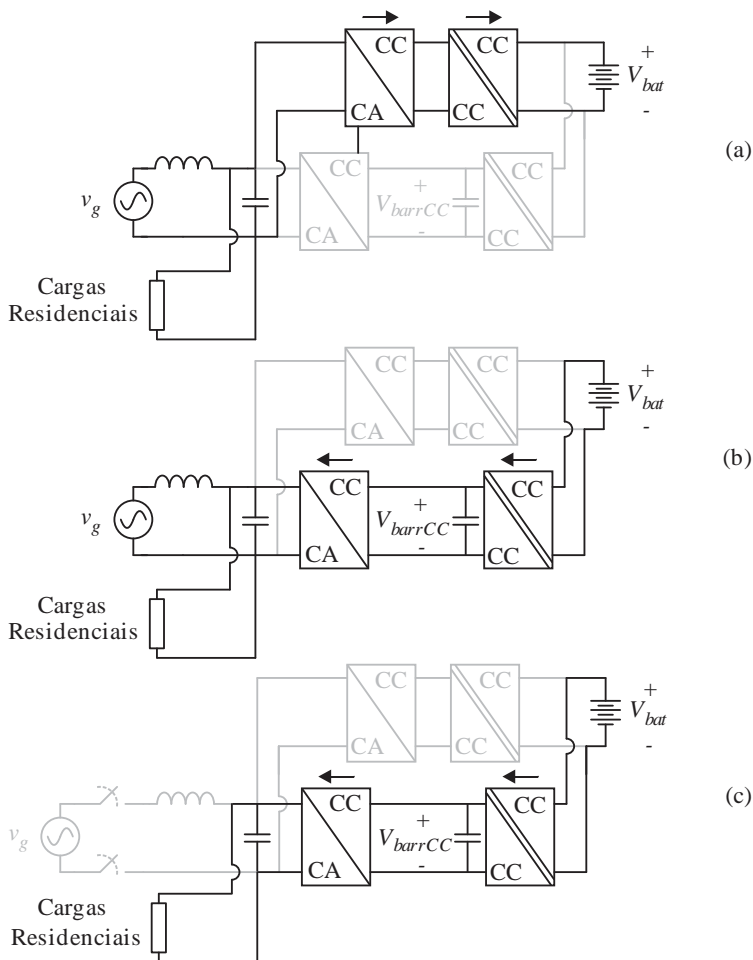


Figura 1.5 – Modos de operação do sistema proposto: (a) Carregamento do veículo, (b) Modo conectado, (c) Modo isolado.

1.2 OBJETIVO GERAL

Como apresentado ao longo do capítulo, considera-se que objetivo o principal do trabalho é realizar a implementação de um hardware de conversão de potência básico para um estudo inicial de um sistema *Vehicle-to-home*.

1.3 OBJETIVOS ESPECÍFICOS

Com o objetivo de alcançar o objetivo geral, serão propostos requisitos para o sistema, baseando-se em exemplos da literatura, propondo as topologias usadas para formar cada subsistema. Serão feitas revisões sobre o funcionamento das topologias e apresentadas suas equações de projeto, com as quais são feitas simulações numéricas. Assim, será feito o projeto físico do circuito e de seus elementos, culminando nos testes práticos para validar o comportamento do sistema.

2 DESENVOLVIMENTO DO SISTEMA PROPOSTO

Considerando o sistema proposto no capítulo anterior, especifica-se os níveis de tensão e de potência compatíveis com a aplicação, bem como as topologias para a conversão de potência entre as fontes e/ou cargas. A partir das especificações conseguidas, serão especificados conversores para atender os níveis de tensão e potência definidos.

2.1 DESCRIÇÃO DOS NÍVEIS DE TENSÃO E POTÊNCIA UTILIZADOS

Com o foco da aplicação em sistemas residenciais, assume-se uma conexão monofásica com a rede de distribuição em baixa tensão. Assim, pode-se considerar uma rede com tensão eficaz de 220 V e frequência 60 Hz, compatíveis com os níveis em Santa Catarina [15].

No que diz respeito às baterias de veículos elétricos comerciais, pode-se citar o Nissan Leaf, com um banco de baterias de 360 V nominal e 24 kWh [16], o Mitsubishi i-MiEV, com um banco de baterias de 330 V e 16 kWh [17] e o Tesla Roadster EV, com um banco de baterias de 53 kWh [13].

No sistema construído, optou-se por um banco de baterias de íons de lítio, composto pela associação em série de 11 módulos de 24 V do fabricante *Beckett Energy Systems*, mostrado na Figura 2.1. O banco de baterias utilizado, disponível no Laboratório de Microrredes Inteligentes da UFSC, tem capacidade de 12,1 kWh em plena carga e uma variação de tensão de 231 V a 315 V, com a tensão nominal em 264 V [18].

Ao se comparar com modelos de veículos comerciais, observa-se que os níveis de tensão e de energia armazenada do banco de baterias utilizado estão abaixo do usado comercialmente, contudo a ordem de magnitude da tensão é relativamente próxima e suficiente para um estudo inicial e prova de conceito. Como as potências manipuladas pelo sistema serão relativamente baixas, não se preocupou com a capacidade da bateria.

Considerando o consumo médio residencial brasileiro de 158 kWh/mês [19], o banco de baterias consegue suprir por 2 dias uma residência média.



Figura 2.1 – Módulo de bateria de lítio utilizado. Retirado de [18].

Para o sistema externo ao veículo, propõe-se uma conversão em dois estágios com intuito de criar um barramento CC onde poderiam ser conectadas fontes de geração renovável, cargas CC ou um banco de bateria externo, aumentando a complexidade e adicionando funcionalidades ao Sistema de Conexão Veicular. Ao considerar a conexão do inversor monofásico com a rede CC, propõe-se um barramento CC de 380 V, suficiente para impor a tensão 220 V de valor eficaz na saída do inversor e injetar potência na rede.

Apresentam-se os dados discutidos na Tabela 2.1.

Tabela 2.1 – Parâmetros da rede e da bateria.

Tensão eficaz da rede ($V_{g,ef}$)	220 V
Frequência da rede (f_g)	60 Hz
Tensão nominal do banco de baterias (V_{bat})	264 V
Faixa de tensão do banco de baterias ($V_{var.bat}$)	231 a 315 V
Energia armazenada em plena carga (E_{bat})	12,1 kWh/42,4 Ah
Tensão do barramento CC (V_{barrCC})	380 V

Ao se considerar a aplicação residencial, espera-se que um veículo elétrico drene 1,9 kW em uma rede monofásica de 230 V eficaz para um carregamento lento de 11 a 36 horas, como sugere [13].

Segundo [20], o carregamento de uma bateria de íons de lítio é comumente feita em duas etapas; primeiramente com corrente constante e, a partir do momento em que a tensão da bateria atinge seu valor

máximo, em tensão constante. Esse método de carregamento é chamado na literatura de CCCV (*constant-current constant-voltage*). A Figura 2.2 mostra o método CCCV para diferentes níveis de corrente no estágio de corrente constante. Observa-se que para níveis baixos de corrente de carga o estágio de carregamento por corrente contínua ocupa maior parte do tempo total de carregamento.

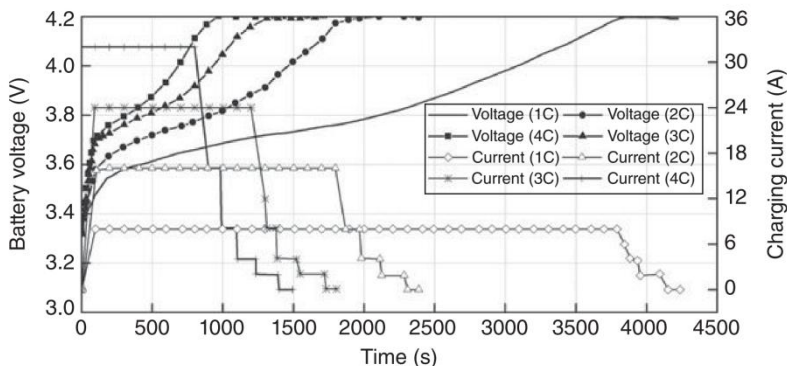


Figura 2.2 – Carga de uma célula de bateria de íons de lítio para diferentes valores de corrente de carga. Retirado de [20].

Segundo o fabricante [18], recomenda-se uma corrente de carga de 0,5 C, ou seja, metade da corrente necessária para descarregar a bateria em uma hora, equivalente a 21,2 A. Para adequar à potência proposta, foi feito um carregamento com 0,15 C, aproximadamente 6,36 A, o que resultaria em um tempo de carregamento de 6,67 horas.

Assim, propõe-se um sistema capaz de processar em torno de 2 kW de potência.

2.2 REVISÃO DAS TOPOLOGIAS UTILIZADAS

Com os níveis de tensão e potência estabelecidos, discute-se as características e topologias utilizadas para a realização do sistema de potência.

O subsistema de carregamento de bateria interno ao veículo elétrico exige volume e peso reduzidos. Sua conexão com a rede elétrica deve drenar corrente com baixa distorção e com um alto fator de

potência. Adicionalmente, por questões de segurança, é preferível utilizar conversores isolados da rede [13].

Neste trabalho, optou-se por utilizar uma solução em dois estágios no subsistema de carregamento, comumente utilizada na literatura [13] [21], utilizando um retificador *PFC* monofásico *PWM bridgeless* três-níveis [22] que garante alto fator de potência na entrada e um conversor *full-bridge ZVS phase shift* CC-CC [23] que por sua vez assegura o isolamento galvânico entre rede e bateria e controla a carga da bateria.

Para o sistema de conexão veicular, considera-se o uso de um inversor *full-bridge* [24] já consolidado na literatura e indústria, com capacidade suficiente para injeção de corrente na rede e na atuação como fonte CA. Para criar o barramento CC necessário ao inversor, foi utilizado um conversor *Full-bridge ZVS phase shift* CC-CC, garantindo a isolação galvânica com a rede. Tal barramento também poderia suportar uma possível expansão do sistema, integrando geração local de energia renovável.

A Figura 2.3 mostra o esquema de potência com os conversores utilizados sinalizados.

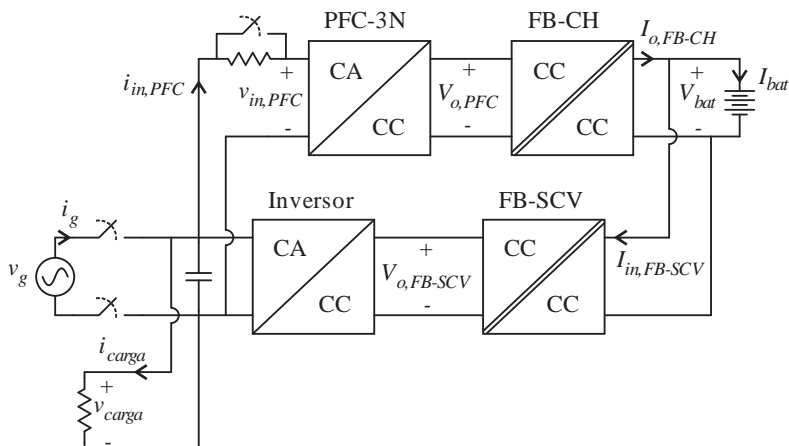


Figura 2.3 – Esquema do sistema de potência.

A seguir, será apresentada resumidamente uma revisão de cada uma das topologias utilizadas.

2.2.1 Full-bridge ZVS Phase shift CC-CC

O conversor utilizado para interface com a bateria é um CC-CC em ponte completa com comutação sob tensão nula, com modulação por largura de pulso, controle do fluxo de potência por deslocamento de fase e saída em corrente, chamado na literatura de *full-bridge ZVS phase-shift*.

Neste trabalho, foi utilizada uma variante com diodos grameadores no primário (Figura 2.4), apresentada em [23]. Para essa revisão, serão apresentadas as características principais do conversor simplificado (Figura 2.5), apresentado em [25], já que suas equações de projeto não são fundamentalmente alteradas. As etapas de operação e formas de ondas estão apresentadas na Figura 2.7 e na Figura 2.8.

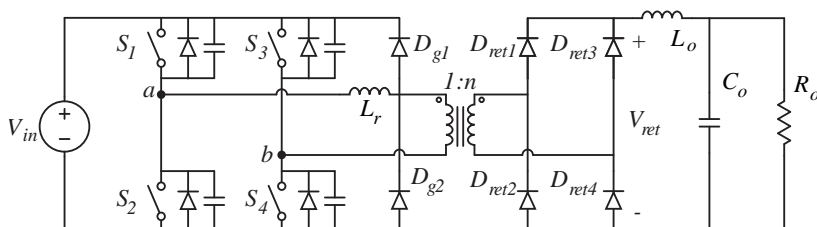


Figura 2.4 – Variante do conversor *full-bridge ZVS phase-shift* com diodos de grameamento no primário.

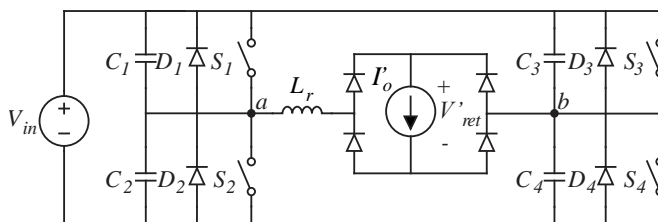


Figura 2.5 – Conversor *full-bridge ZVS phase-shift* simplificado.

O funcionamento básico do conversor se dá ao acionar os interruptores do braço esquerdo defasados aos do braço direito, impondo a tensão de entrada V_{in} do conversor, hora positiva, hora negativa, ao conjunto indutor e retificador (V_{ab}) por um tempo proporcional à defasagem entre os braços. Os interruptores em cada braço são acionados de maneira complementar e com a adição de tempo morto

entre os acionamentos, de maneira que haja uma ressonância entre L_r e os capacitores em paralelo intrínsecos aos interruptores, possibilitando a comutação suave.

Contudo, a inclusão do indutor L_r adiciona uma etapa de roda livre na ponte retificadora, onde não há transferência de potência para a saída, limitando o ganho de razão cíclica, como mostra-se na Figura 2.6.

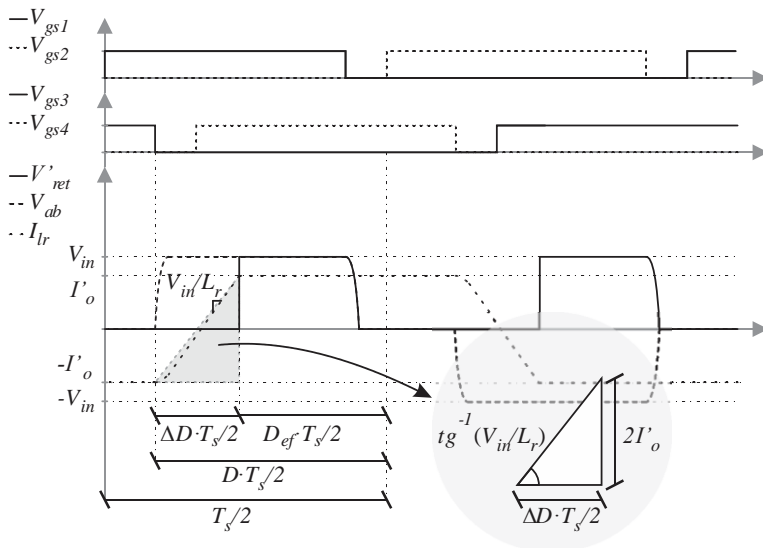


Figura 2.6 – Perda de razão cíclica no conversor *Full-bridge ZVS phase-shift*.

A partir da geometria dos sinais apresentados na Figura 2.6 e considerando que a corrente do indutor varia como uma rampa no intervalo de roda livre, encontra-se a expressão da perda de razão cíclica pela equação (2.1) e conseqüentemente a razão cíclica efetiva, dada pela equação (2.2):

$$\frac{V_{in}}{L_r} = \frac{2 \cdot I'_o}{\Delta D \cdot T_s/2} \rightarrow \Delta D = \frac{4 \cdot f_s \cdot L_r \cdot I_o}{n \cdot V_{in}} \quad (2.1)$$

$$D_{ef} = D - \Delta D = D - \frac{4 \cdot f_s \cdot L_r \cdot I_o}{n \cdot V_{in}} \quad (2.2)$$

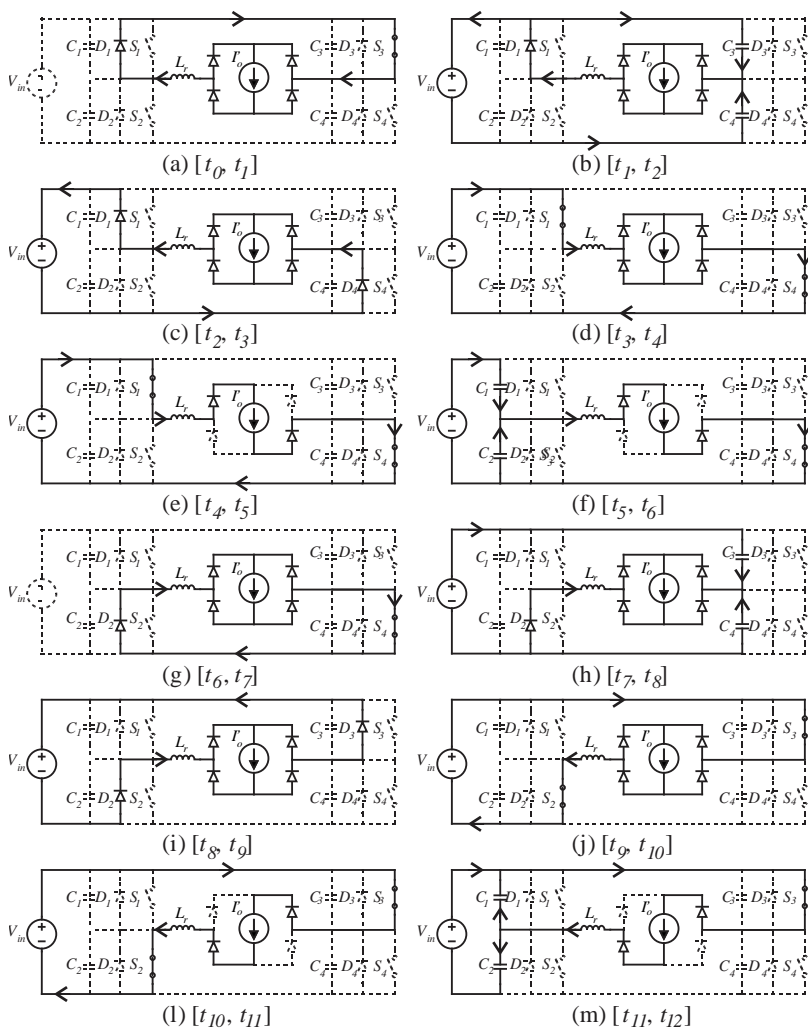


Figura 2.7 – Etapas de operação do conversor Full-bridge ZVS phase-shift.

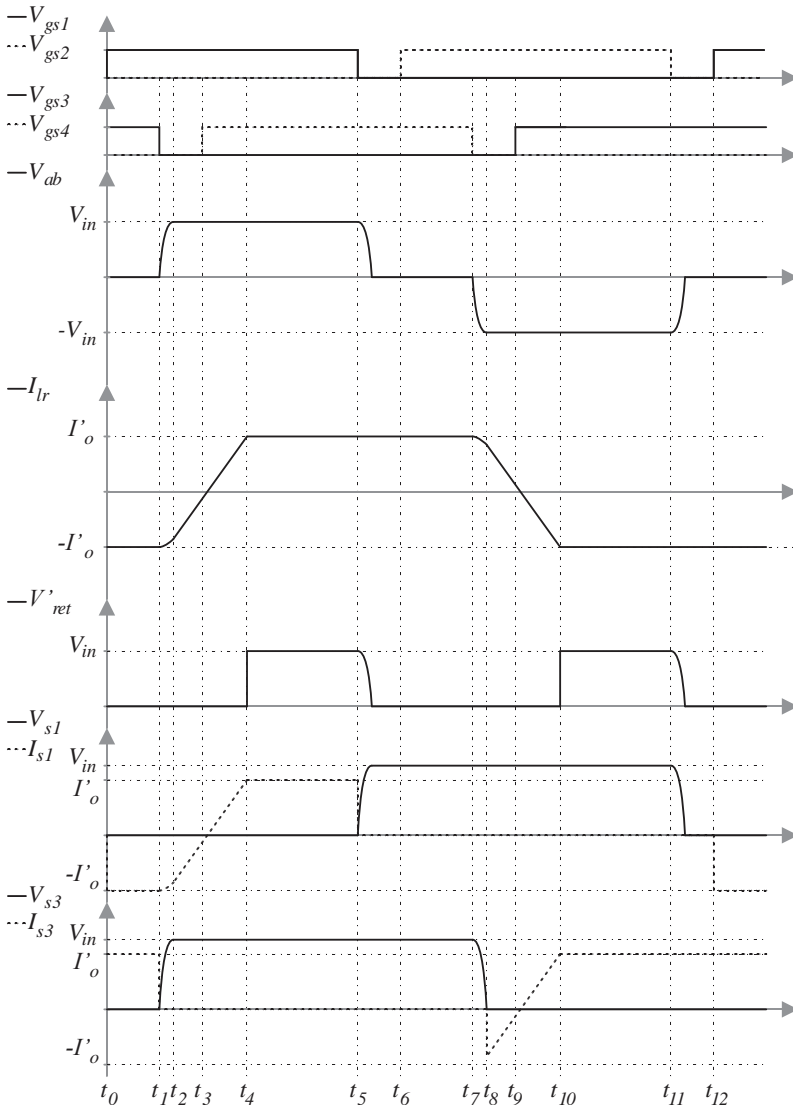


Figura 2.8 – Formas de onda do conversor *Full-bridge ZVS phase-shift*.

A expressão para determinação da indutância de ressonância L_r é retirada da equação (2.1) e é dada por:

$$L_r = \Delta D \cdot \frac{V_{in}}{4 \cdot n \cdot I_o \cdot f_s} \quad (2.3)$$

A determinação do indutor de filtro de saída L_o é feita a partir da ondulação máxima de corrente, considerando a tensão pulsada na saída do retificador. A partir das formas de onda apresentadas na Figura 2.8, considera-se o valor da indutância de saída no caso de maior ondulação, ou seja, quando a tensão de saída é máxima.

$$L_o = \frac{V_{o-max} \cdot (1 - D_{ef})}{2 \cdot f_s \cdot \% \Delta I_{L_o} \cdot I_{L_o}} \quad (2.4)$$

Analogamente, a capacitância de saída é calculada pela máxima ondulação de tensão, considerando que toda a ondulação de corrente é filtrada pelo capacitor. Considerando a aproximação para a tensão no capacitor clássica dada por [26], considera-se a capacitância mínima dada por:

$$C_o = \frac{\% \Delta I_{L_o} \cdot I_{L_o}}{8 \cdot f_s \cdot \% \Delta V_o \cdot V_o} \quad (2.5)$$

Em relação a modelagem, percebe-se que a tensão retificada na saída da ponte retificadora é pulsada, sendo equivalente a um conversor abaixador (*buck*) com uma razão cíclica de D_{ef} . Logo, pode-se considerar o conversor como uma chave PWM, simplificando o uso da modelagem por valores médios [27]. A Figura 2.9 mostra as etapas.

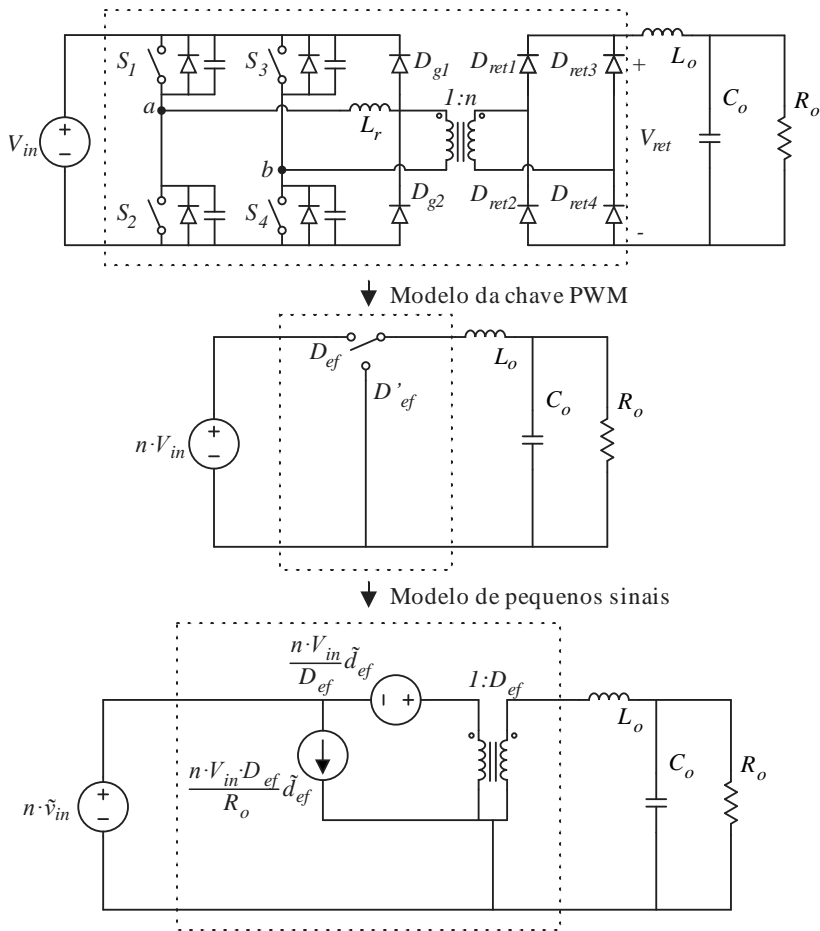


Figura 2.9 – Etapas para modelagem de pequenos sinais do conversor *Full-bridge ZVS phase-shift*.

Para avaliar o \tilde{d}_{ef} , considera-se que uma variação da razão cíclica efetiva dá-se pelos efeitos da razão cíclica \tilde{d} , imposta pela modulação *phase-shift*, somada com os efeitos da variação de corrente de saída e da variação da tensão de entrada, mostrado na equação (2.6).

$$\tilde{d}_{ef} = \tilde{d} + \tilde{d}_i + \tilde{d}_v \quad (2.6)$$

O objetivo final do estudo da modelagem é a obtenção da função de transferência para o controle do conversor, logo despreza-se a perturbação na tensão de entrada. O efeito da perturbação de corrente de saída é mostrado visualmente na Figura 2.10, onde é possível perceber que o aumento da corrente de saída leva a uma menor razão cíclica efetiva.

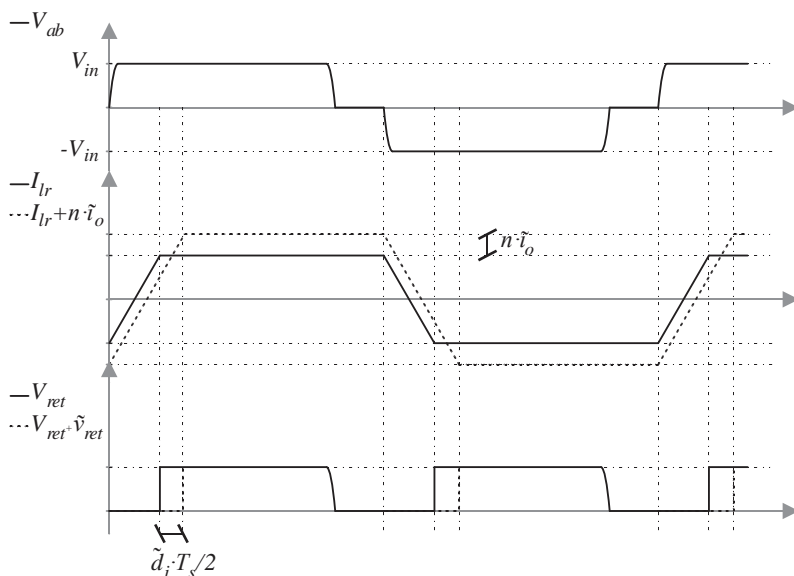


Figura 2.10 – Efeito da perturbação de corrente de saída no conversor *Full-bridge ZVS phase-shift*.

Calculando a diferença entre o tempo de subida da corrente em cada caso, chega-se à expressão do efeito da perturbação de corrente de saída na razão cíclica, apresentada na equação (2.7).

$$\tilde{d}_i = -\frac{4 \cdot L_r \cdot n \cdot f_s}{V_{in}} \cdot \tilde{i}_o \quad (2.7)$$

Assim, a variação da razão cíclica efetiva é dada por:

$$\tilde{d}_{ef} = \tilde{d} - \frac{4 \cdot L_r \cdot n \cdot f_s}{V_{in}} \cdot \tilde{i}_o \quad (2.8)$$

Ao combinar a expressão (2.8) com a Figura 2.9 e desprezando-se a perturbação da tensão de entrada, chega-se ao seguinte circuito equivalente:

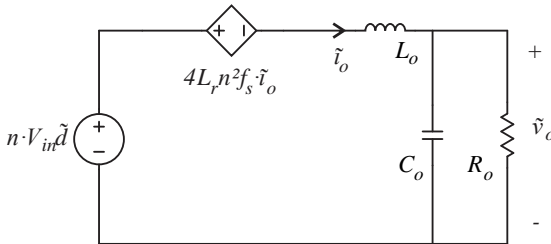


Figura 2.11 – Modelo de pequenos sinais do conversor *Full-bridge ZVS phase-shift*.

No caso de um conversor ligado diretamente a uma bateria ou na implementação de uma malha dupla de controle, onde a variação de tensão é muito mais lenta do que a variação de corrente, pode-se considerar que a variação de tensão \tilde{v}_o é desprezível, assim, chega-se à função de transferência no domínio complexo de corrente por razão cíclica:

$$G_{id}(s) = \frac{\tilde{i}_o(s)}{\tilde{d}(s)} = \frac{n \cdot V_{in}}{s \cdot L_o + R_d} \quad (2.9)$$

Sendo:

$$R_d = 4 \cdot n^2 \cdot f_s \cdot L_r \quad (2.10)$$

Da mesma maneira, a função transferência da tensão por razão cíclica, é dada por:

$$\begin{aligned}
 G_{vd}(s) &= \frac{\tilde{v}_o(s)}{\tilde{d}(s)} \\
 &= \frac{n \cdot V_{in}}{s^2 \cdot C_o \cdot L_o + s \cdot (L_o/R_o + C_o \cdot R_d) + 1 + R_d/R_o}
 \end{aligned} \tag{2.11}$$

Define-se a função de transferência de tensão por corrente como sendo:

$$G_{vi}(s) = \frac{G_{vd}(s)}{G_{id}(s)} \tag{2.12}$$

Ao adicionar-se as não idealidades de resistências série do indutor (R_{L_o}) e série-equivalente do capacitor de saída (R_{SE}), chegam-se as seguintes expressões:

$$G_{id}(s) = \frac{\tilde{i}_o(s)}{\tilde{d}(s)} = \frac{n \cdot V_{in}}{s \cdot L_o + R_{L_o} + 4 \cdot n^2 \cdot f_s \cdot L_r} \tag{2.13}$$

$$\begin{aligned}
 G_{vd}(s) &= \frac{\tilde{v}_o(s)}{\tilde{d}(s)} = \\
 &= \frac{n \cdot V_{in}}{s^2 C_o L_o \left(1 + \frac{R_{SE}}{R_o}\right) + s \left[\frac{L_o}{R_o} + C_o R_d \left(1 + \frac{R_{SE}}{R_o}\right) + C_o R_{SE}\right] + 1 + \frac{R_d}{R_o}}
 \end{aligned} \tag{2.14}$$

2.2.2 PFC Monofásico Bridgeless 3 Níveis

Para o estágio retificador, foi utilizado um conversor PFC monofásico *bridgeless* 3 níveis, desenvolvido por [22]. Entre suas vantagens estão; a utilização de somente um indutor *boost*, com uma melhora em relação a conversores comumente utilizados nessa faixa de potência, e a comutação dos interruptores em tensões menores, dado o funcionamento em 3 níveis [28]. A topologia do conversor é apresentada na Figura 2.12.

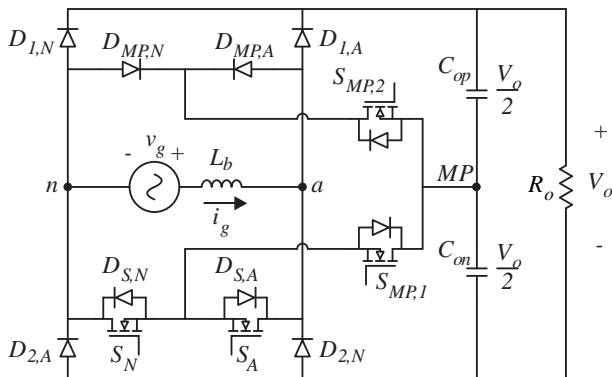


Figura 2.12 – Topologia do retificador PFC monofásico *Bridgeless* 3 Níveis. Retirado de [28].

A Figura 2.13 mostra os estados topológicos usados no conversor. O conversor faz uso de um ponto médio no barramento CC, assim possibilitando a formação de 5 níveis na tensão v_{an} ($0, \pm V_o/2, \pm V_o$). Para cada semiciclo da rede, existe um estado redundante para a aplicação da tensão $v_{an} = \pm V_o/2$, diferenciados pelo comando dos interruptores $S_{MP,1}$ e $S_{MP,2}$, onde se drena ou injeta corrente no ponto médio do barramento CC, possibilitando assim a equalização da tensão nos capacitores C_{op} e C_{on} .

O circuito modulador é apresentado na Figura 2.14. O sinal modulante $m(t)$ é comparado com duas portadoras triangulares $f_{AN}(t)$ e $f_{MP}(t)$, esta defasada de 180° e com um acréscimo de nível de 0,5 em relação àquela. A seleção da utilização do interruptor $S_{MP,1}$ ou $S_{MP,2}$ é feita comparando a tensão em cada capacitor de modo a fazer a equalização de tensões. Os sinais conseguidos a partir dessa modulação são mostrados na Figura 2.15.

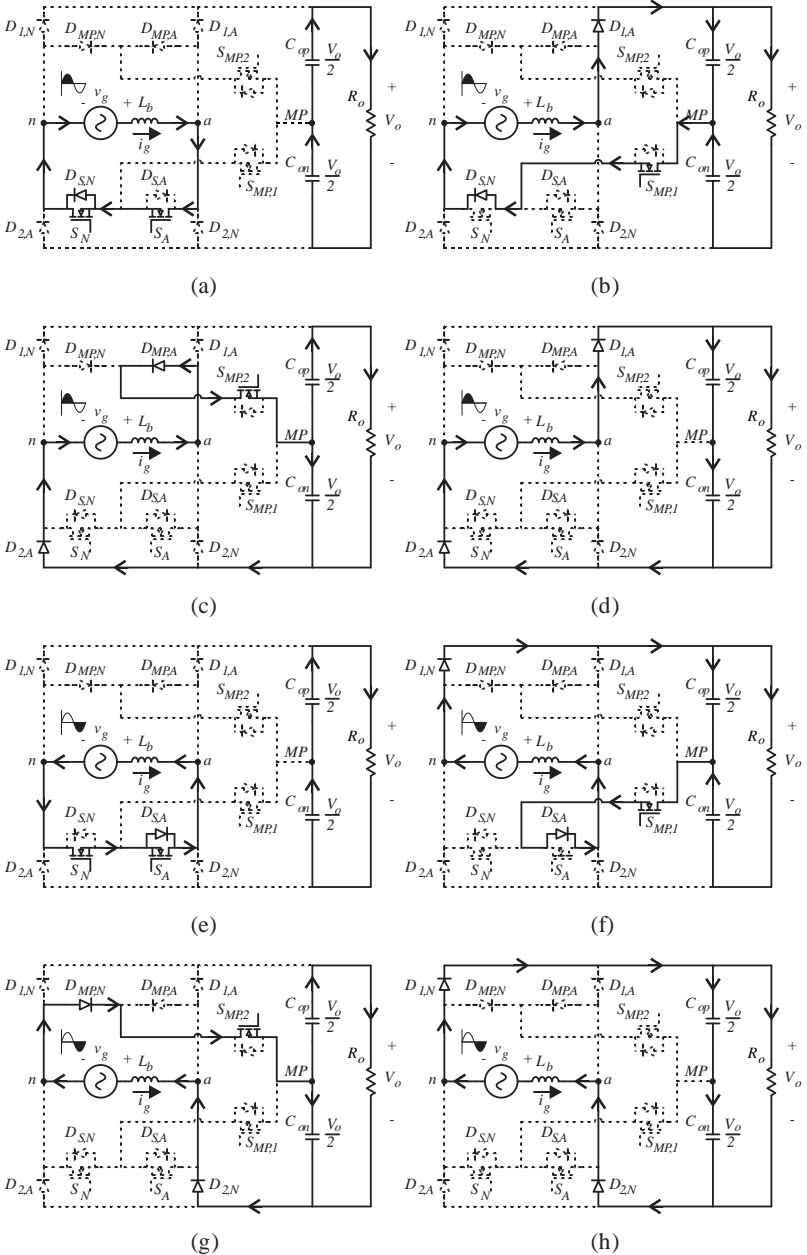


Figura 2.13 – Estados topológicos do retificador PFC *bridgeless* 3 níveis.
Retirado de [28].

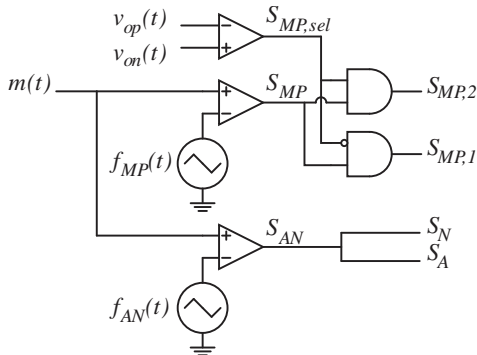


Figura 2.14 – Circuito lógico para geração dos sinais de comando do retificador PFC *bridgeless* 3 níveis. Retirado de [28].

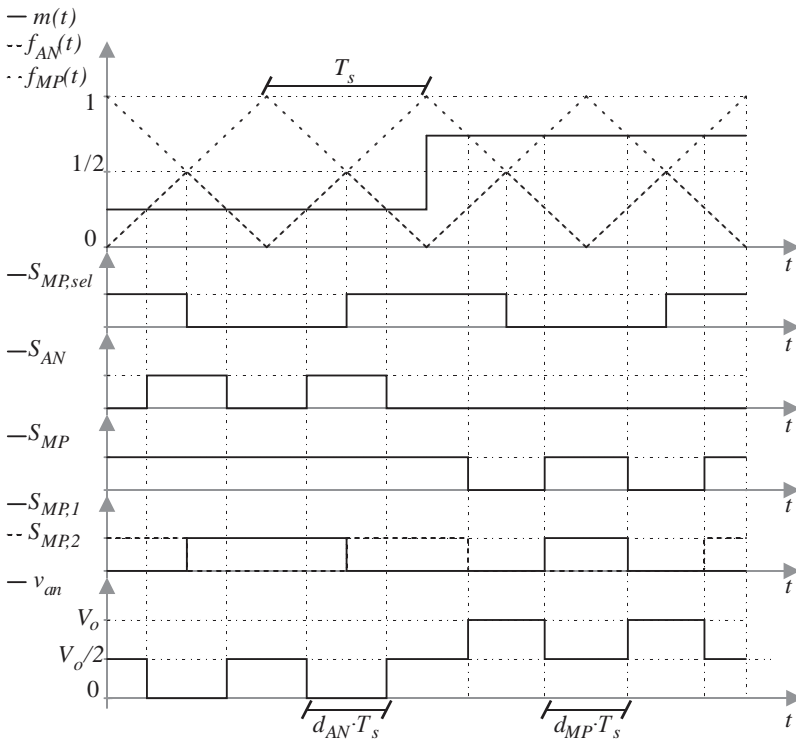


Figura 2.15 – Sinais gerados pela modulação apresentada do retificador PFC *bridgeless* 3 níveis. Retirado de [28].

A partir da Figura 2.15, retiram-se as expressões para a razão cíclica do sinal S_{AN} e S_{MP} :

$$d_{AN}(t) = \begin{cases} 1 - 2 \cdot m(t) & \text{se } m(t) \leq 1/2 \\ 0 & \text{se } m(t) > 1/2 \end{cases} \quad (2.15)$$

$$d_{MP}(t) = \begin{cases} 1 & \text{se } m(t) \leq 1/2 \\ 1 - 2 \cdot m(t) & \text{se } m(t) > 1/2 \end{cases} \quad (2.16)$$

O funcionamento como retificador PFC é dado quando o sinal modulante $m(t)$ é senoidal. Considerando que o arranjo de interruptores se comporta como uma fonte controlada v_{an} entre os pontos a e n do conversor, como mostrado na Figura 2.16, cuja expressão, considerando o valor de V_o constante e a frequência de comutação muito maior do que a frequência da rede, pode ser dada por:

$$v_g = v_{an} = m(t) \cdot V_o \quad (2.17)$$

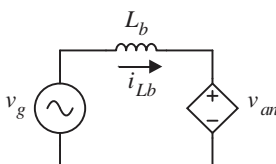


Figura 2.16 – Circuito equivalente para controle da corrente no retificador PFC bridgeless 3 níveis. Retirado de [28].

Assim, ao considerar que a queda de tensão em baixa frequência é desprezível no indutor L_b , chega-se a seguinte expressão de $m(t)$, sendo V_{gp} a tensão de pico da rede e α definido como o índice de modulação:

$$m(t) = \frac{V_{gp}}{V_o} \cdot \text{sen}(\omega_g \cdot t) = \alpha \cdot \text{sen}(\omega_g \cdot t) \quad (2.18)$$

As formas de onda para o funcionamento como retificador PFC são mostradas na Figura 2.17.

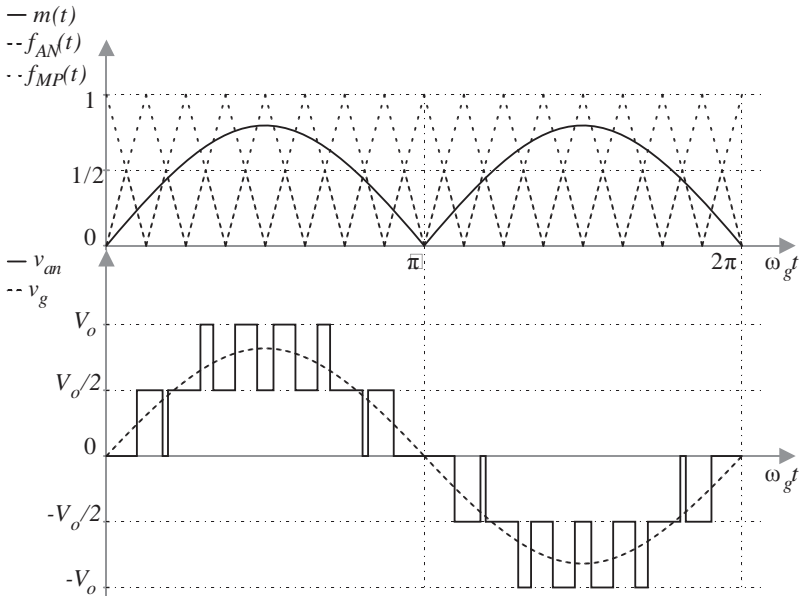


Figura 2.17 – Formas de onda em operação ideal do retificador PFC *bridgeless* 3 níveis. Retirado de [28].

Para a modelagem da corrente no indutor, usa-se o circuito equivalente apresentado na Figura 2.16. O modelo pode então ser apresentado em forma de diagrama de blocos como mostra a Figura 2.18 e em forma de função transferência como na equação (2.19).

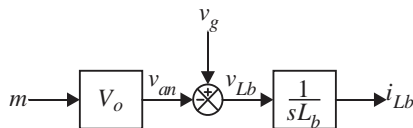


Figura 2.18 – Diagrama de blocos para modelagem do controle de corrente no retificador PFC *bridgeless* 3 níveis. Retirado de [28].

$$G_i(s) = \frac{\tilde{i}_{Lb}(s)}{\tilde{m}(s)} = \frac{V_o}{s \cdot L_b} \quad (2.19)$$

Para que se garanta fator de potência próximo ao unitário na entrada do conversor, utiliza-se um controle em malha fechada. A Figura 2.19 mostra o diagrama de blocos do sistema de controle utilizando uma técnica de rejeição da perturbação de v_g e tendo como entrada uma referência de potência p_{ref} normalizada à potência nominal, determinada pela malha de controle de tensão de saída do conversor, assim podendo se adequar à mudança de carga na saída do conversor.

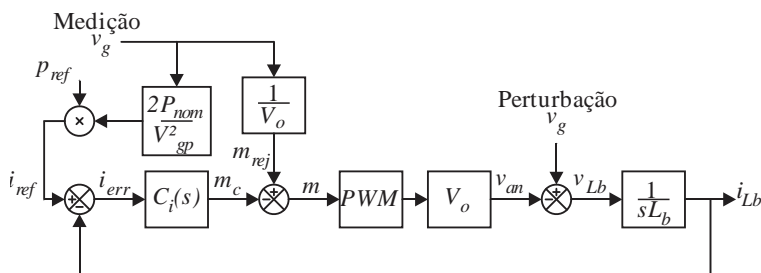


Figura 2.19 – Diagrama de blocos do controle de corrente com rejeição da perturbação do retificador PFC *bridgeless* 3 níveis. Retirado de [28].

Para a modelagem de tensão, considera-se o conversor como uma fonte de corrente controlada por p_{ref} que entrega potência para uma carga resistiva em paralelo ao capacitor de saída C_o , como mostrado na Figura 2.20.

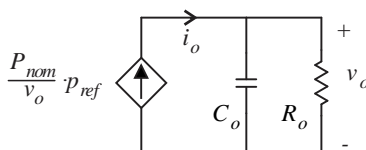


Figura 2.20 - Circuito equivalente para controle da tensão no retificador PFC *bridgeless* 3 níveis. Retirado de [28].

A partir da análise desse circuito, chega-se na função transferência de tensão, dada por:

$$G_v(s) = \frac{\tilde{v}_o(s)}{\tilde{p}_{ref}(s)} = \frac{P_{nom} \cdot R_o}{V_o} \cdot \frac{1}{R_o C_o \cdot s + 2} \quad (2.20)$$

Para a determinação do indutor *boost*, analisa-se a variação de corrente no indutor, considerando as regiões de tensão onde $|v_g(t)| \leq V_o/2$ e $|v_g(t)| \geq V_o/2$, dimensionando a indutância para o caso de maior variação de corrente. A dedução é dada em [28] e segue a expressão para o caso de $\alpha \geq 0,25$:

$$L_b = \frac{1}{8} \cdot \frac{V_o}{I_{Lbp} \cdot \% \Delta i_{Lb-max} \cdot f_s} \quad (2.21)$$

De maneira similar, dimensiona-se os capacitores de saída pela variação da tensão de saída, assumindo-se que a corrente no ponto médio tende a ser zero, dada a redundância de estados que leva a equalização da tensão dos capacitores. A dedução é feita em [28], cuja expressão é:

$$C_{op} = C_{on} = 2 \cdot C_o = \frac{P_o}{\pi \cdot f_g \cdot V_o^2 \cdot \% \Delta V_o-max} \quad (2.22)$$

2.2.3 Inversor Monofásico

Para a conversão CC-CA, utilizou-se um inversor *full-bridge* com um filtro LC na saída, que permite um controle de corrente e de tensão na saída, abrangendo os dois modos de funcionamento, já que, para o caso do sistema proposto, o inversor monofásico deve operar conectado a rede e em modo ilhado. A Figura 2.21 mostra o estágio de potência do inversor *full-bridge*, com as possíveis ligações com a rede, representada por v_g , e com a carga residencial, representada por R_o .

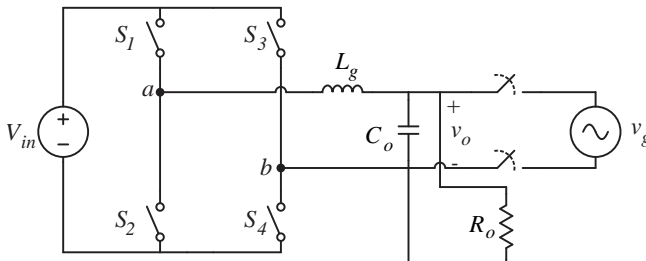


Figura 2.21 – Inversor *Full-bridge*.

A modulação do inversor será feita utilizando um modulador PWM senoidal três níveis, cujo circuito lógico está apresentado na Figura 2.22, com intuito de reduzir os elementos de filtro do inversor, deslocando a alta frequência no filtro para o dobro da frequência de comutação [24]. O modulador compara o sinal modulante a duas portadoras triangulares defasadas de 180° entre si, gerando assim os pulsos para cada braço.

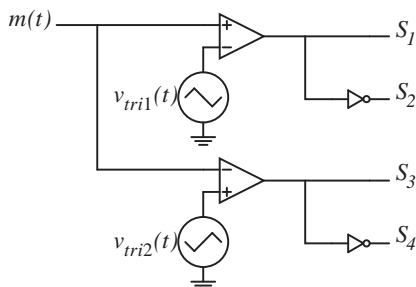


Figura 2.22 – Circuito lógico do modulador PWM senoidal de três níveis do inversor *full-bridge*.

Considerando um sinal modulante $m(t)$ senoidal de frequência muito menor do que a frequência das portadoras triangulares, chega-se as formas de onda mostradas na Figura 2.23. Observa-se pela forma de onda apresentada que, em um período de comutação, pode-se considerar que o valor médio da tensão v_{ab} é:

$$v_{ab}(t) = m(t) \cdot V_{in} \quad (2.23)$$

Ao considerar que, em baixa frequência, a queda de tensão do indutor é desprezível e que a tensão v_o é senoidal com pico de V_{gp} , afirma-se que:

$$v_{ab}(t) = v_o(t) = V_{gp} \cdot \text{sen}(\omega_g t) = m(t) \cdot V_{in} \quad (2.24)$$

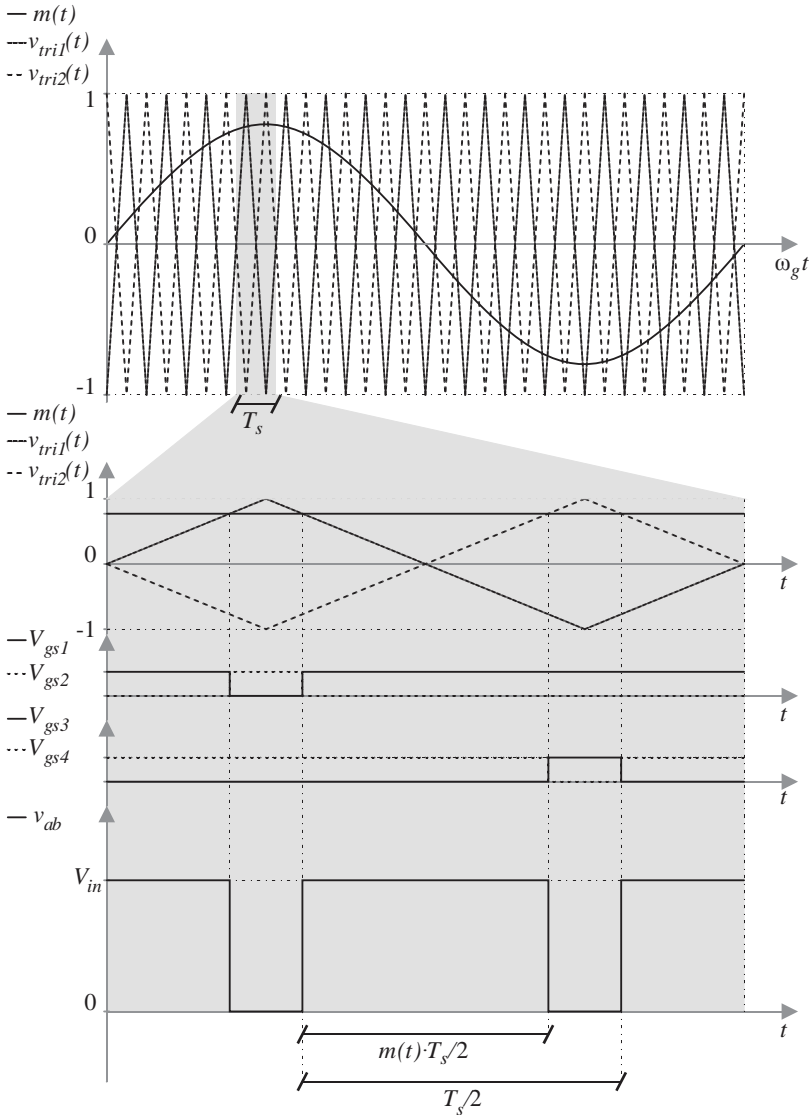


Figura 2.23 – Formas de onda da modulação do inversor *full-bridge*.

Logo, definindo-se α como o índice de modulação, tem-se o sinal modulante dado por:

$$m(t) = \frac{V_{gp}}{V_{in}} \cdot \text{sen}(\omega_g \cdot t) = \alpha \cdot \text{sen}(\omega_g \cdot t) \quad (2.25)$$

Assim, chega-se ao circuito equivalente mostrado na Figura 2.24(a). Considerando os modos de operação, pode-se dividir em dois circuitos equivalentes: A Figura 2.24(b) representa o modo conectado a rede e a Figura 2.24(c) o modo isolado.

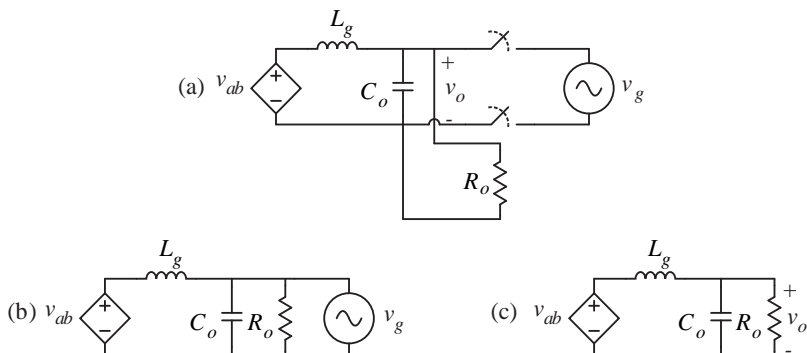


Figura 2.24 – Circuito equivalente por valores médios do inversor *full-bridge*.

No modo conectado a rede, a tensão v_o é imposta por v_g , sendo necessário o controle da corrente no indutor L_g . No caso isolado, a tensão no v_o deve ser controlada pelo inversor.

Dessa maneira, utilizam-se as funções transferência dadas pelas equações (2.26) e (2.27), considerando no indutor uma resistência série R_{Lg} .

$$G_{id}(s) = \frac{i_{Lg}(s)}{m(s)} = \frac{V_{in}}{s \cdot L_g + R_{Lg}} \quad (2.26)$$

$$G_{vi}(s) = \frac{v_o(s)}{i_{Lg}(s)} = \frac{R_o}{s \cdot C_o \cdot R_o + 1} \quad (2.27)$$

Para determinar-se o valor do indutor de saída, utiliza-se a expressão de tensão no indutor:

$$v_{Lg}(t) = v_{ab} - v_o = L_g \cdot \frac{\Delta i_{Lg}}{\Delta t} \quad (2.28)$$

No intervalo de tempo $\Delta t = m(t) \cdot T_s / 2$, considera-se que a tensão v_{ab} é igual a V_{in} , como observado na Figura 2.23. Manipulando a equação (2.28) juntamente com as igualdades (2.25) e (2.24) e isolando-se L_g , tem-se a expressão:

$$L_g = \frac{V_{in}}{2 \cdot \Delta i_{Lg} \cdot f_s} \cdot \alpha \cdot \text{sen}(\omega_g \cdot t) \cdot [1 - \alpha \cdot \text{sen}(\omega_g \cdot t)] \quad (2.29)$$

O valor da indutância será calculado utilizando o critério da máxima ondulação de corrente. Percebe-se pela expressão (2.29) que a maior ondulação é dada quando:

$$\frac{d}{d(\varphi)} \{\alpha \cdot \text{sen}(\varphi) \cdot [1 - \alpha \cdot \text{sen}(\varphi)]\} = 0 \quad (2.30)$$

O ângulo de ondulação máxima de corrente acontece quando:

$$\varphi_{max} = \text{Re} \left\{ \text{sen}^{-1} \left(\frac{1}{2 \cdot \alpha} \right) \right\} \quad (2.31)$$

Assim, a indutância L_g é calculada por:

$$L_g = \begin{cases} \frac{\alpha \cdot (1 - \alpha) \cdot V_{in}}{2 \cdot f_s \cdot \Delta i_{Lg}}, & \text{se } 0 < \alpha < 1/2 \\ \frac{V_{in}}{8 \cdot f_s \cdot \Delta i_{Lg}}, & \text{se } 1/2 < \alpha < 1 \end{cases} \quad (2.32)$$

A indutância mínima a ser utilizada, considerando a máxima ondulação na corrente e o conversor operando com um índice de modulação maior que 0,5, é então dada por:

$$L_{g-min} = \frac{V_{in}}{8 \cdot f_s \cdot \% \Delta i_{Lg-max} \cdot I_{Lgp}} \quad (2.33)$$

O capacitor de saída é obtido determinando uma máxima variação de tensão, considerando que toda a corrente de alta frequência no indutor circula pelo capacitor. Considerando a aproximação para a tensão no capacitor clássica dada por [26], considera-se a capacitância mínima dada por:

$$C_{o-min} = \frac{\% \Delta i_{Lg-max} \cdot I_{Lgp}}{16 \cdot f_s \cdot \% \Delta V_{o-max} \cdot V_{Lgp}} \quad (2.34)$$

2.3 PROJETO DOS CONVERSORES

A partir das equações apresentadas na seção 2.2 e dos pré-requisitos de projeto apresentados na seção 2.1, serão calculados os elementos dos circuitos de potência, será feito o projeto dos compensadores necessários para a regulação dos conversores e serão apresentados os resultados de simulação dos conversores.

2.3.1 Projeto Carregador

O subsistema proposto terá como finalidade emular o carregamento da bateria feito internamente em um veículo elétrico. Como mencionado na seção 2.1, o tempo de carregamento lento se dá majoritariamente no modo de corrente constante, logo, com o intuito de simplificar o sistema, optou-se projetar o conversor somente com o controle da corrente de saída. Em relação ao retificador PFC, os testes práticos foram feitos utilizando o protótipo desenvolvido por [28], assim como a base do projeto apresentado neste capítulo, que foi utilizado para a simulação do sistema.

2.3.1.1 Projeto PFC *bridgeless* três níveis

Os requisitos do projeto são mostrados na Tabela 2.2, de acordo com [28], e atendem às especificações estabelecidas na seção 2.1.

Tabela 2.2 – Especificações de projeto do retificador PFC bridgeless três níveis.

Tensão eficaz da rede ($V_{g,ef}$)	220 V
Frequência da rede (f_g)	60 Hz
Tensão de saída (V_o)	380 V
Potência nominal (P_{nom})	3 kW
Frequência de comutação (f_s)	140 kHz
Ondulação máxima da tensão de saída ($\% \Delta V_o$)	5%
Ondulação máxima de corrente no indutor <i>boost</i> ($\% \Delta I_{L_b}$)	20%

Ao utilizar a equação (2.21), calcula-se o valor mínimo para o indutor L_b .

$$L_{b-min} = 88 \mu\text{H} \quad (2.35)$$

O valor mínimo do capacitor C_o é calculado conforme a equação (2.22).

$$C_{o-min} = 1,102 \mu\text{F} \quad (2.36)$$

O valor dos componentes reais utilizados no protótipo são mostrados na tabela a seguir. É de se notar que o valor de capacitância utilizado foi maior para atenuar a componente de baixa frequência:

Tabela 2.3 – Valores dos componentes utilizados no retificador PFC *bridgeless* três níveis.

Indutância <i>boost</i> (L_b)	95 μH
Capacitância de saída (C_o)	1500 μF

Com os valores dos componentes, é possível fazer o projeto do compensador para controle de corrente e de tensão. O projeto de controle aqui apresentado foi uma simplificação utilizada para a validação do sistema completo via simulação. Os requisitos de controle são os mesmos apresentados na referência [28].

Para o projeto do compensador de corrente, baseia-se no diagrama de blocos simplificado dado pela Figura 2.25. Introduce-se também os atrasos pela modulação $H_{PWM}(s)$ e pela amostragem

$H_{CPU}(s)$, já que o controle será feito por um controlador digital, apresentados na Figura 2.25. No ramo de realimentação inclui-se um filtro de medição de primeira ordem, cuja função transferência é dada por (2.37), onde $T_{pbi} = 1/2\pi f_{pbi}$.

$$H_i(s) = \frac{K_{mi}}{T_{pbi} \cdot s + 1} \quad (2.37)$$

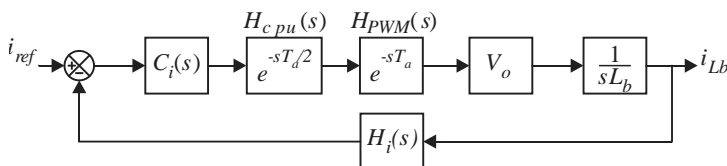


Figura 2.25 – Diagrama de blocos para projeto do compensador de corrente do retificador *bridgeless* três níveis.

Utilizou-se o filtro com uma frequência de corte $f_{bpi} = f_s/2 = 70 \text{ kHz}$ e ganho $K_{mi} = 0,01$. A frequência de amostragem utilizada é de duas vezes a frequência de comutação $f_a = 2 \cdot f_s = 280 \text{ kHz}$.

O controlador utilizado foi do tipo proporcional integral (PI), cuja função transferência é dada por:

$$C_i(s) = K_{pi} \cdot \frac{s + \omega_{zi}}{s} \quad (2.38)$$

Esse tipo de controlador tem como vantagem sua simplicidade de projeto e se adequa a essa aplicação por proporcionar um alto ganho de em baixa frequência, garantindo baixo erro nessa faixa de frequência. Outra característica desse controlador é garantir erro nulo aos sinais constantes, o que é interessante para aplicações de controle de variáveis CC.

Assim, a função de transferência de malha aberta compensada do sistema de controle de corrente $FTMA_{i,c}(s)$ e a função de transferência não compensada $FTMA_{i,nc}(s)$ são definidas como:

$$\begin{aligned}
FTMA_{i,c}(s) &= \\
&= C_i(s) \cdot FTMA_{i,nc}(s) = \\
&= C_i(s) \cdot H_{CPV}(s) \cdot H_{PVM}(s) \cdot G_i(s) \cdot H_i(s)
\end{aligned} \tag{2.39}$$

O projeto foi feito pelo método de diagrama de Bode, ajustando o ganho e a frequência do zero do controlador de modo a atender requisitos de margem de fase (M_φ) e de frequência de cruzamento (f_0) da função de transferência de malha aberta compensada e garantir estabilidade. Esse método parte do princípio que um sistema em malha fechada é estável quando se garante as seguintes condições:

$$|FTMA_{i,c}(j\omega_0)| = 1 \tag{2.40}$$

$$\angle FTMA_{i,c}(j\omega_0) = -\pi + M_\varphi \tag{2.41}$$

$$\text{Onde } \omega_0 = 2 \cdot \pi \cdot f_0.$$

Para encontrar os parâmetros do controlador, aplica-se as propriedades de módulo e ângulo, considerando o controlador $C_i(s)$ como incógnita. Para a condição de ângulo, tem-se:

$$\angle C_i(j\omega_0) + \angle FTMA_{i,nc}(j\omega_0) = -\pi + M_\varphi \tag{2.42}$$

Onde, para um compensador PI, tem-se:

$$\angle C_i(j\omega_0) = -\frac{\pi}{2} + \text{tg}^{-1}\left(\frac{\omega_0}{\omega_{zi}}\right) \tag{2.43}$$

Logo, para calcular-se a frequência do zero do compensador PI, combina-se as expressões (2.43) e (2.42), obtendo a seguinte expressão:

$$\omega_{zi} = \frac{\omega_0}{\text{tg}\left(M_\varphi - \frac{\pi}{2} - \angle FTMA_{i,nc}(j\omega_0)\right)} \tag{2.44}$$

Com a frequência calculada, utiliza-se a condição de módulo para obter o ganho do compensador:

$$|C_i(j\omega_0)| \cdot |FTMA_{i,nc}(j\omega_0)| = 1 \quad (2.45)$$

Onde, para um compensador PI:

$$|C_i(j\omega_0)| = \frac{K_{pi}}{\omega_0/\omega_{zi}} \cdot \sqrt{1 + \left(\frac{\omega_0}{\omega_{zi}}\right)^2} \quad (2.46)$$

Ao combinar as equações (2.45) e (2.46), a expressão do ganho do compensador é dada por:

$$K_{pi} = \frac{\omega_0}{\sqrt{\omega_0^2 + \omega_{zi}^2}} \cdot |FTMA_{i,nc}(j\omega_0)| \quad (2.47)$$

O projeto do controle é então realizado, considerando as especificações apresentadas na Tabela 2.4:

Tabela 2.4 – Especificação de projeto para o compensador de corrente do retificador *bridgeless* três níveis.

Frequência de corte da FTMA compensada de corrente (f_0)	8 kHz
Margem de fase da FTMA compensada de corrente (M_φ)	50°

Ao aplicar as especificações às equações (2.47) e (2.44), tem-se os seguintes valores para o compensador de corrente:

Tabela 2.5 – Parâmetros do compensador PI de corrente do retificador *bridgeless* três níveis.

Frequência do zero do PI de corrente (ω_{zi})	16.382,3 rad/s
Ganho do PI de corrente (K_{pi})	1,20256

Na Figura 2.26, na Figura 2.27 e na Figura 2.28, mostra-se o diagrama de Bode da FTMA não compensada, do compensador e da FTMA compensada de corrente, respectivamente.

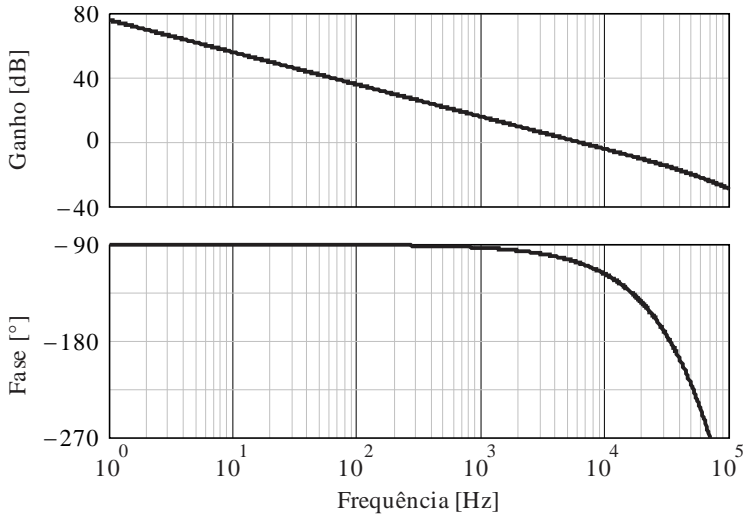


Figura 2.26 – Diagrama de Bode da FTMA não compensada de corrente do retificador *bridgeless* três níveis.

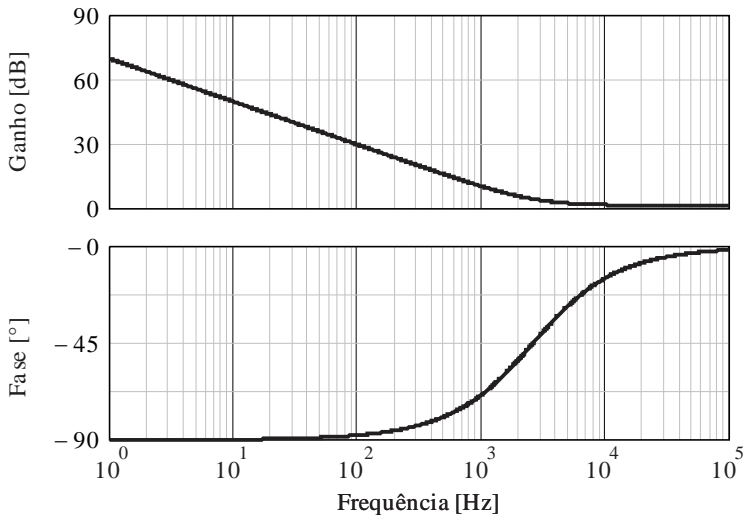


Figura 2.27 – Diagrama de Bode do compensador de corrente do retificador *bridgeless* três níveis.

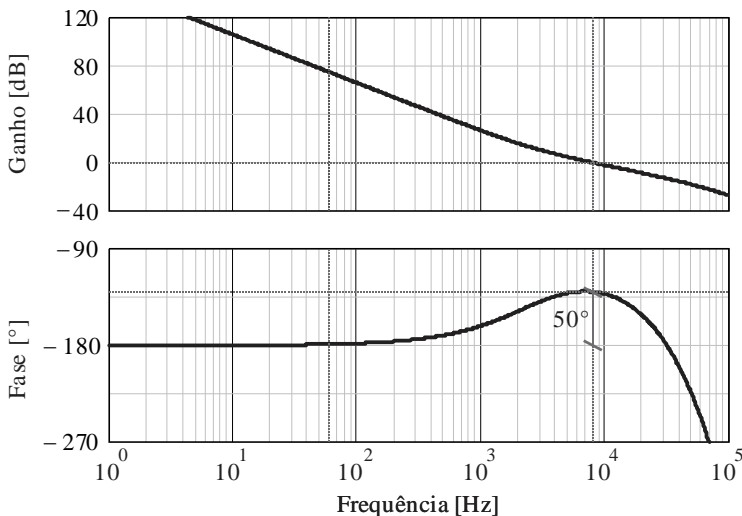


Figura 2.28 – Diagrama de Bode da FTMA compensada de corrente do retificador *bridgeless* três níveis.

A implementação digital requer a discretização do controlador apresentado. Um dos métodos mais difundidos de discretização para aplicação em eletrônica de potência é o método de Tustin [29]. A discretização é dada aproximando a variável s por:

$$s = \frac{2}{T_a} \cdot \frac{z^{-1} - 1}{z^{-1} + 1} \quad (2.48)$$

Ao considerar um compensador PI, a equação diferenças, com $e(n)$ sendo o sinal de erro e $d(n)$ o sinal da variável de controle, é dada por:

$$d(n) = d(n-1) + a_1 \cdot e(n) + a_2 \cdot e(n-1) \quad (2.49)$$

Sendo:

$$a_1 = K_{pi} \cdot \left(\frac{\omega_{zi} \cdot T_a}{2} + 1 \right) \quad (2.50)$$

$$a_2 = K_{pi} \cdot \left(\frac{\omega_{zi} \cdot T_a}{2} - 1 \right) \quad (2.51)$$

Onde T_a é o tempo de amostragem do sinal, dado por:

$$T_a = \frac{1}{f_a} \quad (2.52)$$

Assim, os ganhos da equação diferença para o controle de corrente do retificador *bridgeless* três níveis são mostrados na Tabela 2.6:

Tabela 2.6 – Ganho da equação diferença do compensador de corrente do retificador *bridgeless* três níveis.

Ganho do erro atual (a_1)	1,2377
Ganho do erro anterior (a_2)	-1,1674

Para o controle de tensão, baseia-se no diagrama de blocos apresentado na Figura 2.29. Diferentemente do protótipo implementado por [28] e utilizado na parte prática desse trabalho, o projeto para simulação não contou com a implementação de um filtro de média móvel, que mede somente o valor médio da tensão de saída considerando o tempo de um semiciclo da rede, e sim um simples filtro rejeita faixa, sintonizado na frequência da oscilação com o dobro da frequência da rede. A função de tal filtro é de rejeitar a componente com o dobro de frequência da rede na tensão de saída, que levaria a uma distorção na corrente de entrada do conversor e ao mesmo tempo possibilitar uma frequência de corte da FTMA mais alta, diminuindo também o tempo de resposta do controle.

Assim, a função de transferência $H_v(s)$ é composta de um ganho $K_{mv} = 0,01$, um filtro rejeita faixa $H_{rf}(s)$ sintonizado em $2f_g$ e um filtro passa baixa de primeira ordem $H_{pbv}(s)$ com frequência de corte $f_{pbv} = 1,69 \text{ kHz}$.

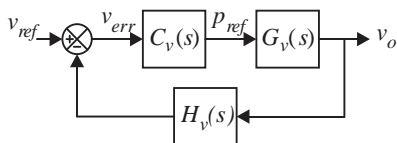


Figura 2.29 – Diagrama de blocos para projeto do compensador de tensão do retificador *bridgeless* três níveis.

$$H_v(s) = K_{mv} \cdot H_{rf}(s) \cdot H_{pbv}(s) \quad (2.53)$$

A função transferência do filtro rejeita faixa é dada por:

$$H_{rf}(s) = \frac{s^2 + \omega_{0,rf}^2}{s^2 + \omega_{b,rf} \cdot s + \omega_{0,rf}^2} \quad (2.54)$$

Sendo a frequência angular central do filtro rejeita faixa $\omega_{0,rf}$ e a banda de rejeição $\omega_{b,rf}$ determinados como:

$$\omega_{0,rf} = 2 \cdot \pi \cdot f_{0,rf} \quad (2.55)$$

$$\omega_{b,rf} = 2 \cdot \pi \cdot f_{b,rf} \quad (2.56)$$

Para o projeto simulado utilizou-se os valores apresentados na Tabela 2.7:

Tabela 2.7 – Parâmetros do filtro rejeita faixa de medição de tensão do retificador *bridgeless* três níveis.

Frequência central do filtro rejeita faixa ($f_{0,rf}$)	120 Hz
Banda de rejeição do filtro rejeita faixa ($f_{b,rf}$)	30 Hz

Para o projeto do compensador, utiliza-se um PI com um zero anulando um polo da planta de tensão, cuja expressão é dada em (2.57), e com uma especificação da frequência de cruzamento da FTMA compensada em 10 Hz. Ao utilizar-se as equações apresentadas, tem-se os valores do compensador dados pela Tabela 2.8.

$$\omega_{zv} = \frac{2}{R_o \cdot C_o} \quad (2.57)$$

Tabela 2.8 – Parâmetros do compensador PI de tensão do retificador *bridgeless* três níveis.

Frequência do zero do PI de tensão (ω_{zv})	27,701 rad/s
Ganho do PI de tensão (K_{pi})	1,19401

Ao analisar os diagramas de Bode da Figura 2.30 até a Figura 2.32, confirma-se que o compensador mantém a frequência de corte de 10 Hz desejada com 88° de margem de fase.

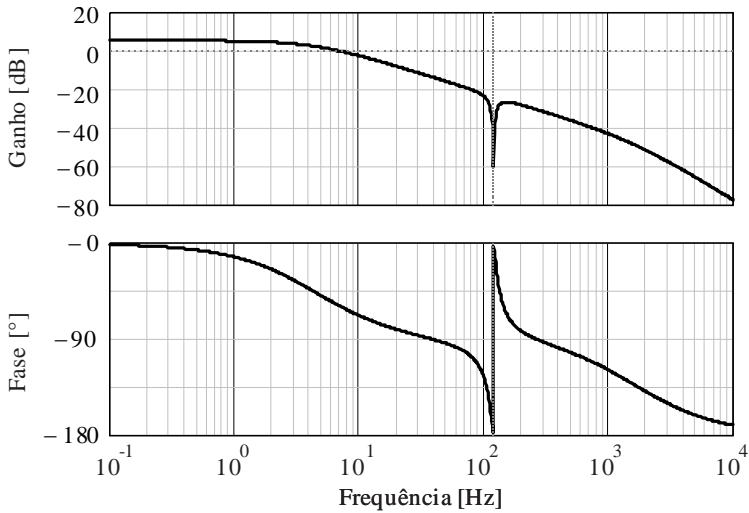


Figura 2.30 – Diagrama de Bode da FTMA não compensada de tensão do retificador *bridgeless* três níveis.

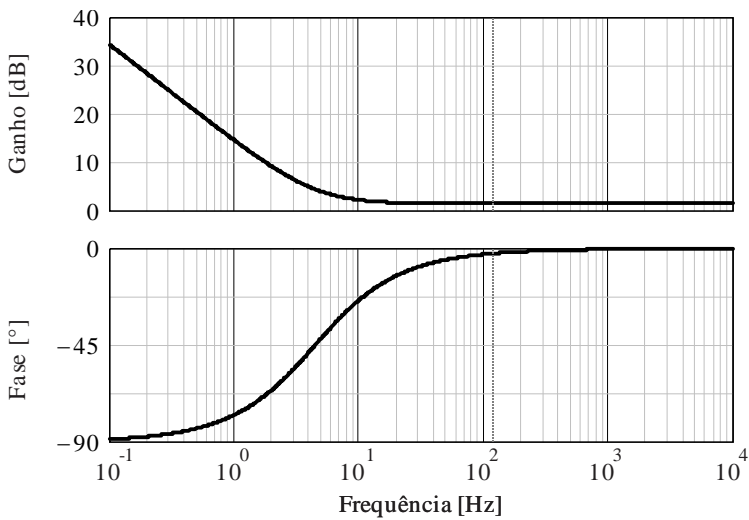


Figura 2.31– Diagrama de Bode do compensador de tensão do retificador *bridgeless* três níveis.

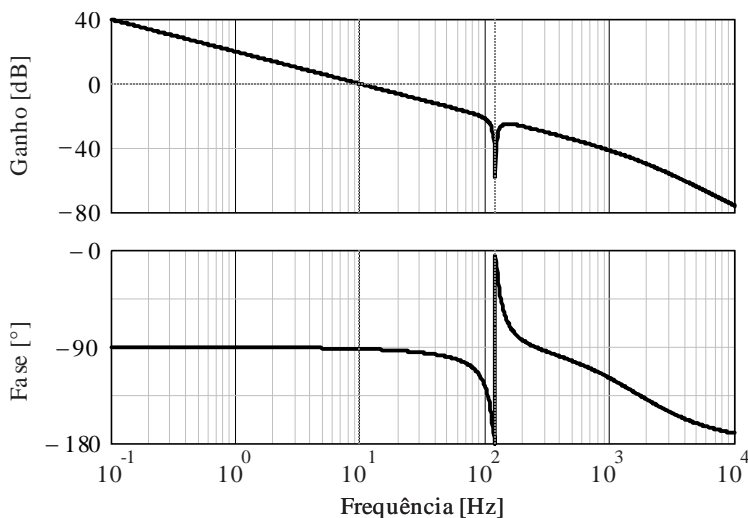


Figura 2.32 – Diagrama de Bode da FTMA compensada de tensão do retificador *bridgeless* três níveis.

O controle de tensão também é implementado digitalmente, com uma frequência de amostragem dada por:

$$f_a = 64 \cdot f_g = 3,84 \text{ kHz} \quad (2.58)$$

Assim, ao usar as expressões (2.50), (2.51) e (2.52), tem-se os ganhos da equação diferença apresentados na Tabela 2.9.

Tabela 2.9 – Ganho da equação diferença do compensador de tensão do retificador *bridgeless* três níveis.

Ganho do erro atual (a_1)	1,1984
Ganho do erro anterior (a_2)	-1,1898

Com os valores do projeto, realizou-se a simulação do conversor. Foi utilizado o simulador PSIM versão 9.0 para a obtenção das formas de onda. A Figura 2.33 mostra o comportamento em regime do conversor.

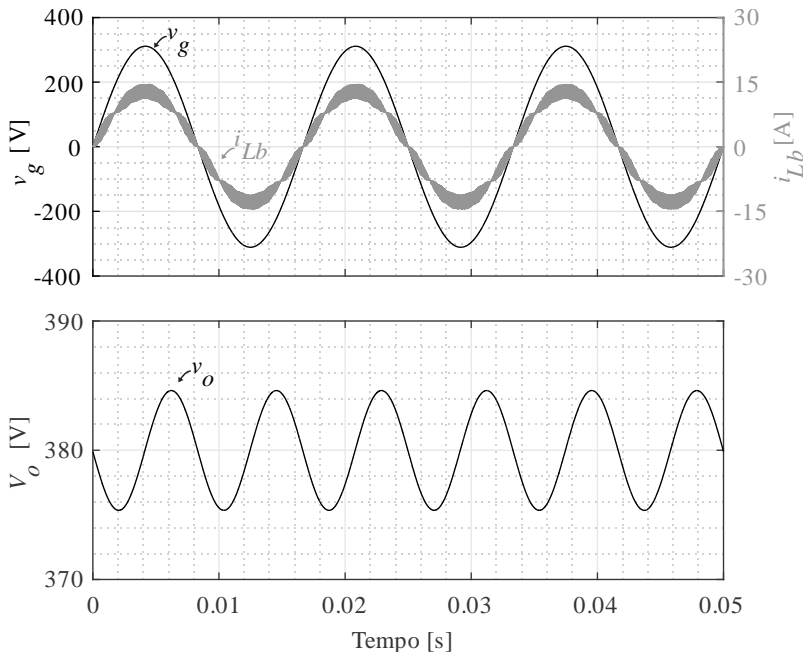


Figura 2.33 – Formas de onda simuladas em regime com potência de saída de 2 kW do retificador *bridgeless* três níveis.

É necessário também a utilização de uma lógica de partida, dado que a corrente de *inrush* dos capacitores pode danificar os interruptores. A Figura 2.34 mostra as formas de onda de partida, considerando na saída uma rampa de corrente.

No primeiro momento, com a saída a vazio, deixa-se o conversor atuar como um retificador passivo com um resistor de pré-carga em série com a rede. Após atingir uma certa tensão, é feito o *bypass* desse resistor e é gerada uma rampa de tensão para alcançar o valor nominal da tensão de saída. A partir desse momento, pode-se conectar a carga, que drena corrente em rampa por 100 μ s até alcançar a potência de 2 kW.

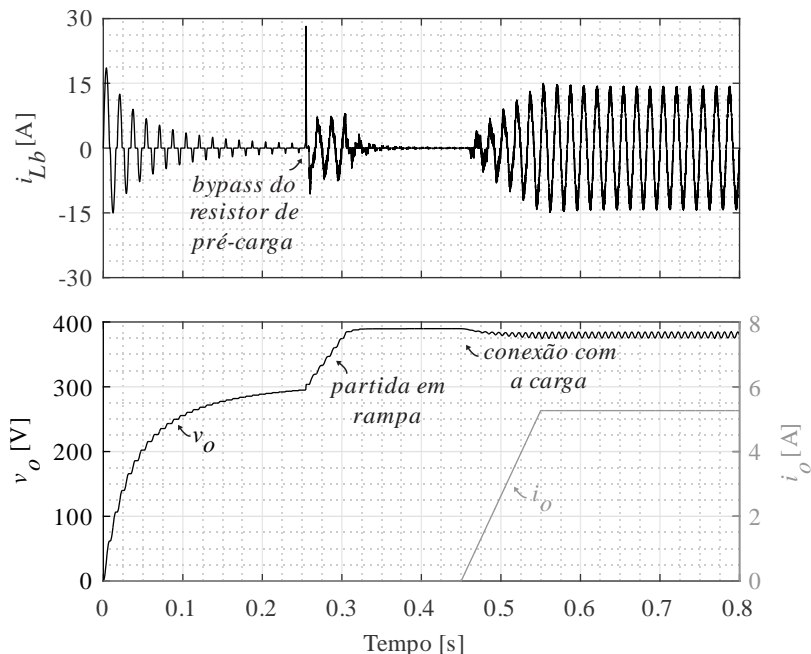


Figura 2.34 – Formas de onda simuladas da partida do retificador *bridgeless* três níveis.

A partir das formas de onda simuladas apresentadas, nota-se que o sistema tem uma resposta satisfatória para a aplicação e se comporta como esperado e documentado na referência [28].

2.3.1.2 Projeto *full bridge ZVS phase-shift* carregador

O conversor CC-CC para carregamento da bateria consiste em um *full-bridge ZVS phase-shift* com controle de corrente na saída. O método de projeto utilizado neste trabalho foi baseado em [27], [25] e [30] utilizando a variante com diodos grampeadores de [23]. As especificações do conversor estão descritas na Tabela 2.10, seguindo as recomendações para carga da bateria descritas na seção 2.1 e os parâmetros do estágio retificador descrito na seção 2.3.1.1.

Tabela 2.10 – Especificações de projeto do *full-bridge ZVS phase-shift* carregador.

Tensão de entrada (V_{in})	380 V
Tensão de saída (V_o)	231 a 315 V
Potência nominal (P_{nom})	2 kW
Corrente de saída (I_o)	6,335 A
Frequência de comutação (f_s)	100 kHz
Ondulação máxima de corrente no indutor de saída ($\% \Delta I_{Lo}$)	5%
Ondulação máxima da tensão de entrada ($\% \Delta V_{in}$)	10%

Para o projeto do conversor, primeiramente determina-se um valor para a razão cíclica nominal D_{nom} e considera-se uma perda de razão cíclica máxima ΔD_{max} . Juntamente com os níveis de tensão de entrada e de saída, calcula-se a relação de transformação necessária para transformar a tensão de entrada mínima (V_{in-min}) na tensão de saída máxima (V_{o-max}), dada por:

$$n = \frac{V_{o-max}}{V_{in-min} \cdot (D_{nom} - \Delta D_{max})} \quad (2.59)$$

A partir disso, calcula-se a indutância ressonante, cuja expressão é dada em (2.3), assim:

$$L_r = \Delta D_{max} \cdot \frac{V_{in-min}}{4 \cdot n \cdot I_o \cdot f_s} \quad (2.60)$$

Os valores arbitrados para o projeto são mostrados na Tabela 2.11.

Tabela 2.11 – Variáveis de projeto do *full-bridge ZVS phase-shift* carregador.

Perda de razão cíclica máxima (ΔD_{max})	0,15
Razão cíclica nominal (D_{nom})	0,8

Assim, calculam-se os valores da relação transformação utilizando a equação (2.59), da indutância ressonante utilizando a

equação (2.60) e a indutância de saída utilizando a equação (2.5), apresentadas na Tabela 2.12:

Tabela 2.12 – Valores calculados dos componentes magnéticos no *full-bridge ZVS phase-shift* carregador.

Relação de transformação (n)	1,42
Indutância ressonante (L_r)	17,423 μ H
Indutância de saída (L_o)	1,744 mH

Com os valores calculados, é feito o projeto dos magnéticos. A metodologia para o projeto será apresentada na Seção 2.4. A seguir estão apresentados os valores obtidos a partir de medições feitas nos componentes:

Tabela 2.13 – Valores medidos dos componentes magnéticos no *full-bridge ZVS phase-shift* carregador.

Relação de transformação (n)	1,44
Indutâncias de dispersão do transformador (L_{S1}, L_{S2})	0,37 μ F
Resistência série no primário do transformador ($R_{L_{S1}}$)	110,1 m Ω
Resistência série no secundário do transformador ($R_{L_{S2}}$)	83,7 m Ω
Indutância magnetizante do transformador (L_m)	4,34 mH
Indutância ressonante (L_r)	16,99 μ H
Resistência série da indutância ressonante (R_{L_r})	60,56 m Ω
Indutância de saída (L_o)	1,64 mH
Resistência série da indutância de saída (R_{L_o})	90 m Ω

A partir desses valores, calculam-se os esforços nos semicondutores, cujas expressões foram deduzidas em [30]. A Tabela 2.14 mostra os valores teóricos de corrente calculados e a Tabela 2.15 mostra os valores máximos de tensão teóricos.

Tabela 2.14 – Valores de corrente teóricos nos semicondutores do *full-bridge ZVS phase-shift* carregador.

Correntes	Valor de Pico	Valor Médio	Valor Eficaz
Interruptores do braço esquerdo ($i_{S1,3}$)	9,48 A	3,04 A	5,18 A
Interruptores do braço direito ($i_{S2,4}$)	9,48 A	3,94 A	5,91 A
Diodos em paralelo do braço esquerdo ($i_{D1,3}$)	9,48 A	1,27 A	1,32 A
Diodos em paralelo do braço direito ($i_{D2,4}$)	9,48 A	0,19 A	1,49A
Diodos retificadores ($i_{Dret1,2,3,4}$)	6,65 A	3,17 A	4,29 A

Tabela 2.15 – Valores de tensão teóricos nos semicondutores do *full-bridge ZVS phase-shift* carregador.

Tensão máxima nos semicondutores do primário	418 V
Tensão máxima nos semicondutores do secundário	593,6 V

A partir dos valores teóricos, escolhem-se os semicondutores.

Nota-se que, uma vez que a tensão na saída é elevada e não há comutação suave nos diodos da ponte retificadora e como a operação do conversor é em alta frequência, as escolhas dos diodos retificadores são restritas.

Nesse contexto, optou-se por utilizar diodos de carbetto de silício, que contam com um valor de tensão reversa máxima mais elevado. De acordo com a disponibilidade de material para o protótipo, foi usado o diodo C4D15120A do fabricante CREE. As características do diodo são mostradas na Tabela 2.16.

Tabela 2.16 – Características do diodo C4D15120A usado na ponte retificadora do *full-bridge ZVS phase-shif*. Valores obtidos no *datasheet*.

Parâmetro	Valor	Condições de teste
Tensão reversa máxima (V_{RRM})	1.200 V	
Corrente máxima (I_F)	20 A	$T_c = 135^\circ\text{C}$
Queda de tensão direta (V_F)	2,3 V	$I_F = 15\text{ A}$, $T_c = 175^\circ\text{C}$
Carga (Q_c)	77,5 nC	$I_F = 15\text{ A}$, $V_R = 800\text{ V}$
Capacitância total (C_d)	50 pF	$V_R = 800\text{ V}$, $T_j = 25^\circ\text{C}$, $f = 1\text{ MHz}$

Ao se observar os requerimentos dos semicondutores do primário, percebe-se que a ponte ativa se beneficiaria pelo uso de MOSFETs, aproveitando o diodo intrínseco do componente. Considerando os requisitos de tal componente, percebe-se que existe uma disponibilidade vasta de componentes nessa faixa de tensão e corrente. Porém, por questões de disponibilidade, *know-how* da aplicação e visando uma margem de segurança maior, preferiu-se utilizar o componente CMD0080120D do fabricante CREE, cujas características estão apresentadas na Tabela 2.17.

Com os valores de capacitância do MOSFET escolhido, calcula-se a capacitância C_{DS} no valor de tensão utilizado, que será considerada como elemento ressonante para atingir comutação em tensão nula. As equações usadas, apresentadas em [31], são as seguintes:

$$C_{rss,ave} = 2 \cdot C_{rss,spec} \sqrt{\frac{V_{DS,spec}}{V_{DS,off}}} \quad (2.61)$$

$$C_{oss,ave} = 2 \cdot C_{oss,spec} \sqrt{\frac{V_{DS,spec}}{V_{DS,off}}} \quad (2.62)$$

$$C_{DS} = C_{oss,ave} - C_{rss,ave} \quad (2.63)$$

Para os valores apresentados, tem-se que:

$$C_{DS} = 234,9 \text{ pF} \quad (2.64)$$

Tabela 2.17 – Características do MOSFET CMD0080120D usado na ponte completa do *full-bridge ZVS phase-shif*. Valores obtidos no *datasheet*.

Parâmetro	Valor	Condições de teste
Tensão reversa máxima ($V_{DS,max}$)	1200 V	
Corrente máxima (I_D)	24 A	$V_{GS} = 20 \text{ V}$ $T_c = 100^\circ\text{C}$
Resistência de dreno-source ($R_{DS(on)}$)	104 m Ω	$V_{GS} = 20 \text{ V}$ $T_c = 100^\circ\text{C}$
Capacitância de entrada (C_{iss})	950 pF	$V_{GS} = 0 \text{ V}$,
Capacitância de saída (C_{oss})	80 pF	$V_{DS} = 1000 \text{ V}$,
Capacitância de transferência reversa (C_{rss})	7,6 pF	$f = 1 \text{ MHz}$
Queda de tensão direta do diodo intrínseco (V_{SD})	3,3 V	$V_{GS} = -5 \text{ V}$, $I_{SD} = 10 \text{ A}$

A partir do capacitor, calcula-se o tempo-morto para que haja comutação suave. Calcula-se o tempo morto com a abordagem geométrica apresentada em [30].

Ao analisar a comutação do braço crítico, ou seja, a entrada de condução de S_4 e o bloqueio de S_3 entre os tempos t_7 e t_9 , tem-se o circuito equivalente mostrado na Figura 2.35(a), podendo ser simplificado como na Figura 2.35(b), considerando que $C_e = C_3 + C_4 = 2C_{DS}$.

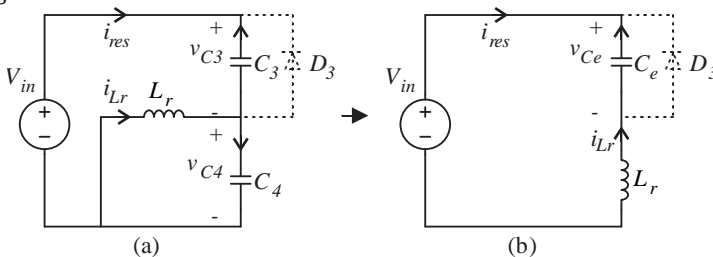


Figura 2.35 – Circuito equivalente para análise da comutação do braço crítico do conversor *Full-bridge ZVS phase-shif*.

A partir desse circuito, desenha-se o plano de fase mostrado na Figura 2.36, conforme a abordagem geométrica apresentada em [30]. Sendo:

$$Z_{ss} = \sqrt{\frac{L_r}{2 \cdot C_{DS}}} \quad (2.65)$$

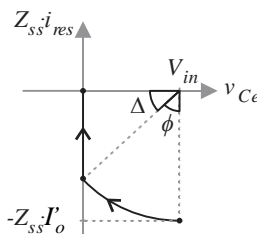


Figura 2.36 – Plano de fase para análise da comutação do braço crítico do conversor *Full-bridge ZVS phase-shift*.

Para que haja comutação suave, deve ocorrer o comando de S_4 após a capacitância em paralelo de S_4 atingir o valor da tensão V_{in} e antes de a corrente em L_r chegar a zero, como apresentado na Figura 2.37(a). A Figura 2.37(b) mostra o caso de um tempo morto muito pequeno, impedindo a tensão no diodo D_3 se anular, fazendo-o conduzir, e Figura 2.37(c) mostra o caso onde há um tempo morto muito grande, extinguindo a corrente em D_3 .

Assim, calcula-se o tempo necessário para o circuito apresentado varrer o ângulo ϕ . Para isso, considera-se que o circuito é oscilante em uma frequência angular ω_{osc} dada por:

$$\omega_{osc} = \frac{1}{\sqrt{2 \cdot L_r \cdot C_{DS}}} \quad (2.66)$$

Então, o tempo para a oscilação é dado por:

$$t_\phi = \frac{\phi}{\omega_{osc}} = \phi \cdot \sqrt{2 \cdot L_r \cdot C_{DS}} \quad (2.67)$$

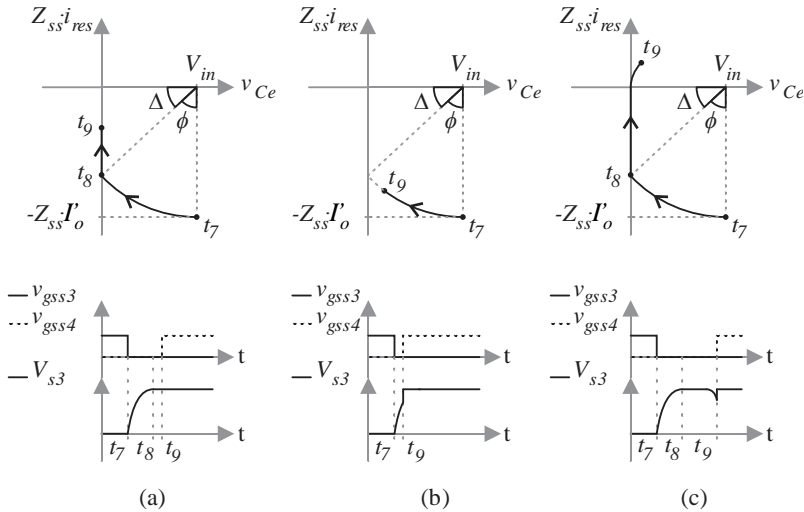


Figura 2.37 – Planos de fase em diferentes casos para a análise da comutação do braço crítico do conversor *Full-bridge ZVS phase-shift*.

Ao observar-se a Figura 2.36, retiram-se as seguintes expressões, considerando sua geometria:

$$\phi + \Delta = \frac{\pi}{2} \quad (2.68)$$

$$\Delta = \cos^{-1} \left(\frac{V_{in}}{Z_{ss} \cdot I'_o} \right) \quad (2.69)$$

Combinando as expressões (2.67), (2.68) e (2.69), tem-se a seguinte expressão para o tempo de ressonância:

$$t_\phi = \left[\cos^{-1} \left(\frac{V_{in}}{Z_{ss} \cdot I'_o} \right) - \frac{\pi}{2} \right] \cdot \sqrt{2 \cdot L_r \cdot C_{DS}} \quad (2.70)$$

A partir do momento em que o diodo D_3 conduz, o circuito equivalente transforma-se em somente uma fonte de tensão e um indutor, e o tempo para que a corrente chegue a zero pode ser calculado como:

$$t_{\Delta} = \frac{I'_o \cdot L_r}{V_{in}} \quad (2.71)$$

Assim, tem-se os limites do valor de tempo morto para a operação em ZVS.

$$t_{TM,min} = t_{\phi} \quad (2.72)$$

$$t_{TM,max} = t_{\phi} + t_{\Delta} \quad (2.73)$$

O tempo morto desse projeto é calculado determinando-se a faixa de potência mínima em que se deseja que o circuito opere em ZVS. Para este projeto, fez-se $P_{o,min} = 800 \text{ W}$. A corrente mínima refletida para a operação em ZVS é dada por:

$$I'_{o,min} = n \cdot \frac{P_{o,min}}{V_{o,max}} = 3,6 \text{ A} \quad (2.74)$$

Tabela 2.18 – Valores limite de tempo morto na ponte ativa do *full-bridge ZVS phase-shift* carregador.

Tempo morto mínimo ($t_{TM,min}$)	52,59 ns
Tempo morto máximo ($t_{TM,max}$)	213,49 ns
Tempo morto utilizado (t_{TM})	190 ns

Com o intuito de bloquear a componente contínua no transformador gerada por assimetrias nos comandos da ponte ativa, utiliza-se um capacitor em série com o indutor de ressonância L_r . Um resistor de amortecimento também é adicionado em paralelo ao capacitor para evitar as oscilações em baixa frequência. As expressões, retiradas de [25] são as seguintes:

$$C_b = 2 \cdot \frac{n \cdot I_o}{8 \cdot f_s \cdot \% \Delta V_{Cb} \cdot V_{Cb}} \quad (2.75)$$

$$R_b = \frac{\% \Delta V_{Cb} \cdot V_{Cb}}{n \cdot I_o \cdot D_{max}} \quad (2.76)$$

Tabela 2.19 – Valores dos elementos para bloqueio de componente contínua no transformador do *full-bridge ZVS phase-shift* carregador.

Capacitor de bloqueio (C_b)	4,4 μF
Resistor de amortecimento para o capacitor de bloqueio (R_b)	33 Ω

Com os valores dos componentes de potência, é possível modelar o conversor e projetar um compensador para controlar sua corrente de saída. O diagrama de blocos apresentado na Figura 2.38 mostra o sistema realimentado a ser analisado. No ramo de realimentação é adicionado o ganho do sensor juntamente com um filtro passa baixa de segunda ordem, utilizado para filtrar a frequência de comutação e oscilações em alta frequência, cuja função transferência é dada pela expressão (2.77), sendo $\omega_{pbso} = 2\pi \cdot f_{pbso}$.

$$H_i(s) = k_{pbso} \cdot \frac{\omega_{pbso}^2}{s^2 + 2\xi \cdot \omega_{pbso} \cdot s + \omega_{pbso}^2} \quad (2.77)$$

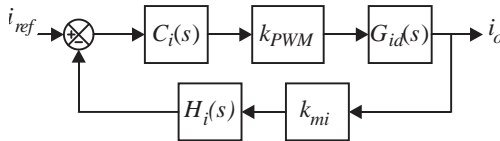


Figura 2.38 – Diagrama de blocos para projeto do compensador de corrente do conversor *full-bridge ZVS phase-shift*.

Considerando que o controlador será implementado digitalmente, com um amostrador de $f_a = 10 \text{ kHz}$, utiliza-se o filtro passa baixa com $f_{pbso} = 1 \text{ kHz}$, $\xi = 1/\sqrt{2}$ e $k_{bpbso} = 1,815$. O ganho do sensor utilizado é de $k_{mi} = 1/8$, e o ganho do modulador foi considerado unitário neste exemplo para simulação.

O controlador utilizado foi do tipo proporcional integral, cuja metodologia de projeto foi abordada na seção 2.3.1.1. No caso do conversor *full-bridge ZVS phase-shift*, a FTMA não compensada de corrente é dada por:

$$FTMA_{i,nc}(s) = k_{PWM} \cdot k_{mi} \cdot H_i(s) \cdot G_{id}(s) \quad (2.78)$$

Considerando as especificações apresentadas na Tabela 2.20, é feito o projeto do compensador de corrente. Apesar de ser possível projetar um compensador para uma frequência de corte mais alta, complicações nos testes práticos, levando o sistema a instabilidade, obrigaram a utilização de uma frequência menor. Em inspeção após os testes práticos, constatou-se que a introdução de atraso de fase pelo filtro de segunda ordem foi a causa de tal instabilidade, contudo, não foi possível reverter o projeto em tempo hábil.

Tabela 2.20 – Especificação de projeto para o compensador de corrente do conversor *full-bridge ZVS phase-shift* carregador.

Frequência de corte da FTMA compensada de corrente (f_0)	50 Hz
Margem de fase da FTMA compensada de corrente (M_φ)	90°

Utilizando as equações (2.44) e (2.47), calculam-se os parâmetros do compensador de corrente, cujos resultados são apresentados na Tabela 2.21:

Tabela 2.21 – Parâmetros do compensador PI de corrente do conversor *full-bridge ZVS phase-shift* carregador.

Frequência do zero do PI de corrente (ω_{zi})	2.923,20 rad/s
Ganho do PI de corrente (K_{pi})	0,0122

Na Figura 2.39, na Figura 2.40 e na Figura 2.41, mostra-se o diagrama de Bode da FTMA não compensada, do compensador e da FTMA compensada de corrente, respectivamente.

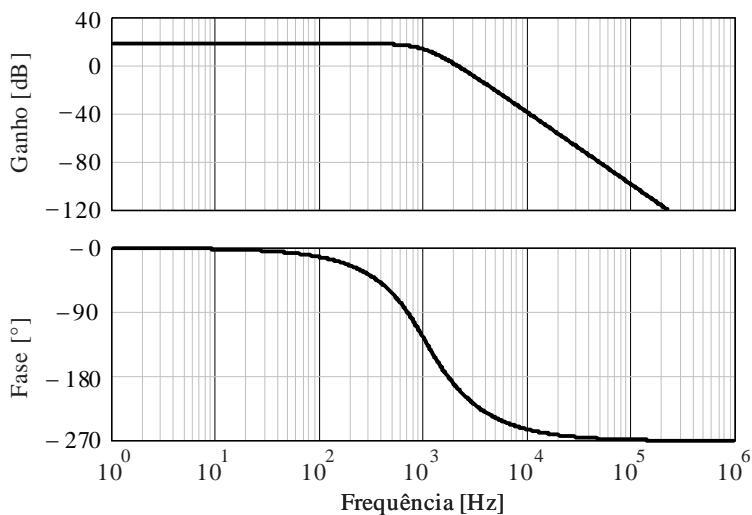


Figura 2.39 – Diagrama de Bode da FTMA não compensada de corrente do conversor *full-bridge ZVS phase-shift* carregador.

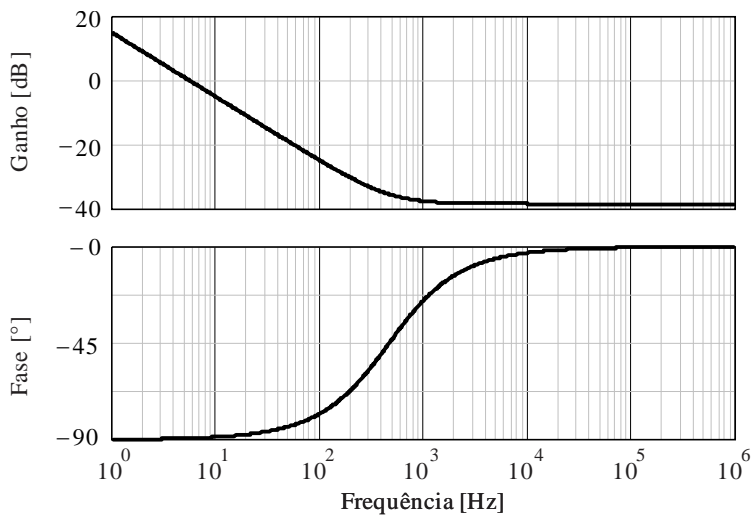


Figura 2.40 – Diagrama de Bode do compensador de corrente do conversor *full-bridge ZVS phase-shift* carregador.

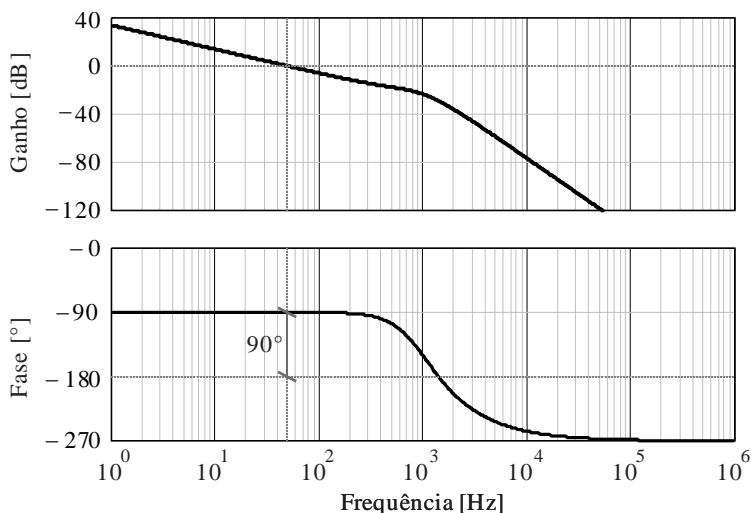


Figura 2.41 – Diagrama de Bode da FTMA compensada de corrente do conversor *full-bridge ZVS phase-shift* carregador.

Para a implementação digital, tem-se os ganhos da equação diferença, calculados pelas equações (2.50), (2.51) e (2.52), dados por:

Tabela 2.22 – Ganho da equação diferença do compensador de corrente do conversor *full-bridge ZVS phase-shift* carregador.

Ganho do erro atual (a_1)	0,0140
Ganho do erro anterior (a_2)	-0,0104

Com o projeto completo, é feita a simulação do conversor. Foi utilizado o simulador PSIM versão 9.0 para a obtenção das formas de onda. A Figura 2.42 e a Figura 2.43 mostram a operação em um período de comutação do conversor com $V_o = 264$ V e $I_{o,ref} = 6,335$ A.

Para simular a recuperação reversa dos diodos da ponte retificadora, foi utilizado um capacitor de 50 pF em paralelo com cada diodo. Com isso, consegue-se perceber a atuação dos diodos grampeadores, mostrada na Figura 2.44, cuja forma assemelha-se ao exposto em [23].

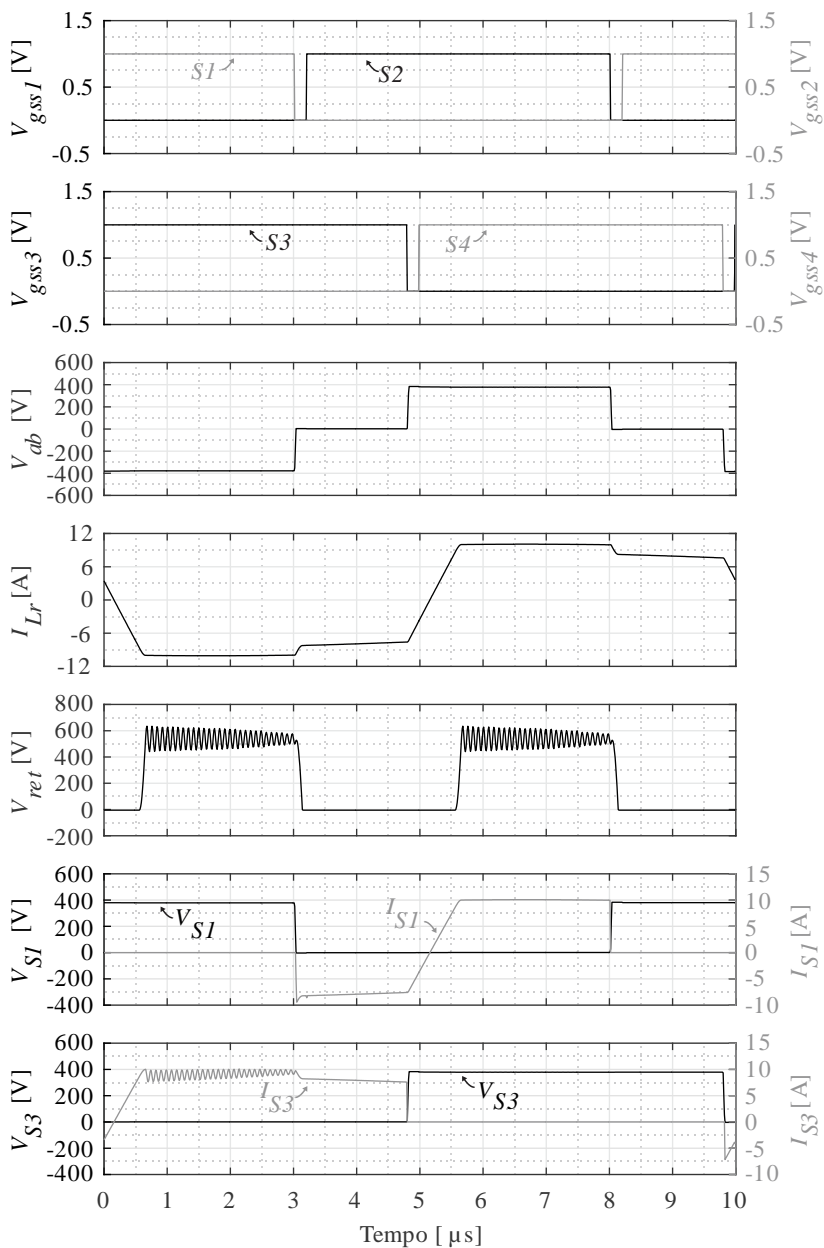


Figura 2.42 – Formas de onda simuladas do funcionamento do conversor *full-bridge ZVS phase-shift* carregador em um período de comutação.

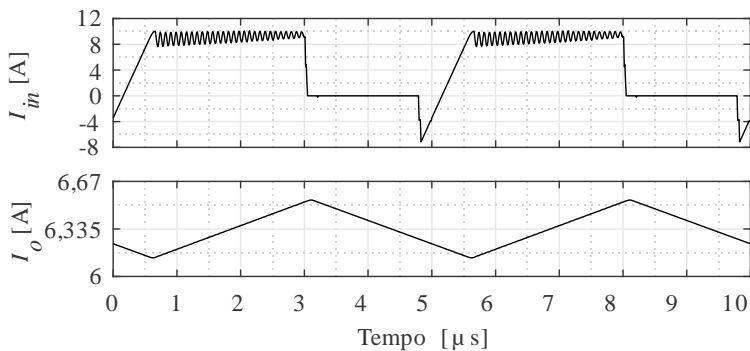


Figura 2.43 – Formas de onda simuladas das correntes de entrada e saída do conversor *full-bridge ZVS phase-shift* carregador em um período de comutação.

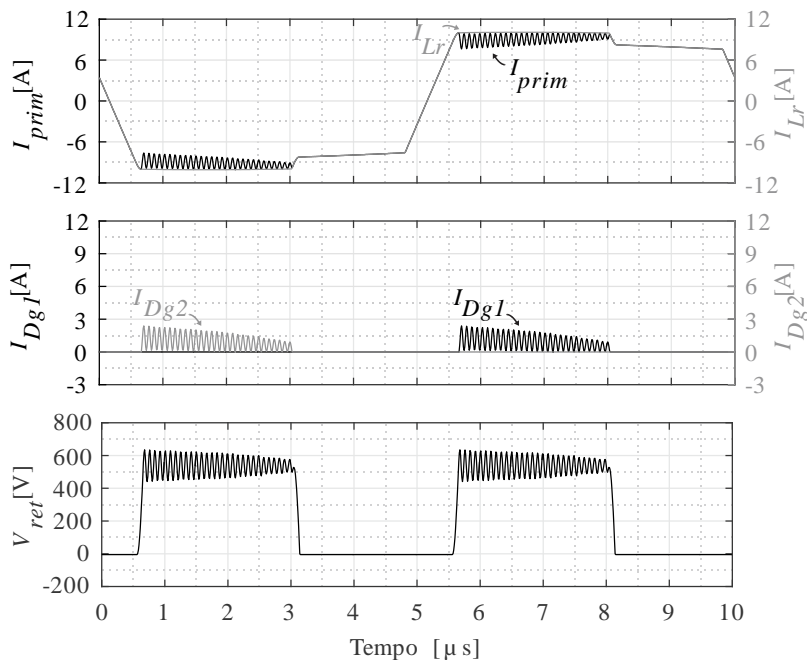


Figura 2.44 – Formas de onda simuladas de corrente nos diodos de grampeamento do conversor *full-bridge ZVS phase-shift* carregador.

A partir dessas formas de onda, propõe-se o uso do diodo MUR460 como diodo grampeador, cujos parâmetros estão apresentados na Tabela 2.23.

Tabela 2.23 – Características do diodo MUR460 usado como diodo grampeador do *full-bridge ZVS phase-shif*. Valores obtidos no *datasheet*.

Parâmetro	Valor	Condições de teste
Tensão reversa máxima (V_{RRM})	600 V	
Corrente média máxima ($I_{F(AV)}$)	4 A	$T_A = 40^\circ\text{C}$
Queda de tensão direta (V_F)	1,28 V	$I_F = 3 \text{ A},$ $T_j = 150^\circ\text{C}$

Para a partida do conversor, foi implementada uma rampa na referência de corrente, mostrada na Figura 2.45.

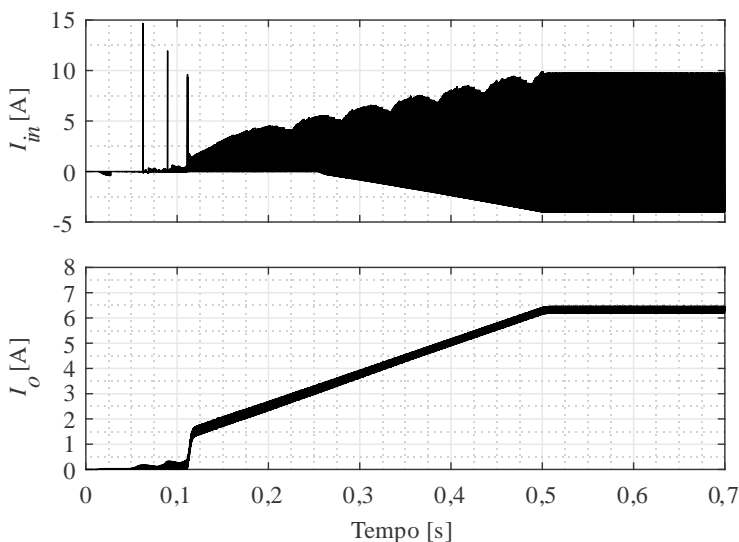


Figura 2.45 – Formas de onda simuladas das correntes de entrada e de saída do conversor *full-bridge ZVS phase-shift* carregador na partida.

2.3.1.3 Integração dos conversores do carregador

Tendo em mãos os projetos do conversor PFC três níveis e do conversor *full-bridge ZVS phase-shift*, é feita a integração por simulação, cujo esquema é apresentado na Figura 2.47. A simulação apresentada foi feita com tensão máxima na bateria $V_{bat} = 315 V$, logo, maior potência entregue pelo conversor.

A Figura 2.46 mostra as formas de onda do subsistema em regime. É possível perceber o efeito da perturbação da tensão de entrada do conversor CC-CC na corrente de saída, causado pela baixa frequência de corte do controle desse conversor, impedindo-o de compensar a oscilação de 120 Hz.

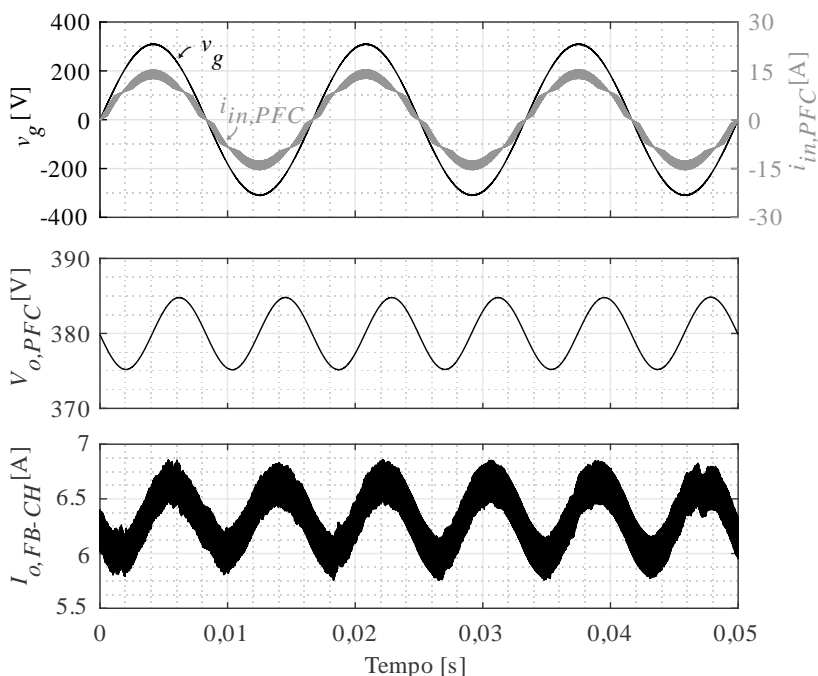


Figura 2.46 – Formas de onda simuladas em regime com potência de saída de 2 kW do subsistema carregador da bateria.

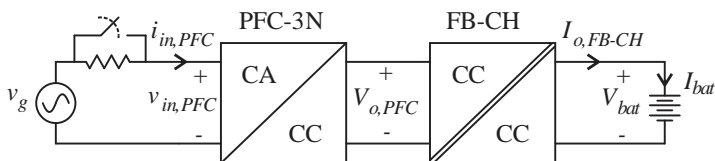


Figura 2.47 – Esquema do subsistema carregador de bateria analisado.

A Figura 2.48 mostra a partida do subsistema, implementando na saída uma rampa de corrente de 2 segundos.

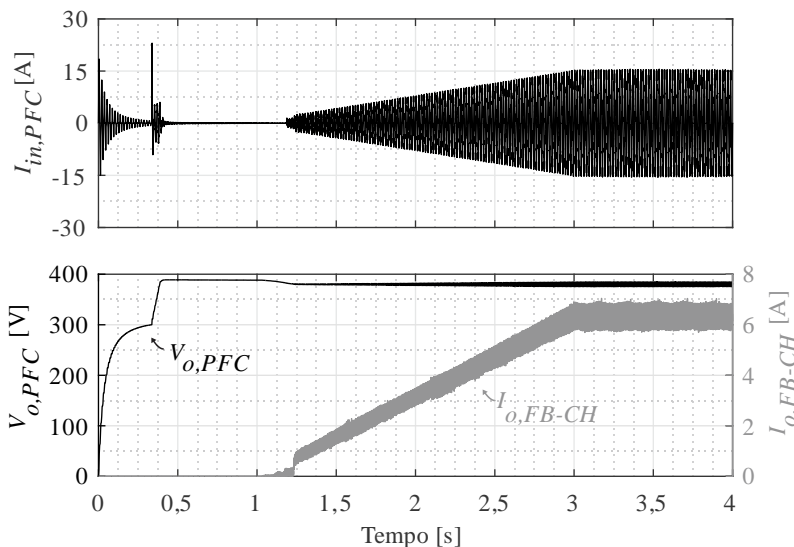


Figura 2.48 – Formas de onda simuladas da partida do subsistema carregador da bateria.

Ao analisar as formas de onda, percebe-se que um compensador que pudesse compensar as perturbações na entrada seria mais adequado, porém, devido a complicações de origem dinâmica nos testes práticos, a frequência de corte do controle teve que ser diminuída ao valor apresentado.

2.3.2 Projeto Sistema de Conexão Veicular (SCV)

Este subsistema tem como finalidade retirar energia da bateria, manter um barramento CC e, a partir desse barramento, alimentar uma carga CA ou injetar corrente na rede elétrica, de acordo com o discutido na Seção 1.1.

2.3.2.1 Projeto *full-bridge ZVS phase-shift* SCV.

Para fazer a adequação dos níveis de tensão da bateria em um barramento CC de tensão fixa será utilizado um conversor *full-bridge ZVS phase-shift* com controle de tensão de saída. Adicionalmente, é necessária a filtragem da corrente pulsada na entrada do conversor, para que a corrente na bateria tenha poucas componentes em alta frequência. A metodologia de projeto é análoga àquela apresentada na Seção 2.3.1.2, utilizando as especificações apresentadas na Tabela 2.24 que atendem às especificações estabelecidas na seção 2.1.

Tabela 2.24 – Especificações de projeto do *full-bridge ZVS phase-shift* SCV.

Tensão de entrada (V_{in})	231 a 315 V
Tensão de saída (V_o)	380 V
Potência nominal (P_{nom})	2 kW
Frequência de comutação (f_s)	100 kHz
Ondulação máxima de corrente no indutor de saída ($\% \Delta I_{L_o}$)	5%
Ondulação máxima da tensão de saída ($\% \Delta V_o$)	5%

Os valores arbitrados para os valores nominais de razão cíclica (D_{nom}) e de máxima perda de razão cíclica (ΔD_{max}) são apresentados na Tabela 2.25:

Tabela 2.25 – Variáveis de projeto do *full-bridge ZVS phase-shift* SCV.

Perda de razão cíclica máxima (ΔD_{max})	0,1
Razão cíclica nominal (D_{nom})	0,85

O valor da relação transformação é calculado utilizando a equação (2.59), o da indutância ressonante utilizando a equação (2.60) e

a indutância de saída utilizando a equação (2.5). Em relação a capacitância de saída, como o barramento está ligado a um inversor monofásico com uma forte componente de baixa frequência, considera-se a divisão entre capacitores de alta e baixa frequência. Para a baixa frequência, o valor é dado pela equação (2.22), para a alta frequência, a expressão (2.5). Os valores são apresentados na Tabela 2.26 a seguir:

Tabela 2.26 – Valores calculados dos componentes no *full-bridge ZVS phase-shift SCV*.

Relação de transformação (n)	1,92
Indutância ressonante (L_r)	7,87 μH
Indutância de saída (L_o)	1,99 mH
Capacitância de alta frequência ($C_{o,AF}$)	17,31 nF
Capacitância de baixa frequência ($C_{o,BF}$)	734,79 μH

Com os valores calculados, é feito o projeto dos magnéticos e são escolhidos os capacitores utilizados. A metodologia para o projeto e escolha de componentes será apresentada na Seção 2.4. A seguir estão apresentados os valores obtidos a partir de medições feitas nos componentes e valores de *datasheet*:

Tabela 2.27 – Valores medidos dos componentes magnéticos no *full-bridge ZVS phase-shift SCV*.

Relação de transformação (n)	2
Indutâncias de dispersão do transformador (L_{s1}, L_{s2})	55,08 nH
Resistência série no primário do transformador (R_{Ls1})	8,27 m Ω
Resistência série no secundário do transformador (R_{Ls2})	9,67 m Ω
Indutância magnetizante do transformador (L_m)	219,2 μH
Indutância ressonante (L_r)	7,80 μH
Resistência série da indutância ressonante (R_{Lr})	10,95 m Ω
Indutância de saída (L_o)	2 mH
Resistência série da indutância de saída (R_{Lo})	75 m Ω

Tabela 2.28 – Valores dos capacitores utilizados no *full-bridge ZVS phase-shift SCV*.

Capacitância de alta frequência ($C_{o,AF}$)	3×15 nF
Capacitância de baixa frequência ($C_{o,BF}$)	1500 μ H
Resistência série equivalente (RSE_{BF})	49 m Ω

A partir desses valores, calculam-se os esforços nos semicondutores, cuja expressões foram deduzidas em [30]. A Tabela 2.29 mostra os valores teóricos de corrente calculados e a Tabela 2.30 mostra os valores máximos de tensão teóricos.

Tabela 2.29 – Valores de corrente teóricos nos semicondutores do *full-bridge ZVS phase-shift SCV*.

Correntes	Valor de Pico	Valor Médio	Valor Eficaz
Interruptores do braço esquerdo ($i_{s1,3}$)	11,63 A	3,98 A	6,42 A
Interruptores do braço direito ($i_{s2,4}$)	11,63 A	4,77 A	7,02 A
Diodos em paralelo do braço esquerdo ($i_{D1,3}$)	11,63 A	1,12 A	1,72 A
Diodos em paralelo do braço direito ($i_{D2,4}$)	11,63 A	0,16 A	1,52 A
Diodos retificadores ($i_{Dret1,2,3,4}$)	5,53 A	2,63 A	3,60 A

Tabela 2.30 – Valores de tensão teóricos nos semicondutores do *full-bridge ZVS phase-shift SCV*.

Tensão máxima nos semicondutores do primário	315,7 V
Tensão máxima nos semicondutores do secundário	631,4 V

A partir dos valores calculados, são escolhidos os semicondutores utilizados. Neste conversor foram usados os mesmos semicondutores apresentados na seção 2.3.1.2, cujas características estão resumidas na Tabela 2.16 e na Tabela 2.17.

Utilizando a potência mínima de $P_o = 800 W$, calcula-se a faixa de tempo morto em que há comutação com tensão zero. Segundo as equações (2.70), (2.71), (2.72) e (2.73), tem-se os valores apresentados na Tabela 2.31.

Tabela 2.31 – Valores limite de tempo morto na ponte ativa do *full-bridge ZVS phase-shift SCV*.

Tempo morto mínimo ($t_{TM,min}$)	39,38 ns
Tempo morto máximo ($t_{TM,max}$)	157,81 ns
Tempo morto utilizado (t_{TM})	90 ns

O capacitor de bloqueio e o resistor de amortecimento são calculados conforme as equações (2.75) e (2.76), e os valores adotados são apresentados na Tabela 2.32.

Tabela 2.32 – Valores dos elementos para bloqueio de componente contínua no transformador do *full-bridge ZVS phase-shift SCV*.

Capacitor de bloqueio (C_b)	2,2 μF
Resistor de amortecimento para o capacitor de bloqueio (R_b)	10 k Ω

Um filtro de entrada, apresentado na Figura 2.49, também foi projetado para filtrar a corrente pulsada da entrada. Os valores usados são apresentados na Tabela 2.33, e o diagrama de Bode do filtro é apresentado na Figura 2.50.

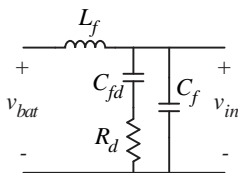


Figura 2.49 – Filtro de entrada utilizado no conversor *full-bridge ZVS phase-shift SCV*.

Tabela 2.33 – Valores dos elementos do filtro de entrada do *full-bridge ZVS phase-shift SCV*.

Capacitor de filtro (C_f)	20 μ F
Capacitor de filtro do ramo amortecido (C_{fd})	20 μ F
Resistor de amortecimento do capacitor de filtro (R_d)	6,8 Ω
Indutor de filtro (L_f)	47,39 μ H

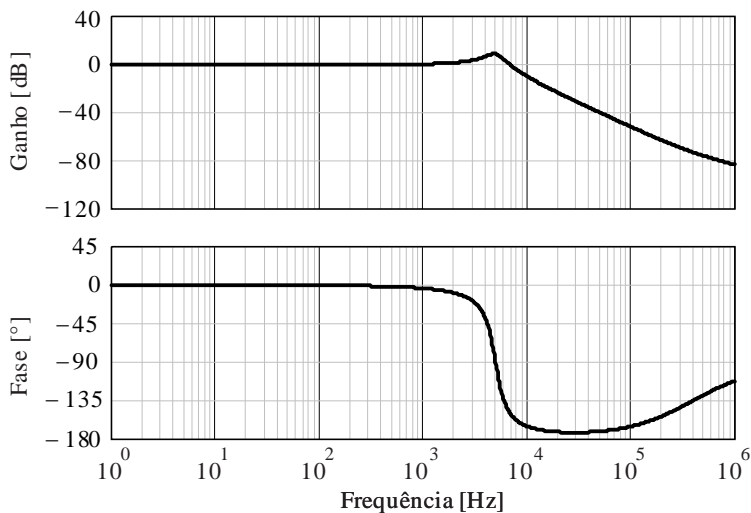


Figura 2.50 – Diagrama de Bode do filtro de entrada do conversor no conversor *full-bridge ZVS phase-shift SCV*.

A partir dos parâmetros usados, é feita a modelagem com o intuito de controlar a tensão de saída do conversor. O controle do conversor foi feito utilizando uma malha dupla; uma malha interna de corrente com maior banda passante e uma malha externa de tensão com menor banda passante, como é mostrado na Figura 2.51.

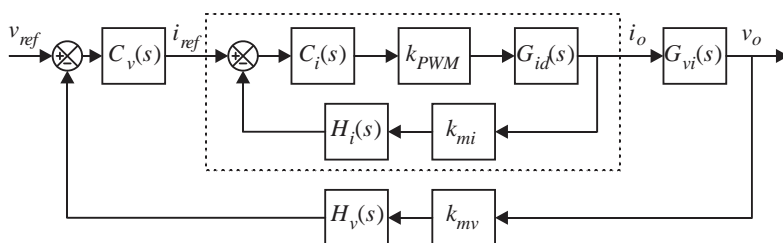


Figura 2.51 – Diagrama de blocos para projeto dos compensadores do conversor *full-bridge ZVS phase-shift SCV*.

O projeto da malha interna de corrente é similar àquele apresentado na seção 2.3.1.2. O filtro $H_i(s)$, o ganho de medição k_{mi} e o ganho do *PWM* k_{PWM} são os mesmos utilizados na seção 2.3.1.2. Da mesma maneira, as especificações do projeto do compensador de corrente são idênticas, sendo apresentadas na Tabela 2.20.

Assim, utiliza-se um compensador do tipo PI, cuja metodologia de projeto foi abordada na seção 2.3.1.1. Utilizando as equações (2.44) e (2.47), calculam-se os parâmetros do compensador de tensão:

Tabela 2.34 – Parâmetros do compensador PI de corrente do conversor *full-bridge ZVS phase-shift SCV*.

Frequência do zero do PI de corrente (ω_{zi})	2.588,81 rad/s
Ganho do PI de corrente (K_{pi})	0,0126

Na Figura 2.52, Figura 2.53 e Figura 2.54, mostra-se o diagrama de Bode da FTMA não compensada, do compensador e da FTMA compensada de corrente, respectivamente.

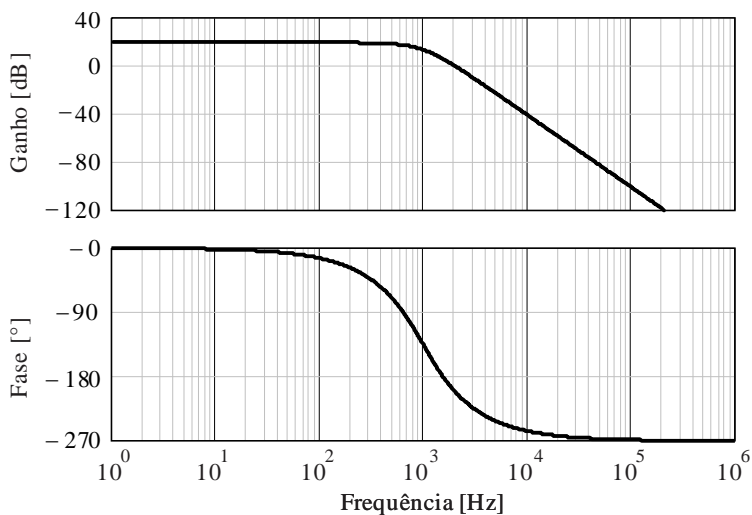


Figura 2.52 – Diagrama de Bode da FTMA não compensada de corrente do conversor *full-bridge ZVS phase-shift SCV*.

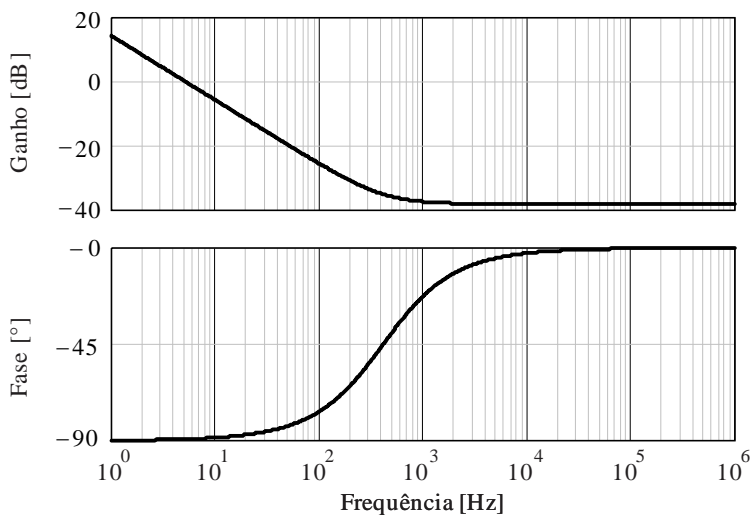


Figura 2.53 – Diagrama de Bode do compensador de corrente do conversor *full-bridge ZVS phase-shift SCV*.

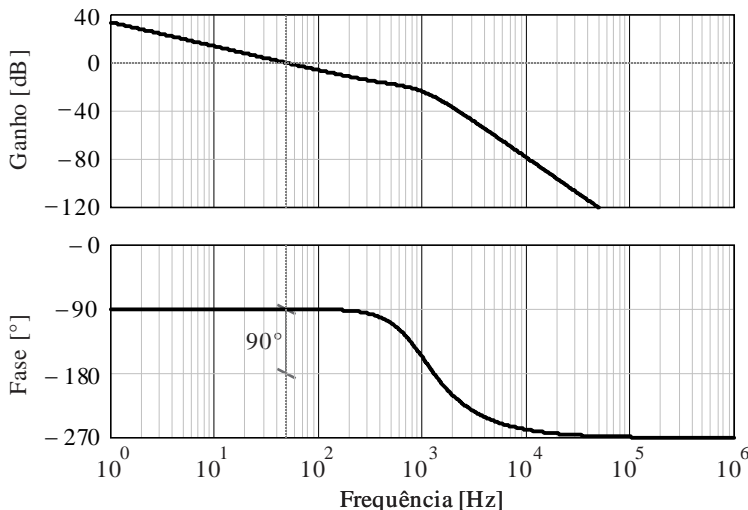


Figura 2.54 – Diagrama de Bode da FTMA compensada de corrente do conversor *full-bridge ZVS phase-shift SCV*.

Para a implementação digital, tem-se os ganhos da equação diferença calculados pelas equações (2.50), (2.51) e (2.52), também considerando que a aquisição será implementada com um amostrador de $f_a = 10 \text{ kHz}$, dados por:

Tabela 2.35 – Ganho da equação diferença do compensador de corrente do conversor *full-bridge ZVS phase-shift SCV*

Ganho do erro atual (a_1)	0,0143
Ganho do erro anterior (a_2)	-0,0110

No controle de tensão, considera-se a malha de corrente interna muito mais rápida que a malha de tensão externa, logo, é possível substituir-se a área pontilhada apresentada na Figura 2.51 por um simples ganho de k_{PWM}/k_{mv} . O diagrama de blocos utilizado para o projeto de compensador é apresentado na Figura 2.55, resultando na função de transferência de malha aberta apresentada na equação (2.79).

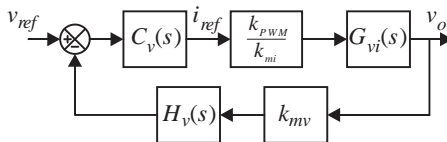


Figura 2.55 – Diagrama de blocos para projeto do compensador de tensão do conversor *full-bridge ZVS phase-shift SCV*.

$$FTMA_{v,nc}(s) = k_{mv} \cdot \frac{k_{PWM}}{k_{mi}} \cdot H_v(s) \cdot G_{vi}(s) \quad (2.79)$$

O filtro utilizado é passa baixa de segunda ordem com expressão apresentada em (2.77) com os parâmetros $f_{pbso} = 1 \text{ kHz}$, $\xi = \sqrt{2}$ e $k_{bpbso} = 1$. O ganho do sensor de tensão utilizado é de $k_{mv} = 0,0051$, e o ganho do modulador foi considerado unitário neste exemplo para simulação.

Foi utilizado um compensador do tipo PI, cuja metodologia de projeto foi abordada na seção 2.3.1.1, para alcançar as especificações apresentadas na Tabela 2.36. Os parâmetros calculados para o compensador usado são apresentados na Tabela 2.37.

Tabela 2.36 – Especificação de projeto para o compensador de tensão do conversor *full-bridge ZVS phase-shift SCV*.

Frequência de corte da FTMA compensada de tensão (f_0)	5 Hz
Margem de fase da FTMA compensada de tensão (M_ϕ)	90°

Tabela 2.37 – Parâmetros do compensador PI de tensão do conversor *full-bridge ZVS phase-shift SCV*.

Frequência do zero do PI de tensão (ω_{zi})	61,06 rad/s
Ganho do PI de tensão (K_{pi})	1,1703

Na Figura 2.56, Figura 2.57 e Figura 2.58, mostra-se o diagrama de Bode da FTMA não compensada, do compensador e da FTMA compensada de tensão, respectivamente.

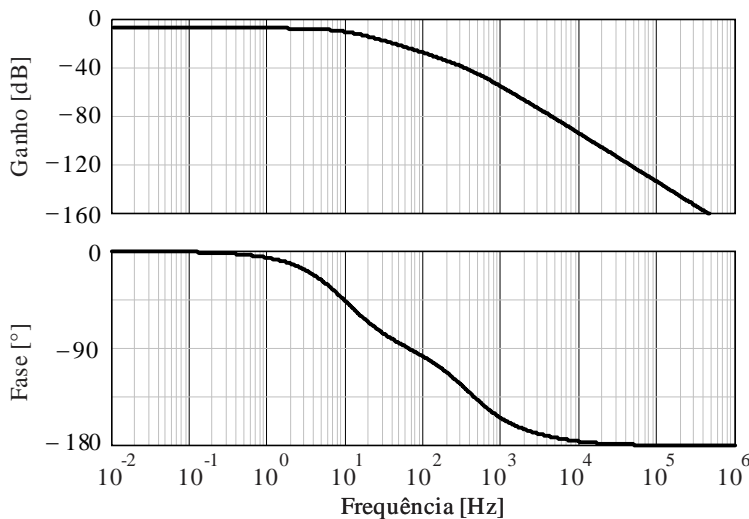


Figura 2.56 – Diagrama de Bode da FTMA não compensada de tensão do conversor *full-bridge ZVS phase-shift SCV*.

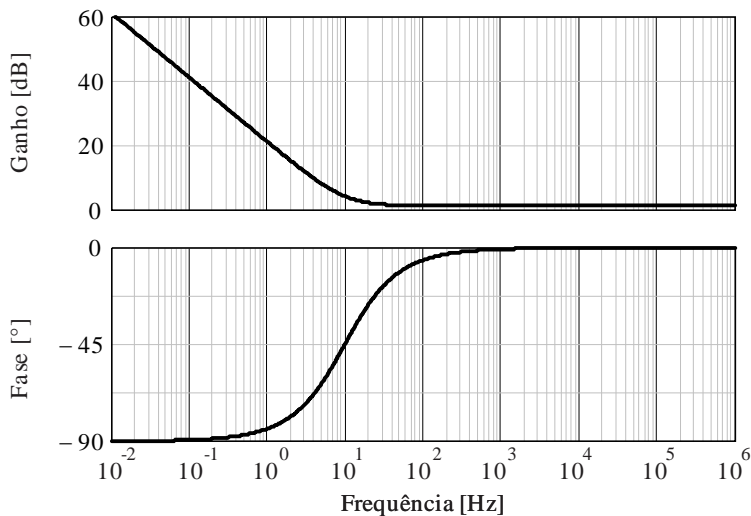


Figura 2.57 – Diagrama de Bode do compensador de tensão do conversor *full-bridge ZVS phase-shift SCV*.

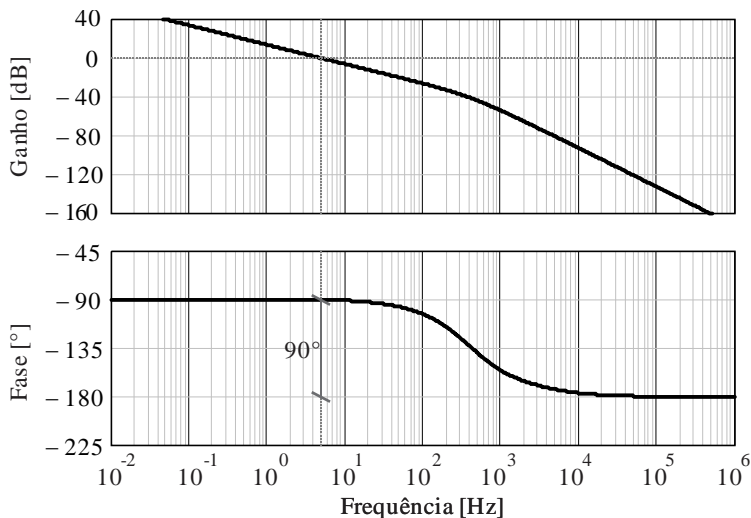


Figura 2.58 – Diagrama de Bode da FTMA compensada de tensão do conversor *full-bridge ZVS phase-shift SCV*.

Para a implementação digital, tem-se os ganhos da equação diferença, calculados pelas equações (2.50), (2.51) e (2.52), dados por:

Tabela 2.38 – Ganho da equação diferença do compensador de tensão do conversor *full-bridge ZVS phase-shift SCV*

Ganho do erro atual (a_1)	1,174
Ganho do erro anterior (a_2)	-1,167

Com o projeto completo, é feita a simulação do conversor. Foi utilizado o simulador PSIM versão 9.0 para a obtenção das formas de onda. A Figura 2.59 e a Figura 2.60 mostram a operação em um período de comutação do conversor com $V_{o,ref} = 380$ V, $V_{bat} = 264$ V e $R_o = 72,2$ Ω .

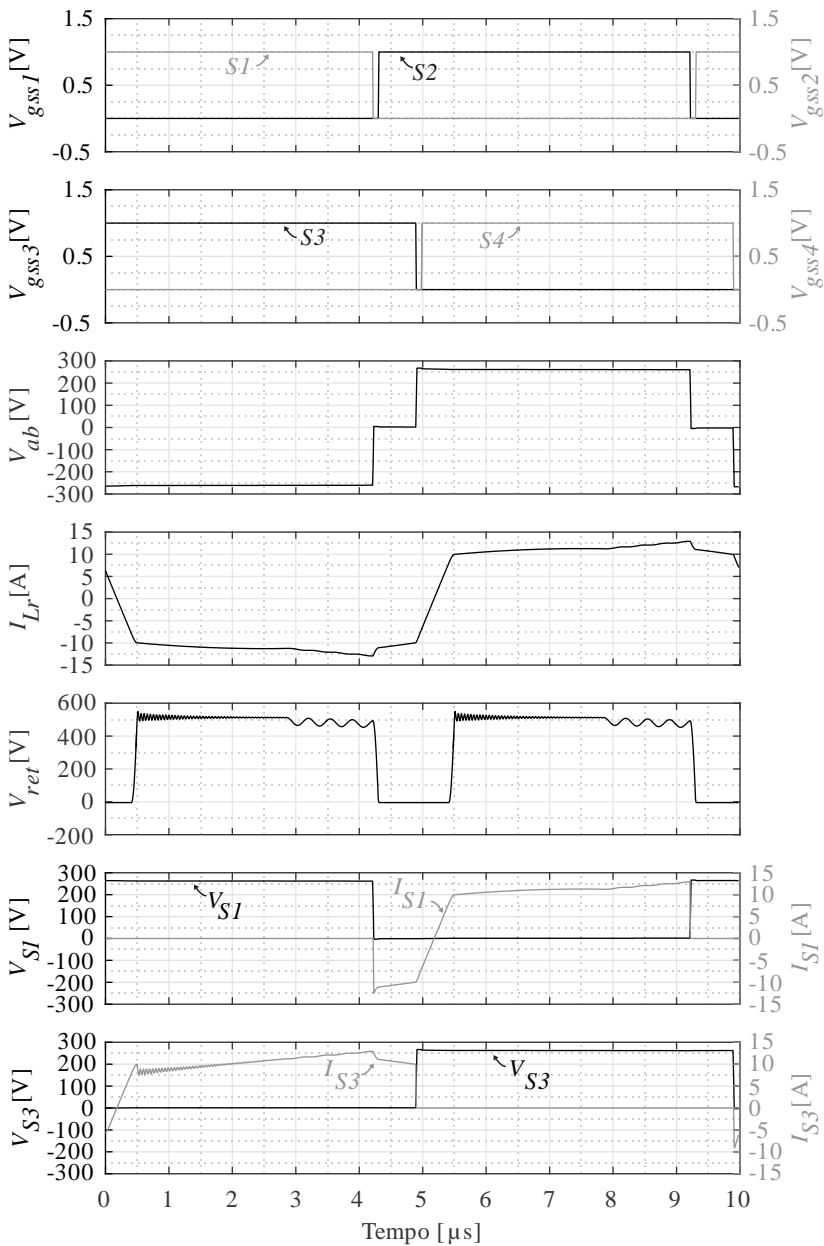


Figura 2.59 – Formas de onda simuladas do funcionamento do conversor *full-bridge ZVS phase-shift SCV* em um período de comutação.

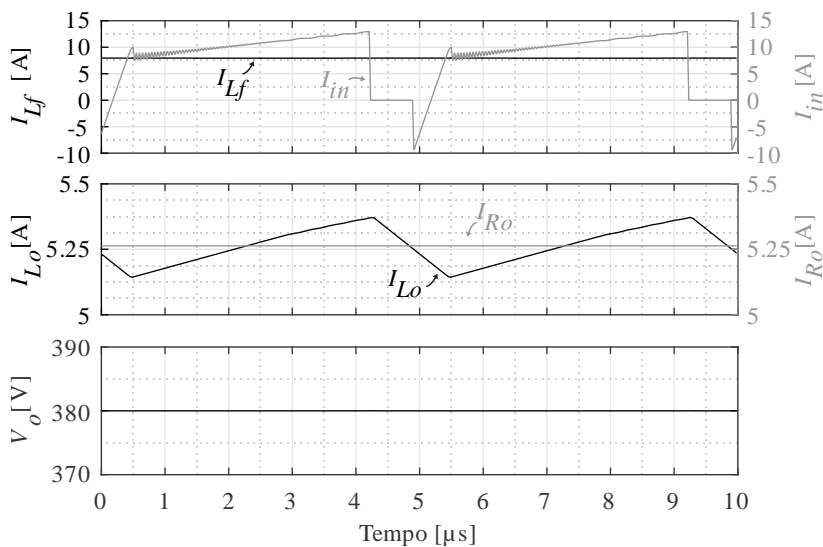


Figura 2.60 – Formas de onda simuladas das correntes de entrada e de saída e da tensão de saída do conversor *full-bridge ZVS phase-shift SCV*.

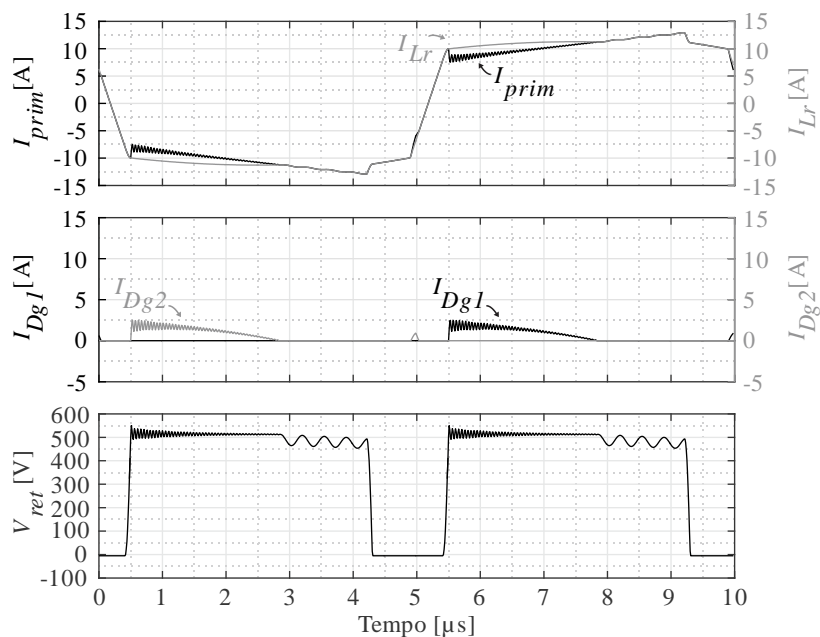


Figura 2.61 – Formas de onda simuladas de corrente nos diodos de grampeamento do conversor *full-bridge ZVS phase-shift SCV*.

Percebe-se pelas formas de onda que existe uma ondulação mais acentuada na corrente na indutância L_r , causado pela baixa indutância magnetizante do transformador. Os aspectos construtivos do transformador serão discutidos na Seção 2.4. Devido ao posicionamento do capacitor de bloqueio, há uma pequena assimetria nas correntes dos diodos de grampeamento D_{g1} e D_{g2} , como demonstrado por [23]. Os diodos de grampeamentos escolhidos foram os mesmos utilizados na ponte retificadora, cujos parâmetros estão apresentados em Tabela 2.16.

2.3.2.2 Projeto Inversor Monofásico

Os requisitos do projeto do inversor monofásico são apresentados na Tabela 2.39, de acordo com os requisitos propostos na seção 2.1.

Tabela 2.39 – Especificações de projeto do inversor monofásico.

Tensão eficaz da rede ($V_{g,ef}$)	220 V
Frequência da rede (f_g)	60 Hz
Tensão do barramento CC ($V_{bar,CC}$)	380 V
Potência nominal (P_{nom})	2 kW
Frequência de comutação (f_s)	50 kHz
Ondulação máxima da tensão de saída ($\% \Delta V_o$)	5%
Ondulação máxima de corrente no indutor ($\% \Delta I_{Lg}$)	10%

A partir desses valores, calculam-se os valores mínimos de indutância e capacitância utilizando as expressões (2.33) e (2.34):

$$L_{g,min} = 1,21mH \quad (2.80)$$

$$C_{o,min} = 146,1 nF \quad (2.81)$$

Os valores escolhidos para os componentes estão mostrados na tabela a seguir:

Tabela 2.40 – Valores dos componentes utilizados no inversor monofásico.

Indutância do filtro de saída (L_g)	1,31 mH
Resistência série do indutor de saída (R_{Lg})	0,1 Ω
Capacitância do filtro de saída (C_o)	1 μ F

A partir dos valores adotados, faz-se o projeto dos compensadores. O projeto é feito para cada modo de operação separadamente e na transição entre modos são mudados os parâmetros do controlador de corrente e a origem do sinal de referência de corrente.

Na Figura 2.62 e na Figura 2.63 são mostrados os diagramas de blocos para cada um dos modos de funcionamento. É importante notar que, para esse projeto, foi considerado que a referência senoidal utilizada no modo isolado é perfeitamente sincronizada com a rede, não levando em conta a utilização de algoritmos de sincronização, nem o tempo que levariam para entrar em fase com a rede, o que leva a transições de modo extremamente suaves.

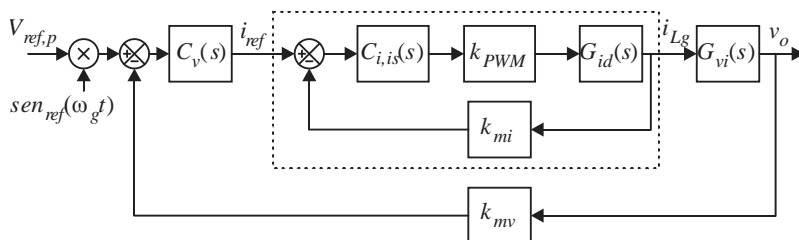


Figura 2.62 – Diagrama de blocos para controle em modo isolado do inversor monofásico.

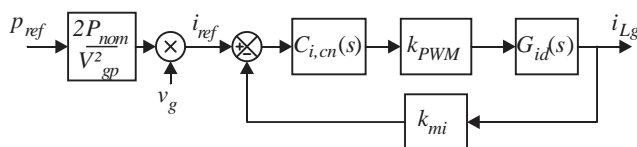


Figura 2.63 – Diagrama de blocos para controle em modo conectado do inversor monofásico.

No modo isolado, o método de projeto dos compensadores é similar ao apresentado na seção 2.3.2.1. Para a medição de corrente e tensão, não serão utilizados filtros e os seguintes parâmetros serão

utilizados; Frequência de amostragem $f_a = 25$ kHz, ganho do sensor de corrente $k_{mi} = 0,01$ e ganho do sensor de tensão $k_{mv} = 0,01$. O ganho do modulador k_{PWM} foi considerado unitário nesse projeto.

Para o projeto do compensador de corrente do modo isolado, considerou-se a função de transferência de malha aberta dada como (2.82), sendo a planta de corrente dada por (2.26). Foi utilizado um compensador PI, cuja metodologia de projeto foi abordada na seção 2.3.1.1, para alcançar as especificações na Tabela 2.41. Utilizando as equações (2.44) e (2.47), calculam-se os parâmetros do controlador, apresentados na Tabela 2.42.

$$FTMA_{i,nc}(s) = k_{PWM} \cdot k_{mi} \cdot G_{id}(s) \quad (2.82)$$

Na Figura 2.64, Figura 2.65 e na Figura 2.66 mostra-se o diagrama de Bode da FTMA não compensada, do compensador e da FTMA compensada de corrente no modo isolado, respectivamente.

Tabela 2.41 – Especificação de projeto para o compensador de corrente de modo isolado do inversor monofásico.

Frequência de corte da FTMA compensada de corrente (f_0)	3 kHz
Margem de fase da FTMA compensada de tensão (M_ϕ)	90°

Tabela 2.42 – Parâmetros do compensador PI de corrente de modo isolado do inversor monofásico.

Frequência do zero do PI de corrente (ω_{zi})	76,01 rad/s
Ganho do PI de corrente (K_{pi})	6,526

Para a implementação digital, tem-se os ganhos da equação diferença calculados por (2.50), (2.51) e (2.52) apresentados na Tabela 2.43.

Tabela 2.43 – Ganho da equação diferença do compensador de corrente de modo isolado do inversor monofásico.

Ganho do erro atual (a_1)	6,536
Ganho do erro anterior (a_2)	-6,516

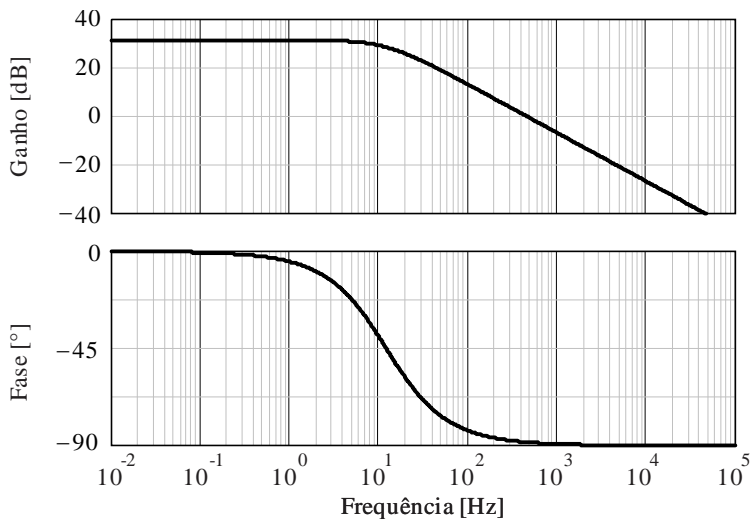


Figura 2.64 – Diagrama de Bode da FTMA não compensada de corrente de modo isolado do inversor monofásico.

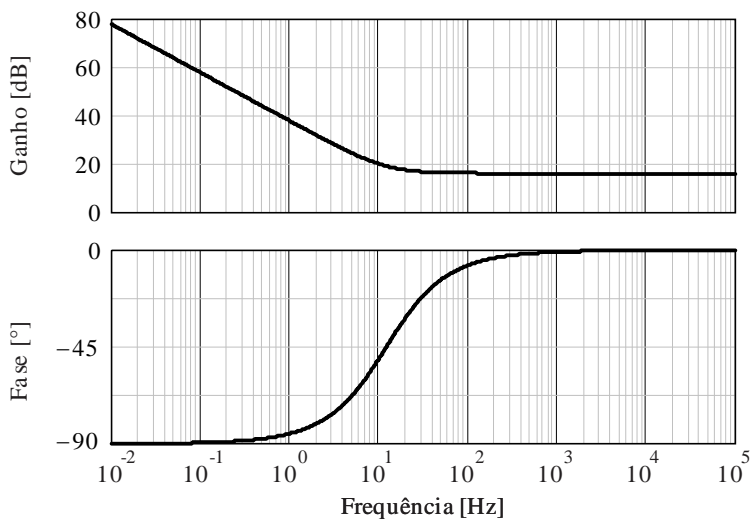


Figura 2.65 – Diagrama de Bode do compensador de corrente de modo isolado do inversor monofásico.

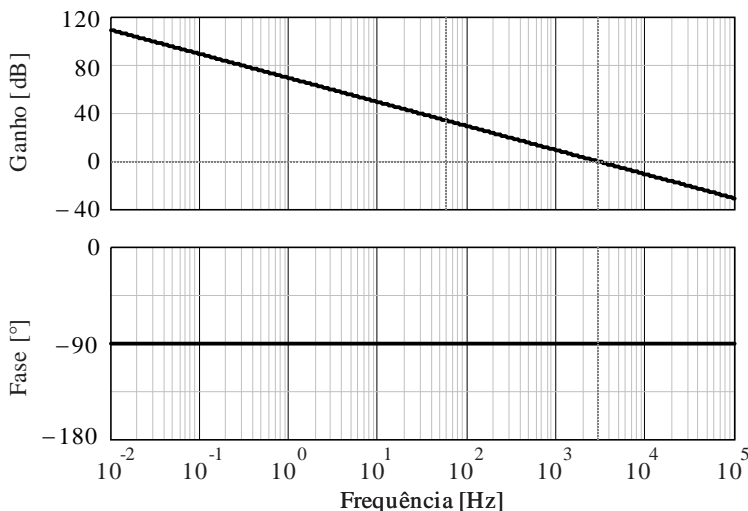


Figura 2.66 – Diagrama de Bode da FTMA compensada de corrente de modo isolado do inversor monofásico.

O projeto do compensador de tensão é feito considerando o diagrama de blocos apresentado na Figura 2.55. Assim, tem-se a função transferência dada pela expressão (2.83), com a planta de tensão expressa por (2.27). Novamente foi utilizado um compensador PI, cuja metodologia de projeto foi abordada na seção 2.3.1.1, para alcançar as especificações na Tabela 2.44. Utilizando as equações (2.44) e (2.47), calculam-se os parâmetros do controlador, apresentados na Tabela 2.45.

$$FTMA_{v,nc}(s) = k_{mv} \cdot \frac{k_{PWM}}{k_{mi}} \cdot G_{vi}(s) \quad (2.83)$$

Tabela 2.44 – Especificação de projeto para o compensador de tensão do inversor monofásico.

Frequência de corte da FTMA compensada de tensão (f_0)	600 Hz
Margem de fase da FTMA compensada de tensão (M_φ)	90°

Tabela 2.45 – Parâmetros do compensador PI de tensão do inversor monofásico.

Frequência do zero do PI de tensão (ω_{zi})	41322,31 rad/s
Ganho do PI de tensão (K_{pi})	0,038

Na Figura 2.67, Figura 2.68 e Figura 2.69 na mostra-se o diagrama de Bode da FTMA não compensada, do compensador e da FTMA compensada de tensão, respectivamente.

Para a implementação digital, tem-se os ganhos da equação diferença calculados por (2.50), (2.51) e (2.52) apresentados na Tabela 2.46.

Tabela 2.46 – Ganho da equação diferença do compensador de tensão do inversor monofásico.

Ganho do erro atual (a_1)	0,068855
Ganho do erro anterior (a_2)	-0,006543

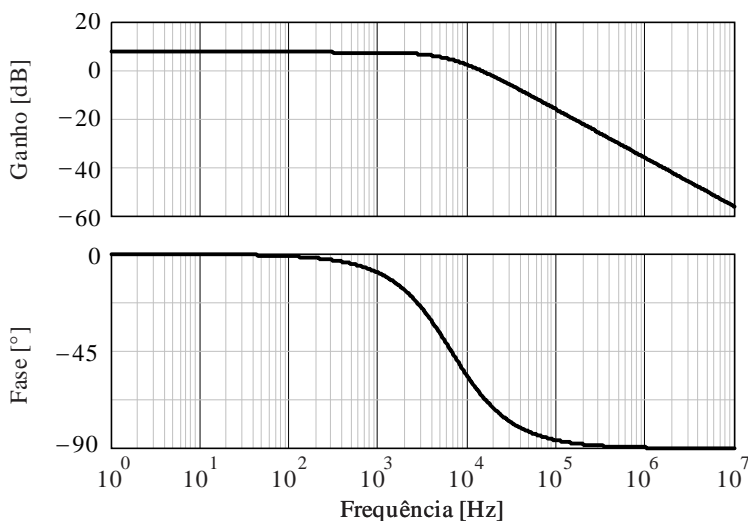


Figura 2.67 – Diagrama de Bode da FTMA não compensada de tensão do inversor monofásico.

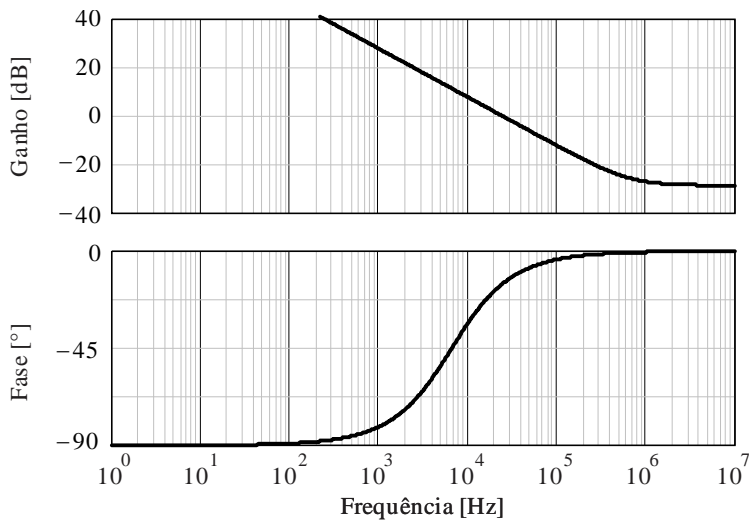


Figura 2.68 – Diagrama de Bode do compensador de tensão do inversor monofásico.

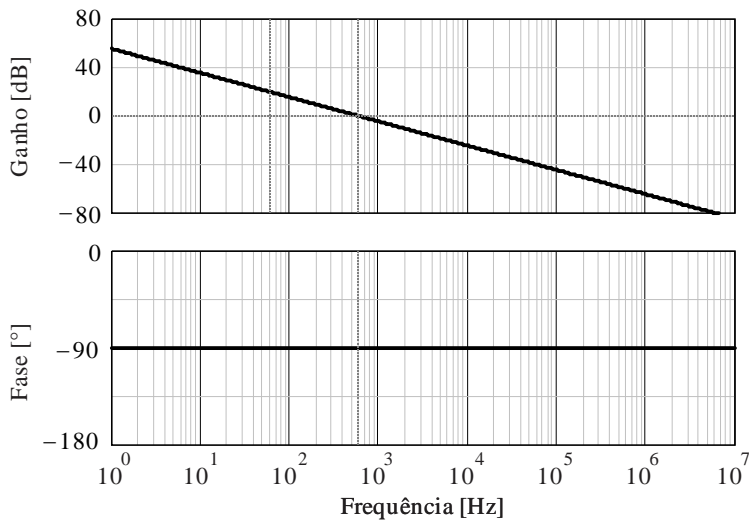


Figura 2.69 – Diagrama de Bode da FTMA compensada de tensão do inversor monofásico.

Com o projeto completo, é feita a simulação do conversor. Foi utilizado o simulador PSIM versão 9.0 para a obtenção das formas de onda.

A Figura 2.70 mostra três períodos da rede em que o inversor opera no modo isolado, regulando a tensão de saída. A simulação foi feita com potência nominal $P_o = 2$ kW e tensão de barramento $V_{bar,cc} = 380$ V.

Na Figura 2.71, mostra-se o comportamento dinâmico do sistema ao fazer a carga variar em degraus com valores de resistência correspondentes a um terço da potência nominal. Este caso foi considerado utilizando uma fonte de tensão como entrada, onde $V_{bar,cc} = 380$ V.

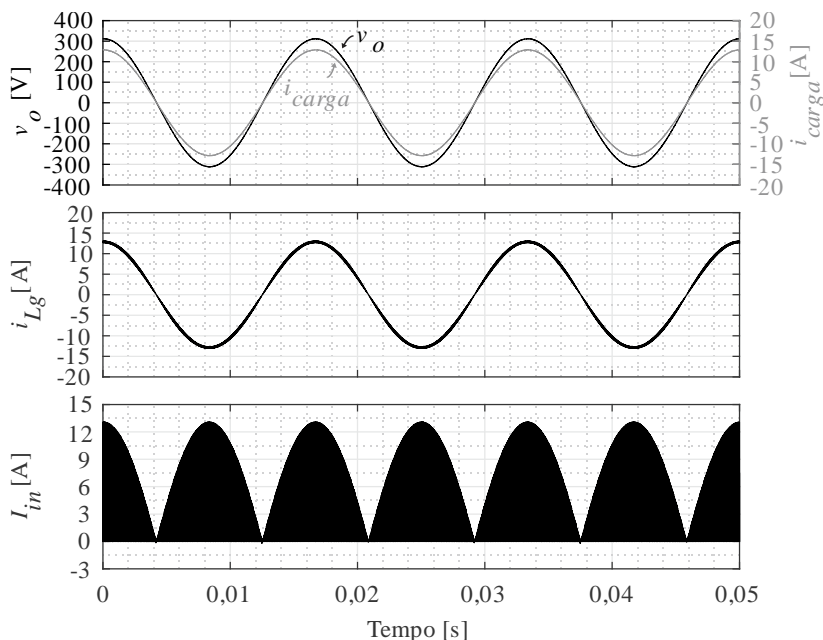


Figura 2.70 – Formas de onda simuladas do funcionamento do inversor monofásico no modo isolado para potência nominal.

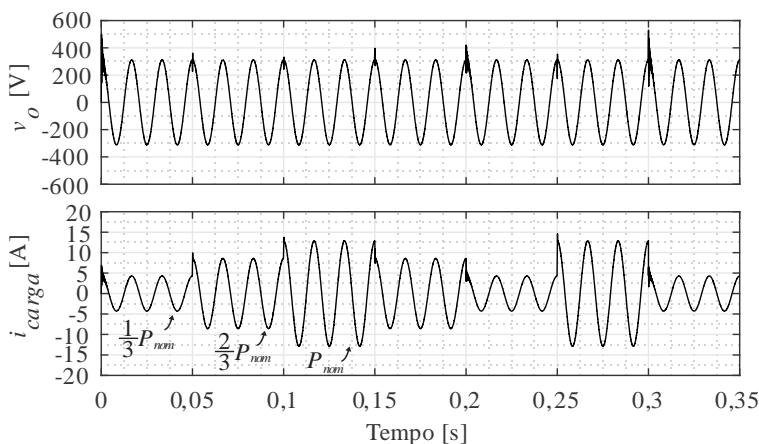


Figura 2.71 – Formas de onda simuladas do inversor monofásico no modo isolado para diferentes cargas de saída.

No modo conectado com a rede, o projeto é similar ao projeto do controlador de corrente no modo isolado, exceto pelos requisitos de projeto, apresentados na Tabela 2.47. Foi utilizado um compensador PI, cuja metodologia de projeto foi abordada na seção 2.3.1.1. Utilizando as equações (2.44) e (2.47), calculam-se os parâmetros do controlador, apresentados na Tabela 2.48.

Tabela 2.47 – Especificação de projeto para o compensador de corrente modo conectado do inversor monofásico.

Frequência de corte da FTMA compensada de corrente (f_0)	3 kHz
Margem de fase da FTMA compensada de tensão (M_φ)	60°

Tabela 2.48 – Parâmetros do compensador PI de corrente modo conectado do inversor monofásico.

Frequência do zero do PI de corrente (ω_{zi})	10984,38 rad/s
Ganho do PI de corrente (K_{pi})	5,638

Na Figura 2.64, Figura 2.72 e na Figura 2.73 mostra-se o diagrama de Bode da FTMA não compensada, do compensador e da FTMA compensada de corrente no modo isolado, respectivamente.

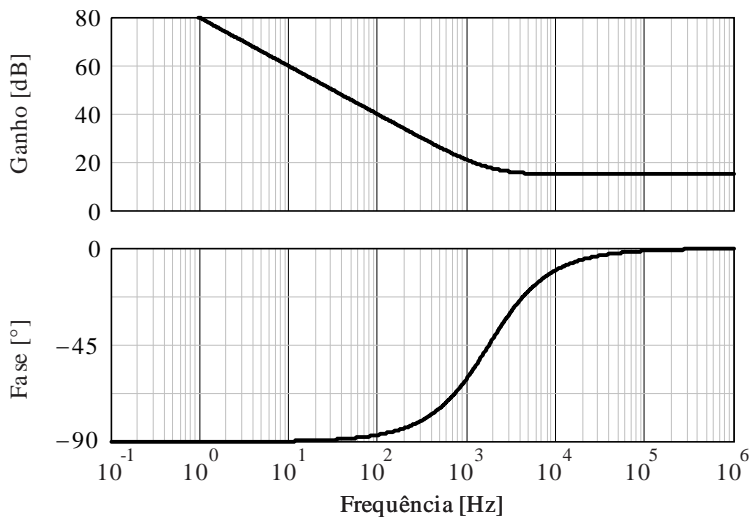


Figura 2.72 – Diagrama de Bode do compensador de corrente de modo conectado do inversor monofásico.

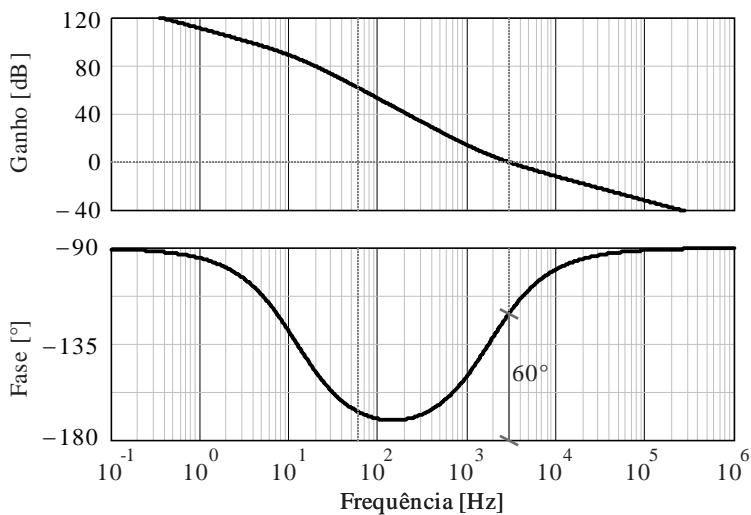


Figura 2.73 – Diagrama de Bode da FTMA compensada de corrente de modo conectado do inversor monofásico.

Com o projeto completo, é feita a simulação do conversor. Foi utilizado o simulador PSIM versão 9.0 para a obtenção das formas de onda.

A Figura 2.74 mostra três períodos da rede em que o inversor opera no modo conectado, injetando corrente na rede. A simulação foi feita com referência de potência nominal $p_{ref} = 1$, tensão de barramento $V_{bar,CC} = 380$ V e sem carga conectada ao barramento CA.

A Figura 2.75 mostra a transição para diferentes níveis de referência de potência. A simulação foi feita com tensão de barramento $V_{bar,CC} = 380$ V e sem carga conectada ao barramento CA.

Finalmente, apresentam-se as formas de onda para transição dos modos isolado e conectado, apresentadas na Figura 2.76. As simulações foram feitas utilizando metade da carga e com referência de potência $p_{ref} = 1$.

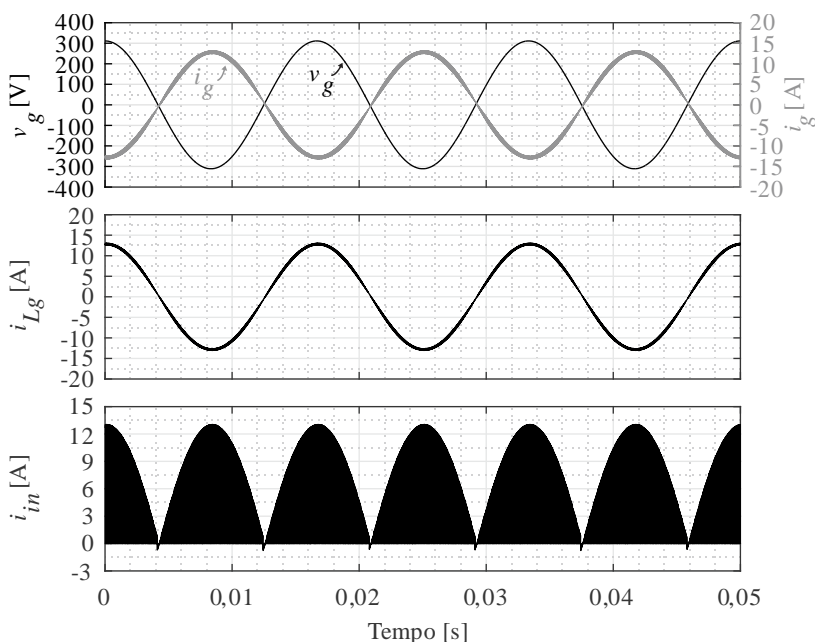


Figura 2.74 – Formas de onda simuladas do funcionamento do inversor monofásico no modo conectado com referência de potência nominal.

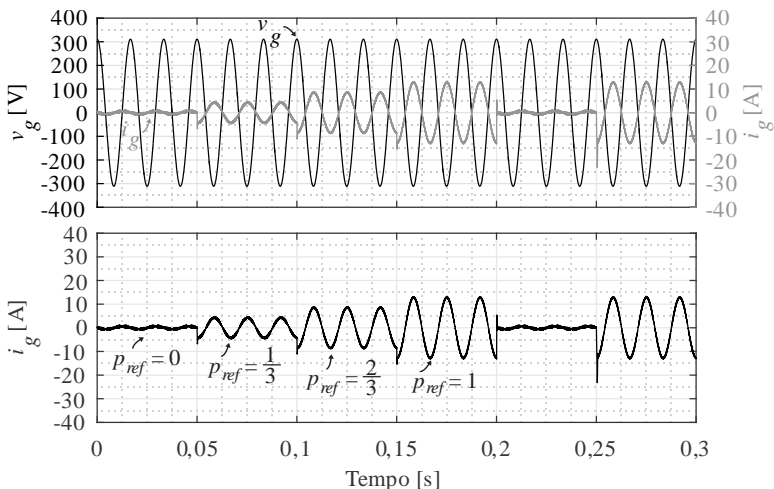


Figura 2.75 – Formas de onda simuladas do inversor monofásico no modo conectado para diferentes referências de potência.

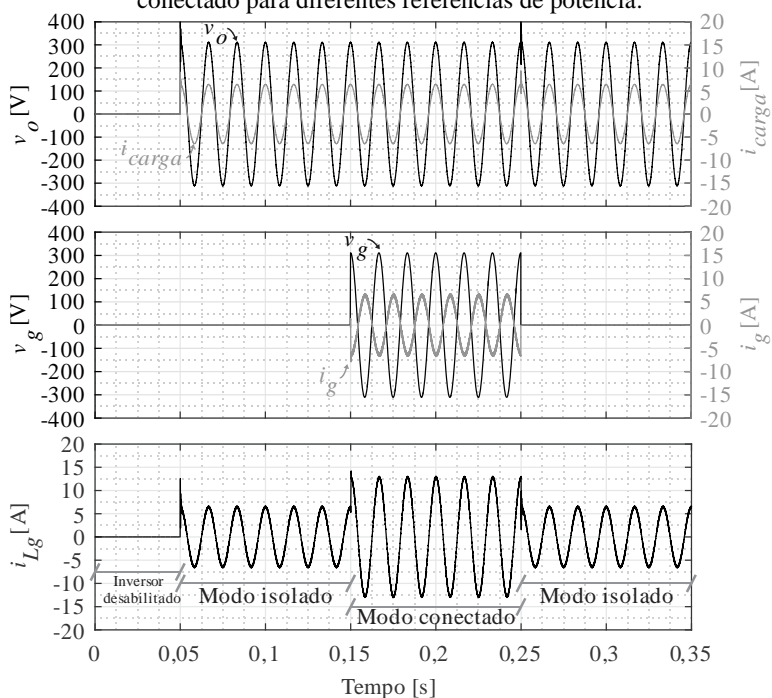


Figura 2.76 – Formas de onda simuladas das transições de modo do inversor monofásico.

Apesar de as formas de onda simuladas apresentarem uma resposta satisfatória, o sistema foi fortemente simplificado, sem levar em consideração as influências dinâmicas dos filtros de amostragem e de algoritmos de sincronização. Contudo, para uma primeira estimativa, a análise é suficiente.

2.3.2.3 Integração dos conversores do SCV

A partir dos projetos apresentados dos dois conversores, é feita a integração por simulação, cujo esquema é apresentado na Figura 2.77. As formas de onda de simulação apresentadas a seguir foram feitas com tensão nominal na bateria $V_{bat} = 264 \text{ V}$, com carga resistiva equivalente a metade da potência nominal e referência de potência $p_{ref} = 1$.

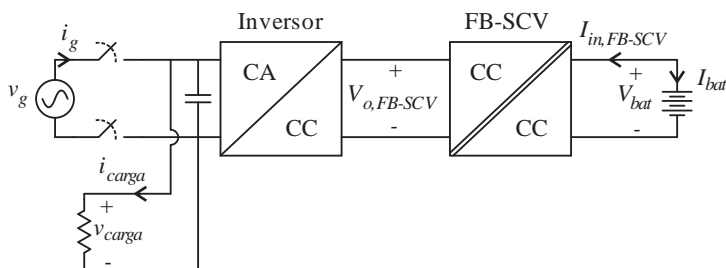


Figura 2.77 – Esquema do subsistema de conexão veicular analisado.

A Figura 2.78 apresenta as formas de onda simuladas em regime no modo isolado da rede. É possível perceber que a ondulação com o dobro da frequência da rede está presente na corrente da bateria devido a perturbação na tensão de saída.

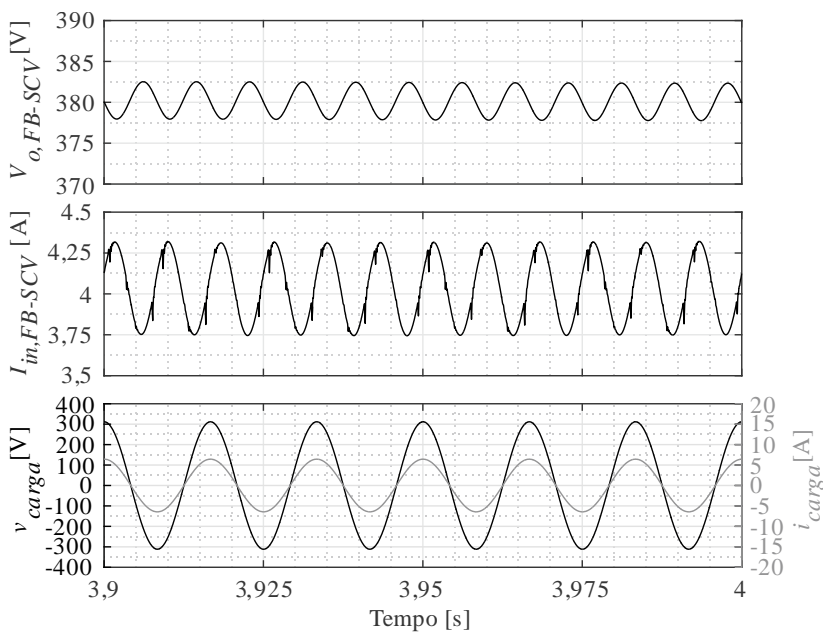


Figura 2.78 – Formas de onda simuladas em regime do Sistema de Conexão Veicular no modo isolado.

Na Figura 2.79 apresenta-se a transição para a desconexão da rede elétrica e a partida do SCV em modo isolado. A partida do barramento CC é feita com uma rampa de 2 segundos, durante a qual a carga deixa de ser alimentada. A Figura 2.80 e a Figura 2.81 mostram os detalhes entre as transições.

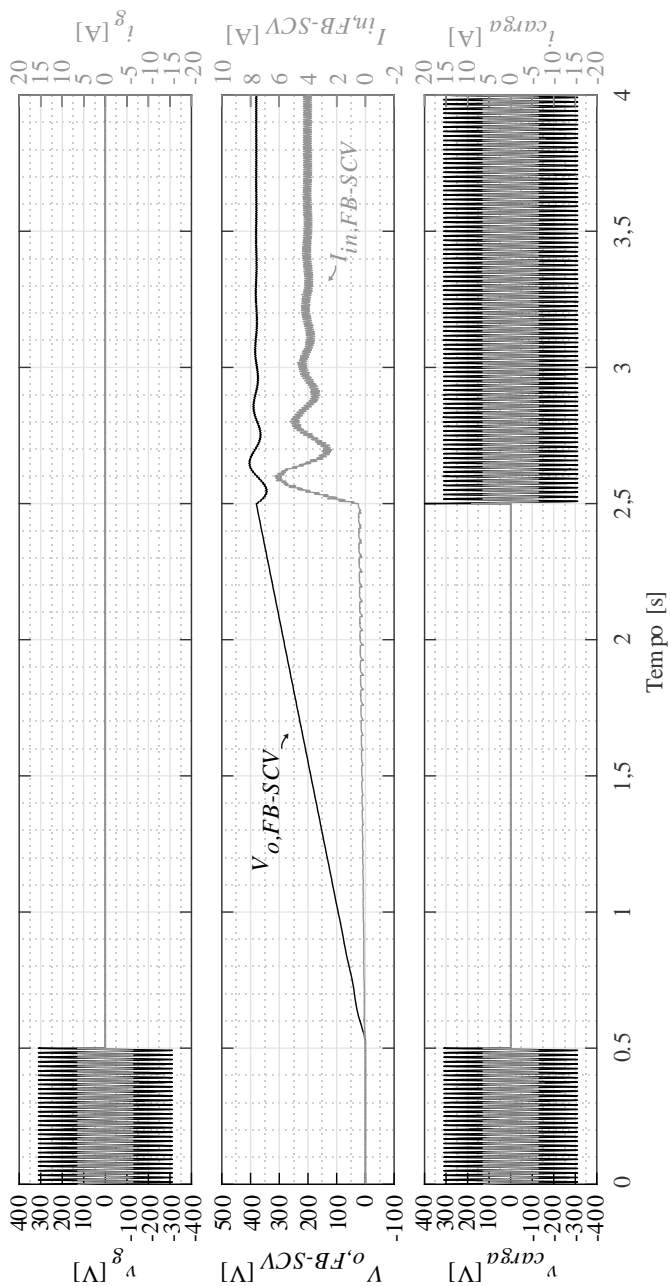


Figura 2.79 – Formas de onda simuladas do Sistema de Conexão Veicular na transição da perda de conexão com a rede elétrica.

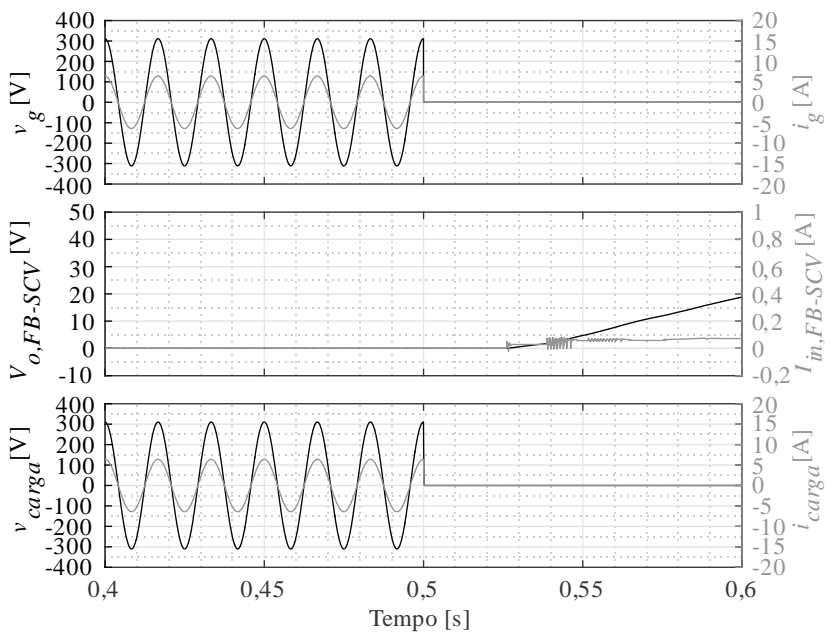


Figura 2.80 – Detalhe da forma de onda simulada apresentada na Figura 2.79 entre os tempos $t = 0,4$ s e $0,6$ s.

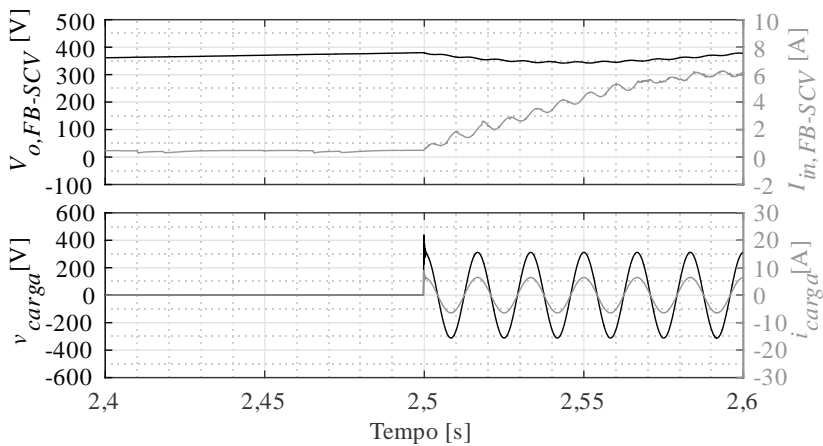


Figura 2.81 – Detalhe da forma de onda simulada apresentada na Figura 2.79 entre os tempos $t = 2,4$ s e $2,6$ s.

Na Figura 2.82 apresenta as formas de onda simuladas em regime no modo conectado à rede.

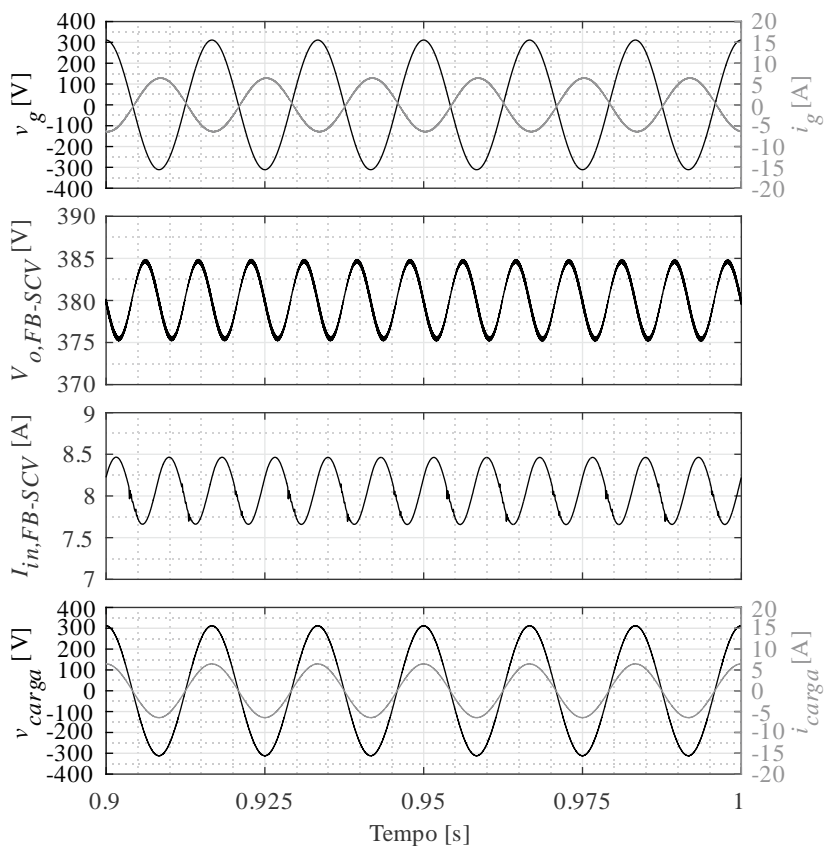


Figura 2.82 – Formas de onda simuladas em regime do Sistema de Conexão Veicular no modo conectado.

Na Figura 2.83 mostra-se a transição para o modo conectado, injetando corrente na rede. A partida do barramento CC é feita com uma rampa de 2 segundos e, a partir do momento em que a tensão atinge a nominal, o sistema começa a injetar a potência na rede. A Figura 2.84 mostra detalhadamente a reversão da corrente na rede. A referência de potência é aumentada em forma de rampa para evitar variações abruptas no barramento CC.

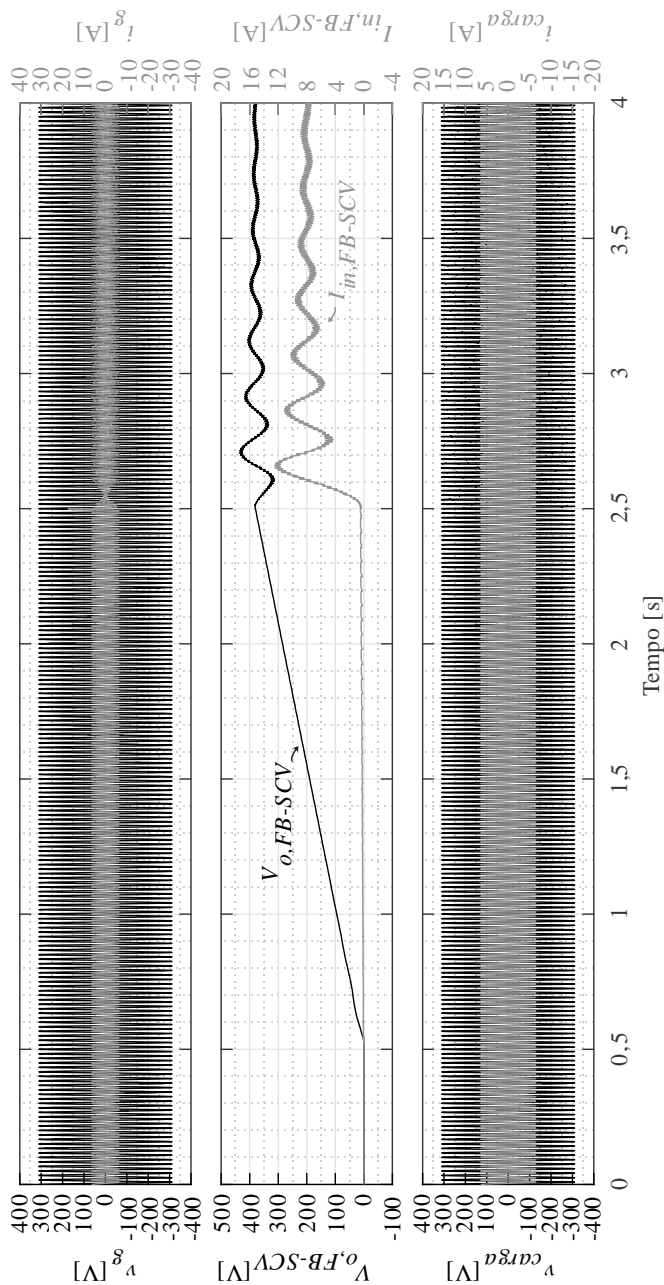


Figura 2.83 – Formas de onda simuladas do Sistema de Conexão Veicular na transição para a injeção de corrente na rede.

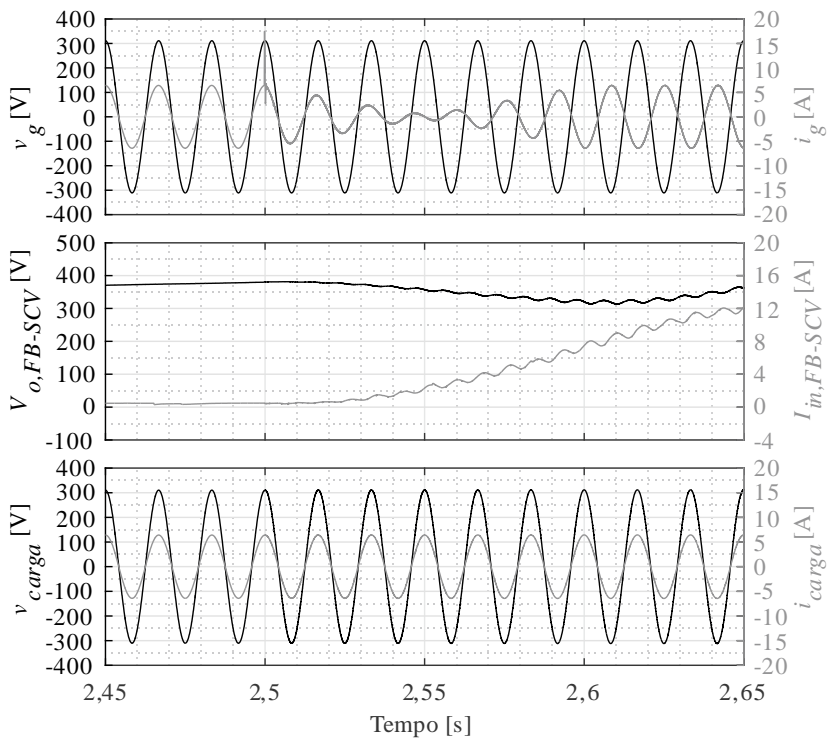


Figura 2.84 – Detalhe da forma de onda apresentada na Figura 2.83 mostrando a inversão da corrente na rede.

Ao analisar as formas de onda do sistema de conexão veicular, percebe-se que ele atende aos requisitos propostos, conseguindo fazer a injeção de potência na rede e manter a tensão na carga retirando potência da bateria.

2.3.3 Integração dos projetos do carregador e SCV

Com o projeto do carregador de baterias e do sistema de conexão veicular, faz-se uma simulação do sistema completo, cujo esquema é apresentado na Figura 2.85, para observar as transições de modo. As simulações foram feitas com a tensão da bateria $V_{bat} = 300$ V, com uma carga resistiva equivalente a metade da potência nominal e referência de potência $p_{ref} = 1$.

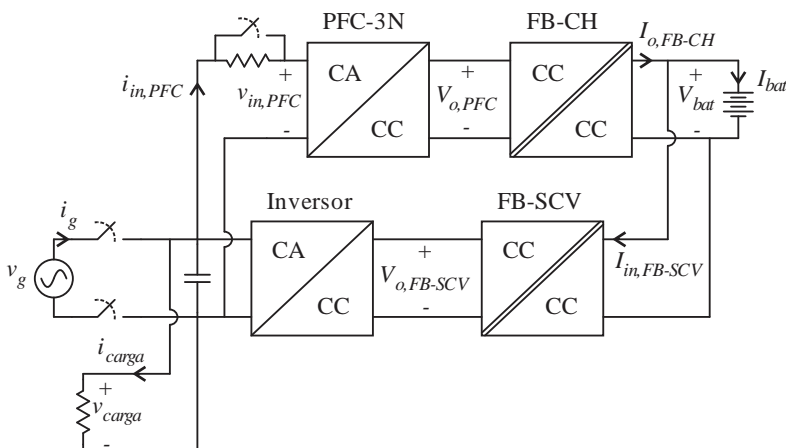


Figura 2.85 – Esquema do sistema completo analisado.

A Figura 2.86 e a Figura 2.87 mostram as formas de onda simuladas na transição entre o modo de carregamento da bateria e a operação em modo isolado. Na Figura 2.88 e na Figura 2.89 mostram-se as formas de onda simuladas na transição entre o modo de carregamento da bateria e a operação em modo conectado.

Considerando que o funcionamento dos subsistemas de carregamento e de conexão veicular não operam ao mesmo tempo, suas formas de onda de transição são similares aquelas apresentadas nas subseções 2.3.1.3 e 2.3.2.3.

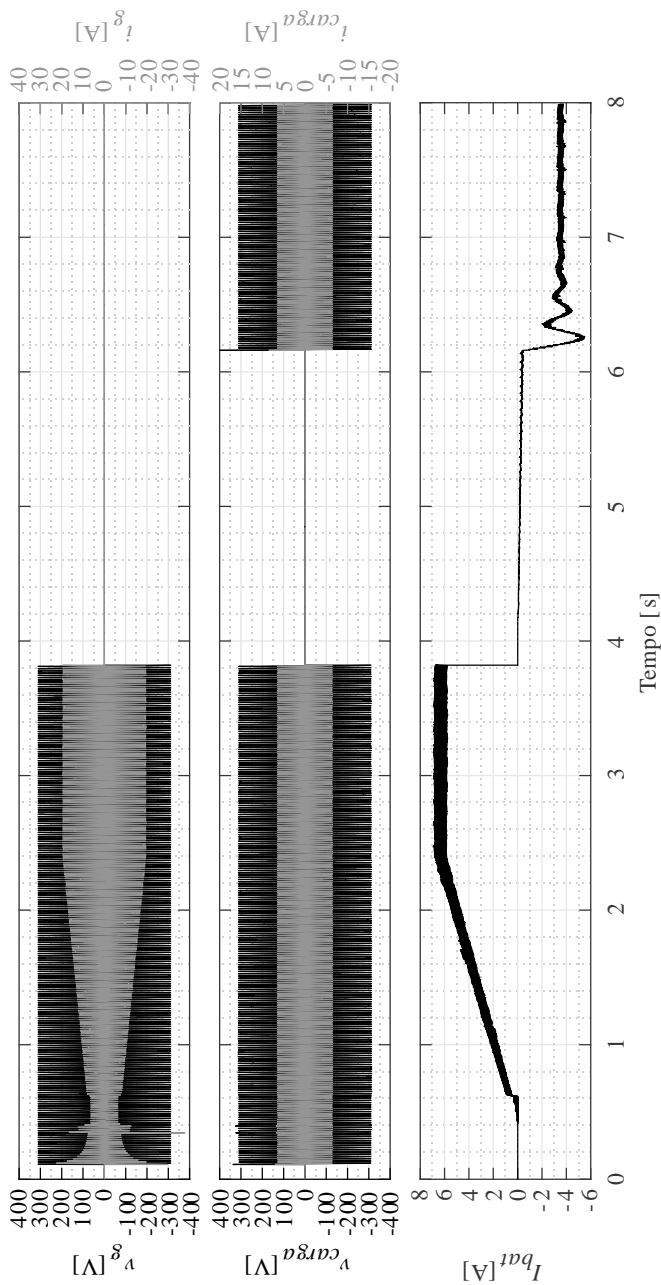


Figura 2.86 – Formas de onda simuladas de tensão e corrente na rede e na carga e corrente na bateria do sistema completo na transição entre o modo de carregamento e o modo isolado.

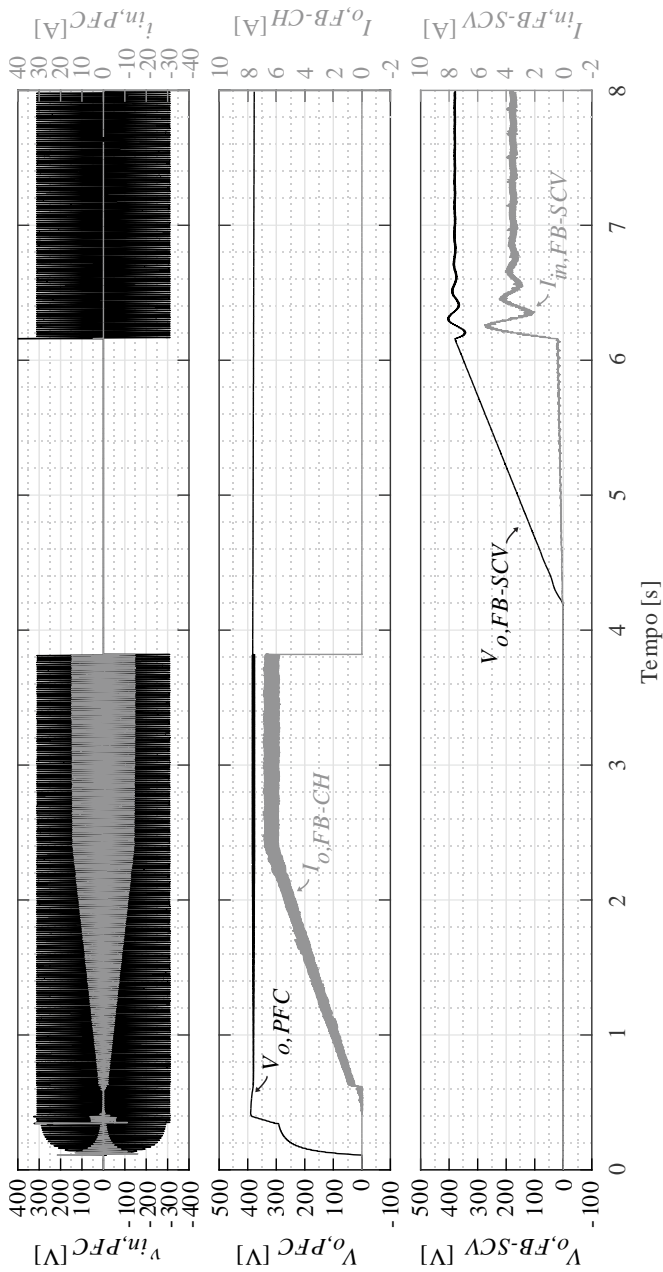


Figura 2.87 – Formas de onda simuladas de tensão e corrente nos conversores utilizados do sistema completo na transição entre o modo de carregamento e o modo isolado.

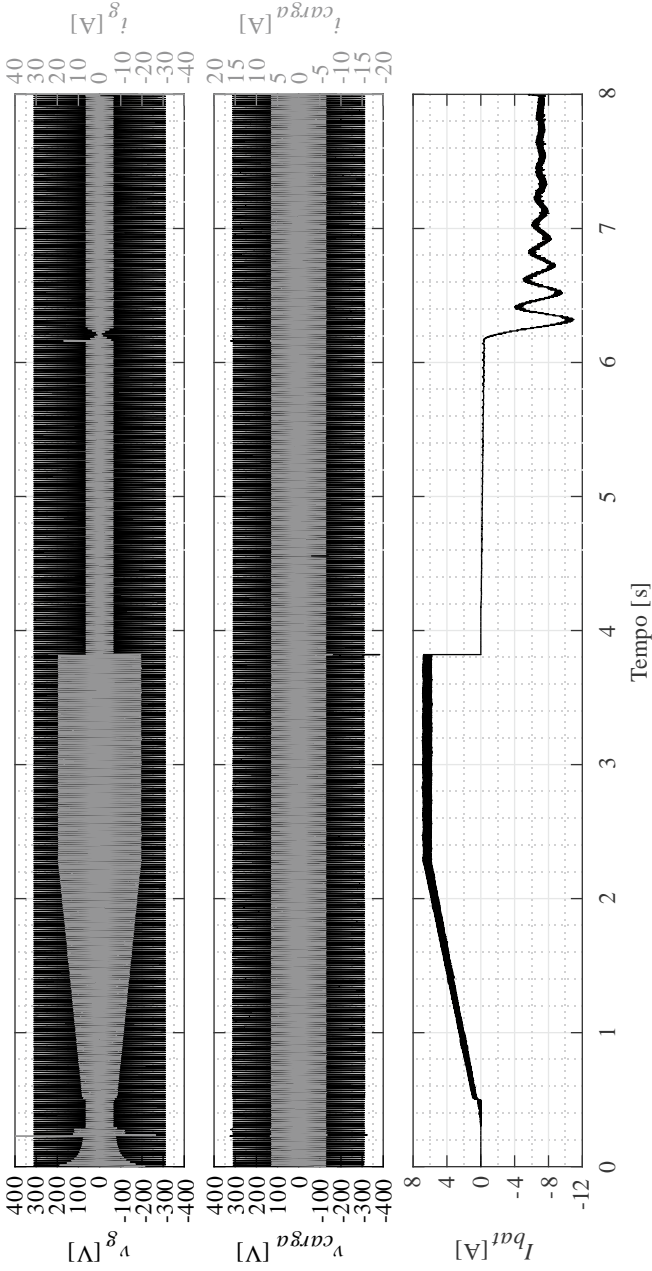


Figura 2.88 – Formas de onda simuladas de tensão e corrente nos conversores utilizados do sistema completo na transição entre o modo de carregamento e o modo conectado.

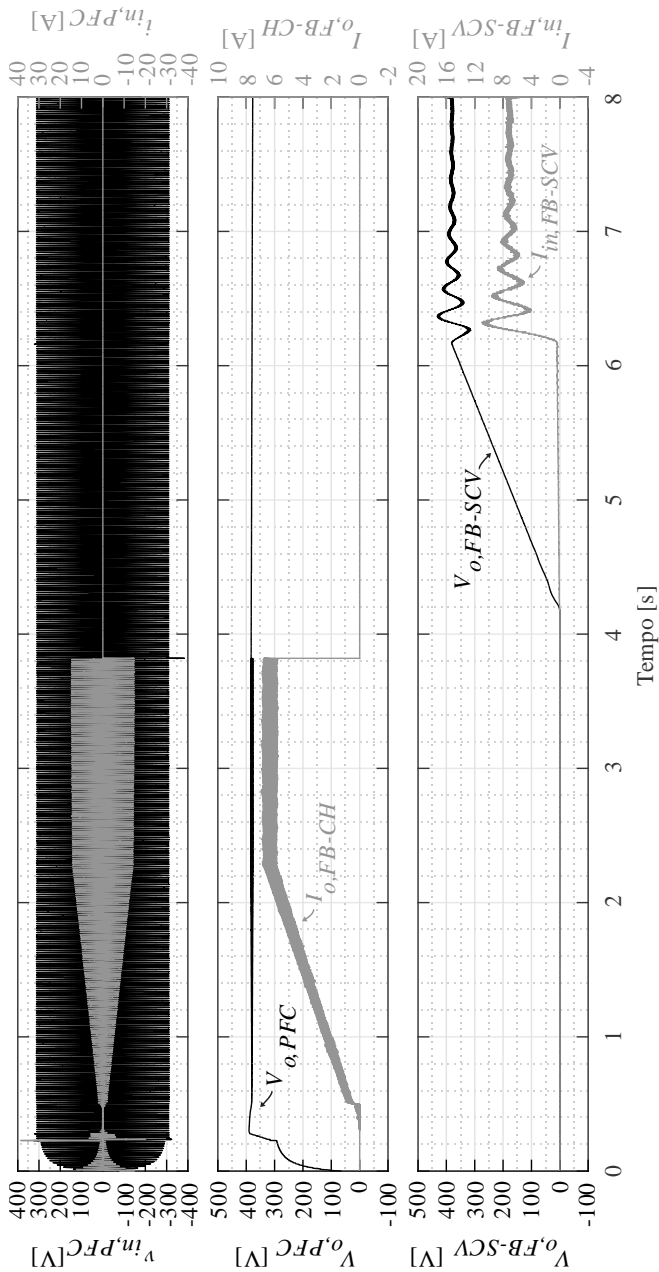


Figura 2.89 – Formas de onda simuladas de tensão e corrente nos conversores utilizados do sistema completo na transição entre o modo de carregamento e o modo conectado.

2.4 CONSTRUÇÃO DOS PROTÓTIPOS

Nesta seção serão discutidas as particularidades da implementação prática dos conversores CC-CC construídos. Serão apresentados os métodos utilizados para o projeto dos elementos magnéticos, os circuitos auxiliares utilizados para atuação dos interruptores de potência e leitura das variáveis de controle e o controlador digital e lógica de programação usada.

2.4.1 Full-bridge ZVS phase-shift carregador

Nessa seção serão apresentados os métodos de projeto utilizados para a construção dos elementos magnéticos e a descrição dos circuitos auxiliares do conversor CC-CC *full-bridge ZVS phase-shift* carregador. Finalmente, apresenta-se o conversor construído.

2.4.1.1 Elementos magnéticos

Para o projeto dos elementos magnéticos do conversor, prezou-se pelo uso de núcleos do tipo “E” que, além da grande disponibilidade, facilitam o aspecto construtivo do elemento. Neste conversor, foram utilizados núcleos dos fabricantes Thornton e EPCOS, dos materiais IP12R e N87 respectivamente. Para os elementos que operam com corrente alternada na frequência de comutação, foi priorizada a utilização de condutores *litz*.

2.4.1.1.1 Transformador

Para o projeto do transformador do conversor *full-bridge ZVS phase-shift* carregador, foi utilizado o *software ANSYS PExprt*, que, a partir de dados de formas de onda no elemento magnético e de restrições de núcleo utilizado, apresenta diversas combinações possíveis de construção do elemento magnético, sendo classificadas pelas perdas calculadas pelo *software*.

Apesar do *software* não contar com as formas de onda específicas do conversor *full-bridge ZVS phase-shift*, utilizou-se uma forma de onda similar, aumentando o requerimento de potência nominal em compensação. Considerando que os parâmetros do material IP12R do fabricante Thornton não constava nas bibliotecas do *software*, fez-se o

cálculo com o material N27 do fabricante EPCOS, que possui coeficientes de perdas similares. Com essas ressalvas, foi escolhida a combinação utilizando o núcleo E55/28/21, utilizando 4 condutores AWG19 em paralelo no enrolamento primário com 26 espiras e 4 condutores AWG22 em paralelo no enrolamento secundário com 37 espiras. Contudo, devido à alta frequência, optou-se por utilizar condutores de fio *litz* 32xAWG32, utilizando 2 condutores em paralelo no primário e um único condutor no enrolamento secundário, mantendo os valores do número de enrolamento. Os aspectos construtivos descritos aqui são resumidos na Tabela 2.49. A Figura 2.90 mostra o transformador utilizado no conversor.

Tabela 2.49 – Aspectos construtivos do transformador do conversor *full-bridge ZVS phase-shift* carregador.

Núcleo	NEE-55/28/21
Material	Thornton IP12R
Condutor Primário	<i>litz</i> 32xAWG32
Condutores em paralelo no primário	2
Espiras no primário	26
Condutor Secundário	<i>litz</i> 32xAWG32
Condutores em paralelo no secundário	1
Espiras no secundário	37

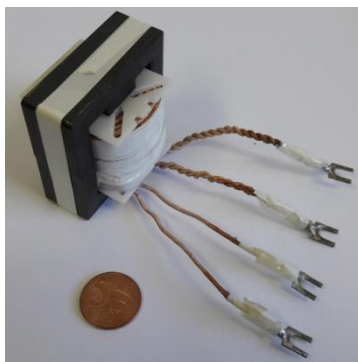


Figura 2.90 – Transformador utilizado no conversor *full-bridge ZVS phase-shift* carregador.

Com o componente construído, foram feitas medições de impedância para determinação das indutâncias de dispersão e

magnetizante, bem como das resistências série de cada enrolamento, considerando o modelo T do transformador. Para isso, foi utilizado o analisador de impedâncias AGILENT 4294A, medindo-se a impedância de circuito aberto e curto-circuito do transformador na frequência de operação, sendo:

- $L_{oc,1}$ a indutância vista do primário com o secundário em aberto;
- $L_{oc,2}$ a indutância vista do secundário com o primário em aberto;
- $L_{sc,1}$ a indutância vista do primário com o secundário em curto;
- $L_{sc,2}$ a indutância vista do secundário com o primário em curto;
- $R_{sc,1}$ a resistência vista do primário com o secundário em curto;
- $R_{sc,2}$ a resistência vista do secundário com o primário em curto.

Os valores medidos são apresentados na Tabela 2.50.

Tabela 2.50 – Valores medidos no ensaio do transformador do conversor *full bridge zvs phase-shift* carregador.

$L_{oc,1}$	3,62 mH
$L_{oc,2}$	7,51 mH
$L_{sc,1}$	757,67 nH
$L_{sc,2}$	1,48 μ H
$R_{sc,1}$	220,24 m Ω
$R_{sc,2}$	347,26 m Ω

Os parâmetros indutivos do modelo “T”, apresentado na Figura 2.91, são calculados de acordo com as expressões (2.84) a (2.87), deduzidas em [32], e as resistências são estimadas conforme as equações (2.88) e (2.89).

$$n = \frac{\sqrt{L_{oc,2}}}{\sqrt{L_{oc,1}}} \quad (2.84)$$

$$L_m = \sqrt{\frac{L_{oc,2}}{n} \cdot (L_{oc,1} - L_{sc,1})} \quad (2.85)$$

$$L_{s1} = L_{oc,1} - \frac{1}{n} \cdot \sqrt{L_{oc,2} \cdot (L_{oc,1} - L_{sc,1})} \quad (2.86)$$

$$L_{s2} = \frac{L_{oc,2}}{n^2} - \frac{1}{n} \cdot \sqrt{L_{oc,2} \cdot (L_{oc,1} - L_{sc,1})} \quad (2.87)$$

$$R_{Ls1} = \frac{R_{sc,1}}{2} \quad (2.88)$$

$$R_{Ls2} = \frac{R_{sc,2}}{2 \cdot n^2} \quad (2.89)$$

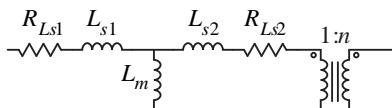


Figura 2.91 – Modelo “T” do transformador.

Os valores calculados foram apresentados na Tabela 2.13. A partir dos valores encontrados, percebe-se que a relação de transformação está próxima daquela projetada e que as indutâncias de dispersão são relativamente pequenas comparadas com a indutância ressonante introduzida, não introduzindo incertezas no projeto.

Contudo, o transformador apresentou um aquecimento excessivo no enrolamento, chegando a 100°C antes mesmo de alcançar regime térmico, obrigando a utilização de ventilação forçada no conversor. Teorizou-se que tal aumento tenha sido dado por efeitos de proximidade, dado que não foi utilizada nenhuma técnica de intercalamento de camadas.

2.4.1.1.2 Indutor Ressonante

No projeto do indutor ressonante, foi utilizado o método de projeto de indutores com entreferro apresentado em [33]. A partir das especificações do indutor e do tipo de material utilizado, calcula-se o produto de áreas mínimo A_p que é utilizado para limitar o tamanho o núcleo escolhido. Calcula-se então o valor da permeabilidade efetiva ótima μ_{opt} para o núcleo, que gera o valor máximo do entreferro g_m . A

partir desse valor, chega-se ao valor de indutância por voltas A_l , o qual é utilizado para calcular o número de voltas necessários para alcançar o valor de indutância requerido. Com essas informações, são calculadas as perdas, julgando os resultados. Um fluxograma com os passos de projeto é apresentado na Figura 2.92.

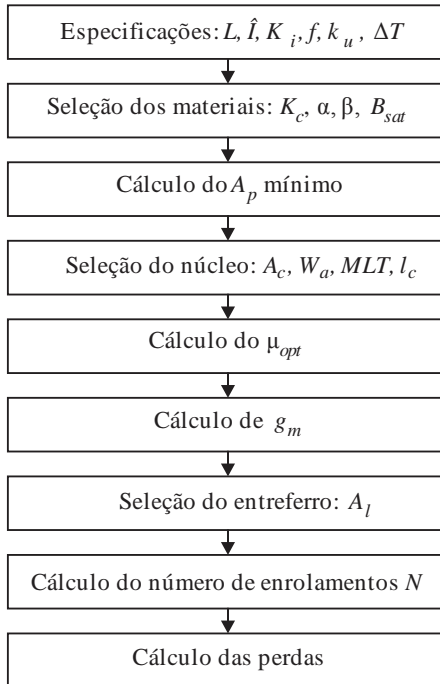


Figura 2.92 – Fluxograma para o projeto de indutor com núcleo com entreferro. Adaptado de [33].

A Tabela 2.51 mostra as especificações iniciais para o projeto do indutor L_r do conversor *full-bridge ZVS phase shift* carregador. O fator de forma da corrente do indutor é calculado pela expressão (2.90) e é dado como a razão entre o valor *RMS* da corrente no indutor pelo valor de pico da corrente.

Tabela 2.51 – Especificações iniciais para o projeto do indutor ressonante do conversor *full-bridge ZVS phase-shift* carregador.

Indutância desejada (L)	16,99 μH
Frequência de operação (f)	100 kHz
Pico de corrente (\hat{I})	9,58 A
Fator de forma da corrente (K_i)	0,886
Fator de ocupação da janela (k_u)	0,6
Elevação de temperatura (ΔT)	60°C
Razão entre perda no núcleo e perda no cobre (γ)	2

$$K_i = \frac{I_{rms}}{\hat{I}} \quad (2.90)$$

Escolheu-se utilizar o material N87 do fabricante EPCOS, com as seguintes características:

Tabela 2.52 – Parâmetros do material N87 do fabricante EPCOS.

Ganho da equação de Steinmetz (K_c)	0,03
Coefficiente exponencial de frequência da equação de Steinmetz (α)	1,78
Coefficiente exponencial de variação de campo da equação de Steinmetz (β)	2,62
Valor de saturação do campo magnético (B_{sat})	0,39 T

Assim, o produto de áreas mínimo é calculado como:

$$A_{p,min} = \left(\frac{\sqrt{1 + \gamma} \cdot K_i \cdot L \cdot \hat{I}^2}{B_{max} \cdot K_t \cdot \sqrt{k_u \cdot \Delta T}} \right)^{\frac{8}{7}} \quad (2.91)$$

Onde K_t é uma constante dependente da forma física do núcleo de valor $48,22 \cdot 10^{-3} \left(\frac{\text{A}}{\text{m}^2} \cdot \sqrt{\text{m}/^\circ\text{C}} \right)$ [33]. Considerando o $B_{max} = 0,2$ T, têm-se o valor mínimo do produto de áreas de:

$$A_{p,min} = 0,365 \text{ cm}^4 \quad (2.92)$$

Escolheu-se o núcleo E55/28/25, cujos parâmetros principais estão apresentados na Tabela 2.53.

Tabela 2.53 – Parâmetros do núcleo E55/28/25 do fabricante EPCOS.

Área efetiva perpendicular ao campo magnético (A_e)	4,2 cm ²
Comprimento efetivo do caminho magnético (l_e)	12,4 cm
Área da janela (W_a)	3,77 cm ²
Produto de áreas (A_p)	15,77 cm ⁴
Volume do Núcleo (V_e)	104,2 cm ³
Comprimento médio dos enrolamentos (MLT)	128 mm
Resistência térmica no núcleo (R_θ)	5,878 K/W

A resistência térmica do núcleo “E” é calculada pela expressão (2.93) retirada de [33], onde o volume do núcleo V_e é dado em metros cúbicos.

$$R_\theta = \frac{0,06}{\sqrt{V_e}} \quad (2.93)$$

Considerando a elevação de temperatura desejada e a resistência térmica do núcleo, a potência máxima dissipada no núcleo pode ser calculada. Considerando-se que se deseja uma divisão de perdas igualitária entre o enrolamento e o núcleo, tem-se que:

$$P_{cu,max} = \frac{\Delta T}{R_\theta} = 10,21 \text{ W} \quad (2.94)$$

Assim, pode-se calcular o valor da permeabilidade magnética ótima μ_{opt} como:

$$\mu_{opt} = \frac{B_{max} \cdot l_e \cdot K_i}{\sqrt{\frac{P_{cu,max} \cdot k_u \cdot W_a}{\rho_{cu} \cdot MLT}}} \quad (2.95)$$

Considerando o valor calculado como o mínimo valor de permeabilidade magnética, chega-se ao valor máximo do entreferro, dado por:

$$g_{max} = \frac{l_e}{\mu_{opt}} \quad (2.96)$$

A partir do valor de entreferro máximo, seleciona-se o valor de indutância por volta de acordo com o entreferro disponível dado pelo fabricante. No caso do núcleo utilizado para esse indutor, os valores estão apresentados a seguir:

Tabela 2.54 – Valores utilizados para a seleção do entreferro do indutor ressonante do *full-bridge ZVS phase-shift* carregador

Permeabilidade magnética ótima (μ_{opt})	17,09
Entreferro máximo (g_{max})	7,26 mm
Entreferro utilizado (g)	2,5 mm
Valor de indutância por volta (A_l)	295 nH

Assim, calcula-se o número de voltas necessárias para atingir a indutância desejada utilizando a expressão (2.97). Para o indutor projetado, foi-se calculado $N = 8$.

$$N = \sqrt{L/A_l} \quad (2.97)$$

Com o número de voltas calculado, calcula-se os condutores utilizados e os seus efeitos nas perdas do elemento magnético. Assim, calcula-se a densidade de corrente que passará pelos condutores pela expressão (2.98), e, desconsiderando os efeitos de proximidade e pelicular, calcula-se a área da seção transversal do condutor necessária pela expressão (2.99).

$$J_o = K_t \cdot \sqrt{\frac{\Delta T}{k_u \cdot (1 + \gamma)}} \cdot \frac{1}{\sqrt[8]{A_p}} \quad (2.98)$$

$$A_{w,min} = \frac{I_{rms}}{J_o} \quad (2.99)$$

Tabela 2.55 – Especificações para o projeto do enrolamento do indutor ressonante do conversor *full-bridge ZVS phase-shift*

Densidade de corrente no indutor (J_o)	1,97 A/mm ²
Área mínima da seção transversal do condutor ($A_{w,min}$)	4,3 mm ²

Para evitar o efeito pelicular, decidiu-se utilizar condutores *litz*. O maior raio permitido de cada condutor para que o efeito pelicular seja desprezível para uma dada frequência é dado pela equação (2.100). O número mínimo de condutores em paralelo é dado pela equação (2.101), onde A_w é a área transversal de cobre do condutor utilizado.

$$\delta_o = \sqrt{\frac{\rho_{cu}}{\pi \cdot f \cdot \mu_o}} \quad (2.100)$$

$$n_{cp,min} = \frac{A_{w,min}}{A_w} \quad (2.101)$$

Decidiu-se utilizar um condutor *litz* de 982xAWG41. A comparação entre os requisitos calculados e os dados do condutor utilizado são apresentados na Tabela 2.56.

Tabela 2.56 – Requisitos calculados e dados do condutor utilizado no indutor ressonante do *full-bridge ZVS phase-shift* carregador

Profundidade de penetração do efeito pelicular (δ_o)	0,21 mm
Raio do condutor utilizado (r_w)	0,035 mm
Área de cobre do condutor utilizado (A_w)	0,004 mm ²
Número mínimo de condutores em paralelo ($n_{cp,min}$)	1076
Número de condutores em paralelo utilizado (n_{cp})	982

Com o projeto completo, calcula-se a resistência do enrolamento, para o cálculo da perda. A resistência em corrente contínua do

enrolamento é calculada utilizando a resistividade do cobre na temperatura de 20°C (ρ_{cu}) e o seu coeficiente térmico ($\alpha_{T,cu}$).

$$R_{CC} = \frac{MTL \cdot N}{n_{cp}} \cdot \frac{\rho_{cu}}{A_w} \cdot [1 + \alpha_{T,cu} \cdot (T_{max} - 20^\circ C)] \quad (2.102)$$

Para encontrar o valor de resistência CA, utilizou-se a razão de resistência CC para CA, dada pela equação de Dowell [34], considerando somente a frequência fundamental da corrente. As expressões (2.103) e (2.104) são usadas para o cálculo da resistência CA considerando o efeito de proximidade e pelicular, onde $d_{w,isol}$ é o diâmetro do fio isolado e n_{cm} é o número de camadas de condutores em um enrolamento.

$$A = \left(\frac{\pi}{4}\right)^{3/4} \cdot \frac{d_w}{\delta_o} \sqrt{\frac{d_w}{d_{w,isol}}} \quad (2.103)$$

$$\begin{aligned} F_r &= \frac{R_{CA}}{R_{CC}} = \\ &= A \left[\frac{\sinh(2A) + \sen(2A)}{\cosh(2A) - \cos(2A)} + \frac{2(n_{cm}^2 \cdot n_{cp} - 1)}{3} \cdot \frac{\sinh(A) - \sen(A)}{\cosh(A) + \cos(A)} \right] \end{aligned} \quad (2.104)$$

Assim, a potência dissipada nos enrolamentos é dada por:

$$P_{d,cu} = R_{CA} \cdot I_{rms}^2 \quad (2.105)$$

Para o cálculo das perdas no núcleo, é utilizada a Equação Geral Aperfeiçoada de Steinmetz, apresentada em (2.106), sendo a variação do fluxo no indutor ressonante do *full-bridge ZVS phase-shift* calculada pela equação (2.107).

$$P_{d,Fe} = V_e \cdot K_c \cdot f^\alpha \cdot \Delta B^\beta \quad (2.106)$$

$$\Delta B = \frac{2 \cdot n \cdot I_o \cdot L_r}{N \cdot A_e} \quad (2.107)$$

Os valores de perda calculados conforme as equações de projeto são apresentados na Tabela 2.57.

Tabela 2.57 – Valores de perda calculados do projeto do indutor ressonante do conversor *full-bridge ZVS phase-shift* carregador

Resistência CC do condutor (R_{CC})	5,94 m Ω
Razão de resistência CC para CA (F_r)	1,37
Resistência CA do condutor (R_{CA})	8,12 m Ω
Perda nos enrolamentos ($P_{d,cu}$)	0,58 W
Perda no núcleo ($P_{d,Fe}$)	7,39 mW
Perdas totais (P_{tot})	0,59 W

Com o projeto em concluído, foi feita a construção do indutor ressonante. O resumo dos aspectos construtivos é apresentado na Tabela 2.58. O núcleo disponível para a construção não possuía entreferro, logo, o valor de indutância foi ajustado conforme as medições feitas no analisador de impedâncias AGILENT 4294A, cujos valores medidos são apresentados na Tabela 2.59. A Figura 2.93 apresenta uma imagem do componente construído.

Tabela 2.58 – Resumo dos aspectos construtivos do indutor ressonante do conversor *full-bridge ZVS phase-shift* carregador.

Núcleo	E55/28/25
Material	EPCOS N87
Condutor	<i>litz</i> 982xAWG41
Número de espiras	8

Tabela 2.59 – Valores medidos no indutor ressonante na frequência de 100 kHz do conversor *full-bridge ZVS phase-shift* carregador.

Indutância ressonante (L_r)	16,99 μ H
Resistência série da indutância ressonante (R_{Lr})	60,56 m Ω

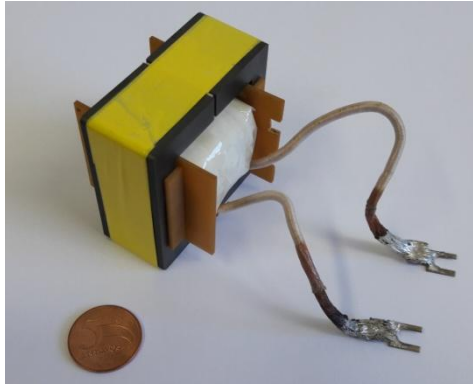


Figura 2.93 – Indutor ressonante utilizado no conversor *full-bridge ZVS phase-shift* carregador.

2.4.1.1.3 Indutor do Filtro de Saída

O indutor do filtro de saída foi projetado baseando-se no mesmo método apresentado na seção 2.4.1.1.2. Já que a corrente no indutor de filtro será praticamente contínua, com uma pequena componente de oscilação no dobro da frequência de comutação do condutor, considera-se que as perdas no cobre serão menores em relação às perdas no núcleo.

Tabela 2.60 – Especificações iniciais para o projeto do indutor de filtro de saída no conversor *full-bridge ZVS phase-shift* carregador.

Indutância desejada (L)	1,744 mH
Frequência de operação (f)	200 kHz
Pico de corrente (\hat{I})	6,652 A
Fator de forma da corrente (K_i)	0,932
Fator de ocupação da janela (k_u)	0,8
Elevação de temperatura (ΔT)	60°C
Razão entre perda no núcleo e perda no cobre (γ)	0

Escolheu-se utilizar o material IP12R do fabricante Thornton. Os parâmetros apresentados na Tabela 2.61 foram retirados da curva de perdas fornecida pelo fabricante.

Tabela 2.61 – Parâmetros do material IP12R do fabricante Thornton.

Ganho da equação de Steinmetz (K_c)	6,9
Coefficiente exponencial de frequência da equação de Steinmetz (α)	1,37
Coefficiente exponencial de variação de campo da equação de Steinmetz (β)	2,602
Valor de saturação do campo magnético (B_{sat})	0,3 T

Considerando o $B_{max} = 0,25$ T, têm-se o valor mínimo do produto de áreas de:

$$A_{p,min} = 11,718 \text{ cm}^4 \quad (2.108)$$

O núcleo escolhido foi o NEE-55/28/21, cujos parâmetros principais estão apresentados na Tabela 2.62.

Tabela 2.62 – Parâmetros do núcleo NEE-55/28/21 do fabricante Thornton

Área efetiva perpendicular ao campo magnético (A_e)	3,54 cm ²
Comprimento efetivo do caminho magnético (l_e)	12 cm
Área da janela (W_a)	3,775 cm ²
Produto de áreas (A_p)	13,29 cm ⁴
Volume do Núcleo (V_e)	85 cm ³
Comprimento médio dos enrolamentos (MLT)	116 mm
Resistência térmica no núcleo (R_θ)	6,508 K/W

Seleciona-se, então, o valor de entreferro a ser utilizado. Os valores máximos e utilizados são apresentados na Tabela 2.63.

Tabela 2.63 – Valores utilizados para a seleção do entreferro do indutor de filtro de saída do *full-bridge ZVS phase-shift* carregador.

Permeabilidade magnética ótima (μ_{opt})	18,891
Entreferro máximo (g_{max})	6,352 mm
Entreferro utilizado (g)	2 mm
Valor de indutância por volta (A_l)	300 nH

Assim, calcula-se o número de voltas necessárias para atingir a indutância desejada utilizando a expressão (2.97). Para o indutor projetado, foi-se calculado $N = 77$. Para o projeto dos enrolamentos, calcula-se a área mínima da seção transversal dos condutores, apresentada na Tabela 2.64.

Tabela 2.64 – Especificações para o projeto do enrolamento do indutor de filtro de saída do conversor *full-bridge ZVS phase-shift*

Densidade de corrente no indutor (J_o)	3,02 A/mm ²
Área mínima da seção transversal do condutor ($A_{w,min}$)	2,09 mm ²

Como a corrente que flui no indutor é praticamente constante, despreza-se o efeito pelicular, utilizando-se um pequeno número de fios sólidos em paralelo. Por esse motivo, também se considera somente a resistência CC no cálculo de perdas. Para esse projeto, foi utilizado o fio AWG20, cujos dados principais estão apresentados na Tabela 2.65.

Tabela 2.65 – Dados do condutor utilizado no indutor de filtro de saída do *full-bridge ZVS phase-shift* carregador

Área de cobre do condutor utilizado (A_w)	0,5176 mm ²
Número de condutores em paralelo utilizado (n_{cp})	5

Os valores de perdas, calculados conforme as equações de projeto mostradas na seção 2.4.1.1.2, são apresentados na Tabela 2.66, onde a variação do fluxo magnético é substituída pela expressão (2.109):

$$\Delta B = \frac{(n \cdot V_{in,max} - V_{o,min}) \cdot D_{ef}}{2 \cdot f_s \cdot N \cdot A_e} \quad (2.109)$$

Tabela 2.66 – Valores de perda calculados do projeto do indutor de filtro de saída do conversor *full-bridge ZVS phase-shift* carregador

Resistência CC do condutor (R_{CC})	78,19 mΩ
Perda nos enrolamentos ($P_{d,cu}$)	3,007 W
Perda no núcleo ($P_{d,Fe}$)	0,498 W
Perdas totais (P_{tot})	3,506 W

Com o projeto concluído, foi feita a construção do indutor de saída. O resumo dos aspectos construtivos é apresentado na Tabela 2.67. O núcleo disponível para a construção não possuía entreferro, logo, o valor de indutância foi ajustado conforme as medições feitas no analisador de impedâncias AGILENT 4294A, cujos valores medidos são apresentados na Tabela 2.68, onde a indutância foi medida na frequência de 200 kHz e a resistência em 30 Hz. A Figura 2.94 apresenta uma imagem do componente construído.

Tabela 2.67 – Resumo dos aspectos construtivos do indutor do filtro de saída do conversor *full-bridge ZVS phase-shift* carregador.

Núcleo	NEE-55/28/21
Material	Thornton IP12R
Condutor	AWG20
Número de condutores em paralelo	5
Número de espiras	77

Tabela 2.68 – Valores medidos no indutor de filtro de saída do conversor *full-bridge ZVS phase-shift* carregador.

Indutância de saída (L_o)	1,64 mH
Resistência série da indutância de saída (R_{L_o})	90 m Ω

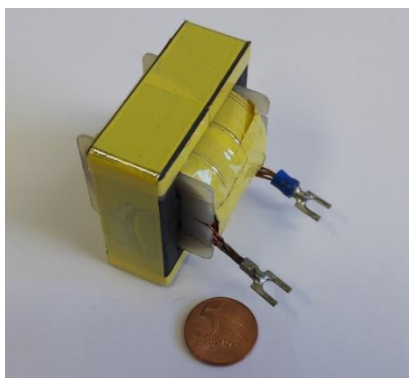


Figura 2.94 – Indutor de filtro de saída utilizado no conversor *full-bridge ZVS phase-shift* carregador.

2.4.1.2 Circuitos Auxiliares

A seguir serão mostrados os circuitos auxiliares, usados para acionar os interruptores, medir as variáveis a serem controladas, condicionar os sinais medidos e implementar as lógicas de controle. Por simplicidade e para se adequar aos materiais disponíveis, optou-se por alimentar os circuitos com uma fonte externa de 5 V e utilizar um regulador linear AMS1117 de 3,3 V para alimentar os dispositivos lógicos utilizados no controle. Foram utilizados componentes com montagem *through-hole* por sua disponibilidade e facilidade de montagem e prototipação.

2.4.1.2.1 Circuito de acionamento dos interruptores

Por conter uma estrutura em ponte, a topologia utilizada necessita de circuitos de acionamento isolados. Foram utilizados os circuitos desenvolvidos e apresentados por [35], alimentados em 5 V e capazes de acionar os interruptores com tensão positiva de 20 V e tensão de bloqueio de -5 V.

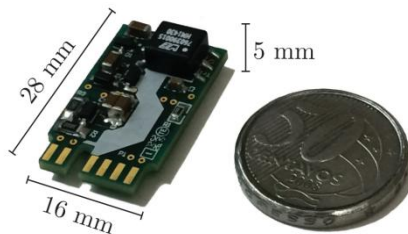


Figura 2.95 – Circuito de acionamento utilizado. Retirado de [35]

Para fazer a transição dos níveis de tensão do dispositivo lógico utilizado com o circuito de acionamento e fornecer a corrente necessária para acionar o optoacoplador do circuito de acionamento, foi utilizado o *buffer* lógico *tri-state* SN54HC126.

2.4.1.2.2 Sensores e circuitos de condicionamento

Para o monitoramento da corrente de saída, foi utilizado o sensor de corrente efeito Hall com saída em tensão HXP 20-NP do fabricante

LEM, mostrado na Figura 2.96. O sensor é alimentado com tensão de 5 V e, de acordo com a ligação dos seus terminais, pode medir correntes eficazes até 20 A com valores de pico até 60 A. Nesse projeto, foi utilizada a configuração do valor eficaz da corrente nominal igual 5 A e de pico de 15 A, que resulta em um ganho de 1/8 A/V.



Figura 2.96 – Sensor de corrente HXP 20-NP do fabricante LEM.

O sensor utilizado possui um *offset* de tensão de 2,5 V para possibilitar a medição de correntes negativas. Como a topologia não permite o fluxo de corrente negativa devido à ponte retificadora, um circuito subtrator composto por amplificadores operacionais foi adicionado, utilizando a referência de tensão fornecida pelo próprio componente. Para aumentar a resolução da corrente medida, o filtro de medição de corrente foi projetado com um ganho de 1,8.

O projeto do filtro passa-baixas de segunda ordem foi realizado através do software FilterPro da *Texas Instruments*. Foi selecionada a topologia *Sallen-Key* utilizando componentes de tolerância E12. Devido a limitação dos valores de componentes, o filtro utilizado divergiu levemente daquele apresentado na seção 2.3.1.2, por isso foram calculados novas constantes para a equação diferença utilizando a função transferência do filtro *Sallen-Key*. A Figura 2.97 retirada do software FilterPro mostra a topologia e os componentes utilizados.

O amplificador operacional utilizado foi o MCP6004 do fabricante *Microchip*, alimentado com tensão de 5 V. Como medida de proteção para o conversor analógico-digital, um diodo zener 1N4728 com tensão de grameamento de 3,3 V e um resistor para limite de corrente foi adicionado. O circuito completo de aquisição é mostrado na Figura 2.98.

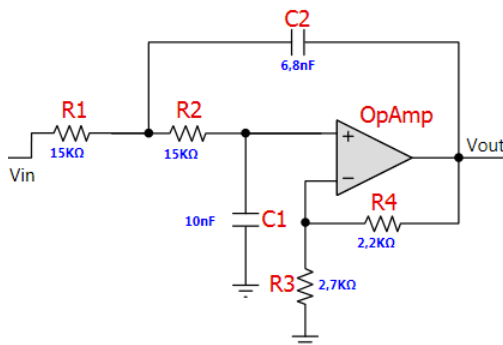


Figura 2.97 – Topologia utilizada no filtro de medição de corrente. Retirado do software FilterPro.

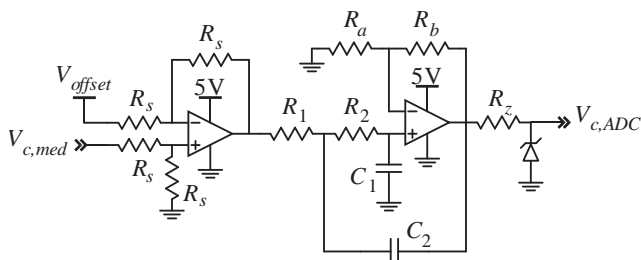


Figura 2.98 – Circuito de condicionamento utilizado para a aquisição do sinal de corrente

2.4.1.2.3 Dispositivo lógico-programável

Com o intuito controlar o conversor e considerando uma eventual implementação de um protocolo de comunicação, foi usado um *kit* de desenvolvimento contendo um microcontrolador TMS320F28069 do fabricante *Texas Instruments*, que contem registradores de 32 *bits*, lógica aritmética em ponto flutuante nativa, *clock* de 90 MHz, 16 conversores analógico-digitais com 12 *bits* de resolução e 16 módulos de *PWM* no total, com *timers* individuais. A Figura 2.99 mostra o *kit* utilizado.



Figura 2.99 – Kit de desenvolvimento LAUNCHXL-F28069 do fabricante *Texas Instruments*.

2.4.1.3 Protótipo construído

O protótipo foi construído em uma única placa de circuito impresso, apoiada em um dissipador de alumínio onde estão fixados os semicondutores de potência e em que se apoiam os elementos magnéticos, assegurando a dissipação de calor desses componentes. Para diminuir o efeito da indutância parasita das trilhas, foram adicionados capacitores de 10 μF em paralelo com cada braço da ponte ativa. Uma placa auxiliar é adicionada ao kit de desenvolvimento para poder controlar a entrada e saída de operação.

A Figura 2.100 mostra uma imagem do conversor construído nesse projeto.

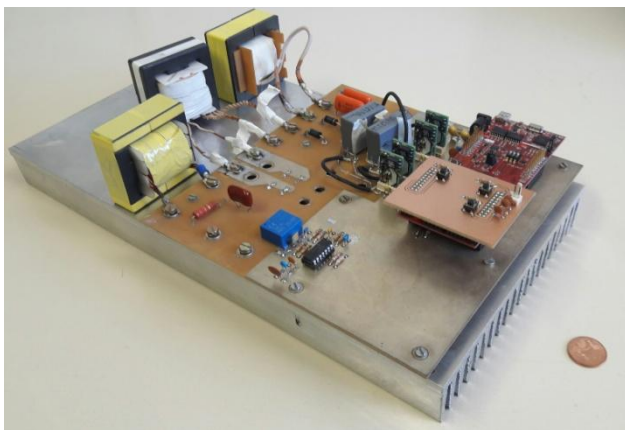


Figura 2.100 – Protótipo *full-bridge ZVS phase-shift* carregador construído

2.4.2 Full-bridge ZVS phase-shift SCV

Nessa seção serão apresentados os métodos de projeto utilizados para a construção dos elementos magnéticos e a descrição dos circuitos auxiliares do conversor CC-CC *full-bridge ZVS phase-shift SCV*. Finalmente, apresenta-se o conversor construído.

2.4.2.1 Elementos magnéticos

Baseando-se na experiência do conversor construído anteriormente, uma nova metodologia para o projeto do transformador e para o cálculo de perdas em alta frequência nos enrolamentos foi utilizada. Da mesma forma que o anterior, foram utilizados núcleos “E” e condutores *litz* para os componentes que operam com corrente em alta frequência. Foram utilizados somente núcleos do fabricante Thornton com material IP12R.

2.4.2.1.1 Transformador

O método de projeto utilizado para a construção do transformador, baseado naquele apresentado por [33], consiste em, a partir das especificações do transformador e do material escolhido no núcleo, calcular a densidade de fluxo ótima B_o . A partir desse valor, calcula-se o produto de áreas mínimo $A_{p,min}$, usado para limitar o tamanho do núcleo escolhido. Com os valores do núcleo escolhido, calcula-se o número de voltas dos enrolamentos e, com base nos cálculos da densidade de corrente J_o , é feito dimensionamento dos condutores dos enrolamentos. A partir do projeto, são calculadas as perdas no transformador. A Figura 2.101 mostra as etapas do projeto.

A principal especificação de um transformador é a sua classificação de potência ΣVA . Para isso, calcula-se a potência de saída do transformador e o fator de potência em cada um dos seus enrolamentos que, no conversor em questão, é dado pelas equações (2.110) e (2.111):

$$P_o = n \cdot V_{in} \cdot I_o \cdot D_{ef} \quad (2.110)$$

$$k_p = k_s = \frac{P_o}{V_{prim,rms} \cdot I_{prim,rms}} \quad (2.111)$$

A classificação de potência para o conversor estudado, considerando 5% de folga e a queda de tensão dos diodos retificadores é dada por:

$$\Sigma VA = 1,05 \cdot \frac{2}{k_p} (V_{o,max} + V_F) \cdot I_o \quad (2.112)$$

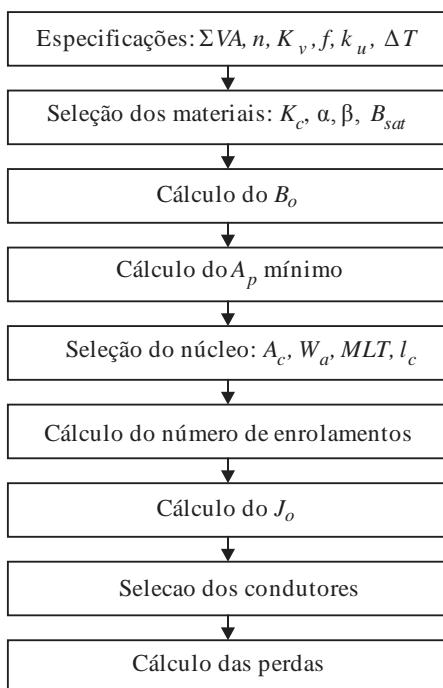


Figura 2.101 – Fluxograma para o projeto do transformador. Adaptado de [33].

O fator de forma da tensão no transformador para esse conversor é dado por:

$$K_v = \frac{4}{\sqrt{D_{ef}}} \quad (2.113)$$

Assim, utilizando as expressões apresentadas e os requisitos do conversor, calculam-se as especificações iniciais, apresentadas na Tabela 2.69.

Tabela 2.69 - Especificações iniciais para o projeto do transformador do conversor *full-bridge ZVS phase-shift* carregador.

Classificação de potência (ΣVA)	4.677,29 VA
Relação de transformação (n)	2
Fator de forma da tensão (K_v)	4,637
Frequência de operação (f)	100 kHz
Fator de ocupação da janela (k_u)	0,6
Elevação de temperatura (ΔT)	60°C

O material escolhido foi o IP12R da Thornton, cujos parâmetros apresentados na Tabela 2.61.

Adicionalmente, são necessárias algumas constantes dependentes da forma do transformador. Para um transformador de núcleo “E”, conforme [33], as constantes são dadas na Tabela 2.70.

Tabela 2.70 – Coeficientes de forma para núcleos do tipo “E”.

Coeficiente de transferência de calor por convecção (h_c)	10 W/(K·m ²)
Coeficiente da área de superfície do transformador (k_a)	40
Coeficiente de volume dos enrolamentos (k_w)	10
Coeficiente de volume do núcleo (k_c)	5,6
Fator de empilhamento do núcleo (k_f)	1

Assim, calcula-se o valor da densidade de fluxo ótima, dada pela expressão (2.114).

$$B_o = \frac{(h_c \cdot k_a \cdot \Delta T)^{\frac{2}{3}}}{2^{\frac{2}{3}} \cdot (\rho_w \cdot k_w \cdot k_u)^{\frac{1}{12}} \cdot (k_c \cdot K_c \cdot f^\alpha)^{\frac{7}{12}}} \cdot \left(\frac{K_v \cdot f \cdot k_f \cdot k_u}{\Sigma VA} \right)^{\frac{1}{6}} \quad (2.114)$$

Para esse projeto, o valor da densidade de fluxo ótima é $B_o = 53,205$ mT, abaixo do valor de saturação do material. Para esse caso, utiliza-se a equação (2.115) para o cálculo do produto de áreas, considerando-se que $B_{max} = 2B_o$.

$$A_{p,min} = \left(\frac{\sqrt{2} \cdot \Sigma VA}{K_v \cdot f \cdot B_{max} \cdot k_f \cdot K_t \cdot \sqrt{k_u \cdot \Delta T}} \right)^{8/7} \quad (2.115)$$

O valor de produto de áreas mínimo calculado foi de $A_{p,min} = 5,767$ cm⁴. Foi escolhido o núcleo NEE-65/33/26, cujos parâmetros estão apresentados na Tabela 2.71.

Tabela 2.71 – Parâmetros do núcleo NEE-65/33/26 do fabricante Thornton

Área efetiva perpendicular ao campo magnético (A_e)	5,32 cm ²
Comprimento efetivo do caminho magnético (l_e)	14,7 cm
Área da janela (W_a)	3,7 cm ²
Produto de áreas (A_p)	19,684 cm ⁴
Volume do Núcleo (V_e)	156,4 cm ³
Comprimento médio dos enrolamentos (MLT)	148 mm
Resistência térmica no núcleo (R_θ)	4,798 K/W

Com o núcleo escolhido, é feito o projeto dos enrolamentos. O número de espiras do primário N_{prim} é calculado pela equação (2.116) e o do secundário é calculado utilizando a razão de transformação especificada. A densidade de corrente ótima para que haja divisão igualitária entre as perdas no cobre e no núcleo é dada na expressão (2.118), contudo o valor encontrado foi considerado muito baixo e decidiu-se usar uma densidade de corrente $J_o = 450$ A/cm². Os valores utilizados para o projeto do enrolamento do transformador estão apresentados na Tabela 2.72.

$$N_{prim} = \frac{V_{prim,rms}}{K_v \cdot B_{max} \cdot A_c \cdot f} \quad (2.116)$$

$$N_{sec} = n \cdot N_{prim} \quad (2.117)$$

$$J_{o,opt} = K_t \sqrt{\frac{\Delta T}{2 \cdot k_u}} \cdot \frac{1}{\sqrt[3]{A_p}} \quad (2.118)$$

Tabela 2.72 – Especificações para o projeto do enrolamento do transformador do conversor *full-bridge ZVS phase-shift SCV*.

Número de espiras no enrolamento primário (N_{prim})	9
Número de espiras no enrolamento secundário (N_{sec})	18
Densidade de corrente ótima ($J_{o,opt}$)	234,96 A/cm ²
Densidade de corrente utilizada (J_o)	450 A/cm ²
Área mínima da seção transversal do condutor no primário ($A_{wp,min}$)	2,24 mm ²
Área mínima da seção transversal do condutor no secundário ($A_{ws,min}$)	1,12 mm ²

Para diminuir os efeitos de perda por proximidade e com intuito de diminuir a indutância de dispersão do transformados, já que a sobretensão causada pela comutação dos diodos de saída poderiam alcançar níveis proibitivos, foram utilizados condutores AWG32 em paralelo distribuídos em camadas intercaladas com a largura de um condutor como apresentado no esquema mostrado na Figura 2.102. A comparação dos requisitos calculados e os parâmetros dos condutores utilizados são apresentados na Tabela 2.73.

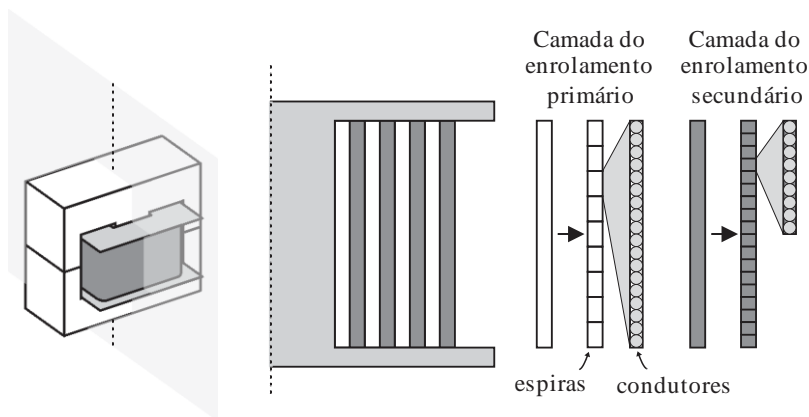


Figura 2.102 – Disposição das camadas do enrolamento do transformador do conversor *full-bridge ZVS phase-shift SCV*.

Tabela 2.73 – Requisitos calculados e dados do condutor utilizado no transformador do *full-bridge ZVS phase-shift SCV*.

Profundidade de penetração do efeito pelicular (δ_o)	0,209 mm
Raio do condutor utilizado (r_w)	0,2 mm
Área de cobre do condutor utilizado (A_w)	0,032 mm ²
Número mínimo de condutores em paralelo no primário ($n_{cprim,min}$)	70
Número de condutores utilizados em paralelo no primário (n_{cprim})	72
Número mínimo de condutores em paralelo no secundário ($n_{csec,min}$)	35
Número de condutores utilizados em paralelo no secundário (n_{csec})	36

Para o cálculo de perdas, utilizam-se as mesmas equações de Dowell apresentadas na 2.4.1.1.2, mas são consideradas todas as harmônicas, calculando uma razão de resistência CC para CA para cada uma das frequências harmônicas. As perdas no núcleo é calculado pela equação (2.106), sendo a variação do fluxo dada por:

$$\Delta B = 2B_o \quad (2.119)$$

Na Tabela 2.74 apresentam-se os valores de perda calculados.

Tabela 2.74 – Valores de perda calculados do projeto do transformador do conversor *full-bridge ZVS phase-shift SCV*.

Resistência CC do enrolamento primário ($R_{CC,prim}$)	13 mΩ
Resistência CC do enrolamento secundário ($R_{CC,sec}$)	52,02 mΩ
Perda nos enrolamentos ($P_{d,cu}$)	15,37 W
Perda no núcleo ($P_{d,Fe}$)	3,7 W
Perdas totais (P_{tot})	19,1 W

Com o projeto completo, foi feita a construção do transformador. Os aspectos construtivos discutido nessa subseção estão apresentados na Tabela 2.75.

Tabela 2.75 – Aspectos construtivos do transformador do conversor *full-bridge ZVS phase-shift SCV*.

Núcleo	NEE-65/33/28
Material	Thornton IP12R
Condutor Primário	AWG32
Condutores em paralelo no primário	4x18
Espiras no primário	9
Camadas no primário	4
Condutor Secundário	AWG32
Condutores em paralelo no secundário	4x9
Espiras no secundário	18
Camadas no secundário	4

Com o componente construído, foram feitas medições de impedância para determinação das indutâncias de dispersão e magnetizante, bem como das resistências série de cada enrolamento, considerando o modelo T do transformador. Durante as medições, foi constatado que a frequência de ressonância do transformador estava próxima da frequência fundamental de operação do transformador, efeito do aumento da capacitância causada pelo intercalamento das camadas. Para mitigar esse problema, foi adicionado um pequeno entreferro ao transformador, o que por sua vez diminuiu a sua indutância

magnetizante. Os valores medidos no ensaio do transformador são apresentados na Tabela 2.76.

Tabela 2.76 – Valores medidos no ensaio do transformador do conversor *full bridge zvs phase-shift SCV*.

$L_{oc,1}$	155,07 μH
$L_{oc,2}$	620,68 μH
$L_{sc,1}$	110,14 nH
$L_{sc,2}$	408,21 nH
$R_{sc,1}$	16,54 m Ω
$R_{sc,2}$	77,4 m Ω

Utilizando o método de cálculo para obtenção do modelo “T” apresentado na seção 2.4.1.1.1, os valores apresentados na Tabela 2.27 são obtidos. Percebe-se que a indutância de dispersão calculada é extremamente pequena, atingindo o objetivo do intercalamento de camadas. As perdas calculadas foram conservadoras, não sendo reproduzidas na prática, onde o transformador chegou a regime térmico com menos de 20°C de elevação de temperatura. A Figura 2.103 apresenta uma imagem do componente construído.

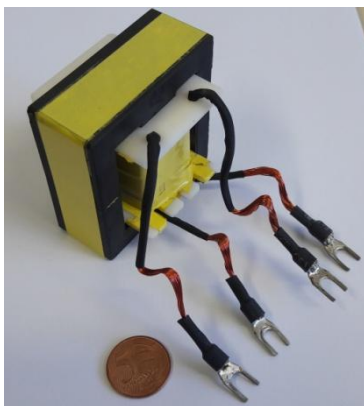


Figura 2.103 – Transformador utilizado no conversor *full-bridge ZVS phase-shift SCV*.

2.4.2.1.2 Indutor Ressonante

O projeto do indutor ressonante é feito utilizando o mesmo método apresentado na seção 2.4.1.1.2. Na Tabela 2.77 são apresentadas as especificações iniciais para o projeto. Ao considerar somente a disponibilidade do material IP12R do fabricante Thornton, decidiu-se diminuir a razão entre perda do núcleo e a perda no cobre para esse projeto. Os parâmetros do material foram apresentados na Tabela 2.61.

Tabela 2.77 – Especificações iniciais para o projeto do indutor ressonante do conversor *full-bridge ZVS phase-shift SCV*.

Indutância desejada (L)	7,818 μH
Frequência de operação (f)	100 kHz
Pico de corrente (\hat{I})	10,53 A
Fator de forma da corrente (K_i)	0,957
Fator de ocupação da janela (k_u)	0,6
Elevação de temperatura (ΔT)	60°C
Razão entre perda no núcleo e perda no cobre (γ)	0,5

Considerando o $B_{max} = 0,2$ T, têm-se o valor mínimo do produto de áreas de:

$$A_{p,min} = 0,134 \text{ cm}^4 \quad (2.120)$$

O núcleo escolhido foi o NEE-55/28/21, cujos parâmetros principais estão apresentados na Tabela 2.78.

Tabela 2.78 – Parâmetros do núcleo NEE-55/28/21 do fabricante Thornton

Área efetiva perpendicular ao campo magnético (A_e)	3,54 cm^2
Comprimento efetivo do caminho magnético (l_e)	12 cm
Área da janela (W_a)	2,5 cm^2
Produto de áreas (A_p)	8,85 cm^4
Volume do Núcleo (V_e)	85 cm^3
Comprimento médio dos enrolamentos (MLT)	116 mm
Resistência térmica no núcleo (R_θ)	6,508 K/W

A partir do valor de entreferro máximo, seleciona-se o valor de indutância por volta de acordo com o entreferro disponível dado pelo fabricante. No caso do núcleo utilizado para esse indutor, os valores estão apresentados a seguir:

Tabela 2.79 – Valores utilizados para a seleção do entreferro do indutor ressonante do *full-bridge ZVS phase-shift* SCV.

Permeabilidade magnética ótima (μ_{opt})	21,959
Entreferro máximo (g_{max})	5,465 mm
Entreferro utilizado (g)	2,85 mm
Valor de indutância por volta (A_l)	220 nH

Assim, calcula-se o número de voltas necessárias para atingir a indutância desejada utilizando a expressão (2.97). Para o indutor projetado, foi calculado $N = 6$. Para o projeto dos enrolamentos, calcula-se a área mínima da seção transversal dos condutores, apresentada na Tabela 2.80.

Tabela 2.80 – Especificações para o projeto do enrolamento do indutor de filtro de saída do conversor *full-bridge ZVS phase-shift* SCV.

Densidade de corrente no indutor (J_o)	2.998 A/mm ²
Área mínima da seção transversal do condutor ($A_{w,min}$)	3,361 mm ²

Foi utilizado um condutor *litz* de 982xAWG41. A comparação entre os requisitos calculados e os dados do condutor utilizado é apresentada na Tabela 2.81.

Tabela 2.81 – Requisitos calculados e dados do condutor utilizado no indutor ressonante do *full-bridge ZVS phase-shift* SCV.

Profundidade de penetração do efeito pelicular (δ_o)	0,209 mm
Raio do condutor utilizado (r_w)	0,035 mm
Área de cobre do condutor utilizado (A_w)	0,004 mm ²
Número mínimo de condutores em paralelo ($n_{cp,min}$)	841
Número de condutores em paralelo utilizado (n_{cp})	982

Os valores de perda calculados conforme as equações de projeto utilizando o método de Dowell apresentado na seção 2.4.2.1.1 são apresentados na Tabela 2.82.

Tabela 2.82 – Valores de perda calculados do projeto do indutor ressonante do conversor *full-bridge ZVS phase-shift* SCV.

Resistência CC do condutor (R_{CC})	4,019 m Ω
Perda nos enrolamentos ($P_{d,cu}$)	0,921 W
Perda no núcleo ($P_{d,Fe}$)	0,776 W
Perdas totais (P_{tot})	1,697 W

Com o projeto em mãos, foi feita a construção do indutor ressonante. O resumo dos aspectos construtivos é apresentado na Tabela 2.83. O núcleo disponível para a construção não possuía entreferro, logo, o valor de indutância foi ajustado conforme as medições feitas no analisador de impedâncias AGILENT 4294A, cujos valores medidos são apresentados na Tabela 2.84. A Figura 2.104 apresenta uma imagem do componente construído.

Tabela 2.83 – Resumo dos aspectos construtivos do indutor ressonante do conversor *full-bridge ZVS phase-shift* SCV.

Núcleo	E55/28/21
Material	Thornton IP12R
Condutor	<i>litz</i> 982xAWG41
Número de espiras	6

Tabela 2.84 – Valores medidos no indutor ressonante na frequência de 100 kHz do conversor *full-bridge ZVS phase-shift* SCV.

Indutância ressonante (L_r)	7,796 μ H
Resistência série da indutância ressonante (R_{Lr})	10,954 m Ω

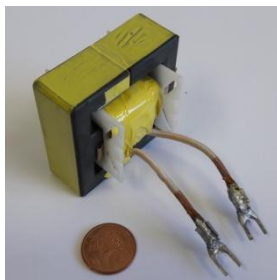


Figura 2.104 – Indutor ressonante utilizado no conversor *full-bridge ZVS phase-shift SCV*.

2.4.2.1.3 Indutor do Filtro de Saída

O indutor do filtro de saída foi projetado utilizando o mesmo método apresentado na seção 2.4.1.1.3. A Tabela 2.85 mostra as especificações iniciais para o projeto do indutor.

Tabela 2.85 – Especificações iniciais para o projeto do indutor de filtro de saída no conversor *full-bridge ZVS phase-shift SCV*.

Indutância desejada (L)	1,99 mH
Frequência de operação (f)	200 kHz
Pico de corrente (\hat{I})	5,263 A
Fator de forma da corrente (K_i)	0,933
Fator de ocupação da janela (k_u)	0,8
Elevação de temperatura (ΔT)	60°C
Razão entre perda no núcleo e perda no cobre (γ)	0

Escolheu-se utilizar o material IP12R do fabricante Thornton. Os parâmetros apresentados na Tabela 2.61 foram retirados da curva de perdas fornecida pelo fabricante.

Considerando o $B_{max} = 0,2$ T, têm-se o valor mínimo do produto de áreas de:

$$A_{p,min} = 10,298 \text{ cm}^4 \quad (2.121)$$

O núcleo escolhido foi o NEE-65/33/26, cujos parâmetros principais estão apresentados na Tabela 2.71.

Seleciona-se, então, o valor de entreferro a ser utilizado. Os valores máximos e utilizados são apresentados na Tabela 2.86.

Tabela 2.86 – Valores utilizados para a seleção do entreferro do indutor de filtro de saída do *full-bridge ZVS phase-shift* SCV.

Permeabilidade magnética ótima (μ_{opt})	18,1
Entreferro máximo (g_{max})	8,12 mm
Entreferro utilizado (g)	1 mm
Valor de indutância por volta (A_l)	500 nH

Assim, calcula-se o número de voltas necessárias para atingir a indutância desejada utilizando a expressão (2.97). Para o indutor projetado, foi calculado $N = 64$. Para o projeto dos enrolamentos, calcula-se a área mínima da seção transversal dos condutores, apresentada na Tabela 2.87.

Tabela 2.87 – Especificações para o projeto do enrolamento do indutor de filtro de saída do conversor *full-bridge ZVS phase-shift* SCV

Densidade de corrente no indutor (J_o)	2,88 A/mm ²
Área mínima da seção transversal do condutor ($A_{w,min}$)	1,74 mm ²

Como a corrente que flui no indutor é praticamente constante, despreza-se o efeito pelicular, utilizando-se um pequeno número de fios sólidos em paralelo. Por esse motivo, também se considera somente a resistência CC no cálculo de perdas. Para esse projeto, foi utilizado o fio AWG20, cujos dados principais estão apresentados na Tabela 2.88.

Tabela 2.88 – Dados do condutor utilizado no indutor de filtro de saída do *full-bridge ZVS phase-shift* SCV.

Área de cobre do condutor utilizado (A_w)	0,517 mm ²
Número de condutores em paralelo utilizado (n_{cp})	4

Os valores de perda calculados conforme as equações de projeto são apresentados na Tabela 2.89.

Tabela 2.89 – Valores de perda calculados do projeto do indutor de filtro de saída do conversor *full-bridge ZVS phase-shift* SCV.

Resistência CC do condutor (R_{CC})	103,05 m Ω
Perda nos enrolamentos ($P_{d,cu}$)	2,48 W
Perda no núcleo ($P_{d,Fe}$)	0,34 W
Perdas totais (P_{tot})	3,82 W

Com o projeto em mãos, foi feita a construção do indutor ressonante. O resumo dos aspectos construtivos é apresentado na Tabela 2.90. O núcleo disponível para a construção não possuía entreferro, logo, o valor de indutância foi ajustado conforme as medições feitas no analisador de impedâncias AGILENT 4294A, cujos valores medidos são apresentados na Tabela 2.91, onde a indutância foi medida na frequência de 200 kHz e a resistência em 30 Hz. A Figura 2.105 apresenta uma imagem do componente construído.

Tabela 2.90 – Resumo dos aspectos construtivos do indutor do filtro de saída do conversor *full-bridge ZVS phase-shift* SCV.

Núcleo	NEE-65/33/26
Material	Thornton IP12R
Condutor	AWG20
Número de condutores em paralelo	4
Número de espiras	64

Tabela 2.91 – Valores medidos no indutor de filtro de saída do conversor *full-bridge ZVS phase-shift* SCV.

Indutância de saída (L_o)	2 mH
Resistência série da indutância de saída (R_{L_o})	75 m Ω

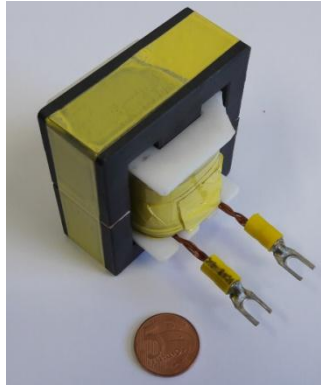


Figura 2.105 – Indutor de filtro de saída utilizado no conversor *full-bridge ZVS phase-shift SCV*.

2.4.2.1.4 Indutor do Filtro de Entrada

O indutor do filtro de entrada foi projetado utilizando o mesmo método apresentado na seção 2.4.1.1.3. A Tabela 2.92 mostra as especificações iniciais para o projeto do indutor.

Tabela 2.92 – Especificações iniciais para o projeto do indutor de filtro de entrada no conversor *full-bridge ZVS phase-shift SCV*.

Indutância desejada (L)	50 μH
Frequência de operação (f)	200 kHz
Pico de corrente (\hat{I})	8,572 A
Fator de forma da corrente (K_i)	1
Fator de ocupação da janela (k_u)	0,8
Elevação de temperatura (ΔT)	60°C
Razão entre perda no núcleo e perda no cobre (γ)	0

Escolheu-se utilizar o material IP12R do fabricante Thornton. Os parâmetros apresentados na Tabela 2.61 foram retirados da curva de perdas fornecida pelo fabricante.

Considerando o $B_{max} = 0,2$ T, têm-se o valor mínimo do produto de áreas de:

$$A_{p,min} = 0,505 \text{ cm}^4 \quad (2.122)$$

O núcleo escolhido foi o NEE-30/15/7, cujos parâmetros principais estão apresentados na Tabela 2.93.

Tabela 2.93 – Parâmetros do núcleo NEE-30/15/7 do fabricante Thornton

Área efetiva perpendicular ao campo magnético (A_e)	1,22 cm ²
Comprimento efetivo do caminho magnético (l_e)	6,7 cm
Área da janela (W_a)	1,193 cm ²
Produto de áreas (A_p)	1,456 cm ⁴
Volume do Núcleo (V_e)	16,348 cm ³
Comprimento médio dos enrolamentos (MLT)	56 mm
Resistência térmica no núcleo (R_θ)	14,839 K/W

Seleciona-se, então, o valor de entreferro a ser utilizado. Os valores máximos e utilizados são apresentados na Tabela 2.94.

Tabela 2.94 – Valores utilizados para a seleção do entreferro do indutor de filtro de saída do *full-bridge ZVS phase-shift* SCV.

Permeabilidade magnética ótima (μ_{opt})	16,842
Entreferro máximo (g_{max})	3,978 mm
Entreferro utilizado (g)	0,35 mm
Valor de indutância por volta (A_l)	200 nH

Assim, calcula-se o número de espiras necessárias para atingir a indutância desejada utilizando a expressão (2.97). Para o indutor projetado, foi calculado o valor de $N = 16$. Para o projeto dos enrolamentos, calcula-se a área mínima da seção transversal dos condutores, apresentada na Tabela 2.95.

Tabela 2.95 – Especificações para o projeto do enrolamento do indutor de filtro de entrada do conversor *full-bridge ZVS phase-shift* SCV

Densidade de corrente no indutor (J_o)	3,985 A/mm ²
Área mínima da seção transversal do condutor ($A_{w,min}$)	2,151 mm ²

Como a corrente que flui no indutor é praticamente constante, despreza-se o efeito pelicular, utiliza-se um pequeno número de fios sólidos em paralelo. Por esse motivo, também se considera somente a

resistência CC no cálculo de perdas. Para esse projeto, foi utilizado o fio AWG24, cujos dados principais estão apresentados na Tabela 2.96.

Tabela 2.96 – Dados do condutor utilizado no indutor de filtro de entrada do *full-bridge ZVS phase-shift SCV*.

Área de cobre do condutor utilizado (A_w)	0,2047 mm ²
Número de condutores em paralelo utilizado (n_{cp})	11

Os valores de perda calculados conforme as equações de projeto são apresentados na Tabela 2.97.

Tabela 2.97 – Valores de perda calculados do projeto do indutor de filtro de entrada do conversor *full-bridge ZVS phase-shift SCV*.

Resistência CC do condutor (R_{CC})	8,954 mΩ
Perda nos enrolamentos ($P_{d,cu}$)	0,658 W
Perda no núcleo ($P_{d,Fe}$)	0,054 W
Perdas totais (P_{tot})	0,711 W

Com o projeto em mãos, foi feita a construção do indutor ressonante. O resumo dos aspectos construtivos é apresentado na Tabela 2.98. O núcleo disponível para a construção não possuía entreferro, logo, o valor de indutância foi ajustado conforme as medições feitas no analisador de impedâncias AGILENT 4294A, cujos valores medidos são apresentados na Tabela 2.99, onde a indutância foi medida na frequência de 200 kHz e a resistência em 30 Hz. A Figura 2.106 apresenta uma imagem do componente construído.

Tabela 2.98 – Resumo dos aspectos construtivos do indutor do filtro de entrada do conversor *full-bridge ZVS phase-shift SCV*.

Núcleo	NEE-30/15/7
Material	Thornton IP12R
Condutor	AWG24
Número de condutores em paralelo	11
Número de espiras	16

Tabela 2.99 – Valores medidos no indutor de filtro de entrada do conversor *full-bridge ZVS phase-shift SCV*.

Indutância do filtro de entrada (L_f)	49,39 μH
Resistência série da indutância do filtro de entrada (R_{L_f})	75 $\text{m}\Omega$

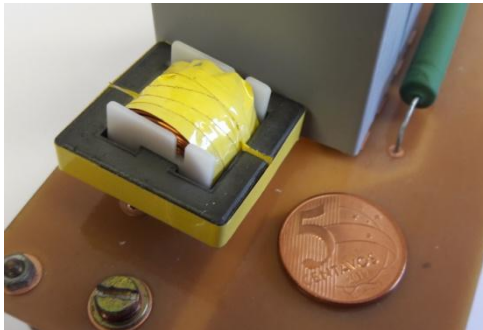


Figura 2.106 – Indutor de filtro de entrada utilizado no conversor *full-bridge ZVS phase-shift SCV*.

2.4.2.2 Circuitos auxiliares

A seguir são mostrados os circuitos auxiliares utilizados no conversor construído. Os circuitos de acionamento, medição de corrente e os dispositivos lógicos programáveis usados são os mesmos apresentados na seção 2.4.1.2, com a adição de uma medição de tensão feita por divisores resistivos, que será apresentada a seguir.

O valor de ganho de tensão em um divisor resistivo é dado pela equação (2.123). Nessa aplicação deseja-se reduzir a tensão de saída do conversor para 3,3 V. A equação (2.124) mostra o valor para que essa tensão seja alcançada, considerando um valor de tensão de saída 60% maior que o nominal. Os valores escolhidos para os resistores do divisor resistivo estão apresentados na Tabela 2.100.

$$k_{mv} = \frac{R_{m,2}}{R_{m,1} + R_{m,2}} \quad (2.123)$$

$$k_{mv} = \frac{3,3V}{1,6 \cdot V_{o,FB_SCV}} = 0,005428 \quad (2.124)$$

Tabela 2.100 – Valores de resistência utilizados no divisor resistivo para monitoramento da tensão de saída

Resistência de medição 1 ($R_{m,1}$)	2 k Ω
Resistência de medição 2 ($R_{m,2}$)	390 k Ω

O projeto do filtro passa-baixas de segunda ordem foi realizado através do software FilterPro da *Texas Instruments*. Foi selecionada a topologia *Sallen-Key* utilizando componentes de tolerância E12. Devido a limitação dos valores de componentes, o filtro utilizado divergiu levemente daquele apresentado na seção 2.3.2.1, por isso foram calculadas novas constantes para a equação diferença utilizando a função transferência do filtro *Sallen-Key*.

A Figura 2.108 apresenta o circuito completo de aquisição.

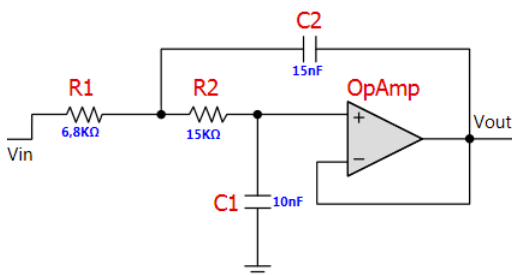


Figura 2.107 - Topologia utilizada no filtro de medição de tensão. Retirado do software FilterPro.

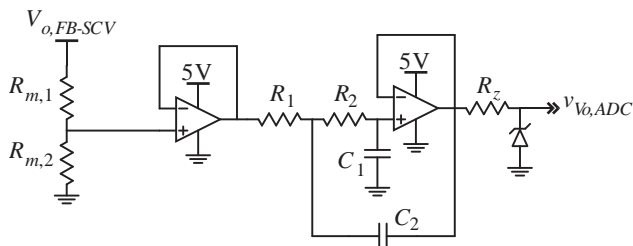


Figura 2.108 – Circuito de condicionamento utilizado para a aquisição do sinal de tensão

2.4.2.3 Protótipo construído

Nesse protótipo construído, o filtro de entrada foi mantido em uma placa separada e o capacitor eletrolítico do filtro de saída foi montado no cabo de saída da placa principal, contudo os capacitores de filtro de alta frequência foram montados na placa principal. Da mesma maneira que o conversor anterior, adicionou-se uma placa no *kit* de desenvolvimento para controlar a entrada e a saída de operação do conversor.

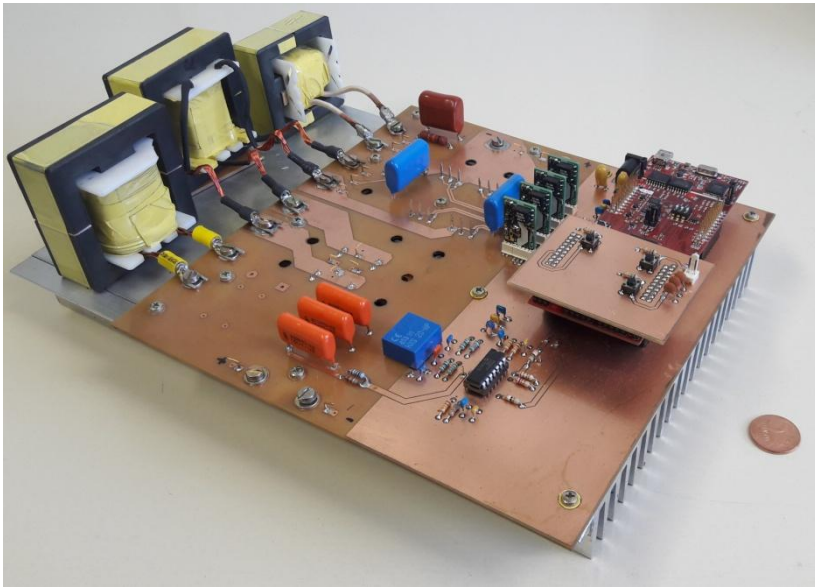


Figura 2.109 – Protótipo *full-bridge ZVS phase-shift SCV* construído

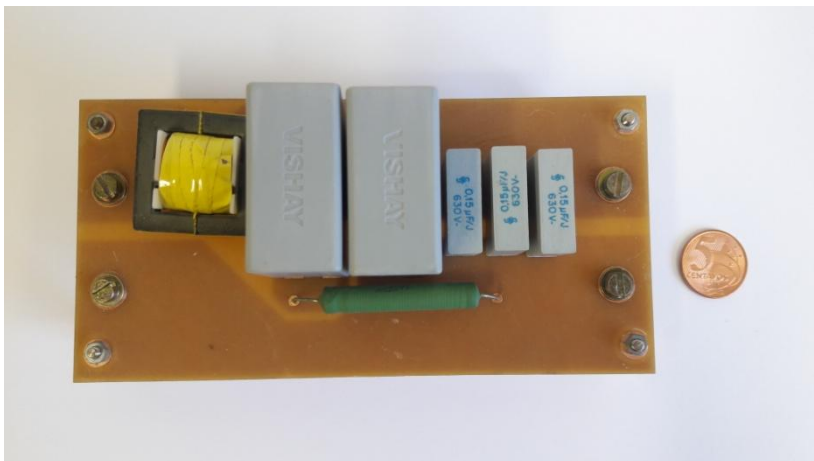


Figura 2.110 – Filtro de entrada do protótipo *full-bridge ZVS phase-shift SCV* construído

3 RESULTADOS EXPERIMENTAIS

Nesse capítulo serão apresentados os resultados experimentais do sistema projetado.

Devido à complexidade da implementação de um inversor, visto que o tempo necessário de pesquisa e desenvolvimento não seriam adequados para a conclusão de uma dissertação de mestrado, e a falta de disponibilidade de equipamentos que pudessem ser utilizados como inversor na configuração apresentada por esse trabalho, foi decidido que os resultados experimentais não incluiriam a conversão CC-CA. Uma carga resistiva de 72Ω foi inserida no barramento CC, drenando em torno de 2 kW. A Figura 3.1 mostra um esquema do sistema em teste e a Figura 3.2 e a Figura 3.3 mostram as instalações usadas para os testes.

Na ocasião dos ensaios feitos, somente 10 bancos de baterias estavam disponíveis para uso, limitando a variação de tensão de 210 V a 287 V, com valor nominal de 240 V. Por esse motivo, foi utilizado um conversor bidirecional entre os conversores projetados e o banco de bateria. O conversor intermediário foi configurado para manter a tensão em 300 V e todos os ensaios apresentados foram feitos considerando essa tensão de operação.

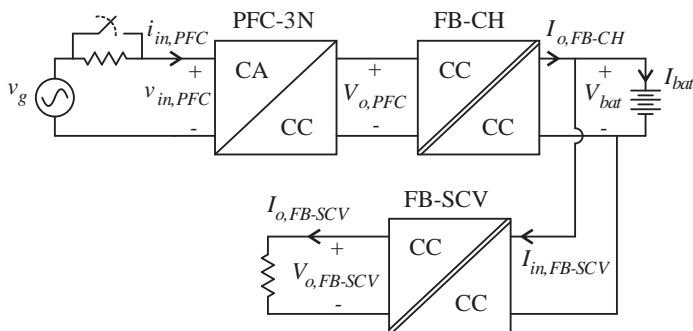


Figura 3.1 – Esquema do sistema testado.

As formas de onda apresentadas na Figura 3.4 até a Figura 3.6 mostram dois períodos de comutação do conversor *full-bridge ZVS phase-shift* carregador. Cada Figura representa uma aquisição feita no osciloscópio, e podem ser comparadas tomando como base a corrente no indutor ressonante $I_{Lr,FB-CH}$.

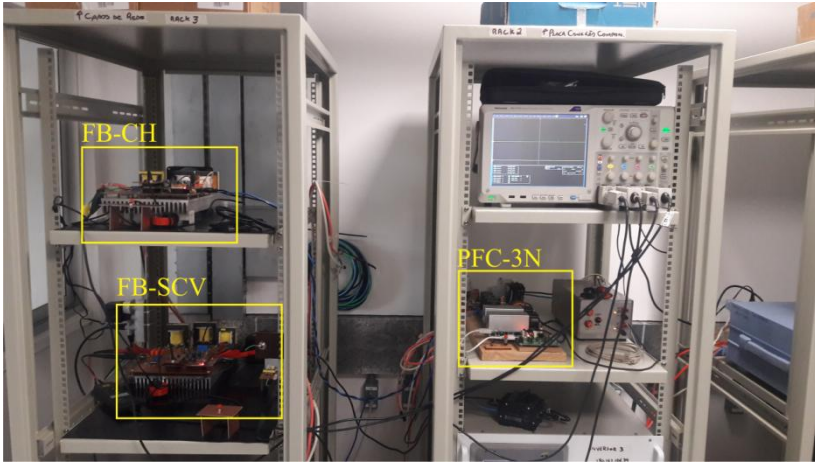


Figura 3.2 – Instalação usada pra os testes dos protótipos.

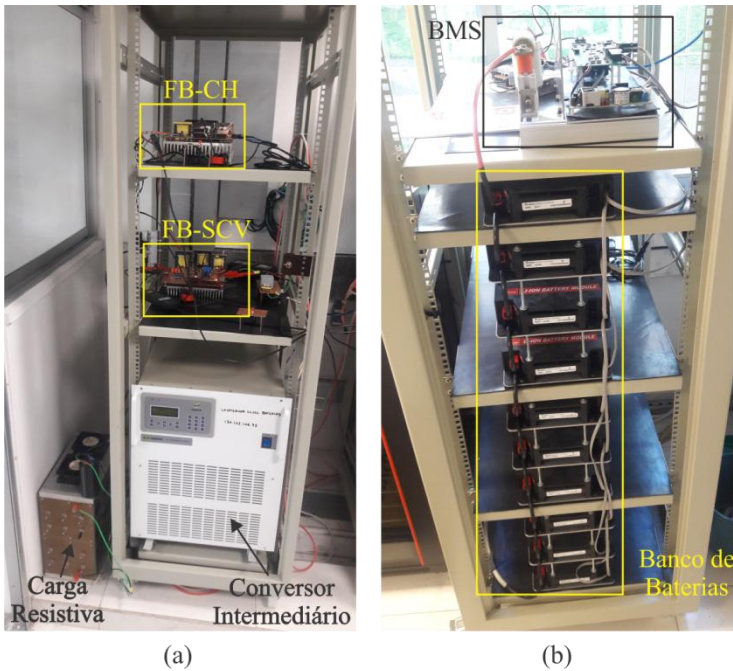


Figura 3.3 – Elementos extras utilizados nos testes e banco de bateria utilizado.

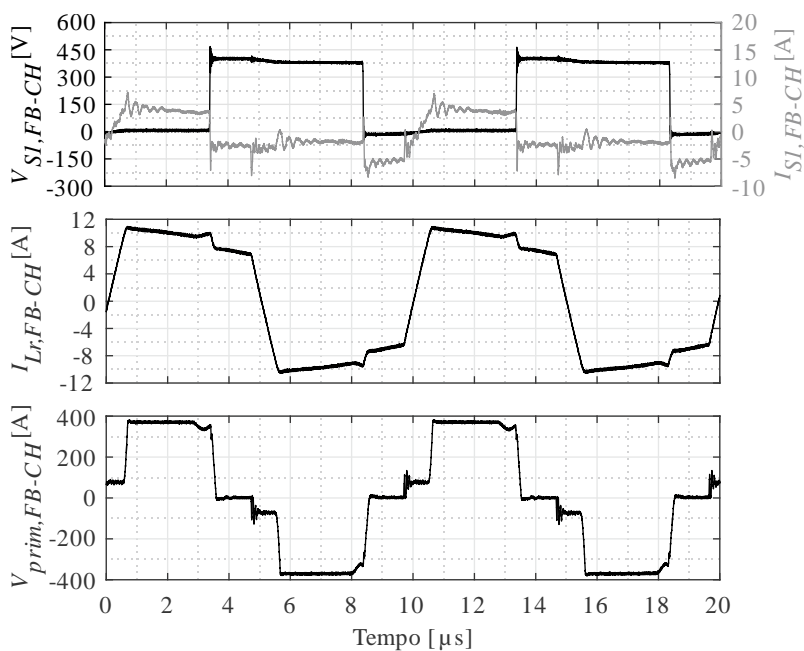


Figura 3.4 – Formas de onda experimentais no interruptor S1 do conversor *full-bridge ZVS phase-shift* carregador

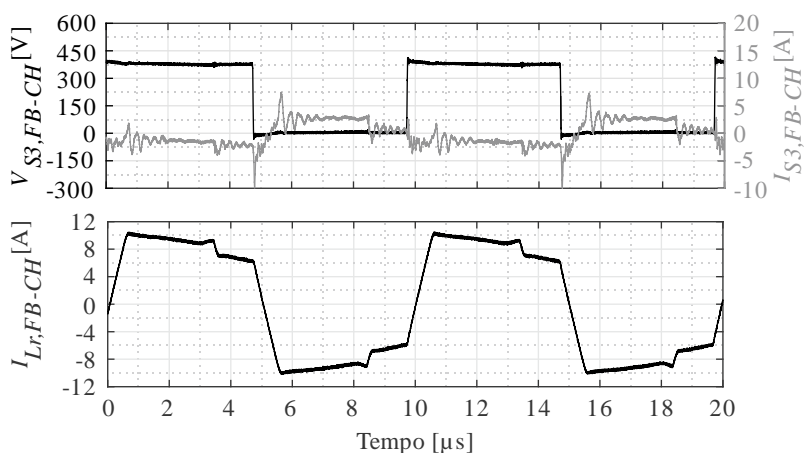


Figura 3.5 – Formas de onda experimentais no interruptor S3 do conversor *full-bridge ZVS phase-shift* carregador

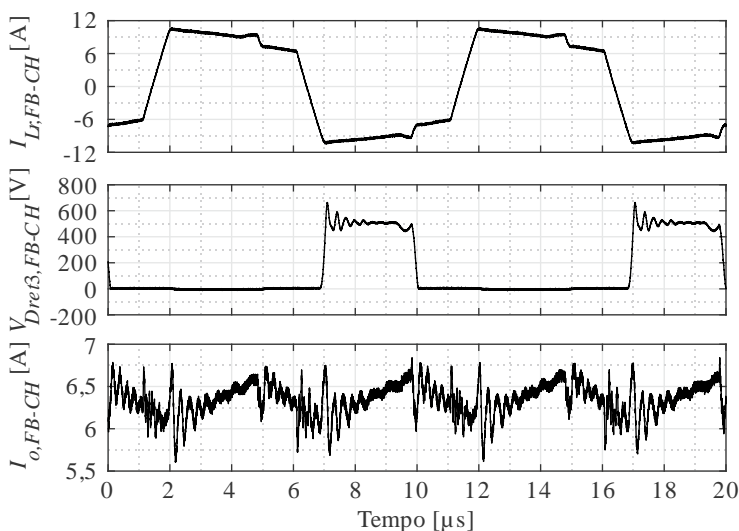


Figura 3.6 – Formas de onda experimentais mostrando a corrente de saída do conversor *full-bridge ZVS phase-shift* carregador

A corrente nos interruptores foi medida usando uma sonda do tipo *Rogowski*, impossibilitando a medida do nível CC presente nessa forma de onda. Adicionalmente essa medição apresenta ruídos devido às emissões eletromagnéticas causado pela comutação forçada dos diodos de saída. Contudo, percebe-se que a forma de onda é similar àquela apresentada na Figura 2.42. Percebe-se também que a corrente de saída do conversor apresenta uma oscilação de segunda ordem, proveniente da comutação forçada dos diodos da ponte retificadora.

Na Figura 3.7 e na Figura 3.8 são apresentadas as formas de onda experimentais do subsistema de carregamento. As formas de onda são semelhantes àquelas simuladas na seção 2.3.1.3, também apresentando a ondulação de 120 Hz na corrente de saída, devido à baixa frequência de corte do controle.

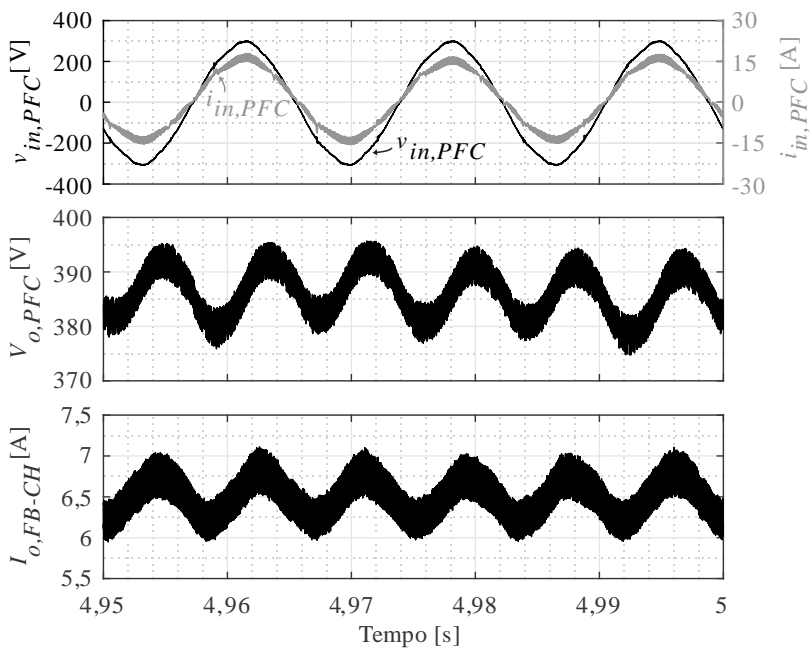


Figura 3.7 – Formas de onda experimentais em regime do subsistema carregador da bateria.

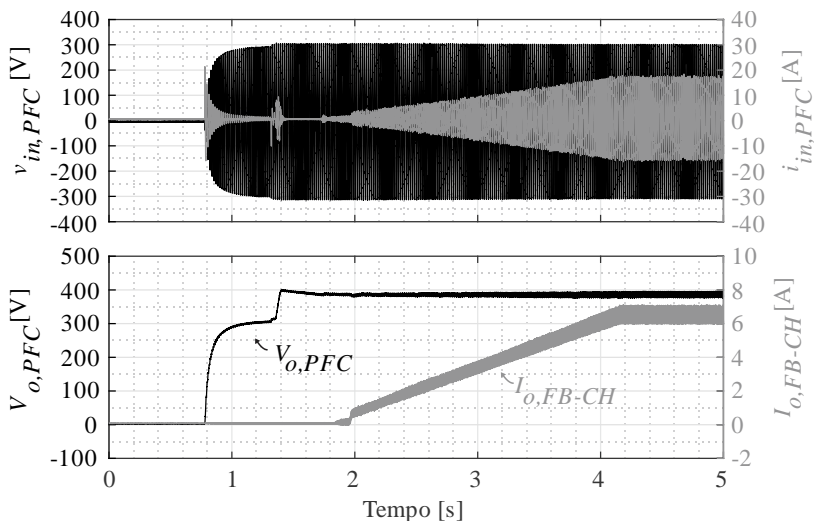


Figura 3.8 – Formas de onda experimentais da partida do subsistema carregador da bateria.

As formas de onda mostradas nas Figura 3.9 a Figura 3.11 mostram dois períodos de comutação do conversor *full-bridge ZVS phase-shift SCV*. Os pontos de cada figura foram adquiridos em medições separadas e podem ser comparados ao observar a forma de onda da corrente $I_{Lr,FB-SCV}$. Não foi possível fazer a medição de corrente nesse conversor, mas ao observar o sinal de comando do interruptor e a tensão aplicada, percebe-se que a entrada em condução é suave.

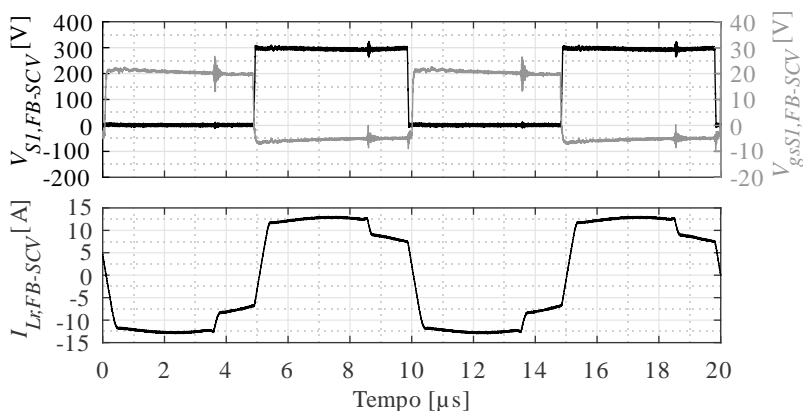


Figura 3.9 – Formas de onda experimentais no interruptor S1 do conversor *full-bridge ZVS phase-shift SCV*

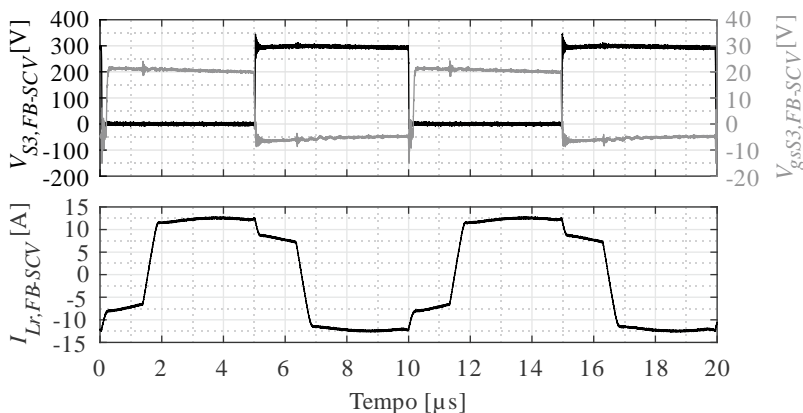


Figura 3.10 – Formas de onda experimentais no interruptor S3 do conversor *full-bridge ZVS phase-shift SCV*

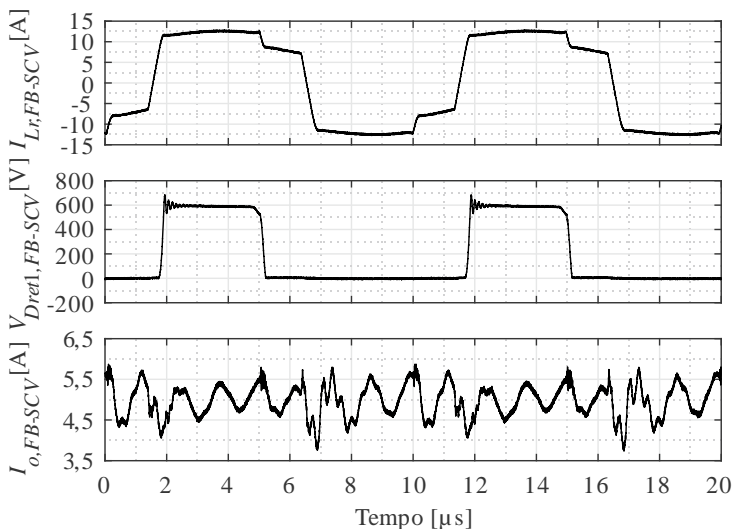


Figura 3.11 – Formas de onda experimentais mostrando a corrente de saída do conversor *full-bridge ZVS phase-shift SCV*

A corrente de saída do conversor, mostrada na Figura 3.11, apresentou uma oscilação pouco amortecida, provavelmente causada pela ressonância dos capacitores destinados a filtragem de alta frequência montados na placa principal do conversor. Foi possível perceber que a sobretensão na ponte retificadora foi bastante reduzida, devido principalmente ao valor de indutância de dispersão do transformador ser baixo.

A Figura 3.12 mostra a partida em rampa do conversor. Percebe-se que a corrente de entrada do conversor foi filtrada, restando somente a sua componente média.

Finalmente, a Figura 3.13 apresenta a transição do carregamento e a partida do conversor *full-bridge ZVS phase-shift SCV*, emulando a entrada no modo conectado ou modo isolado. Como não foi possível utilizar um inversor como carga do conversor *full-bridge ZVS phase-shift SCV*, não foi observada a oscilação de frequência de 120 Hz na corrente de saída da bateria.

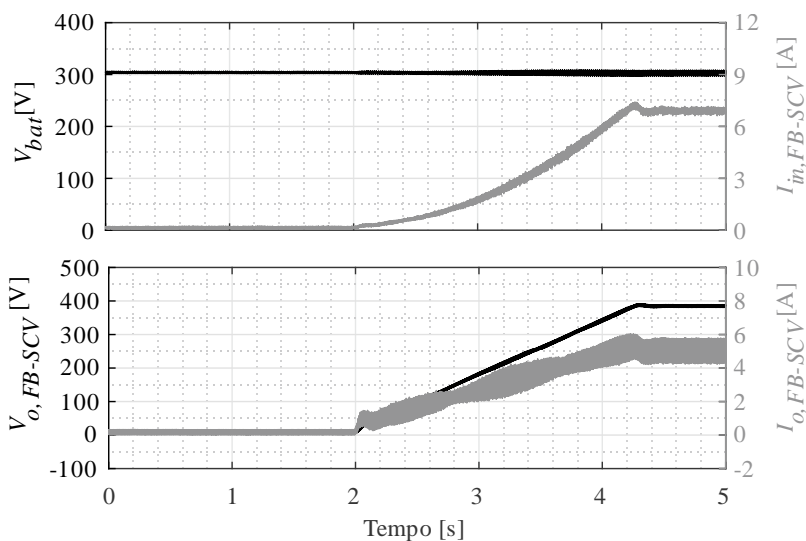


Figura 3.12 – Formas de onda experimentais da partida do conversor *full-bridge ZVS phase-shift SCV*.

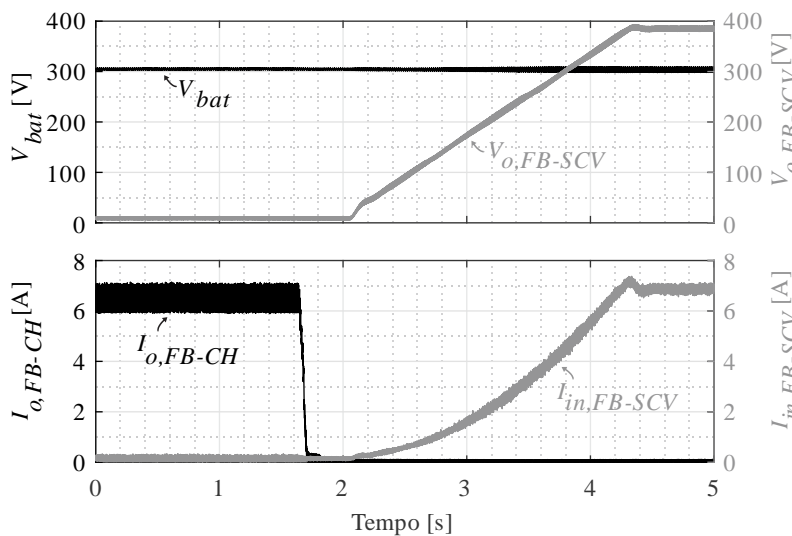


Figura 3.13 – Formas de onda experimentais da transição entre o carregamento da bateria e a partida do conversor *full-bridge ZVS phase-shift SCV*.

4 CONCLUSÕES E CONSIDERAÇÕES FINAIS

Neste trabalho, foi apresentado um conceito de dispositivo externo ao veículo elétrico que integra características *V2H* a um veículo elétrico com conectores tipo combo. Tal configuração tem como vantagem dispensar a utilização de conversores bidirecionais internos ao veículo, diminuindo custo, peso e complexidade associados ao veículo. Adicionalmente, ao usar uma solução com dois estágios para a conexão com a rede, existe a oportunidade para a integração de geração de energia renovável local, aumentando as funcionalidades do sistema.

Foram feitos projetos e simulações dos conversores de potência integrantes ao sistema e foram simulados os modos de operação do sistema de acordo com os requisitos de funcionamento. Foram construídos protótipos para a verificação experimental e foram retirados resultados experimentais dos protótipos construídos.

No capítulo 1, apresentou-se uma introdução ao contexto da utilização de veículos elétricos como armazenamento de energia e a sua importância, considerando as tendências de eletrificação de veículos e o aumento da penetração de fontes de energia renováveis e intermitentes na rede elétrica. Tendo em mente o estado da arte da tecnologia, apresenta-se o sistema proposto e, levando em conta uma aplicação residencial, são levantados os requisitos para a operação do sistema.

No capítulo 2, é descrito o projeto do sistema, considerando o tipo de conversores de potência utilizados e níveis de tensão e de potência. É feita uma breve revisão do funcionamento, modelagem e equacionamento das topologias escolhidas e são descritas suas metodologias de projeto. Após o embasamento teórico, é feito o projeto de cada conversor, juntamente com os projetos de controle, sendo apresentados os resultados de simulação obtidos. Em seguida, mostra-se o procedimento usado para a construção dos conversores CC-CC, seus projetos de elementos magnéticos e circuitos auxiliares.

No capítulo 3 são apresentados os resultados experimentais dos protótipos construídos, descrevendo a instalação utilizada e mostrando as formas de onda adquiridas nos testes práticos.

Devido a complexidade do sistema, não foi possível construir o sistema completo. O estágio inversor do sistema não foi implementado, impossibilitando os testes de injeção na rede e de modo ilhado, fundamentais para o funcionamento do sistema proposto. Além disso, algumas técnicas de controle dos conversores CC-CC poderiam ser melhoradas, compensando a ondulação de baixa frequência da corrente

nas baterias. Apesar disso, foram desenvolvidos protótipos que podem servir de base para estudos futuros.

Como continuidade do trabalho, a implementação do estágio inversor é essencial para que haja um sistema base construído, em que se possam fazer mais testes, incluindo cargas não lineares e outros tipos de cenários de teste, bem como a implementação de funcionalidades extras como compensação de potência reativa. A integração com microgeração de energia em forma de painéis solares é o próximo passo natural, adicionando mais funcionalidades ao sistema. Finalmente, o desenvolvimento de um sistema de comunicação e um controle supervisão possibilitaria o desenvolvimento de uma tomada de decisão automática e/ou controle remoto do sistema, garantindo um uso otimizado dos recursos disponíveis.

REFERÊNCIAS

- [1] T. A. Becker, I. Sidhu, e B. Tenderich, “Electric vehicles in the United States: a new model with forecasts to 2030”.
- [2] CAMEX, “Resolução N^o 97, de 26 de Outubro de 2015.”, 26-out-2015. [Online]. Disponível em: <http://camex.gov.br/uncategorised/62-resolucoes-da-camex/em-vigor/1564-resolucao-n-97-de-26-de-outubro-de-2015>. [Acessado: 16-nov-2017].
- [3] K. J. Dyke, N. Schofield, e M. Barnes, “The Impact of Transport Electrification on Electrical Networks”, *IEEE Trans. Ind. Electron.*, vol. 57, n^o 12, p. 3917–3926, dez. 2010.
- [4] C. Europeia, “Directiva 2009/28/CE do Parlamento Europeu e do Conselho de 23 de abril de 2009 relativa à promoção da utilização de energia proveniente de fontes renováveis que altera e subsequentemente revoga as Directivas 2001/77/CE e 2003/30/CE”, *J. Of. União Eur.*, vol. 5, 2009.
- [5] C. Liu, K. T. Chau, D. Wu, e S. Gao, “Opportunities and Challenges of Vehicle-to-Home, Vehicle-to-Vehicle, and Vehicle-to-Grid Technologies”, *Proc. IEEE*, vol. 101, n^o 11, p. 2409–2427, nov. 2013.
- [6] L. Cheng, Y. Chang, e R. Huang, “Mitigating Voltage Problem in Distribution System With Distributed Solar Generation Using Electric Vehicles”, *IEEE Trans. Sustain. Energy*, vol. 6, n^o 4, p. 1475–1484, out. 2015.
- [7] W. Kempton e J. Tomić, “Vehicle-to-grid power implementation: From stabilizing the grid to supporting large-scale renewable energy”, *J. Power Sources*, vol. 144, n^o 1, p. 280–294, 2005.
- [8] V. Monteiro, B. Exposto, J. C. Ferreira, e J. L. Afonso, “Improved Vehicle-to-Home (iV2H) Operation Mode: Experimental Analysis of the Electric Vehicle as Off-Line UPS”, *IEEE Trans. Smart Grid*, vol. 8, n^o 6, p. 2702–2711, nov. 2017.
- [9] X. Zhou, S. Lukic, S. Bhattacharya, e A. Huang, “Design and control of grid-connected converter in bi-directional battery charger for Plug-in hybrid electric vehicle application”, in *2009 IEEE Vehicle Power and Propulsion Conference*, 2009, p. 1716–1721.
- [10] A. K. Verma, B. Singh, e D. T. Shahani, “Grid to vehicle and vehicle to grid energy transfer using single-phase bidirectional AC-DC converter and bidirectional DC-DC converter”, in *2011*

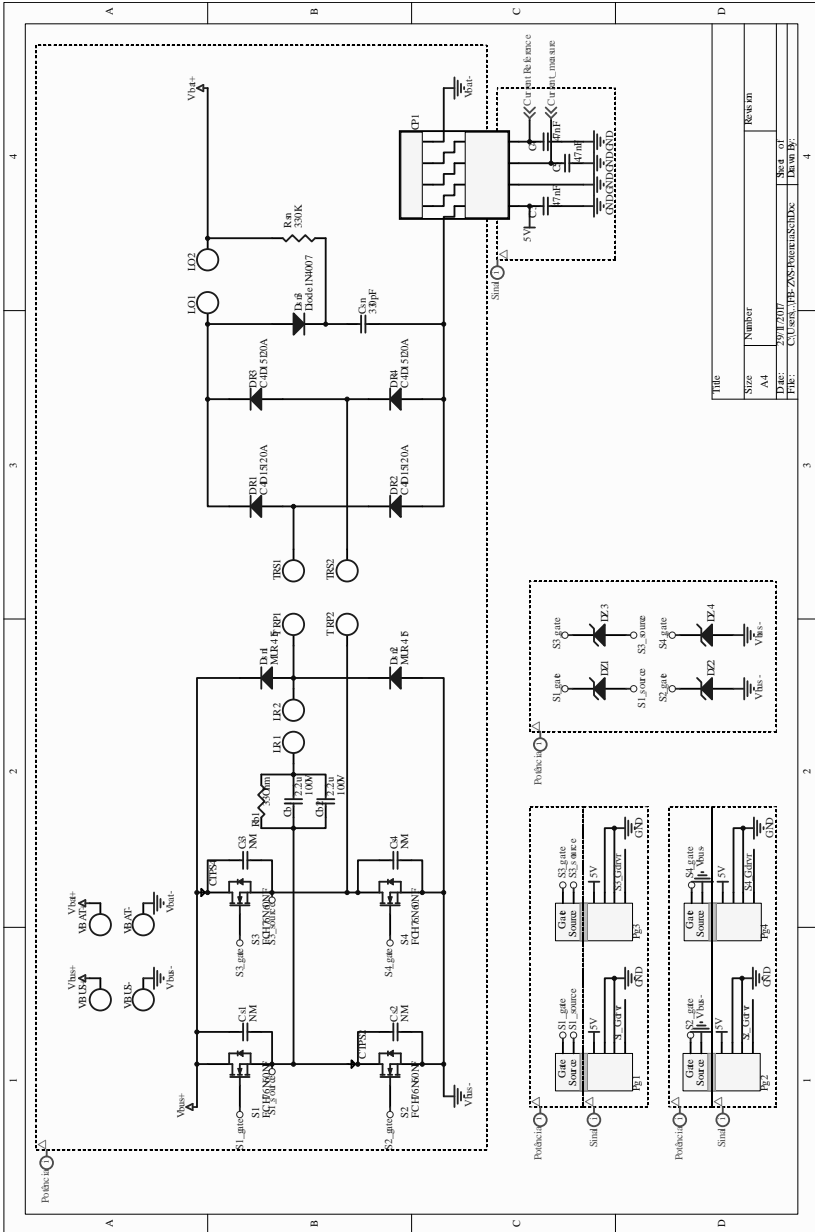
- International Conference on Energy, Automation and Signal*, 2011, p. 1–5.
- [11] Y. Liu e S. C. Mitchem, “Implementation of V2G technology using DC Fast Charging”, in *2013 International Conference on Connected Vehicles and Expo (ICCVE)*, 2013, p. 734–735.
- [12] T. Bohn e H. Chaudhry, “Overview of SAE standards for plug-in electric vehicle”, in *2012 IEEE PES Innovative Smart Grid Technologies (ISGT)*, 2012, p. 1–7.
- [13] M. Yilmaz e P. T. Krein, “Review of Battery Charger Topologies, Charging Power Levels, and Infrastructure for Plug-In Electric and Hybrid Vehicles”, *IEEE Trans. Power Electron.*, vol. 28, n° 5, p. 2151–2169, maio 2013.
- [14] L. S. de S. Pelegrino, M. L. Heldwein, e G. Waltrich, “Low-intrusion vehicle-to-home concept”, in *2016 International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles International Transportation Electrification Conference (ESARS-ITEC)*, 2016, p. 1–6.
- [15] “Níveis de Tensão - Abradee - Associação Brasileira de Distribuidores de Energia Elétrica”. [Online]. Disponível em: <http://www.abradee.com.br/setor-de-distribuicao/niveis-de-tensao>. [Acessado: 11-set-2017].
- [16] “Cell, Module, and Pack for EV Applications | Automotive Energy Supply Corporation”. [Online]. Disponível em: http://www.eco-aesc-lb.com/en/product/liion_ev/. [Acessado: 11-set-2017].
- [17] “Green Car Congress: The Battery Pack for Mitsubishi i MiEV”. [Online]. Disponível em: <http://www.greencarcongress.com/2008/05/the-battery-pac.html>. [Acessado: 11-set-2017].
- [18] “24Vdc Lithium Ion Battery”, *Beckett Energy Systems*, 15-jan-2014. .
- [19] Empresa de Pesquisa Energética, “Resenha Mensal do Mercado de Energia Elétrica”, jun. 2017.
- [20] J. Jiang e C. Zhang, *Fundamentals and Application of Lithium-ion Batteries in Electric Drive Vehicles*. John Wiley & Sons, 2015.
- [21] D. S. Gautam, F. Musavi, M. Edington, W. Eberle, e W. G. Dunford, “An Automotive Onboard 3.3-kW Battery Charger for PHEV Application”, *IEEE Trans. Veh. Technol.*, vol. 61, n° 8, p. 3466–3474, out. 2012.

- [22] A. D. B. Lange, T. B. Soeiro, M. S. Ortmann, e M. L. Heldwein, “Three-Level Single-Phase Bridgeless PFC Rectifiers”, *IEEE Trans. Power Electron.*, vol. 30, n° 6, p. 2935–2949, jun. 2015.
- [23] X. Ruan e F. Liu, “An improved ZVS PWM full-bridge converter with clamping diodes”, in *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*, 2004, vol. 2, p. 1476–1481 Vol.2.
- [24] R. F. Coelho, “Concepção, análise e implementação de uma microrrede interligada à rede elétrica para alimentação ininterrupta de cargas CC a partir de fontes renováveis”, Tese de doutorado, 2013.
- [25] M. L. Heldwein, “Unidade Retificadora Trifásica de Alta Potência e Alto Desempenho para Aplicação em Centrais de Telecomunicações”, Dissertação de Mestrado, Universidade Federal de Santa Catarina, 1999.
- [26] R. W. Erickson e D. Maksimović, *Fundamentals of power electronics*, 2nd ed. Norwell, Mass: Kluwer Academic, 2001.
- [27] E. M. Lourenço, “Análise e projeto de compensadores para conversores Full-Bridge-ZVS-PWM-PS”, Dissertação de Mestrado, Universidade Federal de Santa Catarina, 1994.
- [28] A. D. B. Lange, “Retificador PFC monofásico PWM bridgeless três-níveis de alto desempenho.”, Dissertação de Mestrado, Universidade Federal de Santa Catarina, 2012.
- [29] S. Buso e P. Mattavelli, *Digital control in power electronics*, 1. ed. San Rafael, Calif.: Morgan & Claypool, 2006.
- [30] I. Barbi e F. P. Souza, “Conversores CC-CC isolados de alta frequência com comutação suave”, 1999.
- [31] “Seminar 1400 Topic 2 APDX Estimating MOSFET Parameters from the Data Sheet”, Texas Instruments, 2002.
- [32] F. B. M. van Horck, *A treatise on Magnetics and Power Electronics*. Technische Universiteit Eindhoven, 2008.
- [33] W. G. Hurley e W. H. Wölfle, *Transformers and inductors for power electronics: theory, design and applications*. Chichester, West Sussex: Wiley-Blackwell, 2013.
- [34] M. K. Kazimierczuk, *High-frequency magnetic components*, Second edition. Chichester, Sussex: John Wiley & Sons, 2014.
- [35] L. J. C. B. Camurça Neto, “Sistema de conversão de energia eólica de alta eficiência utilizando o conversor delta tipo-T e minimização das perdas da máquina baseada em modelo”,

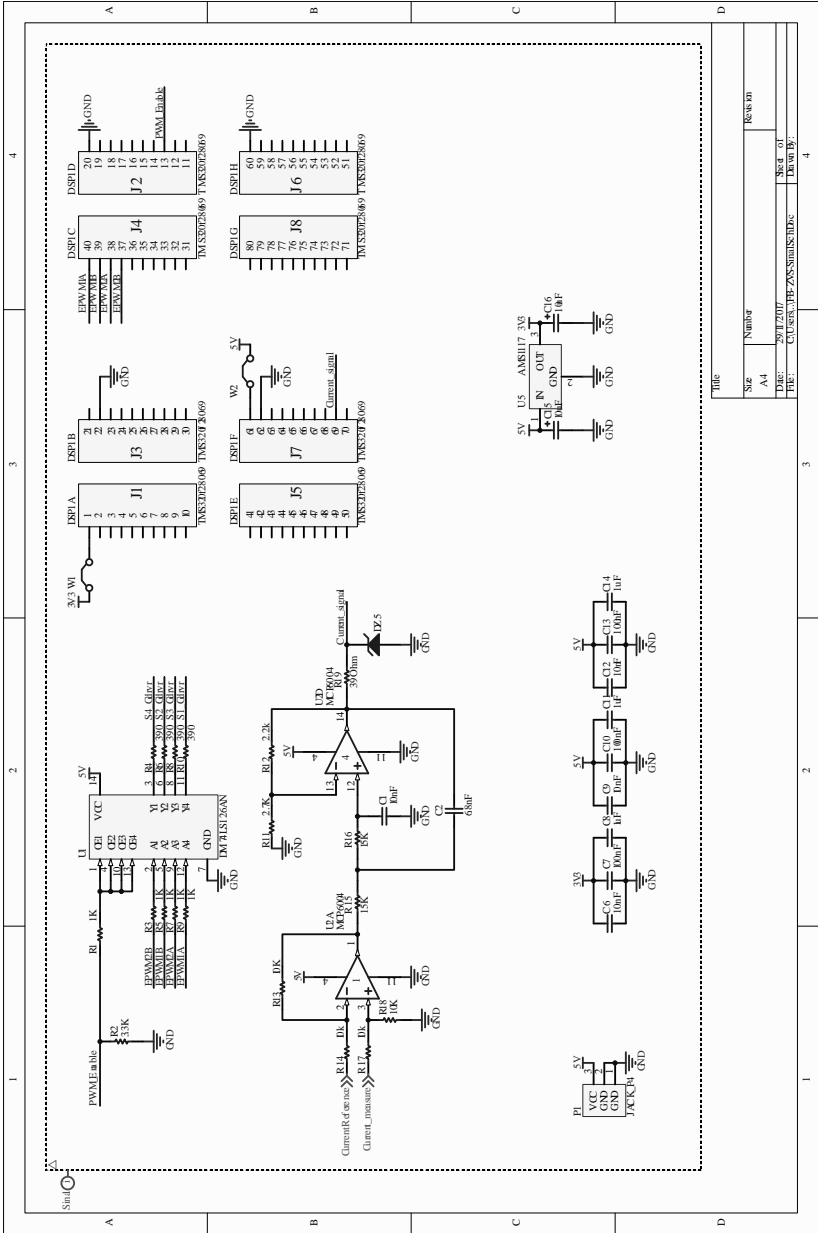
Dissertação de Mestrado, Universidade Federal de Santa Catarina,
2016.

APÊNDICE A – ESQUEMÁTICOS DOS PROTÓTIPOS

Esquemático dos circuitos de potência do conversor FB-ZVS-CH



Esquemático dos circuitos de sinal do conversor FB-ZVS-CH



Title	
Size	Number
A4	
DATE:	29/11/2017
FILE:	C:\Users\jpb\Documents\Doc
Sheet of	4
Drawn by:	

APÊNDICE B – CÓDIGOS DO MICROCONTROLADOR

Código utilizado no microcontrolador do conversor FB-ZVS-CH

```
//Código para controle de corrente do FB ZVS de carregamento da
bateria
//Baseado nos exemplos do Control Suite

//#####
// Description:
//! \addtogroup f2806x_example_list
//! <h1> ADC Start of Conversion (adc_soc)</h1>
//!
//! This ADC example uses ePWM1 to generate a periodic ADC SOC -
ADCINT1.
//! Two channels are converted, ADCINA4 and ADCINA2.
//!
//! \b Watch \b Variables \n
//! - Voltage1[10] - Last 10 ADCRESULT0 values
//! - Voltage2[10] - Last 10 ADCRESULT1 values
//! - ConversionCount - Current result number 0-9
//! - LoopCount - Idle loop counter
//
//
//#####
// $TI Release: F2806x C/C++ Header Files and Peripheral Examples
V141 $
// $Release Date: January 19, 2015 $
// $Copyright: Copyright (C) 2011-2015 Texas Instruments Incorporated
// http://www.ti.com/ ALL RIGHTS RESERVED $
//#####
#####

#include "DSP28x_Project.h" // Device Headerfile and Examples Include
File

#define DeadBandValue 20; // Number of TBCLK counts for 134ns
deadband
#define PWMPeriodValue 900; // Number of TBCLK counts for 100kHz
frequency
#define PWMHalfPeriodValue 450; // PWMPeriodValue/2
#define SamplePeriodValue 9000; // Number of TBCLK counts for 10kHz
sampling frequency
#define SampleCompareValue 3000; // Number of TBCLK counts for the ADC
comparison

#define currentGain 0.226851852 // Reference Current Gain

#define TZActive 0x0001;
#define TZInactive 0x0000;

// Prototype statements for functions found within this file.
```

```

__interrupt void adc_isr(void);
__interrupt void epwm1_tzint_isr(void);
__interrupt void epwm2_tzint_isr(void);
__interrupt void xint1_isr(void);
__interrupt void xint2_isr(void);
void ConfigADC(void);
void ConfigEPWM(void);
void ConfigGPIO(void);

// Global variables used in this example:
double PhaseShiftValue;

int TZIntStatus1 = TZInactive;
int TZIntStatus2 = TZInactive;
int controlEnableStatus = 0x0000;

double currentMeasure = 0;

double currentErrorNow = 0;
double currentErrorBack = 0;

double dutyCycleReferenceNow = 0;
double dutyCycleReferenceBack= 0;

double a1_PI = 0.01371808; // PI controller constant 500Hz cutoff
frequency = 0.81804
double a2_PI = -0.010142044; // PI controller constant 500Hz cutoff
frequency = -0.045333

double currentReference = 0;
double currentReferenceStep = 0.0015825; //2 seconds ramp
(5/10k)*currentReferenceMax/rampTimeSeconds
double currentReferenceMax = 6.33;

int stepMax = 5;
int stepCounterRampUp = 0;
int stepCounterRampDown = 0;

double dutyCycleReferenceMax = 0.43;

main()
{

// Step 1. Initialize System Control:
// PLL, WatchDog, enable Peripheral Clocks
// This example function is found in the F2806x_SysCtrl.c file.
    InitSysCtrl();

// Step 2. Initialize GPIO:k
// This example function is found in the F2806x_Gpio.c file and
// illustrates how to set the GPIO to it's default state.
    ConfigGPIO();

```

```

// Step 3. Clear all interrupts and initialize PIE vector table:
// Disable CPU interrupts
DINT;

// Initialize the PIE control registers to their default state.
// The default state is all PIE interrupts disabled and flags
// are cleared.
// This function is found in the F2806x_PieCtrl.c file.
InitPieCtrl();

// Disable CPU interrupts and clear all CPU interrupt flags:
IER = 0x0000;
IFR = 0x0000;

// Initialize the PIE vector table with pointers to the shell
Interrupt
// Service Routines (ISR).
// This will populate the entire table, even if the interrupt
// is not used in this example. This is useful for debug purposes.
// The shell ISR routines are found in F2806x_DefaultIsr.c.
// This function is found in F2806x_PieVect.c.
InitPieVectTable();

// Interrupts that are used in this example are re-mapped to
// ISR functions found within this file.
EALLOW; // This is needed to write to EALLOW protected register
PieVectTable.ADCINT1      = &adc_isr;
PieVectTable.EPWM1_TZINT  = &epwm1_tzint_isr;
PieVectTable.EPWM2_TZINT  = &epwm2_tzint_isr;
PieVectTable.XINT1        = &xint1_isr;
PieVectTable.XINT2        = &xint2_isr;
EDIS; // This is needed to disable write to EALLOW protected
registers

// Step 4. Initialize all the Device Peripherals:
// This function is found in F2806x_InitPeripherals.c
// InitPeripherals(); // Not required for this example
InitAdc(); // For this example, init the ADC
AdcOffsetSelfCal();

EALLOW;
SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 0;
EDIS;

ConfigEPWM();

EALLOW;
SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 1;
EDIS;

```



```

// Step 5. User specific code, enable interrupts:

PieCtrlRegs.PIECTRL.bit.ENPIE = 1; // Enable the PIE block
// Enable ADCINT1 in PIE
PieCtrlRegs.PIEIER1.bit.INTx1 = 1; // Enable INT 1.1 in the PIE
PieCtrlRegs.PIEIER1.bit.INTx4 = 1; // Enable PIE Group 1 INT4
PieCtrlRegs.PIEIER1.bit.INTx5 = 1; // Enable PIE Group 1 INT5
IER |= M_INT1; // Enable CPU Interrupt 1

PieCtrlRegs.PIEIER2.bit.INTx1 = 1; // Enable EPWM INTn in the
PIE: Group 2 interrupt 1-3
PieCtrlRegs.PIEIER2.bit.INTx2 = 1;
IER |= M_INT2; // Enable CPU INT3 which is connected to EPWM1-3 INT

EINT; // Enable Global interrupt INTM
ERTM; // Enable Global realtime interrupt DBGM

// Configure XINT1
XIntruptRegs.XINT1CR.bit.POLARITY = 0; // Falling edge interrupt
XIntruptRegs.XINT1CR.bit.ENABLE = 1; // Enable XINT1

// Configure XINT2
XIntruptRegs.XINT2CR.bit.POLARITY = 0; // Falling edge interrupt
XIntruptRegs.XINT2CR.bit.ENABLE = 1; // Enable XINT2

ConfigADC();

// Set buffer enable
GpioDataRegs.GPBSET.bit.GPIO50 = 1;

// Wait for interrupt
for(;;)
{
    __asm("        NOP");
}

}

__interrupt void adc_isr(void)
{
    if (controlEnableStatus == 0x0001){

        /* DISABLE DUTYCYCLE RAMP UP
        //Duty Cycle Ramp Up
        if(EPwm2Regs.TBPHS.half.TBPHS < 300){
            if(stepCounterRampUp < 50){
                stepCounterRampUp++;
            } else {
                EPwm2Regs.TBPHS.half.TBPHS += 1;
                stepCounterRampUp = 0;
            }
        }
    }
}

```

```

} else {
    EPwm2Regs.TBPHS.half.TBPHS = 300;

    GpioDataRegs.GPBCLEAR.bit.GPIO39 = 1; //light up blue LED
    GpioDataRegs.GPBCLEAR.bit.GPIO34 = 1; //light up red LED
}
DISABLE DUTYCYCLE RAMP UP END */

// /*DISABLE CONTROL

// Reference Ramp Up
if(currentReference < currentReferenceMax){
    if(stepCounterRampUp < stepMax){
        stepCounterRampUp++;
    } else {
        currentReference += currentReferenceStep;
        stepCounterRampUp = 0;
    }
} else {
    currentReference = currentReferenceMax;
}

// Save measurement
currentMeasure = (AdcResult.ADCRESULT0)*3.3/4095.0f;

//PI
currentErrorNow = currentReference*currentGain -
currentMeasure;
dutyCycleReferenceNow = dutyCycleReferenceBack +
a1_PI*currentErrorNow + a2_PI*currentErrorBack;

//Save state
currentErrorBack = currentErrorNow;

//
if (dutyCycleReferenceNow > dutyCycleReferenceMax){

    dutyCycleReferenceNow = dutyCycleReferenceMax;
    GpioDataRegs.GPBCLEAR.bit.GPIO39 = 1; //light up blue LED
    GpioDataRegs.GPBCLEAR.bit.GPIO34 = 1; //light up red LED

} else if( dutyCycleReferenceNow <= 0.0 ){

    dutyCycleReferenceNow = 0.0;

} else {

    GpioDataRegs.GPBCLEAR.bit.GPIO39 = 1; //light up blue LED
    GpioDataRegs.GPBSET.bit.GPIO34 = 1; //turn off red LED
}

```

```

    EPwm2Regs.TBPHS.half.TBPHS = 901*dutyCycleReferenceNow;

    dutyCycleReferenceBack = dutyCycleReferenceNow;

    // DISABLE CONTROL END*/

} else {
    // Phase shift Ramp Down
    if (EPwm2Regs.TBPHS.half.TBPHS > 0){
        if (stepCounterRampDown < stepMax ){
            stepCounterRampDown++;
        } else {
            stepCounterRampDown = 0;
            EPwm2Regs.TBPHS.half.TBPHS--;
        }
    } else {
        EPwm2Regs.TBPHS.half.TBPHS = 0; // Set Phaseshift to
minimum value
    }

    stepCounterRampUp = 0;
    currentReference = 0;

    currentErrorNow = 0;
    currentErrorBack = 0;

    dutyCycleReferenceNow = 0;
    dutyCycleReferenceBack = 0;

}

    AdcRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //Clear ADCINT1 flag
reinitialize for next SOC
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1; // Acknowledge interrupt
to PIE

    return;
}

__interrupt void epwm1_tzint_isr(void)
{
    // Leave these flags set so we only take this
// interrupt once

    TZIntStatus1 = 0x0001;

    GpioDataRegs.GPASET.bit.GPIO39 = 1; //CLEAR GPIO39
    GpioDataRegs.GPBCLEAR.bit.GPIO34 = 1; //set GPIO34

    // Acknowledge this interrupt to receive more interrupts from
group 2
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP2;

```

```

}

__interrupt void epwm2_tzint_isr(void)
{
// Clear the flags - we will continue to take
// this interrupt until the TZ pin goes high

    TZIntStatus2 = 0x0001;

    GpioDataRegs.GPBSET.bit.GPIO39 = 1; //turn off blue LED
    GpioDataRegs.GPBCLEAR.bit.GPIO34 = 1; //light up red LED

// Acknowledge this interrupt to receive more interrupts from group 2
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP2;
}

__interrupt void xint1_isr(void)
{
    if ((TZIntStatus1 == 0x0001) || (TZIntStatus2 == 0x0001))
    {
        EALLOW;

        EPwm1Regs.TZCLR.bit.OST = 1;
        EPwm1Regs.TZCLR.bit.INT = 1;

        EPwm2Regs.TZCLR.bit.OST = 1;
        EPwm2Regs.TZCLR.bit.INT = 1;

        EDIS;

        TZIntStatus1 = 0x0000;
        TZIntStatus2 = 0x0000;

        GpioDataRegs.GPBCLEAR.bit.GPIO39 = 1; //light up blue LED
        GpioDataRegs.GPBSET.bit.GPIO34 = 1; //turn off red LED
    }
// Acknowledge this interrupt to get more from group 1
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}

__interrupt void xint2_isr(void)
{
    if (controlEnableStatus == 0x0001){

        controlEnableStatus = 0x0000;
        GpioDataRegs.GPBSET.bit.GPIO39 = 1; //light up blue LED
        GpioDataRegs.GPBCLEAR.bit.GPIO34 = 1; //light up red LED

    } else if (controlEnableStatus == 0x0000){

```

```

        controlEnableStatus = 0x0001;
        GpioDataRegs.GPBCLEAR.bit.GPIO39= 1; //light up blue LED
        GpioDataRegs.GPASET.bit.GPIO34   = 1; //turn off red LED
    }

    // Acknowledge this interrupt to get more from group 1
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}

void ConfigGPIO()
{
    EALLOW;

    // Configure GPIO50 as output to be used as an enable bit

    GpioCtrlRegs.GPBMUX2.bit.GPIO50 = 0; //GPIO50 = GPIO
    GpioCtrlRegs.GPBDIR.bit.GPIO50  = 1; //GPIO50 = output
    GpioDataRegs.GPBCLEAR.bit.GPIO50= 1; //clear GPIO50

    // End of enable bit config

    // Trip Zone config

    GpioCtrlRegs.GPAQSEL1.bit.GPIO14= 3; // Asynch input GPIO52 (TZ3)
    GpioCtrlRegs.GPAMUX1.bit.GPIO14 = 1; // Configure GPIO52 as TZ3

    // End of Trip Zone config

    //External interrupt config

    GpioCtrlRegs.GPAMUX2.bit.GPIO27 = 0; // GPIO
    GpioCtrlRegs.GPADIR.bit.GPIO27 = 0; // input
    GpioCtrlRegs.GPAQSEL2.bit.GPIO27 = 2; // XINT2 Qual using 6 samples
    GpioIntRegs.GPIOXINT1SEL.bit.GPIOSEL = 27; // XINT1 is GPIO27

    GpioCtrlRegs.GPAMUX2.bit.GPIO26 = 0; // GPIO
    GpioCtrlRegs.GPADIR.bit.GPIO26 = 0; // input
    GpioCtrlRegs.GPAQSEL2.bit.GPIO26 = 2; // XINT2 Qual using 6 samples
    GpioIntRegs.GPIOXINT2SEL.bit.GPIOSEL = 26; // XINT2 is GPIO26

    GpioCtrlRegs.GPACTRL.bit.QUALPRD3 = 0xFF; // Each sampling window
is 510*SYSCLKOUT

    // end of external interrupt config

    //Board LED config

    GpioCtrlRegs.GPBMUX1.bit.GPIO34 = 0; //GPIO34 = GPIO
    GpioCtrlRegs.GPBDIR.bit.GPIO34  = 1; //GPIO34 = output

```

```

    GpioDataRegs.GPASET.bit.GPIO34 = 1; //set GPIO34

    GpioCtrlRegs.GPBMUX1.bit.GPIO39 = 0; //GPIO39 = GPIO
    GpioCtrlRegs.GPBDIR.bit.GPIO39 = 1; //GPIO39 = output
    GpioDataRegs.GPBCLEAR.bit.GPIO39 = 1; //clear GPIO39

    // End of board LED config

    // Configure GPIO0 through GPIO3 as output to be used as PWM
signals

    GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 1; //GPIO0 = Epwm1A
    GpioCtrlRegs.GPADIR.bit.GPIO0 = 1; //GPIO0 = output

    GpioCtrlRegs.GPAMUX1.bit.GPIO1 = 1; //GPIO1 = Epwm1B
    GpioCtrlRegs.GPADIR.bit.GPIO1 = 1; //GPIO1 = output

    GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 1; //GPIO2 = Epwm2A
    GpioCtrlRegs.GPADIR.bit.GPIO2 = 1; //GPIO2 = output

    GpioCtrlRegs.GPAMUX1.bit.GPIO3 = 1; //GPIO3 = Epwm2B
    GpioCtrlRegs.GPADIR.bit.GPIO3 = 1; //GPIO3 = output

    // End of PWM config

    EDIS;
}

void ConfigADC()
{
    // Configure ADCIN4 to be used with EPWM3A and SOC0

    // Configure ADC
    EALLOW;
    AdcRegs.ADCCTL2.bit.ADCNONOVERLAP = 1; // Enable non-overlap mode
    AdcRegs.ADCCTL1.bit.INTPULSEPOS = 1; // ADCINT1 trips after
AdcResults latch
    AdcRegs.INTSEL1N2.bit.INT1E = 1; // Enabled ADCINT1
    AdcRegs.INTSEL1N2.bit.INT1CONT = 0; // Disable ADCINT1
Continuous mode
    AdcRegs.INTSEL1N2.bit.INT1SEL = 0; // setup EOC0 to trigger
ADCINT1 to fire
    AdcRegs.ADCSOC0CTL.bit.CHSEL = 0x4; // set SOC0 channel select
to ADCINA4 (sensor corrente)
    AdcRegs.ADCSOC0CTL.bit.TRIGSEL = 0x9; // set SOC0 start
trigger on EPWM3A, due to round-robin SOC0 converts first then SOC1
    AdcRegs.ADCSOC0CTL.bit.ACQPS = 6; // set SOC0 S/H Window to 7
ADC Clock Cycles, (6 ACQPS plus 1)
    EDIS;

    // Assumes ePWM3 clock is already enabled in InitSysCtrl();

```

```

EPwm3Regs.ETSEL.bit.SOCAEN = 1; // Enable SOC on A group
EPwm3Regs.ETSEL.bit.SOCASEL = 4; // Select SOC from CMPA on upcount
EPwm3Regs.ETPS.bit.SOCAPRD = 1; // Generate pulse on 1st event
EPwm3Regs.TBPRD = SamplePeriodValue; // Set period for ePWM3
EPwm3Regs.CMPA.half.CMPA = SampleCompareValue; // Set compare A
value
EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // count up and start

EPwm3Regs.AQCTLA.bit.ZRO = AQ_SET;
EPwm3Regs.AQCTLA.bit.CAU = AQ_CLEAR;

EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // TBCLK = SYSCLK
EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1;
}

void ConfigEPWM()
{
    // Configure ePWM1 & 2 to be used as phase-shifting complementary

    // Enable TZ3 as one shot trip sources
    EALLOW;
    EPwm1Regs.TZSEL.bit.OSHT3 = 1;

    // What do we want the TZ3 to do?
    EPwm1Regs.TZCTL.bit.TZA = TZ_FORCE_HI;
    EPwm1Regs.TZCTL.bit.TZB = TZ_FORCE_LO;

    // Enable TZ interrupt
    EPwm1Regs.TZEINT.bit.OST = 1;
    EDIS;

    // EPWM Module 1 config
    EPwm1Regs.TBPRD = PWMPeriodValue; // Number of TBCLK counts in a
period
    EPwm1Regs.CMPA.half.CMPA = PWMHalfPeriodValue; // Set 50% fixed
duty for EPWM1A
    EPwm1Regs.TBPHS.half.TBPHS = 0; // Set Phase register to zero
    EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // Asymmetrical mode
    EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Master module
    EPwm1Regs.TBCTL.bit.PRDL = TB_SHADOW;
    EPwm1Regs.TBCTL.bit.SYNCOSSEL = TB_CTR_ZERO; // Sync down-stream
module
    EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
    EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
    EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO; // load on CTR=Zero
    EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO; // load on CTR=Zero
    EPwm1Regs.AQCTLA.bit.ZRO = AQ_SET; // set actions for EPWM1A
    EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
}

```

```

EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // TBCLK = SYSCLK
EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;

EPwm1Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE; // enable Dead-band
module
EPwm1Regs.DBCTL.bit.POLSEL= DB_ACTV_HIC;// Active Hi complementary
EPwm1Regs.DBFED = DeadBandValue;// Define falling edge deadband
value
EPwm1Regs.DBRED = DeadBandValue;// Define rising edge deadband
value

// Enable TZ3 as one shot trip sources
EALLOW;
EPwm2Regs.TZSEL.bit.OSHT3 = 1;

// What do we want the TZ3 to do?
EPwm2Regs.TZCTL.bit.TZA = TZ_FORCE_HI;
EPwm2Regs.TZCTL.bit.TZB = TZ_FORCE_LO;

// Enable TZ interrupt
EPwm2Regs.TZEINT.bit.OST = 1;
EDIS;

// EPWM Module 2 config
EPwm2Regs.TBPRD = PWMPeriodValue;// Number of TBCLK counts in a
period
EPwm2Regs.CMPA.half.CMPA = PWMHalfPeriodValue; // Set 50% fixed
duty EPWM2A
EPwm2Regs.TBPHS.half.TBPHS = 0; // Set Phase register to zero
initially
EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // Asymmetrical mode
EPwm2Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Slave module
EPwm2Regs.TBCTL.bit.PRDL = TB_SHADOW;
EPwm2Regs.TBCTL.bit.SYNCSEL = TB_SYNC_IN; // sync flow-through
EPwm2Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO; // load on CTR=Zero
EPwm2Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO; // load on CTR=Zero
EPwm2Regs.AQCTLA.bit.PRD = AQ_SET; // set actions for EPWM2A
EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR;

EPwm2Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE; // enable Dead-band
module
EPwm2Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;// Active Hi
complementary
EPwm2Regs.DBFED = DeadBandValue;// Define falling edge deadband
value
EPwm2Regs.DBRED = DeadBandValue;// Define rising edge deadband
value
EPwm2Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // TBCLK = SYSCLK
EPwm2Regs.TBCTL.bit.CLKDIV = TB_DIV1;
}

```


Código utilizado no microcontrolador do conversor FB-ZVS-SCV

```
//Código para o controle de barramento do FB ZVS SCV
//Baseado nos exemplos do Control Suite

#####
// Description:
//! \addtogroup f2806x_example_list
//! <h1> ADC Start of Conversion (adc_soc)</h1>
//!
//! This ADC example uses ePWM1 to generate a periodic ADC SOC -
ADCINT1.
//! Two channels are converted, ADCINA4 and ADCINA2.
//!
//! \b Watch \b Variables \n
//! - Voltage1[10] - Last 10 ADCRESULT0 values
//! - Voltage2[10] - Last 10 ADCRESULT1 values
//! - ConversionCount - Current result number 0-9
//! - LoopCount - Idle loop counter
//
//
#####
// $TI Release: F2806x C/C++ Header Files and Peripheral Examples
V141 $
// $Release Date: January 19, 2015 $
// $Copyright: Copyright (C) 2011-2015 Texas Instruments Incorporated
-
// http://www.ti.com/ ALL RIGHTS RESERVED $
#####

#include "DSP28x_Project.h" // Device Headerfile and Examples
Include File

#define DeadBandValue 8;// Number of TBCLK counts for 90ns deadband
#define PWMPeriodValue 900;// Number of TBCLK counts for 100kHz
frequency
#define PWMHalfPeriodValue 450; // PWMPeriodValue/2
#define SamplePeriodValue 9000; // Number of TBCLK counts for 10kHz
sampling frequency
#define SampleCompareValue 3000;// Number of TBCLK counts for the
ADC comparison

#define TZActive 0x0001;
#define TZInactive 0x0000;

// Prototype statements for functions found within this file.
__interrupt void adc_isr(void);
__interrupt void epwm1_tzint_isr(void);
```

```

__interrupt void epwm2_tzint_isr(void);
__interrupt void xint1_isr(void);
__interrupt void xint2_isr(void);
void ConfigADC(void);
void ConfigEPWM(void);
void ConfigGPIO(void);

// Global variables used in this example:
//double PhaseShiftValue;

int TZIntStatus1 = TZInactive
int TZIntStatus2 = TZInactive
int controlEnableStatus = 0x0000;
int buttonDisable = 0;

double currentGain = 0.2275; // Current sensor Gain
double voltageGain = 0.005102041; // Voltage sensor Gain (resistive
divider)

double currentMeasure = 0;
double voltageMeasure = 0;

double voltageErrorNow = 0;
double voltageErrorBack = 0;

double currentErrorNow = 0;
double currentErrorBack = 0;

double currentReferenceNow = 0;
double currentReferenceBack = 0;

double dutyCycleReferenceNow = 0;
double dutyCycleReferenceBack = 0;

double currentReferenceMax = 8*0.2275;//((currentGain)*(currentMax));
double dutyCycleReferenceMax = 0.45;

double a1_PI_voltage = 1.165023054;
double a2_PI_voltage = -1.157879447;

double a1_PI_current = 0.014039276; // current PI controller constant
double a2_PI_current = -0.010753978;// current PI controller constant

double voltageReference = 0;
double voltageReferenceStep = 0.095; //2 seconds ramp
(5/10k)*voltageReferenceMax/rampTimeSeconds
double voltageReferenceMax = 380;

int stepMax = 5; // Maximum counter
int stepCounterRampUp = 0;
int stepCounterRampDown = 0;

```

```

main()
{
// Step 1. Initialize System Control:
// PLL, WatchDog, enable Peripheral Clocks
// This example function is found in the F2806x_SysCtrl.c file.
    InitSysCtrl();

// Step 2. Initialize GPIO:k
// This example function is found in the F2806x_Gpio.c file and
// illustrates how to set the GPIO to it's default state.
    ConfigGPIO();

// Step 3. Clear all interrupts and initialize PIE vector table:
// Disable CPU interrupts
    DINT;

// Initialize the PIE control registers to their default state.
// The default state is all PIE interrupts disabled and flags
// are cleared.
// This function is found in the F2806x_PieCtrl.c file.
    InitPieCtrl();

// Disable CPU interrupts and clear all CPU interrupt flags:
    IER = 0x0000;
    IFR = 0x0000;

// Initialize the PIE vector table with pointers to the shell
Interrupt
// Service Routines (ISR).
// This will populate the entire table, even if the interrupt
// is not used in this example. This is useful for debug purposes.
// The shell ISR routines are found in F2806x_DefaultIsr.c.
// This function is found in F2806x_PieVect.c.
    InitPieVectTable();

// Interrupts that are used in this example are re-mapped to
// ISR functions found within this file.
    EALLOW; // This is needed to write to EALLOW protected register
    PieVectTable.ADCINT1      = &adc_isr;
    PieVectTable.EPwm1_TZINT  = &epwm1_tzint_isr;
    PieVectTable.EPwm2_TZINT  = &epwm2_tzint_isr;
    PieVectTable.XINT1        = &xint1_isr;
    PieVectTable.XINT2        = &xint2_isr;
    EDIS; // This is needed to disable write to EALLOW protected
registers

// Step 4. Initialize all the Device Peripherals:
// This function is found in F2806x_InitPeripherals.c
// InitPeripherals(); // Not required for this example
    InitAdc(); // For this example, init the ADC
    AdcOffsetSelfCal();

```

```

EALLOW;
SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 0;
EDIS;

ConfigEPWM();

EALLOW;
SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 1;
EDIS;

// Step 5. User specific code, enable interrupts:

PieCtrlRegs.PIECTRL.bit.ENPIE = 1; // Enable the PIE block
// Enable ADCINT1 in PIE
PieCtrlRegs.PIEIER1.bit.INTx1 = 1; // Enable INT 1.1 in the PIE
PieCtrlRegs.PIEIER1.bit.INTx4 = 1; // Enable PIE Group 1 INT4
PieCtrlRegs.PIEIER1.bit.INTx5 = 1; // Enable PIE Group 1 INT5
IER |= M_INT1; // Enable CPU Interrupt 1

PieCtrlRegs.PIEIER2.bit.INTx1 = 1; // Enable EPWM INTn in the
PIE: Group 2 interrupt 1-3
PieCtrlRegs.PIEIER2.bit.INTx2 = 1;
IER |= M_INT2; // Enable CPU INT3 which is
connected to EPWM1-3 INT

EINT; // Enable Global interrupt INTM
ERTM; // Enable Global realtime
interrupt DBGM

// Configure XINT1
XIntruptRegs.XINT1CR.bit.POLARITY = 0; // Falling edge interrupt
XIntruptRegs.XINT1CR.bit.ENABLE = 1; // Enable XINT1

// Configure XINT2
XIntruptRegs.XINT2CR.bit.POLARITY = 0; // Falling edge interrupt
XIntruptRegs.XINT2CR.bit.ENABLE = 1; // Enable XINT2

ConfigADC();

// Set buffer enable
GpioDataRegs.GPASET.bit.GPIO50 = 1;

// Wait for interrupt
for(;;)
{
    __asm("        NOP");
}

__interrupt void adc_isr(void)

```

```

{
    if (controlEnableStatus == 0x0001){
        // Voltage Reference startup ramp
        if (voltageReference < voltageReferenceMax ){
            if (stepCounterRampUp < stepMax) {
                stepCounterRampUp++;
            } else {
                voltageReference += voltageReferenceStep;
                stepCounterRampUp = 0;
            }
        } else {
            voltageReference = voltageReferenceMax;
        }

        // Save measurement
        currentMeasure = (AdcResult.ADCRESULT0)*3.3/4095.0f;
        voltageMeasure = (AdcResult.ADCRESULT1)*3.3/4095.0f;

        // Voltage Controller PI
        voltageErrorNow = voltageReference*voltageGain -
voltageMeasure;
        currentReferenceNow = currentReferenceBack +
a1_PI_voltage*voltageErrorNow + a2_PI_voltage*voltageErrorBack;

        // Limit current reference
        if ( currentReferenceNow > currentReferenceMax ) {
            currentReferenceNow = currentReferenceMax;
        }
        //Save State
        voltageErrorBack = voltageErrorNow;
        currentReferenceBack = currentReferenceNow;

        //Current Controller PI
        currentErrorNow = currentReferenceNow - currentMeasure;
        dutyCycleReferenceNow = dutyCycleReferenceBack +
a1_PI_current*currentErrorNow + a2_PI_current*currentErrorBack;

        //Save state
        currentErrorBack = currentErrorNow;

        if (dutyCycleReferenceNow > dutyCycleReferenceMax){

            dutyCycleReferenceNow = dutyCycleReferenceMax;
            GpioDataRegs.GPBCLEAR.bit.GPIO39= 1; //light up blue LED
            GpioDataRegs.GPBCLEAR.bit.GPIO34= 1; //light up red LED

        } else if (dutyCycleReferenceNow < 0){

            dutyCycleReferenceNow = 0;

```

```

    } else {

        GpioDataRegs.GPBCLEAR.bit.GPIO39 = 1; //light up blue LED
        GpioDataRegs.GPASET.bit.GPIO34 = 1; //turn off red LED
    }

    EPwm2Regs.TBPHS.half.TBPHS = 901*dutyCycleReferenceNow;

    dutyCycleReferenceBack = dutyCycleReferenceNow;

} else {
    // Phase shift Ramp Down
    if (EPwm2Regs.TBPHS.half.TBPHS > 0){
        if (stepCounterRampDown < stepMax ){
            stepCounterRampDown++;
        } else {
            stepCounterRampDown = 0;
            EPwm2Regs.TBPHS.half.TBPHS--;
        }
    } else {
        EPwm2Regs.TBPHS.half.TBPHS = 0; // Set Phaseshift to minimum
value
    }

    stepCounterRampUp = 0;
    voltageReference = 0;

    voltageErrorNow = 0;
    voltageErrorBack = 0;

    currentReferenceNow = 0;
    currentReferenceBack = 0;

    currentErrorNow = 0;
    currentErrorBack = 0;

    dutyCycleReferenceNow = 0;
    dutyCycleReferenceBack = 0;

}

    AdcRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //Clear ADCINT1 flag
reinitialize for next SOC
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1; // Acknowledge interrupt
to PIE

    return;
}

__interrupt void epwm1_tzint_isr(void)
{
    // Leave these flags set so we only take this

```

```

// interrupt once

TZIntStatus1 = 0x0001;

GpioDataRegs.GPBSET.bit.GPIO39 = 1; //turn off blue LED
GpioDataRegs.GPBCLEAR.bit.GPIO34= 1; //light up red LED

// Acknowledge this interrupt to receive more interrupts from
group 2
PieCtrlRegs.PIEACK.all = PIEACK_GROUP2;
}

__interrupt void epwm2_tzint_isr(void)
{
// Clear the flags - we will continue to take
// this interrupt until the TZ pin goes high

TZIntStatus2 = 0x0001;

GpioDataRegs.GPBSET.bit.GPIO39 = 1; //turn off blue LED
GpioDataRegs.GPBCLEAR.bit.GPIO34= 1; //light up red LED

// Acknowledge this interrupt to receive more interrupts from group 2
PieCtrlRegs.PIEACK.all = PIEACK_GROUP2;
}

__interrupt void xint1_isr(void)
{
if ((TZIntStatus1 == 0x0001) || (TZIntStatus2 == 0x0001))
{
EALLOW;

EPwm1Regs.TZCLR.bit.OST = 1;
EPwm1Regs.TZCLR.bit.INT = 1;

EPwm2Regs.TZCLR.bit.OST = 1;
EPwm2Regs.TZCLR.bit.INT = 1;

EDIS;

TZIntStatus1 = 0x0000;
TZIntStatus2 = 0x0000;

GpioDataRegs.GPBCLEAR.bit.GPIO39= 1; //light up blue LED
GpioDataRegs.GPBSET.bit.GPIO34 = 1; //turn off red LED
}
// Acknowledge this interrupt to get more from group 1
PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}

```



```

__interrupt void xint2_isr(void)
{
    if (controlEnableStatus == 0x0001){

        controlEnableStatus = 0x0000;
        GpioDataRegs.GPBSET.bit.GPIO39    = 1; //turn off blue LED
        GpioDataRegs.GPBCLEAR.bit.GPIO34  = 1; //light up red LED

    } else if (controlEnableStatus == 0x0000){

        controlEnableStatus = 0x0001;
        GpioDataRegs.GPBCLEAR.bit.GPIO39= 1; //light up blue LED
        GpioDataRegs.GPBSET.bit.GPIO34  = 1; //turn off red LED
    }

    // Acknowledge this interrupt to get more from group 1
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}

void ConfigGPIO()
{
    EALLOW;

    // Configure GPIO50 as output to be used as an enable bit

    GpioCtrlRegs.GPBMUX2.bit.GPIO50 = 0; //GPIO50 = GPIO
    GpioCtrlRegs.GPBDIR.bit.GPIO50  = 1; //GPIO50 = output
    GpioDataRegs.GPBCLEAR.bit.GPIO50= 1; //clear GPIO50

    // End of enable bit config

    // Trip Zone config

    GpioCtrlRegs.GPAQSEL1.bit.GPIO14= 3; // Asynch input GPIO52 (TZ3)
    GpioCtrlRegs.GPAMUX1.bit.GPIO14 = 1; // Configure GPIO52 as TZ3

    // End of Trip Zone config

    //External interrupt config

    GpioCtrlRegs.GPAMUX2.bit.GPIO27 = 0; // GPIO
    GpioCtrlRegs.GPADIR.bit.GPIO27 = 0; // input
    GpioCtrlRegs.GPAQSEL2.bit.GPIO27 = 2;// XINT2 Qual using 6 samples
    GpioIntRegs.GPIOXINT1SEL.bit.GPIOSEL = 27; // XINT1 is GPIO27

    GpioCtrlRegs.GPAMUX2.bit.GPIO26 = 0; // GPIO
    GpioCtrlRegs.GPADIR.bit.GPIO26 = 0; // input
    GpioCtrlRegs.GPAQSEL2.bit.GPIO26 = 2;// XINT2 Qual using 6 samples
    GpioIntRegs.GPIOXINT2SEL.bit.GPIOSEL = 26; // XINT2 is GPIO26
}

```

```

    GpioCtrlRegs.GPACTRL.bit.QUALPRD3 = 0xFF; // Each sampling window
    is 510*SYSCLKOUT

    // end of external interrupt config

    //Board LED config

    GpioCtrlRegs.GPBMUX1.bit.GPIO34 = 0; //GPIO34 = GPIO
    GpioCtrlRegs.GPBDIR.bit.GPIO34 = 1; //GPIO34 = output
    GpioDataRegs.GPBCLEAR.bit.GPIO34= 1; //CLEAR GPIO34

    GpioCtrlRegs.GPBMUX1.bit.GPIO39 = 0; //GPIO39 = GPIO
    GpioCtrlRegs.GPBDIR.bit.GPIO39 = 1; //GPIO39 = output
    GpioDataRegs.GPBSET.bit.GPIO39= 1; //SET GPIO39

    // End of board LED config

    // Configure GPIO0 through GPIO3 as output to be used as PWM
    signals

    GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 1; //GPIO0 = Epwm1A
    GpioCtrlRegs.GPADIR.bit.GPIO0 = 1; //GPIO0 = output

    GpioCtrlRegs.GPAMUX1.bit.GPIO1 = 1; //GPIO1 = Epwm1B
    GpioCtrlRegs.GPADIR.bit.GPIO1 = 1; //GPIO1 = output

    GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 1; //GPIO2 = Epwm2A
    GpioCtrlRegs.GPADIR.bit.GPIO2 = 1; //GPIO2 = output

    GpioCtrlRegs.GPAMUX1.bit.GPIO3 = 1; //GPIO3 = Epwm2B
    GpioCtrlRegs.GPADIR.bit.GPIO3 = 1; //GPIO3 = output

    // End of PWM config

    EDIS;
}

void ConfigADC()
{
    // Configure ADCIN4 to be used with EPWM3A and SOC0

    // Configure ADC
    EALLOW;
    AdcRegs.ADCCTL2.bit.ADCNONOVERLAP = 1; // Enable non-overlap mode
    AdcRegs.ADCCTL1.bit.INTPULSEPOS = 1; // ADCINT1 trips after
    AdcResults latch
    AdcRegs.INTSEL1N2.bit.INT1E = 1; // Enabled ADCINT1
    AdcRegs.INTSEL1N2.bit.INT1CONT = 0; // Disable ADCINT1
    Continuous mode
    AdcRegs.INTSEL1N2.bit.INT1SEL = 1; // setup EOC1 to trigger
    ADCINT1 to fire

```

```

    AdcRegs.ADCSOC0CTL.bit.CHSEL = 0x4;    // set SOC0 channel select
to ADCINA4 (sensor corrente)
    AdcRegs.ADCSOC1CTL.bit.CHSEL = 0xF;    // set SOC1 channel select
to ADCINB7 (Sensor Tensão)
    AdcRegs.ADCSOC0CTL.bit.TRIGSEL = 0x9;  // set SOC0 start
trigger on EPWM3A, due to round-robin SOC0 converts first then SOC1
    AdcRegs.ADCSOC1CTL.bit.TRIGSEL = 0x9;  // set SOC1 start
trigger on EPWM3A, due to round-robin SOC0 converts first then SOC1
    AdcRegs.ADCSOC0CTL.bit.ACQPS = 6;     // set SOC0 S/H Window to 7
ADC Clock Cycles, (6 ACQPS plus 1)
    AdcRegs.ADCSOC1CTL.bit.ACQPS = 6;     // set SOC1 S/H Window to 7
ADC Clock Cycles, (6 ACQPS plus 1)
    EDIS;

    // Assumes ePWM3 clock is already enabled in InitSysCtrl();

    EPwm3Regs.ETSEL.bit.SOCAEN = 1; // Enable SOC on A group
    EPwm3Regs.ETSEL.bit.SOCASEL = 4; // Select SOC from CMPA on upcount
    EPwm3Regs.ETPS.bit.SOCAPRD = 1; // Generate pulse on 1st event
    EPwm3Regs.TBPRD = SamplePeriodValue; // Set period for ePWM3
    EPwm3Regs.CMPA.half.CMPA = SampleCompareValue; // Set compare A
value
    EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // count up and start

    EPwm3Regs.AQCTLA.bit.ZRO = AQ_SET;
    EPwm3Regs.AQCTLA.bit.CAU = AQ_CLEAR;

    EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;           // TBCLK = SYSCLK
    EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1;

}

void ConfigEPWM()
{
    // Configure ePWM1 & 2 to be used as phase-shifting complementary

    // Enable TZ3 as one shot trip sources
    EALLOW;
    EPwm1Regs.TZSEL.bit.OSHT3 = 1;

    // What do we want the TZ3 to do?
    EPwm1Regs.TZCTL.bit.TZA = TZ_FORCE_HI;
    EPwm1Regs.TZCTL.bit.TZB = TZ_FORCE_LO;

    // Enable TZ interrupt
    EPwm1Regs.TZEINT.bit.OST = 1;
    EDIS;

    // EPWM Module 1 config
    EPwm1Regs.TBPRD = PWPMPeriodValue; // Number of TBCLK counts in a

```

```

period
    EPwm1Regs.CMPA.half.CMPA = PWMHalfPeriodValue; // Set 50% fixed
duty for EPWM1A
    EPwm1Regs.TBPHS.half.TBPHS = 0; // Set Phase register to zero
    EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // Asymmetrical mode
    EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Master module
    EPwm1Regs.TBCTL.bit.PRDL = TB_SHADOW;
    EPwm1Regs.TBCTL.bit.SYNCSEL = TB_CTR_ZERO; // Sync down-stream
module
    EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
    EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
    EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO; // load on CTR=Zero
    EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO; // load on CTR=Zero
    EPwm1Regs.AQCTLA.bit.ZRO = AQ_SET; // set actions for EPWM1A
    EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;

    EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // TBCLK = SYSCLK
    EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;

    EPwm1Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE; // enable Dead-band
module
    EPwm1Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC; // Active Hi
complementary
    EPwm1Regs.DBFED = DeadBandValue; // Define falling edge deadband
value
    EPwm1Regs.DBRED = DeadBandValue; // Define rising edge deadband
value

    // Enable TZ3 as one shot trip sources
    EALLOW;
    EPwm2Regs.TZSEL.bit.OSHT3 = 1;

    // What do we want the TZ3 to do?
    EPwm2Regs.TZCTL.bit.TZA = TZ_FORCE_HI;
    EPwm2Regs.TZCTL.bit.TZB = TZ_FORCE_LO;

    // Enable TZ interrupt
    EPwm2Regs.TZEINT.bit.OST = 1;
    EDIS;

    // EPWM Module 2 config
    EPwm2Regs.TBPRD = PWMPeriodValue; // Number of TBCLK counts in a
period
    EPwm2Regs.CMPA.half.CMPA = PWMHalfPeriodValue; // Set 50% fixed
duty EPWM2A
    EPwm2Regs.TBPHS.half.TBPHS = 0; // Set Phase register to zero
initially
    EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // Asymmetrical mode
    EPwm2Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Slave module
    EPwm2Regs.TBCTL.bit.PRDL = TB_SHADOW;
    EPwm2Regs.TBCTL.bit.SYNCSEL = TB_SYNC_IN; // sync flow-through

```

```

EPwm2Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO; // load on CTR=Zero
EPwm2Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO; // load on CTR=Zero
EPwm2Regs.AQCTLA.bit.PRD = AQ_SET; // set actions for EPWM2A
EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR;

EPwm2Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE; // enable Dead-band
module
EPwm2Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC; //Active Hi complementary
EPwm2Regs.DBFED = DeadBandValue; //Define falling edge deadband
value
EPwm2Regs.DBRED = DeadBandValue; // Define rising edge deadband
value

EPwm2Regs.TBCTL.bit.HSPCLKDIV= TB_DIV1; // TBCLK = SYSCLK
EPwm2Regs.TBCTL.bit.CLKDIV= TB_DIV1;
}

```