

**UNIVERSIDADE FEDERAL DE SANTA CATARINA  
CENTRO TECNOLÓGICO  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E  
ELETRÔNICA**

Lucas Castelan Prado

Retificador integrado para aplicação  
em etiqueta de RFID

Florianópolis  
2017



**LUCAS CASTELAN PRADO**

**RETIFICADOR INTEGRADO  
PARA APLICAÇÃO EM  
ETIQUETA DE RFID**

Monografia submetida ao curso de Engenharia Eletrônica da Universidade Federal de Santa Catarina como requisito para aprovação da disciplina EEL7806 - Projeto Final TCC.  
Orientador: Prof. Fernando Rangel de Sousa, Dr.  
Coorientador: Prof. Fabian L. Cabrera, Dr.

**FLORIANÓPOLIS  
2017**

Ficha de identificação da obra elaborada pelo autor,  
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Prado, Lucas Castelan  
Retificador integrado para aplicação em etiqueta  
de RFID / Lucas Castelan Prado ; orientador,  
Fernando Rangel de Sousa, coorientador, Fabian  
Leonardo Cabrera Riaño, 2017.  
84 p.

Trabalho de Conclusão de Curso (graduação) -  
Universidade Federal de Santa Catarina, Centro  
Tecnológico, Graduação em Engenharia Eletrônica,  
Florianópolis, 2017.

Inclui referências.

1. Engenharia Eletrônica. 2. Etiqueta RFID. 3.  
Transmissão de energia sem fios. 4. Retificador. 5.  
Circuitos integrados. I. Sousa, Fernando Rangel de.  
II. Riaño, Fabian Leonardo Cabrera. III.  
Universidade Federal de Santa Catarina. Graduação em  
Engenharia Eletrônica. IV. Título.

Lucas Castelan Prado

## RETIFICADOR INTEGRADO PARA APLICAÇÃO EM ETIQUETA DE RFID

Esta monografia foi julgada no contexto da disciplina EEL7806 - Projeto Final TCC e aprovada em sua forma final pelo Curso de Engenharia Eletrônica.

Florianópolis, 08 de Dezembro de 2017.



---

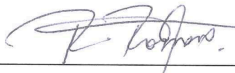
Jefferson Luiz Brum Marques, Dr.  
Coordenador do Curso

Banca Examinadora:



---

Fernando Rangel de Sousa, Dr.  
Orientador



---

Roddy Alexander Romero Antayhua, Me.



---

Adauto Luis Tadeo Bernardes da Fonseca, Me.



# RESUMO

O tema “implantes biomédicos” tem se tornado cada vez mais relevante devido à crescente demanda destes dispositivos, e conseqüentemente, a problemática de alimentação dos mesmos também se torna um tópico importante. A alimentação por fios é bastante inconveniente para o paciente e o uso de baterias é limitado por conta do tamanho reduzido do implante e a necessidade destas serem substituídas ou recarregadas periodicamente. A alimentação sem fios torna-se uma alternativa atraente e é foco de estudo deste trabalho, o qual propõe a alimentação remota de implantes através de um sistema RFID. O trabalho, com ênfase no receptor deste sistema, cria uma metodologia e a emprega no projeto de três retificadores para sistemas de transmissão de energia sem fios. Os retificadores foram projetados em tecnologia 600 nm e operam a 13,56 MHz, fornecendo potência de saída de 5 mW, 500  $\mu$ W e 50  $\mu$ W.

**Palavras-chave:** Transferência de energia sem fios. RFID. Etiqueta. Retificador. CMOS. Circuitos integrados.





---

## Lista de Figuras

---

2.1	Sistema RFID . . . . .	6
2.2	Leitor RFID para transmissão de energia . . . . .	7
2.3	Etiqueta RFID para transmissão de energia . . . . .	7
2.4	Circuito transmissor (esq.) e receptor (dir.) . . . . .	8
2.5	Circuitos série (a) e paralelo (b) . . . . .	11
2.6	Transformação de impedância . . . . .	12
2.7	Circuito conceitual de retificador (a), capacitor carregando (b) e carregado (c) . . . . .	13
2.8	Tensão de <i>ripple</i> . . . . .	14
2.9	Circuito RC com capacitor inicialmente carregado . . . . .	14
2.10	Relação tensão - corrente do diodo chave . . . . .	17
2.11	Retificador de meia-onda . . . . .	18
2.12	Retificador de onda completa . . . . .	19
2.13	Retificador de meia-onda NMOS . . . . .	20
2.14	Célula do retificador Dickson CMOS . . . . .	21
2.15	Tensão nos capacitores com o tempo . . . . .	22

2.16	Retificador Dickson com múltiplas células . . . . .	23
2.17	Retificador de acoplamento cruzado . . . . .	24
2.18	Células cascadeadas do ret. de aco. cruzado . . . . .	25
2.19	Retificador (a), análise DC (b) e AC (c) . . . . .	27
2.20	Ret. aco. cruz., análise DC (a) e AC (b) . . . . .	27
2.21	Capacitâncias em um transistor . . . . .	28
3.1	Metodologia para desenvolver retificador . . . . .	31
3.2	Esquemático do retificador de 5 mW . . . . .	33
3.3	Esquemático dos retificadores de 500 $\mu\text{W}$ e 50 $\mu\text{W}$ . . . . .	33
3.4	Circuito equivalente da etiqueta de 5 mW . . . . .	36
3.5	Layout do retificador de 50 $\mu\text{W}$ . . . . .	37
3.6	Layout do retificador de 500 $\mu\text{W}$ . . . . .	37
3.7	Layout do retificador de 5 mW . . . . .	38
4.1	Circuito para obtenção da tensão de limiar do transistor NMOS . . . . .	40
4.2	Circuito para obtenção de parâmetros tecnológicos do transistor NMOS . . . . .	41
4.3	Saída do ret. 5 mW para diferentes entradas . . . . .	42
4.4	Saída do ret. 500 $\mu\text{W}$ para diferentes entradas . . . . .	43
4.5	Saída do ret. 50 $\mu\text{W}$ para diferentes entradas . . . . .	43
4.6	Tensão nos terminais da fonte AC referenciadas ao terra para o retificador de 50 $\mu\text{W}$ . . . . .	47
4.7	Tensão da fonte AC . . . . .	48
4.8	Antena receptora . . . . .	49
4.9	Encapsulamento LQFP 44 pinos comparado a uma moeda . . . . .	49
4.10	PCB para medições . . . . .	50
4.11	Circuito de proteção ESD . . . . .	52

---

4.12	Tensão de entrada (esq.) e saída (dir.) do retificador de $50 \mu W$ . . . . .	53
4.13	Esquemático dos retificadores com fonte de entrada <i>single-ended</i> . . . . .	54
4.14	Tensão de entrada (dir.) e corrente de entrada (esq.) dos retificadores (fonte de entrada sem nível DC) . . . . .	55
4.15	Tensão de entrada (dir.) e corrente de entrada (esq.) dos retificadores (fonte de entrada com nível DC) . . . . .	55
4.16	Saída pós-layout com <i>pads</i> dos retificadores de $50 \mu W$ e $500 \mu W$ . . . . .	56



---

## Lista de Tabelas

---

1.1	Retificadores em tecnologia CMOS no estado da arte . . . . .	3
2.1	Transmissão de sinal sem fios . . . . .	6
3.1	Dimensionamento dos retificadores . . . . .	34
3.2	Circuito equivalente série (pós-layout) . . . . .	34
3.3	Caracterização das antenas . . . . .	35
3.4	Circuito equivalente série . . . . .	35
4.1	Tensão de limiar dos transistores . . . . .	40
4.2	Constante tecnológica dos transistores . . . . .	41
4.3	Constante $n$ dos transistores . . . . .	42
4.4	Tensão de limiar dos retificadores . . . . .	44
4.5	Tensão de <i>ripple</i> . . . . .	44
4.6	Tempo para atingir regime permanente . . . . .	45
4.7	Eficiência dos retificadores . . . . .	46

4.8	Nível DC na fonte AC . . . . .	47
4.9	Impedância de entrada . . . . .	48
4.10	Resultados de medição em PCB e de simulação . . . . .	57
5.1	Retificadores em tecnologia CMOS no estado da arte . . . . .	60
5.2	Retificadores deste trabalho (pós-layout) . . . . .	60

## Lista de Siglas

**AC** Corrente Alternada (*Alternate Current*)

**CEITEC** Centro Nacional de Tecnologia Eletrônica Avançada

**CMOS** Metal-Óxido-Semicondutor Complementar (*Complementary Metal-Oxide-Semiconductor*)

**DC** Corrente Contínua (*Direct Current*)

**ESD** Descarga Eletrostática (*Electrostatic discharge*)

**MOS** Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor*)

**NMOS** Transistor MOS do tipo N

**PCB** Circuito Impresso (*Printed Circuit Board*)

**PMOS** Transistor MOS do tipo P

**PMUB** Projeto Multiusuário Brasileiro

**RFID** Identificação em Radiofrequência (*Radio-frequency identification*)





---

# Sumário

---

<b>1</b>	<b>INTRODUÇÃO</b>	<b>1</b>
1.1	Motivação . . . . .	1
1.2	Revisão do Estado da Arte . . . . .	2
1.3	Organização do Trabalho . . . . .	4
<b>2</b>	<b>FUNDAMENTAÇÃO</b>	<b>5</b>
2.1	Sistema RFID . . . . .	5
2.1.1	Leitor RFID para transmissão de energia	6
2.1.2	Etiqueta RFID para transmissão de energia	7
2.2	Eficiência do Acoplamento . . . . .	8
2.3	Adaptação de Impedância . . . . .	10
2.3.1	Equivalente série-paralelo . . . . .	10
2.3.2	Transformação de impedância . . . . .	12
2.4	Fundamentos de Retificadores . . . . .	13
2.5	Retificadores Básicos . . . . .	17
2.5.1	Retificador de meia-onda . . . . .	17

---

2.5.2	Retificador de onda completa . . . . .	18
2.6	Retificadores MOS . . . . .	20
2.6.1	Transistor como diodo . . . . .	20
2.6.2	Retificador de acoplamento cruzado . . . . .	23
2.7	Perdas em Retificadores . . . . .	24
<b>3</b>	<b>PROJETO</b>	<b>29</b>
3.1	Especificações de Projeto . . . . .	29
3.2	Metodologia . . . . .	29
3.2.1	Retificador . . . . .	30
3.2.2	Antena . . . . .	31
3.2.3	Adaptação de impedância . . . . .	32
3.3	Design da Etiqueta . . . . .	32
3.4	Considerações de Layout . . . . .	36
<b>4</b>	<b>RESULTADOS</b>	<b>39</b>
4.1	Simulações . . . . .	39
4.1.1	Caracterização dos transistores . . . . .	40
4.1.2	Tensão de limiar dos retificadores . . . . .	41
4.1.3	Tensão de <i>ripple</i> . . . . .	44
4.1.4	Eficiência dos retificadores . . . . .	45
4.1.5	Rede de adaptação . . . . .	48
4.2	Medições em Chip . . . . .	49
4.2.1	Medições . . . . .	51
4.2.2	Verificação em simulação . . . . .	54
4.2.3	Análise de resultados . . . . .	56
<b>5</b>	<b>CONCLUSÃO</b>	<b>59</b>
5.1	Considerações gerais . . . . .	60
5.2	Dificuldades encontradas . . . . .	61
5.3	Lições aprendidas . . . . .	62

# CAPÍTULO 1

---

## INTRODUÇÃO

---

### 1.1 Motivação

O uso de eletrônica integrada em implantes biomédicos permite monitorar sinais vitais e melhorar a qualidade de vida das pessoas, podendo ser usada no tratamento de problemas cardíacos (marcapasso), de visão (implante de retina) ou até mesmo de audição (implante coclear). Tais implantes estão se tornando cada vez mais populares, existindo mais de 200 milhões de usuários somente de marcapasso no mundo e sendo implantados mais de 600 mil por ano [1]. O mercado foi avaliado em 32,3 bilhões de dólares em 2015 e tem expectativa de crescer 54% entre os anos de 2016 e 2024 [2], tendo o aumento da idade média e da expectativa de vida global como fatores que reforçam a importância do tema [3].

A busca por métodos alternativos para a alimentação de

implantes vem do fato de que a alimentação convencional destes dispositivos implicaria em um método intrusivo, o que tende a ser evitado. Uma primeira solução para este problema seria a utilização de baterias implantáveis, mas o problema é apenas transferido, visto que estas precisam ser trocadas periodicamente. Outra solução para o problema é transferir a energia remotamente, que possui a vantagem de o canal de transmissão poder ser usado também para transmitir dados.

A alimentação remota deve ser feita de tal forma que um circuito transmissor, externo ao corpo, deve enviar energia AC a um circuito receptor, interno ao corpo, o qual deve transformar esta energia AC em energia DC e entregar à carga (implante). Este problema possui desafios na geração do sinal no circuito transmissor, no modelamento do canal por onde a energia passa, e na conversão do sinal no receptor.

O presente trabalho tem como objetivo o estudo do receptor deste sistema de alimentação, também conhecido como etiqueta de um sistema RFID (excluso a parte de comunicação), assim como o projeto de três etiquetas para alimentar três cargas diferentes, com ênfase no principal gargalo na eficiência deste circuito, o circuito conversor AC/DC.

## 1.2 Revisão do Estado da Arte

Na Tabela 1.1 são apresentados alguns trabalhos de retificadores integrados para receptores de sistemas de transmissão de energia sem fios, onde buscou-se selecionar trabalhos que usam tecnologia, frequência de operação e potência de saída semelhantes às usadas neste trabalho.

De forma geral, nota-se em primeiro lugar que todas as re-

ferências da Tabela 1.1 têm largura de canal inferior a usada neste trabalho ( $0,6 \mu\text{m}$ ) e frequência de operação semelhante (com exceção de [7] e [12]), portanto, espera-se que a eficiência dos retificadores desenvolvidos neste trabalho seja inferior a das referências.

A referência [7] traz um retificador de acoplamento cruzado de um estágio com cancelamento parcial de tensão de limiar, utilizando uma técnica de auto polarização que diminui a tensão entre fonte e porta dos transistores NMOS a fim de diminuir perdas de condução reversa.

Em [10] e [11] são implementados circuitos comparadores que tem por função controlar os elementos ativos dos retificadores, a fim de diminuir o tempo de condução reversa destes e maximizar o tempo de condução direta das chaves. Por fim, em [12] é feito um estudo detalhado sobre retificadores de acoplamento cruzado e ao final são projetados dois retificadores de três estágios, mas dada a similaridade destes, apenas um deles é apresentado na tabela.

Tabela 1.1: Retificadores em tecnologia CMOS no estado da arte

	[7]	[10]	[11]	[12]
Tecnologia	$0,18 \mu\text{m}$	$0,18 \mu\text{m}$	$0,50 \mu\text{m}$	$0,09 \mu\text{m}$
Frequência	40,68 MHz	13,56 MHz	13,56 MHz	915 MHz
Tensão de Entrada	3,51 V	1,46 V	3,80 V	—
Tensão de Saída	3,15 V	1,3 V	3.12 V	1 V
Carga	8 k $\Omega$	1 k $\Omega$	500 $\Omega$	30 k $\Omega$
Eficiência	85,8 %	81,9 %	80,2 %	74 %

### **1.3 Organização do Trabalho**

O trabalho está organizado em 5 capítulos. O capítulo 2 se dedica a fundamentar a teoria por trás do projeto de receptores para sistemas de transmissão de energia sem fios, o capítulo 3 contém a metodologia utilizada ao longo do projeto realizado enquanto que os resultados do projeto, assim como a análise sobre os mesmos, estão dispostos no capítulo 4. As conclusões do trabalho encontram-se no capítulo 5.

# CAPÍTULO 2

---

## FUNDAMENTAÇÃO

---

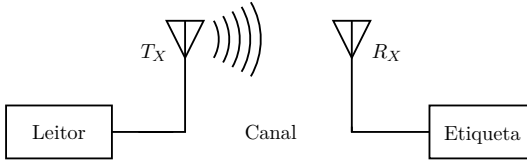
Este capítulo tem como objetivo introduzir conceitos básicos ao projeto de uma etiqueta RFID, servindo de base para as decisões tomadas ao longo do projeto. A primeira seção contextualiza a etiqueta quanto ao sistema em que ela se encontra, enquanto que a segunda e a terceira estão focadas em fundamentar blocos que formam a etiqueta.

### **2.1 Sistema RFID**

Um sistema de identificação radiofrequência (RFID) é um sistema em que há transmissão de informação, energia ou ambos através de campo magnético ou eletromagnético [4]. O sistema é apresentado em sua forma mais elementar na Fig. 2.1, onde o par leitor - etiqueta se comunica na frequência de operação do sistema, enviando sinal do transmissor ao

receptor pelo canal.

Figura 2.1: Sistema RFID



Fonte: Elaborada pelo autor

A transmissão de sinal pode ser feita através de radiação, acoplamento indutivo ou acoplamento indutivo ressonante, onde as vantagens e desvantagens na escolha de cada um estão resumidas na Tabela 2.1 [4].

Tabela 2.1: Transmissão de sinal sem fios

	Distância	Trans. de Energia.	Frequência
Radiação	> 1 m	Baixa	868 MHz - 5.8 GHz
Aco. Ind. Ress.	< 1 m	Alta	< 27.125 MHz
Aco. Ind.	< 1 cm	Alta	< 30 MHz

Analisando a Tabela 2.1, conclui-se que o uso de acoplamento indutivo ressonante é o que melhor se encaixa à transmissão de energia sem fios para um implante, visto que permite alta transferência de energia e não é tão restritivo quanto a distância entre leitor e etiqueta.

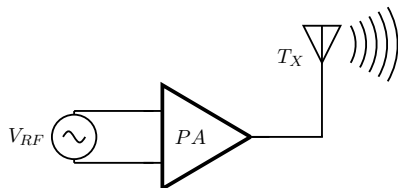
### 2.1.1 Leitor RFID para transmissão de energia

Os dois blocos básicos do leitor quanto à transmissão de energia, na Fig. 2.2, são o gerador de sinais em radiofrequência e o amplificador de potência, onde o primeiro é usado para



gerar o sinal a ser transmitido e o segundo para garantir que o sinal chegue com energia suficiente à etiqueta.

Figura 2.2: Leitor RFID para transmissão de energia

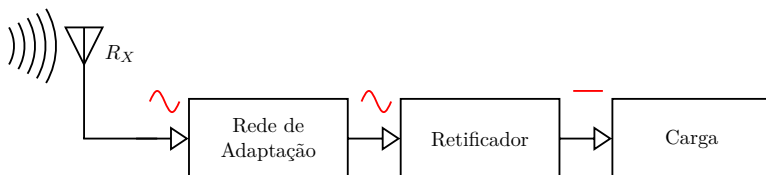


Fonte: Elaborada pelo autor

### 2.1.2 Etiqueta RFID para transmissão de energia

A etiqueta é responsável por receber o sinal e processá-lo de forma que possa usá-lo. Como o objetivo deste trabalho é transmitir energia e não informação, o processamento se dá por transformar um sinal AC em um sinal DC, de forma que possa alimentar uma carga (implante). A etiqueta, salvo a parte de recepção de dados, pode ser vista na Fig. 2.3, onde o retificador é responsável pela conversão AC/DC e a rede de adaptação de impedância garante que a eficiência da transmissão de energia seja máxima.

Figura 2.3: Etiqueta RFID para transmissão de energia

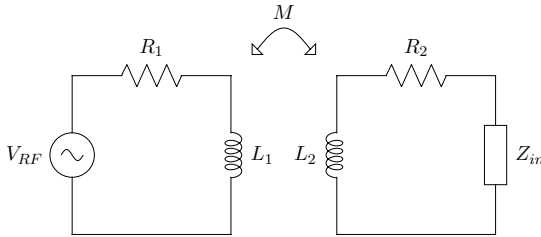


Fonte: Elaborada pelo autor

## 2.2 Eficiência do Acoplamento

É importante analisar a eficiência do acoplamento indutivo para projetar a rede de casamento de impedância da Fig. 2.3. O circuito da Fig. 2.4 foi usado para fazer esta análise, onde os resistores  $R_1$  e  $R_2$  modelam as perdas dos indutores  $L_1$  e  $L_2$ ,  $M$  é a indutância mútua e  $Z_{in}$  a impedância de entrada do retificador.

Figura 2.4: Circuito transmissor (esq.) e receptor (dir.)



Fonte: Elaborada pelo autor

Em [5], a eficiência do link é definida como

$$\eta = \frac{\Re\{Z_{in}\} |I_{in}|^2}{\Re\{Z_{RF}\} |I_{RF}|^2}, \quad (2.1)$$

na qual  $Z_{RF}$  é a impedância vista pela fonte  $V_{RF}$ ,  $I_{RF}$  é a corrente fornecida pela fonte e  $I_{in}$  é a corrente em  $Z_{in}$ . Através da análise de malhas no domínio da frequência do circuito da Fig. 2.4 é possível reescrever a Eq. 2.1 como [5]:

$$\eta = \frac{(\omega M)^2 R_{in}}{R_1 [(\omega L_2 + X_{in})^2 + (R_2 + R_{in})^2] + (\omega M)^2 (R_2 + R_{in})}, \quad (2.2)$$

onde  $\omega$  é a frequência angular do sinal de entrada,  $X_{in}$  a parte imaginária de  $Z_{in}$  e  $R_{in}$  a parte real de  $Z_{in}$ . Na expressão, os parâmetros relacionados ao acoplamento indutivo e ao leitor podem ser considerados constantes, assim, as variáveis da Eq. 2.2 passam a ser apenas  $R_2$ ,  $L_2$ ,  $R_{in}$  e  $X_{in}$ . É evidente que para maximizar a eficiência do sistema em relação a  $X_{in}$ ,  $X_{in}$  deve ser  $-\omega L_2$ , condição na qual transmissor e receptor ressonam na mesma frequência (acoplamento indutivo ressonante). Utilizando  $X_{in} = -\omega L_2$ , a Eq. 2.2 passa a ser:

$$\eta = \frac{(\omega M)^2 R_{in}}{R_1(R_2 + R_{in})^2 + (\omega M)^2(R_2 + R_{in})}. \quad (2.3)$$

A Eq. 2.3 foi então derivada em relação a  $R_{in}$  e igualada a zero para descobrir o valor de  $R_{in}$  que maximiza a eficiência do sistema,

$$R_{in} = \sqrt{R_2^2 + \frac{R_2}{R_1}(\omega M)^2}. \quad (2.4)$$

A suposição de acoplamento mútuo baixo leva em conta o pior cenário para a eficiência da transmissão de energia [5] e portanto será avaliada. Em tal caso, desconsidera-se o termo da Eq. 2.4 que multiplica  $M$ , fazendo com que a eficiência máxima ocorra quando  $R_{in}$  é igual a  $R_2$ . Ainda, sabendo que o fator de qualidade da antena transmissora  $Q_1$  é  $\frac{\omega L_1}{R_1}$  e o fator de qualidade da antena receptora  $Q_2$  é  $\frac{\omega L_2}{R_2}$ , e assumindo as condições já estabelecidas para máxima eficiência ( $R_{in} = R_2$  e  $X_{in} = -\omega L_2$ ), pode-se reescrever a Eq 2.2 como:

$$\eta = \frac{1}{\frac{4}{k^2 Q_1 Q_2} + 2}, \quad (2.5)$$

onde  $k$  é o coeficiente de acoplamento. A expressão mostra que a eficiência máxima do sistema é de 50 % para as condições estabelecidas e ocorre quando  $Q_2$  é muito elevado.

## 2.3 Adaptação de Impedância

Adaptação de impedância pode ser feita para maximizar potência transferida à carga, eficiência do circuito ou fazer um compromisso entre ambos. É comum o emprego de elementos reativos para redes de adaptação de impedância, visto que idealmente estes não dissipam potência, onde a reatância destes pode ser escrita como a soma de duas reatâncias equivalentes, uma indutiva e uma capacitiva,

$$X = X_L + X_C = \omega L - \frac{1}{\omega C}. \quad (2.6)$$

### 2.3.1 Equivalente série-paralelo

Uma carga complexa com elementos em série pode ser expressa por:

$$Z_S = R_S + jX_S, \quad (2.7)$$

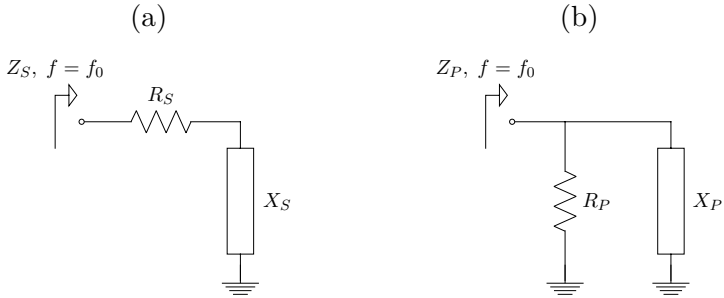
onde  $Z_S$  é a impedância série,  $R_S$  é a resistência série e  $X_S$  é a reatância série. Por sua vez, uma carga complexa com elementos em paralelo pode ser expressa por:

$$Z_P = \frac{R_P X_P^2}{R_P^2 + X_P^2} + j \frac{R_P^2 X_P}{R_P^2 + X_P^2}, \quad (2.8)$$

onde  $Z_P$  é a impedância paralela,  $R_P$  é a resistência paralela e  $X_P$  é a reatância paralela. Ambas as impedâncias são função da frequência e pode-se dizer que existe frequência

$f = f_0$  em que  $Z_S = Z_P$ , fazendo os circuitos da Fig 2.5a e 2.5b equivalentes.

Figura 2.5: Circuitos série (a) e paralelo (b)



Fonte: Elaborada pelo autor

Considerando que o fator de qualidade série do circuito da Fig. 2.5a é igual ao fator de qualidade paralelo do circuito da Fig. 2.5b, chega-se a:

$$Q_S = Q_P = \frac{|X_S|}{R_S} = \frac{R_P}{|X_P|}. \quad (2.9)$$

Ao se manipular a Eq. 2.9, substituí-la nas Eq. 2.7 e 2.8 e igualar as duas, chega-se a expressões para equivalência de componentes série e paralelo [6]:

$$R_P = R_S(Q^2 + 1) \quad (2.10)$$

$$X_P = X_S \frac{Q^2 + 1}{Q^2}. \quad (2.11)$$

Dado que um circuito com resistência e reatância paralelas pode ser expresso como um circuito com resistência e reatância série, o resto da seção tratará somente do circuito

série.

### 2.3.2 Transformação de impedância

Ao adicionar um elemento reativo em paralelo com um circuito série, muda-se a impedância equivalente do circuito e esta pode ser escrita em termos série como:

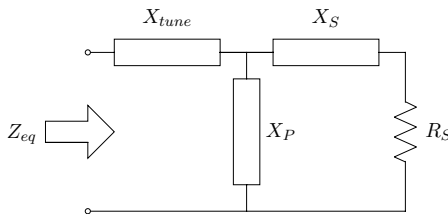
$$R_{eq} = \frac{R_S X_P^2}{R_S^2 + (X_S + X_P)^2} \quad (2.12)$$

$$X_{eq} = \frac{R_S^2 X_P + X_S^2 X_P + X_S X_P^2}{R_S^2 + (X_S + X_P)^2} . \quad (2.13)$$

Assim, caso deseje-se transformar uma impedância conhecida, é possível escolher a resistência série equivalente desejada com a Eq. 2.12 e depois ajustar a parte imaginária da impedância adicionando um elemento reativo em série com o circuito, resultando no circuito da Fig. 2.6 e na impedância equivalente

$$Z_{eq} = R_{eq} + j (X_{eq} + X_{tune}) . \quad (2.14)$$

Figura 2.6: Transformação de impedância

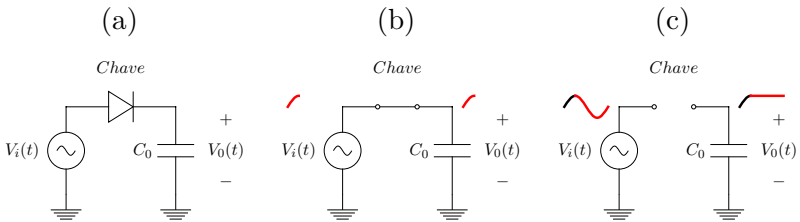


Fonte: Elaborada pelo autor

## 2.4 Fundamentos de Retificadores

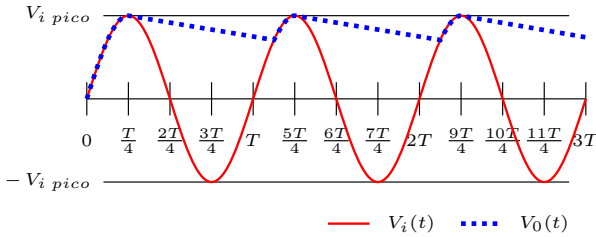
Retificadores são circuitos altamente não-lineares, possuindo como entrada um sinal variante no tempo e saída um sinal constante. A implementação destes circuitos normalmente se dá por meio de chaves, que permitem fluxo de corrente em apenas uma direção, e capacitores, que armazenam as cargas recebidas pela corrente em suas placas, gerando assim uma diferença de potencial entre seus terminais. Um modelo simples de retificador pode ser visto na Fig. 2.7a, com entrada  $V_i(t)$ , saída  $V_0(t)$ , capacitor de saída  $C_0$  e uma chave ideal. Seu comportamento no tempo encontra-se nas Fig. 2.7b e 2.7c, onde o estado da chave é apresentado junto ao comportamento das ondas de entrada e saída, em vermelho.

Figura 2.7: Circuito conceitual de retificador (a), capacitor carregando (b) e carregado (c)



Fonte: Elaborada pelo autor

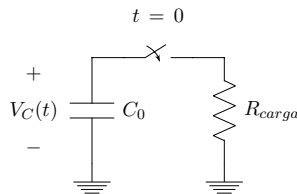
A energia armazenada no capacitor na Fig. 2.7c deve ser entregue a uma carga de interesse, assim descarregando-o. O capacitor será novamente carregado no segundo ciclo do sinal de entrada, dando origem a uma ondulação no sinal de saída conhecida como tensão de *ripple*, como mostra a Fig. 2.8, onde  $V_{i\ pico}$  é o pico da tensão de entrada.

Figura 2.8: Tensão de *ripple*

Fonte: Elaborada pelo autor

Dado que o fenômeno tensão de *ripple* decorre de um capacitor sendo descarregado por um resistor, será feita uma breve revisão teórica de circuitos RC. O circuito da Fig. 2.9 mostra um capacitor  $C_0$  com tensão inicial  $V_C(0) = V_{i\text{ pico}}$ , e este é conectado ao resistor  $R_{\text{carga}}$  através de uma chave aberta. A chave fecha em  $t = 0$ , dando origem à corrente que descarrega o capacitor,

Figura 2.9: Circuito RC com capacitor inicialmente carregado



Fonte: Elaborada pelo autor

$$i_C(t) = C_0 \frac{dV_C(t)}{dt} = \frac{V_C(t)}{R_{\text{carga}}} . \quad (2.15)$$

A Eq. 2.15 pode ser reorganizada dando origem a:



$$\frac{dV_C(t)}{V_C(t)} = \frac{dt}{R_{carga}C_0}, \quad (2.16)$$

e integrando-se ambos os lados da Eq. 2.16 e reorganizando os termos novamente, chega-se a:

$$V_C(t) = V_{i\ pico} e^{-\frac{t}{R_{carga}C_0}}, \quad (2.17)$$

que diz a tensão  $V_C(t)$  em um capacitor  $C_0$  inicialmente carregado com  $V_{i\ pico}$  sendo descarregado por um resistor  $R_{carga}$  por  $t$  segundos.

A tensão de *ripple* de um retificador pode ser encontrada utilizando a Eq. 2.17 e o tempo que o capacitor descarrega. No entanto, dada a não-linearidade do circuito, é mais interessante usar  $t = T$  segundos, o período da onda de entrada, chegando-se no resultado pessimista para tensão de *ripple*,

$$V_{ripple} = V_{i\ pico} \left( 1 - e^{-\frac{T}{R_{carga}C_0}} \right). \quad (2.18)$$

Muitas vezes tem-se imposto ao projetista a carga, a tensão na carga, a tensão de *ripple* e até mesmo a frequência de operação do circuito, portanto, é interessante obter uma expressão para encontrar o capacitor desejado na saída. Em primeiro momento, pode-se simplesmente isolar  $C_0$  na Eq. 2.18, resultando em:

$$C_0 = \frac{T}{R_{carga} \ln \left( 1 - \frac{V_{ripple}}{V_{i\ pico}} \right)}, \quad (2.19)$$

no entanto, percebe-se que para baixas tensões de *ripple*,  $\frac{T}{R_{carga}C_0} \ll 1$ , permitindo simplificar a Eq. 2.18 utilizando série de Taylor, o que resulta em:

$$C_0 \approx \frac{V_{i \text{ pico}}}{V_{\text{ripple}}} \frac{1}{f R_{\text{carga}}} , \quad (2.20)$$

uma expressão simples e de fácil uso pelo projetista, onde o período  $T$  foi substituído pelo inverso da frequência  $f$ .

Por fim, serão feitas considerações quanto à resistência de entrada de um retificador. Para um retificador ideal cujo a entrada é apenas um tom, se não houver perdas de chaveamento, pode-se assumir que a potência de entrada  $P_i$  é igual a potência de saída  $P_0$ ,

$$P_i = P_0 , \quad (2.21)$$

o que iguala uma potência RMS ( $P_i$ ) e uma potência instantânea ( $P_0$ ).

Em primeiro momento, nota-se que devido à chave, toda corrente fornecida pela fonte DC é consumida pela carga, de tal forma que a resistência de saída  $R_0$  é a própria resistência da carga  $R_{\text{carga}}$ . Então, escreve-se a Eq. 2.21 em termos de tensões e resistências e chega-se a

$$R_i = \alpha_V^2 \frac{R_{\text{carga}}}{2} , \quad (2.22)$$

onde  $\alpha_V$  é a razão entre a amplitude da tensão de entrada e a tensão de saída. Para o retificador ideal,  $\alpha_V = 1$  e a resistência de entrada passa a ser metade da resistência da carga. Pode-se adicionar a perda de potência nas chaves ( $P_{\text{loss}}$ ) na Eq. 2.21 e repetir o procedimento para encontrar a resistência de entrada do retificador, chegando-se em:

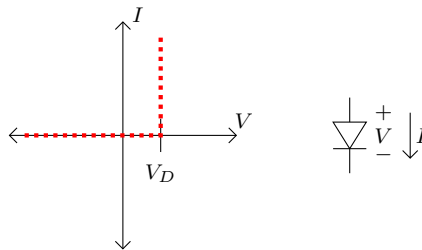
$$R_i = \frac{1}{\frac{2}{\alpha_V^2 R_{\text{carga}}} + \frac{2P_{\text{loss}}}{V_{i \text{ pico}}^2}} , \quad (2.23)$$

mostrando assim que a resistência de entrada é máxima quando não há perda de potência.

## 2.5 Retificadores Básicos

Esta seção será dedicada ao estudo dos tipos básicos de retificador, retificador de meia-onda e de onda completa, estes circuitos sendo amplamente empregados tanto em eletrônica integrada quanto em eletrônica discreta. Por se tratar de retificadores básicos, a chave será implementada por diodos e o comportamento do diodo será o descrito na Fig. 2.10, onde  $V_D$  é a tensão de limiar do dispositivo (para diodos convencionais,  $V_D \approx 0,7$  V). Também, o capacitor de saída  $C_0$  será omitido dos esquemáticos por simplicidade, e será assumido que ele é grande o suficiente para que  $V_{ripple} = 0$ .

Figura 2.10: Relação tensão - corrente do diodo chave



Fonte: Elaborada pelo autor

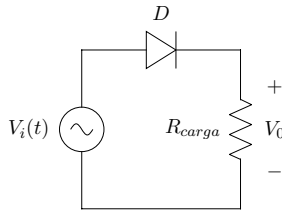
### 2.5.1 Retificador de meia-onda

Retificadores de meia-onda são caracterizados por conduzir durante apenas metade do ciclo do sinal de entrada. Um retificador de meia-onda encontra-se no circuito da Fig. 2.11,

composto pela entrada  $V_i(t)$ , um diodo  $D$  e um resistor  $R_{carga}$ . Considerando  $V_D = 0$ , percebe-se que a tensão de saída é igual a amplitude da tensão de entrada. Ao levar em conta a tensão de limiar do diodo, a tensão de saída passa a ser:

$$V_0 = V_{i\ pico} - V_D \text{ para } V_{i\ pico} > V_D . \quad (2.24)$$

Figura 2.11: Retificador de meia-onda



Fonte: Elaborada pelo autor

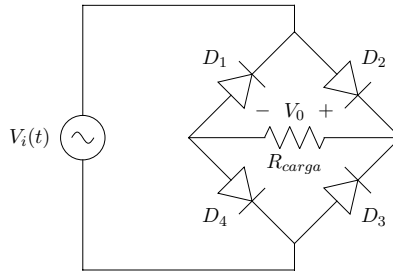
## 2.5.2 Retificador de onda completa

Retificadores de onda completa, por sua vez, são caracterizados por conduzir durante os dois semiciclos do sinal de entrada. O circuito da Fig. 2.12 é um retificador de onda completa composto pela entrada  $V_i(t)$ , quatro diodos iguais ( $D_1$ ,  $D_2$ ,  $D_3$  e  $D_4$ ) e um resistor  $R_{carga}$ . Para compreender o comportamento transiente do circuito, supõe-se inicialmente  $V_0 = 0$  e desconsidera-se o efeito da tensão de limiar dos diodos. Fica evidente que quando  $V_i(t) > 0$ , os diodos  $D_2$  e  $D_4$  conduzem enquanto  $D_1$  e  $D_3$  permanecem em corte, e similarmente, quando  $V_i(t) < 0$  os diodos  $D_1$  e  $D_3$  conduzem enquanto  $D_2$  e  $D_4$  entram em corte. Percebe-se que a saída

$V_0$  segue a entrada  $V_i(t)$  apenas em magnitude, mantendo nos dois semiciclos o mesmo sentido de corrente. Para regime permanente então, a tensão de saída passa ser igual a amplitude da tensão de entrada, e levando em consideração a tensão de limiar dos diodos, ela passar a ser:

$$V_0 = V_{i \text{ pico}} - 2V_D \text{ para } V_{i \text{ pico}} > 2V_D . \quad (2.25)$$

Figura 2.12: Retificador de onda completa



Fonte: Elaborada pelo autor

Vale ressaltar que para o retificador de onda completa, a expressão que descreve a capacitância de saída passa a ser:

$$C_0 \approx \frac{V_{i \text{ pico}}}{V_{\text{ripple}}} \frac{1}{2fR_{\text{carga}}} , \quad (2.26)$$

pois o capacitor de saída passa a descarregar somente a metade do tempo. Comparando as Eq. 2.20 e 2.26 conclui-se que para uma mesma tensão de *ripple*, o capacitor de saída do retificador de onda completa tem a metade da capacitância do de meia-onda.

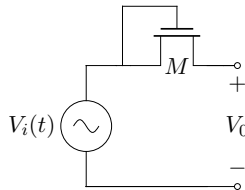
## 2.6 Retificadores MOS

Devido as atuais tendências de ultra baixa potência e ultra baixa tensão em circuitos integrados, o uso de diodos convencionais torna-se proibitivo por causa da sua alta tensão de limiar e é necessário encontrar alternativas. Uma possível solução é substituí-los por diodos com baixa tensão de limiar (diodos Schottky), mas estes dispositivos nem sempre estão disponíveis em processos de fabricação CMOS, e mesmo quando estão, encarecem o processo [9]. Uma segunda solução é a utilização de transistores MOS como elemento chave, e portanto, torna-se necessário o estudo de retificadores MOS.

### 2.6.1 Transistor como diodo

Um transistor MOS com dreno e porta curto-circuitados é comumente chamado de diodo MOS e é possível utilizar transistores nesta configuração para substituir diodos nas topologias das Fig. 2.11 e Fig. 2.12. A Fig. 2.13 mostra um retificador de meia-onda NMOS com entrada  $V_i(t)$  e saída  $V_0$ , onde a carga foi omitida por simplicidade.

Figura 2.13: Retificador de meia-onda NMOS



Fonte: Elaborada pelo autor

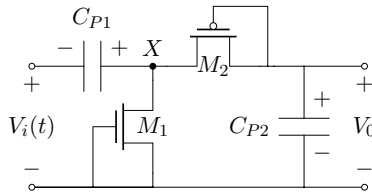
Assim como na sua versão com diodos, para baixas ten-

sões de entrada, a conversão entrada - saída deste retificador depende fortemente da tensão de limiar do dispositivo ativo, sendo ela:

$$V_0 = V_{i\ pico} - V_{th} \text{ para } V_{i\ pico} > V_{th} , \quad (2.27)$$

onde  $V_{th}$  é a tensão de limiar do transistor MOS. Usar diodos MOS como dispositivo ativo mostra-se vantajoso desde que  $V_{th} < V_D$ . Outra configuração bastante usada no contexto de circuitos integrados é o retificador Dickson, em [13], que através do uso de chaves e capacitores multiplicadores consegue gerar uma tensão de saída maior que a amplitude da tensão de entrada. A célula básica de um retificador Dickson CMOS é apresentada na Fig. 2.14, composta pelos capacitores multiplicadores  $C_{P1}$  e  $C_{P2}$ , e diodos MOS  $M_1$  e  $M_2$ .

Figura 2.14: Célula do retificador Dickson CMOS

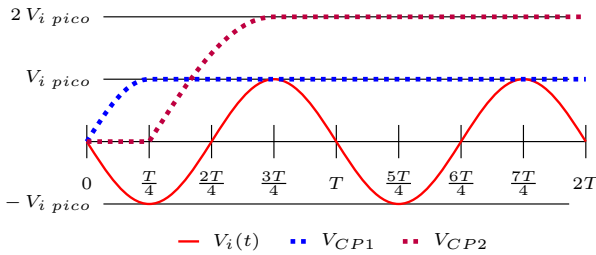


Fonte: Elaborada pelo autor

Considerando-se inicialmente  $V_0 = V_X = V_{th} = 0$ , onde  $V_X$  é a tensão no nó  $X$ , apenas o transistor  $M_1$  conduz no semiciclo negativo de  $V_i(t)$ , e o capacitor  $C_{P1}$  é carregado com  $V_{i\ pico}$ . Quando  $V_i(t) = -V_{i\ pico}$ ,  $V_X = 0$  e o transistor  $M_1$  está prestes a entrar em corte, enquanto que o transistor  $M_2$  está prestes a conduzir, fazendo com que o restante da excursão de  $V_i(t)$  seja usado para carregar o capacitor  $C_{P2}$ ,

o qual é carregado com  $2V_{i\ pico}$ . A Fig. 2.15 mostra como as tensões  $V_i(t)$ ,  $V_{CP1}$  e  $V_{CP2}$  se comportam com o tempo, onde  $V_{CP1}$  e  $V_{CP2}$  são as tensões armazenadas pelos capacitores multiplicadores, com sentido apresentado na Fig. 2.14.

Figura 2.15: Tensão nos capacitores com o tempo



Fonte: Elaborada pelo autor

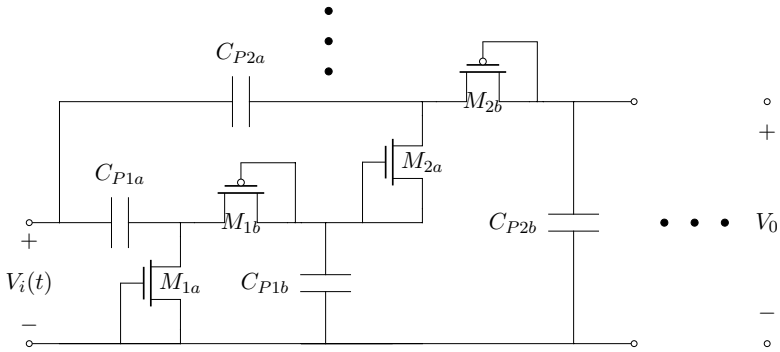
É possível utilizar  $N$  estágios da célula deste retificador na configuração apresentada na Fig. 2.16, com saída

$$V_0 = 2N(V_{i\ pico} - V_{th}) \text{ para } V_{i\ pico} > 2NV_{th}, \quad (2.28)$$

onde a tensão de limiar dos transistores PMOS e NMOS é igual em módulo,  $V_{th} = V_{thn} = |V_{thp}|$ . A Eq. 2.28 mostra que esta topologia tem a conversão de sinal entrada - saída fortemente degradada quando  $N$  é grande. Ainda, a expressão também mostra que o número de estágios afeta a condição para que sequer haja transferência de sinal da entrada para saída.



Figura 2.16: Retificador Dickson com múltiplas células



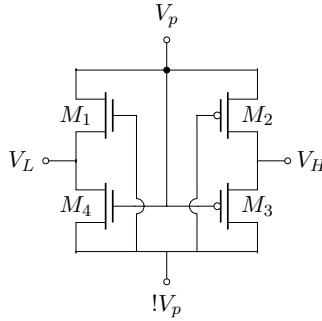
Fonte: Elaborada pelo autor

### 2.6.2 Retificador de acoplamento cruzado

O retificador de acoplamento cruzado, apresentado em [8], é uma topologia interessante pois ela reduz a influência do  $V_{th}$  dos transistores na performance do circuito. A célula básica deste circuito encontra-se na Fig. 2.17 e é mais facilmente entendida supondo  $V_p(t)$  e  $!V_p(t)$  entradas diferenciais. Considerando  $V_{th} = 0$ , os transistores  $M_2$  e  $M_4$  conduzem no semiciclo positivo de  $V_p(t)$  enquanto  $M_1$  e  $M_3$  permanecem em corte. Similarmente, no semiciclo positivo de  $!V_p(t)$  os transistores  $M_1$  e  $M_3$  conduzem enquanto  $M_2$  e  $M_4$  permanecem em corte. Nos dois semiciclos o potencial positivo entra em curto com  $V_H$  enquanto o potencial negativo entra em curto com  $V_L$ , fazendo com que a tensão diferencial de saída do circuito,  $V_H - V_L$ , seja igual ao módulo da tensão de entrada.

Assim como no retificador Dickson, é possível utilizar  $N$  estágios do retificador de acoplamento cruzado afim de obter tensão de saída maior que a amplitude da tensão de entrada,

Figura 2.17: Retificador de acoplamento cruzado



Fonte: Elaborada pelo autor

resultando no circuito da Fig. 2.18. O circuito possui alimentação em paralelo com as células, onde cada capacitor armazena uma tensão de  $V_{CPN} = (N - 1)V_{i\ pico}$  entre seus terminais,  $N$  sendo o estágio onde se encontra o capacitor  $C_{PN}$  e não havendo capacitor para  $N = 1$ . A saída do circuito é coletada em série com as células e é dada por:

$$V_0 = NV_{i\ pico} \text{ para } V_{i\ pico} > V_{th} , \quad (2.29)$$

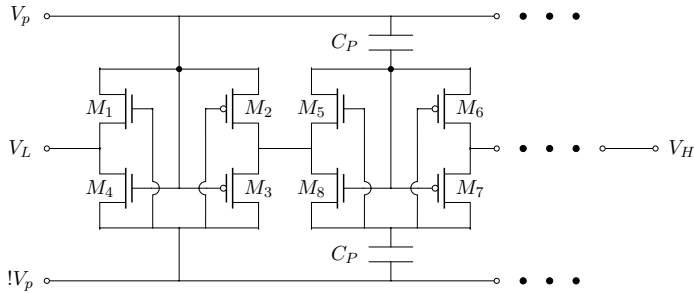
onde  $V_0 = V_H - V_L$  e  $V_{i\ pico}$  é o pico da tensão diferencial  $V_p - !V_p$ .

## 2.7 Perdas em Retificadores

Todos os retificadores estudados empregam elementos chave, e todos os elementos chave provocam perdas de potência no sistema,

$$P_{drop} = \int_0^T i_S(t)v_S(t) dt , \quad (2.30)$$

Figura 2.18: Células cascateadas do ret. de aco. cruzado



Fonte: Elaborada pelo autor

onde  $P_{drop}$  é a perda de potência na chave,  $i_S(t)$  a corrente,  $v_S(t)$  a tensão e  $T$  o período do sinal de entrada. Para diodos, a equação é de solução relativamente simples por causa da lei exponencial de corrente,

$$i_D(t) = I_S(e^{\frac{v_D}{n\phi_t}} - 1), \quad (2.31)$$

no entanto, o transistor MOS é um dispositivo de quatro terminais e tem a corrente através de fonte e dreno dependente da tensão nos quatro terminais. A corrente é modelada por regiões de operação que dependem do nível de inversão e do campo elétrico aplicado entre fonte e dreno, mas considerando apenas inversão forte pode-se tratar a corrente através do canal como [16]:

$$i_{DS}(t) = \mu_{n/p} C_{ox} n \frac{W}{2L} [(V_P - V_S)^2 - (V_P - V_D)^2], \quad (2.32)$$

onde  $\mu_{n/p}$ ,  $C_{ox}$  e  $n$  são constantes tecnológicas do dispositivo,  $W$  é a largura e  $L$  é o comprimento.  $V_S$  e  $V_D$  são as tensões

de fonte e dreno referenciadas ao corpo (*bulk*) do transistor e a tensão de *pinch-off* é

$$V_P \approx \frac{V_G - V_{th}}{n}, \quad (2.33)$$

onde  $V_G$  é a tensão de porta referenciada ao corpo. Os dois termos entre parenteses da Eq. 2.32 devem ser considerados apenas se forem maior que zero (menor que zero para PMOS).

Uma estratégia para avaliar a perda de potência nas chaves, em [14], é analisar o circuito usando superposição, assumindo um sinal DC na saída e um sinal AC na entrada, como nas Fig. 2.19a, 2.19b e 2.19c, onde a tensão no diodo  $D$  é

$$v_D = V_{AC} - V_{DC}, \quad (2.34)$$

esta podendo ser substituída nas Eq. 2.31 e 2.30 afim de obter a perda de potência nas chaves. Em [14] também se adiciona um capacitor em paralelo com o diodo para modelar a capacitância da junção PN, fazendo assim um modelo AC mais completo com corrente total no diodo real igual a soma das correntes no capacitor e no diodo ideal.

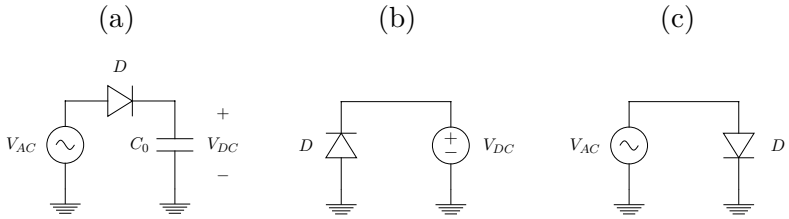
Fazendo-se uma análise similar para transistores MOS no retificador de acoplamento cruzado, chega-se aos circuitos da Fig. 2.20a e 2.20b onde as tensões entre os terminais dos transistores NMOS são:

$$V_G = \frac{V_{DC}}{2} + \frac{V_{AC}}{2} \quad (2.35)$$

$$V_S = \frac{V_{DC}}{2} - \frac{V_{AC}}{2} \quad (2.36)$$

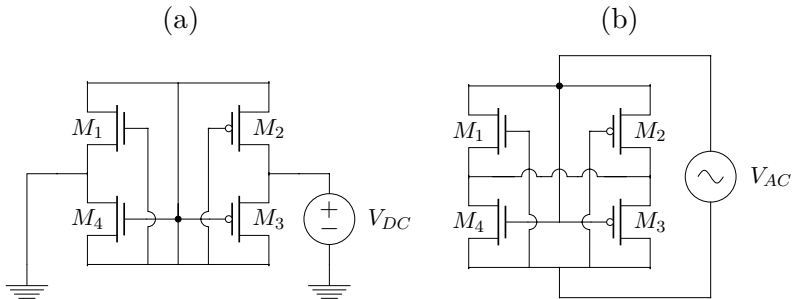
$$V_D = 0. \quad (2.37)$$

Figura 2.19: Retificador (a), análise DC (b) e AC (c)



Fonte: Elaborada pelo autor

Figura 2.20: Ret. ac. cruz., análise DC (a) e AC (b)

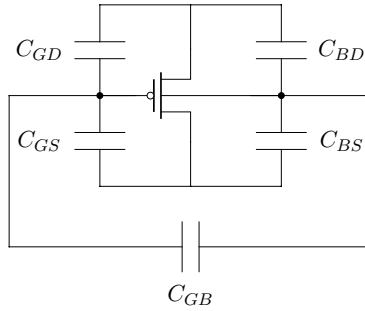


Fonte: Elaborada pelo autor

As Eq. 2.35, 2.36 e 2.37 podem ser substituídas nas Eq. 2.32 e 2.33, e finalmente em 2.30 para obter a perda de potência em uma chave NMOS, e um processo análogo pode ser realizado para obter a perda de potência em uma chave PMOS. A análise das capacitâncias de um transistor MOS é muito mais complexa que a de um diodo, composto apenas de uma junção PN, dificultando a análise AC do problema.

Um modelo simples das capacitâncias do transistor pode ser visto na Fig. 2.21 [12].

Figura 2.21: Capacitâncias em um transistor



Fonte: Elaborada pelo autor

# CAPÍTULO 3

---

## PROJETO

---

### 3.1 Especificações de Projeto

O projeto foi feito utilizando tecnologia 600 nm, disponível gratuitamente através do programa PMUB da CEITEC. Projetou-se três etiquetas operando a 13,56 MHz, onde cada etiqueta deve entregar 5 V a uma carga diferente, 5 k $\Omega$ , 50 k $\Omega$  e 500 k $\Omega$ , resultando em potências de saída de 5 mW, 500  $\mu$ W e 50  $\mu$ W, respectivamente. Para o projeto, assumiu-se que haveria um sinal senoidal com 4 V de amplitude disponível nos terminais da antena receptora.

### 3.2 Metodologia

Primeiramente, escolheu-se a topologia de retificador e, para cada etiqueta, este foi projetado para gerar 5 V na saída

supondo-se 4 V na entrada do circuito. Então, a impedância de entrada do retificador foi caracterizada, a antena receptora escolhida e a impedância de entrada do retificador adaptada afim de otimizar a eficiência do link.

### 3.2.1 Retificador

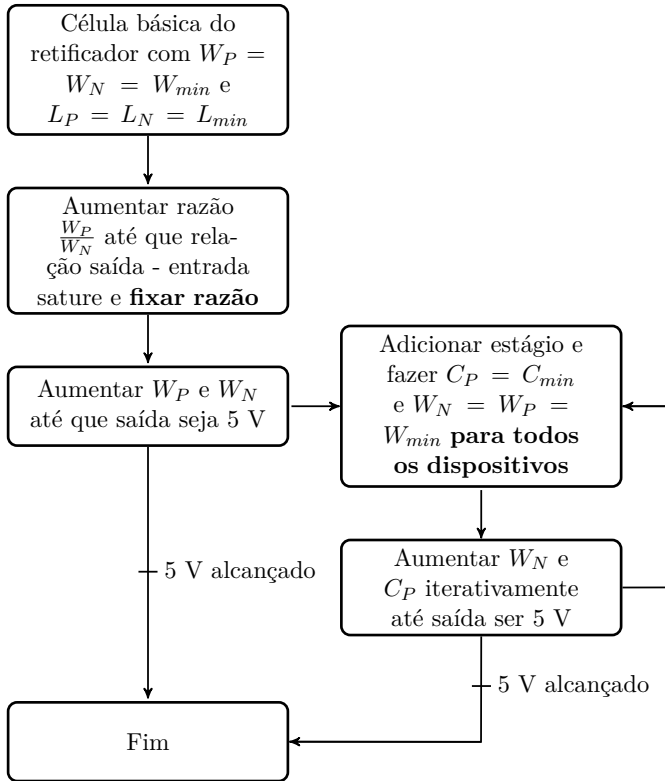
Decidiu-se pela topologia de acoplamento cruzado visto que, de acordo com a seção 2.6, é a que menos sofre com a tensão de limiar dos dispositivos ativos. A metodologia desenvolvida para o projeto do circuito, no fluxograma da Fig. 3.1, tem como objetivo obter retificadores com número mínimo de estágios.

Inicialmente, fez-se  $W_N = W_P = W_{min}$  e  $L_N = L_P = L_{min}$  e aplicou-se o sinal de entrada AC com 4 V de amplitude em um estágio do retificador. Em seguida, variou-se  $W_N$  e  $W_P$  afim de encontrar a razão entre os dois que possibilitasse máxima transferência de tensão entrada - saída, e esta foi fixada em  $\frac{W_P}{W_N} = 2$ . Com a razão fixada, aumentou-se ambas as larguras dos canais até a saída do estágio saturar ou alcançar 5 V. Se a tensão de saída de 5 V fosse alcançada, o retificador estaria concluído. Caso contrário, adicionaria-se um próximo estágio com capacitores multiplicadores com valor  $C_P = C_{min} = 1$  fF. As larguras dos canais de todos os transistores também mudariam para  $W_N = W_P = W_{min}$  e o valor dos capacitores e das larguras dos canais então seriam variados iterativamente até alcançar 5 V na saída, onde a razão das larguras seria fixada após alcançar  $\frac{W_P}{W_N} = 2$ . Caso a saída saturasse em um valor inferior a 5 V, o processo se repetiria.

Para escolha do capacitor de saída, foram escolhidos ca-



Figura 3.1: Metodologia para desenvolver retificador



Fonte: Elaborada pelo autor

pacitores que permitissem mesma tensão de *ripple* nos três retificadores, a qual deve ser inferior a 10 % da tensão de saída (Eq. 2.26), e escolheu-se valores de capacitância integráveis.

### 3.2.2 Antena

As antenas disponíveis no Laboratório de Pesquisas em Radiofrequência foram caracterizadas usando um VNA (*Vector*

*Network Analyzer*) como circuitos RLC paralelo e foi escolhida aquela com maior fator de qualidade na frequência de operação da etiqueta, pois de acordo com a Eq. 2.5, quanto maior o fator de qualidade da antena receptora,  $Q_2$ , maior a eficiência do acoplamento indutivo ressonante.

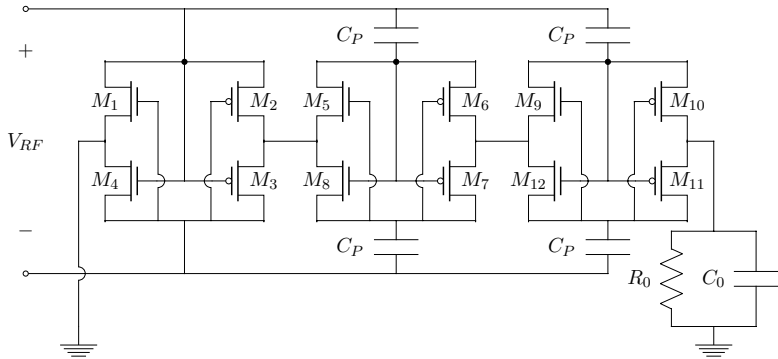
### 3.2.3 Adaptação de impedância

Com retificadores e antena caracterizados, fez-se então a adaptação de impedância que permitisse máxima eficiência do link, que, de acordo com a seção 2.2, significa fazer a impedância vista dos terminais da antena ser igual ao conjugado complexo da própria.

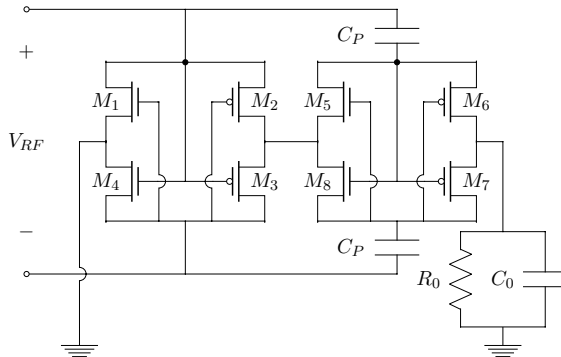
## 3.3 Design da Etiqueta

Utilizando a metodologia proposta, foram desenvolvidos três retificadores baseados em [8] com estágios idênticos para alimentar três cargas com 5 V. O esquemático dos retificadores podem ser visto nas Fig. 3.2 e 3.3, onde os valores obtidos para componentes passivos e ativos estão dispostos na Tabela 3.1. Chama-se atenção para o fato de que os terminais de corpo dos transistores NMOS estão aterrados, enquanto que os dos transistores PMOS estão em curto com o dreno (nó entre células).

Figura 3.2: Esquemático do retificador de 5 mW



Fonte: Elaborada pelo autor

Figura 3.3: Esquemático dos retificadores de 500  $\mu\text{W}$  e 50  $\mu\text{W}$ 

Fonte: Elaborada pelo autor

A caracterização dos retificadores quanto a impedância de entrada foi feita utilizando simulação PSS (*Periodic Steady State*), esta gerando um transiente no circuito e o analisando apenas após este entrar em regime permanente. Vale ressaltar que impedância é um conceito linear e o circuito é de natureza não linear, portanto o equivalente série da Ta-

Tabela 3.1: Dimensionamento dos retificadores

	Ret. 5 mW	Ret. 500 $\mu$ W	Ret. 50 $\mu$ W
$W_N$	40 $\mu$ m	4 $\mu$ m	0,8 $\mu$ m
$W_P$	80 $\mu$ m	8 $\mu$ m	0,8 $\mu$ m
$L_N$	0,6 $\mu$ m	0,6 $\mu$ m	0,6 $\mu$ m
$L_P$	0,6 $\mu$ m	0,6 $\mu$ m	0,6 $\mu$ m
$R_0$	5 k $\Omega$	50 k $\Omega$	500 k $\Omega$
$C_0$	100 pF	10 pF	1 pF
$C_P$	16.5 pF	3 pF	320 fF

bela 3.2 é apenas uma aproximação e é válido apenas para as condições de projeto na Tabela 3.1, assim como para as especificações de frequência e tensão de entrada.

Tabela 3.2: Circuito equivalente série (pós-layout)

	Ret. 5 mW	Ret. 500 $\mu$ W	Ret. 50 $\mu$ W
$R_{IN}$	457,75 $\Omega$	5,62 k $\Omega$	63,31 k $\Omega$
$C_{IN}$	25,53 pF	2,88 pF	256,21 fF

As antenas caracterizadas no laboratório estão dispostas em seus equivalentes série para  $f = 13,56$  MHz na Tabela 3.3, onde  $L_s$  é a indutância série,  $R_s$  a resistência série e  $Q_L$  é o fator de qualidade da antena. A melhor antena para o projeto é a  $L_3$  por possuir maior fator de qualidade na frequência de operação da etiqueta.

Por fim, a antena  $L_3$  foi adaptada a impedância de entrada dos três retificadores utilizando as Eq. 2.12, 2.13 e 2.14, o que resultou nas redes de adaptação da Tabela 3.4, onde  $C_{ser}$  é a capacitância série,  $C_{par}$  a capacitância paralela e  $L_{par}$  a indutância paralela. Chama-se atenção para o fato de que uma das redes de adaptação utiliza somente capacitores, o que é mais interessante para circuitos integrados dado o baixo fator de qualidade de indutores integrados.

Tabela 3.3: Caracterização das antenas

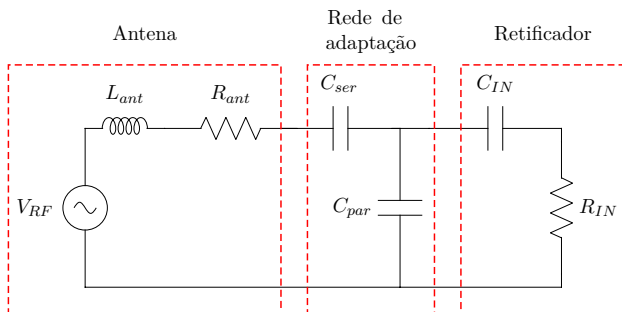
	$R_s$	$L_s$	$Q_L$
$L_0$	4,36 $\Omega$	2,36 $\mu\text{H}$	46,16
$L_1$	2,03 $\Omega$	2,68 $\mu\text{H}$	112,68
$L_2$	0,78 $\Omega$	1,89 $\mu\text{H}$	205,33
$L_3$	0,48 $\Omega$	1,45 $\mu\text{H}$	259,45
$L_4$	11,44 $\Omega$	3,18 $\mu\text{H}$	23,66

Tabela 3.4: Circuito equivalente série

	Ret. 5 mW	Ret. 500 $\mu\text{W}$	Ret. 50 $\mu\text{W}$
$C_{ser}$	114,5 pF	62,5 pF	34,6 pF
$C_{par} / L_{par}$	545,7 pF	749 nH	2,5 $\mu\text{H}$

A etiqueta completa de 5 mW pode ser vista na Fig. 3.4, onde o conjunto  $L_{ant}$ ,  $R_{ant}$  e  $V_{RF}$  são o equivalente série da antena  $L_3$  recebendo o sinal de entrada na frequência de operação da etiqueta. As demais etiquetas são idênticas, apenas trocando  $C_{par}$  por  $L_{par}$ .

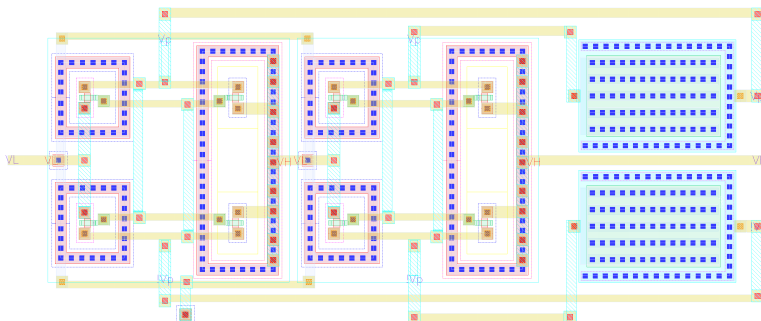
Figura 3.4: Circuito equivalente da etiqueta de 5 mW



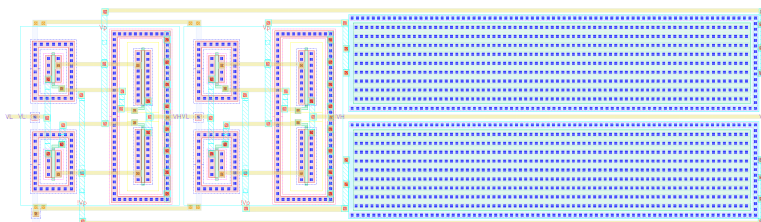
Fonte: Elaborada pelo autor

### 3.4 Considerações de Layout

Com exceção das cargas  $R_0$  e dos capacitores de saída  $C_0$ , os layouts dos três retificadores foram realizados utilizando transistores com tensão nominal de 5 V e capacitores do tipo MIM (metal-isolante-metal), em tecnologia 600 nm. Regras adotadas no desenvolvimento dos layout, nas Fig. 3.5, 3.6 e 3.7, incluem utilização de metais em níveis diferentes para roteamento horizontal, vertical e conexões com transistores, diminuindo assim capacitâncias parasitas, e utilização de anéis de guarda em torno dos dispositivos ativos, assim diminuindo a possibilidade de efeito de *latch-up*. Outra medida adotada para proteção do circuito foi a utilização de *pads* com proteção contra descarga eletrostática.

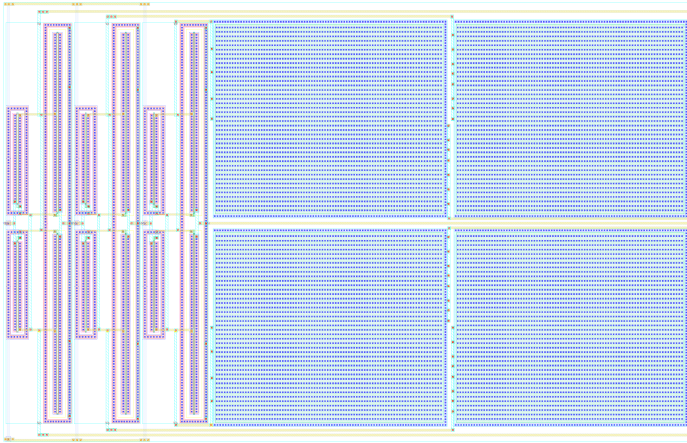
Figura 3.5: Layout do retificador de  $50 \mu\text{W}$ 

Fonte: Captura de tela do software Virtuoso, da Cadence

Figura 3.6: Layout do retificador de  $500 \mu\text{W}$ 

Fonte: Captura de tela do software Virtuoso, da Cadence

Figura 3.7: Layout do retificador de 5 mW



Fonte: Captura de tela do software Virtuoso, da Cadence



# CAPÍTULO 4

---

## RESULTADOS

---

Este capítulo é dedicado a apresentar e analisar o projeto desenvolvido por meio de simulações e medições em placa, em especial dos retificadores integrados.

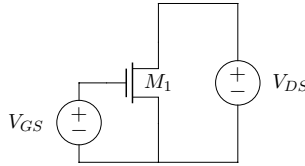
### **4.1 Simulações**

Todas as simulações deste trabalho foram realizadas utilizando o software Spectre, da Cadence, onde a simulação DC foi principalmente usada para caracterização dos dispositivos ativos, enquanto que a transiente foi o método preferido para caracterização dos circuitos retificadores, dada a não linearidade do problema. Os circuitos retificadores simulados não contém *pads*.

### 4.1.1 Caracterização dos transistores

Afim de obter um modelo detalhado dos componentes ativos, foram feitas simulações para extração de parâmetros tecnológicos. Para extração da tensão de limiar ( $V_{th}$ , na Eq. 2.29), foi aplicado o método de extrapolação na região linear (disponível em [15]) no circuito da Fig. 4.1, onde é aplicada uma tensão  $V_{DS}$  arbitrariamente baixa e é feita uma varredura na tensão  $V_{GS}$  até encontrar-se o ponto de máxima transcondutância do dispositivo. Com o ponto encontrado, extrapola-se uma reta e a tensão  $V_{GS}$  para  $I_D = 0$  da reta, somada de  $\frac{V_{DS}}{2}$ , é a tensão de limiar do dispositivo, na Tabela 4.1.

Figura 4.1: Circuito para obtenção da tensão de limiar do transistor NMOS



Fonte: Elaborada pelo autor

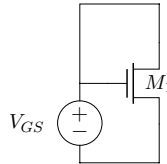
Tabela 4.1: Tensão de limiar dos transistores

	NMOS	PMOS
Ret. 5 mW	860 mV	-905 mV
Ret. 500 $\mu$ W	896 mV	-910 mV
Ret. 50 $\mu$ W	1.04 V	-1.06 mV

As constantes tecnológicas  $\mu_{n/p}$  e  $C_{ox}$ , na Eq. 2.32, foram extraídas pelo próprio simulador, onde os dispositivos foram configurados como diodo (Fig. 4.2) com  $V_D = V_G$ ,  $V_S = V_B$

e aplicou-se uma tensão  $V_{GS} > V_{th}$  para que os dispositivos operassem em inversão forte. Os resultados, na Tabela 4.2, são referentes ao produto  $n\mu_{n/p}C_{ox}\frac{W}{L}$  de cada dispositivo.

Figura 4.2: Circuito para obtenção de parâmetros tecnológicos do transistor NMOS



Fonte: Elaborada pelo autor

Tabela 4.2: Constante tecnológica dos transistores

	NMOS	PMOS
Ret. 5 mW	$12.3 \text{ m} \frac{\text{A}}{\text{V}^2}$	$5.6 \text{ m} \frac{\text{A}}{\text{V}^2}$
Ret. 500 $\mu\text{W}$	$1.1 \text{ m} \frac{\text{A}}{\text{V}^2}$	$503 \mu \frac{\text{A}}{\text{V}^2}$
Ret. 50 $\mu\text{W}$	$148 \mu \frac{\text{A}}{\text{V}^2}$	$36 \mu \frac{\text{A}}{\text{V}^2}$

Por fim, para adquirir o  $n$  dos transistores, na Eq. 2.33, foram feitas simulações DC com os transistores novamente em configuração diodo e foi aplicada uma diferença de potencial  $V_{GS}$  entre seus terminais, a qual foi variada de 0 a 800 mV. Com o transistor em inversão fraca, mede-se a variação de tensão por década de corrente e sabendo-se que para  $n = 1$  a tensão  $V_{GS}$  varia 60 mV/dec, pode-se aplicar simples regra de três para achar o  $n$  real do transistor, na Tabela 4.3.

#### 4.1.2 Tensão de limiar dos retificadores

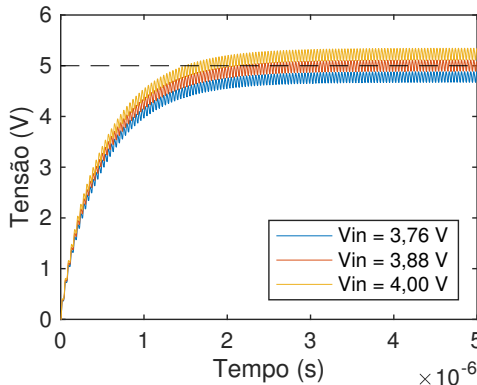
Em [8], a tensão de limiar dos retificadores,  $V_{to}$ , é definida como a mínima tensão de entrada necessária para se ter a po-

Tabela 4.3: Constante  $n$  dos transistores

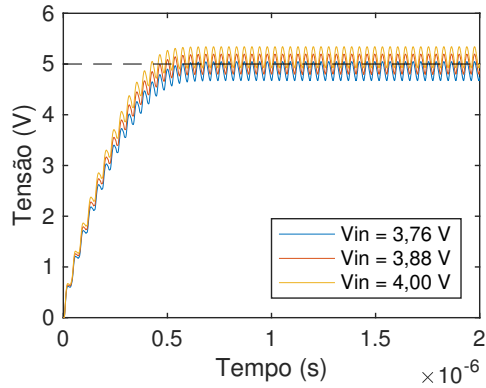
	NMOS	PMOS
Ret. 5 mW	1,41	1,19
Ret. 500 $\mu$ W	1,45	1,27
Ret. 50 $\mu$ W	1,60	1,53

tência de saída desejada no circuito e está fortemente ligada a eficiência do circuito. O  $V_{to}$  dos retificadores foi simulado através de variação paramétrica onde foi colocada uma fonte de tensão senoidal na entrada de cada retificador e a amplitude desta foi variada até obter-se tensão média de 5 V na saída em regime permanente. As tensões de limiar, assim como o ganho de tensão  $A_V = 1/\alpha_V$ , estão dispostas na Tabela 4.4 e o sinal de saída dos retificadores está nas Fig. 4.3, 4.4 e 4.5.

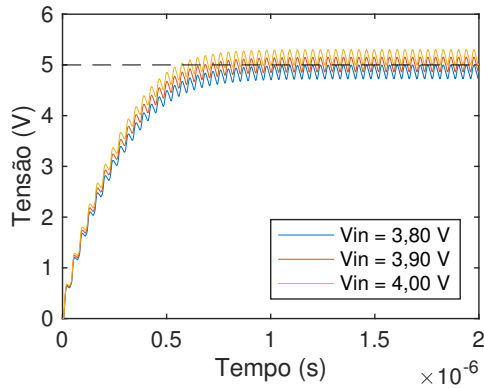
Figura 4.3: Saída do ret. 5 mW para diferentes entradas



Fonte: Captura de tela do software MATLAB

Figura 4.4: Saída do ret.  $500 \mu\text{W}$  para diferentes entradas

Fonte: Captura de tela do software MATLAB

Figura 4.5: Saída do ret.  $50 \mu\text{W}$  para diferentes entradas

Fonte: Captura de tela do software MATLAB

Tabela 4.4: Tensão de limiar dos retificadores

	5 mW	500 $\mu$ W	50 $\mu$ W
$V_{to}$	3,88 V	3,88 V	3,90 V
$A_v$	1,29 V/V	1,29 V/V	1,28 V/V

### 4.1.3 Tensão de *ripple*

A Eq. 2.26 foi utilizada para calcular a tensão de *ripple* nos retificadores e esta foi comparada à medida na simulação, nas Fig. 4.3, 4.4 e 4.5, os resultados disponíveis na Tabela 4.5.

Tabela 4.5: Tensão de *ripple*

	5 mW	500 $\mu$ W	50 $\mu$ W
Simulado	220 mV	400 mV	300 mV
Calculado	368 mV	368 mV	368 mV
Erro	40,2 %	8,7 %	18,5 %

Em primeiro momento, pode-se estranhar os erros apresentados na Tabela 4.5, em especial porque todos os retificadores possuem o mesmo  $\tau = R_0 C_0$ , mesma frequência de operação e mesma tensão de saída. No entanto, o erro ocorre pois as células dos retificadores apresentam resistência e capacitância em paralelo com a carga, onde ambas são influenciadas pela polarização dos transistores, pela largura de canal e pelo número de estágios dos retificadores. Nota-se também que comparando a Tabela 4.5 com as Fig. 4.3, 4.4 e 4.5 os retificadores que demoram mais a atingir o regime permanente possuem menor  $V_{ripple}$ , em concordância com a suposição, uma vez que  $\tau$  é diretamente proporcional ao tempo para entrar em regime permanente e inversamente

proporcional à amplitude da tensão de *ripple*. A Tabela 4.6 mostra o tempo que os retificadores demoram para atingir o regime permanente.

Tabela 4.6: Tempo para atingir regime permanente

	5 mW	500 $\mu$ W	50 $\mu$ W
Tempo	3,20 $\mu$ s	0,60 $\mu$ s	0,90 $\mu$ s

#### 4.1.4 Eficiência dos retificadores

A eficiência dos retificadores foi medida utilizando simulação *PSS*, através da equação

$$\eta = \frac{P_{DC}}{P_{AC}}, \quad (4.1)$$

na qual  $P_{DC}$  é a potência de saída e  $P_{AC}$  é potência de entrada.

Uma tentativa de prever a eficiência dos retificadores foi feita utilizando a teoria desenvolvida na seção 2.7, resultando em:

$$\eta = \frac{P_{DC}}{P_{DC} + P_{loss}}, \quad (4.2)$$

onde  $P_{loss}$  é a perda em todos os transistores. Para o perda de potência em um transistor PMOS, utilizou-se a Eq. 2.30 com a corrente descrita na Eq. 2.32, sendo as tensões nos terminais dos transistores iguais a:

$$V_G = -\frac{V_{0mean}}{2N} - \frac{V_{AC}}{2} \quad (4.3)$$

$$V_S = -\frac{V_{0mean}}{2N} + \frac{V_{AC}}{2} \quad (4.4)$$

$$V_D = 0, \quad (4.5)$$

onde  $N$  é o número total de estágios do retificador.

Os transistores NMOS, por sua vez, possuem terminal de corpo aterrado e por isso cada estágio tem correntes e tensões diferentes, resultando em perdas diferentes. As tensões nos terminais dos transistores NMOS são:

$$V_G = \frac{V_{0\text{mean}}}{2N} + (M - 1) \frac{V_{0\text{mean}}}{N} + \frac{V_{AC}}{2} \quad (4.6)$$

$$V_S = \frac{V_{0\text{mean}}}{2N} + (M - 1) \frac{V_{0\text{mean}}}{N} - \frac{V_{AC}}{2} \quad (4.7)$$

$$V_D = (M - 1) \frac{V_{0\text{mean}}}{N}, \quad (4.8)$$

sendo  $M$  o estágio onde o transistor se encontra. Por fim, a perda total é a soma de todas as perdas de todos os transistores e os resultados simulados e previstos podem ser observados na Tabela 4.7.

Tabela 4.7: Eficiência dos retificadores

	5 mW	500 $\mu$ W	50 $\mu$ W
$\eta$ simulado	61,35 %	57,21 %	63,86 %
$\eta$ previsto	14,16 %	63,70 %	72,40 %

Nota-se que a previsão teórica tem resultados relativamente próximos aos simulados para os retificadores de 500  $\mu$ W e 50  $\mu$ W, mas tem resultado distante para o retificador de 5 mW. As diferenças encontradas se dão principalmente pois a teoria desenvolvida assume que todos os estágios são idênticos mas apenas o primeiro estágio não possui capacitor  $C_P$  e apenas o último estágio está conectado diretamente a carga, fazendo dos estágios diferentes. Também, idealmente



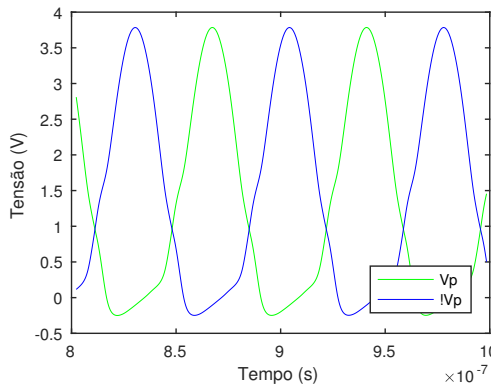
os capacitores  $C_P$  acumulam tensões múltiplas da amplitude da tensão de entrada, mas na prática isso pode não ocorrer e alterar a polarização de transistores em diferentes estágios.

Nota-se ainda que as Eq. 4.3 e 4.6 preveem nível DC entre fonte e dreno dos transistores NMOS, na Fig. 2.20a, e a fonte dos transistores NMOS do primeiro estágio coincidem com a entrada AC do circuito. De fato, medindo-se ambos os terminais da fonte AC referenciados ao terra, pode-se observar um nível DC, na Fig. 4.6, com tensão diferencial entre os dois terminais na Fig. 4.7 para referência. Os resultados para todos os retificadores estão disponíveis na Tabela 4.8.

Tabela 4.8: Nível DC na fonte AC

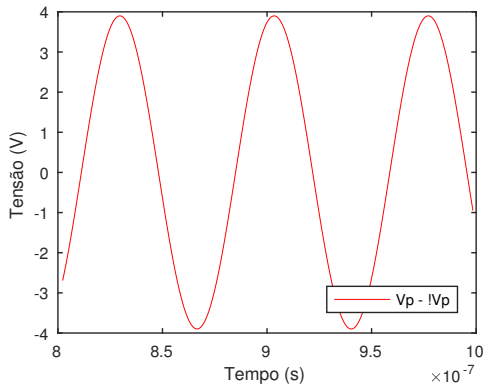
	5 mW	500 $\mu$ W	50 $\mu$ W
Simulado	1,22 V	1,30 V	1,34 V
Previsto	0,83 V	1,25 V	1,25 V

Figura 4.6: Tensão nos terminais da fonte AC referenciadas ao terra para o retificador de 50  $\mu$ W



Fonte: Captura de tela do software MATLAB

Figura 4.7: Tensão da fonte AC



Fonte: Captura de tela do software MATLAB

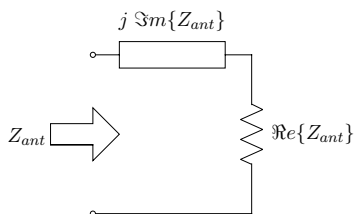
#### 4.1.5 Rede de adaptação

As redes de adaptação foram conferidas através de simulação de parâmetros S, onde a impedância vista a partir da antena nos três retificadores é disposta junto a impedância da antena para comparação na Tabela 4.9, provando que a rede está devidamente adaptada de acordo com a teoria desenvolvida na seção 2.3 e de acordo com o desejado na seção 2.2. O circuito equivalente da antena está na Fig. 4.8.

Tabela 4.9: Impedância de entrada

	Real	Imaginário
$Z_{ant}$	480m	123.5
$Z_{5m}$	480m	-123.5
$Z_{500\mu}$	480m	-123.5
$Z_{50\mu}$	490m	-120.2

Figura 4.8: Antena receptora

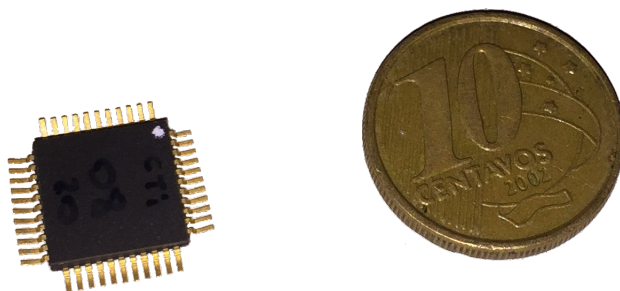


Fonte: Elaborada pelo autor

## 4.2 Medições em Chip

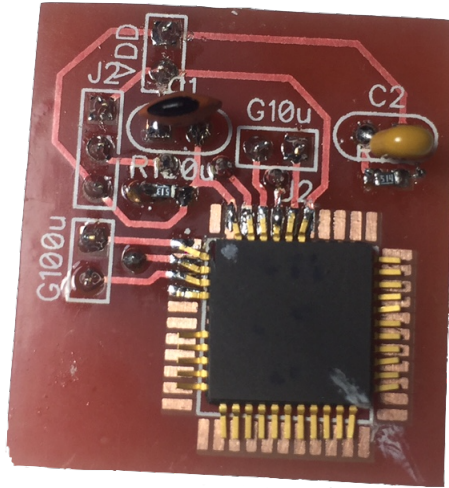
Os retificadores de  $50 \mu\text{W}$  e  $500 \mu\text{W}$  foram fabricados através do programa PMUB da CEITEC em encapsulamento LQFP 44 pinos (na Fig. 4.9), dos quais apenas 10 foram utilizados. Uma PCB também foi desenvolvida para fins de testes (Fig. 4.10), os quais foram realizados no Laboratório de Pesquisas em Radiofrequência da UFSC.

Figura 4.9: Encapsulamento LQFP 44 pinos comparado a uma moeda



Fonte: Fotografia do autor

Figura 4.10: PCB para medições



Fonte: Fotografia do autor

Como é possível observar na Fig. 4.10, buscou-se desenvolver uma PCB bastante compacta para eliminar possíveis elementos parasitários. Ainda na mesma figura, pode-se observar as regiões rotuladas como G100u, G10u, VDD, e J2. G100u e G10u são as entradas senoidais que alimentam os retificadores de  $500 \mu\text{W}$  e  $50 \mu\text{W}$ , VDD é a alimentação dos pinos de proteção contra descarga eletrostática e J2 é a entrada de um multiplexador a ser curto-circuitada com terra ou VDD para ligar ou desligar a saída do retificador de  $500 \mu\text{W}$ . Os demais rótulos indicam os circuitos paralelos  $R_0C_0$  nas saídas dos retificadores de  $500 \mu\text{W}$  (esquerda) e  $50 \mu\text{W}$  (direita).

### 4.2.1 Medições

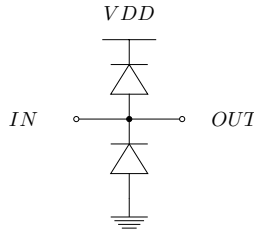
Afim de observar o comportamento dos retificadores fabricados, aplicou-se um sinal senoidal na entrada desses e mediu-se a saída seguindo os seguintes passos:

1. Alimentar proteção ESD dos *pads* com 5 V
2. Desligar o multiplexador
3. Curto-circuitar a entrada do retificador de 500  $\mu\text{W}$
4. Aplicar entrada em G10u (retificador de 50  $\mu\text{W}$ )
5. Medir saída

Os *pads* foram alimentados com um gerador DC (iCEL PS-7000), na entrada do circuito foi aplicado um sinal provindo do gerador de funções (Agilent 33220A) e a medição foi realizada com um osciloscópio. O sinal de entrada gerado foi uma senoide a 13,56 MHz, cujo a amplitude foi variada de 1 V a 4 V, mas apenas um sinal disforme pôde ser observado na saída. O teste análogo para o retificador de 500  $\mu\text{W}$  foi aplicado mas sem sucesso também.

Uma razão importante para os problemas de medição é que os circuitos simulados operam com entrada diferencial, enquanto que os medidos no laboratório empregam diferentes equipamentos que compartilham o mesmo terra, inviabilizando a geração de sinal diferencial através do gerador de funções. Outra razão para os problemas de medição é que o circuito para proteção ESD, na Fig. 4.11, impede o uso de entrada *IN* com nível abaixo do terra, a qual foi utilizada no experimento.

Figura 4.11: Circuito de proteção ESD



Fonte: Elaborada pelo autor

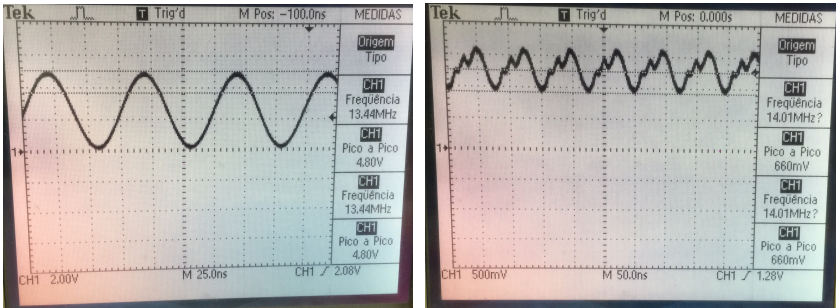
A melhor solução para o problema seria gerar o sinal diferencial de maneira alternativa, no entanto, por falta de tempo, procurou-se outra solução. Ao analisar o circuito da Fig. 4.11, percebe-se que o diodo superior só entra em condução caso a entrada  $IN$  supere  $VDD + V_D$ , e o diodo inferior só entra em condução caso a entrada  $IN$  atinja valor inferior a  $-V_D$ . Portanto, para que o sinal de entrada seja transmitido de  $IN$  para  $OUT$ , esse precisa estar no intervalo de  $-V_D$  a  $VDD + V_D$ , e, com isso em mente, uma segunda medição foi realizada com os seguintes passos:

1. Alimentar proteção ESD dos *pads* com 5 V
2. Desligar o multiplexador
3. Curto-circuitar a entrada do retificador de  $500 \mu W$
4. Aplicar entrada em G10u (retificador de  $50 \mu W$ ) **com nível DC**
5. Medir saída

Novamente, o sinal de entrada foi aplicado a partir de um gerador de funções, mas, desta vez, gerou-se um sinal senoidal a 13,56 MHz com nível DC. Para que houvesse máxima

excursão do sinal de entrada sem que os diodos da proteção ESD conduzissem, tanto o valor do nível DC utilizado quanto a amplitude da senoide foram de  $\frac{V_{DD}}{2}$ . A entrada e a saída do retificador de  $50 \mu\text{W}$  podem ser observados na Fig. 4.12.

Figura 4.12: Tensão de entrada (esq.) e saída (dir.) do retificador de  $50 \mu\text{W}$



Fonte: Fotografia do autor

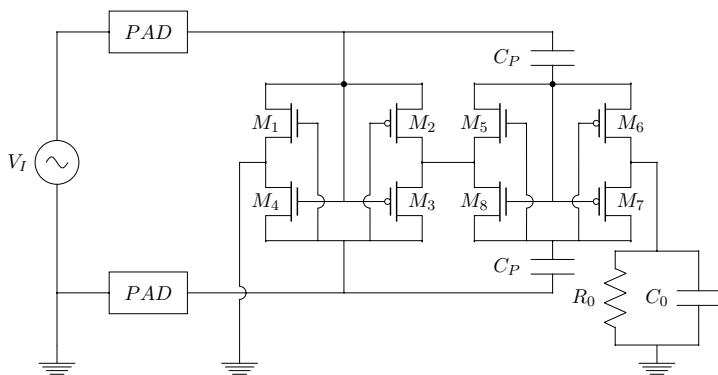
O nível médio medido na saída foi de 1,3 V, enquanto que a tensão de *ripple* foi de 660 mV. Chama-se atenção para o fato de que a tensão pico à pico caiu de 5 V para 4,8 V quando aplicada na entrada do circuito. Ainda, é possível observar na Fig. 4.12 que a frequência dos sinais de entrada e saída são aproximadamente iguais, mas os retificadores fabricados são retificadores de onda completa (ou seja, a tensão de *ripple* deve ter o dobro da frequência da tensão de entrada), o que indica que há mal funcionamento do chip.

O teste análogo foi realizado para o retificador de  $500 \mu\text{W}$ , mas a tensão pico à pico gerada pelo equipamento caiu de 5 V para 1,4 V quando aplicada na entrada do circuito, e novamente o sinal medido na saída foi disforme.

## 4.2.2 Verificação em simulação

As medições realizadas em laboratório foram replicadas em software utilizando o circuito da Fig. 4.13. Primeiramente, foi feita uma simulação onde não foi utilizado nível DC na fonte  $V_I$ , e foi observado tanto a tensão quanto a corrente de entrada do circuito em regime permanente (Fig. 4.14). Percebe-se que há um grande acréscimo na corrente no semiciclo negativo da tensão, a qual não pode ser fornecida na prática sem danificar o chip ou os equipamentos disponíveis, e explica a razão pela qual a primeira medição em placa falhou.

Figura 4.13: Esquemático dos retificadores com fonte de entrada *single-ended*



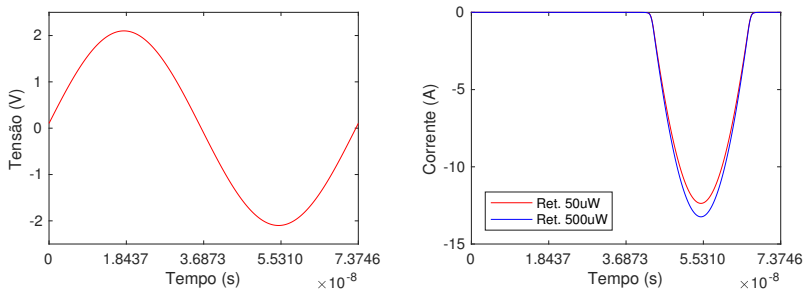
Fonte: Elaborada pelo autor

Em segundo momento, foi feita uma simulação onde foi aplicado nível DC na fonte  $V_I$ , com corrente e tensão na fonte em regime permanente na Fig. 4.15. É possível perceber que, na nova configuração, não há grande acréscimo de corrente no semiciclo negativo de  $V_I$ . A saída dos retificadores pode



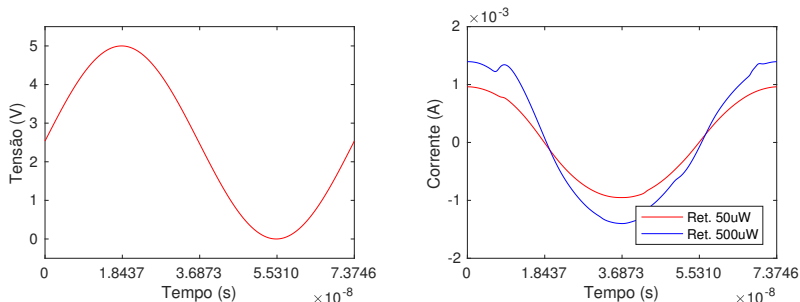
ser vista na Fig. 4.16.

Figura 4.14: Tensão de entrada (dir.) e corrente de entrada (esq.) dos retificadores (fonte de entrada sem nível DC)



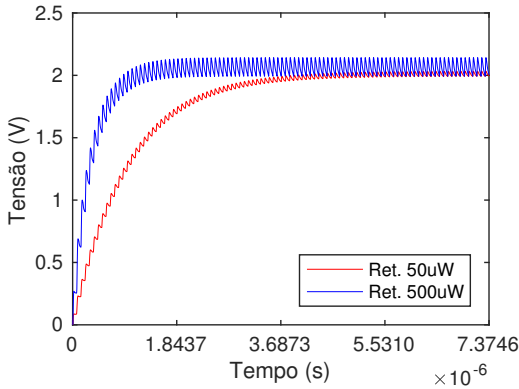
Fonte: Captura de tela do software MATLAB

Figura 4.15: Tensão de entrada (dir.) e corrente de entrada (esq.) dos retificadores (fonte de entrada com nível DC)



Fonte: Captura de tela do software MATLAB

Figura 4.16: Saída pós-layout com *pads* dos retificadores de  $50 \mu\text{W}$  e  $500 \mu\text{W}$



Fonte: Captura de tela do software MATLAB

De acordo com a Fig. 4.16, o retificador de  $50 \mu\text{W}$  possui nível DC de 2,02 V e *ripple* de 40 mV, enquanto que o retificador de  $500 \mu\text{W}$  possui nível DC de 2,1 V e *ripple* de 200 mV.

### 4.2.3 Análise de resultados

A Tabela 4.10 compara os resultados obtidos em medição e simulação. Pode-se perceber que, para o retificador de  $50 \mu\text{W}$ , o nível DC medido é consideravelmente menor que o simulado e o *ripple* medido é consideravelmente maior. Também, pode-se perceber que de acordo com a simulação deveria haver sinal de saída para o retificador de  $500 \mu\text{W}$ , mas não foi possível observa-lo na prática.

A explicação mais provável para as diferenças entre os circuitos simulados e os medidos é que o gerador de funções não é capaz de gerar corrente suficiente para os circuitos, o

Tabela 4.10: Resultados de medição em PCB e de simulação

	Ret. 500 $\mu$ W	Ret. 50 $\mu$ W
Nível DC (medido)	–	1,30 V
<i>Ripple</i> (medido)	–	660 mV
Nível DC (simulado)	2,10 V	2,02 V
<i>Ripple</i> (simulado)	200 mV	40 mV

que pode ser resolvido com a utilização de *buffers* na entrada dos *pads*. No entanto, não foi possível implementar a solução em tempo hábil para este trabalho.



## CAPÍTULO 5

---

### CONCLUSÃO

---

O projeto apresentou uma metodologia própria para o desenvolvimento de três retificadores para etiquetas de sistemas de transmissão de energia sem fios, as quais podem ser utilizadas para alimentação de implantes biomédicos, e estas foram validadas através de simulações. A tecnologia utilizada e, principalmente, a metodologia aplicada para realização dos retificadores fizeram destes inferiores aos do estado da arte da Tabela 1.1, rerepresentada neste capítulo na Tabela 5.1 para fins de comparação com os resultados deste trabalho, na Tabela 5.2.

Tabela 5.1: Retificadores em tecnologia CMOS no estado da arte

	[7]	[10]	[11]	[12]
Tecnologia	0,18 $\mu\text{m}$	0,18 $\mu\text{m}$	0,50 $\mu\text{m}$	0,09 $\mu\text{m}$
Frequência	40,68 MHz	13,56 MHz	13,56 MHz	915 MHz
Tensão de Entrada	3,51 V	1,46 V	3,80 V	—
Tensão de Saída	3,15 V	1,3 V	3,12 V	1 V
Carga	8 k $\Omega$	1 k $\Omega$	500 $\Omega$	30 k $\Omega$
Eficiência	85,8 %	81,9 %	80,2 %	74 %

Tabela 5.2: Retificadores deste trabalho (pós-layout)

	Ret. 5 mW	Ret. 500 $\mu\text{W}$	Ret. 50 $\mu\text{W}$
Tecnologia	0,6 $\mu\text{m}$	0,6 $\mu\text{m}$	0,6 $\mu\text{m}$
Frequência	13,56 MHz	13,56 MHz	13,56 MHz
Tensão de Entrada	3,9 V	3,88 V	3,88 V
Tensão de Saída	5 V	5 V	5 V
Carga	5 k $\Omega$	50 k $\Omega$	500 k $\Omega$
Eficiência	61,35 %	57,21 %	63,86 %

## 5.1 Considerações gerais

A teoria desenvolvida na seção 2.7, embora ajude a explicar o funcionamento do retificador de acoplamento cruzado, não é um modelo detalhado o suficiente para predição de eficiência do circuito e não deve-se criar uma metodologia de projeto baseada nela. De fato, a maior parte do projeto de retificadores depende fortemente do uso de varredura paramétrica, normalmente utilizadas para otimizar a eficiência do retificador dada algumas condições de contorno (potência de entrada e carga principalmente).

Como é mostrado na seção 4.1, a tensão de *ripple* na saída dos retificadores pode variar bastante entre o valor calculado

e o simulado, portanto, deve-se utilizar capacitor de saída  $C_0$  com valor superior ao calculado para garantir o *ripple* desejado.

O uso de circuitos que não são de autoria própria deve ser feito de modo consciente, como no caso de *PADS* com proteção ESD utilizada no trabalho. A investigação excessiva de circuitos através de simulação pode trazer bastante conhecimento ao projetista, e portanto, deve ser considerada um bom hábito.

## 5.2 Dificuldades encontradas

Durante o trabalho tentou-se chegar a uma expressão para predição e otimização da eficiência do circuito retificador sem sucesso. O circuito opera em grandes sinais, é bastante não-linear e não possui polarização, fazendo com que qualquer expressão analítica seja bastante limitada ou complexa de mais a ponto de não ser útil ao projetista, acabando com o propósito desta.

Em [8], [12] e [14] são propostas maneiras analíticas de analisar o problema, mas em [8] chega-se apenas a uma figura de mérito que é relacionada com a eficiência do circuito, válida para somente uma mesma carga  $R_0$ . Em [12], chega-se a uma expressão para eficiência do circuito, mas válida apenas para um estágio, e mesmo assim é necessário o uso de métodos computacionais para solução do problema dada a complexidade. Em [14], chega-se a resultados interessantes analisando um retificador Dickson multiestágio, mas a facilidade de modelar a capacitância de uma junção PN, a relação contínua entre tensão e corrente de um diodo e o uso de dispositivos idênticos (usa-se apenas diodos, ao invés de

transistores NMOS e PMOS) tornam a análise do problema mais simples.

### **5.3 Lições aprendidas**

O entendimento correto de blocos de circuitos analógicos, assim como dos dispositivos empregados nestes, é imprescindível ao projetista e serve para guia-lo em seus projetos, no entanto, o uso de ferramentas computacionais deve ser um forte aliado visto que a análise analítica de blocos complexos (com muitos transistores) ou de blocos extremamente não lineares, além de difícil, gerará resultados limitados. Ainda, a investigação de circuitos através de simuladores pode trazer muito conhecimento sobre o projeto e prevenir problemas, dado o detalhamento dos modelos contidos nestes.



---

## Referências bibliográficas

---

- [1] AMAR, A.B.; KOUKI, A.B.; CAO, H., “Power Approaches for Implantable Medical Devices,” *Sensors* 2015, 15, 28889–28914, 2015.
- [2] Today’s Medical Developments. *Implantable medical devices market’s future growth*. Disponível em: <<http://www.todaysmedicaldevelopments.com/article/global-implantable-medical-device-market-2024-31517/>>. Acesso em: 10 de maio. 2017.
- [3] Institute for Health Metrics Evaluation. *Life expectancy increases globally as death toll falls from major diseases*. Disponível em: <<http://www.healthdata.org/news-release/life-expectancy-increases-globally-death-toll-falls-major-diseases>>. Acesso em: 10 de maio. 2017.
- [4] FINKENZELLER, K. *RFID Handbook: Fundamentals and Applications in Contactless Smart Cards, Radio*

- Frequency Identification and Near-Field*, 3rd ed. Wiley, 2010.
- [5] CABRERA, F. L.; SOUSA, F. R. d., “A CMOS Fully-Integrated Wireless Power Receiver for Autonomous Implanted Devices,” *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1–4, 2014.
- [6] RAZAVI, B. *RF Microelectronics*, 2nd ed. Prentice Hall, 2012.
- [7] ZARGHAM, M.; GULAK, P., “High-efficiency CMOS rectifier for fully integrated mW wireless power transfer,” *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 2869–2872, 2012.
- [8] MANDAL, S.; SARPESHKAR, R., “Low-Power CMOS Rectifier Design for RFID Applications,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, pp. 1177–1188, 2007.
- [9] LAM, Y.-H.; KI, W.-H.; TSUI, C.-Y., “Integrated low-loss cmos active rectifier for wireless powered devices,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, pp. 1378–1382, 2006.
- [10] CHA, H. K.; PARK W. T.; JE, M., “A CMOS rectifier with cross-coupled latched comparator for wireless power transfer in biomedical applications,” *IEEE Transactions on Circuits and Systems*, pp. 409–413, 2012.
- [11] LEE, H.-M.; GHOVANLOO, M., “An integrated power-efficient active rectifier with offset-controlled high speed comparators for inductively powered applications,”

- IEEE Transactions on Circuits and Systems I: Regular Papers*, pp. 1749–1760, 2011.
- [12] WONG, S.-Y.; CHENG, C., “Power efficient multi-stage CMOS rectifier design for UHF tags,” *Integration, the VLSI Journal*, pp. 242–255, 2011.
- [13] SCORCIONI, S.; BERTACCHINI, A.; LARCHER, L.; RICCIARDI, A.; DONDI, D.; PAVAN, P., “RF to DC CMOS rectifier with high efficiency over a wide input power range for RFID applications,” *IEEE Microwave Symposium Digest*, pp. 1–3, 2012.
- [14] VITA, G. d.; IANNACCONE, G., “Design Criteria for the RF Section of UHF and Microwave Passive RFID transponders,” *IEEE Transactions on Microwave Theory and Techniques*, pp. 2978–2990, 2005.
- [15] ORTIZ-CONDE, A.; SANCHEZ, F. J. G.; LIOU, J. J.; CERDEIRA, A.; ESTRADA, M.; YUE, Y., “A review of recent MOSFET threshold voltage extraction methods,” *Microelectronics Reliability*, pp. 583–596, 2002.
- [16] SCHNEIDER, M. C.; GALUP-MONTORO, C., *CMOS Analog Design Using All-Region MOSFET Modeling*, 1st ed. Cambridge University Press, 2010.

