

UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

TRANSPORTADORES DE CORRENTE CMOS
E APLICAÇÕES

DISSERTAÇÃO SUBMETIDA À UNIVERSIDADE FEDERAL DE SANTA CATARINA
PARA A OBTENÇÃO DO GRAU DE MESTRE EM ENGENHARIA ELÉTRICA

MARCELO MORTENSEN WANDERLEY

FLORIANÓPOLIS, DEZEMBRO DE 1992

TRANSPORTADORES DE CORRENTE CMOS E APLICAÇÕES

MARCELO MORTENSEN WANDERLEY

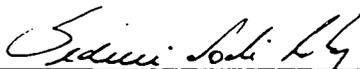
Esta dissertação foi julgada adequada para a obtenção do título de

MESTRE EM ENGENHARIA ELÉTRICA

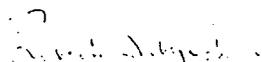
Especialidade Engenharia Elétrica e aprovada em sua forma final pelo Programa de Pós-Graduação.



Prof. Márcio Cherem Schneider, Dr. - Orientador



Prof. Sidnei Noceti Filho, DSc. - Co - Orientador

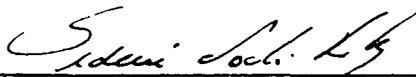


Prof. Roberto Salgado, PhD - Coordenador do Curso

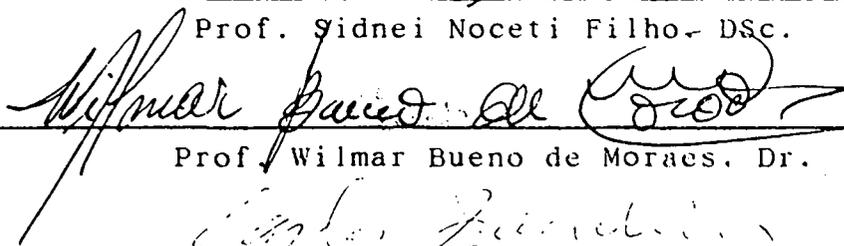
Banca Examinadora:



Prof. Márcio Cherem Schneider, Dr.
Presidente



Prof. Sidnei Noceti Filho, DSc.



Prof. Wilmar Bueno de Moraes, Dr.



Prof. Carlos Inácio Zanchin, MSc.

A meus pais, Jéferson e Marely, e a meus avós, Pedro e Daura
sem os quais nada teria sentido.

AGRADECIMENTOS:

- Ao professor Márcio Cherem Schneider, pela extrema dedicação e incentivo.
- Ao professor Sidnei Noceti Filho, pela colaboração.
- Aos professores do Laboratório de Instrumentação Eletrônica da UFSC.
- Aos professores da UFPR e colegas, Oscar da Costa Gouveia Filho e Ewaldo de Mattos Mehl, pelo apoio.
- Aos colegas do LINSE pela colaboração.
- Aos colegas de outras áreas de mestrado.
- Aos engenheiros Gilberto Valentim Silva, Angelo Mibielli, Ricardo Takase e Itamar José Bassanezi Loss pela implementação e medição do circuito integrado.
- A todos os amigos e amigas que de alguma forma estiveram presentes durante este período.
- Ao Sr. Milton Marcucci e aos colegas da RBS TV Florianópolis, pela liberação para o término deste trabalho.
- À Universidade Federal de Santa Catarina, ao LINSE e ao CNPq pelas condições para o desenvolvimento desta dissertação.

RESUMO:

Este trabalho apresenta um estudo do transportador de corrente CMOS de segunda geração ("second generation current conveyor" - CCII). É desenvolvida uma análise teórica das principais características do CCII e são propostas cinco estruturas para implementá-lo.

Todos os cinco circuitos são comparados com respeito a seus parâmetros principais, fornecendo ao projetista subsídios para predizer a resposta real de um sistema baseado em CCIIs. Resultados experimentais de uma das cinco estruturas propostas são mostrados e comparados com resultados analíticos e de simulações.

Finalmente são mostradas duas aplicações de CCIIs, um amplificador e um integrador de tensão, ambos totalmente compatíveis com tecnologias CMOS digitais. Estes blocos básicos podem ser combinados para se obter filtros analógicos integrados.

ABSTRACT:

This work presents a study of the CMOS second generation current conveyor (CCII). A theoretical analysis of the main characteristics of the CCII is presented as well as five basic CMOS circuits which implement them.

All five circuits are compared with respect to their main parameters, giving the designer the insight to predict the actual response of the system in which the CCII is embedded. Experimental measurements from one of the five structures presented are shown and compared with analytical and simulation results.

Finally, two applications of CCII's, a voltage amplifier and a voltage integrator are shown, both fully compatible with digital CMOS technologies. These building blocks can be combined in order to obtain analog integrated filters.

SUMARIO:

<u>Capítulo 1:</u>	Introdução.....	01
<u>Capítulo 2:</u>	<u>Transportador de Corrente de 2ª Geração</u> <u>Métodos de Implementação e Análise</u>	
2.1)	O transportador de corrente.....	05
2.2)	Métodos de implementação do CCII.....	06
2.2.1)	A técnica de "current sensing" (sensor de corrente).....	08
2.2.2)	Utilização de um segundo conversor V - I.....	09
2.3)	Transportadores de corrente de segunda geração e suas principais não idealidades.....	10
a)	Ganho de tensão entre as entradas.....	11
b)	Transadmitância entre a saída e a entrada Y.....	12
c)	Impedância da entrada X.....	13
d)	Ganho de corrente.....	13
e)	Admitância de saída.....	13
2.4)	Conclusão.....	14
<u>Capítulo 3:</u>	<u>Circuito de CCII baseado em um amplificador operacional com seu estágio de saída duplicado</u>	
3.1)	Topologia do circuito.....	15
3.2)	Análise teórica - pequenos sinais.....	16
3.2.1)	Análise em baixa frequência.....	17
3.2.2)	Degradação das características com a frequência.....	18
3.3)	Implementação em silício.....	19
3.3.1)	Projeto do CCII.....	19
3.3.2)	Resultados da simulação e medições no circuito.....	21
3.4)	Conclusão.....	24

Capítulo 4: Conjunto de Estruturas de CCII

4.1) Estruturas de CCII.....	25
4.1.1) Circuito baseado em um amplificador diferencial...	26
4.1.2) Circuito baseado em um amplificador diferencial conectado a um seguidor de tensão	27
4.1.3) Circuito baseado em um amp op com um segundo conversor tensão - corrente.....	28
4.1.4) Circuito baseado em um amp op com baixa impedância de saída e espelhos de corrente.....	29
4.1.5) Circuito de CCII baseado em um amplificador diferencial de um estágio.....	30
4.2) Comparação entre as estruturas apresentadas.....	31
4.2.1) Impedância da entrada X.....	31
4.2.2) Transadmitância entre a saída e a entrada Y.....	32
4.2.3) Ganhos de tensão e de corrente.....	33
4.3) Transportadores de corrente com alto desempenho.....	34
4.3.1) Classe de operação do circuito.....	34
4.3.2) Espelhos de corrente com alto desempenho.....	36
4.4) Conclusão.....	37

Capítulo 5: Exemplos de Aplicação de Transportadores
de Corrente de Segunda Geração

5.1) Amplificadores de Tensão.....	39
5.1.1) Configuração não inversora.....	39
5.1.2) Configuração inversora.....	40
5.1.3) Influência dos parâmetros do transportador de corrente em amplificadores de tensão baseados em CCII.....	41
5.2) Integrador baseado em CCII.....	45
5.3) Resistores e capacitores em tecnologia MOS.....	48
5.3.1) Resistores MOS.....	48
5.3.2) Capacitores MOS.....	50

5.4) Estruturas de amplificadores e integradores baseados em transportadores de corrente de segunda geração usando tecnologia MOS digital.....	51
5.4.1) <i>Estrutura de amplificador de tensão utilizando resistores ativos.....</i>	51
5.4.2) <i>Integrador de tensão utilizando resistor ativo.....</i>	55
5.5) Conclusão.....	58
<u>Capítulo 6: Conclusões Gerais.....</u>	60
<u>Referências.....</u>	62
<u>Apêndice: Circuitos de medição dos parâmetros do CCII.....</u>	68

SIMBOLOGIA:

- Ai - Ganho de corrente entre a entrada X e a saída do CCII;
- Av - Ganho de tensão em malha aberta de um amp op;
- Av0 - Ganho de tensão em malha aberta em baixa frequência de um amp op;
- Cc - Capacitor de compensação do amp op;
- Cdbn - Capacitância entre dreno e substrato do transistor n, pequenos sinais;
- Cgen - Capacitância entre porta e fonte do transistor n, pequenos sinais;
- CN - Capacitâncias associadas ao nó N do modelo pequenos sinais do CCII;
- g_{den} - Condutância entre dreno e fonte do transistor n, pequenos sinais;
- g_{mn} - Transcondutância do transistor n, pequenos sinais;
- Gv - Ganho de tensão: $G_v = V_o/V_{in}$;
- GN - Condutâncias associadas ao nó N do modelo pequenos sinais do CCII;
- Rzo - Resistência da saída do CCII em baixa frequência;
- Vdd - Tensão de alimentação positiva;
- Vin - Tensão de excitação;
- Vo - Tensão no terminal de saída do circuito;
- Vee - Tensão de alimentação negativa;
- VN - Tensão do nó N do modelo pequenos sinais do CCII;
- Yzy - Transadmitância entre a saída e a entrada Y do CCII;
- Yzo - Admitância de saída do CCII;
- Zx - Impedância da entrada X do CCII;
- Zo - Impedância de saída de um amp op em malha aberta;
- α_v - Ganho de tensão entre as entradas do CCII;

CAPÍTULO 1

INTRODUÇÃO

A velocidade com que a tecnologia de circuitos integrados avança tem estabelecido novos padrões de projeto, possibilitando a redução de dimensões físicas, diminuição do consumo de potência, aumento da confiabilidade da operação de sistemas e operação em frequências mais altas.

Prevê-se [1] que, pelo fim da década de 1990, circuitos digitais comerciais deverão ser implementados com transistores cujos comprimentos de canal sejam da ordem de $0,1 \mu\text{m}$. Tensões de alimentação de 2,5 V para RAMs dinâmicas e de 1,5 V para portas lógicas deverão ser usuais.

Assim, com facilidades cada vez maiores para implementar circuitos digitais, a tendência é a de integrar, cada vez mais freqüentemente, circuitos digitais e analógicos em uma mesma pastilha. Portanto, é altamente desejável desenvolver técnicas que permitam implementar circuitos analógicos com tecnologias digitais.

Diversas técnicas têm sido propostas para se conseguir implementar circuitos analógicos em tecnologias para alta escala

de integração (VLSI). Pode-se agrupar estas técnicas em dois grupos principais: as de sinais amostrados e as de sinais contínuos.

Exemplos de circuitos analógicos amostrados são os circuitos a capacitores chaveados [2] e os circuitos a correntes chaveadas [3]. As principais vantagens deste grupo de circuitos são a precisão obtida dependente da razão entre componentes de mesma natureza, não necessidade de sintonização e fácil programabilidade. Suas limitações mais importantes são a necessidade de implementação de filtros contínuos de pré e pós-processamento, a incorporação de circuito de "clock" e a injeção de cargas pelas chaves.

Circuitos analógicos contínuos, como os circuitos MOSFET-C [4] e os circuitos OTA-C [5], apresentam como vantagens o fato de não necessitarem de filtros de pré e pós-processamento e de circuito de "clock". Particularmente os circuitos OTA-C são potencialmente capazes de operar em frequências altas. As desvantagens dos circuitos analógicos contínuos são a dificuldade de se implementar resistores, transdutores e capacitores lineares e a necessidade de sintonização, devido à imprecisão nos valores dos componentes.

Os grupos citados anteriormente são, na maioria das vezes, baseados em blocos analógicos básicos como, por exemplo, amplificadores de tensão (circuitos a capacitores chaveados e MOSFET-C) ou amplificadores de transcondutância (OTAs) (circuitos OTA-C).

Um bloco básico que pode ser utilizado em processamento

de sinais contínuos é o transportador de corrente de segunda geração ("second generation current conveyor" - CCII) [6]. Com o uso de transportadores de corrente em circuitos contínuos vislumbra-se a possibilidade de operação em frequências mais altas comparativamente a circuitos baseados em amplificadores operacionais (amp op), além do uso de elementos compatíveis com a tecnologia CMOS digital.

Diversas propostas para implementação de CCII têm sido publicadas [7-10]; porém, existem apenas poucos modelos analíticos [8, 11, 12] que possam ser utilizados para prever o seu desempenho ou de redes baseadas nestes [13].

Aplicações típicas de transportadores de corrente de segunda geração compreendem amplificadores em modo corrente [14, 15], síntese de funções imitância [16], conversores de impedância [8,17], filtros ativos [18-26], conversores A/D [27] e blocos básicos [6] como integradores de tensão e de corrente. O uso de técnicas de compensação ativa utilizando CCIIs é descrito em [28].

Técnicas para converter filtros RC ativos baseados em amp op em filtros equivalentes baseados em CCII, utilizando o conceito de redes adjuntas ou transformações duais, são descritas em [29-31].

Neste trabalho são propostas e analisadas cinco estruturas de CCII, além de duas aplicações do mesmo, uma um amplificador e outra um integrador. Também é objetivo deste trabalho analisar a influência dos parâmetros do CCII no desempenho de circuitos nele baseados.

No capítulo 2 são mostrados os métodos mais comuns de implementação do CCII CMOS e analisadas suas não-idealidades.

No capítulo 3 é proposta e analisada uma estrutura de CCII baseada em um dos métodos apresentados. É realizada uma análise teórica e são mostrados resultados de medições em uma estrutura implementada através do 5o Projeto Multiusuário Brasileiro (PMU).

Já no capítulo 4 são propostos outros quatro circuitos de transportadores de corrente de segunda geração que, juntamente com o circuito proposto no capítulo 3, formam um conjunto de estruturas que podem ser utilizadas no projeto de circuitos analógicos. São analisadas as características dos circuitos propostos e indicadas suas principais vantagens e limitações em relação a estruturas da literatura.

Finalmente, no capítulo 5, são propostas uma configuração de amplificador de tensão e uma de integrador de tensão, ambas compatíveis com a tecnologia CMOS digital.

As conclusões gerais do trabalho são apresentadas no capítulo 6.

CAPÍTULO 2

TRANSPORTADOR DE CORRENTE DE 2ª GERAÇÃO MÉTODOS DE IMPLEMENTAÇÃO E ANÁLISE

Neste capítulo são mostrados dois métodos de implementação do transportador de corrente de segunda geração. Uma análise das características terminais do CCII em função das propriedades dos blocos que o constituem é apresentada.

2.1) O transportador de corrente

Transportadores de corrente são circuitos que transportam uma corrente entre dois terminais com impedâncias extremamente diferentes. O conceito de transportador de corrente foi introduzido em 1968 [32] e foi posteriormente denominado transportador de corrente de primeira geração (CCI). Em 1970 [33] foi apresentada pelos mesmos autores uma modificação do conceito original, então denominada transportador de corrente de segunda geração ("second generation current conveyor" - CCII).

O transportador de corrente de segunda geração pode ser representado pelo dispositivo de três terminais mostrado na

Fig. 2.1 e definido idealmente pela relação matricial (2.1).

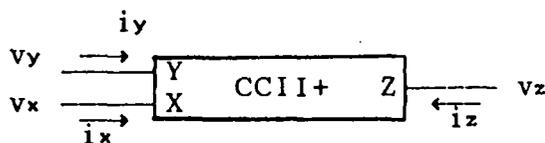


Fig. 2.1: Transportador de corrente de segunda geração (CCII).

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm A_i & 0 \end{bmatrix} \cdot \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.1)$$

O terminal de entrada Y tem impedância infinita. A tensão v_y neste terminal é copiada para o terminal X, de impedância nula. A corrente fornecida a X é transferida, com ganho A_i , para o terminal de saída Z que apresenta impedância infinita.

O transportador será designado CCII+ quando as correntes nos terminais X e Z tiverem a mesma direção em relação ao transportador (ambas entrando ou ambas saindo). Em caso contrário o transportador será designado CCII-.

2.2) Métodos de implementação do CCII

Segundo B. Wilson [11] "um transportador de corrente de

segunda geração consiste essencialmente de um seguidor de tensão de alta impedância de entrada conectado entre os terminais Y e X, com algum tipo de circuito de cópia de corrente, que produz uma corrente de saída em Z que é uma cópia precisa da corrente em X".

Neste trabalho, o seguidor de tensão de alta impedância entre X e Y é implementado utilizando-se um par diferencial ou um amp op.

Já o circuito de cópia de corrente pode ser obtido tanto utilizando-se espelhos de corrente e "sentindo" a corrente nos terminais do conversor V - I ("current sensing") ou utilizando-se um segundo conversor V - I, como mostra a Fig. 2.2.

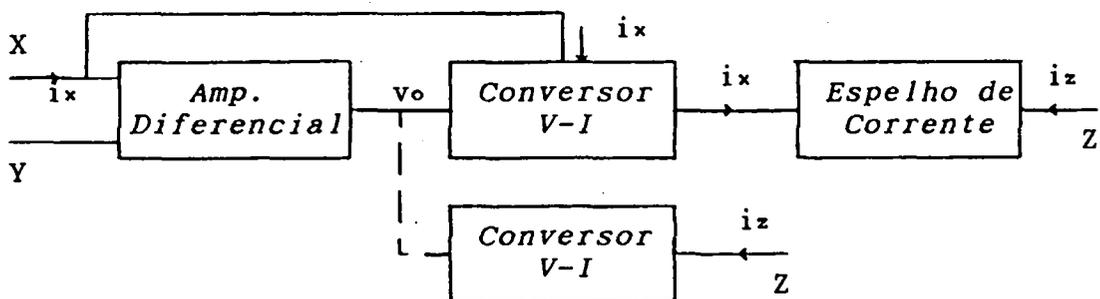


Fig. 2.2: Métodos de implementação de transportadores de corrente

A partir destes dois métodos, vários tipos de circuitos podem ser obtidos, sendo que o desempenho destes estará ligado à escolha do par diferencial e dos espelhos de corrente ou dos conversores V - I.

2.2.1) A técnica de "current sensing" (sensor de corrente):

Apesar de o CCII ter sido proposto em 1970 [33], sua primeira implementação com alto desempenho foi introduzida apenas em 1984 [7], baseada na técnica de "current sensing". Naquela implementação, a corrente de saída de um amp op na configuração seguidor era "sentida" através de espelhos de corrente conectados aos seus terminais de alimentação, conforme ilustrado na Fig. 2.3. A relação entre as correntes terminais no amp op pode ser escrita como:

$$i_{out} = i_{+} + i_{-} + i_{vdd} - i_{vss} \quad (2.2)$$

Supondo que as correntes nas entradas são muito pequenas, a corrente na saída é igual à diferença entre as correntes nos terminais de alimentação, isto é:

$$i_{out} = i_{vdd} - i_{vss} \quad (2.3)$$

Logo, sentindo esta diferença por meio de espelhos de corrente conectados aos terminais de alimentação do amp op, obter-se-á, na saída dos espelhos (terminal Z do CCII) uma corrente igual àquela no terminal inversor do amp op (terminal X do CCII).

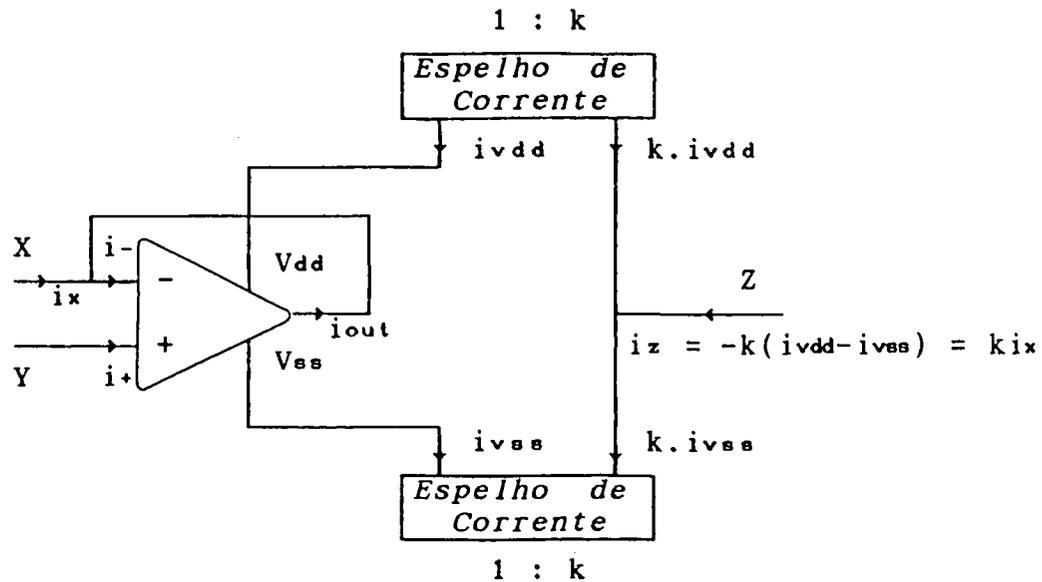


Fig. 2.3: Implementação de CCII utilizando amp op e espelhos de corrente [7].

2.2.2) Utilização de um segundo conversor $V - I$:

O método anteriormente descrito foi proposto para utilização em componentes discretos, onde a corrente de saída podia ser sentida através dos terminais de alimentação. O problema da queda de tensão nos espelhos de corrente não era crítico pois além do fato de se utilizar tensões de alimentação típicas da ordem de 15 V, os espelhos empregados eram bipolares, onde a queda de tensão não é uma fração apreciável da tensão de alimentação. Entretanto, com as tensões de alimentação atualmente empregadas na tecnologia CMOS (5V ou menos), a introdução dos sensores de corrente em série com a fonte de alimentação reduz significativamente a tensão de alimentação efetiva no amp op.

Através da duplicação do estágio de saída (Fig. 2.4) do amp op tem-se um segundo método para se implementar um transportador de corrente. Evita-se, desta forma, a introdução de sensores de corrente em série com a fonte de alimentação.

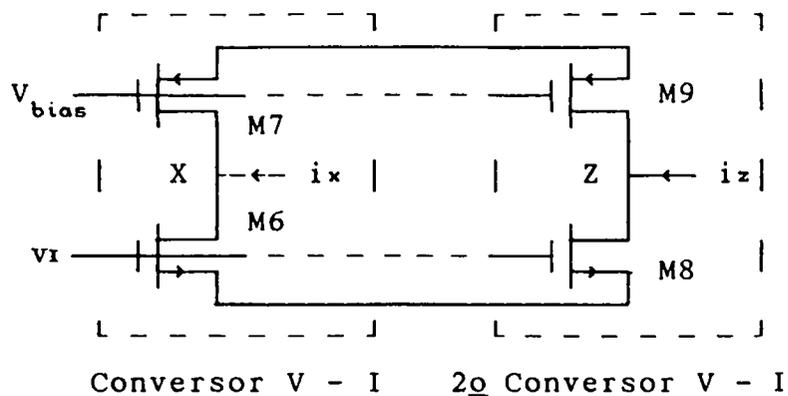


Fig. 2.4: Estágio de saída de um amp op CMOS associado a um segundo conversor V - I

2.3) Transportador de corrente de segunda geração e suas principais não idealidades

A caracterização do transportador de corrente é essencial para que se escolha a estrutura mais adequada à aplicação desejada.

Reescrevendo a equação (2.1) para um circuito de CCII real e considerando que:

- as entradas inversora e não inversora do amp op (ou do par diferencial) apresentam impedâncias extremamente elevadas, implicando que $i_y = 0$;

- é desprezível a influência da tensão de saída nas entradas X e Y;

tem-se:

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ \alpha_v & Z_x & 0 \\ Y_{zy} & \pm A_i & Y_{zo} \end{bmatrix} \cdot \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.4)$$

Onde:

- α_v é o ganho de tensão entre as entradas;
- Y_{zy} é a transadmitância entre Z e Y;
- Z_x é a impedância da entrada X;
- A_i é o ganho de corrente entre X e Z e
- Y_{zo} é a admitância de saída.

A importância relativa de cada um dos parâmetros da eq. (2.4) dependerá, principalmente, do tipo de aplicação.

a) *Ganho de tensão entre as entradas:*

Considerando A_v o ganho de tensão em malha aberta de um amp op, o ganho de tensão entre as entradas X e Y do CCII da Fig. 2.3, $\alpha_v = v_x/v_y|_{i_x=v_z=0}$, é dado pela seguinte equação:

$$\alpha_v = \frac{1}{1 + A_v^{-1}} \quad (2.5)$$

Da eq. (2.5), considerando o amp op com um pólo dominante, vê-se que o ganho de tensão α_v em baixas frequências é próximo da unidade e a frequência de corte do seguidor de tensão

é aproximadamente igual ao produto ganho-banda (PGB) do amp op.

b) Transadmitância entre a saída e a entrada Y:

A transadmitância entre Z e Y, $Y_{zy} = i_z/v_y|_{i_x=v_z=0}$, representa a dependência da corrente de saída em relação à tensão de entrada. O efeito de Y_{zy} é mais sentido quando se implementa o CCII utilizando um segundo conversor V - I.

Analisando a Fig. 2.4, vê-se que, uma variação da tensão no nó X (devido, por exemplo, à aplicação de uma tensão em Y) provoca uma alteração na corrente em M7 devido a sua impedância de saída finita. Como $i_x = 0$, qualquer variação de corrente em M7 será transferida para M6 e, conseqüentemente, para M8, provocando o surgimento de uma corrente de saída i_z , função da tensão aplicada a Y.

Já para o CCII da Fig. 2.3, implementado através de "current sensing", pode-se escrever:

$$i_y + i_x + i_{vdd} - i_{ves} = 0 \quad (2.6)$$

Para $k = 1$:

$$i_z = - i_{vdd} + i_{ves} \quad (2.7)$$

se supusermos espelhos ideais.

Portanto, i_z difere de i_x da quantidade i_y . Se $i_y \approx 0$, para implementações de CCII através de "current sensing", Y_{zy} pode ser considerada nula.

c) Impedância da entrada X:

Denominando Z_o a impedância de saída do amp op em malha aberta, a impedância Z_x , vista do nó X do circuito da Fig. 2.3 é dada pela eq. (2.8).

$$Z_x = \frac{Z_o}{1 + A_v} \quad (2.8)$$

Desta forma, para se obter baixos valores de Z_x até frequências próximas ao PGB do amp op, deve-se projetar um amp op com baixa impedância de saída.

d) Ganho de corrente:

O ganho de corrente, $A_i = i_z/i_x|_{v_y=v_z=0}$, apresenta normalmente largura de banda aproximadamente igual à do ganho de tensão em aberto do amp op. Em alguns casos, o ganho de corrente pode apresentar um zero em uma frequência muito próxima ao PGB do amp op. Neste caso, a largura de banda da função de ganho de corrente A_i é superior à do ganho de tensão α_v .

e) Admitância de saída:

A admitância de saída do CCII, Y_{zo} , é função da combinação em paralelo das condutâncias e capacitâncias para a terra vistas do nó Z. Para reduzir o valor da admitância de saída, deve-se utilizar fontes e espelhos de corrente de alto desempenho, como por exemplo, tipo cascode [34], cascode com polarização otimizada [35] ou cascode regulado [36].

2.4) Conclusão

Neste capítulo foram apresentados dois métodos de implementação de transportadores de corrente de segunda geração baseados em amplificadores operacionais na configuração seguidor de tensão. Também foi apresentada a equação matricial de um CCII não ideal, e analisados seus parâmetros mais importantes, como o ganho de tensão entre as entradas, a transadmitância entre a saída e a entrada, a impedância da entrada X , o ganho de corrente e a admitância de saída.

Nos capítulos seguintes são propostos circuitos para implementar transportadores de corrente de segunda geração.

CAPÍTULO 3

CIRCUITO DE CCII BASEADO EM UM AMPLIFICADOR OPERACIONAL COM ESTÁGIO DE SAÍDA DUPLICADO

Neste capítulo é proposta uma primeira estrutura de CCII, baseada em um amp op com um segundo conversor V - I [9]. É realizada uma análise teórica da estrutura e são apresentados resultados de simulação e experimentais, a partir de um circuito implementado através do 5^o PMU.

3.1) Topologia do circuito

A primeira estrutura proposta é obtida utilizando-se um amplificador operacional CMOS, na configuração seguidor de tensão (Fig. 3.1). Considerando que as correntes nas entradas do amp op são nulas, a corrente no terminal X é integralmente fornecida pelo estágio de saída do amplificador. Duplicando o estágio de saída do amp op, isto é, utilizando-se um segundo conversor V - I, pode-se obter na saída do novo estágio uma corrente i_x igual ou proporcional àquela que flui pela entrada X, i_x .

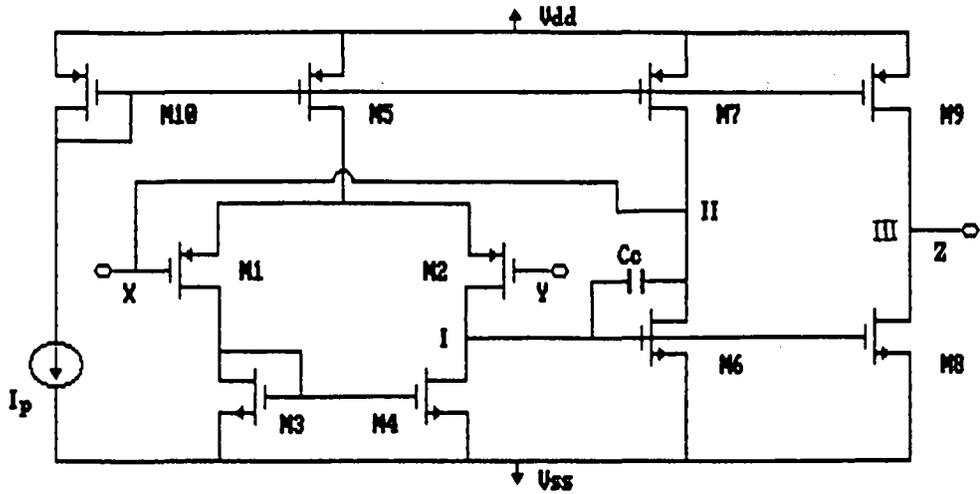


Fig. 3.1: CCII baseado em um amp op com estágio de saída duplicado.

3.2) Análise teórica - pequenos sinais

Realizou-se a análise teórica da primeira topologia proposta (Fig. 3.1) utilizando-se o modelo convencional do transistor MOS para pequenos sinais [34]. Introduzindo hipóteses simplificadoras [34] resulta o circuito equivalente para o CCII apresentado na Fig. 3.2.

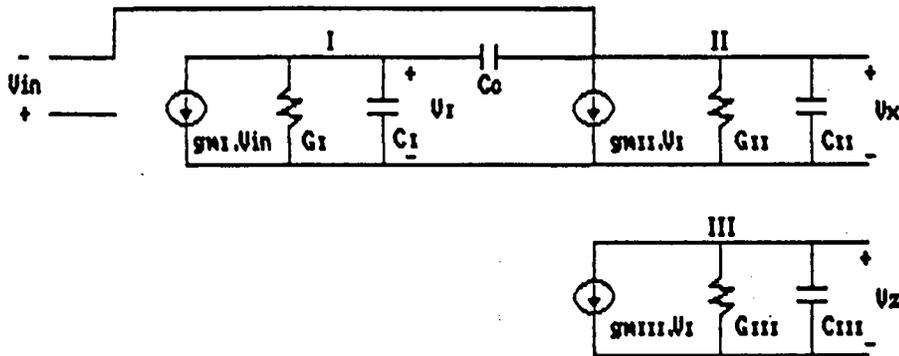


Fig. 3.2: Modelo pequenos sinais equivalente ao CCII da Fig. 3.1.

Do modelo anterior, resultam as seguintes equações:

$$a_v = \left. \frac{v_x}{v_y} \right|_{i_x=v_z=0}; \quad a_v = \frac{g_{mI}(g_{mII} - sC_c)}{\Delta} \quad (3.1)$$

$$Y_{zy} = \left. \frac{i_z}{v_y} \right|_{i_x=v_z=0}; \quad Y_{zy} = \frac{g_{mI}g_{mIII}[G_{II}+s(C_c+C_{II})]}{\Delta} \quad (3.2)$$

$$Z_x = \left. \frac{v_x}{i_x} \right|_{v_y=v_z=0}; \quad Z_x = \frac{G_I + s(C_I + C_c)}{\Delta} \quad (3.3)$$

$$A_i = \left. \frac{i_z}{i_x} \right|_{v_y=v_z=0}; \quad A_i = \frac{g_{mIII}(g_{mI} + sC_c)}{\Delta} \quad (3.4)$$

$$Y_{zo} = \left. \frac{i_z}{v_z} \right|_{i_x=v_y=0}; \quad Y_{zo} = G_{III} + sC_{III} \quad (3.5)$$

Onde:

$$\begin{aligned} \rightarrow G_I &= (g_{ds2} + g_{ds4}); & C_I &= C_{db2} + C_{db4} + C_{gs6} + C_{gs8} \\ \rightarrow G_{II} &= (g_{ds6} + g_{ds7}); & C_{II} &= C_{db6} + C_{db7} + C_{gs1} \\ \rightarrow G_{III} &= (g_{ds8} + g_{ds9}); & C_{III} &= C_{db8} + C_{db9} \end{aligned}$$

$$\Delta \cong g_{mI}g_{mII} + sC_c(g_{mII}-g_{mI}) + s^2(C_IC_{II} + C_IC_c + C_{II}C_c) \quad (3.6)$$

3.2.1) Análise em baixa frequência:

Em baixas frequências, pode-se chegar aos seguintes resultados aproximados, mostrados na tabela I.

Tabela I: Parâmetros do CCII Fig. 3.1 em baixa frequência

Parâmetro	Valor - baixa freq.
a) $\alpha_v = \frac{v_x}{v_y}$	1
b) $Y_{zy} = \frac{i_z}{v_y}$	G_{II}
c) $Z_x = \frac{v_x}{i_x}$	$\frac{G_I}{g_{mz} g_{m\sigma}}$
d) $A_i = \frac{i_z}{i_x}$	$\frac{g_{mIII}}{g_{mII}}$
e) $Y_{zo} = \frac{i_z}{v_z}$	$g_{dsB} + g_{ds\sigma}$

Analisando os valores dos parâmetros na tabela I, vê-se que:

- Os ganhos de tensão e de corrente, α_v e A_i , são aproximadamente unitários;
- A transadmitância Y_{zy} , em baixas frequências, é igual à soma das condutâncias associadas ao nó de saída do amp op;
- $Z_x = Z_o/A_{vo}$. Este valor é normalmente suficientemente baixo para várias aplicações;
- A admitância de saída do circuito é igual à soma das condutâncias entre dreno e fonte dos transistores do estágio de saída do CCII. Assim, para espelhos simples, o valor de Y_{zo} é tipicamente elevado, podendo ser diminuído usando outros espelhos e fontes de corrente [34].

3.2.2) Degradação das características com a frequência:

À medida que a frequência aumenta, começa a haver uma

degradação do desempenho do CCII devido às capacitâncias parasitárias dos transistores e ao capacitor de compensação, como se observa das eqs. 3.1 a 3.5.

- O ganho de tensão se mantém igual à unidade até aproximadamente a frequência de ganho unitário do amp op;

- Os valores de Y_{zy} e de Z_x crescem com o aumento da frequência, sendo que para a frequência de ganho unitário do amp op, $\omega = \text{PGB}$, a partir das eqs. 3.2 e 3.3, tem-se os seguintes valores aproximados:

$$Y_{zy} \Big|_{\omega=\text{PGB}} = \frac{g_{mI}}{C_c} (C_{II} + C_c)$$

$$Z_x \Big|_{\omega=\text{PGB}} = \frac{1}{g_{mII}}$$

- O ganho de corrente, eq. (3.4), apresenta um zero em $\omega = g_{mI}/C_c$, isto é, na frequência de ganho unitário do amp op. Logo, a banda passante do ganho de corrente é superior à do ganho de tensão.

3.3) Implementação em silício

3.3.1) Projeto do CCII:

Esta primeira estrutura proposta foi implementada no PMU 5, com tecnologia CMOS de 2 μm .

Para verificar o comportamento da estrutura com a frequência foram realizadas diversas simulações no programa SPICE. As dimensões dos transistores do CCII, assim como os valores das tensões de alimentação, corrente de polarização e capacitor de compensação são mostrados na tabela II.

Tabela II: Características e dimensões do transportador de corrente - CCII+ implementado no 5^o PMU.

<i>Características do Transportador</i>	<i>Dimensões</i>		
	<i>Transistor</i>	<i>W(um)</i>	<i>L(um)</i>
Tensões de alimentação: $\pm 2,5V$	M1, M2	64	10
Corrente de polarização: $7,1 \mu A$	M3, M4	09	10
Capacitor de compensação: $3,6pF$	M5, M10	38	10
	M6, M8	143	10
	M7, M9	297	10

O amp op utilizado nesta estrutura foi projetado com o auxílio do programa PACAO [37], de síntese de amplificadores operacionais CMOS. Algumas características do amp op mais relevantes para o estudo da estrutura proposta foram simuladas (com as dimensões da tabela II) e são mostradas na tabela III.

Tabela III: Características do amp op utilizado ($C_L = 10pF$).

<i>Características do amp op</i>
Slew rate: 2 V/us
Ganho em aberto (A_{vo}): 86 dB
Produto ganho-banda (PGB): 0.9 MHz
Margem de fase: 65°
Impedância de saída: 650 k Ω

3.3.2) Resultados da simulação e medições no circuito:

Foram medidos os valores do ganho de tensão α_v , da transadmitância Y_{zy} , da impedância de entrada Z_x e do ganho de corrente A_i , até algumas centenas de kHz, utilizando os circuitos de medição mostrados no apêndice. Os resultados são mostrados nas Figs. 3.3 a 3.6.

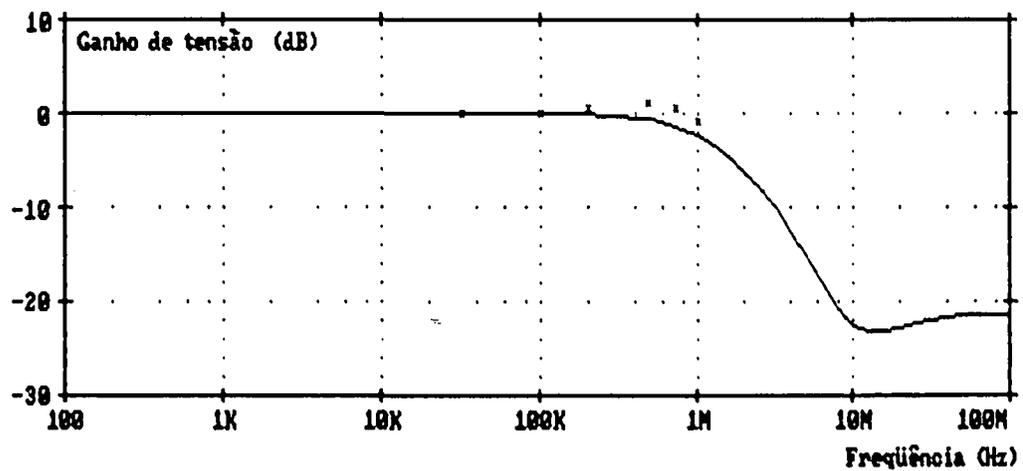


Fig 3.3: Ganho de tensão entre X e Y

— simulado
 x x experimental

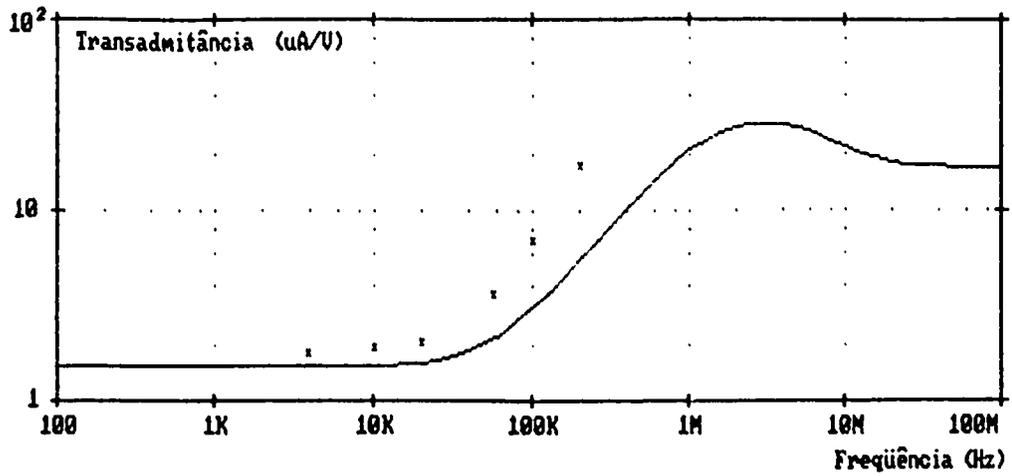


Fig. 3.4: Transadmitância entre Y e Z

— simulado
 x x experimental

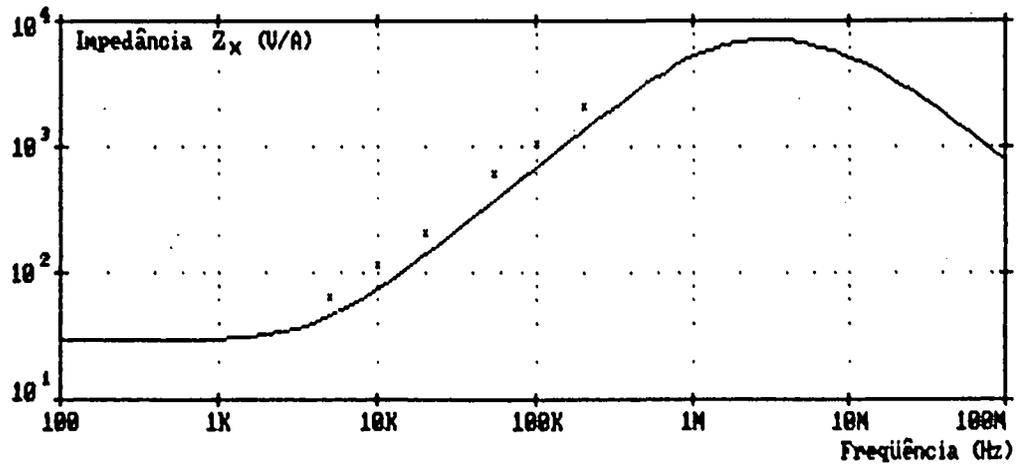


Fig. 3.5: Impedância da entrada X

— simulado
 x x experimental

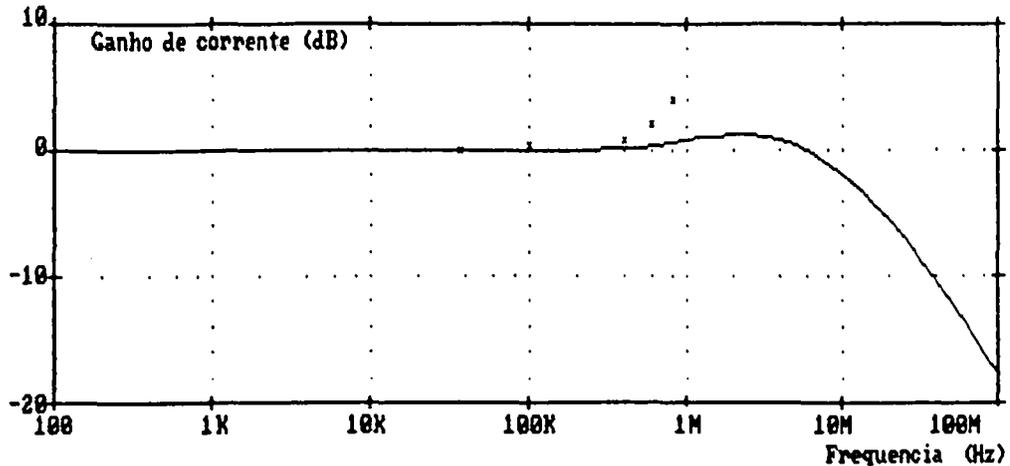


Fig. 3.6: Ganho de corrente entre X e Z

— simulado
 x x experimental

Pelo fato de se ter utilizado um amp op de dois estágios e espelhos de corrente simples, ganhou-se em simplicidade e excursão do sinal, mas algumas características do CCII apresentam comportamento com baixo desempenho se comparado a outras estruturas [9], [10].

A variação de α_v com a frequência é mostrada na Fig. 3.3.

A transadmitância tem um zero em $\omega = G_{II}/(C_{II}+C_c)$, confirmado na determinação experimental.

Já a impedância da entrada X (Fig. 3.5) apresentou um valor próximo 20 Ω para baixas frequências, chegando a cerca de

5 k Ω em 1 MHz;

O ganho de corrente (Fig. 3.6) teórico é unitário até aproximadamente uma década acima do PGB. Este fato pode ser creditado à existência de um zero na frequência g_{m1}/C_c , (ver eq. (3.4)), a frequência do ganho unitário do amp op.

Em algumas das figuras acima observa-se uma diferença entre os valores simulados e os valores medidos. Esta diferença pode ser atribuída aos modelos utilizados no SPICE, principalmente o da condutância de saída do MOSFET. As divergências na inclinação das assíntotas em frequências superiores a 500 kHz são causadas pelos circuitos de medição, baseados em um amp op de frequência de ganho unitário de apenas 4 MHz.

3.4) Conclusão

Neste capítulo foi proposta uma primeira estrutura de CCII, baseada em um amp op de dois estágios na configuração seguidor de tensão com um segundo conversor tensão - corrente.

Foram apresentados uma análise teórica da estrutura, assim como resultados de simulação e medições do circuito implementado no 5^o PMU.

No próximo capítulo são estudadas outras estruturas para implementar o CCII.

CAPÍTULO 4

CONJUNTO DE ESTRUTURAS DE CCII

Neste capítulo são propostos circuitos de transportadores de corrente de segunda geração que, juntamente com o circuito estudado no capítulo 3, podem ser usados como blocos básicos no projeto de circuitos analógicos.

4.1) Estruturas de CCII

Nos circuitos seguintes mantém-se as saídas classe A e espelhos simples para efeito de comparação com o circuito implementado (Fig. 3.1). As modificações propostas são baseadas na diminuição da impedância de saída do amp op, Z_o , com a utilização de seguidores de tensão, e modificações no primeiro estágio do CCII, utilizando apenas um amplificador diferencial ao invés do amp op para implementar o seguidor de tensão. O último dos circuitos apresentados é um CCII baseado em um amplificador operacional de um estágio.

4.1.2) Circuito baseado em um amplificador diferencial conectado a um seguidor de tensão:

Pode-se reduzir a impedância da entrada X através da redução do valor da impedância de saída do amp op. Para tanto utiliza-se um seguidor de tensão, (M_7 , M_8) conectado à saída do amplificador diferencial, nó 1, e espelhando a corrente de dreno de M_7 para a saída do CCII.

O circuito, apresentado na Fig. 4.2, possui o mesmo ganho A_{vo} do da Fig. 4.1, mas a impedância de saída do amplificador diferencial é agora reduzida devido à presença do estágio seguidor de tensão. Assim, a impedância da entrada X para baixas frequências será igual ao inverso do produto de A_{vo} pela transcondutância do transistor M_7 .

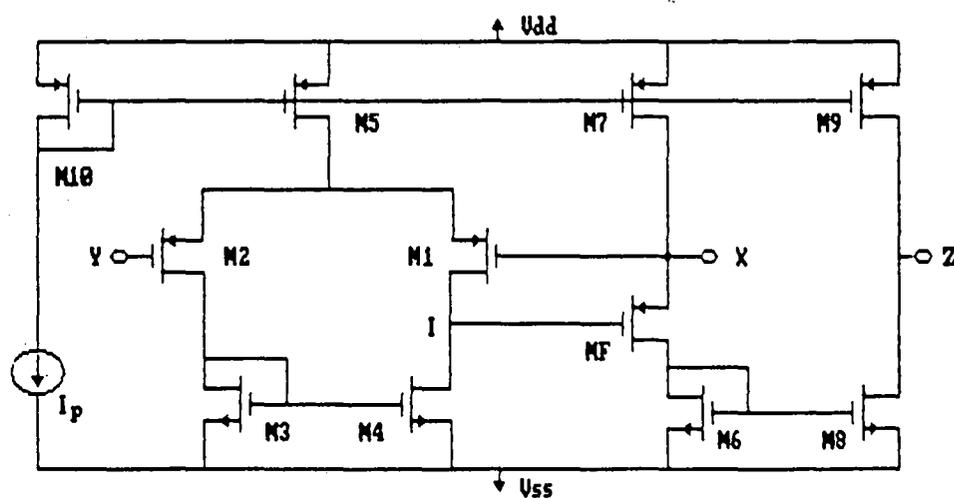


Fig. 4.2: Esquema B: Aperfeiçoamento do CCII da Fig. 4.1.

4.1.3) Circuito baseado em um amp op com um segundo conversor tensão - corrente:

Este CCII é baseado no circuito da referência [9], apenas com espelhos de corrente simples ao invés de espelhos cascode. O circuito é novamente mostrado na Fig. 4.3.

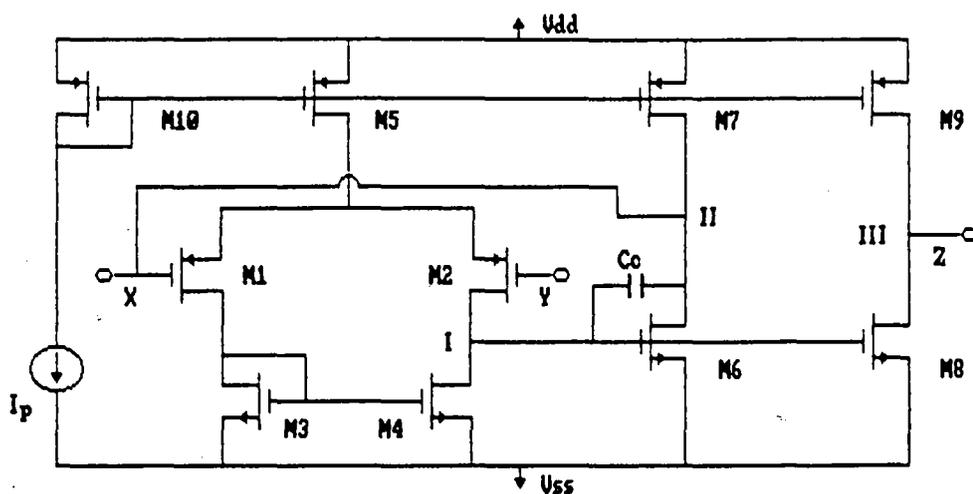


Fig. 4.3: Esquema C: Amp op com estágio de saída duplicado.

4.1.4) Circuito baseado em um amp op com baixa impedância de saída e espelhos de corrente:

As estruturas das Figs. 4.1 e 4.2 são baseadas apenas em um amplificador diferencial para implementar a função $v_x = v_y$. Já a estrutura da Fig. 4.3 é baseada em um amp op de dois estágios, mas que apresenta elevada impedância de saída em malha aberta. O próximo circuito utiliza um amp op de dois estágios com sua saída conectada a um seguidor de tensão para reduzir o valor de Z_o . Esta proposição é sugerida na literatura [10] e é representada na Fig. 4.4. O circuito resultante é apresentado na Fig. 4.5.

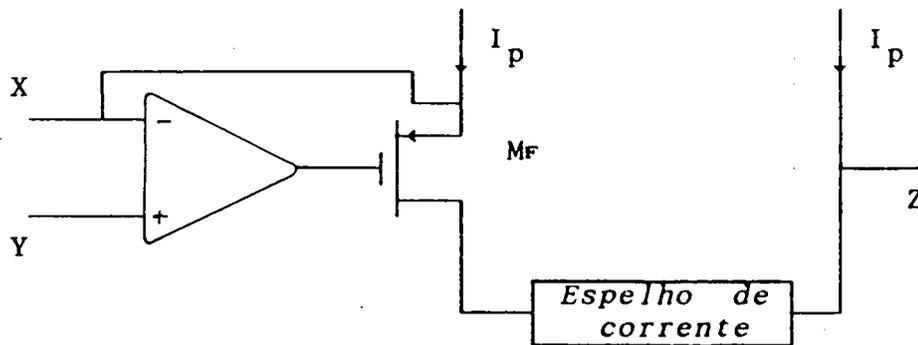


Fig. 4.4: Uso de um seguidor de tensão na saída do amp op.

A impedância Z_x da entrada de corrente do circuito da Fig. 4.5 é igual, para $\omega = 0$, ao inverso do produto de A_{vo} por g_{mF} , da mesma forma que no circuito da Fig. 4.2, mas agora com o valor de A_{vo} bastante superior.

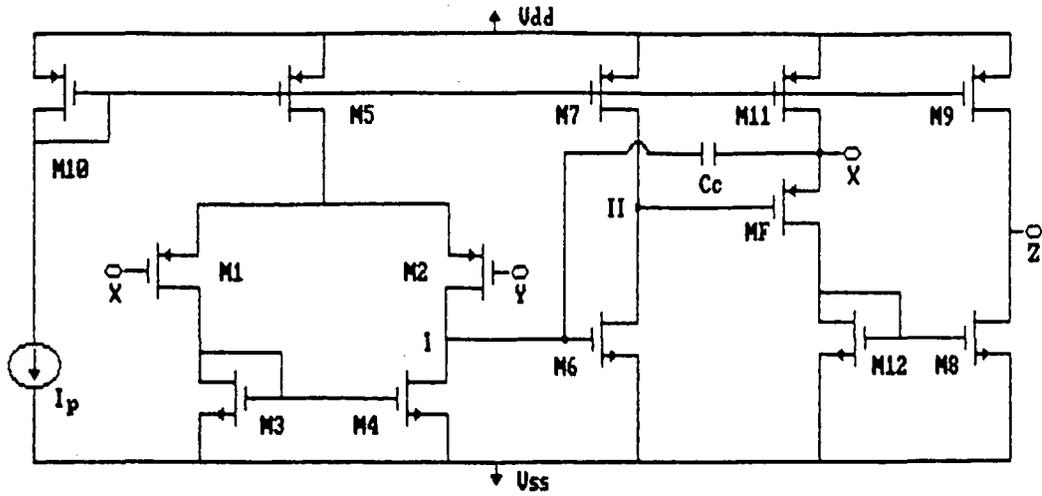


Fig. 4.5: Esquema D: CCII baseado em um amp op com impedância de saída reduzida.

4.1.5) *Circuito de CCII baseado em um amplificador operacional de um estágio:*

A quinta estrutura apresentada é baseada em um amplificador diferencial de um estágio de ganho, com estágio de saída duplicado (Fig. 4.6).

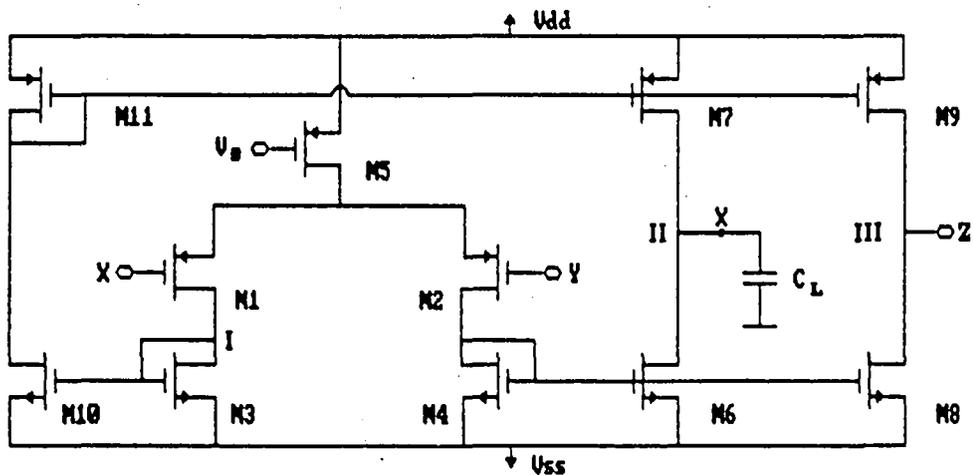


Fig. 4.6: Esquema E: CCII baseado em um amplificador diferencial de um estágio.

Neste caso, o ganho de tensão é relativamente baixo, (da ordem de 50), uma vez que o ganho do 1º estágio é normalmente próximo da unidade.

4.2) Comparação entre as estruturas apresentadas

As cinco estruturas apresentadas são comparadas entre si. São estudados 4 parâmetros importantes do CCII: a impedância Z_x , a transadmitância Y_{zy} e as transferências de tensão e de corrente. Com a comparação de suas características apresenta-se, assim, subsídios para determinar o funcionamento dos transportadores quando partes de estruturas mais complexas.

4.2.1) Impedância da entrada X:

A comparação entre os ganhos em malha aberta do amplificador de entrada e as impedâncias de entrada das estruturas dos esquemas A a E é mostrada na tabela IV.

Tabela IV: Ganhos em malha aberta em baixas frequências e impedâncias da entrada X - esquemas A a E.

ESQUEMA	Avo	Impedância da entrada X (Z_x)	
		baixa frequência	$\omega = PGB$
A	$\frac{g_{mI}}{G_I}$	$\frac{1}{g_{mI}}$	$\frac{1}{g_{mI}}$
B	$\frac{g_{mI}}{G_I}$	$\frac{1}{g_{mF} A_{vo}}$	$\frac{1}{g_{mF}}$
C	$\frac{g_{mI}}{G_I} \frac{g_{mII}}{G_{II}}$	$\frac{1}{G_{II} A_{vo}}$	$\frac{1}{g_{mII}}$
D	$\frac{g_{mI}}{G_I} \frac{g_{mII}}{G_{II}}$	$\frac{1}{g_{mF} A_{vo}}$	$\frac{g_{mI} C_{II}}{g_{mF} g_{mII} C_c}$
E	$\frac{g_{mI}}{G_{II}}$	$\frac{1}{g_{mI}}$	$\frac{1}{g_{mI}}$

- As estruturas A e E apresentam o mesmo valor de Z_x , igual ao inverso da transcondutância do transistor de entrada do par diferencial. Já o esquema B apresenta impedância de X reduzida pela presença do seguidor de tensão M_F . Entretanto o valor de Z_x ainda será elevado, pois A_{vo} é pequeno, função apenas do par diferencial, comparativamente com o ganho de tensão em malha aberta de um amp op de dois estágios. A melhor estrutura, do ponto de vista da impedância Z_x é a do esquema D, onde se utiliza um seguidor de tensão M_F na saída de um amplificador operacional.

4.2.2) Transadmitância entre a saída e a entrada Y:

A tabela V mostra o valor da transadmitância Y_{zy} para as estruturas dos esquemas A a E:

Tabela V: Transadmitância Y_{zy} para os esquemas A a E.

ESQUEMA	Transadmitância entre Z e Y (Y_{zy})	
	baixa frequência	$\omega = PGB$
A	$g_{ds3} + g_{ds5}$	$\frac{g_{m1}}{C_I} (C_{db3} + C_{db5})$
B	g_{ds7}	$\frac{g_{m1}}{C_I} C_{db7}$
C	G_{I1}	$\frac{g_{m1}}{C_c} (C_{I1} + C_c)$
D	g_{ds11}	g_{m1}
E	G_{I1}	g_{m1}

Da tabela V, vê-se que a transadmitância em baixas frequências é igual às condutâncias entre dreno e fonte dos transistores de polarização (esquemas B e D) ou àquelas associadas ao conversor V - I (esquemas C e E). Para as mesmas correntes de polarização nos estágios de saída de transportadores de corrente, as estruturas dos esquemas B e D apresentam menores valores de Y_{zy} . Com o aumento da frequência, Y_{zy} cresce, passando a ser função da transcondutância do transistor de entrada.

4.2.3) Ganhos de tensão e de corrente:

O ganho de tensão é praticamente unitário para qualquer das configurações apresentadas. A frequência de corte do ganho de tensão do circuito seguidor é aproximadamente igual à frequência de ganho unitário do amp op.

O ganho de corrente tem largura de banda aproximadamente igual à do ganho de tensão. Entretanto, nos

esquemas C e D, os ganhos de corrente apresentam zeros em $\omega = \text{PGB}$ que parcialmente compensam os efeitos do pólo na frequência do PGB. Desta forma, nestes dois casos, o ganho de corrente exibe uma maior largura de banda do que o de tensão.

4.3) Transportadores de corrente com alto desempenho

Além de utilizar amplificadores operacionais de baixa impedância de saída, como já apresentado, diferentes classes de operação dos estágios de saída e espelhos e fontes de corrente mais elaborados também podem ser usados para aumentar o desempenho das estruturas apresentadas até aqui. Entretanto, estas modificações aumentam a complexidade dos circuitos.

4.3.1) Classe de operação do circuito:

As estruturas estudadas neste capítulo apresentam saída classe A. Em classe AB, a corrente quiescente no estágio de saída pode ser reduzida e se pode obter maiores excursões da corrente de saída sem aumento da potência quiescente.

Pode-se, por exemplo, alterar a estrutura do esquema C (fig. 4.3) utilizando um amp op com estágio de saída classe AB (Fig. 4.7). Para tanto, um deslocador de nível (MF1 - MF2) é utilizado para acoplar o estágio diferencial ao estágio de saída do amp op.

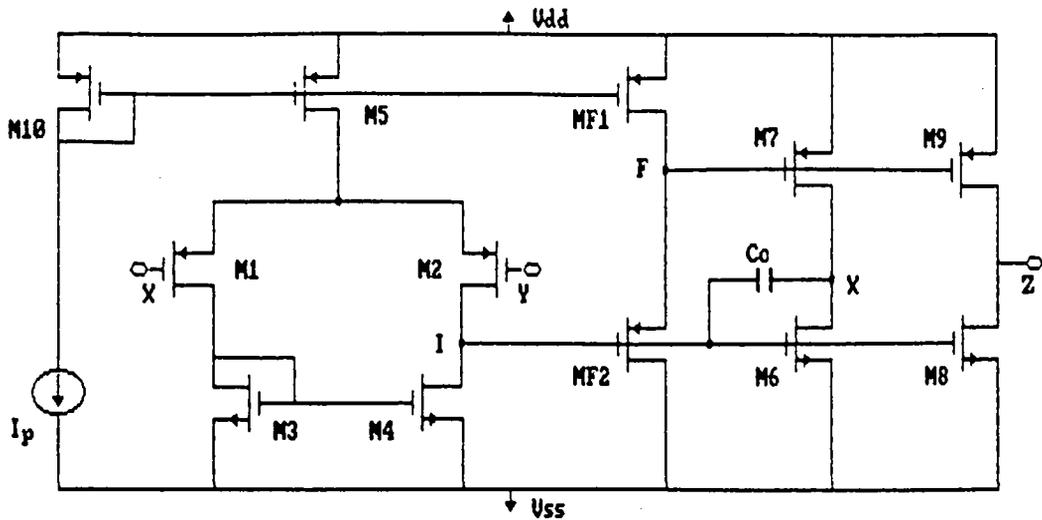


Fig. 4.7: Circuito equivalente ao da Fig. 4.3 - Classe AB.

Utilizando o mesmo procedimento pode-se obter versões dos circuitos dos esquemas A e B com saídas classe AB. A versão classe AB do circuito do esquema D é o circuito proposto na referência [10], mostrado na Fig. 4.8.

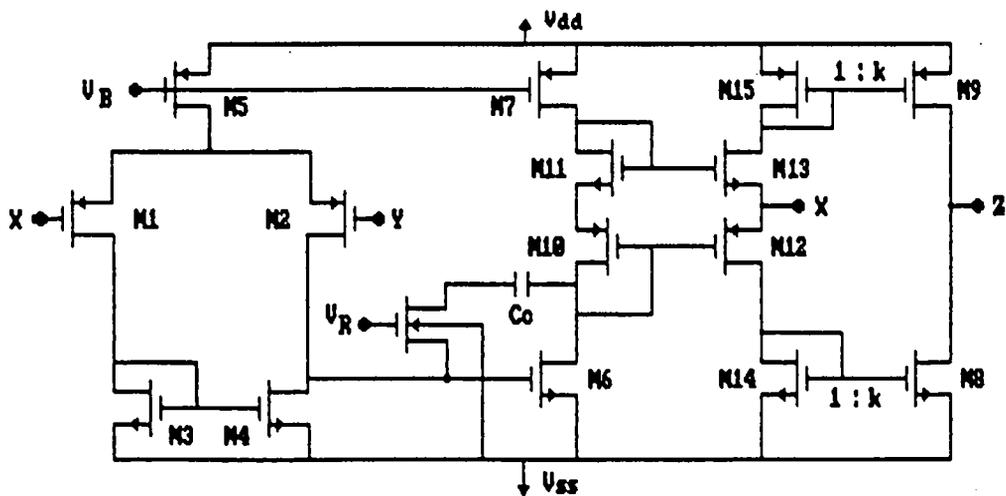


Fig. 4.8: Circuito de CCII classe AB [10].

4.3.2) Espelhos de corrente com alto desempenho:

A corrente de saída em um espelho simples é bastante sensível a variações na tensão de saída. Já o espelho cascode apresenta resistência de saída elevada em comparação com a do espelho simples, tipicamente 50 vezes maior, sendo, portanto, menos sensível a variações na tensão de saída. A principal desvantagem dos espelhos cascode em comparação com os espelhos simples é a redução na excursão do sinal de tensão em Z , bem como uma banda passante inferior do ganho de corrente.

Espelhos cascode regulados [36] são apresentados como uma alternativa que apresenta vantagens sobre o espelho cascode, tanto sob o ponto de vista de aumento da impedância de saída quanto da excursão de tensão [36].

Na Fig. 4.9, tem-se o esquema de um CCII implementado com espelhos cascode nos estágios de saída e com circuito de polarização interno.

Este circuito foi projetado para implementação no 6º Projeto Multiusuário Brasileiro e será utilizado no projeto de um integrador de tensão baseado no CCII+.

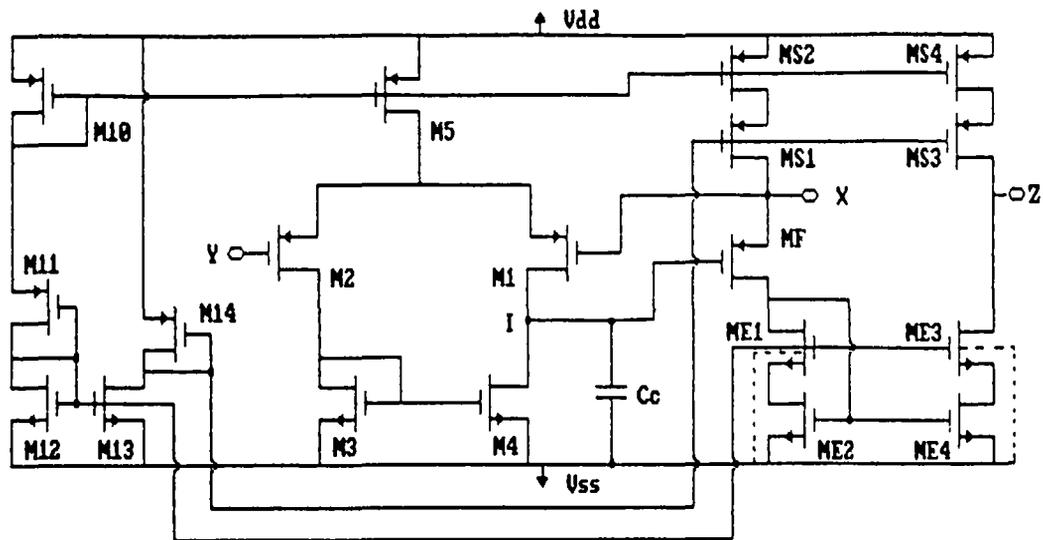


Fig. 4.9: Circuito de CCII (Fig. 4.2) com espelhos e fontes de corrente cascode nos estágios de saída.

4.4) Conclusão

Neste capítulo foram analisadas cinco estruturas para a implementação do CCII. Foram apresentadas desde estruturas extremamente simples, até circuitos mais elaborados, indicados para aplicações onde sejam necessários transportadores de melhor desempenho.

Foram analisadas a impedância Z_x da entrada de corrente, a transadmitância entre a saída e a entrada Y , Y_{zy} , e os ganhos de tensão e de corrente das cinco estruturas. Também foram propostas modificações para melhorar o desempenho dos CCIIIs apresentados.

Desta forma, este capítulo se constitui em uma fonte de referência para a escolha de circuitos indicados para uma

aplicação específica, fornecendo subsídios sobre diversas estruturas para o projetista, principalmente pelo fato de que a literatura técnica tem chamado pouco a atenção sobre os parâmetros impedância da entrada de corrente e transadmitância entre a saída e a entrada de tensão.

No próximo capítulo serão estudadas aplicações de transportadores de corrente de segunda geração em amplificadores de tensão e integradores, blocos básicos para o projeto de filtros analógicos.

CAPÍTULO 5

EXEMPLOS DE APLICAÇÃO DE TRANSPORTADORES DE
CORRENTE DE SEGUNDA GERAÇÃO

Neste capítulo são propostas uma estrutura de amplificador e outra de integrador de tensão completamente compatíveis com tecnologia CMOS digital. São analisados os efeitos das não idealidades do CCII nestas duas aplicações.

5.1) Amplificadores de tensão

Pode-se construir amplificadores de tensão baseados em transportadores de corrente de segunda geração, sendo o ganho de tensão determinado pelo ganho de corrente do CCII e por uma razão entre duas resistências.

5.1.1) Configuração não inversora:

Considere-se o amplificador de tensão na configuração não inversora baseado em um transportador de corrente ideal mostrado na Fig. 5.1 [14].

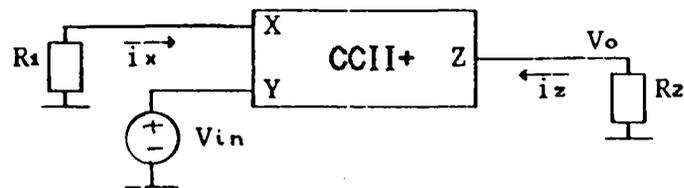


Fig. 5.1: Amplificador de tensão - Configuração não inversora: AI

Supondo o ganho de corrente igual a A_i , pode-se escrever:

$$G_v = \frac{V_o}{V_{in}} = A_i \frac{R_z}{R_1} \quad (5.1)$$

Idealmente, o ganho de tensão V_o/V_{in} é função apenas do ganho de corrente A_i e de resistências aterradas, R_1 e R_z .

5.1.2) Configuração inversora:

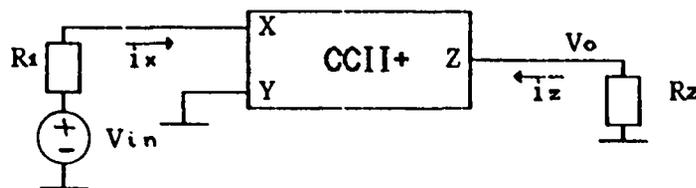


Fig. 5.2: Amplificador de tensão - Configuração inversora: AI

O ganho de tensão V_o/V_{in} no circuito da Fig. 5.2 é dado por:

$$G_v = \frac{V_o}{V_{in}} = - A_i \frac{R_z}{R_1} \quad (5.2)$$

Novamente, para um CCII ideal, G_v é função apenas do ganho de corrente A_i e da razão entre duas resistências, uma flutuante (R_1) e outra aterrada (R_z).

Na prática, entretanto, o uso de transportadores de corrente reais provoca degradações no ganho de tensão. Na próxima seção são considerados os efeitos dos parâmetros do CCII real.

5.1.3) *Influência dos parâmetros do transportador de corrente em amplificadores de tensão baseados em CCII:*

A corrente de saída de um CCII é, conforme a eq. (2.4), dada por:

$$i_z = A_i \cdot i_x + Y_{zy} \cdot v_y + Y_{zo} \cdot v_o \quad (5.3)$$

enquanto a tensão no terminal X pode ser escrita como:

$$v_x = \alpha_v \cdot v_y + Z_x \cdot i_x \quad (5.4)$$

Considerando as eqs. (5.3) e (5.4), o ganho de tensão do amplificador não inversor da Fig. 5.1 é, então, dado por:

$$G_v = \frac{\frac{a_v \cdot A_i}{R_1 + Z_x} - Y_{zy}}{Y_{z0} + \frac{1}{R_z}} \quad (5.5)$$

enquanto que, para a configuração inversora (Fig. 5.2):

$$G_v = - \frac{\frac{A_i}{R_1 + Z_x}}{Y_{z0} + \frac{1}{R_z}} \quad (5.6)$$

Analisando as equações (5.5) e (5.6), observa-se que:

- Deve-se escolher valores de R_1 de modo que $|Z_x| \ll R_1$.
Dai se conclui que o uso de estruturas de CCII que apresentam elevada impedância Z_x na implementação de amplificadores de tensão limita o ganho destes.

- A admitância de saída, Y_{z0} , função do tipo de espelho usado no estágio de saída, deve ser desprezível em comparação com o valor da condutância $1/R_z$. Desta forma, deve-se escolher valores de R_z tais que $R_z|Y_{z0}| \ll 1$. As duas condições, $|Z_x/R_1| \ll 1$ e $|Y_{z0}R_z| \ll 1$, impõem que a relação entre as magnitudes da impedância de saída Z_{z0} ($Z_{z0} = 1/Y_{z0}$) e da impedância de entrada Z_x seja suficientemente alta ao longo de toda a banda passante a fim de se obter um ganho de tensão independente de Z_x e de Z_{z0} ;

- A transadmitância, Y_{zy} , contribui para modificar o valor do ganho de tensão na configuração não inversora, não tendo influência na configuração inversora pois $v_y = 0$;

- O ganho de tensão na configuração inversora apresenta, para um mesmo conjunto de parâmetros do CCII, um melhor desempenho que o ganho de tensão na configuração não inversora quando a excitação é uma fonte de tensão de baixa impedância. Entretanto, o desempenho do amplificador inversor piora com o aumento da impedância da fonte de sinal.

Na Fig. 5.3 são mostradas as magnitudes da resposta em frequência dos amplificadores de tensão mostrados nas Figs. 5.1 e 5.2, baseados no CCII do esquema da Fig. 4.5 [38]. As características do CCII são mostradas na tabela VI, assim como os valores das resistências R_1 e R_2 utilizadas na simulação. Em ambos os casos, uma fonte de sinal de impedância zero foi utilizada.

Tabela VI: Características do CCII utilizado na simulação dos amplificadores das Figs 5.1 e 5.2 e valores das resistências utilizadas

<i>Características do Transportador</i>	<i>Dimensões</i>		
	<i>Transistor</i>	<i>W(um)</i>	<i>L(um)</i>
Tensões de alimentação: $\pm 2,5V$	M1, M2	64	10
Corrente de polarização: $7,1 \mu A$	M3, M4	09	10
Capacitor de compensação: $3,6pF$	M5, M10	38	10
PGB: 1 MHz	M6, M8	143	10
	M7, M9	38	10
	M _F	50	10
	M12	143	10

<i>Amplificador</i>	<i>Gv (dB)</i>	<i>R1 (ohms)</i>	<i>R2 (ohms)</i>
AI (Fig. 5.1)	40	100	10k
	20	1k	10k
	0	10k	10k
AII (Fig. 5.2)	40	100	10k
	20	1k	10k
	0	10k	10k

Analisando a Fig. 5.3, vê-se que, como já era esperado, a configuração AII apresenta um melhor desempenho, sendo que este fato se torna mais nítido à medida que é menor o ganho de tensão.

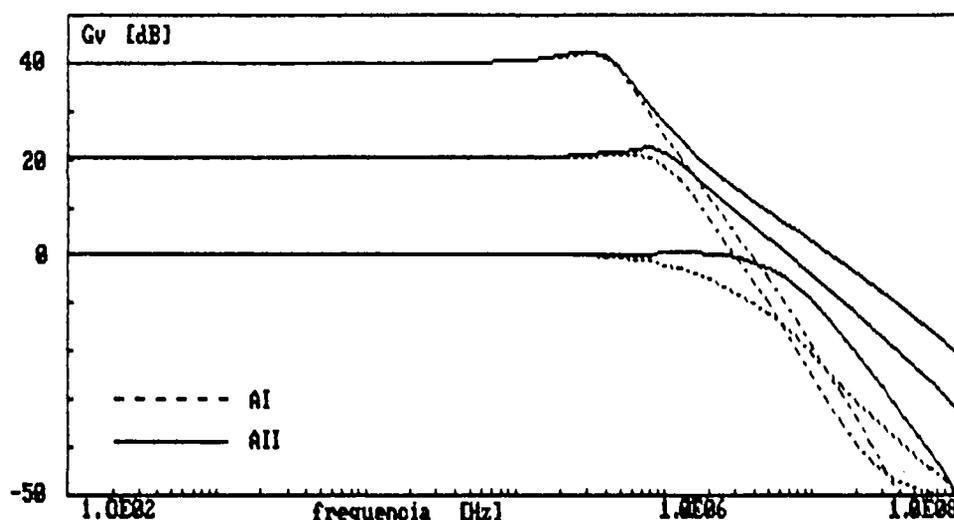


Fig. 5.3: Comparação entre os amplificadores não inversor - AI
inversor - AII

A principal fonte de degradação do ganho de tensão, para altos valores de G_v (R_i baixo), é o valor da impedância da entrada X , que pode até superar o valor de R_i em frequências próximas ao PGB do amp op, não sendo função da configuração utilizada.

A diferença entre os ganhos de tensão das configurações AI e AII em altas frequências, para menores valores de G_v (20 dB e 0 dB) é creditada à transferência de tensão do CCII, cuja frequência de corte é próxima de 1 MHz.

Para um ganho de 0 dB, o amplificador AII tem frequência de corte de aproximadamente 5 vezes o PGB do amp op,

enquanto o amplificador AI tem frequência de corte da ordem de 1 MHz.

Se forem comparados os ganhos destes amplificadores baseados em CCIIs com amplificadores obtidos a partir de amplificadores operacionais em tensão, pode-se dizer que estes, idealmente, teriam bandas passantes de cerca de $PGB/10$ e $PGB/100$, caso os ganhos fossem de 20 dB e 40 dB, respectivamente. A observação da Fig. 5.3 mostra que larguras de banda superiores podem ser obtidas com estruturas de amplificadores utilizando transportadores de corrente.

5.2) Integrador baseado em CCII

Outro bloco básico para o projeto de circuitos analógicos é o integrador. Nesta seção será estudado o comportamento de um integrador de tensão implementado a partir de um transportador de corrente de segunda geração não realimentado, com a utilização de um capacitor aterrado e um resistor flutuante.

Pode-se implementar um integrador de tensão utilizando a estrutura do amplificador inversor e substituindo o resistor de saída por um capacitor.

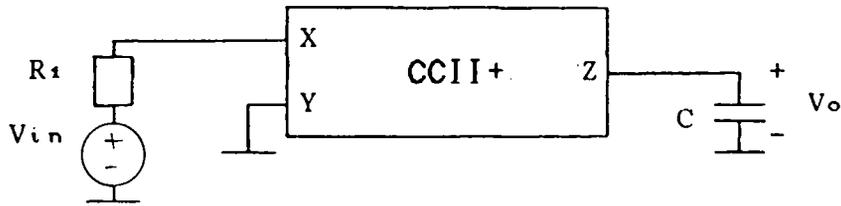


Fig. 5.4: Integrador de tensão baseado em um CCII +.

Da figura 5.4:

$$\frac{V_o}{V_{in}} = \frac{-A_i}{(R_1 + Z_x)(Y_{zo} + sC)} \quad (5.7)$$

Em baixas frequências $Z_x = R_x$, $Y_{zo} = 1/R_{zo}$ e $A_i = A_{io}$. Conseqüentemente, o circuito comporta-se como um integrador com perdas com um pólo em $p_1 \cong \frac{-1}{R_{zo}C}$, se desprezarmos a capacitância de saída do CCII em presença de C . O ganho DC do circuito é $\frac{-A_{io}R_{zo}}{R_1 + R_x}$. Por outro lado, à medida que a frequência aumenta, Z_x tem comportamento indutivo, isto é, $Z_x = R_x + sL_x$. Por exemplo, da eq. (2.8), $Z_x = Z_o/(1 + A_v)$, onde Z_o e A_{vo} são a impedância de saída e o ganho em malha aberta do amp op que originou o CCII, respectivamente.

Suponha-se, por exemplo, que é utilizado um CCII implementado com um amp op com impedância de saída reduzida pela introdução de um seguidor de tensão e considere-se que Z_o é resistiva, de valor R_o , na faixa de utilização do integrador. Considerando ainda:

$$A_v = \frac{A_{v0}}{1 + s/\omega_{adB}} \quad (5.8)$$

tem-se:

$$Z_x = \frac{R_o}{1 + \frac{A_{v0}}{1 + s/\omega_{adB}}} \cong \frac{R_o}{A_{v0}} (1 + s/\omega_{adB}) \quad (5.9)$$

até frequências próximas ao PGB do amp op. Desta forma, o integrador apresentará um segundo pólo que contribui para degradar sua resposta em frequência. Assim, o integrador tem também sua resposta em frequência modificada devido ao caráter indutivo da impedância Z_x da entrada de corrente e devido às singularidades de A_i . Naturalmente, estas características não ideais do integrador irão limitar a faixa de frequência e o fator de qualidade dos filtros implementados a partir dele [39].

Os circuitos dos amplificadores de tensão e do integrador apresentados até aqui foram mostrados com resistores e capacitores ideais. Entretanto, em circuitos integrados, deve-se utilizar, preferencialmente, elementos compatíveis com a tecnologia a ser empregada. Normalmente é preferível implementar resistores ativos, mesmo que estes apresentem problemas de linearidade, mas que ocupem uma área reduzida e possam ter o valor de sua resistência controlada, para fins de sintonização.

Também a implementação de capacitores é restringida pela tecnologia de processo empregada, às vezes sendo necessário empregar a capacitância de porta de transistores MOS.

Na próxima seção são descritas algumas implementações

de resistores ativos e capacitores utilizando processos MOS digitais.

5.3) Resistores e capacitores em tecnologia MOS

5.3.1) Resistores MOS:

Resistores de polissilício apresentam boa linearidade, mas requerem grandes áreas. Resistores difundidos também requerem grandes áreas e adicionalmente têm capacitância parasitária elevada. Já os resistores de poço requerem menor área, mas não têm boa linearidade e apresentam capacitância parasitária elevada. Além disso, estes resistores não são facilmente sintonizáveis.

Resistores ativos, normalmente constituídos por transistores, requerem pequenas áreas, são facilmente sintonizáveis mas apresentam problemas de linearidade.

Algumas técnicas [40-46] têm sido propostas para melhorar a linearidade da resistência obtida a partir de componentes ativos como, por exemplo, a técnica apresentada por Banu e Tsividis em [40]. Uma evolução da estrutura apresentada em [40] foi proposta por Z. Czarnul em 1986 [41]. Esta estrutura, apresentada na Fig. 5.5, faz uso de quatro transistores MOS operando na região triodo, apresentando uma relação linear entre a corrente diferencial de saída e a tensão diferencial de entrada. O valor da transcondutância é função das tensões de controle aplicadas às portas dos transistores, sendo dada por:

$$G = \frac{I_1 - I_2}{V_1 - V_2} = \beta(V_{C1} - V_{C2}) \quad (5.10)$$

onde $\beta = \mu C_{ox}W/L$.

A eq. (5.10) é válida para $M_1 - M_4$ na região triodo, isto é, quando:

$$V_1, V_2 \leq \max(V_{C1} - V_T, V_{C2} - V_T) \quad (5.11)$$

Embora diversas estruturas sejam encontradas na literatura para implementar resistores ou transdutores, a opção pela estrutura apresentada na Fig. 5.5 se deve a sua simplicidade.

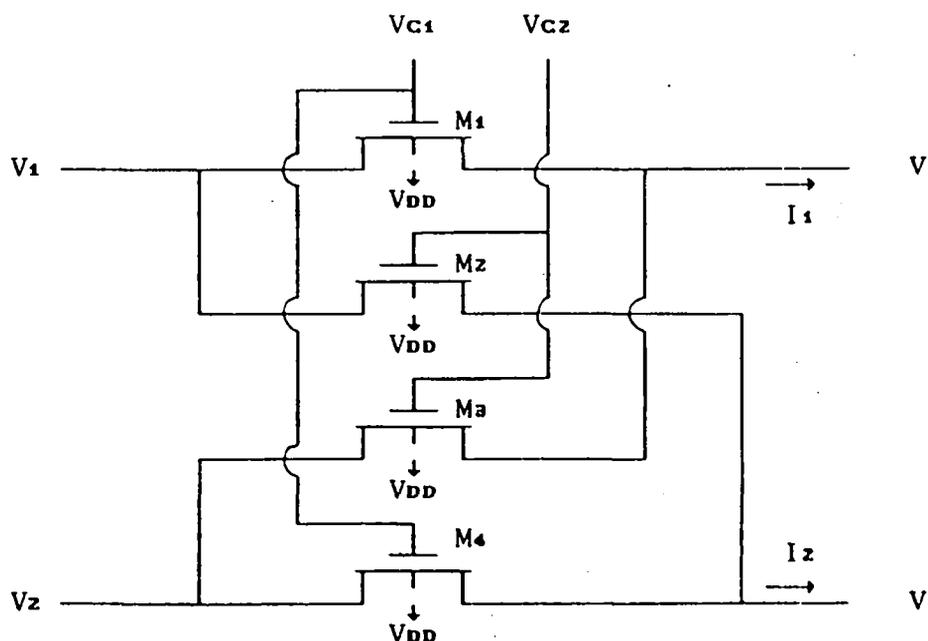


Fig. 5.5: Implementação de resistor MOS com 4 transistores [41]

A Fig. 5.6 apresenta a transcondutância de um MRC (MOS Resistive Circuit) PMOS projetado com $V_{c1} = -2,5V$, $V_{c2} = -2,0V$, $(W/L)_{M1-M4} = 8.3/10$ e tensões de alimentação de $\pm 2,5V$.

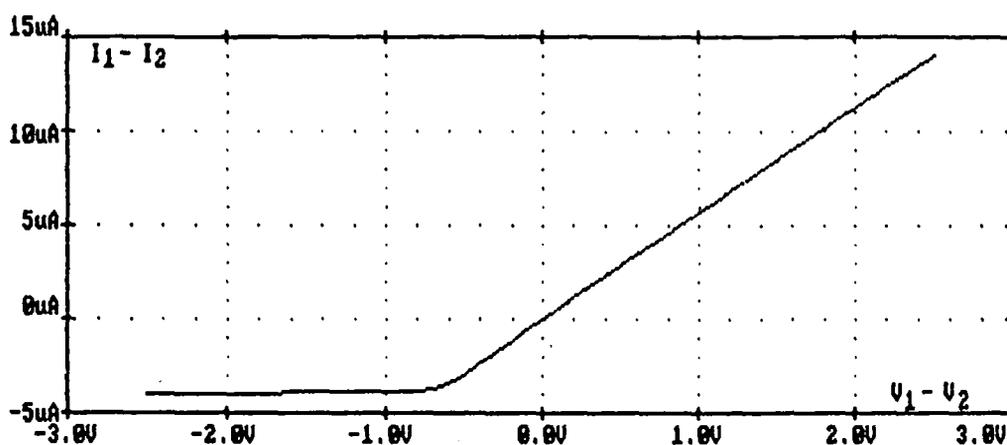


Fig. 5.6: Característica de transferência do MRC projetado.

Vê-se, da Fig. 5.6, que, para os valores de V_{c1} e V_{c2} utilizados, a manutenção dos transistores na região triodo requer que V_{in} seja superior a $-0,6V$, conforme a eq. (5.11) (V_T é da ordem de $-1,4 V$, considerando o efeito de corpo).

5.3.2) Capacitores MOS:

Capacitores lineares em circuitos integrados MOS são usualmente obtidos através de processos não convencionais como,

por exemplo, o de dupla camada de polissilício. No caso da tecnologia do projeto multiusuário brasileiro, orientada para a implementação de circuitos digitais, existe apenas uma camada de polissilício. Assim, outras formas de implementação de capacitores são necessárias.

Uma alternativa é a implementação de capacitores utilizando a capacitância de porta do transistor MOS [47]. Comparados aos capacitores de duplo poli, capacitores de óxido fino apresentam maiores capacitâncias por unidade de área e melhor casamento entre si. Além disso, se polarizados adequadamente, os coeficientes de variação da capacitância com a tensão dos capacitores de porta dos transistores MOS são suficientemente baixos [47] para muitas aplicações. Embora não sejam utilizados nas simulações neste trabalho, os capacitores de porta MOS se constituem em uma boa alternativa para a implementação de capacitores compatíveis com processos MOS digitais.

5.4) Estruturas de amplificadores e integradores baseados em transportadores de corrente de segunda geração usando tecnologia MOS digital

5.4.1) Estrutura de amplificador de tensão utilizando resistores ativos:

É proposta uma estrutura de amplificador de tensão

baseado em um transportador de corrente de segunda geração e em dois circuitos de resistores ativos (MRC) [41].

A estrutura do amplificador proposto é mostrada na Fig. 5.7.

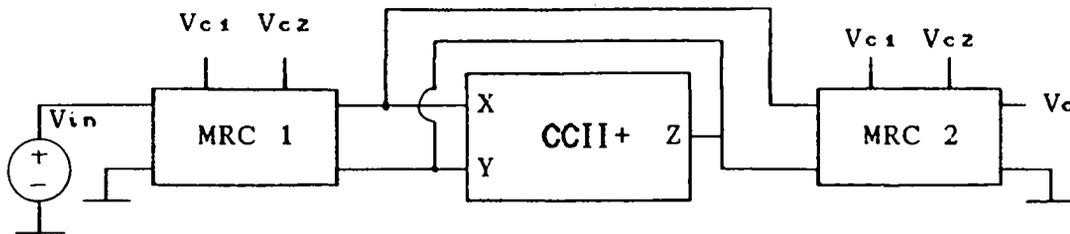


Fig. 5.7: Amplificador de tensão com resistores ativos.

Considerando o CCII ideal, as diferenças entre as tensões de controle, $(V_{c1} - V_{c2})$, dos MRCs iguais, pode-se escrever, a partir de (5.10):

$$\frac{V_o}{V_{in}} = - \frac{(W/L)_1}{(W/L)_2} \quad (5.12)$$

onde $(W/L)_1$ e $(W/L)_2$ são as razões de aspecto dos transistores do MRC₁ e do MRC₂, respectivamente.

As Figs. 5.8 e 5.9 apresentam o ganho de tensão V_o/V_{in} DC e a magnitude do ganho de tensão AC para o amplificador da Fig. 5.7 utilizando valores de MRC₁ e MRC₂ iguais

a 160 k Ω (Fig. 5.6). Foi utilizado o CCII mostrado na Fig. 4.9, com as dimensões mostradas na tabela VII.

Tabela VII: Dimensões e características do CCII e dos MRC utilizados.

Características do Transportador	Dimensões		
	Transistor	W(μm)	L(μm)
Tensões de alimentação: $\pm 2,5\text{V}$	M1, M2	32	04
Corrente de polarização: 7,1 μA	M3, M4	05	05
Capacitor de compensação: 0,3pF	M5, M10	16	03
Classe de operação: A	M11	09	15
Tipo: CCII+	M12, M13	04	05
PGB: 10 MHz	M14	04	03
	M _F	25	03
Espelho Cascode canal N	ME1 - ME4	32	03
Fonte de corrente Cascode-canal P	MS1 - MS4	32	03

Características dos MRC - PMOS	Dimensões		
	Transistor	W(μm)	L(μm)
Tensões de alimentação: $\pm 2,5\text{V}$	MR1 - MR4	8.3	10
Resistência projetada: 160 k Ω			
Tensões controle: $V_{c1} = -2.5\text{V}$ $V_{c2} = -2.0\text{V}$			

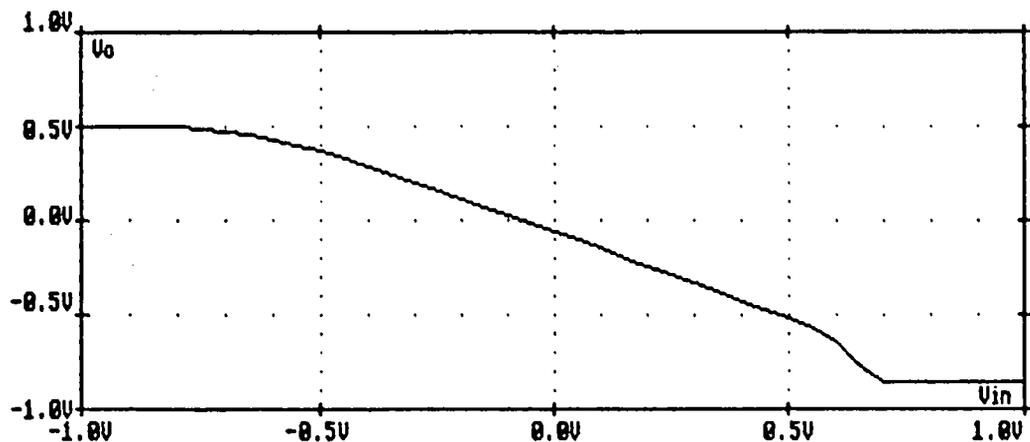


Fig. 5.8: Função de transferência DC do amplificador implementado com MRC PMOS.

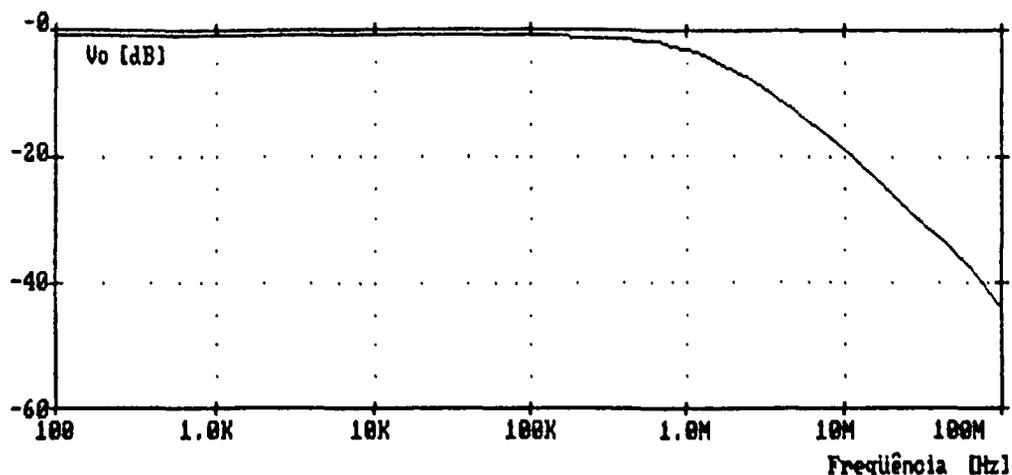


Fig. 5.9: Magnitude do ganho de tensão do amplificador implementado com 2 MRC.

Observando a Fig. 5.8 observa-se uma faixa linear da transferência de tensão DC da ordem de 1V. Da Fig. 5.9, vê-se que o amplificador implementado com resistores ativos apresenta banda passante da ordem de 1 MHz. O valor da banda passante é inferior ao PGB do amp op devido a não idealidades do CCII utilizado, como impedância de saída e transadmitância.

5.4.2) Integrador de tensão utilizando resistor ativo:

Encontra-se na literatura uma proposição de integrador de tensão baseado em um CCII [23], onde o integrador é obtido a partir de um CCII configurado como um conversor negativo de impedância (NIC).

Nesta seção propõe-se um novo circuito de integrador de tensão baseado em CCII totalmente compatível com a tecnologia CMOS digital, utilizando um transportador não realimentado, com uma das entradas do resistor ativo aterrada e um capacitor aterrado. A estrutura do integrador é mostrada na Fig. 5.10.

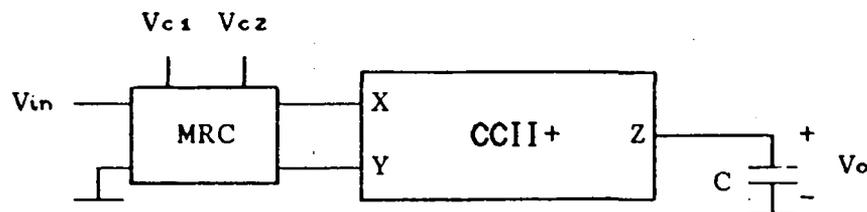


Fig. 5.10: Integrador de tensão com transcondutor na entrada.

Do circuito da Fig. 5.10:

$$\frac{V_o}{V_{in}} = \frac{-\beta(V_{c1} - V_{c2})}{sC} \quad (5.13)$$

onde $\beta = \mu C_{ox} W/L$.

Foi simulado um integrador de tensão utilizando o CCII+ cuja topologia é mostrada no esquema D, capítulo 4, com espelhos e fontes de corrente cascode no estágio de saída (Fig. 4.9). Foi utilizado na simulação um capacitor ideal com valor $C = 2$ pF. As dimensões e características do CCII são mostradas na tabela VII e as características do MRC na tabela VIII.

O MRC foi projetado para se obter uma resistência de aproximadamente 80 k Ω que, juntamente com o capacitor C de 2 pF, leva a um integrador com frequência de ganho unitário de 1 MHz.

Tabela VIII: Característica do MRC utilizado no integrador.

<i>Características do MRC - PMOS</i>	<i>Dimensões</i>		
	<i>Transistor</i>	<i>W(um)</i>	<i>L(um)</i>
Tensões de alimentação: $\pm 2,5V$	MR1 - MR4	17	10
Resistência projetada: 78 k Ω			
Tensões controle: $V_{c1} = - 2.5V$ $V_{c2} = - 2.0V$			

O circuito do integrador é mostrado na Fig. 5.11.

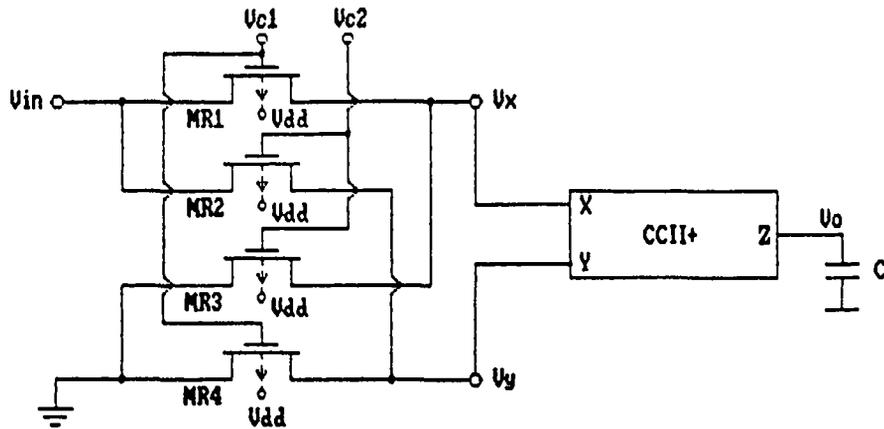


Fig. 5.11: Topologia do integrador de tensão simulado.

As Figs. 5.12 e 5.13 mostram a magnitude e a fase da resposta em frequência do integrador.

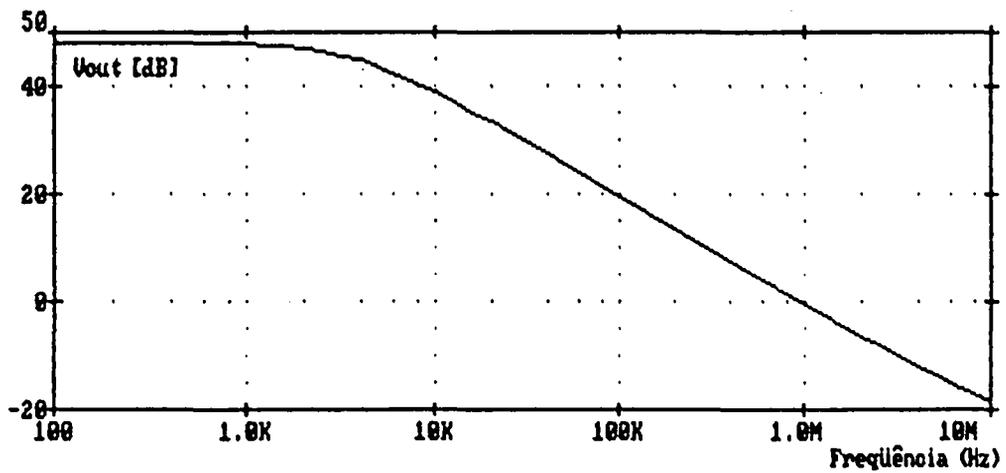


Fig. 5.12: Magnitude da resposta em frequência do integrador.

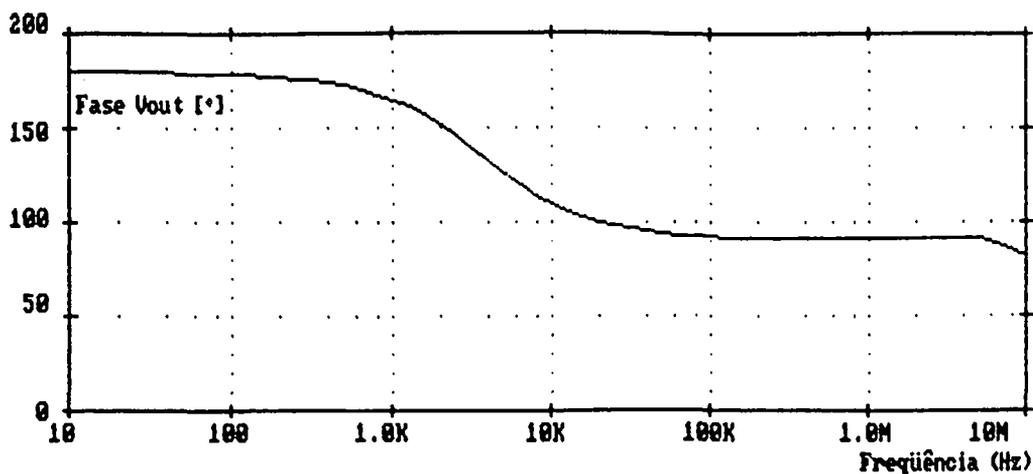


Fig. 5.13: Fase da resposta em frequência do integrador.

O integrador apresenta ganho em baixas frequências próximo a 50 dB. A frequência de ganho unitário é de 1 MHz. Singularidades secundárias do integrador ocorrem em frequências superiores a 10 MHz. O deslocamento de fase introduzido por estas singularidades e o ganho DC finito do integrador limitam o máximo fator de qualidade Q que pode ser obtido em filtros que tenham como elemento básico tal integrador [39].

5.5) Conclusão

Foram estudados dois blocos básicos, o amplificador e o integrador de tensão, implementados a partir de transportadores de corrente de segunda geração e analisados os efeitos das não idealidades do CCII nos dois blocos. Amplificadores de tensão

inversores e não inversores foram simulados tendo sido observada a obtenção de produtos ganho-banda superiores àqueles obtidos através de estruturas com amplificadores operacionais.

Foi simulado uma configuração de amplificador de tensão utilizando resistores ativos, obtendo-se uma banda passante para o ganho de tensão da ordem de 1 MHz.

Também foi proposto um integrador de tensão projetado para uma frequência de ganho unitário de 1 MHz. A simulação da estrutura mostrou resultados compatíveis com o projeto.

Os blocos básicos estudados neste capítulo constituem uma opção para o projeto de filtros analógicos totalmente integráveis, compatíveis com tecnologias CMOS digitais.

CAPÍTULO 6

CONCLUSÕES GERAIS

Neste trabalho apresentou-se um estudo detalhado dos transportadores de corrente de segunda geração CMOS.

Foram apresentados os dois métodos mais comuns de implementação de CCII e feita uma análise teórica das principais não-idealidades do CCII, possibilitando ao projetista uma visão das principais limitações dos diversos tipos de estruturas.

Várias estruturas básicas foram propostas e comparadas entre si, sendo que uma delas foi implementada em circuito integrado com tecnologia CMOS $2\mu\text{m}$. Suas características principais foram medidas, ratificando os resultados apresentados na análise teórica e nas simulações desenvolvidas. As estruturas básicas foram relacionadas a estruturas conhecidas da literatura e métodos para melhorar seus desempenhos foram propostos.

Também foram analisadas aplicações de transportadores de segunda geração em circuitos analógicos, como amplificadores de tensão e integradores. Foram propostos e simulados um novo amplificador e um novo integrador de tensão, ambos totalmente compatíveis com a tecnologia CMOS digital. O amplificador e o integrador propostos podem ser combinados para a realização de filtros analógicos.

Dos resultados obtidos, pode-se concluir que, embora as três técnicas de circuitos analógicos contínuos citadas, MOSFET-C, OTA-C e CCII-MOSFET-C, requeiram resistores ou transdutores lineares, pode-se trabalhar, utilizando CCII, em frequências mais altas do que a técnica MOSFET-C, além da vantagem de poder utilizar capacitor aterrado e resistores ativos bastante simples. Assim, o uso de CCII em circuitos analógicos contínuos se constitui em uma alternativa aos métodos tradicionais de projeto.

Desta forma, este trabalho se constitui em uma referência para o estudo dos transportadores de corrente de segunda geração, bloco básico útil para a realização de circuitos analógicos.

Desenvolvimentos Futuros:

A partir deste trabalho, sugere-se o prosseguimento do estudo das aplicações de CCII, principalmente em filtros analógicos, estudando métodos de síntese de filtros que utilizem CCII e componentes compatíveis com tecnologia MOS digital.

REFERÊNCIAS

- [1] PRINCE, B. & SALTERS, R.H.W. IC's going on a 3-V diet. IEEE Spectrum, v. 29, n. 5, p. 22-25, may 1992.
- [2] GREGORIAN, R. & TEMES, G.C. Analog MOS integrated circuits for signal processing. New York: John Wiley & Sons, 1986. 598 p. cap 5 p. 265-410.
- [3] HUGHES, J.B.; MACBETH, I.C. & PATULLO, D.M. Switched current filters. IEE Proceedings, v. 137, Part G, n. 2, p. 156-162, apr. 1990.
- [4] TSIVIDIS, Y.; BANU, M. & KHOURY, J. Continuous-time MOSFET-C filters in VLSI. IEEE Journal of Solid-State Circuits, v. SC-21, p. 15-30, feb. 1986
- [5] GEIGER, R.L. & SÁNCHEZ-SINENCIO, E. Active filter design using operational transconductance amplifiers: a tutorial. IEEE Circuits and Devices Magazine, p. 20-32, mar. 1985.
- [6] SEDRA, A.S. & ROBERTS, G.W. Current conveyor theory and practice. In: TOUMAZOU, C.; LIDGEY, F.J. & HAIGH, D.G. Analog I.C. design: the current mode approach. London: Peter Peregrinus, 1990. 646p. cap. 3, p. 93-126.
- [7] WILSON, B. High-performance current conveyor implementation. Electronics Letters, v. 20, n. 24, p. 990-991, nov. 1984.

- [8] NISHIO, M.; SATO, H. & SUZUKI, T. A gyrator constructed by CCII with variable current transfer ratio. Proceedings IEEE Int. Symp. Circuits and Systems, p. 93-96, 1985.
- [9] LIU, S-I.; TSAO, H-W.; WU, J.; YU, T-C. & LIN, T-K. Design and optimization of MOSFET-capacitor filters using CMOS current conveyors. Proceedings IEEE Int. Symp. Circuits and Systems, New Orleans, USA, p. 2283-2286, 1990.
- [10] SEDRA, A.S.; ROBERTS, G.W. & GOHH, F. The current conveyor: history, progress and new results. IEE Proceedings, v. 137, Part G, n. 2, p. 78-87, apr. 1990.
- [11] WILSON, B. Performance analysis of current conveyors. Electronics Letters, v. 25, n. 23, p. 1596-1598, nov. 1989.
- [12] NATARAYAN, S. High-frequency active compensation of integrators using CCII and their stability analysis. Proceedings IEEE Int. Symp. Circuits and Systems, Cingapura, p. 1432-1435, 1991.
- [13] SVOBODA, J.A. Analysing networks containing current conveyors. International Journal of Electronics, v. 67, n. 6, p. 899-906, 1989.
- [14] WILSON, B. Current-mode amplifiers. Proceedings IEEE Int. Symp. Circuits and Systems, Portland, USA, p. 1576-1579, 1989.
- [15] TOUMAZOU, C. & LIDGEY, F.J. Novel current-mode instrumentation amplifier. Electronics Letters, v. 25, n. 3, p. 228-230, feb. 1989.

- [16] ISHIDA, M.; HIGASHIMURA, M.; FUKUI, Y. & EBISUTANI, K. Synthesis of immittance function using current conveyors. Proceedings IEEE Int. Symp. Circuits and Systems, Espoo, Finland, p. 2681-2684, 1988.
- [17] TOUMAZOU, C. & LIDGEY, F.J. Floating impedance convertors using current conveyors. Electronics Letters, v. 21, n. 15, p. 640-642, jul. 1985.
- [18] LIU, S-I.; TSAO, H-W. & WU, J. Cascadable current-mode single CCII biquads. Electronics Letters, v. 26, n. 24, p. 2005-2006, nov. 1990.
- [19] LIU, S-I. & TSAO, H-W. The single CCII biquads with high-input impedance. IEEE Transactions on Circuits and Systems, v. 38, n. 4, p. 456-461, apr. 1991.
- [20] HIGASHIMURA, M. & FUKUI, Y. Realization of biquadratic transfer functions using current conveyors. Proceedings IEEE Int. Symp. Circuits and Systems, Cingapura, p. 1424-1427, 1991.
- [21] LIU, S-I. et al. Realizations of the single CCII biquads with high input impedance. Proceedings IEEE Int. Symp. Circuits and Systems, Cingapura, p. 1428-1431, 1991.
- [22] HIGASHIMURA, M. & FUKUI, Y. Realization of current mode all-pass networks using a current conveyor. IEEE Transactions on Circuits and Systems, v. 37, n. 5, p. 660-661, may 1990.
- [23] LIU, S-I. et al. New CMOS NIC-based MOSFET-C filters. Electronics Letters, v. 27, n. 9, p. 772-774, apr. 1991.

- [24] ALAMI, M. & FABRE, A. Insensitive current-mode bandpass filter implemented from two current conveyors. *Electronics Letters*, v. 27, n. 11, p. 897-899, may 1991.
- [25] SINGH, V.K. & SENANI, R. New multifunction active filter configuration employing current conveyors. *Electronics Letters*, v. 26, n. 21, p. 1814-1816, oct. 1990.
- [26] ROBERTS, G.W. & SEDRA, A.S. A general class of current amplifier-based biquadratic filter circuits. *Proceedings IEEE Int. Symp. Circuits and Systems*, Cingapura, p. 1821-1824, 1991.
- [27] LOSS, I.J.B. Conversor analógico-digital em modo corrente. Dissertação de mestrado - em preparação, UFSC.
- [28] MAKRIS, C.A. & TOUMAZOU, C. Current-mode active compensation techniques. *Electronics Letters*, v. 26, n. 21, p. 1792-1794, oct. 1990.
- [29] ROBERTS, G.W. & SEDRA, A.S. All current-mode frequency selective circuits. *Electronics Letters*, v. 25, n. 12, p. 759-761, jun. 1989.
- [30] ROBERTS, G.W. & SEDRA, Adjoint networks revisited. *Proceedings IEEE Int. Symp. Circuits and Systems*, New Orleans, USA, p. 540-544, 1990.
- [31] GUO-HUA, W.; FUKUI, Y.; KUBOTA, K. & WATANABE, K. Voltage-mode to current-mode conversion by an extended dual transformation. *Proceedings IEEE Int. Symp. Circuits and Systems*, Cingapura, p. 1833-1836, 1991.

- [32] SMITH, K.C. & SEDRA, A.S. The current conveyor - A new circuit building block. Proceedings IEEE (Lett), v. 56, p. 1368-1369, aug. 1968.
- [33] SEDRA, A.S. & SMITH, K.C. A second-generation current conveyor and its applications. IEEE Transactions on Circuit Theory, v. CT-17, p. 132-134, feb. 1970.
- [34] ALLEN, P.E. & HOLBERG, D.R. CMOS Analog Circuit Design. New York: Holt, Rinehart and Winston, 1987. 701p.
- [35] WANG, Z. Analytical determination of output resistance and DC matching errors in MOS current mirrors. Proceedings IEE, v. 137, Part G, n. 5, p. 397-404, oct. 1990.
- [36] SACKINGER, E. & GUGGENBUHL, W. A high-swing, high-impedance MOS cascode circuit. IEEE Journal of Solid State Circuits, v. 25, n. 1, p. 289-298, feb. 1990.
- [37] SCHNEIDER, M.C. & GOUVEIA FILHO, O.C. Um sistema para projeto de amplificadores operacionais CMOS. Anais do V Congresso da Sociedade Brasileira de Microeletrônica, Campinas, SP, p. 154-163, 1990.
- [38] WANDERLEY, M.M.; SCHNEIDER, M.C. & NOCETI FILHO, S. Novas implementações CMOS de transportadores de corrente Anais do VI Congresso da Sociedade Brasileira de Microeletrônica, Belo Horizonte, MG, p. 402-411, 1991.
- [39] SILVA-MARTINEZ, J.; STEYAERT, M.S.J. & SANSEN, W.M.C. A large-signal very low-distortion transconductor for high-frequency continuous time filters. IEEE Journal of Solid-State Circuits, v. 26, n. 7, p. 946-955, jul. 1991.

- [40] BANU, M. & TSIVIDIS, Y. Floating voltage-controlled resistors in CMOS technology. *Electronics Letters*, v. 18, n. 15, p. 678-679, jul. 1982.
- [41] CZARNUL, Z. Novel MOS resistive circuit for synthesis of fully integrated continuous-time filters. *IEEE Trans. on Circuits and Systems*, v. CAS-33, n. 7, p. 718-721, jul. 1986.
- [42] WILSON, G. & CHAN, P.K. Novel voltage-controlled grounded resistor. *Electronics Letters*, v. 25, n. 25, p. 1725-1726, dec. 1989.
- [43] WANG, Z. Novel voltage-controlled grounded resistor. *Electronics Letters*, v. 26, n. 20, p. 1711-1712, sep. 1990.
- [44] WANG, Z. Current-controlled linear MOS earthed and floating resistors and their applications. *IEE Proceedings*, v. 137, Part G, n. 6, p. 479-481, dec. 1990.
- [45] SILVA-MARTINEZ, J.; STEYAERT M. & SANSEN, W. Very linear CMOS floating resistor. *Electronics Letters*, v. 26, n. 19, p. 1610-1611, sep. 1990.
- [46] SINGH, S.P.; HANSON, J.V. & VLACH, J. A new floating resistor for CMOS technology. *IEEE Trans. on Circuits and Systems*, v. 36, n. 9, p. 1217-1220, sep. 1989.
- [47] BEHR, A.T.; SCHNEIDER, M.C.; NOCETI FILHO, S. & MONTORO, C.G. Harmonic distortion caused by capacitors implemented with MOSFET gates. *IEEE Journal of Solid-State Circuits*, v. 27, n. 10, p. 1470-1475, oct. 1992.

APÊNDICE

CIRCUITOS DE MEDIÇÃO DOS PARÂMETROS DO CCII

A seguir são apresentados os circuitos utilizados na medição dos parâmetros do transportador de corrente de segunda geração implementado no 5º Projeto Multiusuário Brasileiro.

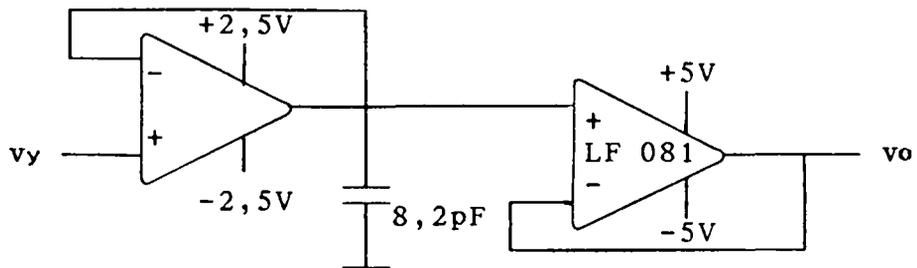
Todos os circuitos de medição utilizaram o amplificador operacional LF 081, cujo produto ganho banda é 4 MHz.

Foram realizadas medidas dos seguintes parâmetros do CCII: ganho de tensão, transadmitância, impedância da entrada X e ganho de corrente entre X e Z.

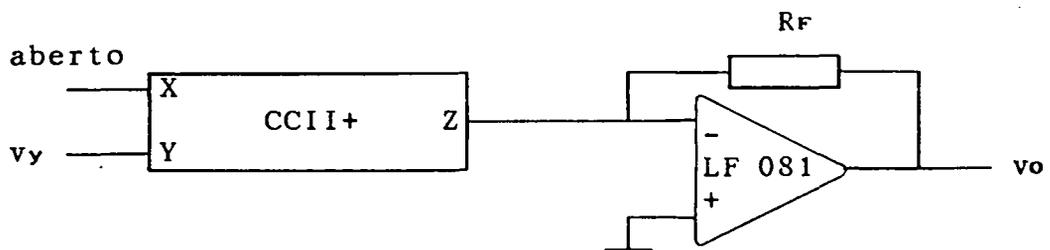
A escolha do amp op LF 081 foi motivada pela disponibilidade deste no período destinado aos testes, sendo que devido ao valor relativamente baixo de seu PGB, algumas medições foram prejudicadas em frequências mais altas (próximas de 1 MHz). Entretanto, a intenção inicial de se analisar o comportamento das características básicas de um CCII projetado pode ser considerada atingida, ficando as medições de 3 outros circuitos de CCII implementados no 6º PMU CMOS como um prosseguimento deste trabalho.

CIRCUITOS DE MEDIÇÃO:

a) Ganho de tensão α_v :



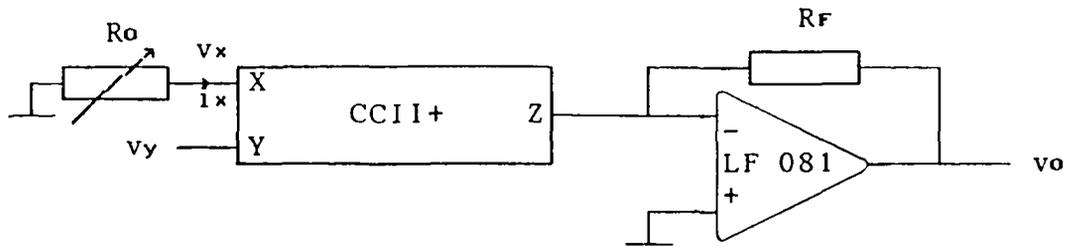
b) Transadmitância entre a entrada Y e a saída:



$$v_o = - R_F \cdot Y_{zy} \cdot v_y$$

(A.1)

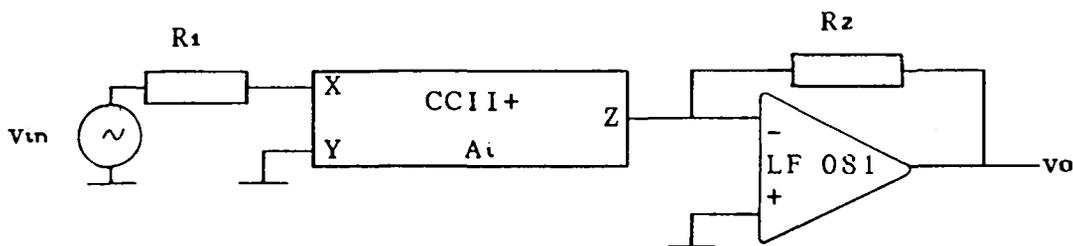
c) Impedância da entrada X:



R_o variável em função de Z_x .

$$\frac{v_o}{v_y} = \frac{-R_F}{R_o + Z_x} \quad (\text{A.2})$$

d) Ganho de corrente A_i :



$$A_i = \left(-\frac{V_o}{V_{in}} \right) \frac{R_1}{R_z} \quad (\text{A.3})$$

logo,

$$V_o = V_{in} \frac{A_i R_z}{R_1} \quad (\text{A.4})$$