

UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

PROGRAMA DE AUXÍLIO AO PROJETO DE AMPLIFICADORES OPERACIONAIS CMOS

DISSERTAÇÃO SUBMETIDA À UNIVERSIDADE FEDERAL DE SANTA CATARINA PARA A
OBTENÇÃO DO GRAU DE MESTRE EM ENGENHARIA ELÉTRICA

OSCAR DA COSTA GOUVEIA FILHO

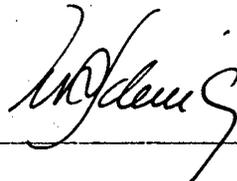
FLORIANÓPOLIS, JUNHO DE 1992

PROGRAMA DE AUXÍLIO AO PROJETO DE AMPLIFICADORES OPERACIONAIS CMOS

OSCAR DA COSTA GOUVEIA FILHO

ESTA DISSERTAÇÃO FOI JULGADA ADEQUADA PARA OBTENÇÃO DO TÍTULO DE
MESTRE EM ENGENHARIA

ESPECIALIDADE ENGENHARIA ELÉTRICA, ÁREA DE CIRCUITOS E INSTRUMENTAÇÃO
ELETRÔNICA, E APROVADA EM SUA FORMA FINAL PELO PROGRAMA DE
PÓS-GRADUAÇÃO.



Prof. Márcio Cherem Schneider, Dr.
ORIENTADOR



PI Prof. João Pedro Assumpção Bastos, Dr. D'Etat
COORDENADOR DO CURSO DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

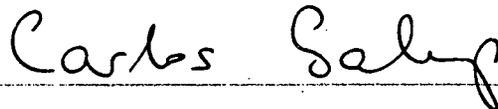
BANCA EXAMINADORA



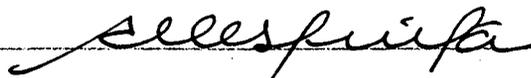
Prof. Márcio Cherem Schneider, Dr.
PRESIDENTE



Prof. Sidnei Noceti Filho, DSc.



Prof. Carlos Gallup Montoro, Dr. Ing.



Prof. Antonio Carneiro de Mesquita Filho, Dr. D'Etat

Å HELGA JANE

AGRADECIMENTOS

AOS COLEGAS

CELSO JOSÉ DE ARAÚJO

ELÓI ERNESTO LENZI

ITAMAR JOSÉ BOSSANEZZI LOSS

MARCELO MORTENSEN WANDERLEY

AOS PROFESSORES

MÁRCIO CHEREM SCHNEIDER

CARLOS GALLUP MONTORO

JOSÉ CARLOS MOREIRA BERMUDEZ

RUI SEARA

SIDNEI NOCETI FILHO

AOS COLEGAS DA UFPR

EWALDO LUIZ DE MATTOS MEHL

WALDEMIRO PEDROSO SOBRINHO

FRANCISCO OLYMPIO MARCON DA ROCHA

WALTER PEREIRA CARPES JR.

THELMA SOLANGE PIAZZA

À ALESSANDRA SCHADEK, pelo auxílio nas simulações

À UNIVERSIDADE FEDERAL DE SANTA CATARINA

À UNIVERSIDADE FEDERAL DO PARANÁ

AO CENTRO FEDERAL DE EDUCAÇÃO TECNOLÓGICA DO PARANÁ

À COORDENADORIA DE APERFEIÇOAMENTO DE PESSOAL

RESUMO

Este trabalho apresenta um programa para o auxílio ao projeto de amplificadores operacionais CMOS de dois estágios, baseado no conhecimento das equações que relacionam as características funcionais do amplificador aos parâmetros tecnológicos, às dimensões dos transistores e às condições de polarização.

O programa recebe como dados de entrada os parâmetros referentes à tecnologia utilizada e às especificações do amplificador operacional. A partir destes dados e utilizando um conjunto de equações de projeto o programa determina as dimensões dos transistores e as condições de polarização. Em seguida é feita a análise do circuito obtido para verificar se as especificações foram atendidas. Caso alguma especificação não tenha sido atendida, esta é redefinida e o projeto é repetido até que todas as especificações sejam satisfeitas. O programa fornece como saída uma tabela com as especificações e com os resultados obtidos, uma folha de dados com os valores máximos e mínimos das características funcionais do amplificador operacional, uma lista com as dimensões dos transistores e um arquivo de entrada para o SPICE.

Mostra-se exemplos de projeto para alguns amplificadores operacionais. Os resultados obtidos são verificados através de simulações com o programa SPICE e são feitas algumas comparações com outros programas existentes para a mesma finalidade.

ABSTRACT

This work presents a program for computer aided design of CMOS operational amplifiers. The design is performed from the knowledge of the technological parameters and from a set of required specifications. The program determines the dimensions of the transistors and their bias from a set of design equations and then analyzes the circuit in order to verify if the specifications were met. Should any specification remain unattained, it is redefined and the design is repeated till all requirements are fulfilled. The output data are: a table with the specifications and the obtained results, a data sheet that shows maximum and minimum values of performance characteristics, transistors dimensions and a SPICE input file.

Examples are given and the results are verified by simulations with SPICE. The designs are also compared with circuits designed by means of other tools.

SUMÁRIO

1. INTRODUÇÃO	1
2. MODELO DO TRANSISTOR MOS	6
2.1 MODELO PARA GRANDES SINAIS	6
2.2 MODELO PARA PEQUENOS SINAIS	9
2.3 MODELO UTILIZADO NO PROGRAMA	11
2.4 VALIDADE DOS MODELOS	14
3. O AMPLIFICADOR OPERACIONAL CMOS DE DOIS ESTÁGIOS	16
3.1 GANHO DE MALHA ABERTA	17
3.2 RAZÃO DE REJEIÇÃO DE MODO COMUM	20
3.3 RAZÃO DE REJEIÇÃO A FONTE DE ALIMENTAÇÃO	22
3.5 SLEW RATE	23
3.5 TENSÕES DE MODO COMUM NA ENTRADA E EXCURSÃO NA SAÍDA	23
3.6 RUÍDO	24
3.7 DESVIO DE TENSÃO	25
4. ESTRUTURA DO PROGRAMA	26
4.1 ENTRADA DE DADOS	27
4.2 PROJETO	30
4.3 ANÁLISE	40
4.4 ESCOLHA DA SOLUÇÃO E CORREÇÃO EM CASO DE FALHA	41
4.5 SAÍDA DE DADOS	42

composta pelos testes e documentação. Em pesquisas realizadas junto a projetistas de circuitos analógicos [2] constatou-se que a segunda fase toma entre 55% e 66% do tempo de projeto. Portanto, deve-se concentrar esforços para a automação das atividades que compõem essa fase, ou seja, uma ferramenta de projeto deve, a partir de especificações funcionais do circuito, fornecer ao usuário o circuito projetado a nível de dispositivo, incluindo o desenho das máscaras.

Na realização de um programa computacional para o projeto de circuitos analógicos deve-se fazer uma abordagem hierárquica do problema, o que significa partir de um nível alto de abstração e ir trasladando as especificações para níveis mais baixos até se chegar ao nível de dispositivo. A figura 1.1 exemplifica esta hierarquia [2].

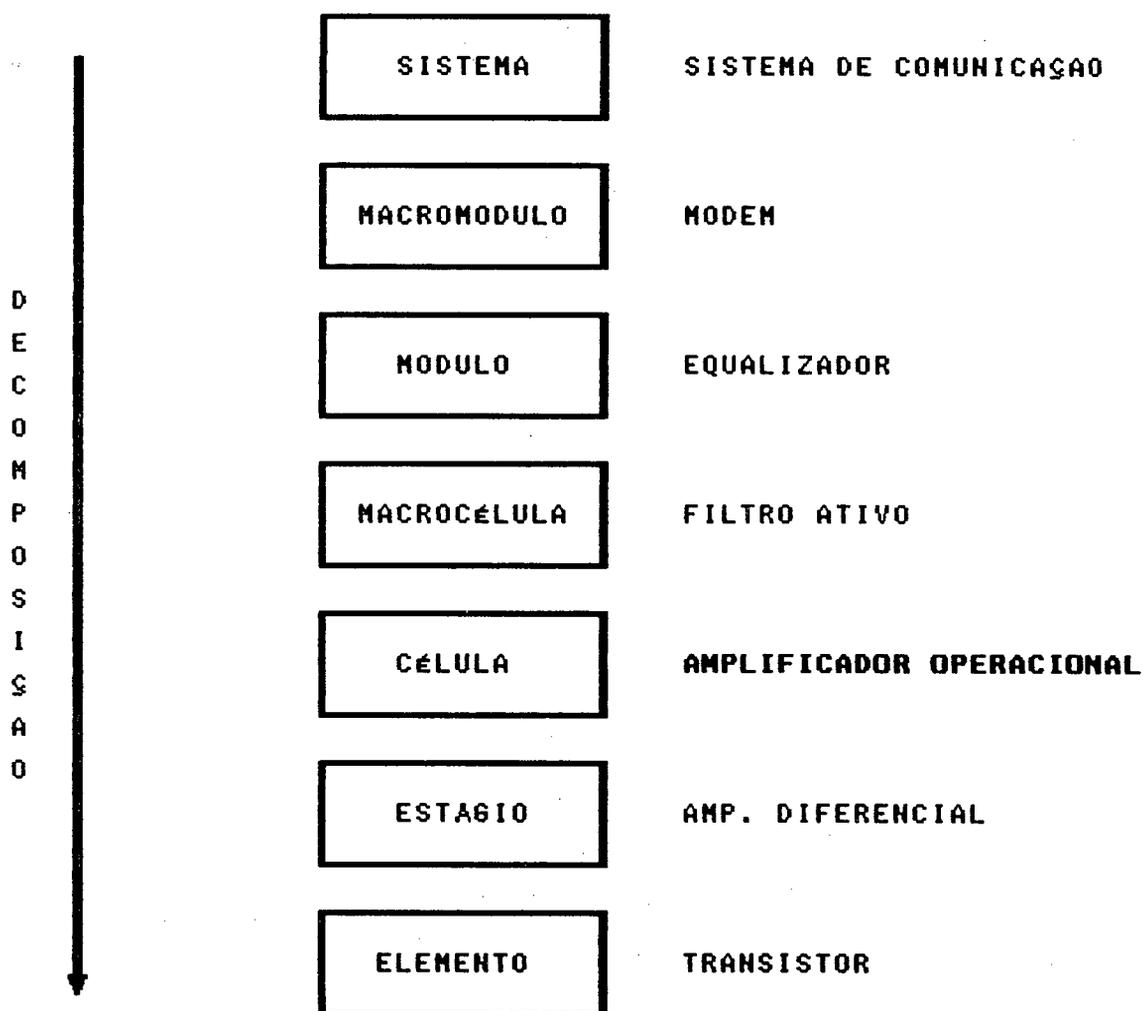


Figura 1.1 - Hierarquia em circuitos analógicos.

Circuitos analógicos apresentam, em sua maioria, um bloco básico: o amplificador operacional. Portanto, o desenvolvimento de ferramentas de projeto para amplificadores operacionais é de extrema importância, no sentido de reduzir o tempo de projeto e de aumentar a confiabilidade, trazendo como benefício imediato o aumento da produtividade dos projetistas analógicos e também tornando possível que engenheiros de sistema, não especialistas em projeto de circuitos analógicos, possam projetar rapidamente seus amplificadores operacionais. Com base nessas necessidades têm surgido, nos últimos anos, esforços no sentido de desenvolver ferramentas para a automação do projeto de amplificadores operacionais [3-9]. Essas ferramentas são, em sua maioria, baseadas no conhecimento do projetista e em equações que descrevem o comportamento do circuito de acordo com a topologia e a tecnologia empregada. Neste cenário destacam-se alguns sistemas para projeto de circuitos analógicos, como IDAC [3, 6], OASYS [4], OPASYN [7], OAC [8] e ISAID [9].

IDAC é um sistema que pode projetar, além de amplificadores operacionais, outros circuitos analógicos tais como referências de tensão, conversores A/D e osciladores. A escolha da topologia do circuito a ser projetado é feita pelo usuário a partir de uma biblioteca de esquemáticos; o projeto é analítico, baseado em equações de projeto, porém apresentando a possibilidade de se fazer uma otimização do circuito; a análise do circuito obtido é feita por um simulador interno dedicado e possibilita a execução de "layout" de forma automática ou interativa.

OASYS é um programa para projeto de amplificadores operacionais onde o projeto é feito de forma hierárquica, ou seja, a topologia do amplificador é definida, pelo programa, a partir da ligação de sub-blocos; o projeto é feito analiticamente e a geração de "layout" é automática.

OPASYN também é um programa para projeto de operacionais no qual a topologia é escolhida, em uma biblioteca de esquemáticos, pelo próprio programa; no projeto é feita uma otimização utilizando modelos analíticos e o "layout" é gerado automaticamente.

No programa OAC a escolha da topologia é semelhante à do OPASYN; no projeto são utilizados modelos analíticos para obtenção de uma solução inicial e a partir desta é feita uma otimização incluindo o "layout" e análises com o SPICE.

O programa ISAID apresenta uma estratégia de projeto semelhante à do OASYS, porém limitada a amplificadores operacionais de dois estágios. A interface entre o programa e o simulador é feita manualmente assim como o "layout".

O custo de ferramentas de projeto é, em geral, elevado e dos sistemas citados apenas o IDAC é disponível comercialmente; portanto, os projetistas nacionais não dispõem de ferramentas que os auxiliem nos projetos analógicos. Assim, é importante que se iniciem esforços no sentido de se produzir no país ferramentas que venham a suprir esta deficiência.

O objetivo deste trabalho é apresentar uma metodologia para o projeto automático de amplificadores operacionais CMOS, baseada no conhecimento das relações existentes entre as especificações funcionais do amplificador, a geometria dos transistores, as condições de polarização e os parâmetros referentes à tecnologia utilizada na fabricação dos transistores. Esta metodologia está baseada na arquitetura convencional de um amplificador operacional de dois estágios que, no entanto, poderá ser adaptada a outros tipos de amplificadores operacionais.

O trabalho está dividido da seguinte maneira: no capítulo 2 comenta-se o modelo utilizado para o transistor MOS; no capítulo 3 é apresentada a topologia do circuito a ser projetado e se estabelece as

equações de projeto; no capítulo 4 descreve-se o procedimento utilizado no projeto; no capítulo 5 mostram-se alguns exemplos de projeto e faz-se uma análise dos resultados obtidos pelo programa comparando-os com projetos encontrados na literatura; no capítulo 6 discute-se as limitações do programa e sugere-se algumas formas de eliminá-las e no capítulo 7 apresenta-se as conclusões do trabalho. Em um apêndice é apresentado um manual de utilização para o programa.

2. - MODELO DO TRANSISTOR MOS

A realização de uma ferramenta capaz de projetar circuitos analógicos requer a utilização de um modelo adequado para os dispositivos de modo a se obter resultados confiáveis.

O transistor MOS tem sido largamente utilizado na construção de circuitos integrados tanto analógicos como digitais. Encontra-se na literatura estudos bastante completos sobre seu funcionamento e seu modelo elétrico.

2.1 - Modelo para Grandes Sinais [10]

A figura 2.1 mostra um transistor MOS canal N com as tensões e correntes utilizadas no desenvolvimento de seu modelo. O mesmo modelo pode ser usado para o transistor canal P se as tensões e correntes forem multiplicadas por -1.

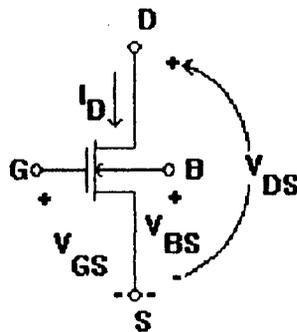


Fig. 2.1 - Transistor NMOS

No modelo mais utilizado, desenvolvido por Schichman e Hodges [11], a corrente de dreno é dada por

$$I_D = \beta \left[(V_{GS} - V_T) - \frac{n V_{DS}}{2} \right] V_{DS} (1 + \lambda V_{DS}) \quad (2.1)$$

onde $\beta = \mu C_{ox} W/L$, sendo μ a mobilidade dos portadores e C_{ox} a capacitância do óxido por unidade de área, λ é o parâmetro de modulação

do comprimento do canal e V_T é a tensão de limiar dada por

$$V_T = V_{TO} + \gamma \left[\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|} \right] \quad (2.2)$$

sendo V_{TO} a tensão de limiar para $V_{SB} = 0$, γ o parâmetro de efeito de corpo e ϕ_F o potencial de Fermi [10] e $n = dV_G/d\psi_S$ para $V_G \cong V_T$.

A figura 2.2 mostra a curva de I_D em função de V_{DS} com V_{GS} como parâmetro. Destacam-se três regiões de operação para o transistor. A região para $V_{GS} < V_T$, chamada região de corte, onde $I_D = 0$; a região na qual $0 < V_{DS} < (V_{GS} - V_T)/n$, chamada de região linear, onde I_D é dada pela equação 1 e a região de saturação em que $V_{DS} \geq (V_{GS} - V_T)/n$ onde I_D é dada por

$$I_D = \frac{\beta}{2n} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (2.3)$$

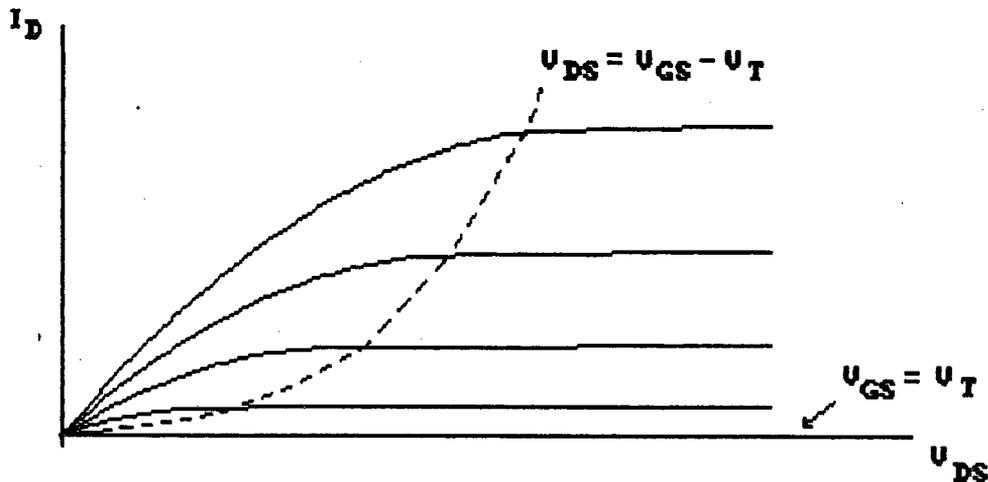


Fig. 2.2 - Característica $I_D - V_{DS}$ para o transistor MOS

O modelo descrito acima diz que a corrente I_D é nula quando $V_{GS} \leq V_T$. Na realidade, quando V_{GS} se aproxima de V_T a característica da curva $I_D \times V_{GS}$ passa de quadrática para exponencial. A região acima da tensão de limiar é chamada de região de inversão forte e a região abaixo da tensão de limiar é chamada de sub-limiar ou região de inversão fraca. Alguns autores [12] definem uma região de transição

entre inversão fraca e inversão forte chamada de inversão moderada, onde a característica não é nem quadrática nem exponencial. A curva de I_D em função de V_{GS} é mostrada na figura 2.3, na qual a região de inversão moderada não está modelada.

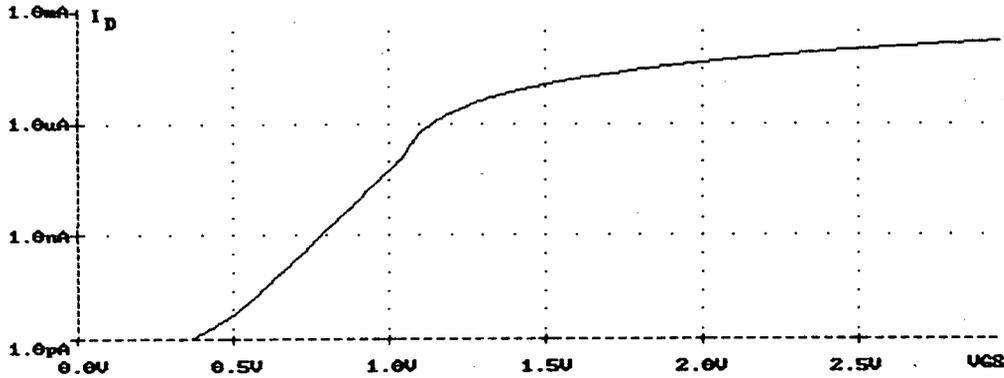


Fig. 2.3 - Característica $I_D - V_{GS}$ do transistor MOS

Em inversão fraca a corrente de dreno é dada por [12,13]

$$I_D = I_{DO} (W/L) e^{(V_{GS} - V_T)/(n U_T)} (1 - e^{-V_{DS}/U_T}) \quad (2.4)$$

onde $U_T = kT/q$ é a tensão termodinâmica, I_{DO} é uma corrente característica que depende da tecnologia e $1/nU_T$ é a inclinação em inversão fraca que pode ser calculada por [13]

$$n = 1 + \frac{1}{C_{ox}} \left[\frac{q N_{SUB} \epsilon_{Si}}{2(2\phi_F - 5U_T + V_{SB})} \right]^{1/2} \quad (2.5)$$

A figura 2.4 mostra as curvas de I_D em função de V_{DS} , em inversão fraca com V_{GS} como parâmetro. Nota-se que para V_{DS} maior que $3U_T$ a corrente praticamente independe de V_{DS} e I_D pode ser escrita como

$$I_D \cong I_{DO} (W/L) e^{(V_{GS} - V_T)/(n U_T)} \quad (2.6)$$

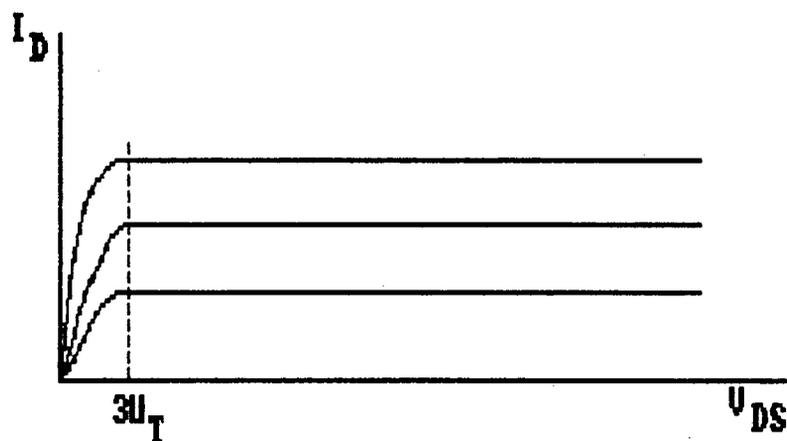


Fig. 2.4 - Característica $I_D - V_{DS}$ em inversão fraca

2.2 - Modelo para Pequenos Sinais [10,14]

A figura 2.5 mostra o modelo para pequenos sinais do transistor MOS e as definições de cada parâmetro são dadas a seguir.

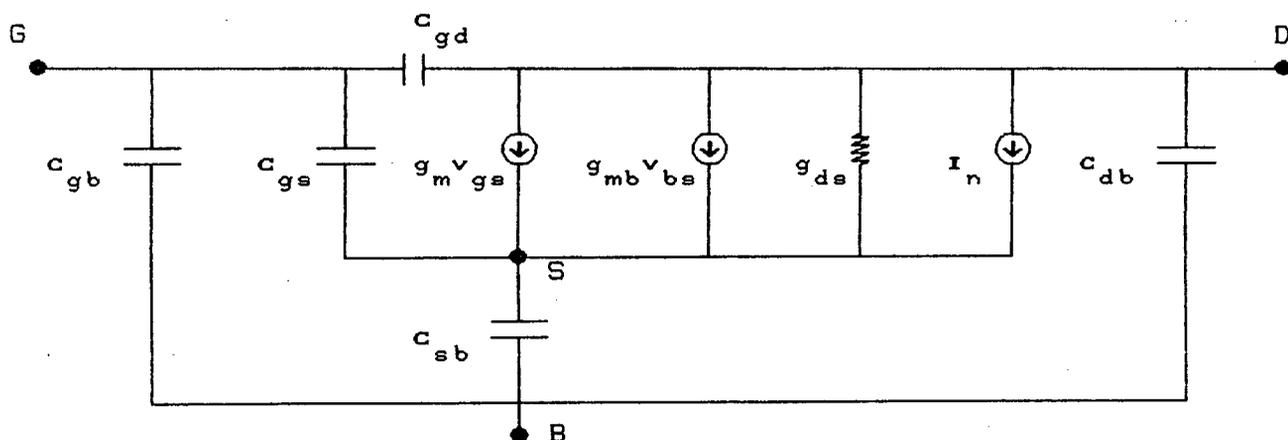


Fig. 2.5 - Modelo para pequenos sinais do transistor MOS

A transcondutância g_m é definida como

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (\text{no ponto quiescente}) \quad (2.7)$$

que, na região de inversão forte e em saturação, de acordo com a equação 2.3 é

$$g_m = (2 \beta I_D)^{1/2} (1 + \lambda V_{DS}) \cong (2 \beta I_D)^{1/2} \quad (2.8)$$

e em inversão fraca, também considerando o transistor saturado, é

$$g_m = \frac{I_D}{n U_T} \quad (2.9)$$

A transcondutância devido a V_{SB} é definida por

$$g_{mb} = \frac{\partial I_D}{\partial V_{SB}} \quad (\text{no ponto quiescente}) \quad (2.10)$$

que, considerando o transistor saturado, resulta, para inversão forte

$$g_{mb} = g_m \frac{\gamma}{2(2|\phi_F| + V_{SB})^{1/2}} \quad (2.11)$$

e para inversão fraca

$$g_{mb} = \frac{I_D}{U_T} = n g_m \quad (2.12)$$

A condutância de canal é definida por

$$g_{ds} = \frac{\partial I_D}{\partial V_{DS}} \quad (\text{no ponto quiescente}) \quad (2.13)$$

e a partir da equação 2.3 tem-se

$$g_{ds} = \frac{\lambda I_D}{1 + \lambda V_{DS}} \cong \lambda I_D \quad (2.14)$$

Ainda no modelo da figura 2.5, C_{sb} é a capacitância entre a

fonte e o substrato, C_{db} a capacitância entre dreno e substrato, C_{gb} a capacitância entre porta e substrato, C_{gd} a capacitância entre porta e dreno e C_{gs} a capacitância entre porta e fonte. A fonte de corrente i_n é usada para modelar o ruído no transistor MOS. Tanto o ruído como as capacitâncias importantes no projeto de amplificadores operacionais serão tratadas mais adiante neste trabalho.

2.3 - Modelo Utilizado no Programa

As equações anteriores não consideram a região de inversão moderada. Há apenas a mudança de modelo a partir de um valor limite de corrente, chamado de limite de inversão fraca dado por $I_D = 2 \beta n U_T^2$ o que provoca uma descontinuidade no valor da transcondutância nesse ponto (figura 2.3). Estes fatos tornam esses modelos inconvenientes para utilização em um programa de projeto onde as condições de polarização são definidas pelas especificações do circuito, podendo estar em qualquer ponto entre as duas regiões.

Para evitar a necessidade de metodologias de projeto distintas para circuitos com mesma topologia, porém com transistores polarizados em diferentes regiões de operação utilizou-se no programa um modelo contínuo desde inversão fraca até inversão forte [6,15]. Neste modelo a corrente de dreno em saturação é dada por

$$I_D = 2 n U_T^2 \beta [\ln(1 + e^f)]^2 \quad (2.15)$$

onde $f = (V_{GS} - V_T) / (2nU_T)$. Se $V_{GS} > V_T$ a equação (2.15) se aproxima do modelo quadrático que caracteriza a região de inversão forte

$$I_D \cong \frac{\beta}{2n} (V_{GS} - V_T)^2 \quad (2.15a)$$

e se $V_{GS} < V_T$ a equação se aproxima do modelo exponencial que caracteriza a região de inversão fraca

$$I_D \cong 2 \beta n U_T^2 e^{(V_{GS} - V_T)/n U_T} \quad (2.15b)$$

Na figura 2.6 mostra-se a curva de I_D em função de V_{GS} para este modelo. Nota-se que não há uma mudança abrupta na curva quando se passa da região de inversão fraca para inversão forte.

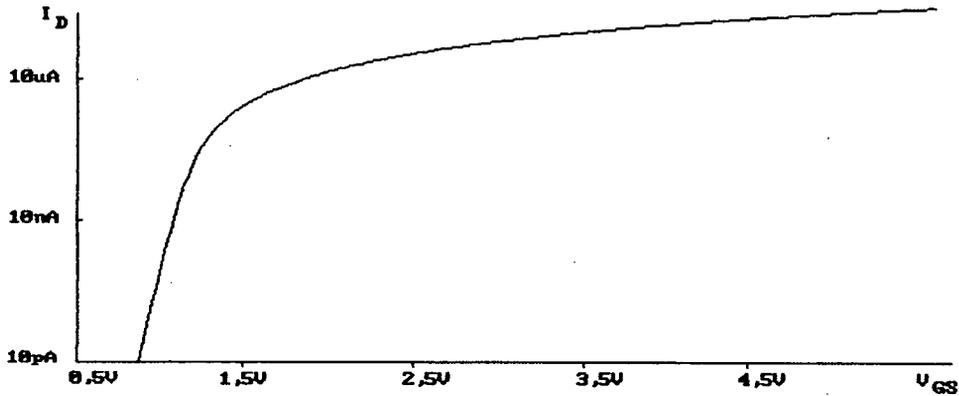


Fig. 2.7 - I_D em função de V_{GS} para o modelo contínuo

A partir das equações (2.10) e (2.15) pode-se determinar a transcondutância

$$g_m = 2 \beta U_T \ln(1 + e^f) (e^f)/(1 + e^f) \quad (2.16)$$

A figura 2.8 mostra a curva de g_m em função de I_D [4] para este modelo e para o anterior onde pode-se verificar que no modelo utilizado não há descontinuidade no valor da transcondutância quando ocorre a transição entre inversão forte e fraca. Na referência [15] mostra-se que há uma boa concordância entre valores medidos de g_m e valores calculados por este modelo.

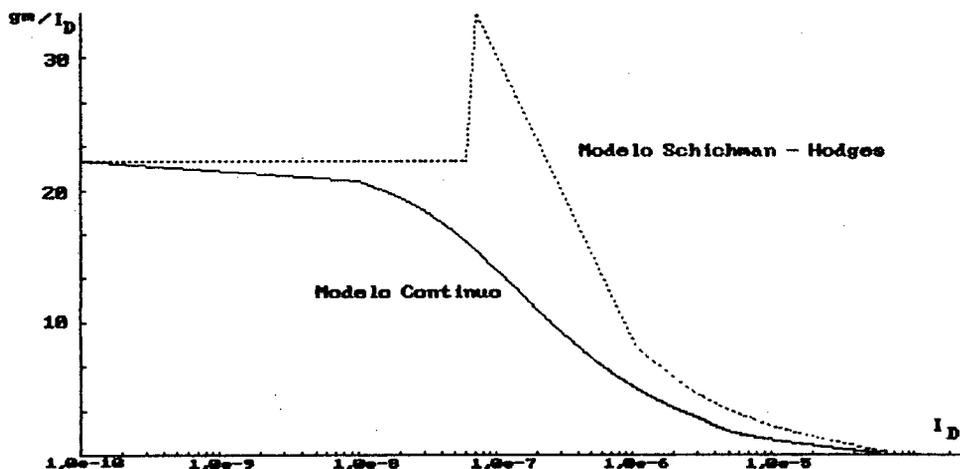


Fig. 2.8 - Transcondutância obtida para uma dada corrente em função da corrente para os dois modelos analisados

A equação (2.16) não permite que se calcule analiticamente a corrente, sendo dados g_m e β ; portanto, para efeitos de projeto utiliza-se a aproximação

$$g_m \cong \frac{I_D}{(n U_T \sqrt{1 + I_D/I_{LIM}})} \quad (2.17)$$

onde $I_{LIM} = 2 \beta n U_T^2$. A partir de (2.17) conhecidos I_D e g_m , pode-se calcular β .

A transcondutância g_{mb} pode ser calculada por

$$g_{mb} = n g_m \quad (2.18)$$

e a condutância de canal continua sendo calculada pela equação (2.14) porém reescrita como

$$g_{ds} = \frac{I_D}{V_{early} L} \quad (2.19)$$

onde L é o comprimento do canal e V_{early} é a tensão de Early por unidade de comprimento do canal. A tensão de Early é definida como o ponto em que o prolongamento da curva $I_D \times V_{DS}$ em saturação intercepta o eixo das abscissas, conforme é visto na figura 2.9.

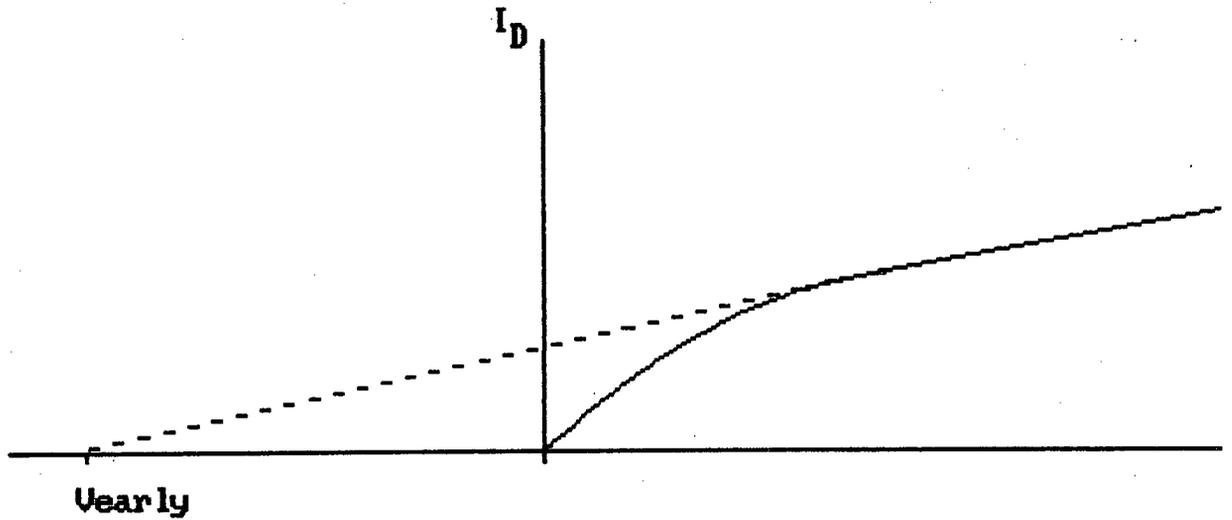


Figura 2.9 - Ilustração da definição de V_{early}

2.4 - Validade dos Modelos

Os modelos estudados acima, a parâmetros concentrados, são válidos até frequências próximas a ω_t , chamada de frequência de corte intrínseca do transistor. O valor de ω_t depende da polarização, do comprimento do canal e da região de operação do transistor e pode ser calculado por [12]

$$\omega_t = \frac{3}{2} \frac{\mu (V_{GS} - V_T)}{L^2} \quad (2.20)$$

em inversão forte e por

$$\omega_t = \frac{\mu U_T I_D}{L^2 I_{LIM}} \quad (2.21)$$

em inversão fraca. Na realidade o valor de ω_t é um pouco menor devido às capacitâncias extrínsecas ao transistor. Utiliza-se, neste trabalho,

como limite máximo de frequência de operação $\omega_t/5$ [12], de modo a não se cometer erros que possam comprometer o desempenho dos circuitos projetados.

3. - O AMPLIFICADOR OPERACIONAL CMOS DE DOIS ESTÁGIOS

Para o desenvolvimento de uma metodologia visando à automação do projeto de amplificadores operacionais CMOS escolheu-se a arquitetura convencional de dois estágios (figura 3.1), já bastante estudada na literatura [10, 14, 16, 17]. A partir de uma análise detalhada do circuito pode-se determinar um conjunto de equações que relacionam as características funcionais do amplificador operacional às condições de polarização dos transistores, às dimensões dos transistores e aos parâmetros tecnológicos referentes ao processo de fabricação.

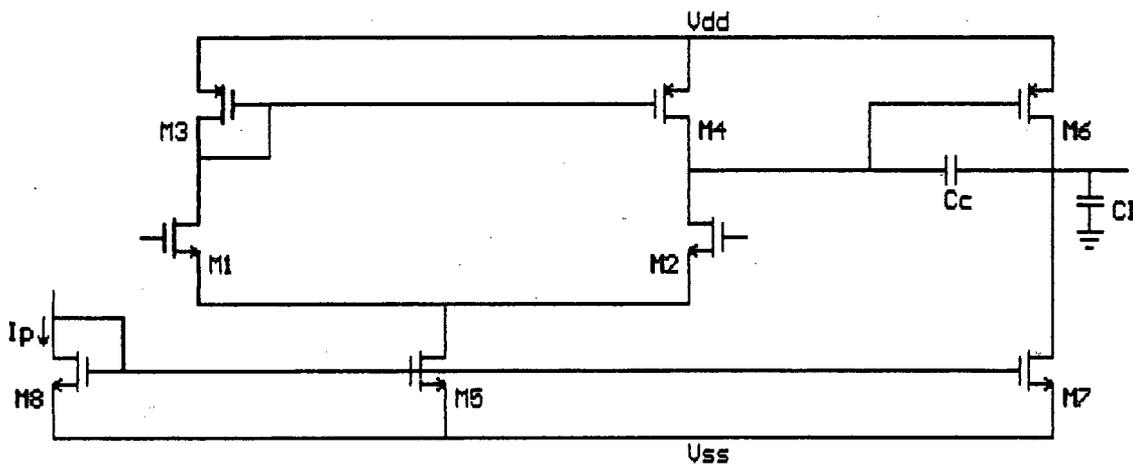


Fig.3.1 - Amplificador operacional CMOS - arquitetura convencional.

Alguns dos requisitos de projeto de um amplificador operacional são: ganho de malha aberta, produto ganho-banda, margem de fase, razão de rejeição de modo comum, razão de rejeição às fontes de alimentação, "slew rate", excursão de tensão na saída, faixa de tensão de modo comum na entrada, ruído equivalente referido à entrada e desvio de tensão ("offset") referido à entrada, potência dissipada e a área ocupada pelo circuito. Nas próximas seções faz-se um estudo do circuito do amplificador operacional da figura 3.1, analisando cada um dos

requisitos citados e estabelecendo as equações de projeto para o amplificador operacional.

3.1. - Ganho de Malha Aberta

O circuito equivalente de pequenos sinais para o amplificador operacional da figura 3.1 é mostrado na figura 3.2 [10] onde g_{m1} é a transcondutância dos transistores do par diferencial, $g_{m\sigma}$ é a transcondutância do transistor de saída M_σ , R_I e C_I são a resistência e a capacitância vistas do dreno do transistor M_4 , R_{II} e C_{II} são a resistência e a capacitância equivalentes ligadas ao nó de saída do segundo estágio e C_c é o capacitor de compensação. Na obtenção deste circuito equivalente considerou-se que o estágio diferencial é perfeitamente simétrico de modo que se pode considerar o nó que une as fontes dos transistores M_1 e M_2 como terra A.C. e que o espelho de corrente formado por M_3 e M_4 tem ganho unitário na faixa de frequências de interesse.

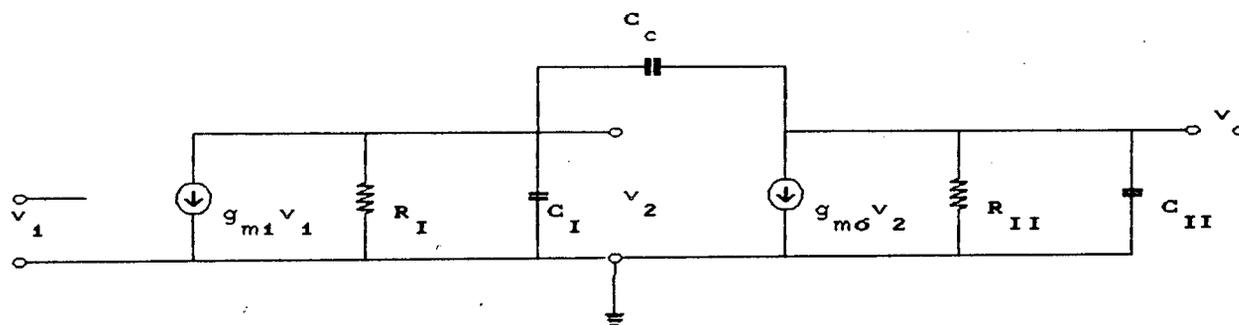


Fig.3.2 - Circuito equivalente de pequenos sinais do amp.op. da figura 3.1

O modelo da figura 3.2 já foi analisado por diversos autores [10, 14, 15, 17]. Obtém-se, a partir deste circuito, o ganho de malha aberta do amplificador operacional

$$A(s) = \frac{A_o (1 - s/z_1)}{(1 - s/p_1)(1 - s/p_2)} \quad (3.1)$$

onde

$$p_1 = - \frac{1}{g_{m\sigma} R_I R_{II} C_C} = \frac{(g_{ds2} + g_{ds4})(g_{ds\sigma} + g_{ds7})}{g_{m\sigma} C_C} \quad (3.2)$$

$$p_2 = - \frac{g_{m\sigma} C_C}{C_I C_L + C_L C_C + C_I C_C} \quad (3.3)$$

$$z_1 = \frac{g_{m\sigma}}{C_C} \quad (3.4)$$

e A_o é o ganho DC dado por

$$A_o = g_{m1} g_{m\sigma} R_I R_{II} = \frac{g_{m1} g_{m\sigma}}{(g_{ds2} + g_{ds4})(g_{ds\sigma} + g_{ds7})} \quad (3.5)$$

Para se obter margem de fase adequada, superior a 45° , por exemplo, deve-se ter um pólo dominante (p_1) em baixa frequência enquanto o pólo secundário (p_2) e o zero devem ficar acima da frequência de ganho unitário (GB) do amplificador operacional. Margem de fase (Mf) e GB podem ser determinados a partir da equação (3.1).

$$GB = \frac{g_{m1}}{C_C} \quad (3.6)$$

$$Mf = \arctg \left[- \frac{g_{m1}}{g_{m\sigma}} \right] - \arctg \left[- \frac{g_{m1} C_L}{g_{m\sigma} C_C} \right] + 90^\circ \quad (3.7)$$

O circuito descrito apresenta como inconveniente o zero no semi-plano lateral direito que pode piorar a margem de fase, caso ocorra em frequência próxima ou inferior a GB. Como se pode verificar através das equações (3.4) e (3.6) a relação entre as posições de z_1 e

GB depende apenas da relação entre g_{m6} e g_{m1} . Portanto, num bom projeto, deve-se ter $g_{m6} > g_{m1}$.

Pode-se fazer uma pequena modificação no circuito da figura 3.1 de modo a se eliminar o efeito do zero que aparece no semi-plano lateral direito. Esta modificação consiste em colocar um resistor em série com C_c o qual é implementado pelo transistor M_9 , os circuitos resultantes são os das figuras 3.3 e 3.4. Como consequência desta modificação o ganho de malha aberta será dado por

$$A(s) = \frac{A_o (1 - s/z_1)}{(1 - s/p_1) (1 - s/p_2) (1 - s/p_3)} \quad (3.8)$$

onde z_1 e p_3 são dados por

$$z_1 = \frac{g_{m6}}{C_c (1/g_{m6} - R_z)} \quad (3.9)$$

$$p_3 = \frac{-1}{C_I R_z} \quad (3.10)$$

p_1 e p_2 são os mesmos do caso anterior.

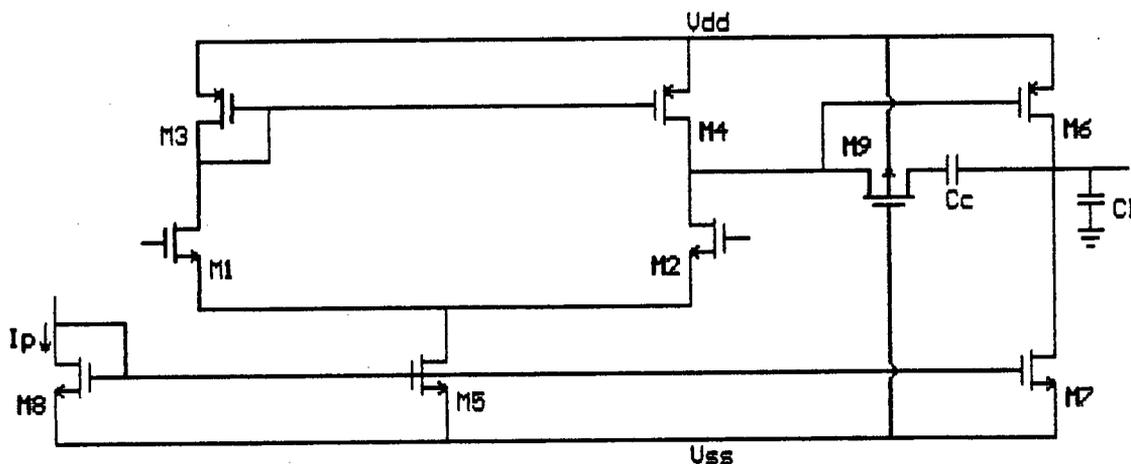


Fig.3.3 - Amplificador operacional CMOS - compensação RC

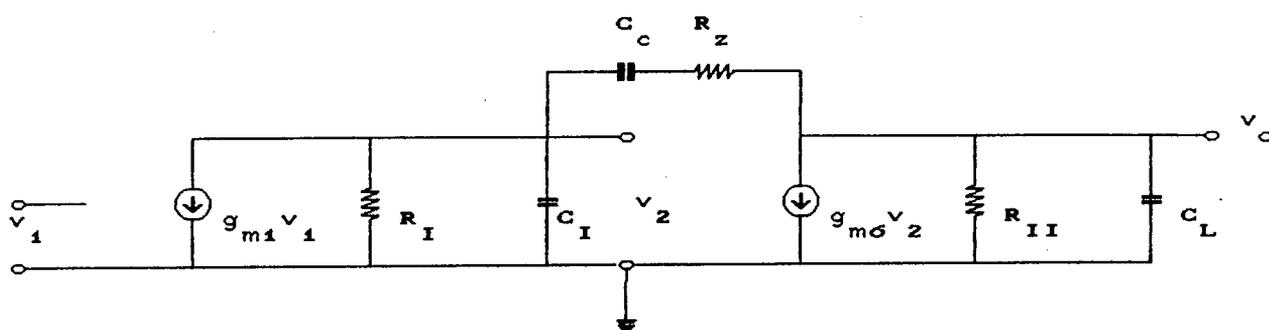


Fig.3.4 - Circuito equivalente de pequenos sinais do amp.op. da fig.3.3

Um critério de projeto é posicionar o zero sobre um dos pólos secundários, de modo que eles se cancelem. Assim a margem de fase será

$$Mf = - \arctg \left(\frac{GB}{P_3} \right) + 90^\circ \quad (3.11)$$

e para se obter margem de fase acima de 45° deve-se ter

$$C_c > \left(\frac{g_{m1}}{g_{m\sigma}} C_I C_L \right)^{1/2} \quad (3.12)$$

3.2 - Razão de Rejeição de Modo Comum

Para a análise da razão de rejeição de modo comum pode-se considerar o circuito equivalente de pequenos sinais do estágio diferencial do amplificador operacional que aparece na figura 3.5 [14]. Considerando casados os transistores M_1 com M_2 e M_3 com M_4 , ou seja, $g_{m1} = g_{m2}$, $g_{ds1} = g_{ds2}$, $g_{m3} = g_{m4}$ e $g_{ds3} = g_{ds4}$ obtém-se as expressões para o ganho de modo diferencial

$$A_{dm} = \frac{g_{m1}}{g_{ds2} + g_{ds4}} \quad (3.13)$$

e para o ganho de modo comum

$$A_{cm} = \frac{g_{ds5}}{2g_{m3}} \quad (3.14)$$

resultando

$$CMRR = \frac{2g_{m1}g_{m3}}{g_{ds5}(g_{ds2} + g_{ds3})} \quad (3.15)$$

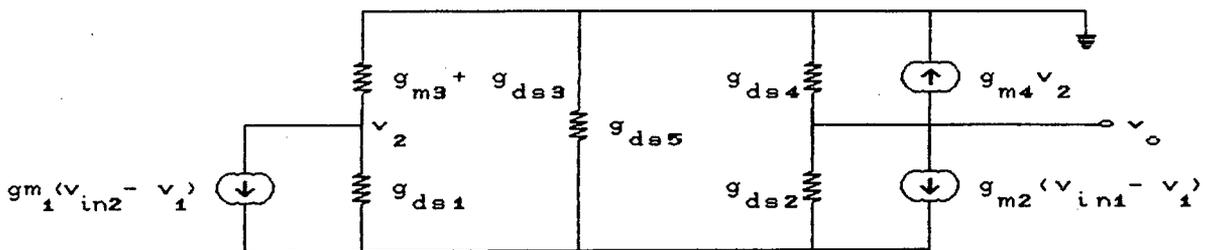


Fig.3.5 - Circuito para o cálculo da CMRR

O efeito do descasamento entre os transistores afeta fortemente o valor da CMRR, degradando-a. Apesar de sua importância este efeito não é analisado profundamente na literatura. Neste trabalho fez-se uma análise do circuito da figura 3.5 levando-se em conta o descasamento entre os transistores, de modo a poder quantificar este efeito sobre a CMRR. O resultado dessa análise é expresso na equação abaixo em função dos desvios padrões dos parâmetros do circuito.

$$\frac{\sigma_{CMRR}^2}{CMRR_C^2} = \left[\frac{g_{m3}}{g_{ds1} + g_{ds3}} \right]^2 \left[\left[\left(\frac{2g_{ds1}}{g_{ds5}} + 1 \right) \frac{\sigma_{gm1}^2}{g_{m1}^2} + \frac{\sigma_{gm3}^2}{g_{m3}^2} + \left(\frac{2g_{ds1}}{g_{ds5}} \right)^2 \frac{\sigma_{gds1}^2}{g_{ds1}^2} \right] \right] \quad (3.16)$$

onde $CMRR_C$ é a CMRR considerando os componentes casados e dada pela equação 3.15. Os desvios estatísticos das condutâncias são calculados em função dos parâmetros tecnológicos de acordo com as equações abaixo [18].

$$\frac{\sigma_{g_m}^2}{\bar{g}_m^2} = \frac{\sigma_{\beta}^2}{\bar{\beta}^2} + \left[\frac{V_{GS} - V_T}{2 n U_T} \right]^2 \left[\frac{1}{1 + e^f} + \frac{e^f}{(1 + e^f) \ln(1 + e^f)} \right]^2 \frac{\sigma_n^2}{\bar{n}^2} +$$

$$+ \left[\frac{V_{GS} - V_T}{2 n U_T (1 + e^f)} \right]^2 \left[1 + \frac{e^f}{\ln(1 + e^f)} \right]^2 \frac{\sigma_{V_T}^2}{(V_{GS} - \bar{V}_T)^2} \quad (3.17)$$

$$\frac{\sigma_{g_{ds}}^2}{\bar{g}_{ds}^2} = \frac{\sigma_{\beta}^2}{\bar{\beta}^2} + \left[1 - \frac{e^f (V_{GS} - V_T)}{n U_T (1 + e^f) \ln(1 + e^f)} \right]^2 \frac{\sigma_n^2}{\bar{n}^2} +$$

$$+ \left[\frac{e^f (V_{GS} - V_T)}{n U_T (1 + e^f) \ln(1 + e^f)} \right]^2 \frac{\sigma_{V_T}^2}{(V_{GS} - \bar{V}_T)^2} + \frac{\sigma_{\lambda}^2}{\bar{\lambda}} \quad (3.18)$$

onde \bar{g}_m , \bar{g}_{ds} , $\bar{\beta}$, \bar{n} , $\bar{\lambda}$, e \bar{V}_T são os valores médios de g_m , g_{ds} , β , n , λ e V_T respectivamente.

3.3 - Razão de Rejeição à Fonte de Alimentação

Para o cálculo da razão de rejeição à fonte de alimentação utiliza-se o circuito equivalente para o amplificador operacional na configuração de ganho unitário representado na figura 3.6 [17], neste caso teremos $PSRR^+ = v_{dd}/v_o$ [8]. Fazendo a análise do circuito obtém-se, em baixa frequência

$$PSRR^+ = \frac{g_{m1} g_{m\phi}}{g_{ds4} g_{ds\phi}} \quad (3.19)$$

Calculou-se a PSRR em relação a v_{dd} pois, neste caso, será sempre menor que a PSRR em relação a v_{ss} [10] e representa, portanto o pior caso.

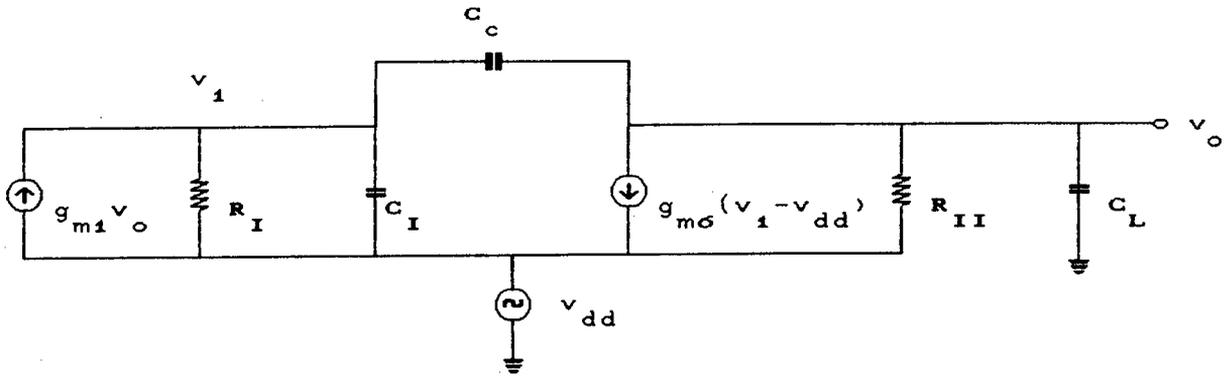


Fig.3.6 - Circuito para cálculo da PSRR

3.4 - "Slew Rate" [19]

Para a análise de "slew rate" considera-se o amplificador operacional ligado na configuração ganho unitário e aplica-se um degrau positivo de tensão à sua entrada. Admitindo-se que: a tensão aplicada à entrada seja suficientemente grande para que se possa considerar que, durante o tempo de subida da tensão de saída, a corrente no transistor M_2 seja igual a I_5 ; que a tensão na porta de M_6 é razoavelmente constante durante o período em que a saída está variando e que o estágio de saída possa conduzir I_5 mais a corrente necessária para carregar o capacitor C_L o "slew rate" será

$$S_r = \left| \frac{dV_o}{dt} \right| \cong \frac{I_5}{C_c} \quad (3.20)$$

3.5 - Tensões de Modo Comum na Entrada e Excursão na Saída

O cálculo da máxima e mínima tensões de modo comum na entrada do amplificador operacional é feito a partir do circuito da figura 3.1

$$V_{i(\min)} = V_{SS} + V_{GS1} + V_{DS5(\text{sat})} \quad (3.21)$$

$$V_{i(\max)} = V_{DD} + V_{GS3} - V_{DS1(\text{sat})} + V_{GS1} \quad (3.22)$$

onde $V_{DS(\text{sat})}$ são as mínimas tensões entre dreno e fonte necessárias

para manter os respectivos transistores saturados.

Os valores máximo e mínimo de tensão na saída do amp.op. também são obtidos do circuito da figura 1

$$V_{o(\min)} = V_{DD} + V_{DS\alpha(\text{sat})} \quad (3.23)$$

$$V_{o(\max)} = V_{SS} + V_{DS\gamma(\text{sat})} \quad (3.24)$$

3.6 - Ruído

O transistor MOS apresenta duas fontes de ruído: ruído térmico e ruído 1/f [14]. O ruído térmico, referido à porta do transistor é dado por

$$\overline{v_{nT}^2} = \frac{8kT}{3g_m} \Delta f \quad (3.25)$$

onde Δf é a faixa de frequência em que o ruído é medido, k é a constante de Boltzmann e T a temperatura absoluta. O ruído 1/f é dado por

$$\overline{v_{nf}^2} = \frac{K}{C_{ox} WL} \frac{\Delta f}{f} \quad (3.26)$$

onde K é uma constante que depende do processo de fabricação e não é normalmente fornecido pelo fabricante, C_{ox} é a capacitância do óxido, W a largura e L o comprimento de canal do transistor.

Cada transistor contribui com essas duas fontes de ruído, para o ruído equivalente total referido à entrada do amplificador operacional

$$\overline{v_{eqTOT}^2} = \overline{v_{eq1}^2} + \overline{v_{eq2}^2} + \left(\frac{g_{m3}}{g_{m1}} \right)^2 (\overline{v_{eq3}^2} + \overline{v_{eq4}^2}) \quad (3.27)$$

onde os índices se referem aos transistores da figura 1 considerando $g_{m1} = g_{m2}$ e $g_{m3} = g_{m4}$ [16]. A contribuição dos transistores do estágio de

saída para o ruído total do amplificador operacional foi considerada desprezível pois esta parcela é dividida pelo ganho do estágio diferencial que, em baixas frequências, é elevado.

3.7 - Desvio de Tensão

O desvio de tensão (tensão de "offset") é dividido em dois tipos: desvio de tensão sistemático e desvio de tensão aleatório.

O primeiro tipo pode ser feito muito pequeno desde que a seguinte relação seja satisfeita [10, 14, 16]

$$\frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \frac{(W/L)_5}{(W/L)_7} \quad (3.28)$$

O desvio de tensão aleatório depende do descasamento entre transistores e pode ser calculado pela equação (3.29) que foi obtida utilizando-se o modelo citado na seção 2.3.

$$\begin{aligned} \sigma_{V_{os}}^2 = & \left[\frac{I}{g_{m1}} - \frac{g_{m9}}{g_{m1}} (V_{GS9} - V_{T9}) \right]^2 \frac{\sigma_{n9}^2}{\bar{n}_9^2} + \left[\frac{I}{g_{m1}} - (V_{GS1} - V_{T1}) \right]^2 \frac{\sigma_{n1}^2}{\bar{n}_1^2} + \\ & + \left[\frac{I}{g_{m1}} \right]^2 \frac{\sigma_{\beta9}^2}{\bar{\beta}_9^2} + \left[\frac{I}{g_{m1}} \right]^2 \frac{\sigma_{\beta1}^2}{\bar{\beta}_1^2} + \sigma_{VT1}^2 + \left[\frac{g_{m9}}{g_{m1}} \right]^2 \sigma_{VT9}^2 \quad (3.29) \end{aligned}$$

4. - ESTRUTURA DO PROGRAMA

Neste capítulo será descrita a estrutura de um programa para projeto de amplificadores operacionais CMOS baseado no conhecimento das equações que relacionam as características funcionais do circuito aos parâmetros tecnológicos, às dimensões dos transistores e às condições de polarização. Tais equações foram mostradas no capítulo 2.

O programa pode ser dividido basicamente em seis partes: entrada de dados, projeto, análise, verificação do atendimento às especificações, correção do projeto no caso de falha no atendimento às especificações e saída de dados. A estrutura do programa pode ser vista na figura 4.1 e suas diversas partes serão descritas a seguir, neste capítulo.

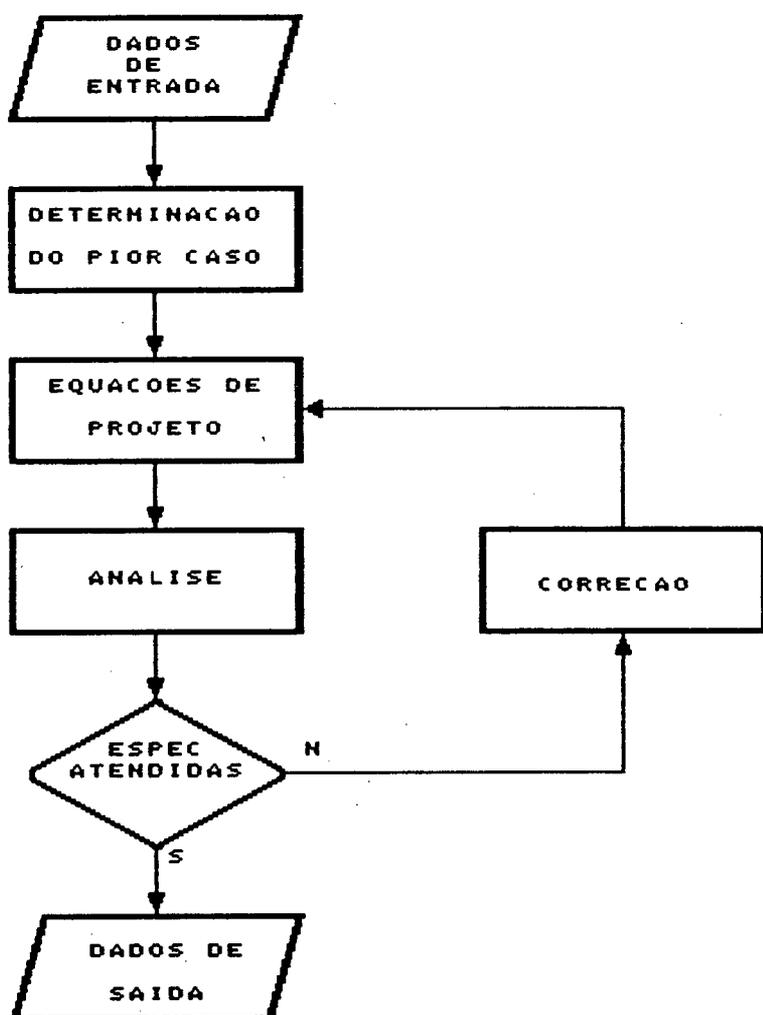


Fig. 4.1 - Fluxograma para o projeto do amplificador operacional CMOS

4.1 - Entrada de dados

Um programa para projeto de amplificadores operacionais CMOS deve atender aos seguintes requisitos: ser capaz de projetar circuitos para qualquer processo de fabricação CMOS, atender às especificações do usuário nas condições extremas de temperatura e considerar a influência das variações dos valores dos parâmetros tecnológicos dos transistores MOS nas características do circuito. Para atender a esses requisitos o usuário deve fornecer ao programa, como dados de entrada, informações referentes à tecnologia utilizada e às condições de operação do circuito.

Com relação à tecnologia o programa pede que sejam fornecidos os valores "fast" e "slow" dos parâmetros tecnológicos do processo de fabricação, dados sobre o casamento dos componentes e se a tecnologia é de poço P ou de poço N.

Dados referentes à operação do circuito são as especificações do amplificador operacional e as temperaturas máxima e mínima em que o circuito poderá operar. Além disso o usuário também deve especificar os valores máximos e mínimos para largura e comprimento de canal dos transistores e escolher o tipo dos transistores do par diferencial de entrada.

Todos os dados podem ser fornecidos através de menus ou de arquivos. A figura 4.2 mostra os menus de entrada.

MENU 1	
1	ENTRADA DOS PARAMETROS REFERENTES A TECNOLOGIA
2	ENTRADA DAS ESPECIFICACOES DO AMPOP
3	ENTRADA DE PARAMETROS ESTADISTICOS
4	ESCOLHA DO TIPO DO AMPOP
5	EXECUTE
6	FIM

a)

PARAMETROS TECNOLOGICOS PMOS		
	"slow"	"fast"
Tensao de limiar.....(U),>	1.000E+00	7.000E-01
Espessura do oxido.....(m),>	4.200E-08	3.000E-08
Dopagem do substrato...(cm** -3),>	6.000E+15	4.000E+15
XJ.....(m),>	5.000E-07	5.000E-07
Difusao lateral.....(m),>	7.500E-08	2.300E-07
Mobilidade.....(cm**2/V/s),>	4.000E+02	5.300E+02
UCRIT.....(U/cm),>	1.000E+03	1.000E+03
UEXP.....>	1.290E-02	1.290E-02
UMAX.....(m/s),>	3.790E+04	3.790E+04
NEFF.....>	2.740E+00	2.740E+00
DELTA.....>	1.640E+00	1.640E+00
RSH.....(ohm/quadrado),>	5.000E+01	3.000E+01
CGSO.....(pF/m),>	2.200E-10	1.200E-10
CGDO.....(pF/m),>	2.200E-10	1.200E-10
CJ.....(F/m** 2),>	1.200E-04	1.000E-04
CJSW.....(pF/m),>	2.700E-10	2.300E-10
NJ.....>	4.000E-01	4.000E-01
NJSW.....>	2.700E-01	2.700E-01
PB.....(U),>	4.500E-01	4.500E-01
NFS.....(cm** -2),>	4.000E+11	4.000E+11
Yearly.....(U/un),>	6.000E+00	7.500E+00
Os valores digitados estao corretos? (S/N)		

PARAMETROS TECNOLOGICOS PMOS		
	"slow"	"fast"
Tensao de limiar.....(U),>	-7.000E-01	-5.000E-01
Espessura do oxido.....(m),>	4.200E-08	3.000E-08
Dopagem do substrato...(cm** -3),>	2.200E+16	1.700E+16
XJ.....(m),>	6.000E-07	6.000E-07
Difusao lateral.....(m),>	1.250E-07	2.000E-07
Mobilidade.....(cm**2/V/s),>	1.700E+02	1.950E+02
UCRIT.....(U/cm),>	4.720E+03	4.720E+03
UEXP.....>	3.110E-02	3.110E-02
UMAX.....(m/s),>	3.720E+04	3.720E+04
NEFF.....>	1.000E+01	1.000E+01
DELTA.....>	0.170E-01	0.170E-01
RSH.....(ohm/quadrado),>	5.500E+01	4.500E+01
CGSO.....(pF/m),>	2.000E-10	1.900E-10
CGDO.....(pF/m),>	2.000E-10	1.900E-10
CJ.....(F/m** 2),>	3.900E-04	3.100E-04
CJSW.....(pF/m),>	5.000E-10	4.000E-10
NJ.....>	4.000E-01	4.000E-01
NJSW.....>	4.000E-01	4.000E-01
PB.....(U),>	1.040E+00	1.040E+00
NFS.....(cm** -2),>	3.000E+11	3.000E+11
Yearly.....(U/un),>	3.500E+00	4.100E+00
Os valores digitados estao corretos? (S/N)		

b)

Fig.4.2 - a) Menu principal b) parâmetros tecnológicos

ESPECIFICACOES DO AMP.OP.	
Ganho DC.....>	1.000E+03
Produto ganho banda.....(Hz)>	1.000E+07
Slew rate.....(V/us)>	2.000E+00
CMRR.....(dB)>	6.000E+01
PSRR.....(dB)>	7.000E+01
Margem de fase.....(graus)>	4.500E+01
Capacitancia de carga.....(pF)>	5.000E+00
Minima tensao na entrada.....(V)>	-1.000E+00
Maxima tensao na entrada.....(V)>	1.000E+00
Minima tensao na saida.....(V)>	-1.000E+00
Maxima tensao na saida.....(V)>	1.000E+00
Maxima potencia dissipada.....(mW)>	1.500E+00
Maximo ruido branco.....(nV/raiz Hz)>	5.000E+01
Maximo ruido 1/f.....(nV/raiz Hz a 1kHz)>	2.000E+02
VDD.....(V)>	2.500E+00
VSS.....(V)>	-2.500E+00
Temperatura maxima.....(°C)>	7.500E+01
Temperatura minima.....(°C)>	0.000E+00
W maximo.....(um)>	2.000E+03
W minimo.....(um)>	5.000E+00
L maximo.....(um)>	1.000E+02
L minimo.....(um)>	4.000E+00
Os valores digitados estao corretos? (S/N)	

c)

PARAMETROS ESTATISTICOS		
	CANAL N	CANAL P
σ Ut.....(mV)>	7.000E+00	1.000E+01
σ P/P.....(%)>	7.000E-01	1.000E+00
σ n/n.....(%)>	0.000E+00	0.000E+00
σ lambda/lambda.....(%)>	0.000E+00	0.000E+00
Os valores digitados estao corretos? (S/N)		

d)

ESCOLHA DO AMP.OP.
1 PAR DE ENTRADA TIPO N - POSO P
2 PAR DE ENTRADA TIPO P - POSO P
3 PAR DE ENTRADA TIPO N - POSO N
4 PAR DE ENTRADA TIPO P - POSO N

e)

Fig. 4.2 - c) exemplo de especificações do amp.op.

d) parâmetros estatísticos e) escolha do amp. op.

4.2 - Projeto

O projeto é feito utilizando-se um conjunto de equações que relacionam as características funcionais do amplificador operacional aos parâmetros tecnológicos e às condições de polarização.

A fim de levar em consideração variações de temperatura faz-se, inicialmente, uma predistorção nas especificações de entrada [3, 6, 19, 20] gerando-se um novo conjunto de requisitos à temperatura de referência. Assim, considerando que a corrente de polarização (I_P), a mobilidade (μ) e a tensão termodinâmica (U_T) variam com a temperatura segundo as relações

$$I_P = I_{Po} (T/T_{ref})^m \quad (4.1)$$

$$\mu = \mu_o (T/T_{ref})^\alpha \quad (4.2)$$

$$U_T = \frac{k T_{ref}}{q} \left[\frac{T}{T_{ref}} \right] \quad (4.3)$$

deriva-se, a partir das equações de projeto apresentadas no capítulo 3 e da equação (2.16), expressões que resultam nas novas especificações. Essas expressões estão listadas na tabela 4.1. Nota-se que para determinar as novas especificações é necessário conhecer β e a corrente de polarização, dados que não são disponíveis nesta fase do projeto. Para contornar o problema estima-se, a partir das especificações iniciais, a região de operação dos transistores (inversão forte ou fraca) e utiliza-se as equações correspondentes em um desses limites. Por exemplo para o produto ganho-banda teremos, em inversão forte

$$GB(T_{ref}) = GB_{esp} (T_{ref}/T)^{(\alpha+m)/2} \quad (4.4)$$

e em inversão fraca

$$GB(T_{ref}) = GB_{esp} (T_{ref}/T)^{m-1} \quad (4.5)$$

$$GB(T_{ref}) = GB_{esp} \left(\frac{T_{ref}}{T} \right)^{n-1} \frac{\sqrt{1+(I_1/I_{lim})}}{\sqrt{1+(I_1/I_{lim})} (T_{ref}/T)^{n-a-2}}$$

$$SR(T_{ref}) = SR_{esp} \left(\frac{T_{ref}}{T_{min}} \right)^n$$

$$A_o(T_{ref}) = A_{o,esp} \left(\frac{T_{ref}}{T} \right)^{n-1} \frac{\sqrt{1+(I_6/I_{lim})}}{\sqrt{1+(I_6/I_{lim})} (T_{ref}/T)^{n-a-2}} \frac{\sqrt{1+(I_1/I_{lim})}}{\sqrt{1+(I_1/I_{lim})} (T_{ref}/T)^{n-a-2}}$$

Tabela 4.1 - Equações para distorção das especificações

O passo seguinte é a determinação da polarização e das razões W/L dos transistores, o que é feito de acordo com o procedimento que será descrito a seguir e pode ser visualizado no fluxograma da figura 4.3.

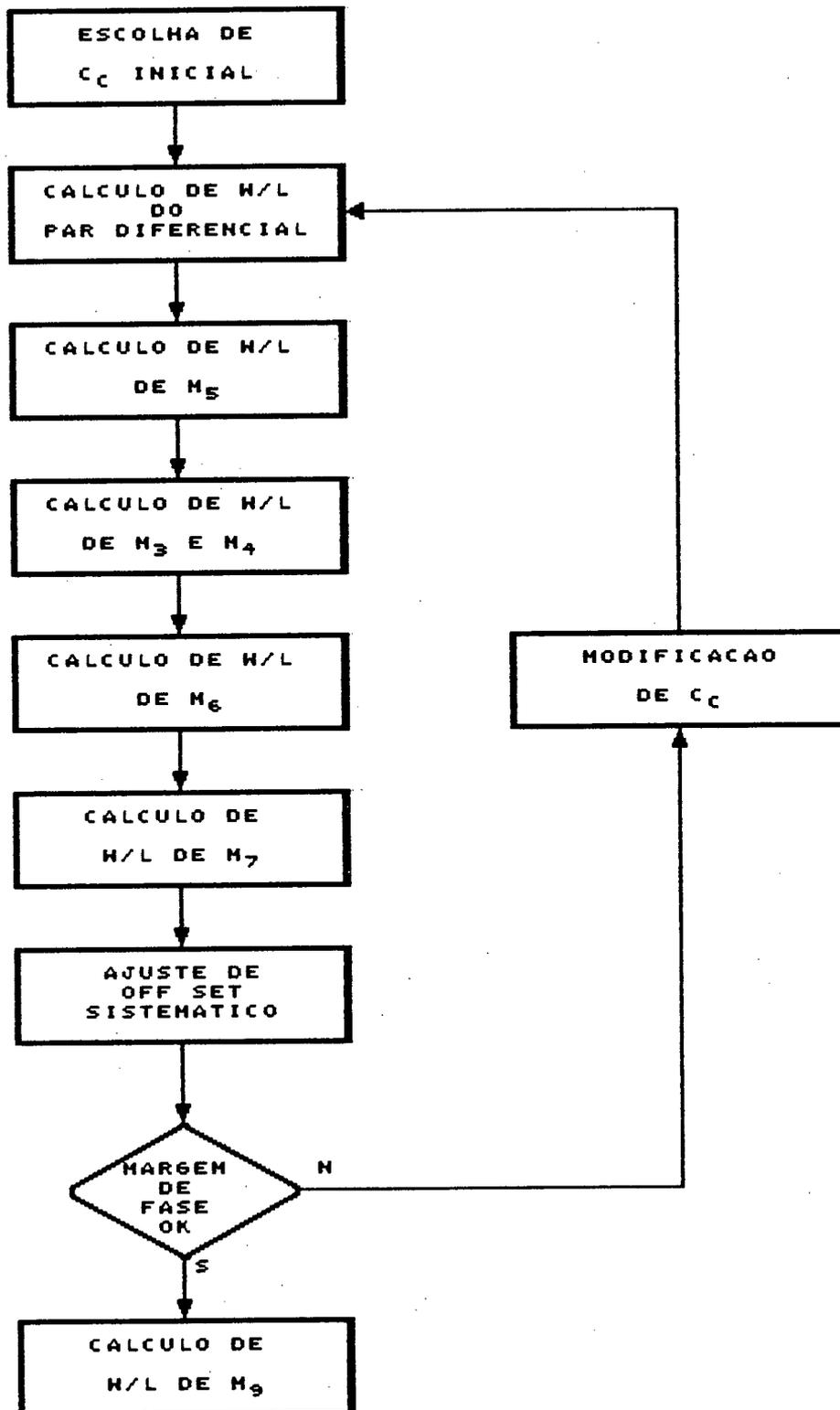


Fig. 4.3 - Fluxograma para o cálculo das razões W/L

4.2.1. - Escolha do Capacitor de Compensação

No procedimento adotado, o primeiro passo é definir o valor do capacitor de compensação (C_c) necessário para se atender à especificação de margem de fase (Mf). De acordo com as equações (3.10) e (3.11) considerando-se $C_I \ll C_L$, tem-se

$$C_c \cong \sqrt{\frac{g_{m1}}{g_{m\sigma}} \frac{C_I C_L}{\text{tg}(90-Mf)}} \quad (4.6)$$

Nota-se que para uma determinada margem de fase o valor do capacitor de compensação depende de uma capacitância parasita (C_I), difícil de ser estimada, o que impossibilita a utilização da equação (4.6). Escolhe-se, então, um valor inicial para C_c de modo a colocar o pólo p_2 acima de GB, o que garante a estabilidade mesmo que haja algum erro no posicionamento do zero. Assim escolhe-se

$$C_c = \frac{g_{m1}}{g_{m\sigma}} C_L \quad (4.7)$$

O valor da relação $g_{m\sigma}/g_{m1}$ é então, arbitrado pelo programa. Como o critério inicial é colocar o pólo p_2 acima de GB a relação $g_{m\sigma}/g_{m1}$ deve ser maior que a unidade, porém valores muito elevados para $g_{m\sigma}$ podem levar a valores de corrente excessivos no estágio de saída e a transistores muito grandes. A experiência mostra que valores adequados para esta relação estão na faixa de 1 a 10. Assim sendo o programa calcula 10 soluções para o projeto, sendo que cada uma corresponde a um valor inicial da razão $g_{m\sigma}/g_{m1}$ dentro da faixa citada.

4.2.2. - Dimensionamento do Par Diferencial

Para o dimensionamento dos transistores que formam o par diferencial deve-se levar em consideração as especificações de GB, SR, tensão de modo comum na entrada e máxima razão W/L definidas pelo usuário bem como obedecer a algumas restrições, impostas pela topologia do circuito e pelo usuário. O procedimento utilizado é explicado a seguir.

a) A primeira condição a ser satisfeita é imposta pela topologia do circuito. Para o amplificador operacional em questão a relação entre SR e GB é

$$SR/GB = I_5/g_m \quad (4.8)$$

Se o circuito estiver operando em inversão fraca a equação (4.8) fica

$$SR/GB = 2 n U_T \quad (4.9)$$

e se estiver em inversão forte

$$SR/GB = (V_{GS} - V_T) \quad (4.10)$$

Nota-se que em inversão fraca a relação não depende da tensão V_{GS} e em inversão forte $(V_{GS} - V_T)$ é sempre maior que $2 n U_T$ portanto, é necessário que

$$SR/GB \geq 2n_1 U_T \quad (4.11)$$

Caso as especificações de entrada de SR e GB não satisfaçam esta desigualdade o valor especificado para SR deve ser aumentado.

b) Calcula-se, a partir dos valores de SR, do capacitor de compensação e da máxima razão W/L permitida (especificação do usuário) o valor máximo que se pode obter para GB

$$GB_{\max} = \sqrt{\frac{SR \beta_{\max}}{n_1 C_c}} \quad (4.12)$$

Se GB especificado for maior que GB máximo o valor de SR é, novamente, ajustado.

c) Calcula-se a mínima transcondutância dos transistores de entrada para se obter o valor de GB especificado

$$g_{m1} = GB \cdot C_c \quad (4.13)$$

d) Calcula-se os valores mínimo e máximo para a corrente de polarização do estágio diferencial

$$I_{5min} = SR \cdot C_c \quad (4.14)$$

$$I_{5max} = 2 n_1 U_T g_{m1} \ln(1+e^x) \frac{1 + e^x}{e^x} \quad (4.15)$$

onde $x = \frac{V_{max}}{2 n_1 U_T}$ e V_{max} é a máxima tensão ($V_{GS} - V_T$) permitida para os transistores de entrada de modo a atingir as especificações de GB e mínima tensão de modo comum na entrada simultaneamente.

e) Com I_5 mínimo, g_{m1} e considerando a equação (2.17) calcula-se a razão W/L dos transistores do par diferencial

$$\left(\frac{W}{L}\right)_1 = \frac{(g_{m1})^2 n (I_5/2)}{2 k' [(I_5/2)^2 - (n g_{m2} U_T)^2]} \quad (4.16)$$

f) Compara-se o valor de GB com a máxima frequência de operação de um transistor MOS em inversão fraca (ω_1) para verificar se os transistores podem operar em inversão fraca. Caso não possam calcula-se sua tensão ($V_{GS} - V_T$) e se esta não for suficiente para manter o transistor em inversão forte recalcula-se I_5 e $(W/L)_{1,2}$ de modo a satisfazer esta condição.

4.2.3. - Dimensionamento do Transistor M_5

A razão W/L de M_5 é determinada a partir da especificação de mínima tensão de modo comum na entrada e da corrente de polarização, I_5 , necessária.

$$\left(\frac{W}{L}\right)_5 = \frac{I_5}{2 k'_5 n_5 U_T^2 [\ln(1 + e^f)]^2} \quad (4.17)$$

onde $f = (V_{GS5} - V_{TS}) / 2n_5 U_T$. O transistor M_5 deve estar saturado. Portanto, se o transistor estiver operando em inversão forte, deve-se garantir $(V_{GS5} - V_{TS}) / n_5 \leq V_{DS5}$ e o valor utilizado para $V_{GS5} - V_{TS}$ na equação (4.17) é tal que garanta a saturação e o atendimento da especificação de mínima tensão de modo comum na entrada. Se o transistor estiver em inversão fraca a tensão mínima entre dreno e fonte para garantir a saturação não depende de V_{GS} e vale aproximadamente $3nU_T$. Neste caso apenas garante-se a operação em inversão fraca fazendo, na equação (4.17), $V_{GS5} - V_T = 2 n_5 U_T$ que é a tensão acima da qual o transistor deixará de operar em inversão fraca.

4.2.4. - Dimensionamento dos Transistores M_3 e M_4

As razões W/L dos transistores M_3 e M_4 são calculadas a partir da máxima tensão de modo comum na entrada do amp.op (eq.3.22) e da corrente de polarização

$$\left(\frac{W}{L}\right)_3 = \frac{I_5}{4 k'_3 n_3 U_T^2 [\ln(1 + e^f)]^2} \quad (4.18)$$

onde $f = (V_{GS3} - V_{T3}) / 2 n_3 U_T$. O procedimento para a escolha da tensão V_{GS3} é idêntico ao usado para M_5 .

4.2.5. - Dimensionamento do transistor M_6

A transcondutância do transistor de saída g_{m6} , conhecida a partir de g_{m1} e da relação g_{m6}/g_{m1} é usada juntamente com a especificação de máxima tensão na saída (eq.3.23) para a determinação

da razão entre a largura e o comprimento de M_6

$$\left(\frac{W}{L}\right)_6 = \frac{g_{m6} (1 + e^f)}{2 k'_6 U_T [\ln(1 + e^f)] e^f} \quad (4.19)$$

onde $f = (V_{GS6} - V_{T6})/2 n_6 U_T$. Utiliza-se o mesmo procedimento anterior para a escolha de V_{GS6} .

4.2.6. - Dimensionamento do Transistor M_7

O transistor M_7 é a fonte de corrente que polariza o estágio de saída e deve fornecer a corrente (I_6) necessária para satisfazer g_{m6} e β_6 . Sua razão (W/L) é então determinada por

$$\left(\frac{W}{L}\right)_7 = \frac{I_6}{I_5} \left(\frac{W}{L}\right)_5 \quad (4.20)$$

Caso seja necessário, ajusta-se a razão (W/L)₉ ou (W/L)₆ para que a tensão de "offset" sistemática seja mínima (eq.3.28).

4.2.7. - Verificação da Margem de Fase e Modificação de C_c

Nesta fase já se dispõe de dados suficientes para o cálculo da capacitância parasita C_I (predominantemente, C_{GS6}) e, conseqüentemente, para o cálculo da margem de fase obtida. Caso a margem de fase seja menor que a especificada aumenta-se o valor de C_c . Se a margem de fase for maior que 1,3 vezes a especificada diminui-se o valor de C_c (para que não se aumente o consumo e as dimensões do transistor de saída). O ajuste de C_c é feito multiplicando-se o seu valor por um coeficiente de ajuste obtido pela experiência e que neste caso vale 1,4 e 0,7 se o ajuste for para mais ou para menos, respectivamente. Repete-se o processo a partir do cálculo de (W/L)₁ até

que o valor da margem de fase esteja dentro da faixa permitida.

4.2.8. - Dimensionamento do Transistor M_{ϕ}

Depois de satisfeita a margem de fase calcula-se a razão W/L do transistor M_{ϕ} que implementa o resistor de compensação R_Z . Este transistor opera na região linear com V_{DS} igual a zero, tendo-se então

$$\left(\frac{W}{L}\right)_{\phi} = \frac{1}{R_Z k'_{\phi} |V_{GS\phi} - V_T|} \quad (4.21)$$

Note-se que neste caso o transistor M_{ϕ} tem tensão entre fonte e substrato diferente de zero, logo V_T é diferente de V_{T0} .

4.2.9. - Cálculo dos Produtos $W.L$

Depois de calculadas as razões W/L de todos os transistores o programa passa a determinar os produtos entre largura e comprimento dos transistores. Esses produtos são determinados de modo a garantir o atendimento às especificações de ruído $1/f$, ganho CC, CMRR e PSRR [6, 15].

Considerando as equações (3.26) e (3.27) que dão o ruído $1/f$ para um transistor e para o amplificador operacional, respectivamente, pode-se escrever

$$\overline{v_{nf}^2} = \sum_{i=1}^n C_i \frac{K_i}{WL_i} \quad (4.22)$$

onde $\overline{v_{nf}^2}$ é a tensão de ruído $1/f$ referido à entrada do amplificador, C_i é um coeficiente associado ao i ésimo transistor e K é a mesma constante de processo da equação (3.26). Calcula-se então, o mínimo somatório dos produtos WL dos transistores do estágio diferencial de modo a atender

o requisito de ruído $1/f$. Usando o método de Lagrange, obtem-se [15]

$$(WL)_i = \sqrt{\Lambda C_i K_i} \quad (4.23)$$

$$\sqrt{\Lambda} = \frac{1}{\frac{V}{2} \sum_{i=1}^n \sqrt{C_i K_i}} \quad (4.24)$$

onde Λ é o multiplicador de Lagrange. Obtem-se, assim os produtos

$$(WL)_1 = \sqrt{\Lambda \frac{K_1}{C_{ox} f}} \quad (4.25)$$

$$(WL)_3 = \sqrt{\Lambda \frac{K_3}{C_{ox} f} \left(\frac{g_{m3}}{g_{m1}} \right)^2} \quad (4.26)$$

O ganho em corrente contínua do amplificador operacional é dado pela equação (3.5) onde as condutâncias g_{ds} são dadas pela equação (2.19), que pode ser reescrita como

$$g_{ds} = \frac{I_D}{V_{early}} \sqrt{\frac{W}{L}} \frac{1}{\sqrt{W \cdot L}} \quad (4.27)$$

Desta forma o ganho pode ser escrito em função dos produtos $W \cdot L$. Para a determinação destes produtos procede-se da seguinte maneira: divide-se o ganho do amplificador operacional em duas parcelas

$$A_1 = \frac{g_{m1}}{g_{ds2} + g_{ds4}} \quad (4.28)$$

e

$$A_2 = \frac{g_{m6}}{g_{ds6} + g_{ds7}} \quad (4.29)$$

onde as condutâncias dos transistores são dadas pela equação (4.27); como nesta fase as transcondutâncias já são conhecidas e g_{ds} é proporcional à corrente de polarização dos transistores, também

conhecida, estima-se os valores de A_1 e A_2 ; para cada estágio calcula-se os produtos W.L de modo que a soma desses produtos seja mínima e o ganho requerido seja satisfeito. Novamente utilizando o método de Lagrange obtém-se [15]

$$(WL)_1 = \left[\frac{\Lambda_1 \alpha_1}{2} \right]^{2/3} \quad (4.30)$$

$$(WL)_3 = \left[\frac{\Lambda_1 \alpha_3}{2} \right]^{2/3} \quad (4.31)$$

$$(WL)_6 = \left[\frac{\Lambda_2 \alpha_6}{2} \right]^{2/3} \quad (4.32)$$

$$(WL)_7 = \left[\frac{\Lambda_2 \alpha_7}{2} \right]^{2/3} \quad (4.33)$$

onde

$$\Lambda_1 = \frac{A_1^3}{g_{m1}^3} \left[\sqrt[3]{2 \alpha_2^2} + \sqrt[3]{2 \alpha_3^2} \right]^3 \quad (4.34)$$

$$\Lambda_2 = \frac{A_2^3}{g_{m6}^3} \left[\sqrt[3]{2 \alpha_6^2} + \sqrt[3]{2 \alpha_7^2} \right]^3 \quad (4.35)$$

e

$$\alpha_i = \frac{I_D}{V_{early}} \sqrt{\frac{W}{L}} \quad (4.36)$$

A especificação de CMRR é usada para a determinação do produto W.L do transistor M_5 . Calcula-se, a partir da CMRR e do ganho em corrente contínua, o ganho de modo comum requerido (eq.3.14) e a partir deste o produto entre largura e comprimento do transistor M_5

$$(WL)_5 = \frac{I_5}{2g_{m3} A_{cm} V_{early}} \quad (4.37)$$

A rigor, o projeto da CMRR deveria levar em consideração a

degradação devido ao descasamento entre transistores; porém como esta degradação é elevada e o circuito em questão não apresenta elevados valores de CMRR, este efeito não é considerado, obtendo-se assim apenas a CMRR ideal. Outros programas descritos na literatura [3, 4] também se reportam apenas à CMRR ideal.

Neste ponto todos os produtos W.L estão determinados. Verifica-se, então, se a especificação de PSRR está satisfeita; caso não esteja, calcula-se um novo valor para $(WL)_3$ de modo a atender este requisito

$$(WL)_3 = \left(\frac{PSRR \alpha_4 \alpha_\sigma}{g_{m1} g_{m\sigma}} \right)^2 \frac{1}{(WL)_\sigma} \quad (4.38)$$

Escolhe-se para cada transistor o maior produto W.L, entre os calculados acima, pois este garante o atendimento de todas as especificações.

Depois de calculados os valores das razões W/L e dos produtos W.L determina-se os valores de W e L de cada transistor. Em função dos valores de L calcula-se o novo valor de ω_t para verificar o atendimento de GB. Neste ponto a fase de projeto está terminada.

4.3. - Análise

Com o circuito dimensionado faz-se a análise simplificada do mesmo. Para isto utiliza-se a temperatura de referência e faz-se as quatro combinações de parâmetros tecnológicos (valores "fast" e "slow" para os transistores canal P e canal N). Toma-se então como resultado final, para cada especificação, o pior valor, como, por exemplo, o menor ganho e o maior nível de ruído. Esses resultados são utilizados para a verificação do atendimento às especificações. Calcula-se também as tensões em todos os nós do circuito para serem usadas com o comando

"NODESET" do SPICE, de modo a facilitar a posterior simulação do circuito.

A análise é feita utilizando-se os modelos descritos nos capítulos 2 e 3 e considera-se, no cálculo dos pólos e zero da função de transferência, as capacitâncias parasitas para que se tenha um valor mais exato para a margem de fase do circuito.

4.4. - Escolha da solução e correção em caso de falha

De acordo com a metodologia utilizada tem-se nesta fase dez soluções para o projeto. Surgem então as seguintes possibilidades: 1) todas as soluções atendem às especificações, 2) pelo menos uma solução atende às especificações e 3) nenhuma solução atende às especificações.

No primeiro caso é necessário escolher uma solução. O critério utilizado para essa escolha é expresso pela equação abaixo

$$D = w_{D1} \sum \text{área} + w_{D2} I_{\text{total}} + \sum w_{D3i} \epsilon_i \quad (4.39)$$

onde área é o somatório dos produtos W.L dos transistores mais a área estimada para o capacitor de compensação, w_{D1} é um peso por unidade de área, I_{total} é o consumo de corrente do amplificador operacional, w_{D2} é um peso por unidade de corrente, ϵ_i é o erro de cada característica de desempenho obtida para o amplificador operacional com relação ao valor especificado e w_{D3i} são pesos que representam a prioridade no atendimento de cada requisito de projeto. Os erros são calculados por

$$\epsilon_i = \left| \frac{P_{ei} - P_{oi}}{P_{ei}} \right| \quad (4.40)$$

onde P_{ei} e P_{oi} são os valores especificado e obtido para cada característica de desempenho respectivamente. Todos os pesos são atribuídos internamente pelo programa. A solução escolhida será a que apresentar o menor valor para D.

No segundo caso o procedimento anterior é aplicado às

soluções que satisfazem as especificações. Caso apenas uma solução atenda aos requisitos então esta é escolhida.

No caso em que nenhuma solução atende aos requisitos redefine-se as especificações não atendidas pela equação

$$ESP_N = ESP_A (1 + \varepsilon) \quad (4.41)$$

onde ESP_N e ESP_A são a nova especificação e a especificação anterior respectivamente. O projeto é então reexecutado, repetindo-se o processo até que todos os requisitos sejam satisfeitos. Caso o programa não encontre uma solução satisfatória após 10 buscas da solução, a melhor solução, baseada no critério descrito, é fornecida ao usuário.

4.5. - Saída de dados

Como saída o programa fornece ao usuário um quadro comparativo entre as características do amplificador operacional especificadas pelo usuário e projetadas pelo programa (mostra-se o pior valor obtido para cada especificação), um quadro com o tipo e com as dimensões dos componentes, folha de dados com os valores máximos e mínimos das características do amplificador na faixa de temperatura especificada pelo usuário e o arquivo de entrada para o simulador SPICE [21]. Os diversos dados de saída podem ser vistos na figura 4.4. O programa também emite avisos ao usuário caso faltem dados de entrada ou sejam pedidas especificações impossíveis de serem atendidas.

A geração da folha de dados é feita utilizando-se a mesma técnica usada na distorção das especificações no início do projeto. Conhecendo-se as características à temperatura de referência calcula-se os valores máximos e mínimos das especificações, utilizando-se o melhor e o pior caso obtidos na fase de análise (combinação dos valores "slow" e "fast" dos parâmetros tecnológicos) [19]. Assim tem-se, por exemplo, os valores máximo e mínimo para GB dados por

$$GB_{\min} = GB(T_{\text{ref}}) \left(\frac{T_{\min}}{T_{\text{ref}}} \right)^{m-1} \frac{\sqrt{1 + (I_1/I_{1\text{lim}})}}{\sqrt{1 + (I_1/I_{1\text{lim}})(T_{\min}/T_{\text{ref}})^{m-\alpha-2}}} \quad (4.42)$$

$$GB_{\max} = GB(T_{\text{ref}}) \left(\frac{T_{\max}}{T_{\text{ref}}} \right)^{m-1} \frac{\sqrt{1 + (I_1/I_{1\text{lim}})}}{\sqrt{1 + (I_1/I_{1\text{lim}})(T_{\max}/T_{\text{ref}})^{m-\alpha-2}}} \quad (4.43)$$

Caso deseje, o usuário pode comprovar as características do circuito projetado usando o simulador SPICE sem sair do ambiente do programa.

MENU 2	
1	VER AS CARACTERISTICAS DO AMPOP
2	VER FOLHA DE DADOS
3	VER ARQUIVO DE ENTRADA PARA O SPICE
4	SIMULAR (SPICE)
5	VER DIMENSOES DOS TRANSISTORES
6	VOLTAR AO MENU 1
7	FIM

a)

CARACTERISTICAS DO AMPLIFICADOR OPERACIONAL		
	proj.	esp.
Ganho d.c.....	1.487E+04	1.000E+03
GB.....(Hz)	1.048E+07	1.000E+07
Margem de fase.....(graus)	5.048E+01	4.500E+01
Slew rate.....(V/us)	1.414E+01	2.000E+00
CMRR.....(dB)	9.535E+01	6.000E+01
PSRR.....(dB)	8.905E+01	7.000E+01
Maximo ruido branco.....(nV/raiz Hz)	2.748E+01	5.000E+01
Maximo ruido 1/f.....(nV/raiz Hz a 1kHz)	1.143E+02	2.000E+02
Minima tensao de modo comum na entrada...(V)	-1.529E+00	-1.000E+00
Maxima tensao de modo comum na entrada...(V)	1.003E+00	1.000E+00
Minima tensao na saida.....(V)	-2.030E+00	-1.000E+00
Maxima tensao na saida.....(V)	1.902E+00	1.000E+00
Potencia dissipada.....(mW)	7.303E-01	1.500E+00
Deseja gravar em arquivo? S/N		

b)

FOLHA DE DADOS		
	max	min
Ganho d.c.....	3.545E+04	1.026E+04
GB.....(Hz)	1.212E+07	1.003E+07
Margem de fase.....(graus)	5.595E+01	5.048E+01
Slew rate.....(V/us)	1.640E+01	1.207E+01
CMRR.....(dB)	1.022E+02	9.213E+01
PSRR.....(dB)	9.710E+01	8.503E+01
Ruido branco.....(nV/raiz Hz)	3.300E+01	2.270E+01
Ruido 1/f.....(nV/raiz Hz a 1kHz)	1.143E+02	1.007E+02
Tensao de offset.....(mV)	1.053E+01	1.041E+01
Deseja gravar em arquivo? S/N		

c)

Fig.4.4 - a) Menu principal, b) características do amp.op.

c) folha de dados

```

ARQUIVO DE ENTRADA PARA O SPICE
.OP
.NODESET V(1)=0.90 V(2)=-1.36 V(3)=-1.36 V(4)=0 V(5)=0
+ V(7)=-2.50 V(8)=2.50 V(9)=1.21
M1 2 4 1 1 MODP L= 4U W= 69U AD= 345P PD= 140U AS= 345P PS= 140U
M2 3 5 1 1 MODP L= 4U W= 69U AD= 345P PD= 140U AS= 345P PS= 140U
M3 2 2 8 8 MODN L= 5U W= 5U AD= 25P PD= 20U AS= 25P PS= 20U
M4 3 2 8 8 MODN L= 5U W= 5U AD= 25P PD= 20U AS= 25P PS= 20U
M5 1 9 7 7 MODP L= 4U W= 16U AD= 80P PD= 42U AS= 80P PS= 42U
M6 6 3 8 8 MODN L= 4U W= 155U AD= 775P PD= 320U AS= 775P PS= 320U
M7 6 9 7 7 MODP L= 4U W= 300U AD=1540P PD= 626U AS=1540P PD= 626U
M8 9 9 7 7 MODP L= 4U W= 16U AD= 80P PD= 42U AS= 80P PS= 42U
M9 3 7 10 8 MODN L= 12U W= 5U,AD= 25P PD= 20U AS= 25P PS= 20U
CC 10 6 5.1E-13
CL 6 0 5.0E-12
VDD 7 0 DC 2.50
VSS 0 0 DC 2.50
IP 9 0 DC 7.2E-06
VIN1 4 0 DC 0
VIN2 5 0 DC 0 AC 1

```

Pg Dn

```

ARQUIVO DE ENTRADA PARA O SPICE
.MODEL MODN NPOS LEVEL = 2 UTO = 1.0E+00 TOX = 4.2E-08 NSUB = 6.0E+15
+XJ = 5.0E-07 LD = 7.5E-09 UO = 4.0E+02 UCRIT = 1.0E+03 UEXP = 1.3E-02
+UMAX = 3.0E+04 NEFF = 2.7E+00 DELTA = 1.6E+00 CJ = 1.2E-04 CJSW = 2.7E-10
+MJ = 4.0E-01 MJSW = 2.7E-01 PB = 4.5E-01 NFS = 4.0E+11
.MODEL MODP NPOS LEVEL = 2 UTO = -7.0E-01 TOX = 4.2E-08 NSUB = 2.2E+16
+XJ = 6.0E-07 LD = 1.2E-07 UO = 1.7E+02 UCRIT = 4.7E+03 UEXP = 3.1E-02
+UMAX = 3.7E+04 NEFF = 1.0E+01 DELTA = 8.2E-01 CJ = 3.9E-04 CJSW = 5.0E-10
+MJ = 4.0E-01 MJSW = 4.0E-01 PB = 1.0E+00 NFS = 3.0E+11
.AC DEC 10 .01 1.100000000E+01MEG
.PRINT AC UDB(6) UP(6)
.PLOT AC UDB(6) UP(6)
.PROBE
.END

```

Para sair tecle ESC.

Pg Up

d)

```

SIMULAR
1 RESPOSTA EM FREQUENCIA
2 TRANSITORIO
3 FAIXA DE MODO COMUM NA ENTRADA
4 EXCURSAO DE TENSÃO NA SAIDA
5 CMRR
6 PSRR
7 RUIDO
8 VOLTAR AO MENU 2
9 FIM

```

e)

DIMENSÕES DOS TRANSISTORES				
TRAN	TIPO	L(um)	W(um)	WL(um**2)
M1	P	4	69	276
M2	P	4	69	276
M3	N	5	5	25
M4	N	5	5	25
M5	P	4	16	64
M6	N	4	155	620
M7	P	4	300	1232
M8	P	4	16	64
M9	N	12	5	60
WL Total				2642
Cc	0.5 pF			
CL	5.0 pF			
Ip	7.2 mA			

Deseja gravar em arquivo? S/N

f)

Fig. 4.4 - d) arquivo SPICE, e) menu de simulação,

e) dimensões dos transistores

5. - EXEMPLOS

Para mostrar os resultados obtidos com o programa foram escolhidas, na literatura, algumas especificações para amplificadores operacionais de dois estágios. Os exemplos foram escolhidos de modo que se possa comparar os circuitos projetados pelo programa com os projetados por outros projetistas ou programas. Para cada exemplo são mostrados todos os resultados obtidos pelo programa e estes são comparados com os resultados das simulações com o SPICE e também com os projetos originais. Para clareza do texto nos exemplos que se seguem o programa objeto deste trabalho será denominado PACAO (Projeto Auxiliado por Computador para Amplificadores Operacionais).

5.1 - Exemplo 1

As especificações para este exemplo são as mesmas de um projeto realizado pelo programa OASYS [4] e estão listadas na tabela 5.1 juntamente com as especificações fornecidas ao PACAO. Na tabela 5.2 pode-se ver o resultado dos projetos para os dois programas. O programa PACAO também fornece uma lista com os valores máximos e mínimos obtidos para cada característica do amplificador operacional estes resultados são comparados com as simulações SPICE na tabela 5.3.

Especificação	OASYS	PACAO
Ganho	≥ 60 dB	≥ 60 dB
GB	≥ 10 MHz	≥ 10 MHz
Margem de Fase	$\geq 45^\circ$	$\geq 45^\circ$
Slew Rate	$\geq 2,0$ V/ μ s	$\geq 2,0$ V/ μ s
Capacitância de Carga	5 pF	5 pF
Tensão de Alimentação	$\pm 2,5$ V	$\pm 2,5$ V
Potência Dissipada **	-	$\leq 1,5$ mW
CMRR *	-	≥ 60 dB
PSRR *	-	≥ 60 dB
Tensões de Modo Comum na Entrada*	-	$\pm 1,0$ V
Excursão de Tensão na Saída *	-	$\pm 1,5$ V
Ruído Branco *	-	≤ 50 nV/ $\sqrt{\text{Hz}}$
Ruído 1/f *	-	≤ 200 nV/ $\sqrt{\text{Hz}}$
Faixa de Temperatura *	-	0° a 75°C
W máximo *	-	1000 μ m
W mínimo *	-	5 μ m
L máximo *	-	25 μ m
L mínimo **	-	4 μ m

* Valores default do programa

** Valores especificados com base no projeto OASYS

Tabela 5.1 - Especificações para o exemplo 1

COMPONENTE		PACAO			OASYS		
TRAN	TIPO	L (μ m)	W (μ m)	WL (μ m ²)	L (μ m)	W (μ m)	WL (μ m ²)
M1	P	4	69	276	4	189	756
M2	P	4	69	276	4	189	756
M3	N	5	5	25	4	17	68
M4	N	5	5	25	4	17	68
M5	P	4	16	64	4	40	160
M6	N	4	155	620	4	95	380
M7	P	4	308	1232	4	113	452
M8	P	4	16	64	4	40	160
M9	N	12	5	60	4	31	124
WL Total		2642 μ m ²			2924 μ m ²		
Cc		0.5 pF			2,5 pF		
CL		5.0 pF			5,0 pF		
P _{DIS.}		0,77 mW			1,12 mW		

Tabela 5.2 - Resultado dos projetos PACAO e OASYS

Especificação	PACAO		SPICE	
	max	min	max	min
Ganho d.c (dB)	78	67	74	72
GB.(MHz)	12,1	10	12,7	9,2
Margem de fase (graus)	55,9	50,5	55,5	48,5
Slew rate (V/us)	16	13	11	10
CMRR (dB)	81	71	76	74
PSRR (dB)	95	84	93	82
Ruido branco (nV/\sqrt{Hz})	33	22,8	35,8	24,7
Ruido 1/f (nV/\sqrt{Hz} a 1kHz)	114	109	-	-
Tensao de offset (mV)	10,5	10,4	-	-

Tabela 5.3 - Valores máximos e mínimos obtidos para o exemplo 1

O projeto realizado apresenta dimensões parecidas com as do OASYS. O capacitor de compensação ficou bem menor, ainda assim a margem de fase apresentou uma certa folga em relação à especificação. A potência dissipada foi de 0,77mW enquanto a do Oasys foi de 1,12 mW e os resultados obtidos nas simulações são bastante próximos aos calculados.

5.2 Exemplo 2

O segundo exemplo é de um projeto realizado pelo programa OAC [8] e as especificações são apresentadas na tabela 5.4. Não são fornecidas pelos autores do OAC as dimensões dos transistores e o valor do capacitor de compensação. Deste modo apresenta-se a tabela com o dimensionamento do circuito apenas para o PACAO (tabela 5.5).

Especificação	DAC	PACAO
Ganho	≥ 80 dB	≥ 80 dB
GB	≥ 3 MHz	≥ 3 MHz
Margem de Fase	$\geq 60^\circ$	$\geq 60^\circ$
Slew Rate	$\geq 3,0$ V/ μ s	$\geq 3,0$ V/ μ s
Capacitância de Carga	20 pF	20 pF
Tensão de Alimentação	$\pm 2,5$ V	$\pm 2,5$ V
Potência Dissipada	$\leq 1,5$ mW	$\leq 1,5$ mW
CMRR *	-	≥ 60 dB
PSRR *	-	≥ 60 dB
Tensões de Modo Comum na Entrada*	-	$\pm 1,0$ V
Excursão de Tensão na Saída *	-	$\pm 1,5$ V
Ruído Branco *	-	≤ 50 nV/ $\sqrt{\text{Hz}}$
Ruído 1/f *	≤ 160 nV/ $\sqrt{\text{Hz}}$	≤ 160 nV/ $\sqrt{\text{Hz}}$
Faixa de Temperatura *	-	0° a 75°C
W máximo *	-	1000 μ m
W mínimo *	-	5 μ m
L máximo *	-	25 μ m
L mínimo *	-	5 μ m

* Valores default do programa

Tabela 5.4 - Especificações para o exemplo 2

COMPONENTE		PACAO		
TRAN	TIPO	L (μ m)	W (μ m)	WL (μ m ²)
M1	P	5	101	505
M2	P	5	101	505
M3	N	8	8	64
M4	N	8	8	64
M5	P	5	24	120
M6	N	6	277	1662
M7	P	5	547	2735
M8	P	5	24	120
M9	N	7	5	35
WL Total		5810 μ m ²		
Cc		2,0 pF		
CL		20.0 pF		
Ip		8.5 μ A		

Tabela 5.5 - Dimensões do circuito do exemplo 2

Nas tabelas seguintes faz-se a comparação dos resultados obtidos pelo PACAO com os resultados do DAC (tabela 5.6) e com as simulações SPICE (tabela 5.7).

Parâmetro	OAC	PACAO
Ganho	80 dB	83 dB
GB	3 MHz	3,6 MHz
Margem de Fase	60°	60°
Slew Rate	3,2 V/μs	4,2 V/μs
Potência Dissipada	1,49 mW	1,05 mW
CMRR	-	99 dB
PSRR	-	95 dB
Tensões de Modo Comum na Entrada	-	- 1,5 V + 1,0 V
Excursão de Tensão na Saída	-	- 2,0 V + 1,9 V
Ruído Branco	-	30,2 nV/√Hz

Tabela 5.6 - Resultados obtidos para o exemplo 2

Especificação	PACAO		SPICE	
	max	min	max	min
Ganho d.c (dB)	90	80	80	78
GB.(MHz)	3,6	3,0	3,5	2,7
Margem de fase (graus)	66,5	60,2	67,3	62,0
Slew rate (V/us)	4,9	3,9	3,2	3,0
CMRR (dB)	106	97	80	79
PSRR (dB)	104	93	100	95
Ruído branco (nV/√Hz)	30,2	20,8	32,1	23,3
Ruído 1/f (nV/√Hz a 1kHz)	68,8	65,4	-	-
Tensão de offset (mV)	10,5	10,4	-	-

Tabela 5.7 - Valores máximos e mínimos para o exemplo 2

Nota-se neste exemplo que o projeto atende às especificações e comparativamente ao OAC, apresenta erros maiores em relação às especificações. Isto se deve ao processo de otimização dos erros que existe no OAC.

5.3 Exemplo 3

As especificações para o terceiro exemplo são as de um projeto feito por outra ferramenta, chamada ISAID [9]. Novamente não estão disponíveis as dimensões dos componentes, mas apenas os valores

obtidos para algumas especificações. Nas tabelas a seguir mostram-se as especificações e os resultados para este caso.

Especificação	ISAID	PACAO
Ganho	≥ 75 dB	≥ 75 dB
GB	≥ 5 MHz	≥ 5 MHz
Margem de Fase	$\geq 70^\circ$	$\geq 70^\circ$
Slew Rate	≥ 10 V/ μ s	≥ 10 V/ μ s
Capacitância de Carga	-	5 pF
Tensão de Alimentação	-	+ 2,5 V
Potência Dissipada	$\leq 1,0$ mW	$\leq 1,0$ mW
CMRR *	-	≥ 60 dB
PSRR *	-	≥ 60 dB
Tensões de Modo Comum na Entrada*	-	+ 0,6 V
Excursão de Tensão na Saída *	-	+ 1,5 V
Ruído Branco *	-	≤ 50 nV/ $\sqrt{\text{Hz}}$
Ruído 1/f *	-	≤ 200 nV/ $\sqrt{\text{Hz}}$
Faixa de Temperatura *	-	0° a 75°C
W máximo *	-	1000 μ m
W mínimo *	-	5 μ m
L máximo *	-	25 μ m
L mínimo *	-	5 μ m

* Valores default do programa

Tabela 5.8 - Especificações para o exemplo 3

COMPONENTE		PACAO		
TRAN	TIPO	L (μ m)	W (μ m)	WL (μ m ²)
M1	N	5	59	295
M2	N	5	59	295
M3	P	5	59	295
M4	P	5	59	295
M5	N	5	107	535
M6	P	5	732	3660
M7	N	5	666	3330
M8	N	5	107	535
M9	P	5	30	150
WL Total		9390 μ m ²		
Cc		3,8 pF		
CL		5.0 pF		
Ip		42.2 μ A		

Tabela 5.9 - Dimensionamento do circuito do exemplo 3

Parâmetro	ISAID	PACAO
Ganho	75,7 dB	80 dB
GB	6,77 MHz	6,23 MHz
Margem de Fase	70,36°	71,06°
Slew Rate	12,35V/ μ s	10,99 V/ μ s
Potência Dissipada	1,0 mW	1,7 mW
CMRR	-	83 dB
PSRR	-	104 dB
Tensões de Modo Comum na Entrada	-	- 0,6 V + 2.2 V
Excursão de Tensão na Saída	-	- 2.2 V + 1,9 V
Ruído Branco	-	16,0 nV/ $\sqrt{\text{Hz}}$
Ruído 1/f	-	131,0 nV/ $\sqrt{\text{Hz}}$

Tabela 5.10 - Resultados dos projetos do exemplo 3

Especificação	PACAO		SPICE	
	max	min	max	min
Ganho d.c (dB)	88	77	74	73,5
GB.(MHz)	6,2	5,2	6,5	4,8
Margem de fase (graus)	74,8	71,0	78,4	73,2
Slew rate (V/us)	12,7	10,0	10,6	10,4
CMRR (dB)	91	80	77	75
PSRR (dB)	111	101	82	80
Ruído branco (nV/ $\sqrt{\text{Hz}}$)	19,3	13,4	18,1	13,4
Ruído 1/f (nV/ $\sqrt{\text{Hz}}$ a 1kHz)	131,1	124,4	-	-
Tensão de offset (mV)	9,2	8,7	-	-

Tabela 5.11 - Valores máximos e mínimos obtidos para o exemplo 3

Neste caso é difícil fazer uma comparação com os resultados obtidos pelo ISAID, uma vez que especificações importantes não foram fornecidas, tais como capacitância de carga e tensão de alimentação. O exemplo é útil no entanto para mostrar o projeto de um amplificador operacional onde os transistores do par diferencial estão com as fontes ligadas a Vss o que leva a uma redução nas tensões de modo comum na entrada.

5.4 Exemplo 4

O exemplo 4 tem como objetivo mostrar o projeto de um amplificador operacional cujos transistores de entrada operam em inversão fraca. As comparações são feitas com um projeto apresentado na referência [22]. As especificações fornecidas ao programa foram baseadas nos resultados apresentados pelo artigo citado. As tabelas que se seguem apresentam as especificações e os resultados alcançados.

Especificação	PACAO
Ganho	≥ 100 dB
GB	≥ 50 kHz
Margem de Fase*	$\geq 60^\circ$
Slew Rate	≥ 0.04 V/ μ s
Capacitância de Carga	0.5 pF
Tensão de Alimentação	$\pm 2,5$ V
Potência Dissipada	$\leq 0,1$ mW
CMRR	≥ 60 dB
PSRR *	≥ 60 dB
Tensões de Modo Comum na Entrada	$\pm 1,2$ V
Excursão de Tensão na Saída	$\pm 2,5$ V
Ruído Branco	≤ 200 nV/ $\sqrt{\text{Hz}}$
Ruído 1/f	≤ 500 nV/ $\sqrt{\text{Hz}}$
Faixa de Temperatura	- 55° a 125°C
W máximo *	1000 μ m
W mínimo *	5 μ m
L máximo	25 μ m
L mínimo	10 μ m

* Valores default do programa

Tabela 5.12 - Especificações para o exemplo 4

COMPONENTE		PACAO			PROJ. REFERENCIA [22]		
TRAN	TIPO	L (μm)	W (μm)	WL (μm^2)	L (μm)	W (μm)	WL (μm^2)
M1	N	10	10	100	25	50	1250
M2	N	10	10	100	25	50	1250
M3	P	10	10	100	25	50	1250
M4	P	10	10	100	25	50	1250
M5	N	10	10	100	25	100	2500
M6	P	10	77	770	10	250	2500
M7	N	10	38	380	25	100	2500
M8	N	10	10	100	25	100	2500
M9	P	25	5	125	-	-	-
WL Total		1875 μm^2			15000 μm^2		
Cc		0.6 pF			-		
CL		0,5 pF			0,5 pF		
Ip		28 nA			200 nA		

Tabela 5.13 - Projetos do exemplo 4

Parâmetro	REF. [22]	PACAO
Ganho	107 dB	108 dB
GB	58 kHz	89 kHz
Margem de Fase	-	64
Slew Rate	0,039V/ μs	0,044 V/ μs
Potência Dissipada	2,0 μW	1,0 μW
CMRR	-	122 dB
PSRR	-	144 dB
Tensões de Modo Comum na Entrada	-1,2V 1,75V	- 1,44 V + 2,4 V
Excursão de Tensão na Saída	$\pm 2,5$ V	$\pm 2,5$ V
Ruído Branco	-	185 nV/ $\sqrt{\text{Hz}}$
Ruído 1/f	-	225 nV/ $\sqrt{\text{Hz}}$

Tabela 5.14 - Resultados do exemplo 4

Analisando os projetos realizados nota-se que a maioria das especificações é atendida com uma certa folga, o que sugere a inclusão de rotinas de otimização de modo a se poder minimizar os erros com relação aos requisitos de projeto, incluindo-se aí a área do circuito.

Outra necessidade que se observa é a geração automática do "layout" do circuito o que diminuiria muito o tempo de projeto, já que o desenho das máscaras é uma atividade que demanda bastante tempo, e pessoal bastante especializado.

Seria interessante, também, a inclusão do SPICE no ciclo de projeto, de modo a se obter uma análise mais exata do circuito, e a extração do circuito a partir do "layout" permitindo a inclusão de elementos parasitas na análise.

A grande dificuldade que se apresenta para a implementação completa dessa ferramenta, em tempos compatíveis com o avanço da tecnologia, é a escassez de recursos financeiros para que se possa alocar pessoas em número suficiente para o seu desenvolvimento e para que se tenha a disponibilidade de processar vários circuitos de teste para a sintonização dos projetos. Como exemplo dessas necessidades pode-se citar que o tempo médio para o desenvolvimento de blocos analógicos para o programa IDAC, pela equipe do Centre Suisse d'Electronique et de Microtechnique S.A. (CSEM), é de 15 homens-mês [6].

7. - CONCLUSÃO

Foi apresentado um programa para projeto de amplificadores operacionais CMOS, baseado nas equações que descrevem as características funcionais do circuito e as relacionam com as condições de polarização dos dispositivos. Foram apresentados exemplos que demonstram a validade da metodologia empregada e mostram que os resultados obtidos são comparáveis a projetos realizados com outras ferramentas mais completas e sofisticadas.

Salienta-se ainda que, apesar das limitações citadas, o programa pode ser útil para o projeto de amplificadores operacionais por projetistas experientes ou não, uma vez que permite que sejam feitos diversos projetos em curto intervalo de tempo. O programa pode ser utilizado, também, como ferramenta didática já que a repetição de diversos projetos pode ajudar os estudantes a compreenderem melhor as técnicas de projeto e o comportamento dos amplificadores operacionais.

8. - REFERENCIAS BIBLIOGRAFICAS

- [1] ALLEN, P.E. Future of analogue integrated circuit design. In: TOMAZOU, C.; LIDGEY F.J. & HAIGH, D.G. Analogue I.C. design: the current mode approach. London: Peter Peregrinus, 1990. 646 p. cap 18, p. 618-640.
- [2] BOWMAN, R. Analog integrated circuit design conceptualization. In: ISMAIL, M. & FRANCA, J. Introduction to analog design automation. Boston: Kluwer Academic Publishers, 1990. cap 1, p. 1-27.
- [3] DEGRAUWE, M.G.R. et al. IDAC: An interactive design tool for analog CMOS circuits. IEEE Journal of solid-state circuits, vol. sc-22, n. 6, p. 1106-1116, dec. 1987.
- [4] HARJANI, R.; RUTEMBAR, R.A. & CARLEY, L.R. OASYS: a framework for analog circuit synthesis. IEEE Transactions on Computer-Aided Design, vol.8, n.12, p.1247-1266, dec. 1989.
- [5] CARLEY, R.L. & RUTENBAR, R.A. How to automate analog IC designs. IEEE Spectrum, p. 26-30, aug. 1988.
- [6] DEGRAUWE, M.G.R. et al. Towards an analog system design environment. IEEE Journal of solid-state circuits, vol.24, n.3, p. 659-671, jun. 1989.
- [7] KHO, H.Y.; SÉQUIN, C.H. & GRAY, P.R. OPASYN: A compiler for CMOS operational amplifiers. IEEE Transactions on Computer Aided Design, vol.9, n.2, p. 113-125, feb. 1990.

- [8] ONODERA, H.; KANBARA, H. and TAMARU, K. Operational amplifier compilation with performance optimization. **IEEE Journal of solid-state circuits**, vol.25, n.2, p. 466-473. apr. 1990.
- [9] TOUMAZOU, C.; MAKRIS, C.A. & BERRAH, C.M. ISAID - A methodology for automated analog IC design. **Proceedings of IEEE International Symposium on Circuits and Systems**, p. 531-535, 1991.
- [10] ALLEN, P.E. & HOLBERG, D.R. **CMOS analog circuit design**. New York: Holt, Rinehart and Winston, 1987. 701p.
- [11] SCHICHMAN, H. & HODGES, D. Modelling and simulation of insulated-gate field-effect transistor switching circuits. **IEEE Journal of solid-state circuits**, vol.sc-3, n.3, p. 285-289, sep. 1968.
- [12] TSIVIDIS, Y. P. **Operation and modeling of the MOS transistor**. New York: McGraw Hill, 1987. 505p.
- [13] VITTOZ, E. & FELLRATH, J. CMOS analog integrated circuits based on weak inversion operation. **IEEE Journal of solid-state circuits**, vol.sc-12, n.3, p. 224-231, jun. 1977.
- [14] GREGORIAN, R. & TEMES, G. **Analog MOS integrated circuits for signal processing**. New York: Wiley, 1986. 598p.
- [15] MEIXENBERGER, C. et al. Sizing algorithms for linear analog circuits. **Proceedings of ESSCIRC**, p. 190-193, sep. 1988.
- [16] GRAY, P.R. & MEYER, R.G. MOS operational amplifier design - a tutorial overview. **IEEE Journal of solid-state circuits**, vol.sc-17, n.6, p. 969-982, dec. 1982.

[17] RIBNER, D.B. & COPELAND, M.A. Design Techniques for cascoded CMOS op amps with improved PSRR and common mode input range. *IEEE Journal of solid-state circuits*, vol.sc-19, n.6, p. 919-925, dec. 1984.

[18] LAKHSHMIKUMAR, K. R.; HADAWAY, R. A. & COPELAND, M. A. Characterization and modeling of mismatch in MOS transistors for precision analog design. *IEEE Journal of solid-state circuits*, vol.sc-21, n.6, p. 1057-1066, dec. 1986.

[19] GOFFART, B.; JONGSMA, J. and DEGRAUWE, M. Worst case design and data-sheet generation techniques for analog silicon compilers. *Proceedings of ESSCIRC*, p. 125-128, sep. 1989.

[20] SCHNEIDER, M.C. & GOUVEIA FILHO, O.C. Um sistema para projeto de amplificadores operacionais CMOS. *Anais do V Congresso da Sociedade Brasileira de Microeletrônica*, Campinas, p.154-163, jul. 1990.

[21] VLADIMIRESCU, A. & LIU, S. The simulation of MOS integrated circuits using SPICE2. Memorandum nº UCB/ERL M80/7, University of California, Berkeley, feb. 1980.

[22] STONE, D.C. et al Analog CMOS building blocks for custom and semicustom applications. *IEEE Journal of solid-state circuits*, vol. sc-15, n. 1, p. 55-61, feb. 1984.

[23] BEHR, A.T.; SCHNEIDER, M. C.; NOCETI FILHO, S. and MONTORO, C. G. Nonlinearities of capacitors realized by MOSFET gates.

[24] TUINENGA, P. *SPICE: A guide to circuit simulation and analysis using PSPICE*. Prentice-Hall, dec. 1987.

APÊNDICE

MANUAL DE OPERAÇÃO DO PROGRAMA PACAO

Este manual tem por objetivo fornecer ao usuário as instruções necessárias à adequada utilização do programa PACAO.

1. - INSTALAÇÃO DO PROGRAMA

O programa é fornecido em um disquete contendo os seguintes arquivos:

pacao.exe
ampop.exe
ampop.ovr
def.dat
exemp.amp.

Para iniciar o programa deve ser executado o arquivo pacao.exe. Uma vez executado este arquivo aparecerá na tela o menu principal que é mostrado na figura A.1.

```
----- MENU 1 -----  
1 ENTRADA DOS PARAMETROS REFERENTES A TECNOLOGIA  
2 ENTRADA DAS ESPECIFICACOES DO AMPOP  
3 ENTRADA DE PARAMETROS ESTATISTICOS  
4 ESCOLHA DO TIPO DO AMPOP  
5 EXECUTE  
6 FIM
```

Figura A.1 - Menu principal

pelo programa para as características do amp.op. projetado. Os resultados fornecidos nesta tabela são calculados à temperatura de 27°C e utilizando os valores "slow" dos parâmetros tecnológicos.

Ao final da tabela aparece a pergunta "Deseja gravar em arquivo?". Digite S para gravar e N para não gravar. Caso a opção seja S o programa pede o nome do arquivo com extensão .CAR. Digite o nome do arquivo (não é necessário digitar .CAR, o programa colocará a extensão automaticamente). Caso a opção seja N voltará a aparecer na tela o menu 2.

4.2. - Folha de dados

Escolhendo a opção 2 aparecerá na tela uma tabela com os valores máximos e mínimos para as características do amplificador operacional, que se referem às temperaturas máxima e mínima especificadas. Para gravar em arquivo proceda de acordo com o item 4.1.

4.3 - Arquivo para o SPICE

Escolhendo a opção 3 aparecerá na tela o arquivo de entrada para o SPICE. Para gravar este arquivo proceda conforme o item 4.1. Para simular o circuito não é necessário gravar este arquivo. As simulações podem ser feitas automaticamente escolhendo-se a opção 4.

4.4 - Dimensão dos transistores

Escolhendo a opção 5 aparecerá na tela uma tabela contendo as dimensões de todos os transistores do circuito, o valor dos capacitores de compensação e de carga e o valor da corrente de polarização. Para gravar estes dados em arquivo proceda como no item 4.1.

4.5 - Simulação SPICE

Caso deseje simular o circuito através do SPICE, para a comprovação dos resultados, escolha o item 4. Feita esta escolha aparecerá na tela um novo menu com as opções para simulação (figura A.7).

Escolha o tipo de simulação desejado. O programa pedirá o nome do arquivo para o SPICE. Entre com o nome do arquivo (não é necessário digitar .CIR) e teclie ENTER. O programa gravará o arquivo em disco e chamará o programa PSPICE [24]. A tela será a tela de apresentação do SPICE. Terminada a simulação aparecerá a tela do programa PROBE [24] que permitirá a visualização dos resultados do SPICE através de gráficos. Terminada a sessão de simulação tornará a aparecer na tela o menu de simulação do programa PACAO. Caso deseje fazer outra simulação escolha a nova opção e repita o processo. Deve-se tomar o cuidado de dar nomes diferentes para os arquivos SPICE para cada simulação.

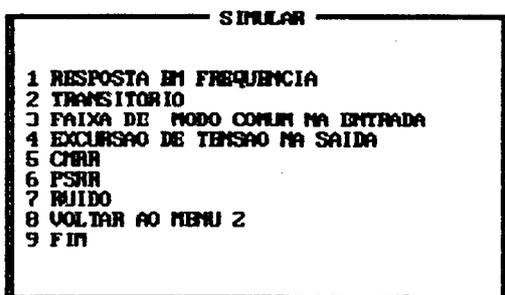


Figura A.7 - Menu para simulação

Para que seja possível a simulação o programa PSPICE deve estar no mesmo diretório que o programa PACAO e, para que se possa ver os resultados na tela, deve constar a chamada do PROBE no arquivo PSPICE.BAT.

A opção 8 no menu de simulação retorna o programa ao menu 2, como resultados obtidos no projeto sendo preservados. A opção 9 encerra o programa PACAO.

4.6 - Execução de um novo projeto

Para realizar um novo projeto escolha a opção 6, no menu 2. Aparecerá na tela, novamente, o menu inicial. Proceda de acordo com item 2 deste manual e repita todo o processo.