

UNIVERSIDADE FEDERAL DE SANTA CATARINA
CURSO DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**ESTABILIZADOR DE TENSÃO ALTERNADA EMPREGANDO
ALTA FREQUÊNCIA E TRANSISTOR DE POTÊNCIA.**

**DISSERTAÇÃO SUBMETIDA À UNIVERSIDADE FEDERAL DE SANTA
CATARINA PARA A OBTENÇÃO DO GRAU DE MESTRE EM
ENGENHARIA ELÉTRICA.**

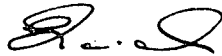
GALBA FREIRE MOITA

FLORIANÓPOLIS, DEZEMBRO DE 1993.

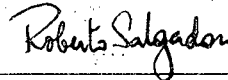
ESTABILIZADOR DE TENSÃO ALTERNADA EMPREGANDO ALTA FREQUÊNCIA E TRANSITOR DE POTÊNCIA.

GALBA FREIRE MOITA

ESTA DISSERTAÇÃO FOI JULGADA ADEQUADA PARA A OBTENÇÃO DO
TÍTULO DE MESTRE EM ENGENHARIA, ESPECIALIDADE ENGENHARIA
ELÉTRICA, E APROVADA NA SUA FORMA FINAL, PELO CURSO DE PÓS-
GRADUAÇÃO DA UNIVERSIDADE FEDERAL DE SANTA CATARINA.

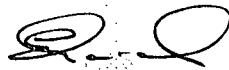


Prof. Enio Valmor Kassick, Dr.
Orientador



Prof. Roberto de Souza Salgado, Ph D.
Coordenador do Curso de Pós-Graduação
em Engenharia elétrica

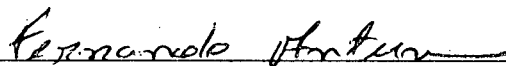
BANCA EXAMINADORA:



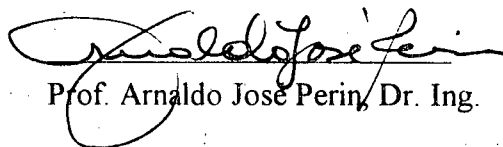
Prof. Enio Valmor Kassick, Dr.



Prof. Ivo Barbi, Dr. Ing.
Co-Orientador



Prof. Fernando Luiz Marcelo Antunes, Ph. D.



Prof. Arnaldo José Perin, Dr. Ing.

A Deus acima de tudo,
A minha esposa Valéria,
Ao meu filho Galba Júnior,
Aos meus pais e irmãos.

Se algum dia vocês forem surpreendidos pela injustiça ou pela ingratidão, não deixe de crer na vida, de engrandecê-la pela decência, de construí-la pelo trabalho!

Edson Queiroz

AGRADECIMENTOS

A Deus pela vida abundante que me tem concedido, através de sua graça.

Aos Professores Ivo Barbi e Enio Valmor Kassick, pela orientação segura e objetiva deste trabalho, além do elevado grau de profissionalismo e companheirismo que demonstraram ao longo do desenvolvimento deste.

Aos Professores do LAMEP por terem contribuído significativamente na minha formação geral em Eletrônica de Potência, em especial ao Prof. Arnaldo José Perin pelas discussões e sugestões que tanto contribuíram para a conclusão deste trabalho.

Aos meus colegas e amigos do LAMEP que enriqueceram este trabalho com críticas construtivas e sugestões.

Aos técnicos do LAMEP, em especial ao Coelho, que demonstraram profissionalismo inestimável para a realização prática do protótipo implementado.

A CAPES pelo apoio financeiro.

A toda minha família, em especial aos meus pais e meus sogros, que me estimularam desde o início desta jornada.

Em especial, a minha esposa Valéria e ao meu filho Galba júnior pelo estímulo e compreensão demonstrados, doando um pouco de suas vidas para o sucesso deste trabalho.

SUMÁRIO

SIMBOLOGIA	vii
RESUMO	xi
ABSTRACT	xii
INTRODUÇÃO GERAL	xiii
CAPÍTULO 1 - PRINCÍPIO DE OPERAÇÃO DO CONVERSOR	
1.1. INTRODUÇÃO	01
1.2. TOPOLOGIA DO CONVERSOR E PRINCÍPIO DE OPERAÇÃO	02
1.3. ANÁLISE DA TOPOLOGIA DO CONVERSOR	08
1.3.1. Circuitos equivalentes em alta frequência	08
1.3.2. Formas de onda do conversor	09
1.3.3. Detalhe da comutação do chaveamento em quatro(4) etapas	10
1.4. CONCLUSÃO	14
CAPÍTULO 2 - ANÁLISE E DIMENSIONAMENTO DO CONVERSOR	
2.1. INTRODUÇÃO	15
2.2. OBTENÇÃO DA INDUTÂNCIA CHAVEADA (Z_S) E DA CAPACITÂNCIA EQUIVALENTE (Z_{Ceq}) DA ESTRUTURA PROPOSTA	15
2.3. ANÁLISE DA ESTRUTURA EM REGIME PERMANENTE SENOIDAL	16
2.4. OBTENÇÃO DOS ELEMENTOS ARMAZENADORES DE ENERGIA	19
2.4.1. Dimensionamento do capacitor de saída C_o e do indutor L_1	19
2.4.2. Dimensionamento do indutor L_2	22
2.5. DETERMINAÇÃO DA CARACTERÍSTICA DE SAÍDA DO CONVERSOR	25
2.6. DIMENSIONAMENTO DOS COMPONENTES DE POTÊNCIA DO CONVERSOR	27
2.6.1. Dimensionamento dos componentes de potência do conversor	27
2.6.1.1. Cálculo das correntes nas chaves principais	27
2.6.1.2. Cálculo das tensões nas chaves	28
2.6.2. Cálculo da corrente nos indutores	28
2.7. CONCLUSÃO	29

CAPÍTULO 3 - ÁBACOS E PROJETO DO CONVERSOR

3.1. INTRODUÇÃO	30
3.2. ÁBACOS PARA DIMENSIONAMENTO DA TRIPLA(L_1 , C_o , L_2)	30
3.3. ÁBACOS DAS CARACTERÍSTICAS DE SAÍDA DO CONVERSOR	38
3.4. METODOLOGIA DE PROJETO DOS COMPONENTES DO CONVERSOR	40
3.4.1. Dados de entrada	40
3.4.2. Determinação do valor do par (L_1 , C_o)	40
3.4.3. Determinação do valor da tripla (L_1 , C_o , L_2)	41
3.5. EXEMPLOS DE PROJETO	41
3.6. EXEMPLOS DE DIMENSIONAMENTO DO CIRCUITO DE POTÊNCIA	45
3.7. CONCLUSÃO	47

CAPÍTULO 4 - CIRCUITOS DE COMANDO, CONTROLE E PROTEÇÃO DO CONVERSOR

4.1. INTRODUÇÃO	49
4.2. DIAGRAMA DE BLOCOS DO CONVERSOR	49
4.3. FONTES AUXILIARES E ISOLAÇÃO DE PULSOS DE COMANDO	50
4.4. CIRCUITO DE GERAÇÃO E ATRASO DE PULSOS DE COMANDO	51
4.5. CIRCUITO DE PROTEÇÃO DE SOBRETENSÕES NO CONVERSOR	53
4.6. ANÁLISE DO CONVERSOR EM MALHA FECHADA	55
4.6.1. Metodologia proposta para realimentação da tensão de saída do conversor	55
4.6.2. Determinação da função de transferência do conversor	56
4.7. LISTAGEM DOS COMPONENTES DO CONVERSOR	59
4.8. CONCLUSÃO	63

CAPÍTULO 5 - SIMULAÇÕES E RESULTADOS EXPERIMENTAIS

5.1. INTRODUÇÃO	64
5.2. RESULTADOS DE SIMULAÇÕES	64
5.3. RESULTADOS EXPERIMENTAIS	71
5.4. CONCLUSÃO	77

CONCLUSÃO GERAL

BIBLIOGRAFIA

APÊNDICE A - DEDUÇÃO DA FUNÇÃO DE CHAVEAMENTO [F(wst)]	
A.I- SÉRIE DE FOURIER E ORTOGONALIDADE	82
A.II- FUNÇÃO DE CHAVEAMENTO DA CHAVE S1 DO CONVERSOR	84
APÊNDICE B - ANÁLISE E RELAÇÕES MATEMÁTICAS EM ALTA FREQUÊNCIA	
B. I- ANÁLISE TEÓRICA DO CONVERSOR	86
APÊNDICE C - PROJETO DE PROTEÇÕES PARA O CONVERSOR	
C.I- ANÁLISE DE UM POSSÍVEL PICO DE TENSÃO SOBRE AS CHAVES	93
C.II- PROTEÇÃO DE SOBRETENSÃO NO GRAMPEADOR DE TENSÃO	94
C.II.1- Projeto da histerese Superior(UTP)	98
C.II.2- Projeto da histerese inferior(LTP)	98
C.II.3- Escolha do dissipador e da ponte de diodos	99
C.III- PROTEÇÃO DE SOBRETENSÃO NA CARGA	99

SIMBOLOGIA

a_0, a_n, b_0, b_n	Coefficientes da série de fourier
Ca	Capacitores do circuito de fontes auxiliares
Cg	Capacitores do circuito grampeador
CI-a	Circuitos lineares das fontes auxiliares
CI-p, CI-g	Circuitos integrados do circuito de proteção
CI-r	Circuitos integrados do circuito de realimentação
C_n	Capacitores do circuito de comando
C_o	Capacitor de saída do conversor
C_{Omin}	Valor mínimo calculado para o capacitor de saída
Cp	Capacitores do circuito de proteção
$c_{1A}, c_{2A}, c_{1B}, c_{2B}$	Capacitâncias intrínsecas das chaves principais
D	Razão cíclica da chave bidirecional S ₁
d	Variação da razão cíclica em torno do ponto de linearização para análise da chave PWM
D'	Razão cíclica da chave bidirecional S ₂
D:l	Relação de modelagem da chave PWM
D_{g1}, D_{g2}	Diodos do grampeador
Dn	Diodos do circuito de comando

D_p, D_g	Diodos do circuito de proteção
D_z	Diodos zener 's
$D_{1A}, D_{2A}, D_{1B}, D_{2B}$	Diodos principais do conversor
E, F, G	Variáveis auxiliares para simplificação de expressões
f	Frequência da rede de alimentação do conversor
F_n	Funções exponenciais da série de fourier
f_s	Frequência de chaveamento das chaves do conversor
$f(t)$	Função arbitrária no domínio do tempo
$F(\omega_{st})$	Função de chaveamento do conversor
$GND, GND1, GND2$	Terras(massa) isolados entre si
$H(s)$	Função de transferência do conversor
i_a	Corrente do nó (a) da chave PWM
I_{AB}	Corrente entre os nós A e B da topologia
i_c	Corrente do nó (c) da chave PWM
I_{Co}	Corrente no capacitor de saída
I_{L1}, I_{L2}	Corrente nos indutores de entrada e chaveado
I_{L1ef}, I_{L2ef}	Corrente eficaz nos indutores de entrada e chaveado
I_{med}	Corrente média
I_n	Corrente nominal
I_o, i_o	Corrente de saída do conversor
i_p	Corrente do nó (p) da chave PWM
I_{pk}	Corrente de pico
I_S	Corrente na impedância chaveada
I_{S1}, I_{S2}	Corrente nas chaves de potência
$I_{S1Aef}, I_{S1Bef}, I_{S2Aef}, I_{S2Bef}$	Corrente eficaz nas chaves principais
$I_{S1Amd}, I_{S1Bmd}, I_{S2Amd}, I_{S2Bmd}$	Corrente média nas chaves principais
I_{ZCeq}	Corrente na impedância do capacitor equivalente
k	Múltiplos do capacitor de saída
l_{dis}	Comprimento do dissipador
L_f	Indutância de fiação ou trilhas
L_1	Indutor de entrada do conversor
L_2	Indutor chaveado do conversor
m, n	Números inteiros definidos na série de fourier
M_{Co}	Multiplicador auxiliar para geração de ábacos de C_o
M_{L1}	Multiplicador auxiliar para geração de ábacos de L_1
M_{L1k}	Multiplicador auxiliar para geração de ábacos de L_{1k}
M_{L2}	Multiplicador auxiliar para geração de ábacos de L_2
M_{L2k}	Multiplicador auxiliar para geração de ábacos de L_{2k}

P_o	Potência de saída nominal do conversor
P_{Omax}, P_{Omin}	Potência máxima e mínima de saída do conversor
P_{Rg}	Potência dissipada nos resistores dos grampeadores
q	ganho estático de tensão do conversor
q_{max}	ganho estático de tensão máximo do conversor
q_{min}	ganho estático de tensão mínimo do conversor
R_{cd}	Resistência térmica cápsula-dissipador
R_{da}	Resistências térmicas dissipador-ambiente
R_g	Resistências dos grampeadores
R_{jc}	Resistência térmica junção-cápsula
R_n	Resistências do circuito de comando
R_o	Resistência nominal da carga do conversor
R_{Omax}	Resistência máxima da carga do conversor
R_{Omin}	Resistência mínima da carga do conversor
R_p	Resistências do circuito de proteção
S_1, S_2	Chaves bidirecionais do circuito de potência
$S_{1A}, S_{1B}, S_{2A}, S_{2B}$	Chaves principais do conversor
T_{a1}, T_{a2}	Transformadores de comando
t_{f1}, t_{f2}	Tempo de fechamento da chave S_1 e S_2
T_j, T_a	Temperatura de junção, temperatura ambiente
t_{rr}	Tempo de recuperação reversa dos diodos principais
T_s	Período de chaveamento do conversor
V_{AB}	Tensão entre os nós A e B da topologia
V_{cc}, V_{cc1}, V_{cc2}	Tensões das fontes auxiliares
V_{cp}	Tensão entre os nós (c) e (p) da chave PWM
$V_{c1A}, V_{c1B}, V_{c2A}, V_{c2B}$	Tensão sobre as capacitâncias intrínsecas das chaves
V_{eficaz}	Tensão eficaz amostrado
$V_F(D1A), V_F(D2A), V_F(D1B), V_F(D2B)$	Tensão direta nos diodos de potência
V_g	Tensão média nos grampeadores
$V_{g'}, V_{gB'}$	Tensão de entrada e saída do estágio de entrada do circuito comparador dos grampeadores das chaves
V_{gpk}, V_{gmin}	Tensões máxima e mínima nos grampeadores
V_{gst}	Tensão de saída (controle 3524) dos grampeadores
V_{g3}	Tensão sobre o capacitor C_{g3}
$V_{g3'}, V_{g3''}$	Tensão de entrada e saída do estágio de entrada do circuito comparador do grampeador da carga
V_i	Tensão de entrada do conversor
V_{imax}	Tensão máxima da rede de alimentação

V_{imin}	Tensão mínima da rede de alimentação
V_{inom}	Tensão nominal da rede de alimentação
V_{L1}, V_{L2}	Tensão sobre indutor de entrada e indutor chaveado
V_n	Tensão nominal
V_o	Tensão de saída do conversor
V_{Oef}	Tensão eficaz na saída do conversor
V_{Onom}	Tensão de saída nominal
V_{Opk}	Tensão de pico na saída do conversor
V_p	Tensão do nó (p) da chave PWM
V_{pico}	Tensão de pico máxima admissível nas chaves
V_{ref}	Tensão de referência para o comparador de histerese
$V_{sat}(S1A), V_{sat}(S2B)$	Tensão de saturação das chaves de potência
$V_{S1A}, V_{S1B}, V_{S2A}, V_{S2B}$	Tensão reversa sobre as chaves principais
$V_{S1Apk}, V_{S1Bpk}, V_{S2Apk}, V_{S2Bpk}$	Tensão de pico reversa sobre as chaves principais
V_{Zo}	Tensão sobre a impedância de saída
Z_{Ceq}	Impedância do capacitor chaveado equivalente
Z_{Co}	Impedância de baixa frequência do capacitor C_o
Z_i, Z_o	Impedância de entrada e de saída do conversor
Z_{L2}	Impedância de baixa frequência do indutor L_2
Z_{Oeq}	Impedância equivalente de saída do conversor
Z_s	Impedância da indutância chaveada
ΔI_{C_o}	Varição da corrente do capacitor de saída
ΔI_{L1}	Varição da corrente do indutor de entrada
ΔI_{L2}	Varição da corrente do indutor chaveado
ΔI_o	Varição da corrente de carga
ΔR_o	Varição da resistência de carga do conversor
ΔV_g	Varição da tensão nos capacitores grampeadores
ΔV_i	Varição da tensão de entrada do conversor
ΔV_o	Varição da tensão de saída do conversor
ΔW_{Cg}	Varição de energia nos capacitores grampeadores
Φ	Ângulo da impedância de carga
$\Phi_n(t), \Phi_m(t)$	Conjunto de funções arbitrárias
φ	Ângulo da tensão de saída do conversor
ω	Frequência angular da rede de alimentação
ω_s	Frequência angular do chaveamento do conversor
ω_o	Constante a determinar na série de fourier

RESUMO

Neste trabalho descreve-se os resultados obtidos para um estabilizador de tensão alternada. A regulação da tensão de saída é obtida através de um estágio de potência composto por um indutor série de entrada, seguido por uma impedância variável que é emulada por um capacitor e um indutor chaveado. A fim de se obter o efeito de impedância variável, são empregadas uma nova topologia e técnicas de chaveamento em alta frequência. A análise da estrutura em regime permanente senoidal é apresentada. Também são obtidos ábacos para facilitar o procedimento de projeto dos componentes de potência do conversor. O estudo dos principais índices de performance do conversor proposto são apresentados: taxa de distorção harmônica da tensão de saída e da corrente de entrada do conversor e ganho estático de tensão. Um protótipo de laboratório de 1KVA, 110Vrms, 60 Hz baseado no procedimento de projeto desenvolvido é implementado e apresentados os resultados experimentais.

ABSTRACT

This Work reports the results of a study performed on an AC voltage regulator. The voltage regulation is obtained by means of a power stage, composed of a series inductor followed by a variable impedance, emulated by a capacitor connected to a switched inductor. In order to obtain the variable impedance effect, a high frequency switching technique and a new topology are employed. Sinusoidal steady-state analysis of the proposed structure is presented. Charts are traced to enable a simple procedure for the power stage design. The study of the main performance indices are presented: distortion factor for output voltage and input current, input/output voltage gain and power factor to the input current output voltage. A 1kVA, 110 Vrms, 60 hz laboratory prototype based on the proposed procedure design are implemented and the practical results are presented.

INTRODUÇÃO GERAL

A busca de um condicionador de energia tal que sua saída seja imune à variações da tensão de entrada e/ou da carga conectada ao mesmo, tem despertado um interesse particular aos estudiosos da área de Eletrônica de Potência.

Atualmente existem estabilizadores de tensão alternada a partir de tecnologias consolidadas, tais como, o ferro-ressonante. Não obstante estes geralmente apresentam elevado peso e volume. Apesar de incluírem características fundamentais tais como robustez e confiabilidade, estes conversores têm uma desvantagem desanimadora, sua resposta dinâmica aos distúrbios citados podem ser consideradas bastante lentas.

A motivação desta pesquisa baseia-se em conservar as características de robustez e confiabilidade dos conversores existentes no mercado, buscando-se melhorar a dinâmica e reduzir o peso do conversor final. A topologia deve apresentar ainda boa qualidade de energia fornecida à carga sem poluir(injetar harmônicos) a rede a que estiver conectada.

A topologia proposta baseia-se no princípio de chaveamento em alta frequência, conseguindo-se portanto melhorar sua dinâmica dependendo da malha de realimentação implementada. A redução do volume baseia-se no fato do conversor funcionar como elevador e abaixador de tensão, dispensando-se assim o transformador de entrada de outras topologias que processava toda a potência de carga, além da otimização dos elementos armazenadores de energia. Outro fator que deverá contribuir para a redução do custo e do volume da estrutura final, será a utilização de um método de chaveamento que dispensa o uso de grampeadores de tensão e/ou corrente sobre as chaves principais do conversor.

O comando proposto para o conversor deve ser simples para se conservar confiabilidade e baixo custo do protótipo final.

Serão apresentados ábacos e uma metodologia de projeto para facilitar a utilização, dos procedimentos desenvolvidos neste trabalho, por Engenheiros não-especialistas em Eletrônica de Potência, usando-os para implementar um protótipo de 1KVA, 110Vrms, 60 Hz.

CAPÍTULO 1

PRINCÍPIO DE OPERAÇÃO DO CONVERSOR

1.1. INTRODUÇÃO

Ao longo dos anos, a obtenção de um conversor CA-CA que seja simples e robusto, tem sido objeto de grande interesse por parte dos pesquisadores em Eletrônica de Potência, motivando a concepção e desenvolvimento de várias topologias. O conversor ideal deveria reunir como características principais simplicidade, robustez e baixo custo.

Uma impedância variável pode ser emulada por uma célula composta de elementos passivos e chaves, como mostra a figura 1.1.



Figura 1.1: Célula emuladora de impedância variável

A célula entre os nós A e B, pode ser empregada para compensação estática de potência reativa[1-2] ou para regulação da tensão de saída[3-6]. Na realidade, a chave S da figura 1.1, é uma chave bidirecional que pode ser substituída por dois tiristores conectados em anti-paralelo. Um regulador de tensão alternada baseado em tiristores[3], usando um indutor série na entrada em conjunto com a célula emuladora de capacitância variável, é apresentado na figura 1.2.

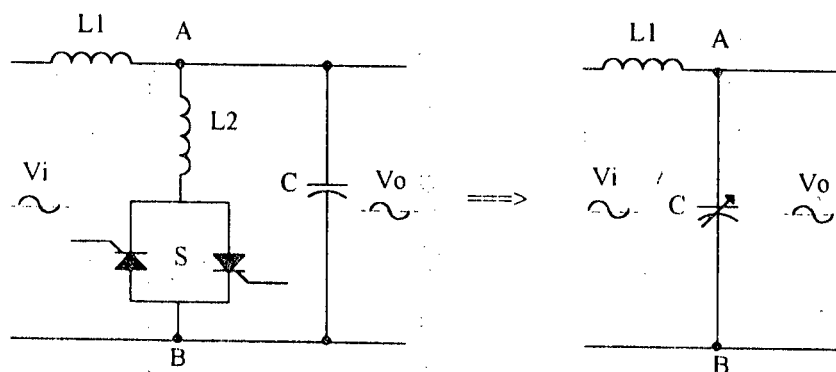


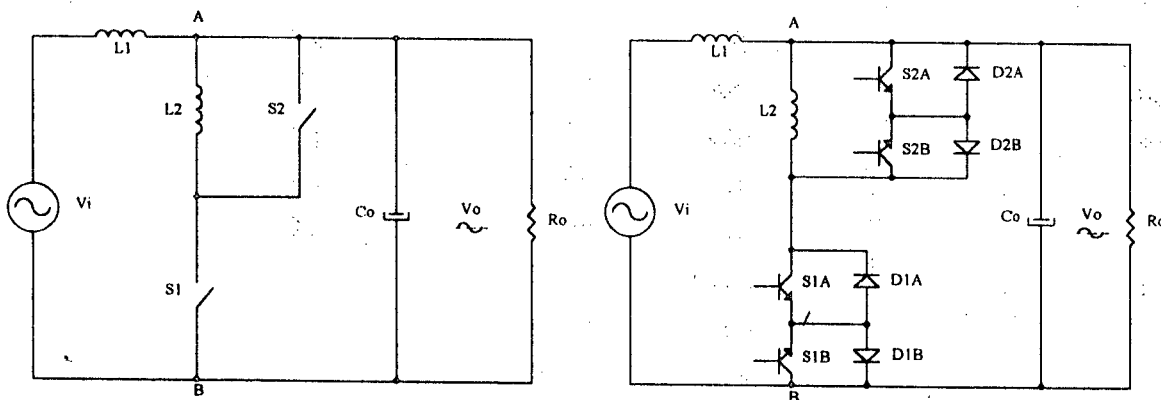
Figura 1.2: Regulador de tensão alternada, baseado em tiristores e célula emuladora de capacitância variável.

O conversor apresentado acima permite uma simples regulação de tensão de saída, para variações de tensão de entrada e/ou variação da carga conectada ao conversor. Além disso, apresenta baixa taxa de distorção harmônica (TDH) na tensão de saída e na corrente de entrada, robustez, simplicidade e baixo custo. Entretanto, pode-se citar duas desvantagens básicas inerentes à topologia apresentada: baixa densidade de potência (W/kg ou W/cm^3) e resposta lenta para distúrbios na entrada e/ou na saída do conversor (No mínimo meio período da rede, 9 milissegundos para um conversor em 60 Hz). Com o propósito de eliminar estas desvantagens, bem como melhorar as vantagens, é proposta uma pequena alteração na topologia apresentada, usando transistores MOSFET's (ou IGBT's) para permitir operação em alta frequência e melhorar a dinâmica do conversor, além disso, espera-se redução dos elementos passivos, visto que o valor efetivo do indutor chaveado será variado em alta frequência além da otimização dos componentes armazenadores de energia do conversor. A figura 1.3 mostra o estágio de potência do conversor proposto.

1.2. TOPOLOGIA DO CONVERSOR E PRINCÍPIO DE OPERAÇÃO

O diagrama simplificado do estágio de potência é apresentado na figura 1.3. Um diagrama prático utilizado neste trabalho está representado na figura 1.4. Ambos são descritos como segue:

- | | |
|----------------------------------|--|
| $S_{1A}, S_{1B}, S_{2A}, S_{2B}$ | - Chaves principais (transistor, IGBT ou MOSFET) |
| $D_{1A}, D_{1B}, D_{2A}, D_{2B}$ | - Diodos intrínsecos (MOSFET's) |
| S_1, S_2 | - Chaves bidireccionais |
| V_i, V_o | - Tensões de entrada e saída do conversor |
| L_1, L_2, C_o | - Componentes armazenadores de energia |
| R_o | - Carga variável conectada ao conversor |



Figuras 1.3 e 1.4: Estágio de potência (simplificado e prático) do conversor proposto.

A primeira diferença do conversor proposto para aquele apresentado na figura 1.2, é que esta topologia permite operação do regulador de tensão como abaixador ou elevador, através da

variação da razão cíclica das chaves. O transformador conectado na entrada do conversor baseado em tiristor[3], com relação de transformação adequada para compensar as sobretensões na rede(em virtude daquela topologia apenas permitir funcionamento no modo elevador de tensão), neste caso será usado somente se houver necessidade de isolamento galvânica da entrada. Sendo portanto uma considerável redução no volume final da topologia do conversor, visto que o transformador de entrada processava toda a potência do conversor. Assim, no caso de se utilizar isolamento galvânica da entrada, a relação de transformação pode ser preterida nos cálculos seguintes, e assume-se que V_i é a tensão da rede, ou no secundário do transformador no caso de utiliza-lo na entrada do conversor.

O efeito de impedância variável é obtido pelo controle da razão cíclica das chaves principais, regulando-se assim, a tensão de saída do conversor. Com relação ao indutor chaveado L_2 , sua indutância apresenta valores variando desde zero até seu valor total, quando a razão cíclica da chave S_1 varia de zero(0) a um(1), conseguindo-se deste modo a variação do valor da impedância equivalente.

Algumas simplificações tornam-se necessárias para facilitar a análise do conversor proposto:

- Elementos passivos e chaves são considerados ideais;
- V_i e V_o são constantes no período de chaveamento($f_s \gg f$);
- A carga é puramente resistiva(R_o).

Em estado permanente, identifica-se oito(8) seqüências de operação da topologia proposta, representadas nas figuras 1.6 a 1.13. Sem perda de generalidade escolheu-se o estado do circuito mostrado na figura 1.6, como estágio inicial(seqüência 1) para análise das etapas de funcionamento do conversor.

Vale salientar que as chaves principais S_{1A} a S_{2B} são comandadas pelo método de quatro etapas, proposto em [8-9], pois evita o surgimento de picos de tensão e corrente nas chaves durante o período de chaveamento, permitindo redução do volume e do custo da topologia proposta, visto que não se utiliza grampeadores de tensão sobre as chaves principais. Para o caso em questão, as únicas variáveis que interessam para definição das seqüências de operação do conversor são a tensão de saída(V_o) e a corrente no indutor chaveado(I_{L2}). As demais grandezas evoluem senoidalmente, mas não estão representadas para simplificar a compreensão do funcionamento da estrutura.

A figura 1.5 mostra os sinais de comando das chaves principais do conversor. Deve-se observar que as chaves principais são constituídas de transistores(ou IGBT's) e diodos em anti-paralelo, ou MOSFET's com seus diodos intrínsecos.

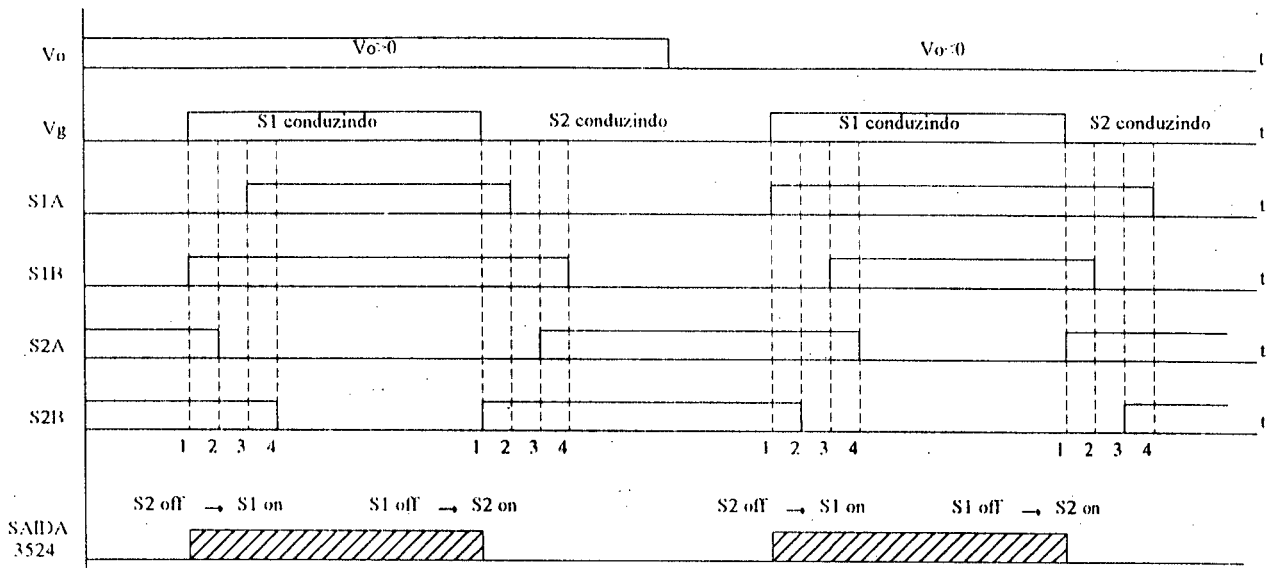


Figura 1.5: Sinais de comando das chaves principais.

No circuito mostrado na figura 1.6, a corrente I_{L2} é constante e está em roda livre através da chave S_{2A} , do diodo D_{2B} e do indutor L_2 . Neste instante $I_{L2} < 0$ e $V_o > 0$. Assim, identifica-se as seguintes seqüências de funcionamento para o conversor:

Seqüência 1 (Figura 1.6): intervalo $[t_0, t_1]$; $V_o > 0$ e $I_{L2} < 0$ (S_{2A} conduzindo)

Disparo de S_{1B} - Nada ocorre, pois a chave S_{1B} está reversamente polarizada pela tensão V_o .

Bloqueio de S_{2A} - A corrente I_{L2} é transferida da chave S_{2A} que bloqueia, para a chave S_{1B} que conduz.

Disparo de S_{1A} - Nada ocorre, pois o sentido da corrente I_{L2} evita que a chave S_{1A} conduza.

Bloqueio de S_{2B} - Nada ocorre, pois a chave S_{2B} não está conduzindo.

Seqüência 2 (Figura 1.7): intervalo $[t_1, t_2]$; $V_o > 0$ e $I_{L2} < 0$ (S_{1B} conduzindo)

Disparo de S_{2B} - Nada ocorre, pois a chave S_{2B} está reversamente polarizada pela tensão V_o .

Bloqueio de S_{1A} - Nada ocorre, pois a chave S_{1A} não está conduzindo.

Disparo de S_{2A} - A corrente I_{L2} é transferida da chave S_{1B} que bloqueia, para a chave S_{2A} que conduz.

Bloqueio de S_{1B} - Nada ocorre, pois a chave S_{1B} não está conduzindo.

Estas duas(2) seqüências repetem-se até que o sentido da corrente I_{L2} seja invertido.

Seqüência 3 (Figura 1.8): intervalo $[t_2, t_3]$; $V_o > 0$ e $I_{L2} > 0$ (S_{2B} conduzindo)

Disparo de S_{1B} - Nada ocorre, pois a chave S_{1B} está reversamente polarizada pela tensão V_o .

Bloqueio de S_{2A} - Nada ocorre, pois a chave S_{2A} não está conduzindo.

Disparo de S_{1A} - A corrente I_{L2} é transferida da chave S_{2B} que bloqueia, para a chave S_{1A} que conduz.

Bloqueio de S_{2B} - Nada ocorre, pois a chave S_{2B} não está conduzindo.

Seqüência 4 (Figura 1.9): intervalo $[t_3, t_4]$; $V_o > 0$ e $I_{L2} > 0$ (S_{1A} conduzindo)

Disparo de S_{2B} - Nada ocorre, pois a chave S_{2B} está reversamente polarizada pela tensão V_o .

Bloqueio de S_{1A} - A corrente I_{L2} é transferida da chave S_{1A} que bloqueia, para a chave S_{2B} que conduz.

Disparo de S_{2A} - Nada ocorre, pois o sentido da corrente I_{L2} evita que a chave S_{2A} conduza.

Bloqueio de S_{1B} - Nada ocorre, pois a chave S_{1B} não está conduzindo.

As duas(2) últimas seqüências repetem-se até que a polaridade da tensão de carga(V_o) seja invertida.

Seqüência 5 (Figura 1.10): intervalo $[t_4, t_5]$; $V_o < 0$ e $I_{L2} > 0$ (S_{2B} conduzindo)

Disparo de S_{1A} - Nada ocorre, pois a chave S_{1A} está reversamente polarizada pela tensão V_o .

Bloqueio de S_{2B} - A corrente I_{L2} é transferida da chave S_{2B} que bloqueia, para a chave S_{1A} que conduz.

Disparo de S_{1B} - Nada ocorre, pois o sentido da corrente I_{L2} evita que a chave S_{1B} conduza.

Bloqueio de S_{2A} - Nada ocorre, pois a chave S_{2A} não está conduzindo.

Seqüência 6 (Figura 1.11): intervalo $[t_5, t_6]$; $V_o < 0$ e $I_{L2} > 0$ (S_{1A} conduzindo)

Disparo de S_{2A} - Nada ocorre, pois a chave S_{2A} está reversamente polarizada pela tensão V_o .

Bloqueio de S_{1B} - Nada ocorre, pois a chave S_{1B} não está conduzindo.

Disparo de S_{2B} - A corrente I_{L2} é transferida da chave S_{1A} que bloqueia, para a chave S_{2B} que conduz.

Bloqueio de S_{1A} - Nada ocorre, pois a chave S_{1A} não está conduzindo.

As duas(2) últimas seqüências repetem-se até que o sentido da corrente I_{L2} seja invertido.

Seqüência 7 (Figura 1.12): intervalo $[t6,t7]$; $V_o < 0$ e $I_{L2} < 0$ (S_{2A} conduzindo)

Disparo de S_{1A} - Nada ocorre, pois a chave S_{1A} está reversamente polarizada pela tensão V_o .

Bloqueio de S_{2B} - Nada ocorre, pois a chave S_{2B} não está conduzindo.

Disparo de S_{1B} - A corrente I_{L2} é transferida da chave S_{2A} que bloqueia, para a chave S_{1B} que conduz.

Bloqueio de S_{2A} - Nada ocorre, pois a chave S_{2A} não está conduzindo.

Seqüência 8 (Figura 1.13): intervalo $[t7,t8]$; $V_o < 0$ e $I_{L2} < 0$ (S_{1B} conduzindo)

Disparo de S_{2A} - Nada ocorre, pois a chave S_{2A} está reversamente polarizada pela tensão V_o .

Bloqueio de S_{1B} - A corrente I_{L2} é transferida da chave S_{1B} que bloqueia, para a chave S_{2A} que conduz.

Disparo de S_{2B} - Nada ocorre, pois o sentido da corrente I_{L2} evita que a chave S_{2B} conduza.

Bloqueio de S_{1A} - Nada ocorre, pois a chave S_{1A} não está conduzindo.

As duas(2) últimas seqüências repetem-se até que a polaridade da tensão de carga(V_o) seja invertida. Assim, o circuito retorna ao estado inicial, e um novo ciclo de funcionamento é iniciado.

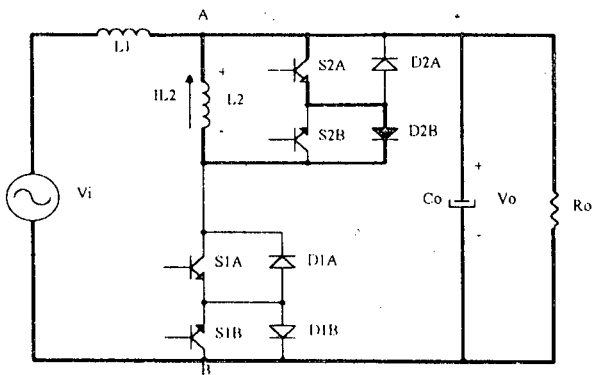


Figura 1.6: Sequência 1

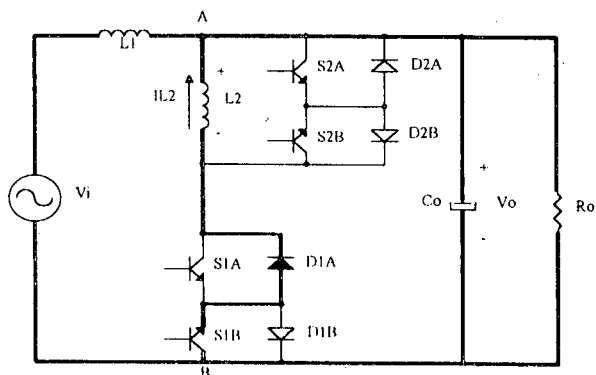


Figura 1.7: Sequência 2

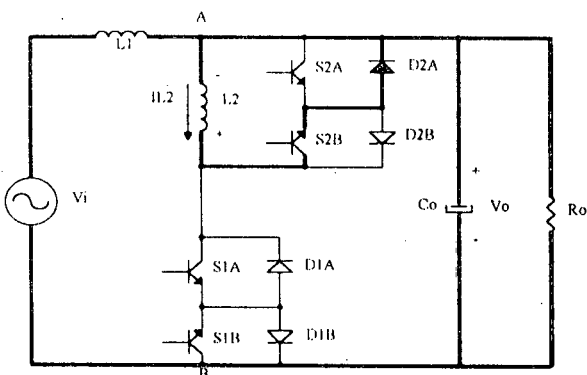


Figura 1.8: Sequência 3

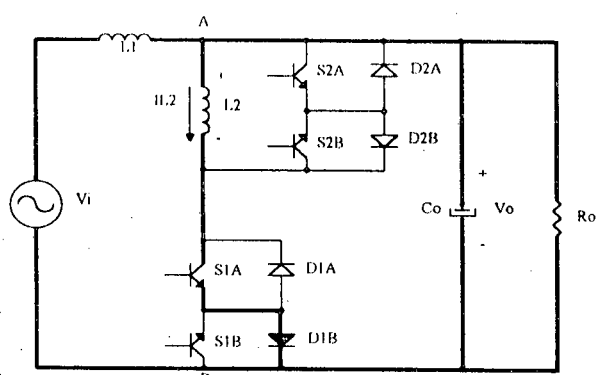


Figura 1.9: Sequência 4

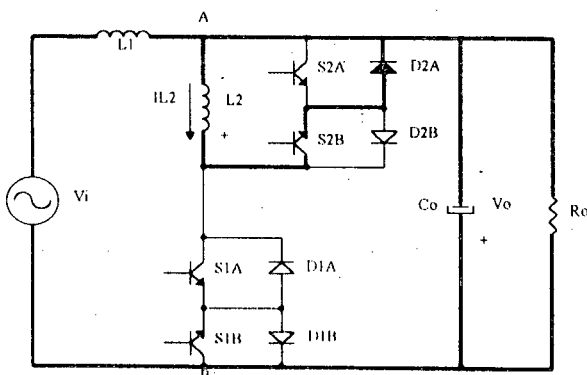


Figura 1.10: Sequência 5

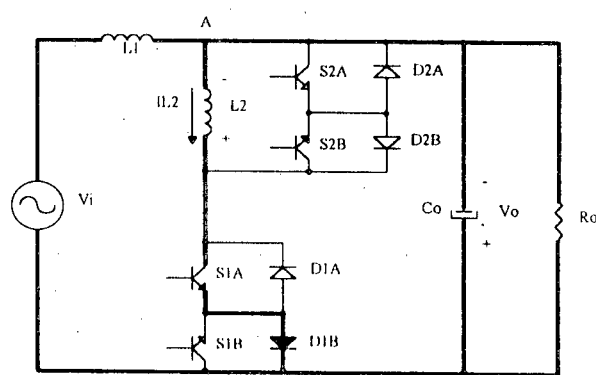


Figura 1.11: Sequência 6

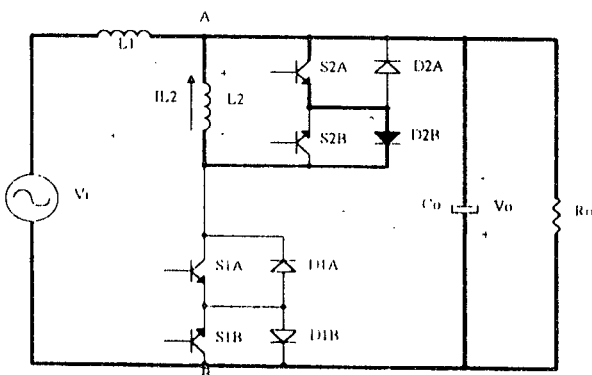


Figura 1.12: Sequência 7

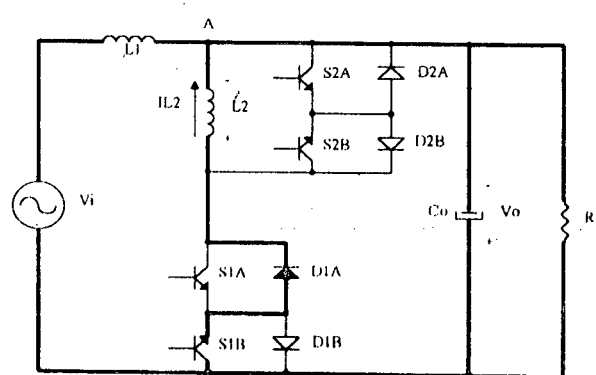


Figura 1.13: Sequência 8

1.3. ANÁLISE DA TOPOLOGIA DO CONVERSOR

1.3.1. Circuitos equivalentes em alta frequência

Nesta seção, são apresentados os circuitos equivalentes em alta frequência, além das expressões básicas para análise destes circuitos. Esta análise baseia-se na premissa de que para chaveamento em alta frequência ($f_s \gg f$), pode-se considerar V_i e V_o constantes durante o período de chaveamento e que todos os dispositivos são considerados ideais. Assim, pode-se definir os dois circuitos equivalentes apresentados nas figuras 1.14 e 1.15, bem como as principais formas de onda mostradas na figura 1.16, para subsidiarem a análise teórica em alta frequência do conversor (Apêndice B).

De acordo com o estado das chaves principais são identificados dois casos a serem estudados:

Caso a) Quando a chave S_2 está conduzindo:

O circuito equivalente do estágio de potência está representado na figura 1.14. A corrente I_{L2} tem valor constante e está em roda livre pela chave S_2 . A corrente I_{L1} evolui linearmente, visto que a tensão imposta sobre indutor L_1 é constante.

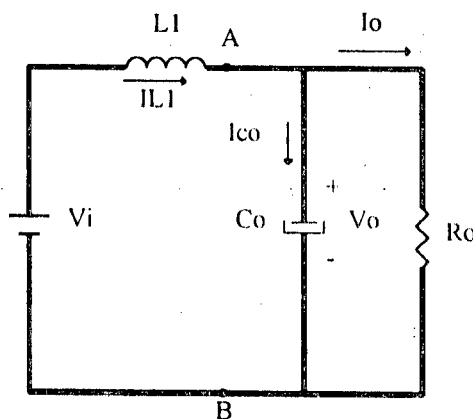


Figura 1.14: Estágio de potência quando S_2 conduz.

Através de uma análise qualitativa por inspeção da figura acima, encontra-se as seguintes expressões:

$$\Delta V_{o2} \cong 0 \quad (1.1)$$

$$V_{L2} \cong 0 \Rightarrow I_{L2} \cong \text{cte} \quad (1.2)$$

$$V_{L1} = V_i - V_o \cong \text{cte} \quad (1.3)$$

Caso b) Quando a chave S_1 está conduzindo:

O circuito equivalente do estágio de potência está representado na figura 1.15. As correntes I_{L1} e I_{L2} evoluem linearmente, visto que as tensões impostas sobre os indutores L_1 e L_2 são constantes.

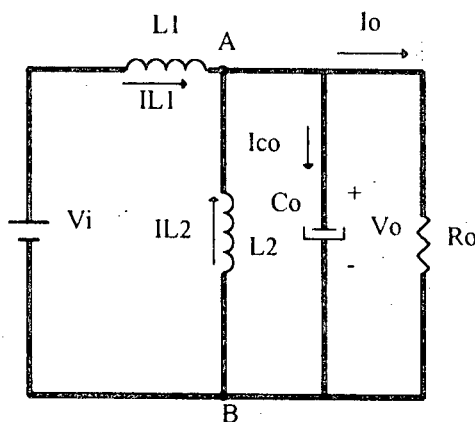


Figura 1.15: Estágio de potência quando S_1 conduz.

Neste caso uma análise qualitativa por inspeção da figura acima, determina as seguintes expressões:

$$\Delta V_{o1} \neq 0 \quad (1.4)$$

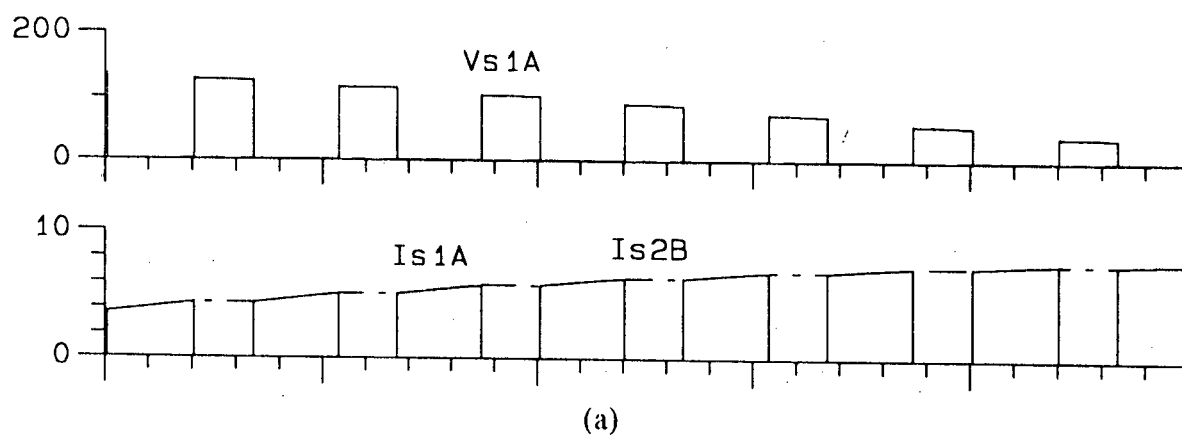
$$V_{L2} = V_o \quad (1.5)$$

$$V_{L1} = V_i - V_o \cong \text{cte} \quad (1.6)$$

No apêndice B desenvolveu-se uma análise completa da estrutura em alta frequência que pode ser referenciada quando se desejar estudar aspectos da topologia em alta frequência.

1.3.2. Formas de onda do conversor

As principais formas de onda do conversor são mostradas na figura 1.16.



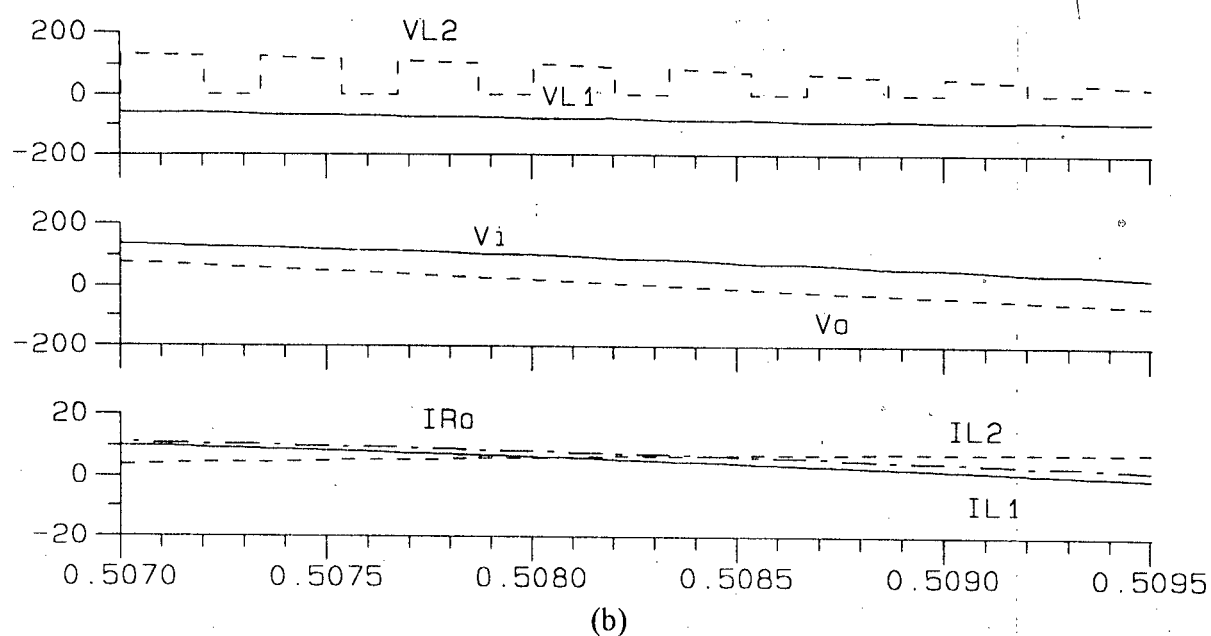


Figura 1.16: Principais formas de onda do conversor

1.3.3 Detalhe da comutação do chaveamento em quatro(4) etapas

Para a análise da comutação escolheu-se o circuito da figura 1.8 (seqüência 3), a partir da qual pode-se estudar os diversos casos possíveis, além da possibilidade da análise da influência do sinal de sincronismo na comutação. Também foram incluídas as capacitâncias intrínsecas das chaves que participam do fenômeno da comutação(Figura 1.17).

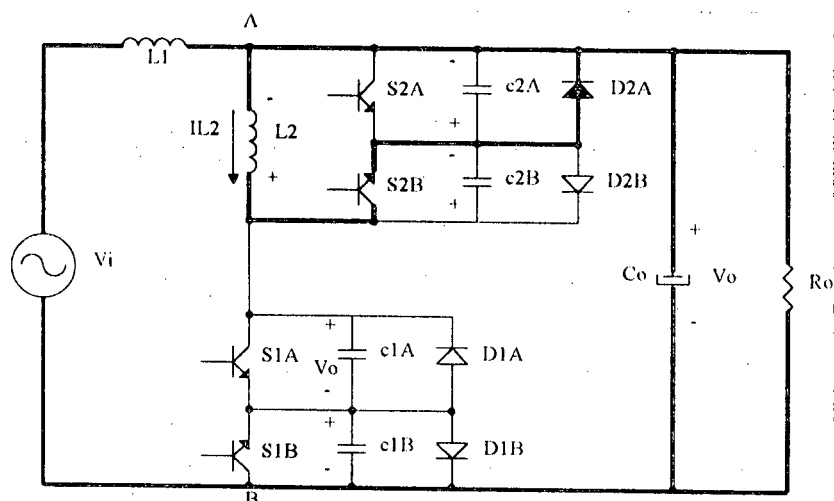


Figura 1.17: Seqüência 3

Na seqüência 3 pode-se analisar a comutação seguindo as ordens de comando determinadas na seção (1.2).

DISPARO DE S_{1B} - Nada ocorre pois a chave S_{1B} está reversamente polarizada pela tensão $V_{c1B} \leq V_{F(D1B)}$. A tensão da carga (V_o) reflete-se sobre a chave S_{1A} , ou seja, $V_{c1A} \cong V_o$.

A chave S_{2B} e o diodo D_{2A} conduzem impondo a soma das tensões $V_{c2A} = V_{F(D2A)}$ e $V_{c2B} = V_{sat}(S_{2B})$ sobre o indutor L_2 .

BLOQUEIO DE S_{2A} - Nada ocorre pois a chave S_{2A} não está conduzindo permanecendo reversamente polarizada pela tensão $V_{c2A} = V_{F(D2A)}$.

DISPARO DE S_{1A} - Visto que $V_{c1A} \cong V_o$, a chave S_{1A} conduz imediatamente. A corrente I_{L2} decresce em S_{2B} e cresce S_{1A} . Quando S_{1A} assume toda a corrente I_{L2} , a chave S_{2B} bloqueia, apesar do diodo D_{2A} continuar conduzindo corrente reversa. A tensão V_{c2B} continua grampeada pelo diodo D_{2B} , pois $V_{c2B} \leq V_{F(D2B)}$ garantindo a comutação praticamente suave da chave S_{2B} . Após o diodo D_{2A} bloquear, a tensão sobre V_{c2A} cresce até que $V_{c2A} \cong V_o$, enquanto V_{S1A} decresce até $V_{c1A} = V_{sat}(S_{1A})$. Assim a comutação da chave V_{S1A} não é suave. A tensão V_{c1B} permanece grampeada pelo diodo D_{1B} . O circuito da figura 1.18 representa o estado final da estrutura (seqüência 4).

O diodo D_{2A} se recupera durante o tempo t_{rr} resultando em um pico de corrente do capacitor de saída C_o através de D_{2A} , D_{2B} , S_{1A} , e D_{1B} que será amortecido somente pela indutância de fiação ou trilhas (L_f) e pela resistência das chaves.

BLOQUEIO DE S_{2B} - Nada ocorre pois a chave S_{2B} já bloqueou, visto que a corrente I_{L2} foi transferida para a chave S_{1A} e diodo D_{1B} .

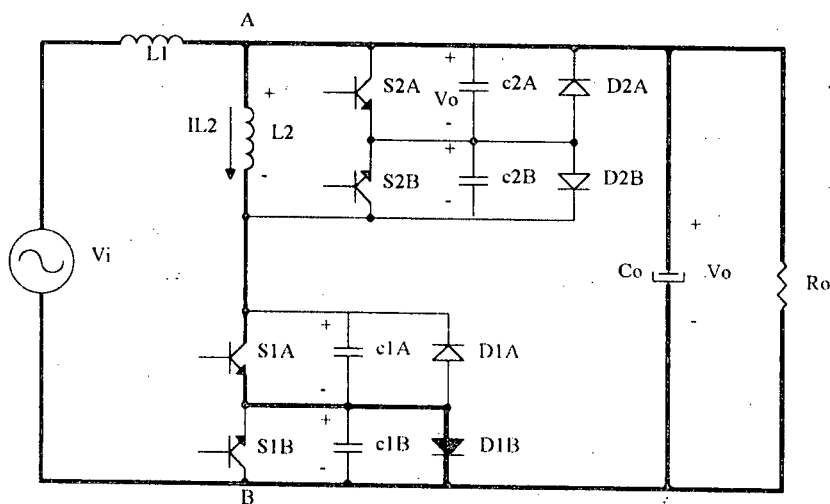


Figura 1.18: Seqüência 4

Na seqüência 4, pode-se fazer a seguinte análise, a partir da figura 1.18:

DISPARO DE S_{2B} - Nada ocorre pois a chave S_{2B} está reversamente polarizada pela tensão $V_{c2B} \leq V_{F(D2B)}$. A tensão da carga (V_o) está sobre a chave S_{2A} , ou seja, $V_{c2A} \cong V_o$.

Como a chave S_{1A} e o diodo D_{1B} estão conduzindo tem-se $V_{c1B} = V_{F(D1B)}$ e $V_{c1A} = V_{sat}(S_{1A})$. A tensão sobre o indutor L_2 é praticamente igual a tensão da carga.

BLOQUEIO DE S_{1A} - A corrente I_{L2} é interrompida instantaneamente na chave S_{1A} . A tensão V_{L2} se inverte e polariza diretamente S_{2B} que conduz. A corrente passa a fluir imediatamente por S_{2B} e D_{2A} , não havendo portanto esforços de tensão nas chaves. Como as tensões sobre S_{1A} e S_{2B} estão grampeadas em valores baixos as duas(2) comutações são praticamente suaves. A corrente I_{L2} carrega a capacitância intrínseca c_{1A} e descarrega c_{2A} imediatamente, ou seja, $V_{c1A} \cong V_o$ e $V_{c2A} = V_{F(D2A)}$, $V_{c2B} = V_{sat}(S_{2B})$ e $V_{c1B} \leq V_{F(D1B)}$. O circuito retorna ao estado anterior (seqüência 3).

Neste caso a indutância de fiação ou trilhas(L_f) deve ser mínima pois gera um pulso de tensão sobre a chave S_{1A} , oscilando com a capacitância intrínseca c_{1A} , evitando também que a corrente em S_{1A} se extinga instantaneamente, contribuindo assim para aumentar o tempo de recuperação reversa.

Durante o tempo de recuperação reversa do diodo D_{1B} , haverá um pulso de corrente nas chaves alimentado pelo capacitor C_o que será limitado apenas pela indutância L_f e pelas resistências das chaves. Neste caso tem-se a comutação mais crítica pois ocorre um pico de corrente prolongado sobre as chaves do conversor.

DISPARO DE S_{2A} - Nada ocorre pois a corrente I_{L2} tem sentido contrário à condução da chave S_{2A} . Além desta chave permanecer reversamente polarizada.

BLOQUEIO DE S_{1B} - Nada ocorre pois a chave S_{1B} não está conduzindo.

Estas duas (2) seqüências repetem-se até que a polaridade da tensão da carga seja invertida.

Neste ponto torna-se importante a análise do sinal de sincronismo pois na prática é impossível implementar um comparador de tensão que não tenha histerese no ponto de cruzamento da tensão da carga V_o pelo nível zero. Outro problema é que quando se deseja uma histerese muito pequena (3mV, p.ex.), o ruído devido as trilhas e não idealidades dos componentes comuns existentes($\approx 100mV$) faz com que o comparador oscile em torno do nível zero mudando a lei de comando várias vezes no cruzamento por zero. A melhor solução seria projetar uma histerese maior que 100mV e analisar os problemas causados na comutação das chaves.

Imaginando-se uma histerese positiva (o sinal de sincronismo estaria atrasado), na seqüência 3 (Figura 1.17) pode-se analisar os seguintes eventos:

- A tensão da carga (V_o) inverte sua polaridade e a lei de comando das chaves continua a mesma;

- Enquanto $|V_o| \leq |V_{F(D2A)} + V_{sat(S2B)}| \leq 1,4V$ a tensão sobre S_{1A} permanece positiva e V_{c1B} inverte de polaridade;

- Na primeira etapa da ordem de comando (**DISPARO DE S_{1B}**) a capacitância intrínseca c_{1B} descarrega-se sobre a chave S_{1B} mas o diodo D_{1A} não conduz pois está reversamente polarizada pela tensão $V_{F(D2A)} + V_{sat(S2B)} - V_o$;

- A segunda etapa (**BLOQUEIO DE S_{2A}**) permanece inalterada;

- A terceira etapa (**DISPARO DE S_{1A}**) permanece inalterada se a máxima histerese projetada para o sinal de sincronismo garantir que a tensão sobre a chave S_{1A} esteja positiva neste instante, ou seja, $V_{c1A} = V_{F(D2A)} + V_{sat(S2B)} - V_o$. Simplificadamente pode-se concluir que se esta ordem de comando ocorrer enquanto $V_o \leq 1,4V$, esta etapa não sofrerá alterações;

- A quarta etapa (**BLOQUEIO DE S_{2B}**) permanece inalterada.

No caso da tensão da carga (V_o) se inverter quando o circuito estiver na seqüência 4 (Figura 1.18) tem-se os seguintes eventos, imaginando-se histerese positiva (sinal de sincronismo estando atrasado):

- A tensão da carga (V_o) se inverte, ou seja, $|V_o| \leq |V_{F(D1B)} + V_{sat(S1A)}|$ e a lei de comando das chaves continua a mesma;

- Na primeira etapa da ordem de comando (**DISPARO DE S_{2B}**) as capacitâncias intrínsecas c_{1B} e c_{2A} estão com polaridade invertidas aplicando tensão direta sobre S_{2B} e D_{2A} . A corrente I_{L2} cresce em S_{2B} e decresce em S_{1A} ;

- Na segunda etapa da ordem de comando (**BLOQUEIO DE S_{1A}**) a corrente I_{L2} é interrompida em S_{1A} (se já não houver se transferido totalmente para S_{2B}) e fluirá apenas por S_{1B} . Se a histerese máxima projetada for tal que este evento ocorra enquanto $|V_o| \leq |V_{F(D2A)} + V_{sat(S2B)}|$, o circuito retorna à seqüência 3 (Figura 1.17) porém com tensão na capacitância c_{1B} com polaridade invertida;

- A terceira etapa (**DISPARO DE S_{2A}**) permanece inalterada;

- A quarta etapa (**BLOQUEIO DE S_{1B}**) permanece inalterada.

A próxima ordem de comando é idêntica à seqüência 3 e se $|V_o| \leq |V_{F(D2A)} + V_{sat(S2B)}| \leq 1,4V$ esta seqüência será idêntica a anteriormente descrita considerando histerese positiva.

Vale salientar que esta análise do sinal de sincronismo deve ser feita apenas quando a tensão da carga está invertendo de polaridade, não interessando nos demais pontos da senóide da tensão de saída do conversor.

Quando a tensão da carga exceder ao valor máximo projetado para histerese do sinal de sincronismo, a ordem de comando mudará, ou seja, o circuito detecta que a tensão da carga inverteu sua polaridade e executa a seqüência 5 ou 6, dependendo se isto ocorre quando o circuito estava na seqüência 3 ou 4, respectivamente. O circuito de sincronismo voltará a influir no circuito apenas quando a tensão da carga novamente atingir o ponto de inversão de polaridade.

1.4 CONCLUSÃO

Neste capítulo apresentou-se a estrutura do conversor proposto descrevendo o princípio de funcionamento da topologia, utilizando-se o método de chaveamento de quatro(4) etapas para evitar esforços de tensão e/ou corrente nas chaves de potência. As etapas de funcionamento foram descritas, apresentando-se também uma análise do fenômeno da comutação das chaves. Considerações sobre o sinal de sincronismo também foram descritas. As principais formas de onda do conversor bem como os circuitos em alta freqüência foram apresentados.

CAPÍTULO 2

ANÁLISE E DIMENSIONAMENTO DO CONVERSOR

2.1. INTRODUÇÃO

Os elementos armazenadores de energia desempenham um papel importante no conversor proposto, pois a regulação da tensão de saída depende intrinsecamente dos valores dos mesmos. Para permitir a elaboração de uma metodologia de projeto, torna-se fundamental a obtenção de expressões para o dimensionamento destes elementos.

Também são obtidas expressões para o módulo e a fase do ganho estático da tensão de saída do conversor, determinando-se assim a característica de saída do conversor.

Expressões para o dimensionamento das chaves de potência são apresentadas.

2.2. OBTENÇÃO DA INDUTÂNCIA CHAVEADA (Z_S) E DA CAPACITÂNCIA EQUIVALENTE (Z_{Ceq}) DA ESTRUTURA PROPOSTA

Enquanto a chave S_1 conduz, o circuito equivalente é aquele representado na figura 1.14. Considerando-se a função de chaveamento da chave S_1 do conversor, deduzida no apêndice A (A.19), pode-se definir as seguintes relações:

$$V_{L2} = V_{AB} \cdot \frac{t_{f1}}{T_s} \Rightarrow V_{L2} = V_{AB} \cdot D \quad (2.1)$$

$$I_{L2} = I_{AB} \cdot \frac{T_s}{t_{f1}} \Rightarrow I_{L2} = \frac{I_{AB}}{D} \quad (2.2)$$

Dividindo-se as expressões (2.1) e (2.2), obtem-se:

$$Z_S = \frac{V_{AB}}{I_{AB}} = \frac{Z_{L2}}{D^2} \quad (2.3)$$

Portanto:

$$Z_S = \frac{j\omega L_2}{D^2} \quad (2.4)$$

Onde:

t_{f1} = tempo de fechamento da chave S_1 .

f_s = frequência de chaveamento ($T_s = 1/f_s$).

D = razão cíclica da chave S_1 , $0 \leq D \leq 1$

L_2 = valor do indutor L_2 (Henry's)

f = frequência da rede ($\omega = 2 \cdot \pi \cdot f$).

De posse do valor para a indutância chaveada (Z_s), faz-se necessária a obtenção da capacitância equivalente, portanto:

$$\frac{1}{Z_{Ceq}} = \frac{1}{Z_s} + \frac{1}{Z_{C_o}} \quad (2.5)$$

$$\frac{1}{Z_{Ceq}} = \frac{D^2}{j\omega L_2} + j\omega C_o \quad (2.6)$$

$$Z_{Ceq} = \frac{j\omega L_2}{(D^2 - \omega^2 L_2 C_o)} \quad (2.7)$$

Deduz-se da expressão (2.7), que fornece o valor da capacitância equivalente, dois(2) casos limites de operação do conversor:

- Quando $D \rightarrow 0$

$$Z_{Ceq} \rightarrow Z_{C_o} = \frac{1}{j\omega C_o} \quad (2.8)$$

- Quando $D \rightarrow 1$

$$Z_{Ceq} \rightarrow (Z_s \parallel Z_{C_o}) = \frac{j\omega L_2}{(1 - \omega^2 L_2 C_o)} \quad (2.9)$$

As expressões, (2.7), (2.8) e (2.9) são fundamentais para a análise do conversor, pois mostram que a impedância Z_{Ceq} pode ser capacitiva ou indutiva dependendo do valor da razão cíclica (D) de chaveamento da chave S_1 do conversor. Observa-se portanto que a topologia proposta tem capacidade de operar no modo elevador ou abaixador de tensão, em função do capacitor equivalente chaveado, regulando-se assim a tensão de saída do conversor.

2.3. ANÁLISE DA ESTRUTURA EM REGIME PERMANENTE SENOIDAL

Para analisar o conversor em regime permanente senoidal, inicialmente serão estudados os dois(2) casos extremos para a razão cíclica (D) da chave S_1 , descritos nas expressões (2.8) e (2.9).

A princípio, para facilitar a análise, pode-se considerar a carga (P_o) e a tensão de saída (V_o) constantes, ou seja, $|V_o|$, $|I_o|$ e f constantes, admitindo-se porém, variações na tensão de entrada (V_i) do conversor. Assim, define-se dois(2) casos:

Caso 1: V_i mínimo ($D \rightarrow 0$)

Quando V_i é mínimo, o conversor deve operar como elevador de tensão, apresentando característica capacitiva em seus terminais de saída. Desse modo, obtem-se o circuito equivalente, no domínio da frequência, da figura (2.1) e o diagrama fasorial da figura (2.2), considerando carga indutiva.

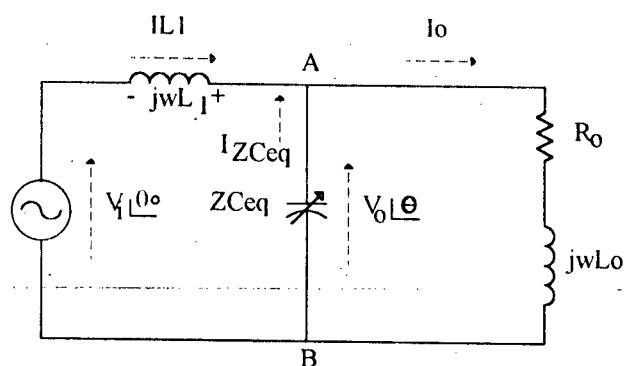


Figura 2.1: Circuito equivalente para V_i mínimo

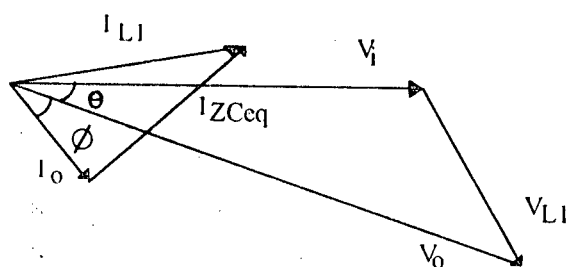


Figura 2.2: Diagrama fasorial para V_i mínimo

Caso 2: V_i máximo ($D \rightarrow 1$)

Quando V_i é máximo, o conversor deve operar como abaixador de tensão, apresentando característica indutiva em seus terminais de saída. Desse modo, obtem-se o circuito equivalente, no domínio da frequência, da figura (2.3) e o diagrama fasorial da figura (2.4), considerando carga indutiva.

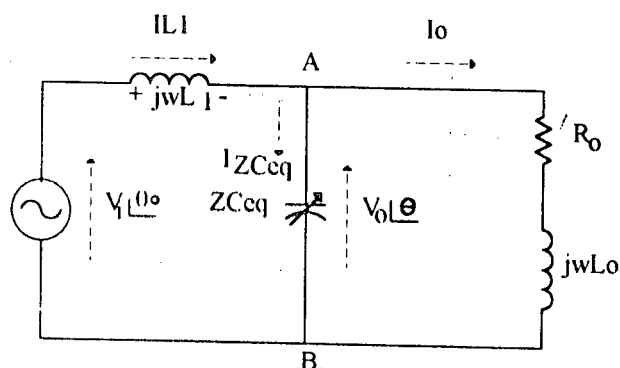


Figura 2.3: Circuito equivalente para V_i máximo

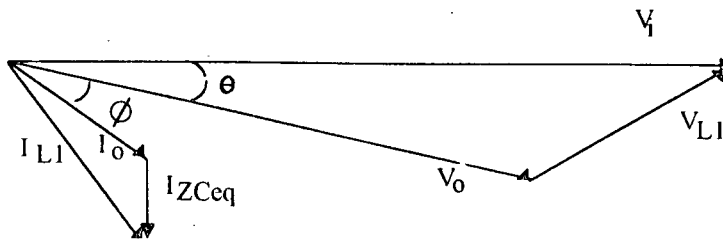


Figura 2.4: Diagrama fasorial para V_i máximo

Em regime permanente senoidal obtém-se:

$$Z_{Oeq} = Z_{Ceq} \parallel Z_o = \frac{1}{\frac{1}{(R_o + j\omega L_o)} + \frac{(D^2 - \omega^2 L_2 C_o)}{j\omega L_2}} \quad (2.10)$$

$$\bar{V}_o = Z_{Oeq} \cdot \bar{I}_1 = \frac{Z_{Oeq}}{Z_1} \cdot \bar{V}_i \quad (2.11)$$

$$Z_1 = Z_{Oeq} + j\omega L_1 \quad (2.12)$$

$$\bar{V}_o = \frac{Z_{Oeq}}{Z_{Oeq} + j\omega L_1} \cdot \bar{V}_i \quad (2.13)$$

$$\frac{\bar{V}_i}{\bar{V}_o} = 1 + j\omega L_1 \left[\frac{1}{R_o + j\omega L_o} + \frac{(D^2 - \omega^2 L_2 C_o)}{j\omega L_2} \right] \quad (2.14)$$

Considerando-se a carga do conversor resistiva (R_o), para facilitar a análise, obtém-se:

$$\frac{\bar{V}_i}{\bar{V}_o} = 1 + \left[\frac{j\omega L_1}{R_o} + \frac{L_1 (D^2 - \omega^2 L_2 C_o)}{L_2} \right] \quad (2.15)$$

Assim, pode-se definir as seguintes expressões para o módulo e a fase do ganho estático de tensão (q) do conversor proposto:

$$\left| \frac{\bar{V}_i}{\bar{V}_o} \right| = |q| = \sqrt{\left(\frac{\omega L_1}{R_o} \right)^2 + \left[1 + \frac{L_1}{L_2} (D^2 - \omega^2 L_2 C_o) \right]^2} \quad (2.16)$$

$$\angle \frac{\bar{V}_1}{\bar{V}_o} = \angle \frac{1}{q} = \tan^{-1} \left\{ \frac{\omega L_1 / R_o}{1 + \frac{L_1}{L_2} (D^2 - \omega^2 L_2 C_o)} \right\} \quad (2.17)$$

Onde:

$$q = \frac{\bar{V}_o}{\bar{V}_1} = \text{ganho estático de tensão do conversor}$$

2.4. OBTENÇÃO DOS ELEMENTOS ARMAZENADORES DE ENERGIA

2.4.1. Dimensionamento do capacitor de saída C_o e do indutor L_1

Para o dimensionamento do par (L_1, C_o) deve-se considerar como situação crítica de operação do conversor quando a tensão de entrada atingir nível mínimo com carga máxima. Nestas condições, $D \rightarrow 0$ e o indutor L_2 não deverá influir no circuito. Assim a partir das expressões (2.8) e (2.16), considerando a tensão da carga (V_o) regulada e variações na carga (R_o) do conversor, obtém-se:

$$\left| \frac{1}{q_{\max}} \right| = \sqrt{\left(\frac{\omega L_1}{R_{O\min}} \right)^2 + [1 - \omega^2 L_1 C_o]^2} \quad (2.18)$$

$$\left(\frac{1}{q_{\max}} \right)^2 - 1 = (\omega L_1)^2 \left[\frac{1}{R_{O\min}^2} + \omega^2 C_o^2 \right] - (\omega L_1) \cdot 2\omega C_o \quad (2.19)$$

O módulo na expressão (2.19) pode ser omitido pois o valor de q será considerado sempre positivo na análise que segue.

Resolvendo-se esta expressão quadrática para (ωL_1) , obtém-se a expressão (2.20) que fornece o valor de L_1 parametrizado em V_i , V_o , R_o , C_o e ω .

$$L_1 = \frac{\omega C_o \pm \sqrt{\left[\left(\frac{1}{q_{\max}} \right)^2 \left((\omega C_o)^2 + \frac{1}{R_{O\min}^2} \right) - \frac{1}{R_{O\min}^2} \right]}}{\omega \left[(\omega C_o)^2 + \frac{1}{R_{O\min}^2} \right]} \quad (2.20)$$

O valor do indutor L_1 obtido na expressão acima deve ser real, ou seja, $L_1 \in \mathfrak{R}$. Esta restrição possibilita a obtenção da seguinte relação:

$$\left(\frac{1}{q_{\max}}\right)^2 \cdot (\omega C_o)^2 + \left(\frac{1}{q_{\max}}\right)^2 \cdot \frac{1}{R_{Omin}^2} - \frac{1}{R_{Omin}^2} \geq 0 \quad (2.21)$$

Manipulando a expressão (2.21), tem-se as seguintes expressões para a determinação do valor do capacitor de saída do conversor (C_o):

$$C_o \geq \frac{1}{\omega R_{Omin}} \sqrt{q_{\max}^2 - 1} \geq \frac{1}{\omega R_{Omin}} \cdot (M_{-} C_o) \quad (2.22)$$

$$C_o \geq \frac{P_{Omax}}{\omega V_o^2} \sqrt{q_{\max}^2 - 1} \geq \frac{P_{Omax}}{\omega V_o^2} \cdot (M_{-} C_o) \quad (2.23)$$

A expressão (2.22) ou (2.23) fornece o valor do capacitor C_o parametrizado em ω , q_{\max} , R_{Omin} ou P_{Omax} . O valor mínimo para o capacitor de saída do conversor (C_{Omin}) é obtido considerando-se a igualdade na expressão (2.22) ou (2.23). Nesta condição, substituindo-se a expressão (2.22) em (2.20), obtém-se o seguinte valor para o indutor L_1 :

$$L_1 = \frac{\frac{1}{R_{Omin}} \sqrt{q_{\max}^2 - 1} \pm \sqrt{\left[\left(\frac{1}{q_{\max}}\right)^2 \left(\frac{1}{R_{Omin}^2} (q_{\max}^2 - 1) + \frac{1}{R_{Omin}^2}\right) - \frac{1}{R_{Omin}^2}\right]}}{\omega / R_{Omin}^2 \cdot ((q_{\max}^2 - 1) + 1)} \quad (2.24)$$

$$L_1 = \frac{R_{Omin} \sqrt{q_{\max}^2 - 1}}{\omega} = \frac{R_{Omin}}{\omega} \cdot (M_{-} L_1) \quad (2.25)$$

Observa-se que foram introduzidos nas expressões originais, alguns multiplicadores, que dependem exclusivamente dos dados de entrada de projeto (q_{\max} , q_{\min} , ΔR_o , k), objetivando facilitar a geração de ábacos para auxiliar na determinação dos componentes armazenadores de energia do conversor (Capítulo 3). Assim definidos,

$M_{-} C_o = M_{-} L_1$, nas expressões (2.22) e (2.25), ou seja, quando $C_o = C_{Omin}$.

$M_{-} L_{1k}$, na expressão (2.27), ou seja, quando $C_o = k C_{Omin}$.

$M_{-} L_2$, na expressão (2.35), ou seja, quando $C_o = C_{Omin}$.

$M_{-} L_{2k}$, na expressão (2.40), ou seja, quando $C_o = k C_{Omin}$.

Considerando-se a igualdade na expressão (2.22) obteve-se o valor mínimo para o capacitor de saída (C_{Omin}), entretanto o valor obtido para o indutor L_1 (2.25) não será o menor possível, visto que, escolhendo-se valores para o capacitor de saída maiores que C_{Omin} , e substituindo-os na expressão (2.20) resultam curvas superiores e inferiores para a expressão

(2.24), referentes aos sinais positivo e negativo, respectivamente. Obviamente as curvas inferiores fornecerão valores menores para o indutor L_1 . Neste ponto o processo de escolha dos componentes torna-se iterativo, pois deseja-se os valores mínimos possíveis para o par (L_1, C_0) . Assim, pode-se definir valores múltiplos do capacitor de saída (C_0) obtido na expressão (2.22), para a obtenção de valores menores para o indutor L_1 .

$$C_0 = \frac{k}{\omega R_{Omin}} \sqrt{q_{max}^2 - 1} \quad (2.26)$$

Substituindo a expressão (2.26) em (2.20), obtém-se:

$$L_1 = \frac{k\sqrt{q_{max}^2 - 1} \pm \sqrt{\left[\left(\frac{1}{q_{max}}\right)^2 (k^2(q_{max}^2 - 1) + 1) - 1\right]}}{\omega/R_{Omin} \cdot (k^2(q_{max}^2 - 1) + 1)} = \frac{R_{Omin}}{\omega} \cdot (M_{-} L_{1k}) \quad (2.27)$$

A expressão (2.27) permite a determinação do valor do indutor L_1 quando se escolhe valores múltiplos do valor mínimo do capacitor de saída do conversor (kC_{Omin}). Nesta expressão deve-se considerar apenas o sinal negativo, pois deseja-se os menores valores possíveis para o indutor L_1 .

Outra consideração a ser feita na determinação do par (L_1, C_0) diz respeito aos valores que levariam o circuito à ressonância, pois neste caso a tensão de saída do conversor (V_o) permaneceria sem controle [3], ou seja:

$$L_1 \neq \frac{1}{\omega^2 C_0} \quad (2.28)$$

Pode-se mostrar (traçando esta curva sobre os ábacos obtidos) que utilizando-se o sinal negativo na expressão (2.27) elimina-se automaticamente a possibilidade de escolha de valores para L_1 e C_0 que resultariam em ressonância do circuito.

Para a determinação dos valores ótimos do capacitor de saída (C_0) e do indutor L_1 , simultaneamente, deve-se fazer algumas considerações de projeto:

a) O dimensionamento do par (L_1, C_0) deve ser feito no caso crítico de tensão de entrada mínima (q_{max}) e carga máxima (R_{Omin}), enquanto o valor do indutor L_2 é obtido no outro caso crítico de tensão de entrada máxima (q_{min}) e carga mínima (R_{Omax}).

b) Na prática, geralmente considera-se 15% de variação na rede de alimentação, ou seja,

$$0,85V_{i \text{ nom}} \leq V_i \leq 1,15V_{i \text{ nom}}$$

Portanto, pode-se definir os seguintes limites para a variação do ganho estático máximo de tensão (q_{\max}) do conversor, considerando-se regulação da tensão de saída máxima ($\Delta V_o \approx 0\%$) e mínima ($\Delta V_o \approx 15\%$), e tensão de entrada mínima ($V_i = 0,85 V_{i \text{ nom}}$):

$$0,85/0,85 \leq q_{\max} \leq 1/0,85 \quad \Rightarrow \quad 1 \leq q_{\max} \leq 1,17647$$

Do mesmo modo, considerando-se a tensão de entrada máxima ($V_i = 1,15 V_{i \text{ nom}}$), obtêm-se os seguintes limites para a variação do ganho estático mínimo de tensão (q_{\min}) do conversor, considerando-se novamente regulação máxima e mínima da tensão de saída:

$$1/1,15 \leq q_{\min} \leq 1,15/1,15 \quad \Rightarrow \quad 0,86956 \leq q_{\min} \leq 1$$

c) Os limites para q_{\max} e q_{\min} , definidos no item anterior, serão usados para geração de ábacos para facilitar a determinação dos componentes armazenadores de energia do conversor (Figuras (3.1) a (3.9)).

d) Deve-se utilizar ($q_{\max} \geq 1$), quando o conversor estiver operando no modo elevador de tensão, e ($q_{\min} \leq 1$), no caso da operação como abaixador de tensão.

Para a obtenção dos valores do par (L_1, C_o) foram traçados ábacos (Capítulo 3), com o auxílio de um programa de simulação numérica [15], para o cálculo dos multiplicadores (M_{C_o}), (M_{L_1}) e ($M_{L_{1k}}$), usando-se as expressões (2.22), (2.25) e (2.27), respectivamente, nos limites pré-determinadas para os valores de q_{\max} e q_{\min} , conforme as considerações de projeto feitas acima, usando-se também as variações frequentemente utilizadas na prática das tensões de entrada (V_i) e saída (V_o) do conversor.

Vale salientar que as expressões (2.22) a (2.27) são válidas para qualquer faixa de variação de V_i , V_o e R_o desejada. No caso de variações que não constam nos ábacos apresentados, o processo de traçar curvas adicionais a partir das expressões citadas é simples e rápido, principalmente usando-se um programa de simulação numérica.

2.4.2. Dimensionamento do indutor L_2

Para o dimensionamento do indutor L_2 considera-se a situação crítica de operação do conversor quando se tem tensão de entrada máxima (q_{\min}) e carga mínima ($R_{O \max}$). Neste caso o indutor L_2 deve ser capaz de anular o efeito do capacitor C_o e baixar a tensão de saída do conversor. O maior valor efetivo para L_2 ocorrerá quando $D \rightarrow 1$; lembrando as expressões (2.9) e (2.16), obtêm-se:

$$Z_{C_{eq}} = \frac{j\omega L_2}{(1 - \omega^2 L_2 C_o)} \quad (2.29)$$

$$\left| \frac{1}{q_{\min}} \right| = \sqrt{\left(\frac{\omega L_1}{R_{O\max}} \right)^2 + \left[1 + \frac{L_1}{L_2} (1 - \omega^2 L_2 C_0) \right]^2} \quad (2.30)$$

$$\left| \frac{1}{q_{\min}} \right|^2 - \left(\frac{\omega L_1}{R_{O\max}} \right)^2 - 1 = \left(\frac{L_1}{L_2} \right)^2 + \frac{L_1}{L_2} (2 - 2\omega^2 L_1 C_0) + (\omega^2 L_1 C_0)^2 - 2\omega^2 L_1 C_0 \quad (2.31)$$

Resolvendo-se esta expressão para (L_1/L_2) , obtém-se:

$$L_2 = \frac{L_1}{(\omega^2 L_1 C_0 - 1) \pm \sqrt{\left(\frac{1}{q_{\min}} \right)^2 - \left(\frac{\omega L_1}{R_{O\max}} \right)^2}} \quad (2.32)$$

A expressão (2.32) fornece o valor do indutor L_2 em função dos valores calculados anteriormente para o indutor L_1 e para o capacitor C_0 , parametrizado por q_{\min} , $R_{O\max}$ e ω .

Neste ponto verifica-se duas(2) possibilidades para a obtenção do valor de L_2 :

a) Quando o par (L_1, C_0) foi determinado a partir do valor de $C_{O\min}$

Neste caso os valores de C_0 e L_1 foram determinados pela igualdade na expressão (2.22) e pela expressão (2.25), respectivamente. Resolvendo a expressão (2.32), por partes, obtém-se a expressão (2.35), portanto:

$$\omega^2 L_1 C_0 = \omega^2 \cdot \left(\frac{R_{O\min}}{\omega} \sqrt{q_{\max}^2 - 1} \right) \cdot \left(\frac{1}{\omega R_{O\min}} \sqrt{q_{\max}^2 - 1} \right) = q_{\max}^2 - 1 \quad (2.33)$$

$$\frac{\omega L_1}{R_{O\max}} = \frac{\omega \cdot \left(\frac{R_{O\min}}{\omega} \sqrt{q_{\max}^2 - 1} \right)}{R_{O\max}} = \left(\frac{R_{O\min}}{R_{O\max}} \right) \sqrt{q_{\max}^2 - 1} \quad (2.34)$$

$$L_2 = \frac{\frac{R_{O\min}}{\omega} \sqrt{q_{\max}^2 - 1}}{(q_{\max}^2 - 2) \pm \sqrt{\left(\frac{1}{q_{\min}} \right)^2 - \left(\frac{R_{O\min}}{R_{O\max}} \right)^2 (q_{\max}^2 - 1)}} = \frac{R_{O\min}}{\omega} \cdot (M_{-} L_2) \quad (2.35)$$

Onde:

$$\frac{R_{O\min}}{R_{O\max}} = \Delta R_O = \text{Variação máxima da carga do conversor}$$

Nas expressões (2.32) a (2.40) deve-se fazer distinção entre q_{\max} e q_{\min} , e $R_{O\max}$ e $R_{O\min}$, pois são oriundos de análises diferentes, ou seja, quando o conversor opera no modo elevador ou no modo abaixador de tensão. Observar também que o sinal negativo do denominador da expressão (2.35) não deve ser levado em consideração pois fornecerá valores negativos para o indutor L_2 .

Por inspeção do denominador da expressão (2.35) nota-se que para o valor do indutor L_2 ser real, ou seja, $L_2 \in \mathcal{R}$:

$$\Delta R_o^2 \leq \frac{1}{q_{\min}^2 (q_{\max}^2 - 1)} \quad (2.36)$$

A expressão (2.36) determina os limites de operação do conversor, mostrando que quanto maior a variação da tensão de entrada (ΔV_i) do conversor, que depende exclusivamente da rede de alimentação, menor será a variação aceitável para a carga (ΔR_o), para que se tenha garantia da regulação da tensão de saída da estrutura.

b) Quando o par (L_1, C_0) foi determinado a partir de valores múltiplos de $C_{O\min}$

Neste caso os valores de C_0 e L_1 foram determinados pelas expressões (2.26) e (2.27), respectivamente. Resolvendo-se a expressão (2.32), por partes, obtêm-se as seguintes expressões:

$$E = \omega^2 L_1 C_0 = \frac{k(\sqrt{q_{\max}^2 - 1}) \left[k\sqrt{q_{\max}^2 - 1} \pm \sqrt{\left(\frac{1}{q_{\max}}\right)^2 [k^2(q_{\max}^2 - 1) + 1] - 1} \right]}{[k^2(q_{\max}^2 - 1) + 1]} \quad (2.37)$$

$$F = \frac{\omega L_1}{R_{O\max}} = \frac{\left(\frac{R_{O\min}}{R_{O\max}}\right) \left[k\sqrt{q_{\max}^2 - 1} \pm \sqrt{\left(\frac{1}{q_{\max}}\right)^2 [k^2(q_{\max}^2 - 1) + 1] - 1} \right]}{[k^2(q_{\max}^2 - 1) + 1]} \quad (2.38)$$

Por inspeção da expressão (2.32) define-se a expressão (2.39), com o auxílio das expressões (2.37) e (2.38):

$$[G] = (E - 1) \pm \sqrt{\left(\frac{1}{q_{\min}}\right)^2 - F^2} \Rightarrow L_2 = \frac{L_1}{[G]} \quad (2.39)$$

Substituindo-se as expressões (2.27) e (2.39) em (2.32) obtêm-se a expressão final para o dimensionamento do indutor L_2 . Notar que as variáveis E, F e G foram usadas apenas para facilitar o algebrismo no cálculo do valor do indutor L_2 .

$$L_2 = \frac{k\sqrt{q_{\max}^2 - 1} \pm \sqrt{\left(\frac{1}{q_{\max}}\right)^2 [k^2(q_{\max}^2 - 1) + 1] - 1}}{[G] \cdot \frac{\omega}{R_{Omin}} \cdot [k^2(q_{\max}^2 - 1) + 1]} = \frac{R_{Omin}}{\omega} \cdot (M_{L_{2k}}) \quad (2.40)$$

Deve-se observar que o sinal negativo da expressão (2.39) será desprezado para evitar valores negativos para o indutor L_2 na expressão (2.32), e que o sinal negativo utilizado anteriormente na expressão (2.27), determina o sinal (negativo) a ser utilizado nas expressões (2.37) e (2.38). Obviamente o sinal negativo da expressão (2.40) fornecerá valores menores para o indutor L_2 e curvas inferiores para os ábacos gerados, sendo portanto o sinal escolhido usado neste expressão.

Para auxiliar na determinação do valor do indutor L_2 , foram traçados ábacos (Capítulo 3), para o cálculo dos multiplicadores M_{L_2} e $M_{L_{2k}}$ usando-se as expressões (2.35) e (2.40), respectivamente, nos limites pré-determinados para os valores de q_{\max} e q_{\min} , conforme as considerações de projeto feitas anteriormente, usando-se também as variações frequentemente utilizadas na prática, para V_i , V_o e ΔR_o .

Vale salientar que as expressões (2.32) a (2.40) são válidas para qualquer faixa de variação de V_i , V_o e ΔR_o desejada. No caso de variações que não constam nos ábacos apresentados o processo de traçar curvas adicionais, a partir das expressões é simples e rápido, usando-se algum programa de simulação numérica. Das expressões acima, observa-se que a variação da carga do conversor (ΔR_o), influi apenas no cálculo do valor do indutor L_2 , e a carga máxima (R_{Omin}) influi no cálculo de todos os componentes armazenadores de energia.

2.5. DETERMINAÇÃO DA CARACTERÍSTICA DE SAÍDA DO CONVERSOR

O módulo e o ângulo do ganho estático de tensão (q) do conversor, definem a faixa de operação da estrutura, constituindo-se portanto em uma importante ferramenta para o projeto do conversor na faixa de operação desejada. A seguir são obtidas expressões para geração de ábacos (capítulo 3), a fim de tornar o projeto do conversor simples e rápido.

Assim, das expressões (2.16) e (2.17) tem-se:

$$\left| \frac{1}{q} \right| = \sqrt{\left(\frac{\omega L_1}{R_o} \right)^2 + \left(1 + D^2 \cdot \frac{L_1}{L_2} - \omega^2 L_1 C_o \right)^2} \quad (2.41)$$

$$\angle \frac{1}{q} = \tan^{-1} \left[\frac{\omega L_1 / R_o}{\left(1 + D^2 \cdot \frac{L_1}{L_2} - \omega^2 L_1 C_o \right)^2} \right] \quad (2.42)$$

Relembrando que na expressão (2.32) deve-se utilizar apenas o sinal positivo para evitar valores negativos para o indutor L_2 , tem-se:

$$\frac{L_1}{L_2} = \omega^2 L_1 C_o - 1 + \sqrt{\left(\frac{1}{q_{\min}} \right)^2 - \left(\frac{\omega L_1}{R_{Omax}} \right)^2} \quad (2.43)$$

Considerando-se $\left(\frac{\omega L_1}{R_{Omax}} \right)^2 \ll \left(\frac{1}{q_{\min}} \right)^2$

$$\frac{L_1}{L_2} = \omega^2 L_1 C_o - 1 + \frac{1}{q_{\min}} \quad (2.44)$$

Substituindo as expressões (2.22), (2.25) e (2.44) nas expressões (2.41) e (2.42) tem-se:

$$\left| \frac{1}{q} \right| = \sqrt{\left(\frac{R_{Omin}}{R_o} \right)^2 (q_{\max}^2 - 1) + \left[1 + D^2 (q_{\max}^2 - 2) + \frac{D^2}{q_{\min}} - (q_{\max}^2 - 1) \right]^2} \quad (2.45)$$

$$\angle \left(\frac{1}{q} \right) = \tan^{-1} \left\{ \frac{\left(\frac{R_{Omin}}{R_o} \right)^2 (q_{\max}^2 - 1)}{\left[1 + D^2 (q_{\max}^2 - 2) + \frac{D^2}{q_{\min}} - (q_{\max}^2 - 1) \right]^2} \right\} \quad (2.46)$$

Portanto tem-se,

$$|q| = \frac{1}{\sqrt{\left(\frac{R_{Omin}}{R_o} \right)^2 (q_{\max}^2 - 1) + \left[(D^2 - 1)(q_{\max}^2 - 2) + \frac{D^2}{q_{\min}} \right]^2}} \quad (2.47)$$

$$\angle q = -\tan^{-1} \left\{ \frac{\left(\frac{R_{Omin}}{R_o} \right)^2 (q_{\max}^2 - 1)}{\left[(D^2 - 1)(q_{\max}^2 - 2) + \frac{D^2}{q_{\min}} \right]^2} \right\} \quad (2.48)$$

Vale observar que as expressões, nesta sessão deduzidas, para o módulo e o ângulo do ganho estático de tensão (q), são válidas apenas se os elementos armazenadores de energia foram escolhidos a partir de $C_0 = C_{Omin}$ ($K=1,0$). No caso da escolha da tripla (L_1, C_0, L_2) basear-se em valores múltiplos de C_{Omin} ($K>1,0$) as expressões (2.26) e (2.27) serão utilizadas nas expressões (2.45) e (2.46) ao invés das expressões (2.22) e (2.25), tornando assim as expressões finais mais extensas e complexas. Por isso apresenta-se ábacos(Capítulo 3) apenas para as expressões (2.47) e (2.48), entretanto utilizando qualquer simulador numérico facilmente obtêm-se ábacos para os demais casos quando se fizer necessário.

2.6. DIMENSIONAMENTO DOS COMPONENTES DE POTÊNCIA DO CONVERSOR

Os elementos armazenadores de energia foram determinados anteriormente, entretanto, para complementar a metodologia de projeto do conversor, faz-se necessário o desenvolvimento de expressões capazes de fornecer ao projetista subsídios para determinação das correntes e tensões nas chaves principais e capacidade de corrente dos indutores.

2.6.1. Dimensionamento das chaves de potência

O capacitor foi determinado anteriormente, fazendo-se necessário observar apenas que o mesmo deverá ser escolhido para baixa frequência(rede).

2.6.1.1. Cálculo das correntes nas chaves principais

Da figura 1.14 e expressões (2.1) a (2.4) tem-se:

$$I_s = \frac{V_o}{Z_s} = \frac{V_o \cdot D^2}{j\omega L_2} \quad (2.49)$$

$$I_{L2} = \frac{I_s}{D} = \frac{V_o \cdot D}{j\omega L_2} \quad (2.50)$$

$$I_{s1} = I_s = \frac{V_o \cdot D^2}{j\omega L_2} \quad (2.51)$$

$$I_{L2} = I_{s1} + I_{s2} \rightarrow I_{s2} = I_{L2} - I_{s1} \quad (2.52)$$

$$I_{s2} = \frac{I_s}{D} - I_s = I_s \left(\frac{1-D}{D} \right) = \frac{V_o \cdot D(1-D)}{j\omega L_2} \quad (2.53)$$

Sabendo-se que cada chave bidirecional é composta por duas(2) chaves unidirecionais em corrente, das expressões (2.51) e (2.53) obtém-se:

$$|I_{S1Amd}| = |I_{S1Bmd}| = \frac{V_o \cdot D^2}{2\omega L_2} \quad (2.54)$$

$$|I_{S2Amd}| = |I_{S2Bmd}| = \frac{V_o \cdot D(1-D)}{2\omega L_2} \quad (2.55)$$

$$|I_{S1Aef}| = |I_{S1Bef}| = \frac{V_o \cdot D^2}{\sqrt{2}\omega L_2} \quad (2.56)$$

$$|I_{S2Aef}| = |I_{S2Bef}| = \frac{V_o \cdot D(1-D)}{\sqrt{2}\omega L_2} \quad (2.57)$$

2.6.1.2. Cálculo das tensões nas chaves principais

$$V_{S1Apk} = V_{S1Bpk} = V_{Opk} = \sqrt{2}V_{Oef} \quad (2.58)$$

$$V_{S2Apk} = V_{S2Bpk} = V_{Opk} = \sqrt{2}V_{Oef} \quad (2.59)$$

2.6.2. Cálculo da corrente nos indutores

Da expressão (2.50) obtém-se:

$$|I_{L2ef}| = \frac{V_o \cdot D}{\omega L_2} \quad (2.60)$$

Da expressão (2.7) tem-se:

$$Z_{ceq} = \frac{j\omega L_2}{(D^2 - \omega^2 L_2 C_o)} \quad (2.61)$$

Da figura (2.3) obtém-se:

$$I_{L1} = I_{Zceq} + I_o \quad (2.62)$$

$$I_{L1} = \frac{V_o}{Z_{ceq}} + \frac{V_o}{Z_o} \quad (2.63)$$

Considerando-se carga resistiva (R_o) obtém-se:

$$I_{L1} = V_o \cdot \left(\frac{D^2 - \omega^2 L_2 C_o}{j\omega L_2} + \frac{1}{R_o} \right) \quad (2.64)$$

$$I_{L1} = V_o \left(\frac{R_o (D^2 - \omega^2 L_2 C_o) + j\omega L_2}{j\omega L_2 R_o} \right) \quad (2.65)$$

Donde:

$$|I_{L1ef}| = |I_{L1}| = \frac{V_o}{\omega L_2 R_o} \cdot \sqrt{(\omega L_2)^2 + [-R_o (D^2 - \omega^2 L_2 C_o)]^2} \quad (2.66)$$

Deve-se observar das expressões (2.54) a (2.57) que o pior caso para o dimensionamento das chaves S_{1A} e S_{1B} ocorre para $D \rightarrow 1$, e das chaves S_{2A} e S_{2B} ocorre para $D \rightarrow 0,5$. Das expressões (2.60) e (2.66) nota-se que o pior caso para o calculo das correntes nos indutores ocorre para $D \rightarrow 1$ e R_{Omin} (P_{Omax}), como era de se esperar pois nesta condição o indutor L_2 estará influenciando ao máximo no circuito.

2.7. CONCLUSÃO

Neste capítulo foram determinadas expressões para o dimensionamento dos elementos armazenadores de energia do conversor (L_1 , C_o , L_2), as quais serão apresentadas em forma de ábacos (Capítulo 3) para facilitar o projeto dos mesmos. Foram obtidas expressões para o módulo e o ângulo do ganho estático de tensão da topologia proposta, que podem ser usadas diretamente ou traçadas em forma de ábacos para projeto do conversor.

Desenvolveu-se também expressões simples que possibilitam de maneira rápida uma boa aproximação para escolha das chaves principais e capacidade de corrente nos indutores do circuito de potência do conversor. Vale salientar que esta análise foi obtida em regime permanente senoidal, sendo portanto necessário observar, por simulação, o comportamento das grandezas em regime transitório a fim de complementar as informações obtidas, evitando-se assim o sub-dimensionamento dos citados componentes, principalmente em relação à tensão máxima suportada pelas chaves principais.

Em relação aos indutores, determinou-se a capacidade de corrente que os mesmos deverão apresentar, definindo-se assim a bitola do fio a ser usado na confecção dos mesmos. Em [3], foi apresentado um método para o cálculo do núcleo, do entreferro e do número de espiras destes indutores. Deve-se observar que os mesmos são alimentados em baixa frequência, apesar da alta frequência de chaveamento das chaves do conversor, resultando em indutores volumosos (entretanto, reduziu-se o volume final otimizando os valores dos indutores).

CAPÍTULO 3

ÁBACOS E PROJETO DO CONVERSOR

3.1. INTRODUÇÃO

Neste capítulo são apresentados ábacos, gerados a partir das expressões deduzidas no capítulo 2, a fim de facilitar a metodologia de projeto do conversor. São obtidos ábacos para a determinação dos elementos armazenadores de energia, e ábacos das características de saída do conversor proposto. Uma metodologia de projeto do conversor e exemplos são apresentados.

3.2. ÁBACOS PARA DIMENSIONAMENTO DA TRIPLA (L_1 , C_0 , L_2)

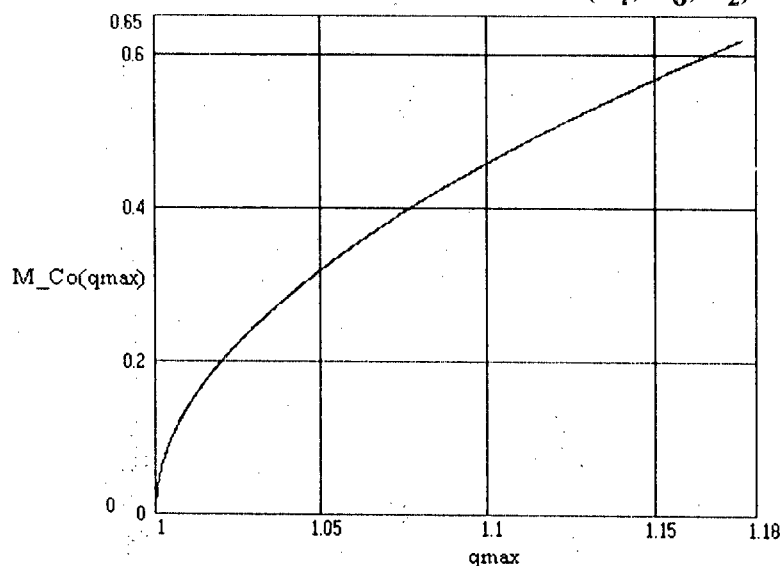


Figura 3.1: Ábaco para expressão 2.25, para $k = 1.0$

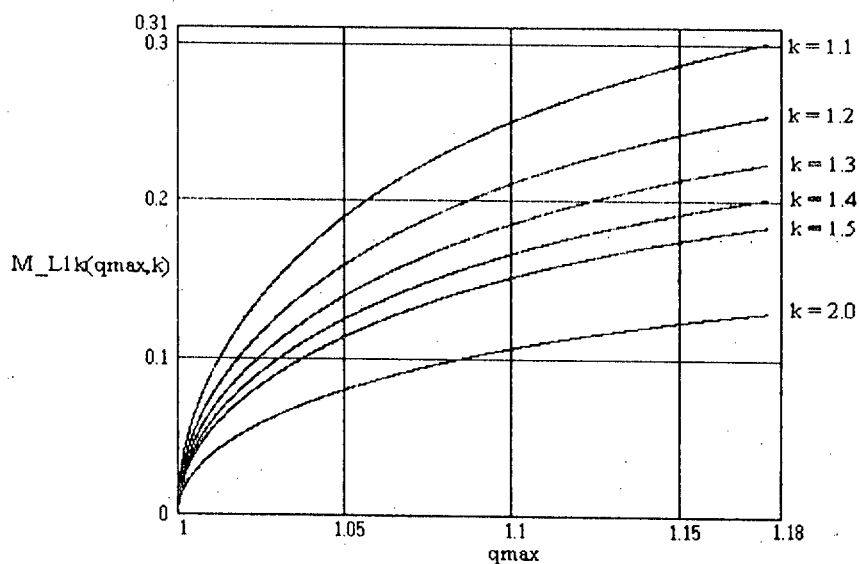
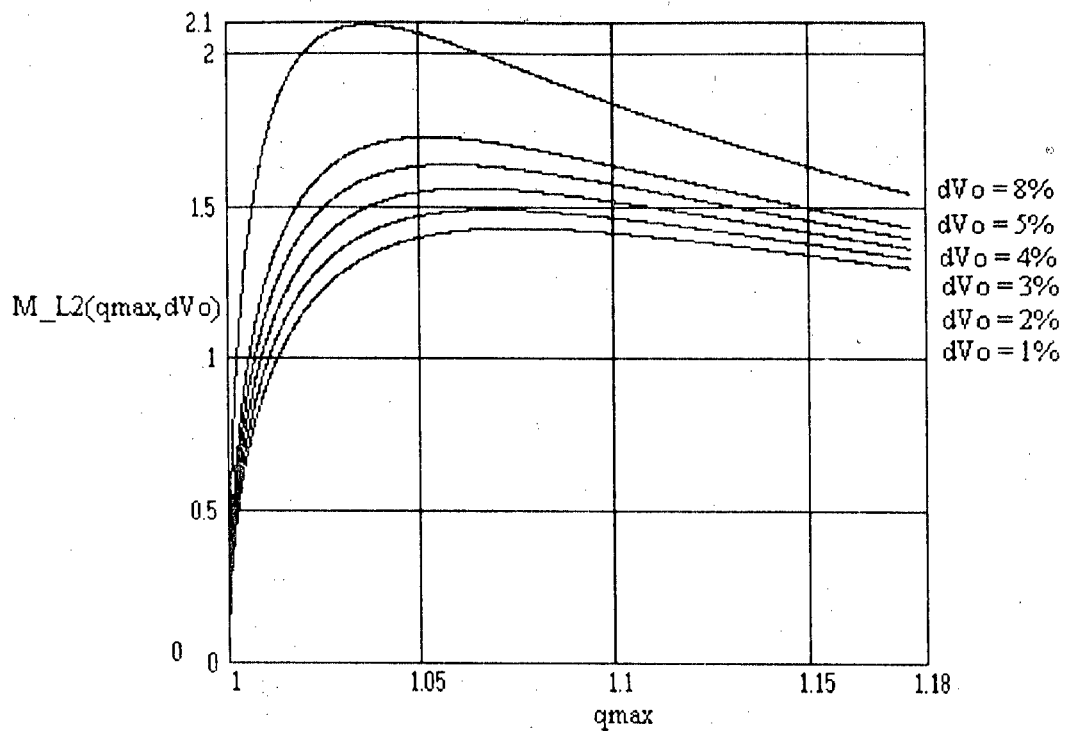
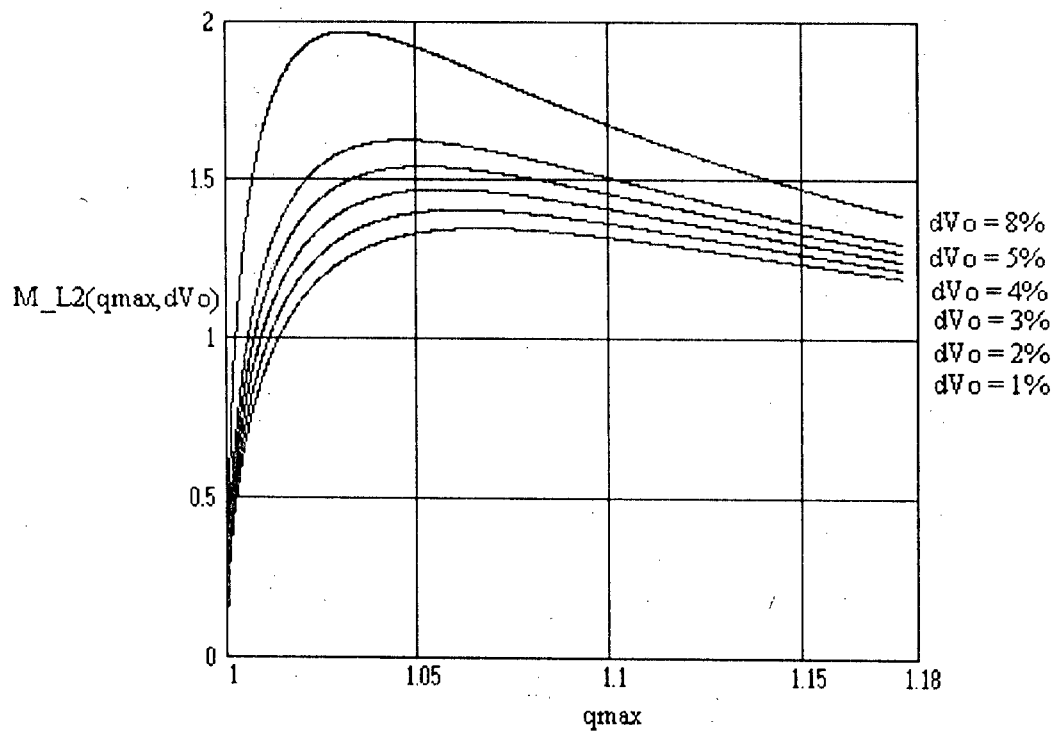


Figura 3.2: Ábaco para expressão 2.27, parametrizado em k



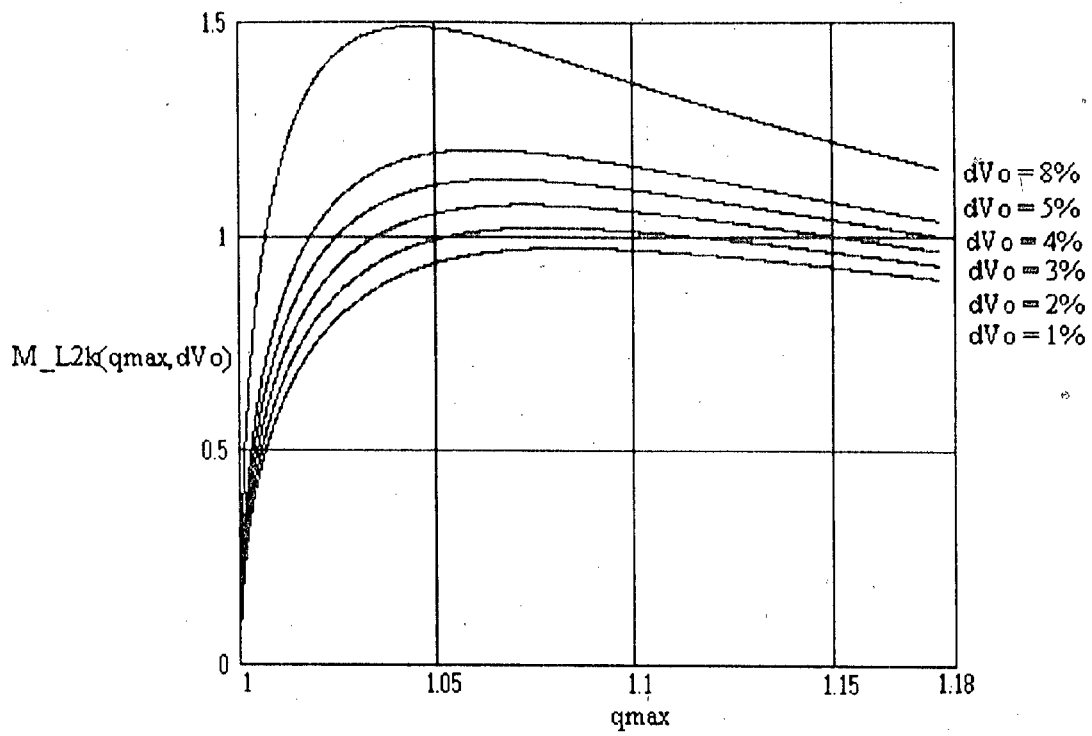
(a)



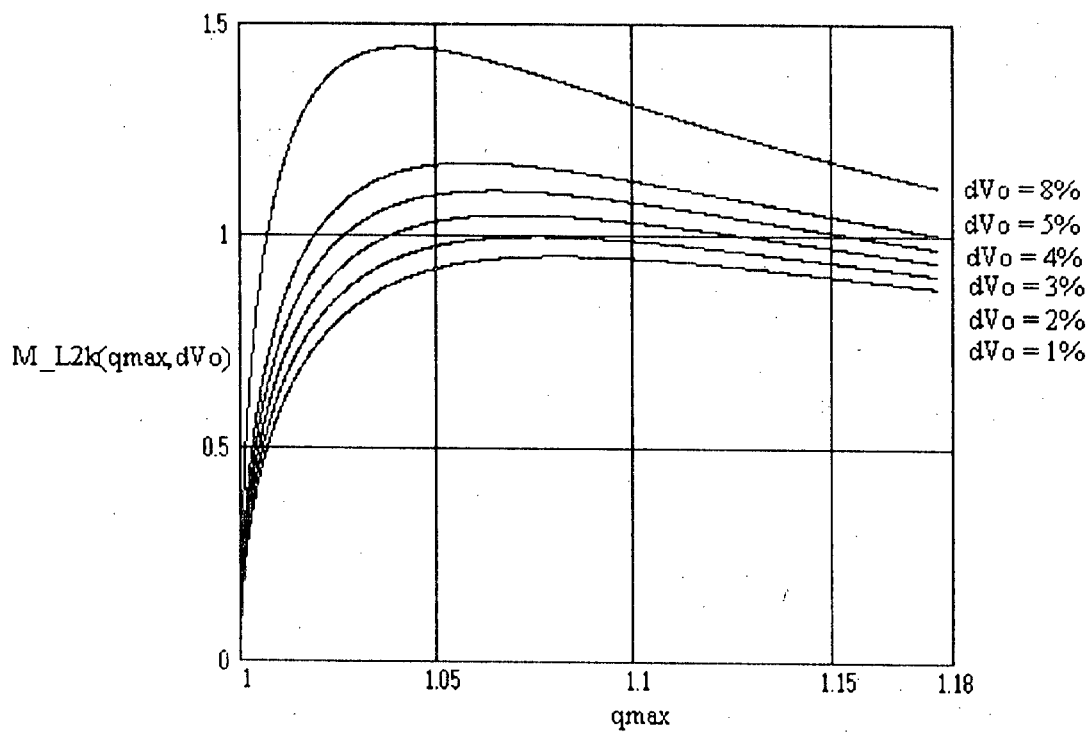
(b)

Figura 3.3: Ábacos para expressão 2.35, para $k = 1.0$, parametrizado em ΔV_o

(a) $\Delta P_o = 50\%$ (b) $\Delta P_o = 90\%$

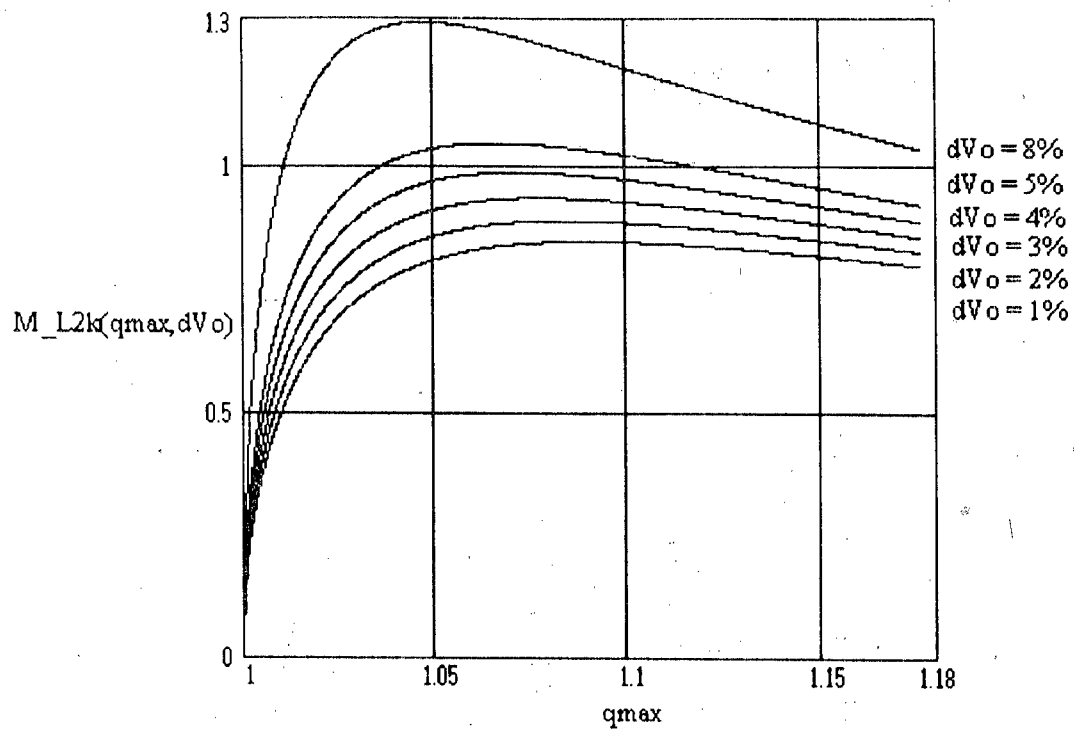


(a)

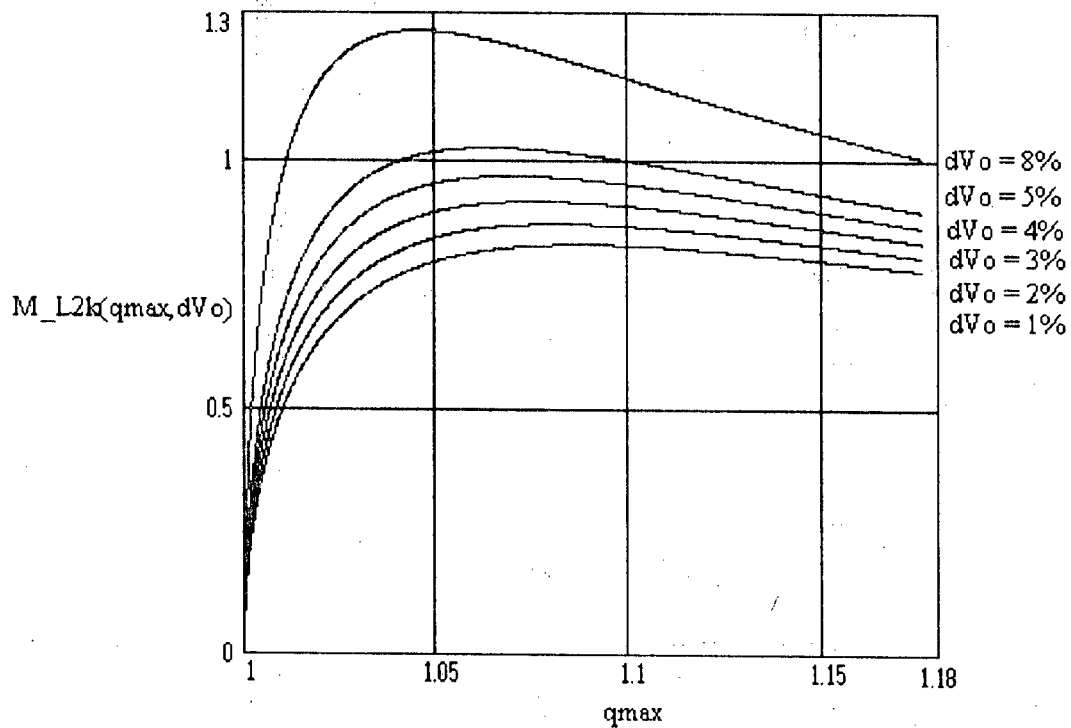


(b)

Figura 3.4: Abacos para expressão 2.40, para $k = 1.1$, parametrizado em ΔV_o
 (a) $\Delta P_o = 50\%$ (b) $\Delta P_o = 90\%$

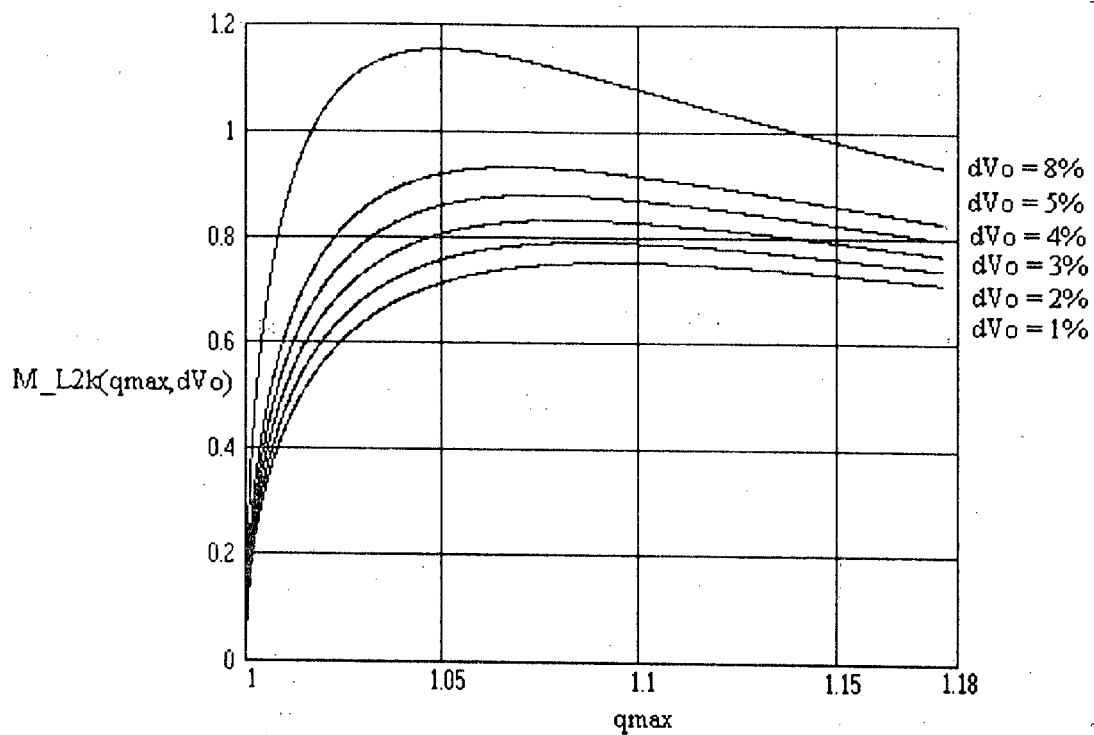


(a)

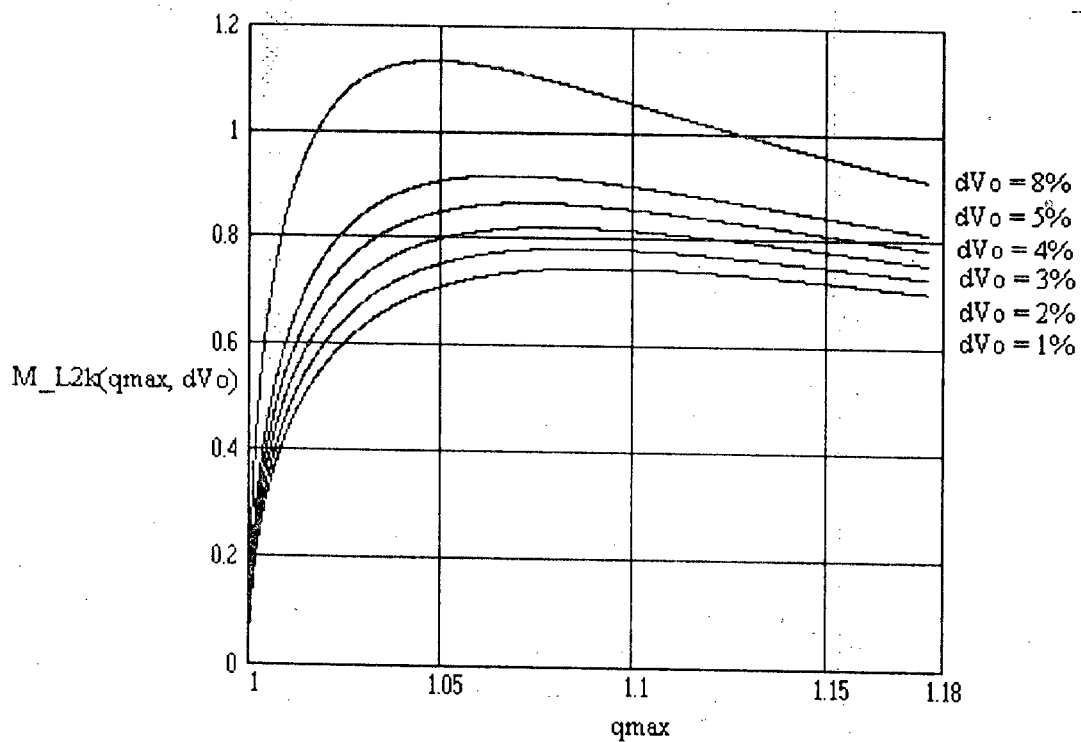


(b)

Figura 3.5: Ábacos para expressão 2.40, para $k=1.2$ parametrizado em ΔV_o (a) $\Delta P_o = 50\%$ (b) $\Delta P_o = 90\%$



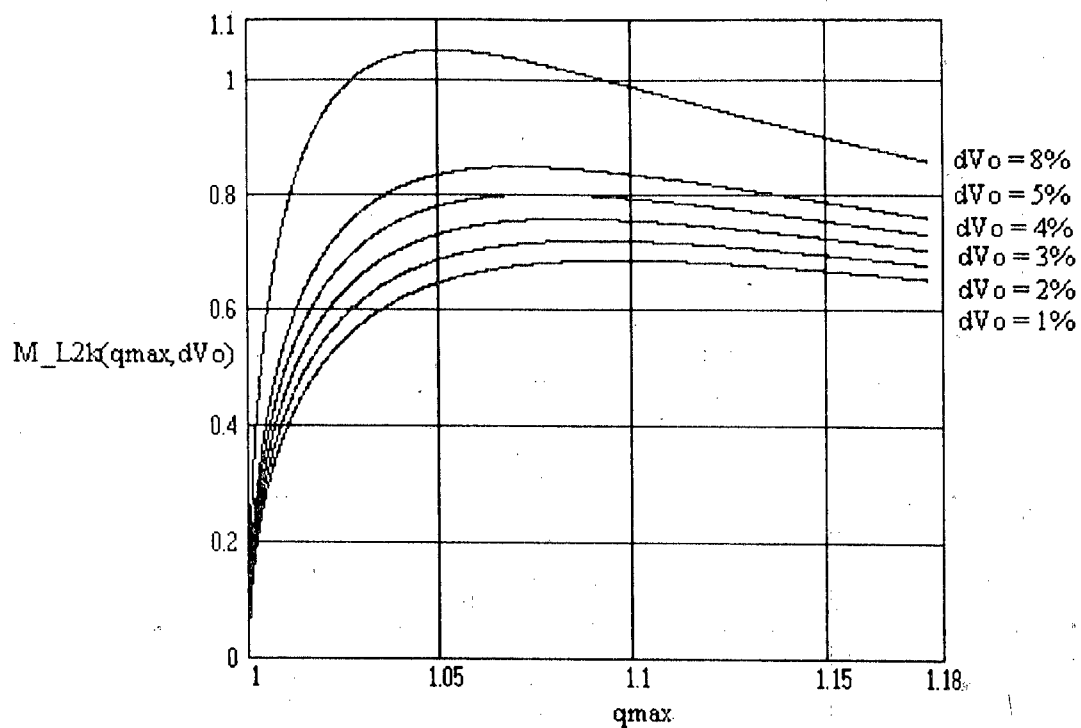
(a)



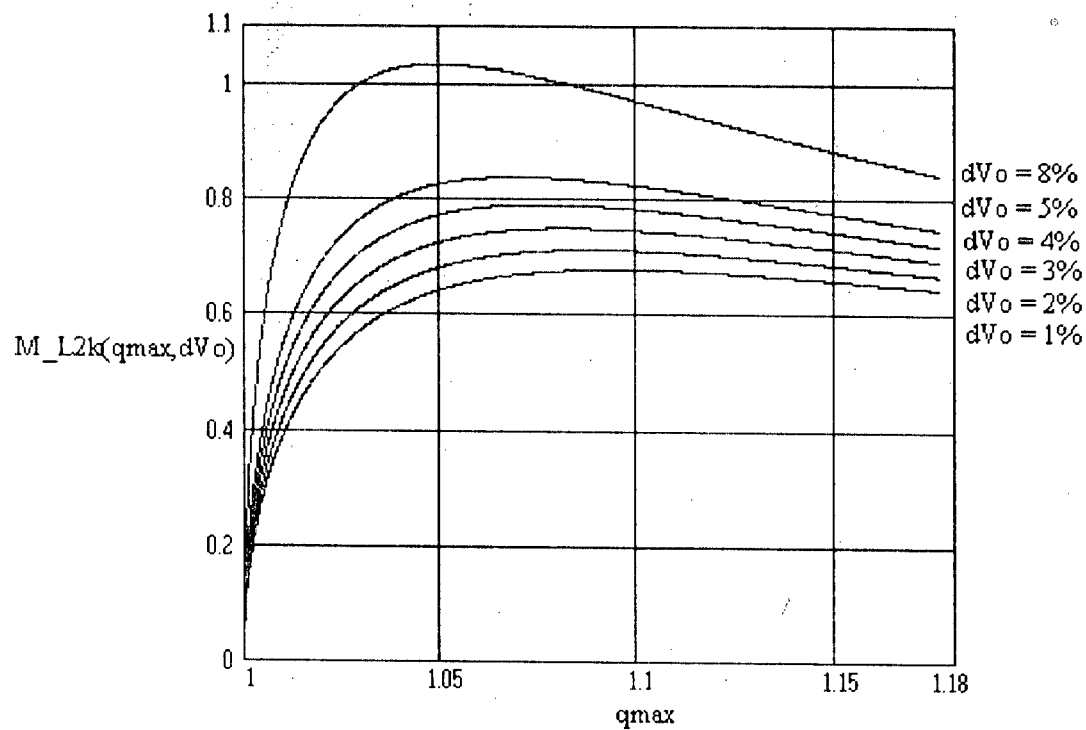
(b)

Figura 3.6: Abacos para expressão 2.40, para $k = 1.3$ parametrizado em ΔV_o

(a) $\Delta P_o = 50\%$ (b) $\Delta P_o = 90\%$

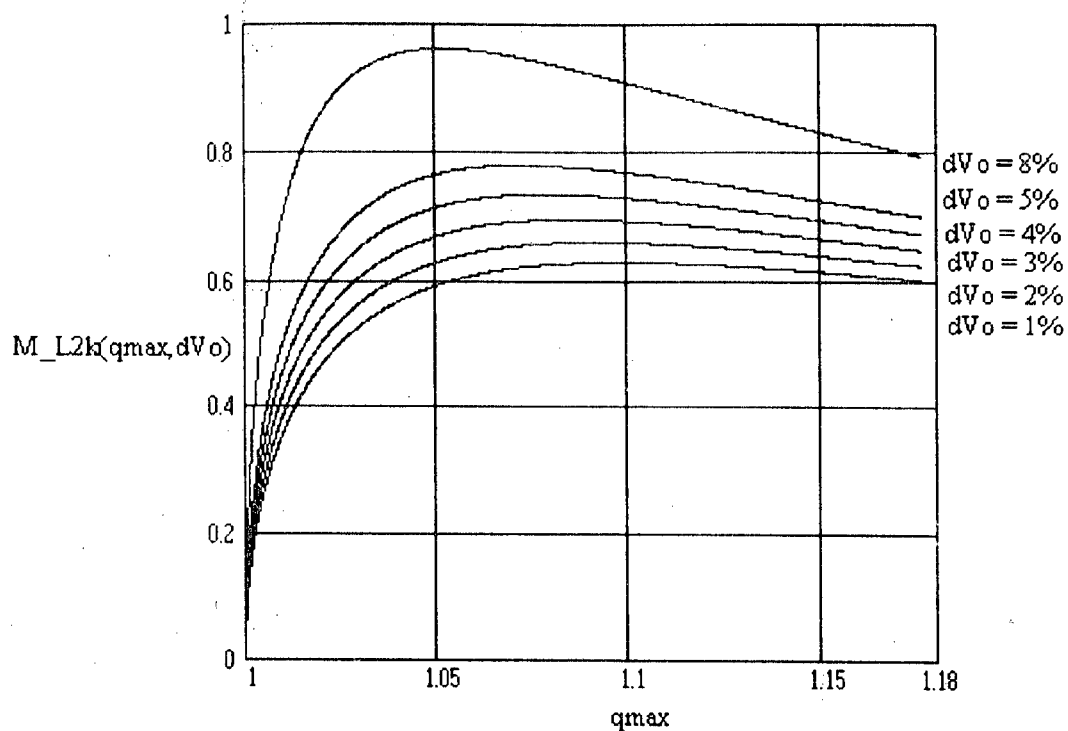


(a)

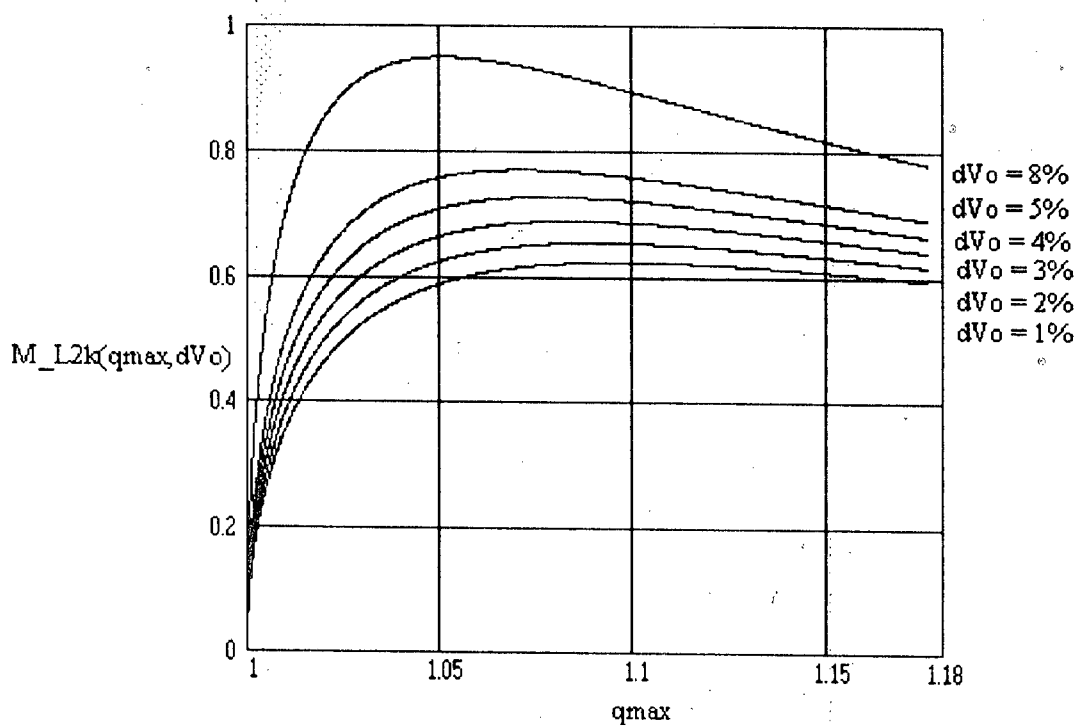


(b)

Figura 3.7: Abacos para expressão 2.40, para $k = 1.4$, parametrizado em ΔV_o
 (a) $\Delta P_o = 50\%$ (b) $\Delta P_o = 90\%$

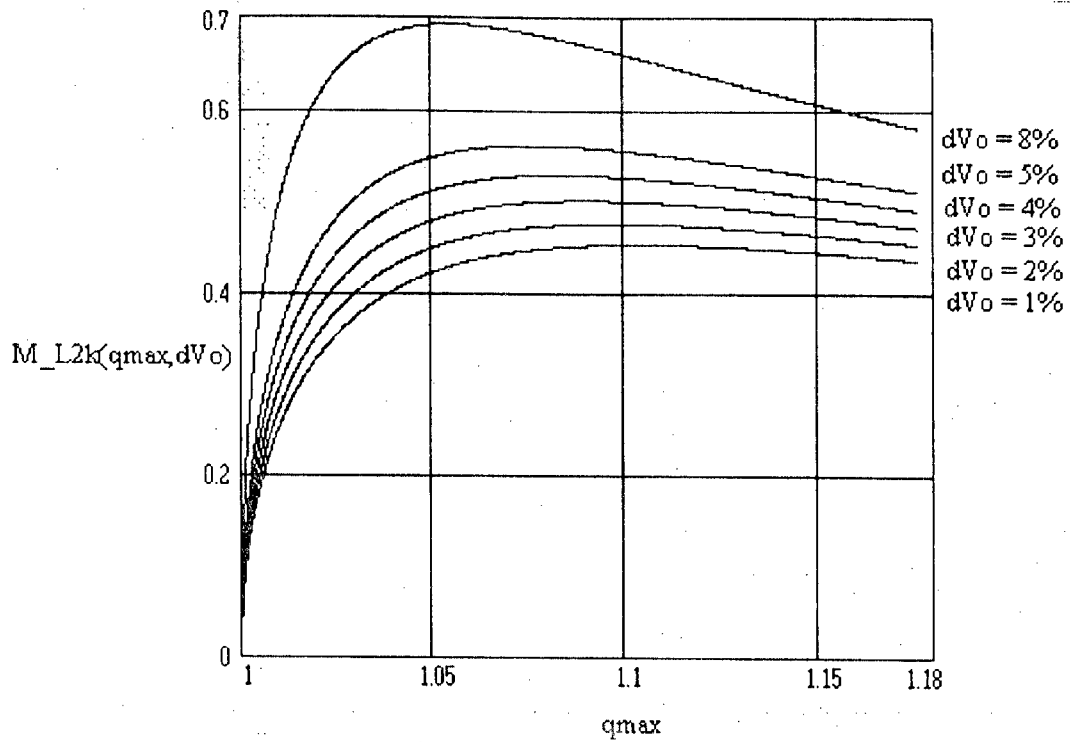


(a)

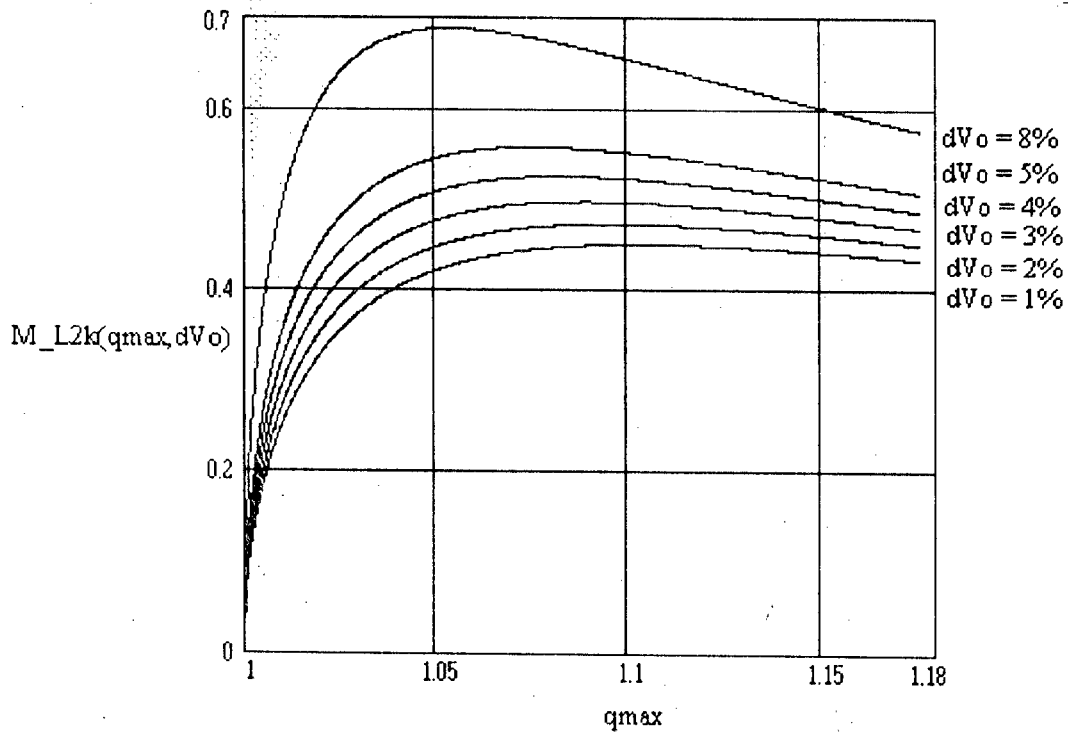


(b)

Figura 3.8: Ábacos para expressão 2.40, para $k=1.5$, parametrizado em ΔV_o
 (a) $\Delta P_o = 50\%$ (b) $\Delta P_o = 90\%$



(a)

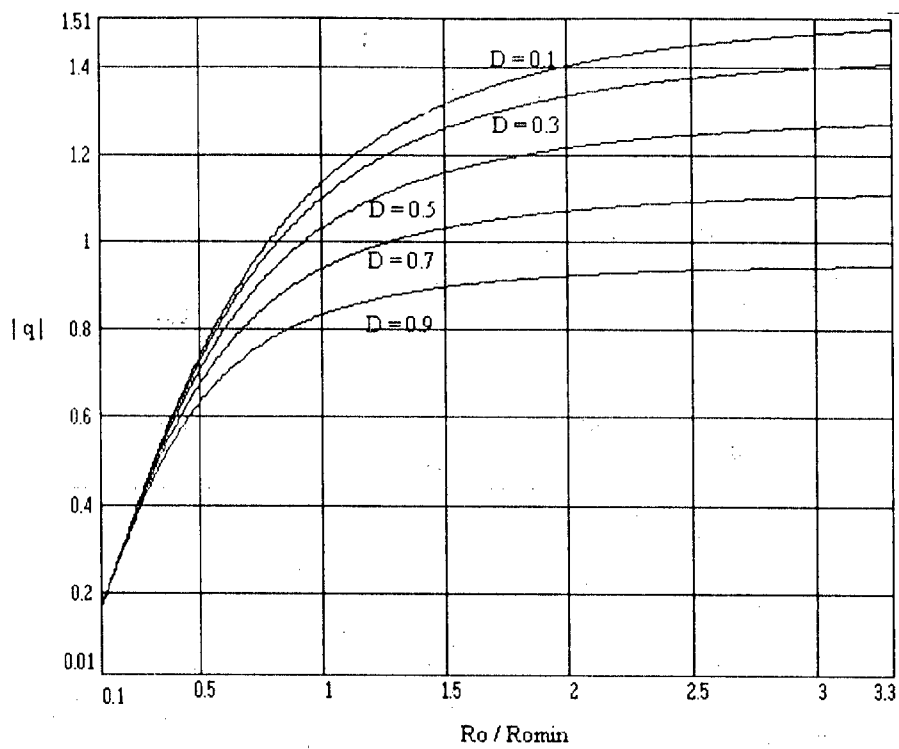


(b)

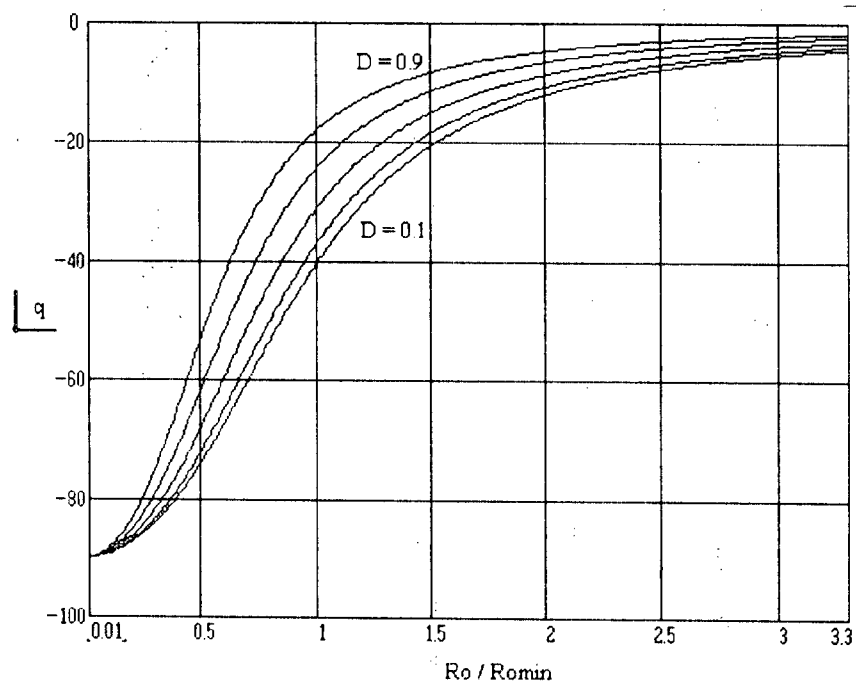
Figura 3.9: Ábacos para expressão 2.40, para $k=2.0$, parametrizado em ΔV_o

(a) $\Delta P_o = 50\%$ (b) $\Delta P_o = 90\%$

3.3. ÁBACOS DAS CARACTERÍSTICAS DE SAÍDA DO CONVERSOR

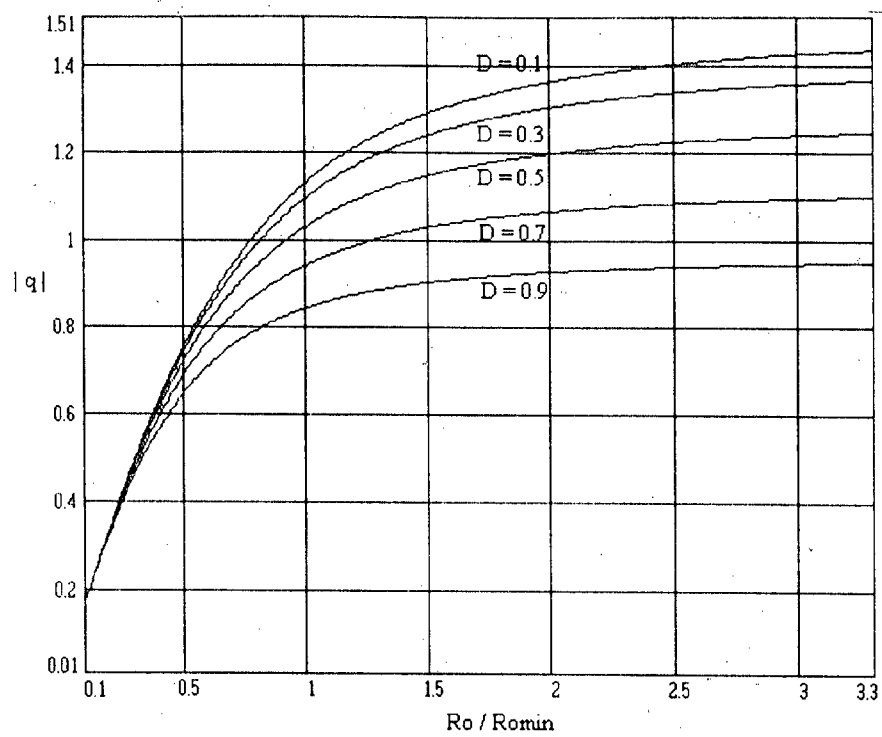


(a)

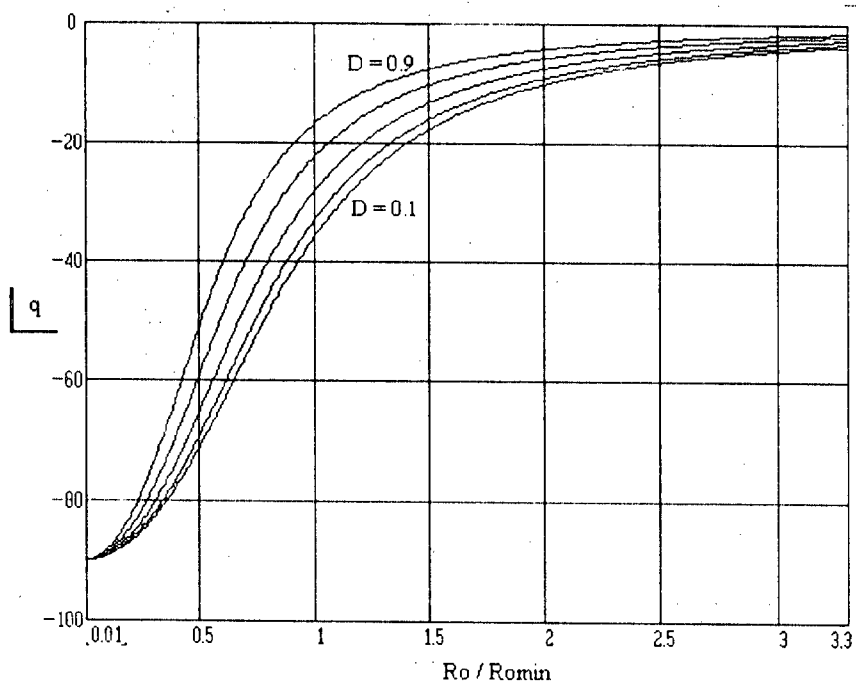


(b)

Figura 3.10: Ábacos para expressões 2.47 e 2.48, parametrizado em D , para $\Delta V_o = 1\%$
 (a) módulo do ganho de tensão (b) ângulo do ganho de tensão



(a)



(b)

Figura 3.11: Ábacos para expressões 2.47 e 2.48, parametrizado em D , para $\Delta V_o = 2\%$
 (a) módulo do ganho de tensão (b) ângulo do ganho de tensão

3.4. METODOLOGIA DE PROJETO DOS COMPONENTES DO CONVERSOR

O processo de determinação dos componentes armazenadores de energia do conversor é iterativo e depende muito dos fatores considerados importantes pelo projetista.

Quando se considera apenas a redução dos valores dos indutores (L_1, L_2) e do capacitor C_0 , a prática demonstra que a escolha de $1.1 \leq k \leq 1.3$, conduz aos menores valores para a tripla (L_1, C_0, L_2). Entretanto deve-se fazer uma análise mais profunda em relação ao custo versus volume dos citados componentes, pois a tecnologia de construção de capacitores em baixa frequência (60Hz) tende a permitir menores volumes que os indutores (para altas potências), porém com elevado custo. Mesmo sabendo-se que o valor da indutância independe da corrente que atravessa os indutores, deve-se fazer um estudo de custo "ferro x cobre", para determinar qual o indutor que tem uma maior redução de custo e volume quando se escolhe um capacitor de saída maior que o valor mínimo possível. Enfim, deduz-se que a experiência do projetista torna-se fundamental nesta análise.

3.4.1. Dados de entrada

1. - Tensão de entrada (V_i), de saída (V_0) e potência (P_0) ou resistência da carga (R_0).
2. - Frequência da rede de alimentação ($\omega = 2\pi f$) do conversor.
3. - Variação da tensão de entrada (ΔV_i), da tensão de saída (ΔV_0) e variação de carga do conversor (ΔR_0).
4. - Uma vez calculados os valores de q_{max} e q_{min} , a partir das variações de V_0 e V_i definidas pelo projetista para o conversor, estes serão usados como dados de entrada para os ábacos das figuras (3.1) a (3.9), em conjunto com a variação máxima da carga do conversor.
5. - Definida a faixa de variação de carga do conversor, R_{Omax} e R_{Omin} , utiliza-se estes valores, juntamente com os multiplicadores obtidos nos ábacos, para a determinação dos componentes armazenadores de energia.

3.4.2. Determinação do valor do par (L_1, C_0)

1. - Utiliza-se o valor de q_{max} no ábaco da figura (3.1), para obter os multiplicadores (M_{C_0}) e (M_{L_1}), que levados às expressões (2.22) e (2.25), determinam os valores de C_{Omin} e L_1 , respectivamente.
2. - Define-se valores múltiplos do capacitor de saída (kC_{Omin}). Usando-se k e q_{max} para obter os multiplicadores (M_{L_1k}) no ábaco da figura (3.2), que aplicados na expressão (2.27), determinam outros valores para o indutor L_1 , em função do valor múltiplo para o capacitor de saída considerado.

3. - Neste momento escolhe-se o valor ótimo para o par (L_1, C_0) , através de um processo iterativo. Esta escolha pode ser baseada em vários fatores determinados pelo projetista ou apenas pela redução no volume dos componentes.

3.4.3. Determinação do valor da tripla (L_1, C_0, L_2)

1. - Utiliza-se o valor de q_{\max} , q_{\min} e ΔR_0 no ábaco da figura (3.3), para obter o multiplicador (M_{L_2}) , que levado à expressão (2.35), determinará o valor do indutor L_2 .

2. - Tomando-se os valores múltiplos do capacitor de saída $(kC_{0\min})$, definidos anteriormente, pode-se usar k , q_{\max} , q_{\min} e ΔR_0 para a obtenção dos multiplicadores (M_{L_2k}) nos ábacos das figuras (3.4) a (3.9), que aplicados na expressão (2.40), determinaram outros valores para o indutor L_2 .

3. - Novamente faz-se necessário observar que existe um compromisso entre os valores de L_1 , C_0 e L_2 , resultando assim um processo iterativo para a determinação ótima da tripla (L_1, C_0, L_2) . Em geral a escolha de múltiplos do capacitor de saída $(kC_{0\min})$ conduz a valores menores para L_1 e L_2 .

4. - A prática, mostra que a escolha de $1.1 \leq k \leq 1.3$, conduz aos menores valores para a tripla (L_1, C_0, L_2) , quando se analisa apenas a redução dos valores das indutâncias e da capacitância dos elementos armazenadores de energia. Um bom método seria calcular todas as triplas e comparar as reduções ocorridas para cada valor de k escolhido.

3.5. EXEMPLOS DE PROJETO

3.5.1. Dimensionar os elementos armazenadores de energia para um conversor com as seguintes características:

$$V_i = 110V \pm 15\%$$

$$V_o = 110V \pm 1\%$$

$$P_o = 1KVA$$

$$f = 60Hz$$

a) Dados de entrada

$$V_i = 110V$$

$$V_o = 110V$$

$$P_o = 1KVA$$

$$R_o = \frac{(V_o)^2}{P_o} = \frac{(110)^2}{1000} = 12,1\Omega$$

$$\omega = 2\pi \cdot f = 2\pi \cdot 60 = 377 \text{ rad/s}$$

$$q_{\max} = \frac{V_o}{V_{i\min}} = \frac{0,99}{0,85} \cong 1,1647$$

$$q_{\min} = \frac{V_o}{V_{i\max}} = \frac{1,01}{1,15} \cong 0,8783$$

Pode-se definir $P_{o\min} = 10\% \cdot P_{o\max} = 0,1\text{KVA}$, então:

$$R_{o\max} = 121\Omega$$

b) Determinação do valor do par (L_1, C_o)

Usando $q_{\max} \cong 1,1647$ no ábaco da figura (3.1), obtem-se:

$$M_{C_o} = M_{L_1} = 0,597$$

Das expressões (2.22) e (2.25) tem-se:

$$C_{o\min} = \frac{1}{\omega R_{o\min}} \cdot (M_{C_o}) = \frac{1}{377 \cdot 12,1} \cdot 0,597 = 130,87\mu\text{F}$$

$$L_1 = \frac{R_{o\min}}{\omega} \cdot (M_{L_1}) = \frac{12,1}{377} \cdot 0,597 = 19,16\text{mH}$$

c) Determinação do valor de L_2

Desejando-se uma variação de 90% de carga do conversor, na figura (3.3b), obtem-se:

$$M_{L_2} = 1,210$$

$$L_2 = \frac{12,1}{377} \cdot 1,210 = 38,83\text{mH}$$

Definindo-se uma faixa de razão cíclica ($0,1 < D < 0,9$) menor que a máxima variação possível, deve-se reduzir o valor do indutor L_2 em percentagem igual à considerada para redução da razão cíclica, ou seja, $L_2 = 0,8 \cdot 38,83 = 31,06\text{mH}$.

Vale salientar que na prática torna-se difícil conseguir variação da razão cíclica (D) maior que a faixa considerada.

d) Escolha dos valores ótimos para a tripla (L_1, C_o, L_2)

Através de um processo iterativo pode-se arbitrar valores múltiplos para o capacitor de saída ($K C_{o\min}$) obtendo-se valores reduzidos para os indutores.

$$C_0 = 1,1 \cdot C_{Omin} = 143,96 \mu F$$

$$C_0 = 1,2 \cdot C_{Omin} = 157,04 \mu F$$

$$C_0 = 1,3 \cdot C_{Omin} = 170,13 \mu F$$

Usando-se os valores de K e q_{max} no ábaco da figura (3.2) obtêm-se os multiplicadores $M_{L_{1k}}$ que aplicados na expressão (2.27) resultam outros valores para o indutor L_1 .

$$k = 1,1 \rightarrow M_{L_{1k}} = 0,295 \Rightarrow L_1 = \frac{12,1}{377} \cdot 0,295 = 9,47 \text{mH}$$

$$k = 1,2 \rightarrow M_{L_{1k}} = 0,249 \Rightarrow L_1 = 7,99 \text{mH}$$

$$k = 1,3 \rightarrow M_{L_{1k}} = 0,219 \Rightarrow L_1 = 7,03 \text{mH}$$

Usando os valores de K , q_{max} , q_{min} e $\Delta Ro = 10\%$ nos ábacos das figuras (3.4b) a (3.6b) obtêm-se os multiplicadores $M_{L_{2k}}$ que aplicados na expressão 2.40 resultam os seguintes valores para o indutor L_2 .

$$k = 1,1 \rightarrow M_{L_{2k}} = 0,888 \Rightarrow L_2 = \frac{12,1}{377} \cdot 0,888 = 28,5 \text{mH}$$

$$k = 1,2 \rightarrow M_{L_{2k}} = 0,786 \Rightarrow L_2 = 25,23 \text{mH}$$

$$k = 1,3 \rightarrow M_{L_{2k}} = 0,710 \Rightarrow L_2 = 22,79 \text{mH}$$

Nota-se que a maior variação nos valores dos indutores L_1 e L_2 ocorre quando se escolhe $K=1,1$. A partir de $K=1,3$ a redução de L_1 e L_2 não é muito significativa. Vale salientar também que quanto maior K escolhido, menor o valor de L_2 e portanto maior as correntes nas chaves (expressões 2.54 a 2.57), assim o projetista deve escolher o ponto ótimo entre redução de volume e aumento das correntes nas chaves principais do conversor.

Novamente deve-se reduzir o valor do indutor L_2 calculado em percentagem igual à redução prática considerada na variação da razão cíclica.

3.5.2. Dimensionar os elementos armazenadores de energia para um conversor com as seguintes características:

$$V_i = 220V \pm 15\%$$

$$V_o = 220V \pm 1\%$$

$$P_o = 2 \text{KVA}$$

$$f = 60 \text{Hz}$$

a) Dados de entrada

$$V_i = 220V$$

$$V_o = 220V$$

$$P_o = 2 \text{KVA}$$

$$R_o = \frac{(V_o)^2}{P_o} = \frac{(220)^2}{2000} = 24,2\Omega$$

$$\omega = 2\pi \cdot f = 2\pi \cdot 60 = 377 \text{ rad/s}$$

$$q_{\max} = \frac{V_o}{V_{i\min}} = \frac{0,99}{0,85} \cong 1,1647$$

$$q_{\min} = \frac{V_o}{V_{i\max}} = \frac{1,01}{1,15} \cong 0,8783$$

Definindo-se $P_{o\min} = 10\% \cdot P_{o\max} = 0,2\text{KVA}$, tem-se:

$$R_{o\max} = 242\Omega$$

b) Determinação do valor do par (L_1, C_0)

Usando $q_{\max} \cong 1,1647$ no ábaco da figura (3.1), obtém-se:

$$M_{C_0} = M_{L_1} = 0,597$$

Das expressões (2.22) e (2.25) tem-se:

$$C_{o\min} = \frac{1}{\omega R_{o\min}} \cdot (M_{C_0}) = \frac{1}{377 \cdot 24,2} \cdot 0,597 = 65,44\mu\text{F}$$

$$L_1 = \frac{R_{o\min}}{\omega} \cdot (M_{L_1}) = \frac{24,2}{377} \cdot 0,597 = 38,32\text{mH}$$

c) Determinação do valor de L_2

Considerando-se uma variação de 90% da carga do conversor, na figura (3.3b), obtém-se:

$$M_{L_2} = 1,210$$

$$L_2 = \frac{24,2}{377} \cdot 1,210 = 77,67\text{mH}$$

d) Escolha dos valores ótimos para a tripla (L_1, C_0, L_2)

Atribuindo-se valores múltiplos para o capacitor de saída ($K C_{o\min}$) obtém-se redução significativa nos indutores L_1 e L_2 , resultando portanto um processo iterativo para escolha dos elementos armazenadores de energia. Vale salientar que reduzindo-se L_2 aumenta-se a corrente nas chaves principais (expressões 2.54 a 2.57), havendo assim outro compromisso entre a redução do volume dos indutores e aumento da capacidade de corrente das chaves de potência.

$$C_o = 1,1 \cdot C_{o\min} = 71,98\mu\text{F}$$

$$C_o = 1,2 \cdot C_{o\min} = 78,53\mu\text{F}$$

$$C_o = 1,3 \cdot C_{o\min} = 98,16\mu\text{F}$$

Usando os valores de K e q_{\max} no ábaco da figura (3.2) obtêm-se os multiplicadores $M_{L_{1k}}$ que aplicados na expressão (2.27) resultam outros valores para o indutor L_1 .

$$k = 1,1 \rightarrow M_{L_{1k}} = 0,295 \Rightarrow L_1 = \frac{24,2}{377} \cdot 0,295 = 18,93\text{mH}$$

$$k = 1,2 \rightarrow M_{L_{1k}} = 0,249 \Rightarrow L_1 = 0,0642 \cdot 0,249 = 15,98\text{mH}$$

$$k = 1,5 \rightarrow M_{L_{1k}} = 0,179 \Rightarrow L_1 = 0,0642 \cdot 0,179 = 11,49\text{mH}$$

Usando os valores de K , q_{\max} , q_{\min} e $\Delta R_o=10\%$ nos ábacos das figuras (3.4b) a (3.8b) obtêm-se os multiplicadores $M_{L_{2k}}$ que aplicados na expressão 2.40 resultam os seguintes valores para o indutor L_2 .

$$k = 1,1 \rightarrow M_{L_{2k}} = 0,888 \Rightarrow L_2 = \frac{24,2}{377} \cdot 0,888 = 57\text{mH}$$

$$k = 1,2 \rightarrow M_{L_{2k}} = 0,786 \Rightarrow L_2 = 0,0642 \cdot 0,786 = 50,46\text{mH}$$

$$k = 1,5 \rightarrow M_{L_{2k}} = 0,595 \Rightarrow L_2 = 0,0642 \cdot 0,595 = 38,20\text{mH}$$

Novamente deve-se reduzir o valor do indutor L_2 calculado em percentagem igual à redução prática da variação máxima da razão cíclica considerada.

3.6. EXEMPLOS DE DIMENSIONAMENTO DO CIRCUITO DE POTÊNCIA

3.6.1. Dimensionar o circuito de potência para um conversor com as características abaixo:

$$V_i = 110\text{V} \pm 15\%$$

$$V_o = 110\text{V} \pm 1\%$$

$$P_o = 1\text{KVA}$$

$$f = 60\text{Hz}$$

Conforme calculado no item (3.5.1) tem-se os seguintes valores para tripla (L_1 , C_o , L_2), considerando-se $C_o = C_{O\min}$:

$$L_1 = 19,16\text{mH}$$

$$C_o = 130,87\mu\text{F}$$

$$L_2 = 31,06\text{mH}$$

Considerando-se $\Delta R_o = 90\%$ tem-se: $12,1\Omega \leq R_o \leq 121\Omega$. Das expressões (2.54) a (2.59) obtêm-se os seguintes valores:

$$I_{S1\text{Amd}} = I_{S1\text{Bmd}} = \frac{110 \cdot 0,9^2}{2 \cdot 377 \cdot 31,06 \cdot 10^{-3}} = 3,80\text{A}$$

$$I_{S2Amd} = I_{S2Bmd} = \frac{110 \cdot 0,5(1-0,5)}{2 \cdot 377 \cdot 31,06 \cdot 10^{-3}} = 1,17 \text{ A}$$

$$I_{S1Aef} = I_{S1Bef} = \frac{110 \cdot 0,9^2}{\sqrt{2} \cdot 377 \cdot 31,06 \cdot 10^{-3}} = 5,38 \text{ A}$$

$$I_{S2Aef} = I_{S2Bef} = \frac{110 \cdot 0,5(1-0,5)}{\sqrt{2} \cdot 377 \cdot 31,06 \cdot 10^{-3}} = 1,66 \text{ A}$$

$$V_{S1Apk} = V_{S1Bpk} = \sqrt{2} \cdot 110 = 155,56 \text{ V}$$

$$V_{S2Apk} = V_{S2Bpk} = \sqrt{2} \cdot 110 = 155,56 \text{ V}$$

Das expressões (2.60) e (2.66) tem-se:

$$I_{L,ref} = \frac{110 \cdot 0,9}{377 \cdot 31,06 \cdot 10^{-3}} = 8,45 \text{ A}$$

$$I_{L,ref} = \frac{110}{377 \cdot 31,06 \cdot 10^{-3} \cdot 12,1} \sqrt{(377 \cdot 31,06 \cdot 10^{-3})^2 + [-12,1(0,9^2 - 377^2 \cdot 31,06 \cdot 10^{-3} \cdot 130,87 \cdot 10^{-6})]^2} = 9,35 \text{ A}$$

3.6.2. Dimensionar o circuito de potência para um conversor com as características abaixo:

$$V_i = 220 \text{ V} \pm 15\%$$

$$V_o = 220 \text{ V} \pm 1\%$$

$$P_o = 2 \text{ KVA}$$

$$f = 60 \text{ Hz}$$

Conforme calculado no item (3.5.2) tem-se os seguintes valores para tripla (L_1 , C_O , L_2), considerando-se $C_O = 1,1 C_{Omin}$:

$$L_1 = 18,93 \text{ mH}$$

$$C_O = 71,98 \mu\text{F}$$

$$L_2 = 45,6 \text{ mH}$$

Considerando-se $\Delta R_O = 90\%$ tem-se: $24,2 \Omega \leq R_o \leq 242 \Omega$. Das expressões (2.54) a (2.59) obtém-se os seguintes valores:

$$I_{S1Amd} = I_{S1Bmd} = \frac{220 \cdot 0,9^2}{2 \cdot 377 \cdot 45,6 \cdot 10^{-3}} = 5,18 \text{ A}$$

$$I_{S2Amd} = I_{S2Bmd} = \frac{220 \cdot 0,5(1 - 0,5)}{2 \cdot 377 \cdot 45,6 \cdot 10^{-3}} = 1,60 \text{ A}$$

$$I_{S1Aef} = I_{S1Bef} = \frac{220 \cdot 0,9^2}{\sqrt{2} \cdot 377 \cdot 45,6 \cdot 10^{-3}} = 7,33 \text{ A}$$

$$I_{S2Aef} = I_{S2Bef} = \frac{220 \cdot 0,5(1 - 0,5)}{\sqrt{2} \cdot 377 \cdot 45,6 \cdot 10^{-3}} = 2,26 \text{ A}$$

$$V_{S1Apk} = V_{S1Bpk} = \sqrt{2} \cdot 220 = 311,13 \text{ V}$$

$$V_{S2Apk} = V_{S2Bpk} = \sqrt{2} \cdot 220 = 311,13 \text{ V}$$

Das expressões (2.60) e (2.66) tem-se:

$$I_{L2ef} = \frac{220 \cdot 0,9}{377 \cdot 45,6 \cdot 10^{-3}} = 11,52 \text{ A}$$

$$I_{L1ef} = \frac{220}{377 \cdot 45,6 \cdot 10^{-3} \cdot 24,2} \sqrt{(377 \cdot 45,6 \cdot 10^{-3})^2 + [-24,2(0,9^2 - 377^2 \cdot 45,6 \cdot 10^{-3} \cdot 71,98 \cdot 10^{-6})]^2} = 10,10 \text{ A}$$

3.7. CONCLUSÃO

Neste capítulo foram traçados ábacos para auxiliar no dimensionamento dos elementos armazenadores de energia (L_1 , C_o , L_2) do conversor e ábacos para determinar as características de saída do conversor. Uma metodologia de projeto simples foi apresentada, seguida por exemplos ilustrativos do procedimento descrito.

Apresentou-se vários ábacos que possibilitam a escolha dos valores dos indutores dependendo do valor assumido para o capacitor de saída. Estes ábacos são de caráter geral, pois foram obtidos em função apenas da variação máxima da tensão da rede de alimentação e da variação da tensão de saída desejada. Como descrito no procedimento de projeto, os fatores determinados nos ábacos são levados às expressões do capítulo 2, e em conjunto com a carga e a frequência da rede determinam os valores finais dos indutores e capacitor de saída do conversor.

Nota-se dos vários ábacos traçados que escolhendo-se valores múltiplos do capacitor de saída ocorrem reduções significativas dos valores dos indutores, ficando a critério do projetista escolher os melhores valores para a tripla (L_1 , C_o , L_2), visto que uma das desvantagens em se reduzir os valores dos indutores é o aumento da corrente nas chaves de potência do conversor.

Em uma segunda etapa obteve-se ábacos para o módulo e o ângulo do ganho estático de tensão do conversor. Também neste caso traçou-se ábacos tão genéricos quanto possível, os

quais dependem apenas da potência nominal do conversor, da faixa de variação de carga e da regulação de tensão desejada na saída do conversor. Estes ábacos mostram claramente a ação do conversor (elevador-abaixador) quando se varia a razão cíclica de chaveamento para uma determinada carga.

Em termos práticos definiu-se a máxima variação da razão cíclica ($0,1 < D < 0,9$) menor que a considerada no equacionamento. Por simulação, mostrou-se razoável tomar uma redução percentual (20%) do valor do indutor L_2 calculado da mesma ordem da redução na variação máxima da razão cíclica ($0 < D < 1$) considerada. Simulou-se outras reduções na razão cíclica e esta aproximação prática mostrou-se razoável.

Exemplos de dimensionamento dos elementos de potência foram apresentados, para ilustrar as expressões obtidas (Capítulo 2), bem como comparar com os valores obtidos nos resultados de simulação e experimentais (Capítulo 6).

Vale observar que o conversor tem características de saída de fonte de tensão, aproximadamente linear, na faixa de operação projetada ($100\% > P_o > 10\%$), degenerando a regulação de tensão de saída quando ocorre sobrecarga. Neste caso a variação da razão cíclica, não consegue mais regular a tensão de saída do conversor, ocorrendo uma queda acentuada do valor eficaz da tensão de saída.

Com relação ao ângulo da tensão de saída, observa-se dos ábacos, que este varia de noventa (90) graus negativos, na condição de sobrecarga, a aproximadamente zero (0) grau na condição de carga mínima.

CAPÍTULO 4

CIRCUITOS DE COMANDO, CONTROLE E PROTEÇÃO DO CONVERSOR

4.1. INTRODUÇÃO

Neste capítulo serão apresentados os circuitos de comando, controle e proteção, utilizados no protótipo implementado em laboratório. A geração dos pulsos PWM foi realizada a partir de um CI-3524. O circuito de atraso dos pulsos PWM, para obtenção da lógica de chaveamento em quatro(4) etapas, mostrou-se bastante simples e eficiente, utilizando-se apenas resistores, capacitores e circuitos lógicos(CMOS). O circuito de ataque de "gate" das chaves principais foi implementado utilizando-se fotoacopladores para isolamento dos pulsos de comando. Também foram projetados circuitos de proteção contra sobretensões nas chaves e na carga.

Determina-se também a função de transferência do conversor, indicando-se circuitos para implementar a realimentação da tensão de saída pela técnica de amostragem da tensão eficaz.

A listagem dos componentes utilizados no protótipo será apresentada em tabelas.

4.2. DIAGRAMA DE BLOCOS DO CONVERSOR

O conversor pode ser representado pelo seguinte diagrama de blocos:

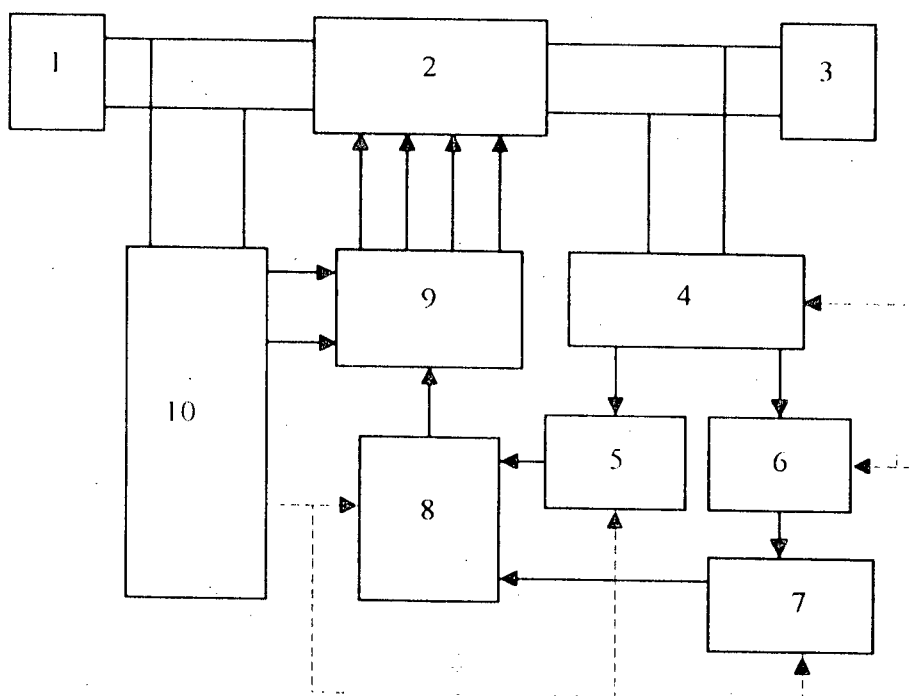


Figura 4.1: Diagrama de blocos completo do conversor

O diagrama de blocos apresentado acima é constituído dos seguintes blocos:

- BLOCO 1 : Circuito de entrada do estágio de potência.
- BLOCO 2 : Estrutura do estágio de potência do conversor proposto.
- BLOCO 3 : Carga do conversor proposto.
- BLOCO 4 : Circuito de amostragem da tensão de saída (V_o).
- BLOCO 5 : Circuito de sincronismo da tensão de saída (V_o).
- BLOCO 6 : Circuito de controle da tensão de saída (V_o).
- BLOCO 7 : Circuito de geração do pulso (PWM) de comando das chaves principais.
- BLOCO 8 : Circuito de atraso e multiplexação dos pulsos de comando.
- BLOCO 9 : Circuito de isolamento dos pulsos de comando das chaves principais.
- BLOCO 10 : Fontes auxiliares para o circuito de comando do conversor.

4.3. FONTES AUXILIARES E ISOLAÇÃO DE PULSOS DE COMANDO

Em virtude das chaves principais não apresentarem massa(terra) comum ao terra geral do conversor(GND), faz-se necessário a utilização de duas(2) fontes auxiliares isoladas entre si para o circuito de ataque de "gate" das chaves principais(+18Vcc1 e +18Vcc2). Assim a fonte auxiliar simétrica($\pm 15vcc$) referenciada ao terra geral do conversor(GND) alimenta todo o circuito de comando e proteção do conversor, exceto quando o circuito referencia-se ao terra da chave bidirecional(GND1 ou GND2). Utilizou-se ainda, divisores capacitivos(+3Vcc1 e +3Vcc2), equalizados por resistências para garantir tensões fixas, a fim de se obter um circuito de ataque de "gate" rápido e eficiente aplicando-se tensão positiva e negativa para o comando das chaves principais sem acréscimo significativo de custo. Utilizou-se diodos zener's(3v3) em conjunto com reguladores de tensão (7815) para garantir os níveis de tensão desejados para ataque de "gate" das chaves(+15v ou -3v).

O circuito para isolamento dos pulsos de comando das chaves foi implementado com fotoacopladores(6N136) visto que o mesmo alia boa rejeição a ruído na faixa de frequência desejada, baixo custo e volume reduzido.

Inicialmente trabalhou-se com a possibilidade de se implementar a isolação dos pulsos usando transformador de pulso, entretanto estes se tornaram volumosos em virtude dos pulsos PWM serem em uma frequência relativamente baixa(3 kHz), com o agravante da necessidade de uma ampla faixa de razão cíclica($0.1 < D < 0.9$) para otimização do volume dos elementos armazenadores de energia do circuito de potência do conversor, tornado-os mais volumosos ainda, pois desejaria-se transferir através destes toda a energia necessária ao disparo ou bloqueio das chaves, em pequenos intervalos de tempo. Em uma segunda tentativa, imaginou-se a possibilidade de associar uma portadora em alta frequência(>50 kHz) aos sinais de comando para reduzir o volume dos transformadores de pulso, entretanto esta técnica impõe um tempo de "cauda" ao sinal resultante que é comparável aos atrasos gerados para a implementação da técnica

de comando das chaves, utilizando-se portanto fotoacopladores para isolação dos pulsos de comando das chaves do conversor.

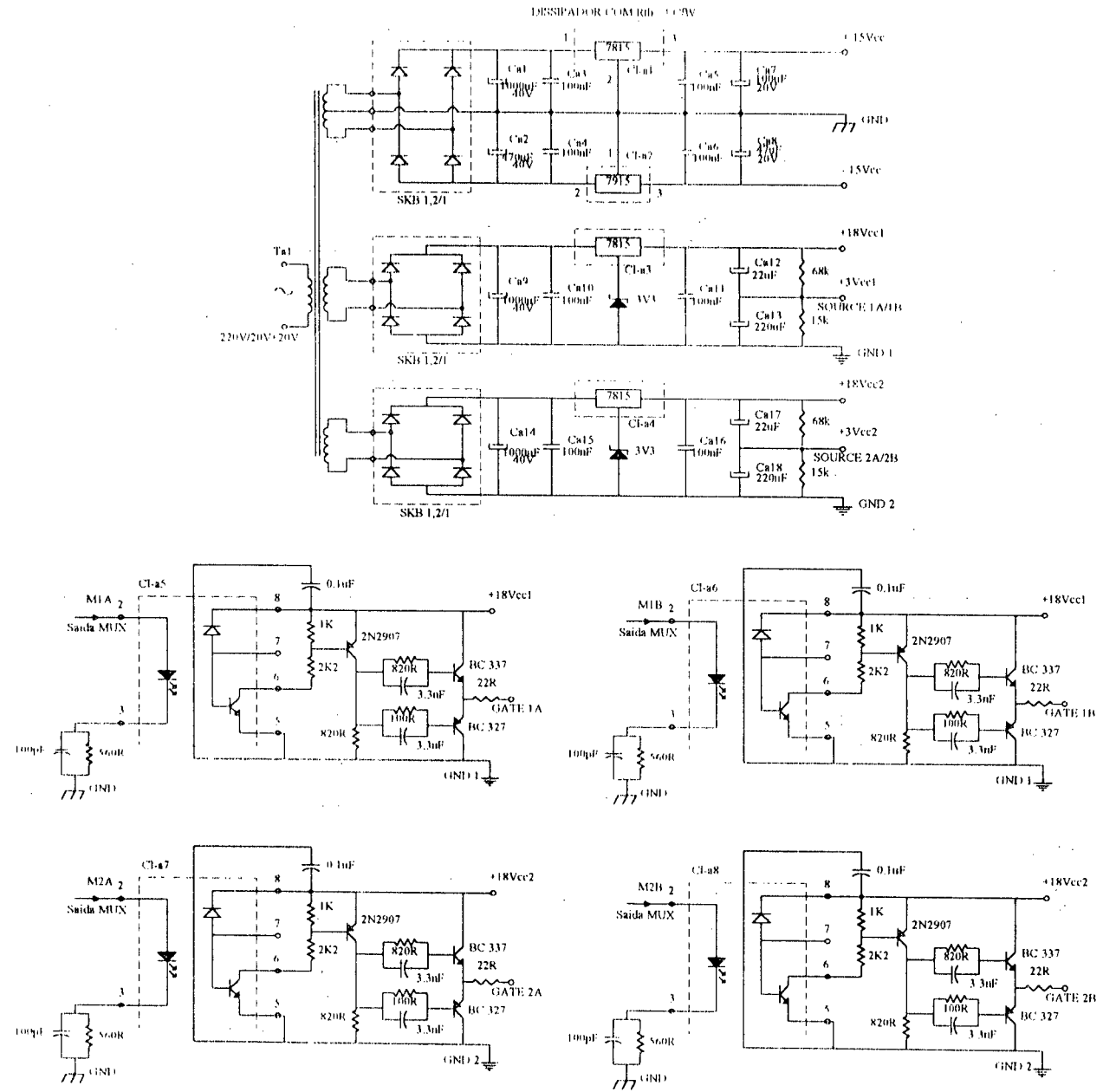


Figura 4.2: Fontes auxiliares e circuito de isolação de sinais de comando

4.4. CIRCUITO DE GERAÇÃO E ATRASO DE PULSOS DE COMANDO

A geração dos pulsos de comando tem como base o CI - 3524 que gera pulsos PWM que serão atrasados, para gerar o chaveamento em quatro(4) etapas definido na figura 1.5, por redes RC em conjunto com portas lógicas, obtendo-se assim um circuito de comando simples e de baixo custo. Com este circuito obteve-se a variação de razão cíclica desejada ($0.1 < D < 0.9$) em 3 kHz. Entretanto quando se deseja frequência de chaveamento superior a 10 kHz o CI-3525 seria mais adequado por gerar pulsos estreitos mais estáveis. Projetou-se também um circuito de inibição da

saída dos multiplexadores, que é desativado apenas após as fontes auxiliares e o circuito de geração de pulso PWM estarem estáveis, para garantir que as ordens de comando nas chaves principais sejam estáveis, evitando-se assim transitórios de partida no circuito de comando.

O circuito de sincronismo foi projetado de forma a se conseguir a mínima histerese possível para evitar grandes atrasos ou instabilidade na escolha das ordens de comando quando a tensão de saída do conversor inverter de polaridade. Excelentes resultados foram obtidos adicionado-se capacitores (22 μ F+68nF) de desacoplamento de ruídos na entrada da alimentação desta placa.

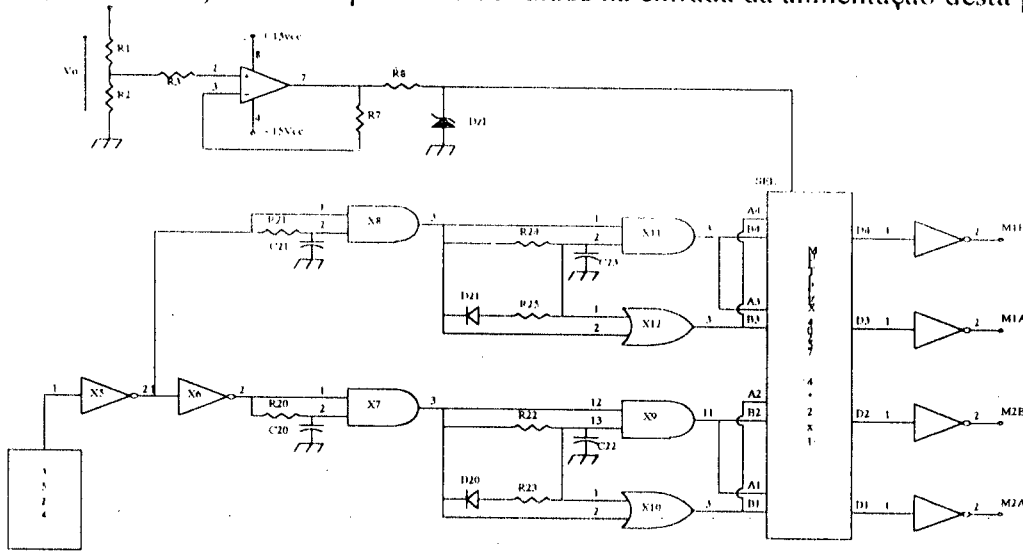


Figura 4.3: Circuito proposto para atraso dos sinais de comando

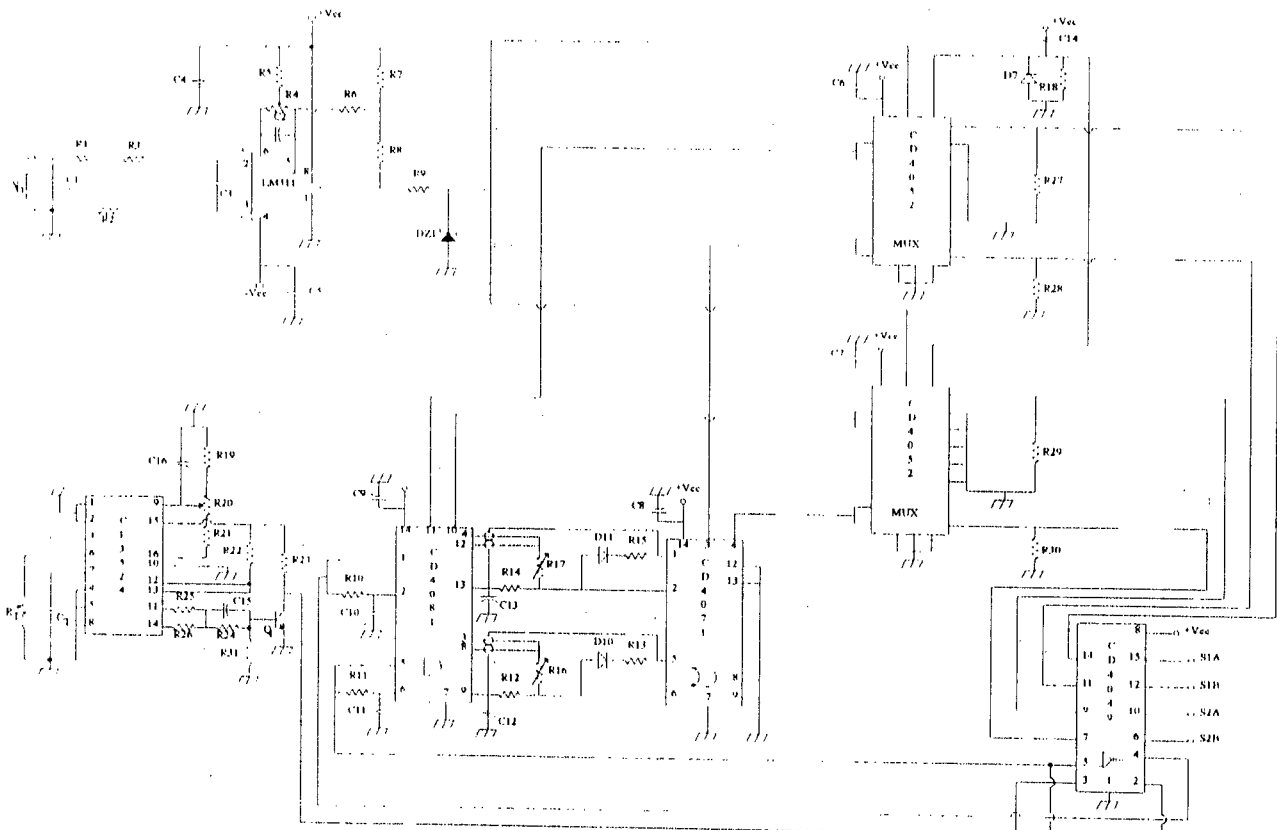


Figura 4.4: Esquema prático para geração e atraso dos sinais de comando

4.5. CIRCUITO DE PROTEÇÃO DE SOBRETENSÕES NO CONVERSOR

O comando em quatro(4) etapas empregado para o chaveamento do conversor propõe-se a evitar picos de tensão nas chaves principais em consequência de uma possível abertura de duas (2) chaves simultaneamente, ou picos de corrente se ocorrer o fechamento simultâneo de chaves. Entretanto pode ocorrer uma falha no circuito de comando proporcionando erro nos instantes de disparo das chaves principais. Esta falha de chaveamento pode ocasionar a interrupção da corrente do indutor L_2 , ou um curto-circuito do capacitor de saída C_o provocando esforços de tensão ou de corrente nas chaves de potência do conversor danificando-as.

Para proteção contra possíveis esforços de corrente pensou-se na utilização de um transformador de ferrite (ou um sensor HALL) que dispararia um tiristor que inibiria os pulsos de comando no CI-3524 ou nos multiplexadores. Entretanto para o desligamento das chaves, no caso de curto-circuito, a resposta destes dispositivos pode ser considerada muito lenta em relação ao tempo no qual as chaves(IGBT's ou MOSFET's) seriam danificadas por excesso de corrente. Por isso a melhor proteção seria conseguida utilizando-se o princípio do tiristor dual.

Para proteção contra esforços de tensão nas chaves principais projetou-se grampeadores de tensão para cada par de chaves principais e contra sobretensão na saída do conversor, pois sobretensões nos terminais de saída refletem-se diretamente sobre as chaves de potência.

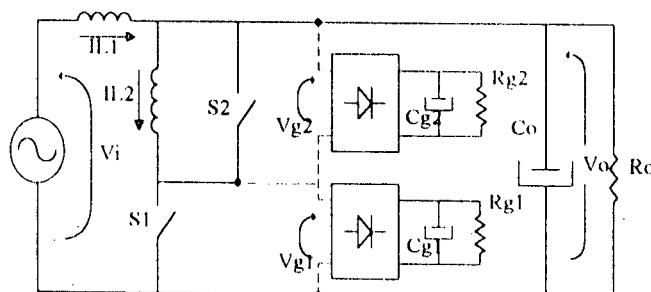


Figura 4.5: Grampeadores de tensão das chaves principais

Os grampeadores de tensão implementados constam de resistores (R_g), capacitores (C_g) e pontes retificadoras, sendo portanto dissipativos, entretanto apresentam baixas perdas de potência (<15W) pois os mesmos foram projetados para garantir tensão grampeada nos níveis desejados quando houver apenas um pulso de energia devido a abertura de ambas as chaves simultaneamente, obtendo-se portanto grampeadores de baixo custo e volume, além de não influenciarem significativamente no rendimento da estrutura.

No caso de ocorrer mais de uma interrupção da corrente no indutor chaveado, a tensão sobre os grampeadores ultrapassará um nível de tensão especificado (obrigatoriamente menor que a tensão máxima suportada pelas chaves), a partir do qual o circuito de proteção projetado inibirá o circuito de geração dos pulsos de comando, evitando que o chaveamento permaneça de maneira errada, o que levaria à danificação das chaves de potência.

No apêndice C apresenta-se o princípio de funcionamento do circuito de proteção bem como o procedimento de cálculo do mesmo para o protótipo implementado.

A figura (4.6) e (4.7) abaixo mostram o circuito que foi implementado no protótipo.

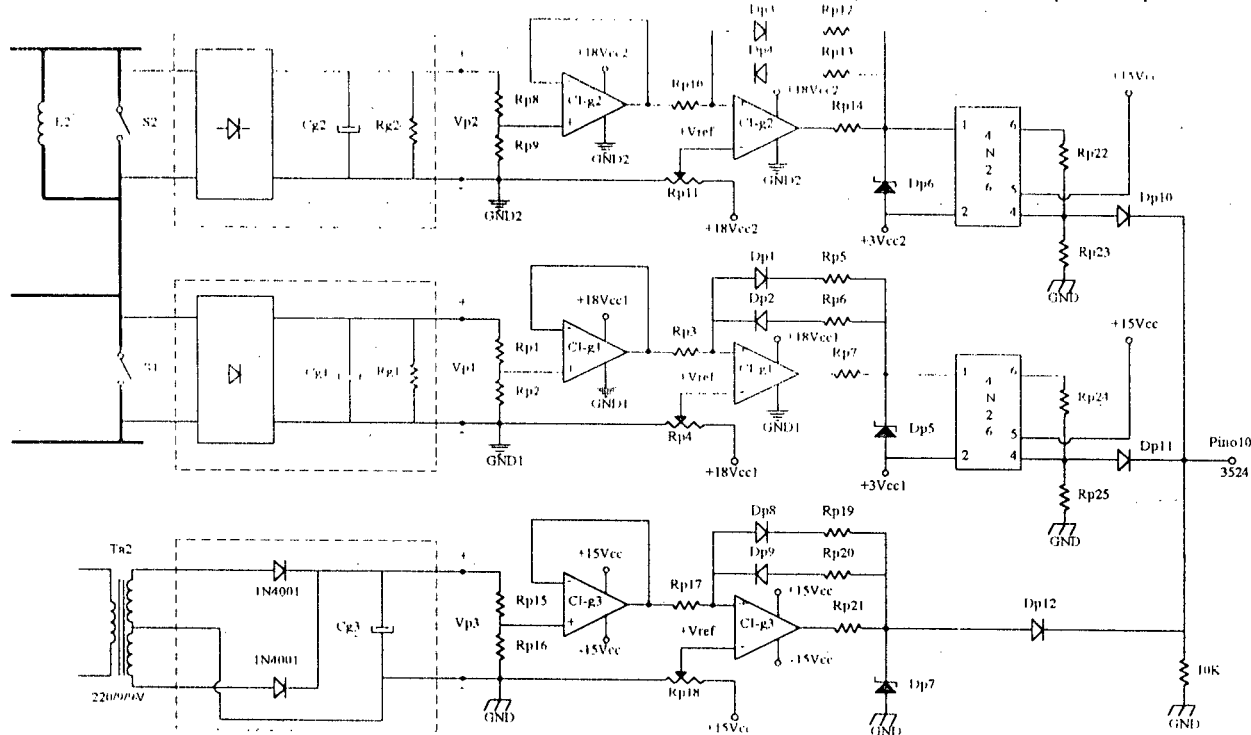


Figura 4.6: Circuito proposto para proteção de sobretensões nas chaves e na carga

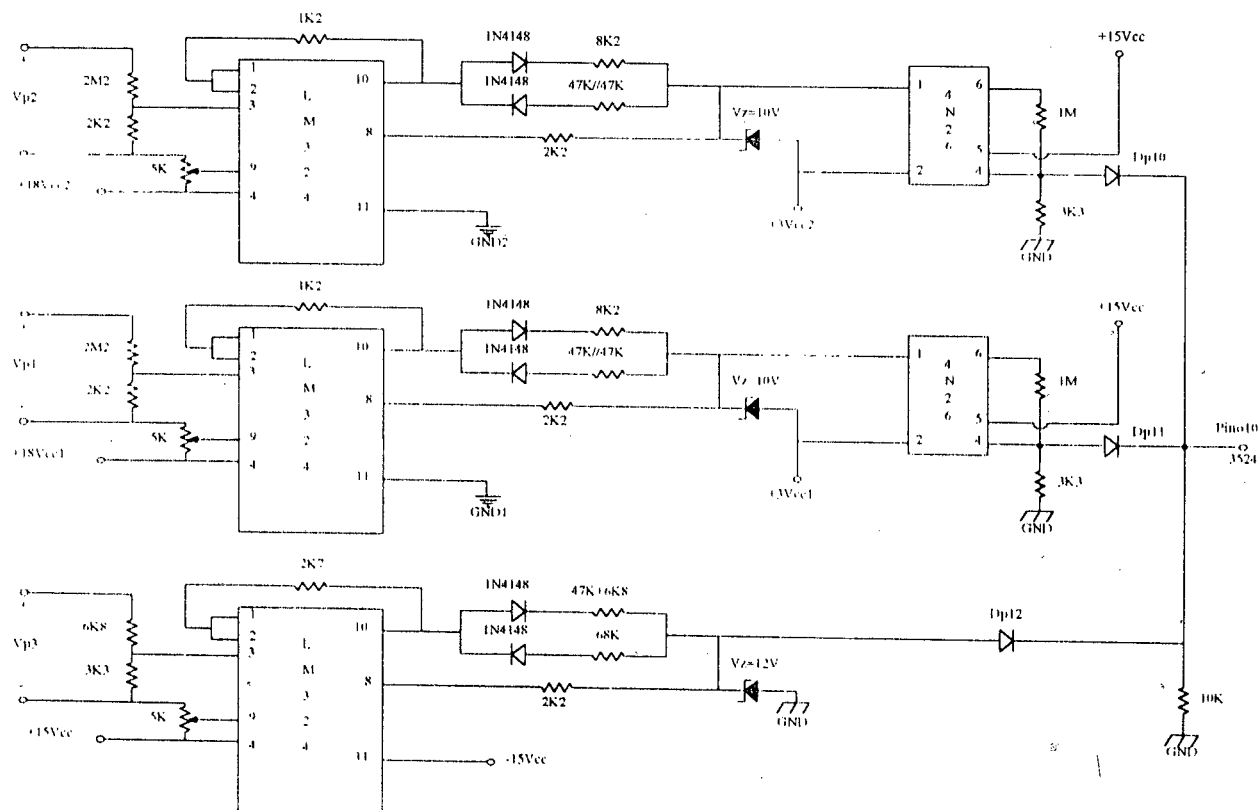


Figura 4.7: Esquema prático para proteção de sobretensões nas chaves e na carga

4.6. ANÁLISE DO CONVERSOR EM MALHA FECHADA

4.6.1. Metodologia proposta para realimentação da tensão de saída do conversor

A figura abaixo apresenta o diagrama de blocos para o cálculo do valor eficaz da tensão de saída do conversor[4] que será realimentado para o circuito de geração de pulsos de comando das chaves principais, variando-se assim a razão cíclica dos mesmos.

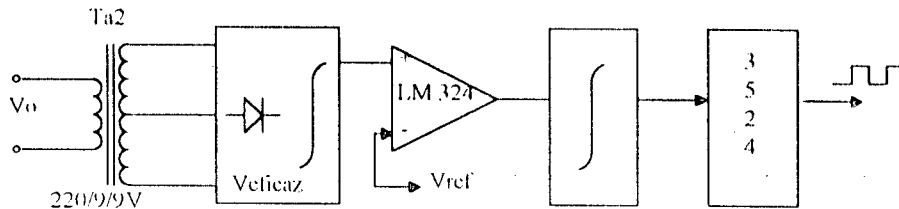


Figura 4.8: Diagrama de blocos da malha de realimentação

Um possível circuito para amostragem e realimentação do valor eficaz da tensão de saída é apresentado abaixo, incluindo a rede de compensação para malha fechada que depende da função de transferência do conversor.

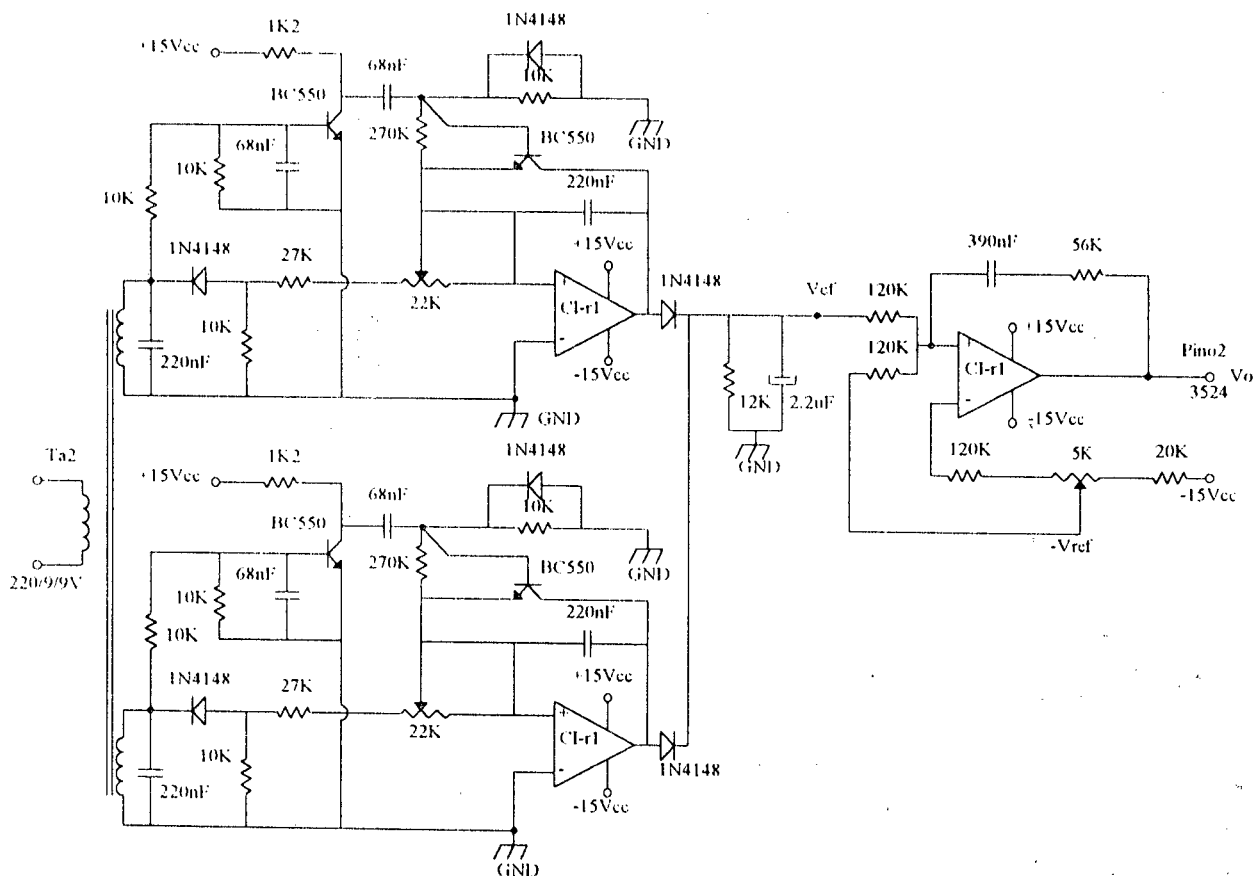


Figura 4.9: Circuito proposto para amostragem e realimentação do valor eficaz da tensão de saída

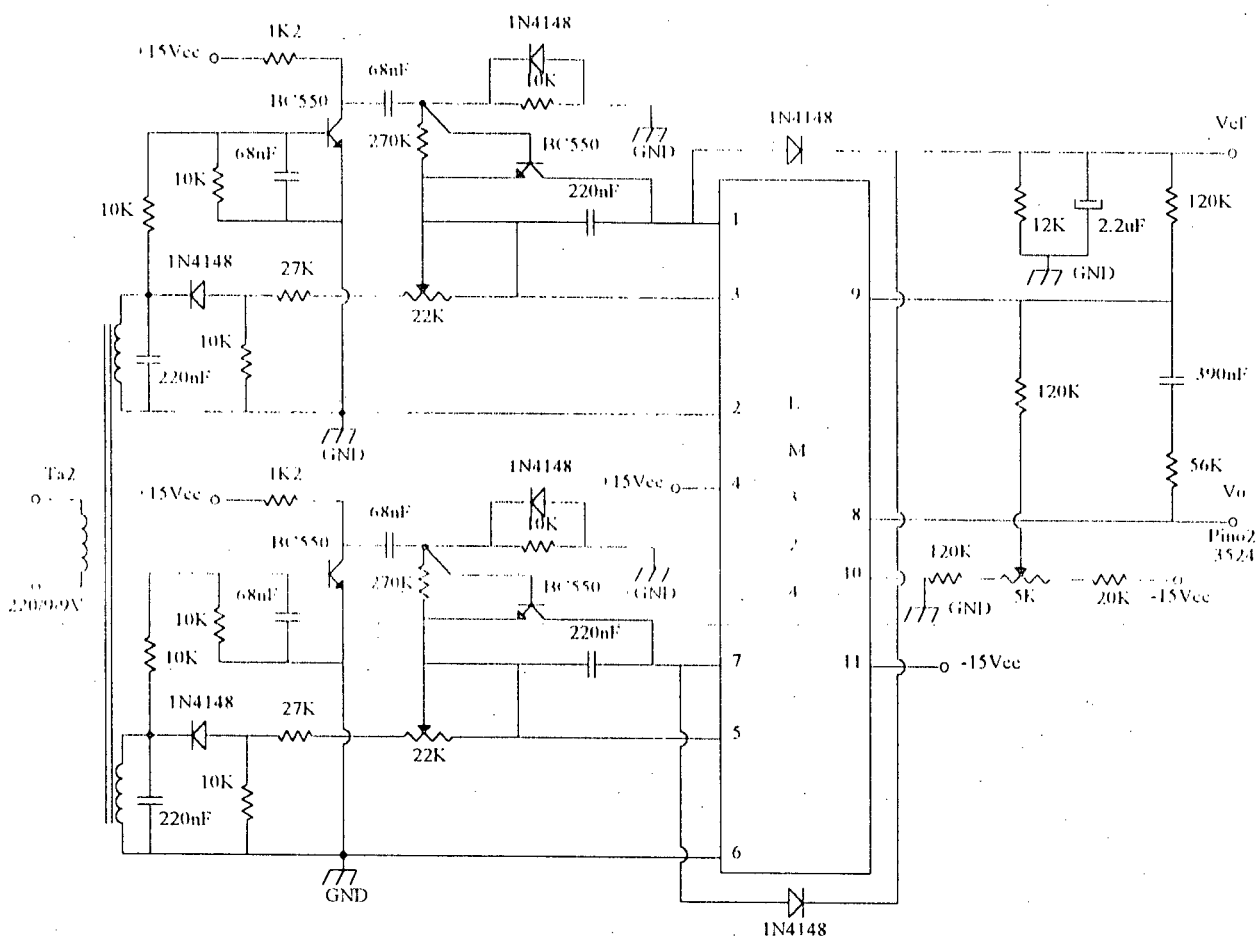


Figura 4.10: Esquema prático para amostragem e realimentação do valor eficaz da tensão de saída

4.6.2. Determinação da função de transferência do conversor

A função de transferência do conversor pode ser obtida substituindo-se o modelo da chave PWM na topologia proposta do conversor:

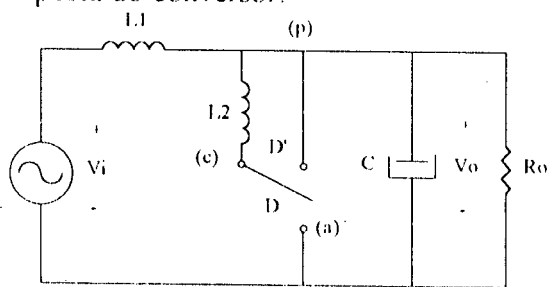


Figura 4.11: Topologia do conversor proposto

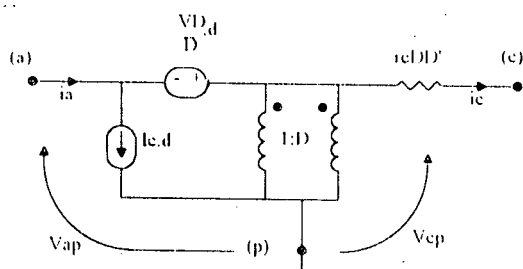


Figura 4.12: Modelo completo para chave PWM

Simplificadamente tem-se as seguintes relações para chave PWM:

$$\begin{cases} \hat{i}_n = D \cdot \hat{i}_c + I_c \cdot \hat{d} \\ \hat{V}_{ap} = \frac{\hat{V}_{cp}}{D} + I_c \cdot r_c D' - \frac{V_D}{D} \cdot \hat{d} \\ V_D = V_{ap} + I_c (D - D') r_c \cdot \frac{\hat{d}}{D} \end{cases} \quad (4.1)$$

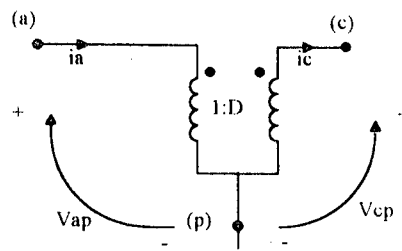


Figura 4.13: Modelo simplificado da chave PWM

Assim, tem-se as seguintes relações para a chave PWM simplificada:

$$\begin{cases} \hat{i}_n = D \cdot \hat{i}_c \\ \hat{V}_{ap} = \frac{\hat{V}_{cp}}{D} \end{cases} \quad (4.2)$$

Substituindo o modelo da chave PWM simplificada no conversor proposto tem-se:

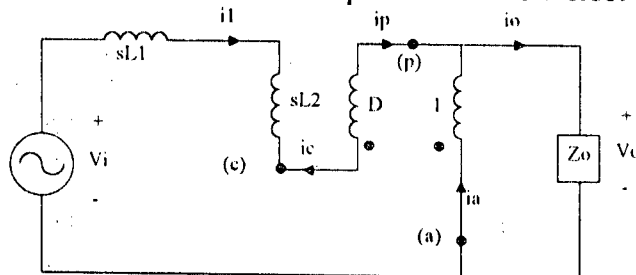


Figura 4.14: Topologia do conversor com modelo da chave PWM

Portanto tem-se as seguintes relações para o circuito acima:

$$\begin{cases} \hat{i}_n = D \cdot \hat{i}_c \\ \hat{V}_{ap} = \frac{V_{cp}}{D} \end{cases} \quad (4.3)$$

$$V_{ap} = -V_o \rightarrow V_o = -D \cdot V_o \quad (4.4)$$

$$V_{L2} = V_{cp} = i_c \cdot sL_2 \rightarrow i_c = \frac{-D \cdot V_o}{sL_2} \quad (4.5)$$

$$i_p + i_n = i_o \rightarrow i_1 + D \cdot i_c = i_o \rightarrow \frac{(V_i - V_o)}{sL_1} - \frac{D^2 \cdot V_o}{sL_2} = \frac{V_o}{Z_o} \quad (4.6)$$

$$Z_o = C_o // R_o = \frac{\frac{1}{sC_o} \cdot R_o}{\frac{1}{sC_o} + R_o} = \frac{\frac{R_o}{sC_o}}{\frac{1 + R_o \cdot sC_o}{sC_o}} \Rightarrow Z_o = \frac{R_o}{1 + R_o \cdot sC_o} \quad (4.7)$$

$$\frac{(V_i - V_o)}{sL_1} - \frac{D^2 \cdot V_o}{sL_2} = \frac{V_o(1 + sR_o C_o)}{R_o} \quad (4.8)$$

$$\frac{1 - q}{L_1} - \frac{D^2 \cdot q}{L_2} = \frac{q}{R_o} (s + s^2 R_o C_o) \quad (4.9)$$

$$\frac{1}{L_1} - \frac{q}{L_1} - \frac{D^2}{L_2} q = q \cdot \left(\frac{s + s^2 R_o C_o}{R_o} \right) \quad (4.10)$$

$$\frac{1}{L_1} = q \cdot \left[\frac{(s + s^2 R_o C_o) L_1 L_2 + R_o L_2 + D^2 R_o L_1}{R_o L_1 L_2} \right] \quad (4.11)$$

$$\frac{1}{q} = \frac{(j\omega - \omega^2 R_o C_o) L_1 L_2 + R_o L_2 + D^2 R_o L_1}{R_o L_1 L_2} \quad (4.12)$$

$$\frac{1}{q} = \frac{(D^2 - R_o L_1 + R_o L_2 - \omega^2 R_o C_o L_1 L_2) + j\omega L_1 L_2}{R_o L_1 L_2} \quad (4.13)$$

$$\left| \frac{1}{q} \right| = \sqrt{\frac{(D^2 R_o L_1 + R_o L_2 - \omega^2 R_o C_o L_1 L_2)^2 + (\omega L_1 L_2)^2}{(R_o L_1 L_2)^2}} \quad (4.14)$$

$$\angle \frac{1}{q} = \tan^{-1} \left\{ \frac{\omega L_1 L_2}{D^2 R_o L_1 + R_o L_2 - \omega^2 R_o C_o L_1 L_2} \right\} \quad (4.15)$$

As expressões (4.14) e (4.15) são semelhantes as obtidas anteriormente (2.16) e (2.17) e podem ser utilizadas para determinar a função de transferência do conversor.

4.7. LISTAGEM DOS COMPONENTES DO CONVERSOR

A seguir apresenta-se a listagem dos componentes utilizados no protótipo implementado:

TABELA 4.1: CIRCUITO DE POTÊNCIA

SÍMBOLO	DESCRIÇÃO DO COMPONENTE	QUANT.	VALOR
L1	Indutor de entrada	01	20 mH
L2	Indutor chaveado	01	31 mH
Co	Capacitor eletrolítico de saída	01	130 uF/250 Vca
S1A, S1B, S2A, S2B	MOSFET BUZ210	04	10,5 A/ 500 V

TABELA 4.2: CIRCUITO DE DETECÇÃO DE ZERO (SINCRONISMO)

SÍMBOLO	DESCRIÇÃO DO COMPONENTE	QUANT.	VALOR
R1	Resistor, 1 w	01	1K2
R2, R3	Resistor, 1/8 w	02	100R
R4	Potenciômetro multivoltas, 10 %	01	5K
R5	Resistor, 1/8 w	01	3K3
R6	Resistor, 1/8 w	01	33K
R7	Resistor, 1/8 w	01	82K
R8	Resistor, 1/8 w	01	4K7
R9	Resistor, 1/8 w	01	1K
C1	Capacitor poliéster 40V	01	0.1 uF
C2	Capacitor poliéster 25V	01	2.2 nF
C3	Capacitor poliéster 25V	01	1.2 nF
C4, C5	Capacitor tântalo 25V	02	0.1 uF
Dz1	Diodo Zener 1N964, 1/2 w	01	13 V
CI - 1	Amplificador operacional LM 311	01	

TABELA 4.3: CIRCUITO DE GERAÇÃO DE PULSOS PWM

SÍMBOLO	DESCRIÇÃO DO COMPONENTE	QUANT.	VALOR
CI - 7	CI - 3524	01	
CT	Capacitor supressor X2 25V	01	10 nF
C15	Capacitor poliéster 25V	01	1.2 nF

C16	Capacitor poliéster 25V	01	270 pF
C17	Capacitor tântalo 25 V	01	0.1 uF
RT	Potenciômetro multivoltas, 10%	01	50K
R22	Resistor, 1w	01	1K5
R23	Resistor, 1w	01	470R
R19	Resistor, 1/8w	01	330R
R20	Potenciômetro multivoltas, 10%	01	2K
R21	Resistor, 1/8w	01	820R
R24	Resistor, 1/8w	01	1K
R25, R26	Resistor, 1/8w	02	220R
R31	Resistor, 1/8w	01	1K
Q1	Transistor BC 337	01	
	Capacitor eletrolitico de desacoplamento	02	22 uF
	Capacitor cerâmico de desacoplamento	02	68 nF

TABELA 4.4: CIRCUITO DE ATRASO DO PULSO PWM

SÍMBOLO	DESCRIÇÃO DO COMPONENTE	QUANT.	VALOR
CI - 2	CD 4081 - 4 portas AND (2 x 1)	01	
CI - 3	CD 4071 - 4 portas OR (2 x 1)	01	
CI - 4	CD 4049 - 6 buffer/inversor	01	
CI - 5, CI - 6	CD 4052 - 2 MUX (4 x 1)	02	
C10, C11, C12, C13	Capacitor prolipropileno 25V, 10%	04	330 pF
C6, C7, C8, C9, C18	Capacitor tântalo 25V	05	0.1 uF
C14	Capacitor prolipropileno 25V, 10%	01	220 nF
R10, R11	Resistor, 1/8w	02	10K
R12, R14	Resistor, 1/8w	02	22K
R13, R15	Resistor, 1/8w	02	270K
R27, R28, R29, R30	Resistor, 1/8w	04	2K2
R16, R17	Potenciômetro multivoltas, 10%	02	10K
R18	Resistor, 1/8w	01	10K
D10, D11	Diodo de sinal 1N4148	02	
D7	Diodo de sinal 1N4148	01	

TABELA 4.5: CIRCUITO DE FONTES AUXILIARES

SÍMBOLO	DESCRIÇÃO DO COMPONENTE	QUANT.	VALOR
Ta1	Transformador isolador	01	220V/ 20V+20V
	Ponte Retificadora SKB 1,2/1	03	120V/ 1,2A
Cl-a1, Cl-a3, Cl-a4	Regulador de tensão 7815	03	+ 15 V
Cl-a2	Regulador de tensão 7915	01	- 15 V
	Diodo zener	02	3V3
	Resistor, 1/8w	02	68k
	Resistor, 1/8w	02	15k
Ca3-6, Ca10-11,15-16	Capacitor cerâmico 40V	08	100 nF
Ca1, Ca9, Ca14	Capacitor eletrolítico 40V	03	1000 uF
Ca2	Capacitor eletrolítico 40V	01	470 uF
Ca7	Capacitor eletrolítico 25V	01	100 uF
Ca8	Capacitor eletrolítico 25V	01	47 uF
Ca12, Ca17	Capacitor eletrolítico 25V	02	22 uF
Ca13, Ca18	Capacitor eletrolítico 25V	02	220 uF

TABELA 4.6: CIRCUITO DE ISOLAÇÃO DOS PULSOS DE COMANDO

SÍMBOLO	DESCRIÇÃO DO COMPONENTE	QUANT.	VALOR
	Fotoacoplador 6N136	04	
	Transistor BC 337	04	800mA
	Transistor BC 327	04	800mA
	Transistor 2N2907	04	100mA
	Resistor, 1/8w	04	560R
	Resistor, 1/8w	04	1k
	Resistor, 1/8w	04	2k2
	Resistor, 1/8w	04	100R
	Resistor, 1/8w	08	820R
	Capacitor cerâmico, 25V	04	100 pF
	Capacitor de tântalo, 25V	04	0,1 uF
	Capacitor cerâmico, 25V	08	3,3n F

TABELA 4.7: CIRCUITO DE PROTEÇÃO DE SOBRETENSÕES

SÍMBOLO	DESCRIÇÃO DO COMPONENTE	QUANT.	VALOR
CI-g1, CI-g2, CI-g3	Amplificador operacional LM 324	03	
	Fotoacoplador 4N26	02	
DP1 a 4, DP8 a 12	Diodo 1N4148	09	
DP5, DP6, DP7	diodo zener	03	
RP1, RP8	Resistor, 1/8w	02	2M2
RP2, RP9	Resistor, 1/8w	05	2k2
RP3, RP10	Resistor, 1/8w	02	1k2
RP17	Resistor, 1/8w	01	2k7
RP5, RP12	Resistor, 1/8w	02	8k2
RP6, RP13, RP19	Resistor, 1/8w	05	47k
RP15	Resistor, 1/8w	02	6k8
RP20	Resistor, 1/8w	01	68k
RP16, RP23, RP25	Resistor, 1/8w	03	3k3
RP22, RP24	Resistor, 1/8w	02	1M
	Resistor, 1/8w	01	10k
RP4, RP10, RP18	Potenciômetro	03	5k

TABELA 4.8: CIRCUITO GRAMPEADOR DE TENSÃO

SÍMBOLO	DESCRIÇÃO DO COMPONENTE	QUANT.	VALOR
Cg	Capacitor eletrolítico, 450V	02	150uF
Rg	Resistor 5w	12	8k2
	Ponte retificadora SKB7/08	02	800V/14A
	Diodo 1N4001	02	400V/1A
Cg3	Capacitor eletrolítico, 450V	01	47uF

TABELA 4.9: CIRCUITO DE AMOSTRAGEM DA TENSÃO DE SAÍDA

SÍMBOLO	DESCRIÇÃO DO COMPONENTE	QUANT.	VALOR
	Amplificador operacional LM 324	01	
	Transistor BC550	04	
	Diodo 1N4148	06	
Ta2	Transformador de isolamento	01	220V/9+9V

	Resistor, 1/8w	08	10k
	Resistor, 1/8w	02	27k
	Resistor, 1/8w	02	1k2
	Resistor, 1/8w	02	270k
	Resistor, 1/8w	03	120k
	Resistor, 1/8w	01	12k
	Resistor, 1/8w	01	20k
	Resistor, 1/8w	01	56k
	Potenciômetro	02	22k
	Potenciômetro	01	5k
	Capacitor cerâmico, 16V	04	68nF
	Capacitor cerâmico, 16V	04	220nF
	Capacitor eletrolítico, 16V	01	2,2uF
	Capacitor eletrolítico, 16V	01	390nF

4.8. CONCLUSÃO

Em termos gerais os circuitos projetados apresentaram boa performance apesar de serem muito simples e de baixo custo.

No circuito de geração e atraso dos pulsos de comando poderia utilizar o CI-3525 que gera pulsos mais estáveis que o 3524 quando se deseja larga faixa de variação de razão cíclica. A rede RC de atraso dos pulsos deveria ser implementada com resistores e capacitores de precisão para evitar variações nos atrasos projetados devido a dispersão nos valores dos componentes. Outra idéia seria usar circuitos astáveis, porém estes comprometeriam a simplicidade e baixo custo do circuito. Utilizou-se dois(2) multiplexadores (CD4052) devido a disponibilidade destes componentes, entretanto estes são perfeitamente substituíveis por um(1) multiplexador CD40257, tornando-se assim o circuito mais simples.

No caso do circuito de realimentação escolheu-se o método de amostragem do valor eficaz da tensão na carga por ser de fácil implementação, apesar do mesmo incluir um atraso de meio-ciclo de rede(8.333ms) na malha de controle da tensão de saída do conversor. Vale salientar que na prática não foi implementado a malha de realimentação neste trabalho, apresentando-se portanto todos os circuitos implementados em[4] para um conversor semelhante. Outro fato a ser observado é que a dinâmica do conversor fica determinada apenas pela rapidez de amostragem e atuação do circuito compensador, visto que o chaveamento do indutor ocorre em alta frequência. Logicamente em virtude do chaveamento ser dissipativo trabalhou-se com frequências na faixa de 3 kHz para reduzir as perdas por comutação.

CAPÍTULO 5

SIMULAÇÕES E RESULTADOS EXPERIMENTAIS

5.1. INTRODUÇÃO

Neste capítulo apresenta-se resultados de simulações e experimentais que comprovam a validade do método proposto para o projeto e dimensionamento dos elementos armazenadores de energia proposto anteriormente.

Apresenta-se, em forma de tabelas, resultados de simulações em regime transitório e permanente para os pontos críticos de operação do conversor.

Apresenta-se também curvas experimentais para o ganho de tensão e rendimento para o protótipo implementado.

5.2. RESULTADOS DE SIMULAÇÕES

A seguir são mostrados os resultados de simulação [16] em regime permanente senoidal. Também apresenta-se, em tabelas, os resultados para regime transitório e permanente.

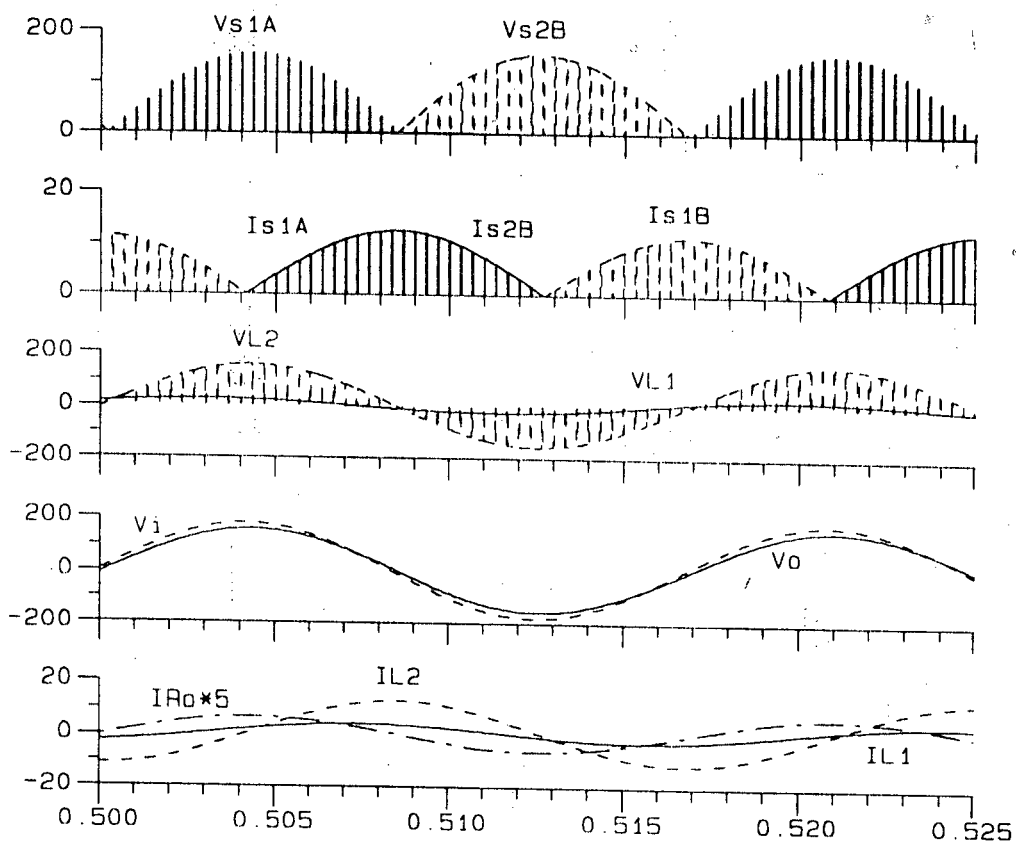


Figura 5.1 : Simulação para $V_i = 126.5V$, $P_o = 0.1 Kw$ ($R_o = 121$), $D = 0.9$

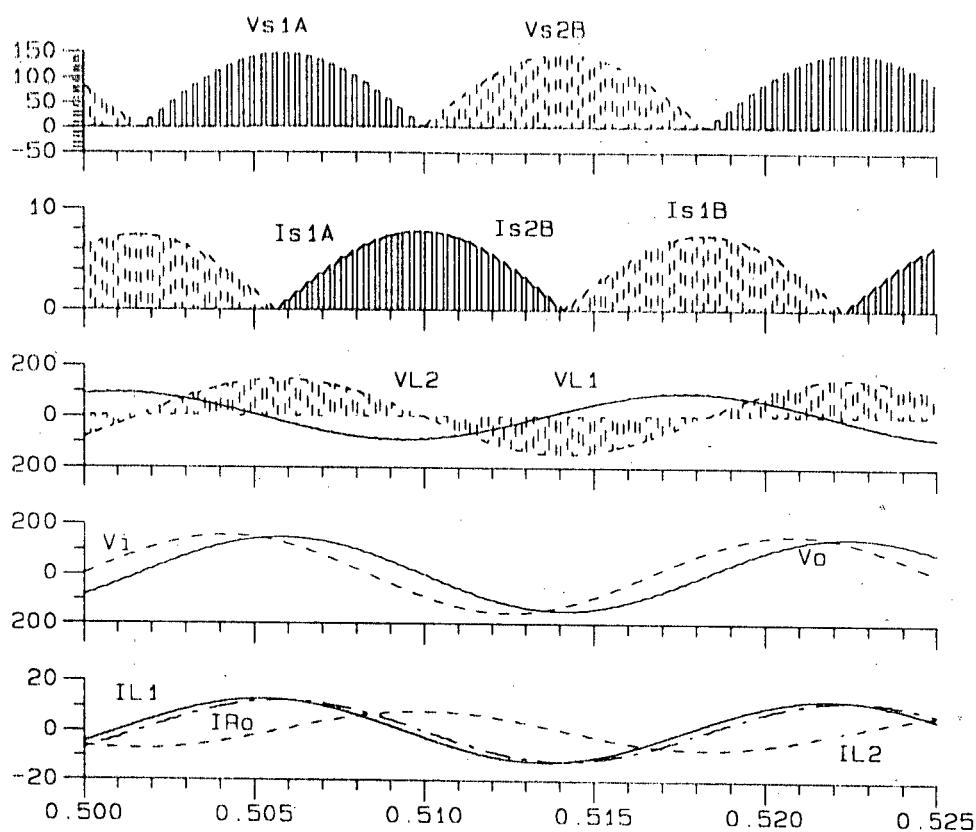


Figura 5.2 : Simulação para $V_i = 110V$, $P_o = 1Kw$ ($R_o = 12.1$), $D=0.6$

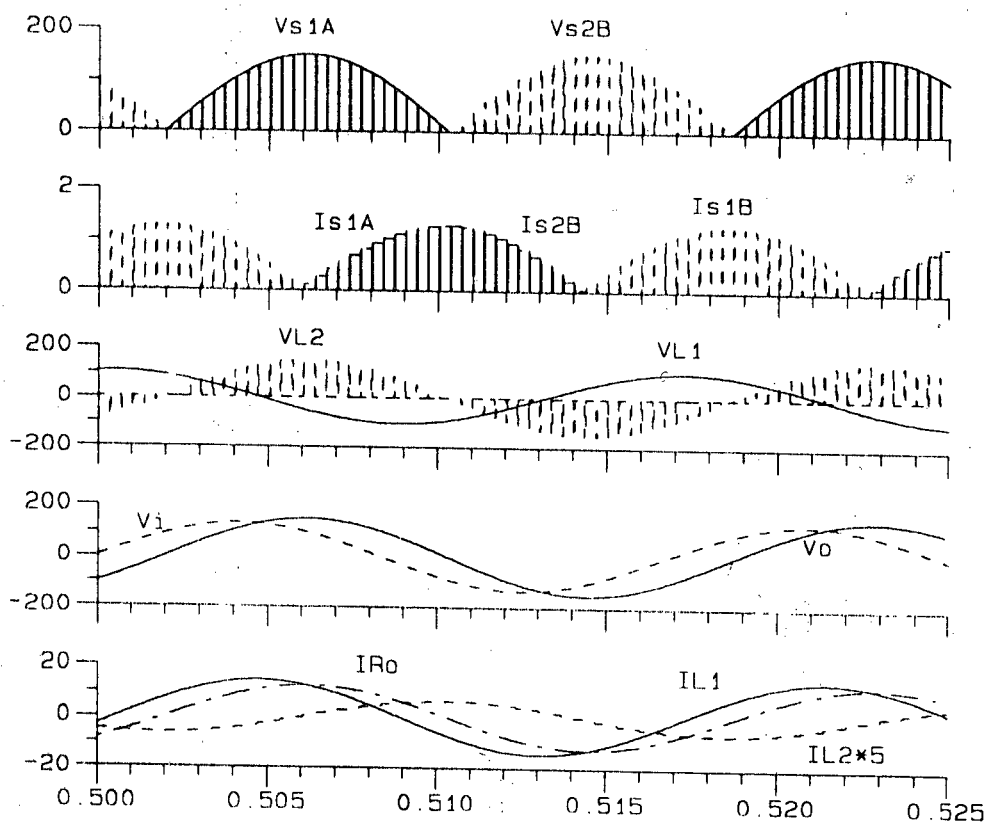


Figura 5.3: Simulação para $V_i = 93.5V$, $P_o = 1Kw$ ($R_o = 12.1$), $D = 0.1$

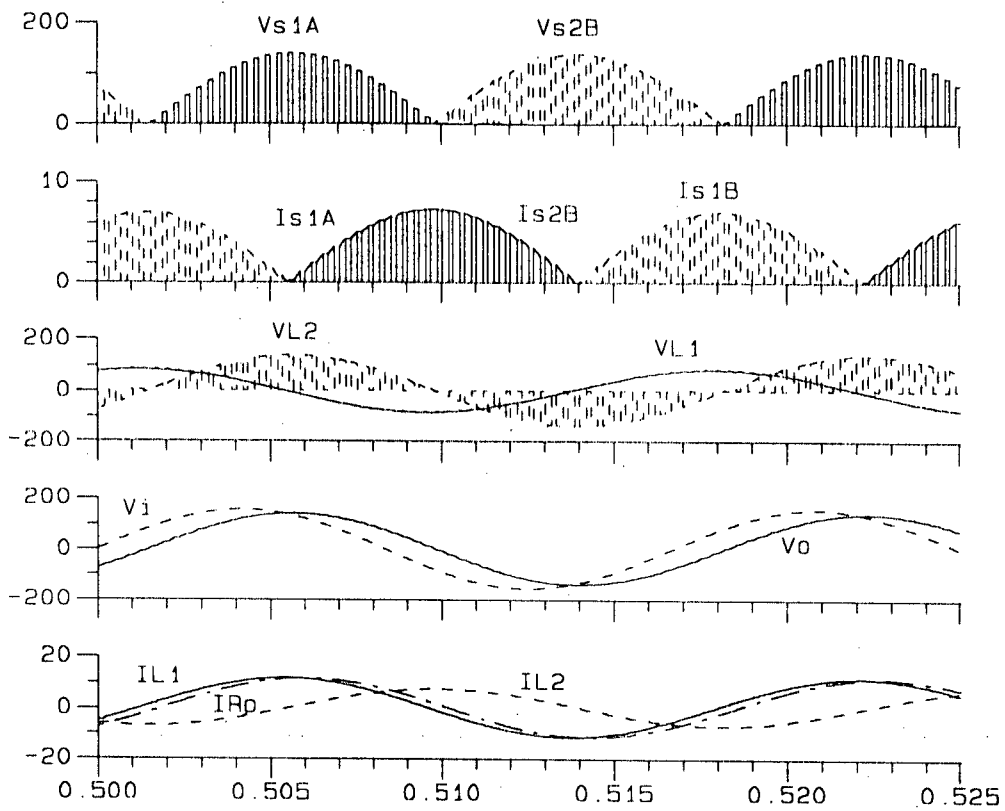


Figura 5.4: Simulação para $V_i = 110V$, $P_o = 1kw$ ($R_o = 12.1 - L_o = 4.2mH$), $D = 0.6$

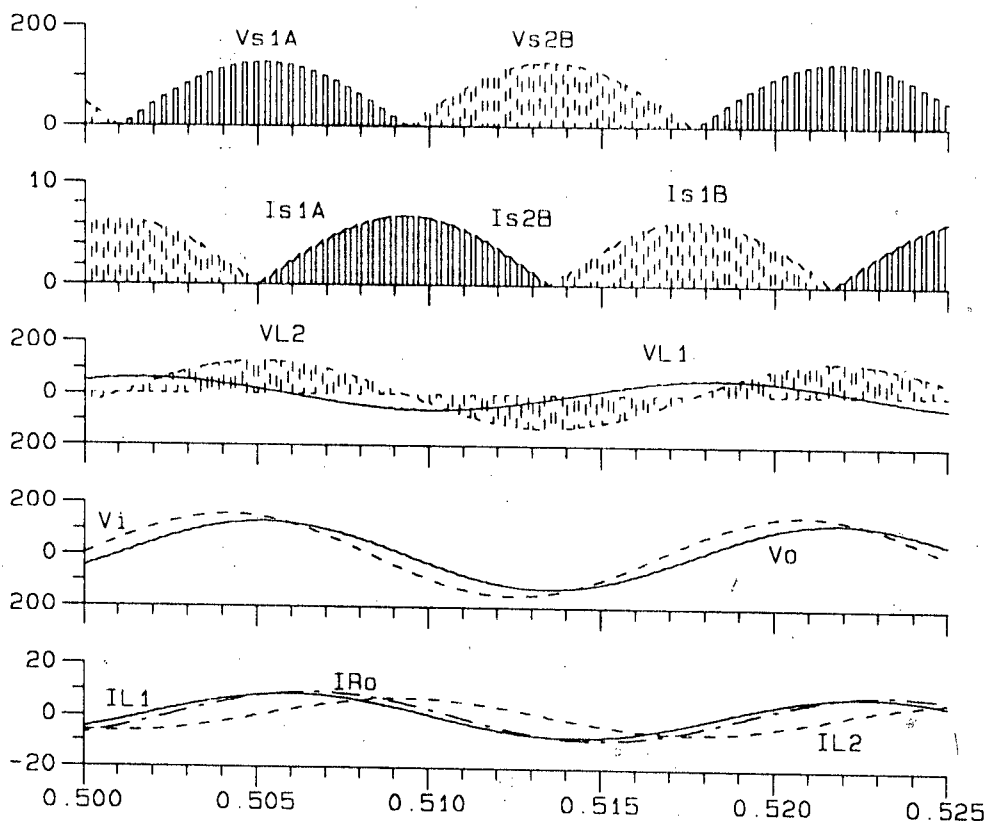


Figura 5.5: Simulação para $V_i = 110V$, $P_o = 1Kw$ ($R_o = 12.1 - L_o = 19.2mH$), $D = 0.6$

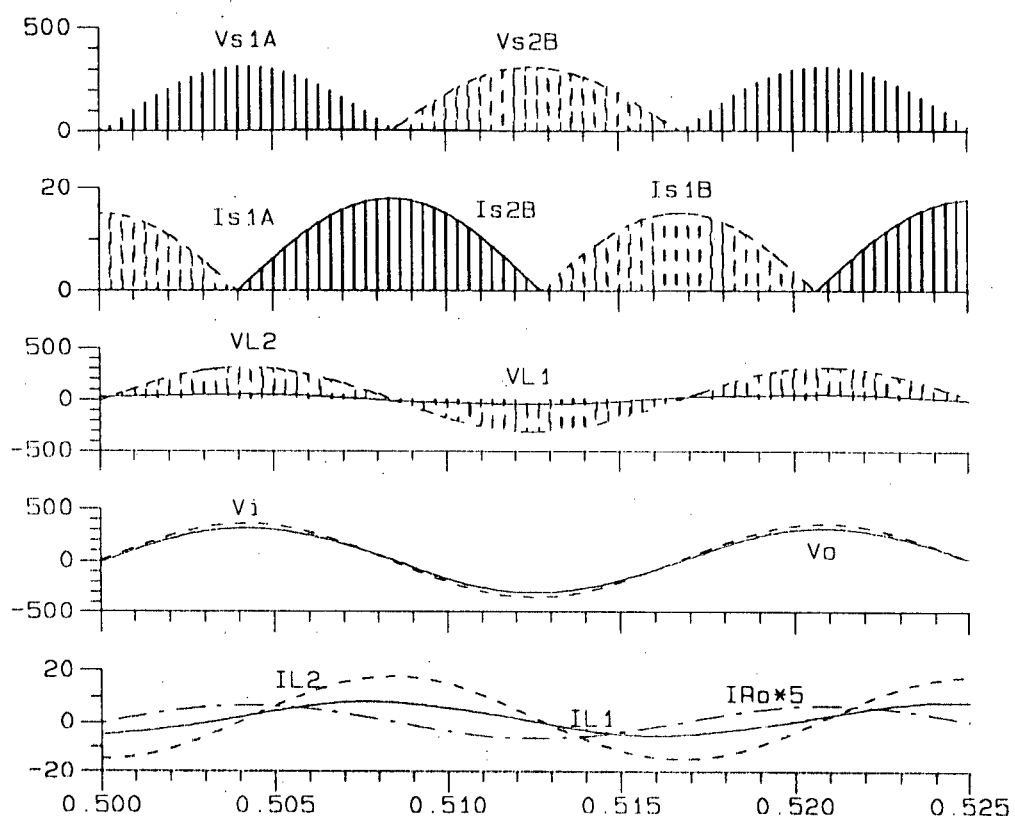


Figura 5.6: Simulação para $V_i = 253V$, $P_o = 0.2 Kw$ ($R_o = 242$), $D = 0.9$

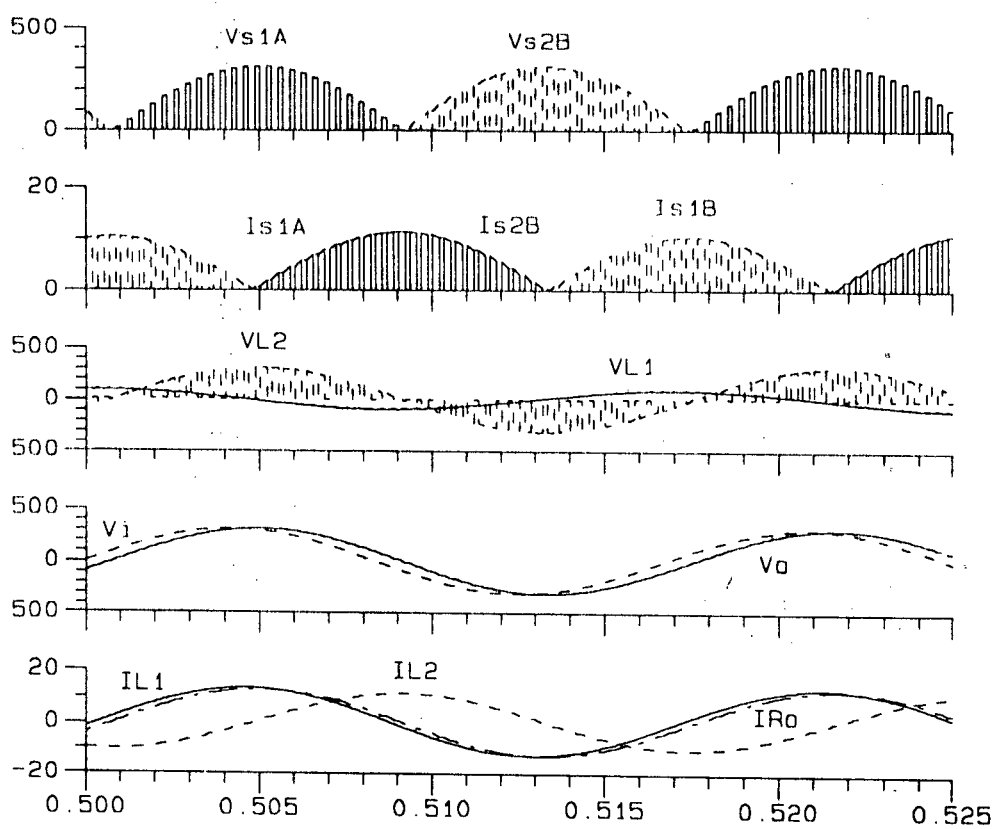


Figura 5.7: Simulação para $V_i = 220V$, $P_o = 2kw$ ($R_o = 24.2$), $D = 0.6$

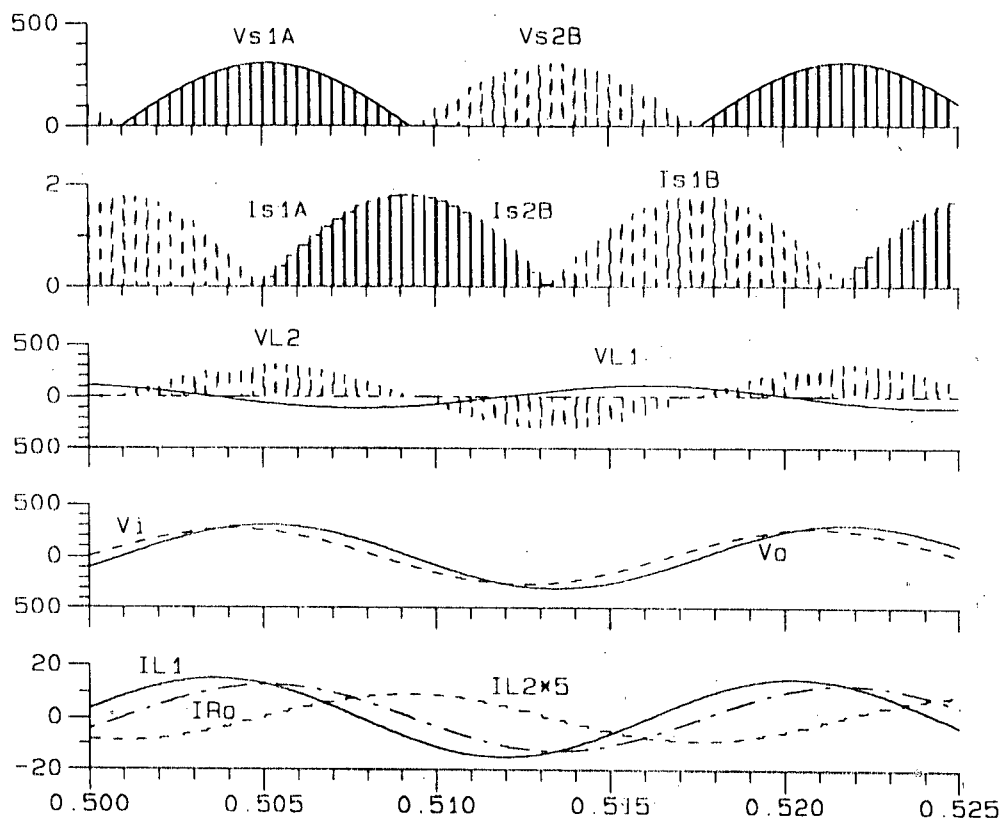


Figura 5.8: Simulação para $V_i = 187V$, $P_o = 2Kw$ ($R_o = 24.2$), $D = 0.1$

A seguir foram tabelados os principais resultados de simulação para os dois(2) exemplos propostos anteriormente, apresentando-se resultados de regime transitório e permanente, para os pontos críticos de operação do conversor. Os valores apresentados nestas tabelas estão de acordo com todos os cálculos realizados a menos de alguma dispersão em virtude das aproximações assumidas e/ou simplificações do programa de simulação[16] utilizado.

Deve-se observar a importância dos resultados das simulações em regime transitório, para o perfeito dimensionamento dos elementos de potência do conversor, visto que o transitório de partida tem duração aproximada de 500ms, correndo-se o risco de danificar o conversor neste período de acomodação do circuito do conversor.

**TABELA 5.1: Simulação para $\Delta V_o = 1\%$, $\Delta P_o = 90\%$, $k = 1.0$, $P_o = 1 \text{ Kw}$, $V_o = 110 \text{ Volts}$
 $f = 60 \text{ Hz}$, $f_s = 3 \text{ KHz}$**

$f_s = 3 \text{ kHz}$ $\Delta t = 0 \text{ a } 550 \text{ ms}$ $L1 = 19,16 \text{ mH}$ $L2 = 31,6 \text{ mH}$ $C_o = 130,87 \mu\text{F}$ ($C_I = 110 \text{ V}$)									
	Compon.	Vmax	I _{md} (A)	I _{ef} (A)	I _{pk} (A)	Compon	V _{ef} (V)	I _{ef} (A)	
Regime	transitório								
0 - 50ms D = 0,9 Vi = 178,9V	S1A / S1B	242	7,67/0,38	11,16/0,93	24,3	Ro	121,26	1,002	q = 1,102 $\Delta V_o = 10,0\%$ Ro = 121
	S2A / S2B	247	0,04/0,66	0,32/3,73	24,3	L1	59,38	8,46	
	Co	201		8,39	17,4	L2	115,04	11,8	
Regime	permanente								
500-550ms D = 0,9 Vi = 178,9V	S1A / S1B	156	3,68/3,20	6,02/5,37	12,6	Ro	110,48	0,913	q = 1,004 $\Delta V_o = 0,44\%$ Ro = 121
	S2A / S2B	156	0,36/0,41	1,79/2,01	12,6	L1	17,54	2,48	
	Co	156		6,02	8,8	L2	104,79	8,50	
Regime	transitório								
0 - 50ms D = 0,6 Vi = 155,56	S1A / S1B	152,5	3,57/0,14	5,92/0,49	13,7	Ro	102,44	8,466	q = 0,931 $\Delta V_o = -6,8\%$ Ro = 12,1
	S2A / S2B	152,5	0,10/2,39	0,40/4,84	13,7	L1	67,29	9,44	
	Co	149		6,38	8,28	L2	79,35	7,67	
Regime	permanente								
500-550ms D = 0,6 Vi = 155,56	S1A / S1B	147,3	1,49/1,39	3,01/2,84	7,7	Ro	108,40	8,63	q = 0,949 $\Delta V_o = -1,5\%$ Ro = 12,1
	S2A / S2B	147,4	0,93/1,00	2,32/2,46	7,7	L1	64,28	8,90	
	Co	147,4		5,78	10,5	L2	80,86	5,35	
Regime	transitório								
0 - 50ms D = 0,1 Vi = 133,33	S1A / S1B	150,7	0,09/0,09	0,36/0,02	2,21	Ro	102,96	8,508	q = 0,936 $\Delta V_o = -6,4\%$ Ro = 12,1
	S2A / S2B	150,9	0,08/0,78	0,20/1,08	2,21	L1	73,51	9,87	
	Co	150		5,13	8,02	L2	32,50	1,16	
Regime	permanente								
500-550ms D = 0,1 Vi = 133,33	S1A / S1B	149,8	0,41/0,40	0,20/0,20	1,28	Ro	108,46	8,756	q = 0,963 $\Delta V_o = -1,3\%$ Ro = 12,1
	S2A / S2B	149,8	0,36/0,37	0,61/0,60	1,28	L1	73,34	10,15	
	Co	149,7		6,23	8,55	L2	33,45	0,90	

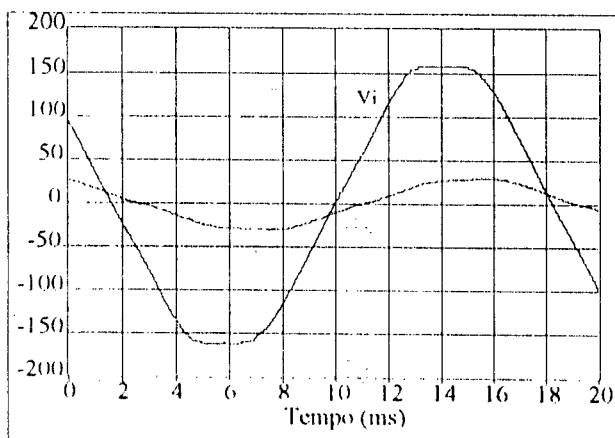
TABELA 5.2: Simulação para $\Delta V_o = 1\%$, $\Delta P_o = 90\%$, $k = 1.1$, $P_o = 2 \text{ Kw}$, $V_o = 220 \text{ Volts}$
 $f = 60 \text{ Hz}$, $f_s = 3 \text{ KHz}$

$f_s = 3 \text{ kHz}$ $\Delta t = 0 \text{ a } 550 \text{ ms}$ $L1 = 19 \text{ mH} (CI = 0)$ $L2 = 45,6 \text{ mH} (CI = 0)$ $C_o = 72 \mu\text{F} (CI = 220 \text{ V})$									
	Compon.	Vmax	I _{md} (A)	I _{ef} (A)	I _{pk} (A)	Compon	V _{ef} (V)	I _{ef} (A)	
Regime	transitório								
0 - 50ms D = 0,9 Vi= 253V	S1A / S1B	497	11,93/0,57	16,25/1,58	33,5	Ro	243,21	1,005	q=1,105 $\Delta V_o = 10,5\%$ Ro=242
	S2A / S2B	489	0,07/1,32	0,54/5,41	33,5	L1	111,45	13,42	
	Co	493		10,83	27	L2	230,65	17,21	
Regime	permanente								
500-550ms D = 0,9 Vi= 253V	S1A / S1B	313	5,29/4,11	8,57/6,98	17,8	Ro	231,31	0,914	q = 1,006 $\Delta V_o = 0,6\%$ Ro=242
	S2A / S2B	312	0,46/0,59	2,33/2,86	17,8	L1	32,65	4,69	
	Co	312		6,96	17,8	L2	209,92	11,66	
Regime	transitório								
0 - 50ms D = 0,6 Vi= 220V	S1A / S1B	356	5,23/0,18	8,71/0,64	20,3	Ro	219,34	9,063	q = 0,997 $\Delta V_o = -0,3\%$ Ro=24,2
	S2A / S2B	312	0,13/3,50	0,53/7,11	20,3	L1	79,81	10,65	
	Co	354		8,36	13	L2	169,42	11,27	
Regime	permanente								
500-550ms D = 0,6 Vi= 220V	S1A / S1B	310	2,19/1,94	4,40/3,90	11,3	Ro	219,73	9,079	q = 0,999 $\Delta V_o = -0,1\%$ Ro=24,2
	S2A / S2B	311	1,30/1,46	3,26/3,60	11,3	L1	66,27	9,25	
	Co	310		7,05	13	L2	170,18	7,68	
Regime	transitório								
0 - 50ms D = 0,1 Vi= 187V	S1A / S1B	328,6	0,12/0,01	0,50/0,10	3,2	Ro	215,73	8,914	q = 0,891 $\Delta V_o = -1,9\%$ Ro=24,2
	S2A / S2B	327,8	0,13/1,07	0,30/1,51	3,2	L1	86,87	10,65	
	Co	328		6,15	9,26	L2	68,10	1,63	
Regime	permanente								
500-550ms D = 0,1 Vi= 187V	S1A / S1B	306,5	0,06/0,06	0,28/0,28	1,8	Ro	216,85	8,960	q = 0,986 $\Delta V_o = -1,4\%$ Ro=24,2
	S2A / S2B	306,5	0,51/0,51	0,84/0,85	1,8	L1	76,31	10,65	
	Co	306,5		5,90	9,9	L2	68,50	1,26	

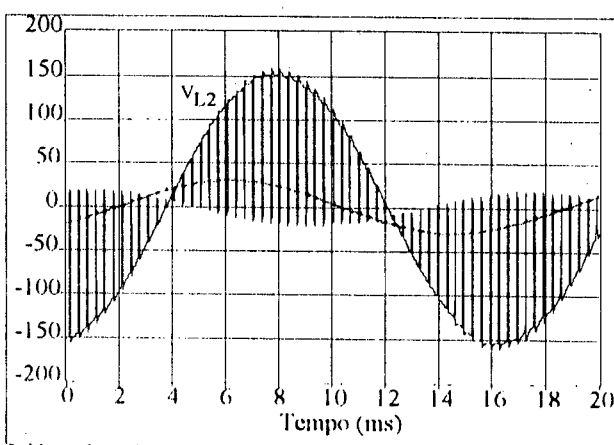
5.3. RESULTADOS EXPERIMENTAIS

A seguir são apresentados os resultados experimentais obtidos no protótipo de laboratório implementado. Vale Salientar que em virtude de picos de corrente surgidos nas chaves devido o tempo de recuperação reversa dos diodos intrínsecos dos MOSFET's, projetou-se um conversor para 110Vrms, 1KVA, 60Hz, visto que com as chaves disponíveis no laboratório não se conseguiu alimentar o conversor com níveis de tensão maiores que o citado. Recomenda-se portanto a utilização de IGBT's e diodos ultra-rápidos para o conversor alimentado em 220Vrms.

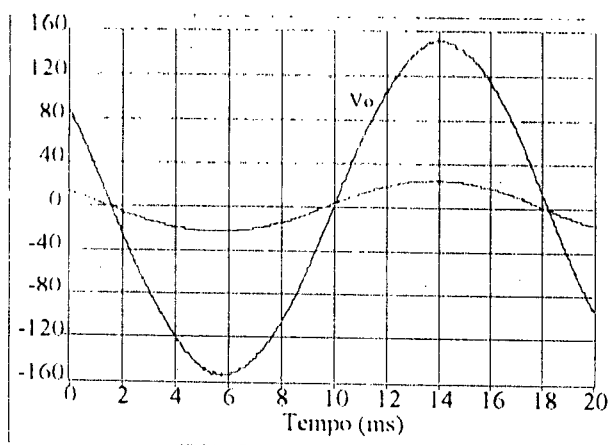
A seguir são apresentados os resultados experimentais para tensão de entrada máxima e carga mínima do conversor:



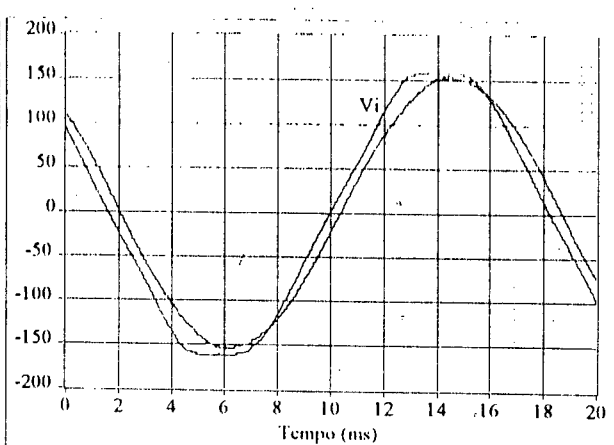
(a) V_i e $I_{L1} \cdot 10$



(b) V_{L2} e $I_{L2} \cdot 10$



(c) V_o e $I_{R0} \cdot 20$



(d) V_i e V_o

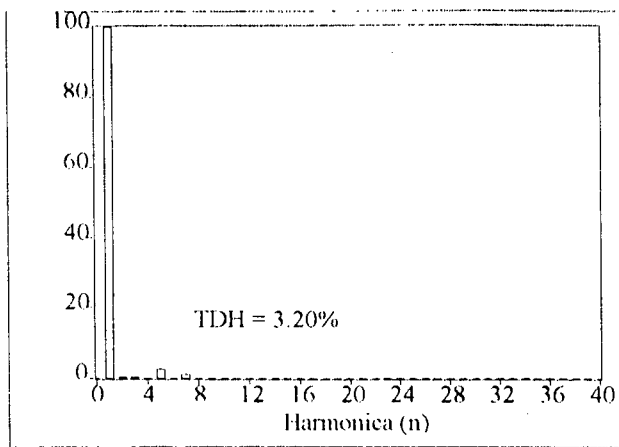
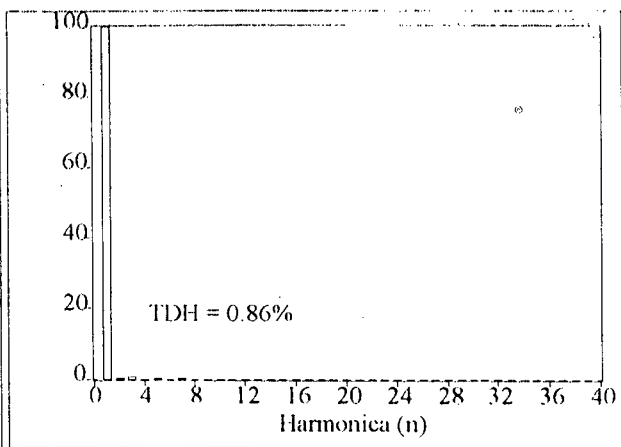
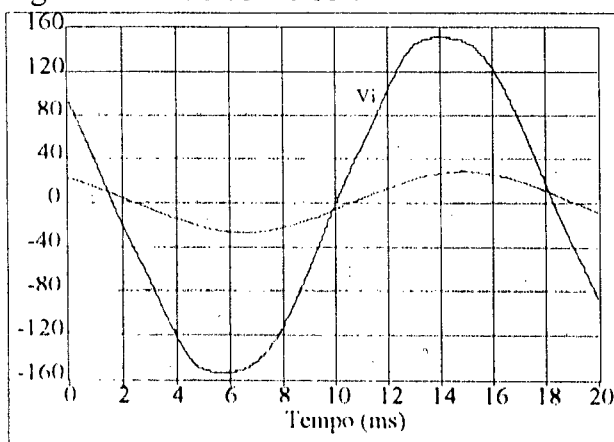
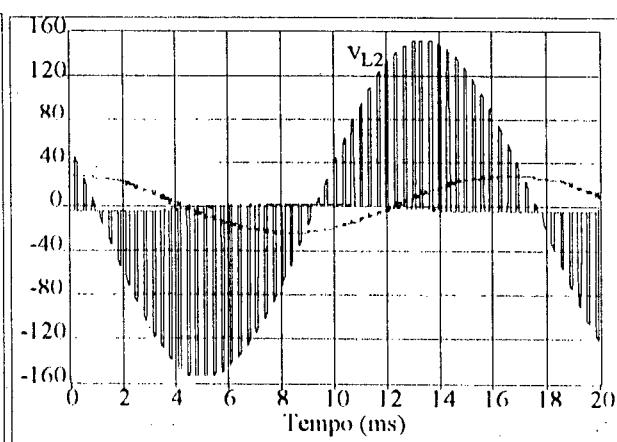
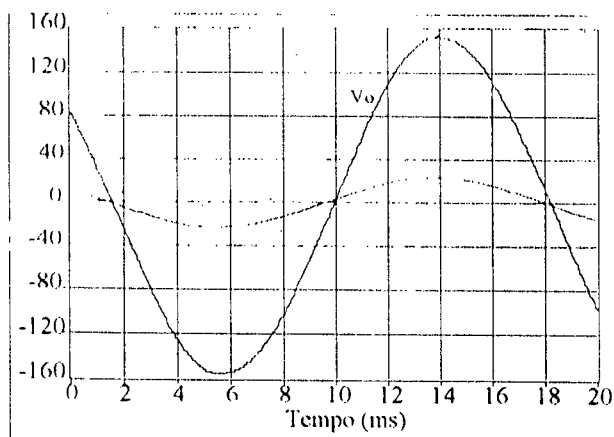
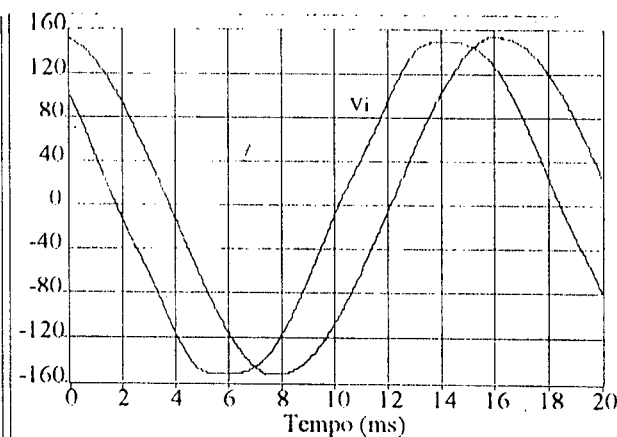
(e) TDH (V_i)(f) TDH (V_o)

Figura 5.9(a) a (f): Resultados experimentais para $V_i = 126.5V_{rms}$, $P_o = 0.1Kw$, $D = 0.9$

A seguir serão apresentados os resultados experimentais para tensão de entrada nominal e carga nominal do conversor:

(a) V_i e I_{L1}^2 (b) V_{L2} e I_{L2}^2 (c) V_o e I_{R0}^2 (d) V_i e V_o

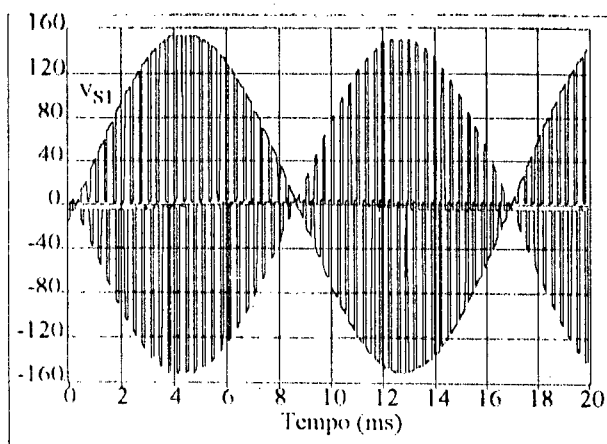
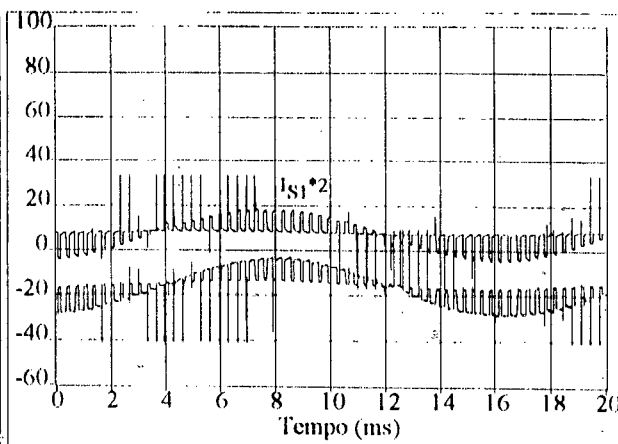
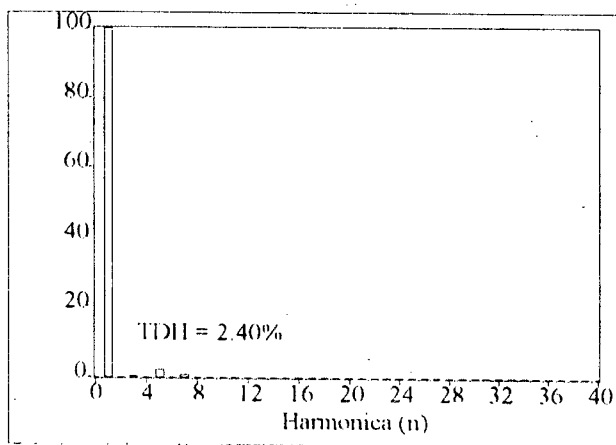
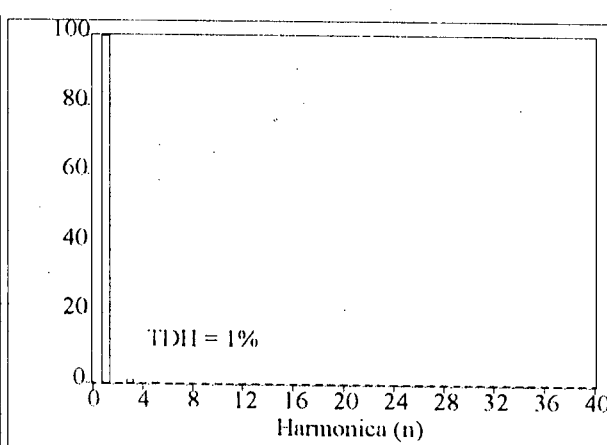
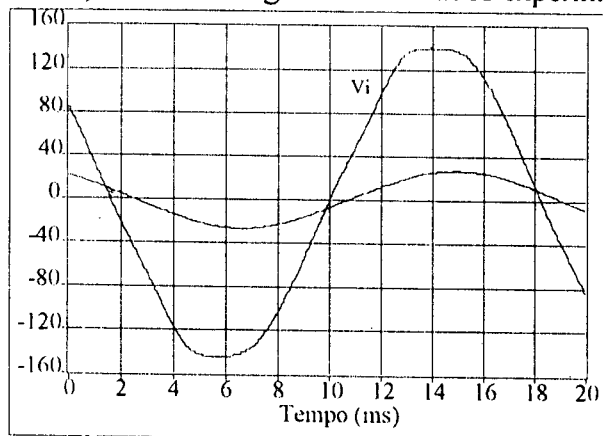
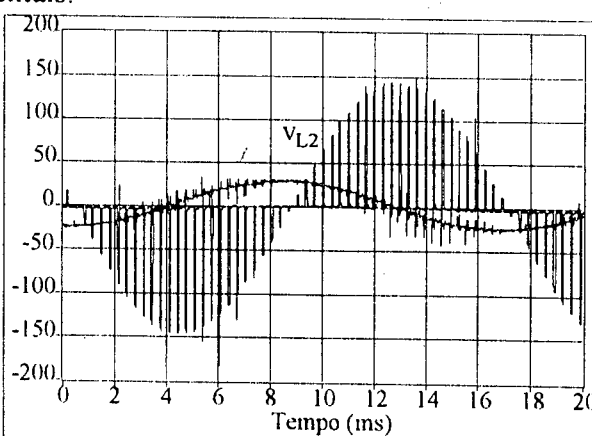
(e) V_{S1} e V_{S2} (f) $I_{S1} * 2$ e $I_{S2} * 2$ (g) TDH (V_i)(h) TDH (V_o)

Figura 5.10(a) a (h): Resultados experimentais para $V_i = 110V_{rms}$, $P_o = 1Kw$, $D = 0.6$

No outro ponto crítico de operação do conversor (tensão de entrada mínima e carga máxima) tem-se os seguintes resultados experimentais:

(a) V_i e $I_{L1} * 2$ (b) V_{L2} e $I_{L2} * 2$

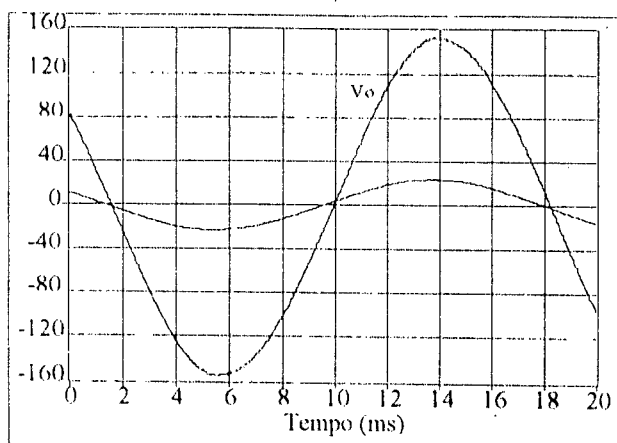
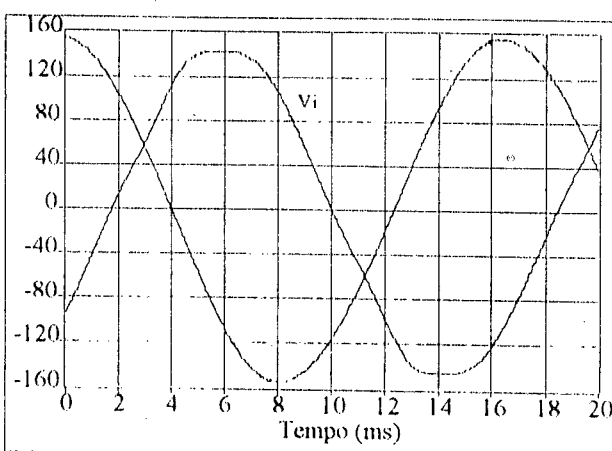
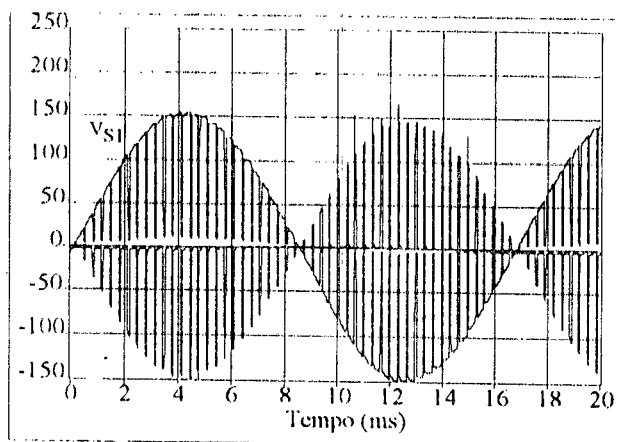
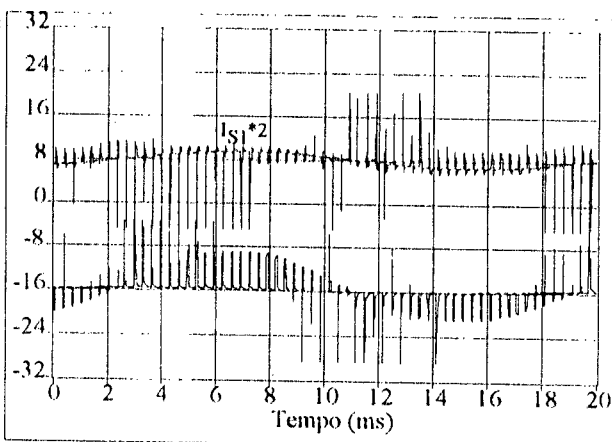
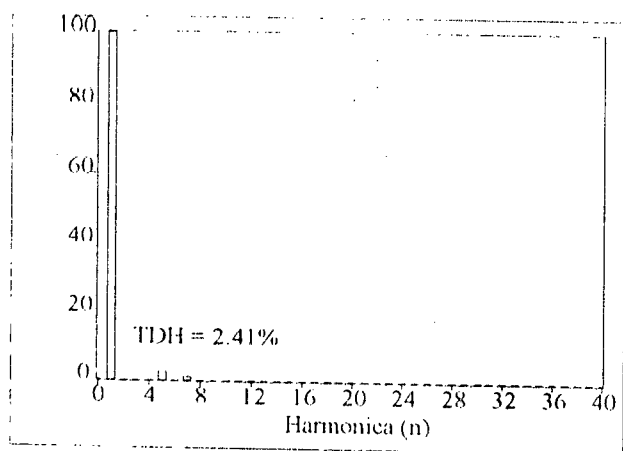
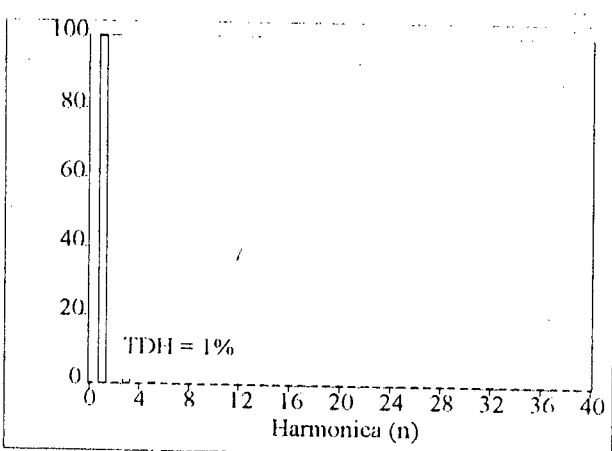
(c) V_o e $I_{R_o}^2$ (d) V_i e V_o (e) V_{S1} e V_{S2} (f) I_{S1}^2 e I_{S2}^2 (g) TDH (V_i)(h) TDH (V_o)

Figura 5.11(a) a (h): Resultados experimentais para $V_i = 93.5V_{rms}$, $P_o = 1Kw$, $D = 0.1$

Na figura abaixo observa-se que não ocorre nenhum esforço de tensão ou corrente no indutor chaveado, evitando-se assim a utilização de grampeadores de tensão nas chaves principais, verificando-se pois a eficácia do método de chaveamento proposto, através de resultados experimentais.

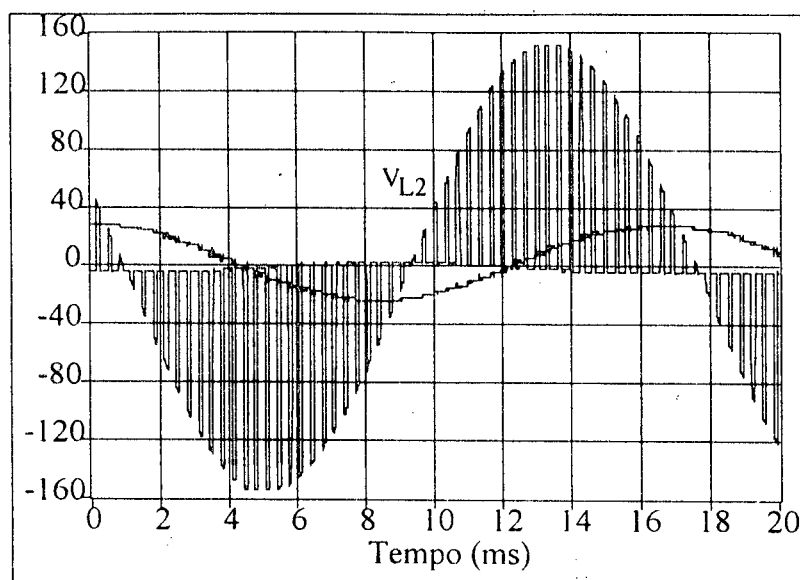


Figura 5.12: V_{L2} e $I_{L2} * 2$

Na figura abaixo são apresentadas a corrente e a tensão no capacitor de saída do conversor. Nota-se a presença de picos de corrente que são decorrente do curto-circuito de braço provocado pela recuperação reversa dos diodos intrínsecos dos MOSFET's. A utilização de diodos ultra-rápidos em conjunto com IGBT's diminuiria este problema. Deve-se também observar que não ocorre picos de tensão neste capacitor, pois se refletiriam diretamente na carga.

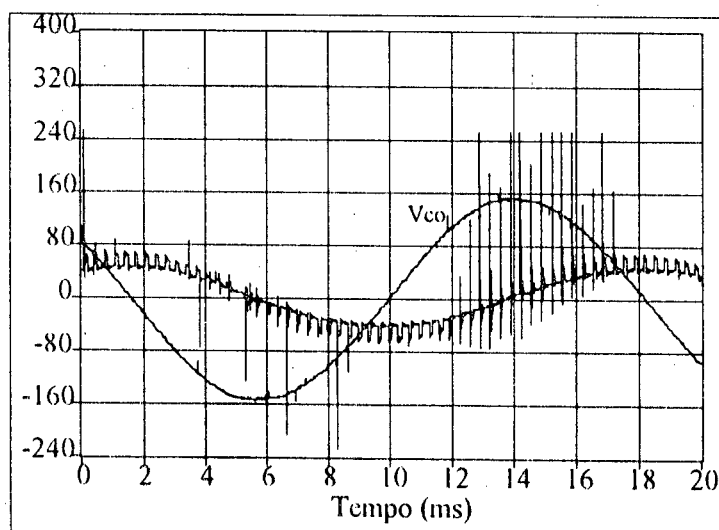


Figura 5.13: V_{Co} e $I_{Co} * 5$

Em seguida apresenta-se alguns resultados experimentais adicionais:

Nas figuras (5.14) e (5.15) apresenta-se detalhes da tensão e corrente nas chaves de potência, comprovando a inexistência de esforços de tensão nas chaves do conversor.

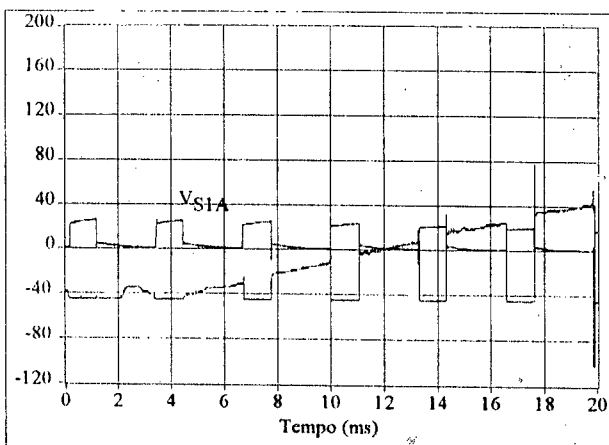
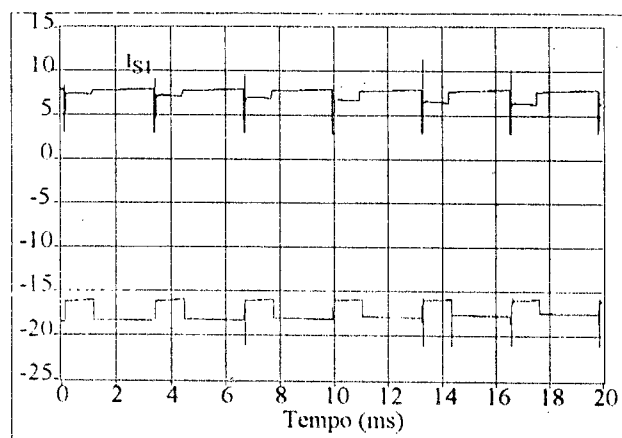


Fig. 5.14: Correntes nas chaves S_1 e S_2 .

Fig. 5.15: Tensão e Corrente na chave S_{1A}

Nas figuras (5.16) e (5.17) apresenta-se as tensões "gate-source" nas chaves de potência do conversor, verificando-se que mesmo com potência nominal, tem-se pulsos estáveis, e defasados conforme projetado, com o circuito de comando implementado.

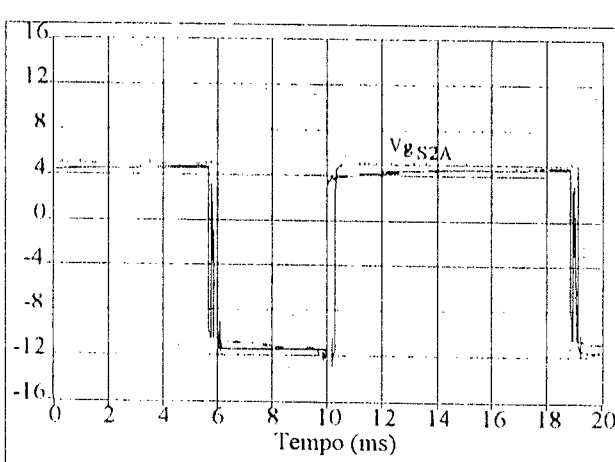
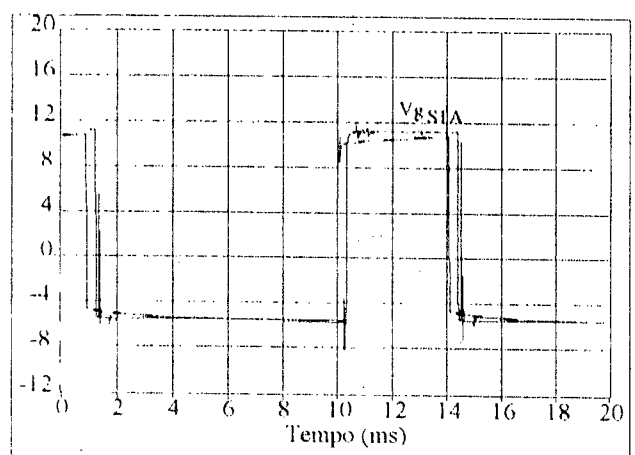


Fig. 5.16: Pulsos de comando de S_{1A} e S_{1B}

Fig. 5.17: Pulsos de comando de S_{2A} e S_{2B}

Nas figuras (5.18) e (5.19) apresenta-se curvas do ganho estático de tensão(q), as quais aproximam-se das obtidas teoricamente, e do rendimento que pode ser melhorado pelo uso de IGBT 's visto que as perdas por condução dos MOSFET 's são bastante significativas.

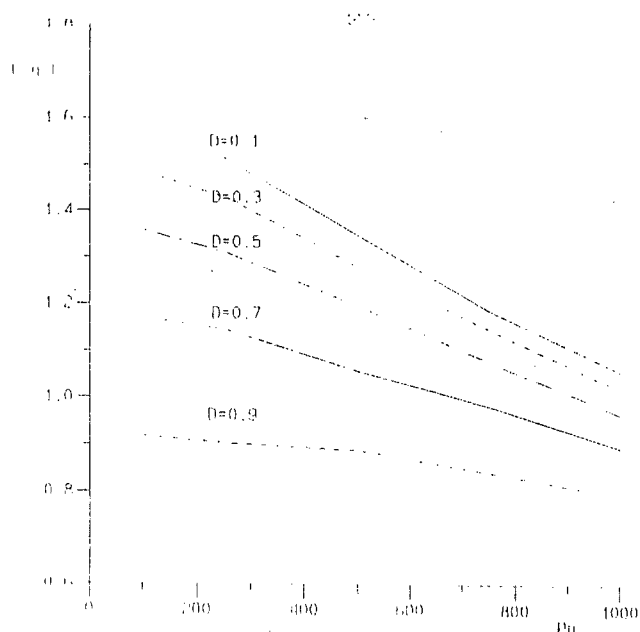


Fig. (5.18) Ganho estático de tensão(q)

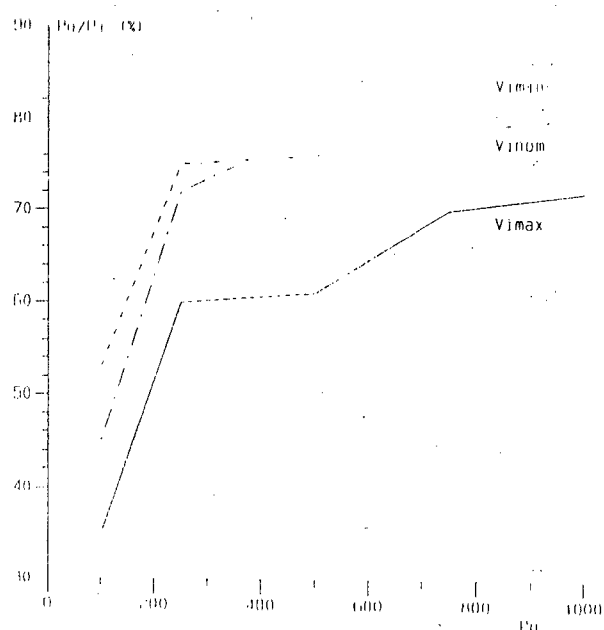


Fig. (5.19) Rendimento do conversor

5.4. CONCLUSÃO

Neste capítulo foram obtidos os resultados experimentais e de simulações. Em geral, todos os cálculos teóricos foram validados pelos resultados de simulações. Foram apresentadas várias simulações nos pontos críticos de operação do conversor a fim de se comprovar a regulação de tensão nos casos extremos de variação da tensão da rede e da carga conectada ao conversor. Foram realizadas algumas simulações com carga indutiva. Demonstrou-se que quando a carga é muito indutiva ocorre a degeneração da característica de saída do conversor, ou seja, a diminuição do valor eficaz da tensão de carga. Este fato foi detectado também com o protótipo, para as mesmas cargas simuladas. A fim de proporcionar um método rápido de comparação entre as simulações, os resultados teóricos e a experimentação apresentou-se uma tabela com os valores encontrados por simulação em regime transitório e regime permanente.

Os resultados experimentais obtidos a partir do protótipo de laboratório implementado, mostraram-se bastante satisfatórios pois obteve-se boa regulação da tensão de saída variando-se a tensão de entrada e/ou a carga do conversor.

O método de chaveamento proposto é fundamental para evitar esforços de tensão nas chaves principais, entretanto, surgiram picos de corrente nestas chaves que foram atribuídos ao curto-circuito do capacitor de saída, pelas chaves de potência, durante o tempo de recuperação reversa dos diodos intrínsecos das mesmas. Este problema pode ser solucionado utilizando-se diodos ultra-rápidos e IGBT's, contribuindo-se também para elevar o rendimento da estrutura.

A tensão de saída apresenta-se com excelente qualidade ($TDH \leq 1\%$), mesmo estando a tensão de entrada bastante distorcida. A corrente de entrada apresentou-se dentro dos níveis máximos de taxa de distorção harmônica aceitáveis ($< 5\%$), apesar da tensão de alimentação apresentar taxa de distorção harmônica em torno de 3%.

CONCLUSÃO GERAL

A topologia proposta constitui-se em um importante passo na busca por um estabilizador de tensão em corrente alternada que alie simplicidade, robustez volume reduzido e baixo custo. O conversor estudado apresentou todas estas características, salientando-se no entanto que apesar da redução de volume conseguida na estrutura final, através da otimização dos elementos armazenadores de energia e do conversor apresentar características de elevador ou abaixador de tensão, dispensado-se portanto o uso de transformador de entrada, quando não necessitar de isolamento galvânico, a estrutura ainda apresenta volume considerável, visto que os indutores e capacitores de armazenamento de energia operam na frequência da rede. Vale salientar que os métodos desenvolvidos nesta pesquisa, inclusive a técnica de comando apresentada, são perfeitamente aplicáveis para outras topologias[7] para regulação de tensão alternada nas quais os elementos armazenadores de energia operam em alta frequência, conseguindo-se assim redução significativa do volume destes componentes. No entanto, a estrutura estudada apresenta robustez e confiabilidade, o que não ocorre nas demais, pois mesmo se a parte chaveada do circuito não estiver funcionando a tensão de saída continua regulada apenas pelos componentes não chaveados. Logicamente não se consegue a regulação teórica projetada.

O método de projeto exposto mostrou-se simples apesar de fornecer excelentes resultados na regulação de tensão da carga verificada por simulação. Nota-se dos resultados práticos obtidos que houve pequena dispersão nos valores esperados pelo projeto, porém deve-se esclarecer que o valor do capacitor de saída desejado não foi conferido por indisponibilidade de instrumentos de medição precisos na faixa de capacitância desejada, ficando pois o valor utilizado sujeito às variações citadas pelo fabricante; e que os valores dos indutores variam de modo discreto com a variação do entreferro, dificultando o ajuste dos seus valores no protótipo implementado. Mesmo assim os resultados práticos obtidos foram satisfatórios.

A característica de saída do conversor determinada teoricamente, e na prática, mostrou-se bastante interessante, visto que o conversor funciona como uma fonte de tensão regulável pela razão cíclica de chaveamento, facilitando-se pois a malha de controle.

Por simulação ratificou-se a análise teórica, em relação à pouca influência da frequência de chaveamento na determinação dos elementos armazenadores de energia e/ou na característica de saída do conversor.

O circuito de comando utilizado no protótipo foi bastante simples, contribuindo assim para assegurar confiabilidade e baixo custo do conversor. A técnica de comando utilizada foi particularmente importante pois evita a utilização de grampeadores de tensão volumosos sobre as chaves principais.

A tensão de saída apresentou-se com excelente qualidade($TDH \leq 1\%$), mesmo quando a tensão de alimentação está distorcida. A taxa de distorção harmônica da corrente de entrada ficou dentro dos limites máximos admissíveis($< 5\%$), apesar da tensão de entrada do conversor apresentar-se bastante distorcida($TDH \approx 3\%$).

O rendimento da estrutura foi elevado se comparado com as estruturas convencionais utilizadas para regulação de tensão alternada(50% a 60%). Deve-se observar que o rendimento obtido pode ser melhorado bastante utilizando-se IGBT 's como chaves principais, pois a corrente eficaz nas chaves é elevada resultando perdas significativas por condução dos MOSFET 's.

Foram realizadas simulações e experimentos com carga indutiva, obtendo-se boa precisão nos resultados esperados para cargas com pequena indutância. Entretanto quando alimenta-se carga muita indutiva a característica de saída do conversor é degenerada. Procurou-se um método simples de recalcular os indutores e capacitores de saída nestas condições, porém não encontrou-se um método direto para isto.

Como sugestões de continuação desta pesquisa pode-se citar:

- Substituir chaves principais por IGBT 's e diodos ultra-rápidos para evitar picos elevados de corrente nas chaves, durante o tempo de recuperação reversa do diodo. Bem como melhorar o rendimento do conversor;
- Projetar malha de realimentação para definir a dinâmica do conversor para variações da tensão de alimentação e/ou da carga;
- Aplicar a metodologia desenvolvida para os conversores propostos em [7];
- Avaliar a possibilidade de comutação não dissipativa.

BIBLIOGRAFIA

- [1] L. Gyugyi, R. A. Otto and T. H. Putman - "Principles and Applications of static Thyristor - Controlled Shunt Compensators", IEEE Transactions on Power Apparatus and Systems, Vol. PAS-97, no.5, Sept./oct., 1978.
- [2] M.C. SCHNEIDER, - "Compensador Estático de Energia Reativa e de Desequilíbrio de uma Instalação Trifásica". Dissertação de Mestrado, UFSC, 1980.
- [3] E.V. KASSICK - "Estudo e realização de um Estabilizador de Tensão Alternada Senoidal a Tiristor". Dissertação de Mestrado, UFSC, 1983.
- [4] G. GABIATTI - "Estudo, Desenvolvimento e Implementação de um Sistema de Alimentação Ininterrupta de Energia". Dissertação de Mestrado, UFSC, 1991.
- [5] G. F. Moita, E. V. Kassick and I. Barbi - "An AC Voltage Regulator Employing Power Transistor and a High Frequency Switching Technique". Anais do 2ª Congresso Brasileiro de Eletrônica de Potência (COBEP'93), pp. 365 - 370, Nov./Dez., 93.
- [6]
- [7] J. C. Fagundes, E. V. Kassick and I. Barbi - "A Novel Family of PWM High Frequency AC Choppers", Anais do 2ª Congresso Brasileiro de Eletrônica de Potência (COBEP'93), pp. 302 - 307, Nov./Dez., 93.
- [8] A. Alesina and M. Venturine, - "Analysis and design of optimum amplitude nine switch direct ac-ac converters", IEEE Trans. Power Electron., vol. 4, no.1, pp.101-112, Jan. 1989
- [9] Enjeti N.P. and Choi S. - "An approach to realize higher power pwm ac controller", Applied Power Electronics Conference APEC'93, pp. 323-327, San Diego CA, USA.
- [10] I. BARBI, J. C. FAGUNDES e E. V. KASSICK, " A compact AC/AC Voltage Regulator based on an AC/AC High Frequency Flyback Converter ", PESC 91, Boston, USA, junho de 1991.
- [11] I. BARBI - "APOSTILA DE FONTES CHAVEADAS", publicação interna, LAMEP, UFSC, 1990.

[12] I. BARBI - "APOSTILA DE ELETRÔNICA DE POTÊNCIA II", publicação interna, LAMEP, UFSC, 1988.

[13] Catálogo do fabricante de MOSFET's com diodos intrínsecos de recuperação rápida, tipo FREDFET - SIEMENS.

[14] Manual do usuário do DSN, publicação interna, LAMEP, UFSC, 1990.

[15] Manual do usuário do programa MATHCAD versão 3.0

[16] Manual do usuário do simulador SCVOLT, publicação interna, LAMEP, UFSC, 1990.

[17] Catálogo do fabricante de capacitores eletrolíticos, ICOTRON.

APÊNDICE A

DEDUÇÃO DA FUNÇÃO DE CHAVEAMENTO [F(w_st)]

A.1- SÉRIE DE FOURIER E ORTOGONALIDADE

Definindo-se um conjunto de funções exponenciais como:

$$\Phi_n(t) = e^{jn\omega_0 t} \quad (A.1)$$

Onde

n = número ou ordem da harmônica.

ω_0 = constante a ser determinada

t = tempo

Pode-se considerar a seguinte operação sobre as funções $\Phi_n(t)$:

$$\int_{t_1}^{t_2} \Phi_n(t) \cdot \Phi_m^*(t) dt = \int_{t_1}^{t_2} e^{jn\omega_0 t} \cdot e^{-jm\omega_0 t} dt = \frac{1}{j(n-m)\omega_0} \left[e^{j(n-m)\omega_0 t_2} - e^{j(n-m)\omega_0 t_1} \right] \quad (A.2)$$

$$\int_{t_1}^{t_2} \Phi_n(t) \cdot \Phi_m^*(t) dt = \frac{1}{j(n-m)\omega_0} \cdot e^{j(n-m)\omega_0 t_1} \cdot \left[e^{j(n-m)\omega_0(t_2-t_1)} - 1 \right] \quad (A.3)$$

Onde:

m, n = inteiros ($0, \pm 1, \pm 2, \dots$)

Exceto para o caso trivial ($t_2 = t_1$), o termo entre colchetes de (A.3) será nulo apenas se for escolhido $\omega_0(t_2 - t_1) = 2\pi$.

$$\int_{t_1}^{t_2} e^{jn\omega_0 t} \cdot e^{-jm\omega_0 t} dt = \begin{cases} (t_2 - t_1) & ; n = m \\ 0 & ; n \neq m \end{cases} \quad (A.4)$$

Da definição de ortogonalidade, sabe-se que as funções $\Phi_n(t)$ e $\Phi_m(t)$ são ortogonais no intervalo (t_1, t_2) , se e somente se,

$$\int_{t_1}^{t_2} \Phi_n(t) \cdot \Phi_m^*(t) dt = \begin{cases} \text{cte} & ; n = m \\ 0 & ; n \neq m \end{cases} \quad (A.5)$$

Observando-se o resultado da expressão (A.4), deduz-se que as funções abaixo definidas, formam um conjunto ortogonal de funções no intervalo (t_1, t_2) :

$$\Phi_n(t) = e^{jn\omega_0 t} ; \begin{cases} n = 0, \pm 1, \pm 2 \\ \omega_0 = \frac{2\pi}{(t_2 - t_1)} \end{cases} \quad (\text{A.6})$$

Por outro lado, pode-se expressar uma função arbitrária $f(t)$ em termos de um conjunto de exponenciais complexas, na seguinte forma:

$$f(t) = \sum_{n=-\infty}^{\infty} F_n \cdot e^{jn\omega_0 t} ; (t_1 < t < t_2) \quad (\text{A.7})$$

Pode-se mostrar que o erro de energia entre uma função arbitrária $f(t)$ e sua aproximação por exponenciais complexas tende a zero, quando o número de termos desta aproximação tende a infinito. Neste caso, o conjunto ortogonal é dito completo.

Quando as funções $\Phi_n(t)$ formam um conjunto ortogonal completo, pode-se representar qualquer função arbitrária $f(t)$, de energia finita, pela combinação linear de funções exponenciais complexas no intervalo (t_1, t_2) . A representação de $f(t)$ apresentada em (A.7) é conhecida como série exponencial de Fourier.

Como resultado da ortogonalidade, todos os termos do lado direito em (A.7) anulam-se, exceto para $m = n$.

Assim, tem-se:

$$F_n = \frac{1}{(t_2 - t_1)} \cdot \int_{t_1}^{t_2} f(t) \cdot e^{-jn\omega_0 t} dt \quad (\text{A.8})$$

Em resumo qualquer função arbitrária $f(t)$ pode ser aproximada por um conjunto de funções exponenciais complexas no intervalo (t_1, t_2) . Inicialmente calcula-se os coeficientes em (A.8) substituindo-os em (A.7) para obter a série desejada.

Todos os resultados anteriores podem ser estendidos também para série trigonométrica de Fourier, apresentada abaixo:

$$f(t) = a_0 + \sum_{n=1}^{\infty} a_n \cos n\omega_0 t + \sum_{n=1}^{\infty} b_n \sen n\omega_0 t \quad (\text{A.9})$$

Onde:

$$a_0 = \frac{1}{(t_2 - t_1)} \cdot \int_{t_1}^{t_2} f(t) dt \quad (\text{A.10})$$

$$a_n = \frac{2}{(t_2 - t_1)} \cdot \int_{t_1}^{t_2} f(t) \cdot \cos n\omega_0 t dt \quad , n \neq 0 \quad (\text{A.11})$$

$$b_n = \frac{2}{(t_2 - t_1)} \cdot \int_{t_1}^{t_2} f(t) \cdot \text{sen } n\omega_0 t dt \quad , n \neq 0 \quad (\text{A.12})$$

A.II- FUNÇÃO DE CHAVEAMENTO DA CHAVE S_1 DO CONVERSOR

No caso da figura A.1, pode-se definir a seguinte função de chaveamento para a chave S_1 do conversor proposto:

$$f(t) = \begin{cases} 1 & , 0 < t < DT_s \\ 0 & , DT_s < t < T_s \end{cases} \quad (\text{A.13})$$

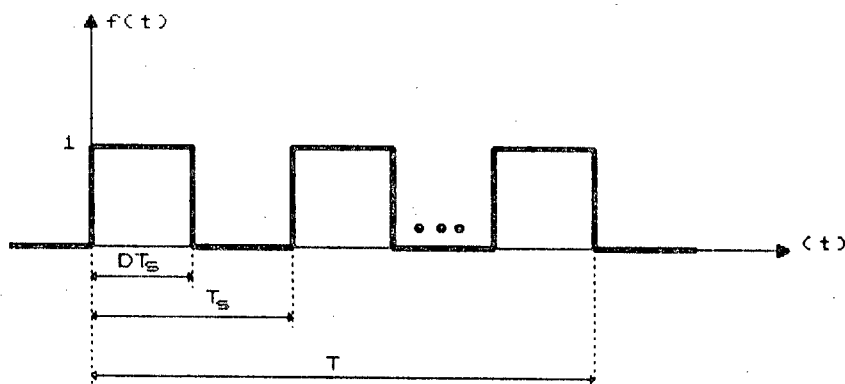


Figura A.1: Pulsos de comando da chave S_1

Usando a técnica exposta, pode-se aproximar $f(t)$ por uma série de Fourier. Para facilitar as integrações faz-se um deslocamento do eixo vertical, na figura A.1 de modo a obter uma função par, portanto:

$$\omega_s(t_2 - t_1) = 2\pi \quad \rightarrow \quad \omega_s = \frac{2\pi}{T_s} \quad (\text{A.14})$$

$$a_0 = \frac{1}{T_s} \cdot \int_{-\frac{DT_s}{2}}^{\frac{DT_s}{2}} 1 \cdot dt \quad \rightarrow \quad a_0 = D \quad (\text{A.15})$$

$$a_n = \frac{2}{T_s} \cdot \int_{-\frac{DT_s}{2}}^{\frac{DT_s}{2}} 1 \cdot \cos n\omega_s t dt \quad \rightarrow \quad a_n = \frac{2 \cdot \text{sen}(nD\pi)}{n\pi} \quad (\text{A.16})$$

$$b_n = \frac{2}{T_s} \cdot \int_{-\frac{D T_s}{2}}^{\frac{D T_s}{2}} 1 \cdot \text{sen } \omega_s t \, dt \rightarrow b_n = 0 \quad (\text{A.17})$$

Assim, define-se a função de chaveamento da chave S_1 do conversor $F(\omega_s t)$ para uma razão cíclica constante D , em onda quadrada (fig. A.1):

$$F(\omega_s t) = f(t) = D + \sum_{n=1}^{\infty} \frac{2 \cdot \text{sen}(nD\pi)}{n\pi} \cdot \cos(n\omega_s t) \quad (\text{A.18})$$

Onde:

$$\omega_s = 2\pi f_s$$

f_s = frequência de chaveamento

D = razão cíclica da chave S_1 , $0 \leq D \leq 1$

T_s = período de chaveamento

n = ordem da harmônica

T = período da rede

Desprezando-se os efeitos das harmônicas de chaveamento de alta ordem, pode-se simplificar a função de chaveamento da chave S_1 do conversor:

$$F(\omega_s t) = D \quad (\text{A.19})$$

APÊNDICE B

ANÁLISE E RELAÇÕES MATEMÁTICAS EM ALTA FREQUÊNCIA

B.1- ANÁLISE TEÓRICA DO CONVERSOR EM ALTA FREQUÊNCIA

As expressões relevantes do conversor podem ser obtidas pela seguinte análise teórica:

a) Quando a chave bidirecional S_2 está conduzindo tem-se o seguinte circuito equivalente em alta frequência ($f_s \gg f$):

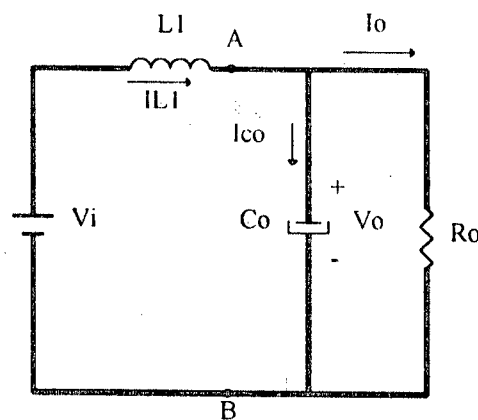


Figura B.1: Circuito em alta frequência para S_2 conduzindo

Quando $f_s \gg f$, pode-se considerar V_i e V_o constantes no período de chaveamento. Por inspeção do circuito acima tem-se as seguintes relações:

$$V_o \cong \text{cte} , I_o = \text{cte} , \Delta V_{o2} \cong 0 , I_{C_o} = \text{cte}$$

$$V_{L,2} \cong 0 , I_{L,2} \cong \text{cte}$$

$$V_{L,1} = (V_i - V_o) \cong \text{cte}$$

Aplicando-se a lei das correntes de Kirchoff no circuito da figura acima obtém-se:

$$I_{L1} = I_{C_o} + I_o \quad (\text{B.1})$$

$$\Delta I_{L1} = \Delta I_{C_o} + \Delta I_o \quad (\text{B.2})$$

$$\frac{(V_i - V_o)}{L_1} \cdot t_{r2} = \frac{C_o \cdot \Delta V_{o2}}{t_{r2}} \quad (\text{B.3})$$

$$\frac{(V_i - V_o)}{L_1} \cdot (1 - D)T_s = \frac{C_o \cdot \Delta V_{o2}}{(1 - D)T_s} \quad (\text{B.4})$$

$$(1-q) = \frac{L_1 \cdot f_s^2 \cdot C_o}{(1-D)^2} \cdot \left(\frac{\Delta V_{O2}}{V_i} \right) \quad (B.5)$$

Onde:

$$\begin{cases} q = V_o / V_i \\ t f_2 = (1-D) T_s \\ t f_1 = D T_s \\ T_s = 1 / f_s \end{cases} \quad (B.6)$$

Aplicando-se o princípio da conservação de energia no circuito da figura (B.1), obtem-se:

$$\Delta \omega_i + \Delta \omega_{L1} = \Delta \omega_{C_o} + \Delta \omega_{R_o} \quad (B.7)$$

$$V_i \cdot \Delta I_{L1} + \frac{1}{2} L_1 (\Delta I_{L1})^2 = \frac{1}{2} C_o (\Delta V_{O2})^2 + R_o (\Delta I_o)^2 t_{f2} \quad (B.8)$$

$$V_i \cdot \left[\frac{(V_i - V_o)}{L_1} \cdot (1-D) T_s \right] + \frac{1}{2} L_1 \left[\frac{(V_i - V_o)}{L_1} \cdot (1-D) T_s \right]^2 = \frac{1}{2} C_o (\Delta V_{O2})^2 \quad (B.9)$$

$$\left(\frac{1-q}{f_s \cdot L_1} \right) (1-D) + \frac{(1-D)^2 L_1}{2} \left(\frac{1-q}{f_s \cdot L_1} \right)^2 = \frac{1}{2} C_o \left(\frac{\Delta V_{O2}}{V_i} \right)^2 \quad (B.10)$$

Substituindo a expressão (B.5) na expressão (B.10), tem-se:

$$\left[\frac{f_s \cdot C_o}{(1-D)} \left(\frac{\Delta V_{O2}}{V_i} \right) \right] + \frac{L_1}{2} \left[\frac{f_s \cdot C_o}{(1-D)} \left(\frac{\Delta V_{O2}}{V_i} \right) \right]^2 = \frac{1}{2} C_o \left(\frac{\Delta V_{O2}}{V_i} \right)^2 \quad (B.11)$$

$$\left[\frac{f_s \cdot C_o}{(1-D)} \left(\frac{V_i}{\Delta V_{O2}} \right) \right] + \frac{L_1}{2} \left[\frac{f_s \cdot C_o}{(1-D)} \right]^2 = \frac{1}{2} C_o \quad (B.12)$$

$$\frac{2f_s \cdot C_o}{(1-D)} \left(\frac{V_i}{\Delta V_{O2}} \right) + L_1 \frac{f_s^2 \cdot C_o^2}{(1-D)^2} = C_o \quad (B.13)$$

$$L_1 = \frac{C_o - \frac{2f_s \cdot C_o}{(1-D)} \left(\frac{V_i}{\Delta V_{o2}} \right)}{f_s^2 \cdot C_o^2 (1-D)^2} \quad (\text{B.14})$$

$$L_1 = \frac{(1-D)}{f_s \cdot C_o} \left[\frac{(1-D)}{f_s} - 2 \left(\frac{V_i}{\Delta V_{o2}} \right) \right] \quad (\text{B.15})$$

Como $V_o \cong \text{cte}$, $\Delta V_{o2} \cong 0$; pode-se fazer a seguinte simplificação na expressão (B.15)

$$\frac{(1-D)}{f_s} \ll -2 \left(\frac{V_i}{\Delta V_{o2}} \right) \quad (\text{B.16})$$

Portanto:

$$L_1 = -\frac{(1-D)}{f_s \cdot C_o} \cdot 2 \left(\frac{V_i}{\Delta V_{o2}} \right) \quad (\text{B.17})$$

Para resolver esta equação deve-se achar uma relação para ΔV_{o2} , porém $\Delta V_{o2} \cong 0$ quando $V_o \cong \text{cte}$.

Quando a chave bidirecional S_1 está conduzindo tem-se o seguinte circuito equivalente em alta frequência ($f_s \gg f$):

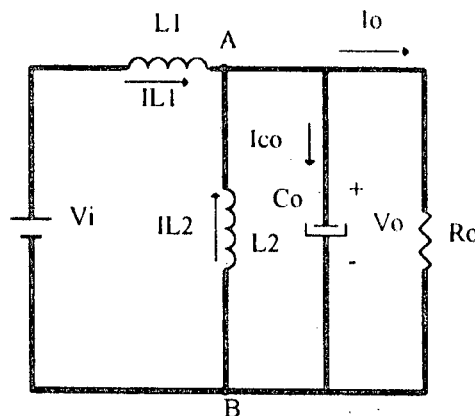


Figura B.2: Circuito em alta frequência com S_1 conduzindo

Considerando V_i e V_o constantes no período de chaveamento ($f_s \gg f$). Por inspeção do circuito acima tem-se as seguintes relações:

$$V_{1,1} = (V_i - V_o) \cong \text{cte}$$

$$V_{1,2} = V_o \cong \text{cte}$$

Aplicando-se as leis das correntes de Kirchoff no circuito da figura acima obtém-se:

$$I_{L1} + I_{L2} = I_{C0} + I_o \quad (B.18)$$

$$\Delta I_{L1} + \Delta I_{L2} = \Delta I_{C0} + \Delta I_o \quad (B.19)$$

$$\frac{(V_i - V_o)}{L_1} \cdot t_{r1} + \frac{V_o}{L_2} \cdot t_{r1} = \frac{C_o \cdot \Delta V_{o1}}{t_{r1}} \quad (B.20)$$

$$\frac{(V_i - V_o)}{L_1} \cdot DT_s + \frac{V_o}{L_2} \cdot DT_s = \frac{C_o \cdot \Delta V_{o1}}{DT_s} \quad (B.21)$$

$$\left[\frac{(1-q)}{L_1} + \frac{q}{L_2} \right] = \frac{f_s^2 \cdot C_o}{D^2} \left(\frac{\Delta V_{o1}}{V_i} \right) \quad (B.22)$$

$$C_o = \frac{D^2}{f_s^2} \left(\frac{V_i}{\Delta V_{o1}} \right) \left[\frac{(1-q)}{L_1} + \frac{q}{L_2} \right] \quad (B.23)$$

Aplicando-se o principio da conservação de energia no circuito da figura(B.2) obtém-se:

$$\Delta \omega_i + \Delta \omega_{L1} + \Delta \omega_{L2} = \Delta \omega_{C0} + \Delta \omega_{R0} \quad (B.24)$$

$$V_i \cdot \Delta I_{L1} + \frac{1}{2} L_1 (\Delta I_{L1})^2 + \frac{1}{2} L_2 (\Delta I_{L2})^2 = \frac{1}{2} C_o (\Delta V_{o1})^2 + R_o (\Delta I_o)^2 t_{r1} \quad (B.25)$$

$$V_i \cdot \left[\frac{(V_i - V_o)}{L_1} t_{r1} \right] + \frac{1}{2} L_1 \left[\frac{(V_i - V_o)}{L_1} t_{r1} \right]^2 + \frac{1}{2} L_2 \left[\frac{V_o}{L_2} t_{r1} \right]^2 = \frac{1}{2} C_o V_{o1}^2 \quad (B.26)$$

$$\left[\frac{(1-q)}{L_1} DT_s \right] + \frac{1}{2} L_1 \left[\frac{(1-q)}{L_1} DT_s \right]^2 + \frac{1}{2} L_2 \left[\frac{q}{L_2} DT_s \right]^2 = \frac{1}{2} C_o \left(\frac{\Delta V_{o1}}{V_i} \right)^2 \quad (B.27)$$

$$\frac{f_s (1-q)}{DL_1} + \frac{1}{2L_1} (1-q)^2 + \frac{1}{2L_2} (q)^2 = \frac{f_s^2 \cdot C_o}{2D^2} \left(\frac{\Delta V_{o1}}{V_i} \right)^2 \quad (B.28)$$

Substituindo a expressão (B.22) na expressão (B.28), obtém-se:

$$\frac{2f_s(1-q)}{DL_1} + \frac{1}{L_1}(1-q)^2 + \frac{1}{L_2}(q)^2 = \left[\frac{(1-q)}{L_1} + \frac{q}{L_2} \right] \left(\frac{\Delta V_{o1}}{V_i} \right) \quad (B.29)$$

$$\left[\frac{2f_s}{D} - \frac{\Delta V_{o1}}{V_i} \right] \left(\frac{1-q}{L_1} \right) + \frac{(1-q)^2}{L_1} + \left(q - \frac{\Delta V_{o1}}{V_i} \right) \frac{q}{L_2} = 0 \quad (B.30)$$

Como $\Delta V_{o1} \ll V_i$, tem-se a seguinte simplificação:

$$\frac{2f_s}{D} \gg \frac{\Delta V_{o1}}{V_i} \quad (B.31)$$

Assim

$$\frac{2f_s}{D} \left(\frac{1-q}{L_1} \right) + \frac{(1-q)^2}{L_1} + \left(q - \frac{\Delta V_{o1}}{V_i} \right) \frac{q}{L_2} = 0 \quad (B.32)$$

Rearranjando esta expressão temos:

$$q^2 \left[1 + \frac{L_1}{L_2} \right] - q \left[\frac{2f_s}{D} + 2 + \frac{L_1}{L_2} \frac{\Delta V_{o1}}{V_i} \right] + \left[\frac{2f_s}{D} + 1 \right] = 0 \quad (B.33)$$

$$q = \frac{\left[\frac{2f_s}{D} + 2 + \frac{L_1}{L_2} \frac{\Delta V_{o1}}{V_i} \right] \pm \sqrt{\left[\frac{2f_s}{D} + 2 + \frac{L_1}{L_2} \frac{\Delta V_{o1}}{V_i} \right]^2 - 4 \left[1 + \frac{L_1}{L_2} \right] \left[\frac{2f_s}{D} + 1 \right]}}{2 \left[1 + \frac{L_1}{L_2} \right]} \quad (B.34)$$

Admitindo-se que $q \in \mathcal{R}^+$, impõe-se 2 restrições.

- A primeira restrição para a expressão (B.34) será:

$$\left[\frac{2f_s}{D} + 2 + \frac{L_1}{L_2} \frac{\Delta V_{o1}}{V_i} \right]^2 \geq 4 \left[1 + \frac{L_1}{L_2} \right] \left[\frac{2f_s}{D} + 1 \right] \quad (B.35)$$

Como $f_s \gg D$, faz-se a seguinte simplificação

$$\left[\frac{2f_s}{D} + \frac{L_1}{L_2} \frac{\Delta V_{o1}}{V_i} \right]^2 \geq 4 \left[1 + \frac{L_1}{L_2} \right] \left[\frac{2f_s}{D} \right] \quad (B.36)$$

$$\left(\frac{2f_s}{D}\right)^2 + \frac{4f_s}{D} \frac{L_1}{L_2} \frac{\Delta V_{01}}{V_i} + \left(\frac{L_1}{L_2} \frac{\Delta V_{01}}{V_i}\right)^2 \geq \frac{8f_s}{D} + \frac{8f_s}{D} \frac{L_1}{L_2} \quad (\text{B.37})$$

$$\left(\frac{L_1}{L_2} \frac{\Delta V_{01}}{V_i}\right)^2 + \frac{L_1}{L_2} \left(\frac{4f_s}{D}\right) \left[\frac{\Delta V_{01}}{V_i} - 2\right] + \left(\frac{2f_s}{D}\right)^2 \geq \frac{8f_s}{D} \quad (\text{B.38})$$

$$\left(\frac{L_1}{L_2} \frac{\Delta V_{01}}{V_i}\right)^2 - \frac{L_1}{L_2} \left(\frac{8f_s}{D}\right) + \left(\frac{2f_s}{D}\right)^2 - \frac{8f_s}{D} \geq 0 \quad (\text{B.39})$$

Resolvendo a expressão (B.39) para L_1/L_2 obtém-se:

$$\frac{L_1}{L_2} \geq \frac{\frac{8f_s}{D} \pm \frac{8f_s}{D}}{2 \cdot \left(\frac{\Delta V_{01}}{V_i}\right)^2} \quad (\text{B.40})$$

Logo:

$$L_1 \geq \frac{8f_s}{D} \left(\frac{V_i}{\Delta V_{01}}\right)^2 L_2 \quad (\text{B.41})$$

- A segunda restrição para a expressão (B.34) será:

$$\left[\frac{2f_s}{D} + 2 + \frac{L_1}{L_2} \frac{\Delta V_{01}}{V_i}\right] \pm \sqrt{\left[\frac{2f_s}{D} + 2 + \frac{L_1}{L_2} \frac{\Delta V_{01}}{V_i}\right]^2 - 4 \left[1 + \frac{L_1}{L_2}\right] \left[\frac{2f_s}{D} + 1\right]} > 0 \quad (\text{B.42})$$

Simplificando-se obtém-se:

$$\left[\frac{2f_s}{D} + \frac{L_1}{L_2} \frac{\Delta V_{01}}{V_i}\right] > \mp \sqrt{\left[\frac{2f_s}{D} + \frac{L_1}{L_2} \frac{\Delta V_{01}}{V_i}\right]^2 - 4 \left[1 + \frac{L_1}{L_2}\right] \left(\frac{2f_s}{D}\right)} \quad (\text{B.43})$$

$$\left[\frac{2f_s}{D} + \frac{L_1}{L_2} \frac{\Delta V_{01}}{V_i}\right]^2 > + \left[\frac{2f_s}{D} + \frac{L_1}{L_2} \frac{\Delta V_{01}}{V_i}\right]^2 - \frac{8f_s}{D} \left[1 + \frac{L_1}{L_2}\right] \quad (\text{B.44})$$

O sinal \pm da expressão (B.43) desaparece quando esta for elevada ao quadrado (B.44).

Assim:

$$\frac{8f_s}{D} \cdot \left[1 + \frac{L_1}{L_2} \right] > 0 \quad (\text{B.45})$$

$$L_1 > L_2$$

Supondo o circuito em regime permanente senoidal ($V_{\text{pico}}=311\text{V}$), pode-se obter ΔV_{o1} em função da frequência de chaveamento (f_s). Nestas condições a tensão de saída (V_o) excursionará de zero a seu valor máximo em consequência de 1/4 do número de pulsos de chaveamento total. Considerando $\Delta V_{o2} \cong 0$, obtém-se:

$$\Delta V_{o1} = \frac{(V_{\text{pico}} - 0)}{4 \cdot \left(\frac{f_s}{f} \right)} = \frac{4 \cdot f \cdot V_{\text{pico}}}{f_s} \quad (\text{B.46})$$

APÊNDICE C

PROJETO DE PROTEÇÕES PARA O CONVERSOR

CI.- ANÁLISE DE UM POSSÍVEL PICO DE TENSÃO SOBRE AS CHAVES

Observando-se a estrutura de potência do conversor nota-se que mesmo ocorrendo falha de chaveamento o indutor L_1 não sofrerá interrupção de corrente. Assim deve-se analisar apenas a possibilidade da abertura de duas(2) chaves simultaneamente interrompendo a corrente I_{L2} do indutor chaveado o que provocaria um impulso de tensão sobre chaves de potência do conversor.

Neste caso projetou-se grampeadores de tensão conectados às chaves que garantirão que a tensão máxima suportada pelas mesmas não será excedida(Figura 5.5). Assim, foi projetado grampeadores para um conversor alimentado em 220V (projeto inicial).

Na indutância chaveada tem-se:

$$V_{L2} = L_2 \cdot \frac{di_{L2}}{dt} \rightarrow V_{L2} = L_2 \cdot \frac{\Delta I}{T_s} \quad (C.1)$$

Assim em um período de chaveamento tem-se a seguinte variação de energia no indutor chaveado(L_2).

$$\Delta w_{L2} = \frac{1}{2} \cdot L_2 \cdot (\Delta I)^2 = \frac{1}{2} \cdot L_2 \cdot \left(\frac{V_{L2} \cdot T_s}{L_2} \right)^2 \quad (C.2)$$

A maior variação de energia em L_2 ocorrerá quando $V_{L2} = V_{S2pk}$ e as 2 chaves abrirem simultaneamente. Assim,

$$\Delta w_{L2} = \frac{(V_{g2pk})^2}{2 \cdot L_2 \cdot (f_s)^2} = \frac{(V_{g1pk})^2}{2 \cdot L_2 \cdot (f_s)^2} \quad (C.3)$$

Esta variação de energia tem que ser absorvida pelo capacitor C_{g1} e C_{g2} dependendo do sentido da corrente I_{L2} e depois dissipada por R_{g1} ou R_{g2} , sem exceder a tensão da chave, então:

$$\Delta w_{L2} = \Delta w_{Cg} = \frac{1}{2} \cdot C_g \cdot (\Delta V_g)^2 \quad (C.4)$$

Uma maneira de garantir que V_{gpk} não ultrapassa os limites máximos desejados seria projetar um sensor de tensão no grampeador (V_g) para desligar os pulsos de comando do 3524

para evitar que se repitam eventos errados aumentando assim a tensão sobre o grampeador. Abaixo projetou-se um sensor de tensão que ligado ao pino 10 (SHUNT-DOWN) desliga o 3524 imediatamente quando V_{gpk} crescer maior que um limite escolhido.

Em virtude do grampeador permanecer no circuito, deve-se projetá-lo de tal forma que a tensão grampeada mínima (V_{gmin}) seja maior que a tensão de pico máxima para tensão grampeada que é definida pela chave utilizada, pois $V_{gpk} < V_{DS\ max}$.

Como utilizou-se MOSFET'S de $V_{max} = 500V$ deve-se evitar que a tensão sobre os mesmos ultrapasse este limite. Escolhendo-se $V_{Mpk} = 475V$ tem-se:

$$\Delta V_{cg} = 445 - 390 = 55V \quad \Rightarrow \quad \text{Se } V_{max} = 475 \quad \Rightarrow \quad V_{min} = 420V$$

Pode-se portanto usar estes dois(2) limites para projetar o sensor de tensão, ou seja se $V_{gpk} \geq 475V$ o 3524 será desabilitado pelo pino 10(ST) e para evitar que o sensor fique ligando e desligando o 3524, projetou-se um comparador com histerese para o sensor, a fim de que o 3524 seja reabilitado apenas quando $V_{min} \leq 420V$.

Através de divisores resistivos adequa-se o nível de tensão V_g para os comparadores.

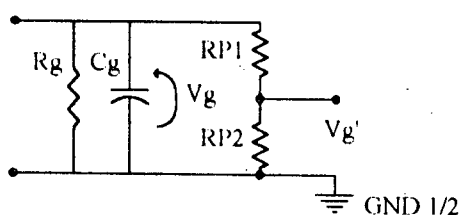


Figura C.1: Divisor de tensão dos grampeadores

A partir dos valores determinado acima pode-se definir o circuito de proteção contra sobretensão. Como estágio de entrada implementa-se 2 "buffer's" para evitar excesso de corrente no estágio do comparador com histerese.

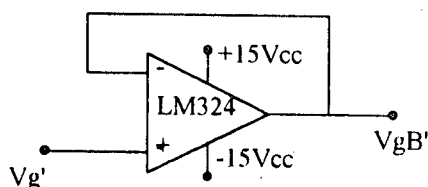


Figura C.2: Estágio de entrada do comparador

C.II- PROTEÇÃO DE SOBRETENSÃO NO GRAMPEADOR DE TENSÃO

O grampeador de tensão projetado considera apenas um pulso de tensão causado pela abertura simultânea das 2 chaves principais em cada período de rede. Portanto se houver mais de 1 evento errado (abertura de 2 chaves simultaneamente) o resistor R_g não será capaz de dissipar todo excesso de energia e a tensão sobre o capacitor C_g crescerá ultrapassando o valor de pico

V_{gpk} projetado ultrapassando a tensão limite do grampeador e das chaves principais. Dois(2) outros eventos podem contribuir para a elevação de tensão do grampeador: a existência de indutâncias parasitas das trilhas ou fio que sempre serão abertas provocando um pequeno pulso de tensão no circuito e possíveis pulsos de tensão na carga ($> 390V_{PK}$) causados pela não regulação adequada da tensão V_0 pelo indutor L_2 (principalmente na situação limite V_{imax} , P_{omin}). Uma medida prática imediata seria crescer o valor de C_g e/ou diminuir R_g aumentando portanto P_{Rg} e diminuindo V_{gpk} . Crescendo R_g aumenta-se V_{gmin} grampeado sobre o capacitor, a não ser que aumente o valor C_g para diminuir a oscilação de tensão sobre o mesmo.

Portanto V_{gmin} é ditado pelo valor do resistor R_g e deve ser maior que a máxima tensão de pico da tensão de carga (V_0) para não ficar dissipando potência quando a tensão estiver em níveis normais. A tensão V_{gpk} deve ser menor que a tensão máxima das chaves e do grampeador devendo-se reduzir o valor de R_g e aumentar P_{Rg} e/ou aumentar o valor de C_g para garantir este limite máximo.

$$\frac{(V_{gpk})^2}{2 \cdot L_2 \cdot (f_s)^2} = \frac{1}{2} \cdot C_r \cdot (\Delta V_r)^2 \rightarrow C_r = \frac{(V_{gpk})^2}{(\Delta V_r)^2 \cdot L_2 \cdot (f_s)^2} \quad (C.5)$$

portanto:

$$C_r \geq \frac{(V_{gpk})^2}{(V_{gpk} - V_{gmin})^2 \cdot L_2 \cdot (f_s)^2} \quad (C.6)$$

Onde:

V_{gmin} deve ser maior que $V_{opk(máximo)}$ para evitar influência no circuito.

V_{gpk} deve ser menor que a tensão máxima suportada pelas chaves para não danificá-las.

Nota-se que quanto maior f_s menor o capacitor C_g necessário pois o tempo de duração da falha(T_s) será menor e o indutor transferirá menos energia para o capacitor de grampeamento neste intervalo. Observar que:

- Se usar R_g maior, a potência dissipada diminui levando um maior tempo para dissipar o excesso de energia. Se usar R_g menor, a potência dissipada sobre a resistência (R_g) será maior podendo danificá-lo.

- Nota-se que ao grampear a tensão V_{gpk} em um nível menor, menor será a potência dissipada por R_g , entretanto o capacitor C_g deve ser maior para assumir a variação de energia.

Escolhendo-se $V_{gpk} = 445\text{Volts}$ tem-se:

$$C_r \geq \frac{(445)^2}{(445 - 390)^2 \cdot 45,6 \times 10^{-3} \cdot (3000)^2} \rightarrow C_r \geq 159,5 \mu\text{F}$$

$$\frac{(V_{\text{gpk}})^2}{2 \cdot L_2 \cdot (f_s)^2} = P_{\text{Rr}} \cdot t \rightarrow P_{\text{Rr}} \cdot t = \frac{(445)^2}{2 \cdot 45,6 \times 10^{-3} \cdot (3000)^2}$$

$$P_{\text{Rr}} \cdot t = 0,24125853 \rightarrow P_{\text{Rr}} = 14,4755 \text{w}$$

Portanto:

$$14,4755 = \frac{(445 + 390)^2}{4 \cdot R_r} \rightarrow R_r \leq 12041,467 \Omega$$

Do mesmo modo se escolher $V_{\text{gpk}} = 435\text{V}$, tem-se:

$$\begin{cases} C_r \geq 227,7 \mu\text{F} \\ P_{\text{Rr}} = 13,8322 \text{w} \\ R_r = 12301,43 \Omega \end{cases}$$

Pode-se obter os capacitores e resistores calculados por combinação dos valores comerciais (existentes no LAMEP). Pode-se usar CAPACITORES ELETROLÍTICO DE ALUMÍNIO ou POLIPROPILENO que permitam alta ondulação de corrente.

Levando em consideração os cálculos e observações anteriores escolheu-se $V_{\text{gpk}} = 445\text{V}$ pois pode-se utilizar apenas um(1) capacitor 450V ($500 V_{\text{pk}}$) de $150 \mu\text{F}$ série SLS e 6 resistores 8K2/5w existentes no LAMEP.

Assim, escolheu os seguintes valores comerciais:

$$\begin{cases} C_r = 150 \mu\text{F} / V_n = 450 \text{V} (500 V_{\text{pk}}) \\ R_r = 12\text{K}3 / 15 \text{w} \end{cases}$$

Recalculando para os valores escolhidos, tem-se:

$$C_r \geq \frac{(V_{\text{gpk}})^2}{(V_{\text{gpk}} - V_{\text{gmin}})^2 \cdot L_2 \cdot (f_s)^2} \rightarrow 150 \mu\text{F} \geq \frac{(V_{\text{gpk}})^2}{(V_{\text{gpk}} - 390)^2 \cdot 45,6 \times 10^{-3} \cdot (3000)^2} \rightarrow V_{\text{gpk}} \cong 447\text{V}$$

$$\frac{(V_{\text{gpk}})^2}{2 \cdot L_2 \cdot (f_s)^2} = P_{\text{Rr}} \cdot t \rightarrow 15 \cdot t = \frac{(447)^2}{2 \cdot 45,6 \times 10^{-3} \cdot (3000)^2} \rightarrow t = 16,23 \text{ms}$$

$$V_r \cong \frac{(V_{rpk} + V_{rmin})}{2} = \frac{447 + 390}{2} \rightarrow V_r \cong 418,5V$$

$$P_{RR} = \frac{(V_r)^2}{R_r} \rightarrow P_{RR} = \frac{(418,5)^2}{12K3} \rightarrow P_{RR} = 14,24w$$

Recalculando o tempo total para dissipar o excesso de energia obtem-se:

$$\frac{(V_{rpk})^2}{2 \cdot L_2 \cdot (f_s)^2} = P_{RR} \cdot t \rightarrow 14,24 \cdot t = \frac{(447)^2}{2 \cdot 45,6 \times 10^{-3} \cdot (3000)^2} \rightarrow t \cong 17ms$$

Portanto a tensão sobre o grampeador e sobre a chave oscilarão entre 390V e 447V, e a dissipação do excesso de energia causado pela abertura das chaves simultaneamente ocorre em um tempo de aproximadamente 17ms(aproximadamente um período de rede).

O circuito abaixo pode ser utilizado como um comparador com histerese:

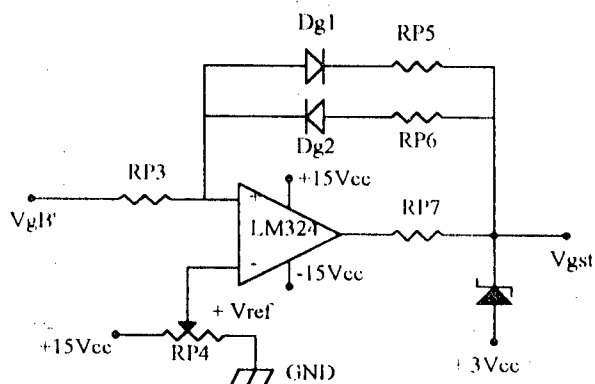


Figura C.3: Estágio comparador com histerese

A estrutura do comparador com histerese apresentado compara o sinal de referência (+Vref) com o sinal de saída do estágio de entrada(VgB') que é uma imagem da tensão grampeada sobre as chaves. A figura C.4 apresenta o método usado para escolha do nível do sinal de referência. Vale observar que o nível + 3Vcc foi utilizado apenas por está disponível no circuito de "gate" definido para as chaves.

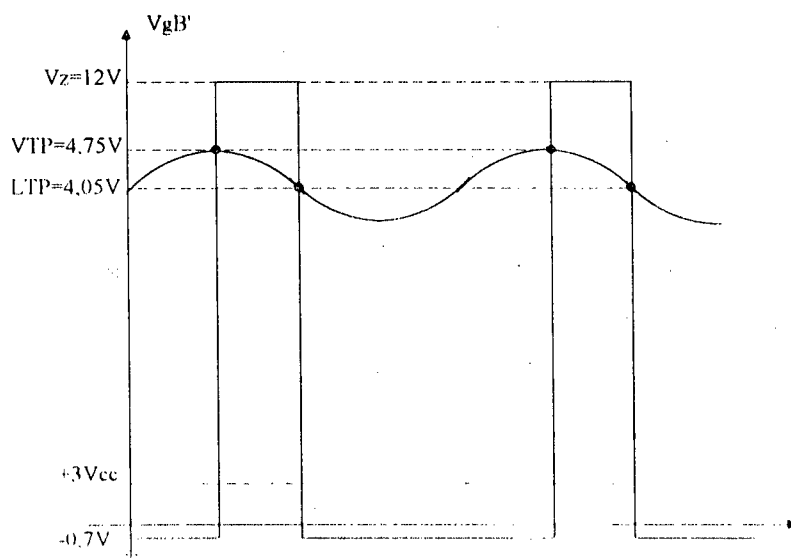


Figura C.4: Obtenção do nível de referência para o comparador

C.II.1- Projeto da histerese Superior(UTP)

A partir das figuras (C.3) e (C.4) define-se o seguinte método para o projeto do nível de histerese superior do comparador(UTP):

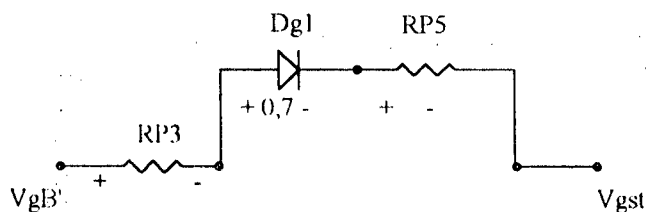


Figura C.5 : Circuito equivalente para cálculo de UTP

$$\frac{4,75 - 4,4}{R_{p3}} = \frac{3,7 - (-0,7 + 3)}{R_{p5}} \Rightarrow \frac{R_{p5}}{R_{p3}} = \frac{2,4}{0,35} \rightarrow \frac{R_{p5}}{R_{p3}} = 6,8571$$

$$R_{p3} = 1k2 \rightarrow R_{p5} = 8k2$$

$$D_{r1} = D_{r2} = 1N4148$$

$$I = \frac{4,75 - 4,4}{R_{p3}} = 0,29mA$$

C.II.2- Projeto da histerese inferior(LTP)

A partir das figuras (C.3) e (C.4) define-se o seguinte método para o projeto do nível de histerese superior do comparador(LTP):

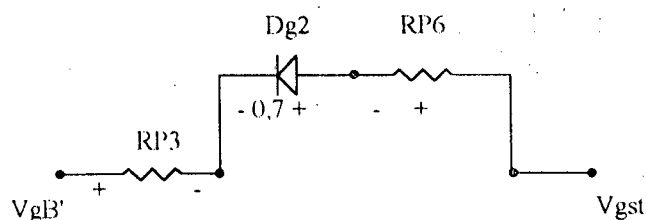


Figura C.6: Circuito equivalente para cálculo de LTP

$$\frac{12 - 5,10}{R_{p6}} = \frac{4,4 - 4,05}{R_{p3}} \rightarrow \frac{R_{p6}}{R_{p3}} = \frac{6,90}{0,35} \rightarrow \frac{R_{p6}}{R_{p3}} = 19,7143$$

$$R_{p3} = 1k2 \Rightarrow R_{p6} = 23k6 \Rightarrow R_{p6} = 47k / 47k = 23k5$$

Assim define-se todos os componentes dos sensores de tensão do grampeador. O potenciômetro RP4 que ajusta os níveis de histerese desejados (A priori ajustar $V_{ref} = 4,4V$) pode ser de $2K\Omega$ ou $5K\Omega$.

C.II.3- Escolha do dissipador e da ponte de diodos

Por simulação obteve-se valores de pico da tensão da carga (V_o) em torno de 500V (aplicados sobre a ponte dos grampeadores), levando à escolha da ponte SKB 7/08 - 800 V_{pk} , $I_n = 14A$ / $I_{pk} = 150A$ SEMIKRON. Entretanto $I_{med} = 14A$ jamais ocorrerá pois o grampeador de tensão grampeia apenas pequenos intervalos de sobretensão, resultando I_{med} pequeno.

Para determinar o dissipador para ponte retificadora tem-se:

$$R_{DA} \leq \frac{T_j - T_n}{P_j} - R_{jc} - R_{cd}$$

No pior caso $P_j = 15w$ que é a máxima potência dissipada pelos resistores:

$$R_{DA} \leq \frac{150 - 40}{15} - 2,2 - 0,5 \rightarrow R_{DA} \leq 4,633 \text{ } ^\circ C / w$$

O maior dissipador disponível, usado para chaves principais, tem $K_p = 1,25^\circ C/w$, Assim:

$$\left| \begin{array}{cc} 100 \text{ mm} & 1,25 \text{ } ^\circ C / w \\ \ell_{dis} & 4,633 \text{ } ^\circ C / w \end{array} \right| \rightarrow \ell_{dis} = \frac{1,25 \cdot 100 \text{ mm}}{4,262} \rightarrow \ell_{diss} \cong 2,7 \text{ cm}$$

Portanto pode-se acrescentar 5,4cm ao dissipador escolhido para as chaves principais para abrigar também as pontes retificadoras dos 2 circuitos grampeadores, não implicando em aumento significativo do comprimento do dissipador.

C.III- PROTEÇÃO DE SOBRETENSÃO NA CARGA

O grampeador de tensão projetado baseia-se no fato que geralmente os equipamentos (cargas) aceitam variação de tensão máxima de 15%. Portanto tomou-se este parâmetro para

desativar o circuito no caso da tensão da carga do conversor ultrapassar este limite. Entretanto demonstrou-se por simulação que na partida haviam sobretensões na carga principalmente quando $V_{i\max}$ e $P_{O\min}$ (se usar SOFT-START ou seja $D = 0,1$ a $0,9$ para evitar pulsos de corrente nas chaves tem-se um maior pico de tensão). Assim para poder aceitar alguma variação de tensão de carga maior na partida sem correr o risco de danificar o equipamento ligado na carga projetou-se uma proteção de sobretensão na carga com histerese positiva e negativa de 5%. Observar que se a tensão de partida subir de 25% V_{onom} o circuito desabilita as chaves principais (pino 10 do 3524) ficando a tensão da carga (V_o) função exclusivamente da tensão da fonte limitando-se portanto à $\pm 15\%$ de sobretensão. Além disto protege-se as chaves de sobretensão devido elevadas tensões no capacitor de saída C_o .

O circuito abaixo pode ser utilizado para amostrar a tensão da carga através do transformador de comando (Ta2) já existente, para o circuito de amostragem de tensão eficaz.

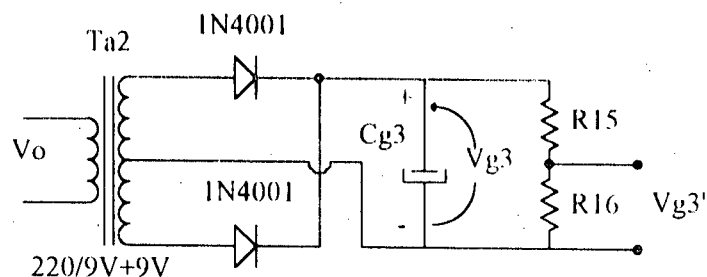


Figura C.7: Amostragem da tensão na carga do conversor

Portanto para projetar histerese de $\pm 5\%$ e assumindo-se uma tensão de referência em 5V, tem-se o seguinte divisor de tensão:

$$V_o = 1,20 \cdot V_{Onom} \rightarrow V_{g3} = 1,20 \cdot 9\sqrt{2} = 15,2735 \text{ V}$$

$$5 = \frac{15,2735 \cdot R_{p16}}{R_{p15} + R_{p16}} \rightarrow R_{p15} = \frac{10,2735}{5} \cdot R_{p16}$$

Então:

$$\begin{cases} R_{p15} = 6\text{k}8 \\ R_{p16} = 3\text{k}3 \end{cases}$$

O restante do processo para se determinar os resistores do circuito de proteção é idêntico ao utilizado anteriormente.

O circuito completo das proteções bem como a lista de componentes utilizados foram mostrado no capítulo 5.