

UNIVERSIDADE FEDERAL DE SANTA CATARINA

PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**CONVERSOR DIGITAL/ANALÓGICO AUTOCALIBRADO
UTILIZANDO REDE MOS DIVISORA DE CORRENTE**

DISSERTAÇÃO SUBMETIDA
À UNIVERSIDADE FEDERAL DE SANTA CATARINA
PARA OBTENÇÃO DO GRAU DE MESTRE
EM ENGENHARIA ELÉTRICA

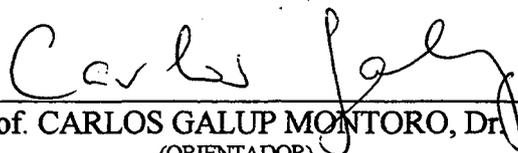
ROGÉRIO ROMARIZ FERREIRA

FLORIANÓPOLIS, DEZEMBRO DE 1996

**CONVERSOR DIGITAL-ANALÓGICO AUTOCALIBRADO
UTILIZANDO REDE MOS DIVISORA DE CORRENTE**

ROGÉRIO ROMARIZ FERREIRA

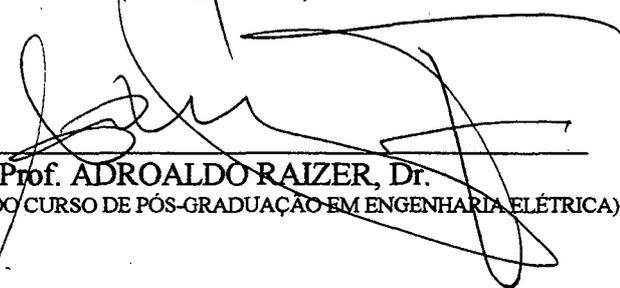
Esta dissertação foi julgada para obtenção do título de **MESTRE EM ENGENHARIA - ESPECIALIDADE ENGENHARIA ELÉTRICA** e aprovada em sua versão final pelo Curso de Pós-Graduação.


Prof. CARLOS GALUP MONTORO, Dr.

(ORIENTADOR)

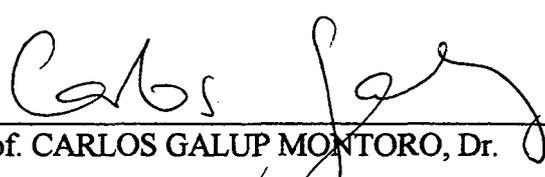

Prof. MÁRCIO CHEREM SCHNEIDER, Dr.

(CO-ORIENTADOR)


Prof. ADROALDO RAIZER, Dr.

(COORDENADOR DO CURSO DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA)

BANCA EXAMINADORA:


Prof. CARLOS GALUP MONTORO, Dr.


Prof. MÁRCIO CHEREM SCHNEIDER, Dr.


Prof. SIDNEI NOCETI FILHO, Dr.

AGRADECIMENTOS

Agradeço a Deus pelo auxílio nas inúmeras oportunidades de aprendizado moral e intelectual ao longo desta jornada. Agradeço aos meus pais, Elisabete e Rogério, pelo carinho e incentivo demonstrado em todos os momentos.

Agradeço aos amigos e familiares a compreensão e incentivo, e aos alunos, professores e funcionários do LINSE o auxílio prestado, contribuindo de forma essencial para a execução deste trabalho. Agradeço ao CNPq o incentivo financeiro à atividade de pesquisa desenvolvida.

SUMÁRIO

SUMÁRIO.....	iv
LISTA DE FIGURAS.....	v
LISTA DE SÍMBOLOS.....	vii
RESUMO.....	ix
ABSTRACT.....	x
CAPÍTULO 1 - INTRODUÇÃO.....	1
CAPÍTULO 2 - O CONVERSOR DIGITAL-ANALÓGICO INTEGRADO.....	5
2.1 - Funcionamento do Conversor D/A.....	5
2.2 - Princípio da Conversão Digital-Analógica.....	7
2.3 - Chaveamento.....	12
2.4 - Arquitetura de Conversores D/A.....	14
2.5 - Análise de Erros em Conversores D/A.....	17
CAPÍTULO 3 - CONVERSOR D/A BASEADO NA REDE MOS DIVISORA DE CORRENTE.....	27
3.1 - Característica DC do MOSFET.....	27
3.2 - A Rede M.O.C.D.....	31
3.3 - O Conversor D/A.....	44
CAPÍTULO 4 - O CONVERSOR D/A AUTOCALIBRADO.....	47
4.1 - Autocalibração.....	48
4.2 - Implementação Prática do Conversor D/A Autocalibrado.....	53
4.3 - Resultados Experimentais.....	59
CAPÍTULO 5 - CONCLUSÕES.....	67
REFERÊNCIA BIBLIOGRÁFICA.....	69
APÊNDICE.....	71

LISTA DE FIGURAS

Figura 1.1 - Matriz pré-difundida de transistores.....	2
Figura 2.1 - Esquema Funcional do Conversor D/A	6
Figura 2.2 - Rede Genérica Divisora de Tensão	8
Figura 2.3 - Estruturas divisoras de uma corrente de referência.....	9
Figura 2.4 - Amplificador de Transimpedância	10
Figura 2.5 - Conversor D/A utilizando a divisão de cargas elétricas	11
Figura 2.6 - Circuitos de Chaveamento.....	13
Figura 2.7 - Conversores D/A com Ponderação Binária	15
Figura 2.8 (a) Conversor D/A Iterativo - Cíclico; (b) Conversor D/A Iterativo - Pipelined ...	16
Figura 2.9 - Característica Estática de um Conversor D/A de 3 Bits.....	18
Figura 2.10 - Erro de Offset	20
Figura 2.11 - Erro de Ganho.....	21
Figura 2.12 - Característica Estática do Conversor D/A Semi-corrigido.....	22
Figura 2.13 - Erro Integral (INL).....	23
Figura 2.14 - Erro Diferencial (DNL)	25
Figura 3.1 - Transistor MOS Canal n.....	27
Figura 3.2 - Transistor Composto - Associação Série.....	29
Figura 3.3 - Rede M.O.C.D. Genérica.....	32
Figura 3.4 - Layout da rede M.O.C.D.....	34
Figura 3.5 - Característica Estática do M.O.C.D.	34
Figura 3.6 - Erro Integral do M.O.C.D.....	35
Figura 3.7 - Erro Diferencial do M.O.C.D.	35
Figura 3.8 - Layout de transistores MOS - Característica de forma e tamanho.	37
Figura 3.9 - Layout de Transistores MOS - Efeito da Anisotropia do Substrato	37
Figura 3.10 - Espelhos de Corrente	38
Figura 3.11 - Estruturas auxiliares - Mesma vizinhança para os transistores casados	39
Figura 3.12 - Diagrama simplificado de um M.O.C.D. com 6 bits de entrada	39
Figura 3.13 - Corrente de Offset no M.O.C.D.	42
Figura 3.14 - Conversor D/A utilizando rede M.O.C.D.	45

Figura 3.15 - Característica Estática do Conversor D/A.....	45
Figura 4.1 - Modos de Funcionamento do Conversor D/A.....	49
Figura 4.2 - Conversor A/D.....	51
Figura 4.3 - Diagrama de Tempo da Conversão A/D.....	51
Figura 4.4 - Algoritmo para Avaliação do Erro	53
Figura 4.5 - Conversor D/A Autocalibrado de 6 Bits.....	54
Figura 4.6 - Implementação do M.O.C.D. Auxiliar Negativo.....	55
Figura 4.7 - Máquina de Estados do Processo de Autocalibração	58
Figura 4.8 - Rampa de Referência.....	59
Figura 4.9 - Característica Estática do Conversor D/A Descalibrado.....	61
Figura 4.10 - Erro Integral (Conversor D/A Descalibrado).....	62
Figura 4.11 - Erro Diferencial (Conversor D/A Descalibrado).....	62
Figura 4.12 - Característica Estática do Conversor D/A Calibrado	63
Figura 4.13 - Erro Integral (Conversor D/A Calibrado).....	64
Figura 4.14 - Erro Diferencial (Conversor D/A Calibrado).....	65

LISTA DE SÍMBOLOS

A/D - analógico-digital

AHDL - Altera Hardware Description Language

b_m - m-ésimo bit

C'_{ox} - capacitância do óxido por unidade de área

D/A - digital-analógico

DNL - Erro Diferencial

INL - Erro Integral

I_{offset} - corrente de offset

I_{ref} - corrente de referência

k - grandeza física de referência

L - comprimento do canal de um transistor MOSFET

LSB - bit menos significativo

M.O.C.D. - Mosfet Only Current Divider

n - número de bits da palavra digital

S_A - saída analógica em tensão ou corrente

$S^i_{semicorrigida}$ - saída analógica com os erros de fim de escala (erro de ganho e offset) corrigidos

S^i_{ideal} - saída analógica ideal para uma palavra binária de entrada i

S^i_{real} - saída analógica real (medida) para uma palavra binária de entrada i

$T_{autocalibração}$ - período do processo de autocalibração

T_{clock} - período do sinal de clock

T_{rampa} - período do sinal de rampa

V_B - tensão de substrato

V_D - tensão de dreno

V_{FS} - tensão de fundo de escala

V_G - tensão de porta

V_{offset} - tensão de offset

V_{out} - tensão de saída

V_S - tensão de fonte do transistor

V_{TO} - tensão de limiar do transistor

$V_{1/4\text{ LSB}}$ - tensão equivalente a 1/4 LSB

W - largura do canal de um transistor MOSFET

α, β, γ - coeficientes de ponderação da corrente de referência

μ - mobilidade dos portadores

CONVERSOR DIGITAL-ANALÓGICO AUTOCALIBRADO UTILIZANDO REDE MOS DIVISORA DE CORRENTE

RESUMO

O presente trabalho apresenta uma estrutura de conversor digital-analógico autocalibrado. A célula básica do conversor D/A autocalibrado consiste numa rede integrada de transistores MOS divisora de corrente. Um conversor D/A autocalibrado de 6 bits de resolução foi construído. Apesar da rede M.O.C.D. garantir resolução de 8 ou 9 bits, a implementação prática teve como finalidade principal a avaliação da técnica de calibração proposta. O circuito digital de controle do processo de autocalibração foi implementado com dispositivos lógicos eletricamente programáveis.

São apresentadas diversas estruturas básicas (circuitos de chaveamento e circuitos divisores de uma grandeza analógica de referência) que compõem um conversor D/A. A análise de erros em conversores D/A é introduzida com intuito de avaliar posteriormente o conversor autocalibrado implementado. O desempenho de uma estrutura de conversor D/A utilizando uma rede integrada MOS divisora de corrente é analisado. O conversor autocalibrado é implementado e a análise de erros é processada.

A técnica de calibração utilizada no conversor D/A implementado reduziu os erros integral e diferencial para a faixa de $\pm 1/2$ LSB. Os resultados validam o processo de autocalibração concebido. Algumas sugestões são apresentadas para otimizar o processo de autocalibração em trabalhos futuros.

Palavras-Chave : - Conversor Digital-Analógico
- Circuito Integrado Digital Logicamente Programável
- Autocalibração
- Rede de Transistores Divisora de Corrente
- Circuito Integrado de Aplicação Específica

SELF-CALIBRATING D/A CONVERTER USING MOSFET-ONLY CURRENT DIVIDERS

ABSTRACT

This work presents a self-calibrating D/A converter. The basic cell of the converter is a MOSFET-Only current divider. A self-calibrating D/A converter with a resolution of 6 bits has been implemented. The MOSFET-Only current divider reaches at most 9 bits of resolution, so the experimental implementation here was performed in order to evaluate only the calibrating process. The digital logic circuit which controls the calibrating process uses electrically programmable logic devices.

Some basic structures involving switching circuits and analog dividers which are used in D/A converters are presented. An error analysis on D/A converters is presented in order to evaluate later the self-calibrating D/A converter characteristics. The performance of a D/A converter using an integrated Mosfet-Only Current Divider is analyzed as well. The self-calibrating D/A converter is implemented and an experimental evaluation is performed.

The self-calibrating D/A converter showed good results which validates the self-calibrating process. Suggestions for further work related to the improvement of the calibrating process are also presented.

Keywords :

- Digital-Analog Converter
- Erasable Programmable Logic Device (EPLD)
- Self-Calibrating Process
- Mosfet-Only Current Divider
- Application Specific Integrated Circuit

CAPÍTULO 1 - INTRODUÇÃO

O desenvolvimento na área de microeletrônica evolui rapidamente neste fim de século. Muitas técnicas de integração de circuitos elétricos têm sido desenvolvidas. Atualmente, pode-se distinguir duas metodologias básicas na confecção de circuitos integrados. Estas metodologias, conhecidas como “full custom” e “semicustom”, são utilizadas na maioria dos projetos de circuitos integrados.

A diferença básica entre as metodologias “semicustom” e a “full custom” consiste nos graus de liberdade na disposição dos componentes. A metodologia “full custom” permite que o projetista disponha os elementos de circuito livremente sobre o semicondutor. Para que a integração possa ser concretizada, deve-se fornecer informações geométricas detalhadas do circuito. Estas informações são codificadas sob a forma de “máscaras”. As “máscaras” definem a geometria do circuito nas diversas fases do processo de fabricação.

Na metodologia “semicustom” existem algumas restrições quanto à disposição dos elementos de circuito. Nesta metodologia, o projetista tem ao seu alcance uma matriz de transistores de dimensões pré-definidas. Esta matriz não pode ser deslocada ou alterada. Cabe ao projetista realizar as conexões entre os seus elementos definindo o circuito na sua forma final. Os graus de liberdade neste caso são menores que na metodologia “full custom”.

Como diversas etapas do processo de integração já são previamente definidas, o número de máscaras a ser projetado é reduzido ao número de camadas de metalização, que

depende do processo empregado, e seus respectivos contatos. A figura 1.1 ilustra uma disposição genérica de transistores pré-difundidos. As linhas de metalização e contatos efetuam a conexão entre os transistores.

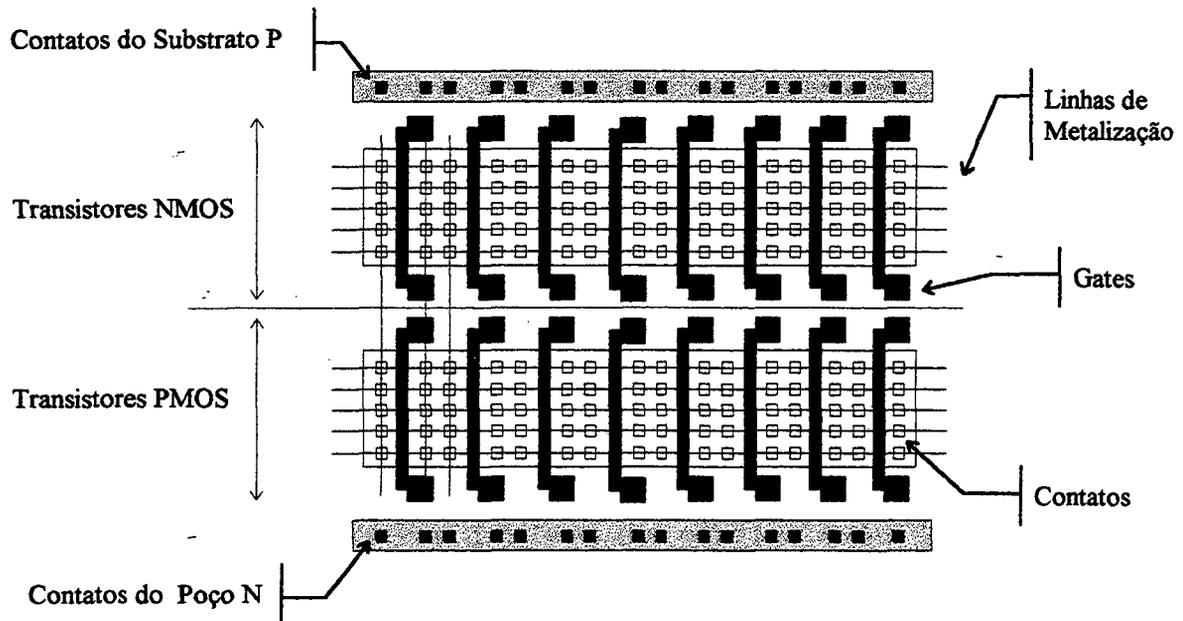


Figura 1.1 - Matriz pré-difundida de transistores

Comparando as duas formas de implementação abordadas, pode-se verificar que o tempo e custo demandado para a confecção de protótipos de circuitos em “full custom” é maior do que em “semicustom”.

Algumas formas de implementação de circuitos integrados utilizam características de ambos os processos (“full custom” e “semicustom”) inicialmente descritos. O uso de uma metodologia “standard cell” apresenta características de um processo “semicustom” pela existência de estruturas básicas previamente definidas (blocos de memória RAM, flip-flop, portas lógicas, etc). De forma a otimizar o desempenho e/ou velocidade dos circuitos, as células básicas desta metodologia são projetadas utilizando livremente o espaço sobre o semicondutor.

Para concretizar uma idéia de projeto, tem-se em mente sempre a construção de um protótipo. Havendo necessidade de desfrutar da rapidez de confecção do protótipo, recorre-se atualmente à metodologia “semicustom”. Com o protótipo criado, pode-se avaliar a eficácia do sistema concebido. Então, possíveis modificações podem ser efetuadas antes de submeter todo projeto a uma técnica de integração mais apurada (“full custom”).

A utilização da metodologia “semicustom” na implementação de circuitos digitais é amplamente empregada [15]. No entanto, os circuitos digitais precisam em algum momento interfacear com o ambiente analógico que está à sua volta. A interface entre os blocos analógico e digital do circuito é feita utilizando estruturas conhecidas como conversores Analógico-Digital (A/D) e Digital-Analógico (D/A).

Como vem crescendo a complexidade dos circuitos digitais, surge a necessidade de acoplar estruturas analógicas, sejam de interface (Conversores D/A ou A/D) ou de aplicação variada, dentro de um único componente. O aumento crescente na densidade de integração reforça a idéia de um único componente integrado realizando o processamento digital e analógico. Deste modo, o interesse em implementar-se circuitos mistos (Analógico + Digital) utilizando a metodologia “semicustom” como estratégia desponta como interesse primordial.

Analisar-se-á nesta dissertação uma estrutura de conversor D/A implementada utilizando uma rede divisora de corrente. Esta rede, denominada M.O.C.D. (Mosfet Only Current Divider), é amplamente analisada em [6, 11]. Algumas características de implementação prática limitam a resolução de um M.O.C.D. em 6, 7 bits numa tecnologia “semi custom” e 8, 9 bits numa tecnologia “full custom”. Propõe-se, neste trabalho, uma técnica de calibração para o conversor D/A que permita atingir níveis mais altos de

CAPÍTULO 2 - O CONVERSOR DIGITAL-ANALÓGICO INTEGRADO

O uso em larga escala de equipamentos digitais nos diversos setores da atividade humana é amplamente comprovado. Isto se mostrou possível com a existência de estruturas que realizassem a transformação de uma informação analógica para uma informação digital, bem como o procedimento inverso [1, 3]. As estruturas que possuem estas características são denominadas conversores A/D (analógico/digital) e D/A (digital/analógico) [4, 5].

Dependendo da aplicação, pode-se encontrar conversores com as mais variadas resoluções. Sistemas de Aquisição de Dados, CD Players, DSPs (Digital Signal Processors), são exemplos de estruturas que apresentam conversores D/A.

Neste trabalho restringir-se-á à análise das estruturas denominadas conversores D/A.

2.1 - Funcionamento do Conversor D/A

O conversor D/A pode ser representado pelo diagrama de bloco apresentado na figura 2.1. Pela própria denominação do conversor, tem-se uma informação de entrada digital e uma saída analógica em tensão ou corrente.

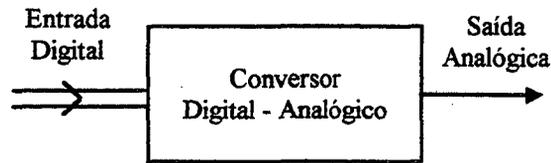


Figura 2.1 - Esquema Funcional do Conversor D/A

O número de bits da informação digital de entrada indica a resolução do conversor D/A. Quanto maior o número de bits da palavra de entrada, maior será o número de níveis analógicos diferentes que a estrutura é capaz de converter. Deve-se ter em mente que para cada palavra digital, o conversor fornece um nível analógico específico e distinto dos demais níveis. Portanto, quanto maior o número de bits de entrada, mais refinado será o processo de conversão.

A saída analógica é ponderada pela grandeza da entrada digital. Esta ponderação é idealmente expressa pela equação (2.1).

$$S_A = \left(\frac{b_n}{2} + \frac{b_{n-1}}{2^2} + \frac{b_{n-2}}{2^3} + \dots + \frac{b_2}{2^{n-1}} + \frac{b_1}{2^n} \right) k \quad (2.1)$$

Saída Analógica - Valor em tensão ou corrente (S_A)

Entrada Digital - Palavra com n bits ($b_n b_{n-1} b_{n-2} \dots b_2 b_1$)

onde,

k - grandeza física de referência;

n - número de bits da palavra digital

b_m - m -ésimo bit da palavra digital de entrada ($m = n, n-1, n-2, \dots, 2, 1$)

Analisando a expressão de saída (2.1), verifica-se que a conversão D/A efetua algumas operações aritméticas simples com a grandeza de referência “ k ”.

Na seção seguinte serão analisadas diversas grandezas utilizadas como referência para o processo de conversão D/A.

2.2 - Princípio da Conversão Digital-Analógica

Na concepção de conversores D/A integrados as grandezas físicas normalmente empregadas como referência “ k ” (Eq. 2.1) podem ser tensão, corrente ou carga [16]. A manipulação de cada uma destas grandezas como referência numa conversão D/A dá origem a estruturas específicas que passaremos a analisar.

a) Tensão

As diversas arquiteturas de conversores D/A que utilizam a grandeza elétrica tensão como referência, utilizam o princípio de divisão de tensão entre impedâncias ao longo de uma rede. A figura 2.2 ilustra uma rede genérica que disponibiliza os diferentes níveis analógicos de tensão exigidos no processo de conversão D/A.

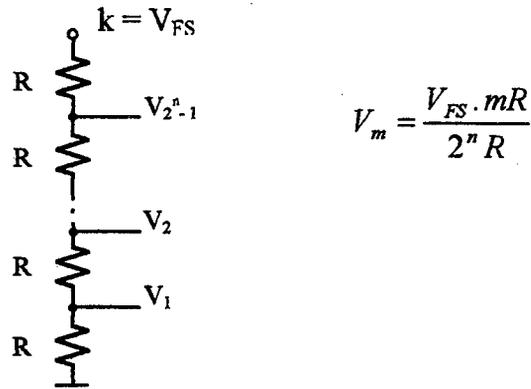


Figura 2.2 - Rede Genérica Divisora de Tensão

Pela figura 2.2 verifica-se que são necessários 2^n resistores iguais para implementar um conversor D/A de n bits de resolução. Os nós intermediários ao longo da rede correspondem aos valores de tensão (V_m) referentes à conversão. A precisão relativa dos resistores nesta estrutura é de fundamental interesse, já que a divisão de tensão depende do casamento entre eles.

Numa implementação integrada os resistores podem ser construídos utilizando camadas difundidas em silício ou a camada de polisilício. Havendo necessidade de um conversor D/A de alta velocidade dá-se preferência aos resistores de polisilício. Estes resistores apresentam uma capacitância intrínseca menor, o que permite uma rápida acomodação durante a conversão. Visando um baixo consumo, os conversores D/A são projetados com valores altos de resistência. Os resistores obtidos com camadas difundidas em silício são pouco utilizados nesta situação, devido a sua característica não-linear. O valor da resistência depende do grau de dopagem do silício. Quanto menor a dopagem, maior será a resistência equivalente. No entanto, os resistores de pequena dopagem apresentam uma característica não-linear bastante forte, podendo comprometer a divisão da grandeza de referência.

Outro aspecto importante da rede apresentada consiste na resistência de saída. Para cada nó de saída da rede existe uma correspondente resistência equivalente de Thevenin. Esta variação da resistência de saída influencia na velocidade do processo de conversão D/A.

b) Corrente Elétrica

A divisão de uma corrente de referência pode ser conseguida utilizando fontes de corrente ou uma rede de impedâncias (por exemplo, a Rede R-2R).

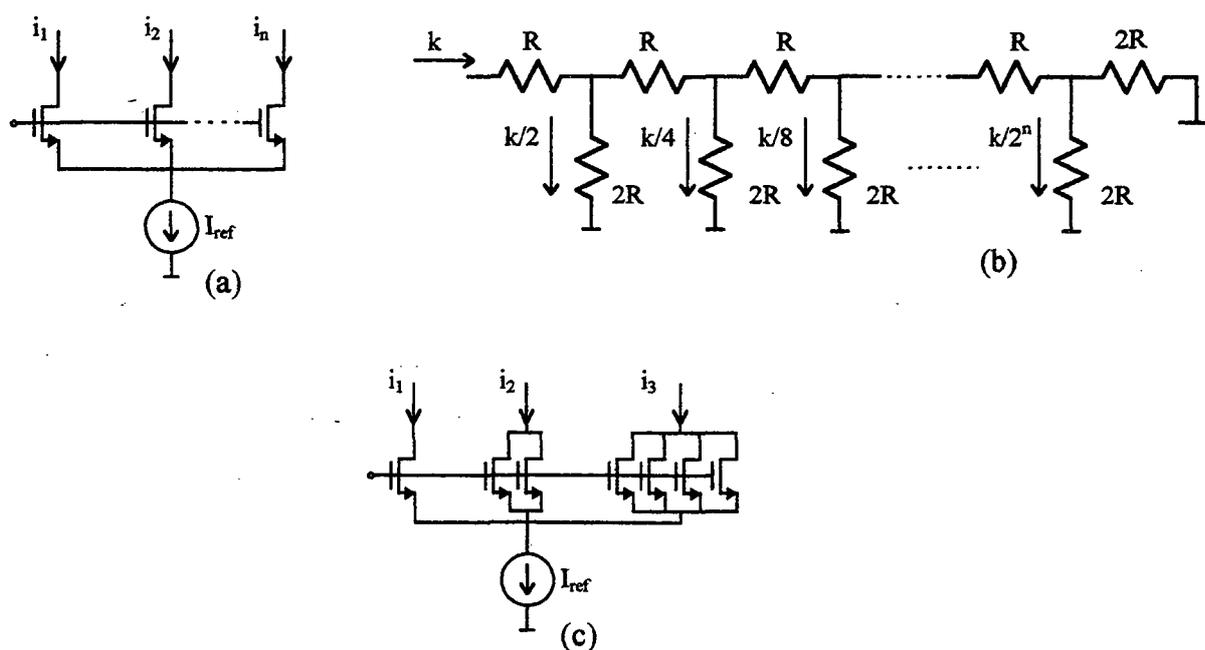


Figura 2.3 - Estruturas divisoras de uma corrente de referência

A divisão da corrente de referência I_{ref} pode ser feita de forma linear ou ponderada, dependendo do número de transistores em cada ramo i_j (figura 2.3 (a) e (c)). Para estruturas

com um grande número de parcelas i_j , a fonte I_{ref} deverá ser dimensionada de forma a absorver o somatório delas (figura 2.3(a) e (c)).

A rede de impedâncias da figura 2.3 (b) ilustra a divisão ponderada de uma corrente k de referência. Agregando-se as parcelas da corrente de referência de forma conveniente num nó do circuito pode-se formar os diversos níveis analógicos correspondentes à conversão D/A.

A necessidade de um bom casamento entre os transistores (figura 2.3 (a) e (c)) ou entre os resistores (figura 2.3 (b)), na fase de implementação, é vital para o processo de divisão da corrente de referência. A dispersão das características dos elementos do circuito em torno de um valor médio limita a resolução destas redes [16].

Geralmente, o uso da corrente como referência exige que tenhamos um nível de tensão equivalente no fim do processo de conversão. Para isto são utilizados amplificadores de transimpedância na saída dos conversores.

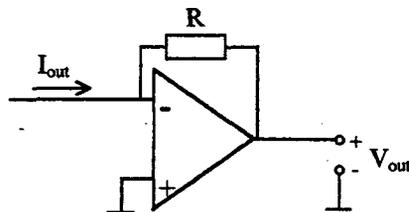


Figura 2.4 - Amplificador de Transimpedância

Na rede apresentada o amplificador de transimpedância converte a corrente I_{out} num valor de tensão elétrica. Nesta situação, a velocidade do processo de conversão D/A geralmente é limitada pelo amplificador operacional.

c) Carga Elétrica

Uma terceira grandeza elétrica usada como referência é a carga elétrica. Utilizando-se capacitores e um circuito conveniente de chaveamento pode-se dividir uma carga de referência de modo a obter uma quantidade específica requerida pela conversão D/A.

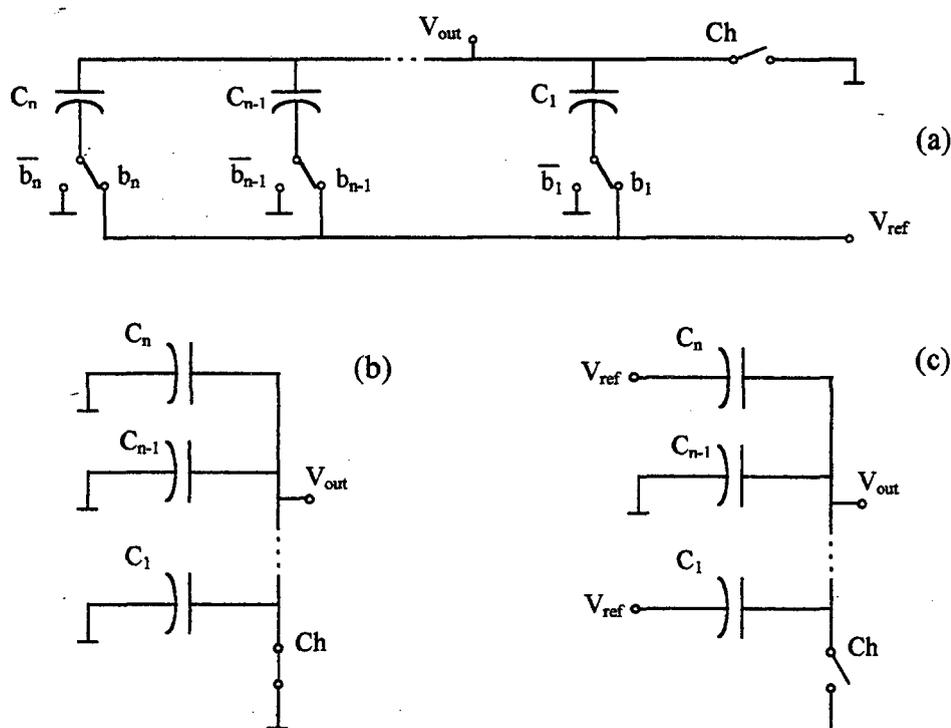


Figura 2.5 - Conversor D/A utilizando a divisão de cargas elétricas.

Inicialmente liga-se a chave Ch e as chaves b_i ($i = 1 \dots n$) de modo que as placas dos capacitores estejam conectados ao terra. Desta forma, prepara-se o circuito drenando as cargas residuais da última conversão (Fig. 2.5 (b)). Após isto, abre-se Ch e posiciona-se convenientemente as chaves b_i de acordo com a entrada digital. O circuito adquire a configuração genérica apresentada na figura 2.5 (c). Nesta etapa, há um período transitório

onde a carga elétrica é dividida entre os capacitores de acordo com a palavra binária de comando. Finalmente, em V_{out} tem-se uma fração da tensão de referência.

$$V_{out} = \frac{V_{ref} \sum_{i=1}^n b_i C_i}{\sum_{i=1}^n C_i} \quad (2.2)$$

Como em todos os processos de conversão apresentados, necessita-se aqui também de um bom casamento entre os capacitores do circuito.

2.3 - Chaveamento

As estruturas de circuito utilizadas no processo de divisão de uma grandeza de referência geram os níveis analógicos requeridos para a conversão D/A. No entanto, para escolhermos especificamente um dos valores disponibilizados, deve-se passar por um processo de seleção. O processo de seleção é feito utilizando um circuito envolvendo chaves. As chaves são posicionadas de forma que a palavra digital de entrada disponibilize na saída o valor analógico correspondente.

O circuito de chaveamento é inerente em todo processo de conversão D/A. O uso de chaves pode degradar o processo de divisão do valor de referência. No caso de conversores baseados em capacitores, o problema da injeção de carga introduzido pelas chaves deve ser evitado.

A velocidade do processo de conversão D/A depende do tempo de acomodação na abertura e fechamento das chaves. A figura 2.6 ilustra algumas disposições do circuito de chaveamento em conversores D/A.

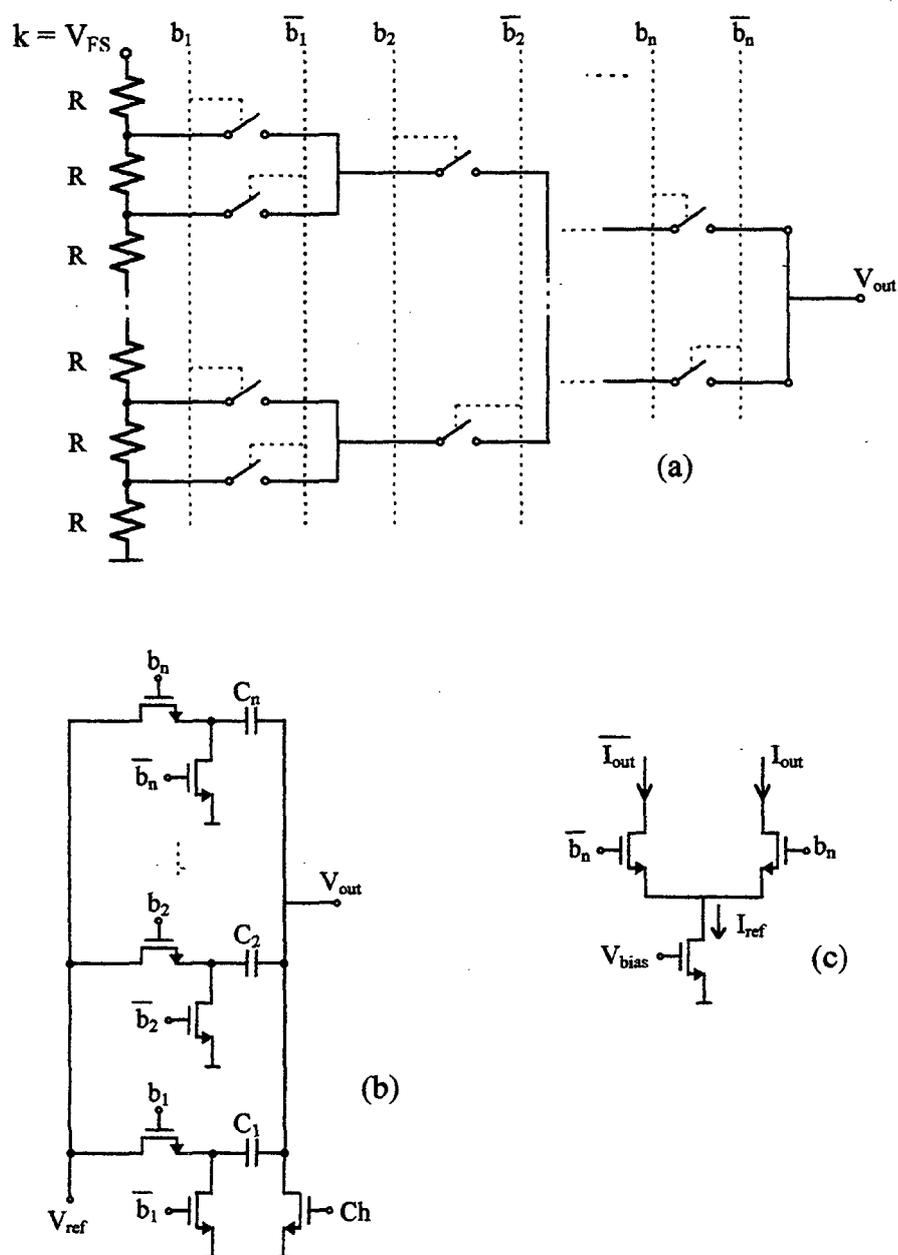


Figura 2.6 - Circuitos de Chaveamento

A figura 2.6 (a) ilustra o sistema de chaveamento que pode ser utilizado numa rede divisora de tensão. Os bits da palavra de entrada acionam as respectivas chaves tornando disponível o nível de tensão desejado em V_{out} . Deve-se notar que o valor de tensão V_{out} será igual ao do nó intermediário selecionado se a corrente drenada na saída for nula.

Um exemplo de sistema de chaveamento em conversores D/A que utiliza a carga elétrica como referência é mostrado na figura 2.6 (b). O sistema de chaveamento é explicado no item 2.2.c.

O circuito de chaveamento utilizado na figura 2.6 (c) permite que uma determinada corrente de referência (I_{ref}) seja direcionada pela saída \bar{I}_{out} ou I_{out} dependendo do nível lógico de entrada b_n . Dependendo da aplicação, escolhe-se um circuito conveniente de chaveamento para a implementação do processo de conversão D/A.

2.4 - Arquitetura de Conversores D/A

O uso combinado dos circuitos de divisão de um valor de referência e de chaves de seleção permite a implementação de diversas estruturas de conversores D/A. A seguir, apresentam-se os circuitos conversores frequentemente utilizados.

a) Conversor Paralelo

A estrutura do conversor paralelo é mostrada na figura 2.6(a).

Este tipo de arquitetura garante um comportamento monotônico ao conversor D/A. A desvantagem desta estrutura é o consumo de área. Para cada bit a mais de resolução requer-se o dobro da área utilizada.

b) Conversores com Ponderação Binária

As estruturas da figura (2.7) proporcionam uma ponderação binária à grandeza de referência (k).

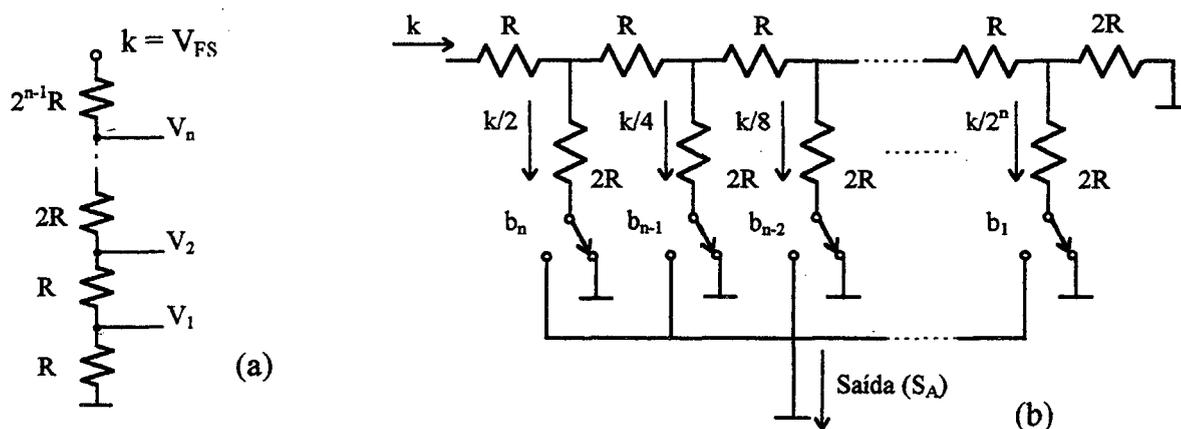


Figura 2.7 - Conversores D/A com Ponderação Binária

O circuito da Fig 2.7(a) é normalmente utilizado com a grandeza tensão como referência, enquanto no circuito (b) é usada a corrente elétrica.

c) Conversores iterativos

Os conversores D/A construídos com esta arquitetura são mostrados na figura (2.8)

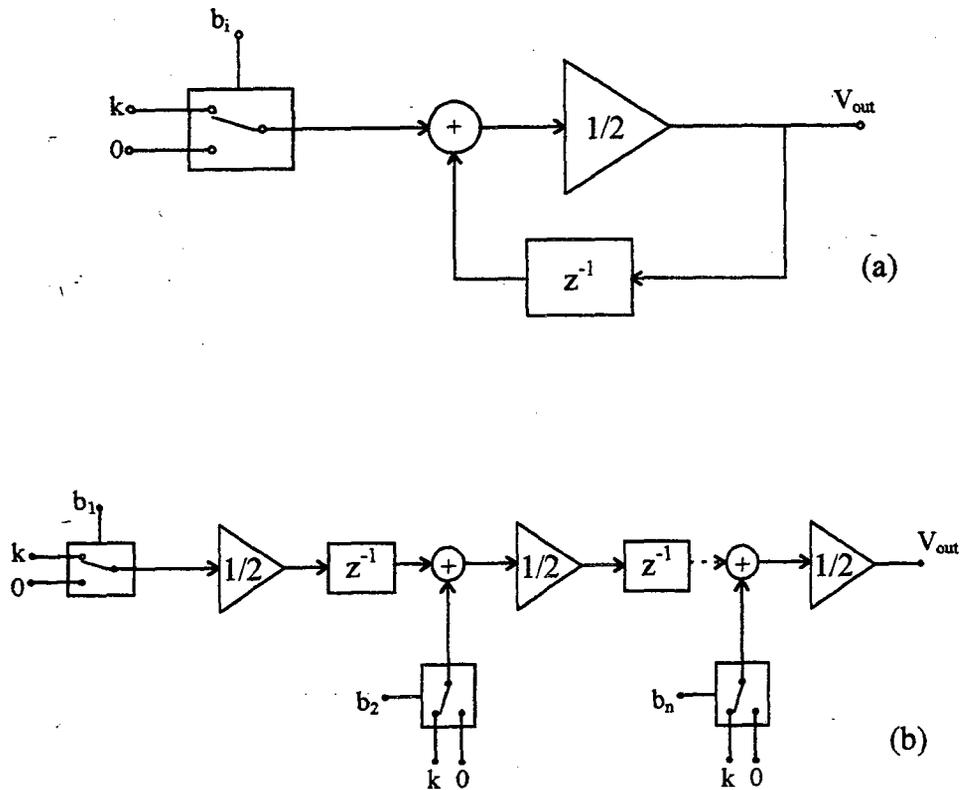


Figura 2.8 (a) Conversor D/A Iterativo - Cíclico; (b) Conversor D/A Iterativo - Pipelined

A entrada b_i (fig 2.8(a)) é alimentada com a palavra binária de forma serial começando com o bit menos significativo. Para cada bit de entrada posiciona-se a chave em "k" se o bit for 1 e em zero se a entrada for nível lógico 0. A cada iteração o sinal analógico do bit atual é somado com a metade da informação analógica dos bits anteriores. Ao final de

n iterações tem-se $V_{out} = \sum_{i=1}^n \frac{b_i}{2^i} k$. O tempo necessário à conversão D/A aumenta linearmente com o número de bits.

O funcionamento do conversor da fig. 2.8 (b) segue a mesma linha de raciocínio. Neste caso, após um período transitório inicial que depende do número de bits de entrada tem-se a cada iteração do sistema uma conversão D/A na saída. O aumento da resolução não acarreta mudança no tempo de conversão. No entanto, a área demandada para o conversor D/A no caso (b) é maior que no conversor D/A da fig. 2.8 (a).

Cada arquitetura de conversor D/A possui as suas vantagens e desvantagens. Deve-se escolher uma arquitetura específica para cada aplicação. Nas diversas aplicações práticas a característica dos conversores D/A pode variar quanto a velocidade de conversão, resolução, área ocupada, acurácia, etc. Como existem diversos circuitos que realizam o processo de conversão D/A, surge a necessidade de quantificar a eficiência de cada um deles. Na secção seguinte, serão introduzidas diversas características que possibilitam avaliar o processo de conversão D/A.

2.5 - Análise de Erros em Conversores D/A

A qualidade de um conversor D/A é medida através da máxima resolução por ele alcançada. Quanto maior a resolução, maior a precisão na formação dos níveis analógicos.

Para poder analisar se um conversor D/A satisfaz as condições de funcionamento, alguns parâmetros devem ser analisados.

A figura 2.9 ilustra a curva de transferência genérica de um conversor D/A de 3 bits

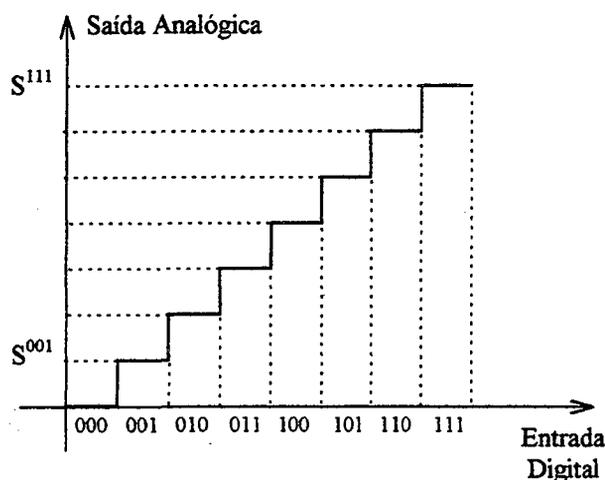


Figura 2.9 - Característica Estática de um Conversor D/A de 3 Bits

Nota-se que para cada palavra digital de entrada existe uma correspondente informação analógica (tensão, corrente ou carga elétrica). Idealmente, quando se projeta um divisor de corrente do tipo R-2R espera-se que haja um bom casamento entre as resistências. Infelizmente, não se pode confeccionar duas resistências que sejam exatamente iguais. A mínima diferença que houver entre elas comprometerá o processo de divisão da corrente de referência (k) ao longo da rede R-2R. Assim, os níveis de tensão ou corrente na saída sofrerão também uma variação em relação à curva ideal de transferência.

A diferença existente entre os valores reais e ideais da curva de transferência devem ser avaliados para que se possa considerar satisfatório ou não o funcionamento de um determinado conversor D/A. Foi padronizado um conjunto de características a ser mensurado que avalia o conversor D/A [3].

Duas informações básicas de um conversor D/A são sua resolução e sua acurácia. A resolução de um conversor D/A está relacionada com a quantidade de níveis discretos de tensão ou corrente que ele pode fornecer. O número de níveis está relacionado com o número de bits da palavra binária de entrada. Por exemplo, se a informação binária é composta de 4 bits, o conversor D/A é capaz de fornecer 16 (2^4) níveis diferentes de tensão na saída. Diz-se portanto que o conversor tem resolução de 4 bits.

A acurácia de um conversor D/A diz respeito à precisão com que são gerados estes níveis discretos de tensão (ou corrente). A acurácia é medida classificando os erros em dois tipos.

a) Erros de fim de escala

a.1) Offset

a.2) Erro de Ganho

b) Erros de Linearidade

b.1) Integral

b.2) Diferencial

a) Erros de Fim de Escala

Os erros de fim de escala são os erros cometidos pelo conversor D/A que denotam um deslocamento do último nível analógico discreto (Palavra binária 111...111) em relação

ao funcionamento ideal requerido. Este deslocamento é traduzido como a composição de dois erros.

a.1) Offset

O erro de offset indica que os níveis discretos de saída foram todos deslocados de um mesmo valor quando comparados com a curva ideal. A figura 2.10 ilustra um erro de offset de +2 LSB.

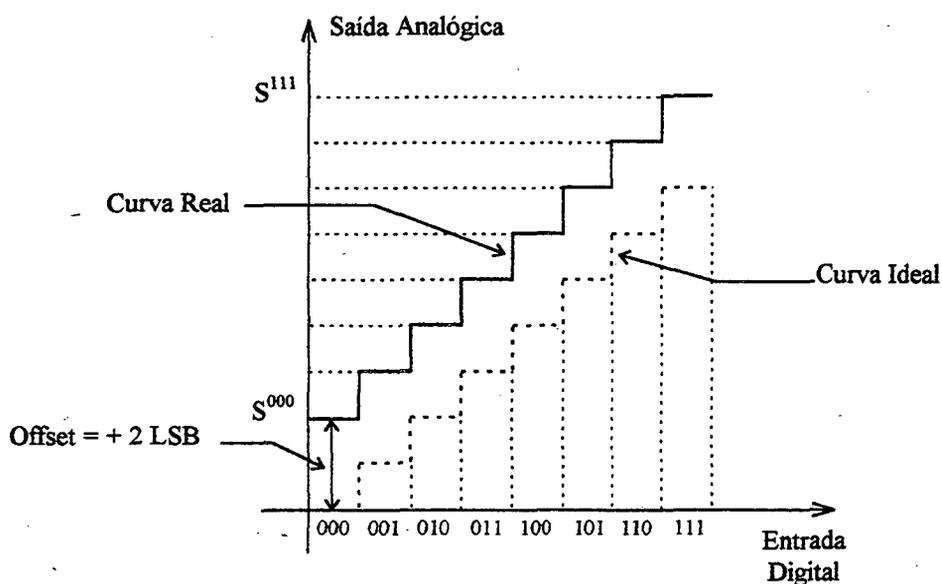


Figura 2.10 - Erro de Offset

Para avaliar o offset de um conversor faz-se a medida da saída analógica para uma entrada do tipo 000...000 (início da escala). O desvio em relação à saída ideal é expresso pela equação (2.2). O nível de offset é expresso em unidade de tensão ou corrente, de acordo com a saída do conversor D/A.

$$Offset = S_{real}^{00...00} - S_{ideal}^{00...00} \quad (2.2)$$

onde,

$S_{real}^{00...00}$ - Saída analógica real (medida) para uma entrada binária (00...00)

$S_{ideal}^{00...00}$ - Saída analógica ideal para uma entrada binária (00...00)

Para a continuidade na avaliação dos erros do conversor D/A o offset precisa ser corrigido. Para isto, subtrai-se o valor de offset de todos os níveis de saída do conversor.

a.2) Erro de Ganho

Após corrigido o offset, avalia-se o erro de ganho. Este erro provoca a alteração na inclinação da curva de transferência. Ele se constitui numa variação percentual constante sobre cada nível de saída do conversor D/A. A Figura 2.11 ilustra este erro.

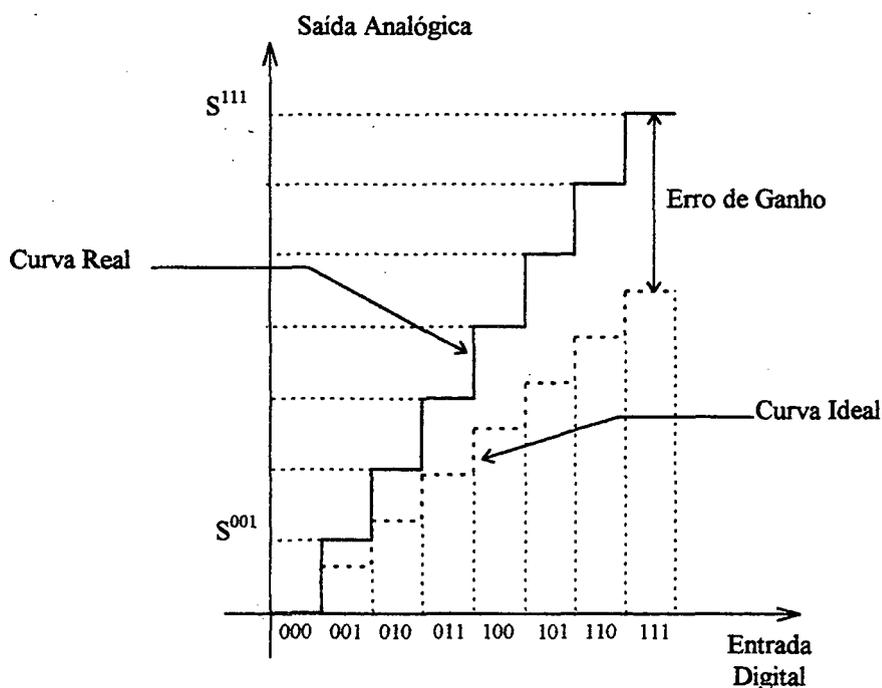


Figura 2.11 - Erro de Ganho

A avaliação do erro de ganho é feita medindo a saída analógica para uma entrada do tipo 111...111 (Fim da escala). Deste valor medido extrai-se o erro de offset. Com o resultado obtido, verifica-se a variação percentual em relação ao nível ideal na saída. A Equação (2.3) define matematicamente o erro de ganho.

$$\frac{\text{Erro de Ganho (\%)}}{100 \%} = \frac{S_{real}^{11...11} - \text{Offset}}{S_{ideal}^{11...11}} - 1 \quad (2.3)$$

A correção do erro de ganho é conseguida subtraindo-se de todos os níveis analógicos de saída o valor percentual obtido com a Eq. (2.3).

b) Erros de Linearidade

Após a correção dos erros de fim de escala, a curva de transferência do conversor D/A apresentará um erro nulo nos níveis inicial e final discretos de saída. Esta característica é ilustrada com a situação genérica da figura 2.12.

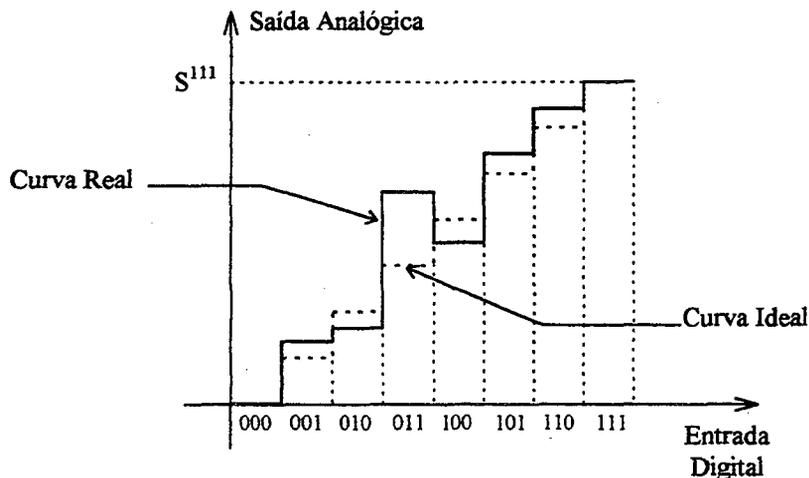


Figura 2.12 - Característica Estática do Conversor D/A Semi-corrigido

Nota-se que ao longo da curva de transferência os diversos níveis intermediários não estão sobre os valores ideais desejados.

O erro de linearidade pode ser avaliado através de duas formas:

b.1) Erro Integral (INL)

O erro integral avalia o desvio absoluto dos níveis de saída em relação à curva ideal de transferência. Utiliza-se a equação (2.4) para obter os valores do erro integral.

$$INL = (S^i_{semicorrigida} - S^i_{ideal}) \quad (i = 00\dots00 \rightarrow 11\dots11) \quad (2.4)$$

onde

$S^i_{semicorrigida}$ - Saída analógica com os erros de fim de escala corrigidos.

De modo gráfico o erro integral pode ser visualizado pela análise de uma região da curva estática de um conversor D/A genérico (figura 2.13).

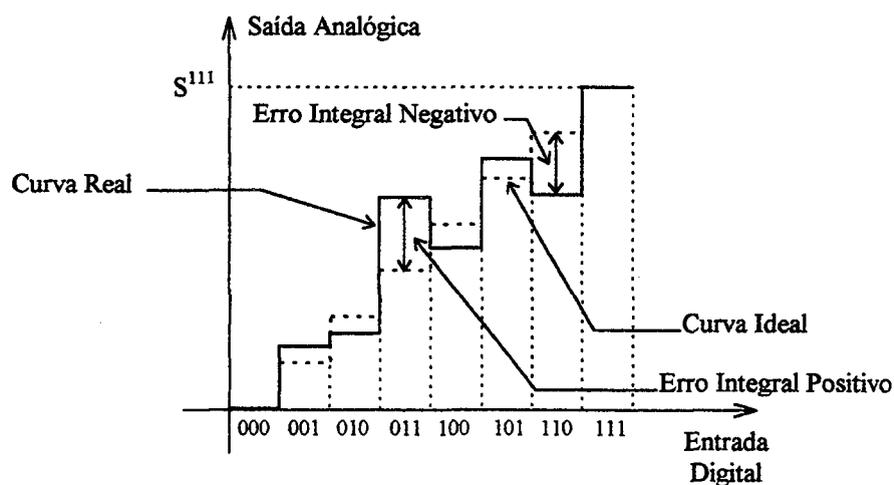


Figura 2.13 - Erro Integral (INL)

Normalmente costuma-se explicitar o erro integral de forma normalizada em relação ao passo ideal de tensão ou corrente referente ao incremento unitário na palavra binária de entrada. Este passo unitário é abreviado por LSB (Least Significant Bit).

O erro integral indica uma faixa analógica possível onde uma determinada palavra binária de entrada será convertida. Deseja-se que esta faixa analógica não sobreponha a região de variação da palavra binária subsequente ou anterior. A faixa definida com os limites de $+1/2$ LSB e $-1/2$ LSB para o erro integral máximo e mínimo respectivamente é considerada como o limite do funcionamento ótimo de um conversor D/A.

Em algumas aplicações, conversores D/A com erro integral maior que a faixa de $\pm 1/2$ LSB são considerados insatisfatórios. Quando o INL está fora da faixa especificada, uma única saída analógica pode ser obtida com duas ou mais palavras binárias de entrada. Desta forma, o processo de conversão D/A perde a característica de relação única entre informação digital e informação analógica.

b.2) Erro Diferencial (DNL)

Outra forma de analisar a linearidade do conversor D/A consiste em avaliar a grandeza dos incrementos analógicos para uma varredura seqüencial na palavra de entrada. Para cada incremento unitário na entrada a saída deve responder com um incremento equivalente em tensão ou corrente de 1 LSB.

A figura 2.14 ilustra o erro diferencial

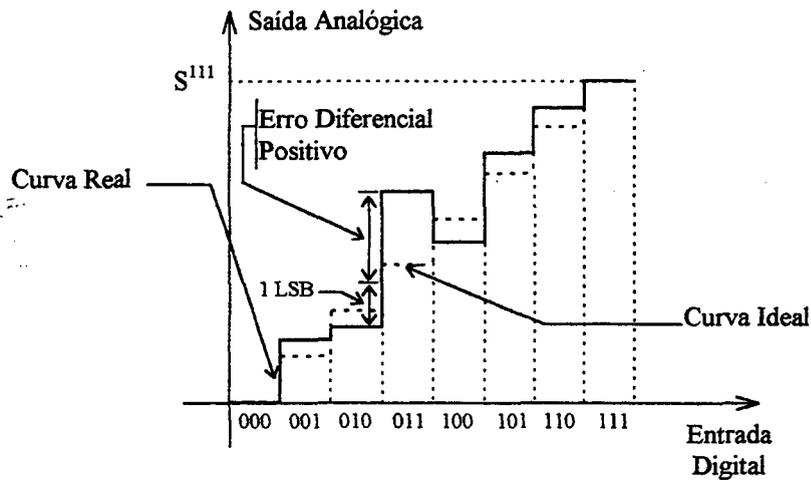


Figura 2.14 - Erro Diferencial (DNL)

O erro diferencial é medido utilizando a curva estática semicorrigida. Semelhante ao procedimento de medida do erro integral, avaliam-se todas as transições da curva estática do conversor D/A. A equação (2.5) define o procedimento descrito.

$$DNL = (S_{semicorrigida}^{i+1} - S_{semicorrigida}^i - S_{1LSB}) \quad (i = 0 \dots 0 \rightarrow 1 \dots 10) \quad (2.5)$$

O erro diferencial avalia a monotonicidade da curva estática do conversor. É sempre desejável que o comportamento do conversor seja sempre ascendente enquanto incrementamos a palavra de entrada. O efeito da não-monotonicidade surge para um erro diferencial inferior a - 1 LSB. A figura 2.14 ilustra este efeito.

Como o efeito da não-monotonicidade é indesejado no funcionamento do conversor D/A, estar-se-á atento para esta característica durante a avaliação do conversor a ser implementado.

CAPÍTULO 3 - CONVERSOR D/A BASEADO NA REDE MOS DIVISORA DE CORRENTE

As estruturas conversoras D/A mostradas no capítulo anterior evidenciam diversas possibilidades de implementação. Em cada aplicação prática deve-se escolher uma estrutura específica que atenda as características de funcionamento.

Neste capítulo, passa-se a descrever o comportamento da estrutura divisora da corrente de referência utilizada na implementação do conversor D/A. A implementação de um conversor D/A utilizando a rede MOS divisora de corrente é mostrada na seção 3.3.

3.1 - Característica DC do MOSFET

A célula unitária num processo de integração MOS semicustom é definida por um transistor MOS de dimensões fixas.

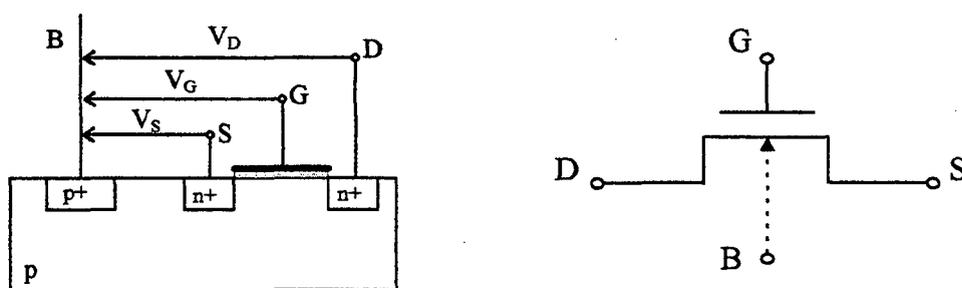


Figura 3.1 - Transistor MOS Canal n

A estrutura do transistor MOS mostrada na figura 3.1 indica uma simetria entre os terminais de Dreno (D) e Fonte (S). De modo a evidenciar esta simetria, também no modelo de funcionamento do transistor, foi adotado o substrato (B) como terminal de referência [18].

De acordo com [18] pode-se descrever o comportamento do transistor MOS pela expressão (3.1).

$$I_D = \frac{W}{L} [g(V_G, V_S) - g(V_G, V_D)] \quad (3.1)$$

onde

$g(V_G, V_i)$ - Função que descreve o comportamento DC do MOSFET;

W - Largura do canal do MOSFET;

L - Comprimento do canal do MOSFET.

Em (3.1), as tensões são referenciadas ao substrato local.

Como num processo "sea-of-transistors" os transistores estão previamente confeccionados, não existe a possibilidade de alterar as suas dimensões. Para obter a rede divisora de corrente são utilizados, portanto, transistores idênticos combinados em série e/ou paralelo [14].

a) Associação Série

A associação série de transistores unitários pode ser visualizada através da Fig. (3.2). Para avaliar o funcionamento do transistor composto (T) equacionemos inicialmente os transistores unitários.

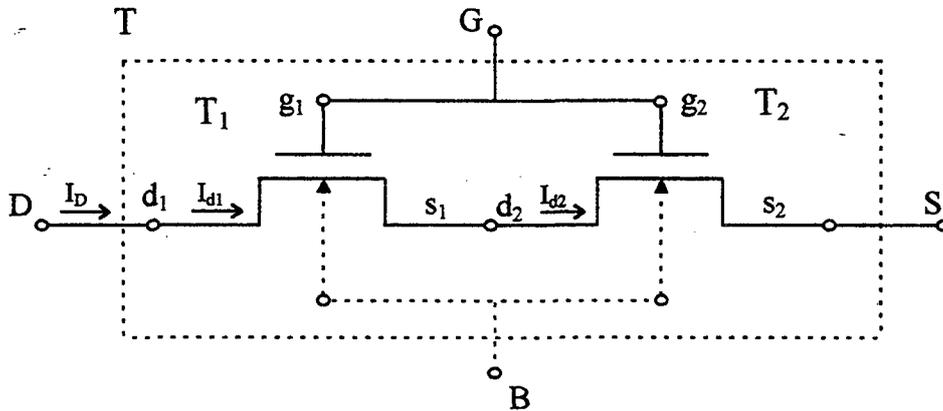


Figura 3.2 - Transistor Composto - Associação Série

Equacionando o funcionamento de cada transistor unitário pode-se escrever:

$$I_{d1} = \frac{W_1}{L_1} [g(V_{g1}, V_{s1}) - g(V_{g1}, V_{d1})] \quad (3.2)$$

$$I_{d2} = \frac{W_2}{L_2} [g(V_{g2}, V_{s2}) - g(V_{g2}, V_{d2})] \quad (3.3)$$

Supondo o transistor composto T formado por T₁ e T₂, escreve-se:

$$I_D = I_{d_1} = I_{d_2} = \frac{\left(\frac{W_1}{L_1}\right)\left(\frac{W_2}{L_2}\right)}{\left(\frac{W_1}{L_1}\right) + \left(\frac{W_2}{L_2}\right)} [g(V_G, V_S) - g(V_G, V_D)] \quad (3.4)$$

Se $T_1 \equiv T_2$,

$$\left(\frac{W}{L}\right)_{eq.} = \frac{W}{2L} \quad (3.5)$$

Verifica-se que o comportamento do transistor série composto é análogo ao de um transistor simples com o dobro do comprimento e mesma largura do canal do transistor unitário. Os efeitos de canal curto não são considerados nesta análise.

b) Associação Paralela

O procedimento análogo é efetuado para o caso de 2 transistores unitários em paralelo e obtém-se o seguinte resultado.

$$\left(\frac{W}{L}\right)_{eq.} = \frac{2W}{L} \quad (3.6)$$

Numa associação paralela o transistor composto tem funcionamento equivalente ao de um transistor simples com o dobro da largura e mesmo comprimento do canal de um transistor unitário.

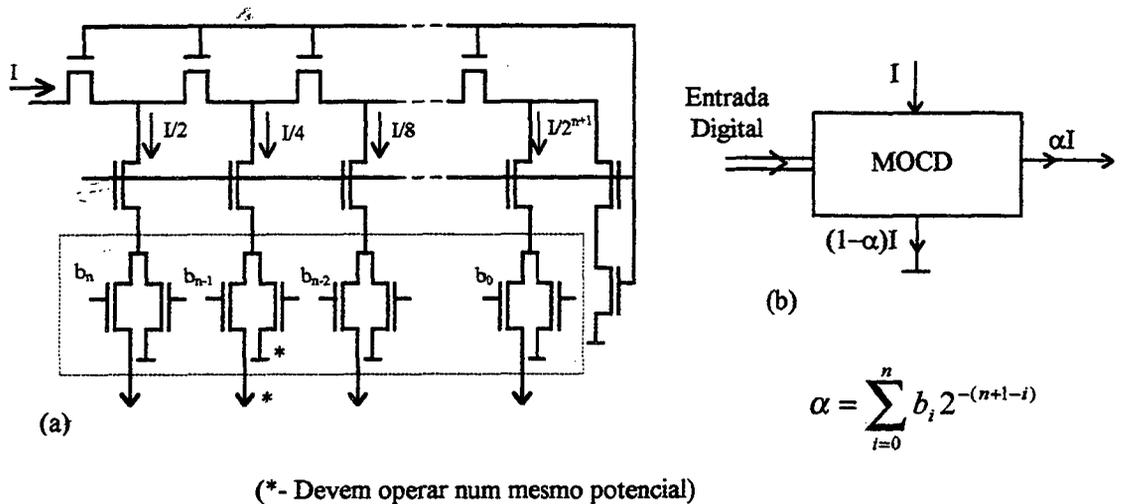
Com o conceito de transistor composto tem-se a possibilidade de construir transistores de dimensões variadas utilizando uma matriz de transistores unitários já definida.

3.2 - A Rede M.O.C.D

A concepção de um bom conversor D/A depende de uma boa estrutura divisora de uma grandeza de referência. Esta divisão é necessária para contabilizar a contribuição de cada bit da palavra binária de entrada. Algumas estruturas conversoras são mostradas no capítulo 2 e nas referências [1,7,8].

A rede M.O.C.D. (Mosfet Only Current Divider) descrita em [6, 11] se apresenta como estrutura excelente para obter a divisão ponderada de uma corrente de referência. A implementação desta rede pode ser feita utilizando componentes discretos ou uma técnica de integração (“full custom” ou “semicustom”). Consegue-se portanto, com uma técnica “semicustom”, conciliar a construção de um protótipo de conversor D/A integrado de forma rápida e com custo reduzido.

A Figura 3.3 ilustra o modelo genérico da rede M.O.C.D..



(a) Diagrama do Circuito

(b) Símbolo

Figura 3.3 - Rede M.O.C.D. Genérica

A versatilidade da rede M.O.C.D. está no fato de que sua implementação é feita utilizando uma rede regular de transistores. Não existe a mistura de elementos diferentes de circuito (Resistores e Chaves) como na rede clássica R-2R.

Os transistores inseridos no retângulo pontilhado (figura 3.3 (a)) executam simultaneamente a função de resistor e chave. Cada par de transistores é acionado por um bit da palavra binária de entrada e seu respectivo complemento. Desta forma, as parcelas de referência ($I/2$, $I/4$, $I/8$, ...) são direcionadas para um dos dois terminais de saída. Não há necessidade de eliminar a resistência intrínseca da chave, já que ela funciona também como elemento resistivo na divisão da corrente de referência (I).

Utilizando o princípio de associação de transistores [6, 14] descrito no item 3.1 obtém-se a característica de divisão da corrente de referência (I) no M.O.C.D.. O princípio de funcionamento do M.O.C.D. é semelhante ao da rede clássica R-2R. A rede M.O.C.D. é vista como um único transistor composto formado pelos transistores unitários dispostos na

figura 3.3 (a). O processo de divisão da corrente de referência (I) ao longo dos transistores unitários é definida pela forma de associação (Série ou Paralelo) e pelas dimensões W e L dos transistores. No caso da figura 3.3 (a) a rede M.O.C.D. apresenta todos os transistores com mesma largura e comprimento de canal. Portanto, a divisão de corrente é feita determinando a razão $(W/L)_{eq}$ de cada ramo de transistores num determinado nó. A corrente de referência (I) é dividida, sucessivamente por dois, como mostra a figura 3.3 (a).

Uma rede M.O.C.D. foi implementada utilizando uma metodologia “semicustom”. O comprimento da palavra binária de entrada da rede M.O.C.D. integrada é de 6 bits. O layout da rede é mostrado na figura 3.4. Cada transistor da rede foi sintetizado utilizando três transistores unitários em série com $L = 1,2 \mu\text{m}$ e $W = 24 \mu\text{m}$. Para a medição da característica estática de funcionamento, a corrente de referência foi ajustada em $I = 1 \text{ mA}$. A corrente de saída (αI) foi medida para todas as palavras binárias de entrada. A medição manual da corrente de saída (αI) da rede M.O.C.D. para todo o conjunto de entrada é um procedimento demorado. Caso haja, durante a medição, mudança na característica de funcionamento do M.O.C.D. (temperatura ambiente, corrente de referência) a análise dos erros diferencial e integral ficará comprometida. As medidas devem ser feitas num pequeno espaço de tempo para evitar estes gradientes de temperatura e corrente de referência. Foi criado um sistema de medição automática utilizando um circuito digital de controle e um multímetro digital com memória. As medições foram realizadas e em seguida avaliadas para a obtenção dos erros integral e diferencial

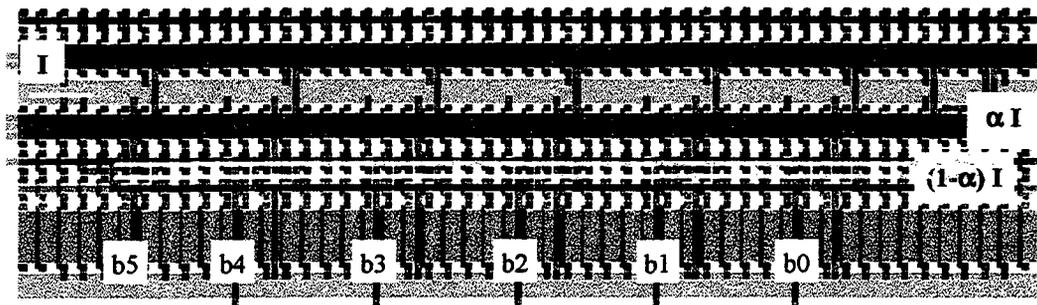


Figura 3.4¹ - Layout da rede M.O.C.D.

A figura 3.5 mostra a característica estática do M.O.C.D. construído. As figuras 3.6 e 3.7 apresentam respectivamente os erros integral e diferencial. O erro integral encontra-se na faixa de $\pm 1/2$ LSB, o que satisfaz a condição de linearidade do M.O.C.D. O erro diferencial na faixa de $\pm 1/2$ LSB denota na rede M.O.C.D. implementada uma característica monotônica de funcionamento. Os resultados obtidos mostram que o M.O.C.D. implementado apresenta resolução de 6 bits.

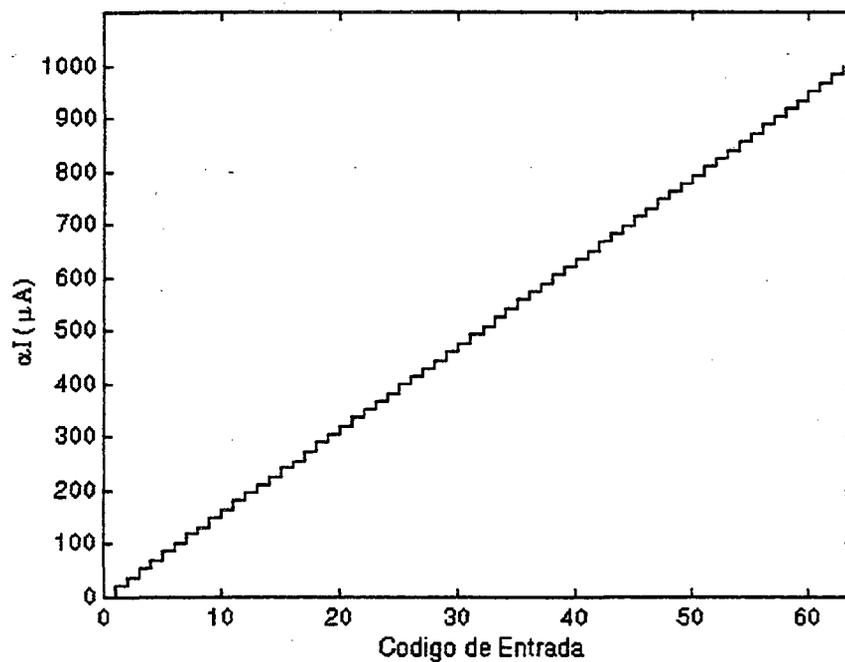


Figura 3.5 - Característica Estática do M.O.C.D.

¹ (Figura cedida gentilmente por Ricardo Takase Gonçalves [19])

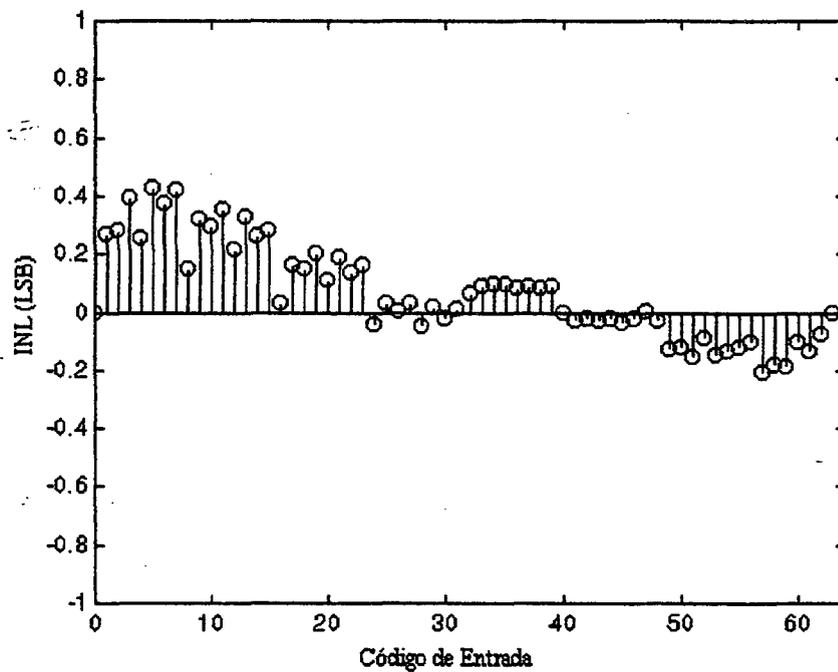


Figura 3.6 - Erro Integral do M.O.C.D.

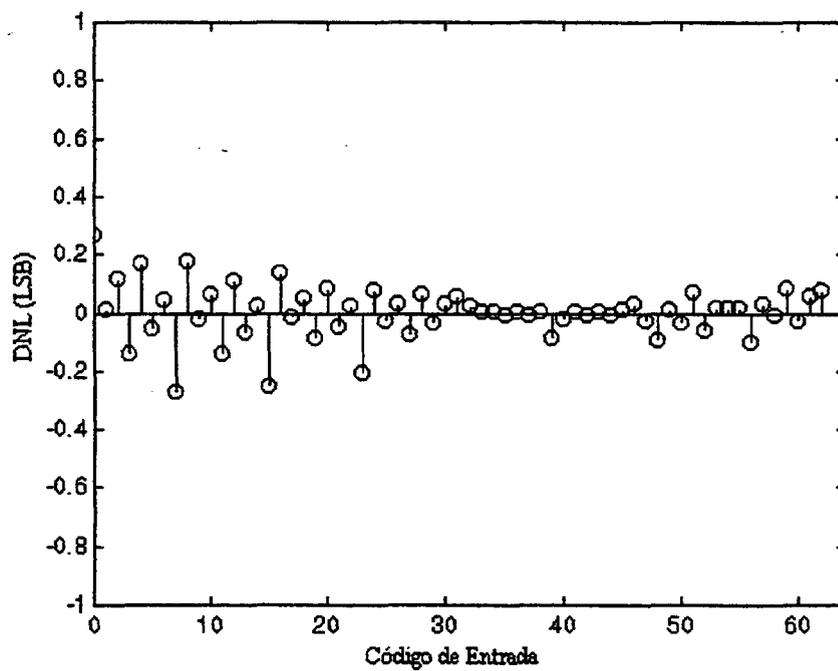


Figura 3.7 - Erro Diferencial do M.O.C.D.

A rede M.O.C.D. deve ter uma característica linear no processo de divisão da corrente de referência. No entanto, alguns efeitos de segunda ordem (“channel-length shortening”, “weak avalanche” e “drain induced barrier lowering”), descasamento, offset e ruído introduzem erros ao processo de divisão linear [11, 15]. No caso de transistores não muito longos, o efeito de segunda ordem que ocasiona maior fonte de perturbação na divisão de corrente é a velocidade de saturação dos portadores [15]. Este efeito pode ser atenuado garantindo o funcionamento do transistor de entrada da rede M.O.C.D. na região linear, ou seja, a corrente de referência (I) é tomada como uma pequena fração da corrente de saturação do M.O.C.D [6, 11, 15].

Na implementação prática de transistores integrados MOS depara-se com o problema de descasamento. Este descasamento é traduzido pela dispersão nos valores da tensão de limiar (V_{TO}), da capacitância do óxido e mobilidade dos portadores ($\mu C'_{ox}$) e dos aspectos geométricos (W, L). A dispersão destas grandezas degrada a divisão da corrente de referência. Técnicas de layout foram desenvolvidas para amenizar os efeitos de descasamento [23]. A razão W/L dos transistores MOS é um fator importante na divisão da corrente de referência. Numã implementação integrada, as bordas dos transistores MOS apresentam pequenas irregularidades que denotam uma variação nas dimensões W e L de projeto. O efeito destas irregularidades é amenizado com o aumento da área do transistor. As pequenas irregularidades de W e L tornam-se desprezíveis em função da área total. Como consequência, tem-se um aumento na área do circuito e na capacitância de gate dos transistores. A figura 3.8 ilustra a implementação de transistores MOS. Um bom casamento é evidenciado quando são utilizadas estruturas de mesma forma e tamanho [23]. Deve-se evitar o uso de transistores de dimensões diferentes apesar de possuírem a mesma razão de

aspecto (W/L). O par de transistores da figura 3.8(a) apresenta um melhor casamento do que o par da figura 3.8(b).

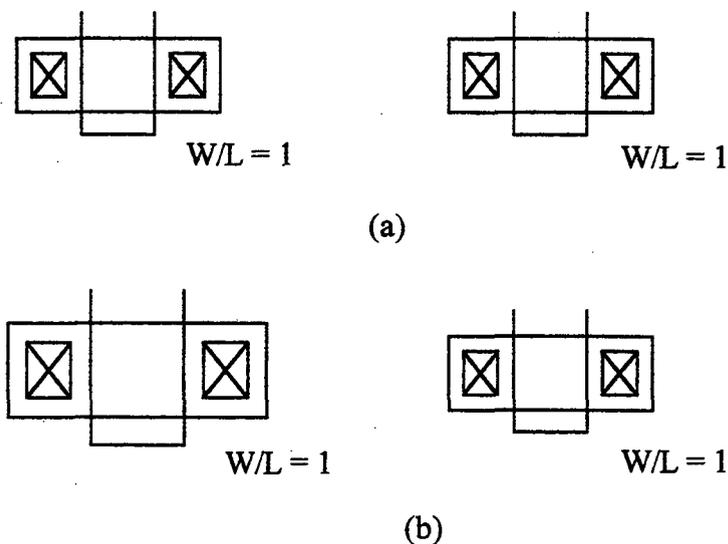


Figura 3.8 - Layout de transistores MOS - Característica de forma e tamanho. [23]

A diferença na mobilidade dos portadores em duas direções distintas denota a anisotropia de substrato. Para reduzir os efeitos de mobilidade diferenciada no funcionamento de estruturas casadas no circuito, recomenda-se construí-las com a mesma orientação espacial. A figura 3.9 ilustra o layout de duas estruturas de mesma função. A figura 3.9 (a) reduz o efeito anisotrópico utilizando um mesmo sentido na orientação do canal dos transistores sobre o substrato. A figura 3.9(b) sofrerá os efeitos de anisotropia do substrato com maior intensidade.

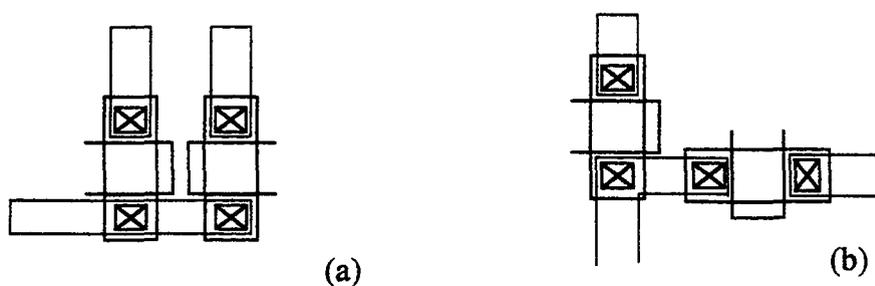


Figura 3.9 - Layout de Transistores MOS - Efeito da Anisotropia do Substrato [23]

A mobilidade dos portadores (μ) está diretamente relacionada com o processo de divisão linear de corrente no M.O.C.D.. Alguns parâmetros, como a espessura da camada de óxido, a tensão de limiar, etc, podem apresentar uma dispersão em relação aos valores nominais de projeto ao longo do semiconductor. O efeito da dispersão nestes parâmetros pode ser amenizado construindo as estruturas casadas utilizando a menor separação possível (Figura 3.10).

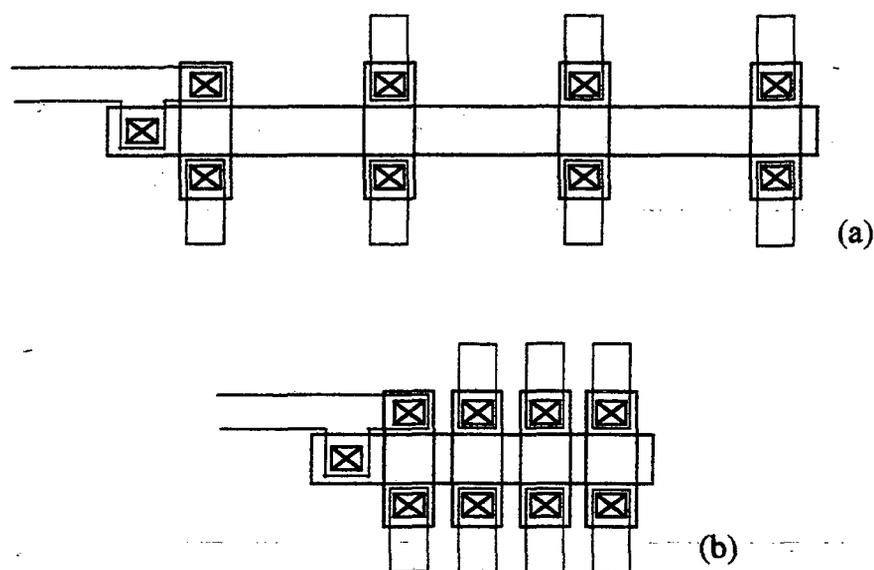


Figura 3.10 - Espelhos de Corrente [23]

A figura 3.10 (b) visa reduzir os efeitos da dispersão de parâmetros com a proximidade dos transistores. Em algumas situações as estruturas casadas são construídas de forma a apresentar sempre a mesma vizinhança no semiconductor. Para atender a esta técnica, às vezes é necessário implementar estruturas auxiliares que não serão utilizadas no funcionamento do circuito. A figura 3.11 mostra o uso destas estruturas.

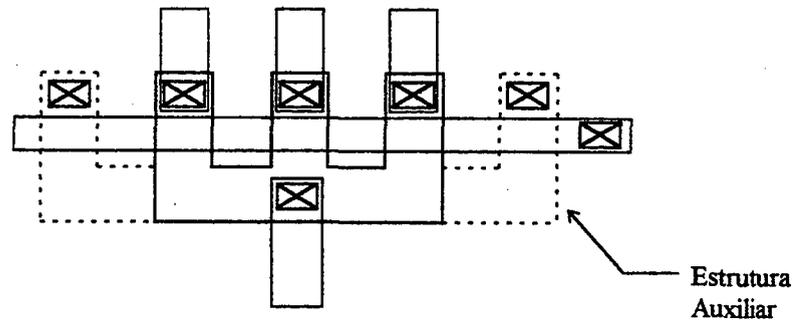


Figura 3.11 - Estruturas auxiliares - Mesma vizinhança para os transistores casados [23]

Dado um M.O.C.D. com 6 bits de entrada. Sabe-se que o bit mais significativo de entrada controla o chaveamento da maior parcela da corrente de referência ($I_{ref}/2$). O efeito do descasamento entre os transistores de saída no ramo do bit mais significativo provoca o maior desvio na corrente de saída em relação a um mesmo descasamento nos demais ramos. Apresentaremos a seguir uma análise da influência do desvio no comprimento L de um dos transistores de saída no ramo do bit mais significativo do M.O.C.D. na corrente de saída. Para esta análise supõe-se que os demais transistores não apresentam desvio na sua geometria e possuem razão de aspecto unitária ($W/L = 1$). Desta forma, pode-se reduzir o problema de descasamento à análise da estrutura da figura 3.12.

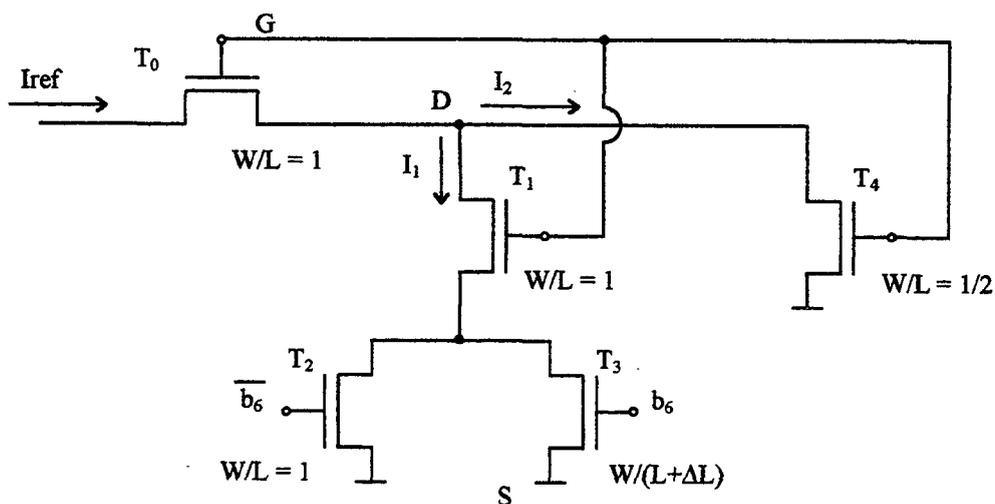


Figura 3.12 - Diagrama simplificado de um M.O.C.D. com 6 bits de entrada

Os transistores unitários foram associados formando o transistor composto T_4 com $W/L = 1/2$. Duas situações de funcionamento deste circuito serão analisadas.

CASO 1 : Supondo $b_6 = 0$, tem-se o transistor T_2 em condução e T_3 está em corte.

A corrente I_1 e I_2 é dada por (3.7)

$$I_1 = I_2 = (W/2L) [gm(V_S, V_G) - gm(V_D, V_G)] = I_{ref}/2 \quad (3.7)$$

Neste caso, tem-se a divisão da corrente de referência em 2 parcelas iguais. O efeito do desvio na geometria não influenciou no comportamento do circuito.

CASO 2 : Numa segunda situação faz-se $b_6 = 1$. Agora tem-se T_3 em condução e T_2 em corte. De forma análoga ao caso 1, escreve-se:

$$I_1 = \frac{W}{2L + \Delta L} [gm(V_S, V_G) - gm(V_D, V_G)] = \frac{\frac{W}{2L + \Delta L}}{\frac{W}{2L} + \frac{W}{2L + \Delta L}} I_{ref} \quad (3.8)$$

$$I_2 = \frac{W}{2L} [gm(V_S, V_G) - gm(V_D, V_G)] = \frac{\frac{W}{2L}}{\frac{W}{2L} + \frac{W}{2L + \Delta L}} I_{ref} \quad (3.9)$$

No caso 2, o desvio no valor do comprimento do canal de T_3 provoca um desvio na corrente de saída I_1 . O valor ideal de I_1 é mostrado no caso 1, ou seja, $I_1 = I_{ref}/2$. Como o

M.O.C.D. é de 6 bits, o desvio provocado por ΔL na corrente I_1 não pode ser superior a $|I_{ref}/2^{6+1}|$ ($\pm 1/2$ LSB). Este desvio máximo corresponde a um erro integral de $\pm 1/2$ LSB. Determinemos agora o máximo desvio na dimensão L que garanta ainda um erro integral na faixa de $\pm 1/2$ LSB.

$$I_{ref}\left(\frac{1}{2} - \frac{1}{2^{6+1}}\right) < I_1 < I_{ref}\left(\frac{1}{2} + \frac{1}{2^{6+1}}\right) \quad (3.10)$$

Inserindo a expressão (3.8) em (3.10) tem-se:

$$\left(\frac{1}{2} - \frac{1}{2^{6+1}}\right) < \frac{\frac{W}{2L + \Delta L}}{\frac{W}{2L} + \frac{W}{2L + \Delta L}} < \left(\frac{1}{2} + \frac{1}{2^{6+1}}\right)$$

$$\text{Obs: } \frac{\Delta I}{I} \cong \frac{1}{8} \frac{\Delta L}{L}$$

Como $W = L$,

$$-6,15 \% < \Delta L/L < +6,35 \% \quad (3.11)$$

Os limites na faixa de variação de $\Delta L/L$ mostrado em (3.11) correspondem a um erro integral no M.O.C.D. de $\pm 1/2$ LSB. Dependendo do processo de integração utilizado, a incerteza nas dimensões dos transistores projetados limita a resolução máxima atingida pelo M.O.C.D.. Uma análise semelhante pode ser feita para avaliar o desvio na corrente de saída originado por outros parâmetros como V_{TO} e W .

Pela especificação na figura 3.3 os terminais de saída do M.O.C.D. devem estar colocados num mesmo potencial. A diferença de potencial entre estes dois terminais (V_{offset}) gera a circulação de uma corrente indesejada no M.O.C.D. (I_{offset}) (Figura 3.13). A corrente de offset degrada o processo de divisão da corrente de referência. Com exceção da palavra binária “000...000” de entrada existe sempre um caminho entre os dois terminais de saída. O valor da corrente I_{offset} é dependente da palavra binária de entrada [15].

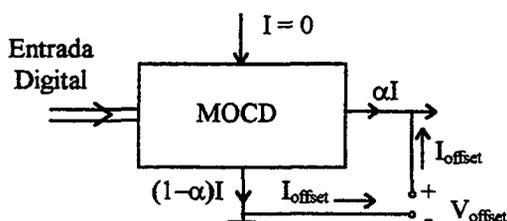


Figura 3.13 - Corrente de Offset no M.O.C.D.

O processo de divisão linear da corrente de referência e o efeito da tensão de offset podem ser analisados independentemente através de superposição. Desta forma, o valor de I_{offset} independe da corrente de referência (I). O erro de linearidade do M.O.C.D. aumenta com a diminuição da corrente de referência (I) para um valor constante de V_{offset} [15].

Na implementação de redes M.O.C.D. com saída em tensão, geralmente utiliza-se um amplificador operacional como conversor linear da corrente de saída em tensão (figura 3.14). Na prática, os amplificadores operacionais apresentam uma tensão de offset entre as entradas inversora e não-inversora. Esta diferença de tensão dá origem à corrente de offset no M.O.C.D.. A expressão da corrente de saída do M.O.C.D. com a influência da corrente de offset é mostrada em (3.12).

$$I_{\text{out}} = \alpha I + I_{\text{offset}} \quad (3.12)$$

Como o valor da corrente de offset independe da corrente de referência do M.O.C.D., faz-se $I = 0$ (figura 3.13) com intuito de avaliar exclusivamente a influência da tensão de offset na corrente de saída. A rede M.O.C.D. nesta situação pode ser vista como um transistor composto cuja razão de aspecto equivalente é dependente da palavra binária de entrada. Como a tensão de offset é bastante pequena quando comparada com $(V_G - V_{TO})$ diz-se que a rede está funcionando na região linear. Desta forma, pode-se escrever [15]:

$$I_{\text{offset}} = (W/L)^* \mu C'_{\text{ox}} [V_G - V_{TO}] V_{\text{offset}} \quad (3.13)$$

μ - mobilidade dos portadores

C'_{ox} - capacitância do óxido por unidade de área

V_G - tensão de porta dos transistores

V_{offset} - tensão de offset nos terminais de saída do M.O.C.D.

$(W/L)^*$ - razão de aspecto equivalente dependente da palavra binária de entrada

De acordo com [15], $(W/L)^*$ é máximo para uma entrada digital com 0s e 1s alternados (101010...10). P. E. Haan [15] obteve a expressão (3.14) de $\max[(W/L)^*]$ em função do número de bits da rede M.O.C.D.

$$\max(W/L)^* \approx \frac{n+1}{9} \left(\frac{W}{L} \right) \quad (3.14)$$

n - número de bits de entrada do M.O.C.D.

(W/L) - razão de aspecto dos transistores unitários.

Substituindo (3.14) em (3.13).

$$\max(I_{\text{offset}}) \approx \frac{n+1}{9} \left(\frac{W}{L} \right) \mu C'_{\text{ox}} [V_G - V_{\text{TO}}] V_{\text{offset}} \quad (3.15)$$

A expressão (3.15) permite avaliar a resolução máxima que uma determinada configuração de M.O.C.D. pode atingir. Supondo a corrente de offset como a única fonte de erro da corrente de saída do M.O.C.D., e sabendo que o erro integral não pode ultrapassar a faixa de +/- 1/2 LSB (3.16), pode-se estimar a resolução do M.O.C.D. utilizando os parâmetros de projeto.

$$|I_{\text{offset}}|_{\text{max}} \leq I/2^{n+1} \quad (3.16)$$

onde

I - corrente de referência do M.O.C.D.

n - número de bits do M.O.C.D.

Em [12, 15] tem-se uma análise teórica da influência das fontes de erro na resolução máxima atingida pelo M.O.C.D.. Os resultados mostram que teoricamente pode-se atingir uma resolução de 8 bits para a rede M.O.C.D. utilizando uma técnica "semicustom". Para técnicas "full custom", pode-se atingir 9 bits de resolução.

3.3 - O Conversor D/A

A construção de um conversor D/A utilizando a rede M.O.C.D. é bastante atrativo, pois poucas estruturas auxiliares são necessárias.

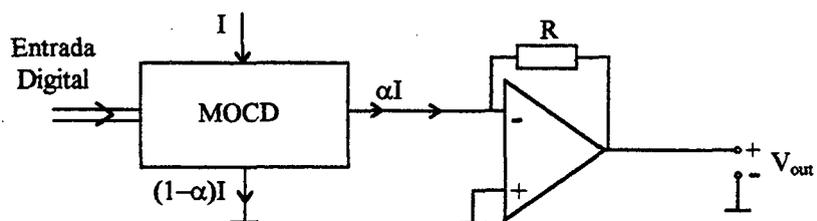


Figura 3.14 - Conversor D/A utilizando rede M.O.C.D.

A figura 3.14 ilustra um conversor D/A com saída em tensão implementado utilizando a rede M.O.C.D.. Para a conversão da corrente de saída (αI) num valor de tensão foi utilizado um amplificador de transimpedância. Na prática, a saída do conversor D/A também pode ser feita em corrente.

A implementação do conversor D/A foi feita utilizando a rede M.O.C.D. de 6 bits descrita na seção 3.2. Foi utilizado um amplificador operacional discreto (TL082).

Medindo a característica estática do conversor D/A obteve-se uma curva monotônica (figura 3.15). A corrente de referência foi ajustada em 1,2 mA.

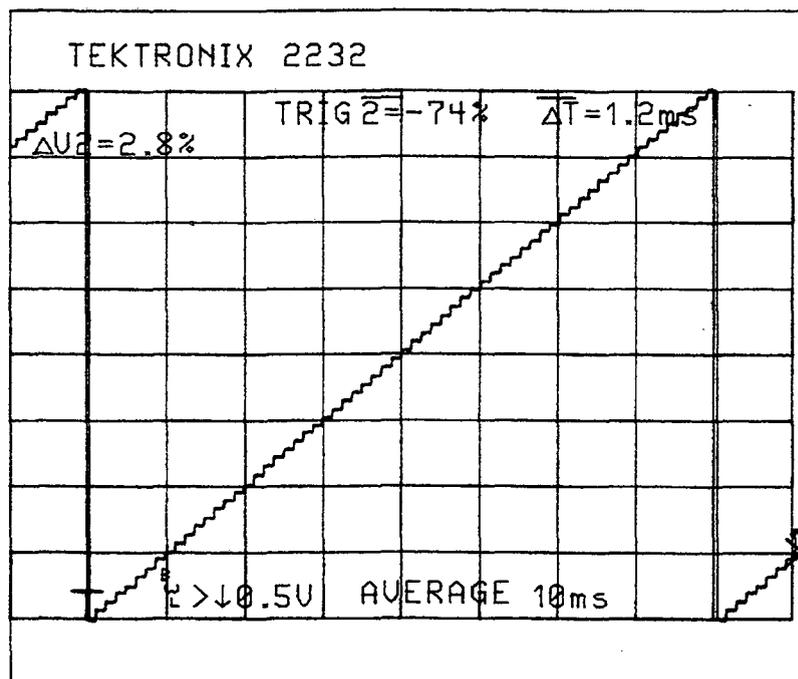


Figura 3.15² - Característica Estática do Conversor D/A

² (Figura cedida gentilmente por Ricardo Takase Gonçalves [19])

Com o aumento dos ramos divisores da rede M.O.C.D., a característica de divisão da corrente de referência vai sendo afetada pelas diversas fontes de erro, introduzindo um comportamento não linear. A não linearidade no processo de divisão da corrente de referência é denotada pela análise dos erros integral e diferencial do M.O.C.D. Como foi visto na seção 3.2, as redes M.O.C.D. apresentam uma limitação na concepção de estruturas de alta resolução. Para que se possa ultrapassar os níveis de resolução impostos e continuar utilizando a rede divisora M.O.C.D., deve-se criar estruturas mais robustas que permitam amenizar os efeitos das fontes de erro. No capítulo seguinte, serão comentadas algumas técnicas criadas para sobrepor a barreira imposta para a resolução máxima do M.O.C.D..

CAPÍTULO 4 - O CONVERSOR D/A AUTOCALIBRADO

Em algumas aplicações é necessário um conversor D/A com alta resolução (12 - 16 bits, por exemplo). Como a rede M.O.C.D. isoladamente não atinge tais níveis de resolução, algumas estruturas auxiliares de correção devem ser implementadas.

Duas estratégias podem ser utilizadas para solucionar o problema. Uma delas consiste em diminuir o descasamento entre os componentes fazendo ajustes físicos no circuito integrado já confeccionado. Conhecida como Trimming [5], nesta técnica são criadas estruturas auxiliares ao circuito que permitem o ajuste das dimensões dos componentes após a fabricação dos mesmos sobre o semicondutor. O circuito é confeccionado e em seguida avaliado. Após a avaliação, se for notado o erro de descasamento, alguns componentes sofrem alteração nas suas dimensões. Em seguida, é feita uma nova avaliação e um possível novo ajuste. Este processo iterativo é feito até obter um funcionamento satisfatório do circuito. Corrigido os erros, a estrutura recebe um encapsulamento.

Dois problemas surgem desta estratégia. Com o encapsulamento, uma possível deformação mecânica traduzirá num novo erro de descasamento. Assim, o processo de correção das dimensões ficará vulnerável à etapa de encapsulamento. Além disto, o processo de correção dos erros é específico para cada unidade fabricada e pode tornar-se obsoleto com o envelhecimento dos componentes. O método de Trimming é bastante oneroso e demanda um grande tempo.

Outra estratégia de correção utilizada consiste em confeccionar redes de alta resolução, deixando os erros de descasamento existentes. Posteriormente, usando estruturas auxiliares, faz-se uma avaliação e correção do funcionamento imperfeito da rede. Diversas estruturas conversoras são mostradas na literatura [7, 8, 9] que utilizam esta técnica de correção. O processo de correção descrito em [7] reduz o erro integral de uma rede divisora principal para a faixa de $\pm 1/2$ LSB utilizando um circuito de avaliação e uma segunda rede divisora. Utilizando esta mesma filosofia propor-se-á um procedimento de correção dos erros para uma rede M.O.C.D..

4.1 - Autocalibração

A estrutura de calibração a ser implementada utiliza duas redes M.O.C.D. Uma delas é denominada principal e a outra auxiliar. Como foi visto no capítulo 3, dependendo da tecnologia de integração as redes M.O.C.D. possuem uma resolução máxima. A rede M.O.C.D. principal é projetada com o comprimento da palavra digital de entrada maior que a resolução máxima. A característica estática deste M.O.C.D. apresentará erro integral fora da faixa de $\pm 1/2$ LSB. A rede M.O.C.D. auxiliar é projetada com para ter resolução menor que a resolução máxima atingida. O objetivo desta técnica é fazer com que as duas redes, principal e auxiliar, operem em conjunto de forma a obter uma estrutura conversora de resolução igual ao comprimento da palavra de entrada da rede principal. O erro integral das duas redes em conjunto estará na faixa de $\pm 1/2$ LSB.

O conversor D/A Autocalibrado a ser implementado neste trabalho possui duas etapas distintas de funcionamento. Numa etapa preliminar, um circuito auxiliar avalia o funcionamento de uma rede M.O.C.D. principal. Após isto, este circuito auxiliar utiliza as

informações coletadas na etapa preliminar para corrigir os erros detectados no funcionamento do M.O.C.D. principal.

O diagrama em blocos da figura 4.1 ilustra os dois modos de funcionamento do conversor D/A autocalibrado.

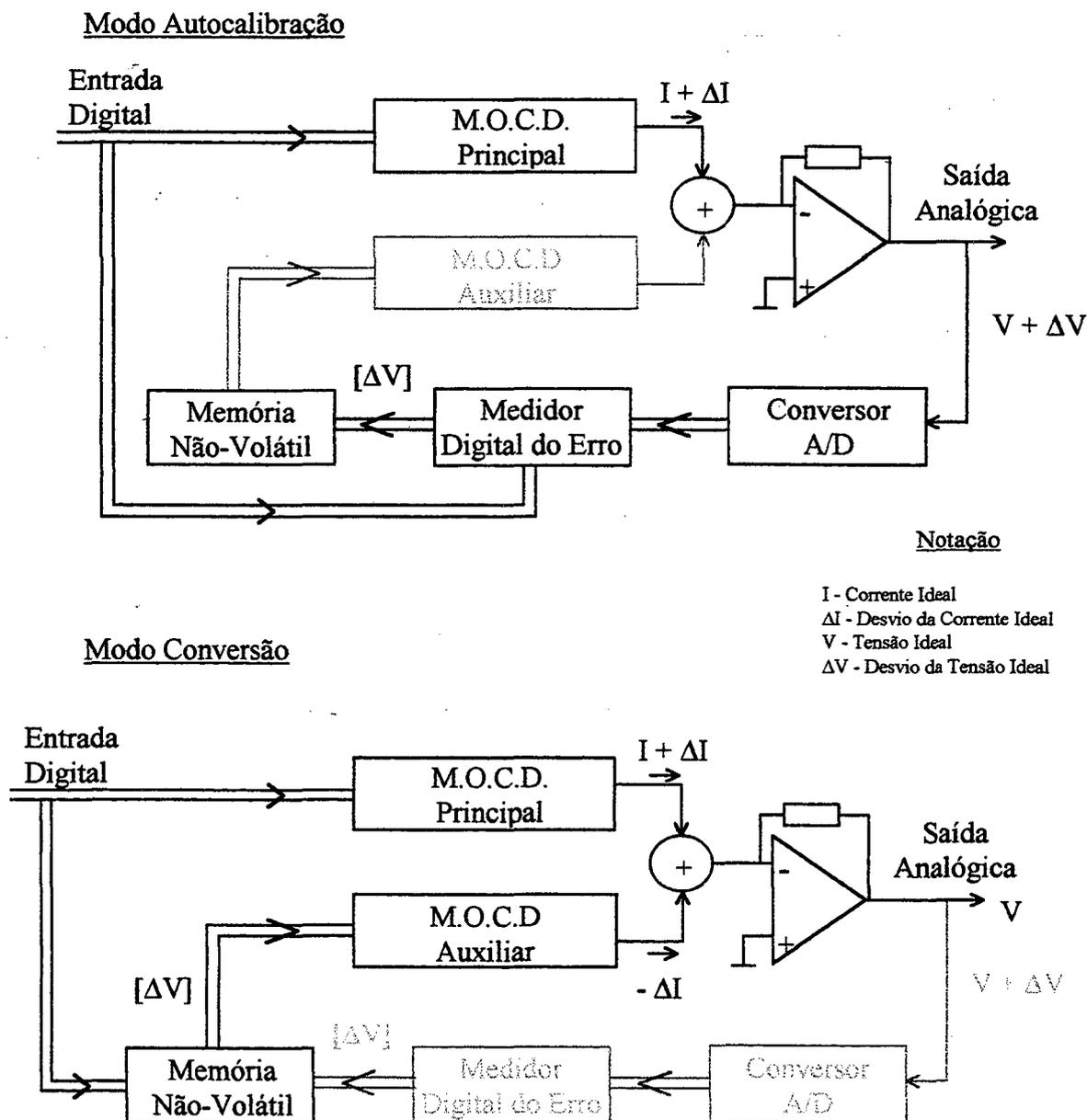


Figura 4.1 - Modos de Funcionamento do Conversor D/A

A primeira etapa, que consiste na avaliação do M.O.C.D. principal, é feita utilizando um conversor A/D acoplado à saída analógica do conversor D/A. Este conversor A/D possui uma resolução e acurácia maiores que a do M.O.C.D. principal para que a avaliação dos erros seja feita com grande precisão. Em contra-partida sua velocidade de operação pode ser bem menor que a do conversor D/A.

O bloco de medição do erro recebe a informação do conversor A/D e a compara com a entrada digital do M.O.C.D. principal. Desta comparação obtém-se uma informação digital equivalente do erro na rede M.O.C.D. principal. Esta informação do erro é armazenada numa memória para que possa ser utilizada na etapa seguinte de funcionamento.

A utilização de uma memória não volátil será útil para que o processo de autocalibração não precise ser efetuado cada vez que o conversor D/A é ligado. O processo de autocalibração é feito para cada uma das palavras digitais de entrada do M.O.C.D.. Desta forma, tem-se armazenada uma informação de erro para cada palavra digital de entrada.

Terminado o processo de autocalibração, o conversor D/A entra automaticamente no modo de conversão. Neste modo o conversor A/D e o processo de medição do erro não são utilizados. Nesta etapa é colocado em funcionamento um circuito M.O.C.D. auxiliar. Este circuito auxiliar tem a função de converter as informações digitais de erro armazenadas num valor analógico equivalente. Como a saída do M.O.C.D. é feita em corrente, a simples soma das correntes de saída dos M.O.C.D.s principal e auxiliar irá cancelar o erro detectado na etapa de autocalibração.

Para todas as palavras de entrada do conversor D/A, os circuitos M.O.C.D. principal e auxiliar funcionam em conjunto eliminando o erro existente.

Passemos à análise dos diferentes blocos do circuito.

a) M.O.C.D. Principal e Auxiliar : O funcionamento da rede M.O.C.D. é descrito no capítulo 3 (figura 3.3).

b) Conversor A/D : A estrutura do conversor A/D é mostrada na figura 4.2.

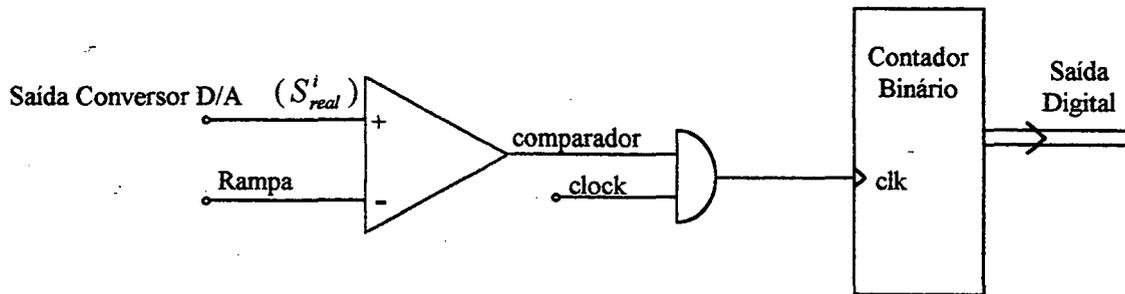


Figura 4.2 - Conversor A/D

Para fins de conversão A/D deve-se manter o sinal analógico de saída do M.O.C.D. principal estável durante o processo. Isto é conseguido mantendo constante a palavra binária de entrada do M.O.C.D.. Os sinais explicitados na figura 4.2 são mostrados no diagrama de tempo da figura 4.3.

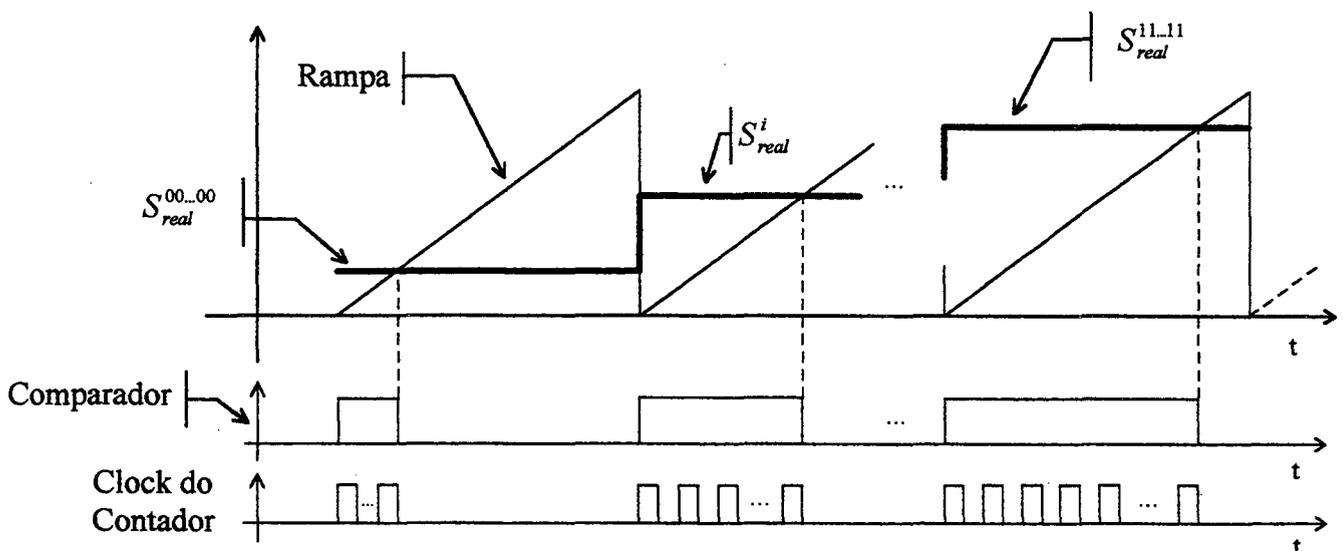


Figura 4.3 - Diagrama de Tempo da Conversão A/D

A resolução do conversor A/D determina a precisão com que os erros do M.O.C.D. podem ser corrigidos. Para corrigir os erros com uma precisão de 1/4 de LSB a resolução do conversor A/D deve ser de 2 bits a mais que a resolução do M.O.C.D. principal.

O ajuste da resolução do conversor A/D é feito garantindo que a cada período de clock a rampa eleva-se em tensão o equivalente a 1/4 LSB da rede M.O.C.D. em avaliação. Com isto, os sinais de rampa e clock devem manter uma relação de períodos descrita pela equação (4.1).

$$T_{rampa} = \frac{T_{clock}}{V_{1/4LSB}} (V_{max} - V_{min}) \quad (4.1)$$

onde

V_{max} , V_{min} - Tensão máxima e mínima da rampa

$V_{1/4LSB}$ - Tensão equivalente a 1/4 LSB do M.O.C.D. principal

T_{rampa} - Período da rampa

T_{clock} - Período do clock

Quando o contador sente uma transição low-high no sinal de comparação, ele inicia a contagem. A contagem será interrompida quando o sinal de rampa for maior que a saída analógica do conversor D/A.

Na saída do contador tem-se a informação binária correspondente à conversão A/D da saída analógica.

c) Medidor do Erro : De posse da informação digital do conversor A/D e da palavra digital de entrada do conversor D/A, efetua-se um pequeno algoritmo para avaliar o erro cometido pelo M.O.C.D. principal. A figura 4.4 ilustra o algoritmo efetuado.

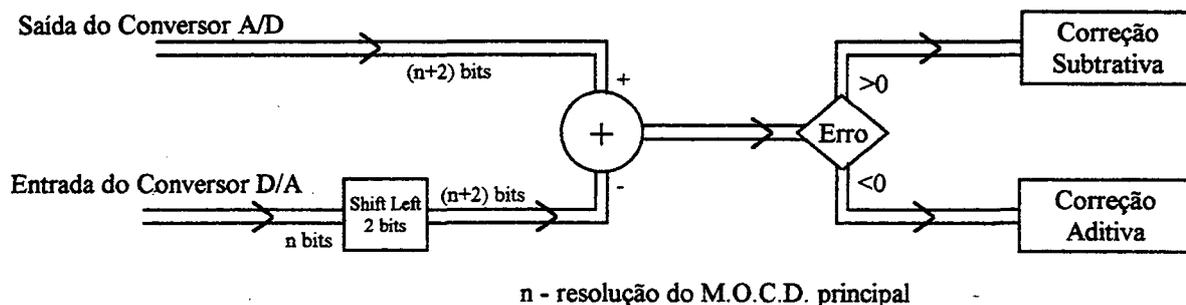


Figura 4.4 - Algoritmo para Avaliação do Erro

A informação digital de erro pode ser positiva ou negativa. Se a informação de erro for positiva, deve-se utilizar a rede M.O.C.D. auxiliar para retirar no ponto de soma o valor excedente de corrente introduzido pelo M.O.C.D. principal (Correção Subtrativa). Acontecendo o inverso com o erro, a corrente no ponto de soma deve ser adicionada pelo M.O.C.D. auxiliar (Correção Aditiva).

4.2 - Implementação Prática do Conversor D/A Autocalibrado

Nesta etapa de trabalho a implementação do conversor D/A Autocalibrado se faz necessária com o intuito de avaliar o funcionamento do algoritmo de correção concebido.

Os blocos da estrutura conversora, descritos no item 4.1, são explicados na sua forma final de implementação. Tem-se na figura 4.5 o diagrama em blocos do sistema concebido. A figura 4.5 apresenta um conversor D/A de 6 bits autocalibrado.

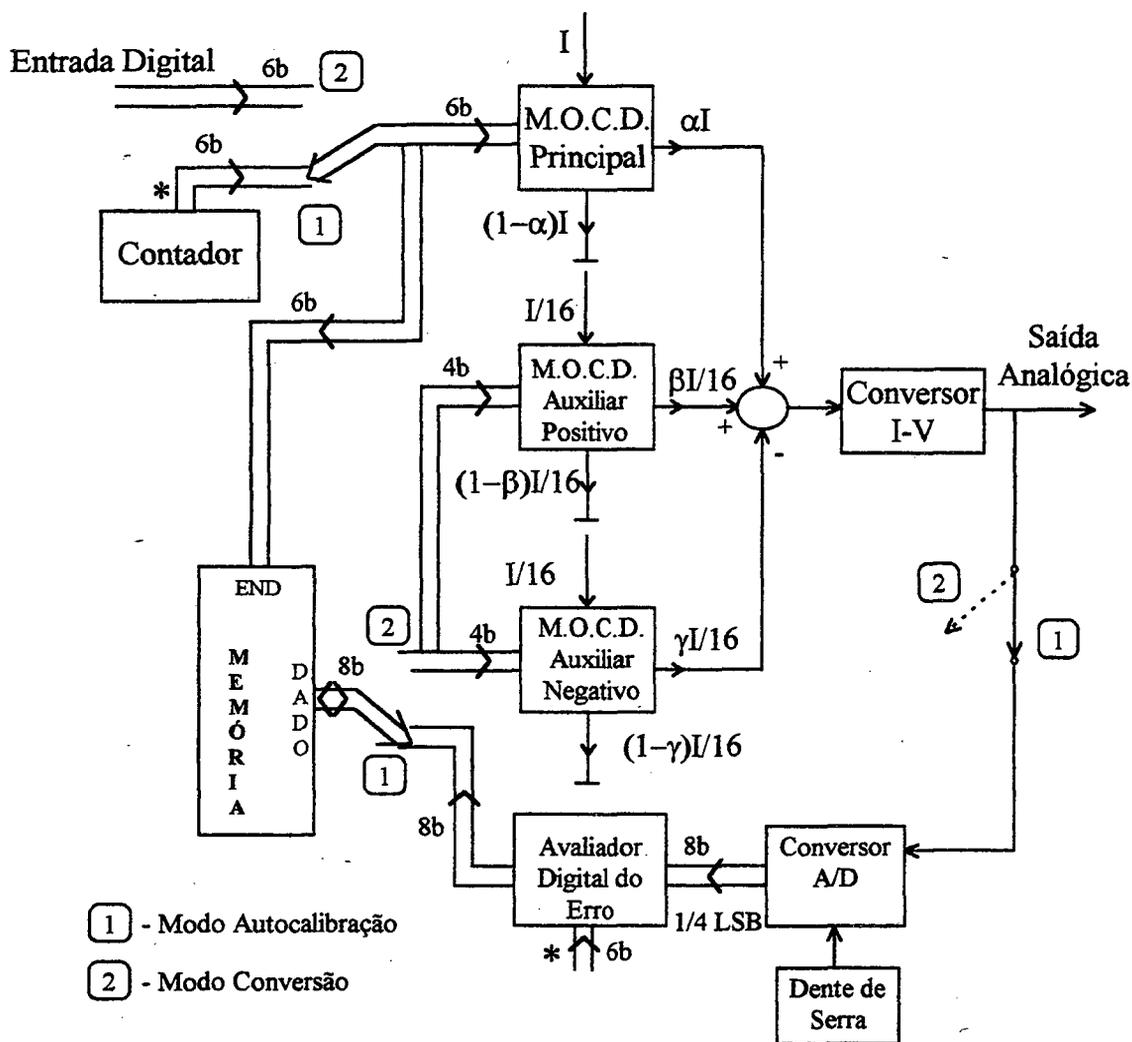


Figura 4.5 - Conversor D/A Autocalibrado de 6 Bits

a) M.O.C.D. Principal e Auxiliar : A implementação deste conversor D/A foi feita utilizando três redes M.O.C.D.. Um M.O.C.D. foi utilizado como principal e os outros dois como auxiliares. As redes foram integradas utilizando tecnologia MOS de 1.2 μm .

A estrutura M.O.C.D. principal tem 6 bits de resolução e as estruturas auxiliares apresentam 4 bits. Como foi verificado que o M.O.C.D. garante uma resolução de 6 bits, foi utilizada nesta implementação uma rede M.O.C.D. principal modificada. Com o intuito de avaliar a técnica de calibração proposta, foi inserida uma resistência na rede principal para acentuar o descasamento. As estruturas auxiliares encarregam-se da correção do erro do M.O.C.D. principal. Uma das redes auxiliares é responsável pelo erro negativo e outra pelo erro positivo.

Para efetuar a correção subtrativa, o sentido da corrente de saída do M.O.C.D. auxiliar negativo é invertido em relação ao M.O.C.D. auxiliar positivo. A implementação da estrutura M.O.C.D. auxiliar negativa foi feita utilizando o diagrama apresentado na figura 4.6.

O sentido da corrente de saída do M.O.C.D. é invertido utilizando um amplificador operacional realimentado. Para evitar erro de offset as duas saídas complementares dos três M.O.C.D. devem estar num mesmo potencial. A realimentação do amplificador operacional na figura 4.6 foi implementada com resistores, mas numa versão integrada de estrutura utilizam-se transistores MOSFET.

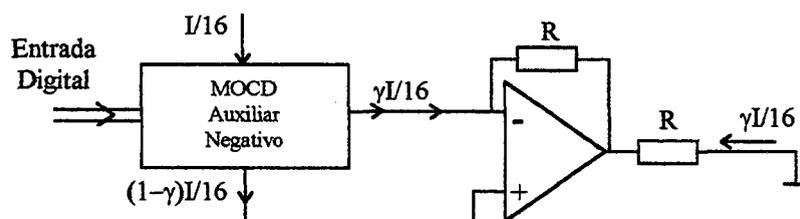


Figura 4.6 - Implementação do M.O.C.D. Auxiliar Negativo

A corrente de referência das estruturas M.O.C.D. auxiliares corresponde a uma fração da corrente de referência do M.O.C.D. principal (figura 4.5). A relação entre as

correntes é arbitrada de modo que 1 LSB do M.O.C.D. auxiliar seja equivalente a 1/4 LSB do M.O.C.D. principal. A corrente de referência auxiliar é assim arbitrada para realizar a correção dos erros da rede principal com precisão de 1/4 LSB. Supondo circuitos de correção ideais com uma resolução de 4 bits, os M.O.C.D. auxiliares podem corrigir o erro do M.O.C.D. principal que está dentro da faixa de ± 4 LSB ($16 \times 1/4$ LSB). Caso o erro do M.O.C.D. principal esteja fora da faixa de ± 4 LSB, as redes auxiliares aplicam o procedimento de correção máxima, permanecendo assim um erro residual. Nestes casos não há garantia de que o erro integral do conversor D/A autocalibrado seja reduzido à faixa de $\pm 1/2$ LSB.

b) Conversor A/D : O conversor A/D foi montado utilizando estruturas discretas. As funções digitais do sistema foram implementadas utilizando EPLDs Altera [21]. Com esta tecnologia pode-se implementar um circuito digital de aplicação específica num componente integrado programável.

O sinal de rampa é obtido utilizando um gerador de função HP-3314A da Hewlett-Packard e o comparador foi implementado com o Amplificador Operacional TL082.

c) Medidor Digital do Erro : O algoritmo descrito no item 4.1 para avaliar o erro a partir da informação digital do conversor A/D é implementado num componente EPLD (Erasable Programmable Logic Device) utilizando a máquina de estados descrita pela figura 4.7. A programação do componente EPLD é feita utilizando um ambiente de desenvolvimento (software MAX PLUS II + hardware de programação) fornecido pela própria ALTERA [21].

O circuito digital medidor do erro foi concebido neste ambiente de desenvolvimento utilizando a linguagem AHDL (Altera Hardware Description Language). No apêndice está a listagem do programa desenvolvido para a máquina de estados da figura 4.7.

d) Memória : As informações de erro do M.O.C.D. principal foram armazenadas numa RAM Não Volátil [22]. A organização da RAM é de 512 x 8 bits. Dos 512 bytes disponíveis, foram utilizados apenas 64 bytes correspondentes às 64 palavras de entrada possíveis para este conversor D/A. No modo conversão, a palavra digital de entrada serve de endereçamento da memória. Em cada endereço foi armazenado o valor digital de acionamento de cada um dos M.O.C.D. auxiliares de modo a corrigir o erro do M.O.C.D. principal.

Os 8 bits de dados de cada endereço foram divididos em 2 grupos. Os 4 bits mais significativos armazenam a informação digital do M.O.C.D. auxiliar negativo enquanto que os 4 bits menos significativos o acionamento do M.O.C.D. auxiliar positivo. Para cada palavra digital de entrada do M.O.C.D. principal apenas um M.O.C.D. auxiliar é acionado para corrigir o erro. O M.O.C.D. auxiliar não utilizado é acionado com a palavra digital "0000".

Foi utilizada uma RAM Não-volátil (X20C04) do fabricante XICOR para que as informações de erro adquiridas na etapa de autocalibração não fossem perdidas ao desligar o conversor D/A. Desta forma, não será necessário repetir a etapa de autocalibração quando o conversor D/A é novamente inicializado.

e) Controle : A máquina de estados de controle do tráfego das informações no acionamento dos M.O.C.D.s, da escrita e leitura de dados na RAM não-volátil e da etapa digital de contagem do conversor A/D foram implementadas utilizando as facilidades de componentes EPLD (Erasable Programmable Logic Device) da empresa Altera. No apêndice encontra-se a listagem do programa utilizado para a implementação da máquina de estados da figura 4.7.

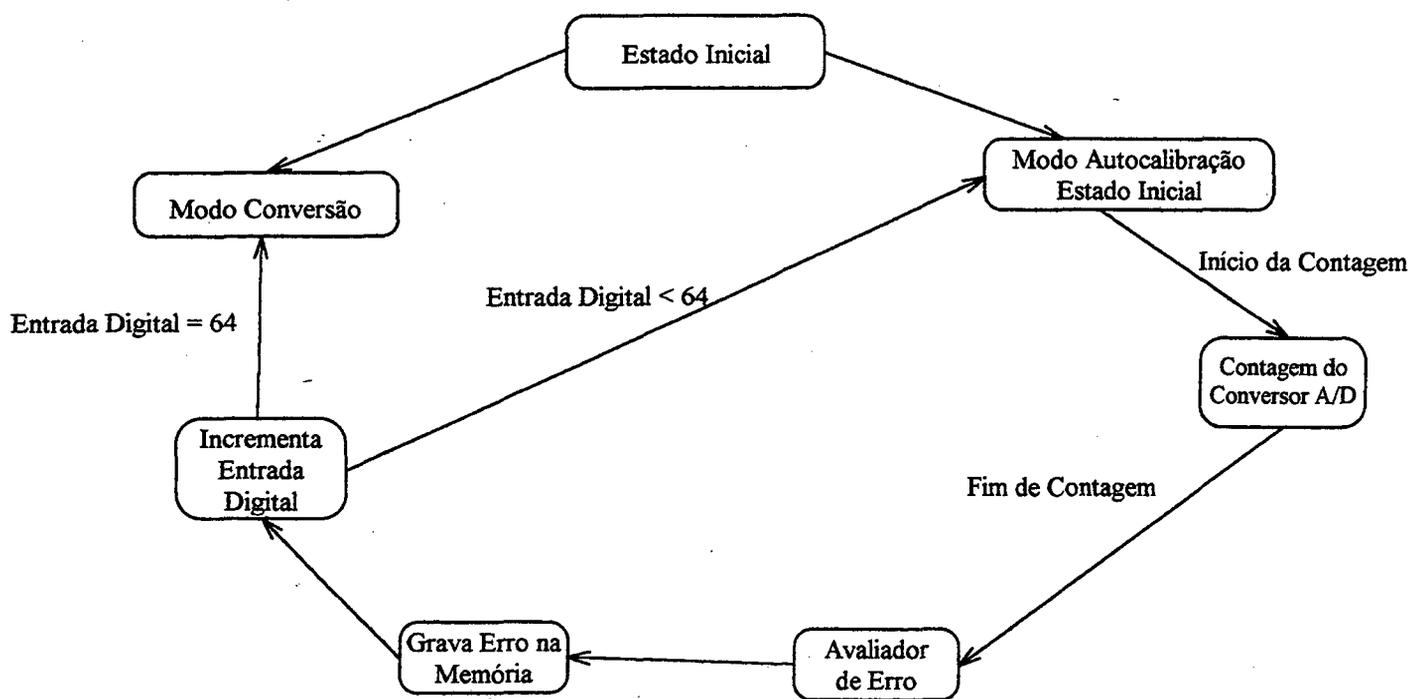


Figura 4.7 - Máquina de Estados do Processo de Autocalibração

O ponto de partida do diagrama acima é o “estado inicial”. Dependendo da opção do usuário, a máquina de estados executa o processo de autocalibração e de conversão do M.O.C.D. principal, ou apenas o processo de conversão.

Estando no modo autocalibração, o algoritmo ilustrado (Fig. 4.7) é processado para cada uma das entradas digitais do conversor D/A. Terminado o modo autocalibração, a

máquina de estados entra automaticamente no modo conversão. Nesta situação, a conversão D/A é feita utilizando as informações de erro armazenadas na etapa de autocalibração.

4.3 - Resultados Experimentais

Antes de iniciar as medições práticas é necessário inicialmente definir alguns parâmetros de referência do sistema. Estabeleceu-se para o sinal de clock a frequência de 1 kHz com o intuito de garantir a estabilização do sinal analógico de saída do conversor D/A. Para estabelecer os parâmetros da rampa (Fig. 4.8) utilizam-se as relações (4.2) e (4.3).

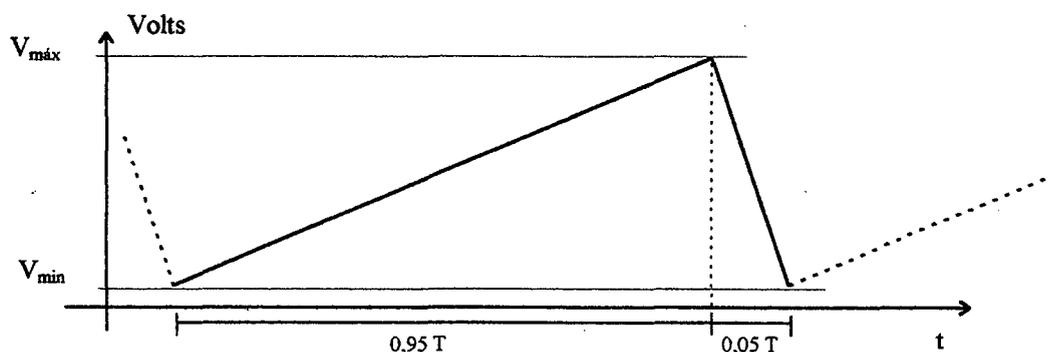


Figura 4.8 - Rampa de Referência

$$\begin{cases} V_{\max} \geq S_{princ}^{111111} \\ V_{\min} \leq S_{princ}^{000000} \end{cases} \quad (4.2)$$

$$0,95T_{rampa} = \frac{T_{clock}}{V_{1/4LSB}} (V_{\max} - V_{\min}) \quad (4.3)$$

onde,

S_{princ}^{111111} - Saída analógica em tensão do M.O.C.D. principal para uma entrada binária

“111111”.

S_{princ}^{000000} - Saída analógica em tensão do M.O.C.D. principal para uma entrada binária

“000000”.

$V_{1/4 \text{ LSB}}$ - Valor analógico equivalente a 1/4 LSB do M.O.C.D. principal.

Medindo a saída do M.O.C.D. principal para as duas situações de entrada acima, define-se $V_{\max} = 4,25 \text{ V}$ e $V_{\min} = -0,25 \text{ V}$. A frequência da rampa neste caso será de 3,29 Hz.

O tempo estimado para o processo de autocalibração é dado pela relação (4.4).

$$T_{\text{autocalibração}} = 2^n T_{\text{rampa}} \quad (4.4)$$

n - resolução do M.O.C.D. principal

No caso do conversor D/A montado o tempo despendido no modo autocalibração está em torno de 20 segundos. O aumento na resolução do conversor D/A acarreta num aumento no tempo de autocalibração. No entanto, este tempo pode ser ajustado através da frequência do clock de entrada.

Após definidos os parâmetros dos sinais de referência(T_{clock} e T_{rampa}) passa-se à medição da rede M.O.C.D. principal. Como o objetivo da montagem consiste em avaliar o comportamento das etapas de conversão e autocalibração do conversor D/A, foi inserida uma descalibração proposital na estrutura do M.O.C.D. principal. Colocando-se uma resistência série em um dos ramos do M.O.C.D. principal, acentua-se o erro de descasamento provocando um funcionamento inadequado para o conversor D/A.

O comportamento do conversor D/A após inserida a descalibração pode ser visualizado pelas Figuras 4.9, 4.10 e 4.11. O erro de ganho e offset da figura 4.9 são respectivamente +0,41% e -3,2 mV.

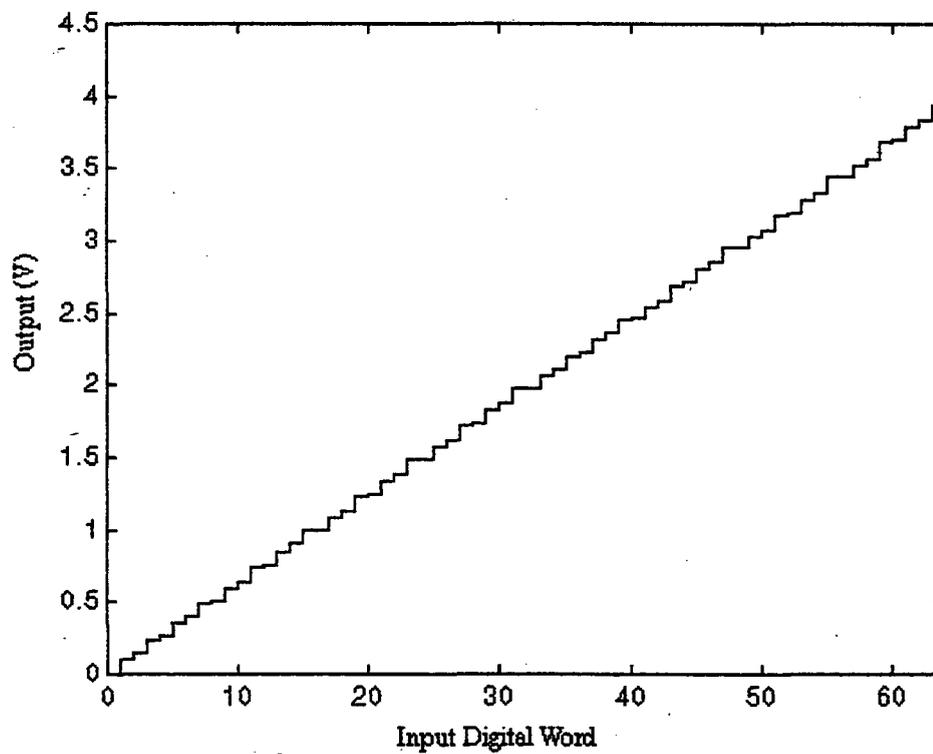


Figura 4.9 - Característica Estática do Conversor D/A Descalibrado

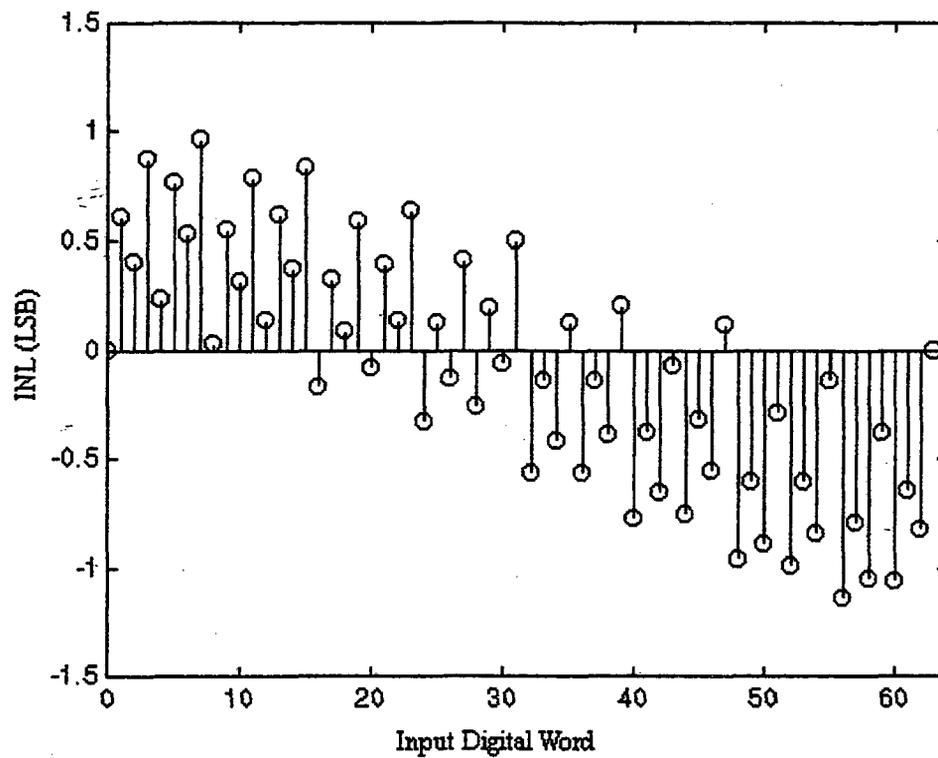


Figura 4.10 - Erro Integral (Conversor D/A Descalibrado)

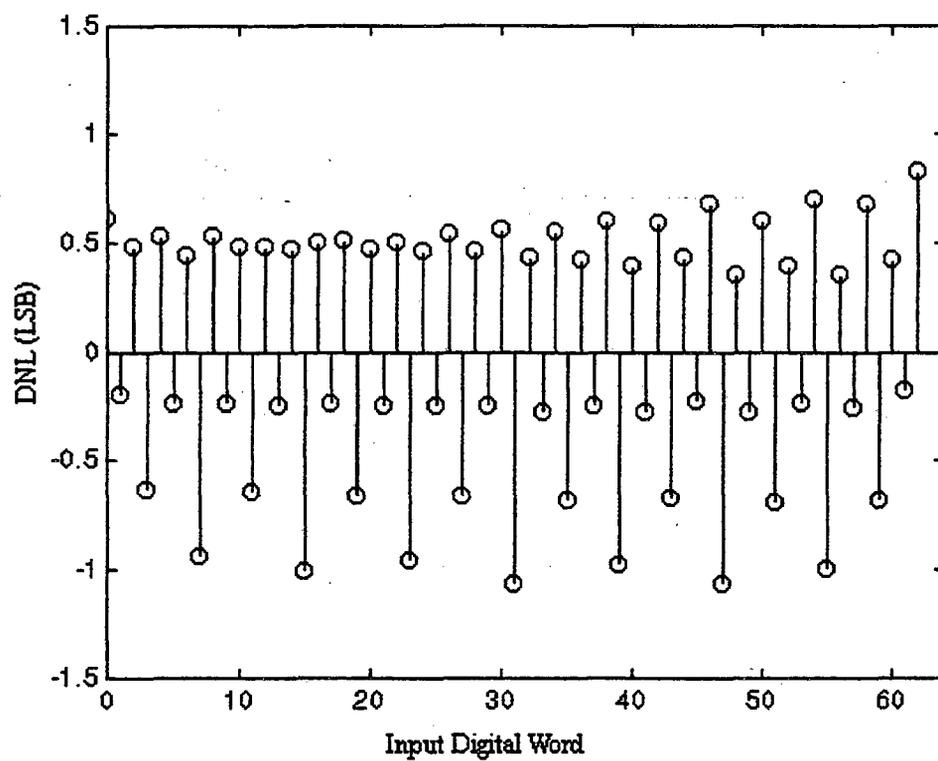


Figura 4.11 - Erro Diferencial (Conversor D/A Descalibrado)

A característica DNL do conversor D/A descalibrado (figura 4.11) mostra um comportamento próximo à não monotonicidade ($DNL < -1$ LSB). O erro integral varia entre os limites de $+1$ LSB e -1 LSB ao longo da característica estática. Uma característica importante do conversor D/A implementado é a grande influência do bit mais significativo da palavra de entrada sobre o erro integral. A transição deste bit do nível lógico zero para nível lógico um acarreta um deslocamento do erro integral de valores na maioria positivos para valores essencialmente negativos (figura 4.10).

O comportamento avaliado deste conversor D/A não é satisfatório. Aplicando a etapa de autocalibração sobre o M.O.C.D. principal, o conversor D/A passa a ter a característica mostrada nas figuras 4.12, 4.13 e 4.14.

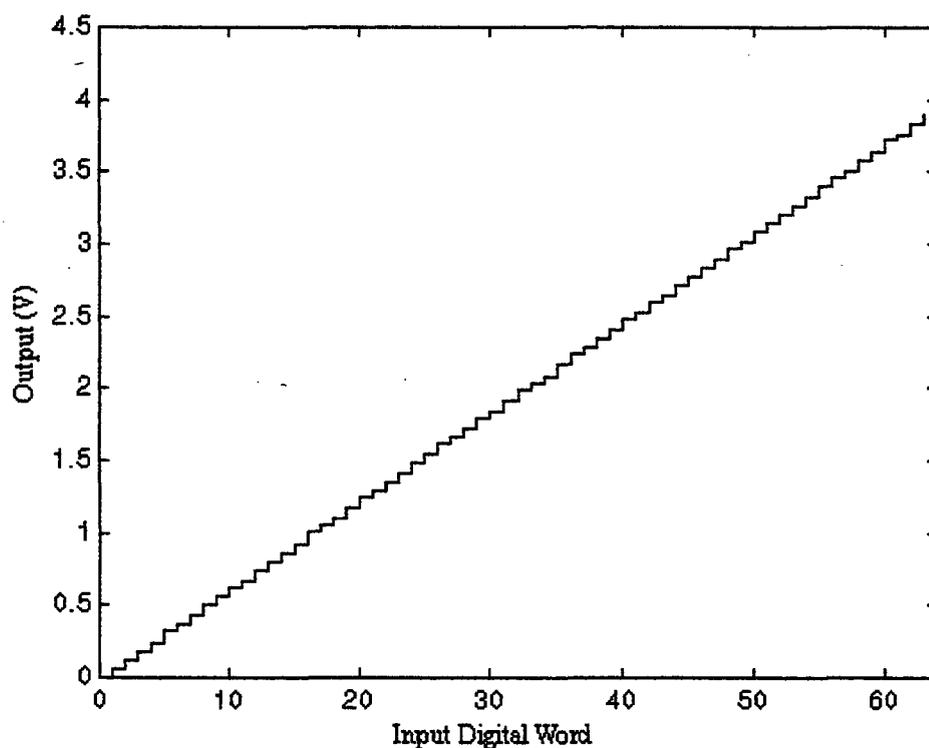


Figura 4.12 - Característica Estática do Conversor D/A Calibrado

Após a autocalibração, o erro de ganho é de $-0,63$ % e o offset de $-3,3$ mV. Comparando o erro de ganho e offset na situação antes e depois da autocalibração verificou-

se um aumento em módulo. Os erro de ganho e offset são facilmente corrigidos através de ajustes no início e fim da curva estática do conversor D/A. A maior preocupação está na redução dos erros integral e diferencial.

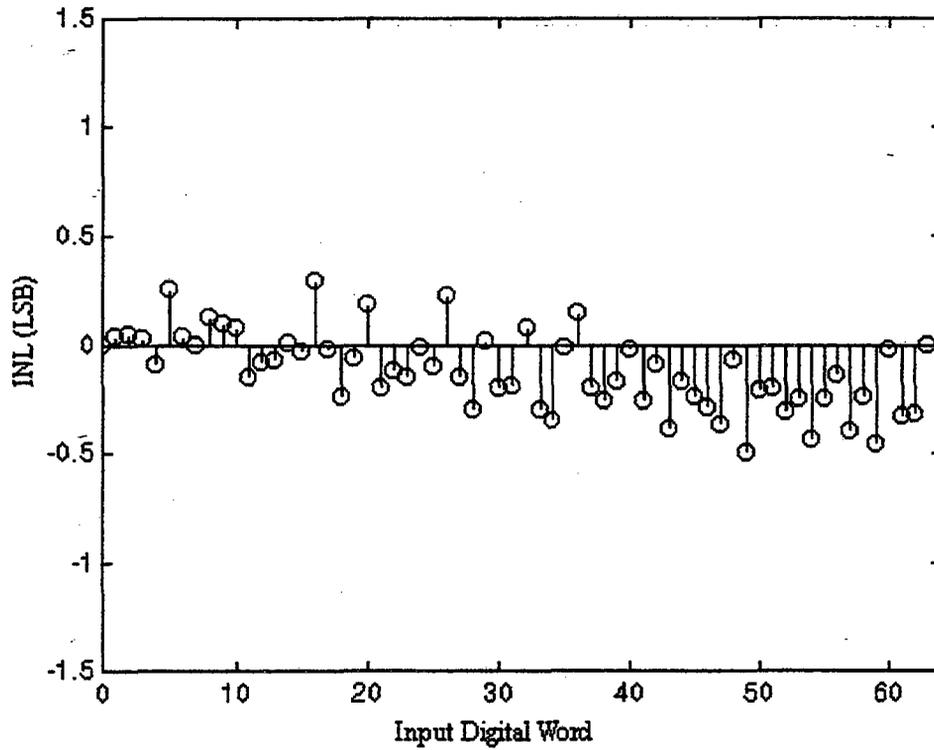


Figura 4.13 - Erro Integral (Conversor D/A Calibrado)

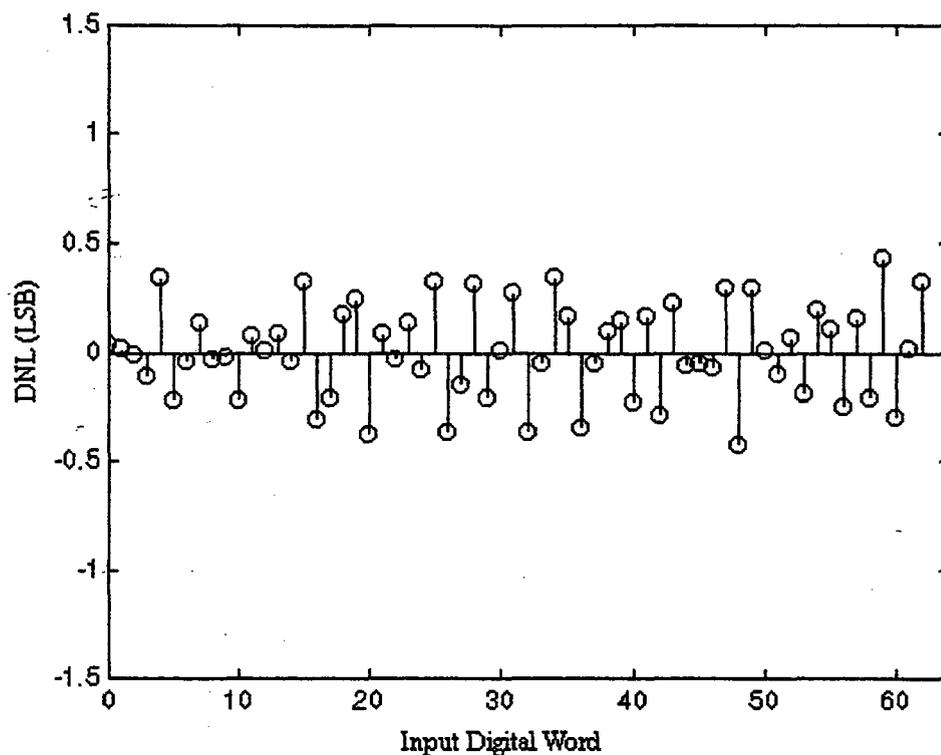


Figura 4.14 - Erro Diferencial (Conversor D/A Calibrado)

Comparando as características do erro de linearidade (integral e diferencial) antes e depois do processo de autocalibração, verificou-se uma melhora na característica estática do conversor. O erro integral passou a não ter uma dependência forte do bit mais significativo. Os valores do erro integral passaram a ser predominantemente negativos.

Assim como no erro integral, o erro diferencial ficou restrito à faixa de $\pm 1/2$ LSB. A curva estática do conversor D/A autocalibrado tem uma característica garantidamente monotônica. Pelas características do conversor D/A mostradas, verifica-se que foi atingida a condição de funcionamento satisfatório.

Após o processo de autocalibração o conversor D/A passou a ter um comportamento qualitativamente melhor, verificado pela redução dos erros integral e diferencial. No entanto, a continuidade no aprimoramento deste processo deve ser efetuada,

amentando, a resolução do conversor D/A implementado. Com isto, elimina-se a inserção de uma descalibração proposital para a análise do processo de autocalibração. O uso de duas redes M.O.C.D. auxiliares na correção dos erros da rede principal pode ser substituído por uma única rede auxiliar. Na situação atual, durante o modo de conversão, uma das redes M.O.C.D. auxiliar está inativa enquanto a outra efetua a correção do erro. O uso de uma rede auxiliar torna o processo de autocalibração mais eficiente. Estes aspectos do conversor D/A autocalibrado podem ser aprimorados de forma a culminar no futuro num protótipo integrado.

CAPÍTULO 5 - CONCLUSÕES

Os conversores D/A integrados apresentam na sua estrutura circuitos divisores de uma grandeza elétrica de referência (Corrente, Carga ou Tensão). A precisão do processo de divisão da grandeza de referência depende de uma série de fatores onde pode-se destacar o casamento entre componentes como um dos principais. Estes fatores limitam a máxima resolução alcançada pelo conversor D/A.

Foi proposta, neste trabalho, uma estrutura de correção dos erros de linearidade na divisão da corrente de referência numa rede M.O.C.D.. A estrutura de correção é facilmente integrável utilizando uma técnica "semicustom". Foi montado um conversor D/A autocalibrado de 6 bits. Como o M.O.C.D. garante uma resolução de 6 bits, um descasamento proposital foi inserido visando avaliar a técnica de calibração proposta. O sistema concebido de avaliação e correção dos erros da rede M.O.C.D. mostrou a redução dos erros integral e diferencial para a faixa de $\pm 1/2$ LSB na etapa de implementação. Conseguiu-se validar o processo de autocalibração utilizando a rede M.O.C.D. integrada e diversos componentes discretos auxiliares.

O uso de componentes logicamente programáveis (EPLD - Erasable Programmable Logic Device) para a implementação do circuito digital de controle do processo de calibração foi de grande importância. A depuração das etapas do projeto digital torna-se mais rápida pois qualquer modificação na estrutura é facilmente efetuada.

A continuidade no desenvolvimento de um protótipo com uma maior resolução e melhoramentos na arquitetura de autocalibração é uma sugestão para trabalhos futuros. O uso de uma rede M.O.C.D. com maior resolução (10 bits) evita a inserção de uma descalibração proposital.

Durante a etapa de conversão utilizou-se duas redes M.O.C.D. auxiliares. Quando uma das redes está em atividade de correção a outra permanece inativa. Sugere-se o uso de uma única rede auxiliar com uma estrutura de chaveamento da corrente de referência que permita os sentidos positivo e negativo da corrente de saída. Assim, economiza-se área ao eliminar um dos M.O.C.D. auxiliar e ao reduzir a quantidade de informação armazenada em memória.

REFERÊNCIA BIBLIOGRÁFICA

- [1] - Geiger, R. L., Allen, P. E. and Strader, N. R.; VLSI Design Techniques for Analog and Digital Circuits; Mc Graw Hill, 1990.
- [2] - Tsividis, Y. P., Operation and Modeling of the MOS Transistor, Mc Graw Hill; New York, 1987.
- [3] - Analog-Digital Conversion Handbook, Analog Devices, Prentice Hall, 3ª edição, 1986.
- [4] - Plassche, R. van de, Integrated Analog-to-Digital and Digital-to-Analog Converters, Kluwer Academic Publishers; Dordrecht, Holanda; 1994.
- [5] - Grebene, A. B., Bipolar and MOS Analog Integrated Circuit Design, Wiley-Interscience Publication, 1984.
- [6] - Gonçalves, R. T., Aplicações de Rede MOS Divisora de Corrente em Circuitos Integrados Analógicos Programáveis, Dissertação de Mestrado, Circuitos e Instrumentação Eletrônica, UFSC, 1994.
- [7] - Maio, K., Hotta, M., Yokozawa, N., Nagata, M., Kaneko, K. e Iwasaki, T., An Untrimmed D/A Converter with 14-Bit Resolution, IEEE Journal of Solid-State Circuits, vol. SC-16, no. 6, pp. 616-621, December 1981.
- [8] - Groeneveld, D. W. J., Schouwenaars, H. J., Termeer, H. A. H. e Bastiaansen, C. A. A.; A Self-Calibration Technique for Monolithic High-Resolution D/A Converters, IEEE Journal of Solid-State Circuits, vol. 24, no. 6, pp. 1517-1522, December 1989.
- [9] - Manoli, Y., A Self-Calibration Method for Fast High-Resolution A/D and D/A Converters', IEEE Journal of Solid-State Circuits, vol. 24, no. 3, pp. 603-608, June 1989.
- [10] - Jespers, P. L., Integrated D/A and A/D Converters, Proc. da II Escola Brasileira de Microeletrônica, Gramado, RS, Março 1992.
- [11] - Bult, K. and Geelen, G. J. G. M., An Inherently Linear and Compact MOST-Only Current Division Technique, IEEE J. of Solid-State Circuits, vol. 27, no. 12, pp. 1730-1735, December 1992.

- [12] - Haan, P. E.; Elshout, V. D.; Klumperink, E. A. M. and Bult, K.; Analysis of a Current Mode MOST-Only D-A Converter, Proc. of the European Solid-State Conference, Ulm, Germany, pp. 188-191, September 1994.
- [13] - Naylor, J., Testing Digital/Analog and Analog/Digital Converters, IEEE Transactions on Circuits and Systems, vol. 25, no. 7, July 1978.
- [14] - Montoro, C. G.; Schneider, M. C.; Loss, I. J. B.; Series-Parallel Association of FET's for High Gain and High Frequency Applications; IEEE Journal of Solid-State Circuits, vol. 29, n° 9, Setembro de 1994.
- [15] - Haan, P. E.; Analog Circuit Design on Digital Sea-of-Gates Arrays; Tese de Doutorado; Universidade de Twente; September 1995.
- [16] - Razavi, B.; Principles of Data Conversion System Design; IEEE Press; Piscataway, NJ; 1995.
- [17] - Maly, W.; Atlas of IC Technology : An Introduction to VLSI Processes; The Benjamin/ Cummings Company Inc., 1987.
- [18] - Enz, C. C. and Vittoz, E. A.; Low Power Analog CMOS Design; Chapter 1.2 in Emerging Technologies (Eds. R. Cavin and W. Lin); IEEE Press; 1996.
- [19] - Gonçalves, R. T.; Montoro, C. G.; Analog Circuits on a Digital SoT Array; XI Conference of the Brazilian Microelectronics Society, pp. 55-60; July 1996.
- [20] - Ferreira, R. R.; Montoro, C. G.; D/A Self-Calibrating Converter using a MOSFET-Only Current Divider; XI Conference of Brazilian Microelectronics Society, pp. 43-48; July 1996.
- [21] - EPF8452ALC84-4; Família FLEX 8000; Altera's EPLD Data Book; San Jose, CA; 1995.
- [22] - X20C04D-20; RAM Não Volátil; XICOR's Data Book; Milpitas, CA; 1995.
- [23] - Vittoz, E. A., "Analog Layout Techniques", Advanced Engineering Course on CMOS & BiCMOS IC, Lausanne (EPFL), Switzerland, September 1995.

APÊNDICE

LISTAGEM DO PROGRAMA EM AHDL

```

SUBDESIGN controle
(
  auto, clkpr, compar, reset, convent[5..0],
  sem_calib, fim_leit                               : INPUT;
  calibracao, auxiliar[7..0], principal[5..0]       : OUTPUT;
  /ce, /we, /oe, /ne, endereco[8..0]              : OUTPUT;
  saida[8..0]                                       : OUTPUT;
  dado[7..0]                                         : BIDIR;
)
VARIABLE

  comando                               : TFFE;
  barram[7..0]                           : TRI;
  fimcalib, conttri, est[15..0], cond[9..1],
  ajust[3..0]                             : LCELL;
  contsec[8..0], contpr[8..0], erroint[8..0]       : DFF;
  geral : MACHINE WITH STATES (inicial, auto_inicial,
    auto_contagem, auto_x4, auto_erro, auto_erromax,
    auto_posicerro, auto_memo, auto_incprinc, auto_fim, autostore,
    delay, normal, norm_sem_correc, aux, espera);

BEGIN
%  dado0 = TRI(erroint0.q, conttri);%
%  dado1 = TRI(erroint1.q, conttri);%
%  dado2 = TRI(erroint2.q, conttri);%
%  dado3 = TRI(erroint3.q, conttri);%
%  dado4 = TRI(erroint4.q, conttri);%
%  dado5 = TRI(erroint5.q, conttri);%
%  dado6 = TRI(erroint6.q, conttri);%
%  dado7 = TRI(erroint7.q, conttri);%

comando.ena = est15 # est1 ;
comando.t = VCC;
comando.prn = !est1;
comando.clk = !fim_leit ;

barram[].oe = conttri;
barram[].in = erroint[7..0].q;
dado[] = barram[].out;

saida[] = contsec[].q;

  fimcalib = ((contpr[].q == 64) & est9);
  conttri = (est7 # est10);

  est0 = (geral == inicial);
  est1 = (geral == auto_inicial);
  est2 = (geral == auto_contagem);
  est3 = (geral == auto_x4);
  est4 = (geral == auto_erro);
  est5 = (geral == auto_erromax);

```

```

est6 = (geral == auto_posicerro);
est7 = (geral == auto_memo);
est8 = (geral == auto_incprinc);
est9 = (geral == auto_fim);
est10 = (geral == autostore);
est11 = (geral == delay);
est12 = (geral == normal);
est13 = (geral == norm_sem_correc);
est14 = (geral == aux);
est15 = (geral == espera);

cond[9..4] = ((est1 # est2 # est3 # est7 # est8 # est9 # est15) &
              contpr[5..0].q)#
              ((est4 # est5 # est6) & contpr[7..2].q)#
              ((est12 # est13) & convent[]);
cond1 = (contsec[].q == 511);
cond2 = (contpr[].q >= (contsec[].q - 14 - (0,0,0,0,0,ajust[])));
cond3 = (erroit[.q] > 15);

calibracao = !(est0 # est12 # est13 # est14 # est15);
% cont[] = contsec[];%
auxiliar[] = !((est12 & dado[]) #
               (est14 & (0,0,0,0,convent[3..0]) & !convent5) #
               (est14 & (convent[3..0],0,0,0,0) & convent5));
principal[] = !cond[9..4];
/ce = !(est0 # est7 # est10 # est12 # est15);
/we = (est0 # est11 # est12 # est15);
/oe = !(est12 # est0 # est15);
/ne = !(est0 # est10);
endereco[8..6] = (est10 & contsec[8..6].q);
endereco[5..0] = cond[9..4] # (est10 & contsec[5..0].q);

geral.reset = reset;

contsec[].clk = clkpr;
contpr[].clk = clkpr;
erroit[.q].clk = clkpr;
geral.clk = clkpr;

contpr[.d] = (((est1 # est2 # est4 # est5 # est7 # est15 #
               est9 # (!cond1 & est11)) & contpr[.q])#
              (est3 & (0, contpr[5..0].q, 0, 0))#
              (est6 & (0, 0, 0, contpr[7..2].q))#
              (est8 & (contpr[.q] + 1))#
              (est11 & cond1 & (contpr[.q] + 1)));
contsec[.d] = (((est0 # (est2 & compar) # est11) & (contsec[.q] + 1))#
              (((est2 & !compar) # est3 # est4 # est5 #
               est6 # est7 # est8 # est10 # est15) & contsec[.q]));
erroit[.d] = (((est5 & !cond3) # (est6 & cond2) # est7 #
              est15 # est8 # est10) & erroit[.q])#
              (est4 & cond2 & (contpr[.q] -
              (contsec[.q] - 14 - (0,0,0,0,0,ajust[]))))#
              (est4 & !cond2 & (-contpr[.q] +
              (contsec[.q] - 14 - (0,0,0,0,0,ajust[]))))#
              (est5 & cond3 & 15)#
              (est6 & !cond2 & (0, erroit[3..0].q, 0, 0, 0, 0)));

```

TABLE

contpr[7..2]	=>	ajust[3..0];
0	=>	0;
1	=>	1;
2	=>	1;
3	=>	1;

4	=>	1;
5	=>	2;
6	=>	2;
7	=>	2;
8	=>	2;
9	=>	2;
10	=>	3;
11	=>	3;
12	=>	3;
13	=>	3;
14	=>	3;
15	=>	4;
16	=>	4;
17	=>	4;
18	=>	4;
19	=>	4;
20	=>	5;
21	=>	5;
22	=>	5;
23	=>	5;
24	=>	5;
25	=>	6;
26	=>	6;
27	=>	6;
28	=>	6;
29	=>	6;
30	=>	7;
31	=>	7;
32	=>	7;
33	=>	7;
34	=>	7;
35	=>	8;
36	=>	8;
37	=>	8;
38	=>	8;
39	=>	8;
40	=>	9;
41	=>	9;
42	=>	9;
43	=>	9;
44	=>	9;
45	=>	10;
46	=>	10;
47	=>	10;
48	=>	10;
49	=>	10;
50	=>	11;
51	=>	11;
52	=>	11;
53	=>	11;
54	=>	11;
55	=>	12;
56	=>	12;
57	=>	12;
58	=>	12;
59	=>	12;
60	=>	13;
61	=>	13;
62	=>	14;
63	=>	14;

END TABLE;

CASE geral IS
WHEN inicial =>
IF contsec[.q] > 10 THEN

```

        IF auto & sem_calib THEN
            geral = aux;
        ELSIF auto & !sem_calib THEN
            geral = auto_inicial;
        ELSIF !auto & !sem_calib THEN
            geral = normal;
        ELSIF !auto & sem_calib THEN
            geral = norm_sem_correc;
        END IF;
    END IF;
    WHEN auto_inicial =>
        IF compar THEN
            geral = auto_inicial;
        ELSE
            geral = auto_contagem;
        END IF;
    WHEN auto_contagem =>
        IF (contsec[[]].q != 0) AND (!compar) THEN
            geral = auto_x4;
        END IF;
    WHEN auto_x4 =>
        geral = auto_erro;
    WHEN auto_erro =>
        geral = auto_erromax;
    WHEN auto_erromax =>
        geral = auto_posicerro;
    WHEN auto_posicerro =>
        geral = auto_memo;
    WHEN auto_memo =>
        geral = auto_incprinc;
    WHEN espera =>
        IF !comando.q THEN
            geral = auto_incprinc;
        END IF;
    WHEN auto_incprinc =>
        geral = auto_fim;
    WHEN auto_fim =>
        IF !fimcalib THEN
            geral = auto_inicial;
        ELSE
            geral = normal;
        END IF;
    WHEN autostore =>
        geral = delay;
    WHEN delay =>
        IF (contpr[[]].q == 2) THEN
            geral = normal;
        END IF;
    WHEN normal =>
        geral = normal;
    WHEN norm_sem_correc =>
        geral = norm_sem_correc;
    WHEN aux =>
        geral = aux;
    WHEN OTHERS =>
        geral = inicial;
    END CASE;
END;

```