

UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

INVERSOR MONOFÁSICO COM MODULAÇÃO PWM OTIMIZADA A TRÊS NÍVEIS

DISSERTAÇÃO SUBMETIDA À UNIVERSIDADE FEDERAL DE SANTA
CATARINA PARA OBTENÇÃO DO GRAU DE MESTRE EM ENGENHARIA ELÉTRICA

HERNAN JALDIN FLORERO

FLORIANÓPOLIS, ABRIL DE 1989

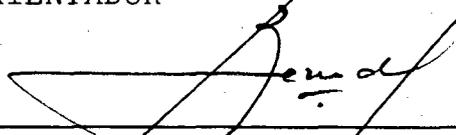
INVERSOR MONOFÁSICO COM MODULAÇÃO PWM OTIMIZADA A TRÊS NÍVEIS

HERNAN JALDIN FLORERO

ESTA DISSERTAÇÃO FOI JULGADA ADEQUADA PARA OBTENÇÃO DO TÍTULO DE MESTRE EM ENGENHARIA, ESPECIALIDADE ENGENHARIA ELÉTRICA E APROVADA EM SUA FORMA FINAL PELO CURSO DE PÓS-GRADUAÇÃO



Prof. Arnaldo José Perin, Dr. Ing.
ORIENTADOR



Prof. José Carlos Moreira Bermudez, Ph.D.
Coordenador do Curso de Pós-Graduação em
Engenharia Elétrica

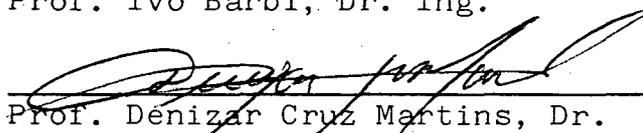
BANCA EXAMINADORA:



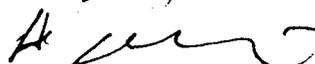
Prof. Arnaldo José Perin, Dr. Ing.



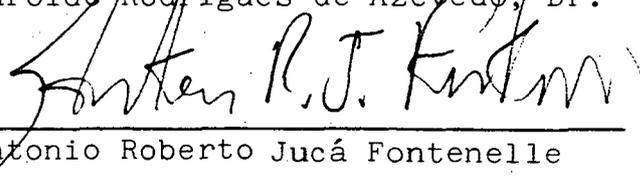
Prof. Ivo Barbi, Dr. Ing.



Prof. Denizar Cruz Martins, Dr.



Prof. Haroldo Rodrigues de Azevedo, Dr.



Eng^o. Antonio Roberto Jucá Fontenelle

À meus Pais

Tomas e Catalina e

aos meus irmãos.

À Maria Cintia, minha esposa
À Natali, minha filha, pela
paciência, carinho e pelo
incentivo.

AGRADECIMENTOS

Ao professor Arnaldo José Perin, pela orientação, amizade e acompanhamento dispensado durante a realização deste trabalho.

Aos meus colegas, amigos e professores, que contribuíram para a realização deste trabalho.

Aos funcionários e técnicos do laboratório de Eletrônica de Potência.

Ao Engenheiro Marco Aurélio de Oliveira, pela ajuda prestada na leitura deste trabalho.

A Universidade Federal de Santa Catarina e a CAPES, pelo apoio financeiro.

A meus Pais e Irmãos, pela compreensão e apoio que sempre demonstraram.

A Cintia, pelo estímulo e carinho.

SUMÁRIO

	Página
SIMBOLOGIA	ix
RESUMO	xiii
ABSTRACT	xiv
INTRODUÇÃO	1
CAPÍTULO I - MODULAÇÃO PWM OTIMIZADA A TRÊS NÍVEIS	6
1.1. Introdução	6
1.2. Modulação Otimizeada com Eliminação de Harmônicos ..	7
1.2.1. Modulação Otimizeada a Dois Níveis	7
1.2.2. Modulação Otimizeada a Três Níveis	10
1.3. Modulação por Largura de Pulso Obtida a Partir da Diferença de Duas Ondas Otimizeadas a Dois Níveis ..	12
1.4. Conclusões	15
CAPÍTULO II - CIRCUITO LÓGICO DE COMANDO DA MODULAÇÃO PWM	17
2.1. Introdução	17
2.2. Otimizeação dos Padrões	18
2.3. Armazenamento dos Padrões	18
2.4. Circuito de Leitura dos Padrões	21
2.5. Geração de Tempos Mortos e Eliminação do Tempo de Acesso das Memórias	24
2.6. Diagrama Completo do Circuito de Comando Lógico ...	27
2.7. Conclusões	27
CAPÍTULO III - CIRCUITO DE COMANDO DOS INTERRUPTORES; ISO- LAMENTO E PROTEÇÃO	29
3.1. Introdução	29

3.2. Interruptores do Inversor	30
3.3. Características de Comando	31
3.4. Isolamento	32
3.5. Diagrama de Blocos do Circuito de Comando	34
3.6. Proteção Contra Sobrecorrentes	37
3.6.1. Proteção com Comparador	38
3.6.2. Proteção Usando o Strobe do Comparador	41
3.7. Resultados Obtidos nos Circuitos de Comando	43
3.8. Conclusões	46
CAPÍTULO IV - CIRCUITO DE POTÊNCIA	48
4.1. Introdução	48
4.2. Princípio de Funcionamento do Inversor	48
4.3. Soluções Propostas para os Problemas Encontrados na Montagem Devido ao Diodo Intrínseco do MOSFET .	51
4.4. Circuito de Ajuda a Comutação	52
4.4.1. Análise do Inversor com Circuito Grampeador	53
4.4.2. Cálculo dos Componentes do Circuito de Aju- da a Comutação	57
4.5. Filtro de Saída do Inversor	60
4.5.1. Resposta em Freqüência	61
4.5.2. Efeitos de L e C no Filtro LC Simples	64
4.5.2.1. Influência do Capacitor sobre a Corrente do Inversor	65
4.5.2.2. Regulagem de Tensão	67
4.5.2.3. Cálculo para Harmônicos de Ordem n	69
4.5.2.4. Exemplo de Cálculo do Filtro	72
4.6. Transformador de Tensão do Inversor	74
4.7. Cálculo Térmico para os Interruptores	78

4.7.1. Perdas por Condução	78
4.7.2. Perdas de Chaveamento	79
4.7.3. Perdas no Gate	79
4.7.4. Perdas em Bloqueio	80
4.8. Cálculo de Componentes do Circuito de Ajuda a Co- mutação	81
4.9. Funcionamento do Inversor com Modulação	82
4.10. Conclusões	86
CAPÍTULO V - REGULAÇÃO	87
5.1. Introdução	87
5.2. Circuito Utilizado	88
5.2.1. Geração da Tensão de Referência	89
5.2.2. Obtenção do Erro	93
5.2.3. Obtenção de Sinais Digitais a partir do Erro	93
5.3. Conclusões	96
CAPÍTULO VI - RESULTADOS EXPERIMENTAIS	100
6.1. Introdução	100
6.2. Resultados Obtidos	101
6.3. Verificação Experimental do Desempenho do Filtro..	106
6.4. Funcionamento em Malha Fechada	108
6.5. Conclusões	108
CONCLUSÕES	110
REFERÊNCIAS BIBLIOGRÁFICAS	112

SIMBOLOGIA

a_n, b_n, c_n	- Coeficiente da série de Fourier
CA	- Capacitor de ajuda a comutação
CD	- Capacitor de desacoplamento de indutâncias parasitas
CI	- Capacitor intrínseco do fotoacoplador
CLK	- Relógio do circuito de comando
C1	- Capacitor de filtro
DC_1, DC_2, DC_3, DC_4	- Diodo do circuito de ajuda a comutação (Para a carga de CA)
DI_1, DI_2, DI_3, DI_4	- Diodo intrínseco do transistor MOSFET
E	- Tensão contínua não regulada
ϵ	- Erro relativo
f	- Frequência
FD	- Fotodiodo do circuito de comando
FF	- Flip-flops do circuito de comando lógico
FT	- Fototransistor do circuito de comando
I_C	- Corrente no capacitor do filtro
I_D	- Corrente de dreno do MOSFET
I_{Def}	- Corrente eficaz do dreno
I_L	- Corrente na carga
$I_{L1}, I_{L2}, I_{L3}, I_{L4}$	- Corrente no indutor do circuito de ajuda a comutação
$I_{L_{max}}$	- Corrente máxima na carga
I_{Pef}	- Corrente máxima eficaz do transformador
I_R	- Corrente reversa do diodo intrínseco do

MOSFET

L	- Indutor do filtro
L_L	- Indutância de carga
L_p	- Indutância parasita
L_1, L_2, L_3, L_4	- Indutores do circuito de ajuda a comutação
M_1, M_2, M_3, M_4	- Transistores MOSFET do inversor
n	- Número de harmônicos
N	- Relação de transformação do transformador
N_p	- Número de pulsos em meio período da forma da onda do comando do inversor
p	- Parâmetro
P	- Potência do inversor
P_1, P_2, \dots	- Potenciômetros
P_c	- Perdas em condução
P_{CH}	- Perdas de chaveamento
P_G	- Perdas no Gate
P_{GC}	- Potência dissipada no circuito de comando
P_{off}	- Perdas em bloqueio
P_R	- Potência dissipada no resistor
P_T	- Perdas totais no MOSFET
Q_1, Q_2	- Bits da palavra da memória (Byte)
Q_G	- Carga armazenada nas capacitâncias da gate
Q_R	- Carga armazenada na capacitância intrínseca da função no diodo
R_{DS}	- Resistência dreno-source em condução
R_G	- Resistência interna de gate

R_L	- Resistência de carga
$R_{\theta CD}$	- Resistência térmica cápsula-dissipador
$R_{\theta DA}$	- Resistência térmica dissipador-ambiente
$R_{\theta JA}$	- Resistência térmica junção-ambiente
$R_{\theta JC}$	- Resistência térmica junção-cápsula
T	- Período
T_A	- Temperatura ambiente
t_f	- Tempo de descida
T_J	- Temperatura de junção
t_r	- Tempo de subida
T_1, T_2	- Transistor de sinal do circuito de comando
U	- Freqüência normalizada
V_{cc}	- Tensão contínua regulada
V_c	- Tensão no capacitor do circuito de ajuda a comutação
V_D	- Tensão direta do diodo
V_{DS}	- Tensão dreno source
V_{ef}	- Tensão eficaz na saída do inversor
V_{GS}	- Tensão gate-source
V_i	- Sinal de entrada ao circuito de comando
V_L	- Tensão de carga
V_p	- Tensão primária do transformador
V_{REF}	- Tensão de referência
V_S	- Tensão secundário do transformador
X_C	- Reactância capacitiva
X_L	- Reactância indutiva
Z	- Impedância
Z_L	- Impedância de carga

W	- Energia
w	- Freqüência angular
ω_0	- Freqüência angular de ressonância
ωt	- Freqüência do sinal a ser analisada
α	- Ângulo de comutação
δ	- Fator de amortecimento
ϕ	- Ângulo de fator de potência de carga
θ	- Ângulo de defasamento

RESUMO

Este trabalho consiste do estudo e realização de um inversor monofásico de tensão e de um sistema de comando, para os interruptores, com modulação por largura de pulso (PWM) otimizada à três níveis. A tensão de saída do inversor deve ser constante, independentemente das variações da carga e da tensão de alimentação. A regulação é feita através da escolha apropriada de padrões armazenados em memórias EPROM, previamente calculados de modo a otimizar o espectro harmônico da tensão de saída do inversor. Com o auxílio de um circuito lógico lê-se os padrões, estabelecendo-se tempos mortos entre as comutações dos interruptores. Cabe ao circuito de regulação e controle a escolha do padrão adequado, através do erro instantâneo resultante da comparação da tensão na carga com uma tensão senoidal de referência.

Apresentam-se estudos dos circuitos de comando isolados dos interruptores, e do filtro necessário para eliminar os harmônicos resultantes na saída do inversor.

Realizou-se um protótipo de 300VA e apresentam-se os principais resultados experimentais.

ABSTRACT

This work is concerned with the investigation and realization of a Single-Phase Voltage inverter and its drive circuit. The three-level optimal pulse width modulation is used. The inverter output voltage should be constant, no matter how load and source voltage vary. The regulation is based on the appropriate selection of patterns, which are stored in EPROM. These patterns are previously calculated in order to optimize the spectrum of low order harmonics present in the inverter output voltage. The patterns are read with the aid of a logic circuit, and time dead bands between commutations are fixed. The regulation and control circuit selects an adequate pattern by the instantaneous error, which results from the comparison between load voltage and a sinusoidal reference voltage.

Studies concerning the isolation of the inverter drive circuit from the power circuit as well as the investigation of output filters to eliminate harmonics are presented. A 300VA prototype has been built and some experimental results obtained with it are also shown.

INTRODUÇÃO

Muitos sistemas necessitam de uma tensão alternada senoidal obtida através de inversores de tensão contínua/alternada.

É utilizado neste trabalho um inversor monofásico na configuração em ponte completa como o mostrado na figura I.1.

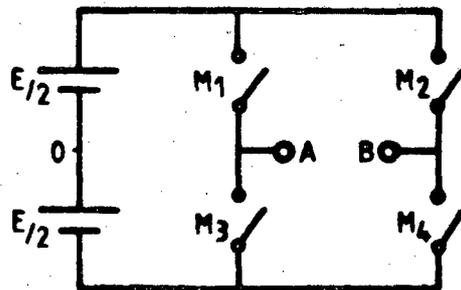


FIGURA I.1 - Inversor monofásico em ponte.

Os inversores de tensão são conversores estáticos com controle dos níveis de tensão e frequência na saída. As principais aplicações são: acionamento de máquinas elétricas de corrente alternada, sistemas de alimentação ininterrupta de energia em tensão alternada, aquecimento indutivo e fontes chaveadas.

O conteúdo harmônico da tensão de saída de um inversor dependerá do tipo de modulação usada no comando.

A modulação com um pulso como mostrada na figura I.2 introduz harmônicos com amplitudes altas em relação a da componente fundamental.

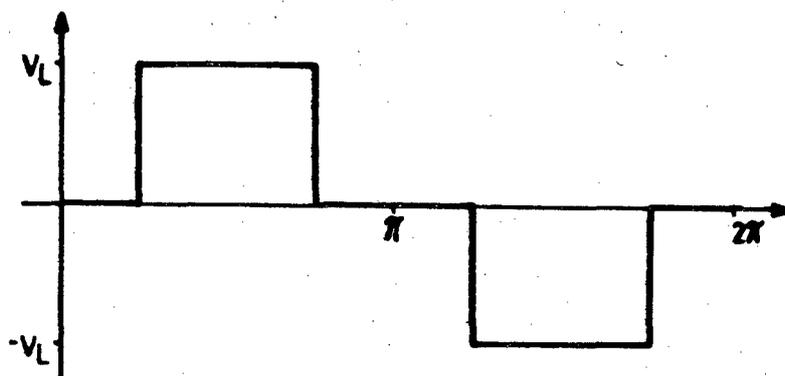


FIGURA I.2 - Tensão da saída do inversor (V_L), para modulação com um pulso variável.

Diminuindo-se a largura do pulso, aumenta-se a amplitude dos harmônicos em relação à fundamental. Se a largura de pulso for muito pequena, a taxa de distorção harmônica é maior que a componente fundamental.

A modulação por largura de pulsos múltiplos, iguais entre si, é mostrada na figura I.3. O conteúdo harmônico da tensão de saída pode ser reduzido para a região do espectro harmônico de baixa frequência, usando-se diversos pulsos para cada meio período de modulação.

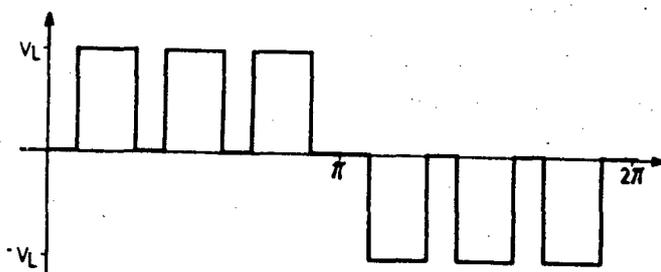


FIGURA I.3 - Tensão de saída do inversor para modulação com múltiplos pulsos.

Quanto maior for o número de pulsos por período maior será a diminuição das amplitudes dos harmônicos de baixa ordem. Por outro lado, ocorre um aumento das amplitudes dos harmônicos de ordem elevada, que, no entanto, são facilmente filtrados.

A modulação por largura de pulso senoidal é usada para reduzir os harmônicos da tensão de saída do inversor. Uma onda senoidal de referência comparada com uma onda triangular determina os ângulos de comutação dos interruptores do inversor. Esta modulação é bastante utilizada nos inversores comerciais e é normalmente implementada com circuitos analógicos. Para um grande número de pulsos este tipo de modulação não prevê uma restrição quanto ao tempo mínimo entre dois ângulos de comutação, que poderia não ser realizável na prática. Além disto, a modulação PWM senoidal ainda tem a presença de harmônicos de baixa ordem, que exigem filtros com frequência de corte próximos à fundamental.

A evolução contínua dos interruptores de potência, junto com microprocessadores de processamento mais rápido e memórias de menor custo tem possibilitado a implementação prática de técnicas de modulação por largura de pulso otimizada.

A modulação por largura de pulso otimizada (PWM otimizada) passou a ser estudada, recentemente, por permitir a eliminação de harmônicos, além de regular a componente fundamental na saída do inversor.

Este trabalho foi desenvolvido com o objetivo de obter um protótipo de laboratório de um inversor com saída senoidal, com o mínimo de harmônicos, usando um comando que permita otimizar o espectro de frequência.

Procurou-se soluções para usar um grande número de pulsos

por período a fim de minimizar grande número de harmônicos de baixa ordem, aproveitando-se a rapidez dos interruptores Mosfet atualmente disponíveis no mercado. Por outro lado, para obter uma regulação mais fina (0,2% de padrão a padrão), pensou-se em utilizar memórias, onde seriam gravadas um grande número de padrões (256) previamente otimizados.

A regulação de tensão na carga normalmente é feita através da comparação entre uma tensão contínua, equivalente ao valor eficaz da tensão na carga, e uma tensão de referência contínua. A tensão contínua equivalente ao valor eficaz da tensão na carga, obtida através de um retificador com filtro LC na saída, provoca atrasos que afetam muito a rapidez do regulador.

Um dos principais objetivos deste trabalho foi o de encontrar uma solução para evitar este atraso. Foi proposto, então, o estudo e a implementação de um regulador através da comparação da tensão de carga com uma tensão de referência senoidal.

Assim, no primeiro capítulo deste trabalho, faz-se um estudo dos tipos de modulação otimizadas. Com a avaliação das vantagens apresentadas para os tipos de modulação estudadas, define-se a modulação a ser usada.

No segundo capítulo introduz-se o método de cálculo dos instantes de comutação que serão gravados em memórias EPROM. Neste mesmo capítulo é desenvolvido um circuito de comando lógico que, além de ler as memórias, introduz tempos mortos.

Desenvolve-se no terceiro capítulo, um circuito de comando de gate com as características ótimas desejadas para um bom comando dos transistores MOSFET, que são usados como interruptores do inversor.

No quarto capítulo é dimensionado um inversor monofásico. Estuda-se e implementa-se um circuito de ajuda a comutação para os interruptores do inversor. Na saída do inversor é implementado um filtro LC para eliminar os harmônicos existentes. Além disto a tensão de saída do inversor é elevada à tensão comercial de 110V, através de um transformador.

Desenvolve-se, no quinto capítulo, um circuito de regulação que regula o valor eficaz da tensão de saída do inversor com grande rapidez.

No último capítulo são apresentados os resultados experimentais obtidos a partir da implementação de um protótipo de 300VA.

CAPÍTULO I

MODULAÇÃO PWM OTIMIZADA A TRÊS NÍVEIS

1.1. Introdução

Apresenta-se neste capítulo uma modulação PWM otimizada com três níveis de tensão na carga (positiva, zero e negativa) que apresenta algumas vantagens em relação a modulação a dois níveis (positiva e negativa).

A modulação por largura de pulso (PWM) otimizada conhecida desde a década passada é estudada por permitir a minimização de harmônicos e regular a componente fundamental na saída do inversor.

Esta modulação passou a ser utilizada em conversores comerciais de última geração, devido à evolução contínua dos interruptores de potência, memórias de menor custo e as facilidades cada vez maiores oferecidas pelos circuitos digitais e microprocessadores atualmente com processamento mais rápido.

1.2. Modulação Otimizada com Eliminação de Harmônicos^{7, 18, 19 e}

22

Esta modulação consiste na obtenção da fundamental da tensão ou corrente na carga, através da escolha apropriada dos instantes de comutação, de modo a minimizar a amplitude de um certo número de harmônicos. Este tipo de modulação é obtida observando-se certas restrições. As simetrias de quarto de onda e de meia onda são imprescindíveis. A modulação otimizada pode ser a dois (2) níveis ou a três (3) níveis.

1.2.1. Modulação Otimizada a Dois Níveis

Seja a forma de onda da figura 1.1.

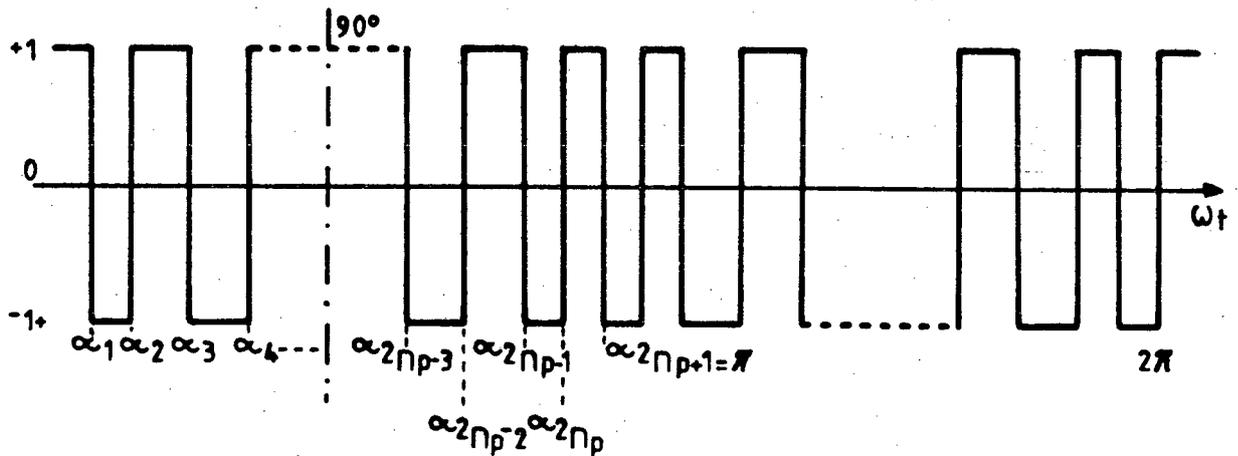


FIGURA 1.1 - Modulação otimizada a dois níveis.

A forma de onda da figura 1.1 apresenta as simetrias mencionadas anteriormente, ou seja:

$$f(\omega t) = -f(-\omega t) \quad \text{onda completa ímpar} \quad (1.1)$$

$$f(\omega t \pm \pi) = -f(\omega t) \quad \text{meia onda} \quad (1.2)$$

A função $f(\omega t)$ pode ser representada em termos de série de

Fourier por:

$$f(\omega t) = \sum_{n=1}^{\infty} [a_n \sin(n\omega t) + b_n \cos(n\omega t)] \quad (1.3)$$

onde

$$a_n = \frac{1}{\pi} \int_0^{2\pi} f(\omega t) \sin(n\omega t) d(\omega t) \quad (1.4)$$

$$b_n = \frac{1}{\pi} \int_0^{2\pi} f(\omega t) \cos(n\omega t) d(\omega t) \quad (1.5)$$

Através da propriedade de simetria de meia onda, $a_n = 0$ e $b_n = 0$ para todo n par. Por outro lado $b_n = 0$ para todo n por propriedade da simetria de quarto de onda, ou seja, só existem harmônicos ímpares.

Como existe simetria de meia onda, basta integrar meio período, obtendo-se a equação (1.6):

$$a_n = \frac{2}{\pi} \int_0^{\pi} f(\omega t) \sin(n\omega t) d(\omega t) \quad (1.6)$$

A forma de onda da figura (1.1) pode ser representada em termos de série de Fourier, onde o coeficiente desta série é dado por:

$$a_n = \frac{2}{\pi} \sum_{K=0}^{2Np} (-1)^K \int_{\alpha_K}^{\alpha_{K+1}} \sin(n\omega t) d(\omega t) \quad (1.7)$$

com $n = 1, 3, 5, \dots$

Onde Np é o número de pulso por meio período de modulação.

Sendo que:

$$\begin{aligned} \alpha_0 &= 0 \\ \alpha_{2Np+1} &= \pi \\ \alpha_0 &< \alpha_1 < \alpha_2 \dots < \alpha_{2Np+1} \end{aligned} \quad (1.8)$$

Resolvendo a integral em (1.7) obtem-se:

$$a_n = \frac{2}{n\pi} \sum_{K=0}^{2Np} (-1)^K [\cos(n\alpha_K) - \cos(n\alpha_{K+1})] \quad (1.9)$$

Reescrevendo a equação (1.9):

$$a_n = \frac{2}{n\pi} [\cos(n\alpha_0) - \cos(n\alpha_{2Np+1}) + \sum_{K=1}^{2Np} (-1)^K \cos(n\alpha_K) - \sum_{K=0}^{2Np-1} (-1)^K \cos(n\alpha_{K+1})] \quad (1.10)$$

mas

$$\sum_{K=0}^{2Np-1} (-1)^K \cos(n\alpha_{K+1}) = \sum_{K=1}^{2Np} (-1)^K \cos(n\alpha_K) \quad (1.11)$$

com

$$\alpha_0 = 0$$

$$\alpha_{2Np+1} = \pi \quad (1.12)$$

Substituindo-se (1.12) e a equação (1.11) em (1.10) obtém-se:

$$a_n = \frac{2}{n\pi} [2 + 2 \sum_{K=1}^{2Np} (-1)^K \cos(n\alpha_K)] \quad (1.13)$$

Reescrevendo a equação (1.13) obtém-se:

$$a_n = \frac{4}{n\pi} [1 + \sum_{K=1}^{2Np} (-1)^K \cos(n\alpha_K)] \quad (1.14)$$

Da simetria de quarto de onda tem-se:

$$\alpha_K = \pi - \alpha_{2Np-K+1}$$

$$\cos(n\alpha_K) = \cos n(\pi - \alpha_{2Np-K+1})$$

$$\cos(n\alpha_K) = -\cos n(\alpha_{2Np-K+1}) \quad (1.15)$$

Substituindo (1.15) em (1.14):

$$a_n = \frac{4}{n\pi} [1 + 2 \sum_{K=1}^{Np} (-1)^K \cos n\alpha_K] \quad (1.16)$$

com $n = 1, 3, 5, \dots$

Para obter a solução das Np variáveis $(\alpha_1, \alpha_2, \dots, \alpha_{Np})$, são necessárias Np equações (1.16). Ou seja, sendo $\alpha_1, \alpha_2, \dots, \alpha_{Np}$ parâmetros chamados independentes, o número de harmônicos controlados é igual ao número de parâmetros independentes (p). O número de parâmetros independentes (p) será igual ao número de ângulos compreendidos em um quarto de onda $[0^\circ, 90^\circ]$. Todos os outros ângulos (parâmetros dependentes) devido as simetrias, podem ser calculados conhecendo-se os ângulos de comutação entre 0 e 90° .

Na figura 1.1 pode-se observar que o número de pulsos por meio período (Np) é igual ao número de parâmetros (p).

Para controlar o valor da fundamental e eliminar $(p-1)$ harmônicos deve-se resolver o seguinte sistema:

$$a_1 = \frac{4}{\pi} \left[1 + 2 \sum_{K=1}^{Np} (-1)^K \cos \alpha_K \right] = c \quad (1.17)$$

$$a_n = \frac{4}{n\pi} \left[1 + 2 \sum_{K=1}^{Np} (-1)^K \cos n\alpha_K \right] = 0 \quad \text{para } n = 3, 5, 7, \dots$$

c = valor da fundamental desejada

Observa-se que havendo outro meio de controlar o valor da fundamental, pode-se controlar e/ou eliminar " p " harmônicos a partir da equação (1.16).

O número de comutações em um período de modulação é igual a $2(2Np + 1)$.

1.2.2. Modulação Otimizada a Três Níveis

Seja a forma de onda da figura (1.2).

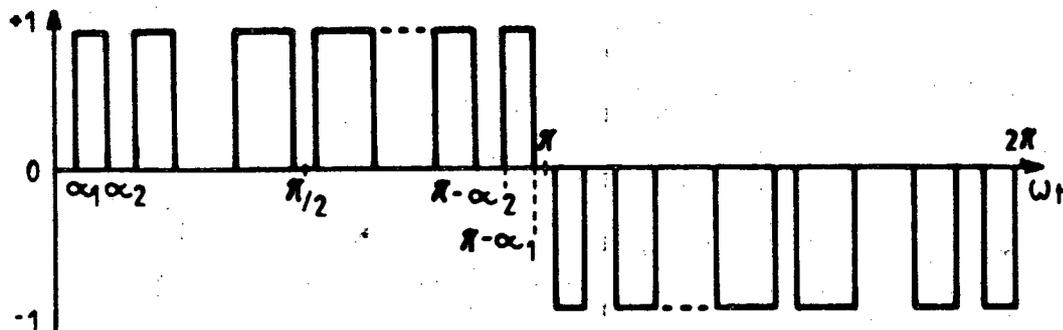


FIGURA 1.2 - Modulação otimizada a três níveis.

Da figura 1.2 pode-se observar que o número de pulsos por meio período (N_p) é igual ao número de ângulos de comutação (p) de um quarto de período. O número de comutações por período é igual a $2(2N_p)$ e a função $f(\omega t)$ apresenta simetrias de onda completa e meia onda.

$$f(\omega t) = -f(-\omega t) \quad \text{onda completa ímpar}$$

$$f(\omega t + \pi) = -f(\omega t) \quad \text{meia onda}$$

Com as condições de simetria observadas, basta integrar um quarto de período, sendo $b_n = 0$ para todo n e $a_n = 0$ para todo n par.

O coeficiente da série de Fourier é:

$$a_n = \frac{4}{\pi} \int_0^{\pi/2} f(\omega t) \operatorname{sen}(n\omega t) d(\omega t) \quad (1.18)$$

onde $n = 1, 3, 5, 7, \dots$

A série de Fourier reduz-se a:

$$f(\omega t) = \sum_{n=1}^{\infty} a_n \operatorname{sen}(n\omega t) \quad (1.19)$$

Resolvendo a integral em 1.18 obtêm-se:

$$a_n = \frac{4}{n\pi} \sum_{K=1}^{N_p} (-1)^{K+1} \cos n\alpha_K \quad (1.20)$$

Para

$$n = 1, 3, 5, \dots \infty$$

Com

$$0 < \alpha_1 < \alpha_2 < \dots < \alpha_{Np} < \pi/2$$

Para controlar a fundamental e eliminar (P-1) harmônicos, deve-se resolver o sistema de equações (1.21) de Np equações.

$$a_1 = \frac{4}{\pi} \sum_{k=1}^{Np} (-1)^{k+1} \cdot \cos \alpha_k = c \quad (1.21)$$

$$a_n = \frac{4}{n\pi} \sum_{k=1}^{Np} (-1)^{k+1} \cdot \cos n\alpha_k = 0 \quad \text{para } n = 3, 5, 7, \dots$$

c - Valor da fundamental desejada.

1.3. Modulação por Largura de Pulso Obtida a Partir da Diferença de Duas Ondas Otimizadas a Dois Níveis^{4, 18, 20}

Em certas aplicações pode-se obter uma onda a três níveis a partir de uma diferença de duas ondas a dois níveis defasados de um determinado ângulo entre si. Este é o caso do inversor proposto neste estudo. As tensões em **A** e **B** na figura (1.3) são a dois níveis e referidas ao nã zero (0). São iguais porém defasadas entre si de um ângulo θ .

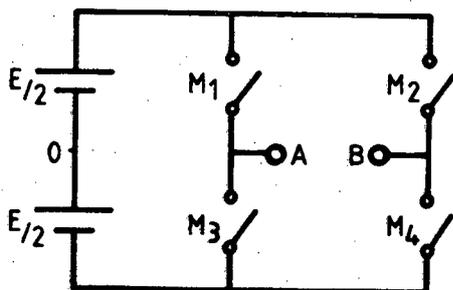


FIGURA 1.3 - Inversor monofásico em ponte completa.

A modulação PWM otimizada a dois níveis estudada em 1.2.1 permite a eliminação de P harmônicos (P número de parâmetros) sem controlar o valor da fundamental.

Assim, as duas formas de onda em A e B permitem a eliminação de P harmônicos, sem entretanto controlar o valor da fundamental de saída do inversor.

A tensão entre os pontos A e O é dada por:

$$V_{AO} = \sum_{n=1}^{\infty} a_n \text{sen}(n\omega t)$$

onde $a_n = \frac{4E}{2n\pi} \left[1 + 2 \sum_{k=1}^{Np} (-1)^k \cos n\alpha_k \right]$ (1.22)

Com $n = 1, 3, 5, \dots \infty$

A tensão V_{BO} é:

$$V_{BO} = \sum_{n=1}^{\infty} a_n \text{sen } n(\omega t - \theta)$$
 (1.23)

Onde θ é o defasamento de V_{BO} em relação a V_{AO} (figura 1.4).

A tensão de carga resultante é:

$$V_{AB} = V_{AO} - V_{BO}$$
 (1.24)

Substituindo (1.22) e (1.23) em (1.24) têm-se:

$$V_{AB} = \sum_{n=1}^{\infty} a_n [\text{sen}(n\omega t) - \text{sen } n(\omega t - \theta)]$$
 (1.25)

Utilizando-se a relação trigonométrica

$$\text{sen } x - \text{sen } y = 2 \text{sen} \left(\frac{x-y}{2} \right) \cdot \cos \left(\frac{x+y}{2} \right)$$
 (1.26)

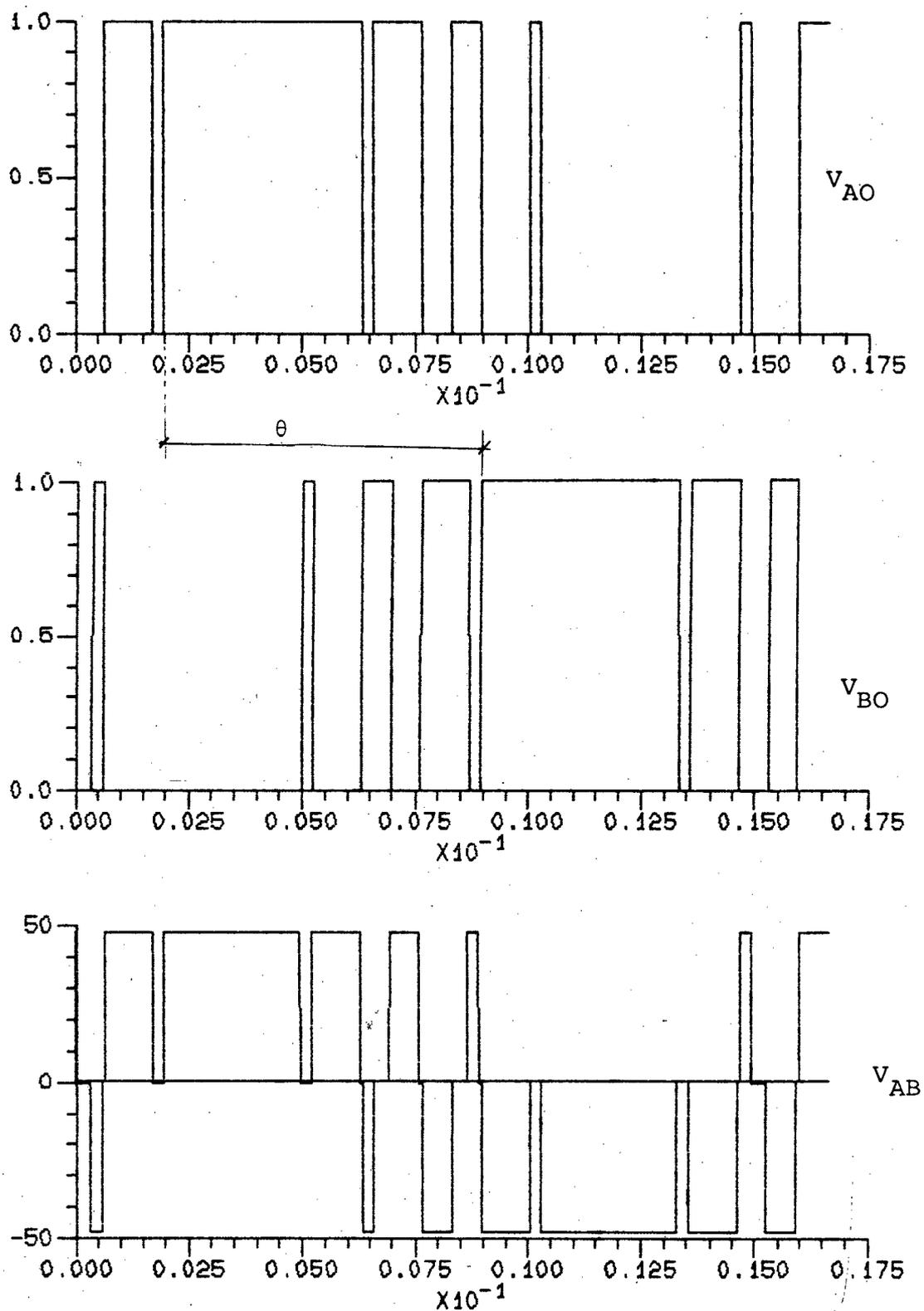


FIGURA 1.4 - Modulação por largura de pulso a três níveis, obtida pela diferença de duas ondas a dois níveis.

$$V_{AB} = \sum_{n=1}^{\infty} a_n \left[2 \operatorname{sen} \frac{n\theta}{2} \cdot \cos n(\omega t - \theta/2) \right] \quad (1.27)$$

definindo

$$C_n = 2a_n \operatorname{sen} \frac{n\theta}{2} \quad (1.28)$$

obtém-se

$$V_{AB} = \sum_{n=1}^{\infty} C_n \cdot \cos n(\omega t - \theta/2) \quad (1.29)$$

Para $n = 1, 3, 5, \dots$

O valor da fundamental é dado por:

$$C_1 = 2a_1 \operatorname{sen} \theta/2 \quad (1.30)$$

Os harmônicos eliminados (ou minimizados) em V_{AO} e V_{BO} também ficam eliminados (ou minimizados) em V_{AB} .

Observa-se que o valor da fundamental é controlado pelo ângulo θ . Este método permite minimizar (ou eliminar) P harmônicos, além de controlar o valor da fundamental pela variação do ângulo θ . Na figura 1.4 apresenta-se as formas de onda V_{AO} , V_{BO} e V_{AB} previstas no inversor da figura 1.3.

1.4. Conclusões

A modulação por largura de pulso otimizada a três níveis tem a vantagem sobre a modulação por largura de pulso otimizada a dois níveis por ter menor número de comutações por período em cada interruptor, para eliminar o mesmo número de harmônicos e controlar o valor do fundamental. Esta é uma pequena vantagem

quando o número de comutações por período for muito elevado usando-se interruptores rápido capazes de comutar na ordem de centenas de KHZ. Porém, esta vantagem é importante em estruturas de potência elevada onde os interruptores que estão disponíveis no mercado não são suficientemente rápidos para permitir um grande número de pulsos por período de modulação.

A vantagem da modulação a três níveis obtida a partir da diferença de duas ondas otimizadas a dois níveis é que, com p parâmetros é possível eliminar P harmônicos e controlar o valor da fundamental pelo ângulo de defasamento entre as duas ondas a dois níveis. Além disto, a modulação a dois níveis com controle da fundamental tem maior conteúdo harmônico em relação à fundamental do que a modulação a três níveis quando se diminui a tensão de saída²⁰. Estas vantagens da modulação a três níveis (com controle do valor da fundamental por defasamento) sobre a dois níveis levaram a escolha desta modulação, proposta no item 1.3.

CAPÍTULO II

CIRCUITO LÓGICO DE COMANDO DA MODULAÇÃO PWM

2.1. Introdução

Definido o tipo de modulação a ser utilizada no inversor, estudou-se a melhor forma de implementar um circuito capaz de produzir com grande precisão os instantes de comutação.

Dada a dificuldade de cálculo das funções da modulação PWM otimizada em tempo real usando microcomputador, a solução mais simples é usar as funções de modulação previamente calculadas e armazenadas em memórias.

A partir dos dados armazenados em memórias e o uso de circuitos digitais obtêm-se os pulsos de disparo e bloqueio dos interruptores de potência do inversor. Além disto, o circuito lógico permite gerar tempos mortos adequados para os interruptores do inversor.

Apresenta-se neste capítulo uma solução para a realização de um circuito lógico capaz de realizar a modulação PWM otimizada com grande precisão e rapidez.

2.2. Otimização dos Padrões

Define-se padrão como o conjunto de pulsos fixos de um período de modulação. Os padrões se distinguem por um determinado ângulo de defasamento entre os comandos de cada braço do inversor. Os padrões são calculados, usando-se a teoria de eliminação de harmônicos estudada no item 1.3, através de um programa de otimização¹⁸, que resolve o conjunto de equações numericamente usando o método do gradiente simplificado. Posteriormente é processado por um programa que adapta os resultados obtidos na otimização para serem gravados em memória⁷.

O número de parâmetros calculados para cada padrão foram 30, eliminando-se desta maneira 30 harmônicos de ordem ímpar. Assim o harmônico mais significativo que aparece é de ordem 63.

O número de padrões calculados e armazenados em memória foram 256, permitindo, para uma tensão de entrada constante, uma varredura da tensão de saída, de 100% a 49%, com variação de padrão a padrão de 0,2%.

2.3. Armazenamento dos Padrões

O processamento dos padrões por um programa⁷, depois da otimização, consiste em discretizar os pulsos em um certo número de pontos escolhidos previamente. O número de pontos escolhidos foi de 2048 por período. Com um baixo número de pontos de discretização voltaram a aparecer os harmônicos na tensão de saída do inversor que haviam sido eliminados na otimização⁷.

A implementação mais simples e econômica para o tipo de mo-

dulação escolhida é através do uso de três memórias, considerando que estas são cada vez mais baratas. Em uma primeira memória (16 Kbits) é armazenado um padrão fixo de referência no bit menos significativo. A figura 3.1 mostra os endereços que contêm o padrão fixo de referência.

BIT END	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇
0000H	0	-	-	-	-	-	-	-
0001H	0	-	-	-	-	-	-	-
0002H	0	-	-	-	-	-	-	-
.
.
.
.
07FEH	1	-	-	-	-	-	-	-
07FFH	1	-	-	-	-	-	-	-

FIGURA 2.1 - Disposição do padrão fixo de referência em uma memória de 16 Kbits em 2048 endereços.

Cada posição de memória contém níveis um (1) ou zero (0) que correspondem respectivamente a uma ordem de disparo ou bloqueio dos interruptores. O padrão desta memória é usado para gerar os instantes de comutação de um dos braços do inversor.

Na segunda e terceira memórias são armazenados os 256 padrões escolhidos com defasamentos distintos do padrão fixo, dis-

tribuiu-se em cada uma das memórias 128 padrões. O primeiro padrão corresponde a um ângulo de defasamento de 180° (tensão máxima de saída). O último padrão corresponde a um ângulo de defasamento de $58,68^\circ$ (49% da tensão máxima de saída). Com o número de padrões escolhidos e sabendo-se que podem ser usados os 8 bits de cada endereço da memória, são necessários um espaço de memória de 512 Kbits (256 x 2048 bits). Pela disponibilidade de memórias se distribuiu os 512 Kbits em duas memórias de 256 Kbits. A figura 2.2 mostra a disposição dos padrões nas memórias escolhidas.

BIT	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7
END								
0000H	P	P	P	P	P	P	P	P
07FFH	1	17	33	49	65	81	97	113
0800H	P	P	P	P	P	P	P	P
0FFFH	2	18	34	50	66	82	98	114
.
.
.
.
.
7000H	P	P	P	P	P	P	P	P
77FFH	15	31	47	63	79	95	111	127
7800H	P	P	P	P	P	P	P	P
7FFFH	16	32	48	64	80	96	112	128

(a)

BIT	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7
END								
0000H	P	P	P	P	P	P	P	P
07FFH	129	145	161	177	193	209	225	241
0800H	P	P	P	P	P	P	P	P
0FFFH	130	146	162	178	194	210	226	242
.
.
.
.
.
7000H	P	P	P	P	P	P	P	P
77FFH	143	159	175	191	207	223	239	255
7800H	P	P	P	P	P	P	P	P
7FFFH	144	160	176	192	208	224	240	256

(b)

FIGURA 2.2 - a) Memória (2) que contém os 128 primeiros padrões
(256 K = 32K x 8)
b) Memória (3) que contém os 128 últimos padrões
(256 K = 32K x 8).

2.4. Circuito de Leitura dos Padrões

A geração da tensão senoidal da saída do inversor é realizada com a varredura de 2048 endereços da memória que possui o padrão fixo e de um trecho de uma das memórias que possui padrões variáveis. Esta varredura de um período de modulação tem que ser efetuada em um tempo de 1/60 segundos, correspondendo à frequência de 60 Hz, na saída do inversor. Assim, a frequência de varredura dos padrões armazenados em memória será:

$$f = \frac{2048}{1/60 \text{ seg}} = 122.880 \text{ Hz.}$$

Para gerar esta frequência, implementou-se um oscilador, utilizando um cristal de quartzo. Este circuito é mostrado na figura 2.3.

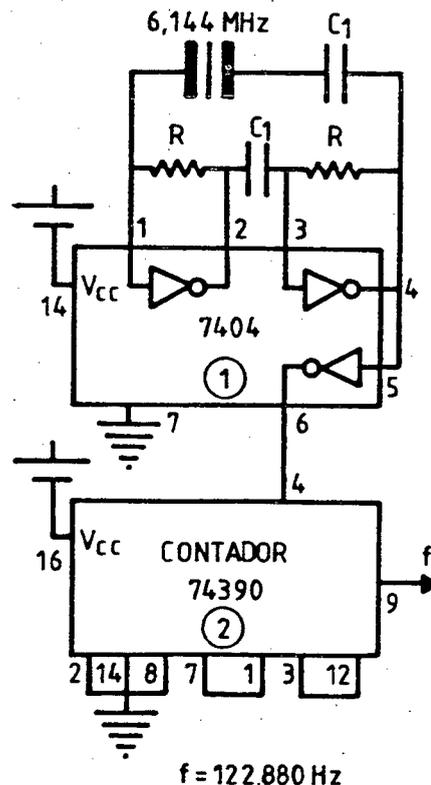


FIGURA 2.3 - Geração de frequência de 122.880 Hz.

O cristal de quartzo usado é de 6,144 MHz. A frequência de oscilação (f_{osc}) é dada pela seguinte equação:

$$f_{osc} \approx \frac{1}{RC_1}^5$$

Substituindo

$$R = 1,2 \text{ K}\Omega$$

$$C_1 = 120 \text{ PF}$$

obtém-se

$$f_{osc} \approx 6,94 \text{ MHz.}$$

Com o uso do cristal de 6,144 MHz em série com o capacitor (C_1) como mostra a figura 2.3 tem-se a frequência de oscilação de 6,144 MHz.

Utilizando o contador binário-decimal (CI - 74390) divide-se a frequência por cinquenta (50). Obtém-se desta maneira os 122.880 Hz de frequência desejada para varrer os 2048 pontos, correspondentes a um período de modulação. A leitura de cada padrão é feita através da varredura de 2^{11} endereços com o uso de um contador binário (CI - 4040), de 11 saídas.

O contador binário (CI - 4040) varre a primeira memória (1 x 16K), lendo-se desta maneira os 2048 pontos correspondentes a um período de modulação (fixo de referência) que comandará um dos braços do inversor.

Para as duas memórias restantes (2 x 256K) além das 11 saídas do contador binário (CI - 4040) é necessário um contador binário de 8 saídas (2^8) que permite acessar um dos 256 padrões de 2048 endereços gravados nas duas memórias de 256 Kbits.

Isto é realizado com dois contadores binários tipo "UP/DOWN" de quatro saídas cada um, ligados em cascata (CI - 4029).

As quatro saídas menos significativas dos contadores "UP/DOWN" e as 11 saídas do contador binário (CI - 4040) varrem os 32.768 endereços de cada uma das memórias de 256 K.

A saída mais significativa dos contadores "UP/DOWN" em cascata seleciona uma das duas memórias de 256 K. As três saídas restantes do contador mais significativo, selecionam através do multiplexador (CI - 4512) um dos bits de saída entre os oito disponíveis em cada endereço de memória. Desta forma são varridos os 256 padrões, sendo a varredura de padrões do maior ($\theta = 180^\circ$) para o menor ($\theta = 58.68^\circ$).

A figura 2.4 mostra o diagrama do circuito de leitura dos padrões.

O contador UP/DOWN em cascata tem como sinal de incremento (UP) ou decremento (DOWN) o valor relativo do erro (ϵ) proveniente do circuito de controle (resultado da comparação entre a tensão de referência e a tensão na carga); o sinal de inibição (E_N) para este contador, dependerá da existência de erro ou não. Quando não existir erro significativo o contador em cascata estará inibido, fixando-se a leitura das memórias (2×256) em um determinado padrão, ou seja, em uma região de 2048 endereços.

Quando a tensão de saída do inversor é maior que a tensão de referência o contador contará incrementando (ϵ nível baixo), em caso contrário contará decrementando (nível de ϵ alto). A frequência deste contador está sincronizada com a saída do contador binário (CI - 4040) que é responsável pela varredura de cada padrão.

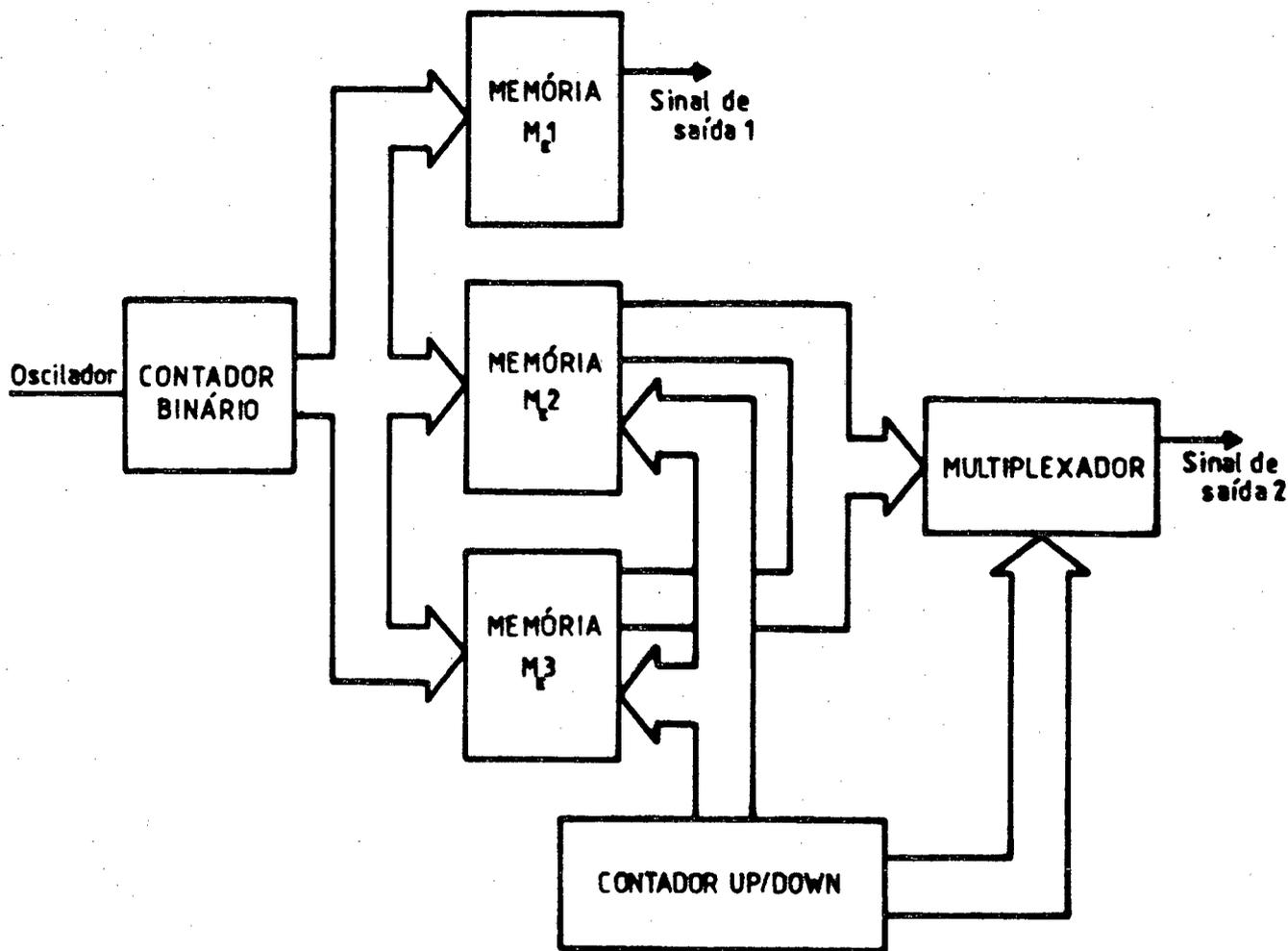


FIGURA 2.4 - Diagrama do circuito de leitura de memória.

2.5. Geração de Tempos Mortos e Eliminação do Tempo de Acesso das Memórias

Varrendo-se um dos padrões escolhidos em uma das duas memórias de 256 K e o padrão de modulação fixa de referência da memória de 16 K tem-se dois sinais um para cada braço do inversor. Os interruptores de um braço devem operar de modo complementar e deve existir um tempo morto entre as ordens de mudança de estado de

condução. Assim torna-se necessário gerar o sinal complementar para cada um dos dois braços e introduzir tempos mortos em cada um dos sinais, que vão ser enviados para os quatro interruptores do inversor.

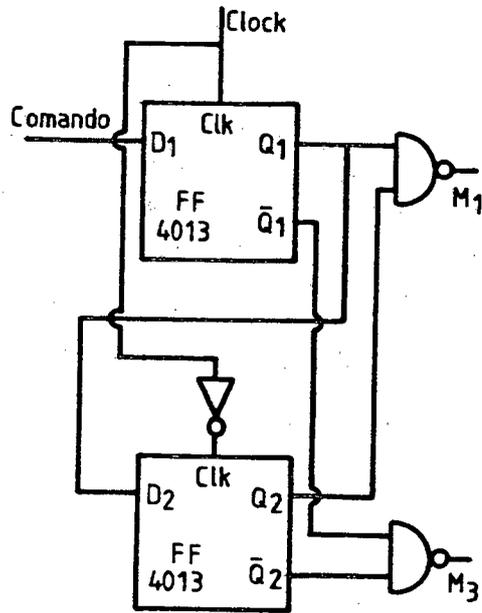
A introdução dos tempos mortos pode ser feita de duas maneiras:

- 1) Através do programa usado após a otimização, quando os comandos são discretizados para a gravação em memória.
- 2) Na saída do circuito de comando lógico, através de um circuito lógico apropriado^{7, 22}.

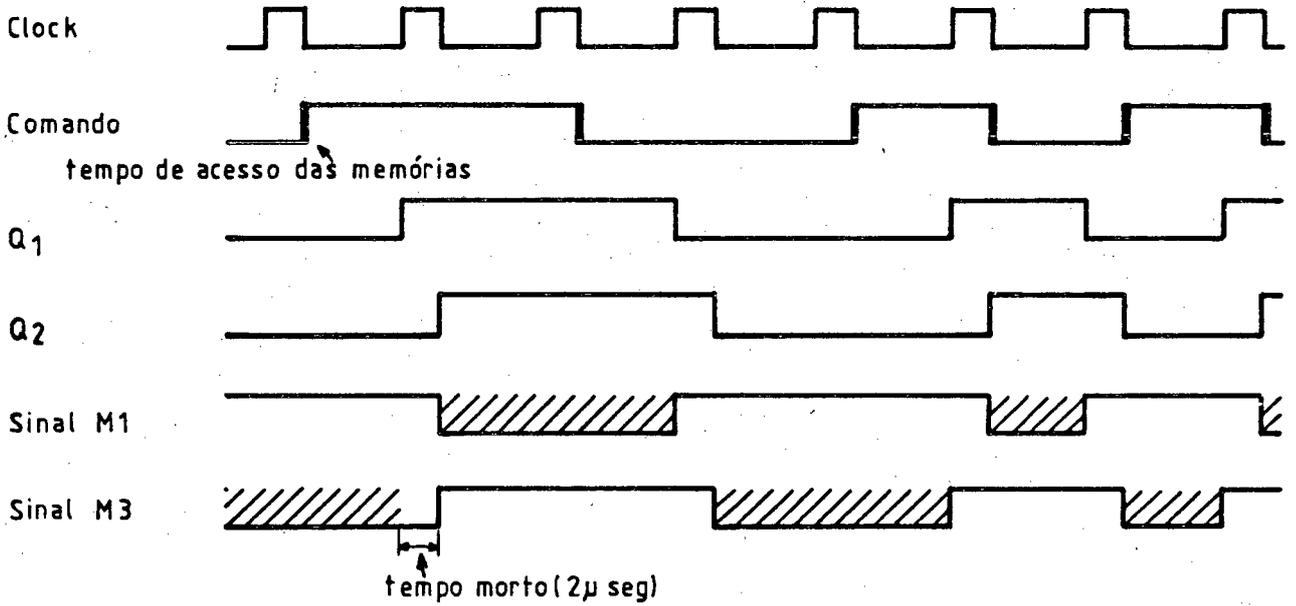
Considerando que o número de pontos por período é de 2048, o tempo de permanência em cada endereço de memória, para uma frequência de modulação de 60 HZ, é de 8,138 μ s. Isto significa que o tempo morto mínimo inserido na memória seria de 8,138 μ s. Este tempo é muito grande quando se usam interruptores rápidos, além do que, com tempos mortos muito grandes, seria provocada uma distorção dos parâmetros otimizados e com isto voltariam a aparecer os harmônicos eliminados ou minimizados.

Desta maneira optou-se pelo uso do circuito lógico da figura 2.5 que, além de inserir os tempos mortos, gera o comando complementar e elimina os tempos de acesso da memória.

Os tempos inseridos com o circuito lógico da figura 2.5 podem ser variados de acordo com a frequência do sinal de CLOCK dos Flip-Flops (CI-4013).



(a)



(b)

FIGURA 2.5 - a) Circuito para inserção de tempos mortos.

b) Exemplo de inserção de tempos mortos.

2.6. Diagrama Completo do Circuito de Comando Lógico

Apresenta-se na figura 2.6 o diagrama completo do circuito de comando lógico.

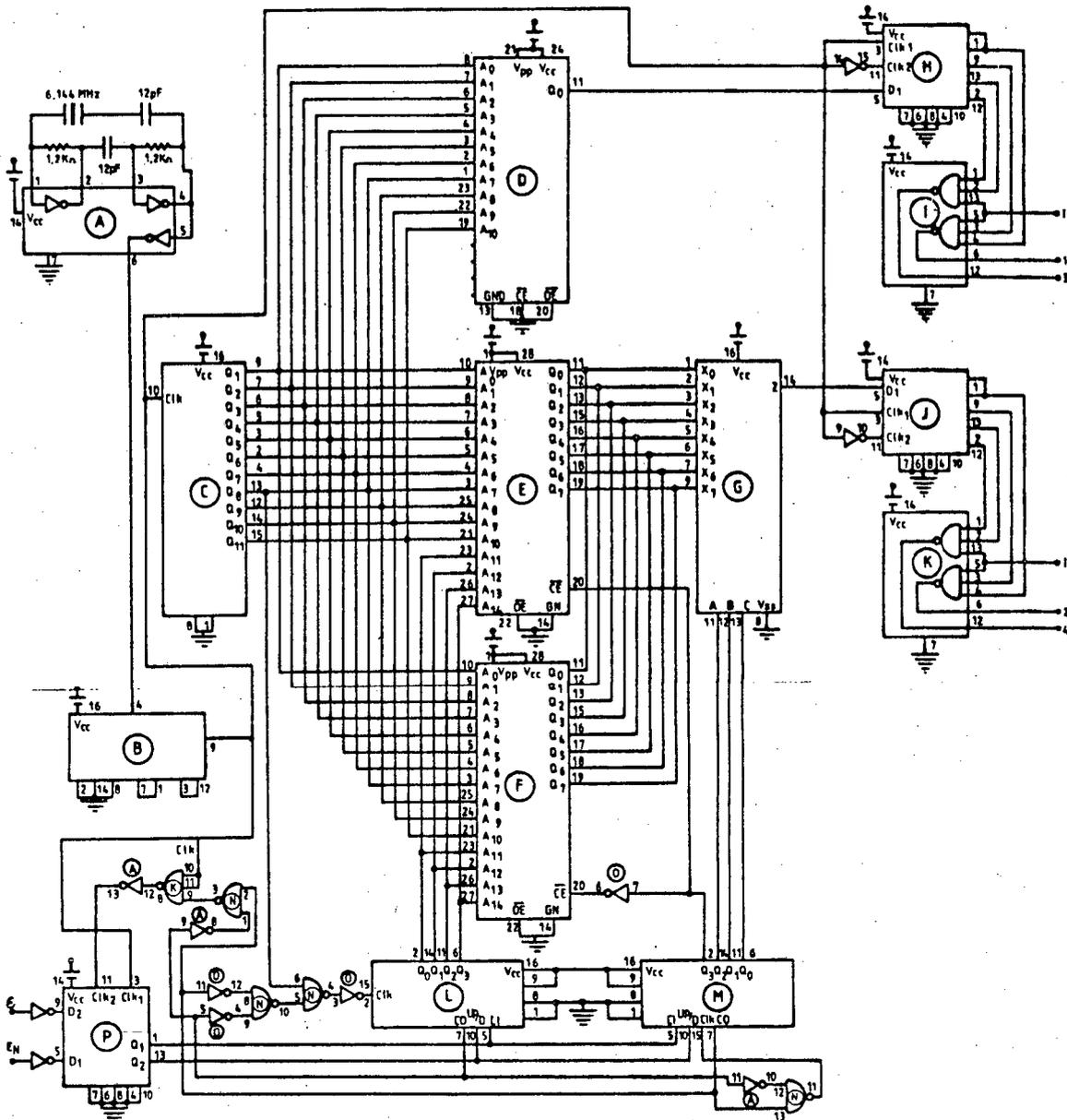
Os sinais vindos do circuito de controle são ϵ e E_N explicados anteriormente. A chave I permite inibir totalmente o circuito de controle lógico.

2.7. Conclusões

Com o uso de circuitos digitais e memórias são obtidos quatro sinais de comando com seus respectivos tempos mortos, a partir de padrões gravados em memórias, sendo que estes padrões têm um espectro harmônico minimizado até o harmônico de ordem 61. Os padrões foram obtidos através de programas de otimização que calcula os instantes de comutação adequados.

Por outro lado o circuito de comando lógico é capaz de escolher o padrão apropriado para a regulação de tensão de saída do inversor de acordo com os sinais vindos do circuito de controle.

Obtém-se desta maneira um circuito de comando lógico, rápido e confiável com o uso de memórias e circuitos digitais simples.



- | | | |
|----------|------------------------------|------------|
| A | 6 portas inversora: | SN7404N |
| B | Contador dual decimal | SN74LS390N |
| C | Contador binário | MC14040B |
| D | Memória | MM2716Q-1 |
| E e F | Memórias | HN2756G-25 |
| G | Multiplexador | HCF4512BE |
| H, J e P | Flip-flops | CD4013BCN |
| I e K | Portas NAND | SN7412N |
| L e M | Contador binário/decimal U/D | CD4029BCN |
| N | Portas NAND | MC14011 |
| O | 6 portas inversoras | CD4049BCN |

FIGURA 2.6 - Diagrama do circuito de comando lógico.

CAPÍTULO III

CIRCUITO DE COMANDO DOS INTERRUPTORES, ISOLAMENTO E PROTEÇÃO

3.1. Introdução

Os circuitos de comando são responsáveis pelo estado de condução ou bloqueio dos interruptores do inversor propiciando um isolamento entre a parte de potência e a de tratamento de sinal.

A confiabilidade do inversor depende da qualidade e das características de comando.

O comando tem que ser capaz de reproduzir os instantes de comutação otimizados, além de operar em uma ampla faixa de frequência, isto devido a diversidade de larguras de pulso na modulação PWM otimizada. Por outro lado o comando deve reduzir ao máximo os tempos de comutação com a finalidade de diminuir as perdas.

Neste capítulo apresenta-se o circuito implementado para comandar os interruptores do inversor, que para este trabalho são transistores MOSFET de potência.

3.2. Interruptores do Inversor

Os interruptores mais indicados para funcionarem como chaves em altas frequências são os transistores de potência. Em inversores de potência média o uso de transistores bipolares já é consagrado, enquanto que o uso de MOSFET está sendo introduzido.

Os transistores bipolares são mais baratos que os transistores MOSFET, mas a diferença de preços cai bastante ao se observar que os MOSFET já incluem diodos intrínsecos e que seu comando de gate é mais simples. Observa-se ainda, que os MOSFET podem operar em frequências mais altas.

Escolheu-se os MOSFET devido a seu desempenho superior em relação ao transistor bipolar³. As razões para esta escolha são:

- a) Tempos de comutação extremamente curtos. Desse modo podem operar em frequências mais elevadas.
- b) Alta impedância de entrada, entre gate e source. Desse modo a potência consumida e a complexidade dos circuitos de comando são muito menores, e o ganho é muito alto.
- c) A área de operação (SOA - "Safe Operating Area") é muito maior, não existindo o fenômeno de segunda avalanche.
- d) Mais fácil de ser associado em paralelo sobretudo por que a resistência em estado de condução tem coeficiente positivo de temperatura.

O símbolo do MOSFET canal N está representado na figura 3.1.

O MOSFET é basicamente uma resistência controlada pela tensão VGS.

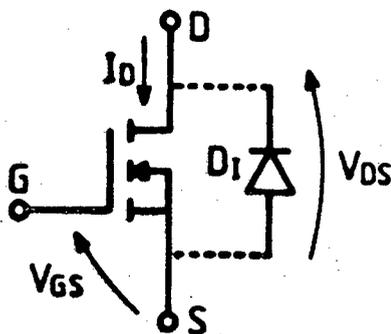


FIGURA 3.1 - Símbolo do MOSFET

D - Dreno

S - Source

G - Gate

DI é um diodo intrínseco do MOSFET

Do ponto de vista de projeto, é importante observar as limitações usuais do componente (tensão Dreno-Source máxima, corrente Dreno-Source máxima, tensão Gate-Source máxima, etc).

Quanto mais rápidos os diodos intrínsecos, menores serão os picos de corrente e tensão que os transistores do inversor deverão suportar. Esta característica mencionada nem sempre é encontrada nos diodos intrínsecos dos MOSFET disponíveis.

3.3. Características do Comando

As características desejadas para um bom comando de um transistor MOSFET são:

- a) Rapidez no envio dos pulsos do comando lógico para o Gate do transistor MOSFET, impondo desta maneira tempos de atrasos pequenos e melhor reprodução dos pulsos desejados.

- b) Proteger o Gate-Source (VGS) contra sobretensões.
- c) Proteger o transistor MOSFET contra sobrecorrentes.
- d) Os tempos de comutação do MOSFET dependem de sua capacitância de entrada e da impedância de saída do circuito de comando. Devido a este fato a impedância de saída do comando deve ser baixa.
- e) Ter alta isolação.
- f) Ter alta imunidade a ruídos.

3.4. Isolamento

A primeira escolha dos componentes de um comando são os isoladores. Pode-se escolher entre os fotoacopladores e transformadores de pulsos.

Optou-se pelo uso de fotoacoplador pela variação das larguras dos pulsos em uma ampla faixa na modulação PWM.

Os fotoacopladores não tem alta imunidade a ruídos; e isto é fundamental a um comando, porque a confiabilidade do inversor depende deste último. A solução deste problema é vital para o bom funcionamento do circuito de comando. Para a solução deste problema aproveitam-se certas características dos transistores MOSFET e dos fotoacopladores, isto é: Na tensão Dreno-Source aparecem ruídos provocados por chaveamento dos interruptores do inversor (recuperação e entrada em condução dos diodos), estes ruídos se introduzem no circuito de comando através do gate do MOSFET, os quais poderiam provocar falsos disparos devido à pouca imunidade a ruído do fotoacoplador. Por isto, quando o MOSFET está aberto o fotoacoplador do circuito de comando correspondente deve estar

em estado de condução.

A desvantagem do fotoacoplador quanto a sensibilidade a ruídos se agrava quando opera na região linear. Esta característica deve ser levada em conta no projeto de circuitos de comando com fotoacopladores.

Por outro lado os fotoacopladores são relativamente lentos. Isto se deve principalmente ao capacitor intrínseco do fotoacoplador⁸ figura 3.2.

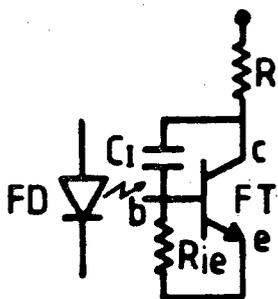


FIGURA 3.2 - Representação do capacitor intrínseco do fotoacoplador (CI)

C - coletor

e - emissor

b - base

O capacitor CI precisa ser carregado ou descarregado em cada transição. Para se resolver este problema deve-se usar algum tipo de circuito ativo no coletor do fototransistor.

A solução adotada para tornar mais rápidas as comutações do fotoacoplador é a de fixar o trabalho para o fototransistor na região linear e corte e usar um transistor no coletor do fototransistor como carga ativa, como será mostrado adiante.

3.5. Diagrama de Blocos do Circuito de Comando

O diagrama de blocos do circuito de comando dos gates dos transistores MOSFET está representado na figura 3.3.

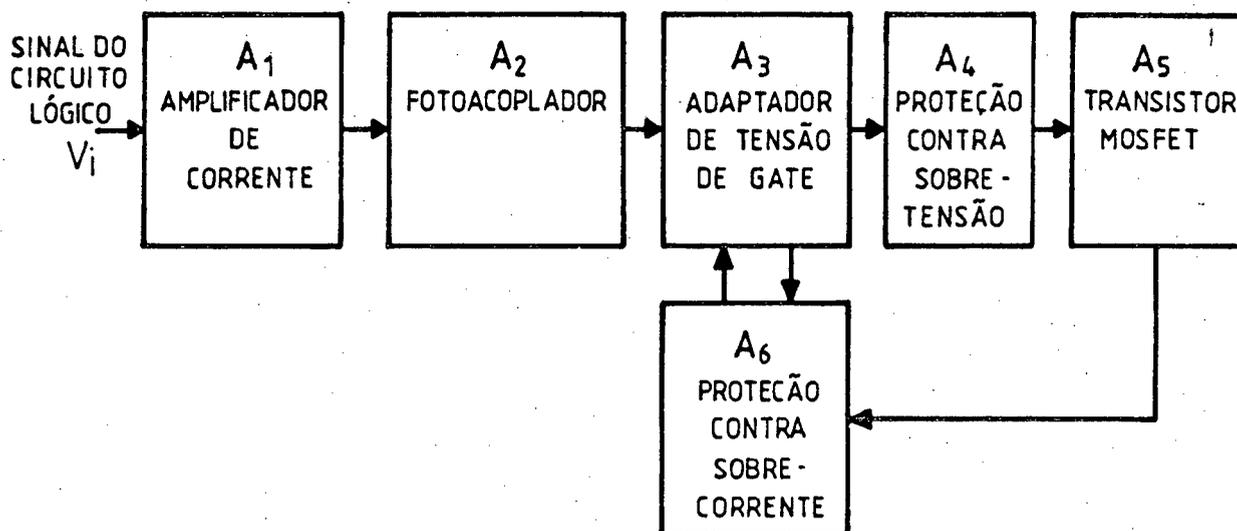


FIGURA 3.3 - Diagrama de blocos do circuito de comando.

O amplificador de corrente (A_1) compatibiliza o sinal de entrada V_i , que é uma saída de portas com os níveis de corrente necessários para a alimentação do fotodiodo.

Na figura 3.4 é mostrado o circuito do amplificador de corrente do fotodiodo.

O pico de corrente através de C_1 e T_1 permite uma carga mais rápida das capacitâncias parasitas do fotodiodo e, conseqüentemente, este entra em condução mais rapidamente. O bloqueio é acelerado através da descarga rápida das capacitâncias parasitas via D_1 e D_2 que permitem, também, descarregar C_1 .

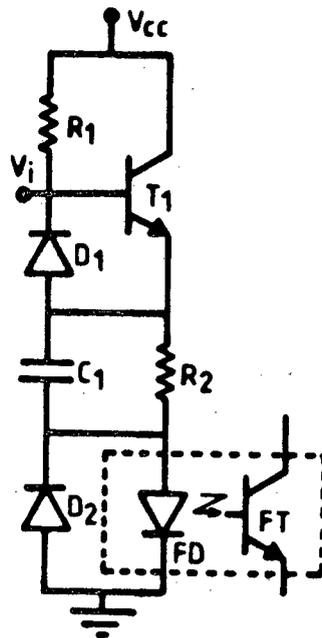


FIGURA 3.4 - Amplificador de corrente para o fotodiodo.

A figura 3.5 mostra a solução adotada para tornar mais rápidas as transições do fototransistor.

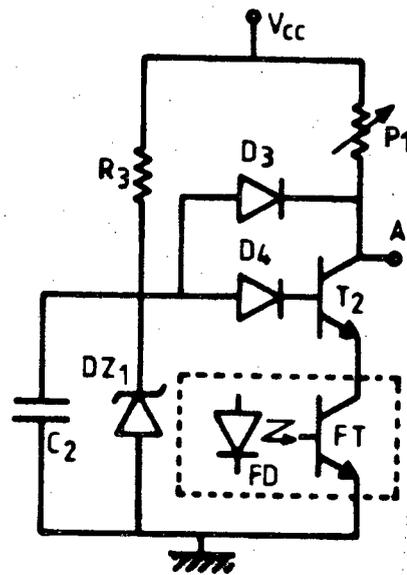


FIGURA 3.5 - Circuito que torna mais rápidas as comutações do fotoacoplador.

O fotoacoplador mostrado na figura 3.5 é responsável pelo isolamento elétrico entre o circuito de comando lógico e o circuito de potência. O diodo zener DZI juntamente com a resistência R_3 e o capacitor C_2 , simulam uma fonte de tensão ideal, que é importante para o bom funcionamento do transistor T_2 como carga ativa para o fotoacoplador.

Os diodos D_3 e D_4 são diodos utilizados para evitar a sobre-saturação do transistor T_2 diminuindo desta maneira seu tempo de estocagem.

O fotoacoplador não tendo sinal de disparo estará em estado de bloqueio, desta forma fica bloqueado o transistor T_2 , assegurando-se desta maneira o valor da tensão do ponto A em V_{cc} .

Quando o fotodiodo (FD) envia sinal do disparo ao fototransistor, este conduz, ocasionando a entrada imediata em condução do transistor T_2 ; O valor da tensão do ponto A é igual à diferença entre a tensão do diodo zener (V_{DZ1}) e a tensão direta do diodo D_3 .

Para o comando dos transistores MOSFET é necessário uma tensão de gate de disparo e outra de bloqueio. Esta tensão de bloqueio será melhor quanto mais se aproximar a zero, por isto, e a fim de diminuir os tempos de transição de um estado a outro, é necessário um adaptador de tensão.

O adaptador de tensão de gate consiste de seis (6) inversores (CI - 4049) como mostra a figura 3.6.

O primeiro inversor do circuito integrado 4049 aumenta a velocidade de transição do coletor de transistor T_2 . Por outro lado a tensão de gate assume os valores de alimentação do circuito de

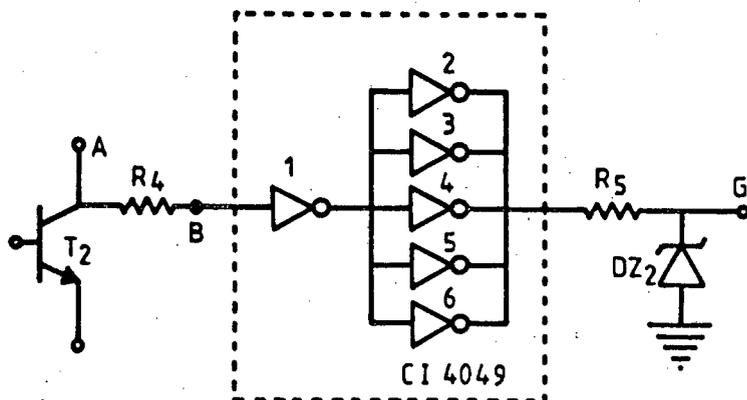


FIGURA 3.6 - Adaptador de tensão de Gate.

comando (V_{cc}) e zero.

Os inversores, que estão em paralelo, são utilizados para diminuir sua impedância de saída do comando e aumentar sua capacidade de fornecer corrente.

A proteção contra possíveis sobre tensões no Gate é feita usando-se um diodo Zener (DZ_2).

A resistência R_s permite ajustar a velocidade de transição de um estado a outro do transistor MOSFET evitando picos excessivos na tensão Dreno-Source.

3.6. Proteção Contra Sobrecorrentes

A proteção de sobrecorrentes em transistores MOSFET é feita individualmente, aproveitando-se a característica de resistência constante em condução do MOSFET. A tensão Dreno-Source, imagem da corrente, é observada por um comparador através de um diodo. Este comparador encarrega-se de colocar o gate do MOSFET à terra, blo-

quando-o quando a tensão dreno-source, ou seja, sua corrente, for maior que uma certa referência estabelecida.

A seguir são apresentadas duas formas de proteção usando este princípio.

3.6.1. Proteção com Comparador

Na figura 3.7 é mostrado o circuito de proteção que utiliza como comparador o LM 311. Os pontos A e B correspondem à figura 3.6. A resistência (R_4) entre A e B tem a finalidade de não colocar a terra o ponto A quando o operacional LM 311 atuar.

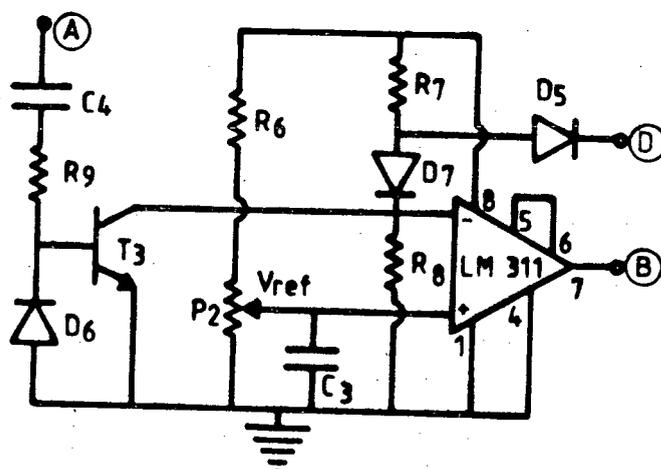


FIGURA 3.7 - Proteção com comparador contra sobrecorrentes.

O tempo de condução do transistor T_3 depende da constante de tempo dada pela resistência R_9 e o capacitor C_4 . Este tempo é o necessário para que o transistor MOSFET entre plenamente em condução. Durante a condução do transistor T_3 é imposta uma tensão menor que a de referência (V_{REF}) na entrada inversora do compara-

dor, que abre o transistor de saída do LM 311. A partir do instante em que o transistor T_3 bloqueia, qualquer tensão superior à tensão de referência observada pelo comparador LM 311, através do diodo D_5 , colocará o ponto B para a terra, bloqueando desta maneira o transistor MOSFET.

O diodo D_7 permite eliminar os picos de tensão provocadas pela tensão dreno-source devido ao tempo de recuperação do diodo D_5 .

O ajuste da tensão de referência é realizado através da resistência R_6 e do potenciômetro P_2 . As resistências R_7 e R_8 impõem uma tensão superior à tensão de referência na entrada não inversora do comparador, quando estão bloqueados os transistor T_3 e o diodo D_5 .

A tensão de referência limita a corrente máxima que o MOSFET deve conduzir. Para determinar o valor da tensão de referência correspondente a uma certa corrente do dreno é necessária a característica de corrente do dreno em função da tensão dreno-source do MOSFET, para distintos níveis da tensão gate-source, figura 3.8.

Da figura 3.7 obtém-se a tensão de referência:

$$V_{REF} = V_{DS(ON)} + V_{D5} - V_{D7}$$

onde:

$V_{DS(ON)}$ = tensão dreno source de MOSFET em condução.

V_{D5} = tensão de polarização do diodo D_5 .

V_{D7} = tensão de polarização do diodo D_7 .

Supondo $V_{D5} \cong V_{D7}$

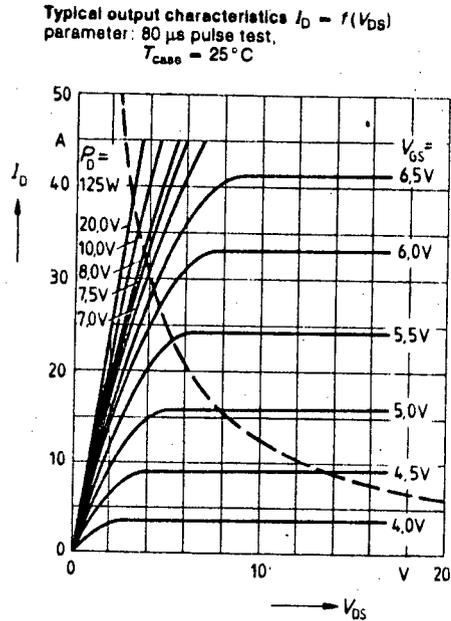


FIGURA 3.8 - Característica de saída do MOSFET BUZ-36, corrente de dreno em função da tensão dreno-source.²⁴

obtêm-se:

$$V_{REF} = V_{DS} (ON)$$

Aproveitando a característica dinâmica do dreno-source do MOSFET em condução como o equivalente a uma resistência constante (para $V_{GS} \geq 7,0 V$), tem-se,

$$V_{REF} = R I_D$$

onde:

R é uma constante

I_D = corrente dreno-source do MOSFET

Fixada a tensão V_{GS} e a corrente de dreno I_D , fica determinada a tensão de referência da figura 3.8.

3.6.2. Proteção Usando o Strobe do Comparador⁴

Aproveitando-se a característica de resistência constante do MOSFET em condução, pode determinar-se sobrecorrentes nos interruptores.

A tensão dreno-source do MOSFET em condução, é comparada com uma tensão de referência como no item anterior.

O Strobe do comparador LM 311 inibe o comparador durante um certo tempo, dado pelo próprio comparador (ordem de ns.) e pela constante de tempo que depende do capacitor C_7 e a resistência R_{12} , até que o MOSFET entre em condução plena. Este tipo de proteção usando o Strobe é mostrado na figura 3.9.

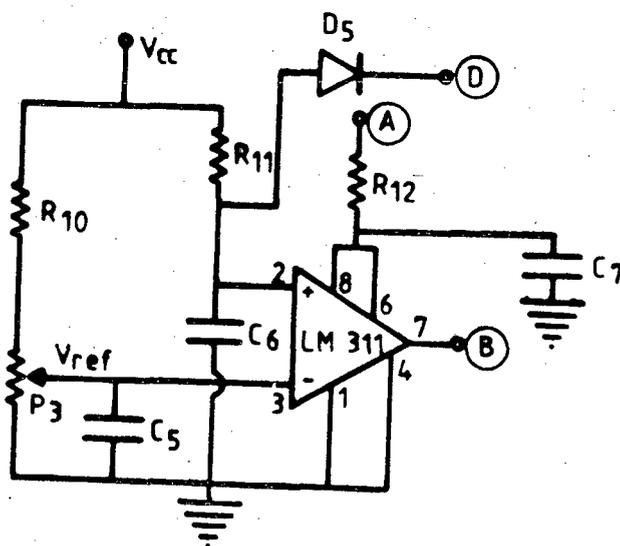


FIGURA 3.9 - Proteção contra sobrecorrentes usando o strobe do comparador LM 311.

Uma vez que o comparador deixa de ser inibido, qualquer tensão dreno-source acima da tensão de referência, observada pelo comparador através do diodo D_5 , colocará o ponto B para a terra,

bloqueando desta maneira o MOSFET.

O capacitor C_5 permite eliminar ruídos introduzidos pelo circuito de potência.

O capacitor C_6 , além de eliminar ruídos, elimina os picos de tensão introduzidos pela tensão dreno-source devido ao tempo de recuperação do diodo D_5 .

No caso de não existir o capacitor C_7 e a resistência R_{12} e considerando o tempo de atraso nulo do comparador e ainda supondo tensão de referência baixa, o circuito de comando coloca em condução o MOSFET só quando a tensão dreno-source for zero, tornando-se desta maneira o MOSFET junto com o circuito de comando um tirisfor dual.²⁵

A partir da figura 3.8, a tensão de referência é dada por:

$$V_{REF} = V_{DS(ON)} + V_{D5}$$

onde:

V_{REF} = tensão de referência.

$V_{DS(ON)}$ = tensão dreno-source do MOSFET em condução.

V_{D5} = tensão de polarização do diodo D_5 .

Considerando $V_{D5} = 0,6$

tem-se:

$$V_{REF} = V_{DS(ON)} + 0,6$$

A tensão dreno-source em condução do MOSFET é,

$$V_{DS(ON)} = RI_D$$

R é constante.

Fixada a tensão V_{GS} e a corrente do dreno, V_{DS} fica determinada mediante a figura 3.7 e, com isto, a tensão de referência.

3.7. Resultados Obtidos nos Circuitos de Comando

A figura 3.10 e 3.11 mostram os circuitos de comando completos para o primeiro e segundo caso respectivamente.

O funcionamento do circuito de comando para o primeiro caso (figura 3.10) é:

- 1) Quando o sinal V_i passa de um nível alto para baixo, o transistor T_2 bloqueia e, com ele, o fotodiodo FD. O capacitor C_1 se descarrega através dos diodos D_1 e D_2 . O fotodiodo bloqueado, bloqueia o fototransistor FT e este o transistor T_2 , impondo desta maneira um sinal alto no gate do MOSFET.
- 2) Quando o sinal V_i passa do nível baixo para alto, o transistor T_1 conduz aplicando um pico de corrente ao fotodiodo FD através do capacitor C_1 . Isto faz conduzir rapidamente o fototransistor FT, habilitando o transistor T_2 , colocando para terra o gate do MOSFET através dos inversores (CI 4049).

O funcionamento do segundo circuito de comando (figura 3.11) é similar ao primeiro.

Os tempos obtidos em ambos, transições (subida e descida) foram de 400 ns. em ambos os circuitos.

O atraso total do sinal V_i , até o gate do MOSFET foi de 1,2 μ s. Tal como mostra a figura 3.12 para o primeiro circuito de comando.

Estes dois circuitos de comando conseguem disparar e bloquear o MOSFET na ordem de centenas de ns. (figura 6.3).

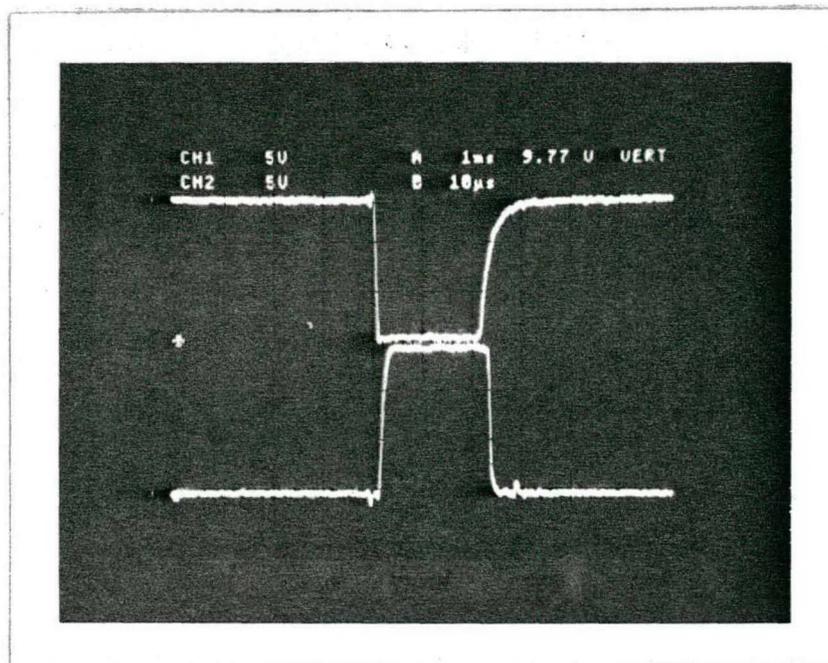


FIGURA 3.12 - Sinal de entrada do circuito de comando e sinal no gate do MOSFET ($10 \mu\text{s}/\text{div.}$).

Os resultados obtidos do ensaio de curto circuito com o segundo circuito de comando (figura 3.11) são mostrados na figura 3.13 (dados obtidos de um osciloscópio de memória digital e processados em um microcomputador equivalente IBM PC).

3.8. Conclusões

Os circuitos de comando implementados mostraram um bom desempenho no comando dos transistores MOSFET, obtendo-se tempos de atraso muito pequenos entre o sinal de saída e entrada do comando. Os circuitos de comando apresentados protegem individualmente os interruptores contra sobrecorrentes e sobretensões no gate-source. Além disto apresentam: alta isolamento, alta imunidade a ruídos e baixa impedância de saída.

Por outro lado os circuitos de comando apresentados são capazes de trabalhar em uma ampla faixa de frequência, desde cente-

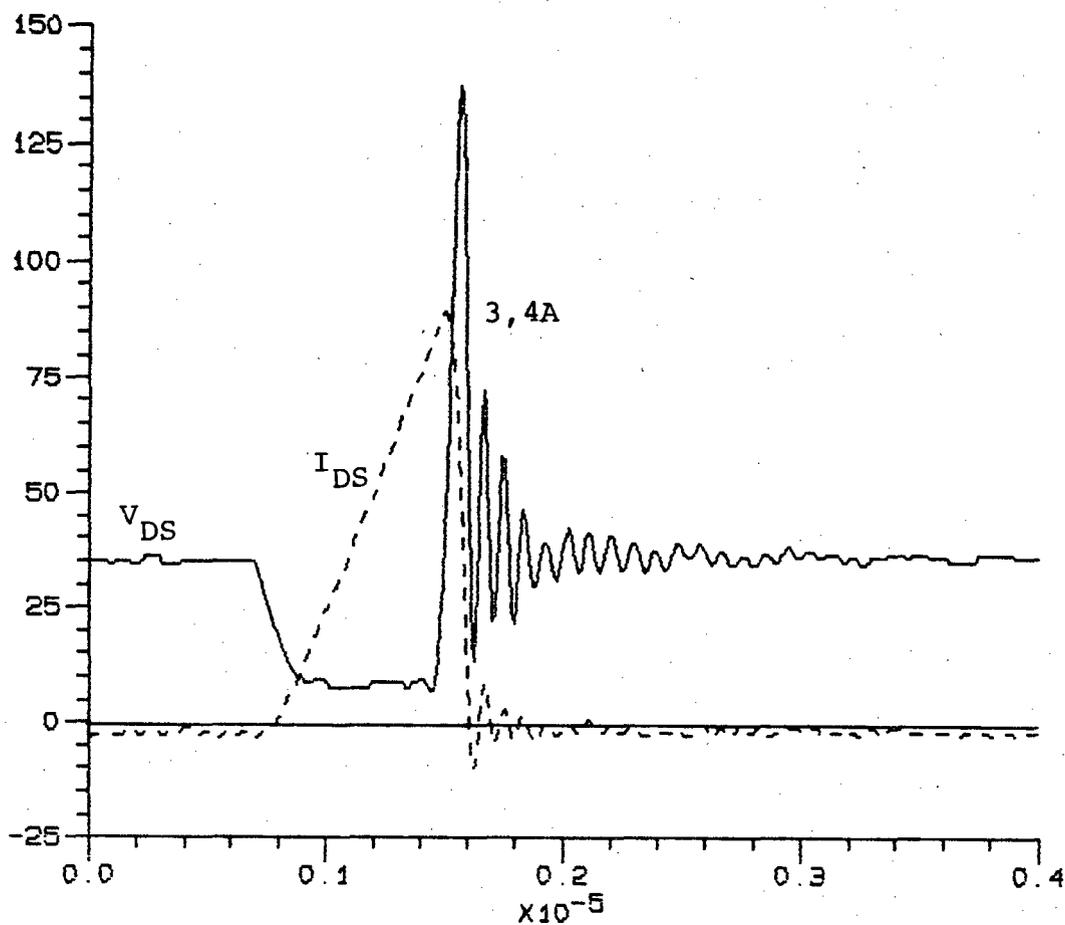


FIGURA 3.13 - Ensaio de curto circuito.

nas de HZ a centenas de KHZ, característica indispensável no comando de um inversor com modulação PWM.

O segundo circuito de comando junto com o transistor MOSFET ajustado adequadamente forma um tiristor dual, o qual poderia ser aproveitado em projetos que requerem as características de um tiristor dual.

CAPÍTULO IV

CIRCUITO DE POTÊNCIA

4.1. Introdução

O circuito de potência é composto basicamente do inversor monofásico em ponte completa com seu circuito de ajuda a comutação, um transformador e o filtro.

Apresenta-se neste capítulo os vários modos de funcionamento do inversor, suas características e funções. Dependendo do bom desempenho do inversor reproduz-se com maior precisão os parâmetros otimizados a fim de se obter o espectro harmônico desejável.

Estuda-se alternativas para a solução dos problemas apresentados com os diodos intrínsecos dos transistores MOSFET de potência.

4.2. Princípio de Funcionamento do Inversor^{2, 25}

Usa-se neste trabalho um inversor monofásico ponte completa. Trata-se de um inversor estático, cuja função é transformar a

tensão contínua em alternada. O inversor deve, apresentar na saída tensão e frequência estabilizadas.

A estrutura do inversor monofásico em ponte, que está representada na figura 4.1.a, constitui-se de uma tensão contínua de alimentação, quatro interruptores (MOSFET) dispostos em dois braços idênticos e uma carga RL.

Os transistores MOSFET M_1 , M_3 funcionam em modo complementar e os MOSFET M_2 , M_4 , também são complementares mas defasadas em um ângulo θ dos transistores M_1 , M_3 (figura 4.1.b). O funcionamento para este caso é o seguinte: supondo que no instante t_0 , a corrente de carga I_L é zero e que os transistores MOSFET M_1 , M_4 tenham a ordem de conduzir, os MOSFET M_1 , M_4 conduzem $[t_0, t_1]$ uma corrente positiva através da carga, com tensão de carga igual à tensão de alimentação ($V_L = E$).

No instante t_1 , bloqueia-se o MOSFET M_4 . Se a carga é indutiva a corrente não pode variar instantaneamente e passa a circular através de M_1 e DI_2 . Nesta etapa, chamada de roda livre, a tensão na carga é zero. Quando bloqueia-se o MOSFET M_1 (t_2), conduzem os diodos DI_3 e DI_2 , com a tensão na carga invertida ($V_L = -E$), até que a corrente se anula (t_3).

Os MOSFET M_2 e M_3 , a partir do instante t_3 , conduzem corrente negativa na carga, aplicando uma tensão de alimentação invertida ($V_L = -E$).

No instante t_4 bloqueia-se o MOSFET M_2 e passa a conduzir o diodo DI_4 junto com o MOSFET M_3 , aplicando na carga uma tensão nula.

Por último, quando o MOSFET M_3 é bloqueado, os diodos DI_1 e

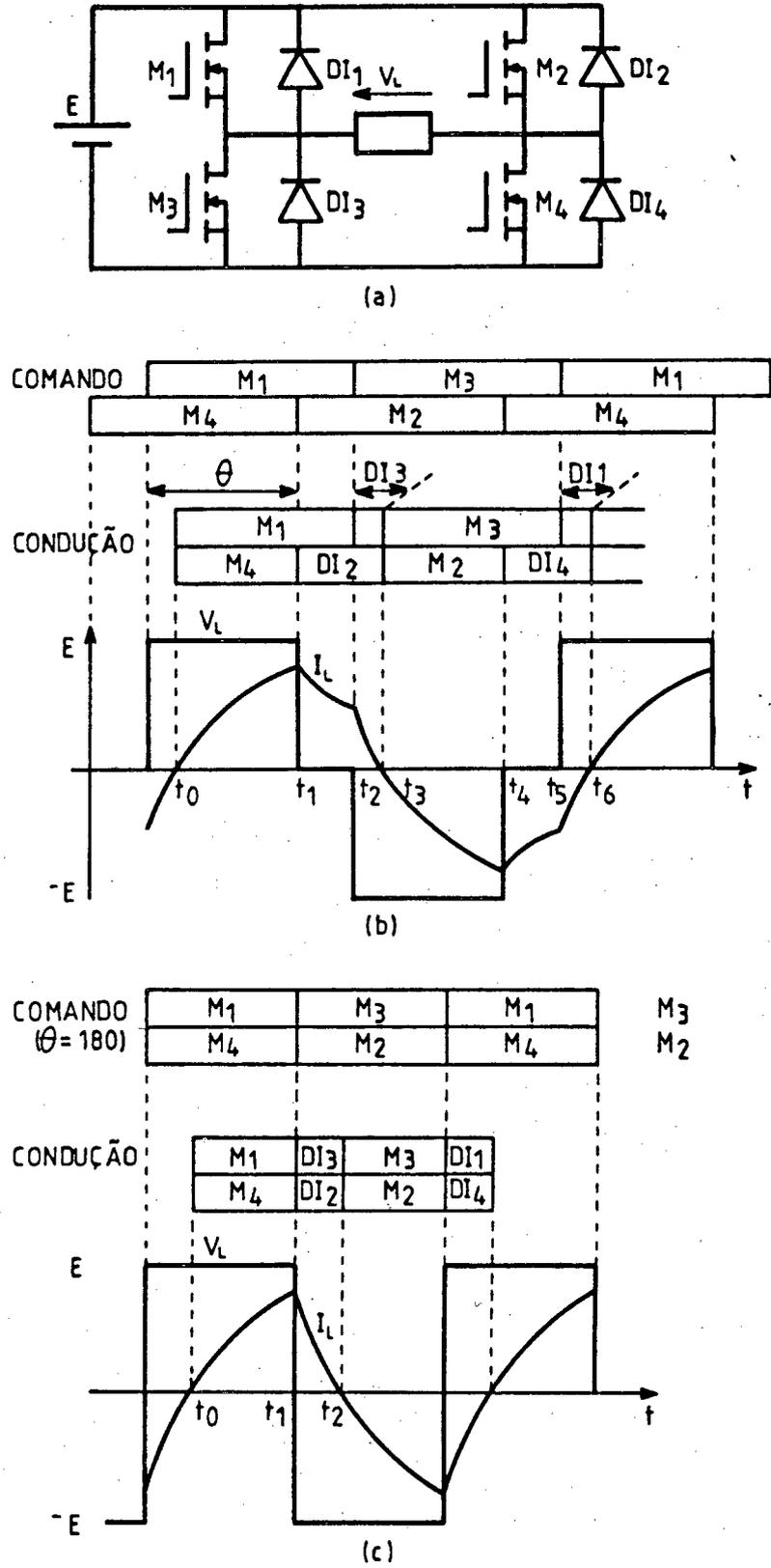


FIGURA 4.1 - Inversor monofásico ponte completa sem modulação e suas distintas maneiras de funcionamento.

DI₄ conduzem e a tensão na carga é igual à tensão de alimentação (E). Quando a corrente se torna nula, um novo período reinicia, observando-se a mesma seqüência descrita anteriormente.

Com os comandos dispostos na figura 4.1.b aparecem três níveis de tensão na carga (E, -E, 0).

Com os comandos dispostos na figura 4.1.c aparecem dois níveis de tensão na carga (-E, +E). Este seria um caso particular do anterior, quando o ângulo θ entre os comandos dos braços do inversor é 180° .

4.3. Soluções Propostas para os Problemas Encontrados na Montagem Devido ao Diodo Intrínseco do MOSFET^{3, 9}

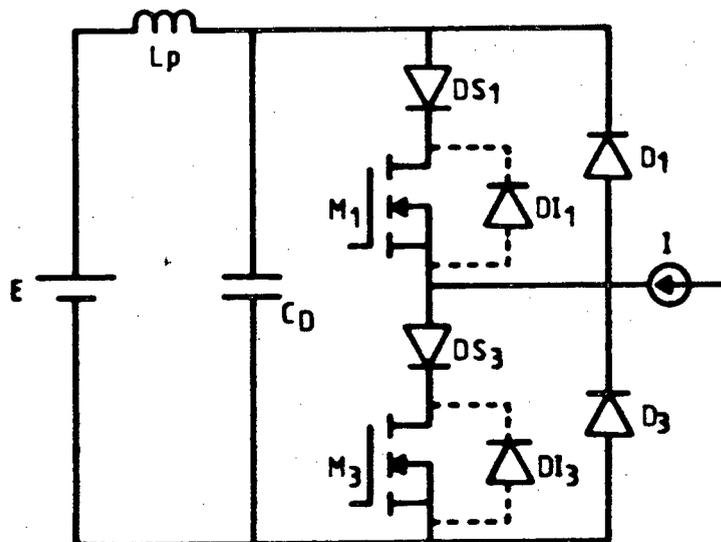


FIGURA 4.2 - Supressão dos diodos intrínsecos do MOSFET.

O fato do diodo intrínseco do MOSFET não ser suficientemente rápido limita a frequência de chaveamento em relação a que se pode obter com os MOSFET. O esquema da figura (4.2) que suprime os diodos intrínsecos permite a operação do inversor em frequências mais elevadas. Na figura 4.2 o capacitor C_D serve para desacoplar a indutância parasita L_p .

Os diodos DS_1 e DS_3 impedem que os diodos intrínsecos do MOSFET (DI_1 , DI_3) atuem. Os diodos D_1 e D_2 são diodos ultra rápidos com características "soft" de recuperação reversa.

O pico de tensão dreno-source é bem maior em diodos com recuperação com características "hard" na recuperação reversa do diodo.

O esquema proposto é teoricamente o mais indicado, mas por razões de custos, optou-se por não suprimir o diodo intrínseco do MOSFET, limitando-se a frequência de comutação dos interruptores.

4.4. Circuito de Ajuda a Comutação

A área de operação com segurança do MOSFET é superior ao transistor bipolar. Isto faz com que o circuito de ajuda a comutação requerido para o MOSFET seja mais simples. O estudo de possíveis circuitos de ajuda a comutação culminou com o uso de um circuito grampeador.

4.4.1. Análise do Inversor com Circuito Grampeador¹⁵

O circuito grampeador escolhido é mostrado na figura (4.3), onde o capacitor CA_1 , o diodo DC_1 e a resistência RA_1 formam o circuito grampeador do transistor MOSFET M_1 . O capacitor CA_3 , o diodo DC_3 e a resistência RA_3 formam o circuito grampeador do MOSFET M_3 . Para efeito de estudo só apresenta-se um braço do inversor.

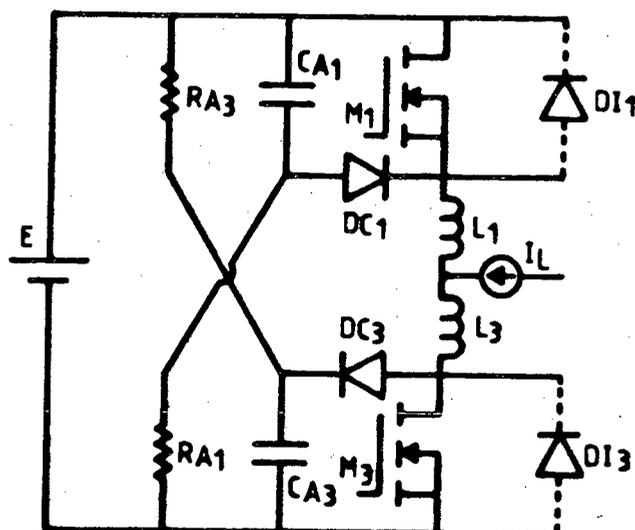


FIGURA 4.3 - Um braço do inversor monofásico com circuito de ajuda a comutação.

Para o estudo do circuito de ajuda a comutação mostra-se uma seqüência de funcionamento:

- Supõe-se que o circuito está em regime permanente com o MOSFET M_3 conduzindo como mostra a figura 4.4.a;

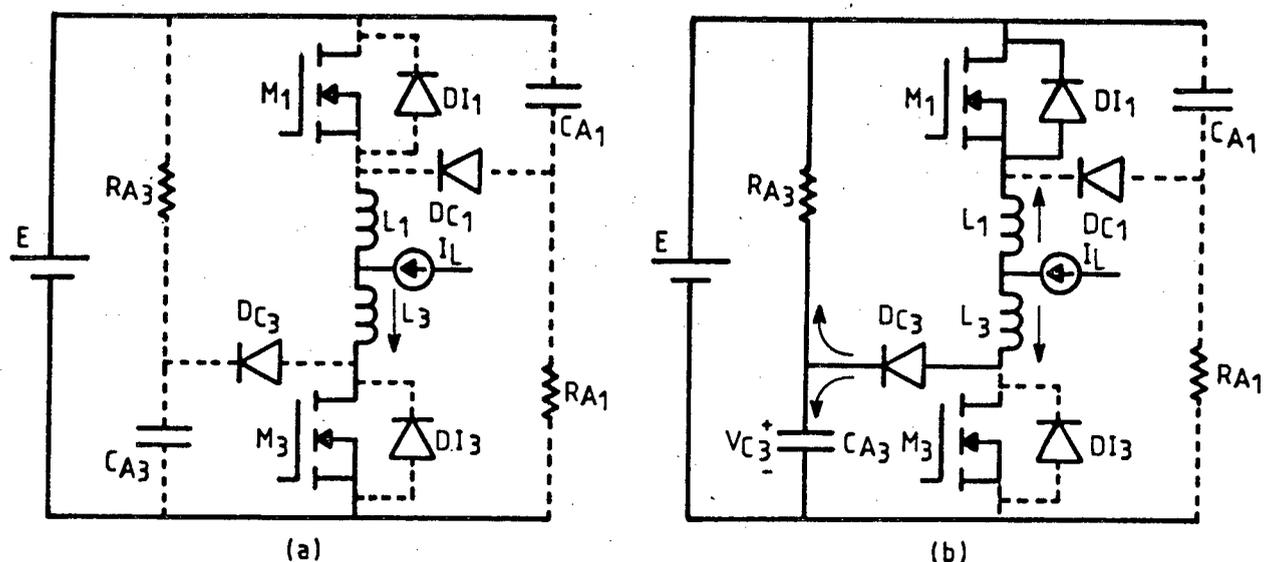


FIGURA 4.4 - Representação de seqüências de funcionamento do circuito de ajuda a comutação.

Para $t = 0^-$ tem-se:

$$IL_3(0^-) = I_L$$

$$VC_3(0^-) = E$$

$$IL_1(0^-) = 0$$

A primeira etapa de funcionamento inicia quando o MOSFET M_3 abre ($t = 0$). O circuito equivalente é mostrado na figura 4.4.b. A corrente de carga (I_L) que circula no indutor L_3 não pode ser anulada instantaneamente; assim passa a circular através do diodo DC_3 e o capacitor CA_3 (figura 4.4.b). A corrente que circula no capacitor CA_3 carrega este com uma tensão maior que a tensão de alimentação (E). Qualquer sobrecarga do capacitor CA_3 em relação à tensão de alimentação, faz conduzir o diodo DI_1 . O circuito (E , DI_1 , L_1 , L_3 , DC_3 e CA_3) agora aparece como circuito LC (não con-

siderando RA_3), com o capacitor CA_3 em s\u00e9rie com as indut\u00e2ncias L_1 e L_3 , sendo a corrente inicial de L_3 igual \u00e0 corrente de carga I_L . Quando a tens\u00e3o do capacitor CA_3 \u00e9 maior do que a tens\u00e3o de alimenta\u00e7\u00e3o e o diodo DI_1 come\u00e7a a conduzir. As tens\u00f5es da malha podem ser descritas pela equa\u00e7\u00e3o 4.1.

$$E = VC_3(t) + L_3 (di_{L_3}/dt) - L_1 (di_{L_1}/dt) \quad (4.1)$$

Durante este per\u00edodo assume-se a corrente de carga como sendo constante e a descarga do capacitor CA_3 atrav\u00e9s da resist\u00eancia RA_3 n\u00e3o \u00e9 considerada.

A corrente que circula atrav\u00e9s do indutor L_3 \u00e9 dada pela equa\u00e7\u00e3o (4.2).

$$i_{L_3} = I_L \cos wt \quad (4.2)$$

onde

$$w = 1/\sqrt{CA_3(L_1 + L_3)}$$

A corrente i_{L_1} que circula pelo indutor L_1 \u00e9 obtida com a equa\u00e7\u00e3o (4.3).

$$i_{L_1} = I_L - i_{L_3} \quad (4.3)$$

Das equa\u00e7\u00f5es (4.2) e (4.4) obt\u00eam-se a queda de tens\u00e3o na indut\u00e2ncia L_3

$$VL_3 = L_3 (di_{L_3}/dt) \quad (4.4)$$

Substituindo-se a equa\u00e7\u00e3o (4.2) em (4.4) e derivando, tem-se a equa\u00e7\u00e3o (4.5)

$$VL_3 = -wL_3 I_L \sin(wt) \quad (4.5)$$

Da mesma forma, encontra-se a equação (4.6)

$$V_{L1} = \omega L_1 I_L \text{ sen}(\omega t) \quad (4.6)$$

Substituindo as equações (4.5) e (4.6) em (4.1) obtém-se:

$$E = V_{C3}(t) - \omega L_3 I_L \text{ sen}(\omega t) - \omega L_1 I_L \text{ sen}(\omega t) \quad (4.7)$$

A tensão do capacitor CA_3 durante este período é dada pela equação (4.8)

$$V_{C3}(t) = E + \omega(L_1 + L_3) I_L \text{ sen}(\omega t) \quad (4.8)$$

A segunda etapa de funcionamento inicia quando a corrente que circula no indutor L_3 se anula e o indutor L_1 assume a corrente de carga.

O pico de tensão no capacitor ocorre no instante em que a corrente no indutor L_3 se anula. Este pico de tensão é obtido substituindo a equação (4.9) em (4.8).

$$\text{Sen}(\omega t) = 1 \quad (4.9)$$

$$V_{C3}(\text{max}) = E + \omega I_L (L_1 + L_3) \quad (4.10)$$

Assumindo $L_1 = L_3 = L_C$ obtém-se a equação 4.11.

$$V_{C3}(\text{max}) = E + 2\omega L_C I_L \quad (4.11)$$

O capacitor CA_3 descarrega esta sobretensão até o valor da tensão de alimentação (E) em combinação com RA_3 .

A energia dissipada na resistência RA_3 é igual à energia transferida do indutor ao capacitor menos a energia entregue à fonte.

Isto é,

$$W = 1/2C (VC_3(\text{max}) - E)^2 \quad (4.12)$$

ou

$$W = L_C \cdot I_L^2 \quad (4.13)$$

Da equação (4.13) obtêm-se a potência dissipada na resistência RA_3 .

$$P_R = L_C \cdot I_L^2 f \quad (4.14)$$

Durante a primeira etapa de funcionamento, o pico de tensão no capacitor CA_3 será tanto menor quanto menor for a resistência RA_3 , por que quando o capacitor CA_3 se carrega ao mesmo tempo uma parte da energia é devolvida à fonte através da resistência RA_3 . Se a resistência RA_3 for pequena o cálculo através das equações anteriores está sobredimensionando o capacitor CA_3 .

As formas de onda para a tensão do capacitor CA_3 (VC_3), a corrente no indutor L_3 (i_{L_3}) e a tensão de gate (V_{GS}) são mostrados na figura 4.5.

4.4.2. Cálculo dos Componentes do Circuito de Ajuda a Comutação

A sobretensão sobre o capacitor CA_3 , que aparece durante a primeira etapa pode ser calculada a partir da equação (4.11).

$$VC_3(\text{max}) - E = \sqrt{(2 \cdot L_C) / CA_3} \cdot I_L \quad (4.15)$$

supondo:

$$x = \frac{VC_3(\text{max}) - E}{E} \quad (4.16)$$

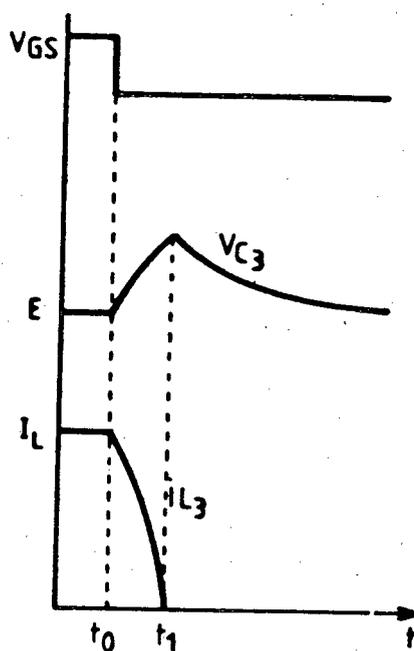


FIGURA 4.5 - Formas de tensão e corrente para o circuito chaveador.

Das equações (4.15) e (4.16) obtêm-se

$$CA_3 = 2L_C [I_L / (x \cdot E)]^2 \quad (4.17)$$

O indutor L_C é determinado pela limitação do valor do pico de corrente no transistor MOSFET, oriundo do pico de corrente reversa do diodo.

A corrente de recuperação reversa do diodo pode ser calculado pela equação experimental (4.18)

$$I_R = \sqrt{\frac{4}{3} Q_R \cdot \frac{di}{dt}} \quad (4.18)$$

sendo

$$di/dt = -E / (L_1 + L_3) \quad (4.19)$$

Q_R - carga armazenada na capacitância intrínseca da função quando o diodo está em condução¹.

Supondo o pior caso, em que o MOSFET M_3 entra em condução quando o diodo DI_1 se recupera (figura 4.4), a corrente de pico total no MOSFET M_3 será:

$$IL_3(\max) = IR + IL \max \quad (4.20)$$

Reescrevendo a equação (4.20):

$$IR = IL_3(\max) - IL \max \quad (4.21)$$

Sendo $IL \max$ e $IL_3(\max)$ determinados pelas condições do projeto, fica determinado IR e com ela o indutor L .

A resistência RA_3 é obtida assumindo que o capacitor CA_3 se descarrega até 1,01 vezes a tensão de alimentação, ao final da segunda etapa de funcionamento.

Obtém-se assim as relações (4.22) e (4.23)

$$x E e^{-\tau/(2RA_3 CA_3)} = 0,01 E \quad (4.22)$$

$$\tau/(2RA_3 CA_3) = -\ln(0,01/x) \quad (4.23)$$

Denominando-se:

$$K = -\ln(0,01/x) ; \quad \tau = \frac{1}{fmc}; \quad fmc \text{ frequência meia de comutação} \quad (4.24)$$

o valor da resistência RA_3 fica determinado pela equação (4.25).

$$RA_3 = \tau/(2 CA_3 K) \quad (4.25)$$

O valor da resistência RA_3 será escolhido menor ou igual ao encontrado pela equação (4.25) para o bom funcionamento do circuito.

4.5. Filtro de Saída do Inversor^{4, 5}

Existe uma grande variedade de filtros possíveis de serem aplicados na saída de um inversor com o objetivo de reduzir ou atenuar os harmônicos que aparecem na saída do inversor.

A tensão alternada na saída do inversor deve possuir distorção total dos harmônicos limitada a cinco por cento da fundamental, por outro lado, o harmônico mais importante não deve ser maior que três por cento.

As considerações básicas no projeto de filtros para uma adequada atenuação de certos harmônicos são as seguintes:

- a) minimização de KVA requeridas pelo inversor;
- b) minimização de variação na tensão de carga;
- c) minimização do custo do filtro;
- d) minimização do peso e tamanho do filtro.

A seleção do filtro para a melhoria da forma de onda da tensão de saída do inversor depende das características da tensão de saída e da carga do inversor. Para esta seleção leva-se em conta basicamente:

- a) tensão de saída;
- b) variação e tipo de carga;
- c) frequência;
- d) conteúdo harmônico do espectro de frequência.

4.5.1. Resposta em Freqüência

O filtro escolhido, pela sua simplicidade, está representado na figura 4.6. Neste filtro o elemento sêrie é o indutor e o elemento paralelo é um capacitor.

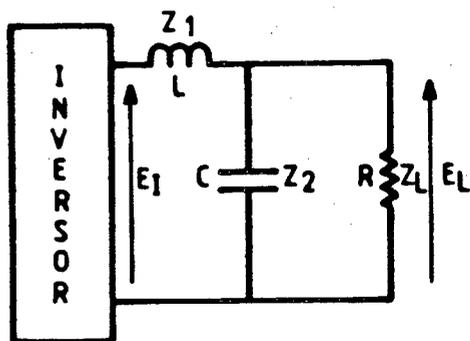


FIGURA 4.6 - Filtro ressonante L.C.

Considerando Z_0 o equivalente paralelo de Z_L e Z_2 tem-se

$$Z_0 = \frac{Z_2 Z_L}{Z_2 + Z_L} \quad (4.26)$$

A função de transferência da tensão de saída pela entrada é estabelecida através de um divisor de tensão.

$$\frac{E_L}{E_I} = \frac{Z_0}{Z_0 + Z_1} \quad (4.27)$$

Considerando carga resistiva e usando transformada de Laplace:

$$Z_1 = sL$$

$$Z_2 = 1/sC$$

$$Z_L = R_L$$

(4.28)

Substituindo a equação (4.28) em (4.26) resulta a equação (4.29).

$$Z_O = \frac{R_L}{SCR_L + 1} \quad (4.29)$$

Das equações (4.27), (4.28) e (4.29) resulta:

$$\frac{E_L}{E_I} = \frac{(R_L)/(SCR_L + 1)}{R_L/(SCR_L + 1) + SL} \quad (4.30)$$

De onde:

$$\frac{E_L}{E_I} = \frac{R_L}{S^2 LC R_L + R_L + SL} \quad (4.31)$$

Trabalhando a equação 4.31 obtém-se a equação (4.32).

$$\frac{E_L}{E_I} = \frac{1}{S^2 CL + S \frac{L}{R_L} + 1} \quad (4.32)$$

No domínio de frequência

$$\frac{E_L}{E_I} = \frac{1}{-w^2 CL + jw \frac{L}{R_L} + 1} \quad (4.33)$$

$$\frac{E_L}{E_I} = \frac{1}{\frac{-w^2}{1/CL} + j \frac{w}{R_L/L} + 1} \quad (4.34)$$

A equação normalizada de um sistema de segunda ordem é:

$$\frac{E_L}{E_I}(jw) = \frac{1}{\frac{-w^2}{w_0^2} + j2 \frac{\zeta w}{w_0} + 1} \quad (4.35)$$

onde:

- ζ é o fator de amortecimento.
- ω_0 é a frequência de ressonância.

Comparando a equação 4.33 e 4.35 obtêm-se:

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (4.36)$$

$$\zeta = \frac{1}{2 \sqrt{LC} R_L} \quad (4.37)$$

Definindo $U = \frac{\omega}{\omega_0}$ como frequência normalizada, a função de transferência normalizada a partir da equação (4.35) resulta na equação (4.38).

$$\frac{E_L}{E_I} = \frac{1}{-U^2 + j2\zeta U + 1} \quad (4.38)$$

O diagrama de Bode da função de transferência está representado na figura 4.7.

$$H(j\omega) = 20 \log \left| \frac{E_L}{E_I} \right| \text{ db.}$$

No projeto do filtro a frequência de ressonância ω_0 é fixada abaixo do harmônico de ordem mais baixa que se quer atenuar adequadamente. Este harmônicos a serem eliminados estão na faixa de frequência em que a curva de atenuação do filtro tem a inclinação de 40 db/década conforme a figura (4.7).

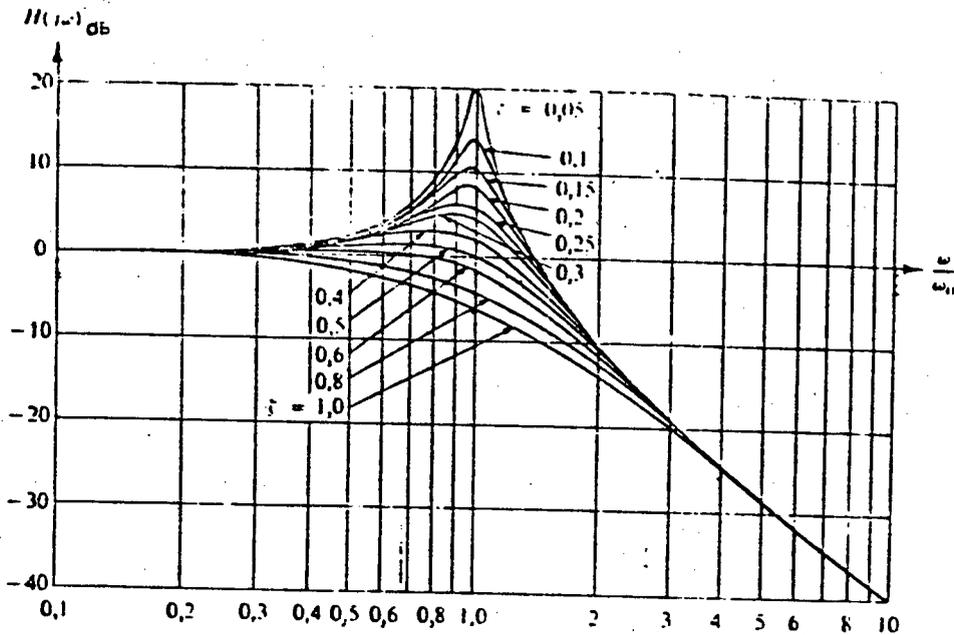


FIGURA 4.7 - Diagrama de Bode da função de transferência do filtro.

4.5.2. Efeitos de L e C no Filtro LC Simples

Uma vez determinada a frequência de corte pelas condições do projeto, encontra-se L e C a partir da equação (4.36), assumindo-se um deles (L ou C).

Duas características importantes do filtro são afetadas pelos valores de L e C obtidos anteriormente:

- Regulagem da tensão fundamental E_L/E_I
- Valor da corrente do inversor I_I/I_L

Com um valor grande de L e C pequeno, o filtro permitiria alta regulagem de tensão fundamental e ficando a corrente do inversor ligeiramente maior que a corrente de carga. Por outro lado

com um indutor pequeno e um capacitor grande, haverá baixa regulagem da tensão fundamental e um grande aumento na corrente do inversor, sobre o valor da corrente de carga.

Analisando-se o efeito sobre o inversor, da relação entre o valor do capacitor e do indutor, pode-se escolher o valor do capacitor e do indutor para um bom funcionamento do filtro.

4.5.2.1. Influência do Capacitor sobre a Corrente do Inversor

A figura 4.8 mostra o circuito do filtro LC simples com carga resistiva e indutiva.

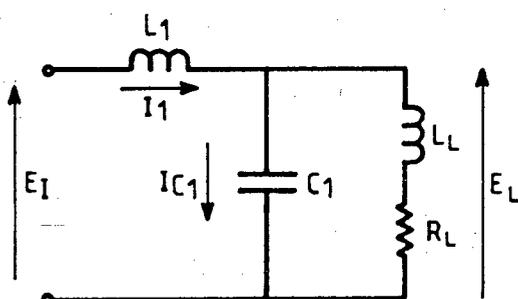


FIGURA 4.8 - Filtro para carga RL.

O termo fundamental $I_{I,1}$, componente de I_1 é dado por:

$$I_{I,1} = I_{L,1} + I_{C1,1} \frac{E_{L,1}}{Z_{O,1}} \quad (4.39)$$

onde:

$Z_{O,1}$ = Impedância equivalente da combinação em paralelo do capacitor do filtro e a carga para a corrente fundamental.

$$Z_{O,1} = \frac{Z_{L,1} Z_{C1,1}}{Z_{L,1} + Z_{C1,1}} \quad (4.40)$$

$$Z_{L,1} = R_L + jX_{L(L),1} = |Z_{L,1}| (\cos \varnothing + j \operatorname{sen} \varnothing) \quad (4.41)$$

com

\varnothing = ângulo do fator de potência.

$$Z_{C1,1} = -jX_{C1,1} \quad (4.42)$$

seja

$$|X_{C1,1}| = K_1 |Z_{L,1}| \quad (4.43)$$

ou

$$K_1 = \frac{(X_{C1,1})}{Z_{L,1}} \quad (4.44)$$

Substituindo a equação (4.43) em (4.42) obtêm-se

$$Z_{C1,1} = -jK_1 |Z_{L,1}| \quad (4.45)$$

Substituindo a equação (4.41) e (4.45) na equação (4.40) resulta:

$$Z_{O,1} = |Z_{L,1}| \frac{-jK_1 (\cos \varnothing + j \operatorname{sen} \varnothing)}{\cos \varnothing + j(\operatorname{sen} \varnothing - K_1)} \quad (4.46)$$

Combinando a equação (4.46) com (4.39) tem-se

$$I_{I,1} = \frac{E_{L,1}}{Z_{O,1}} = \frac{E_{L,1}}{|Z_{L,1}|} \frac{\cos \varnothing + j(\operatorname{sen} \varnothing - K_1)}{K_1 (\operatorname{sen} \varnothing - j \cos \varnothing)} \quad (4.47)$$

onde:

$$\frac{|E_{L,1}|}{|Z_{L,1}|} = |I_{L,1}| \quad (4.48)$$

substituindo (4.48) em (4.47), temos:

$$\frac{|I_{I,1}|}{|I_{L,1}|} = \left| \frac{\cos \varnothing + j(\sin \varnothing - K_1)}{K_1 (\sin \varnothing - j \cos \varnothing)} \right| \quad (4.49)$$

A equação (4.49) é a razão da corrente fundamental do inversor pela corrente da carga. Esta razão em função de K_1 é plotada para vários fatores de potência da carga.

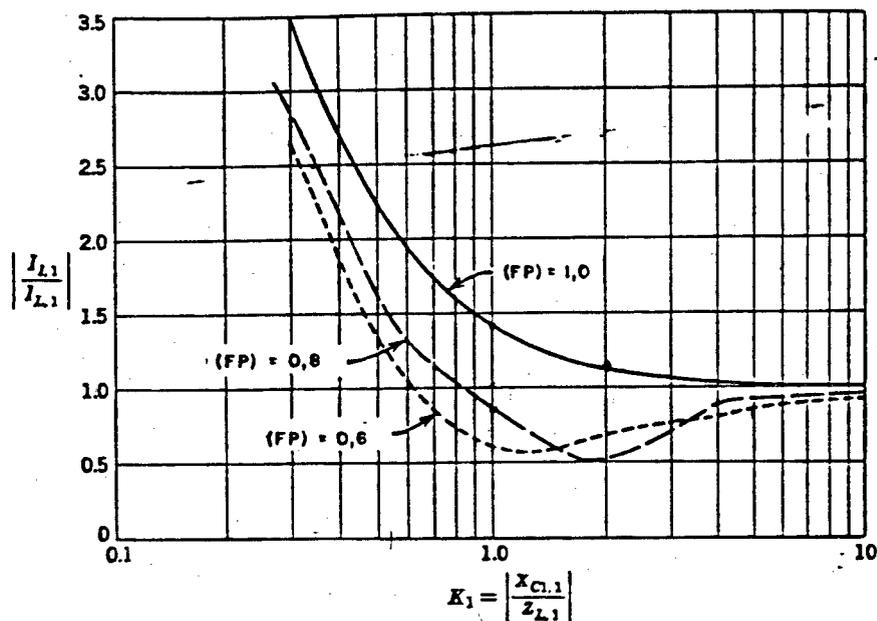


FIGURA 4.9 - Corrente do inversor em função do capacitor do filtro e do fator de potência da carga.

4.5.2.2. Regulagem de Tensão

A regulagem de tensão da componente fundamental devido ao filtro pode ser expressa como a razão da tensão de carga pela tensão de saída do inversor. Esta razão é afetada tanto pelo indutor como pelo capacitor. O capacitor afeta o fundamental de corrente através do indutor e esta

corrente determina a queda de tensão sobre o indutor.

A fundamental de tensão de carga é:

$$E_{L,1} = E_{I,1} - I_{I,1} Z_{L1,1} \quad (4.50)$$

onde:

$$Z_{L1,1} = jX_{L1,1} \quad (4.51)$$

seja

$$|X_{L1,1}| = K_2 |Z_{L,1}| \quad (4.52)$$

$$K_2 = \frac{|X_{L1,1}|}{|Z_{L,1}|} \quad (4.53)$$

Da equação (4.53) e (4.50) tem-se

$$\frac{E_{L,1}}{E_{I,1}} = 1 - \frac{I_{L,1}}{E_{I,1}} j K_2 |Z_{L,1}| \quad (4.54)$$

$$\frac{I_{L,1}}{E_{I,1}} = \frac{1}{Z_{I,1}} = \frac{1}{Z_{O,1} + jX_{L1,1}} \quad (4.55)$$

com a equação (4.46)

$$Z_{O,1} = \frac{|Z_{L,1}| K_1 (\text{sen } \varnothing - j \text{cos } \varnothing)}{\text{cos } \varnothing + j (\text{sen } \varnothing - K_1)} \quad (4.56)$$

Das equações (4.56) e (4.54) obtêm-se:

$$\frac{E_{L,1}}{E_{I,1}} = 1 - \frac{j K_2}{j K_2 + \frac{K_1 (\text{sen } \varnothing - j \text{cos } \varnothing)}{\text{cos } \varnothing + j (\text{sen } \varnothing - K_1)}} \quad (4.57)$$

$$\frac{E_{L,1}}{E_{I,1}} = \frac{\frac{K_1 (\text{sen } \varnothing - j \text{cos } \varnothing)}{\text{cos } \varnothing + j (\text{sen } \varnothing - K_1)}}{\frac{K_1 (\text{sen } \varnothing - j \text{cos } \varnothing)}{\text{cos } \varnothing + j (\text{sen } \varnothing - K_1)} + j K_2} \quad (4.58)$$

Representa-se a equação (4.58) na figura 4.10, que é a tensão da carga em função do indutor, variando K_1 e o fator de potência.

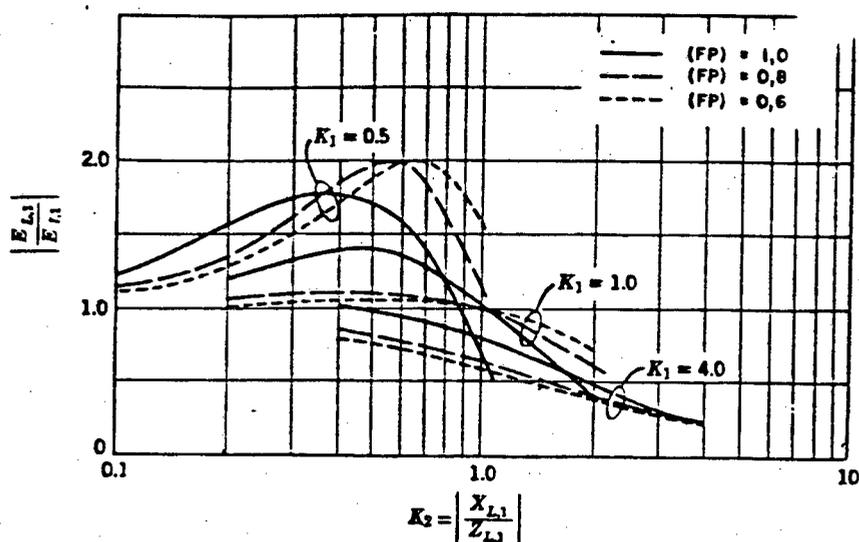


FIGURA 4.10 - Tensão de carga em função de K_1 , K_2 e fator de potência.

4.5.2.3. Cálculo para Harmônicos de Ordem n

Para o harmônico de ordem n obtém-se:

$$|X_{L1,n}| = n |X_{L1,1}| = n K_2 |Z_{L,1}| \quad (4.59)$$

$$|X_{C1,n}| = \frac{|X_{C1,1}|}{n} = \frac{K_1 |Z_{L,1}|}{n} \quad (4.60)$$

$$Z_{L,n} = R_L + j |X_{L(L),n}| = R_L + j n |X_{L(L),1}| \quad (4.61)$$

onde:

$$R_L = |Z_{L,1}| \cos \phi \quad (4.62)$$

$$|X_{L(L),1}| = |Z_{L,1}| \operatorname{sen} \varnothing \quad (4.63)$$

$$Z_{L,n} = |Z_{L,1}| (\cos \varnothing + jn \operatorname{sen} \varnothing) \quad (4.64)$$

$$\frac{E_{L,n}}{E_{I,n}} = 1 - \frac{I_{I,n} |jX_{L1,n}|}{E_{I,n}} = 1 - \frac{j|X_{L1,n}|}{Z_{I,n}} \quad (4.65)$$

$$\frac{E_{L,n}}{E_{I,n}} = 1 - \frac{j|X_{L1,n}|}{Z_{O,n} + j|X_{L1,n}|} = 1 - \frac{jn K_2 |Z_{L,1}|}{Z_{O,n} + jn K_2 |Z_{L,1}|}$$

$$\frac{E_{L,n}}{E_{I,n}} = 1 - \frac{jn K_2}{jn K_2 + \frac{Z_{O,n}}{|Z_{L,1}|}} = \frac{jn K_2 + \frac{Z_{O,n}}{|Z_{L,1}|} - jn K_2}{jn K_2 + \frac{Z_{O,n}}{|Z_{L,1}|}}$$

$$jn K_2 + \frac{Z_{O,n}}{|Z_{L,1}|} = \frac{E_{I,n}}{E_{L,n}} \frac{Z_{O,n}}{|Z_{L,1}|} \quad (4.66)$$

$$K_2 = \frac{1}{jn} \frac{Z_{O,n}}{|Z_{L,1}|} \left(\frac{E_{I,n}}{E_{L,n}} - 1 \right) \quad (4.67)$$

seja

$$\frac{E_{I,n}}{E_{L,n}} = K_{A,n}, \text{ atenuação requerida do harm\^o n.} \quad (4.68)$$

$$Z_{O,n} = \frac{Z_{L,n} (-j|X_{C1,n}|)}{Z_{L,n} + (-j|X_{C1,n}|)} \quad (4.69)$$

$$Z_{O,n} = \frac{|Z_{L,1}| (\cos \varnothing + jn \operatorname{sen} \varnothing) (-j \frac{K_1}{n} |Z_{L,1}|)}{|Z_{L,1}| (\cos \varnothing + jn \operatorname{sen} \varnothing) + (-j \frac{K_1}{n} |Z_{L,1}|)} \quad (4.70)$$

$$\frac{Z_{O,n}}{|Z_{L,1}|} = \frac{-j \frac{K_1}{n} (\cos \varnothing + j n \sin \varnothing)}{(\cos \varnothing + j n \sin \varnothing) - j \frac{K_1}{n}} \quad (4.71)$$

$$\frac{1}{J} \frac{Z_{O,n}}{|Z_{L,1}|} = \frac{-\frac{K_1}{n} (\cos \varnothing + j n \sin \varnothing)}{\cos \varnothing + j(n \sin \varnothing - \frac{K_1}{n})} \quad (4.72)$$

Substituindo (4.72) e (4.68) em (4.67) e considerando que K_2 é um número real:

$$K_2 = \frac{K_1}{n^2} \left| \frac{\cos \varnothing + j n \sin \varnothing}{\cos \varnothing + j(n \sin \varnothing - K_1/n)} \right| (K_{A,n} - 1) \quad (4.73)$$

Na figura 4.11 K_2 é plotada em função de K_1 , para a atenuação de harmônicos de ordem n .

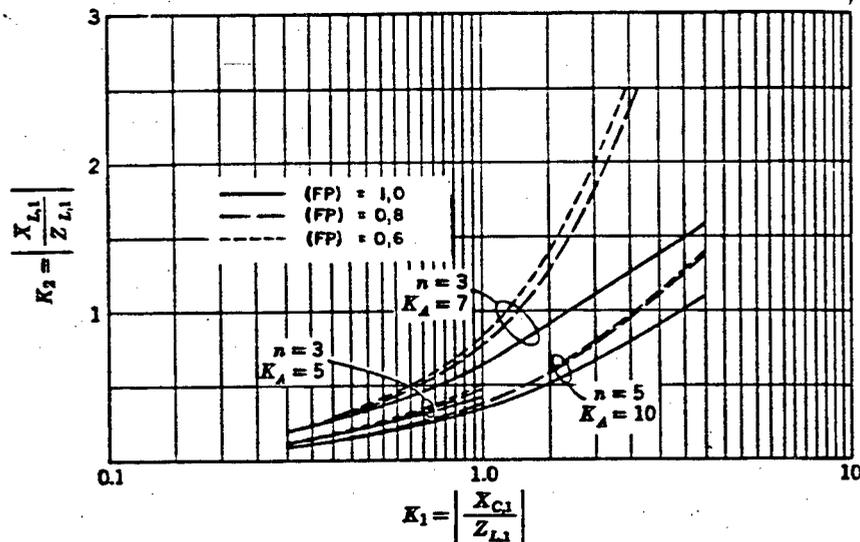


FIGURA 4.11 - Tendência do valor de indutor e capacitor para várias atenuações de harmônicos.

As curvas apresentadas na figura 4.11 mostram que K_1 aumenta com o aumento de K_2 .

4.5.2.4. Exemplo de Cálculo do Filtro

O cálculo do filtro é realizado para cargas resistivas. A tensão de saída do inversor tem harmônicos com ordem 63 e 65. Por outro lado, sabendo que o valor do fator de amortecimento depende da amplificação ou não dos harmônicos minimizados que aparecem pela não idealidade dos circuitos reais (na frequência de ressonância), adotou-se os valores dos componentes L e C com o critério de ter: frequência de ressonância menor à frequência do harmônico atenuar (3.780Hz), $E_L/E_I \sim 1$ e $I_I/I_L \sim 1$.

$$L = 25 \text{ mH}$$

$$C_1 = 2 \text{ } \mu\text{F}$$

$$R_L = 60 \text{ } \Omega$$

Para estes valores a frequência de ressonância será:

$$f_o = \frac{1}{2\pi \sqrt{L C_1}} \quad (4.74)$$

Substituindo L_1 e C_1 em (4.74)

$$f_o = 711,76 \text{ Hz}$$

O fator de amortecimento é obtido substituindo as grandezas R_L , C_1 e L em (3.37)

$$\zeta = \frac{L}{2 \sqrt{L C_1 R_L}}$$

$$\zeta = 0,93$$

Para analisar a influência do indutor sobre a corrente do

inversor, primeiramente calculou-se a impedância do capacitor.

$$Z_{C1,1} = \frac{1}{\omega C_1} \quad (4.75)$$

Substituindo C_1 em (4.75) resulta:

$$Z_{C1,1} = 1326,29 \, \Omega$$

De acordo com a equação (4.43) obtém-se K_1 o qual resulta $K_1 = 22,1$.

Para um fator de potência unitário a corrente do inversor é aproximadamente igual a corrente de carga (figura 4.9). Substituindo-se o valor de K_1 obtido na equação (4.49) tem-se:

$$\left| \frac{I_{I,1}}{I_{L,1}} \right| = 1,001$$

Feito isto, será analisado o efeito do indutor sobre a tensão de carga.

Para um indutor de 25 mH, a sua impedância é:

$$Z_{L1,1} = \omega L$$

$$Z_{L1,1} = 9,42 \, \Omega$$

Substituindo $Z_{L1,1}$ e $Z_{L,1}$ na equação 4.53 obtém-se $K_2 = 0,157$.

A relação entre a tensão de carga e a tensão do inversor é obtida com os valores de K_1 , K_2 e o fator de potência unitário usando a equação 4.58.

$$\frac{E_{L,1}}{E_{I,1}} = 0,9947$$

Isto mostra que a tensão de carga é menor que a tensão do

inversor, conforme figura 4.10. Observe-se que com o aumento de K_2 a tensão de carga diminui.

Com a substituição das grandezas de K_1 , K_2 e fator de potência e a ordem dos harmônicos, obtêm-se $K_{A,n}$ através da equação (4.73).

A tabela 4.1. mostra a ordem dos harmônicos, a constante K_A , n , o valor percentual da tensão de ordem n na entrada do filtro (otimizado) e o valor percentual da tensão de ordem n na saída do filtro calculada pela equação (4.68).

TABELA 4.1 - Harmônicos de ordem n e suas tensões antes e após o filtro, com ângulo de defasamento de 180° .

n	$K_{A,n}$	$E_{I,n}$ (%)	$E_{L,n}$ (%)
1	1,15	100	86,95
5	1,8	0,05	0,028
7	2,15	0,10	0,046
63	30,88	46,00	1,489
65	32,70	63,06	1,928
67	34,58	21,57	0,624
69	36,51	2,73	0,075

4.6. Transformador de Tensão do Inversor

O transformador permite adaptar a tensão de saída do inversor a níveis usuais, além de isolar a carga do inversor.

A máxima tensão eficaz aplicada sobre o primário do trans-

formador ocorre quando o defasamento entre os comandos de cada braço do inversor é de 180° .

Considerando tensão crítica mínima no banco de baterias de 40 V, é calculado o valor da tensão eficaz da fundamental na entrada do transformador de potência.

A amplitude da tensão fundamental para 30 parâmetros e defasamento de 180° entre os camadas dos braços do inversor é 0,96 E, resultado obtido através da otimização.

Para a relação máxima ($\varnothing = 180^\circ$), a forma de onda da tensão de saída do inversor é mostrada na figura 4.12.

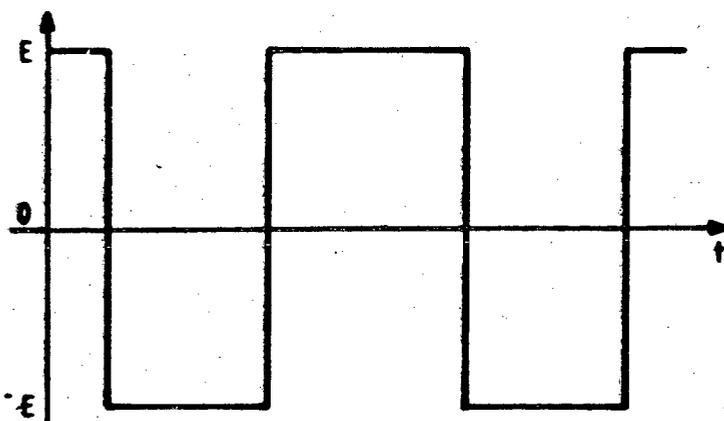


FIGURA 4.12 - Tensão de saída do inversor com o comando defasado em 180° entre os braços do inversor.

A tensão eficaz é,

$$V_{ef}^2 = \frac{1}{T} \int_0^T f(t)^2 dt \quad (4.75)$$

A partir da figura 4.12 a função $f(t)$ é dada pela equação (4.76).

$$f(t)^2 = E^2 \quad \text{para todo } t \quad (4.76)$$

Substituindo (4.76) em (4.75) obtêm-se:

$$V_{ef}^2 = \frac{1}{T} \int_0^T E^2 dt \quad (4.77)$$

$$V_{ef}^2 = \frac{1}{T} |E^2|_0^T \quad (4.78)$$

$$V_{ef} = E \quad (4.79)$$

onde:

$$V_{ef}^2 = V_{ef}^2 \text{ (fundamental)} + \Sigma V_{ef}^2 \text{ (harmônicos)} \quad (4.80)$$

como

$$V_{ef} \text{ (fundamental)} = \frac{0,96}{\sqrt{2}} E \quad (4.81)$$

O total de harmônicos é dado pela equação (4.82).

$$\Sigma V_{ef}^2 \text{ (harmônicos)} = V_{ef}^2 - V_{ef}^2 \text{ (fundamental)} \quad (4.82)$$

Supondo a tensão mínima da fonte de alimentação 40 V, o valor da fundamental de tensão é:

$$V_{ef} \text{ (fund)} = \frac{0,96}{\sqrt{2}} \times 40 = 27,15 \text{ V}$$

Dimensionando o inversor para 300 VA na carga, e considerando perdas de 10% no trafo, a potência requerida para o inversor será:

$$P = 1,1 \times 300 \text{ VA} = 330 \text{ VA}$$

A corrente eficaz na saída do inversor ou entrada ao transformador é,

$$I_{pef} = \frac{330 \text{ VA}}{27,15 \text{ V}} = 12,15 \text{ A}$$

A corrente eficaz em cada interruptor é dada por:

$$I_{Def} = \frac{I_{pef}}{\sqrt{2}}$$

$$I_{Def} = 8,59 \text{ A}$$

Para determinar a queda de tensão no interruptor deve-se considerar a resistência em condução do MOSFET.

O transistor usado é o MOSFET tipo BUZ-36, fabricado pela SIEMENS, o qual possui as seguintes características:

$I_D = 22 \text{ A}$	$V_{DS} = 200 \text{ V}$	$R_{DS(ON)} (25^\circ) = 0,12 \ \Omega$
$T_J = -55 \text{ a } 150^\circ$		$R_{DS(ON)} (100^\circ\text{C}) = 0,165 \ \Omega$
$R_{\theta JC} = 1^\circ\text{C/w}$		$R_{\theta CD} = 0,2^\circ\text{C/w}$
$T_A = 30^\circ$ (temperatura ambiente)		$R = 6 \ \mu\text{C}$

A queda de tensão em cada MOSFET é obtida a partir da equação 4.82.

$$\begin{aligned} \Delta V_{DS} &= R_{DS(ON)} I_{Def} & (4.82) \\ \Delta V_{DS} &= 0,165 \ \Omega \cdot 8,59 \text{ A} \\ \Delta V_{DS} &= 1,42 \text{ V} \end{aligned}$$

A tensão na entrada do transformador será,

$$\begin{aligned} V_p &= V_{ef}(\text{fund}) - 2 \Delta V_{DS} & (4.83) \\ V_p &= 27,15 \text{ V} - 2(1,42 \text{ V}) = 24,31 \sim 24 \text{ V} \end{aligned}$$

Se o valor percentual da fundamental de tensão é 86,95% (tabela 4.1) na saída do filtro e equivalente a 110 V, a tensão requerida na entrada do filtro é calculado pela equação (4.68), obtém-se 126,5 V. Considerando quedas de tensão devido a não idealidade do transformador, adotou-se a tensão de saída do transfor-

mador igual a 140 V.

$$N = \frac{V_S}{V_P} = \frac{140}{24} = 5,83 \sim 6$$

4.7. Cálculo Térmico para os Interruptores

O objetivo do cálculo térmico de um componente é garantir que a temperatura de junção permaneça abaixo do valor máximo permitido, especificado pelo fabricante.

4.7.1. Perdas por Condução

As perdas em condução são dadas por,

$$PC = I_{Def}^2(ON) R_{DS}(ON) \quad (4.84)$$

$I_{Def}(ON)$ - corrente eficaz no dreno

$R_{DS}(ON)$ - resistência de dreno com o MOSFET em condução

A tensão eficaz correspondente aos harmônicos (acima de 3.780 HZ) ocasiona uma corrente desprezível, devido as indutâncias (parasitas ou não) em série com a carga que apresentam alta impedâncias para frequências elevadas. Por isto só é considerada a corrente eficaz da fundamental.

Sendo

$$R_{DS}(ON) = 0,165 \Omega$$

$$I_{Def} = 8,59 \text{ A}$$

Substituindo esses valores em (4.84), obtém-se

$$PC = 12,17 \text{ W}$$

4.7.2. Perdas de Chaveamento

São dadas por:

$$P_{CH} = \frac{f_{CH}}{2} (t_f + t_r) I_{DS(max)} \cdot V_{DS(OFF)} \quad (4.85)$$

f_{CH} = frequência média de chaveamento

t_r = tempo de subida (rise-time)

t_f = tempo de decida (fall-time)

$I_{DS(max)}$ = máxima corrente de dreno comutada

$V_{DS(OFF)}$ = máxima tensão de chaveamento

Sendo os tempos de subida e decida da ordem de nanosegundos e a frequência média de chaveamento baixa estas perdas são desprezíveis.

4.7.3. Perdas no Gate

São dados por:

$$P_G = P_{GC} \left(\frac{R_G}{R_{ST} R_G} \right) \quad \text{ou} \quad P_G = V_{GS} \cdot Q_G \cdot f \cdot f_{CH} \cdot \left(\frac{R_G}{R_G + R_S} \right) \quad (4.86)$$

onde:

P_{GC} = Potência dissipada no circuito de gate

P_G = Potência dissipada no próprio gate

R_G = Resistência de gate

R_S = Resistência externa, na fonte de comando

V_{GS} = Tensão entre o gate e source

f = Frequência de chaveamento

Q_G = Carga armazenada nas capacitâncias do gate

Como o transistor MOSFET possui características capacitiva,

possuindo uma capacitância entre gate-source muito pequena, estas perdas tem somente valor considerável em frequências muito elevadas. No projeto em questão estas perdas serão desprezadas devido a frequência de operação ser baixa, perante os valores das capacitâncias.

4.7.4. Perdas em Bloqueio

São dadas por:

$$P_{\text{off}} = I_{\text{Doff}} V_{\text{DSoff}} (1 - D) \quad (4.87)$$

onde:

$$D = (T - T_0/T)$$

I_{Doff} = Corrente de dreno com tensão zero no gate

V_{DSoff} = Tensão entre dreno e source com o MOSFET bloqueado

É usualmente muito pequena e é desprezível a não ser que $V_{\text{GS}}(\text{OFF})$ seja razoavelmente maior que zero.

Logo as perdas totais são:

$$P_T = 12,17 \text{ W}$$

Uma vez determinadas as perdas na chave o dissipador necessário é obtido a partir das equações

$$T_J - T_A = R_{\theta JA} \cdot P_T \quad (4.88)$$

onde:

$$R_{\theta JA} = R_{\theta JC} + R_{\theta CD} + R_{\theta DA} \quad (4.89)$$

os limites da junção, $R_{\theta JC}$ e $R_{\theta CD}$ são fornecidos pelos fabricantes.

Sendo

$$P_T = 12,89 \text{ W}$$

$$T_J = 100^\circ\text{C}$$

$$T_{\text{amb}} = 30^\circ\text{C}$$

$$R_{\theta JC} = 1^\circ\text{C/W}$$

$$R_{\theta CD} = 0,2^\circ\text{C/W}$$

Substituindo as grandezas nas equações 4.88 e 4.89 obtém-se:

$$R_{\theta JA} = 5,75^\circ\text{C/W}$$

$$R_{DA} \leq 4,55^\circ\text{C/W}$$

4.8. Cálculo de Componentes do Circuito de Ajuda a Comutação

Sabendo que o transistor MOSFET pode suportar picos de corrente de até 85 A e que a corrente eficaz é 12,15 A, pode-se aceitar picos de 60% no interruptor. A partir da equação (4.20) obtém-se a corrente permitida para a condição anterior.

$$I_R = I_{L3}(\text{max}) - I_{L\text{max}}$$

sendo:

$$I_{L3}(\text{max}) = 1,6\sqrt{2} (12,15) = 27,49 \text{ A}$$

$$I_{L\text{max}} = \sqrt{2} (12,15) = 17,18 \text{ A}$$

$$I_R = 10,31 \text{ A}$$

Da equação (4.18) com $Q_R = 6 \mu\text{C}$ obtém-se

$$\frac{di}{dt} = 13,28 \text{ A}/\mu\text{s}$$

sendo

$$\frac{di}{dt} = E / (L_1 + L_3)$$

$$E = 56 \text{ V}$$

$$L_1 + L_3 = 4,21 \text{ } \mu\text{H}$$

Considerando-se $L_1 = L_2$, fica determinado a indutância de circuito de ajuda a comutação

$$L_C = 2,1 \text{ } \mu\text{H}$$

optou-se por $L_C = 2 \text{ } \mu\text{H}$.

Calcula-se o capacitor do circuito de ajuda a comutação com a equação (4.17).

$$C = 2L_C [I_L / (x \cdot E)]^2$$

sendo

$$I_L = 17,18 \text{ A}$$

$$L_C = 2 \text{ } \mu\text{H}$$

$$E = 56 \text{ V}$$

$$x = \frac{V_C \text{ max} - E}{E}$$

Sabendo que o MOSFET usado suporta até 200 V pode-se aceitar picos de 45% de E.

$$C = 1,86 \text{ } \mu\text{F}/250 \text{ V}$$

Escolheu-se o capacitor existente de comutação (polipropileno) de 1,82 μF .

O valor de resistência fica determinado pela equação 4.25

$$R = \frac{T}{2C K}$$

onde $K = -\ln(0,01/x)$

considerando a frequência média de comutação 3660 HZ

$$R = 19,71 \Omega$$

Quando a tensão do capacitor CA_3 cresce (figura 4.4.b) acima da tensão de alimentação, a descarga através de RA_3 não é considerada. Devido a este fato a energia armazenada no capacitor será menor ao previsto pelas equações, por isto a resistência adotada é de 33Ω .

Da equação (4.14) é calculada a potência dissipada na resistência

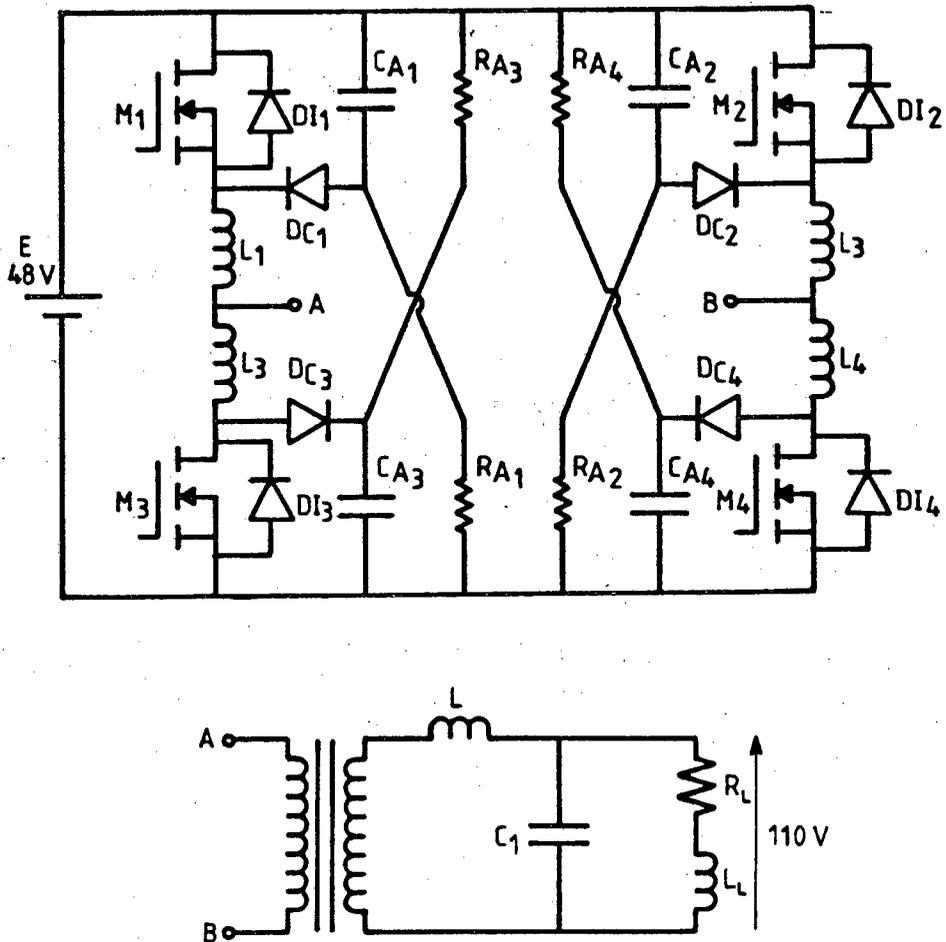
$$P_R = 2,16 W$$

adota-se $33 \Omega/5W$.

O circuito de potência é mostrado na figura 4.13.

4.9. Funcionamento do Inversor com Modulação

O inversor monofásico em ponte completa foi simulado com os interruptores comandados com os padrões otimizados para 30 parâmetros (61 pulsos por período de modulação). Os resultados da simulação da tensão de saída é mostrado na figura 4.14.



- C_1 - Capacitor $2\mu\text{F}$
 L - Indutor 25 mH
 L_L - Indutância de carga
 R_L - Resistência de carga
 CA_1, CA_2, CA_3, CA_4 - Capacitor $2,82\ \mu\text{F}/250\ \text{V}$
 DC_1, DC_2, DC_3, DC_4 - Diodo MUR 1510
 DI_1, DI_2, DI_3, DI_4 - Diodo Intrínseco do MOSFET
 L_1, L_2, L_3, L_4 - Indutor $2\ \mu\text{H}$
 M_1, M_2, M_3, M_4 - MOSFET BUZ-36
 RA_1, RA_2, RA_3, RA_4 - Resistor $33\ \Omega/\text{SW}$

FIGURA 4.13 - Circuito de potência completo.

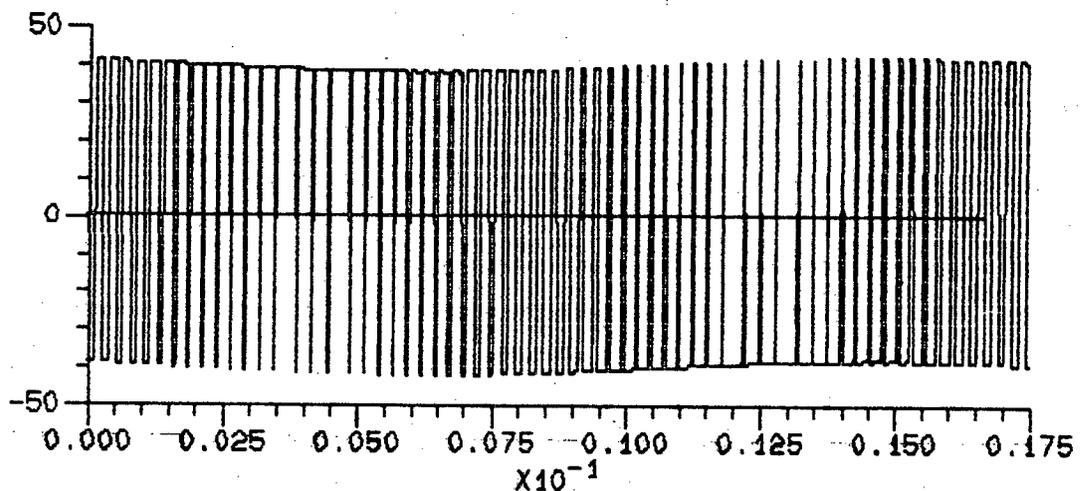


FIGURA 4.14 - Simulação da tensão de saída do inversor para 30 parâmetros otimizados com um ângulo de defasamento de 180° entre os comandos dos braços do inversor.

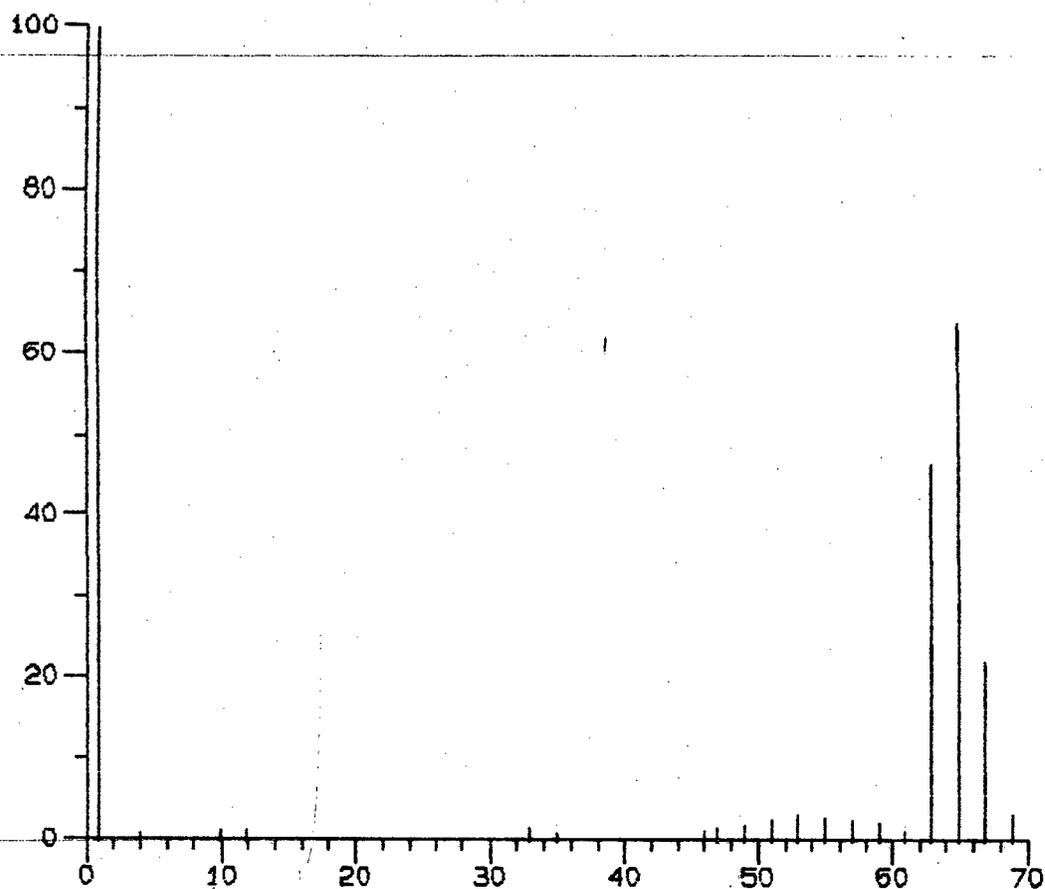


FIGURA 4.15 - Análise dos harmônicos de tensão de saída do inversor (simulação).

4.10. Conclusões

O equacionamento realizado neste capítulo, permite o dimensionamento dos componentes do inversor, do transformador e do filtro.

O programa de simulação²³ possibilitou a verificação da tensão de saída do inversor e seu conteúdo harmônico. Estes resultados eram os esperados; Com os 30 parâmetros otimizados são minimizados 30 harmônicos sendo os harmônicos mais importantes de ordem superior a 63. Deste modo, o filtro a ser projetado pode ter uma frequência de corte maior do que o filtro que seria necessário para outros tipos de modulação. Assim a baixa ordem na tensão de saída, permite minimizar o tamanho, volume e custo do filtro de saída.

O circuito de ajuda a comutação estudado permite ao MOSFET proteção contra sobretensão, proteção de di/dt e picos de corrente devido aos diodos intrínsecos lentos.

O transformador utilizado é comum, como qualquer outro inversor clássico, por causa da frequência de 60 Hz, porém fazendo parte da indutância do filtro.

CAPÍTULO V

REGULAÇÃO

5.1. Introdução

O objetivo é regular o valor eficaz da tensão de saída do inversor com a maior rapidez a fim de satisfazer às solicitações bruscas de corrente na carga ou compensar as variações da fonte de alimentação. Procurou-se um circuito capaz de comparar a tensão de saída do inversor com uma tensão de referência gerada em sincronismo com a tensão de saída do inversor. O erro, resultado desta comparação é um sinal analógico que deve ser adaptado ao circuito de comando lógico que usa circuitos digitais.

Existem componentes, conversores analógico-digitais, que são de custo elevado, para estas aplicações. Neste capítulo apresenta-se um circuito de regulação, com componentes comuns e de baixo custo.

5.2. Circuito Utilizado

A figura 5.1 mostra o diagrama de blocos do inversor e sua malha de regulação.

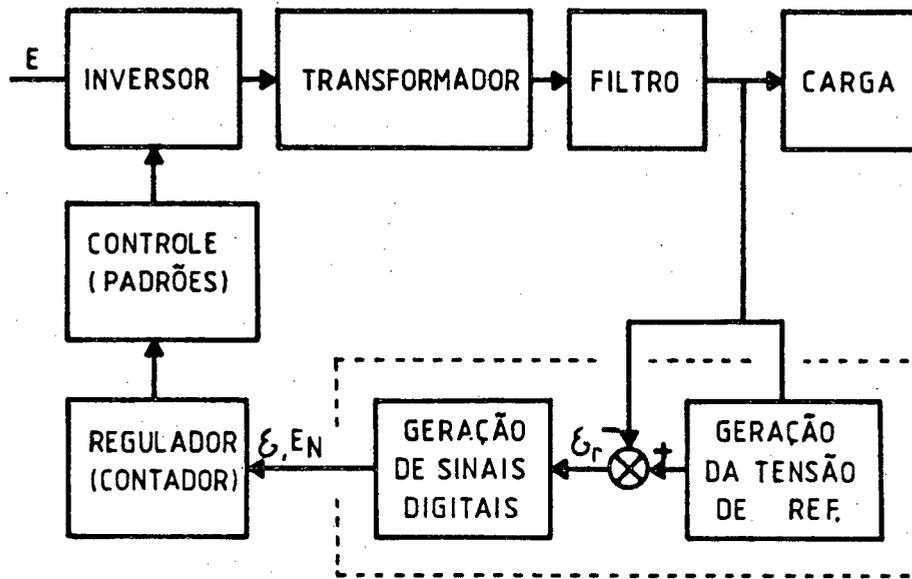


FIGURA 5.1 - Diagrama de blocos do inversor.

O circuito de comando e controle foram estudados nos capítulos anteriores.

O regulador do tipo integrador, é constituído por um contador UP/DOWN (fig. 2.6), que permite a escolha do padrão apropriado nas memórias M_{E2} e M_{E3} (capítulo 2) para o comando do inversor, de acordo com os sinais digitais gerados pelo erro.

5.2.1. Geração da Tensão de Referência

Para gerar a tensão de referência em sincronismo com a tensão de saída do inversor é lida uma memória onde está gravado um período de modulação otimizado. Sendo os harmônicos de baixa ordem minimizados, possuindo harmônicos de ordem igual ou maior a 63. Para a leitura de um período de modulação otimizada, discretizada em 2048 pontos e gravada em memória, é necessário um contador binário de 11 bits, ou seja que conte até 2^{11} , para varrer 2048 endereços. A frequência de entrada do contador (clock) deve ser 60 vezes superior ao número de endereços, para que a varredura de um período da memória resulte em uma frequência de 60 HZ. Por outro lado, este clock deve estar sincronizado com a frequência da tensão na carga no início e final de cada período. Por isto, a geração da frequência de tensão de carga, usando um PLL (Phase Lock Loop). O PLL permite multiplicar, em sincronismo, a frequência fundamental de tensão de carga, inserindo em sua malha de realimentação um divisor de frequência.

A figura 5.2 mostra o diagrama de blocos de um multiplicador de frequência usando um PLL (CI - 4046) e um contador binário (CI - 4040).

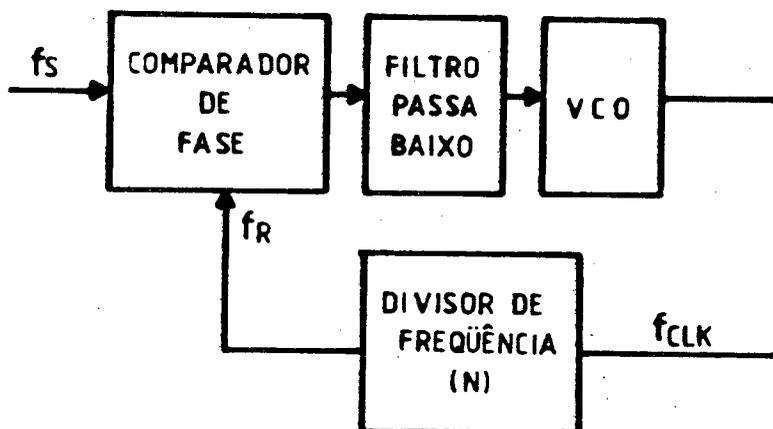


FIGURA 5.2 - Diagrama de blocos de multiplicador de frequência.

Considera-se que a frequência na carga (f_s) deve ser necessariamente igual a f_r (figura 5.2) devido ao princípio de funcionamento do PLL.

Sendo:

$$f_s = 60 \text{ HZ}$$

A frequência de saída do divisor de frequência (f_r) é de 60 HZ (o mais significativo dos 11 bits).

Para se ter no contador binário o bit mais significativo em 60 HZ, a frequência de clock do contador binário deverá ser,

$$f_{\text{CLK}} = N \times 60 \text{ HZ} \quad (5.1)$$

sendo

$$N = 2^{11}$$

$$f_{\text{CLK}} = 122.880 \text{ HZ.}$$

O circuito integrado 4046 requer em sua entrada um sinal de onda quadrada. Por isto utiliza-se um comparador no secundário do transformador 110 V/5V. A figura 5.3 mostra o circuito da leitura do sinal de referência da memória.

À saída da memória tem-se os pulsos da modulação PWM otimizada com níveis 0V e 5V. Para eliminar a componente contínua deste sinal é usado um comparador (figura 5.4), onde o sinal de sua saída passa a ter os níveis $\pm 7,8 \text{ V}$.

A sinal S_2 da saída do comparador (figura 5.4) é filtrado através de um filtro ativo de segunda ordem |6| (figura 5.5). Consegue-se, assim a tensão de referência senoidal a partir da tensão de saída do inversor.

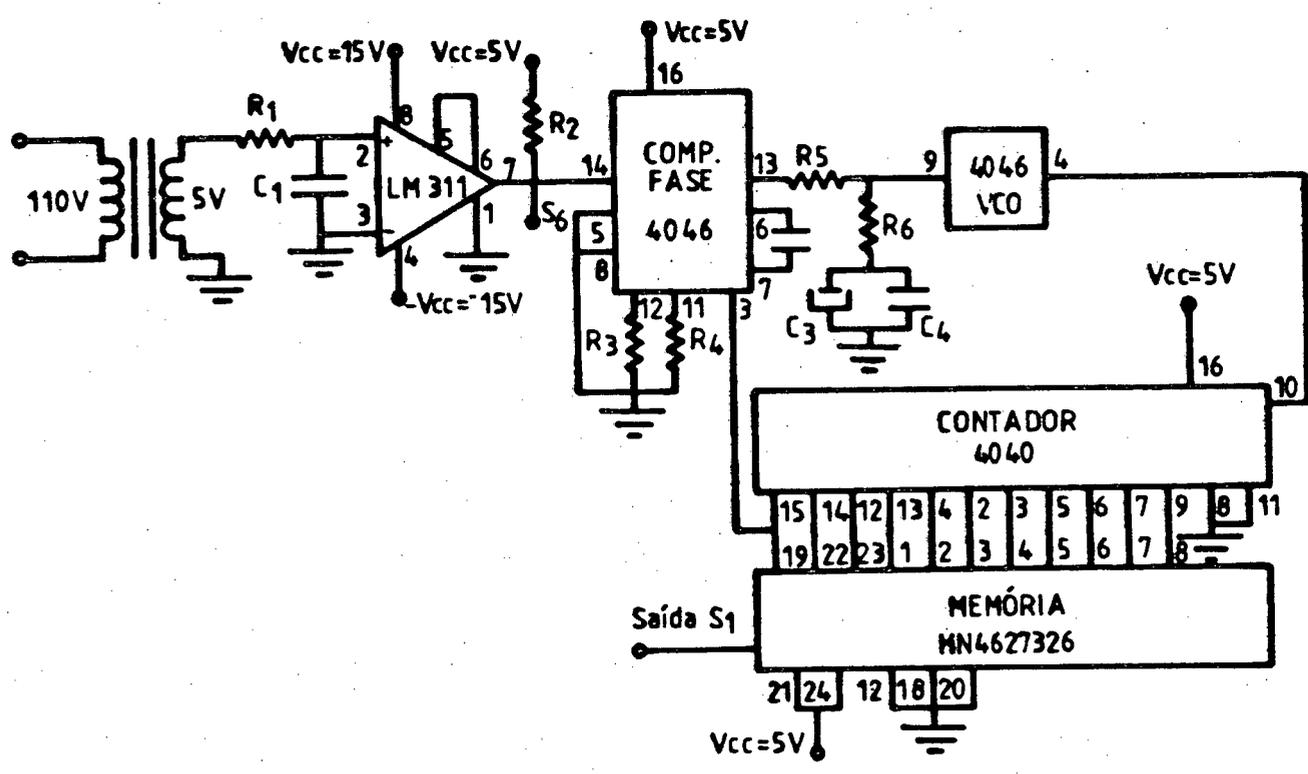


FIGURA 5.3 - Circuito de leitura do sinal de referência.

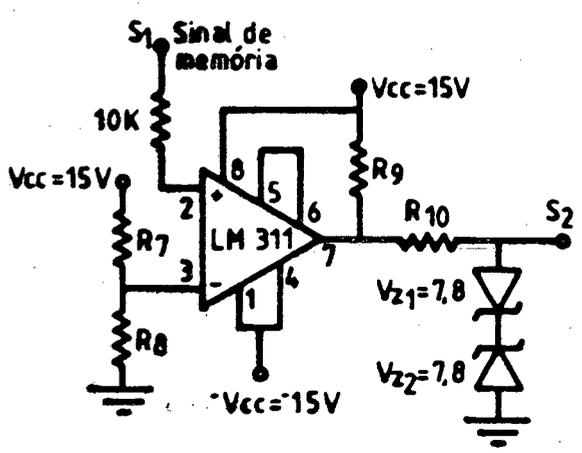


FIGURA 5.4 - Comparador para eliminar a componente contínua do sinal de referência.

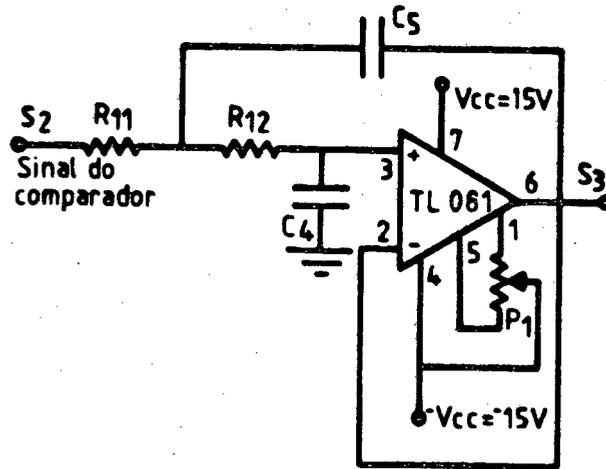


FIGURA 5.5 - Filtro passa baixa de segunda ordem.

Esta onda senoidal tem amplitude constante, e defasada de 180° da tensão do secundário do transformador (V_S) (além de pequenos atrasos devido aos circuitos de varredura da memória e de filtragem). Devido ao fato de que se V_S é alto o pino 15 (bit mais significativo) do contador binário é alto, então, a leitura inicia a partir do meio período. Aproveitando que se têm 256 padrões na faixa de defasamento entre 180° e $56,68^\circ$ para a gravação nas memórias de 256 K (capítulo 2) é possível corrigir estes atrasos.

Supondo-se que os atrasos sejam de um ângulo θ desde o secundário do transformador até a saída do filtro de segunda ordem, bastará gravar na memória um padrão com defasamento $180^\circ - \theta$, obtendo-se desta maneira uma onda de referência em fase e com a mesma frequência de tensão de saída do inversor.

5.2.2. Obtenção do Erro

A figura 5.6 mostra um inversor da tensão do secundário do transformador (v_s).

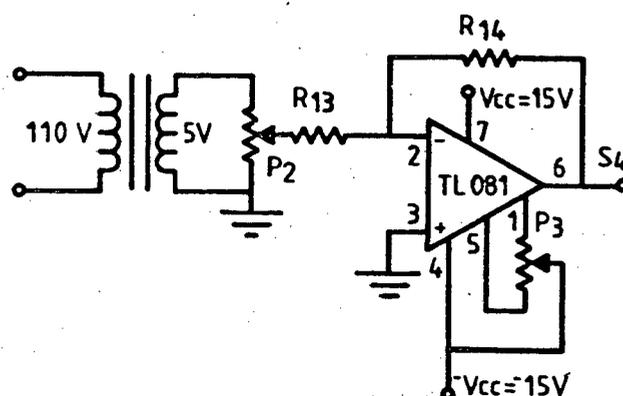


FIGURA 5.6 - Inversor da tensão de saída do transformador.

O inversor da tensão, através do potenciômetro P_1 (figura 5.6) permite ajustar a amplitude de tensão de carga ao valor desejado.

O sinal de erro é obtido, usando-se um somador como o mostrado na figura 5.7, a partir da tensão de referência e o sinal a ser regulado (invertido).

5.2.3. Obtenção de Sinais Digitais a Partir do Erro

A figura 5.8 mostra o circuito para obter os sinais digitais a partir do erro.

O nível de tensão $|H|$, referência dos comparadores, é usado para eliminar os ruídos que poderiam ser introduzidos nos compa-

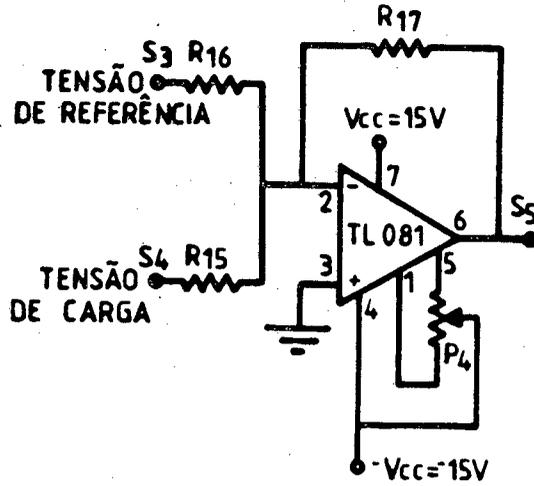


FIGURA 5.7 - Somador da tensão de referência e da tensão de carga, geração do erro.

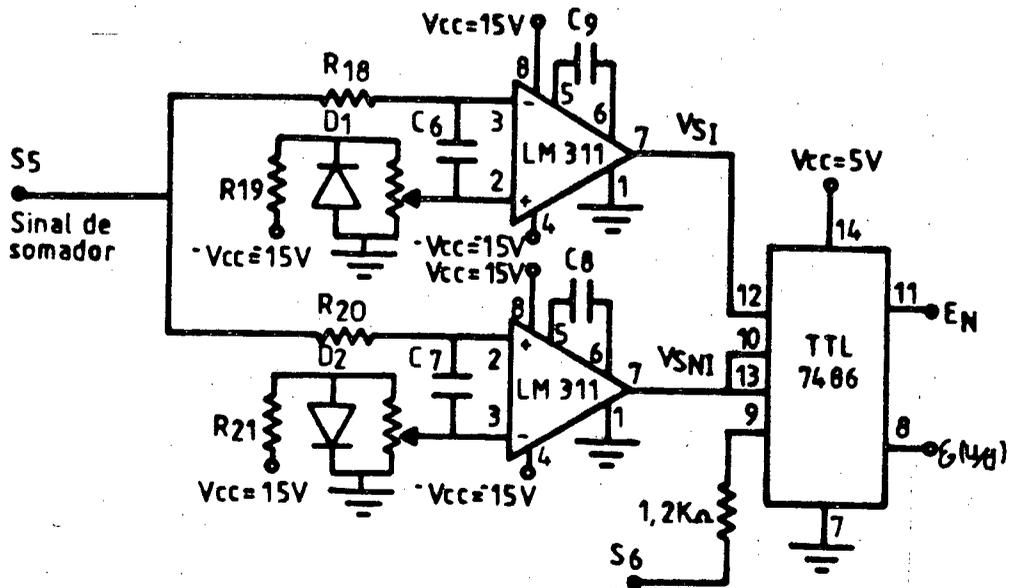


FIGURA 5.8 - Circuito para a obtenção de sinais digitais a partir do sinal de erro. (S6 sinal na entrada do PLL figura 5.3)

radores, e dar uma pequena histerese para a estabilidade do sistema.

Um dos comparadores (SNI) compara o sinal de erro com um certo nível de tensão positiva (+H) introduzindo uma pequena histerese. O outro comparador (SI), compara o sinal de erro com um nível de tensão negativa (-H), obtendo-se desta maneira dois sinais de onda quadrada correspondentes respectivamente ao ciclo positivo e ao ciclo negativo.

Quando o sinal de erro é negativo (tensão de referência maior que tensão de carga) e a tensão de carga está no semiciclo positivo, o sinal de saída ϵ deve ser de nível alto. Com este sinal o contador UP/DOWN do circuito de comando lógico decrementa, procurando relações de maior tensão para a saída do inversor.

Quando o sinal de erro é positivo e a tensão de carga está no semiciclo negativo. O sinal de saída ϵ deve ser de nível alto para decrementar o contador UP/DOWN do circuito de comando lógico, procurando relações de maior tensão nas memórias.

Quando o sinal de erro é negativo e a tensão de carga está no semiciclo negativo, o sinal de saída ϵ deve ser de nível baixo, incrementando o contador UP/DOWN do circuito de comando lógico, procurando relações de tensão menores nas memórias.

Quando o sinal de erro é positivo e a tensão de carga está no semiciclo positivo o sinal de saída ϵ deve ser de nível baixo incrementando o contador do circuito de comando lógico, procurando relações de tensão menores nas memórias.

A faixa de tensão $|H, -H|$ que serve para eliminar os ruídos de entrada aos comparadores e dar estabilidade ao sistema, deve inibir o contador UP/DOWN. Ou seja, quando o módulo de erro é menor que o módulo de H (margem de erro permitido) o contador UP/DOWN do circuito de comando lógico não deve mudar, mantendo fixa uma relação de tensão no inversor.

Quando o sinal de erro é positivo ou negativo e fora da faixa $|H, -H|$ o sinal de saída E_N tem nível alto, ficando habilitado o contador UP/DOWN do circuito de comando lógico.

A figura 5.9 mostra o circuito de geração de tensão de referência e sinais digitais.

A figura 5.10 mostra as principais formas de onda do circuito da figura 5.9.

5.3. Conclusões

Com o uso de componentes de baixo custo existentes no mercado nacional, obtém-se um circuito de controle capaz de detectar os erros instantâneos entre um sinal de referência senoidal e a tensão de carga. Por outro lado o circuito proposto adapta os sinais analógicos aos digitais para a placa de comando lógico. Para a comunicação entre o circuito de comando lógico e o cir-

cuito de controle recomenda-se um melhor estudo e ajuste para dar maior estabilidade ao sistema, levando em conta as características particulares de modulação PWM otimizada.

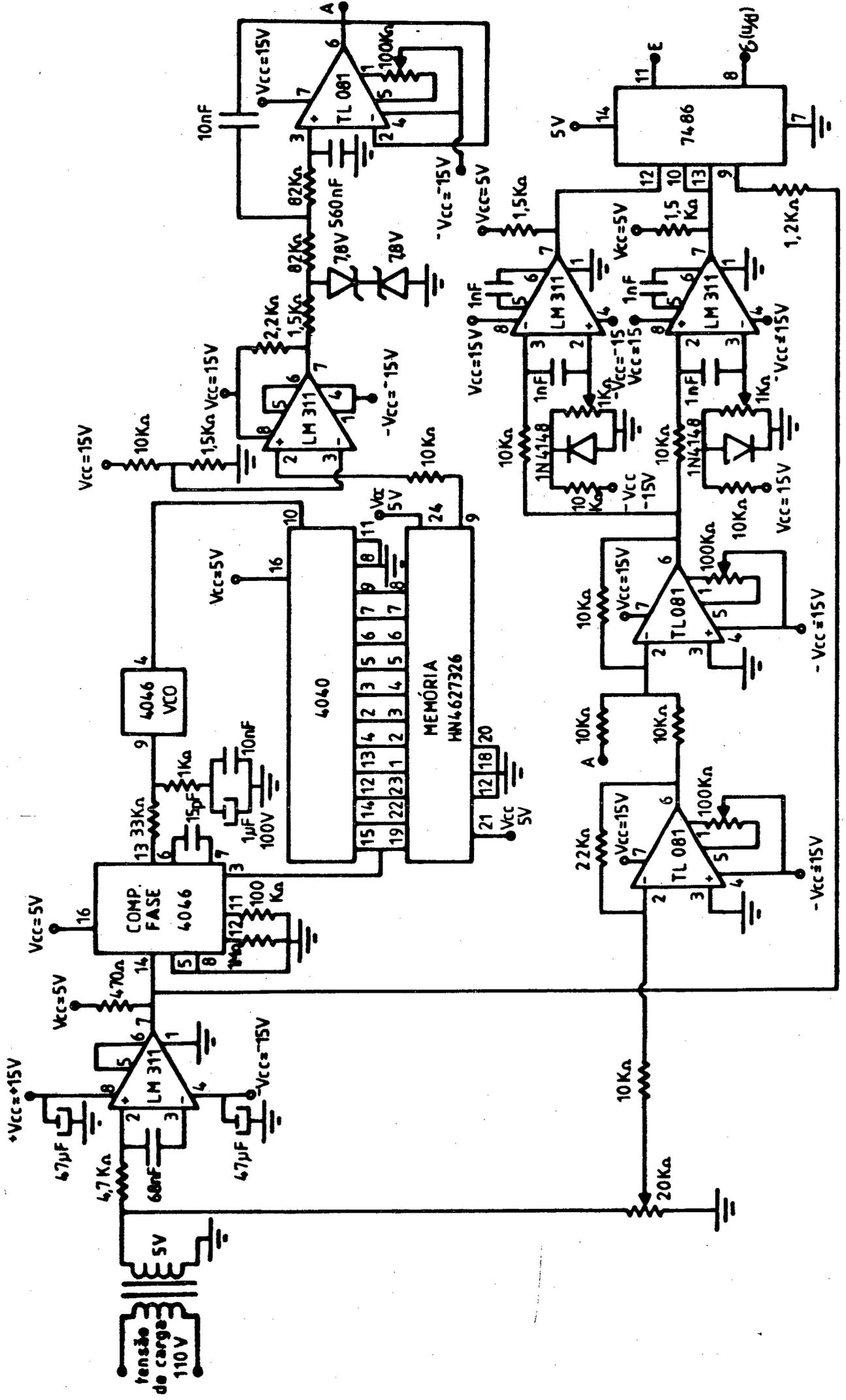


FIGURA 5.9 - Circuito de geração da tensão de referência e sinais digitais.

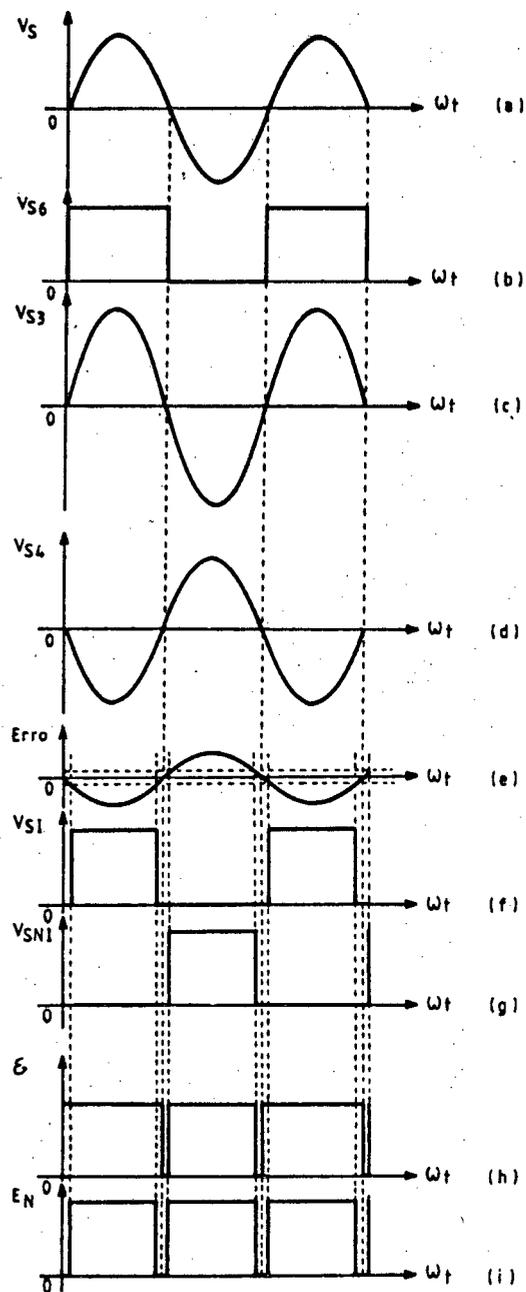


FIGURA 5.10 - Formas de onda de tensão do circuito de regulação:
 a) tensão de secundário do transformador, b) tensão de entrada no PLL, c) tensão de saída do filtro, d) tensão de saída do inversor, e) tensão de saída do somador, f) tensão de saída do comparador inversor g) tensão de saída do comparador não inversor, h) ϵ , i) E_N .

CAPÍTULO VI

RESULTADOS EXPERIMENTAIS

6.1. Introdução

Neste capítulo são apresentados os resultados experimentais obtidos a partir da implementação de um protótipo cujo projeto foi apresentado em capítulos anteriores. As características principais deste inversor implementado são:

- Potência 300 VA
- Fator de potência 0,8
- Tensão de entrada 48 ± 8 V
- Tensão de carga 110 V
- Distorção harmônica menor que 5%

São apresentadas formas de onda que verificam o desempenho do inversor em malha aberta e em malha fechada.

As formas de onda foram documentadas por fotografias e através de um microcomputador do tipo IBM-PC interligado a um osciloscópio digital com memória.

6.2. Resultados Obtidos

Na figura 6.1 mostra-se um trecho dos comandos de duas chaves, de braços diferentes, do inversor para a eliminação de 30 harmônicos (3ª, 5ª, ..., 61ª ordens) e regulação da componente fundamental.

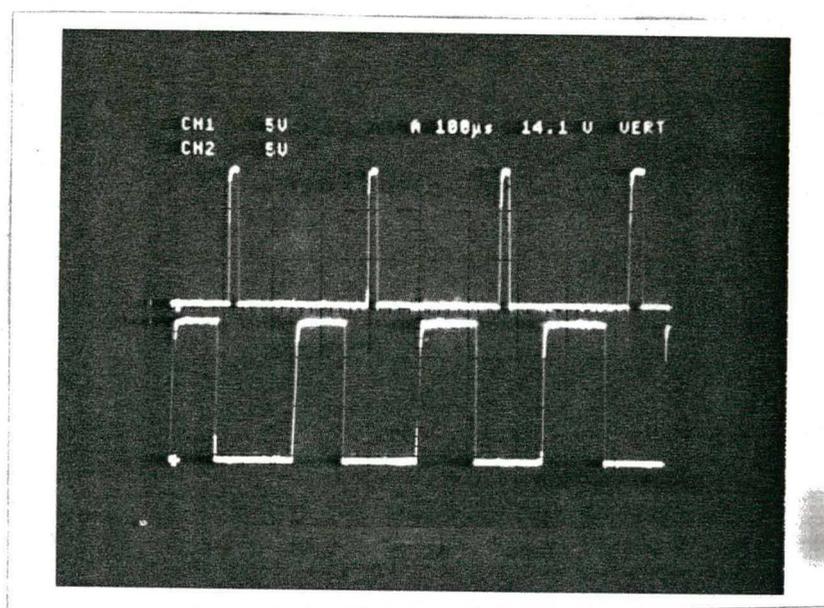


FIGURA 6.1 - Comando de duas chaves do inversor para eliminação de 30 harmônicos (3ª, 5ª, ..., 61ª ordens) e regulação da componente fundamental.

Da reprodução destes comandos, nos gates dos transistores MOSFET do inversor, dependerão os resultados finais. Por isto, foi implementado um circuito de comando rápido para envio de pulsos do comando lógico para o gate do MOSFET, impondo desta maneira tempos de atraso pequenos. O atraso total do sinal no circuito de comando é de 1,2 µseg tanto na subida como na decida o qual não introduz distorções nos parâmetros otimizados. As formas de onda

na entrada e saída do comando são mostradas na figura 6.2.

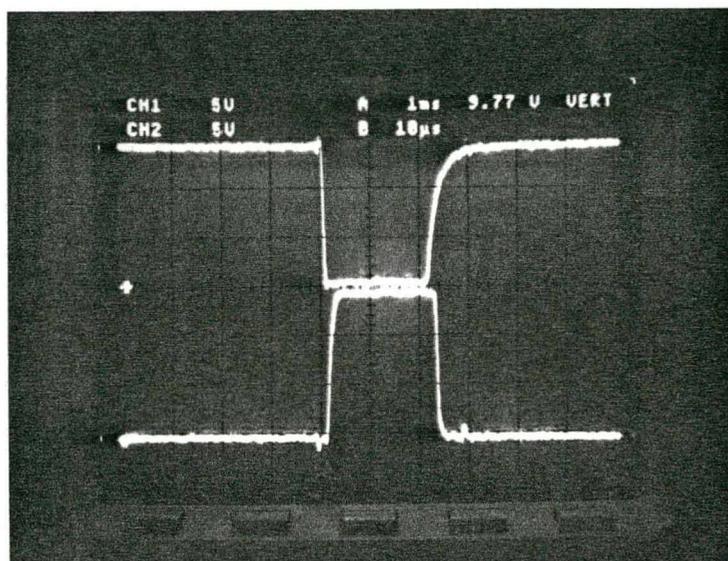


FIGURA 6.2 - Sinal de entrada do circuito de comando (acima) e sinal no gate do MOSFET (abaixo).

A figura 6.3 mostra a rapidez do circuito de comando no disparo e bloqueio do interruptor MOSFET (ordem de ns.). Por outro lado esta figura mostra o funcionamento do circuito grampeador que protege o MOSFET contra sobretensões no dreno-source. Além disto a figura mostra a realização perfeita do pulso mínimo na modulação PWM otimizada.

Na figura 6.4 mostra-se um trecho da tensão e corrente na saída do inversor utilizando-se os comandos dos braços do inversor defasados em 180° com minimização de 30 harmônicos e com regulação da componente fundamental.

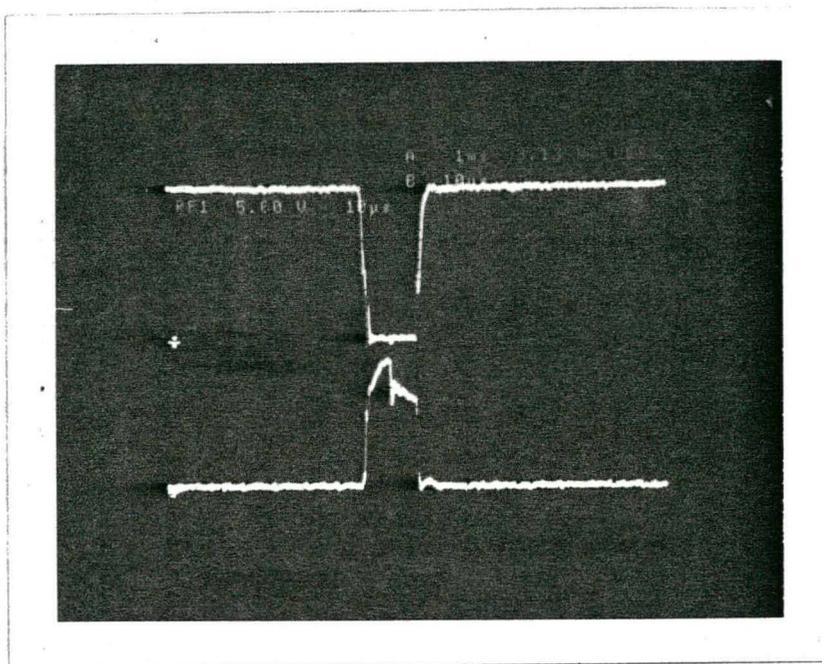


FIGURA 6.3 - Sinal de comando no gate de MOSFET (acima) e tensão dreno-source do MOSFET (abaixo).

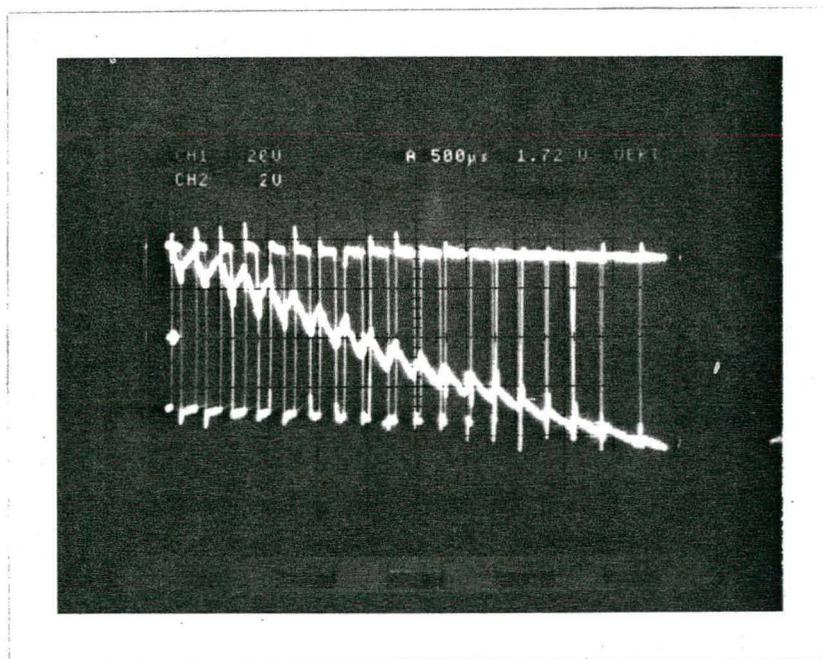
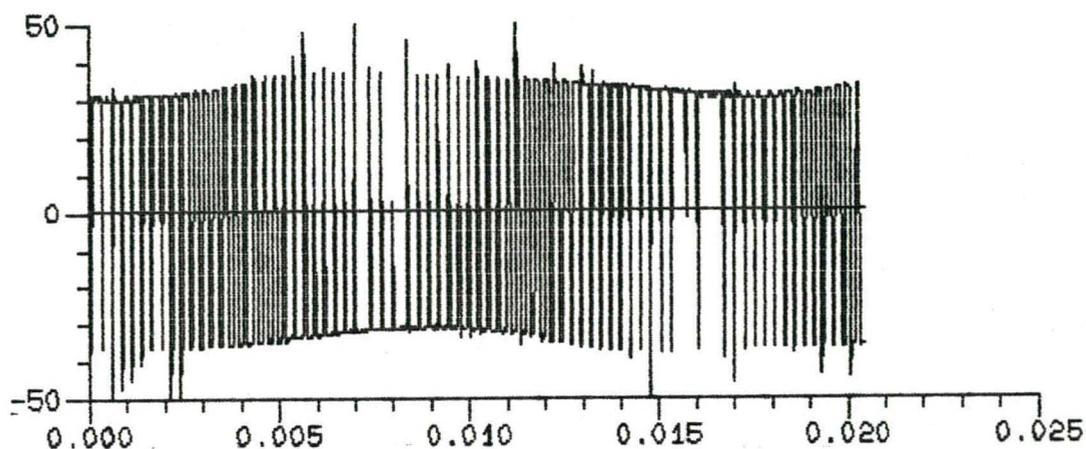
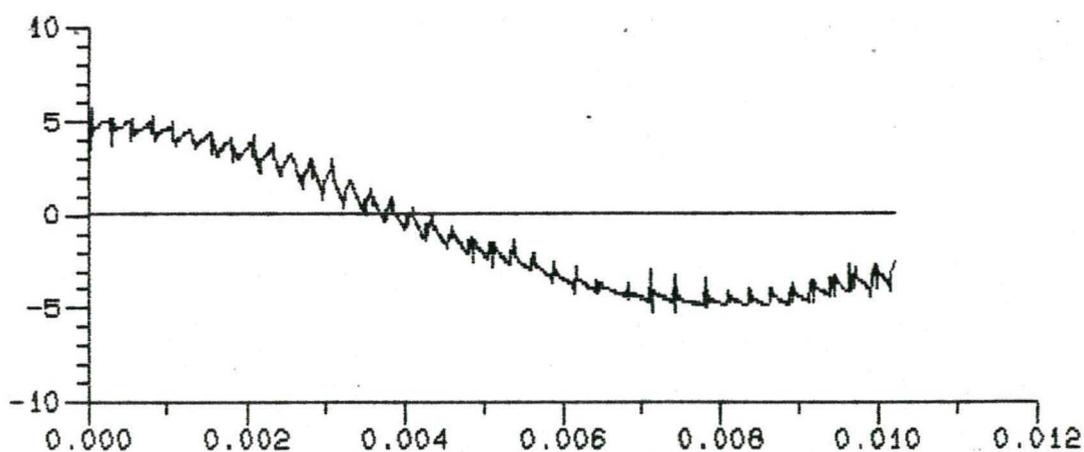


FIGURA 6.4 - Tensão e corrente (3 A/div) na saída do inversor com minimização de 30 harmônicos (3ª, 5ª, ..., 61ª ordens) e controle da componente fundamental.

Na figura 6.5 mostra-se um período da tensão e corrente de saída do inversor feita através de um microcomputador do tipo IBM PC interligado a um osciloscópio digital.



(a)



(b)

FIGURA 6.5 - a) Tensão na saída do inversor com eliminação de 30 harmônicos e controle da componente fundamental.
b) Corrente na saída do inversor.

Observa-se que a forma de onda tem alguns trechos não bem definidos devido a limitações do sistema de aquisição de dados.

A figura 6.6 mostra a análise dos harmônicos da tensão na saída do inversor feita através do microcomputador interligado ao osciloscópio digital. A análise confirma a eliminação dos harmônicos de 3ª, 5ª, ..., 61ª ordens, sendo que os harmônicos 63ª e 65ª ordem passam a ter maior amplitude. Os harmônicos de baixa ordem e de ordem par que aparecem devem-se, sobretudo, ao baixo número de pontos na aquisição das formas de onda no osciloscópio digital. Outra parcela de erros ocorrida deve-se ao número de pontos da discretização dos padrões e aos tempos mortos.

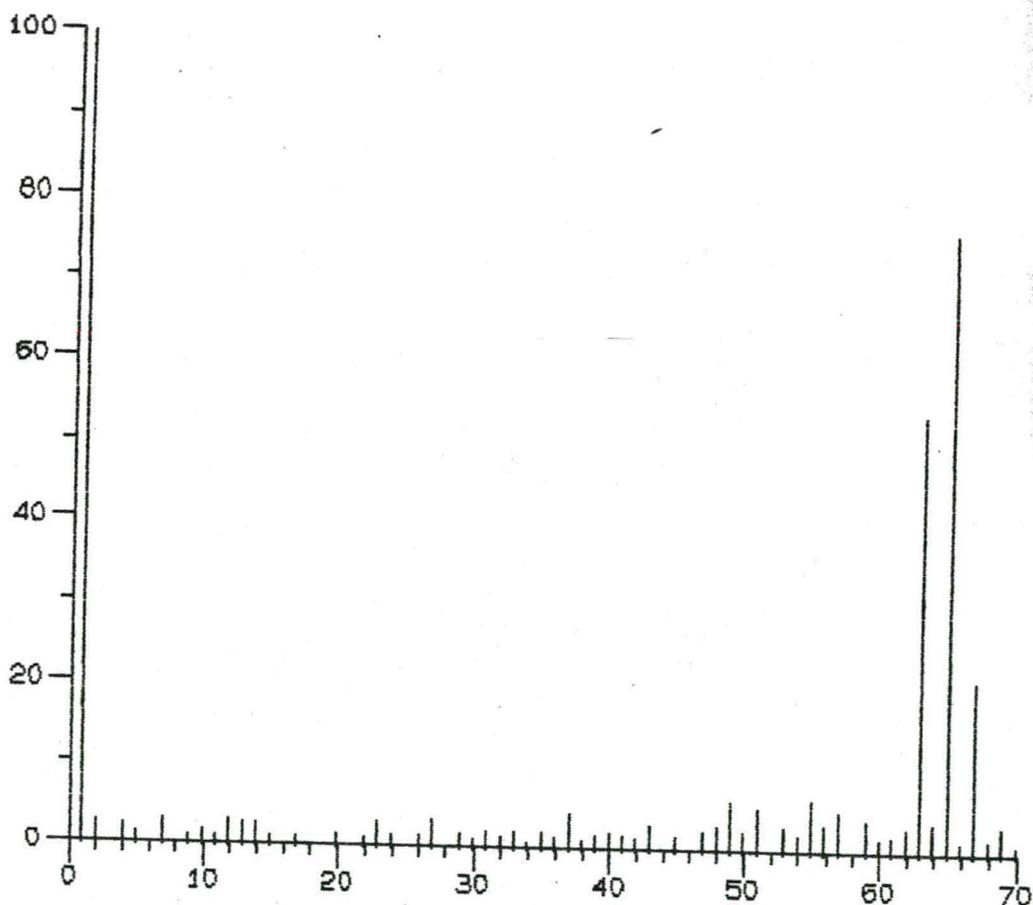


FIGURA 6.6 - Análise dos harmônicos da tensão de saída do inversor apresentada na figura 6.5.a.

6.3. Verificação Experimental do Desempenho do Filtro

Na figura 6.7 observa-se a tensão e corrente de carga com modulação PWM otimizada, com indutor de filtro de 25 mH e um capacitor de filtro de 2 μ F com carga de 60,3 Ω (Resistiva).

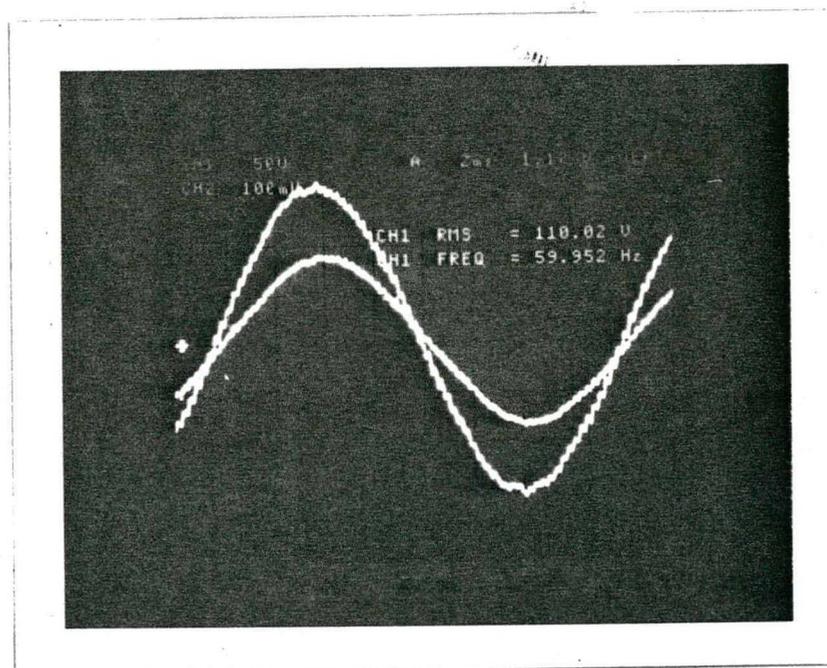


FIGURA 6.7 - Tensão e corrente (2 A/div) de carga com modulação PWM otimizada com eliminação de 30 harmônicos (3^ª, 5^ª, ..., 61^ª ordens).

Na figura 6.8 mostra-se tensão e corrente de carga com modulação PWM otimizada com eliminação de 30 harmônicos (3^ª, 5^ª, ..., 61^ª ordens). Sendo a carga indutiva com fator de potência de 0,8 ($R_L = 43,3 \Omega$ e $L_L = 82,4$ mH) usando-se um filtro com indutor de 25 mH e capacitor de 15 μ F. A figura 6.9 mostra a tensão e corrente de carga com a carga anterior e filtro com indutor de 25 mH e capacitor de 19,7 μ F.

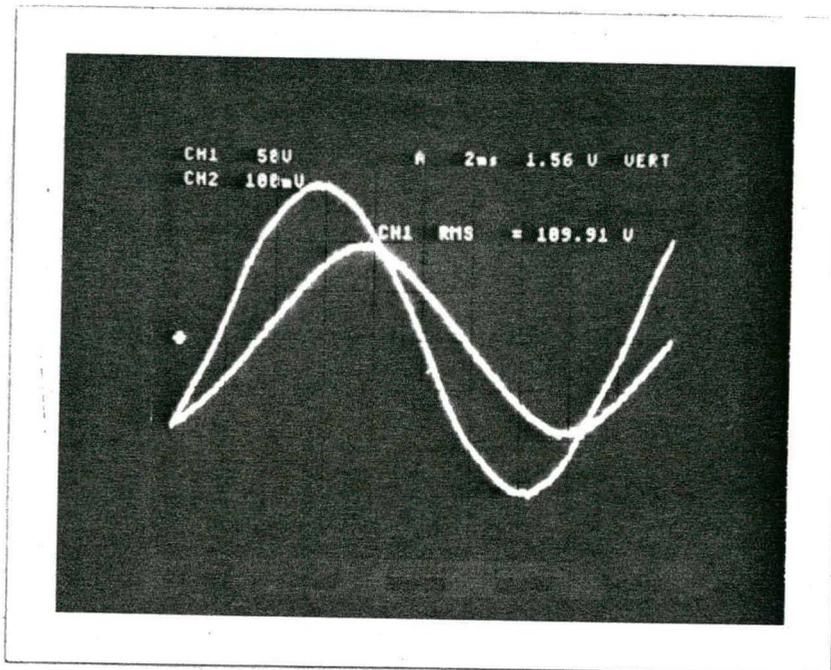


FIGURA 6.8 - Tensão e corrente (2 A/div) de carga para carga $L_L = 82,4$ mH e $R_L = 43,3 \Omega$ com um filtro de $C_1 = 15 \mu\text{F}$ e $L = 25$ mH.

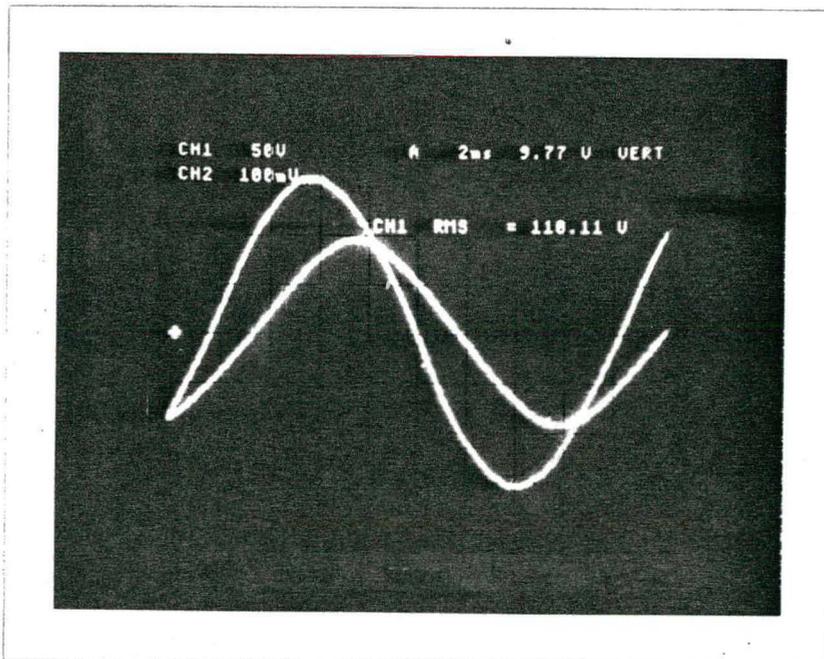


FIGURA 6.9 - Tensão e corrente (2 A/div) de carga para carga $L_L = 82,4$ mH e $R_L = 43,3 \Omega$ com um filtro de $C_1 = 19,7 \mu\text{F}$ e $L = 25$ mH.

6.4. Funcionamento em Malha Fechada

A figura 6.10 mostra o funcionamento em malha fechada. O transiente mostrado é para, quando a carga inicial ($R_L = 60 \Omega$ e $L_L = 82,4 \text{ mH}$) é aumentada conectando-se uma resistência de 100Ω em paralelo com a de 60Ω , originando uma diminuição momentânea na tensão eficaz da carga, a qual é corrigida com a malha de regulação.

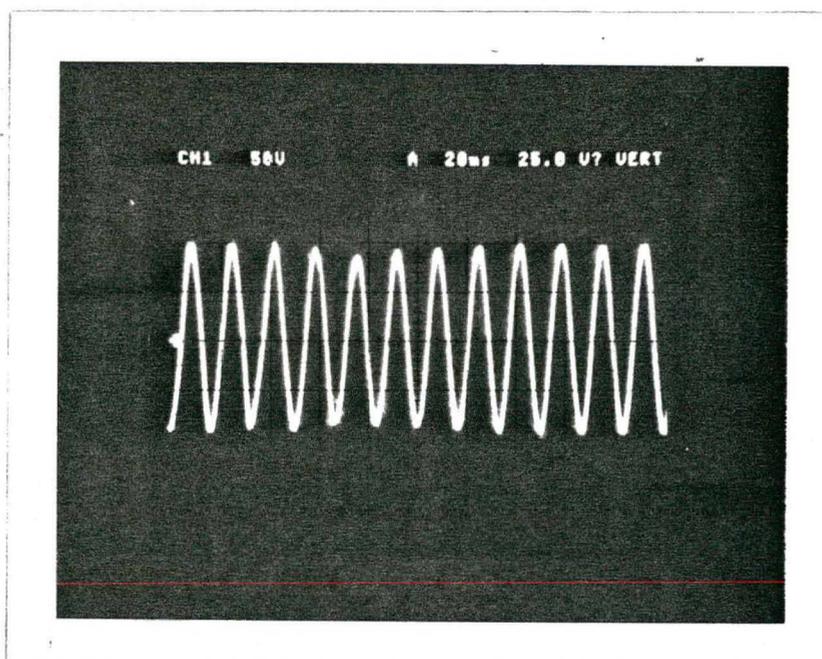


FIGURA 6.10 - Regulação da tensão de carga aplicando um degrau de carga em 5T).

6.5. Conclusões

Através dos resultados obtidos, pode-se comprovar na tensão de saída do inversor a efetiva redução dos harmônicos de ordem inferior a 63, permitindo utilizar o filtro calculado no capítulo IV. Ou seja, comprova-se a possibilidade de diminuir o peso, volume e custo do filtro do inversor.

Com os interruptores utilizados neste inversor não se pode aumentar muito a potência do equipamento sem que se tenha uma diminuição sensível do rendimento. Isto porque a tensão de alimentação é muito baixa, o que exige correntes elevadas para potências maiores provocando grandes quedas de tensão no circuito, resultando uma tensão eficaz pequena na entrada do transformador de isolamento.

A desvantagem da modulação por largura de pulso é a redução da componente fundamental com o aumento de parâmetros a otimizar e as perdas ocorridas nas comutações.

Para a modulação PWM otimizada existe a dificuldade de implementação na reprodução no comando gate dos MOSFET dos instantes de comutação memorizados.

CONCLUSÕES

A modulação otimizada a três níveis com controle da fundamental por defasamento tem a vantagem sobre a modulação a dois níveis, de eliminar um harmônico a mais para um mesmo número de parâmetros otimizados, além de ter menor conteúdo harmônico em relação à fundamental, quando se diminui a relação de tensão saída/entrada.

A implementação do inversor, comandado com os instantes otimizados previamente gravados em memória, permitiu comprovar a teoria da modulação otimizada e a possibilidade de sua realização com grande número de pulsos por período.

Otimizando 30 parâmetros independentes, foram eliminados os 30 primeiros harmônicos ímpares (3, 5, 7, ..., 61) e obteve-se o controle do valor eficaz do fundamental de saída do inversor. Esta minimização de harmônicos de baixa ordem permitiu elevar a frequência de corte do filtro de saída do inversor, minimizando seu volume, peso e custo.

As maiores dificuldades para o grande número de pulsos uti-

lizados foi a otimização de parâmetros usando restrição quanto aos tempos mínimos de comutação e a realização dos pulsos mínimos na prática.

A gravação de um grande número de padrões nas memórias, permitiu a discretização da tensão de saída de 0,2% de padrão a padrão proporcionando desta maneira uma regulação mais fina.

O circuito de comando de gate implementado permitiu reconstituir os pulsos lidos da memória no gate dos transistor MOSFET com muita precisão. Por outro lado neste circuito de comando implementou-se uma proteção individual contra sobrecorrentes nos interruptores, que se revelou bastante eficaz. Uma das características do circuito de comando com Strobe é que, junto com o transistor MOSFET, poderia formar um tiristor dual; com disparo espontâneo ($V_{DS} \approx 0$), bloqueio comandado e bloqueio espontâneo com sobrecorrentes. (se bem que esta característica não é usada neste trabalho). O mesmo circuito pode ser usado em outros trabalhos que requeiram um interruptor funcionando como tiristor dual.

A implementação de um circuito de regulação permitiu regular a tensão de carga, detectando os erros instantâneos pela comparação de tensão de carga com um sinal senoidal de referência. Foi necessário gerar este sinal em sincronismo com a tensão de carga através da leitura de instantes de comutação otimizados e gravados em memória.

A potência obtida no inversor foi de 300 VA. Esta potência foi limitada pelas perdas devido as quedas de tensão provocadas pela corrente elevada no circuito de baixa tensão.

REFERÊNCIAS BIBLIOGRÁFICAS

1. BARBI, Ivo. Eletrônica de Potência. Editora da UFSC, 1986.
2. BARBI, Ivo. Eletrônica de Potência II. Publicação Interna LAMEP-UFSC, 1981.
3. BARBI, Ivo. Projeto de Fontes Chaveadas. Curso de Fontes Chaveadas. UFSC, Florianópolis, 1988.
4. BEDFORD, B.D. & HOFT, R.G. Principles of Inverter Circuits. Wiley, 1964.
5. BOLACELL, J.C.O. Estudo e Realização de um Inversor Para um No-Break. In: Dissertação de Mestrado, UFSC, 1987.
6. DAVID, F. Stout, Hambook of Operational Amplier Circuit Design. McGraw-Hill Book Company.
7. D'AVILA, Alexandre. Comando de um Inversor Trifásico com Modulação PWM Otimizada Utilizando Microprocessador. In: Dissertação de Mestrado, UFSC, 1988.
8. GENERAL ELECTRIC. Optoelectronics, Data Library-Semiconductors, 1984.

9. HANSEN, A. and HAVEMANN, H. Design of snubber circuits for a minimum number of components. IFAC Control in Power Electronics and Electrical Drives, Lausanne, Switzerland, 1983. p.165-171
10. ICOTRON, Catálogo Geral de Componentes Eletrônicos.
11. INTERNATIONAL RECTIFIER. Mosfet Data Book, Power Mosfet Application and Product Data, 1981.
12. MELLO, Luiz Fernando Pereira de, Projetos de Fontes Chaveadas. Livros Érica Editora Ltda, 1987.
13. MOTOROLA. A Rom-Digital Approach to PMW-type Speed Control of AC Motors. Application AN-733, 1974.
14. MOTOROLA. Power Mosfet Transistor Data Motorola Inc. 1984.
15. NAIR, B.R. and Sen, P.C. Voltage Clamp Circuits for a Power Mosfet PWM inverter. IEEE Trans.on Ind. Appl., 1984. p. 797-806
16. NATIONAL SEMICONDUCTOR, Linear Applications. Data Book.
17. NATIONAL SEMICONDUCTOR CORPORATION, MOS MEMORY, Data Book, 1984.
18. OLIVEIRA, M.A. Estudo de um conversor indireto de frequência sem elementos passivos no estágio de corrente contínua. In: Dissertação de Mestrado, UFSC, 1987.
19. PATEL, H.S. & HOFT, R.G. Generalized Techniques of Harmonic Elimination and Voltage Control in Thyristor Inverters. Part. I - Harmonic Elimination. IEEE Trans. on Ind. Appl. 1973, Vol. IA-9, nº 3, p.310-17.

20. PATEL, H.S. & HOFT, R.G. Generalized Techniques of Harmonic Elimination and Voltage Control in Thyristor Inverters: Part II - Voltage Control Techniques. IEEE Trans. on Ind. Appl., 1974, Vol. IA-10, nº 5, p.666-673.
21. PATNI, P.C.K. Protection et commande de grille pour bras de port MOS. Électronique de Puissance, nº 22, setembro, 1987, p.23-28.
22. PERIN, Arnaldo J. Teoria e Aplicação de Modulação por largura de pulso (PWM) com otimização de Harmônicos para Conversores Estáticos de Frequência. Minicurso do 6º Congresso Brasileiro de Automática. UFMG, Belo Horizonte, 1986, p.1-15.
23. PERIN, A.J. e RAIZER, A. Manual de utilização do programa SACEC e Manual do Programa PAH, Publicação Interna LAMEP-UFSC, 1985.
24. SIEMENS, SIPMOS COMPONENTES, Data Book, 1987-1988.
25. INSTITUT NATIONAL POLYTECHNIQUE DE TOLOUSE. Hacheurs et onduleurs autonomes. Toulouse.